

UNIVERSIDAD: Universidad Nacional de La Plata

NÚCLEO DISCIPLINARIO/COMITÉ ACADÉMICO: Microelectrónica

TÍTULO DEL TRABAJO:

DISEÑO DE UN RECEPTOR SATELITAL PARA RECOLECCIÓN DE DATOS REMOTOS

AUTORES:

Ing. Pablo A. COSTANZO CASO^I; Ing. Adrián CARLOTTO^{II}; Ing. Hugo LORENTE^{III}.

E-MAIL:

pcostanzo@ing.unlp.edu.ar

PALABRAS CLAVE: Receptor; PLL.

PALAVRAS CHAVE: Receptor; PLL.

^I Becario CIC-PBA, Ayudante Diplomado, Facultad de Ingeniería, UNLP.

^{II} Ayudante Diplomado, Facultad de Ingeniería, UNLP.

^{III} Profesor Titular de Comunicaciones, Facultad de Ingeniería, UNLP.

1. Introducción

En este trabajo se realiza el estudio de un sistema de comunicaciones satelitales utilizado para la recolección de datos remotos provenientes desde la tierra (DCS del inglés *data collection systems*). En las primeras secciones se hace una introducción a este sistema y se dan algunas especificaciones del mismo. Posteriormente se diseña el receptor digital considerando cada uno de los bloques que lo componen, y se hacen las simulaciones correspondientes. Por último se dan las conclusiones y tareas pendiente por desarrollar.

2. Sistema de recolección de datos remotos y sus aplicaciones

Un sistema de recolección de datos remotos (DCS de ahora en más) está basado en receptores digitales situados en un conjunto de satélites, los cuales constantemente recolectan información proveniente de varias plataformas situadas en diferentes lugares de la tierra. Actualmente existen transmisores operando en una amplia variedad de aplicaciones que involucran, tanto el estudio de la tierra como la protección del medio ambiente. Por ejemplo, hay transmisores situados en aves para estudiar sus migraciones, en ballenas, en masas de hielo continentales para estudiar sus movimientos, en boyas para estudiar los océanos, mares y ríos, etc.

Los receptores situados en los satélites toman estos datos recolectados de diferentes fuentes y los reenvían a la estación terrena de control, donde los mismos son procesados.

3. Especificaciones del sistema [SKLAR][CARL]

La señal de entrada a los receptores del DCS es una señal de radio frecuencia, la cual es convertida a una frecuencia intermedia (FI) mediante un oscilador local y filtrado adecuado. Supongamos que la señal de FI s_i cuya portadora es de 455KHz y está modulada en fase con saltos de $\pm 1.1\text{rad}$. Los datos tienen una tasa de bit de 400bps y están codificados en Mánchester.

$$s_i(t) = A_1 \cos\left(2\pi f_1 t + 1.1 * \sum_{n=1}^{\infty} d_n p(t - nT_b)\right) \quad (1)$$

donde A_1 es la amplitud, f_1 es la frecuencia portadora, d_n es la secuencia de datos que puede ser 1 o -1 , y $p(t)$ es el pulso de codificación Mánchester. La Figura 1 muestra el espacio de señal y el pulso mencionado.

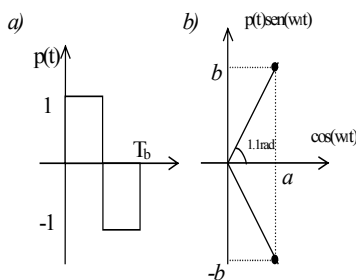


Figura 1. a) Pulso Mánchester. b) Espacio de señales.

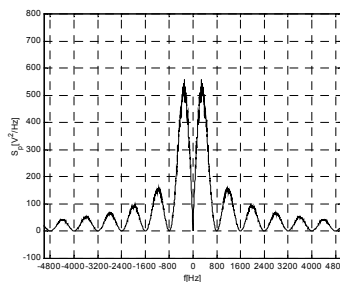


Figura 2. a) DEP del pulso en banda base.

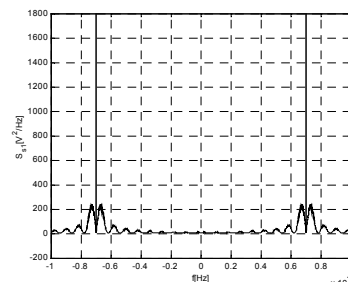


Figura 2. b) DEP de la señal modulada.

La densidad espectral de potencia de una secuencia aleatoria codificada en Mánchester, donde tanto los unos como los ceros son equiprobables, está dada por:

$$S_p(f) = T_b \sin^2\left(\frac{fT_b}{2}\right) \sin^2\left(\frac{\pi fT_b}{2}\right) \quad (2)$$

y puede verse en la Figura 2a). Mientras que la correspondiente a la señal modulada, s_1 , en la Figura 2b)¹. A partir de las Figuras 1a) y 2a) puede observarse que independientemente del

¹ El espectro de la Figura 2.b) se encuentra centrado en 7KHz porque la señal ya ha sido muestreada, como se verá posteriormente.

dato transmitido siempre hay transiciones dentro de un bit y cada bit tiene valor medio nulo. Esto es una ventaja a la hora de recuperar el reloj de datos en la detección. Por otro lado, también puede observarse que el ancho de banda entre ceros del lóbulo principal es de 1600Hz . A partir de las Figuras 1b) y 2b) puede observarse que la señal siempre tiene una componente en dirección de la portadora de amplitud a , y que la amplitud de la componente en cuadratura alterna entre b y $-b$, dependiendo del dato transmitido. Esto es importante dado que la recuperación de la portadora puede llevarse a cabo, entre otras formas, con un PLL (Phase Locked Loop). Las amplitudes de las componentes en fase y cuadratura están dadas por:

$$a = A_1 \cos(1,1) = 0,45A_1 \quad y \quad b = \pm A_1 \text{sen}(1,1) = \pm 0,89A_1 \quad (3)$$

La frecuencia de la portadora, debido al efecto Doppler, causado por movimiento relativo entre el transmisor y receptor en la dirección de propagación, puede aparecer desplazada respecto de su valor nominal. Por lo tanto debe utilizarse un ancho de banda a la entrada mayor que el mínimo necesario, de 400Hz , impuesto por la tasa de transmisión de bits. De esta manera definimos el ancho de banda de entrada del receptor en 14KHz , posibilitando demodular señales que tengan desplazamientos por efecto Doppler de $\pm 7\text{KHz}$ aproximadamente.

La potencia de ruido a la entrada del receptor es constante dado que el ancho de banda se fijó en 14KHz y está dada por:

$$N_i = kT_s BW_i = K(T_e + T_f) BW_i \quad (4)$$

donde $k=1,38 \cdot 10^{-23} \text{J/K}$, T_s la temperatura del sistema, T_e la temperatura equivalente de ruido del receptor, T_f la temperatura de la fuente (antena) y $BW_i (=14\text{KHz})$ el ancho de banda de ruido.

La potencia de señal recibida S_i está dada por:

$$S_i = P_T - P_L \quad (5)$$

Esta puede variar de acuerdo al camino que a recorrido en el espacio libre. Suponiendo que la potencia transmitida P_T es constante, y que las pérdidas de espacio libre P_L están en el rango $143\text{dB} \leq P_L \leq 155\text{dB}$ (6) entonces la potencia de señal recibida se encuentra entre

$$P_T - 155\text{dB} \leq S_i \leq P_T - 143\text{dB} \quad (7)$$

es decir, hay una diferencia de 12dB entre su valor máximo y mínimo. La relación señal a ruido a la entrada del receptor está dada por:

$$SNR_i = \frac{S_i}{N_i} = \frac{P_T - P_L}{N_i} = \frac{P_T}{N_i} - \frac{P_L}{N_i} \quad y \text{ en decibeles} \quad SNR_i[\text{dB}] = S_i[\text{dB}] - N_i[\text{dB}] \quad (8)$$

donde P_T/N_i se mantiene constante y P_L/N_i puede tener una variación absoluta de 12dB . Por lo tanto, SNR_i también puede tener una variación de 12dB , dependiendo de la potencia de señal recibida.

La probabilidad de error de bit un sistema binario está dada por:

$$P_b = \frac{1}{2} \text{erfc} \left(\sqrt{\frac{E_d}{4N_0}} \right) = \frac{1}{2} \text{erfc} \left(\sqrt{\frac{d_{01}^2}{4N_0}} \right) \quad (9)$$

donde $\text{erfc}(\cdot)$ es la función de error complementario, E_d es la energía de la diferencia de señales y d_{01} es la distancia Euclídea entre las señales, la cual cumple $E_d = d_{01}^2$.

En un sistema binario antipodal BPSK se tiene que para tener una probabilidad de error de 10^{-5} la relación señal a ruido debe ser de $9,6\text{dB}$, para una dada energía de bit (supongamos que está dada por $E_{b-BPSK} = (d_{01}/2)^2$). Para un sistema del tipo DCS, cuyo espacio de señal se mostró en la Figura 1b), si quiero mantener la probabilidad de error en 10^{-5} , la distancia entre señales debe mantenerse constante e igual a d_{01} . Por lo tanto, esto se hace a costa de aumentar la energía de bit, es decir:

$$E_{b-DCS} = a^2 + b^2 = E_{b-DCS} (\cos(1,1))^2 + \left(\frac{d_{01}}{2}\right)^2 \quad (10)$$

$$E_{b-DCS} = \frac{1}{1 - (\cos(1,1))^2} \left(\frac{d_{01}}{2}\right)^2 = \frac{1}{(\text{sen}(1,1))^2} E_{b-BPSK} = 1,26 E_{b-BPSK}$$

Esto significa que para mantener la misma probabilidad de error que el sistema BPSK, por ejemplo 10^{-5} , la relación señal a ruido debe aumentar 1,26 veces o equivalentemente 1dB.

$$SNR_{i-DCS} [dB] = 10 \log\left(\frac{1}{\text{sen}^2(1,1)}\right) + SNR_{i-BPSK} [dB] = 1,0 [dB] + 9,6 [dB] \quad (11)$$

$$SNR_{i-DCS} [dB] = 10,6 [dB]$$

De esta manera, si bien el sistema posee un desempeño inferior a uno binario antipodal, tiene la ventaja que requiere de un receptor más sencillo para sincronizar la portadora (por ejemplo, mediante un lazo de enganche de fase o PLL).

4. Diseño del Lazo de Sincronización de la Portadora [PACC2][BEST]

Se diseñó un PLL analógico a partir del cual se obtuvo el PLL digital. Para ello se hicieron las transformaciones necesarias y el procesamiento desarrollado anteriormente. El objetivo es implementar el algoritmo desarrollado en un procesador digital de señales (DSP).

El PLL implementado será Tipo 2 y Orden 2, utilizando un filtro de lazo PI (Proporcional - Integral). La función de transferencia del lazo tiene la forma:

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{k_d k_o \frac{1 + \tau_2 s}{\tau_1 s}}{s + k_d k_o \frac{1 + \tau_2 s}{\tau_1 s}} = \frac{k_d k_o \frac{1 + \tau_2 s}{\tau_1}}{s^2 + k_d k_o \frac{1 + \tau_2 s}{\tau_1}} = \frac{k_d k_o (1 + \tau_2 s)}{s^2 + \frac{k_d k_o \tau_2}{\tau_1} s + \frac{k_d k_o}{\tau_1}} = \frac{2\xi \omega_n s + \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2} \quad (12)$$

por lo tanto $\omega_n = \sqrt{k_d k_o / \tau_1}$ y $\xi = \omega_n \tau_2 / 2$ (13). Este lazo tiene error de estado estacionario nulo, tanto para los saltos de fase, como para los saltos de frecuencia.

Suponiendo que el receptor tiene una tasa de bits de 400bps, en principio, elegimos una frecuencia natural 10 veces menor que esta (como mínimo, porque no nos interesa seguir los cambios de fase de la modulación). Por otro lado, también elegimos $\xi=0,707$ la cual es un buen compromiso entre tiempo de respuesta y sobrepaso de la señal. De esta manera definimos:

$$\omega_n = \frac{2\pi f_b}{10} = 251 \text{ rad/seg} \quad y \quad \xi = 0,707 \quad (14)$$

La señal de entrada, como ya dijimos, se encuentra centrada en 455KHz. El ancho de banda es 14KHz y la frecuencia de muestreo de 32KHz. Los espectros de las señales de entrada, de muestreo y muestreada, respectivamente, se muestran en la Figura 3a). (La forma de los espectros es arbitraria, por el momento sólo nos interesa la ubicación de las réplicas).

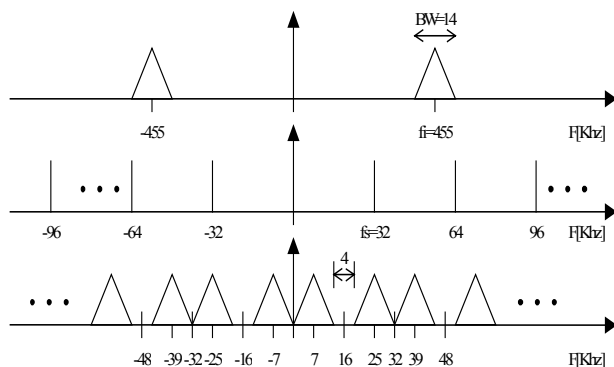


Figura 3.a) Espectro de las señales de entrada, de muestreo y muestreada.

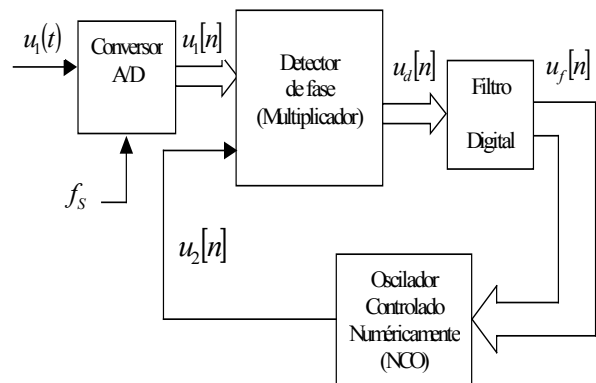


Figura 3.b) Bloques del PLL digital.

Puede observarse en el espectro de la señal muestreada que las réplicas del espectro original aparecen centradas en $\pm 7\text{KHz}$, $\pm 25\text{KHz}$, $\pm 39\text{KHz}$, etc. De esta manera, es una buena elección implementar el PLL digital, como se muestra en la Figura 3b), con la frecuencia central del NCO en 7KHz , porque se requeriría una velocidad de procesamiento menor que si se optara por una frecuencia central de $\pm 25\text{KHz}$, $\pm 39\text{KHz}$, u otra mayor.

El detector de fase es sinusoidal y su constante está dada por $k_d = A_1 A_2 / 2$ (15), donde A_1 y A_2 son las amplitudes de las señales de entrada al lazo y de salida del NCO.

El NCO (ver [PACC1]) tiene una frecuencia central de 7KHz y se calcula como $f_o = P_s \cdot f_s / 2^a$ (16), donde f_s es la frecuencia de muestreo, P_s es una palabra digital que representa los saltos de fase del acumulador y a es el número de bits en el que está representado P_s . El rango de variación de la palabra digital y de la frecuencia generada está dado por:

$$0 \leq P_s \leq 2^{a-1} - 1 \quad y \quad f_s / 2^a \leq f_o \leq f_s / 2 \quad (17)$$

La frecuencia central del NCO, como ya se mencionó, es de 7KHz , y supongamos que deseamos que el NCO pueda generar señales desplazadas $\pm 500\text{Hz}$ respecto de la frecuencia central. De esta manera las palabras digitales correspondientes, para $a=16\text{bits}$, a partir de la ecuación (17) son:

$$\begin{aligned} f_{20} &= 7000\text{Hz} \rightarrow P_{s0} = 7000 * 2^{16} / 32000 = 14336 \\ f_{2MAX} &= 7500\text{Hz} \rightarrow P_{sMAX} = 7500 * 2^{16} / 32000 = 15360 \\ f_{2min} &= 6500\text{Hz} \rightarrow P_{smin} = 6500 * 2^{16} / 32000 = 13312 \end{aligned} \quad (18)$$

La ganancia del NCO está dada por:

$$k_o = 2\pi \frac{f_{2MAX} - f_{2min}}{P_{sMAX} - P_{smin}} = 2\pi \frac{7500 - 6500}{15360 - 13312} [\text{rad} / \text{núm}] = 3,07 [\text{rad} / \text{núm}]$$

y el rango de salida del filtro digital es:

$$u_{jMAX} = P_{sMAX} - P_{s0} = 15360 - 14336 = 1024 \quad y \quad u_{jmin} = P_{smin} - P_{s0} = 13312 - 14336 = -1024$$

El filtro de lazo utilizado es un PI al cual se le agrega un polo una década por encima de la frecuencia natural, para no modificar las características dinámicas y de estabilidad del lazo diseñado. El objetivo de este polo es atenuar la componente de doble frecuencia y el ruido, presentes a la salida del detector de fase. La función de transferencia del filtro está dada por:

$$F(s) = \frac{U_f(s)}{U_d(s)} = \frac{1 + s\tau_2}{s\tau_1(1 + s\tau_3)} \quad \text{donde } \tau_1 = k_d k_o / \omega_n^2 \quad \tau_2 = 2\xi / \omega_n \quad \tau_3 = 1/10\omega_n \quad (19)$$

Las constantes de tiempo τ_1 y τ_2 se obtienen a partir de las ecuaciones (13) y τ_3 de lo mencionado anteriormente.

Esta transferencia fue pasada al dominio z utilizando una transformación bilineal, para luego poder implementar el filtro digitalmente.

$$F(z) = \frac{\frac{T(2\tau_2 + T)}{2\tau_1(2\tau_3 + T)} + \frac{2T^2}{2\tau_1(2\tau_3 + T)}z^{-1} + \frac{T(T - 2\tau_2)2T^2}{2\tau_1(2\tau_3 + T)}z^{-2}}{1 - \frac{4\tau_3}{2\tau_3 + T}z^{-1} + \frac{2\tau_3 - T}{2\tau_3 + T}z^{-2}} = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{a_0 + a_1z^{-1} + a_2z^{-2}} \quad (20)$$

donde:

$$\begin{aligned} b_0 &= \frac{T(2\tau_2 + T)}{2\tau_1(2\tau_3 + T)} & b_1 &= \frac{2T^2}{2\tau_1(2\tau_3 + T)} & b_2 &= \frac{T(T - 2\tau_2)2T^2}{2\tau_1(2\tau_3 + T)} \\ a_0 &= 1 & a_1 &= -\frac{4\tau_3}{2\tau_3 + T} & a_2 &= \frac{2\tau_3 - T}{2\tau_3 + T} \end{aligned}$$

De esta manera la ecuación en diferencias que representa el filtro está dada por:

$$u_f[n] = -a_1 u_f[n-1] - a_2 u_f[n-2] + b_0 u_d[n] + b_1 u_d[n-1] + b_2 u_d[n-2] \quad (21)$$

dato que $a_0=1$.

La Figura 4a) muestra el diagrama en bloques del filtro dado por la ecuación en diferencias y la Figura 4b) una implementación más eficiente del mismo filtro que utiliza menos bloques de retardos.

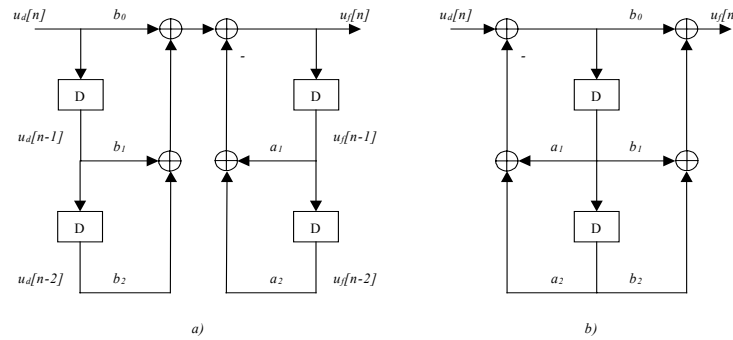


Figura 4 a) b). Dos implementaciones del filtro digital.

En las figuras 5, 6 y 7 se muestran los resultados obtenidos en las simulaciones el PLL implementado, correspondientes a excitaciones de entrada dadas por la señal DCS sin modulación (es decir portadora pura), pero se le agrega un escalón de fase de $2,2rad$, un escalón de frecuencia (o rampa de fase) de $60Hz$, y una rampa de frecuencia (o parábola de fase) de $200Hz/s$, respectivamente. En todos los casos se utilizó como parámetro la frecuencia natural w_n cuyos valores fueron $251rad/s$, $126rad/s$ y $63rad/s$.

La señal *phase* es la fase de la señal de entrada al PLL, la señal *error* es la fase de la portadora recuperada por el PLL, y u_f es la salida del filtro digital de lazo.

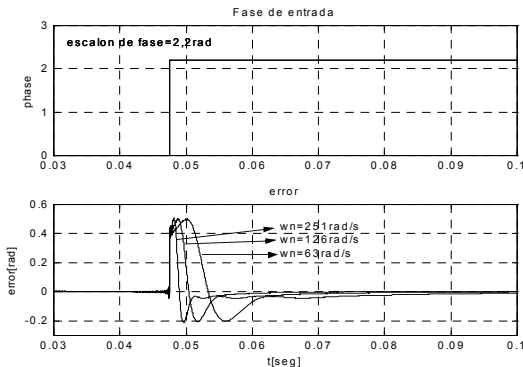


Figura 5. a) Excitación de fase a la entrada; b) error de fase de la portadora recuperada.

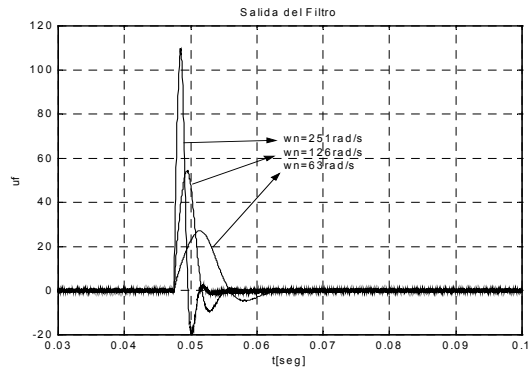


Figura 5. c) Salida del filtro digital del lazo.

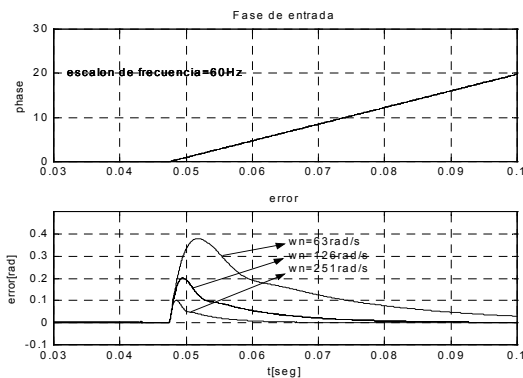


Figura 6. a) Excitación de fase a la entrada; b) error de fase de la portadora recuperada.

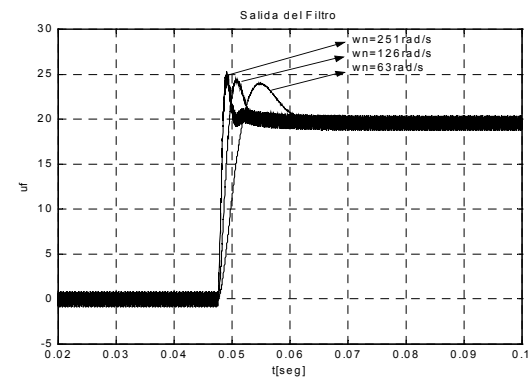


Figura 6. c) Salida del filtro digital del lazo.

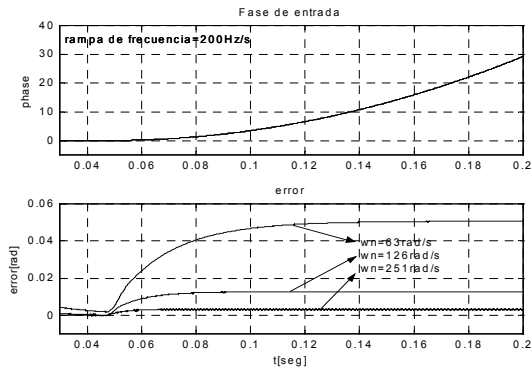


Figura 7. a) Excitación de fase a la entrada; b) error de fase de la portadora recuperada.

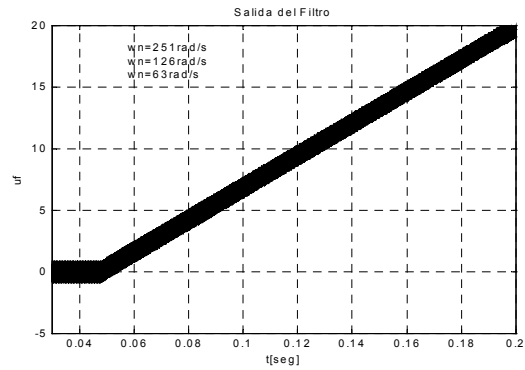


Figura 7. c) Salida del filtro digital del lazo.

Como era de esperarse, dado que el PLL es de tipo 2 y de orden 2, el error de fase es nulo cuando la entrada tiene un escalón o rampa de fase, y es constante cuando la entrada tiene una parábola de fase. Esto también puede observarse de la salida del filtro de lazo, donde en el primer caso, esta tiende a cero una vez que recupera la fase de la portadora, en el segundo caso tiende a un valor constante, dado que el NCO debe oscilar a una frecuencia diferente respecto de la frecuencia central, y en el tercer caso, la salida del filtro crece linealmente dado que la frecuencia de la señal de entrada aumenta linealmente con el tiempo y el PLL trata de seguirla.

Las Figuras 8a) y 8b) muestran el error de fase proyectado sobre la portadora y la salida del filtro de lazo, respectivamente, cuando la señal de entrada es la del DCS modulada con datos aleatorios a 400bps codificados en Manchester. La frecuencia angular natural es de 251rad/s. Las Figuras 9a) y 9b), y, 10a) y 10b) muestran el mismo resultado pero para frecuencias angulares de 126rad/s y 63rad/s. Puede observarse que el error de fase pico de la portadora es de 0,5rad, o 28,6°, para $w_n=251\text{rad/s}$, y disminuye para frecuencias naturales menores (25,5° para 123rad/s y 13,2° para 63rad/s). Esto era lo esperado, pero no hay que olvidarse que disminuir w_n significa que los tiempos de enganche del lazo aumentan, ver Figuras 7, y de esta manera puede llegarse a obtener tiempos extremadamente largos. Por lo tanto, la solución es encontrar un compromiso entre el tiempo de enganche y el error de fase en la recuperación de la portadora.

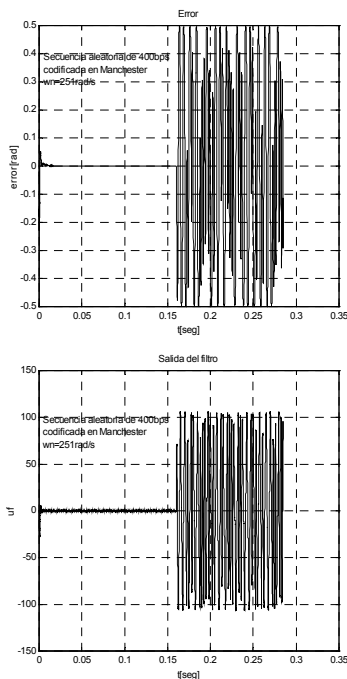


Figura 8. Para $w_n=251\text{rad/s}$. a) Error de fase proyectado sobre la portadora; y b) salida del filtro digital de lazo.

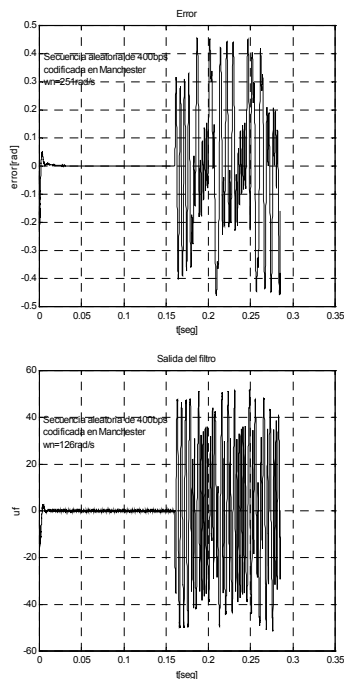


Figura 9. Para $w_n=126\text{rad/s}$. a) Error de fase proyectado sobre la portadora; y b) salida del filtro digital de lazo.

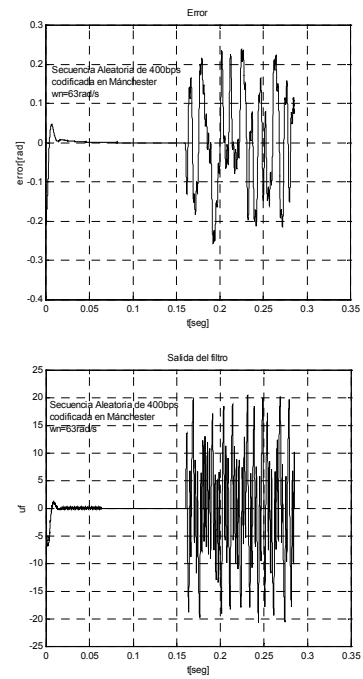


Figura 10. Para $w_n=63\text{rad/s}$. a) Error de fase proyectado sobre la portadora; y b) salida del filtro digital de lazo.

5. Conclusiones

Se estudió el funcionamiento y las aplicaciones de un sistema de recolección de datos remotos. El mismo tiene aplicaciones muy importantes como pueden ser la protección del medio ambiente, prevención de catástrofes climáticas, estudio de la fauna, etc. Posteriormente, a partir de las especificaciones técnicas del sistema se desarrolló un receptor de comunicaciones basado en la implementación digital de un PLL. Para ello, previamente se hizo un análisis del muestreo pasabanda, del diseño de lazos para recuperación de portadora, de osciladores controlados numéricamente, etc. Por último se hicieron las simulaciones correspondientes del lazo de seguimiento de portadora diseñado para situaciones reales de funcionamiento. Por ejemplo, se consideraron excitaciones como saltos de fase, que pueden ser debido a los datos modulados, saltos de frecuencia, que pueden deberse al efecto Doppler, y rampas de frecuencia que representan las variaciones de la frecuencia con el tiempo debidas a la misma causa que la anterior.

Como tareas pendientes por desarrollar en el futuro queda la implementación de un correlador o filtro adaptado para la demodulación de los datos y la implementación del receptor en un procesador digital de señales (DSP).

6. Bibliografía

- [PACC1] Pablo Costanzo Caso, Análisis, Diseño e Implementación de un Sintetizador Digital de Señales en Lógica Programada. Informe CIC 2005.
- [PACC2] Pablo Costanzo Caso, Implemen. de un PLL por Software. Informe CIC 2005.
- [BEST] R. Best, Phase-Locked Loops. Design, Simulation, and Applications. 1999.
- [SKLAR] B. Sklar, Digital Communications. Fundamentals and Applications. 1988
- [CARL] A. Carlotto, Análisis de la señal de Argos. Informe Interno Area de Comunicaciones, Fac. de Ingeniería, UNLP. 2005.