



Universidad
Tecnológica
del Perú

FACULTAD DE INGENIERÍA

Ingeniería Electrónica

Tesis

**“Diseño y Simulación de un Filtro Digital
para Señales EEG con el Paradigma de
Imaginación Motora en FPGA”**

Autor : José Carlos Rodríguez Yarahuanan

Para optar el Título Profesional de
Ingeniero Electrónico

Asesor : Mg. José Machuca Mines

Lima – Perú

2020

DEDICATORIA

A Dios y a mis santos patronos San Martín de Porres y San Juan Macías a quienes tengo presente cada día de mi vida y agradecerle por darme la vida y permitirme alcanzar mis sueños.

A mis padres Benjamín Rodríguez y María Yarahuan, a mis hermanos Andrés, Miguel y Carlos, por su apoyo incondicional y el amor tan grande que me brindan cada momento de mi vida.

AGRADECIMIENTOS

Al Dr. Pedro Huamani Navarrete y al Dr Antonio Candeia Leite a quien agradezco eternamente por su confianza, su amistad, y a dios por permitir conocerlo.

Al Grupo de Investigación en Robótica Aplicada y Biomecánica (GIRAB) quien me permitió involucrarme más en la investigación. Erick Carranza, Julio Reategui, Elizabeth Abarca muchas gracias por todo su apoyo, confianza y los conocimientos brindados.

A Carol Mendoza de quien estoy agradecido eternamente por todo el apoyo y consejos brindados durante el desarrollo de esta investigación.

A mi Asesor José Machuca Mines por el apoyo brindado en la presente Tesis.

A mis amigos de la Universidad PUC-RIO y UFRJ quien compartí grandes momentos de aprendizaje en Brasil Pedro Achanccaray, Asiel, Williams, Edgar, Salvador, Liz, Julio, Alimed, muchas gracias

RESUMEN

En la actualidad, los filtros digitales tienen diversas aplicaciones en distintas ramas de ingeniería como Biomédica, Electrónica, Telecomunicaciones. En diversos centros de investigación relacionados a señales Electroencefalográficas (EEG) presentan ciertas limitaciones en la etapa de pre-procesamiento de las señales electroencefalográficas debido al alto costo de equipos que permiten realizar la etapa de pre – procesamiento, adquisición y visualización de la señal EEG filtrada. El objetivo del presente trabajo es diseñar y simular un filtro digital en hardware para señales EEG del paradigma de imaginación motora en un sistema embebido FPGA (Field Programmable Gate Array), cuyo propósito es poder desarrollar la etapa de pre-procesamiento de la señal EEG del paradigma de imaginación motora. Utilizar los recursos de hardware y software del FPGA permite tener una amplia flexibilidad en poder diseñar un filtro digital. Las herramientas de simulación Matlab, Modelsim, permiten una solución practica para la visualización de la señal EEG filtrada. Se opta por el uso del filtro FIR basado en el método de ventana de Hamming y Blackman. Adicionalmente, se trabajó con una base de datos EEG de 60 canales el cual se utiliza los canales C3 y C4 con la finalidad de trabajar con las ondas electroencefalográficas de imaginación motora Beta y Mu. En el diseño del filtro digital en software se emplea el lenguaje de programación VHDL, asimismo en los resultados obtenidos se realiza una comparación del filtro digital FIR usando el método de ventana de Hamming y Blackman que mediante las pruebas realizadas en software se demuestra que el método de ventana Blackman presenta una mejor respuesta de la señal Electroencefalográfica para la etapa de pre -procesamiento ,brindando una herramienta en software que permitirá a los usuarios realizar diferentes estudios complementarios al área de pre – procesamiento de señales EEG.

Palabras Claves: EEG, BCI, FPGA, VHDL, Filtros Digitales FIR, Hamming, Blackman

ABSTRACT

Nowadays, the digital filters have different applications in different branches of engineering such as Biomedical, Electronics, Telecommunications. In various research centers related to Electroencephalographic (EEG) signals, they present certain limitations in the pre-processing stage of the electroencephalographic signals due to the high cost of equipment that allows the pre-processing, acquisition and visualization of the filtered EEG signal to be carried out. . The objective of this work is to design and simulate a hardware digital filter for EEG signals of the motor imagination paradigm in an embedded FPGA system (Field Programmable Gate Array), whose purpose is to develop the pre-processing stage of the EEG signal of the motor imagination paradigm. Using the hardware and software resources of the FPGA allows a wide flexibility in being able to design a digital filter. The Matlab simulation tools, Modelsim, allow a practical solution for the visualization of the filtered EEG signal. The use of the FIR filter based on the Hamming and Blackman window method is chosen. Additionally, we worked with a 60-channel EEG database which uses channels C3 and C4 in order to work with the EEG waves of motor imagination Beta and Mu. The design of the digital filter in software uses the language of VHDL programming, also in the results obtained a comparison of the digital FIR filter is made using the Hamming and Blackman window method, which through tests carried out in software shows that the Blackman window method presents a better response of the Electroencephalographic signal for the pre-processing stage, providing a software tool that will allow users to carry out different complementary studies to the pre-processing area of EEG signals.

Keywords: EEG, BCI, FPGA, VHDL, FIR Digital Filters, Hamming, Black

ÍNDICE DE CONTENIDO

INDICE DE FIGURAS.....	IX
INDICE DE TABLAS.....	XV
INTRODUCCIÓN.....	1
CAPÍTULO I : ASPECTOS GENERALES	2
1.1 Definición del Problema	2
1.1.1 Descripción del Problema	2
1.1.2 Formulación del problema.....	3
1.1.2.1 Problema principal	3
1.1.2.2 Problemas específicos	3
1.2 Definición de objetivos	4
1.2.1 Objetivo general.....	4
1.2.2 Objetivos Específicos.....	4
1.3 Estado del Arte	4
1.4 Alcance y limites	7
1.4.1 Alcances	7
1.4.2 Limitaciones.....	8
1.5 Justificación	8
1.6 Estudios de viabilidad	9
1.6.1 Viabilidad Técnica.....	9
1.6.2 Viabilidad Económica.....	9
CAPÍTULO 2 :MARCO TEÓRICO	10
2.1 Fundamento Teórico.....	10
2.2 Filtros Digitales	10
2.3 Tipos de Filtros	11
2.3.1 Filtro Pasa Bajo (Low Pass)	12
2.3.2 Filtro Pasa Alto (High Pass)	12
2.3.3 Filtro Pasa Banda (Band Pass)	13
2.3.4 Filtro Rechaza Banda (Band stop)	13
2.4 Filtros FIR	13
2.4.1 Filtros FIR De Fase Lineal.....	14
2.4.2 Polos y cero Fase lineal	17
2.4.3 Diseño de Filtro FIR	18

2.4.4 Método de Ventanas	18
2.4.5 Ventana Rectangular	23
2.4.6 Ventana Triangular.....	25
2.4.7 Ventana de Hamming	27
2.4.8 Ventana Blackman	30
2.5 Electroencefalografía (EEG)	32
2.5.1 Método de Adquisición de Señales EEG	33
2.5.2 tipos de Electroodos (Pasivos y Activos)	35
2.5.3 Ubicación de electrodos	38
2.5.4 Ondas Cerebrales – Señales Electroencefalográficas (EEG)	40
2.5.5 Interfaz Cerebro Computador (Brain Computer Interface)	42
2.6 Dispositivos Lógicos Reconfigurables (FPGA)	45
2.6.1 Introducción	45
2.6.2 Arquitectura de un FPGA	47
2.6.3 Lenguajes de Descripción en Hardware	50
2.6.4 Introducción Punto Fijo.....	53
CAPITULO 3: DISEÑO y SIMULACIÓN DEL FILTRO DIGITAL EN FPGA PARA SEÑALES EEG	55
3.1 Diagrama de Bloques del Sistema	55
3.2 Etapa de Diseño	56
3.2.1 Base de datos EEG.....	56
3.2.2 Pre – Procesamiento.....	60
3.2.3 Sistema FIFO.....	100
3.3 Etapa de Simulación	101
3.3.1 Simulación del Canal C3 usando un Filtro FIR de Ventana Hamming	101
3.3.2 Simulación del Canal C3 usando un Filtro FIR de Ventana Blackman	106
3.3.3 Simulación del Canal C4 usando un Filtro FIR Ventana Hamming	111
3.3.4 Simulación del Canal C4 usando un Filtro FIR Ventana Blackman	116
3.4 Etapas de Implementación en Software	123
3.4.1 Implementación de la Base de Datos EEG.....	123
3.4.2 Implementación del Filtro Digital en Software	126
3.4.3 Implementación del Sistema FIFO	134
CAPÍTULO 4: RESULTADOS	113
4.1 Introducción	135
4.2 Pruebas de la descripción de Hardware	135

4.2.1 Etapa de Base de datos EEG.....	135
4.2.2 Resultados del Filtro Digital FIR – Ventana de Hamming	141
4.2.3 Resultados del Filtro Digital FIR – Ventana de Blackman.....	147
.....	157
CONCLUSIONES	160
RECOMENDACIONES	161
BIBLIOGRAFÍA.....	162
ANEXOS.....	170
ANEXO A: CODIGO DEL FILTRO DIGITAL FIR DE ORDEN 80 USANDO LA VENTANA DE HAMMING	170
ANEXO B: CODIGO DEL FILTRO DIGITAL FIR DE ORDEN 81 USANDO LA VENTANA DE BLACKMAN	173
ANEXO C: PROGRAMACIÓN DEL FILTRO DIGITAL FIR DE LA VENTANA DE HAMMING DE ORDEN 80 EN MATLAB 2018B.....	176
ANEXO D: PROGRAMACIÓN DEL FILTRO DIGITAL FIR DE LA VENTANA DE BLACKMAN DE ORDEN 81 EN MATLAB 2018B	177

INDICE DE FIGURAS

Figura 1. Tipos de Filtros Pasa Bajo, Pasa Banda, Pasa Alto, Rechaza Banda.....	12
Figura 2. Respuestas en Frecuencias del Filtro FIR a) Respuesta en frecuencia Tipo I – II Simetría Impar b) Respuesta en frecuencia Tipo III – IV Simetría Par	16
Figura 3. Respuesta en el dominio del tiempo y de frecuencia de la Ventana Rectangular de Orden $N = 30$	24
Figura 4. Respuesta de Magnitud con respecto a frecuencia de una Ventana Rectangular de Orden $N = 120$	25
Figura 5. Respuesta en el dominio del tiempo y frecuencia de una Ventana Triangular de Orden $N = 30$	26
Figura 6. Respuesta de Magnitud con respecto a frecuencia de una Ventana Triangular de Orden $N = 120$	26
Figura 7. Richard W. Hamming (Reimpreso Nokia Corporation). Fuente: (Zoran S. Bojkovic, 2017)	27
Figura 8. Respuesta en el dominio del tiempo y frecuencia de una Ventana de Hamming de Orden $N = 30$	28
Figura 9. Respuesta de Magnitud con respecto a frecuencia de una Ventana Hamming de Orden $N = 120$	29
Figura 10. Respuesta en el dominio del tiempo y frecuencia de una ventana de Blackman de Orden $N = 30$	30
Figura 11. Respuesta de Magnitud con respecto a frecuencia de una Ventana Blackman de Orden $N = 120$	31
Figura 12. Método de adquisición Invasivo y No Invasivo para la Adquisición de señales EEG. Electromiografía (EMG), Electroencefalografía (EEG), Estereoelectroencefalografía (SEEG).....	34

Figura 13. Esquema de generación de un pequeño potencial EEG como suma de las Corrientes sinápticas de las neuronas piramidales.....	35
Figura 14. Electrodo EEG tipo Pasivo tipo disco, reutilizable de plata recubierto en oro...36	
Figura 15. Electrodo EEG de característica activa	37
Figura 16. Uso de Brain Computer Interface el cual presenta electrodos de característica Activa.....	37
Figura 17. Sistema Internacional 10-20.....	38
Figura 18. Señales EEG (a) Onda Alfa – (b) Onda Beta – (c) Onda Delta – (d) Onda theta – (e) Onda Mu – (f) Onda Gamma. Fuente: (Sepulveda, 2017).....	41
Figura 19. Diagrama de Bloques de un Sistema Interfaz cerebro – computador	43
Figura 20. Sistema EEG de 64 canales registrando señales EEG en base al paradigma de imaginación motora.....	44
Figura 21. Sistema BCI usando el paradigma P300	44
Figura 22. Arquitectura de un FPGA – XILINIX que muestra sus componentes básicos	45
Figura 23. Características de la arquitectura de un FPGA – Intel Arria 10.....	47
Figura 24. Diagrama de Bloques de alto Nivel ALM para dispositivos Intel Arria 10	48
Figura 25. Conectores Utilizado en los FPGA's Xilinx	49
Figura 26. Arquitectura del FPGA, Xilinx Virtex – E series	49
Figura 27. Lenguaje en VHDL a) Estructura de la Entidad b) Estructura de la Arquitectura.	50
Figura 28. Diseño de Flujo Quartus II.....	52
Figura 29. Representación de un formato de Punto Fijo.....	53
Figura 30. Diagrama de Bloques General Del Sistema	56
Figura 31. Posición de Electrodo EEG	58
Figura 32. Tiempos de ensayo del Paradigma Imaginación Motora	59
Figura 33. Señales de Imaginación motora	59
Figura 34. Diagrama de Bloques para el Diseño Del Filtro Digital FIR.....	60

Figura 35. Parámetros de repuesta en magnitud de un Filtro Pasa Banda	61
Figura 36. Canal EEG a) Señal de entrada del canal C3. b) Señal de entrada del canal C4.	63
Figura 37. Convolución en el dominio de la frecuencia.	66
Figura 38. Respuesta en el tiempo del filtro FIR de ventana de Hamming y Blackman	96
Figura 39. Estructura de Formas Directa de un Filtro FIR.....	99
Figura 40. Proceso de Lectura y Escritura de un Sistema FIFO	100
Figura 41. Simulación del Canal C3 usando Filtro FIR de Ventana Hamming.	102
Figura 42. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 11.....	104
Figura 43. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 11.....	106
Figura 44. Simulación del Canal C3 usando Filtro FIR Ventana Blackman.....	107
Figura 45. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 12.....	109
Figura 46. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 12.....	111
Figura 47. Simulación del Canal C4 usando Filtro FIR Ventana Hamming	112
Figura 48. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 13.....	114
Figura 49. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 13.....	116
Figura 50. Simulación del Canal C4 usando Filtro FIR Ventana Blackman.....	117
Figura 51. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 14.....	119
Figura 52. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 14.....	121

Figura 53. Simulación de la Señal EEG del Canal C3 sin Filtrar usando Modelsim	122
Figura 54. Simulación de la Señal EEG del Canal C4 sin Filtrar usando Modelsim	122
Figura 55. Amplificador de Bioseñal EEG de alta Gamma	123
Figura 56. Base de Datos EEG del Canal C4 sin Filtrar expresado numéricamente en el software Matlab	124
Figura 57. Base de Datos EEG del Canal C4 sin Filtrar expresado en su totalidad por el comando Format Long en el software Matlab.....	125
Figura 58. Diagrama RTL De la memoria ROM interpretado por el sintetizador como una Memoria RAM Inicializada.....	126
Figura 59. Generación de coeficientes del Filtro Digital usando la Plataforma Filter Designer	127
Figura 60. Librería IEEE.PROPOSED agregado al directorio del Proyecto	128
Figura 61. Diagrama RTL del Filtro Digital FIR Ventana de Hamming de Orden 44.....	129
Figura 62. Tiempo Transcurrido de la data por la etapa de Delay_Pipeline	131
Figura 63. Diagrama RTL (Nivel de transferencia de Registro) del Hardware Desarrollado.	133
Figura 64. Reporte de los Recursos utilizados del Hardware Implementado	134
Figura 65. Resultado de la Simulación del Canal C4 expresado en Punto Fijo de longitud de 6 decimales.....	136
Figura 66. Resultado del Forma de Onda Electroencefalográfica del Canal C4 expresado en Punto Fijó con una longitud de 6 decimales	137
Figura 67. Reporte de los Recursos utilizados del Hardware considerando la expresión de punto fijo con 6 decimales de la Base de datos EEG del canal C4.....	137
Figura 68. Resultado de la Simulación del Canal C4 expresado en Punto Fijo de longitud de 4 decimales.....	138
Figura 69. Resultado del Forma de Onda Electroencefalográfica del Canal C4 expresado en Punto Fijó con una longitud de 4 decimales	139

Figura 70. Reporte de los Recursos lógicos utilizados en Hardware considerando la expresión de punto fijo con 4 decimales de la data EEG del canal C4.	139
Figura 71. Configuración de la familia de la tarjeta de desarrollo del FPGA	140
Figura 72. Resultado del Ritmo Electroencefalográfico Beta del Canal C4 usando el Filtro FIR de Ventana de Hamming de orden 44	141
Figura 73. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 18	142
Figura 74. Resultado del Ritmo Electroencefalográfico Mu del Canal C4 usando el Filtro FIR de Ventana de Hamming de orden 80	143
Figura 75. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 19	143
Figura 76. Resultado del Ritmo Electroencefalográfico Mu del Canal C3 usando el Filtro FIR de Ventana de Hamming de orden 44	144
Figura 77. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 20	145
Figura 78. Resultado del Ritmo Electroencefalográfico Mu del Canal C4 usando Filtro el FIR de Ventana de Hamming de orden 80	146
Figura 79. Resultado de los Recursos Lógicos utilizados en Hardware en basado a las especificaciones de la Tabla 21	146
Figura 80. Resultado del Ritmo Electroencefalográfico Beta del Canal C4 usando el Filtro FIR de Ventana de Blackman de orden 45.....	147
Figura 81. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la tabla 22	148
Figura 82. Resultado del Ritmo Electroencefalográfico Mu del Canal C4 usando el Filtro FIR de Ventana de Blackman de orden 81.....	149
Figura 83. Resultado de los Recursos Lógicos utilizados en Hardware basado a especificaciones de la Tabla 23a.	149

Figura 84. Resultado del Ritmo Electroencefalográfico Beta del Canal C3 usando el Filtro FIR de Ventana de Blackman de orden 45.....	150
Figura 85. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 24	151
Figura 86. Resultado del Ritmo Electroencefalográfico Mu del Canal C3 usando el Filtro FIR de Ventana de Blackman de orden 81.....	152
Figura 87. Resultado de los Recurso Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 25	152
Figura 88. Resultado del Ritmo Electroencefalográfico Beta del Canal C4 usando el Filtro FIR de Ventana de Blackman de orden 81.....	153
Figura 89. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 26	154
Figura 90. Respuesta en el domino de frecuencia y magnitud del filtro digital FIR Pasa-Banda utilizando la ventana de Blackman de orden 81	155
Figura 91. Respuesta en el domino de frecuencia y magnitud del filtro digital FIR Pasa-Banda utilizando la ventana de Hamming de orden 80.....	155
Figura 92. Frecuencias de Reloj de trabajo de la tarjeta de desarrollo DE0-Nano-Soc.	157

INDICE DE TABLAS

Tabla 1. Tipos de Filtros FIR según el número de coeficientes y simetría	15
Tabla 2. Función de Ventana para el diseño de Filtro FIR.....	22
Tabla 3. Características de las Ondas EEG	40
Tabla 4. Comparación de formato Punto Fijo y Flotante con respecto a FPGA Y DSP. Extraído de (Anderson & Hall, 2014).....	54
Tabla 5. Características de la Base de Datos de las Señales EEG	57
Tabla 6. Especificaciones del Filtro Digital FIR con respecto al Ritmo Electroencefalográfico Mu	64
Tabla 7. Especificaciones del Filtro Digital FIR con respecto al Ritmo Electroencefalográfico Beta	65
Tabla 8. Respuesta al Impulso Ideal de los Filtros Digitales	67
Tabla 9. Funciones de Ventana para el Diseño de un Filtro FIR.....	67
Tabla 10. Representación de los Bloques de Estructura de un Filtro FIR	97
Tabla 11. Especificaciones de la Simulación de la etapa de Filtrado del Canal C3 usando la ventana de Hamming	101
Tabla 12. Especificaciones de la Simulación de la etapa de Filtrado del Canal C3 usando la ventana de Blackman.....	106
Tabla 13. Especificaciones de la Simulación de la etapa de Filtrado del Canal C4 usando la ventana de Hamming	111
Tabla 14. Especificaciones de la Simulación de la etapa de Filtrado del Canal C4 usando la ventana de Blackman.....	116
Tabla 15. Tiempo de Simulación de la Señal Filtrada del Canal C4	130
Tabla 16. Base de datos EEG del Canal C4 expresado en Punto Fijo con una longitud de 6 decimales.....	136
Tabla 17. Base de datos EGG del Canal C4 expresado en Punto Fijo con una longitud de 4 decimales.....	138

Tabla 18. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C4	141
Tabla 19. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C4	142
Tabla 20. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C3	144
Tabla 21. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C3	145
Tabla 22. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C4	147
Tabla 23. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C4	148
Tabla 24. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C3	150
Tabla 25. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C3	151
Tabla 26. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C3	153
Tabla 27. Frecuencia Máxima de trabajo basado al Modelo 1100mv 85C.....	156
Tabla 28. Frecuencia Máxima de trabajo en Base al Modelo 1100mv 0C	157

INTRODUCCIÓN

En el presente proyecto se plantea el desarrollo del diseño y simulación de un filtro digital en hardware para señales EEG del paradigma de imaginación motora en un FPGA con el cual se realizará la etapa de pre-procesamiento de las señales EEG. Asimismo, se desarrolla el filtro digital en el lenguaje de programación VHDL con la finalidad de poder tener mayor flexibilidad y utilizar los recursos del FPGA.

La señal EEG es obtenida en mediante una base de datos EEG de imaginación motora en el cual se define como la imaginación de movimientos físicos de manos, pie, lengua. Se utilizo las herramientas de software Quartus II y Matlab para la validación de la simulación de las señales EEG filtradas. En Alemania, la Universidad de Desdren ha desarrollado diversas aplicaciones de EEG enfocados a dispositivos portátiles FPGA que permite realizar procesos de pre – procesamiento de la señal EEG, extracción de características de las señales EEG permitiendo a diversos usuarios poder realizar diversas investigaciones relacionadas a EEG como neurociencia, análisis de señales EEG, además de poder visualizar la señal EEG en tiempo real. El diseño del filtro digital está basado en el desarrollo del Tipo FIR empleando el método de ventana de Hamming y Blackman. En Base a los resultados obtenidos se logró obtener una eficiente etapa de pre procesamiento de la señal EEG utilizando los recursos lógicos del FPGA DE0-Nano SoC.

La presente investigación se tiene la estructura:

En el capítulo 1 se describe la problemática, se define los objetivos, alcances, limitaciones, justificación y viabilidad de la Tesis.

En el capítulo 2 se presenta los diferentes conceptos de los filtros digitales, señales EEG, dispositivos lógicos reconfigurables.

En el capítulo 3 se define el desarrollo de diseño y simulación del sistema del filtro digital en FPGA para señales EEG.

En el capítulo 4 se presenta los resultados obtenidos de los diseños y simulaciones de los filtros digitales aplicado a las señales electroencefalográficas.

CAPÍTULO 1

ASPECTOS GENERALES

1.1 Definición del Problema

1.1.1 Descripción del Problema

En las últimas décadas los filtros digitales están generando un gran impacto en la etapa de procesamiento de las señales Bioeléctricas (EEG - ECG - EMG - EOG- ERG). De modo que permiten mejorar la relación de la señal con respecto al ruido, asimismo se puede identificar y clasificar los distintos tipos de señales bioeléctricas. El avance en la tecnología digital ha conllevado a que múltiples sistemas de adquisición y visualización de señales EEG tengan un alto costo y de difícil acceso a distintas plataformas como simulación, procesamiento digital, visualización de la señal. Existen diversas empresas dedicadas al rubro de adquisición y pre procesamiento de señales EEG como Neurosky, Muse, OpencBCI, Neuroelectrics, QUASAR, Cogniocis.

En diversas investigaciones de las señales EEG están relacionadas a estudios médicos que permiten la identificación de algunas enfermedades y trastornos neurológicos. En el Perú, según el neurólogo del Instituto Nacional de Ciencias Neurológicas, Danilo Sánchez coronel, señala que un 10 % de la población de adultos mayores padece de la enfermedad de Alzheimer, el cual es una enfermedad neurodegenerativa que se manifiesta con trastornos conductuales y de pensamiento. Asimismo, el país carece de tecnologías

portables de adquisición y pre -procesamiento de señales EEG ya que no son utilizadas en hospitales o clínicas como solución ante diversas enfermedades neurológicas. Dicha problemática también repercute en el ámbito universitario debido a que diversas universidades del país del Perú no cuentan con el apoyo suficiente para adquirir un equipo de adquisición de señal EEG de alta precisión debido a factores como tiempo de entrega del equipo médico en exportación, costo, certificación medica del equipo de adquisición de señales EEG, mantenimiento del equipo médico y los escasos de especialista en el tema.

Ante la presente problemática, se plantea como objetivo principal diseñar y simular un filtro digital para señales EEG basado en el paradigma de imaginación motora en FPGA, el uso del sistema embebido FPGA, permite tener flexibilidad, robustez y portabilidad con respecto a la etapa de pre – procesamiento de las señales EEG, asimismo un bajo costo , además de poder utilizar todos los recursos computacionales del FPGA para realizar diversas tareas en la etapa de pre – procesamiento de la señal EEG. Una etapa complementaria que permite la validación de la señal EEG filtrada es el uso del software Matlab y Modelsim, ambas herramientas gratuitas de software permiten interactuar y visualizar la señal EEG filtrada, permitiendo ser un solución portátil, flexible y robusta de bajo costo para fines de investigación médica, clínica y universitaria.

1.1.2 Formulación del problema

1.1.2.1 Problema principal

¿Cómo diseñar y simular un filtro digital en hardware para señales EEG de imaginación motora basado en un FPGA?

1.1.2.2 Problemas específicos

- ¿Qué comportamiento presentan las señales EEG de la actividad de imaginación motora?

- ¿De qué manera influye la eliminación de ruido en el análisis de las señales EEG basado en el paradigma de imaginación motora?
- ¿Qué controlador digital se utilizará para la implementación del filtro digital en hardware?
- ¿De qué manera se valida el funcionamiento del filtro digital ante las señales EEG de la base de datos BCI -III?

1.2 Definición de objetivos

1.2.1 Objetivo general

Diseñar y simular un filtro digital en software para señales EEG basados en un FPGA

1.2.2 Objetivos Específicos

- Describir el comportamiento y características de los canales y ritmos electroencefalográficos de actividad de imaginación motora.
- Diseñar un filtro digital de fase lineal para las señales EEG basado en el paradigma de imaginación Motora del Tipo Beta y Mu.
- Elaborar el programa del filtro de fase lineal en el lenguaje de programación de descripción de hardware (VHDL).
- Realizar las simulaciones y pruebas necesarias del filtro digital ante las señales EEG de la base de datos BCI -III utilizando las plataformas de Matlab y ModelSim.

1.3 Estado del Arte

Actualmente existen diversas investigaciones relacionadas al diseño de filtros digitales para señales Electroencefalográficas.

- Perú, 2010, Catherine Natalie Mesía Benito, Pontificia Universidad Católica del Perú, Tesis “**Sistema de Adquisición de Señales Biomédicas sobre FPGA**”. En la Tesis se desarrolló un sistema de adquisición de señales biomédicas basado en un FPGA. El sistema de adquisición permite la adquisición de señales que se generan por el

cuerpo humano (Corazón – Cerebro – Musculo). La adquisición de la señal se basa en el uso de un FPGA – Xilinx para la etapa de adquisición de señales biomédicas. Las señales que fueron adquiridas, presentaron un rango de amplitud de 100 μ v a 10 mV y asimismo un rango de frecuencia de 0.01 Hz a 10 KHz. Para la etapa de conversión de análogo digital se utiliza el conversor ADS1294 debido a que posee amplificadores programables PGA que presentan 7 tipos de ganancias y una entrada CMOS. Asimismo, este tipo de conversor esta dedica explícitamente a este tipo de aplicaciones EEG. Dicho diseño también presenta las etapas de visualización – digitalización – transmisión de los datos obtenidos en el respectivo software que se diseñó. El presente sistema de adquisición digital de señales biomédicas tiene como enfoque el área biomédica, laboratorios de investigación del área médica (Mesia Benito, 2011) .

- Perú, 2017, Kevin Jose Acuña Condori, Pontificia Universidad Católica del Perú, Tesis **“Procesamiento de Señales Electroencefalográficas en un Sistema Embebido para una Interfaz Cerebro Maquina”**. En la Tesis se desarrolló el procesamiento de señales electroencefalográficas en un sistema Embebido para un Interfaz Cerebro Maquina. Asimismo, la tesis tiene como enfoque a las personas con discapacidad motora, por consiguiente, el interés científico del desarrollo de la investigación se basa en el diseño e implementación de una interfaz cerebro máquina portable de bajo costo basado en la ejecución de un software que controla el sistema en una plataforma de microcomputadora. Finalmente, la investigación realizada fomenta la integración de diversas áreas de la medicina entre las cuales son Psicología, Rehabilitación y otras diversas áreas médicas (Acuña Condori, 2017) .
- Colombia, 2004, Dora María Ballesteros, Universidad Manuela Beltrán, Tesis **“Diseño de Filtro FIR – Wavelet Sobre FPGA’S para la Eliminación de Ruido de Fondo de Señales Bioeléctricas”**. En la revista de investigación se realizó un Filtro FIR – Wavelet sobre FPGA para la eliminación de ruido de fondo de señales bioeléctricas. La

implementación del filtro FIR conlleva a trabajar en base a la transformada de Wavelet, el Filtro FIR consta de 7 valores de retardo de la señal de entrada y los coeficientes de Wavelet pertenece a la familia Symlets. La arquitectura del Filtro FIR – Wavelet consiste en representar de forma modular cada parte que se compone para la realización del filtro en Hardware las cuales se representan por módulos (módulo de retardo – módulo sumador – módulo multiplicador). En el artículo se detalla cada simulación de los módulos de hardware por medio del software (Modelsim -Simulink) esto permite verificar tanto la arquitectura propuesta en el FPGA y la verificación de los módulos descritos en VHDL para la eliminación del ruido de fondo de señales bioeléctricas (Ballesteros, 2004).

- India, 2017, Swati Bhat, Usharani S, Atria Institute of Technology, “**Reconfigurable FIR Filter Architecture for EEG Application**”. En la revista de investigación se basa en el diseño de la arquitectura reconfigurable de un filtro FIR para la aplicación de electroencefalograma. El Filtro empleado tiene la estructura de transposición el cual admite la canalización y multiplicaciones constantes múltiples (MCM). Se utiliza el software Xilinx 14.2 y Matlab con la finalidad de poder realizar el cálculo y retrasos de filtro digital. Finalmente, como resultado final se empleó una estructura MCM para el Filtro FIR de orden 8, adicionalmente esta estructura permite un consumo menos de área, retraso en el resultado del filtro Digital (Bhat & S, 2017).
- Indonesia, 2019, Rizki Arif, Sastra Kusuma Wijaya, Prawito Prajitno, Hendra Saputra Gani, Universidad de Indonesia, “**Development of Electroencephalography (EEG) Data Acquisition System BASED ON FPGA PYNQ**”. En la revista de investigación, se propuso un novedoso sistema de adquisición de datos de 32 canales basado en FPGA para la adquisición y procesamiento de la señal electroencefalográfica. Inicialmente se utilizó un sistema de adquisición de datos de la placa PYNQ-Z1 el cual

a su vez se encuentra equipado con la Tarjeta Xilinx ZYNQ XC7Z020-1CL400 C. Todo el sistema en Chip Programable (Apsoc) permite un alto sistema integrado de rendimiento y a su vez el procesador embebido de alta velocidad. Durante la etapa de pre – procesamiento se empleó el uso de un filtro pasa banda Butterworth de un 5 orden. En el presente trabajo de investigación se compara el sistema de adquisición de señales EEG denominado NEUROSTYLE NS-EEG-D1 con el desarrollo de la presente investigación el cual evalúan los parámetros de gradiente , correlación y mínimos cuadrados , finalmente se destaca que se obtuvo un resultado suficientemente adecuado para la adquisición de señales EEG de grado médico (Arif , Kusuma Wijaya, & Saputra Gani, 2019).

- India, 2016, Kalama Sundaram, Marichamy, Pradeepa, Mepco Schlenk Engineering College, “**FPGA Based Filters for EEG - Processing**”. En la revista de investigación se desarrolla los pasos de un pre-procesamiento de señales EEG en la cual tiene como objetivo el poder eliminar el ruido de equipos médicos (Electro-oculograma, Electrocardiograma – Electromiograma) que permiten enviar señales EEG. El algoritmo utilizado para el pre - procesamiento tiene como uso dos tipos de filtros de las cuales son filtro de media móvil - filtro mediano, posteriormente fueron implementados en el FPGA (virtex-5 - Xilinx) esto con lleva a una comparación de tiempo de respuesta, procesamiento, potencia hacia pre – procesamiento determinando que el filtro mediano es el más óptimo para el preprocesamiento , debido a que brinda un mejor tiempo de respuesta en corto tiempo (Sundaram, Marichamy, & Pradeepa, 2016).

1.4 Alcance y limites

1.4.1 Alcances

Este trabajo de tesis está dirigido a estudiantes enfocados en el desarrollo de nuevas tecnologías que permitan mejorar la comprensión del funcionamiento de filtros digitales,

señales EEG, sistemas embebidos FPGA. En la actualidad existen diversos software y hardware que permiten la visualización y adquisición de las señales EEG, las cuales son Neurowerk, Bioexplorer, Biopac, Neurosky, OpencBCI, Emotiv. La finalidad de realizar el filtro digital en el lenguaje de descripción en hardware para las señales EEG basado en un sistema embebido FPGA es facilitar y agilizar la etapa de pre – procesamiento de las señales EEG. Adicionalmente, el filtro digital en descripción de hardware presenta la ventaja de trabajar con múltiples canales EEG sin presentar una limitación con respecto de señales adquiridas y filtradas.

1.4.2 Limitaciones

- El presente estudio tiene limitaciones en cuanto a la adquisición de señales EEG en tiempo real, debido que presenta un capital elevado para adquirir el equipo de adquisición de señales EEG, por lo que se utiliza una base de datos EEG de imaginación motora.
- Se requiere de la licencia del software Quartus II, para obtener mayor flexibilidad y acceso a las herramientas del software que, en consecuencia, permite tener un mayor análisis y desarrollo del programa en VHDL.
- Tiene limitaciones respecto a la implementación en hardware debido a la cantidad de bits de salida del programa del filtro digital descrito en VHDL.
- Se requiere de diferentes etapas complementarias tales como un sistema ICA (Análisis de componentes independientes) , extracción de características para una determinación mas efectiva del comportamiento de las señales EEG.

1.5 Justificación

El diseño y simulación del filtro digital en descripción de hardware basado en un FPGA permite filtrar y analizar el comportamiento de las señales EEG. Las señales EEG se

consideran como una de las señales bioeléctricas más complejas de analizar e interpretar, debido a los diferentes factores de ruido, alto costo de equipos biomédicos de adquisición y simulación de señales EEG. El filtro digital implementado en un sistema integrado FPGA, contribuirá a la reducción del ruido, flexibilidad y portabilidad al ser utilizado en la etapa de pre – procesamiento. La propuesta que se plantea en la presente tesis está dirigida a los centros de investigación, universidades, hospitales que destinen y requieran realizar análisis, simulaciones de señales EEG, proyectos de investigación relacionados al estudio e interpretación de señales EEG. La presente tesis contribuye a incentivar a los estudiantes de diferentes áreas de medicina, electrónica, mecatrónica, biomédica con la finalidad de solucionar problemas que se presentan en las diversas áreas de la electroencefalografía.

1.6 Estudios de viabilidad

1.6.1 Viabilidad Técnica

La viabilidad técnica de la presente Tesis se debe a que se incentiva el uso de herramientas tecnológicas de software Quartus, Matlab y la búsqueda de información de revistas de conferencia y publicaciones relacionadas. Asimismo, está a disposición para aquellos que deseen complementar el proyecto de tesis y contribuir con diferentes aplicaciones a diversas áreas de ingeniería y medicina.

1.6.2 Viabilidad Económica

La viabilidad económica del proyecto de Tesis es factible y de bajo costo, ya que, el hardware seleccionado y los softwares utilizados no presentan un alto costo, asimismo en el área de investigación universitaria se facilita al usuario con respecto al uso de los programas de software mencionados. Adicionalmente, la solución descrita tiene un impacto positivo en el ahorro económico y multidisciplinario con respecto a las áreas de ingeniería y medicina.

CAPÍTULO 2

MARCO TEÓRICO

2.1 Fundamento Teórico

Un filtro está definido como un sistema en el cual nos permite modificar la forma de una onda que tiene como características fundamentales amplitud y fase de una señal. El término filtrado permite corregir, mejorar y optimizar la calidad de una señal que es separada por dos o más señales, como ejemplo, un filtro de aire deja pasar el aire e impide el paso a las partículas de polvo presentes en el aire (Manolakis, 2007).

2.2 Filtros Digitales

Un filtro digital se interpreta como un algoritmo matemático el cual puede ser implementado en software y hardware, asimismo, la estructura de un filtro digital está conformado por un conjunto de retardos, sumas y multiplicadores que se operan sobre una señal de entrada digital para producir una señal de salida digital con el propósito de mejorar la señal entrante. Los filtros digitales presentan ciertas ventajas las cuales se resaltan, mayor precisión (limitada por los errores de redondeo en la aritmética empleada), mayor flexibilidad para modificar el diseño del filtro y menor costo. Asimismo, los filtros digitales son ampliamente aplicados en el área de procesamiento digital de señales como señales bioeléctricas (EEG, EMG, EOG, ECG, ERG, EGG), procesamiento de imágenes, voz, sonar, radar, etc.

Finalmente, los filtros digitales se clasifican de dos tipos, Filtro FIR (respuesta finita al impulso), Filtro IIR (respuesta infinita al impulso). Estos dos tipos de filtros presentan ciertas características distintas la cual hace que cada una de ellas sea más adaptable a alguna aplicación en particular. El uso de los filtros digitales utilizando los recursos de un FPGA como procesamiento de alta velocidad, operaciones en paralelo y una masiva interconexión de datos ha permitido obtener resultados óptimos.

2.3 Tipos de Filtros

Existen 4 tipos de filtros los cuales se describen como Filtro Pasa Bajo (*Low Pass, LP*) , Filtro Pasa Alto (*High Pass, HP*) , Filtro Pasa Banda (*Band Pass, BP*) , Filtro Rechaza Banda o Elimina Banda (*Band Reject, Band Stop*) . Los distintos tipos de filtros digitales son aplicados en diferentes tipos de señales, en consecuencia, es necesario conocer los parámetros y características de la señal para emplear uno o más de los filtros mencionados anteriormente con la finalidad de obtener una respuesta optima de la señal asignada o seleccionada por el usuario.

Cada respuesta en frecuencia permite indicar la atenuación al cual se someterá la señal a una respectiva frecuencia, asimismo en la figura 1 se muestra la representación de los distintos tipos de filtros digitales con su respectiva respuesta en frecuencia adicionalmente se presenta un concepto de cada uno de los filtros digitales mencionados. Cada tipo de filtro digital presenta una respuesta en distinta frecuencia debido a que algunos de los filtros digitales presentan cierta tolerancia en las bandas de rechazo y de paso.

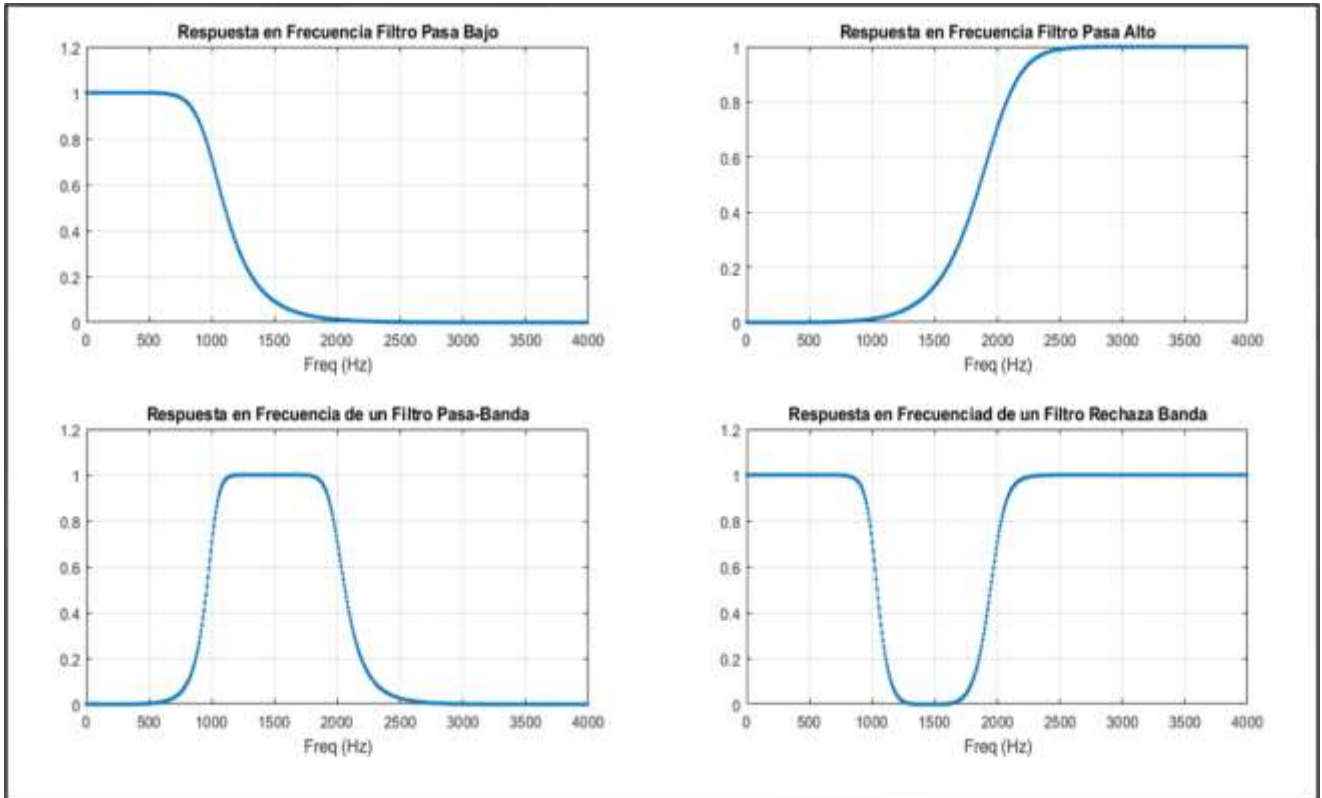


Figura 1. Tipos de Filtros Pasa Bajo, Pasa Banda, Pasa Alto, Rechaza Banda.

Representado sus respectivas respuestas en Frecuencia. Fuente: Elaboración Propia.

2.3.1 Filtro Pasa Bajo (Low Pass)

Los Filtros Pasa Bajo se caracterizan por permitir el paso de la señal que se encuentran por debajo de la frecuencia de corte (f_c) también llamado banda de paso, se atenúan las señales situadas por encima de la frecuencia de corte.

2.3.2 Filtro Pasa Alto (High Pass)

Los Filtros Pasa Alto son totalmente opuestos a los filtros Pasa Bajo, su característica principal es atenuar las señales situadas por debajo de una frecuencia de corte (f_c) y permitir el paso de las señales situadas por encima de las frecuencias de corte.

2.3.3 Filtro Pasa Banda (Band Pass)

Los Filtros Pasa Banda permiten el paso de frecuencias situadas en una determinada banda de frecuencia y atenúa a las frecuencias que se encuentran alejadas de la banda de frecuencia. La banda de frecuencia consta de dos constantes denominadas frecuencia de corte superior (f_{c_s}) e inferior (f_{c_i}).

2.3.4 Filtro Rechaza Banda (Band stop)

Los Filtros Rechaza Banda o también llamados Elimina Banda tiene la característica de no permitir el paso de las frecuencias comprendidas entre la frecuencia de corte superior (f_{c_s}) e inferior (f_{c_i}).

2.4 Filtros FIR

Los filtros digitales FIR o también denominados filtros no recursivos se caracterizan por tener una respuesta finita al impulso. Particularmente una muestra de la salida se puede interpretar como entradas actuales y entradas anteriores. La relación expresada anteriormente se representa matemáticamente en la ecuación (1):

$$y[n] = a_0 \cdot x[n] + a_1 \cdot x[n-1] + a_2 \cdot x[n-2] + \dots + a_n \cdot x[n-N] \quad (1)$$

En la ecuación (1) se expresa la muestra actual de la salida $y[n]$ al cual es igual a la suma de las muestras de entradas actuales $x[n]$ multiplicadas por el factor a_0 y de la muestra anterior $x[n-1]$ multiplicado por el factor a_1 , las muestras anteriores $x[n-M]$ son multiplicadas por su respectivo Factor (Gutierrez, 2009)

Las variables a_0 de la ecuación (1) son los denominados coeficientes del filtro digital. Al modificar los coeficientes del filtro podremos variar las características del filtro diseñado. La expresión en el dominio discreto de los filtros FIR es representada por la ecuación (2):

$$\sum_{k=0}^{M-1} b_k X(n-k) \quad (2)$$

El orden de un filtro se puede interpretar con el término M, los coeficientes del filtro de la ecuación 3, se puede emplear la transformada Z y obtener la siguiente expresión matemática:

$$H[Z] = \sum_{k=0}^{M-1} b_k Z^{-k} = b_0 + b_1 Z^{-1} + b_2 Z^{-2} + \dots + b_{M-1} Z^{-1-M} \quad (3)$$

En la ecuación (3) se expresa una función de transferencia el cual no posee polos esto indica que la respuesta del filtro es estable.

2.4.1 Filtros FIR De Fase Lineal

Para el filtrado de las señales es importante las características de la fase lineal, así mismo permiten poder evitar información de suma importancia. Los Filtros FIR se caracterizan por tener una fase lineal, algunos de los filtros IIR de manera escasa también presentan estas características, se puede aproximar. Adicionalmente se consideran que no todos los Filtros FIR son de fase lineal, se requiere algunas propiedades las cuales se pueden observar en el dominio temporal (Albertí, 2006).

Una de las características de una fase lineal se basa en la respuesta impulsional sea de forma simétrica con respecto al punto central $H[n]$. La simetría de tipo par se muestra en la ecuación (4), asimismo la simetría de tipo impar se muestra en la ecuación (5).

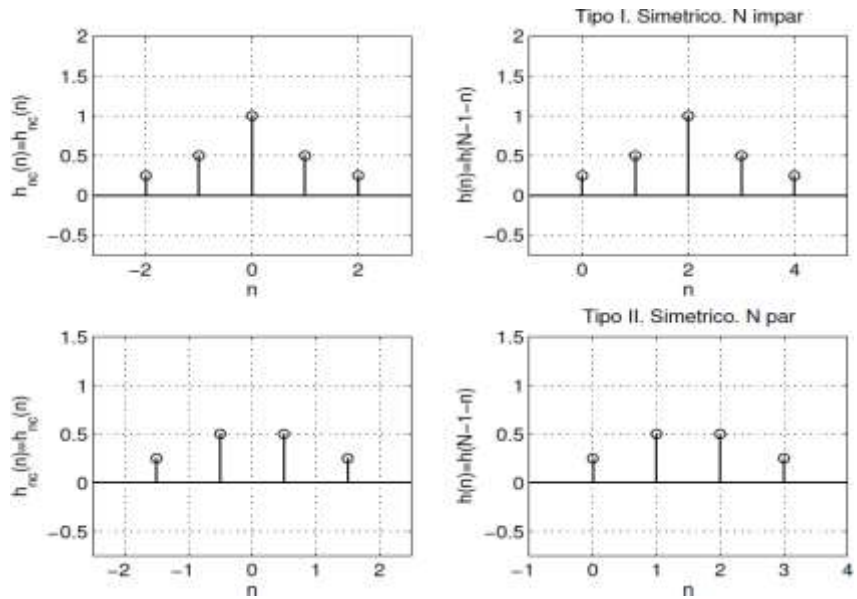
$$b_n = b_{M-n} \quad (4)$$

$$b_n = -b_{M-n} \quad (5)$$

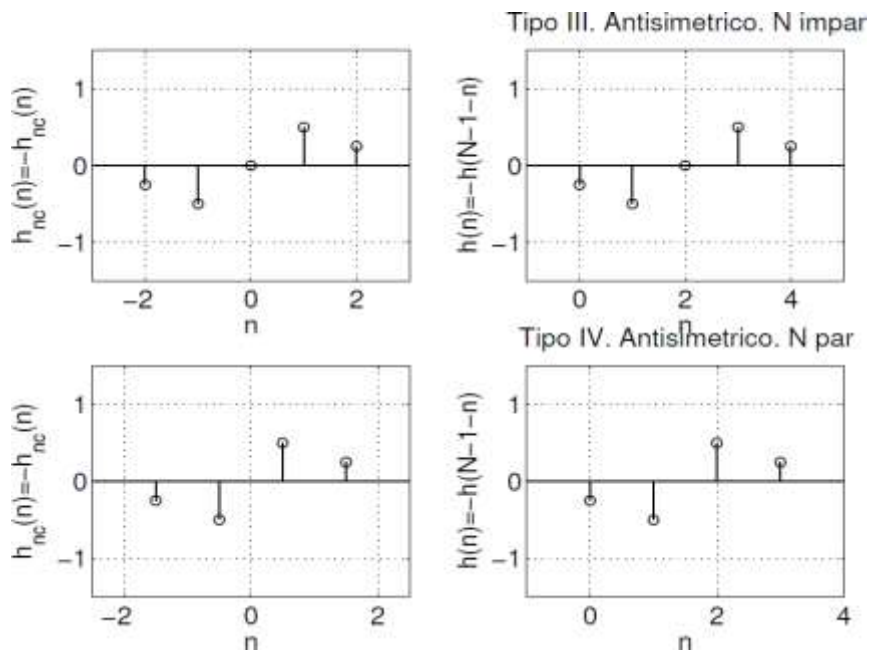
Dependiendo del número de coeficientes del filtro digital y del tipo de simetría se obtendrá los diferentes tipos de filtros FIR el cual se muestra en la tabla 1 y figura 2.

Tabla 1. Tipos de Filtros FIR según el número de coeficientes y simetría

TIPO	Número de Coeficientes (N)	Simetría
I	IMPAR	Simétrico $\mathbf{h}(n) = \mathbf{h}(N-1-n); n=0, 1, \dots, N-1$
II	PAR	Simétrico $\mathbf{h}(n) = \mathbf{h}(N-1-n); n=0, 1, \dots, N-1$
III	IMPAR	Antisimétrico $\mathbf{h}(n) = -\mathbf{h}(N-1-n); n=0, 1, \dots, N-1$
IV	PAR	Antisimétrico $\mathbf{h}(n) = -\mathbf{h}(N-1-n); n=0, 1, \dots, N-1$



a)



b)

Figura 2. Respuestas en Frecuencias del Filtro FIR a) Respuesta en frecuencia Tipo I – II Simetría Impar b) Respuesta en frecuencia Tipo III – IV Simetría Par. Fuente: Elaboración Propia.

Los filtros FIR de tipo 1 y 2 presentan un retraso de fase que está dado por la ecuación (6), para los filtros FIR tipo 3 y 4 el retraso esta dado por la ecuación (7) (Ambardar, 2002).

$$T_p = \left(\frac{N-1}{2}\right) T \quad (6)$$

$$T_g = \left(\frac{N-1-\pi}{2}\right) T \quad (7)$$

T = Periodo de muestreo.

Los tipos de filtros Fir de la tabla 1, la Respuesta en Frecuencia $H(\omega)$ se representan con las siguientes ecuaciones:

$$\text{Tipo 1} \quad e^{-\frac{j\omega(N-1)}{2}} \sum_{n=0}^{\frac{N-1}{2}} a(n) \cos(\omega n) \quad (8)$$

$$\text{Tipo 2} \quad e^{-\frac{j\omega(N-1)}{2}} \sum_{n=1}^{\frac{N}{2}} a(n) \cos\left(\omega\left(n - \frac{1}{2}\right)\right) \quad (9)$$

$$\text{Tipo 3} \quad e^{-j\left[\frac{\omega(N-1)\pi}{2} - \frac{\pi}{2}\right]} \sum_{n=1}^{\frac{N-1}{2}} a(n) \sin(\omega n) \quad (10)$$

$$\text{Tipo 4} \quad e^{-j\left[\frac{\omega(N-1)\pi}{2} - \frac{\pi}{2}\right]} \sum_{n=1}^{\frac{N}{2}} b(n) \sin\left[\left(\omega\left(n - \frac{1}{2}\right)\right)\right] \quad (11)$$

2.4.2 Polos y cero Fase lineal

En los filtros FIR solo se pueden representar los polos en el origen, indicando que son estables. Los ceros se interpretan como pares recíprocos. Los polos de cualquier secuencia con longitud finita deben encontrarse en $Z = 0$ y los ceros de las secuencias de

fase lineal deben presentarse en pares conjugadas reciprocas (Marcela Martinez, 2009-2010).

2.4.3 Diseño de Filtro FIR

En el diseño de los filtros FIR es fundamental seleccionar una frecuencia finita el cual representa de manera adecuada la respuesta al impulso de un Filtro Ideal. Las características fundamentales de un filtro FIR es tener una fase lineal y tener una respuesta estable. Es necesario que este tipo de filtro tenga que trabajar con un orden alto a comparación de los filtros IIR. En algunas aplicaciones como el filtrado de señales ECG, EMG, EEG es necesario emplear un orden alto para obtener una respuesta ideal. Los 3 métodos fundamentales para realizar el diseño de un filtro FIR se basan en:

- Método de Ventanas
- Muestreo en Frecuencia
- Rizado constante (Equiripple)

2.4.4 Método de Ventanas

Este método es considerado como uno de los métodos más utilizados el cual se basa en truncar la respuesta de impulso infinita de un Filtro Ideal. El método de ventana es una función que tiene un valor cero fuera de un intervalo seleccionado (Giurgiutiu, 2018). Para el desarrollo del método de ventana es importante recordar las ecuaciones 12 y 13 del filtro FIR las cuales son:

$$y(n) = h(n) * x(n) \quad (12)$$

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} \quad (13)$$

En la ecuación 12, la variable $y(n)$ es el resultado la convolución discreta entre la entrada $x(n)$ y la respuesta impulso del filtro $h(n)$. La convolución en el dominio del tiempo es también representada como la multiplicación en el dominio de la frecuencia y de manera viceversa, por lo tanto, al emplear la transformada discreta de Fourier (DFT) de la entrada $x(n)$ y $h(n)$ se obtendrá $H(e^{j\omega}) \cdot X(e^{j\omega})$. Con relación a lo mencionado anteriormente el método de ventana tiene como importancia la selección de frecuencia ideal deseada el cual se representa con la siguiente ecuación (14).

$$H_d(e^{j\omega}) = \sum_{n=-\infty}^{\infty} H_d(n)e^{-j\omega n} \quad (14)$$

Para obtener la respuesta de impulso deseado se utiliza la transformada inversa de Fourier de tiempo discreto obteniendo la ecuación (15):

$$h_d(n) = \frac{1}{2\pi} \int_{-\infty}^{\infty} H_d(e^{j\omega}) e^{j\omega n} d\omega \quad (15)$$

La respuesta de impulso $h_d(n)$ de la ecuación (15) es de una duración infinita esto conlleva a que tengamos que limitar o truncar para poder obtener una respuesta de impulso finita y causal, con lo mencionado anterior se dispone a truncar $h_d(n)$ con respecto de un lado positivo y negativo de una longitud $N-1$ muestras la cual se demuestra en la siguiente ecuación (16):

$$h(n) = \begin{cases} h_d(n), & 0 \leq n \leq N-1 \\ 0, & \text{en otros casos} \end{cases} \quad (16)$$

El proceso que definimos en la ecuación (16) es denominado como "Ventana Rectangular" el cual puede ser también descrita como el producto de la respuesta de impulso deseada infinita $h_d(n)$ y una duración de ventana finita w_n la cual se muestra en la ecuación (17).

$$h(n) = h_d(n) \cdot w(n) \quad (17)$$

Obtenemos un periodo de la ecuación utilizando la transformada de Fourier.

$$H(e^{j\omega}) = \int_{-\pi}^{\pi} h_d(n) w(n) e^{-j\omega n} dn \quad (18)$$

Se Reemplaza la ecuación (15) en (18) obteniendo la ecuación (19):

$$H(e^{j\omega}) = \int_{-\pi}^{\pi} \left[\frac{1}{2\pi} \int_{-\pi}^{\pi} H_d(e^{j\lambda}) e^{j\lambda n} d\lambda \right] w(n) e^{-j\omega n} dn \quad (19)$$

Al intercambiar el orden de integración de la ecuación (19) se obtendrá la ecuación (20):

$$H(e^{j\omega}) = \frac{1}{2\pi} \int_{-\pi}^{\pi} H_d(e^{j\lambda}) \left[\int_{-\pi}^{\pi} w(n) e^{-j(\omega-\lambda)n} dn \right] d\lambda \quad (20)$$

La representación matemática de la respuesta truncada del filtro FIR es representada con la siguiente ecuación (21):

$$H(e^{j\omega}) = \frac{1}{2\pi} \int_{-\pi}^{\pi} H_d(e^{j\lambda}) w(e^{-j(\omega-\lambda)}) d\lambda \quad (21)$$

En la ecuación (19) se muestra la presencia de dos funciones en la integral la cual son periódicas, esto se interpreta como una convolución periódica de la respuesta de frecuencia ideal deseada y la de la transformada de Fourier de la ventana con sus respectivos límites de integración extendiéndose a lo largo de un periodo representado con la ecuación (22).

$$H(e^{j\omega}) = H_d(e^{j\lambda}) * w(e^{j\omega}) \quad (22)$$

El espectro de la función ventana es representada por $w(e^{j\omega})$ por la ecuación (23):

$$w(e^{j\omega}) = \sum_{n=0}^{N-1} w(n)e^{-j\omega n} \quad (23)$$

Una de las características que presenta como particularidad el método de ventanas es que siempre son simétricas (Dimitris G. Manolakis, 2011) . Existen diversos métodos de ventana dentro de las cuales tenemos, Ventana Bartlett (Triangular), Blackman, Hamming, Hanning, Kaiser, Lanczos, Tukey entre otros que se muestran en la tabla 2. Cada uno de los métodos de ventana tiene su respectiva forma en el espectro, en cierta medida son similares debido a que presentan un lóbulo principal y lóbulos laterales. Cada Tipo de ventana mencionado anteriormente posee un ancho del lóbulo principal y de sus respectivas amplitudes del lóbulo lateral, el ancho estrecho del lóbulo principal y un nivel bajo del lóbulo lateral son los criterios principales para diseñar un filtro FIR utilizando el método de ventana. El uso de método de ventana empleado en los filtros FIR es muy importante debido a que se tiene que seleccionar una función adecuada de ventana y un filtro ideal que pueda satisfacer los requisitos que buscamos al emplear este método.

Tabla 2. Función de Ventana para el diseño de Filtro FIR

Nombre de la Ventana	Secuencia en el Dominio del Tiempo $h(n), 0 \leq n \leq M - 1$
Rectangular	$\begin{cases} 1 & 0 \leq n \leq N - 1 \\ 0 & n \geq N \end{cases}$
Barlett (Triangular)	$\begin{cases} \frac{2n}{N-1} & 0 \leq n \leq \frac{N-1}{2} \\ 2 - \frac{2n}{N-1} & \frac{N-1}{2} \leq n \leq N-1 \end{cases}$
Blackman	$0.42 - 0.5 \cos \frac{2\pi n}{M-1} + 0.08 \cos \frac{4\pi n}{M-1}$
Hamming	$0.54 - 0.46 \cos \frac{2\pi n}{M-1}$
Hanning	$\frac{1}{2} \left(1 - \cos \frac{2\pi n}{M-1} \right)$
Kaiser	$\frac{I_0 \left[\alpha \sqrt{\left(\frac{M-1}{2} \right)^2 - \left(n - \frac{M-1}{2} \right)^2} \right]}{I_0 \left[\alpha \left(\frac{M-1}{2} \right) \right]}$
Lanczos	$\begin{cases} \frac{\text{sen} \left[2\pi \left(n - \frac{M-1}{2} \right) / (M-1) \right]}{2\pi \left(n - \frac{M-1}{2} \right) / \left(\frac{M-1}{2} \right)} \right]^L, & L > 0 \\ 1, & \left n - \frac{M-1}{2} \right \leq \alpha \frac{M-1}{2}, 0 < \alpha < 1 \end{cases}$
Tukey	$\frac{1}{2} \left[1 + \cos \left(\frac{n - (1 + \alpha)(M-1)/2}{(1 - \alpha)(M-1)/2} \pi \right) \right]$ $\alpha(M-1)/2 \leq \left n - \frac{M-1}{2} \right \leq \frac{M-1}{2}$

A continuación, se describirá algunos de los métodos de ventana mencionado de la tabla 2.

2.4.5 Ventana Rectangular

El método de Ventana Rectangular o también llamado como vagón o ventana de Dirichlet, este método es uno de los más fáciles de emplear ya que es equivalente a reemplazar todos menos los valores de N de una secuencia de datos por ceros, logrando que esto parezca que la forma de onda se enciende y apague repentinamente (S.Salivahanan, 2011). La ecuación en el dominio del tiempo de la Ventana Rectangular se describe en la tabla 2 el cual es:

$$W_R(n) = \begin{cases} 1 & 0 \leq n \leq N - 1 \\ 0 & n \geq N \end{cases}$$

N nos representa la longitud de la ventana. Utilizando la ecuación (23), en el dominio de frecuencia de la ventana rectangular se puede expresar con la siguiente ecuación (24).

$$\begin{aligned} W_R(e^{j\omega}) &= \sum_{n=0}^{N-1} W_r(n) e^{-j\omega n} \\ &= \sum_{n=0}^{N-1} 1 \cdot e^{-j\omega n} \\ &= e^0 + e^{-j\omega} + \dots + e^{-j\omega(N-1)} \\ &= \frac{1 - e^{-j\omega N}}{1 - e^{-j\omega}} = \frac{e^{-j\frac{\omega N}{2}} \left[\frac{e^{j\frac{\omega N}{2}} - e^{-j\frac{\omega N}{2}}}{e^{j\frac{\omega}{2}} - e^{-j\frac{\omega}{2}}} \right]}{e^{-j\frac{\omega}{2}} \left[\frac{e^{j\frac{\omega}{2}} - e^{-j\frac{\omega}{2}}}{e^{j\frac{\omega}{2}} - e^{-j\frac{\omega}{2}}} \right]} \\ W_R(e^{j\omega}) &= \left[\frac{\sin\left(\frac{\omega N}{2}\right)}{\sin\left(\frac{\omega}{2}\right)} \right] e^{-j\omega n \frac{(N-1)}{2}} \end{aligned} \quad (24)$$

Al mismo tiempo se muestra en la figura 3 la respuesta en el dominio del tiempo y en el dominio de la frecuencia de la ventana rectangular.

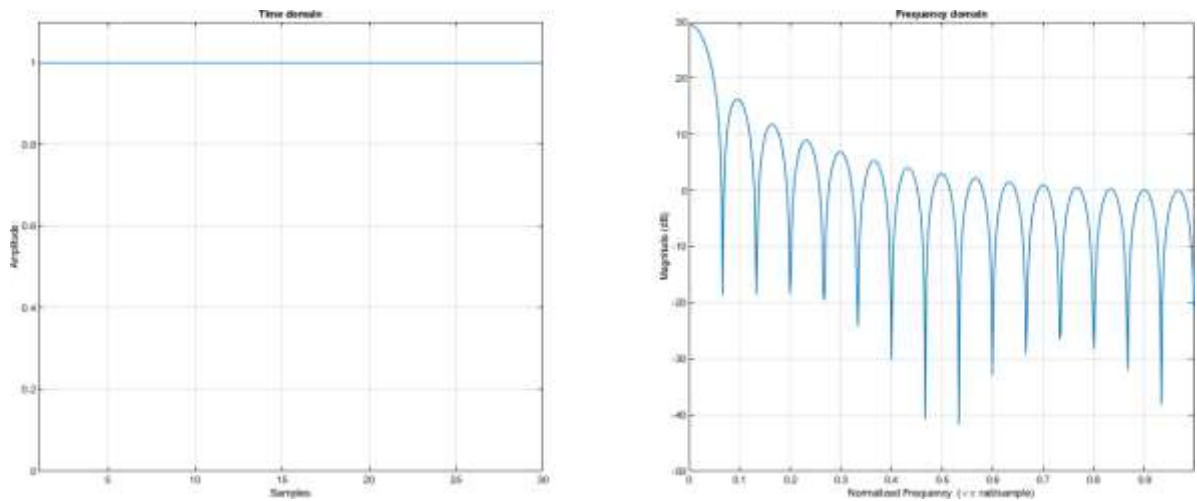


Figura 3. Respuesta en el dominio del tiempo y de frecuencia de la Ventana Rectangular de Orden $N = 30$. Fuente: Elaboración propia.

La respuesta en magnitud de la ventana rectangular se muestra en la ecuación (25) y se visualiza en la figura 4:

$$W_R(e^{j\omega}) = \frac{\sin\left(\frac{\omega N}{2}\right)}{\sin\left(\frac{\omega}{2}\right)} \quad (25)$$

La amplitud y el ancho del lóbulo principal es superior a comparación del lóbulo lateral, de igual importancia cuando el número de muestras aumenta significativamente la ventana rectangular tiende a alargarse, esto con lleva a que el lóbulo principal se estreche y el ancho de lóbulo lateral disminuye. La atenuación el cual está representado por la diferencia de altura desde el pico del lóbulo principal al pico más alto del lóbulo lateral, presenta un valor de -13 db (decibelios) , (Najim, 2006).

En la figura 4 se puede muestra la respuesta en magnitud con respecto a frecuencia de la ventana rectangular.

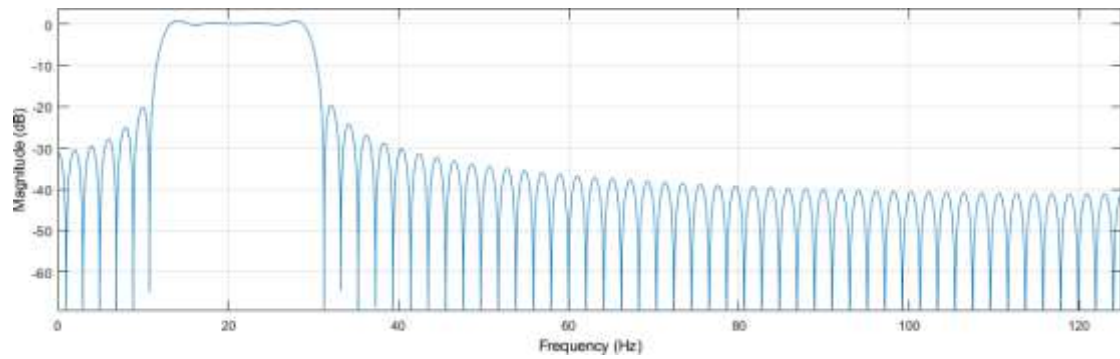


Figura 4. Respuesta de Magnitud con respecto a frecuencia de una Ventana Rectangular de Orden $N = 120$. Fuente: Elaboración propia.

2.4.6 Ventana Triangular

La ecuación en el dominio del tiempo de la ventana triangular se muestra en la tabla 2:

$$W_H(n) \{ \begin{array}{l} \frac{2n}{N-1} \quad 0 \leq n \leq \frac{N-1}{2} \\ 2 - \frac{2n}{N-1} \quad \frac{N-1}{2} \leq n \leq N-1 \end{array}$$

Con respecto al método de ventana triangular se puede interpretar como la convolución de dos ventanas rectangulares idénticas de media longitud, la cual se representa matemáticamente en la ecuación (26) (Chu, 2008).

$$W_t = \frac{(N-1)}{2} [w_R(n) * w_R(n)] \quad (26)$$

Se muestra en la figura 5 la respuesta en el dominio del tiempo y de la frecuencia la ventana triangular.

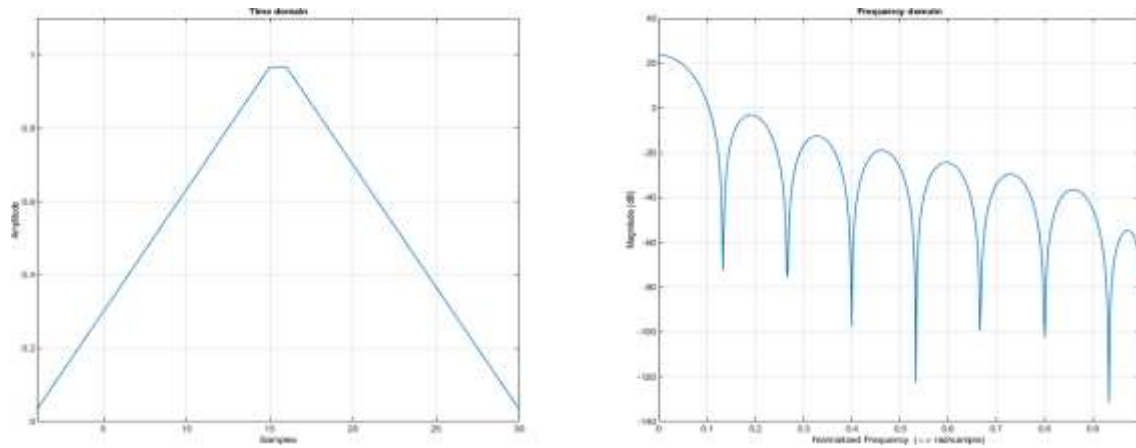


Figura 5. Respuesta en el dominio del tiempo y frecuencia de una Ventana Triangular de Orden $N = 30$. Fuente: Elaboración propia.

La respuesta de frecuencia en magnitud de la ventana triangular se calcula en base a el producto de la respuesta en frecuencia de magnitud de la ventana rectangular consigo mismo el resultado se puede apreciar en la ecuación (27).

$$|w_t(e^{j\omega})| = \left| \frac{\sin\left(\frac{\omega N}{4}\right)}{\sin\left(\frac{\omega}{4}\right)} \right|^2 \quad (27)$$

En la figura 6 se muestra la respuesta en magnitud del método de ventana triangular.

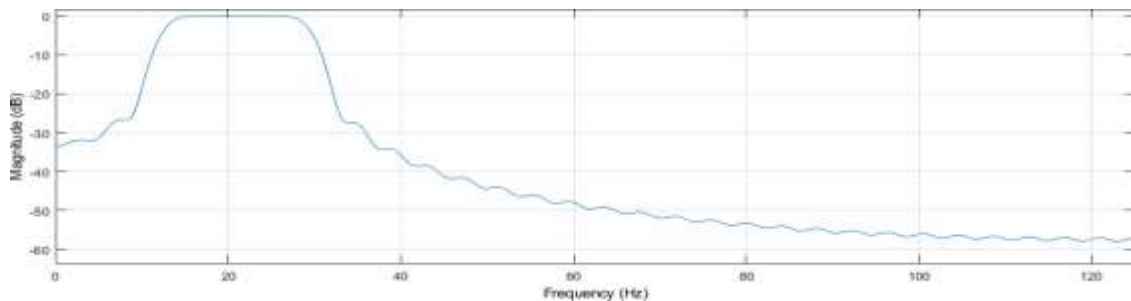


Figura 6. Respuesta de Magnitud con respecto a frecuencia de una Ventana Triangular de Orden $N = 120$. Fuente: Elaboración propia.

La ventana rectangular posee una atenuación relativa en el lóbulo lateral que es igual a $2^{*}(-13 \text{ db}) = -26 \text{ db}$.

2.4.7 Ventana de Hamming

El método de ventana de Hamming fue propuesto por Richard W. Hamming ver figura 7. La contribución que Hamming realizó a los filtros digitales se basó en el interés por enseñar a los especialistas en computación analógica a la nueva forma en digital, el filtro al cual Richard W. Hamming diseñó tuvo la característica de tener una buena resolución de frecuencia, rendimiento de ruido aceptable y agregar que la ventana de Hamming se usa también en comunicación y computación para suavizar datos antes de aplicar el análisis de Fourier . (Zoran S. Bojkovic, 2017).



Figura 7. Richard W. Hamming (Reimpreso Nokia Corporation). Fuente: (Zoran S. Bojkovic, 2017).

La Ventana de Hamming también denominada como ventana de coseno elevado es considerado adecuada para mediciones ruidosas (Udayashankara, 2010). La ecuación de ventana de Hamming está definida en la tabla 2.

$$W_H(n) = \left\{ 0.54 - 0.46 \cos \frac{2\pi n}{M-1} \right.$$

Se muestra en la figura 8 la respuesta en el dominio del tiempo y de la frecuencia de la ventana de Hamming.

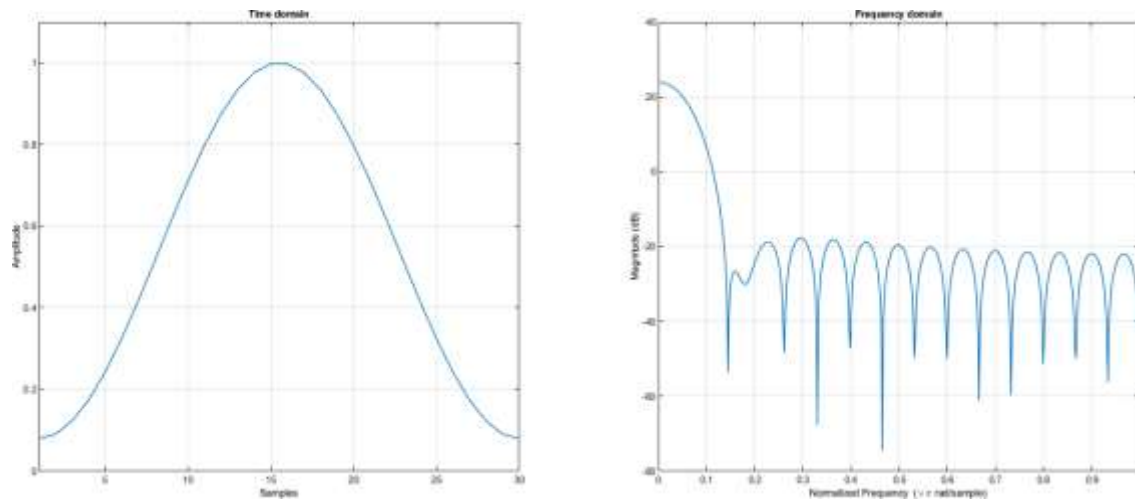


Figura 8. Respuesta en el dominio del tiempo y frecuencia de una Ventana de Hamming de Orden $N = 30$. Fuente: Elaboración propia.

La ecuación en el dominio de la frecuencia de la ventana de Hamming se puede calcular con la ecuación (28).

$$W_H(e^{j\omega}) = \sum_{n=0}^{N-1} W_H(n) e^{-j\omega n}$$

$$\begin{aligned}
&= \sum_{n=0}^{N-1} \left[0.5 - 0.5 \cos\left(\frac{2\pi n}{N-1}\right) \right] e^{-jwn} \\
&= \left[0.5 - 0.5 \cos\left(\frac{2\pi n}{N-1}\right) \right] \{1 + e^{-jw} + e^{-2jw} + \dots + e^{-jw(N-1)}\} \\
W_H(e^{jw}) &= 0.5 \frac{\sin\left(\frac{wn}{2}\right)}{\sin\left(\frac{w}{2}\right)} + 0.5 \frac{\sin\left(\frac{wn}{2} - \frac{N-1}{2}w\right)}{\sin\left(\frac{w}{2} - \frac{N-1}{2}w\right)} \quad (28)
\end{aligned}$$

La ventana Hamming posee una atenuación relativa en el lóbulo lateral de -41.7db, en la figura 9 se muestra la respuesta en magnitud con respecto a frecuencia de la ventana de Hamming.

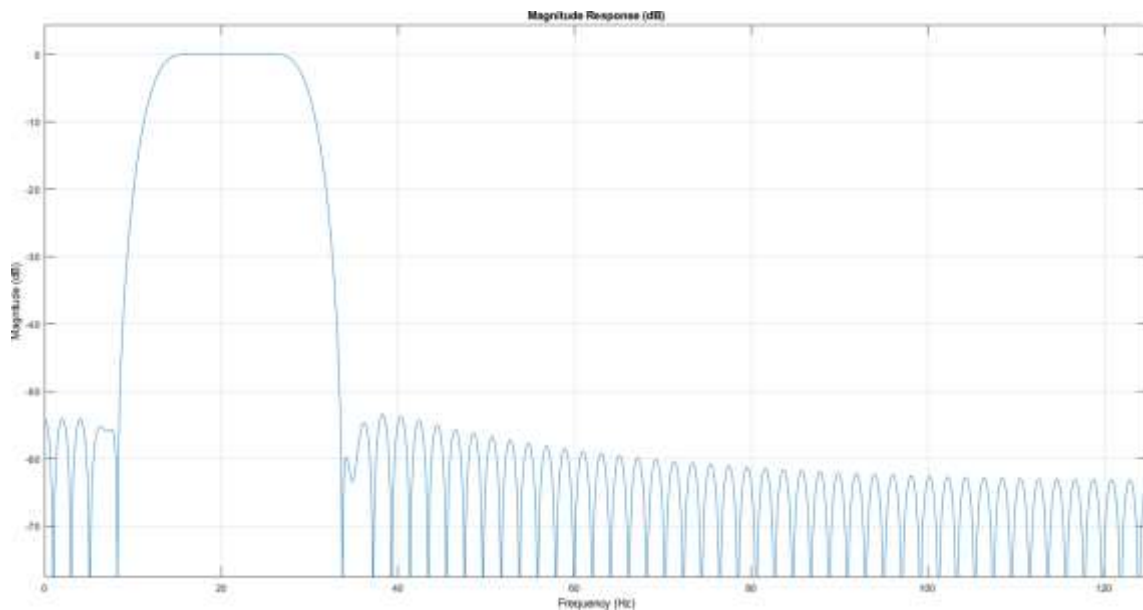


Figura 9. Respuesta de Magnitud con respecto a frecuencia de una Ventana Hamming de Orden N = 120. Fuente: Elaboración propia.

2.4.8 Ventana Blackman

La ventana Blackman se considera como una de las técnicas de ventana más conocida para el filtrado de señales de datos (Nova Eka Diana, 2016). La ventana de Blackman es muy similar a la ventana de Hamming y Hanning, pero se caracteriza por tener un segundo término coseno el cual permite reducir más efectos de los lóbulos laterales (Udayashankara, 2010). La ecuación de ventana de Blackman está definida por la tabla 2.

$$W_B(n) = \left\{ 0.42 - 0.5 \cos \frac{2\pi n}{M-1} + 0.08 \cos \frac{4\pi n}{M-1} \right.$$

Se muestra en la figura 10 la respuesta en el dominio del tiempo y de la frecuencia de la ventana de Blackman.

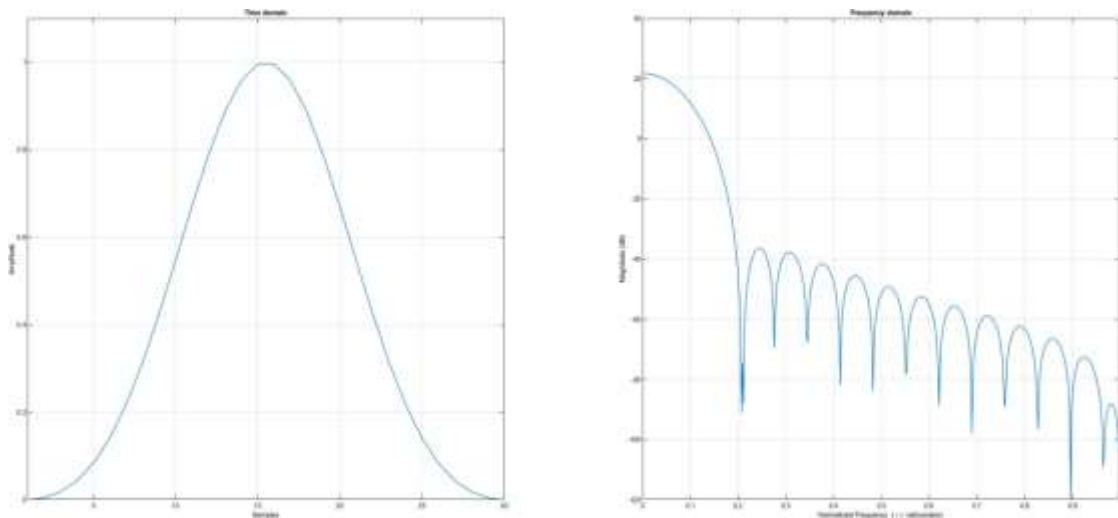


Figura 10. Respuesta en el dominio del tiempo y frecuencia de una ventana de Blackman de Orden $N = 30$. Fuente: Elaboración Propia.

En el dominio de la frecuencia la ventana de Blackman se puede calcular en base a la ecuación (29).

$$W_B(e^{j\omega}) = \sum_{n=0}^{N-1} W_B(n) e^{j\omega n}$$

$$W_B(e^{j\omega}) = \sum_{n=0}^{N-1} \left[0.42 + 0.5 \cos \frac{2\pi n}{N-1} + 0.08 \cos \frac{4\pi n}{N-1} \right] e^{-j\omega n} \quad (29)$$

La ventana de Blackman en el dominio de la frecuencia presenta un ancho del lóbulo principal de aproximadamente de 0.1 db. La ventana de Blackman es considerado como uno de los métodos de ventana que presenta un lóbulo principal más ancho a comparación de otros métodos de ventana. La atenuación que presenta el lóbulo lateral de la ventana de Blackman es igual a -58 db. En la figura 11 se muestra la respuesta de magnitud con respecto a la frecuencia.

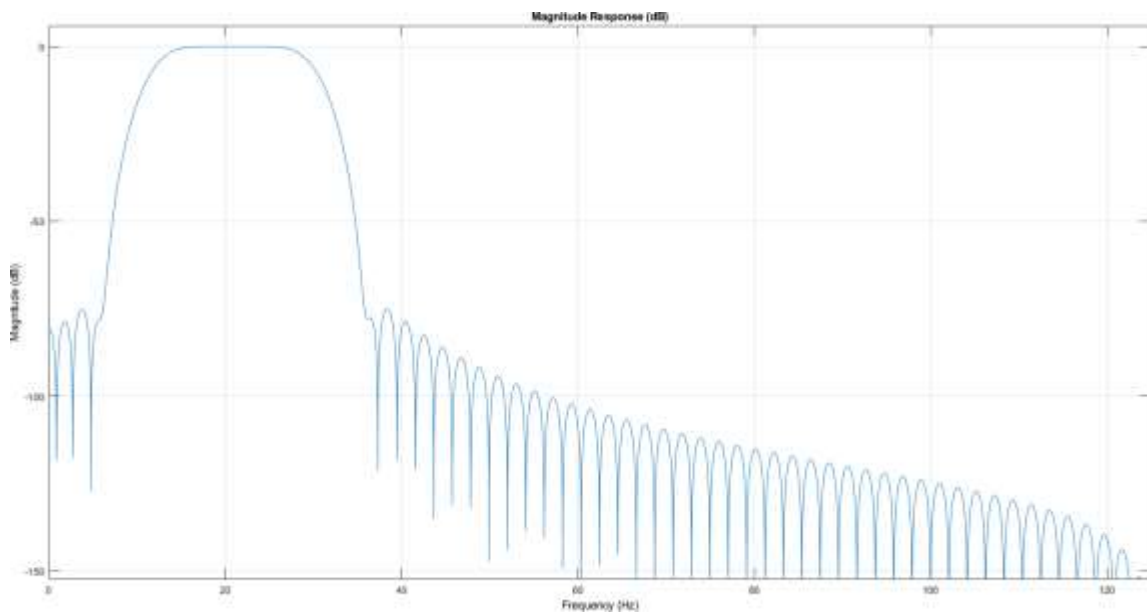


Figura 11. Respuesta de Magnitud con respecto a frecuencia de una Ventana Blackman de Orden $N = 120$. Fuente: Elaboración propia.

2.5 Electroencefalografía (EEG)

La electroencefalografía (EEG) es una técnica que permite medir la sumatoria de potenciales postsinápticos inhibitorios y excitatorios neuronales, propagados desde la corteza cerebral hasta el cráneo (Aldana Ramirez & Buitrago Bolicar, 2013). Hans Berger registró el primer EEG humano a mediados de la década de 1920 (Millet, 2001), debido a ello y a su aporte científico es considerado como el padre de la electroencefalografía. En base a un conjunto de electrodos de superficie ubicados alrededor del cuero cabelludo se considera previamente la ubicación estandarizada de los electrodos en un sistema internacional denominado 10-20 (Böhm, 2013). Los métodos de adquisición de señales EEG se basan en dos métodos los cuales son método invasivo y no invasivo ver figura 12. La actividad eléctrica que capta el EEG es interpretado como potenciales sinápticos corticales, la electricidad captada posee dos esenciales características medibles, las cuales son amplitud y la frecuencia. La frecuencia nos permite la medida de la rapidez de la onda, el cual se mide en Hertz (Hz), la amplitud permite la medición de micro voltios (μV) de las señales electroencefalográficas. En la figura 13 se muestra el registro de potenciales EEG en el cuero cabelludo a partir de la generación de campos eléctricos debido a las corrientes sinápticas que reciben las neuronas piramidales. El uso de la electroencefalografía en la actualidad es de suma importancia debido a las diversas aplicaciones dentro de las áreas de psicología, fisiología, ciencias cognitivas, neurociencia, medicina entre otras, al mismo tiempo las aplicaciones de EEG permite ayudar a diagnosticar la epilepsia entre otras enfermedades patológicas (Huang & Xiao, 2011). En la actualidad existe la tecnología Brain Computer Interface (BCI) el cual permite tener una comunicación entre el usuario y el ordenador, este tipo de comunicación no requiere de ningún dispositivo externo o intervención muscular (Erp Van, Lotte, & Tangermann, 2012). Asimismo, este tipo de tecnología tiene notables resultados en el área de rehabilitación física, detección de tumores, desordenes de sueño.

Las neuronas son el componente esencial del sistema nervioso, cuya función principal es recibir, procesar y poder transmitir información, a través de señales químicas y eléctricas debido a la excitabilidad eléctrica de la membrana plasmática. Las señales eléctricas son originadas por un cambio transitorio de permeabilidad en la membrana plasmática, la propagación de esta señal eléctrica se debe a una diferencia de potencial de membrana. Cuando un potencial de membrana de una célula excitable se despolariza más allá de un umbral la célula genera un potencial de acción. Un potencial de acción presenta un cambio rápido de la polaridad de la membrana de negativo a positivo. Las neuronas se componen de tres partes las cuales son las dendritas, cuerpo celular soma y finalmente el axón. Las dendritas presentan dos principales funciones las cuales son recibir y procesar la información que a sido recibida. Las señales que son recibidas pueden llegar a ser excitatorias (Generar un impulso eléctrico) o inhibitorias. Las neuronas reciben diversas señales en todas sus ramificaciones dendríticas, asimismo una neurona puede tener un conjunto de dendritas el cual puede recibir miles de señales. El axón es la estructura larga y delgada en la que se generan los potenciales de acción, o también denominada la parte transmisora de la neurona. El axón se divide en muchas ramas el cual se desarrollan estructuras bulbosas llamadas terminales de axónicas o terminales nerviosas. Finalmente, una de las principales partes de la neurona es el soma o también llamada pericarion que representa el cuerpo celular de la neurona el cual contiene un núcleo que está rodeado por el citoplasma en el cual se hallan diferentes organelos.

2.5.1 Método de Adquisición de Señales EEG

El método de adquisición de señales EEG es fundamental debido a que las señales eléctricas que genera nuestro cerebro poseen información muy indispensable. Existen dos tipos de adquisición de señales las cuales son método invasivo y método no invasivo, dependerá de la selección de uno de los dos métodos mencionados para tener una buena calidad de información. Los métodos no invasivos son obtenidos de los electrodos

acoplados a la superficie del cuero cabelludo y el método invasivo se basa en el registro de electrodos implantados dentro del cráneo. Debido a que los electrodos implantados EEG invasivos están más cerca al cerebro permiten registrar las señales cerebrales con amplitudes más altas y escalas espaciales más pequeñas (Pouya , Cagoni, & Ascari, 2014) .El método no invasivo presenta ciertas limitaciones durante el momento de adquisición de la señal EEG una de esas limitaciones es el parpadeo de los ojos , asimismo el método invasivo presenta ciertas limitaciones técnicas que se presentan en el área clínico debido a que los electrodos se implantan en la corteza existen riesgos como infección u otros daños al cerebro (Engel , K.E.Moll, & Ojemma, 2005)

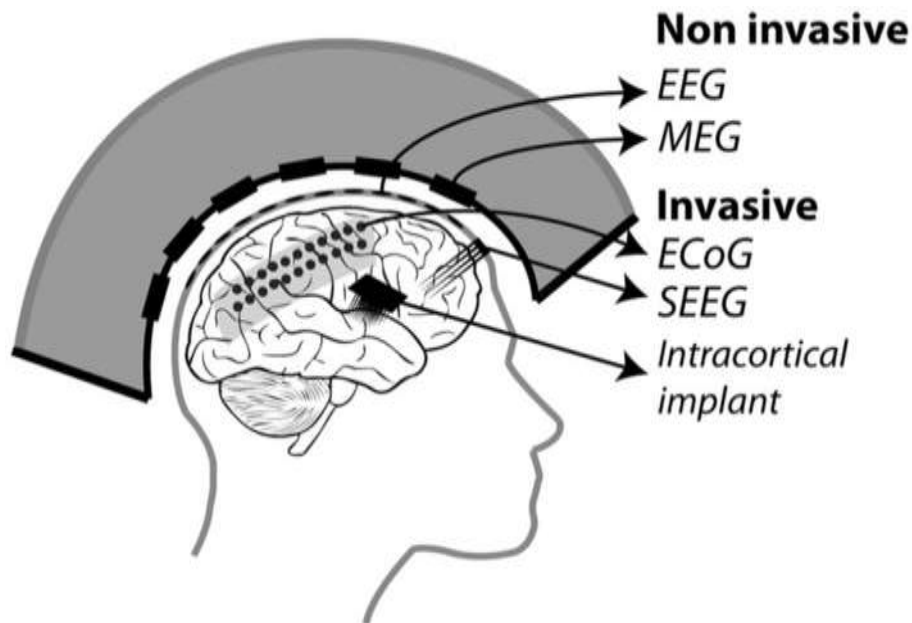


Figura 12. Método de adquisición Invasivo y No Invasivo para la Adquisición de señales EEG. Electromiografía (EMG), Electroencefalografía (EEG), Electroencefalografía (ECoG), Estereoelectroencefalografía (SEEG). Fuente (Astrand, Wardak, & Hamed, 2014).

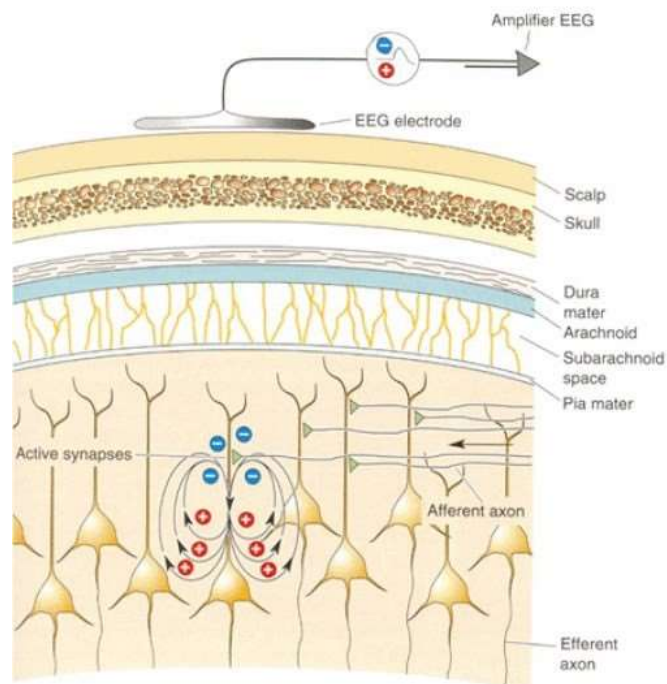


Figura 13. Esquema de generación de un pequeño potencial EEG como suma de las Corrientes sinápticas de las neuronas piramidales. Fuente (Connors, Paradiso, & Bear, 2001).

2.5.2 tipos de Electroodos (Pasivos y Activos)

Los electrodos Pasivos utilizados para la adquisición de señales electroencefalográficas suelen ser de un material de oro, plata (Ag) y cloruro de plata (AgCl) que tiene una conexión externa a un amplificador ver figura 14. Las señales cerebrales adquiridas a través del cuero cabelludo tienen amplitudes que se encuentran en el rango de los 10 a 100 μV (Sanei & Chambers, 2007) . Uno de los mayores factores de ruido que generan es mediante el movimiento de las articulaciones del cuerpo humano, factores ambientales, ruido de línea eléctrica, todos estos factores hacen que la señal se distorsione. Para la obtención de una buena respuesta utilizando electrodos pasivos se tiene que considerar ciertos factores de manera correcta una de ellas es el tener un buen contacto con la piel, limpiar el área que se implantara el electrodo con alcohol, evitar la sudoración, el cableado de los electrodos tiene que ser cortos, bien blindados. con lo mencionado anteriormente es indispensable el

uso de un gel electrolítico ya que también beneficia a bajar la impedancia entre la piel y el electrodo.



Figura 14. Electrodo EEG tipo Pasivo tipo disco, reutilizable de plata recubierto en oro.

Fuente: (EEG hacker, 2014).

Los electrodos activos son generalmente más utilizados para el registro de señales EEG. Los electrodos activos poseen componentes electrónicos como amplificadores que se encuentran incorporados en los electrodos ver figura 15, asimismo se genera como resultados niveles de ruido mucho más bajos obteniendo una mayor calidad de la señal (Ahokas , Malmivuo, & Kauppinen, 2009). En consecuencia, los electrodos activos dependen menos de la calidad del interfaz del electrodo y la piel, esto conlleva a que los electrodos tengan una rápida medición al momento de realizar una prueba o testeo. En la actualidad este tipo de electrodo es muy utilizado para distintas áreas de la medicina y la investigación enfocado a BCI. En la figura 16 se muestra un electrodo activo que, asimismo, resultan ser fácil de diseñar, y no son sumamente costosos.



Figura 15. Electrodo EEG de característica activa. Fuente: (Co, 2019).



Figura 16. Uso de Brain Computer Interface el cual presenta electrodos de característica Activa. Fuente: (POTIOC, 2019).

2.5.3 Ubicación de electrodos

La ubicación de los electrodos es sobre el cuero cabelludo para el registro de señales electroencefalográficas (EEG) tiene un sistema internacional denominado 10 - 20. Este sistema internacional fue propuesto en el año 1958 por la federación Internacional de Sociedades de Electroencefalografía y Neurofisiología clínica (Taywade & Rauth, 2012) . El número 10 del sistema internacional tiene como mención las distancias reales entre electrodos adyacentes, el número 20 nos indica la distancia total de la ubicación delantera – trasera o derecha, izquierda del cráneo que se muestra en la figura 17. La identificación de las distintas partes de lóbulo se representa por letras (F, T, C, P y O) el cual significan Frontal, Temporal, Central, Parietal, Occipital respectivamente. La posición del hemisferio se identifica con números pares e impares, por ejemplo, los números pares (2, 4, 6 ,8) nos indican las posiciones de electrodo del hemisferio derecho, los números impares (1, 3, 5, 7) indican la posición del hemisferio izquierdo (Oostenveld & Praamstra, 2001).

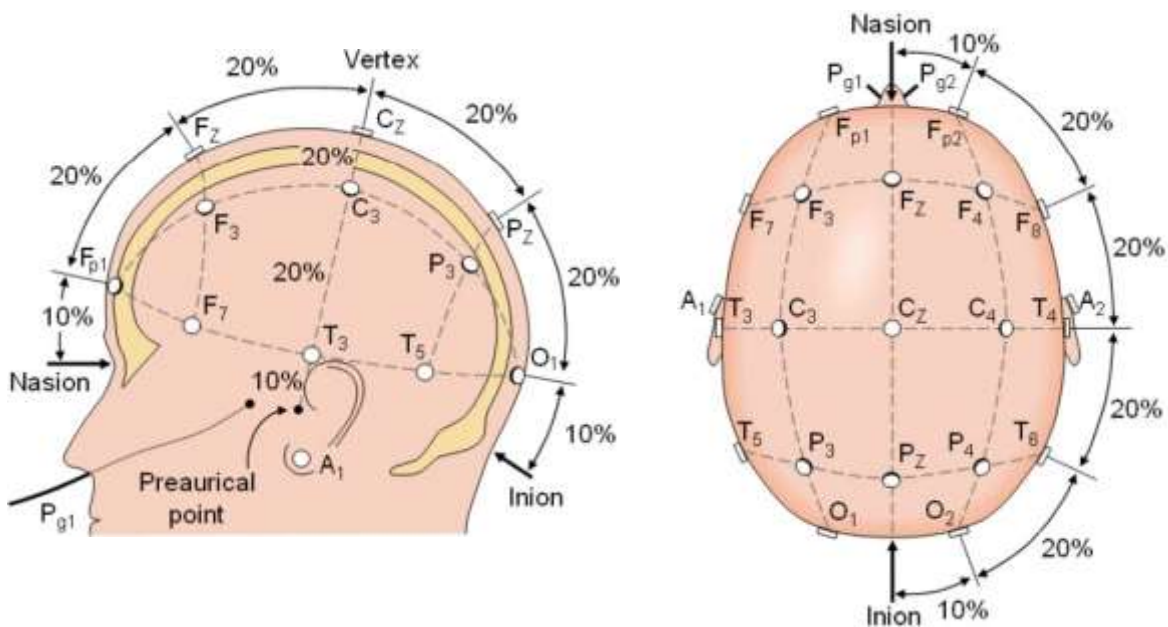


Figura 17. Sistema Internacional 10-20. Fuente: (Novo Oliveras, Chacho Gutiérrez, & Barradas Bribiesca, 2010).

Los lóbulos de la corteza cerebral mencionados anteriormente están ligados a ciertas actividades las cuales son:

- **Lóbulo Frontal:** Se caracteriza por tener un rol importante en el procesamiento de funciones cognitivas tales como la planificación, coordinación de secuencias de movimientos voluntarios complejos, ejecución y control de la conducta del ser humano.
- **Lóbulo Parietal:** El lóbulo Parietal se encuentra ubicado entre el lóbulo frontal y occipital, su función principal es procesar información sensorial que llega de las diferentes partes del cuerpo humano. Un ejemplo práctico de la información sensorial es el tacto, sensación de temperatura, sensación de dolor. Adicionalmente el lóbulo parietal recibe información visual proveniente del lóbulo frontal.
- **Lóbulo Occipital:** El lóbulo occipital se encuentra ubicado en la zona posterior del cráneo, cerca al área de la nuca. La actividad principal del lóbulo occipital está relacionada con la comunicación visual. En una de las áreas del lóbulo occipital se recibe las imágenes visuales del lenguaje (Zona de recepción visual) y en la otra es donde se interpreta la información (Área de asociación visual).
- **Lóbulo Temporal:** El lóbulo temporal se encuentra en los laterales del cerebro, pegados al área de las sienes. Una de sus principales funciones del lóbulo principal es la memoria y el reconocimiento de patrones en los datos que son provenientes de los diferentes sentidos. En consecuencia, tiene una función muy importante en el reconocimiento de rostros, voces y recordar palabras,

2.5.4 Ondas Cerebrales – Señales Electroencefalográficas (EEG)

Las señales EEG se basan a una cantidad de bandas las cuales son denominadas Alfa, Beta, Theta, Gamma, Mu, que se muestran en la figura 18. Las bandas mencionadas tienen un determinado rango de frecuencia y una actividad el cual depende del estado estando mental de la persona. ver tabla 3

Tabla 3. Características de las Ondas EEG

Tipo de Onda	Voltaje (μV)	Frecuencia (Hz)	Actividad / Región
Alfa (α)	5-10	8 – 12	La actividad de la señal alfa se basa en el estado mental de la relajación, como ejemplo el cerrar los ojos. Ubicado en la region occipital del cerebro.
Beta (β)	2-20	12 – 30	La actividad de la señal Beta está asociada a la concentración. Cuando una persona está resolviendo un problema de matemática, estudiando. Ubicado en la region parietal - frontral.
Delta (δ)	20- 200	0.5 – 3.5	La actividad de la señal Delta está asociada al sueño profundo. Si se llega a detectar este tipo de señal a una persona adulta es un indicador de anormalidad en el cerebro.
Tetha (θ)	5 -100	4 - 7	La actividad de la señal tetha está asociada a la meditación profunda, la relajación fisica y/o mental. Ubicado en la Region de la zona parietal, temporal.
Mu (μ)	Menor a 50	8 – 13	La actividad de la señal Mu está asociada a los estados de reposo y concentración, el cual implica la accion de movimientos y/o imaginación motora. Ubicado en la zona central superior.
Gamma (δ)	5 -10	26 – 100	La actividad de la señal Gamma está asociada a los estímulos de sonidos contundentes , luces.

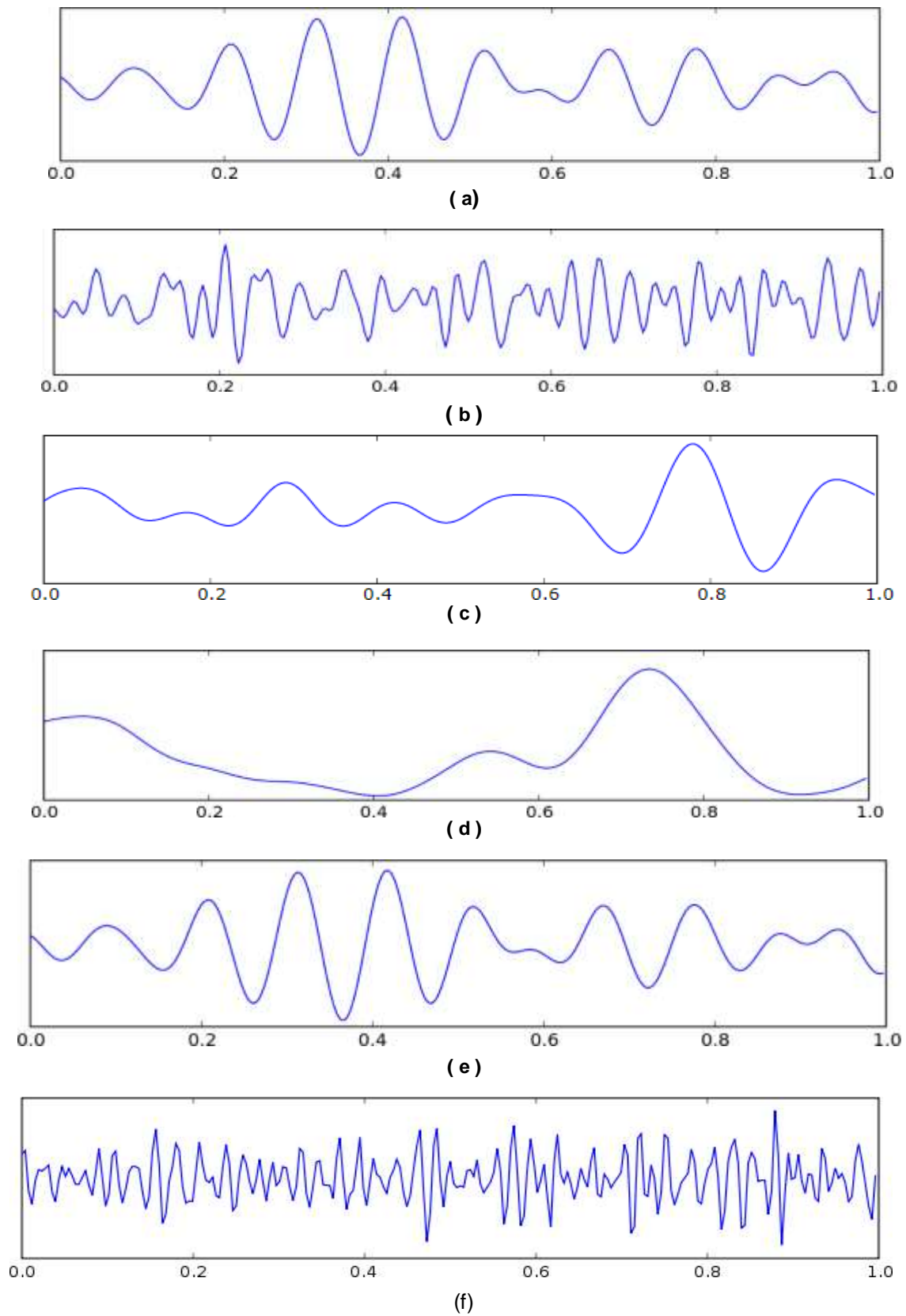


Figura 18. Señales EEG (a) Onda Alfa – (b) Onda Beta – (c) Onda Delta – (d) Onda theta – (e) Onda Mu – (f) Onda Gamma. Fuente: (Sepulvefa, 2017).

2.5.5 Interfaz Cerebro Computador (Brain Computer Interface)

Un interfaz Cerebro computador o también denominado en siglas de inglés (BCI) es un sistema el cual permite medir la actividad cerebral con la finalidad de poder controlar un dispositivo externo , brindando a las personas una forma de comunicarse o controlar un dispositivo electrónico dentro de las cuales pueden ser computadora , prótesis el cual contenga elementos de hardware y permita tener una comunicación sin la necesidad que el usuario realice algún movimiento motor (Mc Farland, Wolpaw , Birbaumer, Pfurtscheller, & Vaughan, 2002) . Asimismo en la literatura existe una definición del sistema BCI el cual de las siguiente manera : Sistema que mide la actividad del SNC (Sistema Nervioso Central) y la transforma en una salida artificial que reemplaza , restaura , aumenta , completa o mejora la salida natural del SNC y , por lo tanto , modifica la interacción entre el SNC y el ambiente (exterior o interior) que se encuentra en la figura 19 (Wolpaw & Wolpaw, 2013). Los dispositivos de Brain Computer Interface presentan dos tipos de clasificación los cuales son invasivos y no invasivos. Los dispositivos de Brain Computer Interface invasivos miden el Potencial de Campo Local (LFP) directamente con electrodos penetrando el tejido del cráneo en efecto es necesario el uso de cirugía (Steyrl, Reimmar, & Müller-Putz, 2016). Por el contrario, los dispositivos de Brain Computer Interface no invasivos tienen un ancho de banda limitado debido a ello la información que se extrae es limitada. (Lebedev & Nicolelis, 2006) . Las aplicaciones que desempeña esta tecnología se enfocan en el área de la medicina, con relación a mejorar o recuperar la movilidad de pacientes con enfermedades como trastornos motores, esclerosis lateral amiotrófica (ELA), parálisis cerebral, lesión de la médula espinal (Tuck Lee, Nisar, Malik, & Yeap, 2013). Los paradigmas de Brain Computer Interfaces se deriva en dos categorías las cuales son sistemas BCI endógenos y exógenos. Para el caso de los sistemas BCI endógenos se basa en imaginaciones motoras (imaginación de movimiento de manos o pies) o también denominados sensoriomotores ver figura 20. Los sistemas BCI exógenos se basa en la

actividad electrofisiológica la cual requiere de estímulos externos, como ejemplo el método basado en potenciales evocado P300, que se muestra en la figura 21.

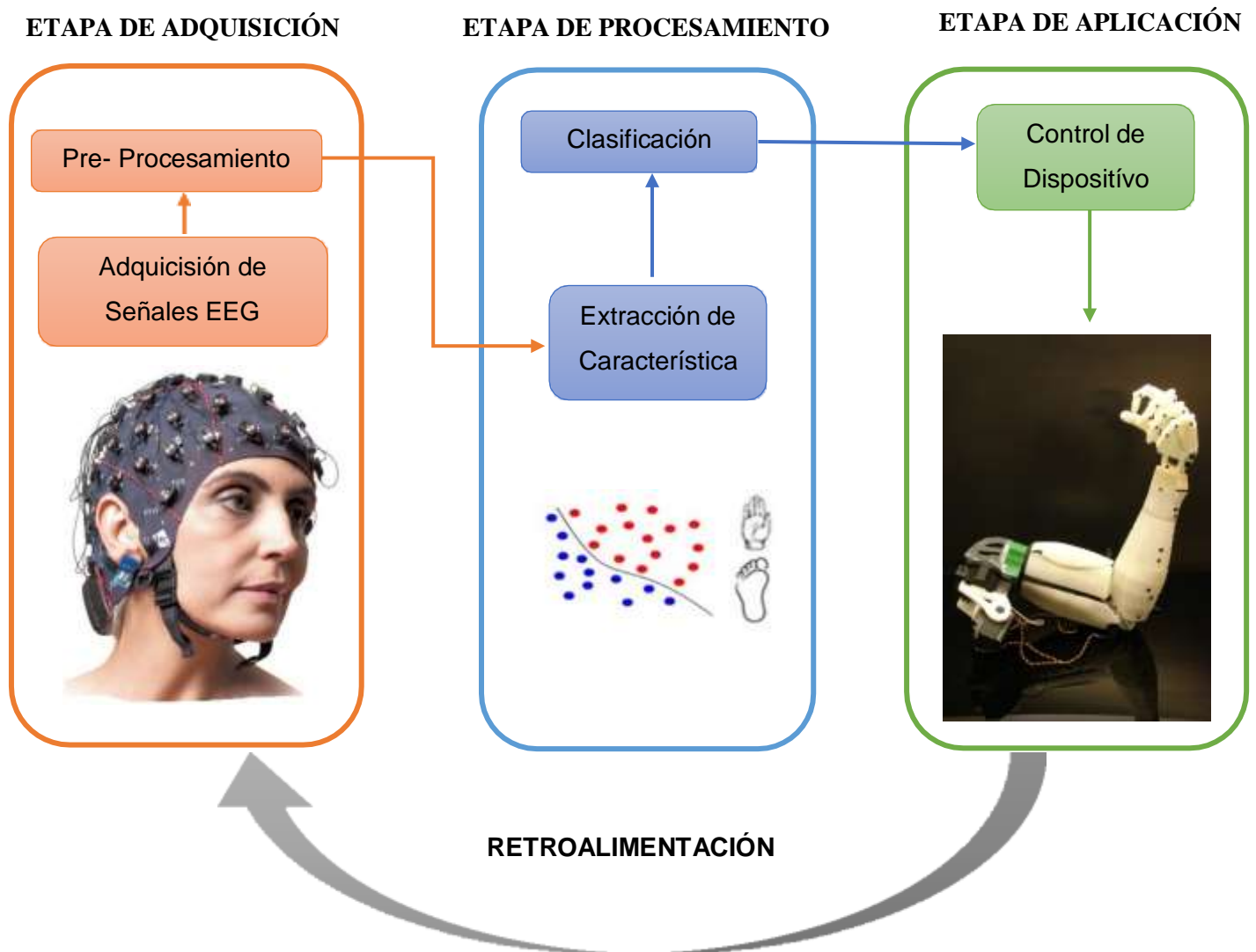


Figura 19. Diagrama de Bloques de un Sistema Interfaz cerebro – computador. Fuente: Elaboración propia.



Figura 20. Sistema EEG de 64 canales registrando señales EEG en base al paradigma de imaginación motora. Fuente: (Marchesotti, Bassolino, & BLevler, 2016).



Figura 21. Sistema BCI usando el paradigma P300. Fuente: (Doc, 2013).

2.6 Dispositivos Lógicos Reconfigurables (FPGA)

2.6.1 Introducción

Los dispositivos lógicos reconfigurables o también denominados con las siguientes siglas en inglés FPGA (Field Programmable Gate Array) Arreglo de compuertas programables en campo son circuitos integrados digitales que poseen internamente bloques de lógica digital e interconexiones reconfigurables, bloques entrada y salida, flip flops, etc. ver figura 22. Existen diferentes tipos de tecnología de fabricación en los FPGA'S que poseen ciertas características como ser programadas una sola vez (OTP, one -time), ser programadas de manera múltiple. El diseñador desarrolla su sistema digital usando herramientas tipo EDA (Electronics Design Automation), sean dibujos esquemáticos o lenguaje de descripción de hardware (VHDL), con la finalidad de poder plasmar el sistema en lógica digital (Sisterna, 2013)

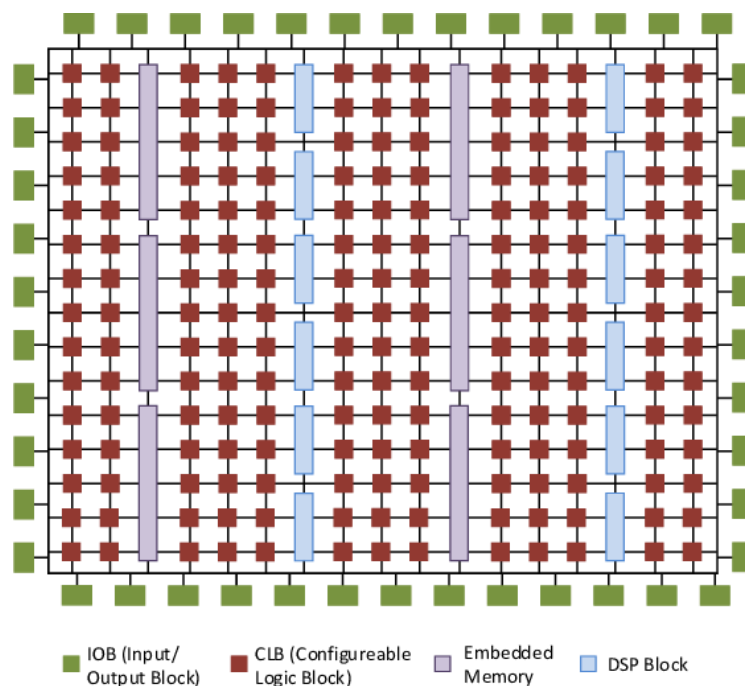


Figura 22. Arquitectura de un FPGA – XILINIX que muestra sus componentes básicos.

Fuente: (Bajaj & Fahmy, 2015).

Teniendo en cuenta la comparación de otros microprocesadores los FPGA's pueden tener múltiples aplicaciones específicas como implementación de filtros digitales (FIR – IIR), Redes Neuronales, Buses de Comunicación, Implementación de Procesadores (Sof – core), etc (Pearson, y otros, 2007) , (Ozpolat, Karakaya, Kaya, & Gulten, 2016) (Risco - Castillo, 2008).En la actualidad las aplicaciones de mayor demanda en los FPGA'S se desempeñan en Instrumentación Científica, Biomédica, Aeroespacial, Comunicaciones Wireless, Computación de alto rendimiento, etc. Las ventajas que presenta un FPGA son los siguientes:

- **Rendimiento:** El poder utilizar el paralelismo de hardware, los FPGAs supera la potencia de los procesadores de señales digitales (DSP – Digital Signal Processors). Controlar entradas y salidas (E/S) en el nivel de hardware proporciona tiempos de respuesta mucho más rápidos como la velocidad de procesamiento, flujo de datos, etc.
- **Reconfigurables:** El termino de reconfigurable permite modificar el diseño de hardware que a su vez también permite mantener el diseño que se desea elaborar, esto conlleva a tener una mayor flexibilidad con respecto al flujo del diseño
- **Confiabilidad:** Mientras que las herramientas de software ofrecen un entorno de programación, los FPGA presentan una implementación segura de la ejecución de un programa (Romero, Roballo, Palomino, Medoza, & Pérez, 2017) .
- **Costo:** En costo los FPGA son mucho más accesibles a comparación de los ASIC's, debido a que los FPGA'S en desarrollo y adquisición es menor con respecto a cantidades de dispositivos y el tiempo de desarrollo.

2.6.2 Arquitectura de un FPGA

La arquitectura de los FPGA's tiende a variar con respecto al fabricante ver Figura 23. Se realizan estudios comparativos en el cual se demuestra que tan excelente es la arquitectura que elabora el fabricante, asimismo en la actualidad los fabricantes de FPGA's de mayor demanda son Intel, Xilinx, National Instruments.

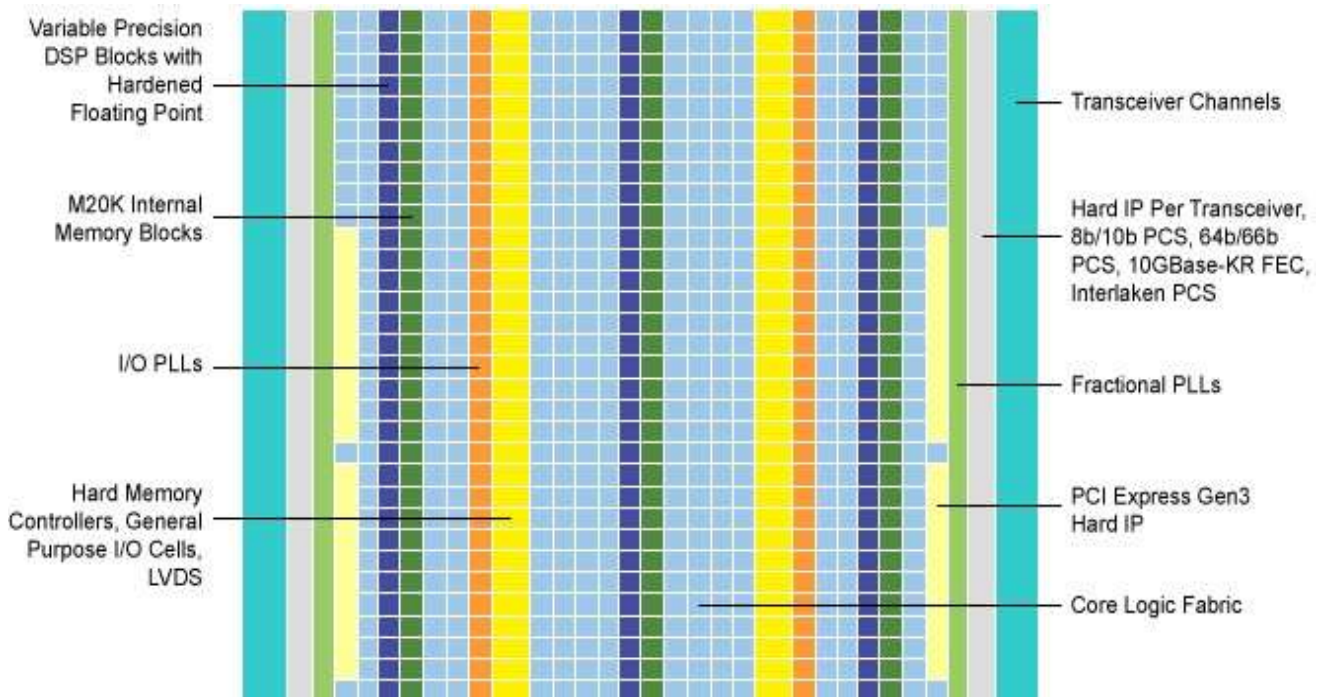


Figura 23. Características de la arquitectura de un FPGA – Intel Arria 10. Fuente: (INTEL, INTEL ARRIA 10 FPGAS FEATURES, 2019).

Cada fabricante brinda una nueva tecnología de alto nivel en sus dispositivos entre los cuales se puede mencionar: Aumento en el rendimiento, Bajo en costos, bloques de propiedad intelectual (Intelectual, IP), portabilidad. Existen ciertas aplicaciones complejas en el cual se utilizan equipos de prueba y medición, estructura inalámbrica, Procesadores power PC, gigabit transceivers, tarjetas de línea de alámbricas 100g, controlador ethernet (Intel, Kit de desarrollo Intel® Arria® 10 SoC, 2019). La empresa INTEL posee FPGA's el cual están conformados por ALMs (Adaptive Logic Modules), en el caso de la serie del

FPGA Arria 10 cada ALM contiene una variedad de recursos basados en LUT (LookUp Table) el cual se pueden dividir entre dos LUT's adaptativos combinatoriales (ALUTS) y 4 registros ver figura 24. Un ALM contiene cuatro registros programables los cuales son:

- Datos
- Reloj
- Carga Síncrona
- Estado síncrona y asíncrona claro

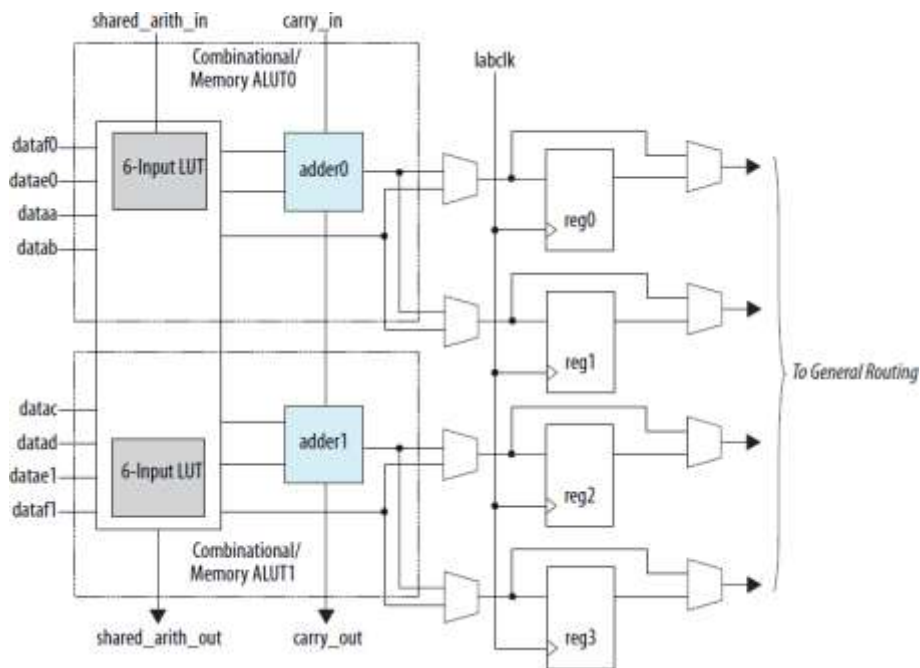


Figura 24. Diagrama de Bloques de alto Nivel ALM para dispositivos Intel Arria 10.

Fuente: (Intel, Intel® Arria® 10 Core Fabric and, 2019).

Los FPGA's fabricados por la empresa Xilinx están conformado por 3 componentes básicos:

- IOBs (Bloques de entrada y Salida).
- Módulos de Interconexión programable.
- (CLBs) Bloque lógico Programable.

En el caso de las FPGA's Xilinx los elementos de programación se basan en células de memoria RAM que permiten el control de transistores de paso, puertas de transmisión o multiplexores (Lopez Vallejo & Ayala Rodrigo, 2004). ver figura 25.

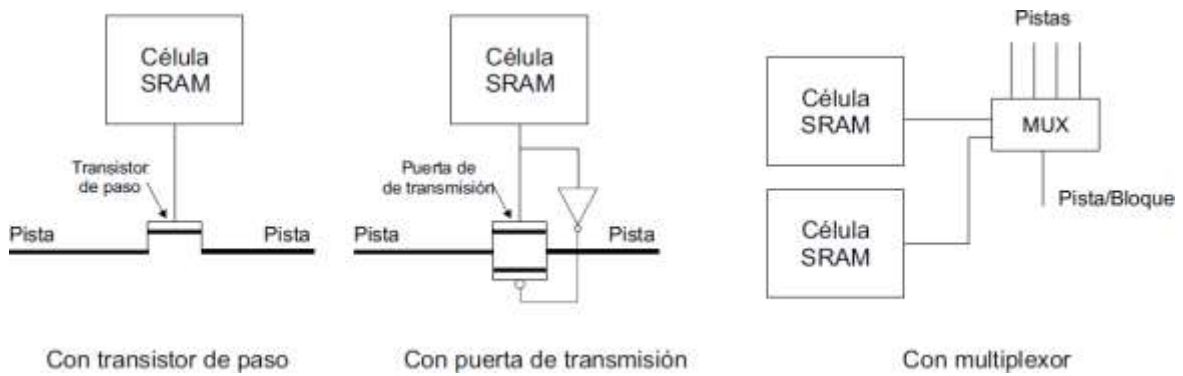


Figura 25. Conectores Utilizado en los FPGA's Xilinx. Fuente: (Lopez Vallejo & Ayala Rodrigo, 2004).

Los Bloques de entrada y salida que poseen los FPGA'S Xilinx permiten el flujo de datos, cabe resaltar que un pin que se ha definido como entrada puede trabajar como una salida en la figura 26 se muestra la arquitectura de un FPGA.

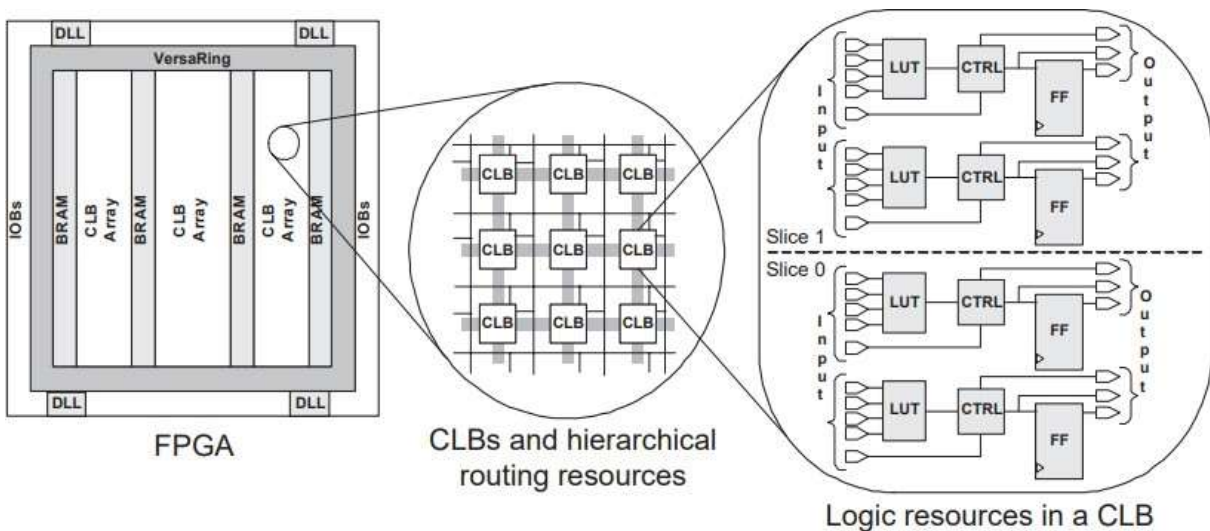


Figura 26. Arquitectura del FPGA, Xilinx Virtex – E series. Fuente: (Tufté & Haddow, 2005).

2.6.3 Lenguajes de Descripción en Hardware

El lenguaje de descripción en Hardware (HDL - Hardware Description Language) tiene como orientación la descripción de estructuras y el comportamiento en hardware. El lenguaje en HDL tiene como ventaja que la programación realizada se ejecute de manera paralela a comparación de otros tipos de lenguaje de programación el cual se ejecuta de manera secuencial.

- **VHDL (Very High-Speed Integrated Circuit Hardware)**

El lenguaje VHDL surge gracias al programa VHSIC (Very High Speed Integrated Circuits) impulsado por el departamento de defensa del gobierno de Estados Unidos de América. En el año 1987 el lenguaje VHDL fue estandarizado por la IEEE 1076 (Institute of Electrical and Electronics Engineers). Durante el año 1993 fue actualizado a un estándar denominado IEEE 1164. El lenguaje en VHDL se compone de dos partes fundamentales la entidad (**Entity**) y la arquitectura (**Architecture**) que muestra en la figura 27.

```
library ieee;
use ieee.std_logic_1164.all;
-----
entity Multiplex_3 is port (
    a: in std_logic; --_vector(3 downto 0);
    b: in std_logic; --_vector(3 downto 0);
    c: in std_logic; --_vector(3 downto 0);
    d: in std_logic; --_vector(3 downto 0);
    z : out std_logic; --_vector(3 downto 0);
    selec : in std_logic_vector(1 downto 0));
end Multiplex_3;
```

A)

```
architecture Archi_Multiplex3 of Multiplex_3 is
begin
    z <= a   when selec="00"   else
          b   when selec="01"   else
          c   when selec="10"   else
          d ;

end Archi_Multiplex3;
```

B)

Figura 27. Lenguaje en VHDL a) Estructura de la Entidad b) Estructura de la Arquitectura.
Fuente: Elaboración propia.

El lenguaje de programación HDL Verilog fue desarrollado en el año 1983 por la compañía Gateway Design Automation. La IEEE estandarizó el lenguaje Verilog en el año 1995 – IEEE 1364. La empresa Intel al cual proporciona el software Quartus II posee un flujo de diseño que está compuesto por las siguientes que se muestra en la figura 28:

- **Entrada de diseño:** En la primera etapa se especifica el tipo de diseño que se empleará, en base a un diagrama esquemático o mediante lenguaje de descripción en hardware (VHDL – Verilog).
- **Síntesis:** La síntesis es un proceso de generación de elementos lógicos (Compuertas lógicas, Flip Flops, Multiplexores) proporcionado por el FPGA. Esta herramienta nos proporciona un reporte detallado sobre los recursos empleados, tiempo, análisis del circuito. El sintetizador permite la opción de poder optimizar el diseño en recursos o velocidad (Pardo & Boluda, 1999).
- **Place & Route** (Ubicación y Ruteo): En esta etapa se permite poder asignar la ubicación física de los pines externos de entrada o salida del FPGA. Adicionalmente el proceso Place & Route permite mostrar un reporte y análisis de los requerimientos del diseño realizado, a su vez el proceso Place & Route puede tomar un tiempo considerado de minutos hasta horas dependiendo de las características del diseño (Amos, Lesea, & Richter, 2011).
- **Análisis de Temporización:** Permite la verificación de la correcta funcionalidad y el análisis en un tiempo estático.

- **Simulación:** Se verifica el modelo lógico empleado y el flujo de datos. Existen 3 distintos tipos de simulaciones dentro de ellos se tiene , Pre síntesis, Post síntesis, Post – Place and Route.
- **Programación y Configuración:** Como última etapa se encarga de dar la funcionalidad a la tarjeta de desarrollo FPGA.

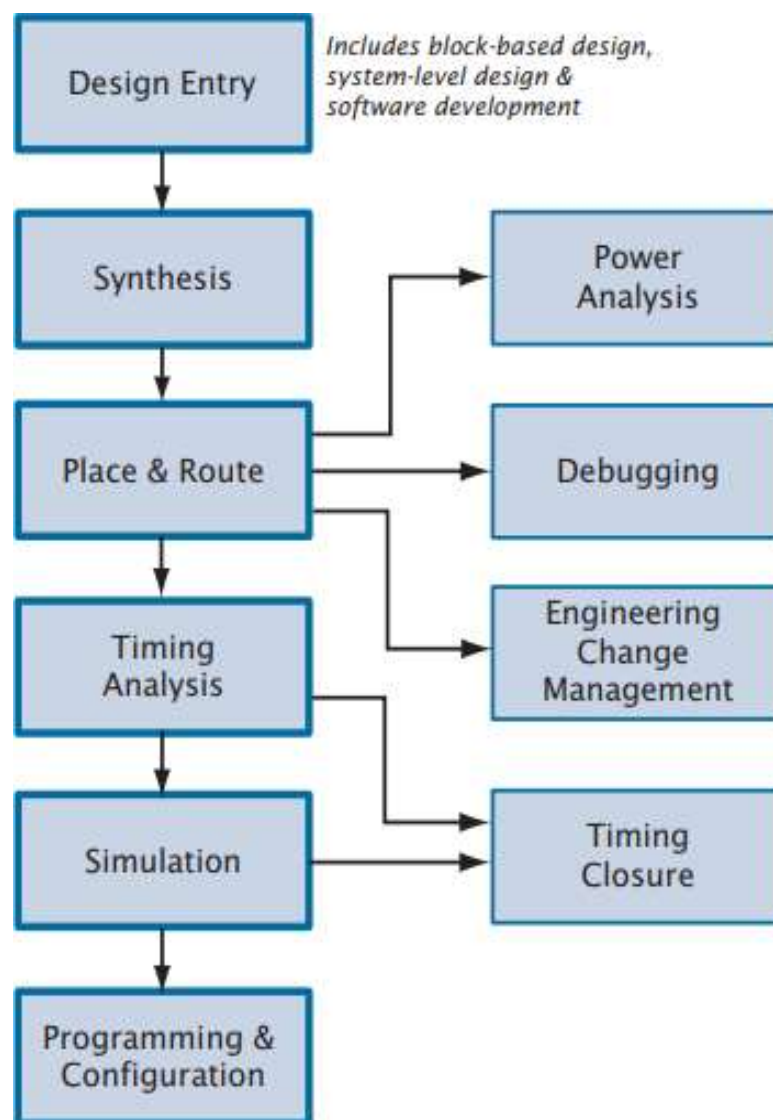


Figura 28. Diseño de Flujo Quartus II. Fuente: (Altera, 2017).

2.6.4 Introducción Punto Fijo

El punto Flotante es de suma importancia debido a las múltiples aplicaciones aritméticas que se presentan en los sistemas embebidos FPGA's y DSP, debido a ello se emplean operaciones matemáticas como multiplicación, suma. En la figura 29 se muestra una representación Aritmética de un punto fijo está definido por dos longitudes las cuales son:

- Longitud de Palabra: Dimensión de la palabra en bits que se utiliza para su respectiva representación, asimismo el valor tiende a ser un valor entero positivo.
- Longitud de Fracción: Dimensión en bits de la parte fraccional, el cual es representado tanto como un entero positivo o negativo.
- Un bit de signo positivo o negativo el cual se ubica en la posición del bit más significativo.

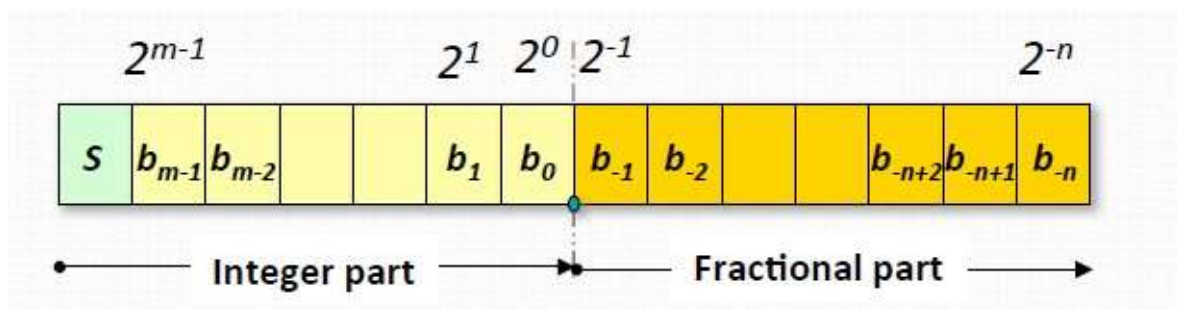


Figura 29. Representación de un formato de Punto Fijo. Fuente: (Romuald, Menerd, Herve, & Sentieys, 2016).

El uso de representación en formato punto fijo tiene la característica de un diseño fácil y requiere de menos cálculos por otro lado la representación en formato coma flotante es computacionalmente más exigente, la precisión del punto flotante es mucho mayor a comparación del punto fijo, a su vez esto conlleva a la complejidad del diseño. (Jagadale, Rathore, Satam, Singh, & Joshi, 2014).

Las ventajas que representa los números de punto fijo son tanto la velocidad, potencia, costo de eficiencia computacional. En la tabla 4 se muestra una comparación de punto fijo con respecto a los FPGA's y Dsp.

Tabla 4. Comparación de formato Punto Fijo y Flotante con respecto a FPGA Y DSP.
 Extraído de (Anderson & Hall, 2014)

Función	FPGA	DSP
Aritmética de Punto Fijo	Eficiente	Eficiente
Aritmética de Punto Flotante	Posible	Posible / Eficiente
Implementaciones de Filtro	Posible	Eficiente
Procesamiento Paralelo	Eficiente	Totalmente Limitado

CAPÍTULO 3

DISEÑO Y SIMULACIÓN DEL SISTEMA DEL FILTRO DIGITAL EN FPGA PARA SEÑALES EEG

En el presente capítulo se describe el proyecto en las diversas etapas el cual se desarrolla y asimismo las herramientas de software y hardware que se utilizan para la etapa de procesamiento, diseño y simulación en la presente tesis.

3.1 Diagrama de Bloques del Sistema

En la figura 30 se muestra el diagrama de bloques general del sistema. La representación del diagrama de bloques está conformada por 3 etapas la cuales se desarrollaron en este proyecto:

- Base de datos EEG
- Etapa de Pre - Procesamiento
- Buffer FIFO
- Sistema de procesamiento Basado en Procesador

En el diagrama de bloques de la figura 30. En la primera etapa se basa en el uso de una base de datos de señales EEG el cual se selecciona una con una cantidad mínima de electrodos en la posición donde se genera más actividad motora. En la etapa de diseño del filtro digital se diseñó en el entorno de MATLAB la cual se desarrolla un filtro digital que brinda una respuesta ideal, con una banda de frecuencia de interés, así mismo de reducir el ruido. En la etapa de diseño y simulación del filtro digital en software se usa el lenguaje

de programación VHDL, en base al diseño que se realizó en Matlab. La etapa final tiene como finalidad enviar la información procesada basado en un FIFO a un sistema de procesamiento Basado en Procesador Nios II.

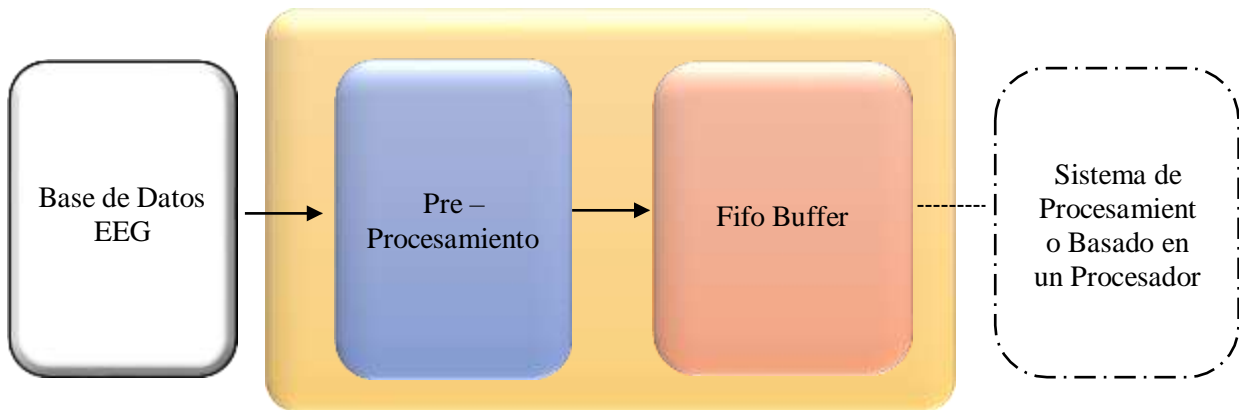


Figura 30. Diagrama de Bloques General Del Sistema. Fuente: Elaboración Propia.

3.2 Etapa de Diseño

En esta sección se describen principalmente las 3 etapas del diseño y simulación de un filtro digital para señales EEG de imaginación motora basados en FPGA

3.2.1 Base de datos EEG

En la tesis presente se utilizó una base de datos del Laboratorio especializado en el área de interfaces Cerebro Computador (BCI) de la Universidad Tecnológica de Austria el cual es una base de datos de señales EEG basados en el paradigma de Imaginación Motora (Motor Imagine) multiclase, la base de datos se encuentra publicada en la competencia *BCI 2005 – Data sets III A* (Pfurtscheller & Schlögl, 2019).

La Base de Datos de Señales EEG presentan ciertas características la cual se describen en la tabla 5.

Tabla 5. Características de la Base de Datos de las Señales EEG

Característica	Descripción
Frecuencia de Muestreo	250 Hz
Cantidad de Canales EEG	60
Filtro Pasa Banda	1 - 50 Hz
Filtro Notch	50 Hz
Paradigma	Imaginación Motora
Electrodo de Referencia	Mastoideo Izquierdo
Electrodo de Tierra	Mastoideo Derecho

La base de datos que se utiliza presenta 4 clases las cuales son:

- Mano izquierda
- Mano Derecha
- Pie
- Lengua

Las clases mencionadas anteriormente son movimientos que el usuario tiene que imaginar, en consecuencia, de un estímulo visual que permite que el usuario inicie la actividad de realizar la imaginación del movimiento. La cantidad de electrodos que se muestra en la tabla 5 tienen una numeración correspondiente y a su vez una posición la cual se describe en la figura 31.

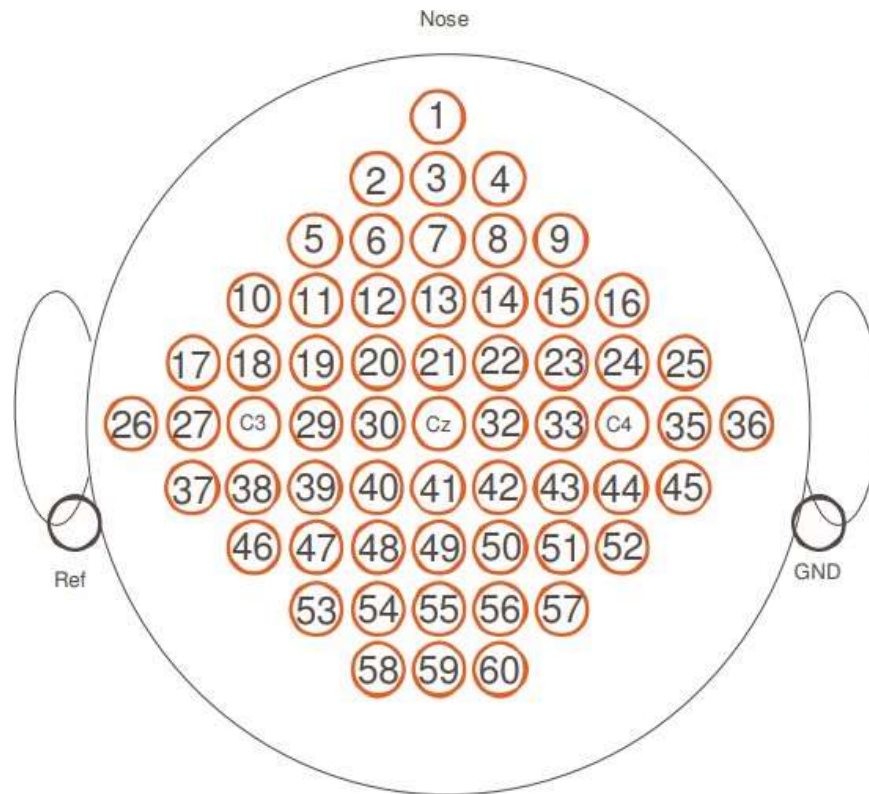


Figura 31. Posición de Electrodo EEG. Fuente: (Schlögl)

En base a diversos estudios se confirma que la actividad cerebral basado en imaginación motora se muestra con mayor amplitud en la corteza sensoriomotora, correspondientes a las posiciones de los electrodos C3, C4 (Neuper, Müller-Putz, Scherer, & Pfurtscheller, 2006) , (Sivakami & Shenbaga Devi, 2015) , (Zhou, Zhao, & Zhou, 2116), (Medina & López Alvarez, 2017), (Deecke, Weinberg, & Boschert, 1982), (Neuper & Pfurtscheller, 2001) . En base a lo mencionado anteriormente en la presenta tesis se analiza los canales C3 y C4, los cuales se encuentran asociados a los ritmos electroencefalográficos de imaginación motora Mu (8 -12 Hz) y Beta (13-30). Finalmente, al especificar los ritmos EEG, Canales y Frecuencia de interés se procederá al diseño del Filtro Digital.

Se desarrollan 40 ensayos para el registro de señales, el cual consta de 7 segundos cada ensayo, asimismo se muestra 10 veces de forma aleatoria cada una de las 4 clases. El registro de las señales EEG posee un diagrama de tiempo el cual se muestra en la figura 32 que justifica cada una de las acciones que se realiza en los ensayos.

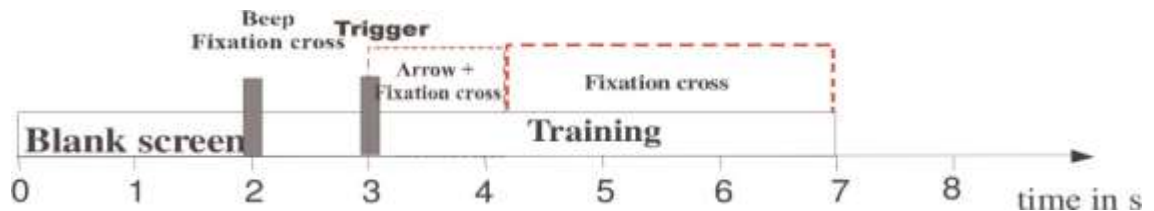


Figura 32. Tiempos de ensayo del Paradigma Imaginación Motora. Fuente: (Schlögl)

En base al diagrama de tiempos de ensayo que se muestra en la figura 32, se muestra que en los primeros segundos el usuario observara una pantalla en blanco, en el segundo 2 se presenta la actividad de un estímulo acústico el cual indica el inicio de la prueba, además de aparecer una figura de forma de cruz el cual el usuario tiene que visualizar. Luego en el 3 al 4 segundo se muestra una flecha hacia la izquierda, derecha, arriba y abajo el cual el usuario debe de imaginar un movimiento de mano izquierda, mano derecha, lengua y pie. La imaginación que se realiza el usuario tiene que continuar hasta que la cruz desaparezca el cual es en el segundo 7. En la figura 33 se muestra la representación gráfica de los movimientos realizados en el ensayo.

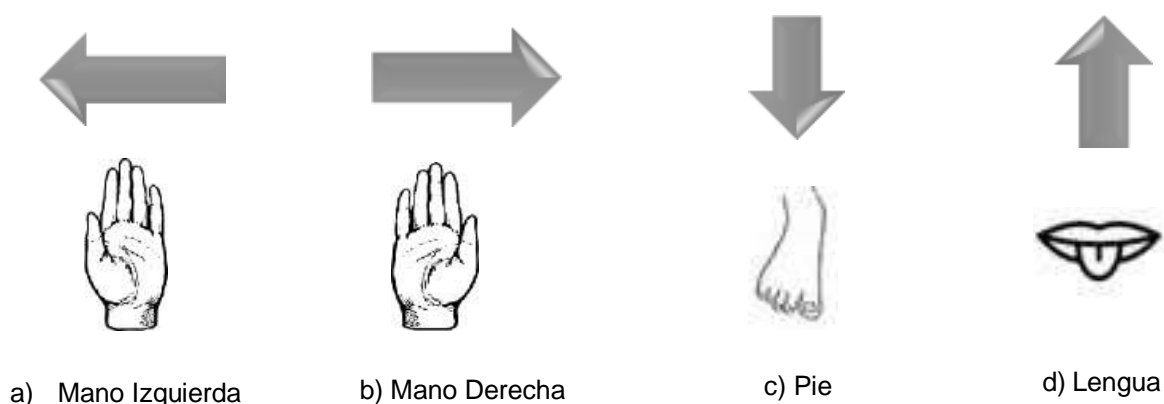


Figura 33. Señales de Imaginación motora. Fuente: Elaboración Propia.

3.2.2 Pre – Procesamiento

En esta segunda etapa de la presente tesis se basa en el pre – procesamiento en el cual se justifica el diseño del filtro digital, el cual se divide en las siguientes etapas:

- I. Especificaciones del Filtro.
- II. Cálculo de los coeficientes del Filtro.
- III. Representación del Filtro utilizando una estructura definida.
- IV. Efectos de longitud.
- V. Elaboración del Filtro usando el software Matlab

En base a lo mencionado anteriormente se muestra el diagrama de bloques en la figura 34 el cual justifica cada una de las etapas de desarrollo del Filtro Digital

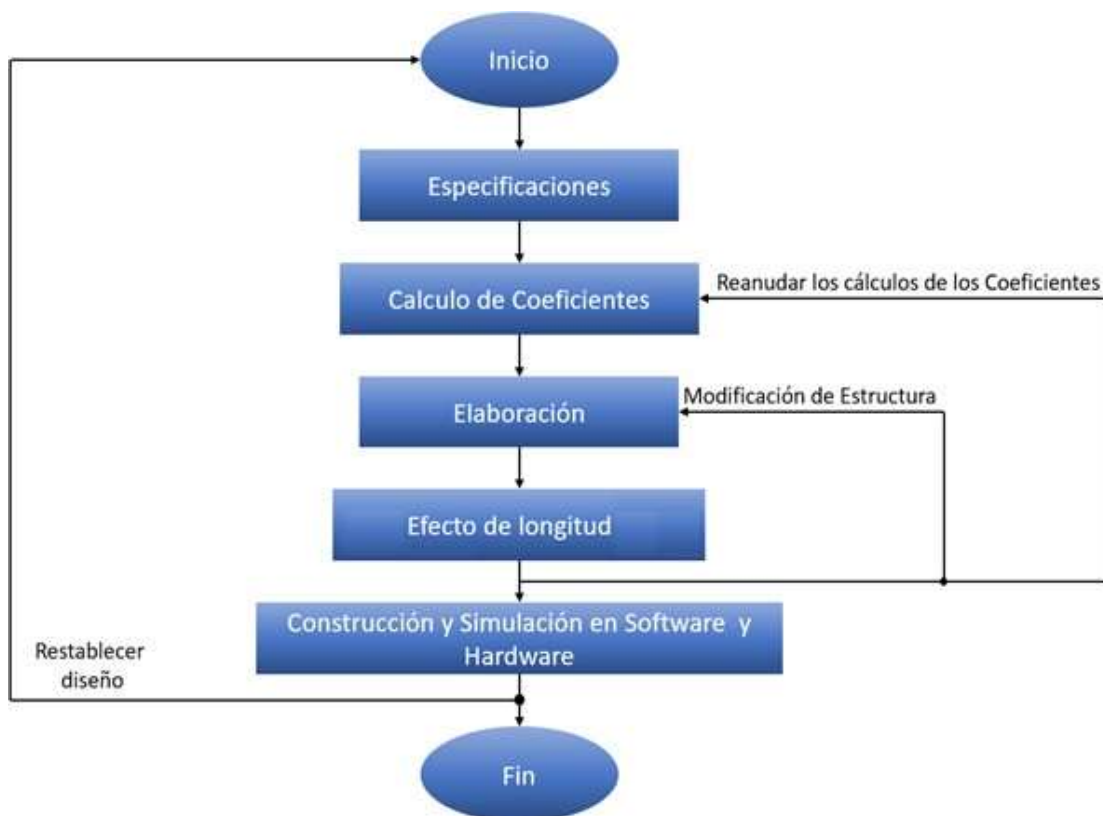


Figura 34. Diagrama de Bloques para el Diseño Del Filtro Digital FIR. Fuente: (Tan, 2008).

- **Especificaciones del Filtro Digital.**

Las especificaciones de la primera etapa del filtro digital se basan en las características de la señal de entrada la cual son adquiridas de la base de datos mencionado anteriormente. El interés de la señal de entrada se encuentra en los canales C3, C4 y ritmos EEG específicos anteriormente ya mencionados en la base de datos. El rango de frecuencia de la onda Mu se encuentra en 8 – 12 Hz y la onda Beta se encuentra en el rango de frecuencia 12 – 30 Hz. Se hace uso del Filtro Digital Pasa Banda que se muestra en la figura 35, debido a que las frecuencias de las ondas de nuestro interés mencionadas anteriormente se encuentran en un intervalo de frecuencia. Asimismo, existen otros tipos de filtros digitales en el cual producen cambios en la fase el cual genera una distorsión de la señal.

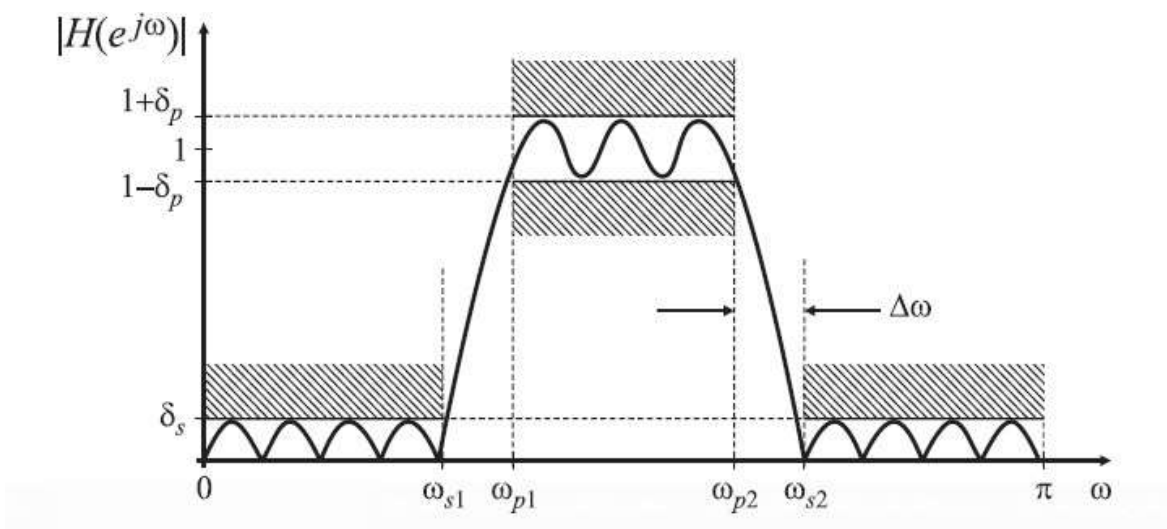


Figura 35. Parámetros de respuesta en magnitud de un Filtro Pasa Banda. Fuente: (Sur, 2011).

Para establecer los requerimientos necesarios del filtro digital es importante conocer la característica de la señal y establecer las consideraciones del diseño. Es importante resaltar el tipo de simetría que requiere el filtro digital para una respuesta de fase lineal. Los Parámetros necesarios que se considera para el diseño del filtro digital Pasa Banda son:

δ_p : *Desviación en la banda de paso*

δ_s : *Desviación en la banda de rechazo*

ω_p : *Frecuencia de corte de la banda de paso*

ω_s : *Frecuencia de corte de la banda de rechazo*

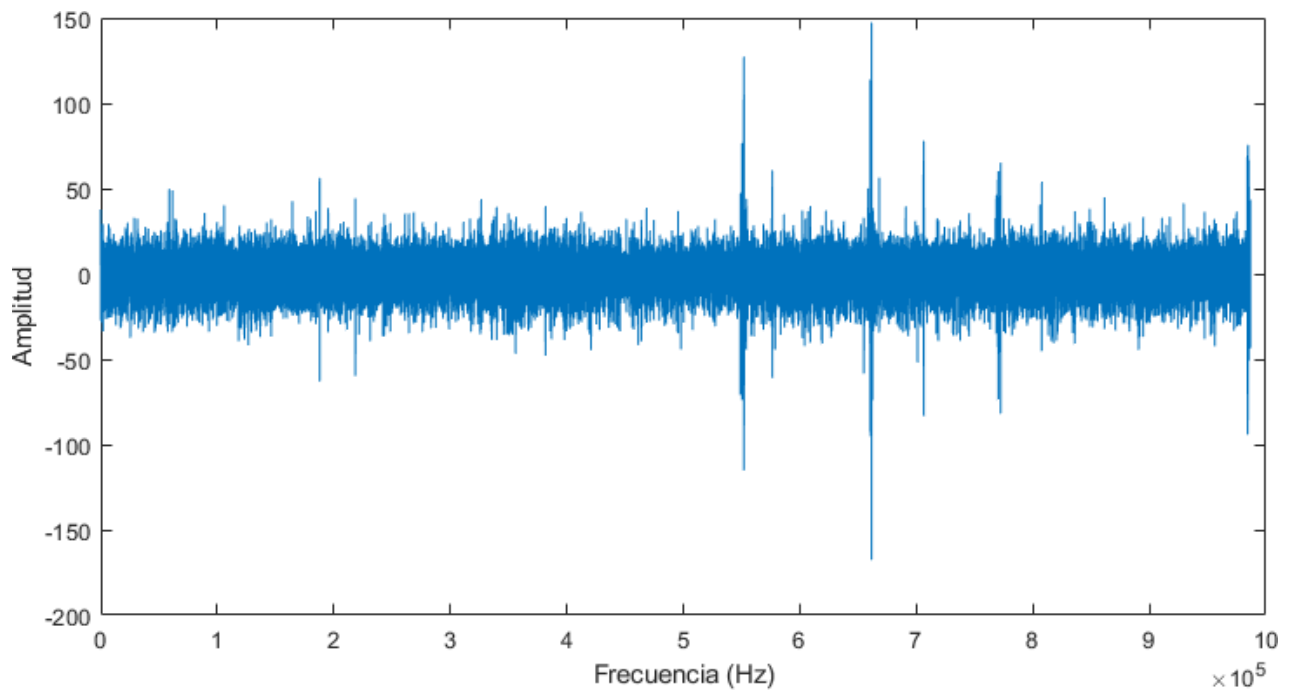
F_s : *Frecuencia de muestreo*

La respuesta en frecuencia deseada tanto en la banda de paso y la banda de rechazo se expresan en valores absolutos o en decibelios (db), asimismo indicando la ondulación máxima o también llamada "Ripple" tolerado en la banda de paso y la atenuación mínima exigida en la banda de rechazo, ambas desviaciones son expresadas por la ecuación (39) y (40):

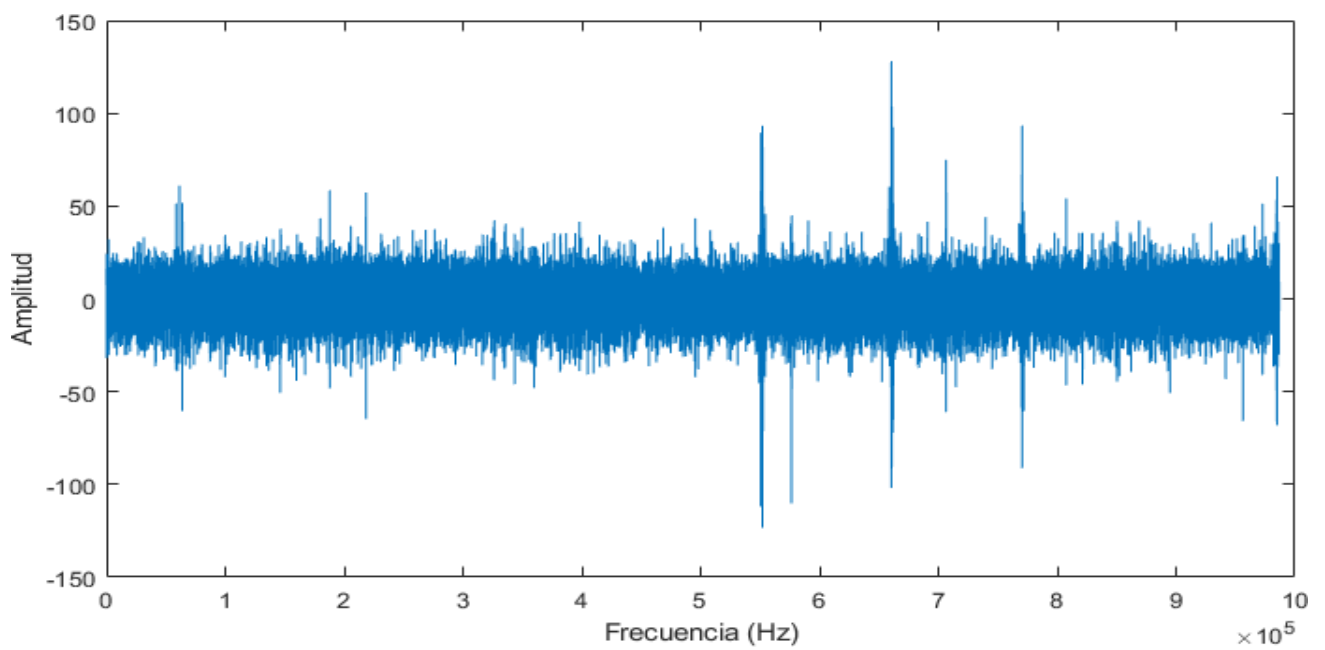
$$A_p \text{ (Ondulación en la banda de paso)} : 20\log_{10} (1 + \delta_p) \text{ db} \quad (39)$$

$$A_s \text{ (Atenuación en la banda de rehazo)} : -20\log_{10} \delta_s \text{ db} \quad (40)$$

La señal de entrada que se utiliza en la presenta tesis está asociada con el ruido, asimismo dificulta el análisis correspondiente de las bandas de frecuencia de interés. Existen diversos factores el cual produce el fenómeno denominado ruido, asimismo también los movimientos oculares, movimientos de extremidades, ambiente de trabajo, producen dicho fenómeno. La presencia visual de picos en la señal es un indicio de ruido ver figura 36.



a)



b)

Figura 36. Canal EEG a) Señal de entrada del canal C3. b) Señal de entrada del canal C4. Fuente: Elaboración propia.

En la elaboración del filtro digital se desea como respuesta una fase lineal y una buena estabilidad del sistema, asimismo obtener una atenuación de frecuencia de corte ideal. Finalmente, con las especificaciones que se hace mención, permitirá tener un análisis correcto de las frecuencias deseadas. El diseño y la simulación del filtro digital se realiza en el software Matlab y Quartus, ambos softwares son empleados para la validación de los resultados.

En base a las especificaciones del filtro digital se presenta las tablas 6 y 7 en el cual se justifica las consideraciones básicas para el diseño del filtro digital con respecto al ritmo electroencefalográfico Mu y Beta de los canales C3 – C4.

Tabla 6. Especificaciones del Filtro Digital FIR con respecto al Ritmo Electroencefalográfico Mu

Parámetros del Filtro Digital	Descripción
Frecuencia de Muestro	250 Hz
Frecuencia borde Baja Pasabanda	8 Hz
Frecuencia borde Alta Pasabanda	12 Hz
Tipo de Filtro	Pasa Banda
Periodo de la Señal	0.004 s
Canales	C3 – C4

Tabla 7. Especificaciones del Filtro Digital FIR con respecto al Ritmo Electroencefalográfico Beta

Parámetros del Filtro Digital	Descripción
Frecuencia de Muestro	250 Hz
Frecuencia borde Baja Pasabanda	12 Hz
Frecuencia borde Alta Pasabanda	30 Hz
Tipo de Filtro	Pasa Banda
Periodo de la Señal	0.004 s
Canales	C3 – C4

- **Cálculo de Coeficientes de Filtro FIR basado en Ventanas**

En la etapa de cálculo de coeficientes se basa en distintos métodos de aproximación con la finalidad de realizar el cálculo de los coeficientes del filtro digital. Los Filtros IIR (Respuesta Impulsional Infinita) poseen métodos de aproximación de coeficientes los cuales pueden ser invarianza de impulso, transformación bilineal, entre otros métodos. Adicionalmente este método de aproximación presenta ciertas desventajas una de ellas es no obtener una respuesta de fase lineal ya que es principal para el diseño de las especificaciones del filtro digital. En consecuencia, se opta por el Filtro FIR ya que una de sus principales características que se resalta es la fase lineal que se puede establecer, la robustez en cuanto a la implementación de precisión finita. Los Filtros FIR (Respuesta Infinita al Impulso) Se utiliza el método de ventanas para hallar los coeficientes de Filtro FIR debido a que la técnica de diseño se basa en el coeficiente de respuesta al impulso que permite resolver problemas complejos de optimización del filtro digital (I.Selesnick). El método de ventana presenta una implementación factible y una forma efectiva para calcular los coeficientes FIR, en base a diversas aplicaciones el método de ventana es considerado

como uno de los métodos más utilizados, asimismo es importante mencionar ciertos criterios básicos para la selección del tipo de ventana dentro de las cuales se puede mencionar:

- Ganancia en magnitud de una unidad de banda de paso.
- Características no causales e inestables.
- Ancho de Transición
- Atenuación Máxima Para Banda
- Respuesta de impulso de duración de tiempo infinito.

El método de ventana se emplea la repuesta de frecuencia de un filtro $H_D(\omega)$ y a su vez la respuesta de frecuencia de impulso H_D ambas relacionadas a las transformada de Fourier mostrada en la ecuación (2.4). El termino eventanar o también denominado como truncar representa una respuesta impulsional la cual está expresada por la ecuación (2.1). En la figura 37 se muestra la convolución de la ecuación (2.1).

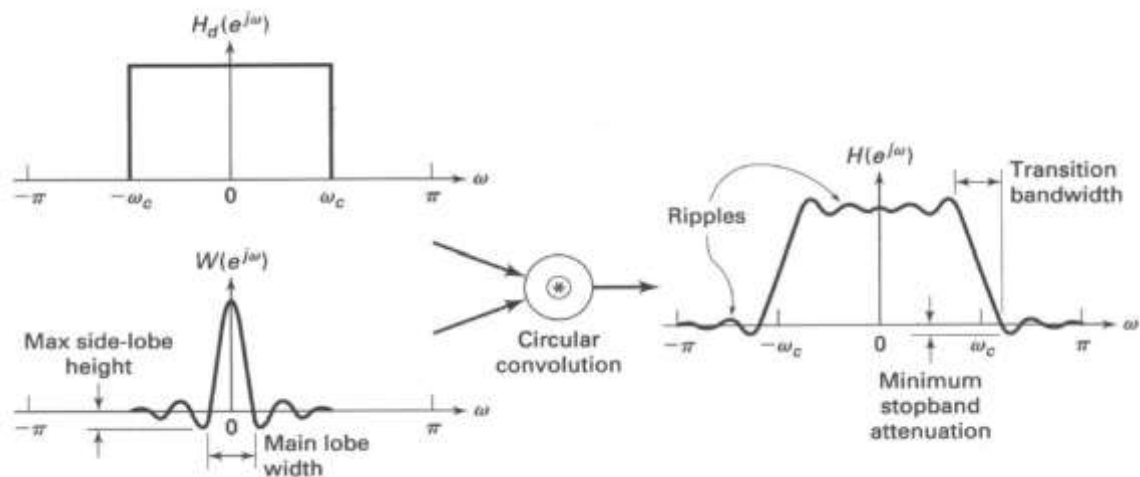


Figura 37. Convolución en el dominio de la frecuencia. Fuente (Alan V. Oppenheim, 1999).

La respuesta al impulso de los filtros ideales tales como Pasa banda, Pasa bajo, Pasa alto, Rechaza banda se muestran en la Tabla 8.

Tabla 8. Respuesta al Impulso Ideal de los Filtros Digitales

Tipo de Filtro	Respuesta de Impulso Ideal	
	$h_d(n), n \neq 0$	$h_d(0)$
Pasa Bajas	$2f_c \frac{\sin(n w_c)}{n w_c}$	$2f_c$
Pasa Altas	$-2f_c \frac{\sin(n w_c)}{n w_c}$	$1 - 2f_c$
Pasa Banda	$2f_2 \frac{\sin(n w_2)}{n w_2} - 2f_1 \frac{\sin(n w_1)}{n w_1}$	$2(f_2 - f_1)$
Rechaza Banda	$2f_1 \frac{\sin(n w_1)}{n w_1} - 2f_2 \frac{\sin(n w_2)}{n w_2}$	$1 - 2(f_2 - f_1)$

La respuesta ideal al impulso infinito tiende a truncarse utilizando los diversos tipos de ventana mostrado en la Tabla 9. El tipo de ventana seleccionado es multiplicado por la función de transferencia ideal.

Tabla 9. Funciones de Ventana para el Diseño de un Filtro FIR

Nombre Función Ventana	Ancho de Transición (Hz) normalizado	Rizo (dB) Pasa Banda	Relación (dB)	
			Lóbulo Principal Lóbulos Laterales	Relación (dB) Máxima Para Banda
Rectangular	0.9/N	0.7416	13	21
Hanning	3.1/N	0.0546	31	44
Hamming	3.3/N	0.0194	41	53
Blackman	5.5/N	0.0017	57	75

Kaiser	5.71/N ($\beta = 8.96$)	0.000275	--	90
--------	---------------------------	----------	----	----

Finalmente, para el desarrollo del cálculo de los coeficientes es importante considerar los siguientes pasos:

- Seleccionar el tipo de Filtro de Respuesta de impulso ideal.
- Seleccionar el tipo de ventana que se utilizara.
- Establecer un orden correspondiente para el Filtro Digital
- Hallar el ancho de transición dependiendo del tipo de ventana.
- Establecer el tipo de frecuencia de borde con respecto al tipo de Filtro seleccionado.
- Calcular los coeficientes del tipo de ventana
- Determinar los coeficientes del tipo de Filtro de Respuesta de impulso ideal

Para el desarrollo del diseño del filtro FIR es fundamental realizar los cálculos de los valores de los coeficientes, en consecuencia, es importante asignar el tipo de ventana que se utilizara. En la presente tesis se optó por el uso de la ventana de Hamming y Blackman, ambas ventanas poseen diferentes características las cuales se pueden apreciar en la tabla 8. El método de ventana Hamming es de operación simple y proporciona una mayor flexibilidad en aplicaciones de Procesamiento Digital de Señales, sin embargo, el dominio de frecuencia a medida que aumenta la longitud del filtro digital el ancho del lóbulo principal disminuye continuamente y la amplitud del lóbulo lateral aumenta (Islam, Islam, Rahman, & Ferdous Subin, 2014). El método de ventana Blackman aplicado a las señales EEG posee un gran resultado debido a su pequeña cantidad de ondas y una transición estrecha (Nova, Kalsum, Sabiq, Jatmiko, & Musanto, 2016). Ambos métodos de ventana son muy eficientes. Aplicado a las señales EEG, dependerá del orden del filtro digital el cual se utilice para visualizar un resultado óptimo de la etapa de pre – procesamiento, asimismo, las diferencias que padecen ambas ventanas mencionadas anteriormente.

Se realiza el diseño de un Filtro FIR Pasa- Banda, Frecuencia de Muestreo de 250 Hz, además frecuencia borde baja de 8Hz y frecuencia borde alta de 13 Hz, Orden 80. El método que se emplea para el diseño del filtro digital es el método de ventana Hamming.

La banda de transición normalizada de la ventana de Hamming se halla de la siguiente manera:

$$\Delta F = \frac{\text{Ancho de Transición Normalizado}}{N = \text{Orden del Filtro Digital}}$$

$$\Delta F = \frac{3.3}{80}$$

$$\Delta F = 0.04125$$

En base al resultado de la transición normalizada se calcula la banda de transición

$$\text{Banda de Transición} = \Delta F \times \text{Frecuencia de Muestreo}$$

$$\text{Banda de Transición} = 0.04125 \times 250$$

$$\text{Banda de Transición} = 10.3125 \text{ Hz}$$

Los coeficientes del filtro digital se obtienen en función del orden del filtro digital, es decir:

$$\frac{N}{2} = \frac{80}{2} = 40 \text{ coeficientes}$$

Los coeficientes de la función ventana de Hamming se calculan usando la ecuación de Hamming que se muestra en la Tabla 2.

$$W(N) = \text{Funcion ventana}$$

$$W(N) = 0.54 - 0.46 \cos \frac{2\pi n}{N}$$

$$W(0) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0800$$

$$W(1) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0814$$

$$W(2) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0857$$

$$W(3) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0927$$

$$W(4) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1025$$

$$W(5) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1150$$

$$W(6) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1301$$

$$W(7) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1478$$

$$W(8) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1679$$

$$W(9) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1902$$

$$W(10) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2147$$

$$W(11) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2413$$

$$W(12) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2696$$

$$W(13) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2997$$

$$W(14) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.3312$$

$$W(15) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.3640$$

$$W(16) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.3979$$

$$W(17) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.4326$$

$$W(18) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.4680$$

$$W(19) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.5039$$

$$W(20) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.5400$$

$$W(21) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.5761$$

$$W(22) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.6120$$

$$W(23) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.6474$$

$$W(24) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.6821$$

$$W(25) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.7160$$

$$W(26) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.7488$$

$$W(27) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.7803$$

$$W(28) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.8103$$

$$W(29) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.8387$$

$$W(30) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.8653$$

$$W(31) = 0.54 - 0.46\cos\frac{2\pi n}{N} = 0.8898$$

$$W(32) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9121$$

$$W(33) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9322$$

$$W(34) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9499$$

$$W(35) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9650$$

$$W(36) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9775$$

$$W(37) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9873$$

$$W(38) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9943$$

$$W(39) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9986$$

$$W(40) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 1$$

$$W(41) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9986$$

$$W(42) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9943$$

$$W(43) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9873$$

$$W(44) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9775$$

$$W(45) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9650$$

$$W(46) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9499$$

$$W(47) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9322$$

$$W(48) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.9121$$

$$W(49) = 0.54 - 0.46\cos \frac{2\pi n}{N} = 0.8898$$

$$W(50) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.8653$$

$$W(51) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.8387$$

$$W(52) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.8104$$

$$W(53) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.7803$$

$$W(54) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.7488$$

$$W(55) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.7160$$

$$W(56) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.6821$$

$$W(57) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.6474$$

$$W(58) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.6120$$

$$W(59) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.5761$$

$$W(60) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.5400$$

$$W(61) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.5039$$

$$W(62) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.4680$$

$$W(63) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.4326$$

$$W(64) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.3979$$

$$W(65) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.3640$$

$$W(66) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.3312$$

$$W(67) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2997$$

$$W(68) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2696$$

$$W(69) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2413$$

$$W(70) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.2147$$

$$W(71) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1902$$

$$W(72) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1679$$

$$W(73) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1478$$

$$W(74) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1301$$

$$W(75) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1150$$

$$W(76) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.1025$$

$$W(77) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0927$$

$$W(78) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0857$$

$$W(79) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0814$$

$$W(80) = 0.54 - 0.46 \cos \frac{2\pi n}{N} = 0.0800$$

Se calculan las frecuencias de corte normalizada para hacer uso de la respuesta de impulso

Ideal del filtro pasa banda:

$$w_2 = 2\pi \left(\frac{fl}{F_s} \right)$$

$$w_2 = 2\pi \left(\frac{13 \text{ Hz}}{250 \text{ Hz}} \right)$$

$$w_2 = 0.32672$$

$$w_1 = 2\pi \left(\frac{fh}{F_s} \right)$$

$$w_1 = 2\pi \left(\frac{8 \text{ Hz}}{250 \text{ Hz}} \right)$$

$$w_1 = 0.20106$$

En base al resultado de la respuesta de impulso ideal del filtro pasa banda se obtienen los coeficientes para el orden asignado:

$$H_{d(n)} = \frac{\text{sen}(0.32672 \times \pi \times n)}{n \pi} - \frac{\text{sen}(0.20106 \times \pi \times n)}{n \pi}$$

$$H_{d(0)} = \frac{\text{sen}(0.32672)}{\pi} - \frac{\text{sen}(0.20106)}{\pi} = 0.12566$$

$$H_{d(1)} = \frac{\text{sen}(0.32672\pi \times 1)}{1 \pi} - \frac{\text{sen}(0.20106\pi \times 1)}{1 \pi} = 0.0843$$

$$H_{d(2)} = \frac{\text{sen}(0.32672\pi \times 2)}{2 \pi} - \frac{\text{sen}(0.20106\pi \times 2)}{2 \pi} = -0.0106$$

$$H_{d(3)} = \frac{\text{sen}(0.32672\pi \times 3)}{3 \pi} - \frac{\text{sen}(0.20106\pi \times 3)}{3 \pi} = -0.0939$$

$$H_{d(4)} = \frac{\text{sen}(0.32672\pi \times 4)}{4 \pi} - \frac{\text{sen}(0.20106\pi \times 4)}{4 \pi} = -0.1112$$

$$H_{d(5)} = \frac{\text{sen}(0.32672 \pi \times 5)}{5 \pi} - \frac{\text{sen}(0.20106\pi \times 5)}{5 \pi} = -0.0570$$

$$H_{d(6)} = \frac{\text{sen}(0.32672 \pi \times 6)}{6 \pi} - \frac{\text{sen}(0.20106\pi \times 6)}{6 \pi} = 0.0254$$

$$H_{d(7)} = \frac{\text{sen}(0.32672\pi \times 7)}{7 \pi} - \frac{\text{sen}(0.20106\pi \times 7)}{7 \pi} = 0.0792$$

$$H_{d(8)} = \frac{\text{sen}(0.32672 \pi \times 8)}{8 \pi} - \frac{\text{sen}(0.20106\pi \times 8)}{8 \pi} = 0.0747$$

$$H_{d(9)} = \frac{\text{sen}(0.32672 \pi \times 9)}{9 \pi} - \frac{\text{sen}(0.20106\pi \times 9)}{9 \pi} = 0.0264$$

$$H_{d(10)} = \frac{\text{sen}(0.32672\pi \times 10)}{10\pi} - \frac{\text{sen}(0.20106\pi \times 10)}{10\pi} = -0.0247$$

$$H_{d(11)} = \frac{\text{sen}(0.32672\pi \times 11)}{11\pi} - \frac{\text{sen}(0.20106\pi \times 11)}{11\pi} = -0.0455$$

$$H_{d(12)} = \frac{\text{sen}(0.32672\pi \times 12)}{12\pi} - \frac{\text{sen}(0.20106\pi \times 12)}{12\pi} = -0.0320$$

$$H_{d(13)} = \frac{\text{sen}(0.32672\pi \times 13)}{13\pi} - \frac{\text{sen}(0.20106\pi \times 13)}{13\pi} = -0.0057$$

$$H_{d(14)} = \frac{\text{sen}(0.32672\pi \times 14)}{14\pi} - \frac{\text{sen}(0.20106\pi \times 14)}{14\pi} = 0.0096$$

$$H_{d(15)} = \frac{\text{sen}(0.32672\pi \times 15)}{15\pi} - \frac{\text{sen}(0.20106\pi \times 15)}{15\pi} = 0.0075$$

$$H_{d(16)} = \frac{\text{sen}(0.32672\pi \times 16)}{16\pi} - \frac{\text{sen}(0.20106\pi \times 16)}{16\pi} = -0.0005$$

$$H_{d(17)} = \frac{\text{sen}(0.32672\pi \times 17)}{17\pi} - \frac{\text{sen}(0.20106\pi \times 17)}{17\pi} = -0.0003$$

$$H_{d(18)} = \frac{\text{sen}(0.32672\pi \times 18)}{18\pi} - \frac{\text{sen}(0.20106\pi \times 18)}{18\pi} = 0.0100$$

$$H_{d(19)} = \frac{\text{sen}(0.32672\pi \times 19)}{19\pi} - \frac{\text{sen}(0.20106\pi \times 19)}{19\pi} = 0.0191$$

$$H_{d(20)} = \frac{\text{sen}(0.32672\pi \times 20)}{20\pi} - \frac{\text{sen}(0.20106\pi \times 20)}{20\pi} = 0.0147$$

$$H_{d(21)} = \frac{\text{sen}(0.32672\pi \times 21)}{21\pi} - \frac{\text{sen}(0.20106\pi \times 21)}{21\pi} = -0.0033$$

$$H_{d(22)} = \frac{\text{sen}(0.32672\pi \times 22)}{22\pi} - \frac{\text{sen}(0.20106\pi \times 22)}{22\pi} = -0.0221$$

$$H_{d(23)} = \frac{\text{sen}(0.32672\pi \times 23)}{23\pi} - \frac{\text{sen}(0.20106\pi \times 23)}{23\pi} = -0.0266$$

$$H_{d(24)} = \frac{\text{sen}(0.32672\pi \times 24)}{24\pi} - \frac{\text{sen}(0.20106\pi \times 24)}{24\pi} = -0.0132$$

$$H_{d(25)} = \frac{\text{sen}(0.32672\pi \times 25)}{25\pi} - \frac{\text{sen}(0.20106\pi \times 25)}{25\pi} = 0.0074$$

$$H_{d(26)} = \frac{\text{sen}(0.32672\pi \times 26)}{26\pi} - \frac{\text{sen}(0.20106\pi \times 26)}{26\pi} = 0.0202$$

$$H_{d(27)} = \frac{\text{sen}(0.32672\pi \times 27)}{27\pi} - \frac{\text{sen}(0.20106\pi \times 27)}{27\pi} = 0.0177$$

$$H_{d(28)} = \frac{\text{sen}(0.32672\pi \times 28)}{28\pi} - \frac{\text{sen}(0.20106\pi \times 28)}{28\pi} = 0.0053$$

$$H_{d(29)} = \frac{\text{sen}(0.32672\pi \times 29)}{29\pi} - \frac{\text{sen}(0.20106\pi \times 29)}{29\pi} = -0.0053$$

$$H_{d(30)} = \frac{\text{sen}(0.32672\pi \times 30)}{30\pi} - \frac{\text{sen}(0.20106\pi \times 30)}{30\pi} = -0.0072$$

$$H_{d(31)} = \frac{\text{sen}(0.32672\pi \times 31)}{31\pi} - \frac{\text{sen}(0.20106\pi \times 31)}{31\pi} = -0.0028$$

$$H_{d(32)} = \frac{\text{sen}(0.32672\pi \times 32)}{32\pi} - \frac{\text{sen}(0.20106\pi \times 32)}{32\pi} = 0.0001$$

$$H_{d(33)} = \frac{\text{sen}(0.32672\pi \times 33)}{33\pi} - \frac{\text{sen}(0.20106\pi \times 33)}{33\pi} = -0.0026$$

$$H_{d(34)} = \frac{\text{sen}(0.32672\pi \times 34)}{34\pi} - \frac{\text{sen}(0.20106\pi \times 34)}{34\pi} = -0.0077$$

$$H_{d(35)} = \frac{\text{sen}(0.32672\pi \times 35)}{35\pi} - \frac{\text{sen}(0.20106\pi \times 35)}{35\pi} = -0.0078$$

$$H_{d(36)} = \frac{\text{sen}(0.32672\pi \times 36)}{36\pi} - \frac{\text{sen}(0.20106\pi \times 36)}{36\pi} = 0.0000$$

$$H_{d(37)} = \frac{\text{sen}(0.32672\pi \times 37)}{37\pi} - \frac{\text{sen}(0.20106\pi \times 37)}{37\pi} = 0.0108$$

$$H_{d(38)} = \frac{\text{sen}(0.32672\pi \times 38)}{38\pi} - \frac{\text{sen}(0.20106\pi \times 38)}{38\pi} = 0.0156$$

$$H_{d(39)} = \frac{\text{sen}(0.32672\pi \times 39)}{39\pi} - \frac{\text{sen}(0.20106\pi \times 39)}{39\pi} = 0.0098$$

$$H_{d(40)} = \frac{\text{sen}(0.32672\pi \times 40)}{40\pi} - \frac{\text{sen}(0.20106\pi \times 40)}{40\pi} = -0.0027$$

$$H_{d(41)} = \frac{\text{sen}(0.32672\pi \times 41)}{41\pi} - \frac{\text{sen}(0.20106\pi \times 41)}{41\pi} = -0.0127$$

$$H_{d(42)} = \frac{\text{sen}(0.32672\pi \times 42)}{42\pi} - \frac{\text{sen}(0.20106\pi \times 42)}{42\pi} = -0.0132$$

$$H_{d(43)} = \frac{\text{sen}(0.32672\pi \times 43)}{43\pi} - \frac{\text{sen}(0.20106\pi \times 43)}{43\pi} = -0.0055$$

$$H_{d(44)} = \frac{\text{sen}(0.32672\pi \times 44)}{44\pi} - \frac{\text{sen}(0.20106\pi \times 44)}{44\pi} = 0.0033$$

$$H_{d(45)} = \frac{\text{sen}(0.32672\pi \times 45)}{45\pi} - \frac{\text{sen}(0.20106\pi \times 45)}{45\pi} = 0.0067$$

$$H_{d(46)} = \frac{\text{sen}(0.32672\pi \times 46)}{46\pi} - \frac{\text{sen}(0.20106\pi \times 46)}{46\pi} = 0.0042$$

$$H_{d(47)} = \frac{\text{sen}(0.32672\pi \times 47)}{47\pi} - \frac{\text{sen}(0.20106\pi \times 47)}{47\pi} = 0.0005$$

$$H_{d(48)} = \frac{\text{sen}(0.32672\pi \times 48)}{48\pi} - \frac{\text{sen}(0.20106\pi \times 48)}{48\pi} = 0.0003$$

$$H_{d(49)} = \frac{\text{sen}(0.32672\pi \times 49)}{49\pi} - \frac{\text{sen}(0.20106\pi \times 49)}{49\pi} = 0.0031$$

$$H_{d(50)} = \frac{\text{sen}(0.32672\pi \times 50)}{50\pi} - \frac{\text{sen}(0.20106\pi \times 50)}{50\pi} = 0.0044$$

$$H_{d(51)} = \frac{\text{sen}(0.32672\pi \times 51)}{51\pi} - \frac{\text{sen}(0.20106\pi \times 51)}{51\pi} = 0.0009$$

$$H_{d(52)} = \frac{\text{sen}(0.32672\pi \times 52)}{52\pi} - \frac{\text{sen}(0.20106\pi \times 52)}{52\pi} = -0.0058$$

$$H_{d(53)} = \frac{\text{sen}(0.32672\pi \times 53)}{53\pi} - \frac{\text{sen}(0.20106\pi \times 53)}{53\pi} = -0.0103$$

$$H_{d(54)} = \frac{\text{sen}(0.32672\pi \times 54)}{54\pi} - \frac{\text{sen}(0.20106\pi \times 54)}{54\pi} = -0.0078$$

$$H_{d(55)} = \frac{\text{sen}(0.32672\pi \times 55)}{55\pi} - \frac{\text{sen}(0.20106\pi \times 55)}{55\pi} = 0.0005$$

$$H_{d(56)} = \frac{\text{sen}(0.32672\pi \times 56)}{56\pi} - \frac{\text{sen}(0.20106\pi \times 56)}{56\pi} = 0.0086$$

$$H_{d(57)} = \frac{\text{sen}(0.32672\pi \times 57)}{57\pi} - \frac{\text{sen}(0.20106\pi \times 57)}{57\pi} = 0.0107$$

$$H_{d(58)} = \frac{\text{sen}(0.32672\pi \times 58)}{58\pi} - \frac{\text{sen}(0.20106\pi \times 58)}{58\pi} = 0.0056$$

$$H_{d(59)} = \frac{\text{sen}(0.32672\pi \times 59)}{59\pi} - \frac{\text{sen}(0.20106\pi \times 59)}{59\pi} = -0.0018$$

$$H_{d(60)} = \frac{\text{sen}(0.32672\pi \times 60)}{60\pi} - \frac{\text{sen}(0.20106\pi \times 60)}{60\pi} = -0.0060$$

$$H_{d(61)} = \frac{\text{sen}(0.32672\pi \times 61)}{61\pi} - \frac{\text{sen}(0.20106\pi \times 61)}{61\pi} = -0.0049$$

$$H_{d(62)} = \frac{\text{sen}(0.32672\pi \times 62)}{62\pi} - \frac{\text{sen}(0.20106\pi \times 62)}{62\pi} = -0.0013$$

$$H_{d(63)} = \frac{\text{sen}(0.32672\pi \times 63)}{63\pi} - \frac{\text{sen}(0.20106\pi \times 63)}{63\pi} = 0.0005$$

$$H_{d(64)} = \frac{\text{sen}(0.32672\pi \times 64)}{64 \pi} - \frac{\text{sen}(0.20106\pi \times 64)}{64 \pi} = -0.0006$$

$$H_{d(65)} = \frac{\text{sen}(0.32672\pi \times 65)}{65 \pi} - \frac{\text{sen}(0.20106\pi \times 65)}{65 \pi} = -0.0022$$

$$H_{d(66)} = \frac{\text{sen}(0.32672\pi \times 66)}{66 \pi} - \frac{\text{sen}(0.20106\pi \times 66)}{66 \pi} = -0.0011$$

$$H_{d(67)} = \frac{\text{sen}(0.32672\pi \times 67)}{67 \pi} - \frac{\text{sen}(0.20106\pi \times 67)}{67 \pi} = 0.0031$$

$$H_{d(68)} = \frac{\text{sen}(0.32672\pi \times 68)}{68 \pi} - \frac{\text{sen}(0.20106\pi \times 68)}{68 \pi} = 0.0069$$

$$H_{d(69)} = \frac{\text{sen}(0.32672\pi \times 69)}{69 \pi} - \frac{\text{sen}(0.20106\pi \times 69)}{69 \pi} = 0.0063$$

$$H_{d(70)} = \frac{\text{sen}(0.32672\pi \times 70)}{70 \pi} - \frac{\text{sen}(0.20106\pi \times 70)}{70 \pi} = 0.0007$$

$$H_{d(71)} = \frac{\text{sen}(0.32672\pi \times 71)}{71 \pi} - \frac{\text{sen}(0.20106\pi \times 71)}{71 \pi} = -0.0060$$

$$H_{d(72)} = \frac{\text{sen}(0.32672\pi \times 72)}{72 \pi} - \frac{\text{sen}(0.20106\pi \times 72)}{72 \pi} = -0.0088$$

$$H_{d(73)} = \frac{\text{sen}(0.32672\pi \times 73)}{73 \pi} - \frac{\text{sen}(0.20106\pi \times 73)}{73 \pi} = -0.0056$$

$$H_{d(74)} = \frac{\text{sen}(0.32672\pi \times 74)}{74 \pi} - \frac{\text{sen}(0.20106\pi \times 74)}{74 \pi} = 0.0006$$

$$H_{d(75)} = \frac{\text{sen}(0.32672\pi \times 75)}{75 \pi} - \frac{\text{sen}(0.20106\pi \times 75)}{75 \pi} = 0.0052$$

$$H_{d(76)} = \frac{\text{sen}(0.32672\pi \times 76)}{76 \pi} - \frac{\text{sen}(0.20106\pi \times 76)}{76 \pi} = 0.0053$$

$$H_{d(77)} = \frac{\text{sen}(0.32672\pi \times 77)}{77 \pi} - \frac{\text{sen}(0.20106\pi \times 77)}{77 \pi} = 0.0021$$

$$H_{d(78)} = \frac{\text{sen}(0.32672\pi \times 78)}{78 \pi} - \frac{\text{sen}(0.20106\pi \times 78)}{78 \pi} = -0.0006$$

$$H_{d(79)} = \frac{\text{sen}(0.32672\pi \times 79)}{79 \pi} - \frac{\text{sen}(0.20106\pi \times 79)}{79 \pi} = -0.0008$$

$$H_{d(80)} = \frac{\text{sen}(0.32672\pi \times 80)}{80 \pi} - \frac{\text{sen}(0.20106\pi \times 80)}{80 \pi} = 0.0006$$

Finalmente, se calcula la respuesta de impulso deseado $H_{d(n)}$ y la función de ventana $W(n)$ se realiza el producto de ambas variables para obtener la respuesta al impulso del Filtro diseñado $H(n)$

$$h(n) = w(n) * H_{d(n)}$$

$$h(0) = 0.0100528$$

$$h(1) = 0.00686202$$

$$h(2) = -0.00090842$$

$$h(3) = -0.00870453$$

$$h(4) = -0.01148$$

$$h(5) = -0.006555$$

$$h(6) = 0.00330454$$

$$h(7) = 0.01170576$$

$$h(8) = 0.01254213$$

$$h(9) = 0.00502128$$

$$h(10) = -0.00530309$$

$$h(11) = -0.01097915$$

$$h(12) = -0.0086272$$

$$h(13) = -0.00170829$$

$$h(14) = 0.00317952$$

$$h(15) = 0.00273$$

$$h(16) = -0.00019895$$

$$h(17) = -0.00012978$$

$$h(18) = 0.00468$$

$$h(19) = 0.00962449$$

$$h(20) = 0.007938$$

$$h(21) = -0.00190113$$

$h(22) = -0.0135252$
 $h(23) = -0.01722084$
 $h(24) = -0.00900372$
 $h(25) = 0.0052984$
 $h(26) = 0.01512576$
 $h(27) = 0.01381131$
 $h(28) = 0.00429459$
 $h(29) = -0.00444511$
 $h(30) = -0.00623016$
 $h(31) = -0.00249144$
 $h(32) = 0.00009121$
 $h(33) = -0.00242372$
 $h(34) = -0.00731423$
 $h(35) = -0.007527$
 $h(36) = 0$
 $h(37) = 0.01066284$
 $h(38) = 0.01551108$
 $h(39) = 0.00978628$
 $h(40) = -0.0027$
 $h(41) = -0.01268222$
 $h(42) = -0.01312476$
 $h(43) = -0.00543015$
 $h(44) = 0.00322575$
 $h(45) = 0.0064655$
 $h(46) = 0.00398958$
 $h(47) = 0.0004661$
 $h(48) = 0.00027363$

$h(49) = 0.00275838$
 $h(50) = 0.00380732$
 $h(51) = 0.00075483$
 $h(52) = -0.00470032$
 $h(53) = -0.00803709$
 $h(54) = -0.00584064$
 $h(55) = 0.000358$
 $h(56) = 0.00586606$
 $h(57) = 0.00692718$
 $h(58) = 0.0034272$
 $h(59) = -0.00103698$
 $h(60) = -0.00324$
 $h(61) = -0.00246911$
 $h(62) = -0.0006084$
 $h(63) = 0.0002163$
 $h(64) = -0.00023874$
 $h(65) = -0.0008008$
 $h(66) = -0.00036432$
 $h(67) = 0.00092907$
 $h(68) = 0.00186024$
 $h(69) = 0.00152019$
 $h(70) = 0.00015029$
 $h(71) = -0.0011412$
 $h(72) = -0.00147752$
 $h(73) = -0.00082768$
 $h(74) = 0.00007806$
 $h(75) = 0.000598$

$$h(76) = 0.00054325$$

$$h(77) = 0.00019467$$

$$h(78) = -0.00005142$$

$$h(79) = -0.00006512$$

$$h(80) = 0.000048$$

Se realiza el diseño de un Filtro FIR Pasa- Banda, Frecuencia de Muestreo de 250 Hz, además frecuencia borde baja de 8Hz y frecuencia borde alta de 13 Hz, Orden 81. El método que se emplea para el diseño del filtro digital es el método de ventana Blackman.

$w(n) = \text{Función Ventana}$

$$w(n) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1}$$

$$w(1) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.000$$

$$w(2) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0006$$

$$w(3) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0023$$

$$w(4) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0052$$

$$w(5) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0094$$

$$w(6) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0150$$

$$w(7) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0221$$

$$w(8) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0308$$

$$w(9) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0413$$

$$w(10) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0538$$

$$w(11) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0684$$

$$w(12) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0852$$

$$w(13) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1044$$

$$w(14) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1261$$

$$w(15) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1504$$

$$w(16) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1773$$

$$w(17) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.2069$$

$$w(18) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.2390$$

$$w(19) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.2737$$

$$w(20) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.3108$$

$$w(21) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.3500$$

$$w(22) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.3912$$

$$w(23) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.4341$$

$$w(24) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.4783$$

$$w(25) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.5234$$

$$w(26) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.5691$$

$$w(27) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.6148$$

$$w(28) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.6602$$

$$\begin{aligned}
w(29) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(30) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(31) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(32) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(33) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(34) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(35) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(36) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(37) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(38) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(39) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(40) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(41) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(42) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(43) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(44) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(45) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} \\
w(46) &= 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{2\pi n}{n-1} = 0.9242
\end{aligned}$$

$$w(47) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.8956$$

$$w(48) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.8632$$

$$w(49) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.8274$$

$$w(50) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.7887$$

$$w(51) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.7476$$

$$w(52) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.7046$$

$$w(53) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.6602$$

$$w(54) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.6148$$

$$w(55) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.5961$$

$$w(56) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.5234$$

$$w(57) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.4783$$

$$w(58) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.4341$$

$$w(59) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.3912$$

$$w(60) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.3500$$

$$w(61) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.3108$$

$$w(62) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.2737$$

$$w(63) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.2390$$

$$w(64) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.2069$$

$$w(65) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1773$$

$$w(66) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1504$$

$$w(67) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1261$$

$$w(68) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.1044$$

$$w(69) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0852$$

$$w(70) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0684$$

$$w(71) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0538$$

$$w(72) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0413$$

$$w(73) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0308$$

$$w(74) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0221$$

$$w(75) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0150$$

$$w(76) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0094$$

$$w(77) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0052$$

$$w(78) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0023$$

$$w(79) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0006$$

$$w(80) = 0.42 - 0.5 \cos \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = -0.000$$

$$w(81) = 0.42 - 0.5 \omega \frac{2\pi n}{n-1} + 0.08 \cos \frac{4\pi n}{n-1} = 0.0006$$

Se calculan las frecuencias de corte normalizada para hacer uso de la respuesta de impulso

Ideal del filtro pasa banda:

$$w_2 = 2\pi \left(\frac{fl}{F_S} \right)$$

$$w_2 = 2\pi \left(\frac{13 \text{ Hz}}{250 \text{ Hz}} \right)$$

$$w_2 = 0.32672$$

$$w_1 = 2\pi \left(\frac{fh}{F_S} \right)$$

$$w_1 = 2\pi \left(\frac{8 \text{ Hz}}{250 \text{ Hz}} \right)$$

$$w_1 = 0.20106$$

En base al resultado de la respuesta de impulso ideal del filtro pasa banda se obtienen los coeficientes para el orden asignado:

$$H_{d(n)} = \frac{\text{sen}(0.32672 \times \pi \times n)}{n \pi} - \frac{\text{sen}(0.20106 \times \pi \times n)}{n \pi}$$

$$H_{d(0)} = \frac{\text{sen}(0.32672)}{\pi} - \frac{\text{sen}(0.20106)}{\pi} = 0.12566$$

$$H_{d(1)} = \frac{\text{sen}(0.32672\pi \times 1)}{1 \pi} - \frac{\text{sen}(0.20106\pi \times 1)}{1 \pi} = 0.0843$$

$$H_{d(2)} = \frac{\text{sen}(0.32672\pi \times 2)}{2 \pi} - \frac{\text{sen}(0.20106\pi \times 2)}{2 \pi} = -0.0106$$

$$H_{d(3)} = \frac{\text{sen}(0.32672\pi \times 3)}{3 \pi} - \frac{\text{sen}(0.20106\pi \times 3)}{3 \pi} = -0.0939$$

$$H_{d(4)} = \frac{\text{sen}(0.32672\pi \times 4)}{4 \pi} - \frac{\text{sen}(0.20106\pi \times 4)}{4 \pi} = -0.1112$$

$$H_{d(5)} = \frac{\text{sen}(0.32672 \pi \times 5)}{5 \pi} - \frac{\text{sen}(0.20106\pi \times 5)}{5 \pi} = -0.0570$$

$$\begin{aligned}
H_{d(6)} &= \frac{\text{sen}(0.32672 \pi x 6)}{6 \pi} - \frac{\text{sen}(0.20106 \pi x 6)}{6 \pi} = 0.0254 \\
H_{d(7)} &= \frac{\text{sen}(0.32672 \pi x 7)}{7 \pi} - \frac{\text{sen}(0.20106 \pi x 7)}{7 \pi} = 0.0792 \\
H_{d(8)} &= \frac{\text{sen}(0.32672 \pi x 8)}{8 \pi} - \frac{\text{sen}(0.20106 \pi x 8)}{8 \pi} = 0.0747 \\
H_{d(9)} &= \frac{\text{sen}(0.32672 \pi x 9)}{9 \pi} - \frac{\text{sen}(0.20106 \pi x 9)}{9 \pi} = 0.0264 \\
H_{d(10)} &= \frac{\text{sen}(0.32672 \pi x 10)}{10 \pi} - \frac{\text{sen}(0.20106 \pi x 10)}{10 \pi} = -0.0247 \\
H_{d(11)} &= \frac{\text{sen}(0.32672 \pi x 11)}{11 \pi} - \frac{\text{sen}(0.20106 \pi x 11)}{11 \pi} = -0.0455 \\
H_{d(12)} &= \frac{\text{sen}(0.32672 \pi x 12)}{12 \pi} - \frac{\text{sen}(0.20106 \pi x 12)}{12 \pi} = -0.0320 \\
H_{d(13)} &= \frac{\text{sen}(0.32672 \pi x 13)}{13 \pi} - \frac{\text{sen}(0.20106 \pi x 13)}{13 \pi} = -0.0057 \\
H_{d(14)} &= \frac{\text{sen}(0.32672 \pi x 14)}{14 \pi} - \frac{\text{sen}(0.20106 \pi x 14)}{14 \pi} = 0.0096 \\
H_{d(15)} &= \frac{\text{sen}(0.32672 \pi x 15)}{15 \pi} - \frac{\text{sen}(0.20106 \pi x 15)}{15 \pi} = 0.0075 \\
H_{d(16)} &= \frac{\text{sen}(0.32672 \pi x 16)}{16 \pi} - \frac{\text{sen}(0.20106 \pi x 16)}{16 \pi} = -0.0005 \\
H_{d(17)} &= \frac{\text{sen}(0.32672 \pi x 17)}{17 \pi} - \frac{\text{sen}(0.20106 \pi x 17)}{17 \pi} = -0.0003 \\
H_{d(18)} &= \frac{\text{sen}(0.32672 \pi x 18)}{18 \pi} - \frac{\text{sen}(0.20106 \pi x 18)}{18 \pi} = 0.0100 \\
H_{d(19)} &= \frac{\text{sen}(0.32672 \pi x 19)}{19 \pi} - \frac{\text{sen}(0.20106 \pi x 19)}{19 \pi} = 0.0191 \\
H_{d(20)} &= \frac{\text{sen}(0.32672 \pi x 20)}{20 \pi} - \frac{\text{sen}(0.20106 \pi x 20)}{20 \pi} = 0.0147 \\
H_{d(21)} &= \frac{\text{sen}(0.32672 \pi x 21)}{21 \pi} - \frac{\text{sen}(0.20106 \pi x 21)}{21 \pi} = -0.0033 \\
H_{d(22)} &= \frac{\text{sen}(0.32672 \pi x 22)}{22 \pi} - \frac{\text{sen}(0.20106 \pi x 22)}{22 \pi} = -0.0221 \\
H_{d(23)} &= \frac{\text{sen}(0.32672 \pi x 23)}{23 \pi} - \frac{\text{sen}(0.20106 \pi x 23)}{23 \pi} = -0.0266
\end{aligned}$$

$$H_{d(24)} = \frac{\text{sen}(0.32672 \pi \times 24)}{24 \pi} - \frac{\text{sen}(0.20106\pi \times 24)}{24 \pi} = -0.0132$$

$$H_{d(25)} = \frac{\text{sen}(0.32672\pi \times 25)}{25 \pi} - \frac{\text{sen}(0.20106\pi \times 25)}{25 \pi} = 0.0074$$

$$H_{d(26)} = \frac{\text{sen}(0.32672 \pi \times 26)}{26 \pi} - \frac{\text{sen}(0.20106\pi \times 26)}{26 \pi} = 0.0202$$

$$H_{d(27)} = \frac{\text{sen}(0.32672\pi \times 27)}{27 \pi} - \frac{\text{sen}(0.20106\pi \times 27)}{27 \pi} = 0.0177$$

$$H_{d(28)} = \frac{\text{sen}(0.32672\pi \times 28)}{28 \pi} - \frac{\text{sen}(0.20106\pi \times 28)}{28 \pi} = 0.0053$$

$$H_{d(29)} = \frac{\text{sen}(0.32672 \pi \times 29)}{29 \pi} - \frac{\text{sen}(0.20106\pi \times 29)}{29 \pi} = -0.0053$$

$$H_{d(30)} = \frac{\text{sen}(0.32672 \pi \times 30)}{30 \pi} - \frac{\text{sen}(0.20106\pi \times 30)}{30 \pi} = -0.0072$$

$$H_{d(31)} = \frac{\text{sen}(0.32672\pi \times 31)}{31 \pi} - \frac{\text{sen}(0.20106\pi \times 9)}{9 \pi} = -0.0028$$

$$H_{d(32)} = \frac{\text{sen}(0.32672\pi \times 32)}{32 \pi} - \frac{\text{sen}(0.20106\pi \times 32)}{32 \pi} = 0.0001$$

$$H_{d(33)} = \frac{\text{sen}(0.32672\pi \times 33)}{33 \pi} - \frac{\text{sen}(0.20106\pi \times 33)}{33 \pi} = -0.0026$$

$$H_{d(34)} = \frac{\text{sen}(0.32672\pi \times 34)}{34 \pi} - \frac{\text{sen}(0.20106\pi \times 34)}{34 \pi} = -0.0077$$

$$H_{d(35)} = \frac{\text{sen}(0.32672\pi \times 35)}{35 \pi} - \frac{\text{sen}(0.20106\pi \times 35)}{35 \pi} = -0.0078$$

$$H_{d(36)} = \frac{\text{sen}(0.32672\pi \times 36)}{36 \pi} - \frac{\text{sen}(0.20106\pi \times 36)}{36 \pi} = 0.0000$$

$$H_{d(37)} = \frac{\text{sen}(0.32672\pi \times 37)}{37\pi} - \frac{\text{sen}(0.20106\pi \times 37)}{37\pi} = 0.0108$$

$$H_{d(38)} = \frac{\text{sen}(0.32672\pi \times 38)}{38 \pi} - \frac{\text{sen}(0.20106\pi \times 38)}{38 \pi} = 0.0156$$

$$H_{d(39)} = \frac{\text{sen}(0.32672\pi \times 39)}{39 \pi} - \frac{\text{sen}(0.20106\pi \times 39)}{39 \pi} = 0.0098$$

$$H_{d(40)} = \frac{\text{sen}(0.32672\pi \times 40)}{40 \pi} - \frac{\text{sen}(0.20106\pi \times 40)}{40 \pi} = -0.0027$$

$$H_{d(41)} = \frac{\text{sen}(0.32672\pi \times 41)}{41 \pi} - \frac{\text{sen}(0.20106\pi \times 41)}{41 \pi} = -0.0127$$

$$H_{d(42)} = \frac{\text{sen}(0.32672\pi \times 42)}{42\pi} - \frac{\text{sen}(0.20106\pi \times 42)}{42\pi} = -0.0132$$

$$H_{d(43)} = \frac{\text{sen}(0.32672\pi \times 43)}{43\pi} - \frac{\text{sen}(0.20106\pi \times 43)}{43\pi} = -0.0055$$

$$H_{d(44)} = \frac{\text{sen}(0.32672\pi \times 44)}{44\pi} - \frac{\text{sen}(0.20106\pi \times 44)}{44\pi} = 0.0033$$

$$H_{d(45)} = \frac{\text{sen}(0.32672\pi \times 45)}{45\pi} - \frac{\text{sen}(0.20106\pi \times 45)}{45\pi} = 0.0067$$

$$H_{d(46)} = \frac{\text{sen}(0.32672\pi \times 46)}{46\pi} - \frac{\text{sen}(0.20106\pi \times 46)}{46\pi} = 0.0042$$

$$H_{d(47)} = \frac{\text{sen}(0.32672\pi \times 47)}{47\pi} - \frac{\text{sen}(0.20106\pi \times 47)}{47\pi} = 0.0005$$

$$H_{d(48)} = \frac{\text{sen}(0.32672\pi \times 48)}{48\pi} - \frac{\text{sen}(0.20106\pi \times 48)}{48\pi} = 0.0003$$

$$H_{d(49)} = \frac{\text{sen}(0.32672\pi \times 49)}{49\pi} - \frac{\text{sen}(0.20106\pi \times 49)}{49\pi} = 0.0031$$

$$H_{d(50)} = \frac{\text{sen}(0.32672\pi \times 50)}{50\pi} - \frac{\text{sen}(0.20106\pi \times 50)}{50\pi} = 0.0044$$

$$H_{d(51)} = \frac{\text{sen}(0.32672\pi \times 51)}{51\pi} - \frac{\text{sen}(0.20106\pi \times 51)}{51\pi} = 0.0009$$

$$H_{d(52)} = \frac{\text{sen}(0.32672\pi \times 52)}{52\pi} - \frac{\text{sen}(0.20106\pi \times 52)}{52\pi} = -0.0058$$

$$H_{d(53)} = \frac{\text{sen}(0.32672\pi \times 53)}{53\pi} - \frac{\text{sen}(0.20106\pi \times 53)}{53\pi} = -0.0103$$

$$H_{d(54)} = \frac{\text{sen}(0.32672\pi \times 54)}{54\pi} - \frac{\text{sen}(0.20106\pi \times 54)}{54\pi} = -0.0078$$

$$H_{d(55)} = \frac{\text{sen}(0.32672\pi \times 55)}{55\pi} - \frac{\text{sen}(0.20106\pi \times 55)}{55\pi} = 0.0005$$

$$H_{d(56)} = \frac{\text{sen}(0.32672\pi \times 56)}{56\pi} - \frac{\text{sen}(0.20106\pi \times 56)}{56\pi} = 0.0086$$

$$H_{d(57)} = \frac{\text{sen}(0.32672\pi \times 57)}{57\pi} - \frac{\text{sen}(0.20106\pi \times 57)}{57\pi} = 0.0107$$

$$H_{d(58)} = \frac{\text{sen}(0.32672\pi \times 58)}{58\pi} - \frac{\text{sen}(0.20106\pi \times 58)}{58\pi} = 0.0056$$

$$H_{d(59)} = \frac{\text{sen}(0.32672\pi \times 59)}{59\pi} - \frac{\text{sen}(0.20106\pi \times 59)}{59\pi} = -0.0018$$

$$H_{d(60)} = \frac{\text{sen}(0.32672\pi \times 60)}{60\pi} - \frac{\text{sen}(0.20106\pi \times 60)}{60\pi} = -0.0060$$

$$H_{d(61)} = \frac{\text{sen}(0.32672\pi \times 61)}{61\pi} - \frac{\text{sen}(0.20106\pi \times 61)}{61\pi} = -0.0049$$

$$H_{d(62)} = \frac{\text{sen}(0.32672\pi \times 62)}{62\pi} - \frac{\text{sen}(0.20106\pi \times 62)}{62\pi} = -0.0013$$

$$H_{d(63)} = \frac{\text{sen}(0.32672\pi \times 63)}{63\pi} - \frac{\text{sen}(0.20106\pi \times 63)}{63\pi} = 0.0005$$

$$H_{d(64)} = \frac{\text{sen}(0.32672\pi \times 64)}{64\pi} - \frac{\text{sen}(0.20106\pi \times 64)}{64\pi} = -0.0006$$

$$H_{d(65)} = \frac{\text{sen}(0.32672\pi \times 65)}{65\pi} - \frac{\text{sen}(0.20106\pi \times 65)}{65\pi} = -0.0022$$

$$H_{d(66)} = \frac{\text{sen}(0.32672\pi \times 66)}{66\pi} - \frac{\text{sen}(0.20106\pi \times 66)}{66\pi} = -0.0011$$

$$H_{d(67)} = \frac{\text{sen}(0.32672\pi \times 67)}{67\pi} - \frac{\text{sen}(0.20106\pi \times 67)}{67\pi} = 0.0031$$

$$H_{d(68)} = \frac{\text{sen}(0.32672\pi \times 68)}{68\pi} - \frac{\text{sen}(0.20106\pi \times 68)}{68\pi} = 0.0069$$

$$H_{d(69)} = \frac{\text{sen}(0.32672\pi \times 69)}{69\pi} - \frac{\text{sen}(0.20106\pi \times 69)}{69\pi} = 0.0063$$

$$H_{d(70)} = \frac{\text{sen}(0.32672\pi \times 70)}{70\pi} - \frac{\text{sen}(0.20106\pi \times 70)}{70\pi} = 0.0007$$

$$H_{d(71)} = \frac{\text{sen}(0.32672\pi \times 71)}{71\pi} - \frac{\text{sen}(0.20106\pi \times 71)}{71\pi} = -0.0060$$

$$H_{d(72)} = \frac{\text{sen}(0.32672\pi \times 72)}{72\pi} - \frac{\text{sen}(0.20106\pi \times 72)}{72\pi} = -0.0088$$

$$H_{d(73)} = \frac{\text{sen}(0.32672\pi \times 73)}{73\pi} - \frac{\text{sen}(0.20106\pi \times 73)}{73\pi} = -0.0056$$

$$H_{d(74)} = \frac{\text{sen}(0.32672\pi \times 74)}{74\pi} - \frac{\text{sen}(0.20106\pi \times 74)}{74\pi} = 0.0006$$

$$H_{d(75)} = \frac{\text{sen}(0.32672\pi \times 75)}{75\pi} - \frac{\text{sen}(0.20106\pi \times 75)}{75\pi} = 0.0052$$

$$H_{d(76)} = \frac{\text{sen}(0.32672\pi \times 76)}{76\pi} - \frac{\text{sen}(0.20106\pi \times 76)}{76\pi} = 0.0053$$

$$H_{d(77)} = \frac{\text{sen}(0.32672\pi \times 77)}{77\pi} - \frac{\text{sen}(0.20106\pi \times 77)}{77\pi} = 0.0021$$

$$H_{d(78)} = \frac{\text{sen}(0.32672\pi \times 78)}{78\pi} - \frac{\text{sen}(0.20106\pi \times 78)}{78\pi} = -0.0006$$

$$H_{d(79)} = \frac{\text{sen}(0.32672\pi \times 79)}{79\pi} - \frac{\text{sen}(0.20106\pi \times 79)}{79\pi} = -0.0008$$

$$H_{d(80)} = \frac{\text{sen}(0.32672\pi \times 80)}{80\pi} - \frac{\text{sen}(0.20106\pi \times 80)}{80\pi} = 0.0006$$

$$H_{d(81)} = \frac{\text{sen}(0.32672\pi \times 81)}{81\pi} - \frac{\text{sen}(0.20106\pi \times 81)}{81\pi} = 0.0008$$

Finalmente, se calcula la respuesta de impulso deseado $H_{d(n)}$ y la función de ventana $W(n)$ se realiza el producto de ambas variables para obtener la respuesta al impulso del Filtro diseñado $H(n)$

$$h(n) = w(n) * H_{d(n)}$$

$$h(0) = 0$$

$$h(1) = 0.00005058$$

$$h(2) = -0.00002438$$

$$h(3) = -0.00048828$$

$$h(4) = -0.00104528$$

$$h(5) = -0.000855$$

$$h(6) = 0.00056134$$

$$h(7) = 0.00243936$$

$$h(8) = 0.00308511$$

$$h(9) = 0.00142032$$

$$h(10) = -0.00168948$$

$$h(11) = -0.0038766$$

$$h(12) = -0.0033408$$

$$h(13) = -0.00071877$$

$$h(14) = 0.00144384$$

$$\begin{aligned}h(15) &= 0.00132975 \\h(16) &= -0.00006207 \\h(17) &= -0.0000717 \\h(18) &= 0.002737 \\h(19) &= 0.00593628 \\h(20) &= 0.005145 \\h(21) &= -0.00864552 \\h(22) &= -0.00959361 \\h(23) &= -0.01272278 \\h(24) &= -0.00690888 \\h(25) &= 0.00421134 \\h(26) &= 0.01241896 \\h(27) &= 0.01168554 \\h(28) &= 0.00373438 \\h(29) &= -0.00396228 \\h(30) &= -0.00567864 \\h(31) &= 0.00008274 \\h(32) &= 0.00008632 \\h(33) &= -0.0232856 \\h(34) &= -0.00711634 \\h(35) &= -0.00739986 \\h(36) &= 0 \\h(37) &= 0.01062612 \\h(38) &= 0.01550952 \\h(39) &= 0.00979412 \\h(40) &= -0.00269838 \\h(41) &= -0.01262634\end{aligned}$$

$h(42) = -0.01298748$
 $h(43) = -0.00532785$
 $h(44) = 0.00313071$
 $h(45) = 0.00619214$
 $h(46) = 0.00376152$
 $h(47) = 0.0004316$
 $h(48) = 0.00024822$
 $h(49) = 0.00244497$
 $h(50) = 0.00328944$
 $h(51) = 0.00063414$
 $h(52) = -0.00382916$
 $h(53) = -0.00633244$
 $h(54) = -0.00443898$
 $h(55) = 0.0002617$
 $h(56) = 0.00411338$
 $h(57) = 0.00464487$
 $h(58) = 0.00219072$
 $h(59) = -0.00063$
 $h(60) = -0.0018648$
 $h(61) = -0.00134113$
 $h(62) = -0.0003107$
 $h(63) = 0.00010345$
 $h(64) = -0.00010638$
 $h(65) = -0.0033088$
 $h(66) = -0.00013871$
 $h(67) = 0.00032364$
 $h(68) = 0.00058788$

$$h(69) = 0.00043092$$

$$h(70) = 0.00003766$$

$$h(71) = -0.002478$$

$$h(72) = -0.00027104$$

$$h(73) = -0.0012376$$

$$h(74) = 0.000009$$

$$h(75) = 0.00004888$$

$$h(76) = 0.00002756$$

$$h(77) = 0.00000483$$

$$h(78) = -0.00000036$$

$$h(79) = 0$$

$$h(80) = 0.00000036$$

$$h(81) = 0.00000184$$

La respuesta en el tiempo de los filtros FIR de ventana de Hamming y Blackman se muestra en la figura 38. La respuesta en el tiempo de la ventana de Hamming está representada gráficamente con el color azul, a diferencia de la ventana de Blackman que se representa con el color verde.

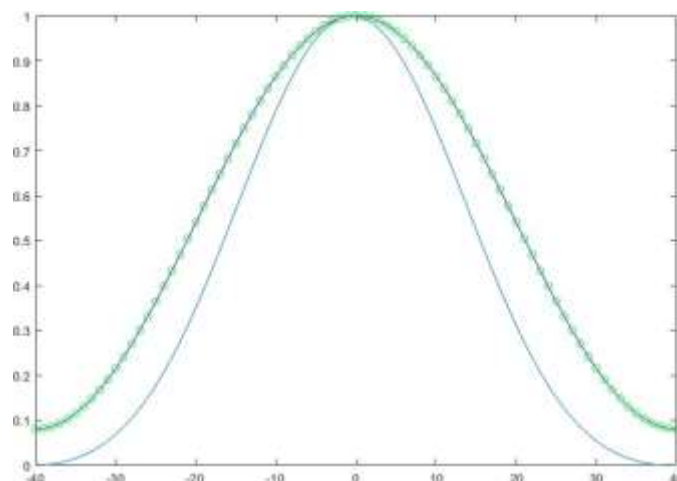


Figura 38. Respuesta en el tiempo del filtro FIR de ventana de Hamming y Blackman.

Fuente: Elaboración propia.

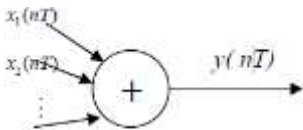
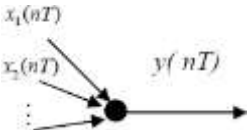
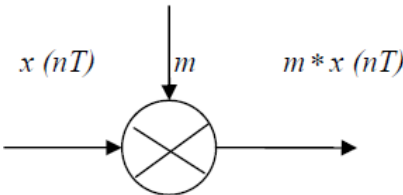

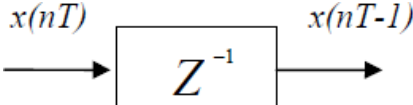
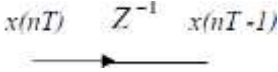
- **Estructura del Filtro Digital FIR**

La elaboración de la estructura del filtro digital se elabora en 3 bloques básicos los cuales son:

- Multiplicación
- Adición o Suma
- Señal de Retraso (Delay)

Los bloques básicos para la elaboración de la estructura del Filtro digital FIR se representan en la tabla 10.

Tabla 10. Representación de los Bloques de Estructura de un Filtro FIR

Elementos Básicos	Representación de Bloque	Flujo de la señal
Adición	 $y(nT) = \sum_{k=1}^N x_k(nT)$	
Multiplicación		
Señal de Retraso		

- **Bloque de Multiplicación**

El bloque de estructura de un multiplicador es importante considerar la precisión (Ancho de Bits) para poder realizar un diseño apropiado. A medida que se requiere una alta calidad del Filtro Digital es necesario considerar un número mayor de multiplicadores, asimismo es importante mencionar que un multiplicador generalmente tiene la estructura en hardware más alta en el costo computacional (So, 2012).

- **Bloque de Adición**

El bloque de adición es considerado como uno de los bloques básicos para el desarrollo de la estructura de un Filtro Digital. Los Bloques de adición requieren de los bloques de multiplicación para realizar un proceso correcto de del diseño, además se hace mención que tanto el bloque de adición como el de multiplicación ambos son considerados como unidades de acumulación múltiple.

- **Bloque de Señal de Retardo**

El bloque de señal de retardo proporciona un retardo a la señal de muestra, el proceso que sucede durante el retardo se basa en un valor de muestra el cual se almacena en una ranura de memoria para solamente un ciclo de reloj de muestra, posteriormente será una señal entrada para la siguiente etapa de procesamiento. Una señal de retardo requiere un bloque de memoria el cual permita almacenar los datos operados o como ejemplo el almacenamiento de bits.

La estructura de un Filtro FIR de forma directa o también conocido como filtro transversal o de línea de retardo se realiza basado de la ecuación (2) en diferencias no recursiva la cual es equivalente, por la suma de la convolución el cual se muestra en la ecuación (31):

$$H(z) = \sum_{k=0}^M b(k) z^{-k} \quad (31)$$

El desarrollo de la estructura de un Filtro FIR de forma directa se muestra en la figura 39 con el requerimiento de $M - 1$ posiciones de memoria para almacenar $M-1$ entradas anteriores y una de M multiplicadores y $M - 1$ sumas por punto de salida (Proakis G. & Manolakis, 20017).

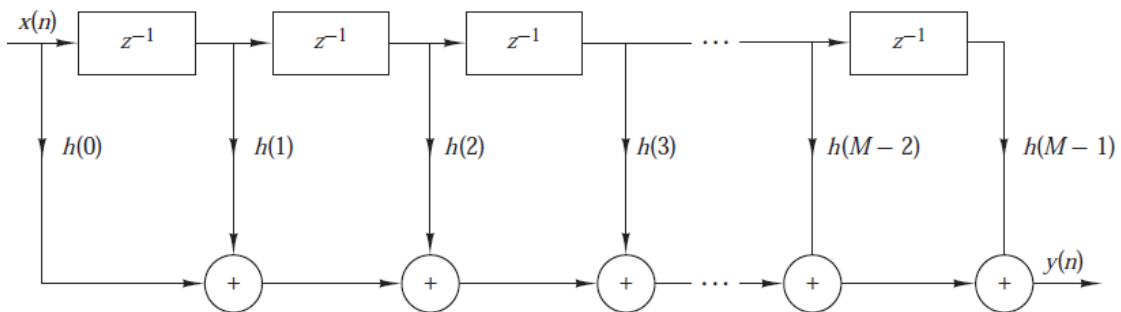


Figura 39. Estructura de Formas Directa de un Filtro FIR. Fuente: (Proakis G. & Manolakis, 20017).

Desarrollando la ecuación (4.1) se visualiza la implementación directa del Filtro Digital.

$$y[n] = \sum_{k=0}^M b_k X[n - k] = b_0 x[n] + b_1 x[n - 1] + b_2 x[n - 2] \dots \dots \dots + b_M x[n - M - 1]$$

A continuación, se define la interpretación cada variable del desarrollo de la ecuación (31):

$b_0 x[n]$ = Representación del Producto de los coeficientes

+ = Representación de Suma

$[n - 1]$ = Representación de Retardo

- **Efecto de Longitud**

El efecto de longitud de palabra finita es indispensable para el desarrollo del Filtro Digital debido a que cuando se lleve la realización del sistema del Filtro FIR es importante la representación de los coeficientes con un número limitado de bits y a su vez utilizar una precisión finita para las operaciones aritméticas. Adicionalmente la representación de la data EEG también debe presentar la misma representación de longitud. Para el desarrollo del Filtro Digital y la representación de la base de datos EEG es de Punto Fijo y longitud de 6 bits de decimales.

3.2.3 Sistema FIFO

Un Sistema FIFO (First in, First Out) es una estructura de memoria utilizada en el área de sistemas digitales. Un sistema FIFO se interpreta como una memoria que permite almacenar temporalmente la información hasta que se encuentre preparado para leer la información. El funcionamiento de Trabajo que tiene un FIFO como primer paso el byte es escrito en el FIFO y será el primero en salir. Asimismo, es importante saber la cantidad de datos que se almacenara. En la figura 40 se muestra el proceso de lectura y escritura de un sistema FIFO.

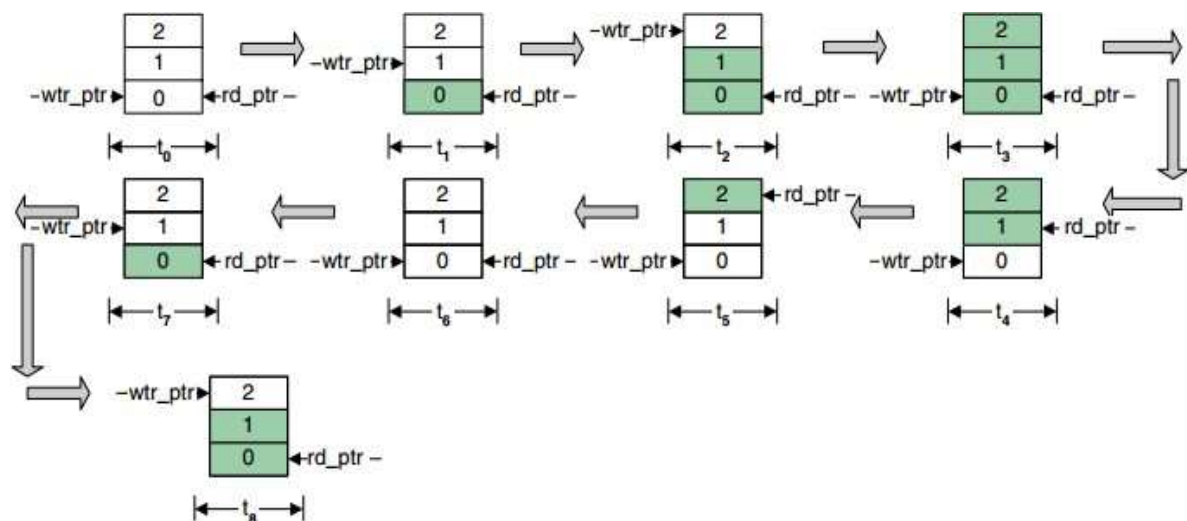


Figura 40. Proceso de Lectura y Escritura de un Sistema FIFO. Fuente: (笔记, 2015).

3.3 Etapa de Simulación

En esta sección se muestran los resultados de las Señales EEG filtradas del sistema los cuales son:

- Simulación del Canal C3 usando un Filtro FIR método de Ventana Hamming
- Simulación del Canal C3 usando un Filtro FIR método de Ventana Blackman
- Simulación del Canal C4 usando un Filtro FIR método de Ventana Hamming
- Simulación del Canal C4 usando un Filtro FIR método de Ventana Blackman

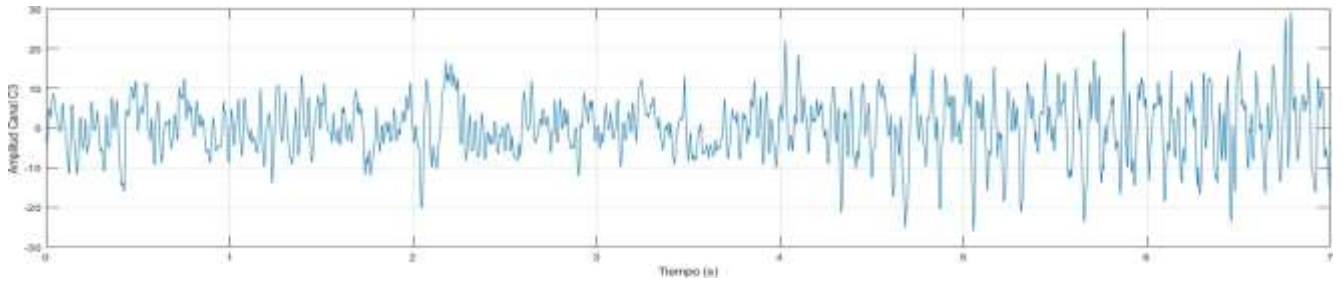
Las simulaciones que se muestran por cada Canal EEG presentan 4 clases de imaginación motora, los cuales se menciona en la sección de Base de datos EEG, en consecuencia, cada canal presenta 4 clases de imaginación motora el cual proceden por una etapa de pre procesamiento con respecto al ritmo electroencefalográfico de interés (Beta – Mu). El Software que se emplea para las simulaciones son Matlab y Modelsim Intel FPGA.

3.3.1 Simulación del Canal C3 usando un Filtro FIR de Ventana Hamming

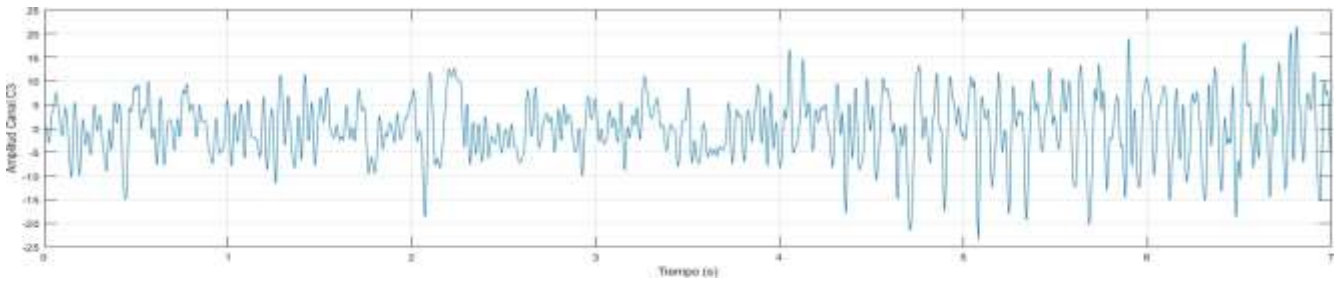
En la figura 41 se muestra la gráfica de la señal EEG del canal C3. Asimismo, se visualiza la señal EEG cruda o con ruido y la señal EEG filtrada. En la tabla 11 se muestra las especificaciones correspondientes para la simulación del Filtro Digital FIR del Canal C3 usando la ventana de Hamming

Tabla 11. Especificaciones de la Simulación de la etapa de Filtrado del Canal C3 usando la ventana de Hamming

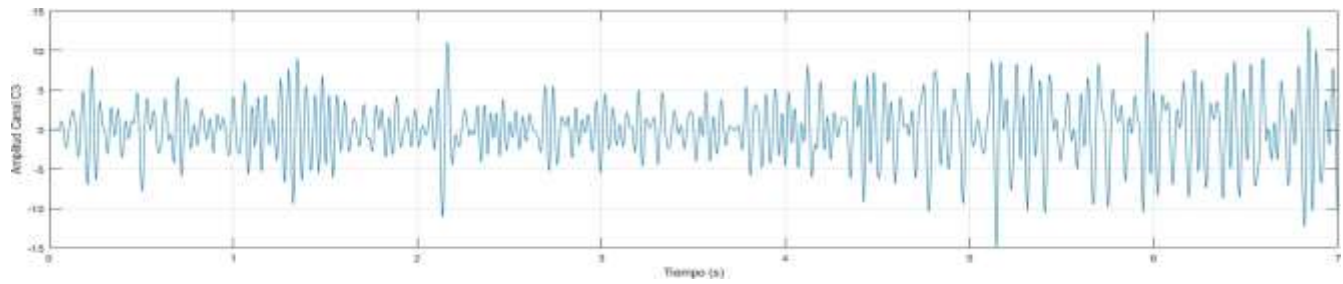
Características	Descripción
Tipo de Filtro	Pasa banda
Frecuencia de Muestreo	250 Hz
Orden	12 - 44 - 80
Frecuencia de Corte	12 - 30 Hz
Clase	4



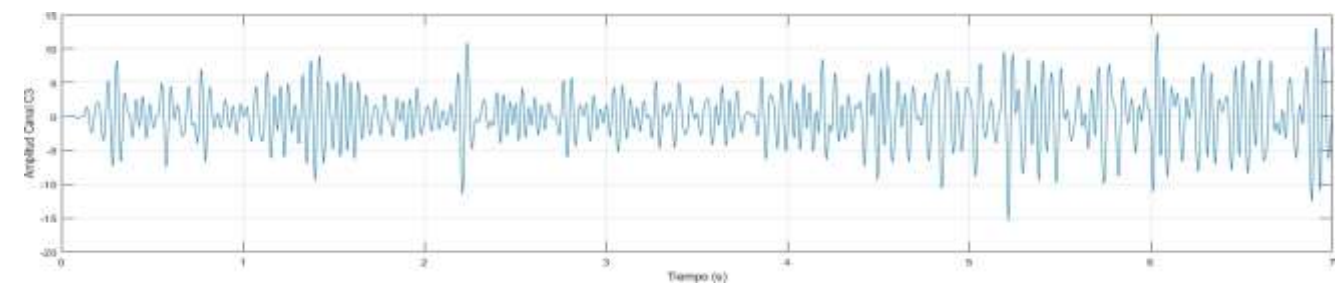
a) Señal EEG del Canal C3 sin Filtrar



b) Señal EEG del canal C3 filtrada por el filtro FIR pasa banda de orden 12.



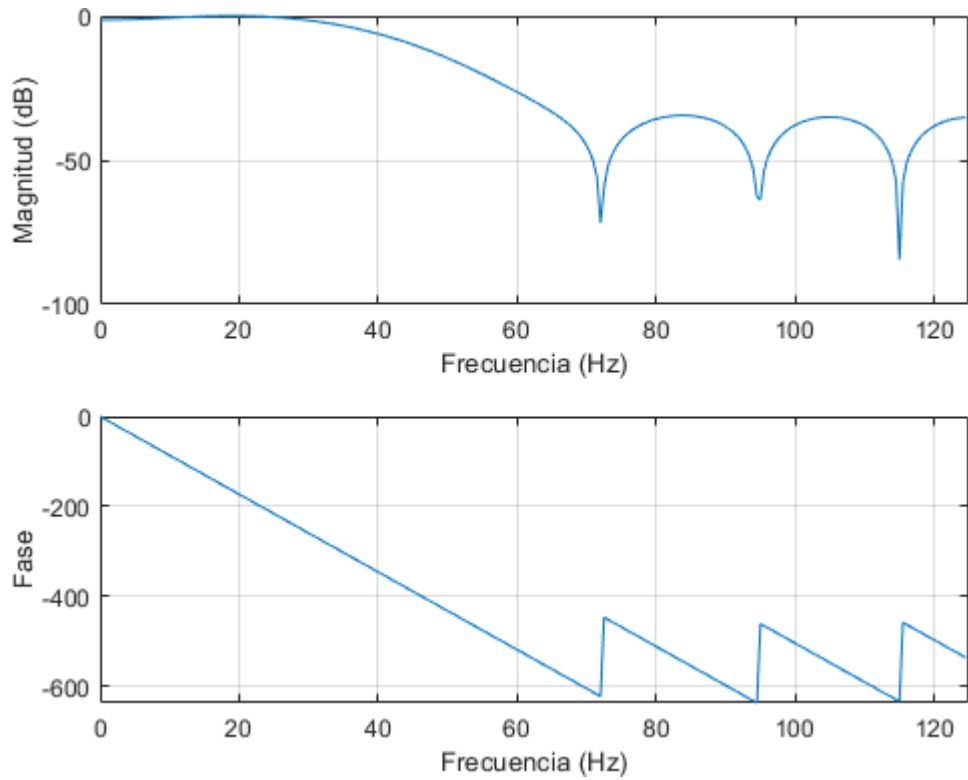
c) Señal EEG del canal C3 filtrada por el filtro FIR pasa banda de orden 44.



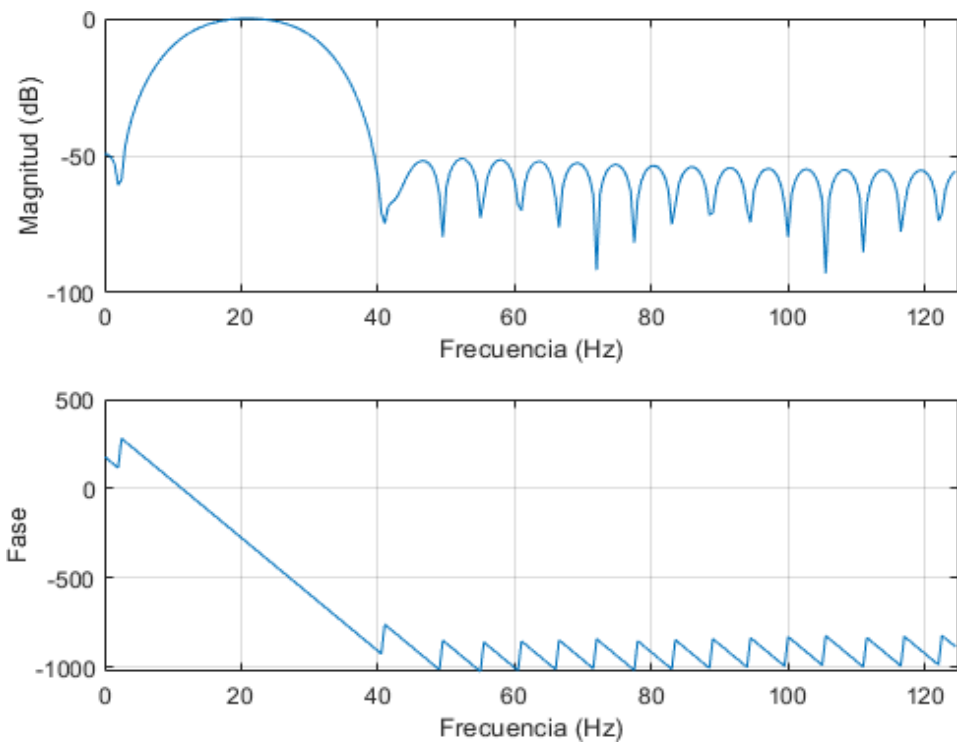
d) Señal EEG del canal C3 filtrada por el filtro FIR pasa banda de orden 80.

Figura 41. Simulación del Canal C3 usando Filtro FIR de Ventana Hamming. Fuente: Elaboración propia.

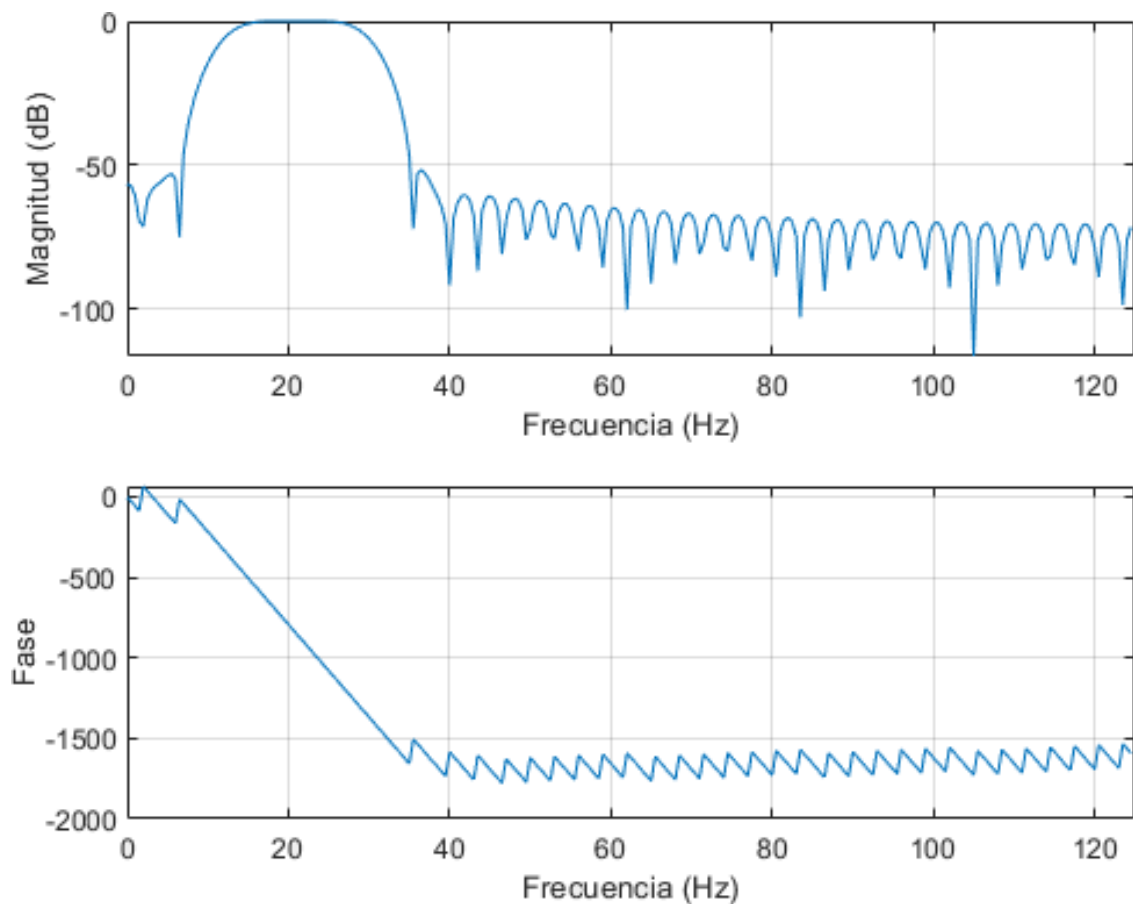
En la figura 42 se muestra la respuesta en Fase y Magnitud del Canal C3 en base a la tabla 11.



a) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 12.



b) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 44.

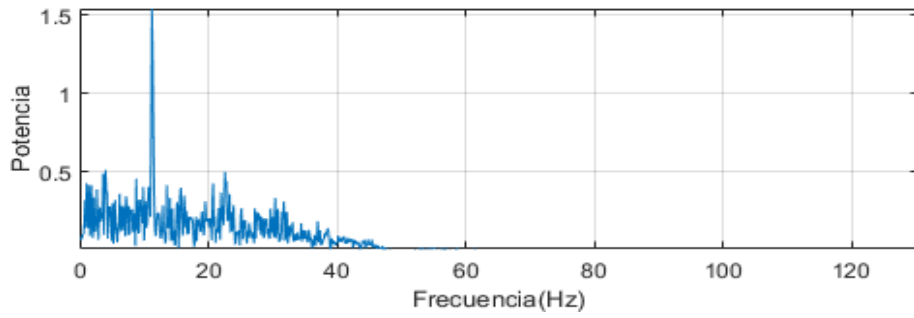
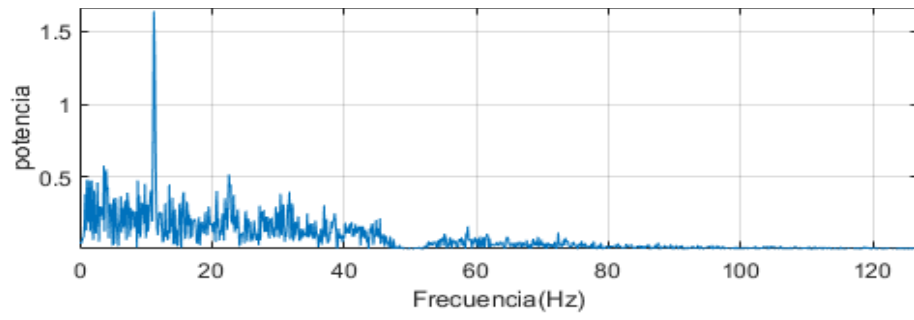


c) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 80.

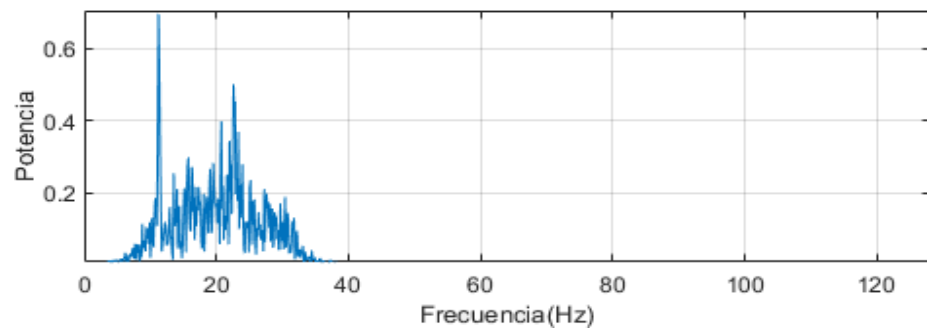
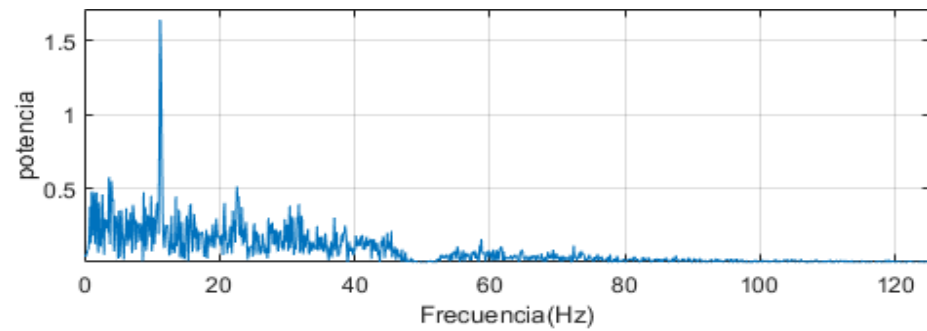
Figura 42. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 11. Fuente: Elaboración propia.

La Transformada de Fourier permite transformar una señal en el dominio de frecuencia con la finalidad de obtener información que no es evidente o deseada en el dominio temporal.

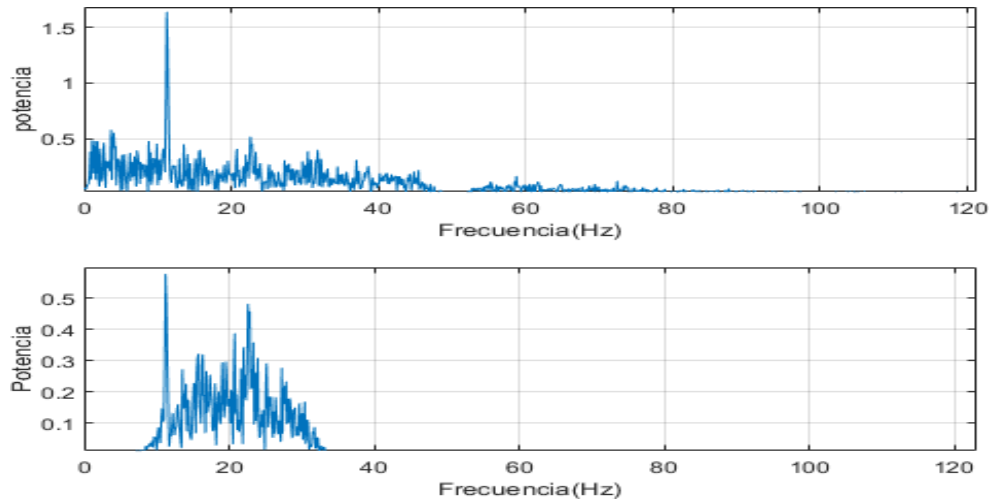
En la figura 43 se muestra la transformada de Fourier de la señal Filtrada del Canal C3.



a) Espectro de la Señal EEG Filtrada del Canal C3 de Orden 12.



b) Espectro de la Señal EEG Filtrada del Canal C3 de Orden 44.



c) Espectro de la Señal EEG Filtrada del Canal C3 de Orden 80.

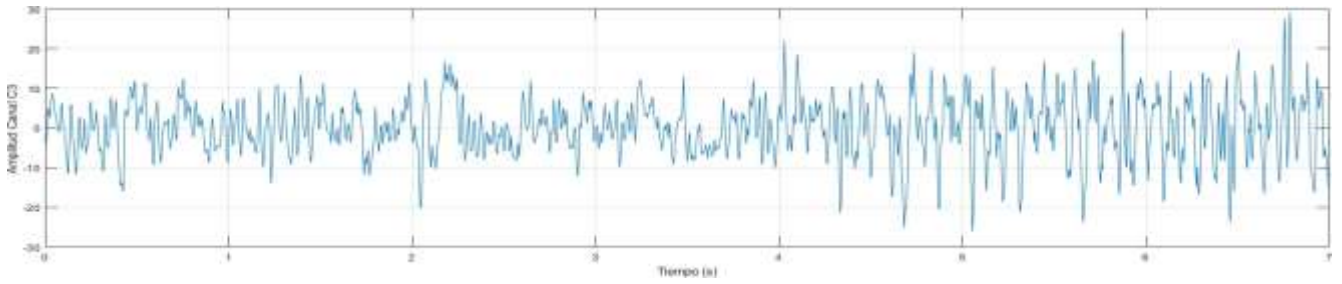
Figura 43. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 11. Fuente: Elaboración propia.

3.3.2 Simulación del Canal C3 usando un Filtro FIR de Ventana Blackman

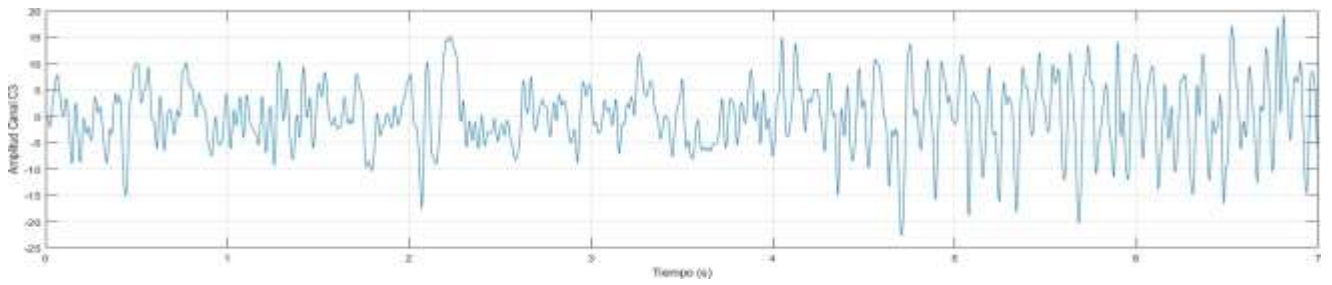
En la figura 44 se muestra la gráfica de la señal EEG del canal C3. Asimismo, se muestra la señal EEG cruda o con ruido y la señal EEG Filtrada. En la tabla 12 se muestran las especificaciones correspondientes para la simulación del Filtro Digital FIR del Canal C3 usando la ventana de Blackman

Tabla 12. Especificaciones de la Simulación de la etapa de Filtrado del Canal C3 usando la ventana de Blackman

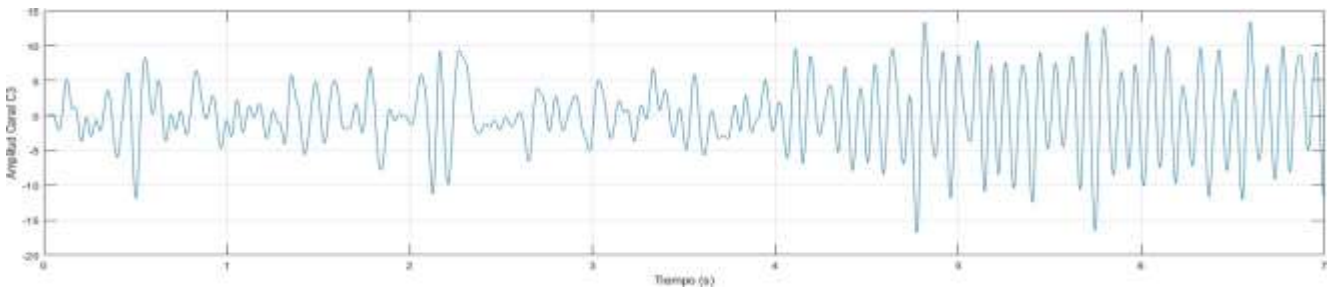
Características	Descripción
Tipo de Filtro	Pasa banda
Frecuencia de Muestreo	250 Hz
Orden	13 - 45 - 81
Frecuencia de Corte	8 - 13 Hz
Clase	4



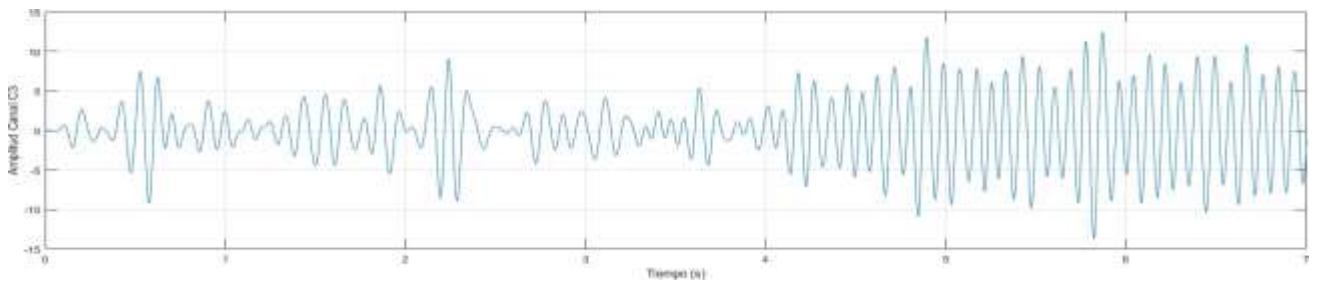
a) Señal EEG del Canal C3 sin Filtrar.



b) Señal EEG del canal C3 filtrada por el filtro FIR pasa banda de orden 13.



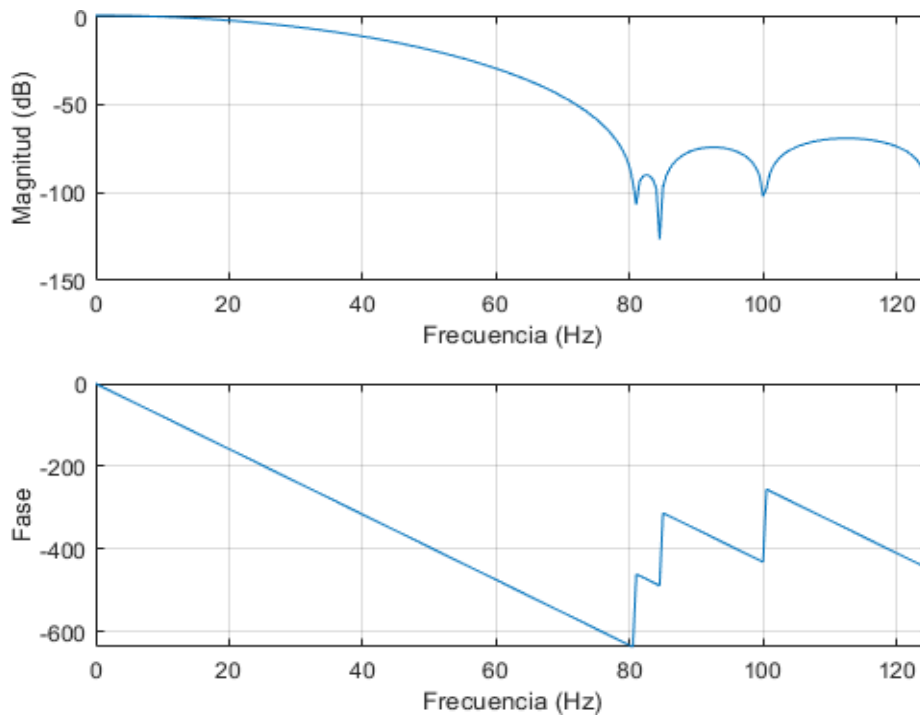
c) Señal EEG del canal C3 filtrada por el filtro FIR pasa banda de orden 45.



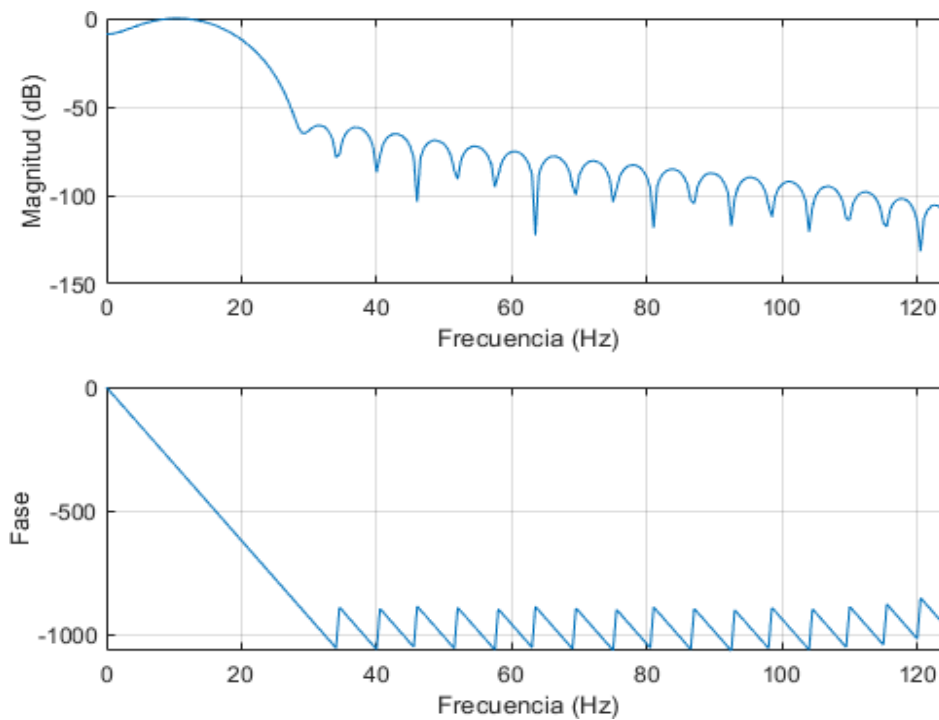
d) Señal EEG del canal C3 filtrada por el filtro FIR pasa banda de orden 81.

Figura 44. Simulación del Canal C3 usando Filtro FIR Ventana Blackman. Fuente: Elaboración propia.

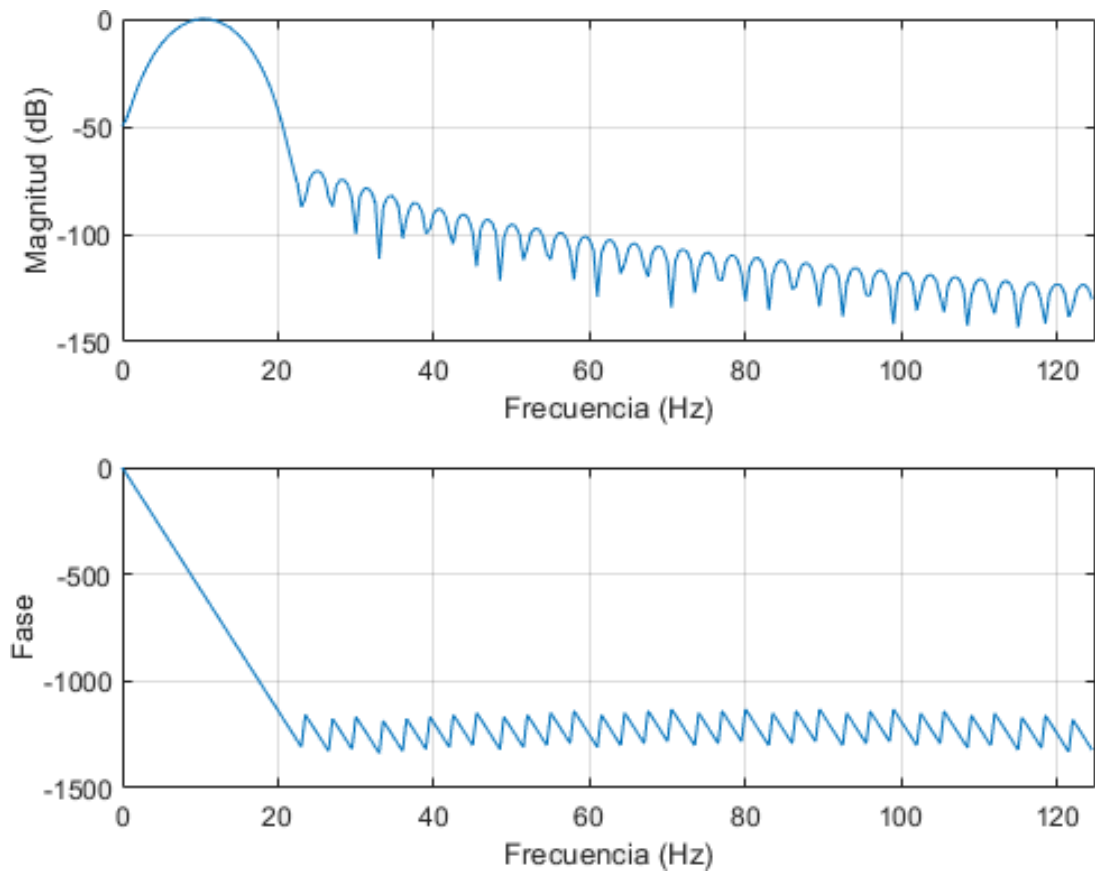
En la figura 45 se muestra la respuesta en Fase y Magnitud del Canal C3 en base a la tabla 12.



a) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 13.



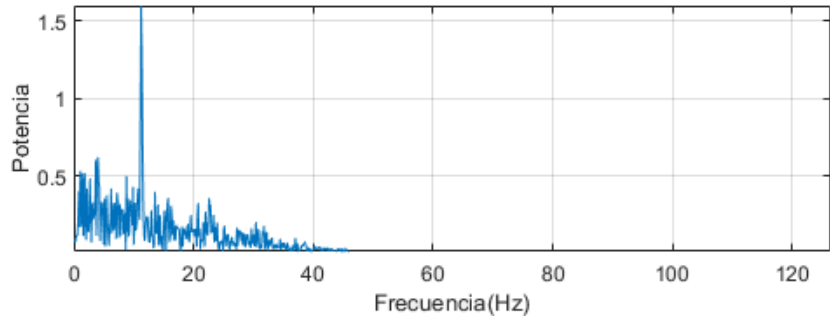
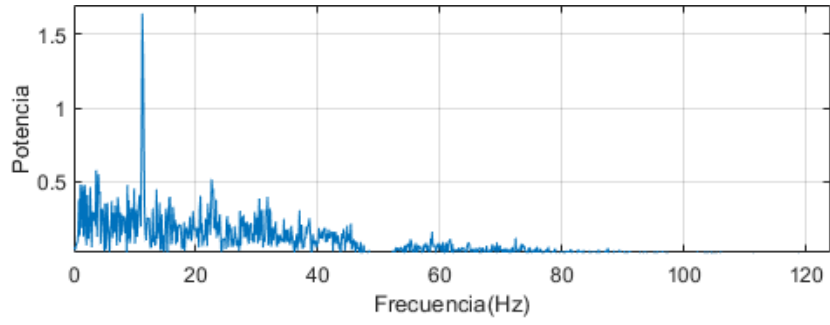
b) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 45.



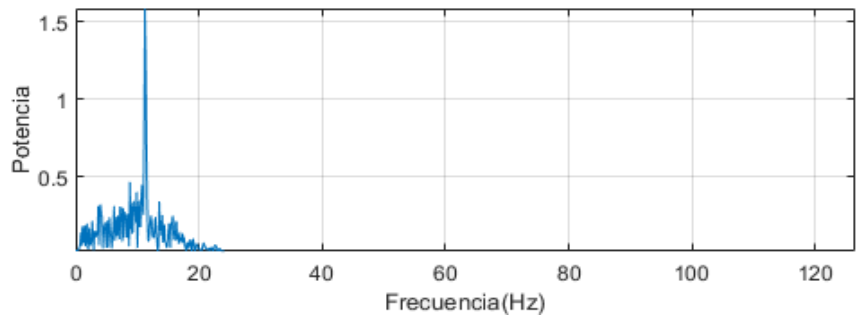
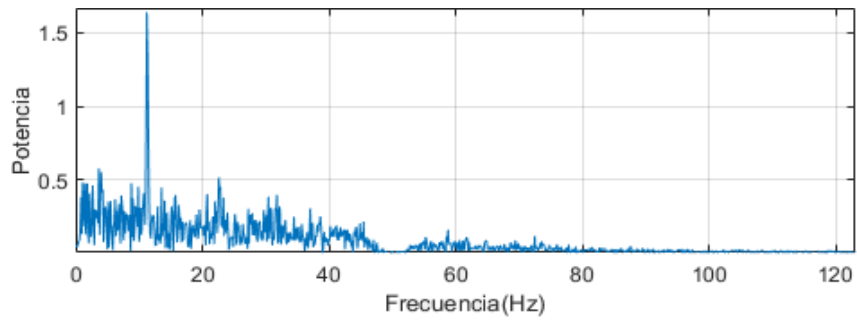
c) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 81.

Figura 45. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 12. Fuente: Elaboración Propia.

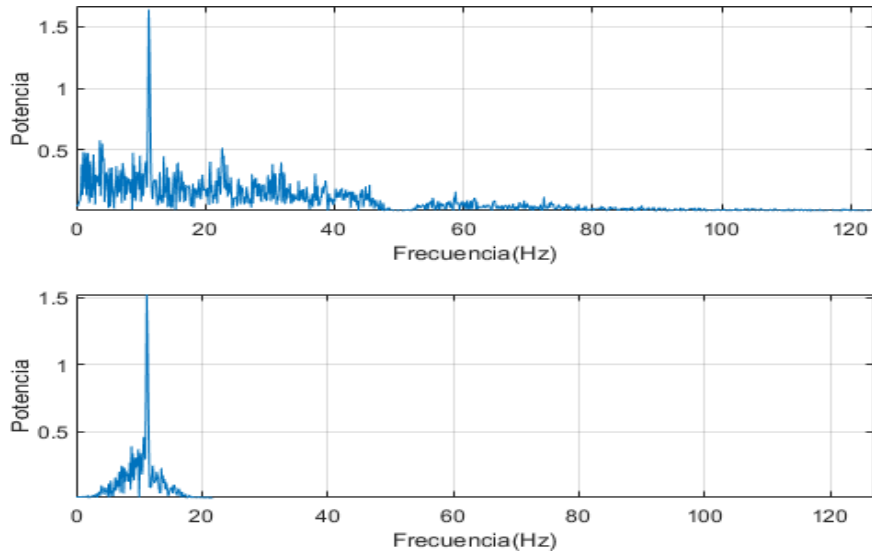
La Transformada de Fourier permite pasar una señal en el dominio de frecuencia con la finalidad de obtener información que no es evidente o deseada en el dominio temporal. En la figura 46 se muestra la transformada de Fourier de la señal Filtrada del Canal C3.



a) Espectro de la Señal EEG Filtrada del Canal C3 de Orden 13



b) Espectro de la Señal EEG Filtrada del Canal C3 de Orden 45



c) Espectro de la Señal EEG Filtrada del Canal C3 de Orden 81

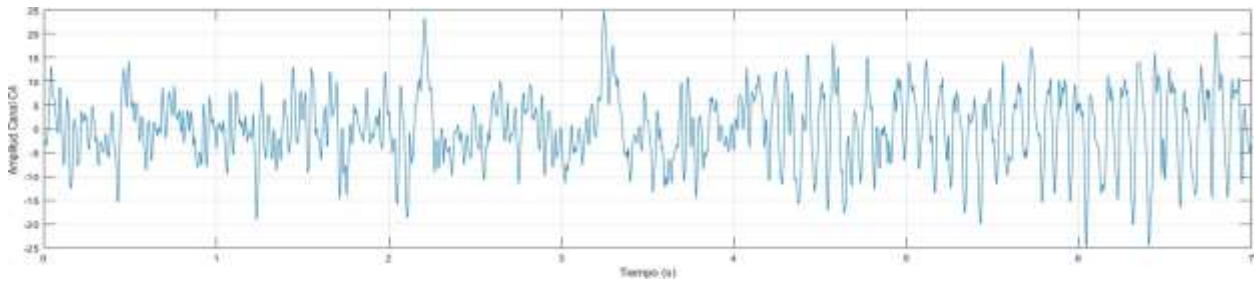
Figura 46. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 12. Fuente: Elaboración propia.

3.3.3 Simulación del Canal C4 usando un Filtro FIR Ventana Hamming

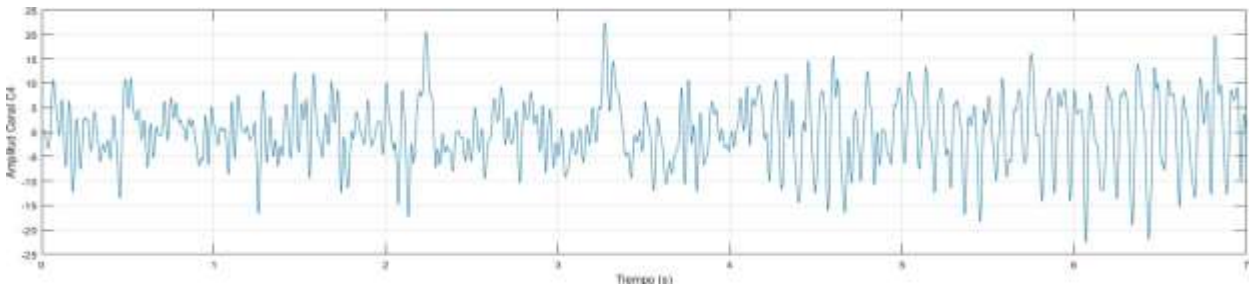
En la figura 47 se muestra la gráfica de la señal EEG del canal C4. Asimismo, se visualiza la señal EEG cruda o con ruido y la señal EEG Filtrada. En la tabla 13 se muestran las especificaciones correspondientes para la simulación del Filtro Digital FIR del Canal C4 usando la ventana de Hamming

Tabla 13. Especificaciones de la Simulación de la etapa de Filtrado del Canal C4 usando la ventana de Hamming

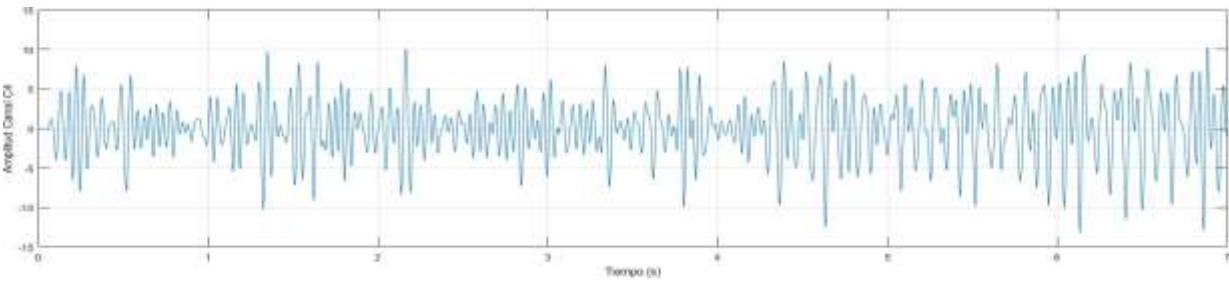
Características	Descripción
Tipo de Filtro	Pasa banda
Frecuencia de Muestreo	250 Hz
Orden	12 – 44 - 80
Frecuencia de Corte	12-30 Hz
Clase	4



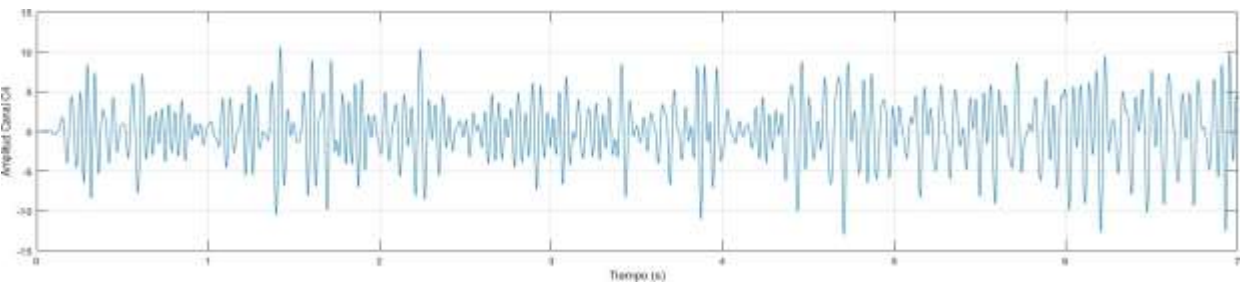
a) Señal EEG del Canal C4 sin Filtrar



b) Señal EEG del canal C4 filtrada por el filtro FIR pasa banda de orden 12



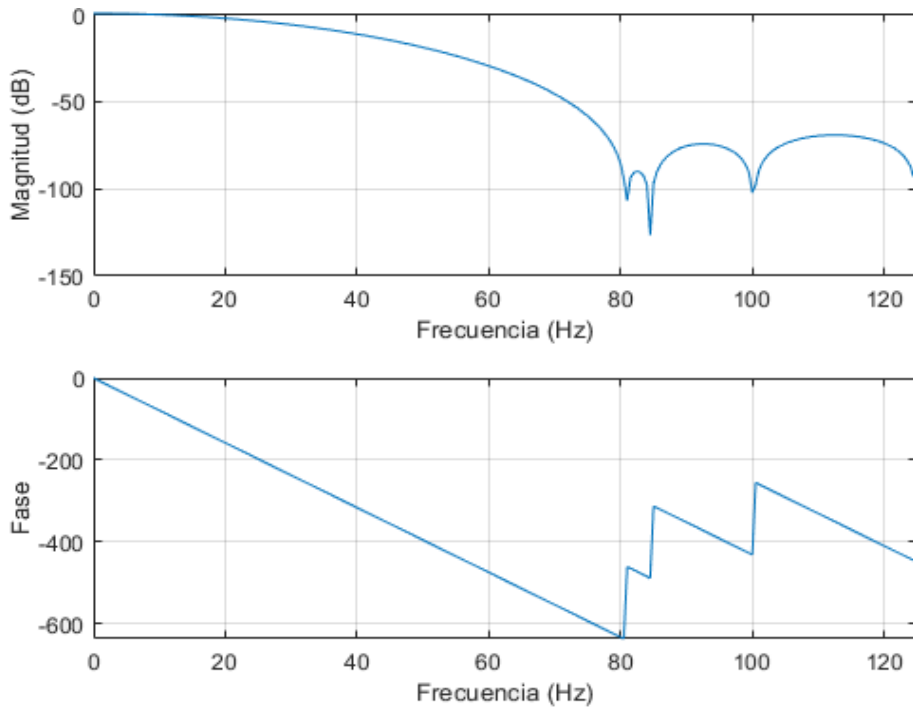
c) Señal EEG del canal C4 filtrada por el filtro FIR pasa banda de orden 44



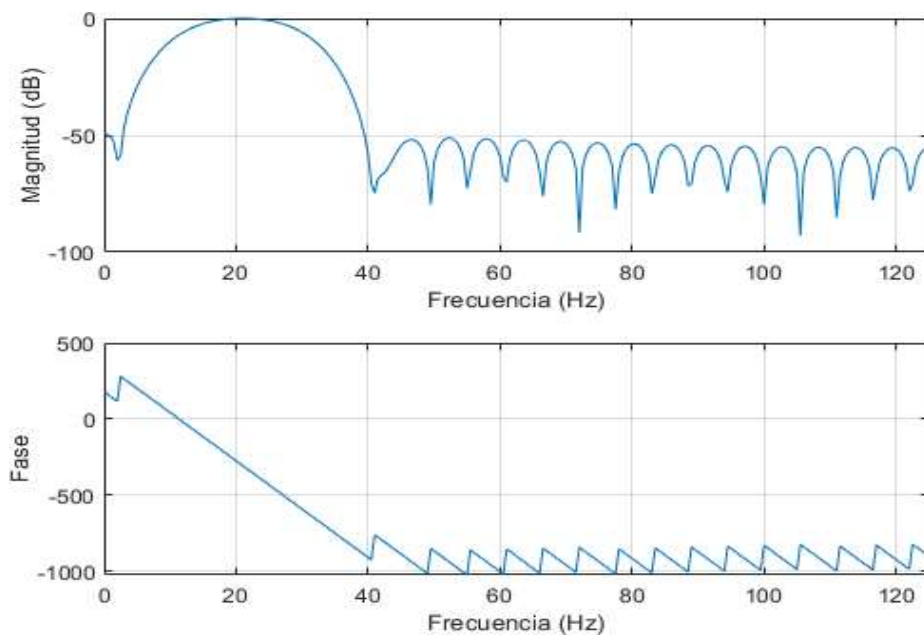
d) Señal EEG del canal C4 filtrada por el filtro FIR pasa banda de orden 80

Figura 47. Simulación del Canal C4 usando Filtro FIR Ventana Hamming. Fuente:
Elaboración propia.

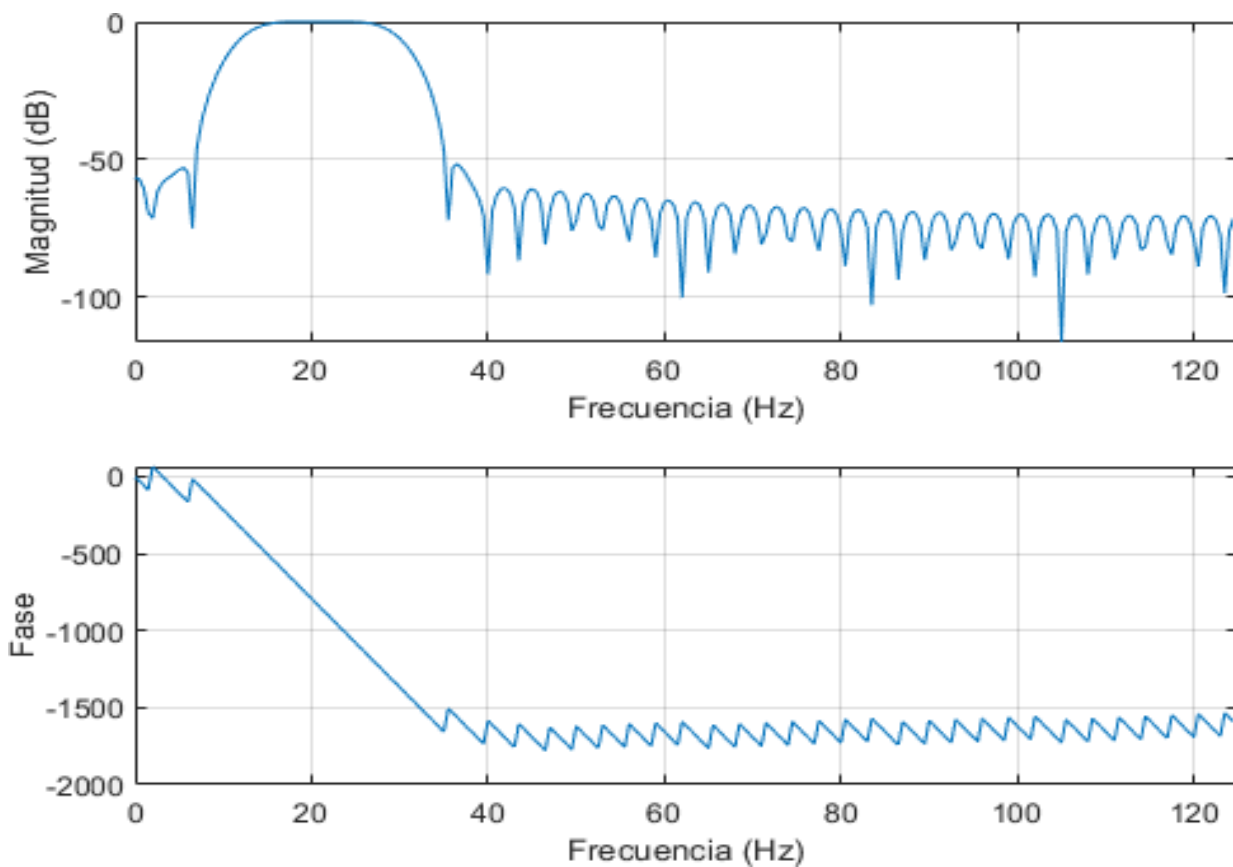
En la figura 48 se muestra la respuesta en Fase y Magnitud del Canal C3 en base a la tabla 13.



a) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 12



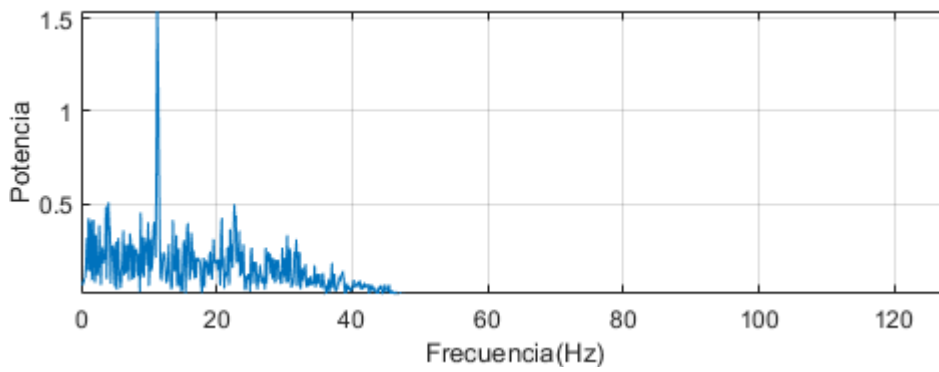
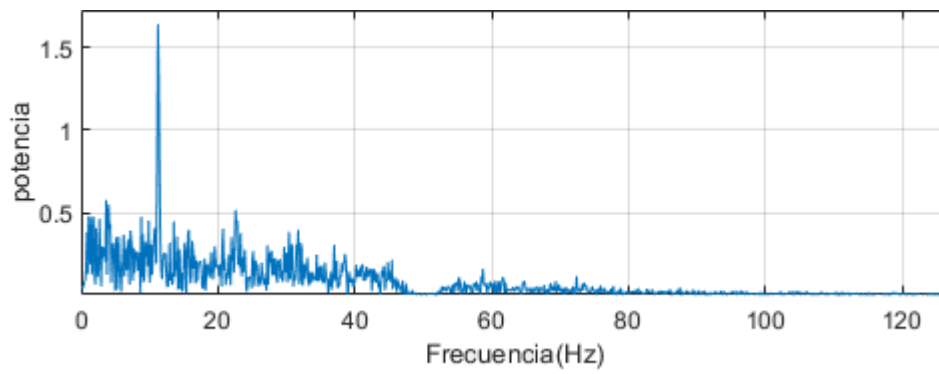
b) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 44



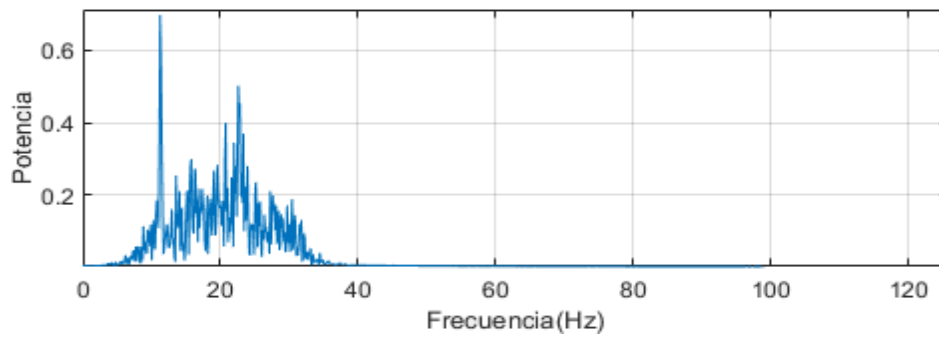
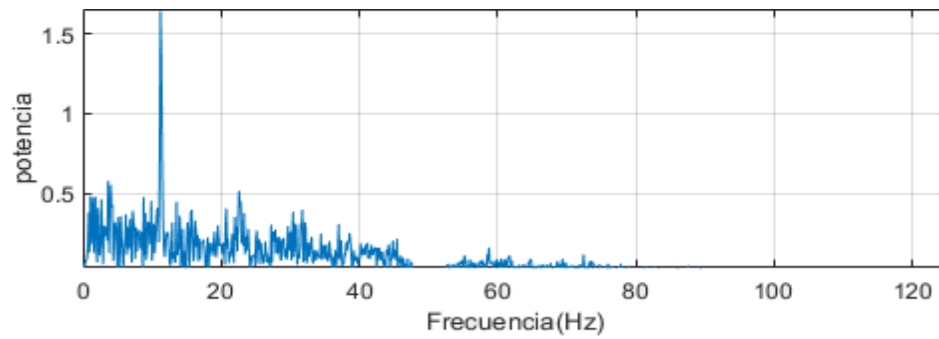
c) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 80

Figura 48. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 13. Fuente: Elaboración propia.

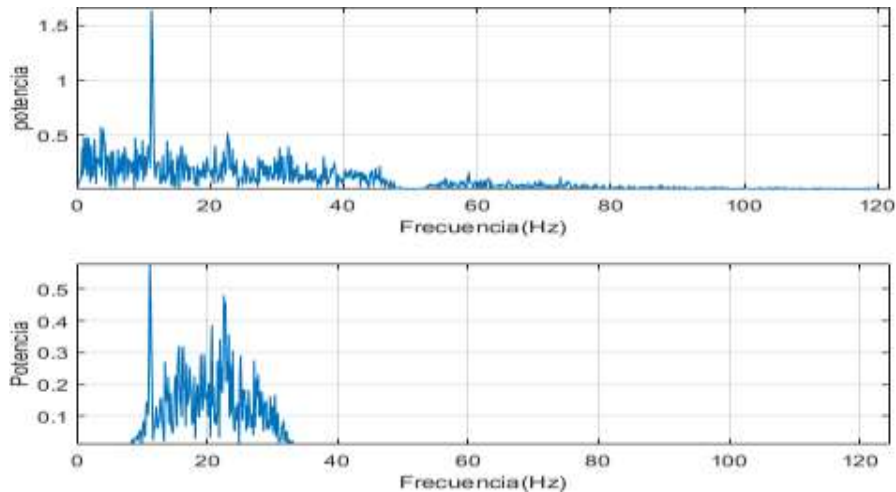
La Transformada de Fourier permite pasar una señal en el dominio de frecuencia con la finalidad de obtener información que no es evidente o deseada en el dominio temporal. En la figura 49 se muestra la transformada de Fourier de la señal Filtrada del Canal C4.



a) Espectro de la Señal EEG Filtrada del Canal C4 de Orden 12



b) Espectro de la Señal EEG Filtrada del Canal C4 de Orden 44



c) Espectro de la Señal EEG Filtrada del Canal C4 de Orden 80

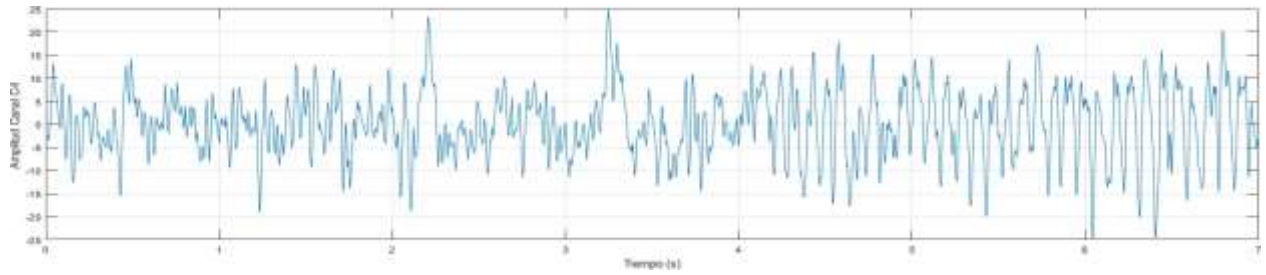
Figura 49. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 13. Fuente: Elaboración propia.

3.3.4 Simulación del Canal C4 usando un Filtro FIR Ventana Blackman

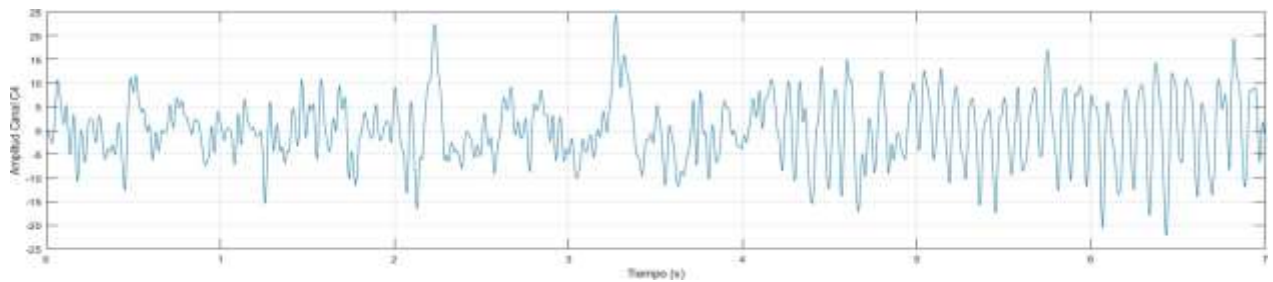
En la figura 50 se muestra la gráfica de la señal EEG del canal C4. Asimismo, se visualiza la señal EEG cruda o con ruido y la señal EEG Filtrada. En la tabla 14 se muestra las especificaciones correspondientes para la simulación del Filtro Digital FIR del Canal C4 usando la ventana de Blackman

Tabla 14. Especificaciones de la Simulación de la etapa de Filtrado del Canal C4 usando la ventana de Blackman

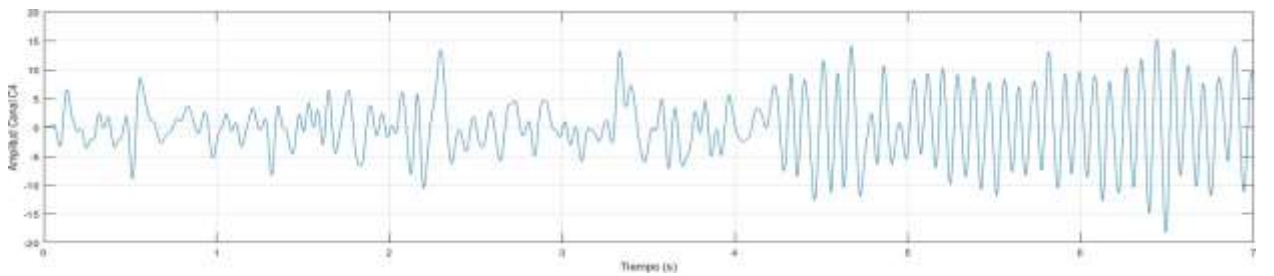
Características	Descripción
Tipo de Filtro	Pasa banda
Frecuencia de Muestreo	250 Hz
Orden	13 – 45 - 81
Frecuencia de Corte	8-13 Hz
Clase	4



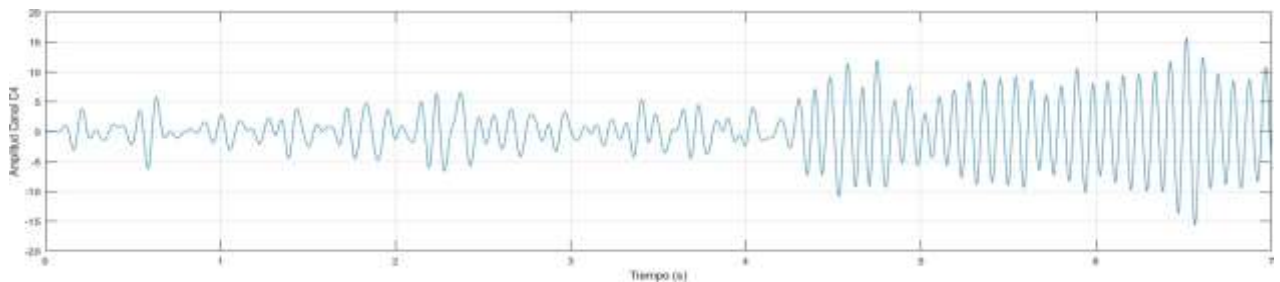
a) Señal EEG del Canal C4 sin Filtrar



b) Señal EEG del canal C4 filtrada por el filtro FIR pasa banda de orden 13



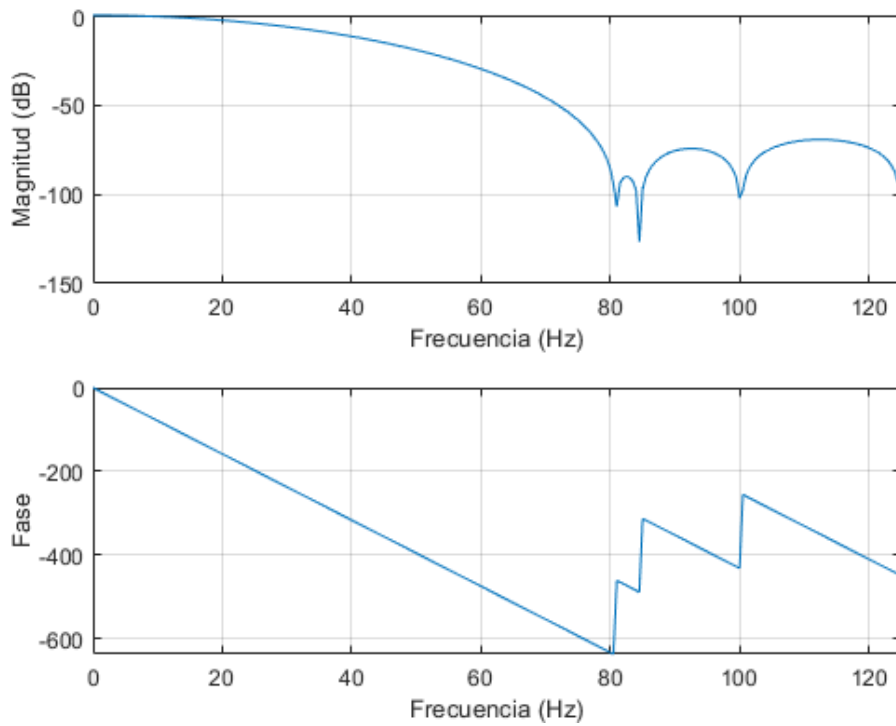
c) Señal EEG del canal C4 filtrada por el filtro FIR pasa banda de orden 45



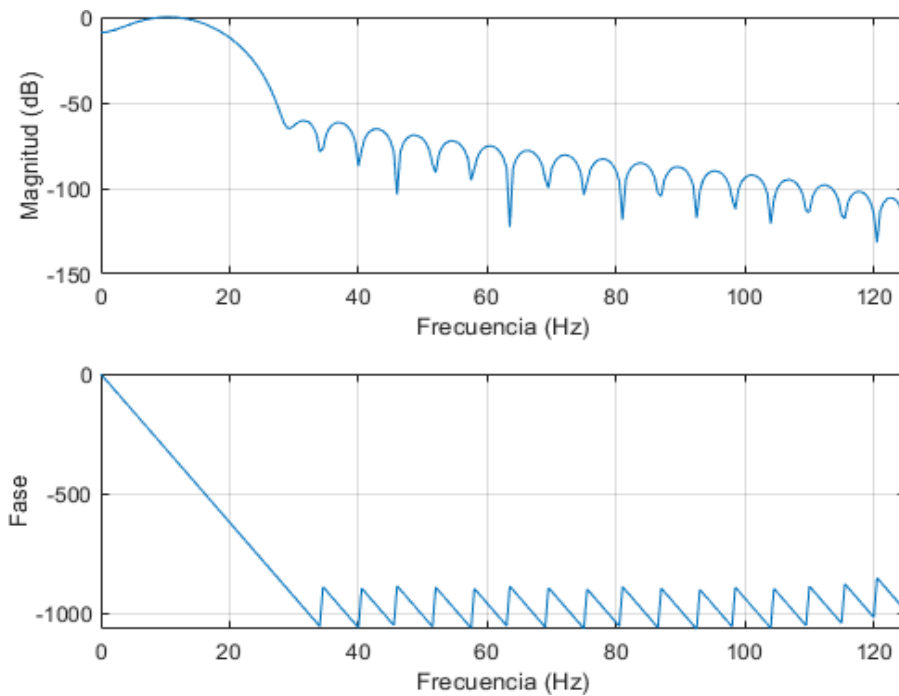
d) Señal EEG del canal C4 filtrada por el filtro FIR pasa banda de orden 81

Figura 50. Simulación del Canal C4 usando Filtro FIR Ventana Blackman. Fuente:
Elaboración propia.

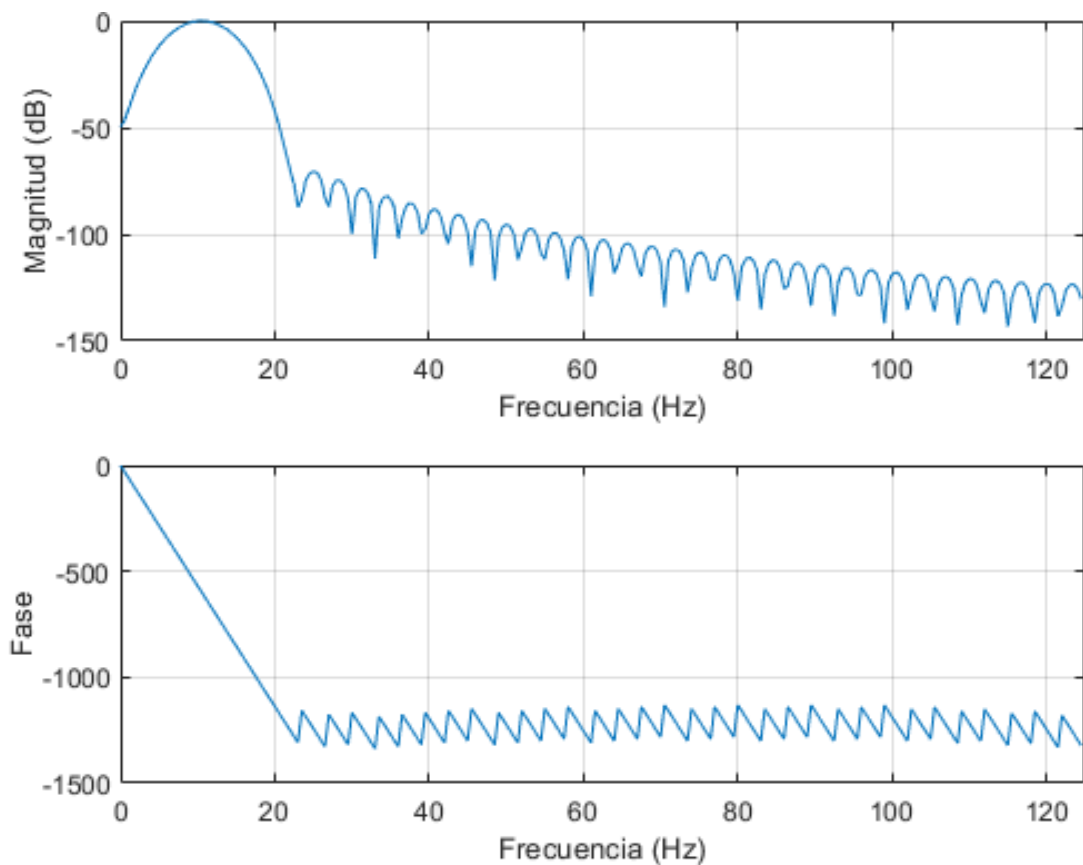
En la figura 51 se muestra la respuesta en Fase y Magnitud del Canal C3 en base a la tabla 14.



a) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 13



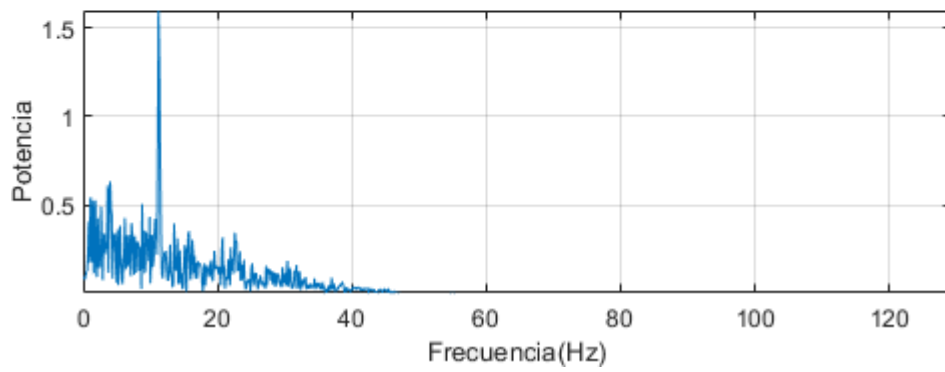
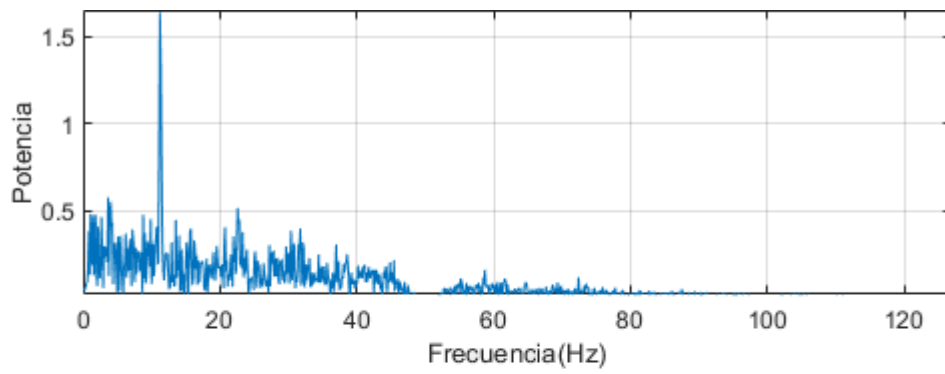
b) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 41



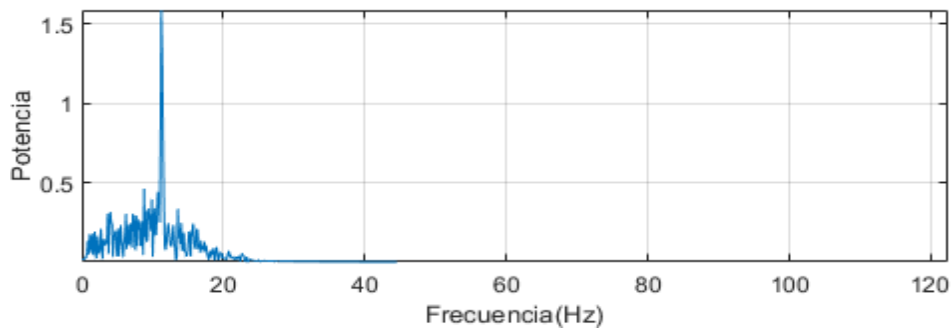
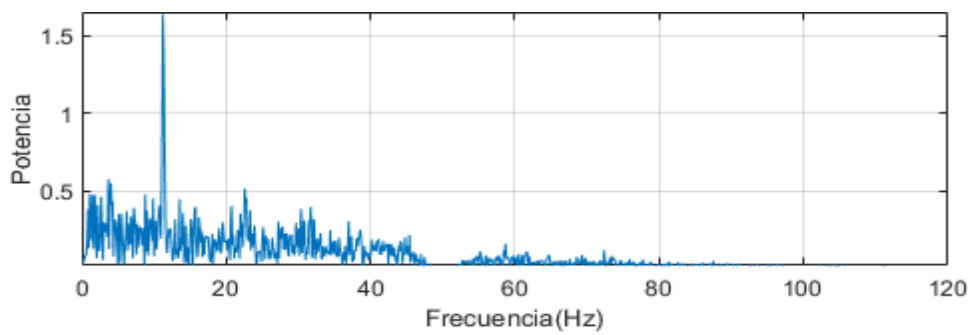
c) Respuesta en Fase y Magnitud del Filtro Pasa Banda FIR de Orden 81

Figura 51. Respuesta en Fase y Magnitud de un Filtro FIR Pasa Banda correspondiente al Orden que se indica en la Tabla 14. Fuente: Elaboración propia.

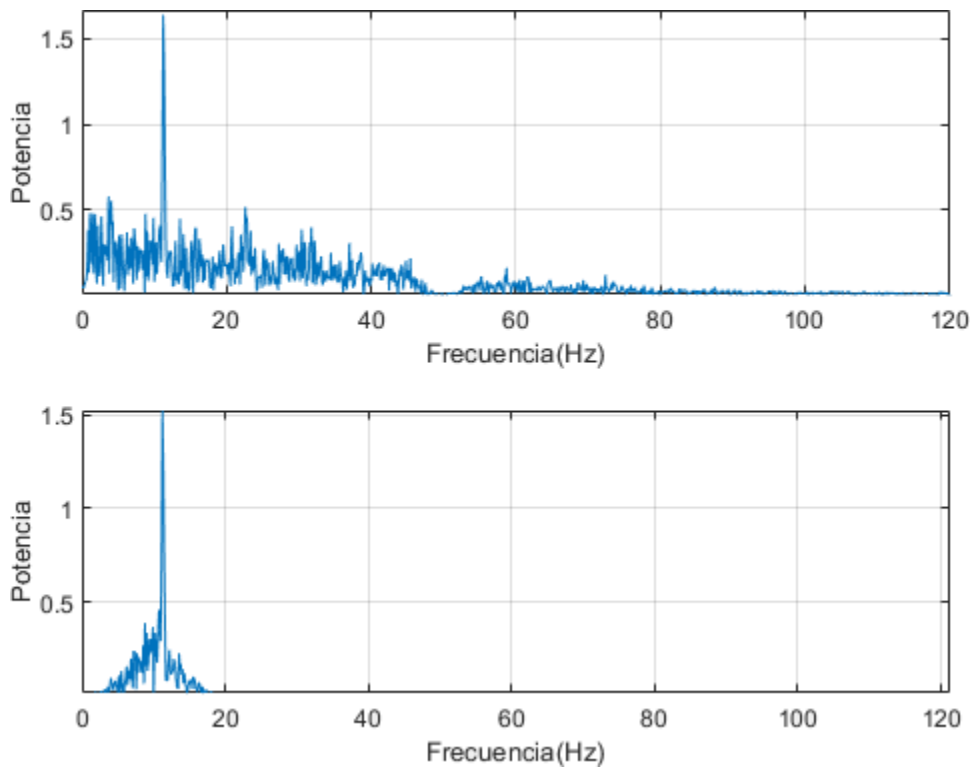
La Transformada de Fourier permite pasar una señal en el dominio de frecuencia con la finalidad de obtener información que no es evidente o deseada en el dominio temporal. En la figura 52 se muestra la transformada de Fourier de la señal Filtrada del Canal C4.



a) Espectro de la Señal EEG Filtrada del Canal C4 de Orden 13



b) Espectro de la Señal EEG Filtrada del Canal C4 de Orden 41



c) Espectro de la Señal EEG Filtrada del Canal C4 de Orden 81

Figura 52. Espectro de la Señal EEG Filtrada correspondiente al Orden que se indica en la Tabla 14. Fuente: Elaboración propia.

El Software Quartus – INTEL integra la herramienta de Model-Sim Intel FPGA. La Herramienta ModelSim presenta un entorno de simulación que incorpora un interfaz gráfico. Asimismo, la herramienta Model-Sim permite la interpretación del lenguaje de programación de descripción en Hardware VHDL, Verilog, System C. En la Herramienta Model Sim se verifica la señal de entrada sin Filtrar de los canales C3, C4 las cuales se encuentran almacenadas en una memoria RAM descrita en VHDL. En la figura 53 se muestra la señal sin Filtrar del Canal C3. Asimismo, en la Figura 54 se visualiza la señal sin Filtrar del Canal C4.

3.4 Etapas de Implementación en Software

La etapa de implementación del diseño y simulación del filtro digital en software para señales EEG basado en un FPGA se divide en 3 partes las cuales están conformadas por:

- Implementación de la Base de Datos EEG
- Implementación del Filtro Digital
- Implementación del Sistema FIFO

3.4.1 Implementación de la Base de Datos EEG

El objetivo principal de la Implementación en software de la base de datos EEG consiste en poder almacenar la data EEG en una memoria ROM descrito en VHDL. En la actualidad existen equipos médicos que permiten amplificar y adquirir la señal EEG que genera la información para el uso de Pre-Procesamiento u otras aplicaciones. En la Figura 55 se visualiza el equipo amplificación de señal EEG – g.tec.



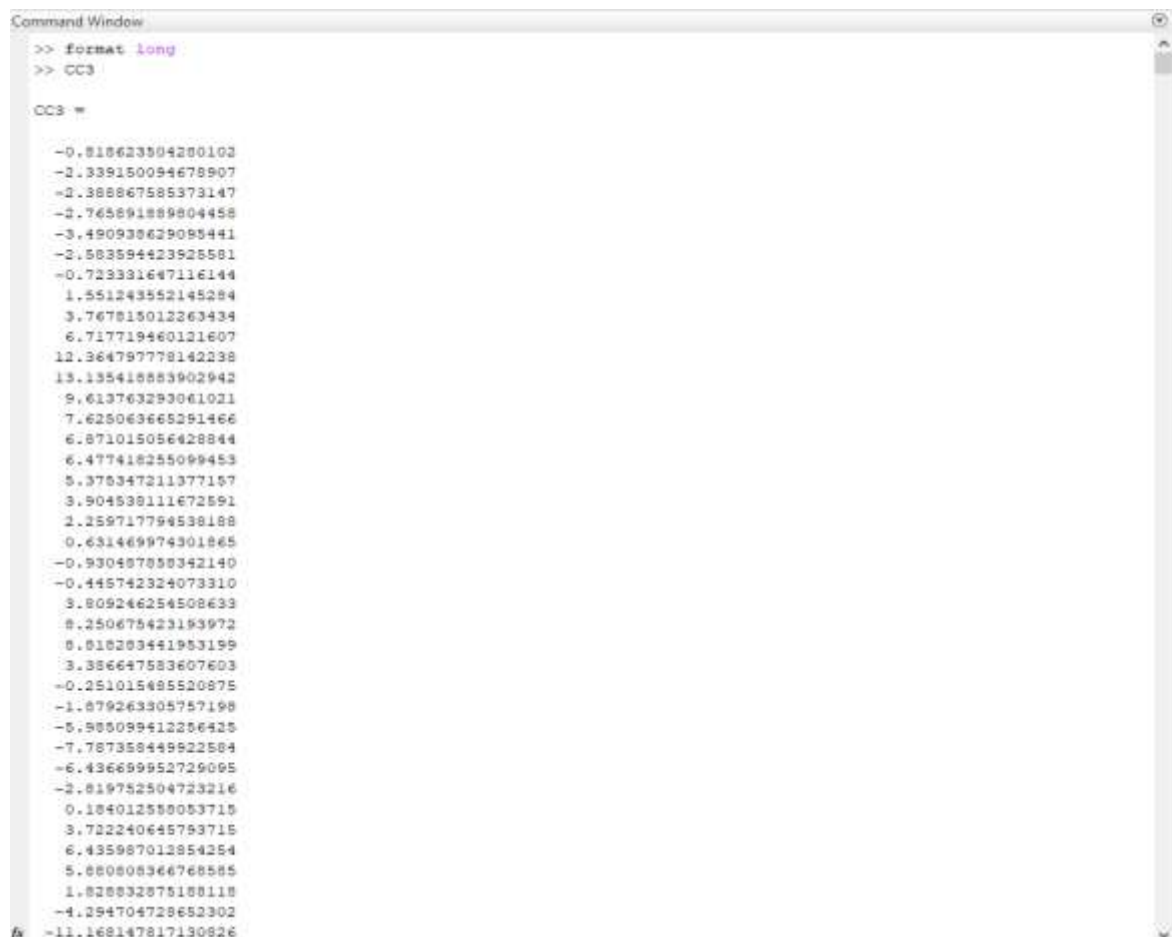
Figura 55. Amplificador de Bioseñal EEG de alta Gamma. Fuente: (g.USBamp usb BIOSIGNAL AMPLIFIER, 2017).

La información EEG que se utiliza se detalla en la sección 3.2.1, la extensión de la información EEG que se emplea se encuentra en un archivo de extensión mat. Como primera etapa de la implementación de la base de datos EEG se hace uso del software Matlab el cual permite visualizar la data EEG tanto gráficamente como numéricamente. En la figura 56 se muestra la representación numérica de la base de datos EEG sin Filtrar.

	1	2	3	4	5	6	7	8	9	10	11
1	-0.8186										
2	-2.3392										
3	-2.3889										
4	-2.7659										
5	-3.4909										
6	-2.5836										
7	-0.7233										
8	1.5512										
9	3.7678										
10	6.7177										
11	12.3648										
12	13.1354										
13	9.6138										
14	7.6251										
15	6.8710										
16	6.4774										
17	5.3753										
18	3.9045										
19	2.2597										
20	0.6315										
21	-0.9305										
22	-0.4457										
23	3.8092										
24	8.2507										
25	8.8183										
26	3.3866										
27	-0.2510										
28	-1.8793										
29	-5.9851										
30	-7.7874										
31	-6.4367										
32	-2.8198										
33	0.1840										
34	3.7222										
35	6.4360										
36	5.8808										
37	1.8288										
38	-4.2947										
39	-11.1681										
40	-12.4069										

Figura 56. Base de Datos EEG del Canal C4 sin Filtrar expresado numéricamente en el software Matlab. Fuente: Elaboración propia.

La implementación de la base de datos EEG en el lenguaje de descripción en hardware se basa en un diseño de una memoria ROM con la finalidad de almacenar la información del canal seleccionado. La información de los datos EEG se expresa en decimales, usando la librería IEEE.PROPOSED de punto fijo y punto flotante permite la interpretación de números en decimales. Se representan 1750 datos respectivamente del canal C3 y del canal C4. Adicionalmente, se usó el comando *format long* en Matlab para visualizar la data del canal C4 en su totalidad de la señal EEG la cual se visualiza en la figura 57. Se realiza una memoria ROM con la finalidad de almacenar la información de los datos EEG, la descripción en hardware interpreta la memoria ROM como una memoria RAM inicializada. La información de los datos EEG se almacena en la Memoria ROM tiene un rango de 6 dígitos decimales, el cual fueron representados en Hexadecimal.



```
Command Window
>> format long
>> CC3
CC3 =
-0.818623504280102
-2.339150094678907
-2.388867585373147
-2.765891889804458
-3.490938629085441
-2.583594423925581
-0.723331647116144
1.551243552145284
3.767815012263434
6.717719460121607
12.364797778142238
13.135418883902942
9.613763293061021
7.625063665281466
6.871015056428844
6.477418255099453
5.378347211377157
3.904838111672591
2.259717794538188
0.631469974301865
-0.930487858342140
-0.445742324073310
3.809246254508633
8.250675423193972
8.818283441953199
3.356647583607603
-0.251015485520875
-1.879263305757198
-5.985099412256425
-7.787358449922584
-6.436699952729095
-2.819752504723216
0.184012558053718
3.722240645753715
6.435987012854254
5.88088366768585
1.828832875188118
-4.294704728652302
-11.168147817130826
```

Figura 57. Base de Datos EEG del Canal C4 sin Filtrar expresado en su totalidad por el comando Format Long en el software Matlab. Fuente: Elaboración propia.

En la figura 58 se muestra la memoria ROM interpretado por el sintetizador como una memoria RAM inicializada.

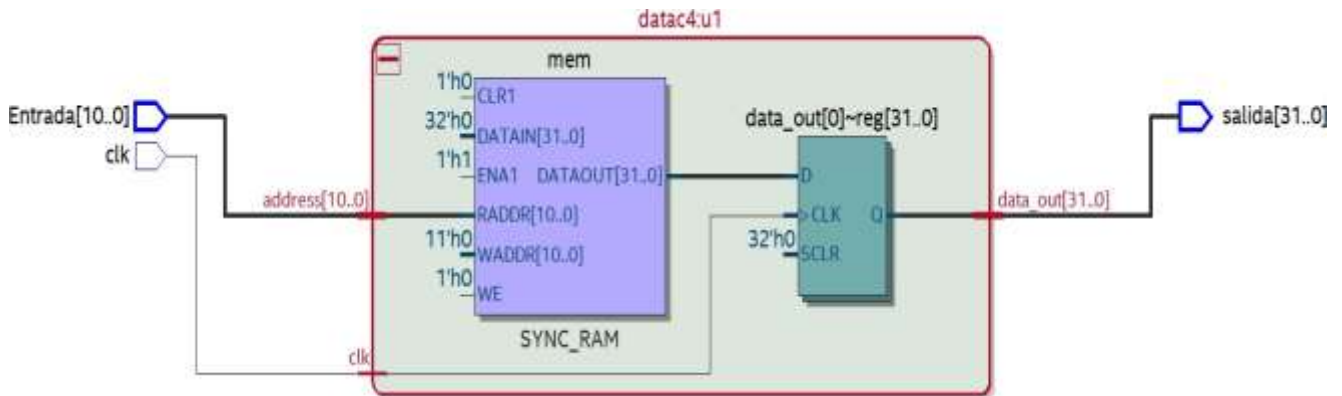


Figura 58. Diagrama RTL De la memoria ROM interpretado por el sintetizador como una Memoria RAM Inicializada. Fuente: Elaboración propia.

3.4.2 Implementación del Filtro Digital en Software

La implementación en Software del Filtro Digital se realiza usando los programas Matlab y Quartus II Prime. El software Matlab tiene la herramienta *filterDesigner* el cual permite generar el código en HDL del diseño del filtro requerido. El código generado en el lenguaje HDL por el software Matlab presenta cierta síntesis el cual no es sintetizable en el lenguaje VHDL, en consecuencia, es necesario realizar modificaciones en el código generado. La simulación del filtro digital desarrollado en el software Matlab genera los coeficientes del filtro digital. Los coeficientes del filtro digital generados por el programa Matlab son implementados en el lenguaje de programación VHDL. En la Figura 59 se muestra el entorno de la herramienta *filterDesigner* generando los coeficientes del Filtro Digital.

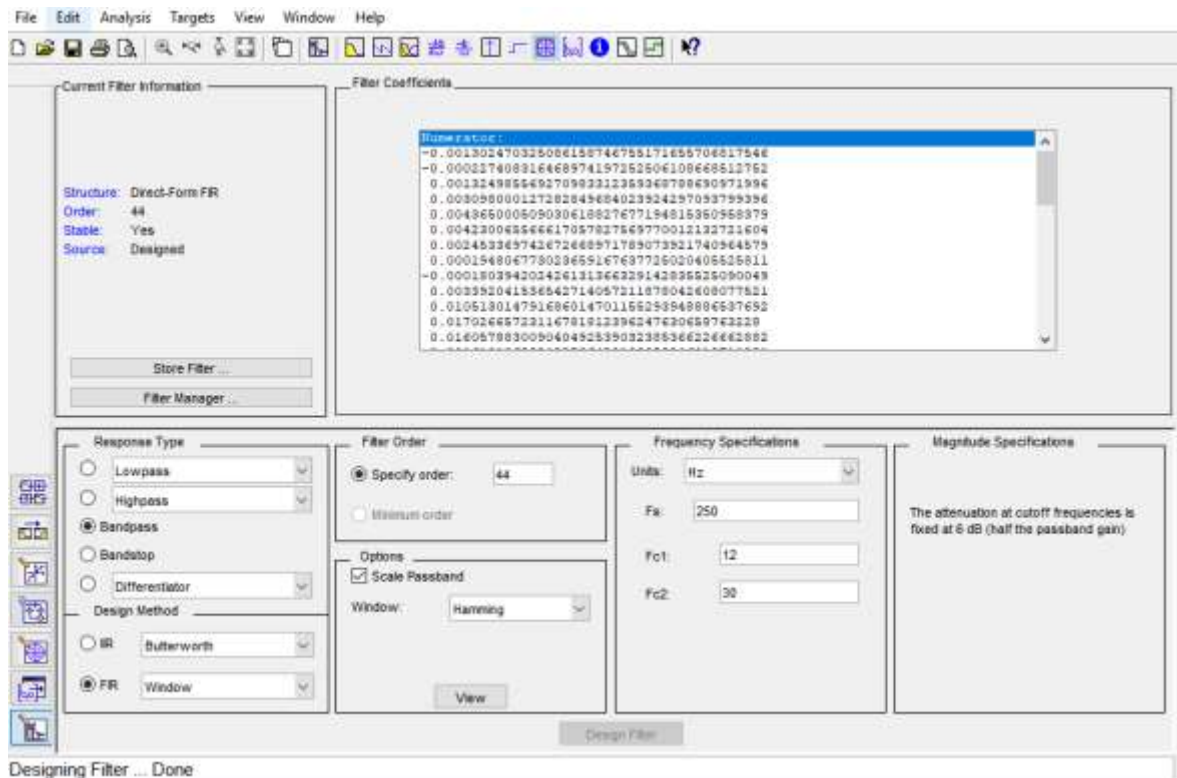


Figura 59. Generación de coeficientes del Filtro Digital usando la Plataforma Filter Designer. Fuente: Elaboración propia.

Con los coeficientes del Filtro digital se realiza la edición del código del filtro digital en VHDL, asimismo se considera las características del filtro digital FIR y el tipo de Señal EEG que se muestra en la tabla 6 y 7 para la implementación en software del Filtro Digital.

Como primera etapa para la implementación del Filtro Digital en Software se importa la librería IEEE.PROPOSED:

- Float_pkg_c.vhdl
- Fixed_pkg_c.vhdl
- Fixed_float_types_c.vhdl

La librería IEEE.PROPOSED permite la interpretación de datos en punto fijo, flotante. En la implementación del Filtro Digital se utiliza la representación numérica de punto fijo. En

consecuencia, al usar la representación numérica de punto fijo es necesario utilizar la librería IEEE.PROPOSED que permite la interpretación de los coeficientes del Filtro Digital que se encuentran expresados en números decimales. En la figura 60 se muestra las librerías IEEE PROPOSED agregadas al archivo principal del programa.

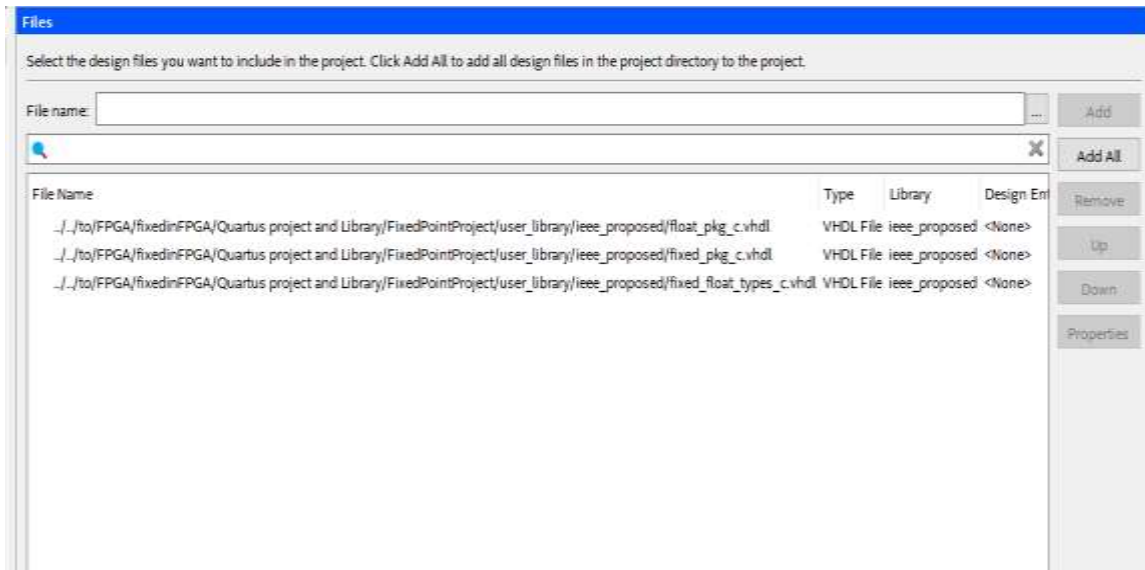


Figura 60. Librería IEEE.PROPOSED agregado al directorio del Proyecto. Fuente: Elaboración propia.

La II etapa de la implementación del Filtro Digital en software se basa en precisar el orden del Filtro, basado al orden del filtro digital se determinará las cantidades de operadores matemáticos tales como sumadores, multiplicadores y retardos (delays) que conforma el Filtro Digital. Los criterios de implementación del Filtro Digital en software se especifican en la tabla 12, considerando el orden 44. Como etapa Final de la Implementación en Software de Filtro Digital se utiliza la estructura de Forma Directa la cual se visualiza en la figura 38.

La estructura del filtro digital implementada en Software se muestra en la figura 61 la cual muestra el diagrama RTL del Filtro Digital FIR de orden 44.

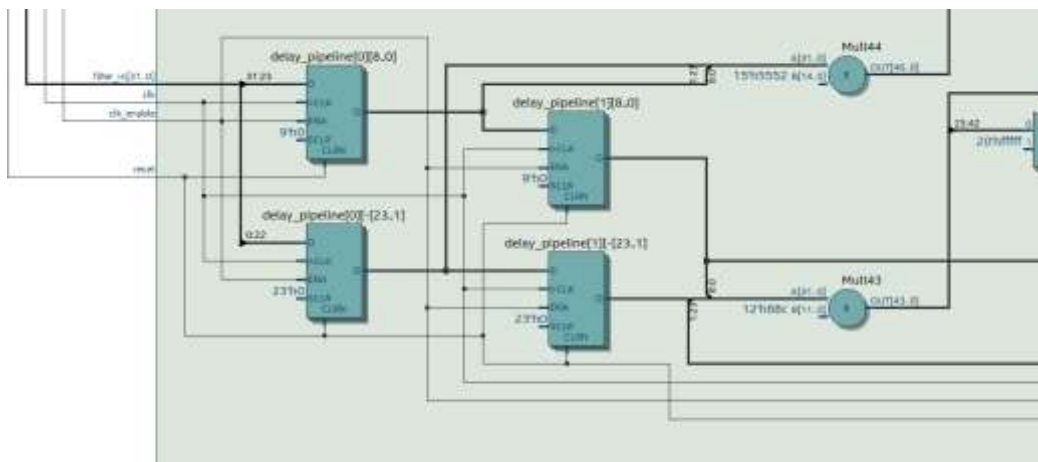
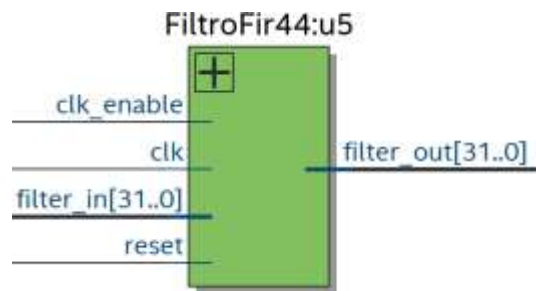


Figura 61. Diagrama RTL del Filtro Digital FIR Ventana de Hamming de Orden 44.

Fuente: Elaboración propia.

Tiempo de Cálculo Computacional

El tiempo de cálculo computacional teórico con respecto al Filtro Digital se basa en las variables de Frecuencia de Muestro y el orden del Filtro Digital, dichos parámetros permitirán determinar el tiempo de cálculo computacional teórico del procesamiento del Filtro Digital.

$$Frecuencia\ de\ Muestreo = 250\ Hz$$

$$Numeros\ de\ Orden = 44$$

$$Periodo = \frac{1}{t} = \frac{1}{250\ s} = 0.004\ s$$

El producto de la repuesta del periodo 0.004 s por el orden del Filtro Digital es de 0.1716s. El valor de 0.1716s representa el tiempo de cálculo computacional teórico de procesamiento del Filtro Digital.

$$0.004 \times 44 = 0.176\ s$$

En la tabla 15 se muestra el tiempo de cálculo computacional de la señal Filtrada del canal C3 tomando en consideraciones los parámetros de la Tabla 12.

Tabla 15. Tiempo de Simulación de la Señal Filtrada del Canal C4

Tiempo de Simulación	
Señal Filtrada del Canal C4	1143139170 ps <> 1143139.17 ns

Adicionalmente es importante conocer el tiempo requerido para el ingreso de la data a cada etapa de Delay_pipeline (retardos). En la figura 62 se muestra el tiempo transcurrido de la data de ingreso con respecto a la etapa Delay_pipeline.

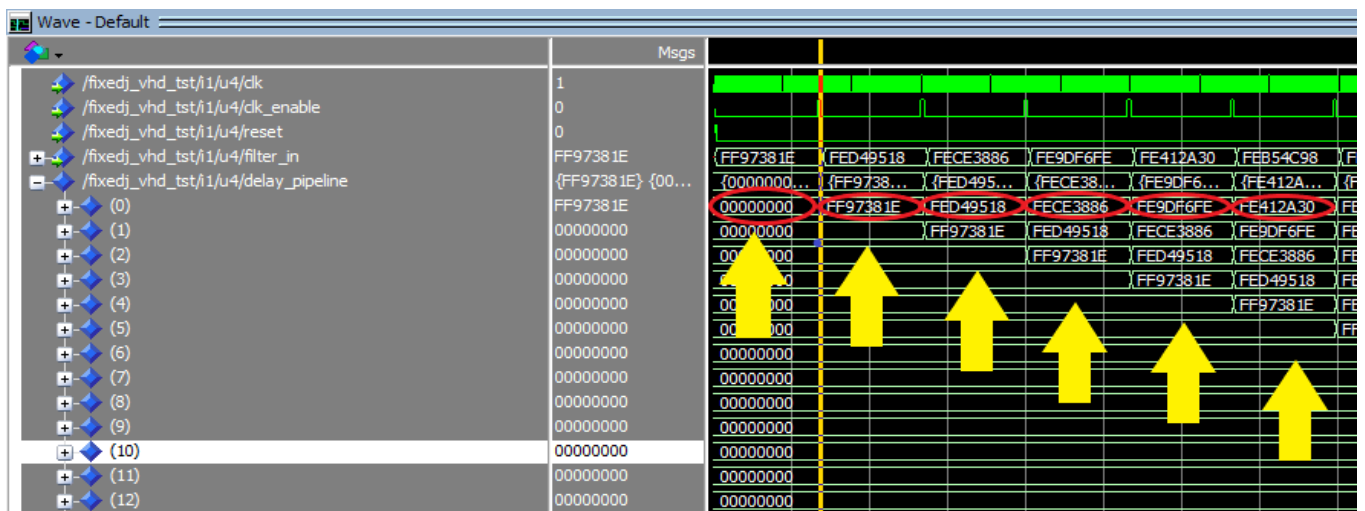
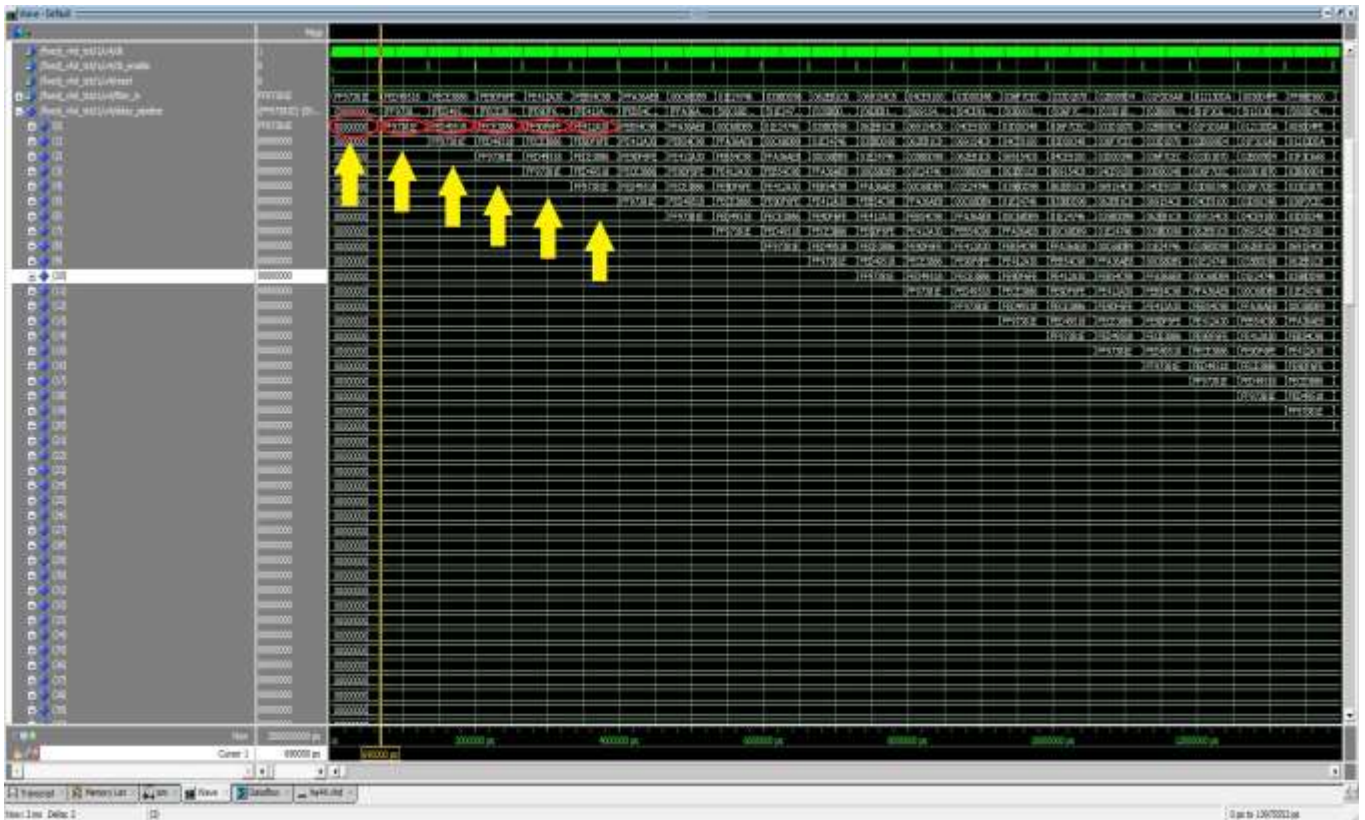


Figura 62. Tiempo Transcurrido de la data por la etapa de Delay_Pipeline. Fuente: Elaboración propia.

El tiempo que se demora en transcurrir de un dato a dato por la etapa de Delay_pipeline es de $660000 \text{ ps} \llcorner 660 \text{ ns}$. Adicionalmente si el orden es mayor el tiempo de latencia también va ser mayor, asimismo se utiliza los recursos del FPGA para acelerar el proceso de filtrado.

La implementación en el lenguaje de descripción de hardware del filtro digital en FPGA se realizó usando la tarjeta de desarrollo DE0-Nano Soc – INTEL en el software Quartus. En la figura 59 se muestra el diagrama RTL del sistema general ya generado por el proceso de síntesis. Se muestra como primera etapa Inicial la Memoria ROM el cual ha sido interpretada como una memoria RAM inicializada la cual está conformada por 3 bloques complementarios el cual permiten que la data EEG se envíe al bloque del Filtro Digital. El primer bloque complementario de la base de datos EEG es un bloque de habilitación, en el cual la señal de salida es la señal entrada del reloj del contador y del reloj de habilitación del bloque del filtro digital. La finalidad de este bloque es de enviar una señal de habilitación para que el dato ingresado por la señal Filter_In pase por la etapa de retardos del filtro digital.

El Segundo Bloque complementario de la data EEG es un contador, el cual permite que los datos del bloque de la data EEG tenga un barrido de direcciones en el cual se envía al tercer bloque complementario el cual es bloque que permite convertir la salida del contador de std_logic_vector a sfixed. El segundo bloque del Filtro Digital representa el Filtro Digital FIR el cual realiza el pre – procesamiento digital de la señal EEG. Finalmente, como tercera etapa los datos de la señal EEG filtrados se envían a un sistema FIFO que tiene como finalidad la lectura y escritura de los datos EEG ya filtrados.

En la Figura 63 se muestra el diagrama del RTL (Nivel de Transferencia de Registro) del hardware desarrollado .En la Figura 64 se muestra el reporte del Hardware del filtro digital FIR de orden 44 que es generado por el sistema, se describen las cantidades de elementos lógicos que se utiliza , la cual ocupa un 20% de la capacidad total de la arquitectura del FPGA, asimismo se muestra la capacidad total de los recursos DSP utilizados para el diseño del filtro digital, que es de 84 bloques ocupando de esta forma el 100 % de su totalidad.

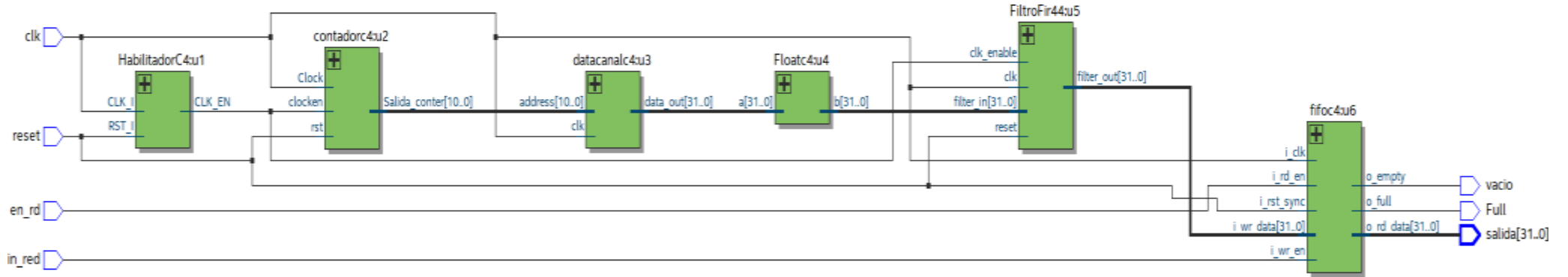


Figura 63. Diagrama RTL (Nivel de transferencia de Registro) del Hardware Desarrollado. Fuente: Elaboración propia.

Flow Summary	
Flow Status	Successful - Tue Oct 29 13:07:51 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	FiltroFir44
Top-level Entity Name	Top_Filtroc4
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	3,195 / 15,880 (20 %)
Total registers	1412
Total pins	38 / 314 (12 %)
Total virtual pins	0
Total block memory bits	66,560 / 2,764,800 (2 %)
Total DSP Blocks	84 / 84 (100 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 64. Reporte de los Recursos utilizados del Hardware Implementado

3.4.3 Implementación del Sistema FIFO

La implementación del sistema FIFO en software tiene como finalidad el poder realizar la lectura de los datos de salida del Filtro digital en el cual serán almacenados en el FIFO. El sistema FIFO tiene una memoria de almacenamiento en el cual se guardarán todos los datos enviados por el Filtro Digital. La etapa complementaria del Sistema FIFO es poder enviar los datos a un sistema de procesamiento basado en un procesador, en consecuencia, esta etapa mencionada es considerado como parte de proyecto a futuro.

CAPÍTULO 4

RESULTADOS

4.1 Introducción

En el presente capítulo se muestran los resultados de las diferentes pruebas realizadas en la etapa de descripción en Hardware y Software, para poder verificar de manera eficiente el funcionamiento del Sistema del Filtro Digital se realiza la simulación de las etapas del Filtro Digital y de la Base de datos EEG de imaginación motora.

4.2 Pruebas de la descripción de Hardware

Para obtener las pruebas de descripción en Hardware se utiliza el programa Quartus de la empresa INTEL.

4.2.1 Etapa de Base de datos EEG

Para realizar las pruebas de la base de datos EEG de imaginación motora se utiliza los datos del Canal C3 y C4, se considera la representación numérica de Punto Fijo que representa el valor numérico de la data. Se realiza una comparación de uno de los canales de la base de datos EEG con la finalidad de obtener una buena representación de la señal de entrada, en consecuencia, se realiza la comparación de la data del Canal C4 expresado en punto fijo con 4 decimales y con 6 decimales. En tabla 16 se muestra la base de datos EEG del Canal C4 representado en punto fijo con una longitud de 6 decimales, asimismo en la figura 65 se muestra el resultado de la base de datos EEG del Canal C4 expresado el punto Fijo con una longitud de 6 decimales en la plataforma de simulación de Modelsim.

Tabla 16. Base de datos EEG del Canal C4 expresado en Punto Fijo con una longitud de 6 decimales

Canal C4
-0.818623
-2.339150
-2.388867
-2.765891

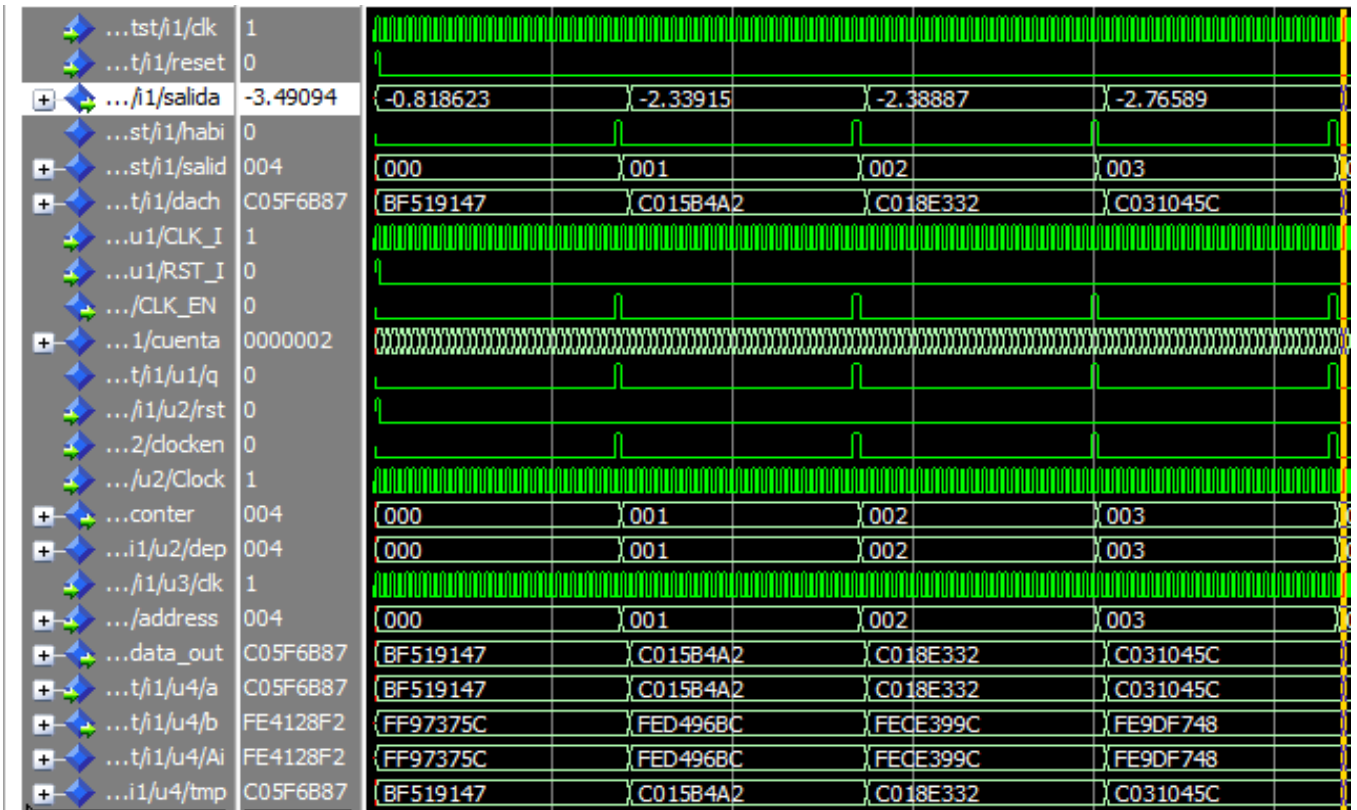


Figura 65. Resultado de la Simulación del Canal C4 expresado en Punto Fijo de longitud de 6 decimales. Fuente: Elaboración propia.

En la figura 66 se muestra la forma de onda electroencefalográfica de la base de datos EEG del canal C4 expresado una longitud de 6 decimales.



Figura 66. Resultado del Forma de Onda Electroencefalográfica del Canal C4 expresado en Punto Fijó con una longitud de 6 decimales. Fuente: Elaboración propia.

En la figura 67 se muestra el resultado del reporte de recursos lógicos en hardware de la base de datos EEG del canal C4.

Flow Summary	
<input type="text" value="Filter"/>	
Flow Status	Successful - Wed Oct 30 17:21:24 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	ChanelC4
Top-level Entity Name	top_chanelc4
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	204 / 15,880 (1 %)
Total registers	41
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 67. Reporte de los Recursos utilizados del Hardware considerando la expresión de punto fijo con 6 decimales de la Base de datos EEG del canal C4. Fuente: Elaboración propia.

En tabla 17 se muestra la base de datos EEG del Canal C4 representado en punto fijo con una longitud de 4 decimales, asimismo en la figura 68 se muestra el resultado de la base de datos EEG del Canal C4 expresado el punto Fijo con una longitud de 4 decimales en la plataforma de simulación de Modelsim

Tabla 17. Base de datos EGG del Canal C4 expresado en Punto Fijo con una longitud de 4 decimales

Canal C4
-0.8186
-2.3391
-2.3888
-2.7658

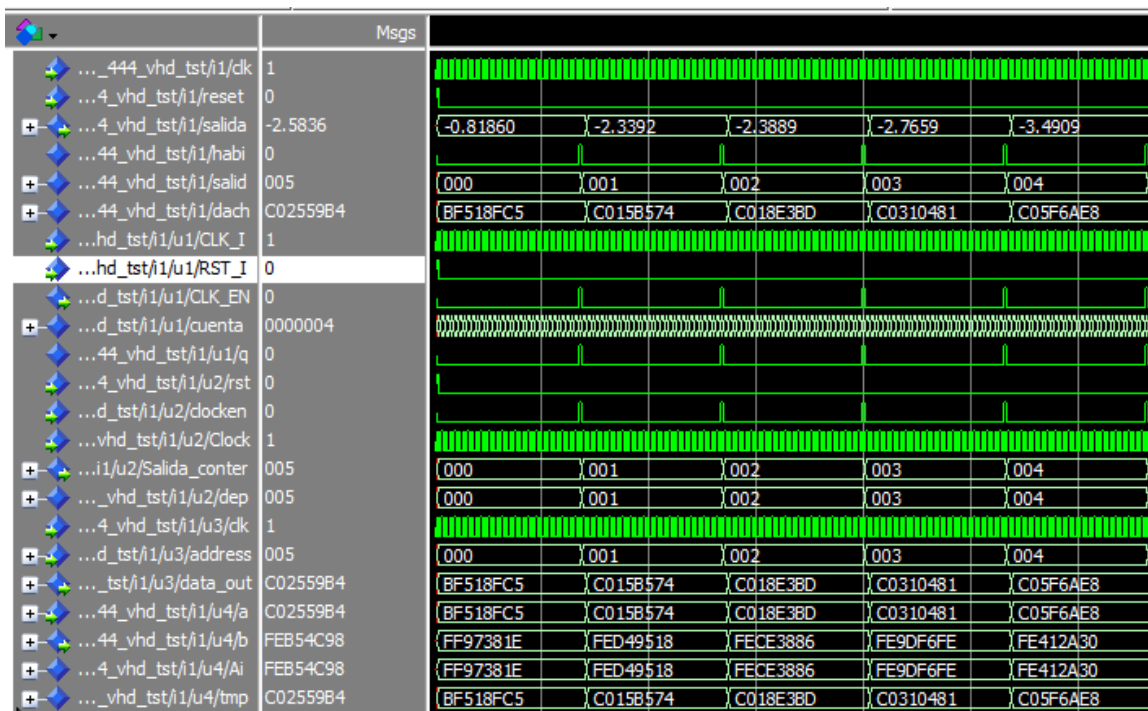


Figura 68. Resultado de la Simulación del Canal C4 expresado en Punto Fijo de longitud de 4 decimales. Fuente: Elaboración propia.

En la figura 69 se muestra la forma de onda electroencefalográfica de la base de datos EEG del canal C4 expresando con una longitud de 4 decimales.

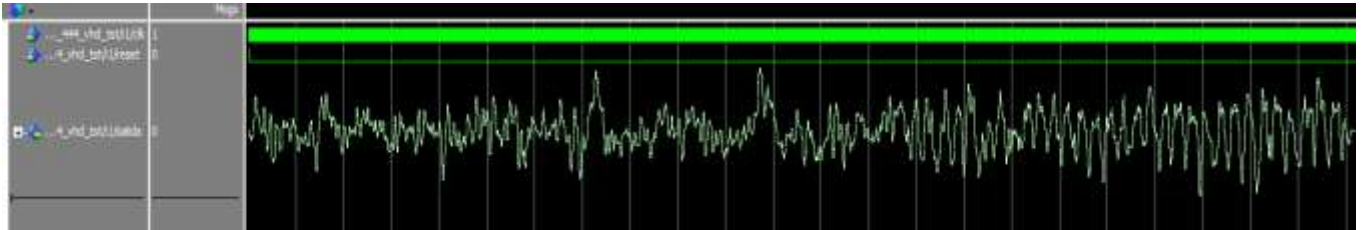


Figura 69. Resultado del Forma de Onda Electroencefalográfica del Canal C4 expresado en Punto Fijó con una longitud de 4 decimales. Fuente: Elaboración propia.

En la figura 70 se muestra el resultado del reporte de recursos lógicos en hardware de la base de datos EEG del canal C4.

Flow Summary	
Flow Status	Successful - Thu Oct 31 10:17:07 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Datac4df
Top-level Entity Name	tp_444
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	204 / 15,880 (1 %)
Total registers	41
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 70. Reporte de los Recursos lógicos utilizados en Hardware considerando la expresión de punto fijo con 4 decimales de la data EEG del canal C4. Fuente: Elaboración propia.

Los resultados de la base de datos EEG de imaginación motora de la señal electroencefalográfica del tipo Beta del Canal C4, expresada en 6 decimales muestra un eficiente resultado con respecto a la interpretación gráfica de la señal EEG. A si mismo basado a la tarjeta de desarrollo DE0-Nano-Soc, de la familia Cyclone V – 5CSEMA4U23C6 de marca INTEL presente una determinada cantidad de memoria de almacenamiento la cual se muestra en la figura 71. La cantidad de memoria en bits que tiene el FPGA es 2764800. En base a los resultados de la figura 67 y 70 se aprecia en el reporte de recursos lógicos que se utilizó únicamente el consumo del 2% de toda su capacidad, demostrando que puede tolerar más almacenamiento datos se señales EEG.

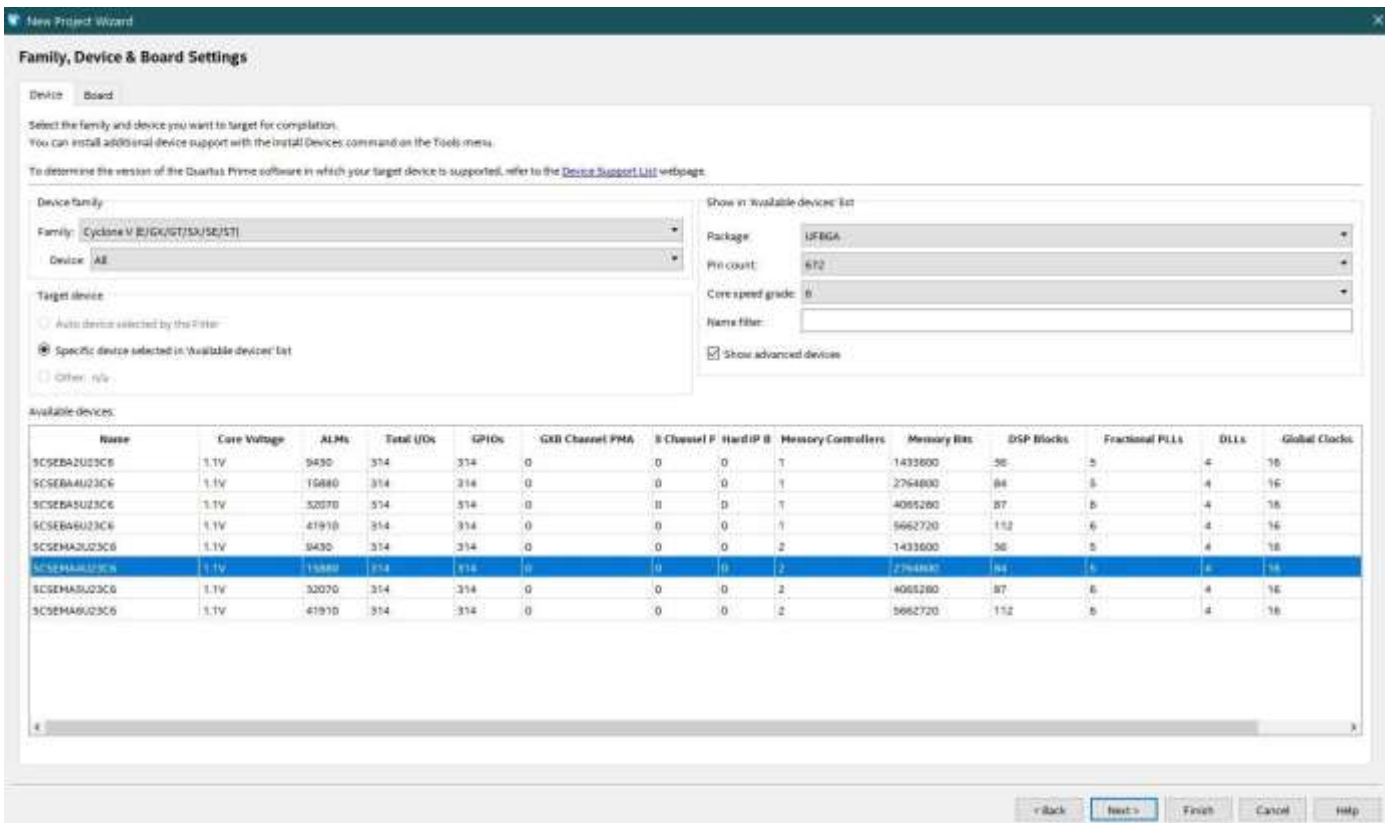


Figura 71. Configuración de la familia de la tarjeta de desarrollo del FPGA. Fuente: Elaboración Propia

4.2.2 Resultados del Filtro Digital FIR – Ventana de Hamming

Los resultados del filtro FIR del canal C4 usando la ventana de Hamming se muestran en la figura 71, que se especifica en la tabla 18 el tipo de onda electroencefalográfico Beta, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de reemplazo automático de bloques DSP.

Tabla 18. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C4

Tipo de Ventana	Hamming
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	12 -30 Hz
Canal	C4
Orden	44
Tarjeta de Desarrollo	DE0 nano- Soc - 5SCEMA4U23C6

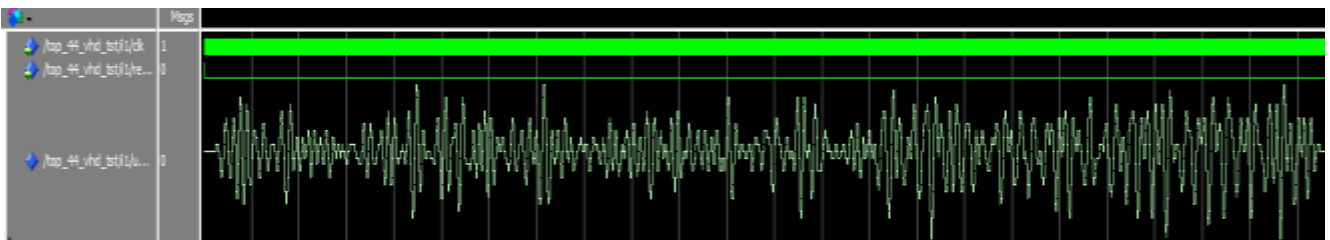


Figura 72. Resultado del Ritmo Electroencefalográfico Beta del Canal C4 usando el Filtro FIR de Ventana de Hamming de orden 44. Fuente: Elaboración propia.

En la figura 72 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 18.

Flow Summary	
Flow Status	Successful - Fri Nov 01 11:45:00 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro44
Top-level Entity Name	Top_44
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	3,185 / 15,880 (20 %)
Total registers	1365
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	84 / 84 (100 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 73. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 18. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C4 usando la ventana de Hamming se muestran en la figura 73, que se especifica en la tabla 19 el tipo de onda electroencefalográfico Mu, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de uso de recursos lógicos.

Tabla 19. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C4

Tipo de Ventana	Hamming
Frecuencia de Muestreo	250 HZ
Frecuencia de Corte	8- 13 Hz
Canal	C4
Orden	80
Tarjeta de Desarrollo	DE0 nano- Soc - 5CSEMA4U23C6

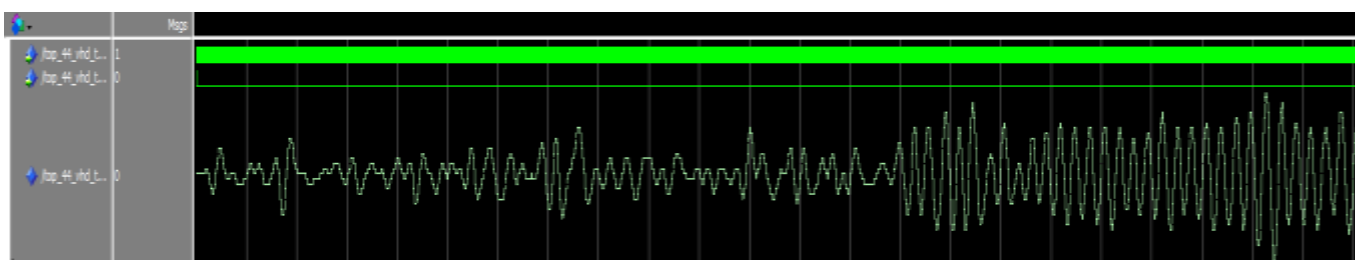


Figura 74. Resultado del Ritmo Electroencefalográfico Mu del Canal C4 usando el Filtro FIR de Ventana de Hamming de orden 80. Fuente: Elaboración propia.

En la figura 74 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 19.


Flow Summary	
 <<Filter>>	
Flow Status	Successful - Sat Aug 15 18:46:42 2020
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro80
Top-level Entity Name	Top_80
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	15,119 / 15,880 (95 %)
Total registers	3605
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 75. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 19. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C3 usando la ventana de Hamming se muestran en la figura 75, que se especifica en la tabla 20 el tipo de onda electroencefalográfico Beta, características del filtro digital FIR y asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de reemplazo automático de bloques DSP.

Tabla 20. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C3

Tipo de Ventana	Hamming
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	12 -30 Hz
Canal	C3
Orden	44
Tarjeta de Desarrollo	DE0 nano- Soc - 5SCEMA4U23C6



Figura 76. Resultado del Ritmo Electroencefalográfico Mu del Canal C3 usando el Filtro FIR de Ventana de Hamming de orden 44. Fuente: Elaboración propia.

En la figura 76 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 20.

Flow Summary	
Flow Status	Successful - Fri Nov 01 21:13:15 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro44
Top-level Entity Name	Top_44
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	3,185 / 15,880 (20 %)
Total registers	1365
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	84 / 84 (100 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 77. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 20. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C3 usando la ventana de Hamming se muestran en la figura 77, que se especifica en la tabla 21 el tipo de onda electroencefalográfico Mu, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de uso de recursos lógicos

Tabla 21. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C3

Tipo de Ventana	Hamming
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	8-13 Hz
Canal	C3
Orden	80
Tarjeta de Desarrollo	DE0 nano- Soc - 5CSEMA4U23C6

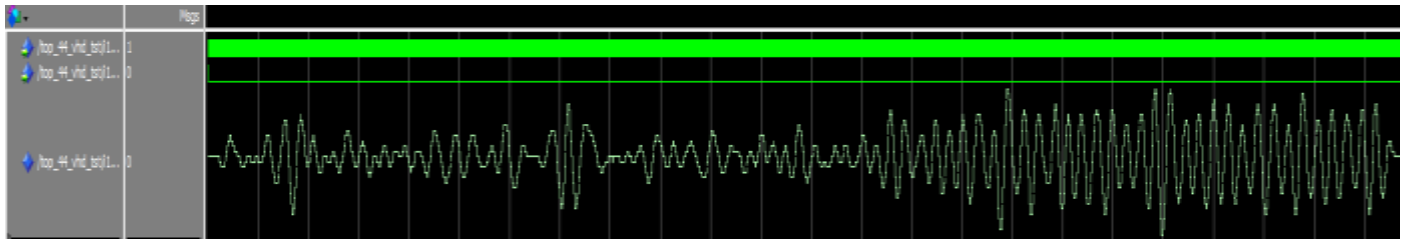


Figura 78. Resultado del Ritmo Electroencefalográfico Mu del Canal C4 usando Filtro el FIR de Ventana de Hamming de orden 80. Fuente: Elaboración propia.

En la figura 78 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 21.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sat Aug 15 19:47:43 2020
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro80
Top-level Entity Name	Top_80
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	15,119 / 15,880 (95 %)
Total registers	3605
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 79. Resultado de los Recursos Lógicos utilizados en Hardware en basado a las especificaciones de la Tabla 21. Fuente: Elaboración propia.

4.2.3 Resultados del Filtro Digital FIR – Ventana de Blackman

Los resultados del filtro FIR del canal C4 usando la de ventana de Blackman se muestran en la Figura 79, que se especifica en la tabla 22 el tipo de onda electroencefalográfico Beta, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de reemplazo automático de bloques DSP.

Tabla 22. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C4

Tipo de Ventana	Blackman
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	12 -30 Hz
Canal	C4
Orden	45
Tarjeta de Desarrollo	DE0 nano- Soc - 5SCEMA4U23C6

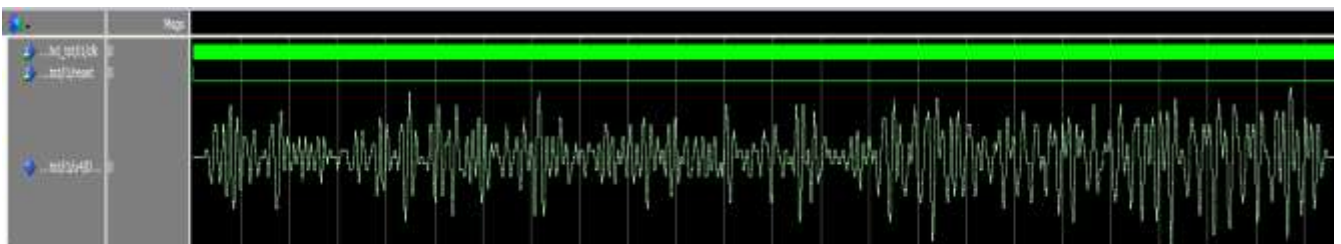


Figura 80. Resultado del Ritmo Electroencefalográfico Beta del Canal C4 usando el Filtro FIR de Ventana de Blackman de orden 45. Fuente: Elaboración propia.

En la figura 80 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 22.

Flow Summary	
<input type="text" value="Filter"/>	
Flow Status	Successful - Fri Nov 01 23:11:15 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	FiltroBlackman44
Top-level Entity Name	Top_fb44
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	3,107 / 15,880 (20 %)
Total registers	1377
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	84 / 84 (100 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 81. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la tabla 22. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C4 usando la ventana de Blackman se muestran en la figura 81, que se especifica en la tabla 23 el tipo de Onda Electroencefalográfico Mu, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de uso de recursos lógicos

Tabla 23. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C4

Tipo de Ventana	Blackman
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	8-13 Hz
Canal	C4
Orden	81
Tarjeta de Desarrollo	DE0 nano- Soc - 5CSEMA4U23C6



Figura 82. Resultado del Ritmo Electroencefalográfico Mu del Canal C4 usando el Filtro FIR de Ventana de Blackman de orden 81. Fuente: Elaboración propia.

En la figura 82 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 23.

Flow Summary	
<input type="text" value="Filter"/>	
Flow Status	Successful - Sat Aug 15 22:27:49 2020
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro80
Top-level Entity Name	Top_80
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	15,119 / 15,880 (95 %)
Total registers	3605
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 83. Resultado de los Recursos Lógicos utilizados en Hardware basado a especificaciones de la Tabla 23. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C3 usando la Ventana de Blackman se muestran en la figura 83, que se especifica en la tabla 24 el tipo de Onda Electroencefalográfico Beta, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de reemplazo automático de bloques DSP.

Tabla 24. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C3

Tipo de Ventana	Blackman
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	12 -30 Hz
Canal	C3
Orden	45
Tarjeta de Desarrollo	DE0 nano- Soc - 5SCEMA4U23C6

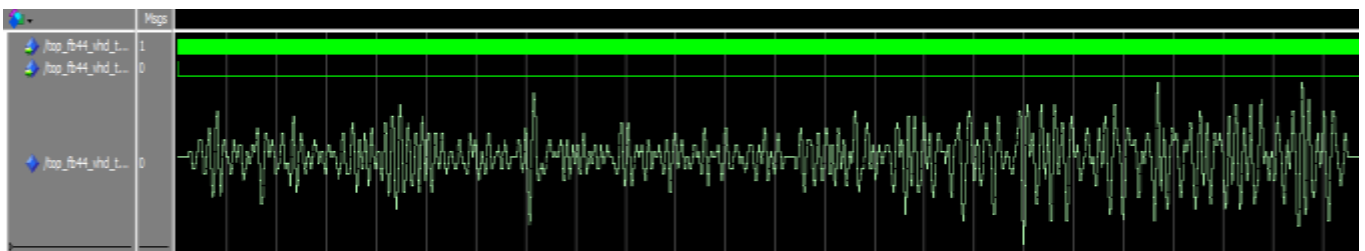


Figura 84. Resultado del Ritmo Electroencefalográfico Beta del Canal C3 usando el Filtro FIR de Ventana de Blackman de orden 45. Fuente: Elaboración propia.

En la figura 84 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 24.

Flow Summary	
Flow Status	Successful - Sat Nov 02 01:05:25 2019
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	FiltroBlackman44
Top-level Entity Name	Top_fb44
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	3,107 / 15,880 (20 %)
Total registers	1377
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	84 / 84 (100 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 85. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 24. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C3 usando la ventana de Blackman se muestran en la figura 85, el cual se especifica en la tabla 25 el tipo de onda Electroencefalográfico Mu, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL.

Tabla 25. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Mu del Canal C3

Tipo de Ventana	Hamming
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	8-13 Hz
Canal	C3
Orden	81
Tarjeta de Desarrollo	DE0 nano- Soc - 5CSEMA4U23C6

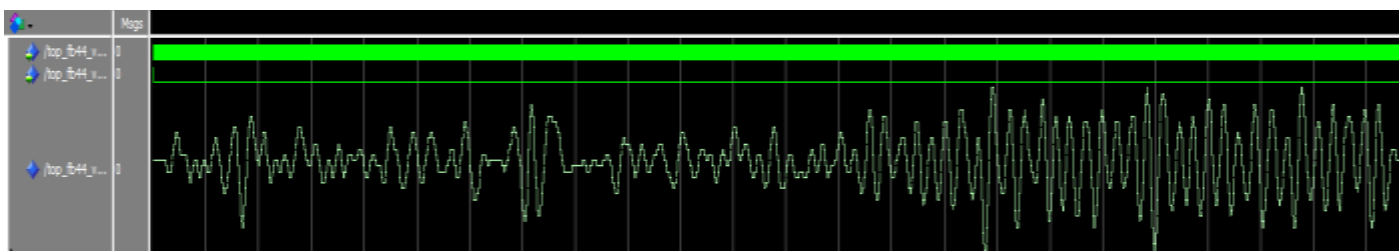


Figura 86. Resultado del Ritmo Electroencefalográfico Mu del Canal C3 usando el Filtro FIR de Ventana de Blackman de orden 81. Fuente: Elaboración propia.

En la figura 86 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 25.

Flow Summary	
<input type="text" value="Filter"/>	
Flow Status	Successful - Sat Aug 15 23:06:32 2020
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro80
Top-level Entity Name	Top_80
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	15,119 / 15,880 (95 %)
Total registers	3605
Total pins	34 / 314 (11 %)
Total virtual pins	0
Total block memory bits	65,536 / 2,764,800 (2 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 87. Resultado de los Recurso Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 25. Fuente: Elaboración propia.

Los resultados del filtro FIR del canal C4 usando la ventana de Hamming que se muestra en la figura 87, que se especifica en la tabla 25 el tipo de Onda Electroencefalográfico Beta, características del filtro digital FIR, asimismo el tipo de tarjeta de desarrollo de FPGA de la empresa INTEL. Adicionalmente se utiliza la opción de síntesis de uso de recursos lógicos

Tabla 26. Especificaciones del Filtro Digital FIR aplicado a la onda EEG Beta del Canal C3

Tipo de Ventana	Blackman
Frecuencia de Muestreo	250 Hz
Frecuencia de Corte	12-30 Hz
Canal	C4
Orden	81
Tarjeta de Desarrollo	DE0 nano- Soc - 5SCEMA4U23C6

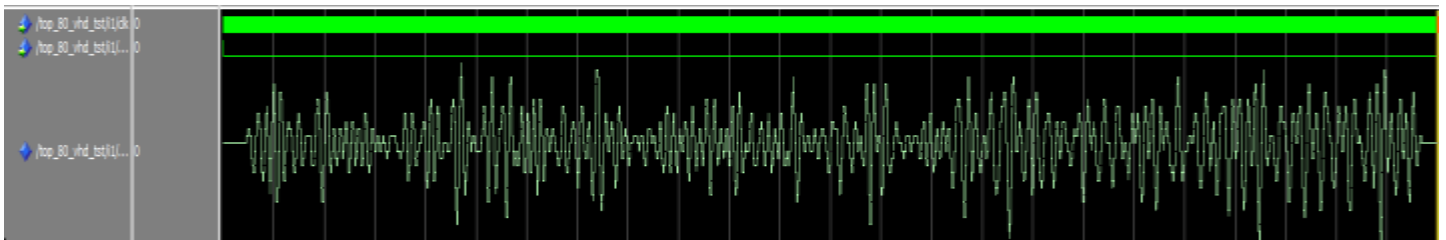


Figura 88. Resultado del Ritmo Electroencefalográfico Beta del Canal C4 usando el Filtro FIR de Ventana de Blackman de orden 81. Fuente: Elaboración propia.

En la figura 88 se muestra el resultado del reporte de los recursos lógicos utilizados en hardware del filtro digital FIR basado en las especificaciones de la tabla 26.

Flow Summary	
Flow Status	Successful - Mon Jan 27 17:10:17 2020
Quartus Prime Version	18.0.0 Build 614 04/24/2018 SJ Lite Edition
Revision Name	Filtro80
Top-level Entity Name	Filtro80
Family	Cyclone V
Device	5CSEMA4U23C6
Timing Models	Final
Logic utilization (in ALMs)	15,612 / 15,880 (98 %)
Total registers	2624
Total pins	67 / 314 (21 %)
Total virtual pins	0
Total block memory bits	0 / 2,764,800 (0 %)
Total DSP Blocks	0 / 84 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0 / 5 (0 %)
Total DLLs	0 / 4 (0 %)

Figura 89. Resultado de los Recursos Lógicos utilizados en Hardware basado a las especificaciones de la Tabla 26. Fuente: Elaboración propia.

Los resultados obtenidos de los diseños del filtro FIR basado en el método de ventana de Hamming y Blackman que se muestra en el capítulo 3 de la sección 3.3, presentan las simulaciones en el software Matlab, utilizando diferentes valores de orden y la transformada de Fourier que permite determinar el orden correspondiente para la interpretación de la señal EEG de la banda Mu – Beta de los canales C3 Y C4. Así mismo se utiliza la plataforma de Quartus para la implementación en descripción de hardware del filtro digital con los órdenes de 80, 81, 44 y 45 que se muestran anteriormente. Se determina que el diseño del filtro FIR Blackman para la señal EEG de la banda MU de orden 81 tiene una eficiente respuesta en el dominio de la frecuencia a comparación de otros diferentes ordenes la cual se muestra en la figura 50, sin embargo, la señal Electroencefalográfica Beta presenta una estable respuesta e interpretación en el dominio de frecuencia a partir del orden 44. Adicionalmente el diseño y simulación del filtro digital FIR de orden 80 utilizando la síntesis de uso de recursos lógicos consume un 98% de recursos lógicos el cual se muestra en los resultados de los recursos lógicos utilizados en hardware.

El uso de la transformada de Fourier y la respuesta en el dominio de frecuencia y magnitud nos permiten visualizar las frecuencias deseadas para el desarrollo del filtro digital, ambos diseños del filtro digital FIR se basan en un filtro pasa -banda. En La figura 90 se muestra la respuesta en el domino de la frecuencia con la finalidad de mostrar que el filtro digital FIR basado en el método de ventana de Blackman presenta una caída del lóbulo lateral de -70.5 db a comparación del filtro digital FIR basado en el método de ventana de Hamming que presenta una caída de -46.02 db que se muestra en la figura 91

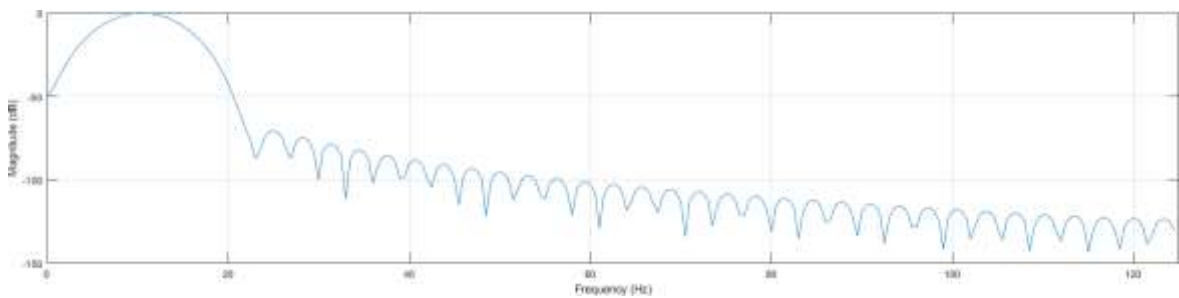


Figura 90. Respuesta en el domino de frecuencia y magnitud del filtro digital FIR Pasa-Banda utilizando la ventana de Blackman de orden 81. Fuente: Elaboración Propia

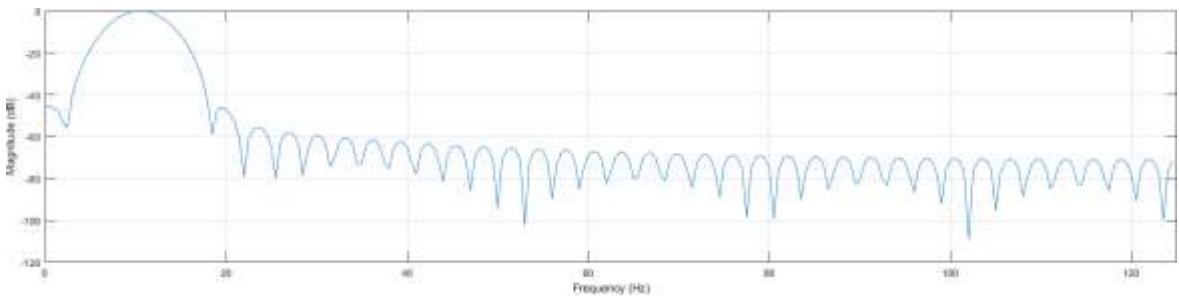


Figura 91. Respuesta en el domino de frecuencia y magnitud del filtro digital FIR Pasa-Banda utilizando la ventana de Hamming de orden 80. Fuente: Elaboración Propia

En la tabla 27 se muestran diferentes frecuencias máximas de reloj para la implementación del filtro digital FIR basado al modelo 1100 mv 85 C, que es sugerido por el programa Quartus.

Tabla 27. Frecuencia Máxima de trabajo basado al Modelo 1100mv 85C

Canal	Frecuencia De Trabajo	Frecuencia de Corte	Tipo De Ventana
C3	7.13 MHz	8 Hz – 13 Hz	Hamming
C3	7.13 MHz	12 Hz – 30 Hz	Hamming
C4	7.13 MHz	12 Hz – 30 Hz	Hamming
C4	7.13 MHz	8 Hz – 13 Hz	Hamming
C3	7.38 MHz	8 Hz – 13 Hz	Blackman
C3	7.16 MHz	12 Hz – 30 Hz	Blackman
C4	7.38 MHz	8 Hz – 13 Hz	Blackman
C4	7.16 MHz	12 Hz – 30 Hz	Blackman

En la tabla 28 se muestran diferentes frecuencias máximas de reloj para la implementación del filtro digital FIR basado al modelo 1100 mv 85 C, que es sugerido por el programa Quartus. El parámetro de Frecuencia de reloj nos permite conocer que frecuencia ideal se obtendrá para el diseño del filtro digital, los resultados de frecuencia en trabajo son generados por el programa basado en los modelos 1100 mv 85 C y 1100 mv 0c. No se presenta una limitación con respecto a la frecuencia de trabajo ya que independientemente el FPGA presenta 5 frecuencias de reloj de salida de 50 Mhz y 25 Mhz, ambas frecuencias cumplen las necesidades para el diseño del filtro digital. Las frecuencias de reloj que presenta la tarjeta de desarrollo DE0 –Nano – SoC se muestra en la figura 92.

Canal	Frecuencia De Trabajo	Frecuencia de Corte	Tipo De Ventana
C3	7.13 MHz	8 Hz – 13 Hz	Hamming
C3	7.13 MHz	12 Hz – 30 Hz	Hamming
C4	7.13 MHz	12 Hz – 30 Hz	Hamming
C4	7.13 MHz	8 Hz – 13 Hz	Hamming
C3	7.12 MHz	8 Hz – 13 Hz	Blackman
C3	7.16 MHz	12 Hz – 30 Hz	Blackman
C4	7.12 MHz	8 Hz – 13 Hz	Blackman
C4	9.93 MHz	12 Hz – 30 Hz	Blackman

Tabla 28. Frecuencia Máxima de trabajo en Base al Modelo 1100mv 0C

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
FPGA_CLK1_50	PIN_V11	50 MHz clock input	3.3V
FPGA_CLK2_50	PIN_Y13	50 MHz clock input	3.3V
FPGA_CLK3_50	PIN_E11	50 MHz clock input (share with FPGA_CLK1_50)	3.3V
HPS_CLK1_25	PIN_E20	25 MHz clock input	3.3V
HPS_CLK2_25	PIN_D20	25 MHz clock input	3.3V

Figura 92. Frecuencias de Reloj de trabajo de la tarjeta de desarrollo DE0-Nano-Soc.

Fuente: (INTEL, DE0-NANO-SoC, 2015)

OBSERVACIONES

Los resultados obtenidos cumplen las características necesarias del diseño del filtro digital implementando en software. En la imagen 18 se puede apreciar la forma de onda Mu y beta de la señal electroencefalográfica. Comparando los resultados de la señal filtrada en el capítulo 3 de la sección 3.3 se puede apreciar en la respuesta del tiempo 4 – 7 segundos se aprecia la forma de onda Beta y Mu. El criterio de diseño del filtro digital FIR basado en el método de ventanas Blackman y hamming permiten obtener un resultado eficaz de la señal EEG. La elaboración del filtro digital en el lenguaje de programación VHDL cumple todas las etapas del diseño del filtro digital, tales como la elaboración de la memoria ROM para el almacenamiento de la data EEG, diseño del filtro digital con las características necesaria de diseño del filtro, sistema FIFO para él envió de datos de la señal EEG filtrada. Las simulaciones realizadas utilizando la plataforma de Matlab y Modelsim permiten la validación de la etapa de pre – procesamiento de las señales EEG son mostradas en el capítulo 3 y 4. Se realizaron las pruebas necesarias de simulación utilizando diferentes órdenes y métodos de ventana para obtener un resultado eficiente de la señal EEG. Se utiliza la plataforma de Matlab para realizar el cálculo de los coeficientes del filtro digital FIR, la herramienta Matlab presenta dos plataformas para obtener los resultados de los coeficientes basado en un editor de programación, Simulink y la plataforma denominada Filter Designer que permite la selección de características de diseño del filtro digital, orden del filtro, frecuencia de muestro. Una de las ventajas que presenta Matlab es el poder representar datos en diferentes formatos con la finalidad de poder ser empleados en alguna determinada aplicación, finalmente el uso de Matlab como herramienta inicial para el diseño del filtro digital presenta una gran flexibilidad en poder emplear diferentes tipos de filtros digitales.

La presente tesis tiene una comparación con respecto a los resultados de las señales EEG filtradas de imaginación motora utilizando el sistema embebido FPGA. En los artículos de

investigación “Implementación de un sistema de clasificación de señales EEG basados en FPGA” (Asanza, Constantine, Valarezo, & Peláez, 2020), “Implementación en FPGA de filtros para eliminar artefactos musculares de señales EEG” (Prasad Vilas, Sanjay, & Sanjay, 2018), “Diseño de Filtro Digital basado en FPGA para aplicaciones de Señales Biomédicas” (Ozpolat K. , 2018). Presentan diversos métodos de pre-procesamiento utilizando Filtros IIR y FIR teniendo una respuesta optima en su etapa de pre - procesamiento sin embargo se hace la comparación con respecto a la cantidad de recursos lógicos y el tipo de orden para el diseño del filtro digital. En los artículos mencionados utilizan un orden bajo 8 de filtro digital IIR Butterworth, para el uso de la etapa de preprocesamiento originando en efecto un bajo porcentaje (5%) de recursos lógicos utilizados. Adicionalmente en los artículos de investigación mencionadas anteriormente utilizan etapas complementarias como la transformada de wavelet, Sistemas IP Core FIR, para el análisis de las señales EEG. Finalmente, en la presente tesis demuestra una respuesta en latencia optima a comparación de los diversos artículos mencionados, asimismo el mayor uso de todos los recursos lógicos del FPGA exigidos para la etapa de pre-procesamiento.

El uso del software Modelsim se utiliza para simular el lenguaje de descripción en hardware, asimismo el software Modelsim permite al diseñador describir el comportamiento del circuito descrito en hardware en diferentes niveles de descripción de hardware (VHDL, Verilog). Los resultados obtenidos en la presente tesis se validaron comparado los resultados de los coeficientes del filtro digital en Matlab y Modelsim durante la etapa de pre- procesamiento de la señal EEG de imaginación motora, asimismo se analizó la forma de las ondas electroencefalográficas Beta y Mu durante los segundos 3 y 6 del test que se realiza en la presente tesis el cual se aprecia la forma de la onda ideal de las ondas electroencefalográficas mencionadas anteriormente.

CONCLUSIONES

- La implementación de la memoria ROM en hardware presenta un consumo del 2 % de bloques de memoria de bits, demostrando que aún se dispone de mayor almacenamiento de datos de señales EEG de imaginación motora.
- Se concluye que, para el análisis e interpretación correspondiente de las señales EEG es necesario diseñar un filtro digital FIR de orden 80.
- La tarjeta de desarrollo DE0 nano soc presenta ciertas limitaciones con respecto a las cantidades de bloques DSP, ya que únicamente presentan 84 bloques DSP, limitando el desarrollo del filtro digital FIR de orden 80.
- Se utilizó el 98% de los bloques de recursos lógicos para el diseño del filtro digital FIR de orden 80, demostrando el desarrollo del filtro digital FIR en hardware de manera factible.
- La etapa de Pre Procesamiento de las señales EEG de los canales C3 Y C4 presenta una latencia de 25,6 s considerando el orden 80 del filtro digital FIR, la latencia de 25,6 representa el tiempo que se demora el hardware en filtrar la señales EEG.
- Se concluye que el filtro digital FIR de ventana de Blackman presenta una caída de -70.5 db en el lóbulo lateral, permitiendo una mejor respuesta en fase y magnitud a comparación del filtro digital FIR de ventana Hamming que presenta una caída de -46.02 db en el lóbulo lateral.

- En cuanto a la frecuencia de reloj de las etapas del filtro digital FIR en hardware se concluye que la frecuencia de reloj ideal es de 9.93 Mhz.
- Se concluye que en base a los resultados obtenidos de la etapa de simulación en software cumple las características necesarias para la implementación del filtro digital en hardware.

RECOMENDACIONES

- Para la etapa de base de datos se recomienda hacer uso del hardware Open BCI con la finalidad de permitir el registro de señales EEG. La plataforma del hardware Open BCI permite la adquisición y visualización de las señales EEG en tiempo real.
- Se recomienda para la etapa de pre – procesamiento la implementación de un filtro FIR – wavelet en hardware con la finalidad de realizar un análisis más robusto de las señales electroencefalográficas.
- Se sugiere implementar Arquitectura de Bus Simple SBA, con la finalidad de enviar los datos filtrados a un sistema SOPC NIOS II.
- Para la etapa de implementación del filtro digital FIR en hardware se recomienda utilizar módulos DAC de 32 bits o el uso del procesador NIOS II del FPGA, con la finalidad de poder visualizar las señales EEG.
- Se recomienda utilizar el software Quartus con licencia, debido a que permitiría el uso de diversas herramientas de software con la finalidad de poder optimizar el programa en descrito en VHDL y utilizar otros recursos del software.

- Se sugiere complementar la tesis con el proyecto de interfaz cerebro – computador, debido a que se utiliza las etapas de clasificación y extracción de características de señales EEG permitiendo un análisis más amplio de las señales EEG.

BIBLIOGRAFÍA

- Acuña Condori, K. (2017). *Procesamiento De Señales Electroencefalográficas en un Sistema para Una Interfaz Cerebro Máquina*. Lima.
- Ahokas , S., Malmivuo, J., & Kauppinen, P. (2009). Development of Low Noise Active Electrode for High-Resolution EEG. *World Congress on Medical Physics and Biomedical Engineering*, 876-879.
- Alan V. Oppenheim, R. W. (1999). *Discrete - Time Signal Processing* . New Jersey: Marcia Horton.
- Albertí, E. B. (2006). *Procesado Digital De señales Comunicación y control II*. Barcelona: Edicions de la Universitat Politècnica de Catalunya , SL.
- Aldana Ramirez, C., & Buitrago Bolicar, E. (2013). Actualidad en la investigación de electroencefalograma resonancia magnetica funcional simultáneos en el estudio de epilepsia y dolor. *Revista Cubana de Investigaciones Biomédicas*, 29-47.
- Altera, I. . (16 de Setiembre de 2017). *Introduccion to the Quartus II Software*. Obtenido de Introduccion to the Quartus II Software:
https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/manual/intro_to_quartus2.pdf
- Ambardar, A. (2002). *Procesamiento de Señales Analógicas y Digitales*. Mexico: Thomson learning.
- Amos, D., Lesea, A., & Richter, R. (2011). *FPGA-based Prototyping Methodology Manual : Best Practices in Design-for-Prototyping*. 216-217.

- Anderson, D., & Hall, T. (2014). Teaching Hardware Design of Fixed-Point Digital Signal Processing Systems. *Processings of the 2007 American Society for Engineering Education Annual Conference*, 1-12.
- Arif , R., Kusuma Wijaya, S., & Saputra Gani, H. (2019). Development of electroencephalography (EEG) data acquisition system based on FPGA PYNQ. *AIP Conference Proceedings 2092*, 020026 1 -10.
- Asanza, V., Constantine, A., Valarezo, S., & Peláez, E. (2020). Implementation of a Classification System of EEG Signals Based on FPGA. *Seventh International Conference on eDemocracy & eGovernment (ICEDEG)*, 87-92.
- Astrand, E., Wardak, C., & Hamed, S. (2014). Selective visual attention to drive cognitive brain - machine interfaces : From concepts to neurofeedback and rehabilitation applications. *Frontiers in Systems Neuroscience*, 1-17.
- Bajaj, R., & Fahmy, S. (2015). Mapping for maximum performance on FPGA DSP blocks. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 15.
- Ballesteros, M. D. (2004). Doseño de Filtro FIR - Wavelet Sobre FPGA'S para eliminación de Ruido de Fondo en Señales Bioeléctricas. *Umbral Científico*, 50-58.
- Bhat, S., & S, U. (2017). Reconfigurable FIR Filter Architecture for EEG Application. *International Journal of Engineering and Computer Science*, 22305-22308.
- Böhm, S. (2013). *BCI-Based Cursor Control Using EEG Sensorimotor Rhythms*. Viena.
- Chu, E. (2008). *Discrete And Continous Fourier Transforms analysis ,Aplications and Fast Algorithms*. US: Taylor & Francis Group ,LLC.
- Co, N. V.-K. (10 de agosto de 2019). <https://www.nvk.com.tw/eeg-lead-wires/active-eeg-electrodes.html>. Obtenido de <https://www.nvk.com.tw/eeg-lead-wires/active-eeg-electrodes.html>: <https://www.nvk.com.tw/aboutus/certificates.html>
- Connors, B., Paradiso, M., & Bear, M. (2001). *Neuroscience Exploring The Brain*. Baltimore: Lippincott Williams & Wilkins.

Deecke, L., Weinberg, H., & Boschert, J. (1982). Magnetic fields of the human brain (Bereitschaftsmagnetfeld) preceding voluntary foot and toe movements. *Bereitschaftsmagnetfeld Experimental Brain Research*, 144-148.

Dimitris G. Manolakis, V. K. (2011). *Applied Digital Signal Processing*. Boston: UK. Cambridge University Press.

Doc, R. (28 de 1 de 2013). *BCI Application Using P300*. Obtenido de BCI Application Using P300: <https://www.youtube.com/watch?v=y3IGJVnSSsg>

EEG hacker. (4 de Octubre de 2014). Obtenido de <http://hacker875.rssing.com/channel/30475407/latest.php>

Engel, A., K.E.Moll, C., & Ojemma, G. (2005). Invasive recordings from the human brain: clinical insights and beyond. *Nature Reviews Neuroscience* volume, 35-47.

Erp Van, J., Lotte, F., & Tangermann, M. (2012). Brain-Computer Interfaces: Beyond Medical Applications. *Computer*, 26-34.

g.USBamp usb BIOSIGNAL AMPLIFIER. (2017). *g.tec GUGER TECHNOLOGIES*, 1-32.

Giurgiutiu, V. (2018). *Structural Health Monitoring with Piezoelectric Wafer Active Sensors*. USA: Elseiver.

Gutierrez, E. G. (2009). *Introducción al Filtrado Digital*. Madrid.

<http://ati.ttu.ee>. (2 de Setiembre de 2012). <http://ati.ttu.ee>. Obtenido de <http://ati.ttu.ee>: http://ati.ttu.ee/IAY0340/labs/FIR_Filter_SystemC.html

Huang, S., & Xiao, H. (2011). The Application of EEG related. *Procedia Environmental Sciences*, 1338-1342.

I.Selesnick. (s.f.). *The Remez Algorithm*.

INTEL. (2015). DE0-NANO-SoC. *DE0-Nano-SoC user Manual*, 80.

INTEL. (16 de Julio de 2019). *INTEL ARRIA 10 FPGAS FEATURES*. Obtenido de INTEL ARRIA 10 FPGAS FEATURES: <https://www.intel.com/content/www/us/en/products/programmable/fpga/arrria-10/features.html>

- Intel. (2019). *Intel® Arria® 10 Core Fabric and*. Intel Corporation.
- Intel. (1 de Agosto de 2019). *Kit de desarrollo Intel® Arria® 10 SoC*. Obtenido de Kit de desarrollo Intel® Arria® 10 SoC:
https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/arria-10-soc-development-kit.html
- Islam, S., Islam, S., Rahman, K., & Ferdous Subin, N. (2014). Design of FIR Filter Using Hamming Window. *International Journal of Emerging Research in Management & Technology*, 13 - 16.
- Jagadale, R., Rathore, D., Satam, A., Singh, A., & Joshi, R. (2014). IMPLEMENTATION OF FIR FILTER USING VHDL. *International Journal of Engineering Research & Technology (IJERT)*, 274-277.
- Kumar, A., & Dhait, M. (2013). Review on Floating Point Adder and Convertes Units Using VHDL. *International Journal of Science and Research (IJSR)*, 1847-1851.
- Lebedev , M., & Nicolelis, M. (2006). Brain - machine interfaces : past , present and future . *TRENDS in Neurosciences*, 536-546.
- Lopez Vallejo, M., & Ayala Rodrigo, J. (2004). *FPGA: Nociones Básicas e Implementación*. Madrid.
- Manolakis, J. G. (2007). *Tratamiento Digital De Señales*. Madrid: Pearson Educación S.A.
- Marcela Martinez, L. g. (2009- 2010). *Diseños de Filtro FIR*. Madrid: Propio de Autor.
- Marchesotti, S., Bassolino, M., & BLevler, H. (2016). Quantifying the role of motor imagery in Brain - machine interfaces. *Scientific Reports*, 12.
- Mc Farland, D., Wolpaw , J., Birbaumer, N., Pfurtscheller, G., & Vaughan, T. (2002). Brain-computer interfaces for comunicacion and control. *Communications of The ACM*, 60-66.
- Medina, B. A., & López Alvarez, R. (2017). Characterization of EEG Signals Using Wavelet Packet and Fuzzy Entropy in Motor Imagination Tasks. *Ingeniería*, 226-238.

- Mesia Benito, C. (2011). *Sistema de adquisición de señales Biomédicas sobre FPGA*. LIMA.
- Millet, D. (2001). Hans Berger: From Psychic Energy to the EEG. *Perspectives in Biology and Medicine*,, 522-542.
- Najim, M. (2006). *Digital Filters Design for Signal and Image Processing*. Francia: UK: ISTE Ltd.
- Neuper, C., & Pfurtscheller, G. (2001). Evidence for distinct beta resonance frequencies in human EEG related to specific sensorimotor cortical areas. *Clinical Neurophysiology*, 2048-2097.
- Neuper, C., Müller-Putz, G., Scherer, R., & Pfurtscheller, G. (2006). Motor imagery and EEG-based control of spelling devices and neuroprostheses. *Progress in Brain Research*,, 393-409.
- Nova Eka Diana, U. k. (2016). Comparing windowing methods on Finite Impulse Response (FIR) filter algorithm in Electroencephalography (EEG) data processing. *Theoretical and Applied Information Technology*, 558-567.
- Nova, D., Kalsum, U., Sabiq, A., Jatmiko, W., & Musanto, P. (2016). Comparing Windowing Methods on Finite Impulse Response (FIR) Filter Algorithm in Electroencephalography (EEG) Data Processing. *Journal of Theoretical and Applied Information Technology*, 558-567.
- Novo Oliveras, C. A., Chacho Gutiérrez, L. C., & Barradas Bribiesca, J. A. (2010). *Mapeo Electroencefalográfico y Neurofeedback*.
- Oostenveld , R., & Praamstra, P. (2001). The five percent electrode system for high-resolution EEG and ERP measurements. *Clinical Neurophysiology*, 713-719.
- Ozpolat, E., Karakaya, B., Kaya, T., & Gulden, A. (2016). FPGA-based digital Filter Design for Biomedical Signal. *2016 XII International Conference on Perspective Technologies and Methods in MEMS Design*, 70-73.

- Ozpolat, K. (2018). FPGA based digital Filter Design for Biomedical Signal. *2016 XII International Conference on Perspective Technologies and Methods in MEMS Design (MEMSTECH)*, 3.
- Pardo, F., & Boluda, J. (1999). *VHDL Lenguaje para síntesis y modelo de circuitos*. Madrid: RA-MA.
- Pearson, M., Pipe, A., Mitchinson, B., Gurney, K., Melhuish, C., & Nibouche, M. (2007). Implementing Spiking Neural Networks for Real-Time Signal-Processing and Control Applications: A Model-Validated FPGA Approach. *IEEE Transactions on Neural Networks*, 1472-1487.
- Pfurtscheller, G., & Schlögl, A. (1 de Agosto de 2019). *BCI Competition III*. Obtenido de BCI Competition III: <http://www.bbc.de/competition/iii/>
- POTIOC. (10 de Agosto de 2019). Obtenido de POTIOC: <https://team.inria.fr/potioc/>
- Pouya, A., Cagoni, S., & Ascari, L. (2014). Invasive electroencephalography monitoring : Indications and presurgical planning. *Annals of Indian Academy of Neurology*.
- Prasad Vilas, D., Sanjay, N., & Sanjay, K. (2018). FPGA Implementation of Filters for Removing Muscle Artefacts from EEG Signals. *Second International Conference on Intelligent Computing and Control Systems (ICICCS)*, 728-732.
- Proakis G., J., & Manolakis, D. (20017). *TRATAMIENTO DIGITAL DE SEÑALES*. Madrid: PEARSON EDUCACIÓN S.A.
- Risco - Castillo, A. (2008). *ARQUITECTURA DE BUS SIMPLE, UN CONJUNTO DE HERRAMIENTAS PARA EL DESARROLLO PORTABLE DE SISTEMAS EN CHIP*.
- Romero, J., Roballo, F., Palomino, G., Medoza, G., & Pérez, L. (2017). *Aplicación de dispositivos Lógicos Programables*.
- Romuald, R., Menerd, D., Herve, N., & Sentieys, O. (2016). Fixed-Point Configurable Hardware Components. *EURASIP Journal on Embedded Systems*, 1-13.

- S.Salivahanan, A. V. (2011). *Digital Signal Processing*. India: McGraw- HILL , second edition.
- Salud, O. M. (12 de Diciembre de 2018). *Transtornos Mentales*. Obtenido de Transtornos Mentales: <http://www.who.int/mediacentre/factsheets/fs396/es/>
- Sanei, S., & Chambers, J. (2007). *EEG SIGNAL PROCESSING*. Chichester: John Wiley & Sons.
- Schlögl, A. (s.f.). *Dataset IIIa: 4-class EEG data*. Obtenido de Dataset IIIa: 4-class EEG data: http://www.bbc.de/competition/iii/desc_IIIa.pdf
- Sepulveda, F. (2017). *Tutorial Brain Computer Interface*.
- Sisterna, C. (2013). *Field Programmable Gate Arrays*.
- Sivakami, A., & Shenbaga Devi, S. (2015). ANALYSIS OF EEG FOR MOTOR IMAGERY BASED CLASSIFICATION OF HAND ACTIVITIES. *International Journal of Biomedical Engineering and Science (IJBES)*,, 11-22.
- So, H. C. (2012). *Realization Of Digital Filters*. Hong Kong.
- Steyrl, D., Reimmar, J., & Müller-Putz, G. (2016). On Similarities and Differences of Invasive and Non - Invasive Electrical Brain Signals in Brain - Computer Interfacing. *J. Biomedical Science and Engineering*, 393-398.
- Sundaram, K., Marichamy, & Pradeepa. (2016). FPGA based filters for EEG pre-processing. *2016 Second International Conference on Science Technology Engineering and Management (ICONSTEM)*, 572-576.
- Sur, U. N. (2011). *Procesamiento Digital de Señales*. Argentina.
- Tan, L. (2008). *Digital Signal Processing Fundamentals and Applications* . UK: ELSEIVER.
- Taywade, S., & Rauth, R. (2012). EEG signal analysis with different methodologies. *Proceeding on a National Conference on Innovative Paradigms in Engineering and Techonology*, 29-31.

- Tuck Lee, W., Nisar, H., Malik, A., & Yeap, K. (2013). A brain computer interface for smart home control. *2013 IEEE International Symposium on Consumer Electronics (ISCE)*, 35-36.
- Tufte, G., & Haddow, P. (2005). Towards Development on a Silicon-based Cellular Computing Machine. *Natural Computing*, 387-416.
- Udayashankara, V. (2010). *Real Time Digital Signal Processing : Fundamentals , Algorithms and Implementation using tms Processor*. India: New Delhi : PHI Learning .
- Wolpaw, J., & Wolpaw, E. (2013). Brain-Computer Interfaces : Principles and Practice. *BioMedical Engineering OnLine*, 424.
- Zhou, Y., Zhao, J., & Zhou, X. (2016). Study on Brain Computer Interface based on Motor Imagery. *International Journal of Signal Processing, Image Processing and Pattern Recognition*, 201-210.
- Zoran S. Bojkovic, B. M. (2017). Hamming Window to the Digital World. *Proceeding of the IEEE*, 5.
- 笔记, F. 设. (2 de Octubre de 2015). *El mundo de Qian*. Obtenido de El mundo de Qian:
http://guqian110.github.io/pages/2015/10/02/fifo_design_notes.html

ANEXOS

ANEXO A: CODIGO DEL FILTRO DIGITAL FIR DE ORDEN 80 USANDO LA VENTANA DE HAMMING

```
library ieee, ieee_proposed;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
use ieee_proposed.fixed_float_types.all;
use ieee_proposed.fixed_pkg.all;
use ieee_proposed.float_pkg.all;

entity Top_80 is
  Port (
    clk      :in std_logic;
    reset    : in std_logic;
    salida   :out std_logic_vector (31 downto 0)
  );
end Top_80;

architecture arc_top80 of Top_80 is

  component Dc4f80  is
  generic( data_width  : natural :=32;
           addr_length: natural :=11);
  port
  (   clk      :      in std_logic;
      address  :      in std_logic_vector (addr_length-1 downto 0);
      data_out : out std_logic_vector (data_width-1 downto 0)
  );
  end component;

  component Float_80 is
  Port (
    a: IN STD_LOGIC_VECTOR(31 DOWNTO 0);
    b: out STD_LOGIC_VECTOR(31 DOWNTO 0)
  );
  end component;

  component Filtro80 is
  port (
    clk      : IN  std_logic;
```

```

        clk_enable      : IN  std_logic;
        reset           : IN  std_logic;
        filter_in       : IN  std_logic_vector(31 downto 0);
        filter_out      : OUT std_logic_vector(31 downto 0) -- double

```

```

    );
end component;

```

```

component contador_80 is

```

```

port (

```

```

        rst : in std_logic;
        clocken : in std_logic;
        Clock : in std_logic;
        Salida_conter : out std_logic_vector( 10 downto 0 )

```

```

    );
end component;

```

```

component enable_80 is

```

```

port (

```

```

        CLK_I :      in      std_logic;
        RST_I :      in std_logic;
        CLK_EN :      out std_logic )

```

```

;
end component;

```

```

signal dataai: std_logic_vector(31 downto 0);
signal tx : std_logic_vector(31 downto 0);
signal cx : std_logic_vector(10 downto 0);
signal eni : std_logic;

```

```

begin

```

```

u1: contador_80 port map

```

```

(
    rst      => reset,
    clocken  => eni,
    clock    => clk,
    salida_conter => cx
);

```

```

u2: Dc4f80

```

```

    generic map (
        data_width =>32,

```

```

        addr_length =>11
    )
    port map
    (
        clk => clk,
        address => cx,
        data_out => tx
    );

```

u3: Float_80 port map (

```

    a => tx,
    b => datai
);

```

u4: Filtro80 port map (

```

    clk      => clk,
    clk_enable => eni,
    reset    => reset,
    filter_in  => datai,
    filter_out => salida

```

);

u5: enable_80 port map (

```

    CLK_I    => clk,
    RST_I    => reset,
    CLK_EN => eni

```

);

end arc_top80;

ANEXO B: CODIGO DEL FILTRO DIGITAL FIR DE ORDEN 81 USANDO LA VENTANA DE BLACKMAN

```

library ieee, ieee_proposed;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
use ieee_proposed.fixed_float_types.all;
use ieee_proposed.fixed_pkg.all;
use ieee_proposed.float_pkg.all;

entity Top_80 is
  Port (

          clk      :in std_logic;
          reset    : in std_logic;
          salida  :out std_logic_vector (31 downto 0)

  );

end Top_80;

architecture arc_top80 of Top_80 is

  component Dc4f80  is
  generic( data_width  : natural :=32;
          addr_length: natural :=11);
  port
  (      clk      :      in std_logic;
        address  :      in std_logic_vector (addr_length-1 downto 0);
        data_out : out std_logic_vector (data_width-1 downto 0)
  );
  end component;

  component Float_80 is
  Port (

          a: IN STD_LOGIC_VECTOR(31 DOWNT0 0);
          b: out STD_LOGIC_VECTOR(31 DOWNT0 0)
  );

  end component;

  component Filtro80 is
  port (

          clk          : IN  std_logic;
          clk_enable  : IN  std_logic;
          reset       : IN  std_logic;
          filter_in   : IN  std_logic_vector(31 downto 0);
          filter_out  : OUT std_logic_vector(31 downto 0) -- double
  );

```

```

);
end component;

component contador_80 is

port (

        rst : in std_logic;
        clocken : in std_logic;
        Clock : in std_logic;
        Salida_conter : out std_logic_vector( 10 downto 0 )

);
end component;

```

```

component enable_80 is

port (

        CLK_I : in std_logic;
        RST_I : in std_logic;
        CLK_EN : out std_logic )
;
end component;

```

```

signal datai: std_logic_vector(31 downto 0);
signal tx : std_logic_vector(31 downto 0);
signal cx : std_logic_vector(10 downto 0);
signal eni : std_logic;

```

```

begin

```

```

u1: contador_80 port map
(
    rst => reset,
    clocken => eni,
    clock => clk,
    salida_conter => cx
);

```

```

u2: Dc4f80
    generic map (
        data_width =>32,
        addr_length =>11
    )
    port map
    (

```

```
    clk => clk,  
    address => cx,  
    data_out => tx  
);
```

```
u3: Float_80 port map (
```

```
    a => tx,  
    b => datai  
);
```

```
u4: Filtro80 port map (
```

```
    clk      => clk,  
    clk_enable => eni,  
    reset    => reset,  
    filter_in  => datai,  
    filter_out => salida
```

```
);
```

```
u5: enable_80 port map (
```

```
    CLK_I    => clk,  
    RST_I    => reset,  
    CLK_EN => eni
```

```
);
```

```
end arc_top80;
```


ANEXO C: PROGRAMACIÓN DEL FILTRO DIGITAL FIR DE LA VENTANA DE HAMMING DE ORDEN 80 EN MATLAB 2018B

```

%% %% %% %% %% Data del participante 1 K3B-MAT %%
%% %% %% %% %% Clases de interes FIRST CLASS %%%

load ('k3b.mat');
trial = HDR.TRIG;
Fs = 250;
% Canala de Trabajo %%
C3= s(:,28);
%% Filtro FIR para observar la onda Mu
%%h = fir1(44,[12 30]/(Fs/2) );
h = fir1(80,[8 13]/(Fs/2) );

figure(33), freqz(h,1,Fs,Fs);

trial = HDR.TRIG;

for i=2:2 %length(trial) Posición de las clases de las señales EEG

    CC3 = C3( trial(i) : trial(i) + 7*Fs-1 );

    if isnan(sum(CC3))==1, disp('hay un NaN'),end

    fc3 = filter( h , 1, CC3 );

    N = power(2,11);
    grid on

    tc3 = abs( fft ( CC3 , N ) ) / N;
    tfc3 = abs( fft ( fc3 , N ) ) / N;
    F = linspace(0,Fs,N);
    figure(3), subplot(211), plot(F,tc3);
    grid on
    xlabel('Frecuencia(Hz)')
    ylabel('potencia')
    figure(3), subplot(212), plot(F,tfc3)
    xlabel('Frecuencia(Hz)')
    ylabel('Potencia')
    grid on
%resultado temporal del filtrado FIR par ver la onda MU
t = linspace(0,7,7*Fs);
figure(2), subplot(211), plot(t,CC3);
xlabel('Tiempo (s)')
ylabel('Amplitude del Canal C3 ')
grid on
figure(2), subplot(212), plot(t,fc3)
xlabel('tiempo (s)')
ylabel('Amplitude del Canal C3')
grid on
end

```

ANEXO D: PROGRAMACIÓN DEL FILTRO DIGITAL FIR DE LA VENTANA DE BLACKMAN DE ORDEN 81 EN MATLAB 2018B

```

%% %% %% %% %% Data del participante 1 K3B-MAT %%
%% %% %% %% %% Clases de interes FIRST CLASS %%%

load ('k3b.mat');
trial = HDR.TRIG;
Fs = 250;
O = 80;
C4 = s(:,34);
%% Diseño del Filtro Blackamn
h = fir1(O,[8 13]/(Fs/2),blackman(O+1))
figure(22),freqz(h,1,Fs,Fs);

trial = HDR.TRIG;
for i=2:2 %length(trial) Posición de las clases de las señales EEG

    CC3 = C3( trial(i) : trial(i) + 7*Fs-1 );

    if isnan(sum(CC3))==1, disp('hay un NaN'),end

    fc3 = filter( h , 1, CC3 );
    N = power(2,11);
    grid on

    tc3 = abs( fft ( CC3 , N )) / N;
    tfc3 = abs( fft ( fc3 , N )) / N;
    F = linspace(0,Fs,N);

    figure(11), subplot(211), plot(F,tc3);
    grid on
    xlabel('Frecuencia(Hz)')
    ylabel('Potencia')
    figure(11), subplot(212), plot(F,tfc3)
    grid on
    xlabel('Frecuencia(Hz)')
    ylabel('Potencia')
    grid on
    %resultado temporal del filtrado FIR par ver la onda MU

    t = linspace(0,7,7*Fs);
    figure(1), subplot(211), plot(t,CC3);
    xlabel('Tiempo (s)')
    ylabel('Amplitud del Canal C4 ')
    grid on
    figure(1), subplot(212), plot(t,fc3);
    xlabel('Tiempo (s)')
    ylabel('Amplitude del Canal C4')
    grid on

end

```