

## THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Électronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

**Jean-Philippe NOEL**

Thèse dirigée par **Amara AMARA** et  
codirigée par **Olivier THOMAS**

préparée au sein du **CEA LETI**  
dans l'**École Doctorale Electronique, Electrotechnique,**  
**Automatique et Traitement du Signal**

# Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse : application aux mémoires et fonctions logiques

Thèse soutenue publiquement le **14 décembre 2011**,  
devant le jury composé de :

**Monsieur, Francis, BALESTRA**

Directeur de recherche à l'IMEP-LAHC (Président)

**Monsieur, Pascal, MASSON**

Professeur à l'Université de Nice Sophia-Antipolis (Rapporteur)

**Monsieur, Christian, PIGUET**

Professeur à l'EPFL, Suisse (Rapporteur)

**Monsieur, Rachid, BOUCHAKOUR**

Professeur à l'Université de Provence (Membre)

**Monsieur, Philippe, FLATRESSE**

Ingénieur à STMicroelectronics (Membre)

**Monsieur, Borivoje, NIKOLIC**

Professeur à UC Berkeley, Etats-Unis (Membre)

**Monsieur, Amara, AMARA**

Professeur à l'ISEP (Membre)

**Monsieur, Olivier, THOMAS**

Ingénieur de recherche au CEA LETI (Membre)





*« Il s'agit moins de penser davantage que de penser autrement. »*

Jean-Marie DOMENACH



# Remerciements

Le travail de recherche présenté dans ce manuscrit de thèse a été effectué au sein du *Laboratoire Test fonctionnel, Modélisation et Caractérisation électrique* (LTMC) puis dans le *Laboratoire Intégration Silicium et Architecture Numérique* (LISAN) du CEA LETI, situé sur le campus MINATEC à Grenoble.

Je remercie en premier lieu MM. Jean-René Lequepeys et Thierry Colette pour la confiance qu'ils m'ont témoigné en m'accueillant dans leur département. Je remercie également M. Michel Paccaud pour m'avoir accueilli dans le *Laboratoire Test fonctionnel, Modélisation et Caractérisation électrique* et M. François Bertrand pour m'avoir accueilli dans le *Laboratoire Intégration Silicium et Architecture Numérique*.

Je remercie vivement M. Olivier Thomas qui, par une disponibilité exemplaire et un soutien de tous les instants, a encadré ma thèse. Je remercie également M. Amara Amara qui a permis le bon déroulement de ma thèse jusqu'à la soutenance.

J'adresse également mes sincères remerciements à MM. Francis Balestra, Pascal Masson, Christian Piguet, Rachid Bouchakour, Philippe Flatresse et Borivoje Nikolic pour m'avoir fait l'honneur de présider, de rapporter et d'examiner ce travail.

Je tiens également à remercier tous mes collègues de travail pour leur disponibilité et leur gentillesse. Je remercie tout particulièrement M. Bastien Giraud, avec qui j'ai énormément apprécié travailler. Un grand merci également à Mlle Marie-Anne Jaud, pour son aide précieuse en TCAD, et à M. Thierry Poiroux, pour ses conseils et son regard toujours avisé. Mes remerciements vont aussi à Mme Claire Fenouillet-Béranger, pour ses conseils et son support, ainsi qu'aux personnes de STMicroelectronics avec qui j'ai eu l'occasion de travailler (MM. Frédéric Bœuf, Nicolas Planes, Michel Haond, Emmanuel Bechet, ...).

Je n'oublierai pas de remercier la « dream team » des thésards de ST et du CEA que j'ai côtoyé durant mes trois années de thèse (Julien Le Coz, Dimitri Soussan, Thomas

Benoist, Pierre-Emmanuel Gaillardon, ...). Merci à vous pour la bonne ambiance que vous avez su créer.

Enfin, il me tient à cœur de remercier ma chère et tendre, Mlle Katia Leduc, pour m'avoir toujours soutenu et supporté durant ces trois années de thèse. Egaleme nt un grand merci à elle pour ses relectures assidues de ce manuscrit de thèse (qui fut pour elle un vrai calvaire !). Je remercie aussi tout le reste de ma famille, ainsi que mes amis, pour m'avoir toujours soutenu au cours de ces trois années de thèse.

# Résumé

Avec la percée des téléphones portables et des tablettes numériques intégrant des fonctions avancées de traitement de l'information, une croissance exponentielle du marché des systèmes sur puce (SoC pour *System On Chip* en anglais) est attendue jusqu'en 2016. Ces systèmes, conçus dans les dernières technologies nanométriques, nécessitent des vitesses de fonctionnement très élevées pour offrir des performances incroyables, tout en consommant remarquablement peu. Cependant, concevoir de tels systèmes à l'échelle nanométrique présente de nombreux enjeux en raison de l'accentuation d'effets parasites avec la miniaturisation des transistors MOS sur silicium massif, rendant les circuits plus sensibles aux phénomènes de fluctuations des procédés de fabrication et moins efficaces énergétiquement.

La technologie planaire complètement désertée (FD pour *Fully depleted* en anglais) SOI, offrant un meilleur contrôle du canal du transistor et une faible variabilité de sa tension de seuil grâce à un film de silicium mince et non dopé, apparaît comme une solution technologique très bien adaptée pour répondre aux besoins de ces dispositifs nomades alliant hautes performances et basse consommation. Cependant pour que cette technologie soit viable, il est impératif qu'elle réponde aux besoins des plateformes de conception basse consommation.

Un des défis majeurs de l'état de l'art de la technologie planaire FDSOI est de fournir les différentes tensions de seuils ( $V_T$ ) requises pour la gestion de la consommation et de la vitesse. Le travail de recherche de thèse présenté dans ce mémoire a contribué à la mise en place d'une plateforme de conception multi- $V_T$  en technologie planaire FDSOI sur oxyde enterré mince (UTB pour *Ultra Thin Buried oxide* en anglais) pour les nœuds technologiques sub-32 nm. Pour cela, les éléments clefs des plateformes de conception basse consommation en technologie planaire sur silicium massif ont été identifiés. A la suite de cette analyse, différentes architectures de transistors MOS multi- $V_T$  FDSOI ont été développées. L'analyse au niveau des circuits numériques et mémoires élémentaires a permis de mettre en avant deux solutions fiables, efficaces et de faible complexité technologique. Les performances des solutions apportées ont été évaluées sur un chemin critique extrait du cœur de processeur ARM Cortex A9 et sur une cellule SRAM 6T haute densité (0,120  $\mu\text{m}^2$ ). Egalement, une cellule SRAM à quatre transistors est proposée, démontrant la flexibilité au niveau conception des solutions proposées.

Ce travail de recherche a donné lieu à de nombreuses publications, communications et brevets. Aujourd'hui, la majorité des résultats obtenus ont été transférés chez STMicroelectronics, où l'étude de leur industrialisation est en cours.





# *Abstract*

Driven by the strong growth of smartphone and tablet devices, an exponential growth for the mobile SoC market is forecasted up to 2016. These systems, designed in the latest nanometre technology, require very high speeds to deliver tremendous performances, while consuming remarkably little. However, designing such systems at the nanometre scale introduces many challenges due to the emphasis of parasitic phenomenon effects driven by the scaling of bulk MOSFETs, making circuits more sensitive to the manufacturing process fluctuations and less energy efficient.

Undoped thin-film planar fully depleted silicon-on-insulator (FDSOI) devices are being investigated as an alternative to bulk devices in 28nm node and beyond, thanks to its excellent short-channel electrostatic control, low leakage currents and immunity to random dopant fluctuation. This compelling technology appears to meet the needs of nomadic devices, combining high performance and low power consumption. However, to be useful, it is essential that this technology is compatible with low operating power design platforms.

A major challenge for this technology is to provide various device threshold voltages ( $V_T$ ), trading off power consumption and speed. The research work presented in this thesis has contributed to the development of a multi- $V_T$  design platform in FDSOI planar technology on thin buried oxide (UTB) for the 28nm and below technology nodes. In this framework, the key elements of the low power design platform in bulk planar technology have been studied. Based on this analysis, different architectures of FDSOI multi- $V_T$  MOSFETs have been developed. The analysis on the layout of elementary circuits, such as standard cells and SRAM cells, has put forward two reliable, efficient and low technological complexity multi- $V_T$  strategies. Finally, the performances of these solutions have been evaluated on a critical path extracted from the ARM Cortex A9 processor and a high-density 6T SRAM cell (0.120 $\mu\text{m}^2$ ). Also, an SRAM cell with four transistors has been proposed, highlighting the design flexibility brought by these solutions.

This thesis has resulted in many publications, communications and patents. Today, the majority of the results obtained have been transferred to STMicroelectronics, where the industrialization is in progress.



# Tables des matières

<b>REMERCIEMENTS .....</b>	<b>5</b>
<b>RESUME .....</b>	<b>7</b>
<b>ABSTRACT .....</b>	<b>9</b>
<b>TABLES DES MATIERES .....</b>	<b>11</b>
<b>INTRODUCTION GENERALE .....</b>	<b>13</b>
<b>CHAPITRE 1</b>	
<b>LES LIMITES DU TRANSISTOR MOS SUR SILICIUM MASSIF .....</b>	<b>19</b>
1.1. INTRODUCTION.....	21
1.2. AMELIORATIONS ET LIMITES DU TRANSISTOR MOS .....	21
1.2.1. Améliorations apportées pour continuer la loi de Moore.....	21
1.2.2. Limites liées au procédé de fabrication.....	23
1.2.3. Limites liées à la variabilité de la tension de seuil.....	24
1.3. TECHNIQUES DE CONCEPTION DE CIRCUITS POUR COMPENSER LES FAIBLESSES DU TRANSISTOR MOS .....	26
1.3.1. Techniques de réduction des courants de fuite .....	26
1.3.2. Techniques de compensation de la variabilité de la tension de seuil .....	29
1.4. CONCLUSION .....	29
1.5. REFERENCES BIBLIOGRAPHIQUES .....	31
<b>CHAPITRE 2</b>	
<b>LES DEFIS DE LA TECHNOLOGIE PLANAIRE FDSOI .....</b>	<b>35</b>
2.1. INTRODUCTION.....	37
2.2. LE TRANSISTOR MOS FABRIQUE EN TECHNOLOGIE PLANAIRE FDSOI .....	38
2.2.1. Améliorations apportées par le film mince de silicium non dopé et le BOX .....	39
2.2.2. Spécificités de la technologie planaire FDSOI basée sur un BOX mince .....	43
2.3. POINTS D'AMELIORATION ET PERSPECTIVES INDUSTRIELLES.....	50
2.3.1. Réduction de la variabilité de l'épaisseur du film de silicium non dopé.....	50
2.3.2. Réalisation d'une plateforme de conception utilisant des transistors MOS multi- $V_T$ .....	52
2.4. CONCLUSION .....	52
2.5. REFERENCES BIBLIOGRAPHIQUES .....	54
<b>CHAPITRE 3</b>	
<b>MISE EN PLACE D'UNE PLATEFORME DE CONCEPTION FDSOI .....</b>	<b>57</b>
3.1. INTRODUCTION.....	59
3.2. LA PLATEFORME DE CONCEPTION EN TECHNOLOGIE PLANAIRE SUR SILICIUM MASSIF ET SES POINTS CRITIQUES .....	59
3.2.1. Caractéristiques de la partie back-end.....	60
3.2.2. Caractéristiques de la partie front-end .....	61
3.3. DEFINITION D'UNE PLATEFORME TECHNOLOGIQUE MULTI- $V_T$ FDSOI .....	68
3.4. CONCLUSION .....	70
3.5. REFERENCES BIBLIOGRAPHIQUES .....	72
<b>CHAPITRE 4</b>	
<b>ARCHITECTURES DE TRANSISTORS MOS MULTI-<math>V_T</math> FDSOI.....</b>	<b>75</b>
4.1. INTRODUCTION.....	77
4.2. DEFINITION DE LA TENSION DE SEUIL DU TRANSISTOR MOS FDSOI.....	77
4.3. ARCHITECTURES DE TRANSISTORS MOS MULTI- $V_T$ FDSOI BASEES SUR UN SEUL TYPE DE GRILLE AVANT .....	86
4.3.1. Conditions de simulations .....	86

4.3.2. Etude de la tension de seuil .....	89
4.3.3. Etude du coefficient de couplage capacitif entre la grille avant et la grille arrière .....	94
4.3.4. Etude de la pente sous le seuil .....	104
4.3.5. Etude des courants $I_{ON}$ et $I_{OFF}$ .....	107
4.4. CONCLUSION .....	111
4.5. REFERENCES BIBLIOGRAPHIQUES .....	113
<b>CHAPITRE 5</b>	
<b>DEVELOPPEMENT DE PLATEFORMES TECHNOLOGIQUES MULTI-<math>V_T</math> FDSOI.....</b>	<b>115</b>
5.1. INTRODUCTION .....	117
5.2. ADAPTATION DU SCHEMA D'INTEGRATION STANDARD AUX ARCHITECTURES DE TRANSISTORS MOS MULTI- $V_T$ FDSOI .....	117
5.2.1. Problématiques liées à la polarisation des BP via des caissons .....	117
5.2.2. Etude de la jonction BP/caisson .....	120
5.2.3. Points à considérer en vue d'une intégration circuit.....	124
5.3. ARCHITECTURES DE TRANSISTORS MOS MULTI- $V_T$ FDSOI BASEES SUR DEUX TYPES DE GRILLE AVANT .....	126
5.3.1. Définition des travaux de sortie de la grille avant et résultats de simulations .....	126
5.3.2. Comparaison des résultats de simulations avec des résultats de mesures .....	128
5.4. PLATEFORMES TECHNOLOGIQUES CONSTITUEES DE TRANSISTORS MOS MULTI- $V_T$ FDSOI.....	130
5.4.1. Utilisation de transistors MOS multi- $V_T$ FDSOI basés sur un seul type de grille .....	130
5.4.2. Utilisation de transistors MOS multi- $V_T$ FDSOI basés sur deux types de grille .....	131
5.4.3. Points à considérer en vue de la mise en place d'une plateforme de conception .....	133
5.5. CONCLUSION .....	133
5.6. REFERENCES BIBLIOGRAPHIQUES .....	135
<b>CHAPITRE 6</b>	
<b>CO-INTEGRATION DE CELLULES STANDARD MULTI-<math>V_T</math> FDSOI .....</b>	<b>137</b>
6.1. INTRODUCTION .....	139
6.2. CELLULES STANDARD MULTI- $V_T$ FDSOI BASEES SUR UN SCHEMA D'INTEGRATION STANDARD.....	139
6.2.1. Problématique .....	139
6.2.2. Solutions permettant une polarisation statique des caissons.....	142
6.2.3. Solutions permettant une polarisation dynamique des caissons.....	145
6.2.4. Points d'amélioration .....	149
6.3. CELLULES STANDARD MULTI- $V_T$ FDSOI BASEES SUR UN SCHEMA D'INTEGRATION SPECIFIQUE .....	150
6.3.1. Apports du schéma d'intégration spécifique.....	150
6.3.2. Méthodes de polarisation des BP .....	155
6.4. CONCLUSION .....	163
6.5. REFERENCES BIBLIOGRAPHIQUES .....	165
<b>CHAPITRE 7</b>	
<b>RESULTATS DE SIMULATIONS DE CIRCUITS NUMERIQUES ET SRAM.....</b>	<b>167</b>
7.1. INTRODUCTION .....	169
7.2. RESULTATS DE SIMULATIONS DE CIRCUITS NUMERIQUES .....	169
7.2.1. Conditions de simulations .....	169
7.2.2. Etude des résultats de simulations d'un chemin critique.....	170
7.3. RESULTATS DE SIMULATIONS DE CIRCUITS SRAM .....	177
7.3.1. Cellule SRAM 6T .....	177
7.3.2. Cellule SRAM 4T .....	183
7.4. CONCLUSION .....	188
7.5. REFERENCES BIBLIOGRAPHIQUES .....	190
<b>CONCLUSION GENERALE .....</b>	<b>191</b>
<b>PRODUCTIONS SCIENTIFIQUES .....</b>	<b>197</b>

## *Introduction générale*



Avec l'arrivée, sur le marché du mobile, des téléphones portables et des tablettes numériques intégrant des fonctions avancées de traitement de l'information, les analystes s'accordent pour prédire une croissance exponentielle du marché des systèmes sur puce (SoC pour *System On Chip* en anglais) jusqu'en 2016. Ces systèmes, conçus dans les dernières technologies nanométriques, nécessitent des vitesses de fonctionnement très élevées pour offrir des performances incroyables, tout en consommant remarquablement peu. Cette tendance n'est pas sans rappeler celle qu'avaient connue les processeurs des ordinateurs de bureau dans les années 90, mais avec une forte contrainte de la gestion de la consommation en plus. Aujourd'hui, les SoC embarqués dans les téléphones portables commercialisés fonctionnent à une fréquence d'horloge de 1,1 GHz. Pour les prochaines générations, des fréquences supérieures à 2 GHz sont attendues dans le nœud technologique 28 nm.

Concevoir de tels systèmes à l'échelle deca-nanométrique n'est pas triviale et présente de nombreux enjeux en raison de la dégradation des caractéristiques électriques des transistors MOS sur silicium massif. En effet, en raison des géométries proches de l'échelle atomique, de nombreux phénomènes physiques parasites, qui ne sont plus négligeables, viennent dégrader le comportement des transistors, rendant les circuits sensibles aux phénomènes de fluctuations des procédés de fabrication et énergétiquement peu efficaces. Pour pallier aux limites naturelles de la technologie MOS sur silicium massif, de nombreuses solutions technologiques et circuits ont été développés. Cependant, aujourd'hui, cette technologie, utilisée depuis plus de trente ans, fait face à un vrai mur qu'est la dégradation de l'électrostatique des transistors, l'empêchant de répondre aux besoins du marché très agressif du mobile.

Pour adresser ce marché qui allie haute vitesse et basse consommation, Intel a officiellement annoncé le 4 mai 2011 la mise en production de transistors MOS de type FinFET pour le nœud technologique 22 nm. Alors que d'autres sociétés, telles que STMicroelectronics, souhaitent s'orienter vers des transistors MOS de type FDSOI sur oxyde enterré (BOX) mince. Ces transistors MOS à film mince offrent un meilleur contrôle électrostatique de la grille sur le canal, améliorant ainsi la pente sous le seuil et les effets canaux courts ( $V_T$  roll-off, DIBL). Il en résulte un courant effectif plus élevé (à courant de fuite donné) lors de la transition des portes logiques par rapport à celui des transistors MOS sur silicium massif. De plus, l'utilisation d'un film mince non dopé permet à ces transistors

MOS de présenter moins de fluctuations au niveau de la tension de seuil, permettant ainsi d'atteindre une tension minimale de fonctionnement des circuits globalement plus faible. Ce qui est essentiel pour la réduction de la consommation.

La technologie FinFET se différencie de celle du FDSOI par son architecture verticale en rupture avec la technologie planaire sur silicium massif. Bien que la technologie FinFET soit, d'un point de vue électrostatique, très séduisante, la technologie FDSOI présente l'avantage d'être également planaire, et donc moins en rupture par rapport à la technologie planaire sur silicium massif. Ainsi, le portage de circuits sur silicium massif en FDSOI peut être réalisé de manière quasiment directe. D'un point de vue layout, les deux technologies sont très similaires, la différence se fait essentiellement au niveau du procédé de fabrication. D'autre part, l'utilisation d'un BOX mince permet une modulation de la tension de seuil des transistors par la face arrière, de manière similaire aux transistors MOS sur silicium massif. Ceci offre la possibilité de réutiliser la plupart des techniques de gestion de la consommation et de la compensation de procédé de fabrication déjà développées pour des circuits sur silicium massif. Aujourd'hui, un des enjeux majeurs de la technologie planaire FDSOI, au même titre que pour la technologie FinFET, réside dans le développement d'une plateforme technologique multi- $V_T$ . En effet, en technologie planaire sur silicium massif, la tension de seuil des transistors est ajustée par dopage, ce qui n'est pas compatible avec la volonté de développer une technologie à film mince non dopé.

L'objectif du travail de recherche, mené tout au long de cette thèse, a permis de contribuer à la mise en place d'une plateforme de conception multi- $V_T$  en technologie planaire FDSOI qui soit fiable, efficace et de faible complexité pour les nœuds technologiques sub-32 nm. Ce travail a été réalisé dans le cadre d'un projet européen MEDEA+, appelé DECISIF (*DEvice and CIrcuit performance boosted through Silicon material Fabrication*), en collaboration avec la société STMicroelectronics. Le travail réalisé a porté sur la physique du composant, les procédés de fabrication et la conception de circuit. Ce travail de recherche a donné lieu à de nombreuses publications, communications et brevets dont les références sont regroupées à la fin de ce manuscrit de thèse. Aujourd'hui la majorité des résultats obtenus ont été transférés chez STMicroelectronics, où l'étude de leur industrialisation est en cours.



Dans le premier chapitre, nous allons présenter les principales améliorations qui ont été apportées au transistor MOS sur silicium massif au cours de ces dix dernières années. Puis, nous identifierons les limites auxquelles il fait face pour des nœuds technologiques sub-32 nm.

Dans le second chapitre, nous allons présenter les atouts de la technologie planaire FDSOI par rapport à la technologie planaire sur silicium massif, mais aussi par rapport à la technologie FinFET, pour continuer à améliorer les performances des circuits dans les nœuds technologiques avancés. Ainsi, nous passerons en revue les différentes architectures de transistors qui ont déjà été développées. Puis, nous identifierons les points restant à améliorer pour développer une architecture de transistors qui soit avantageuse par rapport à celle des transistors MOS sur silicium massif.

Dans le troisième chapitre, nous allons présenter les différentes parties et les différents éléments qui composent une plateforme de conception. Puis, nous allons identifier quels sont les éléments critiques qui pourraient bénéficier avantageusement de la technologie planaire FDSOI.

Dans le quatrième chapitre, nous allons présenter des nouvelles architectures de transistors MOS multi- $V_T$  basées sur un seul type de grille avec un travail de sortie *mid-gap* et un film mince de silicium non dopé. Ainsi, nous allons montrer qu'il est possible de réaliser de tels types de transistors sans dégrader la variabilité de la tension de seuil et sans augmenter la complexité et le coût du procédé de fabrication.

Dans le cinquième chapitre, nous allons montrer qu'il est possible, grâce aux architectures de transistors MOS multi- $V_T$  développées dans le chapitre quatre, de constituer des plateformes technologiques compatibles avec une plateforme de conception.

Dans le sixième chapitre, nous allons présenter des solutions de co-intégration des cellules standard multi- $V_T$  utilisant les transistors des plateformes technologiques du chapitre cinq. Ainsi, plusieurs solutions basées sur deux schémas d'intégration (standard et spécifique) seront proposées. Les avantages et inconvénients seront discutés.

Enfin, dans le septième et dernier chapitre, nous allons présenter les résultats de simulation d'un chemin critique extrait du cœur de processeur ARM Cortex A9 et d'une cellule SRAM 6T de la société STMicroelectronics. Ainsi, nous pourrions évaluer le gain obtenu en technologie planaire FDSOI par rapport à la technologie planaire sur silicium massif pour le nœud technologique 28 nm. Nous allons aussi présenter une cellule SRAM 4T en technologie planaire FDSOI, montrant ainsi tout l'intérêt et la flexibilité de cette technologie pour ce genre de circuit.

## Chapitre 1

---

# *Les limites du transistor MOS sur silicium massif*



## 1.1. Introduction

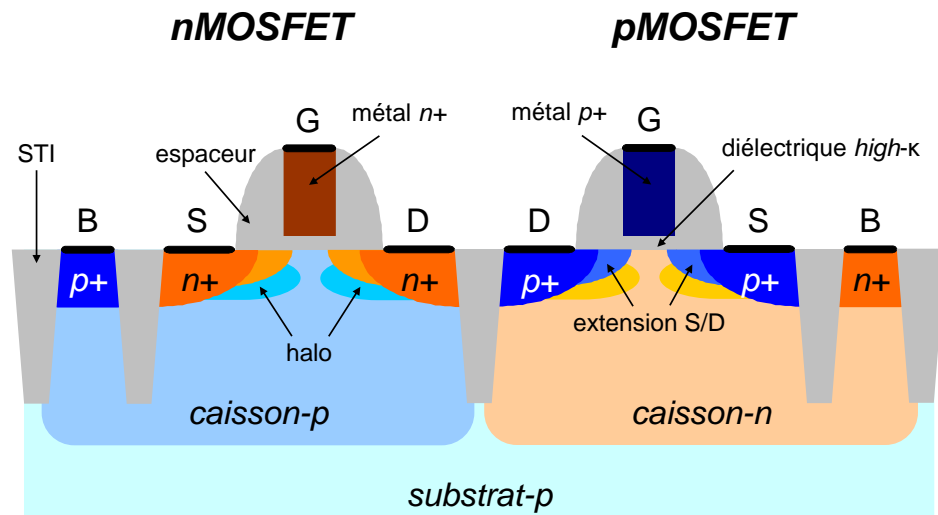
Depuis près de quarante ans, le transistor MOS sur silicium massif est utilisé comme brique de base pour la réalisation de circuits intégrés. Cette longévité est avant tout due à la faculté de miniaturisation de ce dispositif et à ses effets. En effet, à chaque nouveau nœud technologique, la densité d'intégration du transistor MOS devient de plus en plus forte et les circuits intégrés de plus en plus performants. A cela vient aussi s'ajouter un procédé de fabrication planaire qui permet de réaliser de tels dispositifs à un coût très compétitif. Néanmoins, depuis que la longueur de grille des transistors MOS est devenue inférieure à 100 nm, de nombreux effets parasites, appelés effets canaux courts, sont apparus. Ces effets ont pour conséquence de limiter le gain en performance apporté à chaque nouveau nœud technologique et d'augmenter, de manière non négligeable, les courants de fuite des transistors, et de manière générale la consommation statique des circuits. De plus, l'augmentation de la variabilité de la tension de seuil vient, quant à elle, limiter la réduction de la tension d'alimentation des circuits, et donc empêcher la réduction de leur consommation statique. Pour limiter l'influence de ces effets canaux courts et de la variabilité de la tension de seuil, de nombreuses améliorations ont été apportées aussi bien au niveau transistor qu'au niveau circuits.

L'objectif de ce premier chapitre est de passer en revue les améliorations les plus significatives et d'identifier les principales limites du transistor MOS sur silicium massif dans les nœuds technologiques avancés.

## 1.2. Améliorations et limites du transistor MOS

### 1.2.1. Améliorations apportées pour continuer la loi de Moore

Au cours de son évolution, le transistor MOS fabriqué en technologie planaire sur silicium massif a fait l'objet de nombreuses améliorations (Figure 1.1.).

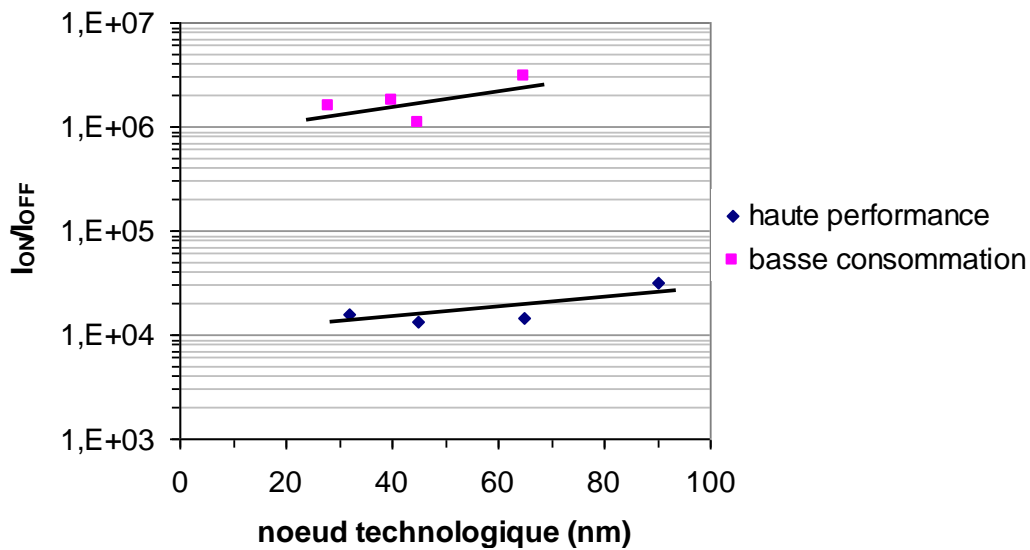


**Figure 1.1. :** Vue en coupe schématique d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) fabriqués en technologie planaire sur silicium massif dans un nœud avancé.

Parmi toutes ces améliorations, les plus significatives ont été introduites lors de ces dix dernières années. En effet, à partir du nœud technologique 90 nm, des solutions ont dû être trouvées pour remédier à la faible augmentation des performances par la simple loi de réduction d'échelle du transistor MOS [Dennard'74] [Baccarani'84]. La première de ces améliorations a consisté à introduire une contrainte mécanique sur le canal afin d'augmenter la mobilité des porteurs de charges, et donc le courant de fonctionnement ( $I_{ON}$ ) [Thompson'02] [Bai'04]. Puis, dans le but de diminuer le courant de fuite de grille et d'améliorer le contrôle électrostatique du canal par la grille, un nouvel isolant de grille a été introduit. Il s'agit du  $\text{HfO}_2$ , un matériau isolant avec une constante diélectrique élevée ( $\epsilon_{\text{isolant}} > 40$ ), communément appelée *high-κ*. Au même moment, le matériau de grille en polysilicium a été remplacé par un matériau métallique permettant de supprimer l'effet de poly-déplétion [Mistry'07] [Natarajan'08]. Cet effet a pour conséquence d'augmenter l'épaisseur équivalente de l'oxyde de grille, et donc de diminuer le contrôle électrostatique du canal par la grille. Autre amélioration notable qui concerne les effets canaux courts, il s'agit de l'extension des zones de source/drain (S/D) moins dopées vers le canal, communément appelées LDD (*Lightly Doped Drain* en anglais). Ce qui a pour effet de limiter l'extension de la zone de charges d'espace (ZCE) des S/D dans le caisson, et donc d'améliorer le contrôle électrostatique du canal par la grille. Des implantations de même nature que le caisson, communément appelées *halo*, sont aussi réalisées au niveau des jonctions S/D-caisson sous le canal pour empêcher la ZCE de la source et celle du drain de se rejoindre et de créer un canal parasite. Ces implantations ont aussi un effet négatif puisque leur fort niveau de dopage a

pour effet d'augmenter le courant GIDL (*Gate-Induced Drain Leakage* en anglais) au niveau des jonctions S/D-caisson [Yuan'08]. Il est à noter que ce comportement a tendance à se renforcer à chaque nouveau nœud technologique à cause de l'augmentation du niveau de dopage des caissons.

Malgré tous les bénéfices que peuvent apporter ces améliorations, le contrôle électrostatique du canal par la grille se dégrade de plus en plus à chaque nouveau nœud technologique à cause des effets canaux courts. Ce qui a pour conséquence d'augmenter le courant de fuite ( $I_{OFF}$ ) et donc de dégrader le rapport de courants  $I_{ON}/I_{OFF}$  (Figure 1.2.).



**Figure 1.2. :** Evolution du rapport de courants  $I_{ON}/I_{OFF}$  de transistors MOS fabriqués en technologie planaire sur silicium massif en fonction du nœud technologique.

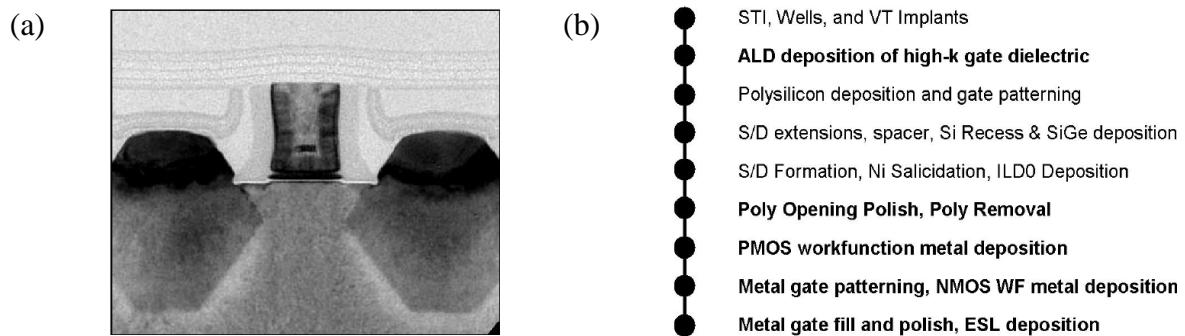
De plus, le ralentissement de la réduction de la tension d'alimentation ( $V_{DD}$ ) dans le but d'améliorer le courant de fonctionnement empêche aussi la diminution de la puissance statique ( $P_{stat}$ ) qui est proportionnelle à cette tension d'alimentation, comme le décrit l'équation suivante :

$$P_{stat} \propto V_{DD} \times I_{OFF} \quad (1)$$

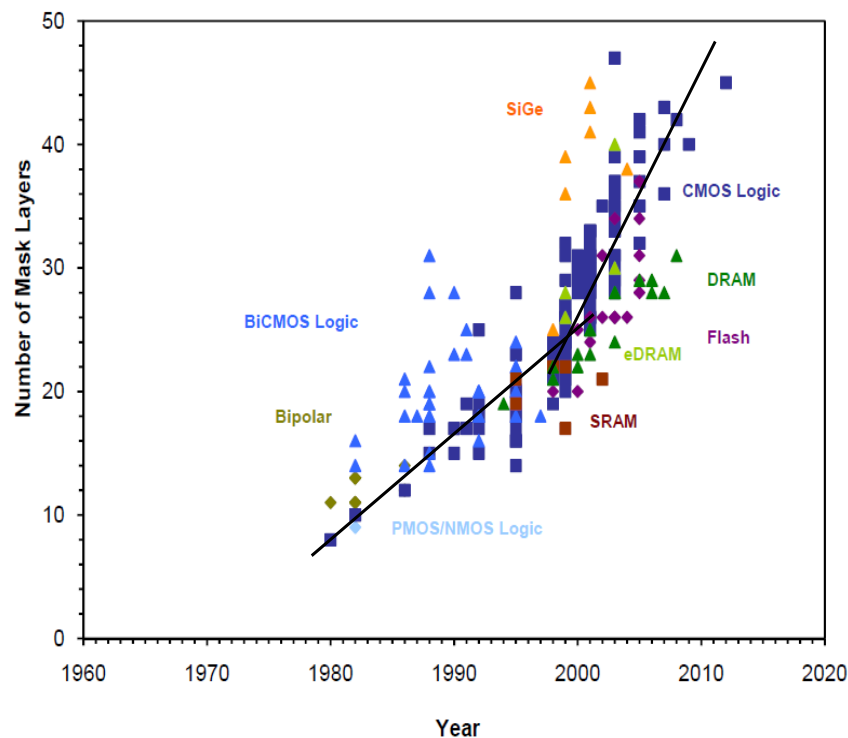
### 1.2.2. Limites liées au procédé de fabrication

Toutes les améliorations citées précédemment ont aussi pour conséquence d'augmenter, de manière non négligeable, la complexité et le coût du procédé de fabrication (Figure 1.3.). Si bien que pour le nœud technologique 22 nm, le nombre de masques est

estimé aux alentours de cinquante et le nombre d'étapes du procédé de fabrication à plus de trois cents (Figure 1.4.) [ICKnowledge'08] [ICKnowledge'11].



**Figure 1.3. :** (a) Vue en coupe TEM d'un transistor pMOS fabriqué en technologie planaire sur silicium massif dans le nœud technologique 45 nm [Mistry'07]. (b) Flot du procédé de fabrication *front-end* de transistors MOS en technologie planaire sur silicium massif dans le nœud technologique 45 nm [Mistry'07].



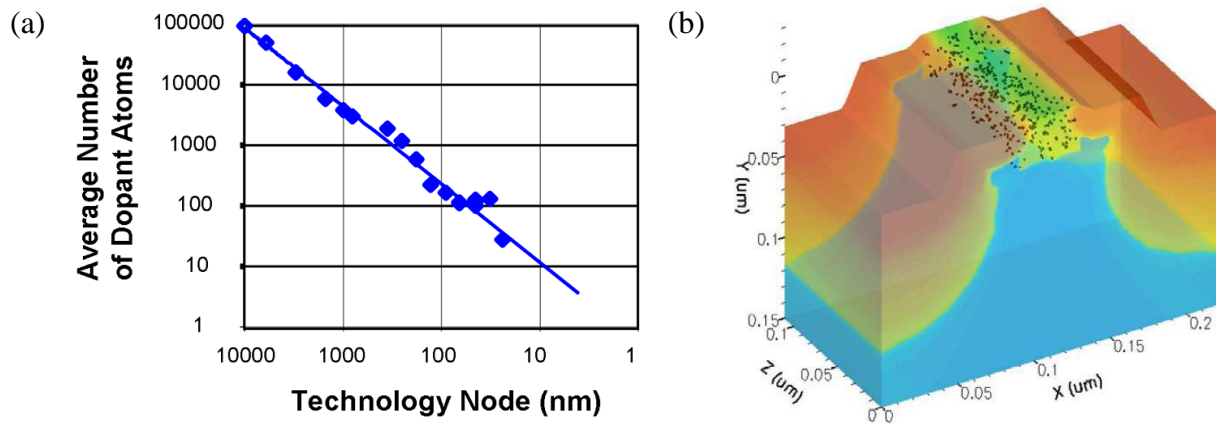
**Figure 1.4. :** Evolution du nombre de masques servant à la fabrication de différents types de circuits au cours de ces trente dernières années [ICKnowledge'08].

### 1.2.3. Limites liées à la variabilité de la tension de seuil

En plus des effets canaux courts, un autre phénomène vient aussi dégrader les caractéristiques électriques du transistor MOS. Il s'agit de la réduction du nombre de dopants dans le canal avec la réduction de la longueur de grille. En effet, un transistor MOS ayant une

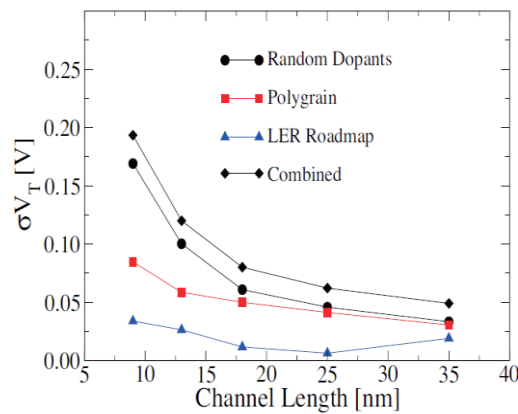


longueur de grille inférieure à 100 nm possède seulement quelques dizaines de dopants dans son canal (Figure 1.5.).



**Figure 1.5. :** (a) Evolution du nombre moyen de dopants dans le canal de transistors MOS fabriqués en technologie planaire sur silicium massif en fonction du nœud technologique [Kuhn'08]. (b) Vue 3D d'un modèle numérique de transistor MOS simulant le nombre de dopant dans le canal dans les nœuds technologiques 65 nm et 45 nm [Kuhn'07].

La tension de seuil ( $V_T$ ) est définie, en partie, par ce nombre de dopants dans le canal, ce qui la rend très sensible à leur variation. Cette variation aléatoire, connue sous le nom de RDF (*Random Dopant Fluctuation* en anglais), est devenue aujourd'hui la principale source de variabilité de la tension de seuil ( $\sigma V_T$ ) (Figure 1.6.) [Mizuno'94] [Asenov'07].



**Figure 1.6. :** Evolution de la variabilité de la tension de seuil ( $\sigma_{VT}$ ) et de ses composantes en fonction de la longueur de grille d'un transistor MOS fabriqué en technologie planaire sur silicium massif [Asenov'07].

Ce phénomène a pour conséquence de limiter la diminution de la tension d'alimentation ( $\sim 0,8$  V) dans les circuits critiques en termes de variabilité, comme les circuits SRAM (cf. Chapitre 3). Ce qui empêche aussi la réduction de la puissance statique des circuits (cf. équation (1)).

### 1.3. Techniques de conception de circuits pour compenser les faiblesses du transistor MOS

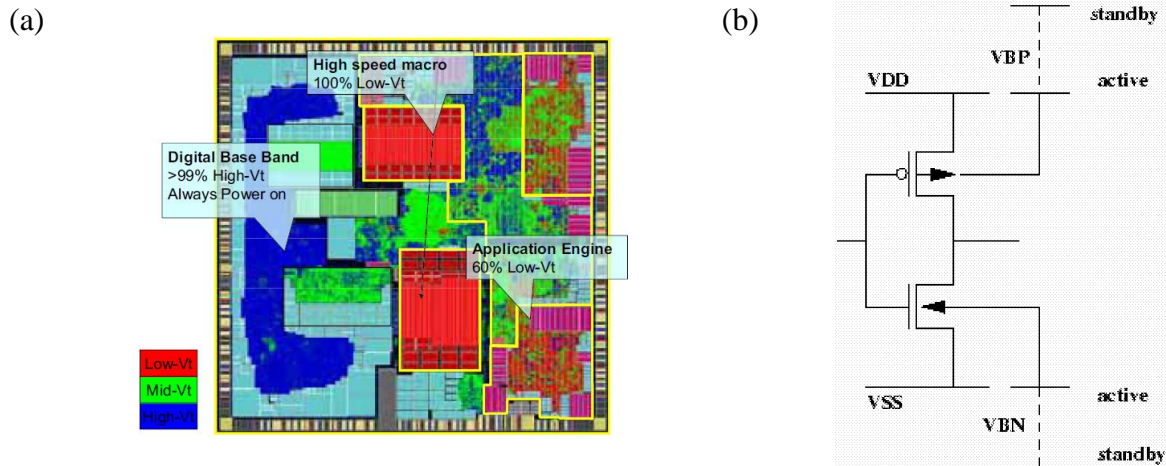
Malgré toutes ces avancées technologiques, des techniques de réduction des courants de fuite et de compensation de la variabilité de la tension de seuil ont dû être mises en place au niveau circuit pour pallier aux faiblesses du transistor MOS.

#### 1.3.1. Techniques de réduction des courants de fuite

Pour réduire les courants de fuite au niveau circuit, différentes techniques ont été développées au cours de ces vingt dernières années. Ces techniques peuvent être classées en deux catégories : les techniques de modulation de la tension de seuil et les techniques de gestion de l'alimentation des circuits.

Dans la première catégorie, deux méthodes peuvent être utilisées pour moduler la tension de seuil. La première méthode consiste à ajuster la tension de seuil par modulation de l'épaisseur de l'oxyde de grille, de la longueur de grille ou du dopage du canal [Sirisantana'00]. Dans les circuits numériques, trois types de transistors sont alors utilisés. Ces transistors sont caractérisés par le niveau de leur tension de seuil : bas  $V_T$ , dit LVT (*Low-VT* en anglais), moyen  $V_T$ , dit RVT (*Regular-VT* en anglais) et haut  $V_T$ , dit HVT (*High-VT* en anglais). Les transistors LVT sont utilisés pour réduire le temps de propagation des chemins critiques alors que les transistors RVT et HVT sont utilisés dans le reste du circuit numérique pour minimiser la consommation (Figure 1.7.a) [Yamashita'00] [Srivastav'05] [Kunie'08]. Cette méthode est devenue si efficace que la grande majorité des plateformes technologiques de l'industrie disposent aujourd'hui de tels transistors [Yeap'02] [Arnaud'04] [Bœuf'04] [Tavel'05] [Gwoziecki'08] [Watanabe'08] [Arnaud'08] [Tomimatsu'09] [Arnaud'09]. La deuxième méthode consiste à ajuster la tension de seuil par modulation de la tension de polarisation des caissons des transistors ( $V_B$ ) [Kuroda'96a] [Kuroda'96b] [Oowaki'98] [Keshavarzi'99]. Le principe est d'appliquer une différence de potentiel négative entre la source et le caisson ( $V_{SB} < 0$ ) des transistors nMOS et positive ( $V_{SB} > 0$ ) entre la source et le caisson des transistors pMOS. De cette manière, une tension plus élevée que celle de l'alimentation des circuits est utilisée pour polariser le caisson-n des transistors pMOS ( $V_B^{pMOS} > V_{DD}$ ) alors qu'une tension inférieure à celle de la masse est utilisée pour polariser le

caisson-p des transistors nMOS ( $V_B^{nMOS} < 0$ ) (Figure 1.7.b). Ce qui a pour effet d'augmenter la tension de seuil, et ainsi de diminuer les courants de fuite lorsque le circuit n'est pas en activité (mode *standby*). Cette méthode qui permet de polariser les caissons en mode inverse est communément appelée RBB (*Reverse Body Biasing* en anglais).



**Figure 1.7. : (a) Image d'une puce conçue avec des transistors MOS multi- $V_T$  [Kunie'08]. (b) Schéma de principe d'un circuit numérique CMOS utilisant des transistors avec modulation de la tension de polarisation de leur caisson afin de réduire les courants de fuite en mode *standby* [Roy'03].**

Dans la deuxième catégorie, deux méthodes peuvent être exploitées pour gérer l'alimentation des circuits. La première méthode consiste à placer des transistors MOS qui joueront le rôle d'interrupteur entre les circuits et leur alimentation (Figure 1.8. et Figure 1.9.) [Mutoh'93] [Mutoh'95] [Mutoh'99]. Cette méthode permet de diminuer drastiquement les courants de fuites lorsque ces transistors, communément appelés interrupteurs de puissance, sont désactivés. En effet, dans ce mode, dit *standby*, leur forte résistance S/D ( $R_{OFF}$ ) va provoquer une forte chute de tension entre l'alimentation et les circuits. Alors que dans le mode actif, leur faible résistance S/D ( $R_{ON}$ ) va laisser passer normalement le courant entre l'alimentation et le circuit. Ainsi, des transistors rapides de type LVT, présentant de forts courants de fuites, peuvent être utilisés dans le cœur des circuits puisqu'ils seront virtuellement déconnectés de l'alimentation en mode *standby* par les interrupteurs de puissance. Ainsi, la majorité des courants de fuite provient alors des ces dispositifs de coupure qui ont généralement une longueur de grille plus grande.

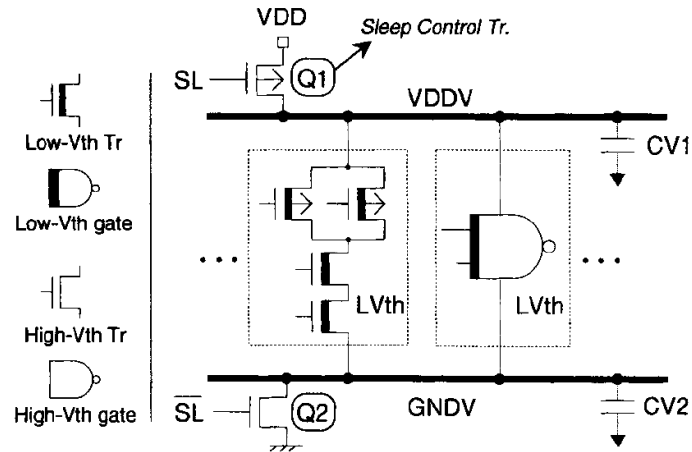


Figure 1.8. : Schéma de principe d'un circuit numérique utilisant des interrupteurs de puissance pour la coupure des alimentations  $V_{DD}$  et  $V_{SS}$  [Mutoh'95].

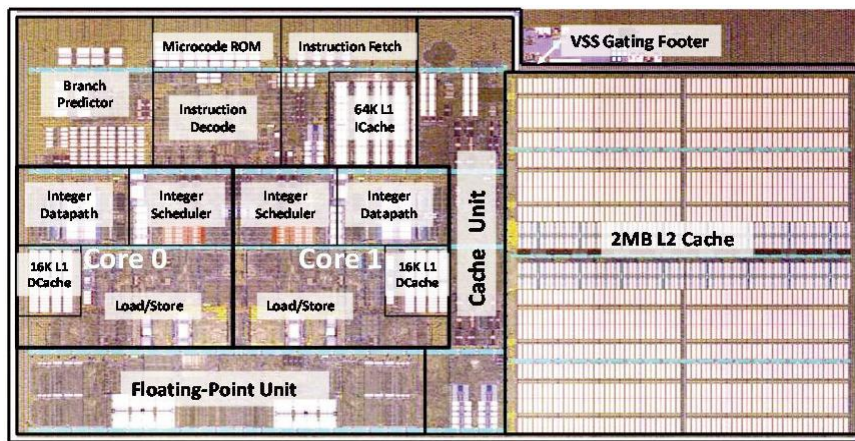


Figure 1.9. : Image d'une puce utilisant des interrupteurs de puissance pour la coupure de l'alimentation  $V_{SS}$  représentés par l'anneau blanc autour du cœur [Fischer'11].

La deuxième méthode consiste à réduire la tension d'alimentation des circuits ou à augmenter leur tension de masse ( $V_{SS}$ ) de manière à réduire les courants de fuite en mode *standby*. Ces techniques, respectivement appelées RSB (*Reverse Source Biasing* en anglais) et RDB (*Reverse Drain Biasing* en anglais), sont aussi utilisées pour les circuits SRAM. Ainsi, en maintenant les tensions de polarisation des caissons à leur niveau initial, cela permet de réduire encore plus efficacement les courants de fuites des transistors nMOS dans le cas du RSB, et des transistors pMOS dans le cas du RDB [Thomas'08]. En effet, dans ces cas là, le caisson des transistors est polarisé en mode inverse, ce qui permet d'augmenter la tension de seuil.

### 1.3.2. Techniques de compensation de la variabilité de la tension de seuil

Il est à noter que des techniques de compensation de la variabilité de la tension de seuil au niveau circuit ont été développées sur le principe de la modulation dynamique de la tension de polarisation des caissons des transistors, communément appelé ABB (*Adaptive Body Biasing* en anglais). Cela a pour effet d'améliorer significativement les performances d'une puce, et ainsi d'augmenter leur rendement [Tschanz'02a] [Tschanz'02b]. Des techniques utilisant le principe de la modulation dynamique de la tension d'alimentation ont aussi été mises au point pour compenser ces problèmes de variabilité [Tschanz'05].

## 1.4. Conclusion

Alors que le transistor MOS fabriqué en technologie planaire sur silicium massif est confronté à de sérieux problèmes de courants de fuite et de variabilité de la tension de seuil depuis le nœud technologique 65 nm, les circuits intégrés, dont il est la base, requièrent de plus en plus de performances tout en minimisant le plus possible leurs consommation statique. Malgré toutes les solutions mises en œuvre au niveau transistor (diélectriques *high- $\kappa$* , *halo*, ...), il sera difficile pour le transistor MOS en technologie planaire sur silicium massif de surmonter les défis qui l'attendent dans les nœuds technologiques sub-32 nm.

Même si les techniques de réduction des courants de fuite et de compensation de la variabilité de la tension de seuil s'avèrent aujourd'hui relativement efficaces, leur intégration complexifie la conception et la fabrication des circuits. Notamment l'intégration des techniques nécessitant la gestion de plusieurs sources d'alimentation, que ce soit pour la polarisation des caissons des transistors ou l'alimentation du cœur des circuits. De plus, à cause de l'augmentation des effets canaux courts qui ont pour conséquence de diminuer le coefficient de modulation de la tension de seuil, les techniques basées sur ce principe s'avéreront de moins en moins efficaces dans les nœuds technologiques sub-32 nm [Narendra'99].

Ainsi, une technologie offrant la possibilité de réaliser des transistors MOS avec un bon contrôle électrostatique du canal par la grille, une faible variation de la tension de seuil et un procédé de fabrication simplifié permettrait de remplacer avantageusement la technologie planaire sur silicium massif. De plus, cela permettrait aussi de limiter au minimum l'utilisation des techniques de réduction de courants de fuite et de compensation de la tension de seuil, couteuses en surface.



## 1.5. Références bibliographiques

- [Aime'07] D. Aimé et al., *Fully-Depleted SOI CMOS Technology using  $W_xN$  metal gate and  $HfSi_xO_yN_z$  high-k dielectric*, ESSDERC, 2007, pp. 255-258
- [Arnaud'04] F. Arnaud et al., *Low Cost 65nm CMOS Platform for Low Power & General Purpose Applications*, Symposium on VLSI Technology Digest of Technical Papers, 2004, pp. 10-11
- [Arnaud'08] F. Arnaud et al., *32nm General Purpose Bulk CMOS technology for High Performance Applications at Low Voltage*, IEDM, 2008
- [Arnaud'09] F. Arnaud et al., *Competitive and Cost Effective high-k based 28nm CMOS Technology for Low Power Applications*, IEDM, 2009, pp. 651-654
- [Asenov'07] Asen Asenov, *Simulation of Statistical Variability in Nano MOSFETs*, Symposium on VLSI Technology Digest of Technical Papers, pp. 86-87
- [Baccarani'84] Giorgio Baccarani, Matthew R. Wordeman, Robert H. Dennard, *Generalized Scaling Theory and Its Application to a  $1/4$  Micrometer MOSFET Design*, IEEE Transactions on Electron Devices, vol. 31, no. 4, April 1984, pp. 452-462
- [Bai'04] P. Bai et al., *A 65nm Logic Technology Featuring 35nm Gate Lengths, Enhanced Channel Strain, 8 Cu Interconnect Layers, Low-k ILD and  $0.57\mu m^2$  SRAM Cell*, IEDM, 2004, pp. 657-660
- [Bœuf'04] F. Bœuf et al., *A Conventional 45nm CMOS node Low-Cost Platform for General Purpose and Low Power Applications*, IEDM, 2004, pp. 425-428
- [Dennard'74] Robert H. Dennard, Fritz H. Gaensslen, Hwa-Nien Yu, V. Leo Rideout, Ernest Bassous, Andre R. LeBlanc, *Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions*, IEEE Journal of Solid-State Circuits, vol. 9, no. 5, October 1974, pp. 256-268
- [Fischer'11] Tim Fischer et al., *Design Solutions for the Bulldozer 32nm SOI 2-core processor module in an 8-core CPU*, ISSCC, 2011, pp. 78-80
- [Gwoziecki'08] R. Gwoziecki, S. Kohler, F. Arnaud, *32nm Device Architecture Optimization for Critical Path Speed Improvement*, Symposium on VLSI Technology Digest of Technical Papers, 2008, pp. 180-181
- [ICKnowledge'08] Scotten W. Jones, *Exponential Trends in the Integrated Circuit Industry*, ICKnowledge, February 12<sup>th</sup> 2008  
<http://www.icknowledge.com/trends/Exponential3.pdf>
- [ICKnowledge'11] Rapport d'ICKnowledge commandé par Soitec, 8 juillet 2011



[http://www.icknowledge.com/misc\\_technology/SoitecReport20110709.pdf](http://www.icknowledge.com/misc_technology/SoitecReport20110709.pdf)

- [Jan'08] C.-H. Jan et al., *A 45nm Low Power System-On-Chip Technology with Dual Gate (Logic and I/O) High-k/Metal Gate Strained Silicon Transistors*, IEDM, 2008
- [Keshavarzi'99] Ali Keshavarzi, Siva Narendra, Shekhar Borkar, Charles Hawkins, Kaushik Roy, Vivek De, *Technology Scaling Behavior of Optimum Reverse Body Bias for Standby Leakage Power Reduction in CMOS IC's*, ISLPED, 1999, pp. 252-254
- [Kuhn'07] K. J. Kuhn, *Reducing variation in advanced logic technologies: Approaches to process and design for manufacturability of nanoscale CMOS*, IEDM, 2007, pp. 471-474
- [Kuhn'08] Kelin Kuhn et al., *Managing Process Variation in Intel's 45nm CMOS Technology*, Intel Technology Journal, vol. 12, no. 2, June 2008, pp. 93-109
- [Kunie'08] Shuichi Kunie, Takefumi Hiraga, Tatsuya Tokue, Sunao Torii, Taku Ohsawa, *Low power architecture and design techniques for mobile handset LSI Medity<sup>TM</sup> M2.*, ASPDAC, 2008, pp. 748-753
- [Kuroda'96a] Tadahiro Kuroda et al., *A 0.9V 150MHz 10mW 4mm<sup>2</sup> 2-D Discrete Cosine Transform Core Processor with Variable-Threshold-Voltage Scheme*, ISSCC, 1996, pp. 166-168
- [Kuroda'96b] Tadahiro Kuroda et al., *A 0.9-V, 150-MHz, 10-mW, 4 mm<sup>2</sup>, 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme*, IEEE Journal of Solid-State Circuits, vol. 31, no. 11, November 1996, pp. 1770-1779
- [Mistry'07] K. Mistry et al., *A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging*, IEDM, 2007, pp. 247-250
- [Mizuno'94] Tomohisa Mizuno, Jun-ichi Okamura, Akira Toriumi, *Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation of Channel Dopant Number in MOSFET's*, IEEE Transactions on Electron Devices, vol. 41, no. 11, November 1994, pp. 2216-2221
- [Mutoh'93] Shin'ichiro Mutoh, Takakuni Douseki, Yasuyuki Matsuya, Takahiro Aoki, Junzo Yamada, *1V High-Speed Digital Circuit Technology with 0.5 $\mu$ m Multi-Threshold CMOS*, ASIC, 1993, pp. 186-189
- [Mutoh'95] Shin'ichiro Mutoh, Takakuni Douseki, Yasuyuki Matsuya, Takahiro Aoki, Satoshi Shigematsu, Junzo Yamada, *1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS*, IEEE Journal of Solid-State Circuits, vol. 30, no. 8, August 1995, pp. 847-854



- [Mutoh'99] Shin'ichiro Mutoh, Satoshi Shigematsu, Yoshinori Gotoh, Shinsuke Konaka, *Design Method of MTCMOS Power Switch for Low-Voltage High-Speed LSIs*, ASPDAC, 1999, pp. 113-116
- [Natarajan'08] S. Natarajan et al., *A 32nm Logic Technology Featuring 2<sup>nd</sup>-Generation High-k + Metal-Gate Transistors, Enhanced Channel Strain and 0.171 $\mu\text{m}^2$  SRAM Cell Size in a 291Mb Array*, IEDM, 2008
- [Narendra'99] Siva Narendra, Dimitri Antoniadis, Vivek De, *Impact of Using Adaptive Body Bias to Compensate Die-to-die Vt Variation on Within-die Vt variation*, ISLPED, 1999, pp. 229-232
- [Oowaki'98] Y. Oowaki et al., *A Sub-0.1 $\mu\text{m}$  Circuit Design with Substrate-over-Biasing*, ISSCC, 1998, pp. 88-90
- [Roy'03] Kaushik Roy, Saibal Mukhopadhyay, Hamid Mahmoodi-Meimand, *Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits*, Proceedings of the IEEE, vol. 91, no. 2, February 2003, pp. 305-327
- [Sirisantana'00] Naran Sirisantana, Liqiong Wei, Kaushik Roy, *High-Performance Low-Power CMOS Circuits Using Multiple Channel Length and Multiple Oxide Thickness*, ICCD, 2000, pp. 227-232
- [Srivastav'05] Meeta Srivastav, Prof. S.S.S.O. Rao, Himanshu Bhatnagar, *Power Reduction Technique using Multi-vt libraries*, IDEAS, 2005, pp. 363-367
- [Thomas'08] Olivier Thomas, Marc Belleville, Richard Ferrant, *SRAM Memory Cell Leakage Reduction Design Techniques in 65nm Low Power PD-SOI CMOS*, ICICDT, 2008, pp. 51-54
- [Thompson'02] S. Thompson et al., *A 90nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 layers of Cu Interconnects, Low k ILD and 1 $\mu\text{m}^2$  SRAM Cell*, IEDM, 2002, pp. 61-64
- [Tomimatsu'09] T. Tomimatsu et al., *Cost-Effective 28-nm LSTP CMOS using Gate-First Metal Gate/High-k Technology*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp. 36-37
- [Tschanz'02a] James Tschanz et al., *Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage*, ISSCC, 2002, session 25.7
- [Tschanz'02b] James Tschanz et al., *Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage*, IEEE Journal of Solid-State Circuits, vol. 37, no. 11, November 2002, pp. 1396-1402
- [Tschanz'05] James Tschanz, Siva Narendra, Ali Keshavarzi, Vivek De, *Adaptive Circuit Techniques to Minimize Variation Impacts on Microprocessor*

*Performance and Power*, ISCAS, 2005, pp. 9-12

- [Watanabe'08] R. Watanabe et al., *A low power 40nm CMOS technology featuring extremely high density of logic (2100kGate/mm<sup>2</sup>) and SRAM (0.195μm<sup>2</sup>) for wide range of mobile applications with wireless system*, IEDM, 2008
- [Yamashita'00] Takeo Yamashita et al., *A 450MHz 64b RISC Processor using Multiple Threshold Voltage CMOS*, ISSCC, 2000, session 25.3
- [Yeap'02] G. C-F Yeap et al., *A 100nm Cooper/Low-K Bulk CMOS Technology with Multi Vt and Multi Gate Oxide Integrated Transistors for Low Standby Power, High Performance and RF/Analog System on Chip Applications*, Symposium on VLSI Technology Digest of Technical Papers, 2002, pp. 16-17
- [Yuan'08] Xiaobin Yuan et al., *Gate-Induced-Drain-Leakage Current in 45-nm CMOS Technology*, IEEE Transactions on Device and Materials Reliability, vol. 8, no. 3, September 2008, pp. 501-508

## Chapitre 2

---

### *Les défis de la technologie planaire FDSOI*



## 2.1. Introduction

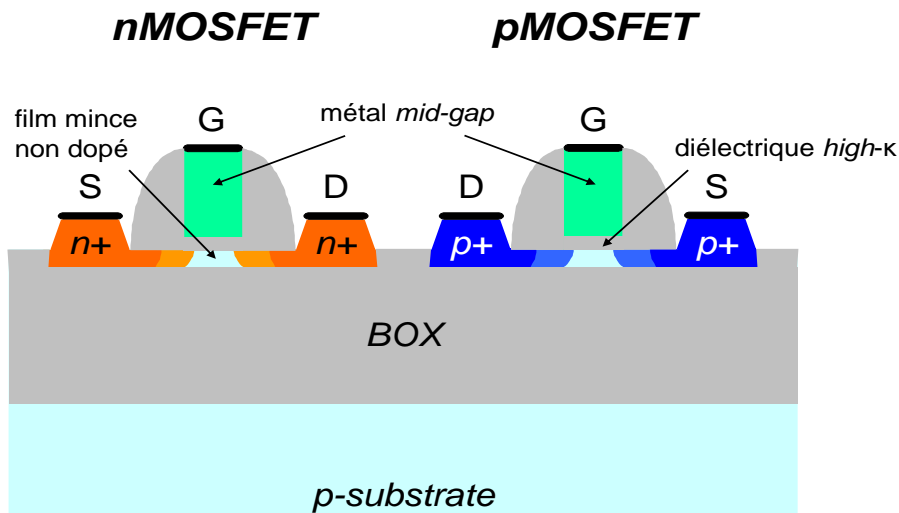
Pour franchir la barrière du nœud technologique 32 nm, le transistor MOS sur silicium massif doit surmonter de nombreux problèmes. Tout d'abord, celui de l'augmentation des courants de fuite, et de manière générale de la consommation statique. Puis, celui de l'augmentation de la variabilité de la tension de seuil. Ce qui a pour conséquence de limiter fortement la tension minimale d'alimentation des circuits ( $\sim 0,8$  V), et donc la réduction de la consommation statique. Enfin, le problème de l'augmentation de la complexité et du coût du procédé de fabrication. A cela s'ajoute aussi le faible gain en performance apporté par la simple loi de réduction d'échelle.

Pour remédier à la plupart de ces problèmes, la société Intel a annoncé officiellement le 4 mai 2011 qu'elle utiliserait des transistors FinFET pour la fabrication de ses prochains micro-processeurs dans le nœud technologique 22 nm [NYT'11]. D'autres sociétés, comme STMicroelectronics, parient plutôt sur l'utilisation des transistors FDSOI (*Fully Depleted SOI* en anglais) pour la fabrication de circuits alliant basse consommation et hautes performances (smartphones, tablettes numériques, ...). Le principal avantage de ces transistors à film mince de silicium non dopé est d'avoir un bien meilleur contrôle électrostatique du canal par la grille, réduisant ainsi les courants sous le seuil et les effets canaux courts ( $V_T$  roll-off, DIBL, ...). De cette amélioration résulte aussi un courant effectif plus élevé (à même courant de fuite) que celui des transistors MOS sur silicium massif lors de la transition des portes logiques, et donc un gain supérieur en vitesse. L'utilisation d'un film mince de silicium non dopé permet aussi de générer beaucoup moins de variations au niveau de la tension de seuil. D'un point de vue électrostatique, les transistors FinFET sont supérieurs aux transistors FDSOI. Néanmoins, ils restent bien plus difficiles à fabriquer [Hu'11]. Ainsi, l'utilisation d'un procédé de fabrication planaire pour la réalisation de transistors FDSOI permet de limiter le temps de développement technologique. De plus, le fait que l'architecture des transistors FDSOI soit très proche de celle des transistors sur silicium massif permet d'envisager un portage des circuits beaucoup plus facile et rapide.

Ce chapitre a deux objectifs. Le premier est de présenter les atouts de la technologie planaire FDSOI qui permettront de pallier aux problèmes rencontrés par le transistor MOS sur silicium massif dans les nœuds sub-32 nm. Le deuxième est de lister les points à améliorer et les défis restant à relever en vue de son utilisation pour la fabrication de circuits à basse consommation et à basse tension d'alimentation.

## 2.2. Le transistor MOS fabriqué en technologie planaire FDSOI

Le transistor MOS fabriqué en technologie planaire FDSOI repose sur un film mince de silicium non dopé ( $N_{Si} \approx 10^{15} \text{ cm}^{-3}$ ) isolé du substrat par une couche d'oxyde de silicium, communément appelé BOX (*Buried OXide* en anglais) (Figure 2.1.).



**Figure 2.1. :** Vue en coupe schématique d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) fabriqués en technologie planaire FDSOI.

Cette architecture a plusieurs avantages. Le premier avantage est l'amélioration du contrôle électrostatique du canal par la grille, minimisant ainsi les courants sous le seuil et les effets canaux courts. Le deuxième avantage est la diminution de la variabilité de la tension de seuil, permettant de ce fait la réduction de la tension minimale d'alimentation des circuits intégrés en mode *standby*. Enfin, le troisième avantage est la suppression des courants de jonction entre source/drain (S/D) et substrat et de l'effet *latch-up*. Ce qui rend la technologie planaire FDSOI plus robuste que celle sur silicium massif et moins sujette aux courants de fuite. En plus de tous ces avantages, il est aussi possible, avec un BOX suffisamment fin, de moduler la tension de seuil par modulation de la tension de polarisation du substrat. Ainsi, la technologie planaire FDSOI peut être déclinée en deux versions : celle basée sur un BOX épais et celle basée sur un BOX mince.

### 2.2.1. Améliorations apportées par le film mince de silicium non dopé et le BOX

Que ce soit dans sa version BOX épais ou BOX mince, la technologie planaire FDSOI apporte un certain nombre d'améliorations par rapport à la technologie planaire sur silicium massif. Parmi elles, trois sont significatives. La première d'entre elles concerne le contrôle électrostatique du canal par la grille. La première conséquence de cette amélioration est la diminution de la pente sous le seuil, communément appelé SS (*Subthreshold Slope* en anglais). Ce paramètre reflète la capacité de la grille à contrôler la création du canal, et dans le cas de la technologie planaire FDSOI à contrôler le film mince de silicium non dopé. Sa valeur minimale théorique est de 60 mV/dec. Ce qui veut dire qu'une augmentation de 60 mV de la tension de grille dans le régime sous le seuil entraîne une augmentation d'une décade du courant sous le seuil ( $I_{sub}$ ). Le but est donc de maintenir une pente sous le seuil la plus proche possible de cette valeur idéale. En technologie planaire FDSOI, la pente sous le seuil est décrite par l'équation suivante [Colinge'97] :

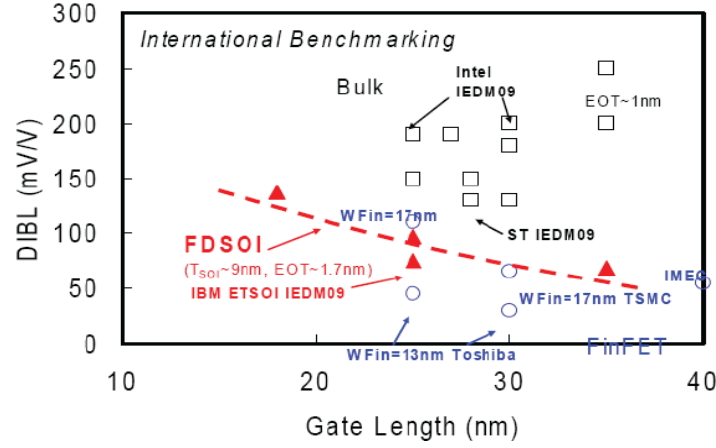
$$SS = \frac{kT}{q} \ln(10) \times \left( 1 + \frac{EOT}{T_{BOX} + \frac{\epsilon_{OX}}{\epsilon_{Si}} T_{Si}} \right) \quad (1)$$

Pour diminuer sa valeur, et donc renforcer le contrôle de la grille avant sur la grille arrière, il faut soit diminuer l'épaisseur équivalente de l'oxyde de grille avant ( $EOT$ , pour *Equivalent Oxide Thickness* en anglais) soit augmenter celle du BOX ( $T_{BOX}$ ). Le Tableau 2.1. montre des valeurs de pentes sous le seuil nettement améliorées avec des transistors MOS FDSOI fabriqués dans les nœuds technologiques avancés.

	nœud technologique	SS (mV/dec)	
		silicium massif	FDSOI
[Andrieu'10]	22 nm	-	75
[Liu'10]		-	80
[Cheng'09b]		-	80
[Arnaud'09]	28 nm	87	-
[Arnaud'08]	32 nm	87	-
[Nataranjan'08]		98	-

**Tableau 2.1. : Pente sous le seuil (SS) de transistors MOS sur silicium massif (noir) et FDSOI (rouge) fabriqués dans les nœuds technologiques 32 nm, 28 nm et 22 nm.**

La deuxième conséquence de l'augmentation du contrôle électrostatique du canal par la grille est la réduction des effets canaux courts, et notamment du DIBL ( $((V_{T\_lin} - V_{T\_sat}) / (V_{DD} - 50 \text{ mV}))$ ) (Figure 2.2.).



**Figure 2.2. : Evolution du DIBL en fonction de la longueur de grille de transistors MOS fabriqués en technologie planaire sur silicium massif (noir) et FDSOI (rouge) et en technologie FinFET (bleu) [Faynot'10].**

Cet affaiblissement entraîne une moins forte diminution de la tension de seuil lors de la réduction de la longueur de grille ( $V_T$  roll-off), comme décrit par l'équation suivante :

$$V_T^{court} = V_T^{long} - SCE - DIBL \quad (2)$$

La diminution des effets canaux courts, associée à celle de la pente sous le seuil, permet de diminuer sensiblement le courant sous le seuil, comme décrit par l'équation suivante :

$$\log(I_{sub}) = \log(I_T) - \frac{V_T^{court}}{SS} = \log\left(\frac{W}{L_{Geff}} 10^{-7}\right) - \frac{V_T^{court}}{SS} \quad (3)$$

De plus, le non dopage du film mince de silicium limite aussi le courant GIDL. Ce courant est donc très faible dans cette technologie, et avoisine ainsi les quelques pA/μm [Cheng'09a] [Cheng'09b] [Cai'08]. De plus, le fait d'isoler complètement les S/D du substrat par le BOX permet de supprimer totalement le courant de fuite des jonctions S/D-substrat. Ainsi, la technologie planaire FDSOI permet de minimiser grandement les courants de fuite préjudiciables dans les nœuds technologiques sub-65 nm, comme le montre la Figure 2.3. et le Tableau 2.2.



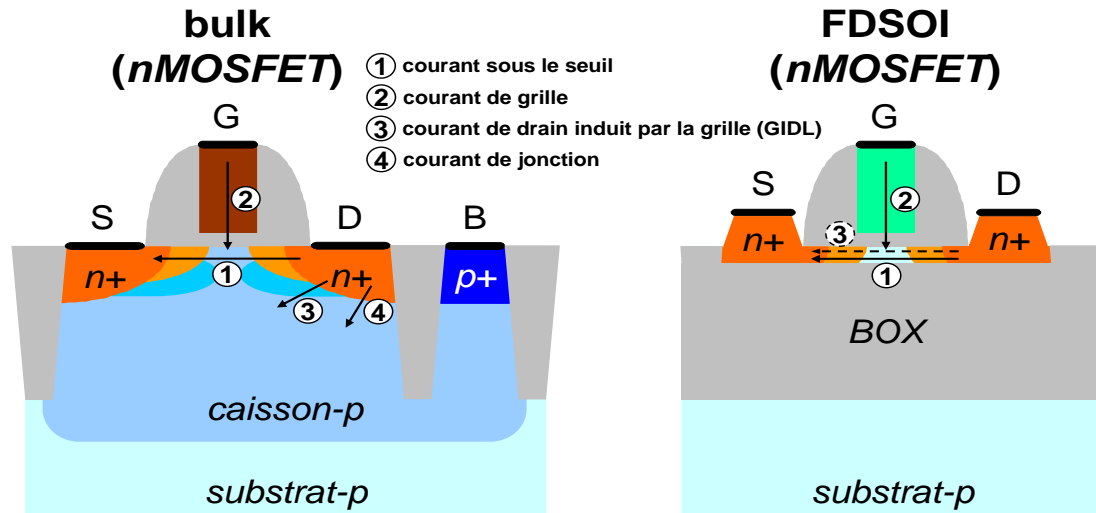
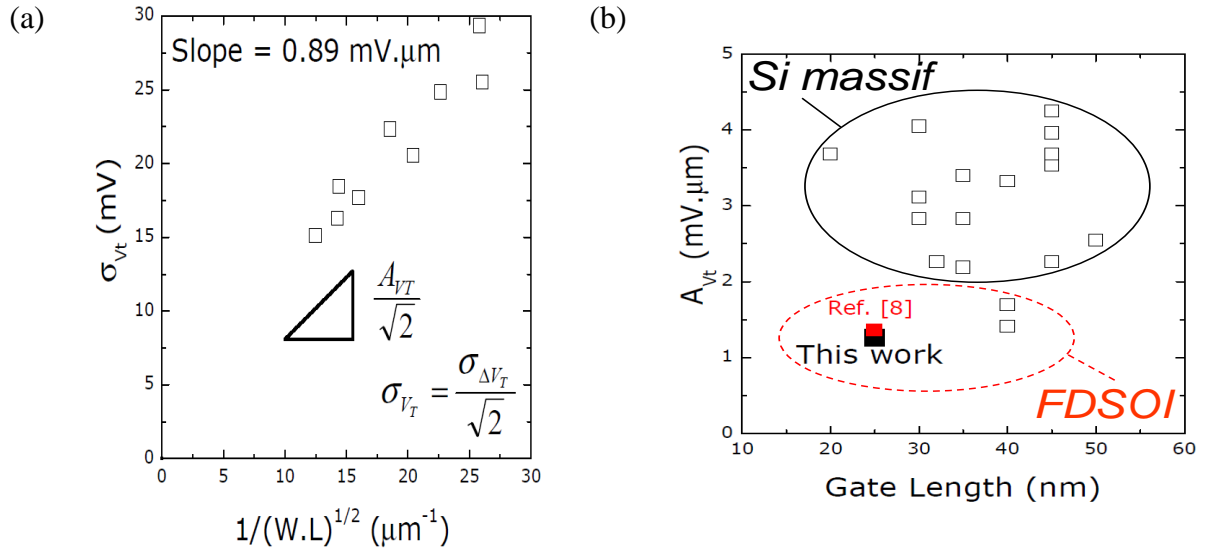


Figure 2.3. : Vue en coupe schématique d'un transistor nMOS fabriqué en technologie planaire sur silicium massif (gauche) et en technologie planaire FDSOI BOX épais (droite) montrant les différentes contributions des courants de fuite.

	nœud technologique (nm)	$L_G$ (nm)	$V_{DD}$ (V)	$I_{OFF}$ (pA/ $\mu m$ )	GIDL (pA/ $\mu m$ )	$J_G$ (A/cm <sup>2</sup> )
[Cheng'09b]	22	25	0,9	300	15/5	0,05
[Arnaud'09]	28	30	1	450	NC	0,65/0,2
[Tomimatsu'09]	28	28	1	200	NC	0,06
[Majumdar'08]	32	30	1	100	NC	NC
[Fenouillet'07]	32	25	1	100	NC	NC
[Watanabe'08]	40	40	1,1	400	NC	0,2/0,07
[Jan'08]	45	45	1,1	1000	NC	NC
[Aime'07]	45	45	1,1	1000	NC	0,001

Tableau 2.2. : Courants de fuite ( $I_{OFF}$ , GIDL et  $J_G$ ) de transistors MOS fabriqués en technologies planaires sur silicium massif (noir) et FDSOI BOX épais (rouge) dans les nœuds technologiques 45 nm, 40 nm, 32 nm, 28 nm, et 22 nm.

La deuxième amélioration majeure apportée par la technologie planaire FDSOI est la suppression de la fluctuation aléatoire de dopants dans le canal (RDF) qui est la plus importante source de variabilité de la tension de seuil en technologie planaire sur silicium massif [Asenov'07]. Ainsi, à même longueur de grille, les transistors MOS FDSOI possèdent un coefficient de variabilité de la tension de seuil ( $A_{V_T}$ ), aussi appelé coefficient de Pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif (Figure 2.4.).



**Figure 2.4. :** (a) Variabilité de la tension de seuil ( $\sigma_{V_T}$ ) de transistors MOS fabriqués en technologie planaire FDSOI BOX épais dans le nœud technologique 22 nm. (b) Evolution du coefficient de Pelgrom ( $A_{V_T}$ ) en fonction de la longueur de grille de transistors MOS fabriqués en technologie planaire FDSOI BOX épais (cercle rouge) et sur silicium massif (cercle noir) [Cheng'09b].

Ainsi, la technologie planaire FDSOI permet de diminuer plus fortement la tension minimale d'alimentation des circuits critiques, comme les circuits SRAM ( $\sim 0,5$  V) [Cheng'09b] [Liu'11].

La troisième amélioration majeure apportée par la technologie planaire FDSOI est l'utilisation d'un seul type de grille métallique avec un travail de sortie proche du *mid-gap* du silicium (4,61 eV). Ce qui a pour intérêt de réduire la complexité du procédé de fabrication mais aussi son coût grâce à la suppression d'un masque critique. La Figure 2.5.a montre une vue en coupe TEM d'un transistor nMOS fabriqué en technologie planaire FDSOI BOX épais. Son procédé de fabrication est significativement simplifié par rapport à la technologie planaire sur silicium massif grâce notamment à la suppression de plusieurs étapes d'implantation dans le substrat (Figure 2.5.b) [ICKnowledge'11].

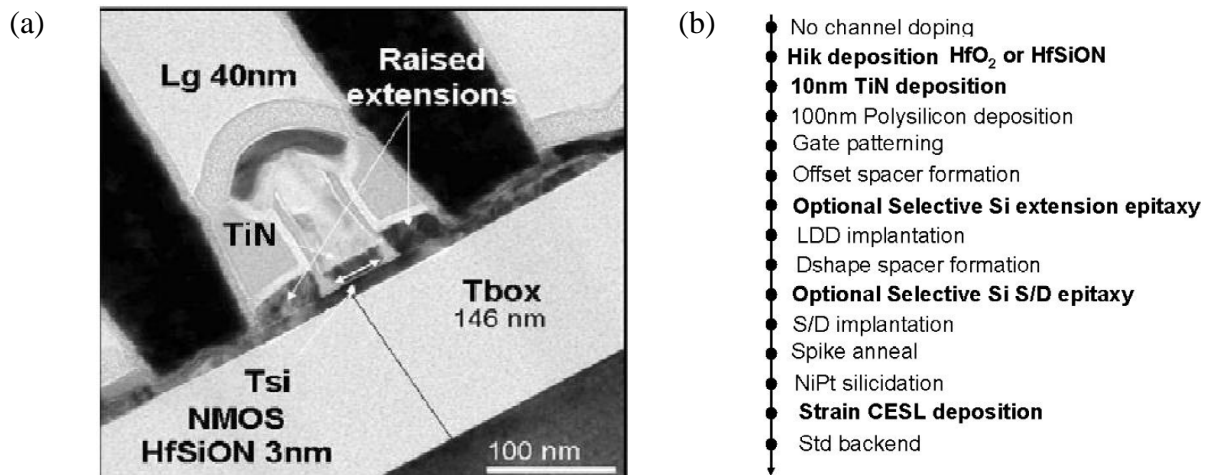


Figure 2.5. : (a) Vue en coupe TEM d'un transistor nMOS fabriqué en technologie planaire FDSOI BOX épais dans le nœud technologique 45 nm [Fenouillet'07]. (b) Flot du procédé de fabrication de transistors MOS en technologie planaire FDSOI BOX épais dans le nœud technologique 45 nm [Fenouillet'07].

### 2.2.2. Spécificités de la technologie planaire FDSOI basée sur un BOX mince

La version BOX mince de la technologie planaire FDSOI possède les mêmes particularités en termes de courants de fuite et de variabilité de la tension de seuil que la version BOX épais. La seule différence fondamentale réside dans la possibilité d'ajuster la tension de seuil par polarisation de la tension du substrat. Ce qui implique une modulation du courant de fonctionnement ( $I_{ON}$ ) et du courant de fuite ( $I_{OFF}$ ). Néanmoins, le partage du substrat par tous les transistors MOS d'une même plaque contraint leur grille arrière (substrat) à être polarisée avec une tension ( $V_B$ ) commune (Figure 2.6.).

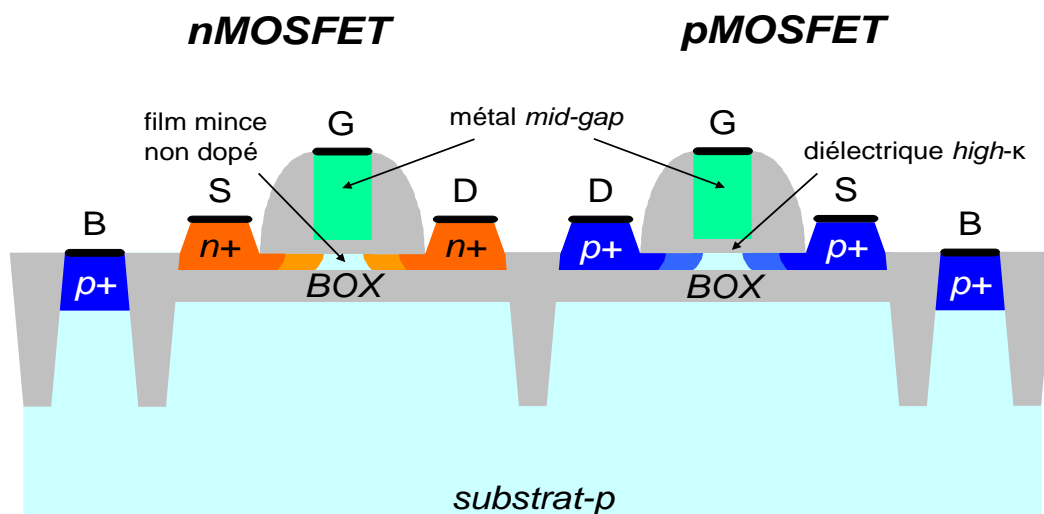


Figure 2.6. : Vue en coupe schématique d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) fabriqués en technologie planaire FDSOI BOX mince.

Dans un circuit CMOS fabriqué en technologie planaire sur silicium massif, la polarisation de la face arrière des transistors nMOS se fait via des caissons de type p connectés à la masse ( $GND$ ) alors que celle de la face arrière des transistors pMOS se fait via des caissons de type n connectés à la tension d'alimentation ( $V_{DD}$ ). Dans le cas d'un circuit CMOS fabriqué en technologie planaire FDSOI BOX mince, la polarisation de la grille arrière des transistors nMOS et pMOS se fait via le substrat commun connecté soit à  $GND$  soit à  $V_{DD}$ . Ce qui signifie que, dans le premier cas ( $V_B = GND$ ), les transistors nMOS sont polarisés comme les transistors nMOS sur silicium massif alors que les transistors pMOS sont polarisés en mode direct ( $V_{BS} < 0$ ). De la même manière, dans le deuxième cas ( $V_B = V_{DD}$ ), les transistors pMOS sont polarisés comme les transistors pMOS sur silicium massif alors que les transistors nMOS sont polarisés en mode direct. Dans les deux cas, la tension de seuil des transistors est dissymétrique. Le seul moyen pour retrouver une symétrie serait de polariser le substrat à  $V_{DD}/2$ . Néanmoins, cela ne change rien au fait qu'il n'est pas possible de séparer la tension de polarisation de la grille arrière des transistors nMOS de celle des transistors pMOS. Autre spécificité de cette structure, il s'agit du comportement du substrat à l'interface avec le BOX. Pour des tensions  $V_{BS}$  comprises entre  $GND$  et  $V_{DD}$  pour les transistors nMOS et entre  $-V_{DD}$  et  $GND$  pour les transistors pMOS, le substrat est en régime de désertion au niveau de l'interface avec le BOX, ce qui a pour conséquence d'augmenter l'épaisseur équivalente du BOX et donc de limiter le coefficient de modulation de la tension de seuil ( $r = \Delta V_T / \Delta V_{BS}$ ). Alors que pour des tensions  $V_{BS}$  inférieures à  $GND$  dans le cas d'un transistor nMOS et supérieure à  $GND$  dans le cas d'un transistor pMOS, le substrat passe en régime d'inversion, créant un canal à l'interface avant du film mince de silicium non dopé lorsque  $V_{GS} = V_T$ . Le coefficient de modulation de la tension de seuil est alors donné par l'équation suivante [Lim'83] :

$$r_{FC} = \frac{EOT}{T_{BOX} + \frac{\epsilon_{OX}}{\epsilon_{Si}} T_{Si}} \quad (4)$$

Enfin, pour des tensions  $V_{BS}$  supérieures à  $V_{DD}$  dans le cas d'un transistor nMOS et inférieure à  $-V_{DD}$  dans le cas d'un transistor pMOS, le substrat passe en régime d'accumulation, créant un canal à l'interface arrière du film mince de silicium non dopé lorsque  $V_{GS} = V_T$ . Le coefficient de modulation de la tension de seuil est alors donné par l'équation suivante [Lim'83] :

$$r_{BC} = \frac{EOT + \frac{\epsilon_{OX}}{\epsilon_{Si}} T_{Si}}{T_{BOX}} \quad (5)$$

Il existe une autre architecture de transistors MOS fabriqués en technologie planaire FDSOI BOX mince permettant de moduler la tension de seuil par polarisation de la grille arrière (Figure 2.7.) [Tsuchiya'04] [Tsuchiya'07] [Ishigaki'08a] [Ishigaki'08b].

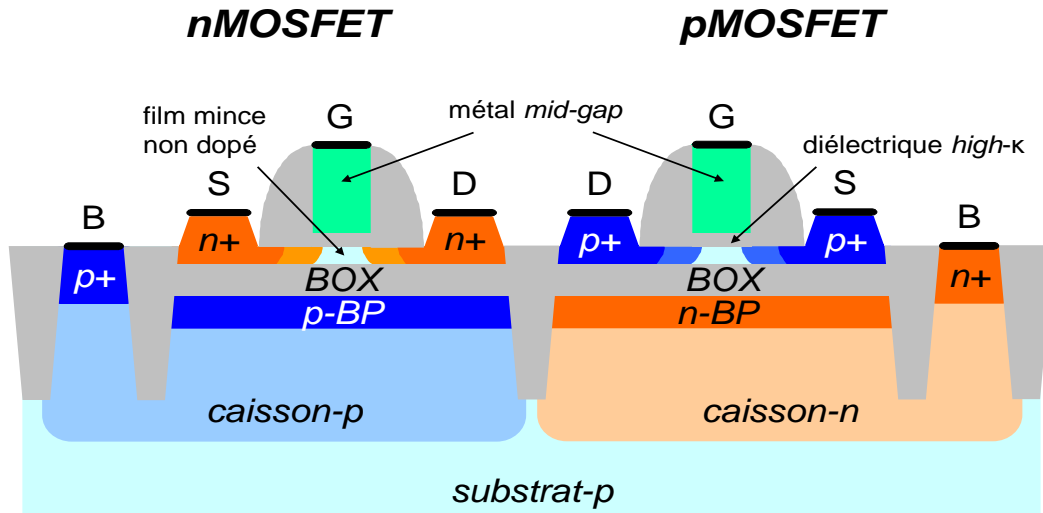


Figure 2.7. : Vue en coupe schématique d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) fabriqués en technologie planaire FDSOI BOX mince avec BP.

Cela consiste à implanter une couche de silicium de type p fortement dopé sous le BOX des transistors nMOS et une couche de silicium de type n fortement dopé sous le BOX des transistors pMOS. Ces couches, communément appelées GP (*Ground Plane* en anglais) ou BP (*Back Plane* en anglais), permettent, grâce à leur fort niveau de dopage ( $N_{BP} \approx 10^{18} \text{ cm}^{-3}$ ), de limiter la déplétion du substrat à l'interface avec le BOX [Ernst'99] [Fenouillet'03]. Leur polarisation se fait grâce à des caissons de même type connectés à  $GND$  pour les transistors nMOS et à  $V_{DD}$  pour les transistors pMOS, comme cela est fait pour les transistors MOS sur silicium massif. L'autre avantage de cette architecture est de permettre une polarisation indépendante de la grille arrière des transistors nMOS et pMOS. L'implantation des BP et de leur caisson peut se faire de la même manière qu'en technologie planaire sur silicium massif, c'est-à-dire entre la formation des isolations latérales, communément appelées STI (*Shallow Trench Isolation* en anglais), et des grilles. La Figure 2.8. montre des vues en coupes TEM d'un transistor MOS FDSOI BOX mince avec BP ainsi que le flot de son procédé de fabrication.

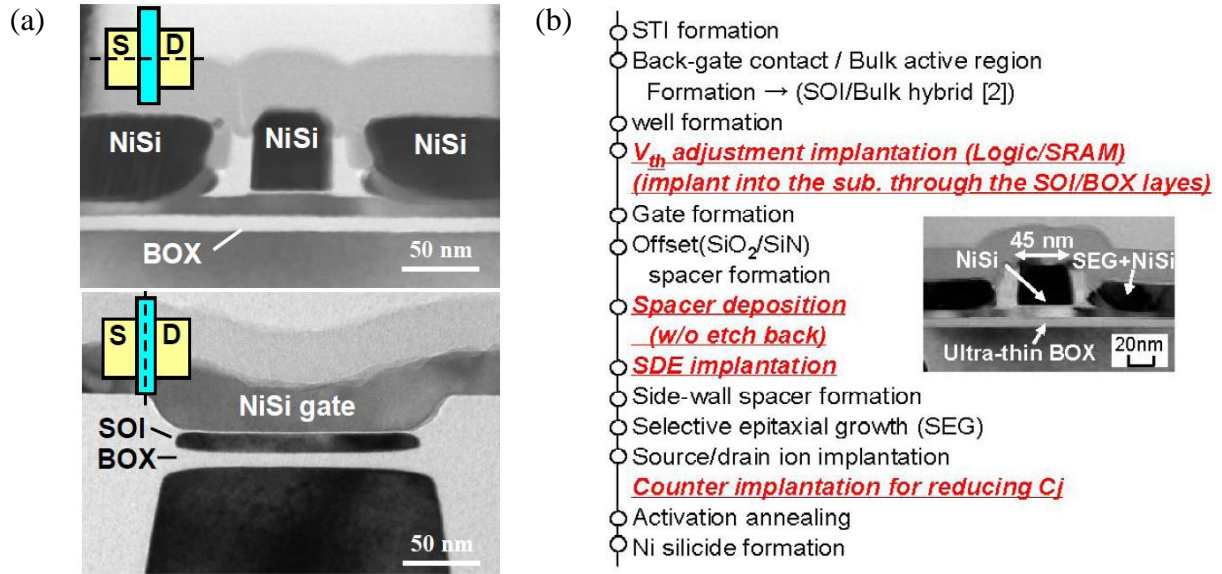


Figure 2.8. : (a) Vue en coupe TEM d'un transistor MOS fabriqué en technologie planaire FDSOI BOX mince avec BP dans le nœud technologique 45 nm [Morita'08]. (b) Flot du procédé de fabrication de transistor MOS en technologie planaire FDSOI BOX mince avec BP pour le nœud technologique 45 nm [Tsuchiya'07].

L'utilisation de cette architecture de transistors rajoute trois étapes supplémentaires : l'implantation des BP, l'implantation des caissons et la création des prises caissons. Ces étapes supplémentaires n'ont que très peu d'impact sur la variabilité de la tension de seuil (Figure 2.9.).

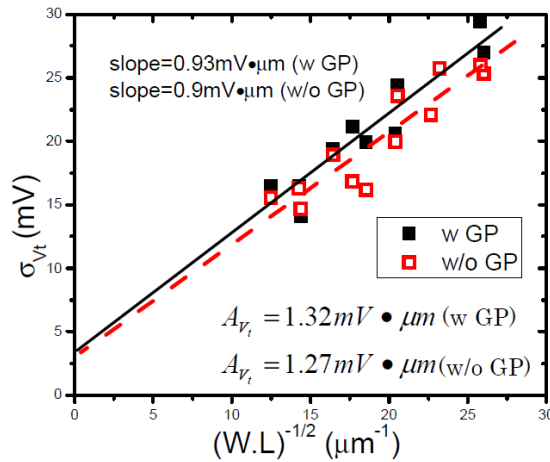
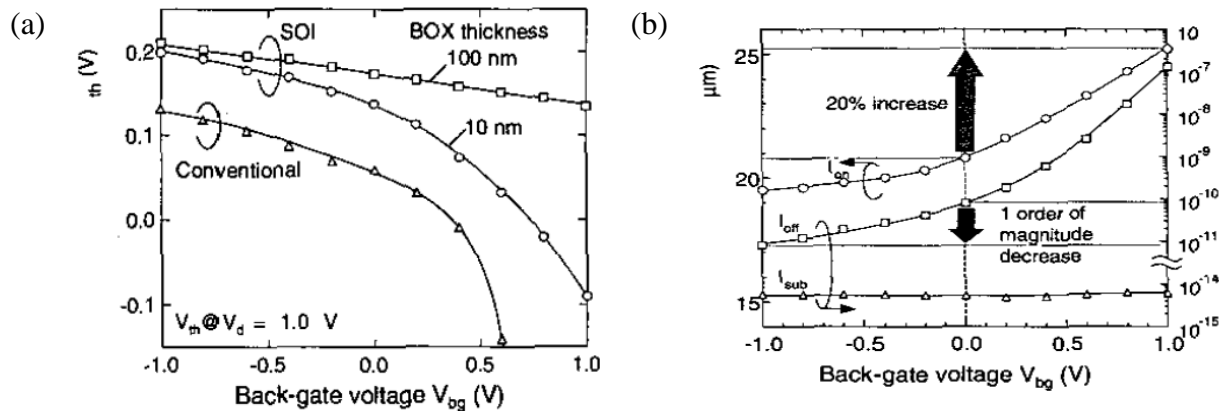


Figure 2.9. : Variabilité de la tension de seuil ( $\sigma_{V_t}$ ) de transistors MOS fabriqués en technologie planaire FDSOI BOX mince sans (rouge) et avec (noir) BP dans le nœud technologique 22 nm [Liu'10].

En effet, l'implantation des BP et des caissons est optimisée en terme d'énergie et de type de dopants de façon à ne pas laisser d'impuretés dans le film mince de silicium non dopé. Au niveau du comportement électrique des transistors, ces BP vont jouer le rôle d'une grille

arrière de type opposé aux S/D, à l'instar des transistors MOS double grille asymétriques. Ainsi, plus l'épaisseur du BOX sera proche de celle de l'oxyde de grille, et plus le coefficient de modulation de la tension de seuil sera élevé (cf. équations (4) et (5)). De cette manière, la tension de seuil des transistors, et donc leur courant  $I_{ON}$  et  $I_{OFF}$ , peut être modulé efficacement (Figure 2.10.).



**Figure 2.10. : (a) Evolution de la tension de seuil en fonction de la polarisation du BP d'un transistor MOS fabriqué en technologie planaire FDSOI BOX épais (100 nm) et BOX mince (10 nm) et d'un transistor MOS fabriqué en technologie planaire sur silicium massif [Tsuchiya'04]. (b) Evolution des courants  $I_{ON}$  et  $I_{OFF}$  en fonction de la polarisation du BP d'un transistor MOS fabriqué en technologie planaire FDSOI BOX mince (10 nm) [Tsuchiya'04].**

La limitation de cette architecture vient de la limitation en excursion de la polarisation de la grille arrière en mode direct (FBB). En effet, pour éviter de polariser en direct la jonction caisson-p/caisson-n, et ainsi créer un fort courant de fuite (Figure 2.11 et Figure 2.12.c), la polarisation du BP de type p ne doit pas dépasser celle du BP de type n lorsque les transistors nMOS et pMOS sont en mode FBB.

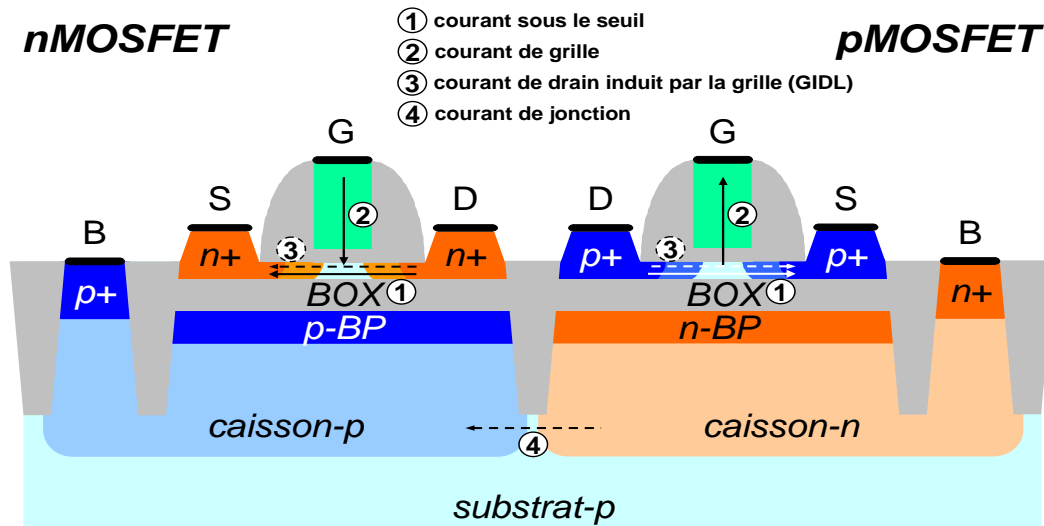


Figure 2.11. : Vue en coupe schématique d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) fabriqués en technologie planaire FDSOI BOX mince avec BP montrant les différentes contributions des courants de fuite.

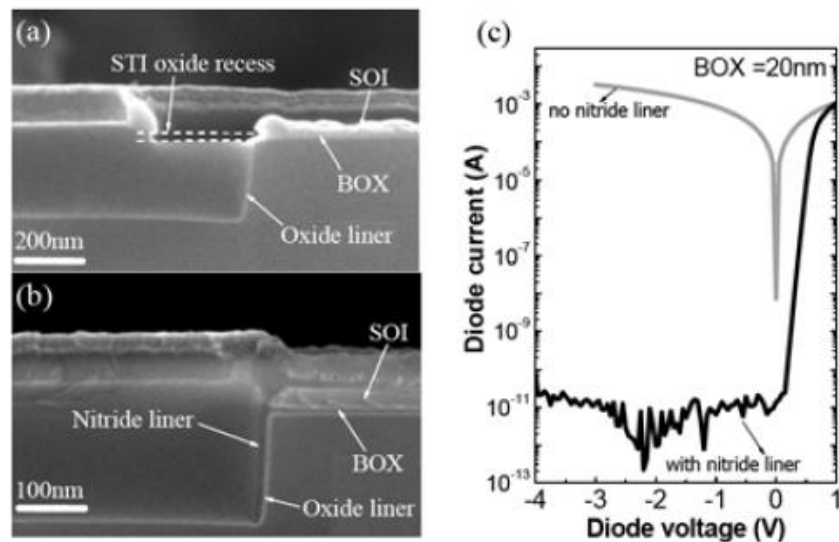


Figure 2.12. : Vue en coupe TEM d'un STI sans (a) et avec (b) amélioration de son isolation électrique (introduction d'une couche verticale de nitrure) [Yau'09]. (c) Evolution du courant de jonction entre le caisson des transistors nMOS (caisson-p) et celui des transistors pMOS (caisson-n) d'un oscillateur en anneau fabriqué en technologie planaire FDSOI sans (gris) et avec (noir) amélioration de l'isolation électrique des STI en fonction de la différence de polarisation [Yau'09].

Ce qui veut dire que pour garder une tension de seuil équilibrée entre transistors nMOS et pMOS, l'excursion de la polarisation de leur BP en mode FBB ne doit pas dépasser  $V_{DD}/2$  (Figure 2.13.).



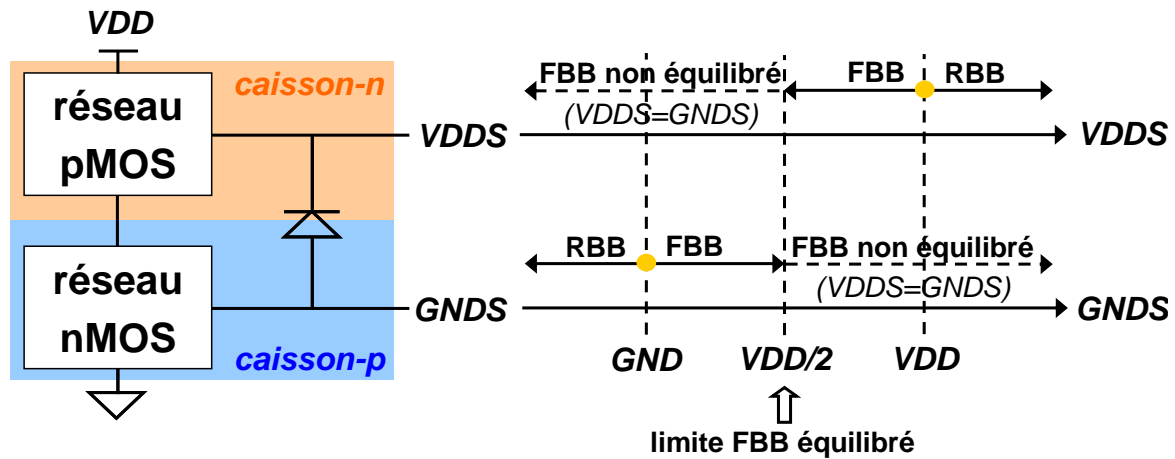


Figure 2.13. : Schémas montrant les limites de polarisation des BP en considérant la polarisation de la jonction formée par les caissons-p des transistors nMOS et les caissons-n des transistors pMOS.

Une autre architecture de transistors MOS fabriqués en technologie planaire FDSOI BOX mince a été proposée pour repousser l'excursion de la polarisation des BP (Figure 2.14. et Figure 2.15.a). Cela consiste à isoler les BP entre eux ainsi que du substrat par un double BOX et un double STI. Les STI profonds (STI 2), allant jusqu'au BOX profond qui sert à isoler les BP du substrat, permettent de séparer les transistors nMOS des transistors pMOS. Alors que les STI non profonds (STI 1) servent seulement à isoler entre elles les zones actives des transistors. De cette manière, l'excursion de la polarisation des BP devient très grande et n'est limitée que par les courants de fuite entre les BP via les STI profonds (Figure 2.15.b). Néanmoins, l'inconvénient majeur de cette architecture vient de son procédé de fabrication relativement complexe et coûteux à mettre en œuvre.

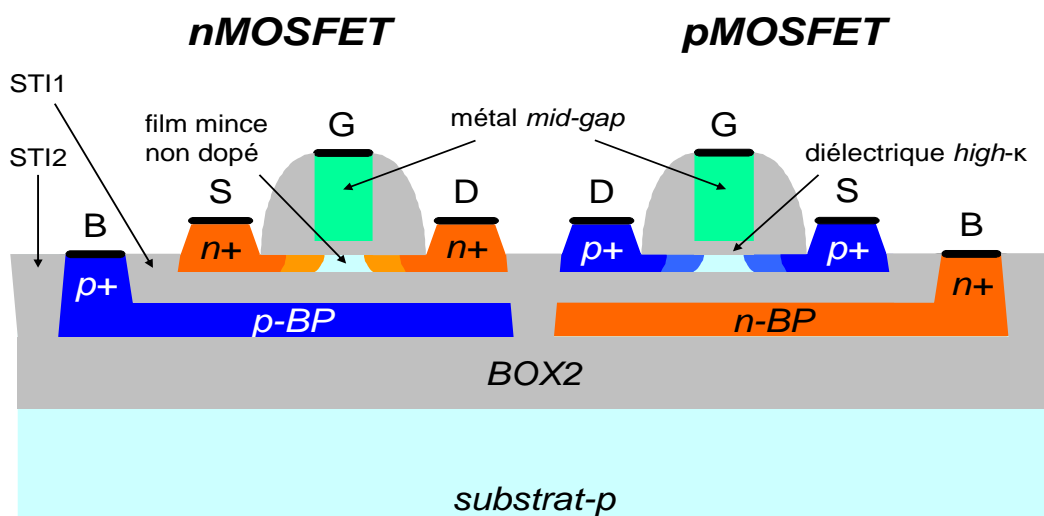
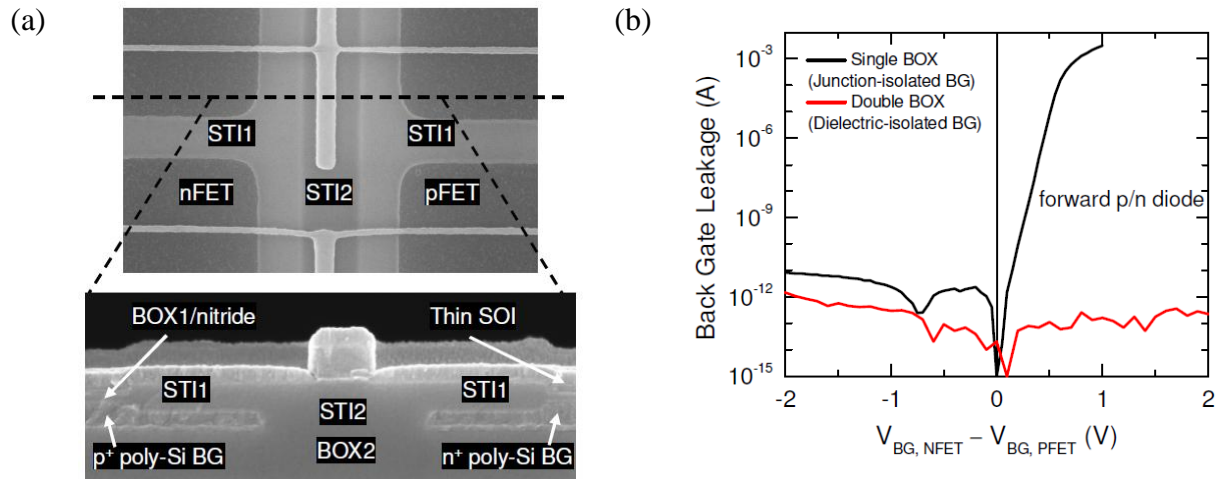


Figure 2.14. : Vue en coupe schématique d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) fabriqués en technologie planaire FDSOI double BOX et double STI.



**Figure 2.15. : (a) Vue en coupe TEM d'un transistor nMOS et d'un transistor pMOS d'un oscillateur en anneau fabriqué en technologie planaire FDSOI double BOX et double STI [Khater'10]. (b) Evolution du courant de fuite entre le BP des transistors nMOS et celui des transistors pMOS d'un oscillateur en anneau fabriqué en technologie planaire FDSOI double BOX et double STI (rouge) et BOX mince avec jonction caisson-p/caisson-n (noir) en fonction de la différence de polarisation [Khater'10].**

## 2.3. Points d'amélioration et perspectives industrielles

Malgré tous les avantages que peut apporter la technologie planaire FDSOI, notamment dans sa version BOX mince avec BP, elle n'est pas encore prête à remplacer la technologie planaire sur silicium massif. En effet, dans une perspective d'industrialisation, la technologie planaire FDSOI doit faire face à deux défis majeurs.

Premièrement, il faut que son procédé de fabrication soit suffisamment maîtrisé et que les plaques de silicium servant à sa fabrication soient de qualité et fournies en quantité suffisante avec un rendement permettant un coût le plus compétitif possible. Deuxièmement, il faut que sa plateforme de conception soit la plus compatible possible avec celles existant déjà en technologie planaire sur silicium massif.

C'est seulement après avoir relevé ces deux défis que les circuits intégrés pourront tirer tous les bénéfices de la technologie planaire FDSOI.

### 2.3.1. Réduction de la variabilité de l'épaisseur du film de silicium non dopé

Le défi majeur des plaques de silicium servant à la fabrication des circuits intégrés en technologie planaire FDSOI est le contrôle de l'uniformité de la couche de silicium servant à la réalisation du film mince non dopé. En effet, il a été montré qu'une variation de 1 nm de l'épaisseur du film de silicium pouvait entraîner une variation de près de 25 mV de la tension

de seuil ( $\Delta V_T / \Delta T_{Si} \approx 25$  mV/nm) [Khakifirooz'10]. La réduction de la variabilité de l'épaisseur de la couche de silicium est donc indispensable pour éviter que cela ne vienne dégrader la variabilité de la tension de seuil. L'objectif est donc d'atteindre une variation maximale de  $\pm 0,5$  nm. A l'heure actuelle, des plaques de silicium fabriquées par la société SOITEC utilisant le procédé Smart Cut [Bruehl'95] atteignent une variation de  $\pm 1$  nm sur une couche de silicium de 12 nm (Figure 2.16. et Figure 2.17.) [Schwarzenbach'11] [Maleville'11].

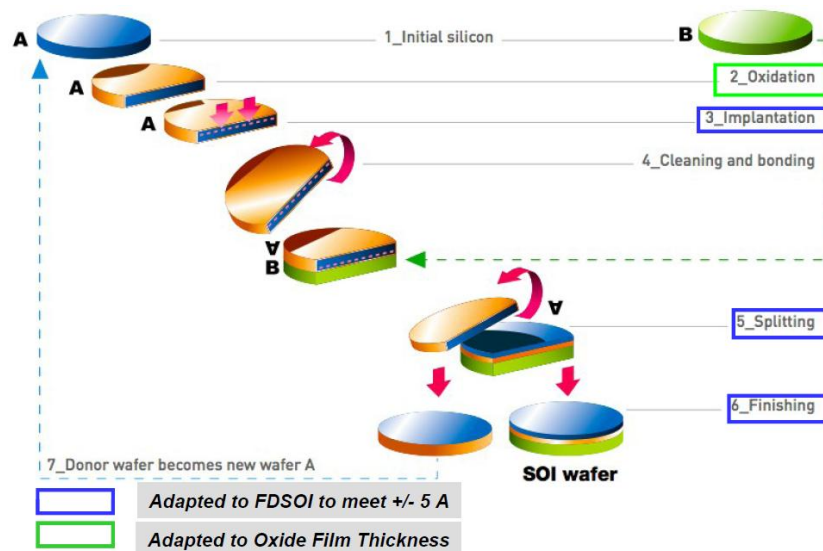


Figure 2.16. : Schéma de principe du procédé de fabrication Smart Cut des plaques de silicium pour la fabrication de circuits intégrés en technologie planaire FDSOI [Schwarzenbach'11] [Maleville'11].

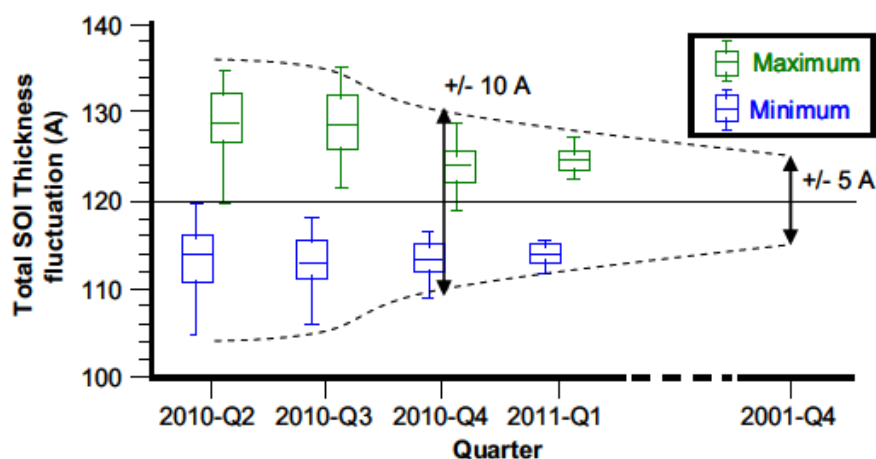


Figure 2.17. : Evolution et projection de la variabilité (incluant les variations *wafer-to-wafer* et *within-wafer*) de l'épaisseur de la couche de silicium des plaques UTISOI de la société SOITEC par trimestre [Maleville'11].

Néanmoins, il a été montré que les techniques de fabrication permettaient d'atteindre une variation maximale de  $\pm 0,5$  nm en pre-production [Yoshimi'10] et qu'une production de masse était prévue pour la fin de l'année 2011.

### 2.3.2. Réalisation d'une plateforme de conception utilisant des transistors MOS multi- $V_T$

Pour réaliser des circuits intégrés complexes tels que des micro-processeurs ou des systèmes sur puce, communément appelés SoC (*System-on-Chip* en anglais), il est indispensable de disposer d'une plateforme de conception permettant de réaliser toutes les parties du circuit, qu'elles soient analogiques ou numériques. Cela veut donc dire être capable de concevoir aussi bien le cœur du circuit que sa périphérie (entrées/sorties, dispositifs de protection contre les décharges électrostatique, ...). La périphérie n'étant encore impactée que de manière limitée par les effets canaux courts, il faut avant tout mettre à profit les avantages de la technologie planaire FDSOI dans les éléments du cœur du circuit. Les circuits SRAM et numériques sont les éléments les plus critiques en termes de sensibilité aux effets canaux courts et à la variabilité de la tension de seuil. Il faut donc être capable de disposer de transistors MOS multi- $V_T$  s'adaptant au mieux à un environnement CMOS pour mettre à profit leurs avantages dans ce type de circuit. Cette thèse a pour but de contribuer à la mise en place de tels dispositifs et de proposer des schémas d'intégration permettant leur utilisation dans des circuits.

## 2.4. Conclusion

La technologie planaire FDSOI BOX mince avec BP semble être une bonne candidate à la succession de la technologie planaire sur silicium massif et une alternative intéressante à la technologie FinFET. En effet, grâce à son film mince de silicium non dopé combiné à une « pseudo » grille arrière lui permettant de moduler efficacement la tension de seuil des transistors, cette technologie semble être armée de solides atouts pour diminuer de façon efficace les courants de fuite et la variabilité de la tension de seuil. De plus, la relative simplicité de son procédé de fabrication devrait faire économiser le coût de masques critiques de la technologie planaire sur silicium massif et donc compenser le surcoût initial des plaques de silicium SOI.

Néanmoins, malgré tous ces avantages, la technologie planaire FDSOI BOX mince avec BP se doit de disposer d'une plateforme de conception la plus compatible possible avec celles utilisées en technologie planaire sur silicium massif. Autre point décisif, les solutions qui permettront de mettre en place cette plateforme de conception ne devront pas nécessiter d'étapes complexes de fabrication (pas de solutions de type « double BOX », pas plus de deux types de grilles métalliques, ...). C'est à cette problématique que nous allons tenter de répondre dans les chapitres suivants.

## 2.5. Références bibliographiques

- [Aime'07] D. Aimé et al., *Fully-Depleted SOI CMOS Technology using  $W_xN$  metal gate and  $HfSi_xO_yN_z$  high-k dielectric*, ESSDERC, 2007, pp. 255-258
- [Andrieu'10] F. Andrieu et al., *Fully Depleted Silicon-On-Insulator with back bias and strain for Low Power and High Performance applications*, ICICDT, 2010, pp. 59-62
- [Arnaud'08] F. Arnaud et al., *32nm General Purpose Bulk CMOS technology for High Performance Applications at Low Voltage*, IEDM, 2008
- [Arnaud'09] F. Arnaud et al., *Competitive and Cost Effective high-k based 28nm CMOS Technology for Low Power Applications*, IEDM, 2009, pp. 651-654
- [Asenov'07] Asen Asenov, *Simulation of Statistical Variability in Nano MOSFETs*, Symposium on VLSI Technology Digest of Technical Papers, pp. 86-87
- [Briel'95] M. Briel, *Silicon on insulator material technology*, Electronics Letter, vol. 31, no. 14, July 1995, pp. 1201-1202
- [Cai'08] Jin Cai et al., *Will SOI Have a Life for the Low-Power Market ?*, IEEE International SOI Conference Proceedings, 2008, pp. 15-16
- [Cheng'09a] K. Cheng et al., *Fully Depleted Extremely Thin SOI Technology Fabricated by a Novel Integration Scheme Featuring Implant-Free, Zero-Silicon-Loss, and Faceted Raised Source/Drain*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp. 212-213
- [Cheng'09b] K. Cheng et al., *Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications*, IEDM, 2009, pp. 49-52
- [Colinge'97] Jean-Pierre Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, 3<sup>rd</sup> Edition, Springer, 1997
- [Ernst'99] Thomas Ernst, Sorin Cristoloveanu, *The Ground-Plane Concept for the Reduction of Short-Channel Effects in Fully-Depleted SOI Devices*, Electrochemical Society Proceedings, vol. 99-3, 1999, pp. 329-334
- [Faynot'10] O. Faynot et al., *Planar FDSOI technology for sub 22nm nodes*, VLSI-TSA, 2010, pp. 26-27
- [Fenouillet'03] C. Fenouillet-Beranger, T. Skotnicki, S. Monfray, N. Carriere, F.

- Bœuf, *Requirements for ultra-thin-film devices and new materials on CMOS Roadmap*, IEEE International SOI Conference Proceedings, 2003, pp. 145-146
- [Fenouillet'07] C. Fenouillet-Beranger et al., *Fully Depleted SOI Technology using High-K and Single-Metal Gate for 32nm Node LSTP Applications featuring 0.179 $\mu\text{m}^2$  6T-SRAM bitcell*, IEDM, 2007, pp. 267-270
- [Hu'11] Chenming Hu, *New Sub-20nm Transistors – Why and How*, DAC, 2011, pp. 460-463
- [ICKnowledge'11] Rapport d'ICKnowledge commandé par Soitec, 8 juillet 2011  
[http://www.icknowledge.com/misc\\_technology/SoitecReport20110709.pdf](http://www.icknowledge.com/misc_technology/SoitecReport20110709.pdf)
- [Ishigaki'08a] Takashi Ishigaki et al., *Wide-Range Threshold Voltage Controllable Silicon on Thin Buried Oxide Integrated with Bulk Complementary Metal Oxide Semiconductor Featuring Fully Silicided NiSi Gate Electrode*, Japanese Journal of Applied Physics, vol. 47, no. 4, Avril 2008, pp. 2585-2588
- [Ishigaki'08b] T. Ishigaki et al., *Silicon on Thin BOX (SOTB) CMOS for Ultralow Standby Power with Forward-biasing Performance Booster*, ESSDERC, 2008, pp. 198-201
- [Khakifirooz'10] A. Khakifirooz et al., *Challenges and Opportunities of Extremely Thin SOI (ETSOI) CMOS Technology for Future Low Power and General Purpose System-on-Chip Applications*, VLSI-TSA, 2010, pp. 110-111
- [Khater'10] M. Khater et al., *FDSOI CMOS with Dielectrically-Isolated Back Gates and 30nm  $L_G$  High- $\kappa$ /Metal Gate*, Symposium on VLSI Technology Digest of Technical Papers, 2010, pp. 43-44
- [Lim'83] Hyung-Kyu Lim, Jerry G. Fossum, *Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's*, IEEE Transactions on Electron Devices, vol. 30, no. 10, October 1983, pp. 1244-1251
- [Liu'10] Q. Liu et al., *Ultra-Thin-Body and BOX (UTBB) Fully Depleted (FD) Device Integration for 22nm Node and Beyond*, Symposium on VLSI Technology Digest of Technical Papers, 2010, pp. 61-62
- [Liu'11] Q. Liu et al., *Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices*, Symposium on VLSI Technology Digest of Technical Papers, 2011, pp. 160-161
- [Majumdar'08] Amlan Majumdar et al., *High-Performance Undoped-Body 8-nm-Thin SOI Field-Effect Transistors*, IEEE Electron Device Letters, vol. 29, no. 5, May 2008, pp. 515-517
- [Maleville'11] Christophe Maleville, *Extending planar device roadmap beyond node*

- 20nm through ultra thin body technology*, VLSI-TSA, 2011
- [Morita'08] Y. Morita et al., *Smallest  $V_{th}$  Variability Achieved by Intrinsic Silicon on Thin BOX (SOTB) CMOS with Single Metal Gate*, Symposium on VLSI Technology Digest of Technical Papers, 2008, pp. 166-167
- [Natarajan'08] S. Natarajan et al., *A 32nm Logic Technology Featuring 2<sup>nd</sup>-Generation High-k + Metal-Gate Transistors, Enhanced Channel Strain and 0.171 $\mu\text{m}^2$  SRAM Cell Size in a 291Mb Array*, IEDM, 2008
- [NYT'11] The New York Times, *Intel Increases Transistors Speed by Building Upward*, May 4<sup>th</sup> 2011
- [Schwarzenbach'11] W. Schwarzenbach et al., *Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling  $V_t$  variation of FDSOI*, ICICDT, 2011
- [Tomimatsu'09] T. Tomimatsu et al., *Cost-Effective 28-nm LSTP CMOS using Gate-First Metal Gate/High-k Technology*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp. 36-37
- [Tsuchiya'04] R. Tsuchiya et al., *Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power and High-Performance Application Featuring Wide-Range Back-Bias Control*, IEDM, 2004, pp. 631-634
- [Tsuchiya'07] Ryuta Tsuchiya et al., *Controllable Inverter Delay and Suppressing  $V_{th}$  Fluctuation Technology in Silicon on Thin BOX Featuring Dual Back-Gate Bias Architecture*, IEDM, 2007, pp. 475-478
- [Watanabe'08] R. Watanabe et al., *A low power 40nm CMOS technology featuring extremely high density of logic (2100kGate/mm<sup>2</sup>) and SRAM (0.195 $\mu\text{m}^2$ ) for wide range of mobile applications with wireless system*, IEDM, 2008
- [Yau'09] Jeng-Bang Yau et al., *FDSOI CMOS with Dual Backgate Control for Performance and Power Modulation*, VLSI-TSA, 2009, pp. 84-85
- [Yoshimi'10] Makoto Yoshimi, Xavier Cauchy, Christophe Maleville, *Ultra-Thin SOI Wafer Technologies for 22/20nm CMOS or beyond*, ICSICT, 2010, pp. 997-998



## Chapitre 3

---

### *Mise en place d'une plateforme de conception FDSOI*



### 3.1. Introduction

Pour réaliser un circuit intégré au niveau industriel, il faut disposer d'une plateforme de conception. Cette plateforme étant dépendante de la technologie de fabrication, il en existe autant que de fondeurs de circuits intégrés. De plus, ces plateformes évoluent à chaque nœud technologique pour prendre en compte de nouvelles spécificités (courants de fuite, variabilité, ...). Autant dire qu'il est difficile aujourd'hui de définir une plateforme de conception type tant celle-ci est devenue spécifique à chaque fondeur. Néanmoins, il existe des offres que toutes les plateformes doivent posséder pour permettre la réalisation de circuits intégrés industriels. Parmi ces offres, citons notamment les bibliothèques de cellules standards, de cellules SRAM, de cellules d'entrée/sortie, de composants passifs (résistances, capacités, ...) ou bien encore de macro-cellules analogiques et RF. Toutes ces bibliothèques sont bien souvent le fruit de plusieurs années de développement et font la spécificité d'une plateforme de conception.

Les plateformes de conception en technologie planaire FDSOI devront donc permettre de réutiliser de manière optimale les bibliothèques déjà existantes afin de minimiser leur temps de développement. Ainsi, ces bibliothèques permettront de réaliser de nouveaux circuits intégrés mais aussi d'optimiser ceux déjà réalisés dans les nœuds technologiques précédents. Le tout, sans modifier, ou presque, le flot de conception standard. Ce n'est qu'à cette condition que la technologie planaire FDSOI pourra mettre à profit ses atouts en termes de contrôle électrostatique, de variabilité et de procédé de fabrication.

Ce chapitre a deux objectifs. Le premier est d'identifier les éléments de la plateforme de conception en technologie planaire sur silicium massif qui sont critiques en termes d'effets canaux courts et de variabilité de la tension de seuil  $V_T$ . Le deuxième est de définir une stratégie pour réaliser ces éléments en utilisant les atouts de la technologie planaire FDSOI.

### 3.2. La plateforme de conception en technologie planaire sur silicium massif et ses points critiques

Une plateforme de conception a pour but de fournir tous les éléments nécessaires à la réalisation d'un circuit intégré. Cela passe aussi bien par les éléments de base que sont les portes logiques pour les circuits numériques que les connexions servant à relier toutes ces portes entre elles. Une plateforme de conception peut ainsi être décomposée en deux parties : la partie *front-end* qui comprend les cellules de base du circuit (portes logiques, mémoires,

...) et la partie *back-end* qui comprend les éléments servant à relier ces cellules entre elles (contact, métaux, vias, ...).

### 3.2.1. Caractéristiques de la partie *back-end*

Dans le cas d'une technologie de fabrication planaire, que ce soit sur silicium massif ou FDSOI, la partie *back-end* d'une plateforme de conception est toujours définie par son nombre de niveaux de métaux (Figure 3.1.).

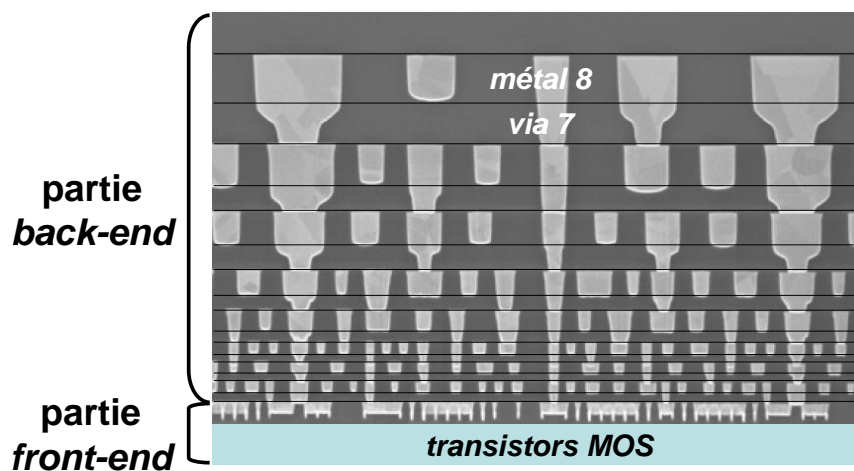


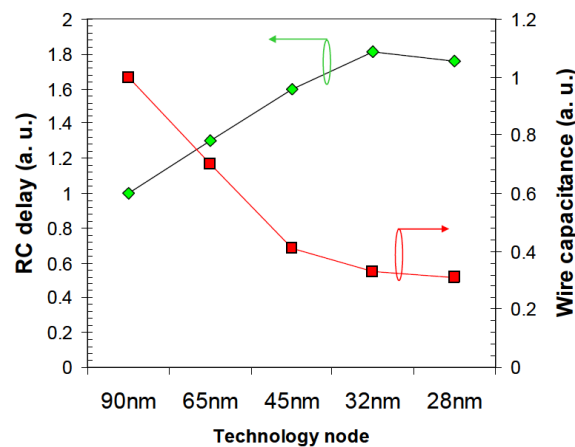
Figure 3.1. : Vue en coupe TEM des niveaux de métaux et d'interconnexions jusqu'au métal 8 [Natarajan'08].

	niveau	pas (nm)	épaisseur (nm)	ratio	métal	isolant
partie front-end	contact	112,5*	35			oxyde
	métal 1	112,5	95	1,7	Cu	low-κ
partie back-end	métal 2	112,5	95	-	Cu	low-κ
	métal 3	112,5	95	-	Cu	low-κ
	métal 4	168,8	151	1,8	Cu	low-κ
	métal 5	225	204	1,8	Cu	low-κ
	métal 6	337,6	303	1,8	Cu	low-κ
	métal 7	450,1	388	1,7	Cu	low-κ
	métal 8	566,5	504	1,8	Cu	SiO <sub>2</sub>
	métal 9	19,4 μm	μm	1,5	Cu	polymère

\*pas entre deux contacts séparés par une grille de transistor

Tableau 3.1. : Pas, épaisseur, ratio, métal et isolant du contact et des différents niveaux de métaux de la plateforme de conception d'Intel pour le nœud technologique 32 nm [Natarajan'08] [Brain'09].

C'est ce nombre qui va déterminer le degré de complexité des circuits intégrés qui pourront être fabriqués. En effet, plus le nombre de niveaux de métaux sera élevé et plus les circuits pourront être complexes. Pour diminuer les résistances et les capacités liées aux interconnexions entre tous les niveaux de métaux et les transistors, de nouveaux matériaux ont été introduits. Ainsi, des matériaux peu résistifs, tel que le cuivre, et ayant une faible permittivité électrique, dit *low- $\kappa$*  ( $\epsilon_{isolant} < 3,9$ ), sont maintenant utilisés, respectivement, pour les métaux et les isolants (Tableau 3.1.). Ce qui a pour effet de limiter l'augmentation du temps de propagation des signaux dans les interconnexions (liée à la loi de réduction d'échelle) et donc de permettre une augmentation de la vitesse de fonctionnement des circuits grâce au gain en performance apporté au niveau transistor (Figure 3.2.).



**Figure 3.2. : Evolution du temps de propagation des signaux dans les interconnexions (vert) et de la capacité des premiers niveaux d'interconnexions (rouge) en fonction du nœud technologique [Arnaud'09].**

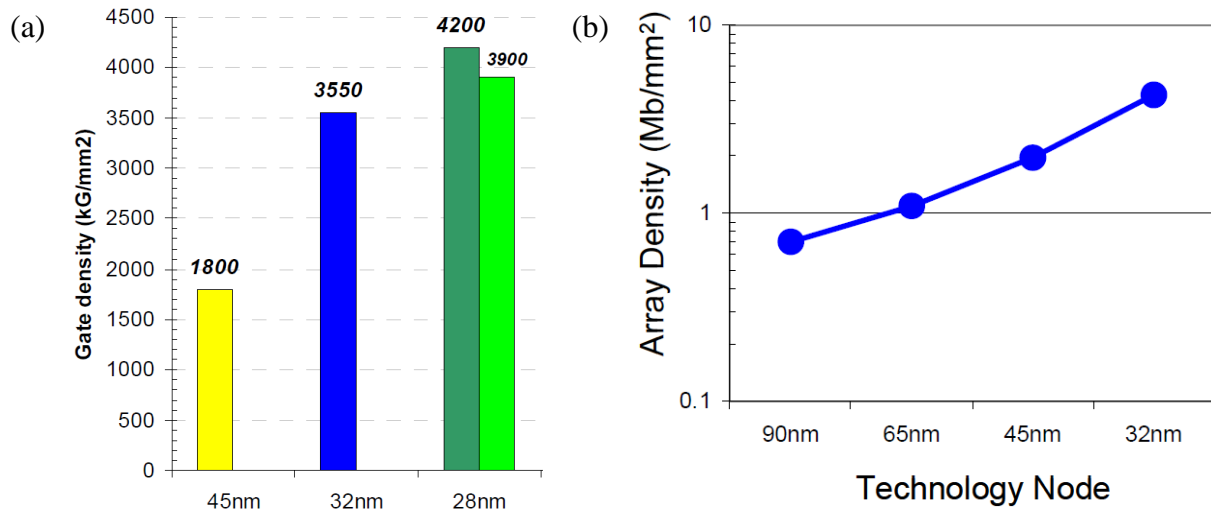
Il faut donc faire en sorte que le gain supplémentaire en performance apporté par la technologie planaire FDSOI ne soit pas non plus limité par les éléments de la partie *back-end*. Ce qui va engendrer une contrainte encore plus forte dans le développement de matériaux à faible résistivité et permittivité.

### 3.2.2. Caractéristiques de la partie *front-end*

La partie *front-end* d'une plateforme de conception en technologie planaire sur silicium massif est composée de différentes bibliothèques. Ces bibliothèques peuvent être composées de cellules servant à la réalisation de circuits numériques et SRAM mais aussi de cellules dédiées à la réalisation de circuits d'entrée/sortie. Il existe aussi des bibliothèques de composants

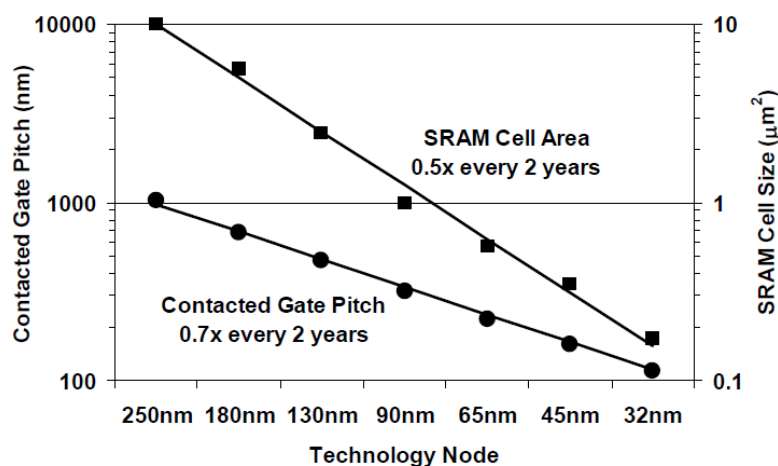
passifs (résistances, capacités, diodes, ...) ou bien encore de macro-cellules analogiques et RF.

Les deux principales métriques qui définissent la partie *front-end* sont la densité de portes logiques (Figure 3.3.a) et la densité de points mémoires (Figure 3.3.b).



**Figure 3.3. : (a) Evolution de la densité de portes logiques fabriquées en technologie planaire sur silicium massif en fonction du nœud technologique [Arnaud'09]. (b) Evolution de la densité de points mémoires fabriqués en technologie planaire sur silicium massif en fonction du nœud technologique [Packan'09].**

La première caractéristique est liée au pas (distance + largeur) entre deux contacts séparés par une grille de transistor alors que la deuxième caractéristique est liée à la surface d'une cellule SRAM à 6 transistors (6T) (Figure 3.4.).



**Figure 3.4. : Evolution du pas entre deux contacts séparés par une grille de transistor et de la surface d'une cellule SRAM 6T fabriqués en technologie planaire sur silicium massif en fonction du nœud technologique [Natarajan'08].**

Ces deux métriques, qui augmentent à chaque nouveau nœud technologique, permettent de définir la densité de circuits intégrés (numériques et SRAM) qu'il sera possible d'obtenir avec les bibliothèques d'une plateforme de conception donnée.

### 3.2.2.1 Bibliothèques de cellules standards

A partir des règles de dessins fixées par les contraintes de la technologie (rendement, grade des masques, ...), un ensemble de portes logiques (combinatoires et séquentielles) est réalisé (Figure 3.5. et Figure 3.6.). Ce qui permet de concevoir des circuits numériques CMOS complexes (Figure 3.7.).

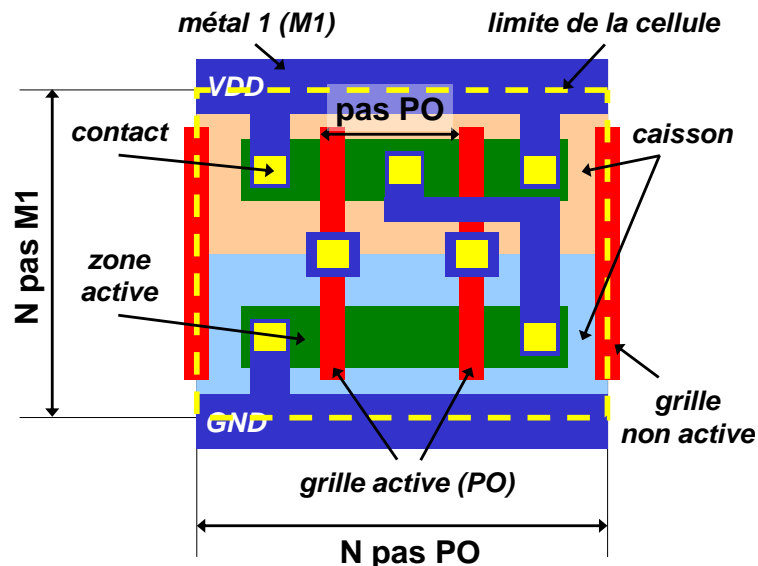


Figure 3.5. : Vue schématique d'un layout régulier d'une cellule standard (NAND2) conçue dans un nœud technologique avancé.

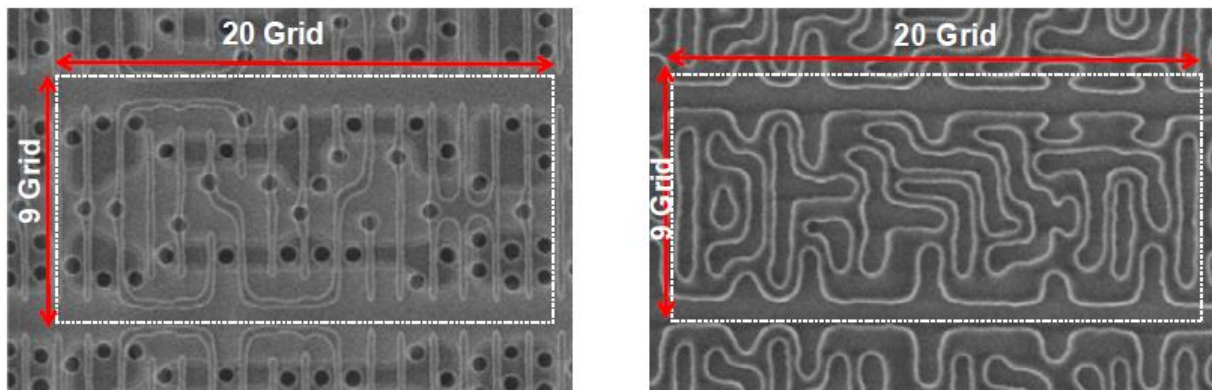
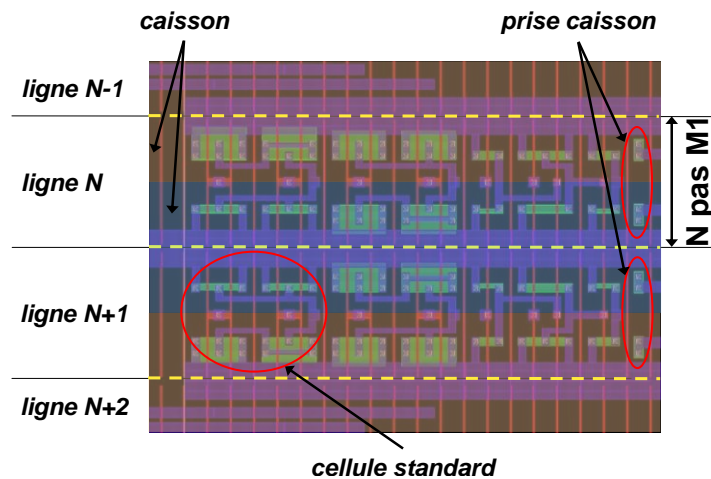


Figure 3.6. : Vues SEM au niveau contact (gauche) et au niveau métal 1 (droite) d'une cellule standard (bascule D) fabriquée en technologie planaire sur silicium massif dans le nœud technologique 32 nm [Hasegawa'08].



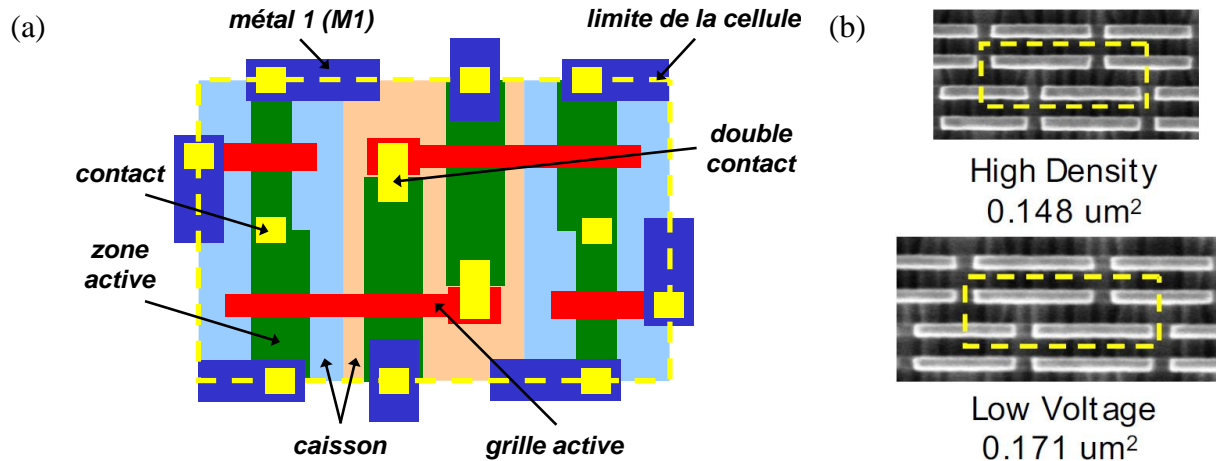
**Figure 3.7. : Vue layout au niveau métal 1 d'un circuit numérique CMOS complexe composé de cellules standards.**

Ces portes logiques, appelées cellules standards, sont ensuite incluses dans différentes bibliothèques définies par leur utilisation (arbre d'horloge, logique, ...), leur type d'application (basse consommation, hautes performances, ...), leur dimension (hauteur, ...) et le niveau de la tension de seuil de leurs transistors (HVT, RVT, ...). Chaque cellule standard est composée de différentes vues qui permettent son exploitation par la majorité des outils de conception du marché. A cause de leurs dimensions critiques (longueur de grilles minimale), les cellules standards sont devenues des éléments fortement affectés par les effets canaux courts, engendrant ainsi de forts courants de fuite. De plus, à cause de la forte variabilité de la tension de seuil de leurs transistors ( $A_{V_T} > 2 \text{ mV} \cdot \mu\text{m}$ ), la réduction de la tension d'alimentation devient fortement limitée, empêchant ainsi la réduction des courants de fuite. L'apport de la technologie planaire FDSOI devrait donc être très bénéfique pour ce type de cellules.

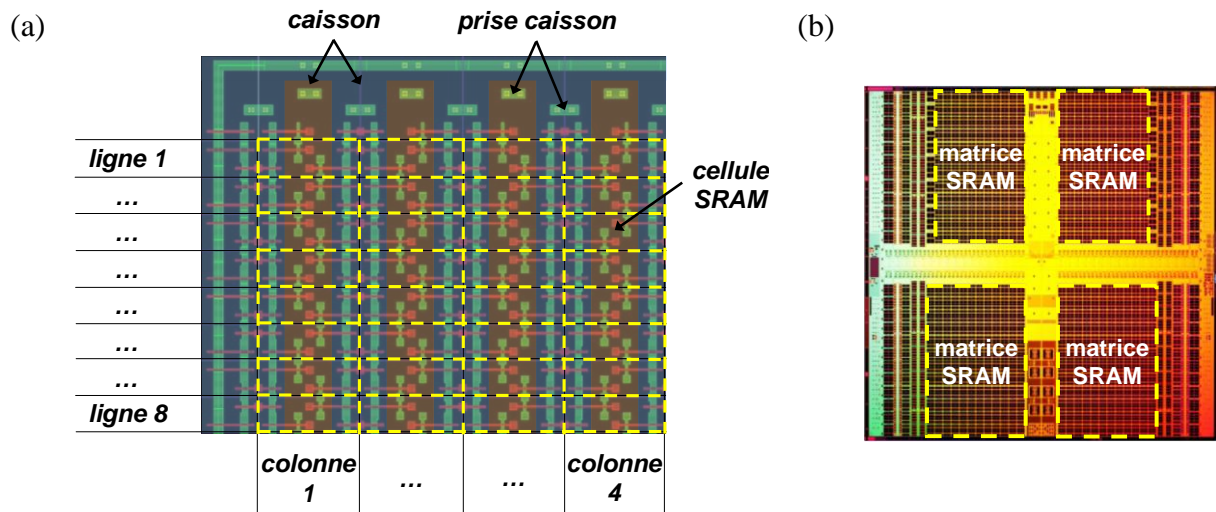
### 3.2.2.2 Bibliothèques de cellules SRAM

Pour réaliser des circuits SRAM de quelques kbits à plusieurs Mbits, des cellules constituant un point mémoire (1 bit) doivent être utilisées (Figure 3.8.).





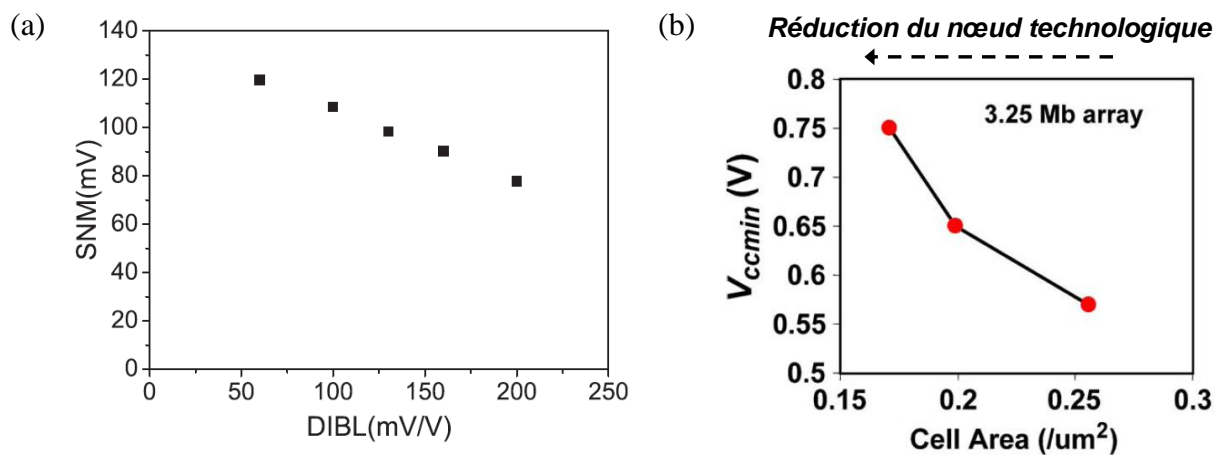
**Figure 3.8. :** (a) Vue schématique d'un layout au niveau métal 1 d'une cellule SRAM 6T conçue dans un nœud technologique avancé. (b) Vues SEM au niveau poly-silicium (grille) de cellules SRAM 6T hautes densités ( $0,148 \mu\text{m}^2$ ) et basses tensions ( $0,171 \mu\text{m}^2$ ) fabriquées en technologie planaire sur silicium massif dans le nœud technologique 32 nm [Jan'09].



**Figure 3.9. :** (a) Vue layout au niveau contact d'une matrice de cellules SRAM 6T. (b) Image d'un circuit mémoire de 291 Mbits comprenant 4 matrices de cellules SRAM 6T fabriquées dans le nœud technologique 32 nm [Jan'09].

Ces cellules sont assemblées sous forme de matrices devenant ainsi le cœur d'un circuit SRAM (Figure 3.9.). Différentes architectures de cellules peuvent être choisies suivant le type d'application. L'architecture de cellules SRAM la plus couramment utilisée se compose de six transistors (6T) : quatre transistors formant deux inverseurs retro-bouclés qui permettent la rétention de l'information (1 bit) et deux transistors servant à la lecture et l'écriture de l'information. Cette architecture peut être déclinée en plusieurs versions (haute densité, basse consommation, haute performance) suivant les besoins des applications. La surface de la cellule est alors dépendante de l'application visée (Figure 3.8.b). Les cellules SRAM 6T ont des dimensions tellement critiques qu'elles sont devenues des circuits de référence pour tester

la robustesse d'une technologie. En effet, les effets canaux courts (DIBL, ...) et la variabilité de la tension de seuil ont un impact très fort sur ses caractéristiques. Ainsi, la caractéristique la plus affectée est celle qui définit la capacité de la cellule SRAM à maintenir son information lorsque celle-ci est accédée en lecture. En effet, cette métrique, communément appelée SNM (*Static Noise Margin* en anglais), est fortement liée à la tension de seuil (Figure 3.10.a). Ce qui a pour conséquence directe de diminuer le rendement des circuits SRAM et de limiter à un seuil minimum leur tension d'alimentation (Figure 3.10.b).



**Figure 3.10. : (a) Evolution de la SNM en fonction du DIBL d'une cellule SRAM 6T simulée avec des transistors MOS en technologie planaire sur silicium massif dans le nœud technologique 45 nm [Tachibana'05]. (b) Evolution de la tension minimale d'alimentation d'une matrice de cellules SRAM 6T fabriquée dans le nœud technologique 32 nm en fonction de la surface des cellules [Kuhn'11].**

Comme les cellules standards, les cellules SRAM sont devenues des éléments fortement affectés par les effets canaux courts et la variabilité de la tension de seuil. L'apport de la technologie planaire FDSOI devrait donc être aussi très bénéfique pour ce type de cellules.

### 3.2.2.3 Bibliothèques de cellules d'entrée/sortie, de composants passifs et de macro-cellules analogiques et RF

Dans la perspective d'une introduction de la technologie planaire FDSOI au niveau industriel pour le nœud technologique 22nm, il peut être envisagé, dans un premier temps, de garder les bibliothèques de cellules d'entrée/sortie, de composants passifs et de macro-cellules analogiques et RF en technologie planaire sur silicium massif (Figure 3.11.).

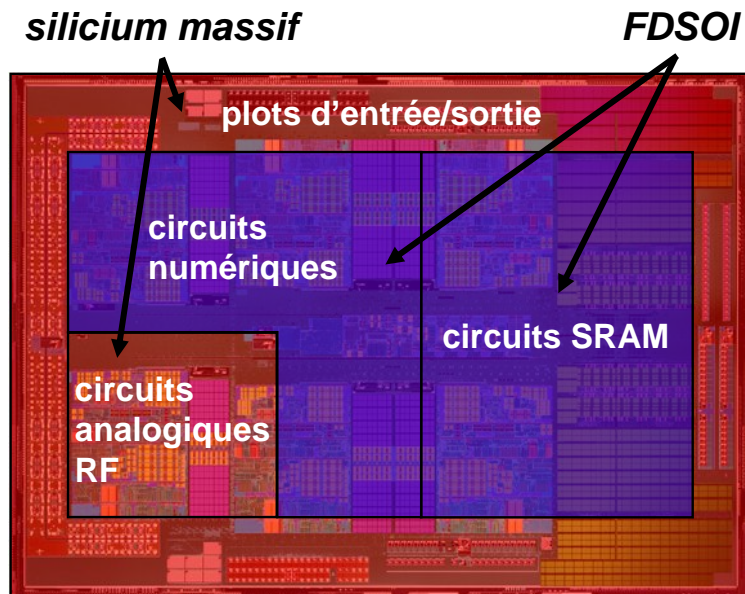


Figure 3.11. : Schéma de principe d'un système sur puce co-intégrant des blocs fabriqués en technologie planaire FDSOI (bleus) et sur silicium massif (rouge).

En effet, ces éléments n'étant pas encore limités par les effets canaux courts, il peut être intéressant de préserver leur fonctionnalité et leur performance en continuant de les fabriquer en technologie planaire sur silicium massif. Ainsi, ils pourront être co-intégrés sur la même plaque de silicium aux éléments fabriqués en technologie planaire FDSOI, comme cela a déjà été montré expérimentalement [Yang'03] [Yang'04] [Chen'05] [Fenouillet'09] (Figure 3.12.).

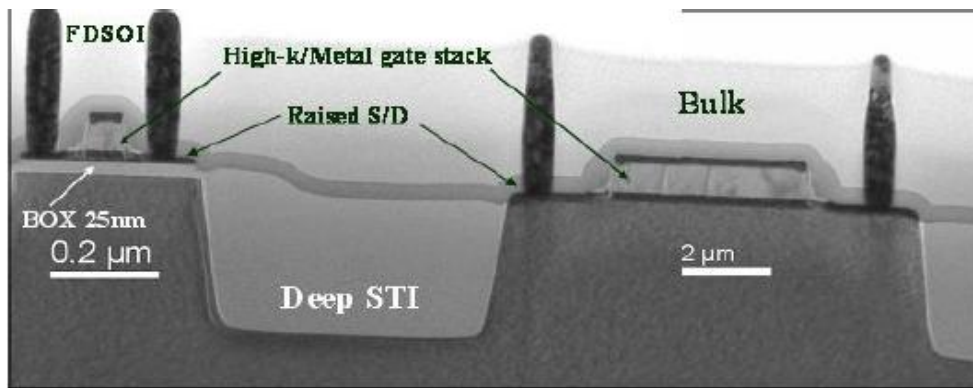


Figure 3.12. : Vue en coupe TEM de transistors MOS fabriqués sur la même puce en technologie planaire FDSOI BOX mince et sur silicium massif [Fenouillet'09].

Le principe de cette co-intégration consiste à isoler les dispositifs fabriqués en technologie planaire sur silicium massif de ceux fabriqués en technologie planaire FDSOI par un STI suffisamment profond ( $T_{STI} \approx 300$  nm). Quant au BOX, il est supprimé localement pour permettre la fabrication de dispositifs sur silicium massif. Cette co-intégration est d'autant plus simple en termes de procédé de fabrication que des plaques SOI à BOX mince sont

utilisées. Dans un deuxième temps, après optimisation des performances en prenant en compte les spécificités de la technologie planaire FDSOI, il pourra être envisagé de fabriquer tous les éléments des bibliothèques de la plateforme de conception en technologie planaire FDSOI. Ainsi, il pourra être avantageux de tirer bénéfice de la faible variabilité de la tension de seuil, voir de la modulation de la tension de seuil par polarisation de la grille arrière des transistors MOS, pour les macro-cellules analogiques. De plus, la diminution des capacités induites par le BOX pourra être aussi bénéfique pour les macro-cellules RF [Chen'02] [Chen'07] [Nuttinck'06]. A l'exception, peut-être, de certains éléments qui tireront toujours bénéfice de l'utilisation d'un fort volume de silicium. Notamment pour permettre la circulation de forts courants avec une bonne dissipation thermique.

### 3.3. Définition d'une plateforme technologique multi- $V_T$ FDSOI

Dans le but de réaliser des cellules standards et SRAM moins sensibles aux effets canaux courts et offrant ainsi de meilleures performances dans les nœuds technologiques sub-32 nm, une plateforme technologique doit être mise au point. Ainsi, pour pouvoir offrir une large gamme de performances, elle devra être composée de transistors MOS multi- $V_T$ . En technologie planaire sur silicium massif, ces transistors sont obtenus principalement en modulant le dopage du canal. De cette manière, trois niveaux de tensions de seuil sont généralement définis : HVT, RVT et LVT. La différence entre ces niveaux correspond généralement à une décade de courant  $I_{OFF}$  et à un gain de 20 à 25 % de courant  $I_{ON}$  (Tableau 3.2. et Figure 3.13.).

		[Tomimatsu'09]			[Arnaud'09]		
<b><math>L_G</math> (nm)</b>		28			30		
<b><math>V_{DD}</math> (V)</b>		1			1		
<b>EOT* [n/p] (nm)</b>		1,4/1,7			-		
<b>option de <math>V_T</math></b>		HVT	RVT	LVT	HVT	RVT	LVT
<b><math>nMOS</math></b>	<b><math>I_{ON}</math> (<math>\mu A/\mu m</math>)</b>	500	670	850	540	720	885
	<b><math>I_{OFF}</math> (pA/<math>\mu m</math>)</b>	20	200	2000	35	450	6000
<b><math>pMOS</math></b>	<b><math>I_{ON}</math> (<math>\mu A/\mu m</math>)</b>	265	355	450	305	410	500
	<b><math>I_{OFF}</math> (pA/<math>\mu m</math>)</b>	20	200	2000	35	450	6000

\*épaisseur équivalente de l'oxyde de grille en régime d'inversion

**Tableau 3.2. : Courants  $I_{ON}$  et  $I_{OFF}$  de transistors  $nMOS$  et  $pMOS$  multi- $V_T$  fabriqués en technologie planaire sur silicium massif dans le nœud technologique 28 nm [Tomimatsu'09] [Arnaud'09].**

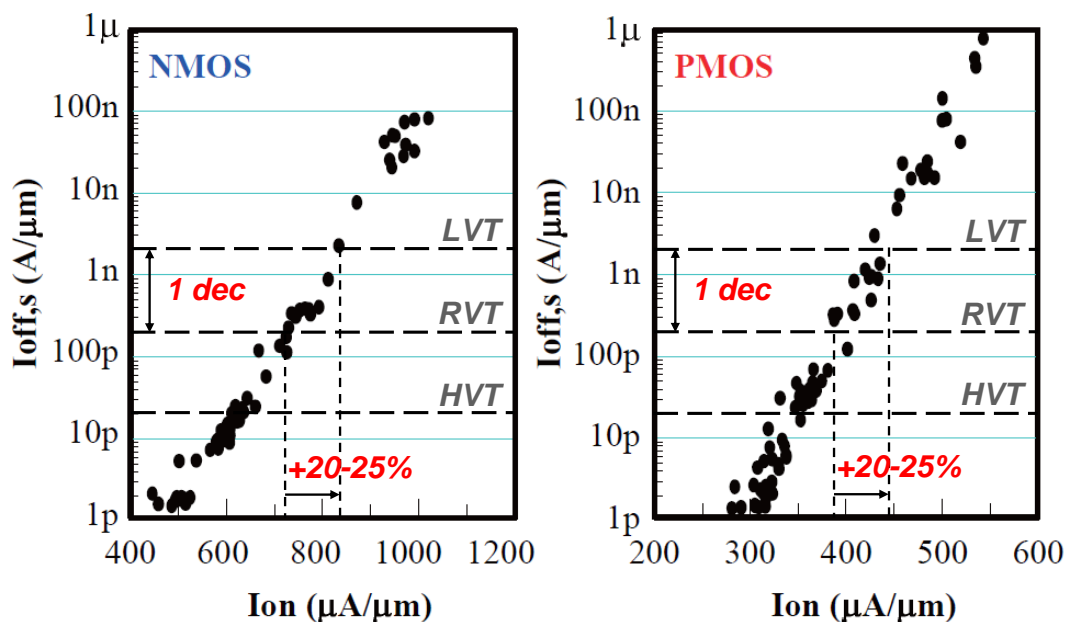


Figure 3.13. : Evolution du courant  $I_{OFF}$  en fonction du courant  $I_{ON}$  de transistors nMOS et pMOS multi- $V_T$  fabriqués en technologie planaire sur silicium massif dans le nœud technologique 28 nm [Tomimatsu'09].

En technologie planaire FDSOI, les différents niveaux de tensions de seuil ne peuvent pas être obtenus de la même façon qu'en technologie planaire sur silicium massif. En effet, doper le film mince de silicium (initialement non dopé) des transistors MOS aurait pour effet de dégrader la variabilité de la tension de seuil (Figure 3.14.).

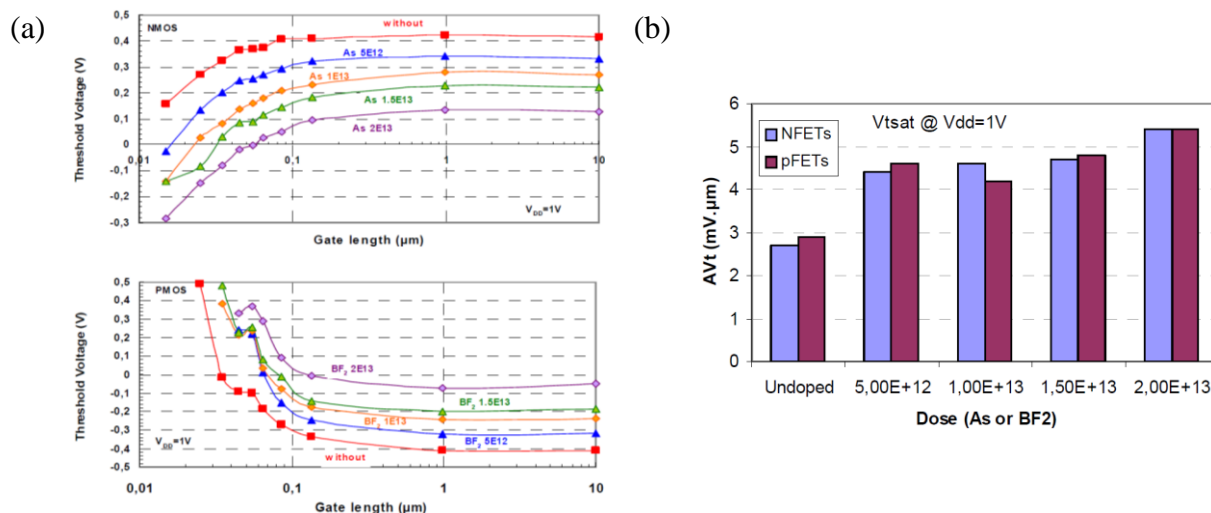


Figure 3.14. : (a) Evolution de la tension de seuil de transistors MOS fabriqués en technologie planaire FDSOI BOX épais (145 nm) en fonction de la longueur de grille pour plusieurs niveaux de dopants implantés dans le film mince de silicium [Buj'09]. (b) Evolution du coefficient de Pelgrom ( $A_{VT}$ ) de transistors MOS fabriqués en technologie planaire FDSOI BOX épais (145 nm) en fonction du niveau de dopants implantés dans le film mince de silicium [Buj'09].

Ce qui limite fortement l'intérêt de cette méthode étant donné l'importance de maintenir cette faible variabilité dans les nœuds technologiques sub-32 nm. Une autre solution consisterait à utiliser plusieurs matériaux de grille pour moduler le travail de sortie et ainsi ajuster la tension de seuil. Ce qui aurait pour avantage de n'augmenter ni la variabilité ni les effets canaux courts. Néanmoins, cela nécessiterait de co-intégrer trois types de grilles, augmentant ainsi la complexité du procédé de fabrication. A cela s'ajouterait aussi deux masques critiques supplémentaires, augmentant de manière non négligeable le coût du procédé de fabrication, en plus de sa complexité. Une autre solution pourrait consister à utiliser l'effet de la grille arrière du transistor MOS. En effet, avec une épaisseur de BOX suffisamment fine, il est possible de moduler la tension de seuil en faisant varier la tension de polarisation de la grille arrière (cf. Chapitre 2). Dans cette solution, toute la difficulté réside dans la mise en place d'une architecture de transistors qui permet de conserver l'environnement CMOS existant en technologie planaire sur silicium massif. Le chapitre 4 sera consacré à l'étude de telles architectures.

### 3.4. Conclusion

Les plateformes de conception en technologie planaire sur silicium massif ont été progressivement optimisées et enrichies à chaque nouveau nœud technologique. Si bien qu'elles sont devenues aujourd'hui indispensables pour réaliser n'importe quels circuits intégrés au niveau industriel. Néanmoins, pour être aussi efficaces, elles ont dû être associées à des plateformes technologiques constituées de transistors MOS multi- $V_T$ . En effet, cette méthode a permis de compenser les faiblesses du transistor MOS dans les nœuds technologiques sub-130 nm pour continuer à offrir une large gamme de performances. Les bibliothèques ayant le plus tiré profit de l'apport des transistors MOS multi- $V_T$  sont les bibliothèques contenant des cellules critiques en termes de dimension, à savoir les cellules standards et SRAM. Néanmoins, à cause de l'accentuation des effets canaux courts à chaque nouveau nœud technologique, il risque d'être extrêmement difficile de continuer à réaliser des transistors MOS multi- $V_T$  dans les nœuds sub-32 nm.

Pour que la plateforme de conception en technologie planaire FDSOI puisse se substituer efficacement à celles de la technologie planaire sur silicium massif, il faut qu'elle puisse s'appuyer sur une plateforme technologique multi- $V_T$  moins sensible aux effets canaux courts et à la variabilité de la tension de seuil. Pour cela, elle dispose de transistors MOS

possédant un excellent contrôle électrostatique et un canal non dopé éliminant une partie importante des sources de variabilité de la tension de seuil. Ce qui devrait fortement améliorer les performances des cellules standards et SRAM. En ce qui concerne les autres types de cellules (entrée/sortie, analogiques, ...), elles pourront continuer, dans un premier temps, à être fabriquées en technologie planaire sur silicium massif en étant co-intégrées sur la même plaque avec les cellules fabriquées en technologie planaire FDSOI.

La difficulté dans la réalisation d'une telle plateforme réside dans la mise en place d'architectures de transistors qui soient compatibles avec un environnement de conception CMOS standard et qui ne dégradent ni la variabilité de la tension de seuil ni le procédé de fabrication (en termes de complexité et de coût). En ce sens, l'effet de la grille arrière des transistors MOS fabriqués en technologie planaire FDSOI BOX mince devrait apporter un bras de levier supplémentaire pour relever ce défi.

### 3.5. Références bibliographiques

- [Arnaud'09] F. Arnaud et al., *Competitive and Cost Effective high-k based 28nm CMOS Technology for Low Power Applications*, IEDM, 2009, pp. 651-654
- [Brain'09] R. Brain et al., *Low-k interconnect stack with a novel self-aligned via patterning process for 32nm high volume manufacturing*, IITC, 2009, pp. 249-251
- [Buj'09] C. Buj-Dufournet et al., *Counter-doping as a solution for multi threshold voltage on FDSOI MOSFETs with a single TiN/HfO<sub>2</sub> gate stack*, SSDM, 2009
- [Chen'02] C. L. Chen et al., *High-Performance Fully-Depleted SOI RF CMOS*, IEEE Electron Device Letters, vol. 23, no. 1, January 2002, pp. 52-54
- [Chen'05] Hou-Yu Chen et al., *Novel 20nm Hybrid SOI/Bulk CMOS Technology with 0.183 $\mu\text{m}^2$  6T-SRAM Cell by Immersion Lithography*, Symposium on VLSI Technology Digest of Technical Papers, 2005, pp. 16-17
- [Chen'07] C. L. Chen et al., *Fully Depleted SOI RF Switch with Dynamic Biasing*, IEEE Radio Frequency Integrated Circuits Symposium, 2007, pp. 175-178
- [Fenouillet'09] C. Fenouillet-Beranger et al., *Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology*, IEDM, 2009, pp. 667-670
- [Hasegawa'08] S. Hasegawa et al., *A Cost-Conscious 32nm CMOS Platform Technology with Advanced Single Exposure Lithography and Gate-First Metal Gate/High-K Process*, IEDM, 2008
- [Jan'09] C.-H. Jan et al., *A 45nm Low Power System-On-Chip Technology with Dual Gate (Logic and I/O) High-k/Metal Gate Strained Silicon Transistors*, IEDM, 2008
- [Kuhn'11] Kelin J. Kuhn et al., *Process Technology Variation*, IEEE Transactions on Electron Devices, vol. 58, no. 8, pp. 2197-2208
- [Natarajan'08] S. Natarajan et al., *A 32nm Logic Technology Featuring 2<sup>nd</sup>-Generation High-k + Metal-Gate Transistors, Enhanced Channel Strain and 0.171 $\mu\text{m}^2$  SRAM Cell Size in a 291Mb Array*, IEDM, 2008
- [Nuttinck'06] Sebastien Nuttinck, *Ultrathin-Body SOI Devices as a CMOS Technology Downscaling Option: RF Perspective*, IEEE Transactions on Electron Devices, vol. 53, no. 5, May 2006, pp. 1193-1199
- [Packan'09] P. Packan et al., *High Performance 32nm Logic Technology Featuring 2<sup>nd</sup>*



*Generation High-k + Metal Gate Transistors*, IEDM, 2009, pp. 659-662

- [Tachibana'05] Fumihiko Tachibana, Toshiro Hiramoto, *Re-Examination of Impact of Intrinsic Dopant Fluctuations on Static RAM (SRAM) Static Noise Margin*, Japanese Journal of Applied Physics, vol. 44, no. 4B, 2005, pp. 2147-2151
- [Tomimatsu'09] T. Tomimatsu et al., *Cost-Effective 28-nm LSTP CMOS using Gate-First Metal Gate/High-k Technology*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp. 36-37
- [Yang'03] M. Yang et al., *High Performance CMOS Fabricated on Hybrid Substrate With Different Crystal Orientations*, IEDM, 2003, pp. 453-456
- [Yang'04] M. Yang et al., *On the Integration of CMOS with Hybrid Crystal Orientations*, Symposium on VLSI Technology Digest of Technical Papers, 2004, pp. 160-161



## Chapitre 4

---

### *Architectures de transistors MOS multi- $V_T$ FDSOI*



## 4.1. Introduction

Pour qu'une plateforme de conception basse consommation en technologie planaire FDSOI puisse être mise en place, il faut avant tout qu'elle puisse disposer d'une plateforme technologique constituée de transistors MOS multi- $V_T$ . Pour être compétitifs par rapport aux transistors MOS multi- $V_T$  sur silicium massif, il est important que la stratégie mise en place puisse s'appuyer sur les trois points majeurs suivants : (i) préserver l'intégrité du contrôle électrostatique du canal par la grille, (ii) ne pas dégrader la variabilité de la tension de seuil et (iii) ne pas complexifier le procédé de fabrication par l'ajout de masques ou d'étapes critiques.

Pour mettre en place des architectures de transistors en respectant toutes ces conditions, il faut, dans un premier temps, identifier les paramètres sur lesquels agir pour ajuster la tension de seuil ( $V_T$ ). Puis, dans un second temps, il faut étudier les principales caractéristiques électriques de ces transistors pour mettre en évidence l'influence des phénomènes physiques spécifiques à la technologie planaire FDSOI.

Ce chapitre a pour objectif de proposer des architectures de transistors MOS multi- $V_T$  en technologie planaire FDSOI permettant de créer une plateforme technologique qui peut remplacer efficacement et avantageusement celles constituées de transistors MOS multi- $V_T$  sur silicium massif.

## 4.2. Définition de la tension de seuil du transistor MOS FDSOI

Afin d'ajuster efficacement la tension de seuil d'un transistor MOS FDSOI, il est nécessaire, dans un premier temps, d'identifier les paramètres dont elle dépend pour, dans un second temps, quantifier leur impact. Pour cela, on se propose de partir de l'équation définissant la tension de seuil d'un transistor nMOS FDSOI à canal long et ayant un film de silicium dopé déserté en face arrière [Lim'83] :

$$V_T = V_{FB}^f + 2\phi_F + r(V_{FB}^b + 2\phi_F - V_{BS}) \quad (1)$$

avec :

-  $V_{FB}^f$ , la tension de bande plate de la face avant du film de silicium :

$$V_{FB}^f = \phi_m - \left( \chi + \frac{E_g}{2q} + \phi_F \right) \quad (2)$$

où  $\phi_m$  représente le travail de sortie de la grille avant métallique,  $\chi$  le travail de sortie de la bande de conduction du film de silicium,  $E_g$  l'énergie du gap du film de silicium et  $\phi_F$  le niveau de Fermi du film de silicium.

-  $V_{FB}^b$ , la tension de bande plate de la face arrière du film de silicium :

$$V_{FB}^b = \phi_{BP} - \left( \chi + \frac{E_g}{2q} + \phi_F \right) \quad (3)$$

où  $\phi_{BP}$  représente le travail de sortie du BP.

-  $r$ , le coefficient de couplage capacitif entre la grille avant et la grille arrière :

$$r = \frac{T_{OX}}{T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} T_{Si}} \quad (4)$$

où  $T_{OX}$  représente l'épaisseur de l'oxyde de grille avant,  $T_{Si}$  l'épaisseur du film de silicium et  $T_{BOX}$  l'épaisseur du BOX.

-  $V_{BS}$ , la différence de potentiel entre le BP et la source.

Dans le cas particulier d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé, le terme  $2\phi_F$ , représentant la création d'un canal de conduction en face avant, n'a plus de sens strict. En effet, si le film de silicium non dopé est suffisamment mince, la grille arrière peut influencer la création du canal et le rendre non pas surfacique, comme pour un transistor MOS sur silicium massif, mais volumique [Colinge'97]. Le terme  $\phi_c$ , qui représente le potentiel du canal, est alors préféré. Ainsi, l'équation (1) devient :

$$V_T = V_{FB}^f + \phi_c + r(V_{FB}^b + \phi_c - V_{BS}) \quad (5)$$

Pour un transistor MOS sur silicium massif, la condition associée au début de création d'un canal, et donc à la tension de seuil, est définie d'un point de vue capacitif. Cette condition est décrite par l'équation suivante [Tsividis'99] :

$$C_{inv} = C_{ox} + C_{dep} \quad (6)$$

où  $C_{inv}$  et  $C_{dep}$  représentent, respectivement, la capacité d'inversion et la capacité de déplétion du silicium dopé sous l'oxyde de grille et  $C_{ox}$  la capacité de l'oxyde de grille. Pour

déterminer le potentiel du canal dans le cas d'un transistor nMOS FDSOI ayant un film mince de silicium non dopé, cette équation n'est plus tout à fait valide. Une définition plus appropriée serait alors [Poiroux'05] :

$$C_{inv} = C_{ox} \quad (7)$$

La capacité d'inversion peut aussi s'écrire sous la forme suivante :

$$C_{inv} = \frac{\partial Q_{inv}^{th}}{\partial \phi_c} \quad (8)$$

avec  $Q_{inv}^{th}$ , la charge d'inversion au seuil :

$$Q_{inv}^{th} = qn_{inv}T_{Si} \quad (9)$$

où :

$$n_{inv} = n_i \exp\left(\frac{q(\phi_c - \phi_F)}{kT}\right) \quad (10)$$

En substituant cette équation dans l'équation (9), la charge d'inversion au seuil devient :

$$Q_{inv}^{th} = qn_iT_{Si} \exp\left(\frac{q(\phi_c - \phi_F)}{kT}\right) \quad (11)$$

Puis, en dérivant l'équation (8), la capacité d'inversion s'écrit alors :

$$C_{inv} = \frac{q}{kT} Q_{inv}^{th} \quad (12)$$

A partir de cette équation, la charge d'inversion au seuil peut alors être définie comme :

$$Q_{inv}^{th} = \frac{kT}{q} C_{ox} \quad (13)$$

Dans le cas général où le barycentre du canal peut se situer n'importe où entre la face avant et la face arrière du film mince de silicium non dopé du transistor nMOS (valide pour  $T_{BOX}$  non négligeable devant  $T_{OX}$ ), l'équation (13) devient :

$$Q_{inv}^{th} = (1+r) \frac{kT}{q} C_{ox} \quad (14)$$

Puis, en utilisant l'égalité entre cette équation et l'équation (11), l'équation du potentiel du canal peut alors s'écrire sous la forme suivante :

$$\phi_c = \frac{kT}{q} \ln\left((1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_iT_{Si}}\right) + \phi_F \quad (15)$$

Ainsi, en la substituant dans l'équation (5), cette dernière devient :

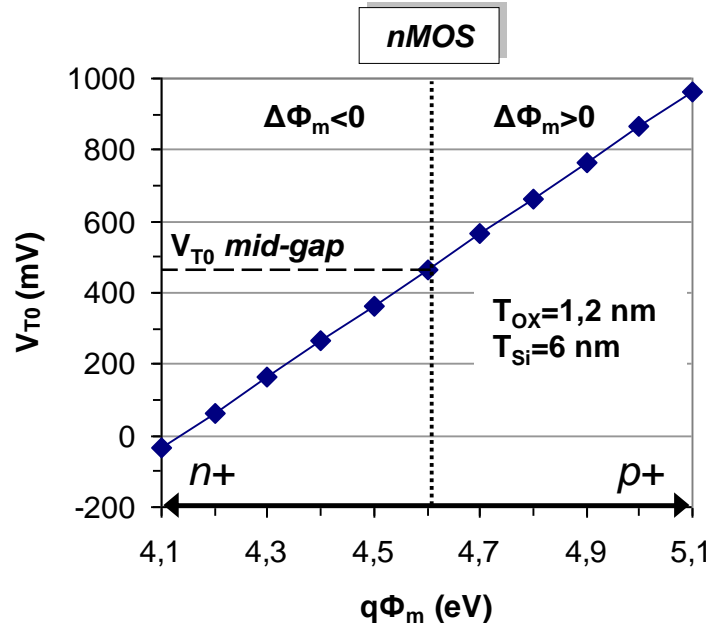
$$V_T = \phi_m - \left( \chi + \frac{E_g}{2q} \right) + \frac{kT}{q} \ln \left( (1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) + r \left( \phi_{BP} - \left( \chi + \frac{E_g}{2q} \right) + \frac{kT}{q} \ln \left( (1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) - V_{BS} \right) \quad (16)$$

Cette équation peut aussi s'écrire sous la forme suivante :

$$V_T = V_{T_0} + r(V_{BS_0} - V_{BS}) \quad (17)$$

avec :

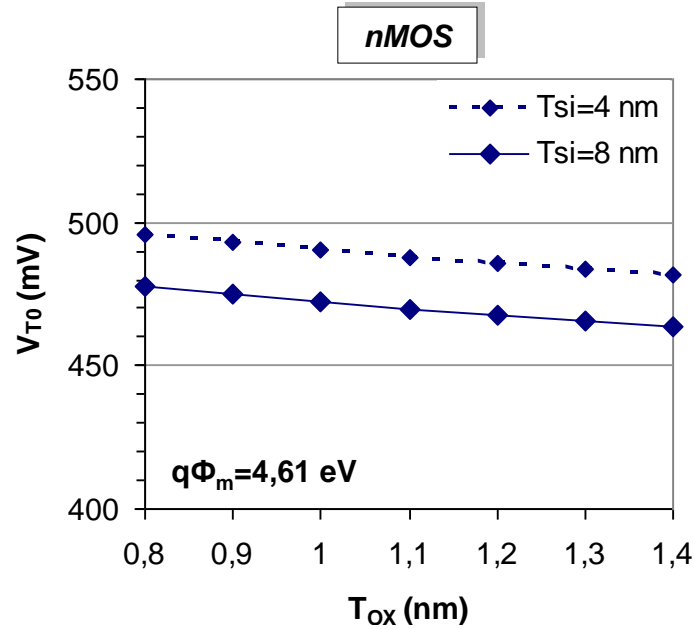
-  $V_{T_0}$ , la tension de seuil d'un transistor nMOS FDSOI basé sur un BOX épais ( $r$  est alors négligeable devant 1). Sa valeur dépend essentiellement du travail de sortie de la grille avant métallique. Dans le cas d'une grille avant métallique avec un travail de sortie équivalent au *mid-gap* du film mince de silicium non dopé, c'est-à-dire  $q\phi_m = (q\chi + E_g/2q) = 4,61$  eV, le terme  $\phi_m - (\chi + E_g/2q)$  s'annule. Ce dernier peut alors être remplacé par le terme  $\Delta\phi_m$  qui correspond à la variation du travail de sortie de la grille avant métallique par rapport à la valeur du *mid-gap* du film mince de silicium non dopé. Ainsi, cette variation  $\Delta\phi_m$  se reporte directement sur la valeur de la tension  $V_{T_0}$ , et plus généralement sur celle de la tension de seuil (Figure 4.1.).



**Figure 4.1. :** Evolution de la tension  $V_{T0}$  en fonction du travail de sortie de la grille avant métallique ( $\Phi_m$ ) d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé.



L'épaisseur de l'oxyde de grille avant et l'épaisseur du film mince de silicium non dopé jouent aussi un rôle dans la modulation du terme  $V_{T_0}$  mais de manière moins significative (Figure 4.2.).



**Figure 4.2. :** Evolution de la tension  $V_{T_0}$  en fonction de  $T_{OX}$  pour deux valeurs de  $T_{Si}$  d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé.

-  $V_{BS_0}$ , la tension de polarisation du BP qui annule l'effet de la grille arrière sur la tension de seuil. Comme pour le terme  $V_{T_0}$ , sa valeur dépend essentiellement du travail de sortie du matériau de grille. Dans le cas d'un transistor nMOS FDSOI, ce matériau de grille correspond au BP. Ainsi, le terme  $\phi_{BP} - (\chi + E_g / 2q)$  peut aussi être remplacé par le terme  $\Delta\phi_{BP}$  qui correspond à la variation du travail de sortie du BP par rapport à la valeur du *mid-gap* du film mince de silicium non dopé (Figure 4.3.).

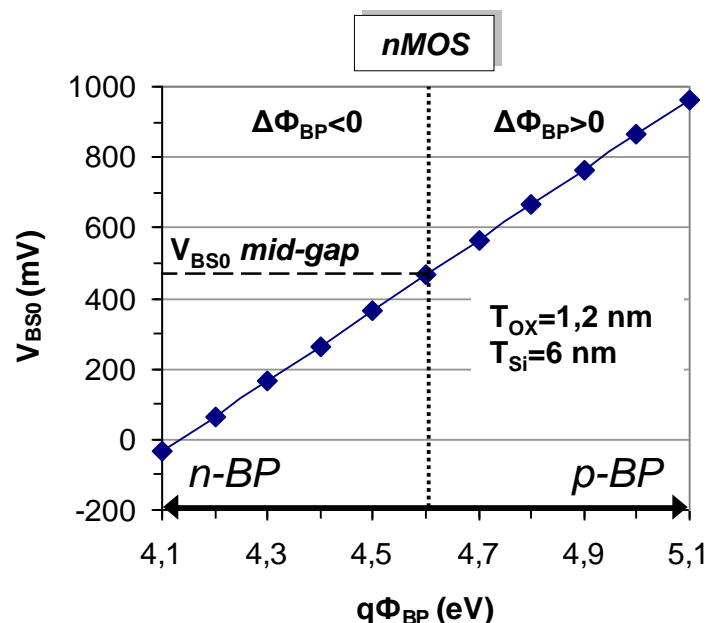


Figure 4.3. : Evolution de la tension  $V_{BS0}$  en fonction du travail de sortie du BP ( $\Phi_{BP}$ ) d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé.

De la même manière, cette variation  $\Delta\phi_{BP}$  se reporte directement sur la valeur de la tension  $V_{BS0}$  mais est atténuée par le coefficient de couplage capacitif au niveau de la tension de seuil (Figure 4.4.).

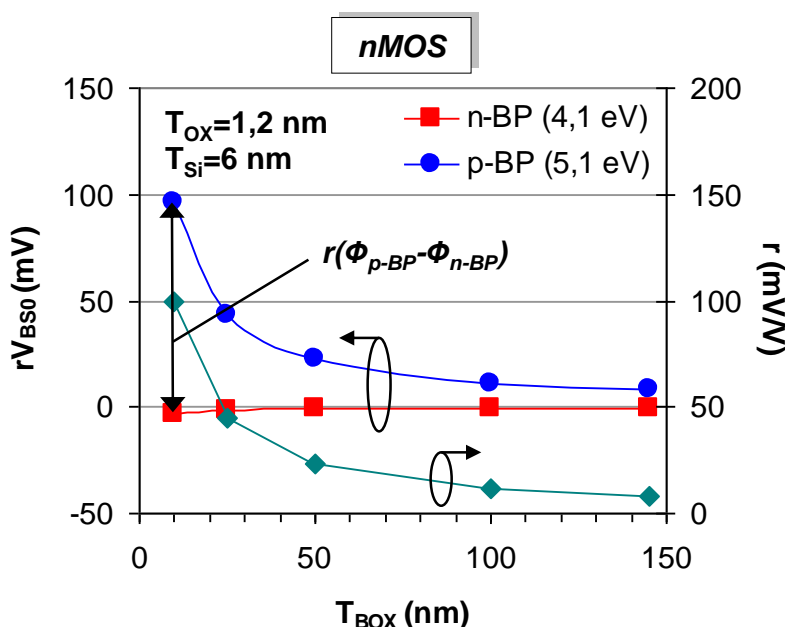
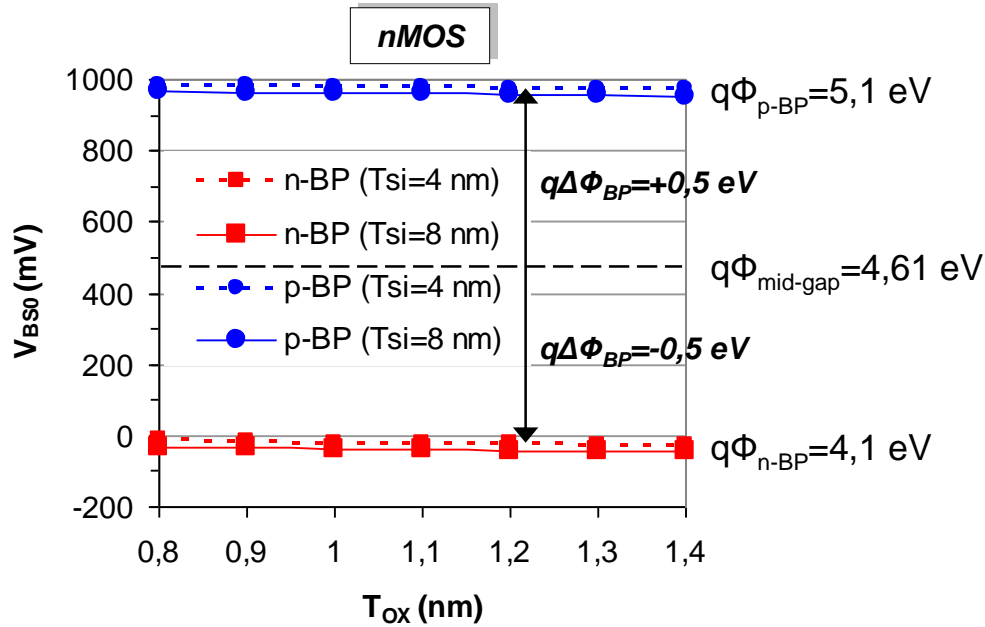


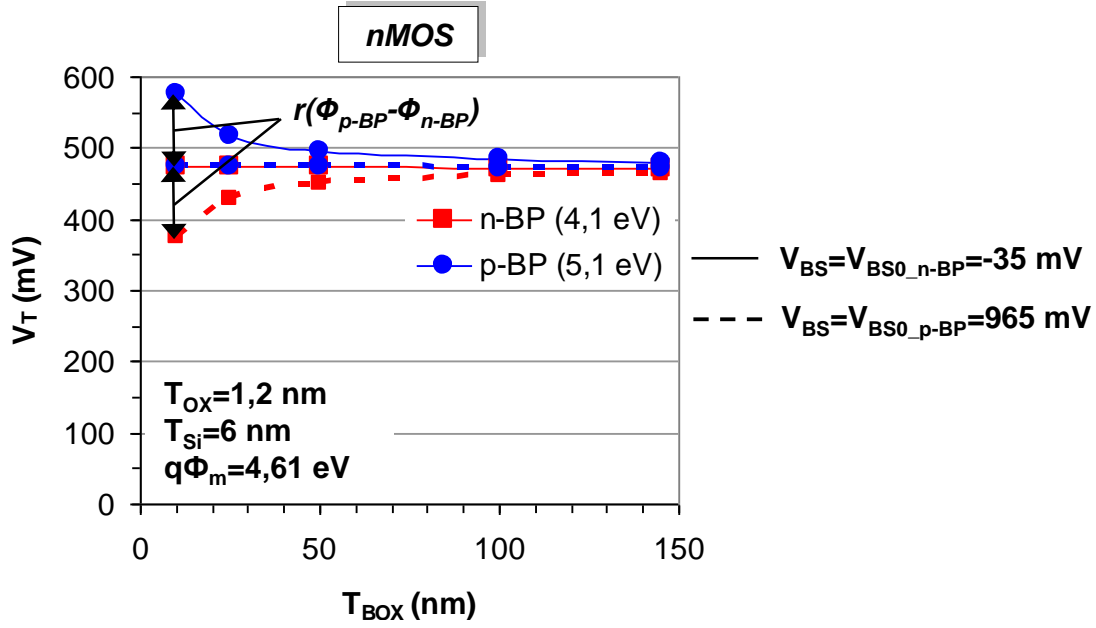
Figure 4.4. : Evolution du terme  $rV_{BS0}$  et du coefficient de couplage capacitif ( $r$ ) en fonction de  $T_{BOX}$  pour deux types de BP d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé.

L'épaisseur de l'oxyde de grille avant et l'épaisseur du film mince de silicium non dopé jouent aussi un rôle dans la modulation du terme  $V_{BS_0}$  mais de manière moins significative, comme pour le terme  $V_{T_0}$  (Figure 4.5.).



**Figure 4.5. :** Evolution de la tension  $V_{BS0}$  en fonction de  $T_{OX}$  pour deux valeurs de  $T_{Si}$  et deux types de BP d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé.

-  $V_{BS}$ , la tension de polarisation du BP. Comme la tension de polarisation du caisson d'un transistor nMOS sur silicium massif, la tension de polarisation du BP d'un transistor nMOS FDSOI permet de moduler la tension de seuil. A la différence près que lorsque la tension  $V_{BS}$  devient égale à la tension  $V_{BS_0}$ , l'effet de la grille arrière sur la tension de seuil s'annule. Ainsi, la variation de l'épaisseur du BOX, qui agit sur le coefficient de couplage capacitif, n'a quasiment plus d'influence sur la variation de la tension de seuil (Figure 4.6.). Dans le cas d'un BP de type p, le terme  $V_{BS_0} - V_{BS}$  s'annule pour une tension  $V_{BS}$  autour de 0,95 V ( $V_{BS_0}^{p-BP}$ ) alors que dans le cas d'un BP de type n, il s'annule pour une tension  $V_{BS}$  autour de 0 V ( $V_{BS_0}^{n-BP}$ ). La valeur de la tension  $V_{BS_0}^{n-BP}$  et de la tension  $V_{BS_0}^{p-BP}$  varie en fonction du travail de sortie du BP, comme le montre la Figure 4.3.



**Figure 4.6. :** Evolution de la tension de seuil ( $V_T$ ) en fonction de  $T_{BOX}$  pour deux types de BP d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé avec une tension  $V_{BS}=V_{BS0\_n-BP}$  (traits pleins) et  $V_{BS}=V_{BS0\_p-BP}$  (traits pointillés).

L'équation suivante met en évidence la possibilité d'ajuster, de plusieurs manières, la tension de seuil d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé :

$$V_T = \Delta\phi_m + \frac{kT}{q} \ln \left( (1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) + r \left( \Delta\phi_{BP} + \frac{kT}{q} \ln \left( (1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) - V_{BS} \right) \quad (18)$$

Il devrait être alors théoriquement possible, en n'utilisant qu'un seul matériau métallique de type *mid-gap* ( $\Delta\phi_m = 0$ ) pour la grille avant, d'ajuster la tension de seuil en jouant uniquement sur le type et le niveau de dopage du BP ( $\Delta\phi_{BP}$ ) ainsi que sur sa polarisation ( $V_{BS}$ ). Pour que ces ajustements soient effectifs, surtout dans le cas où  $V_{BS} \neq V_{BS0}$ , il faut que le coefficient de couplage capacitif soit significatif ( $>50$  mV/V). Ce qui se traduit par une épaisseur de BOX non négligeable devant celle de l'oxyde de grille avant (cf. équation (4)). Ainsi, en utilisant deux types de BP avec des travaux de sortie suffisamment proches des extrémités de bandes du film mince de silicium non dopé, il devrait être théoriquement possible d'obtenir trois niveaux de tensions de seuil : haut- $V_T$  (HVT), standard- $V_T$  (RVT) et bas- $V_T$  (LVT). Le Tableau 4.1. récapitule toutes les configurations de BP ( $\Delta\phi_{BS}$  et  $V_{BS}$ ) permettant d'obtenir ces trois niveaux de tensions de seuil.

$V_{BS}$	$V_{BS0}$ n-BP	$V_{BS0}$ p-BP
n-BP ( $\Delta\phi_{BP} < 0$ )	RVT (i)	LVT
p-BP ( $\Delta\phi_{BP} > 0$ )	HVT	RVT (ii)

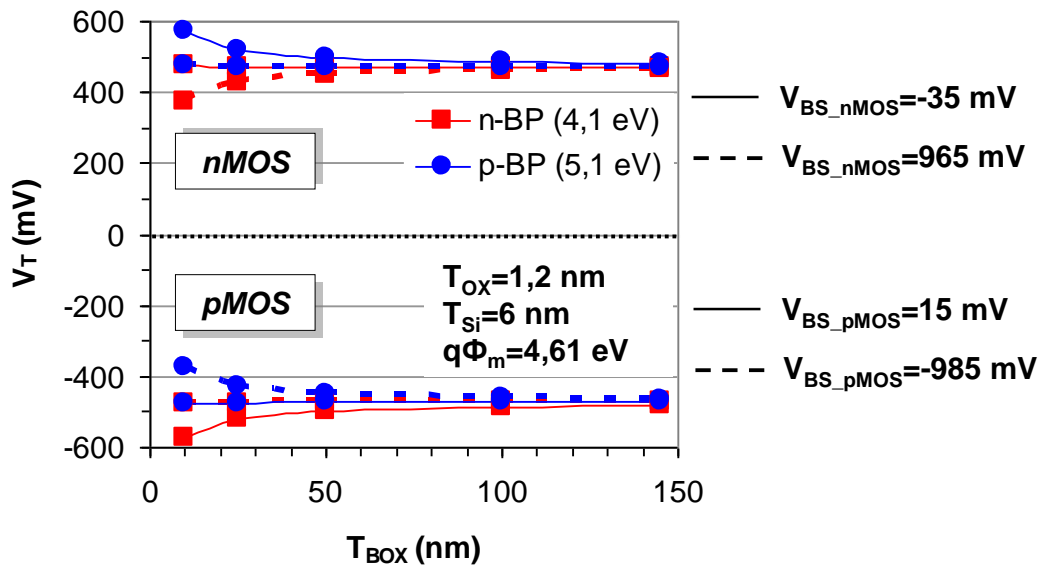
*nMOSFET*

**Tableau 4.1. : Niveau de la tension de seuil d'un transistor nMOS FDSOI à canal long et ayant un film mince de silicium non dopé en fonction de la configuration du BP.**

De la même manière que pour le transistor nMOS, il est aussi possible de déterminer l'équation de la tension de seuil d'un transistor pMOS FDSOI à canal long et ayant un film mince de silicium non dopé. Ainsi, l'équation (18) peut se transformer de la façon suivante :

$$V_T = \Delta\phi_m - \frac{kT}{q} \ln \left( (1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) + r \left( \Delta\phi_{BP} - \frac{kT}{q} \ln \left( (1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) - V_{BS} \right) \quad (19)$$

La différence fondamentale réside dans le fait que les deux types de BP vont avoir des effets inverses entre un transistor nMOS et un transistor pMOS (Figure 4.7.).



**Figure 4.7. : Evolution de la tension de seuil ( $V_T$ ) en fonction de  $T_{BOX}$  pour deux types de BP d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long et ayant un film mince de silicium non dopé.**

Ainsi, des BP de type p et de type n polarisés avec une tension  $V_{BS}$  nulle auront, respectivement, pour effet d'augmenter et de maintenir la tension de seuil d'un transistor nMOS lorsque l'épaisseur du BOX diminue. Alors que pour un transistor pMOS, des BP de

type p et de type n polarisés avec une tension  $V_{BS}$  nulle auront, respectivement, pour effet de maintenir et d'augmenter la tension de seuil lorsque l'épaisseur du BOX diminue. Ce qui se traduit par une inversion des valeurs absolues des tensions  $V_{BS_0}^{n-BP}$  et  $V_{BS_0}^{p-BP}$  entre le transistor nMOS et le transistor pMOS (Tableau 4.2.).

	$V_{BS0}$ (mV)	$V_{BS0}$ (mV)
<b>n-BP</b> ( $q\phi_{BP}=4,1$ eV)	-35	-985
<b>p-BP</b> ( $q\phi_{BP}=5,1$ eV)	965	15
	<i>nMOSFET</i>	<i>pMOSFET</i>

**Tableau 4.2. : Valeur de la tension  $V_{BS0\_n-BP}$  ( $\Phi_{n-BP}=4,1$  eV) et de la tension  $V_{BS0\_p-BP}$  ( $\Phi_{p-BP}=5,1$  eV) d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm et un oxyde de grille avant d'une épaisseur  $T_{ox}=1,2$  nm.**

Une légère dissymétrie de 10 mV peut être observée due au fait qu'une variation  $q\Delta\phi_{BP}=-0,51$  eV par rapport au *mid-gap* du film mince de silicium non dopé (4,61 eV) a été appliquée pour obtenir un BP de type n ( $q\phi_{BP}=4,1$  eV) alors qu'une variation  $q\Delta\phi_{BP}=+0,49$  eV a été appliquée pour obtenir un BP de type p ( $q\phi_{BP}=5,1$  eV). Comme pour le transistor nMOS, il devrait aussi être théoriquement possible d'obtenir trois niveaux de tension de seuil (cf. Tableau 4.1.), à condition de respecter les mêmes conditions.

### 4.3. Architectures de transistors MOS multi- $V_T$ FDSOI basées sur un seul type de grille avant

#### 4.3.1. Conditions de simulations

Afin d'affiner l'étude analytique sur la tension de seuil des transistors MOS FDSOI ayant un film mince de silicium non dopé, des simulations TCAD ont été réalisées avec l'outil Atlas de la société Silvaco [Silvaco'08]. Dans le but de ne pas complexifier le procédé de fabrication, l'étude portera, dans un premier temps, sur des transistors basés sur un seul type de grille avant avec un travail de sortie proche du *mid-gap* du film mince de silicium non dopé. Pour ce faire, un transistor nMOS et un transistor pMOS FDSOI ont été modélisés. Puis, pour simuler de manière réaliste les courants, la mobilité à faible champ, incluant les interactions coulombiennes et celles dues aux rugosités de surface, a été ajustée sur des

données expérimentales [Jaud'10]. De plus, des modèles de dérive-diffusion avec correction quantique des gradients de densités ainsi que des taux standards de génération/recombinaison Shockley-Read-Hall ont été intégrés. Les effets tunnels n'ayant pas été modélisés, les courants de fuite de grille et GIDL n'ont pas pu être simulés. Ensuite, pour prendre en compte les effets canaux courts, le profil de dopage des régions source/drain (S/D) a été ajusté à partir de données expérimentales [Andrieu'10]. Tous les transistors simulés sont basés une grille avant métallique avec un travail de sortie proche du *mid-gap* du film mince de silicium non dopé ( $\phi_m=4,71$  eV), une épaisseur d'oxyde de grille avant de 1,2 nm et une épaisseur de film mince de silicium non dopé ( $N_{Si}=10^{15}$  cm<sup>-3</sup>) de 6 nm (Figure 4.8.). Ces valeurs ont été déterminées pour des transistors MOS FDSOI fabriqués dans le nœud technologique 22 nm. Quant aux profils de dopage des BP, ils ont été obtenus à partir de simulations TCAD d'un procédé de fabrication basé sur les paramètres de concentrations et d'énergies d'implantation de dopants utilisés dans [Fenouillet'08] et [Fenouillet'09] (Figure 4.9.). Il est à noter que ces paramètres ont été optimisés pour obtenir un pic de dopants à l'interface BOX/substrat ( $N_{BP} \approx 10^{18}$  cm<sup>-3</sup>) tout en gardant le film mince de silicium non dopé ( $N_{Si} \approx 10^{15}$  cm<sup>-3</sup>). Le but étant de réaliser des BP avec des travaux de sortie les plus proches possible des extrémités des bandes du film mince de silicium non dopé ( $\phi_{n-BP} \approx 4,1$  eV et  $\phi_{p-BP} \approx 5,1$  eV) sans dégrader la faible variabilité de la tension de seuil ( $A_{V_T} \approx 1$  mV.μm). Cette contrainte est donc l'une des premières limitations concernant le niveau de dopage des BP. Il est à noter également que toutes les simulations ont été effectuées à température ambiante (300°K).

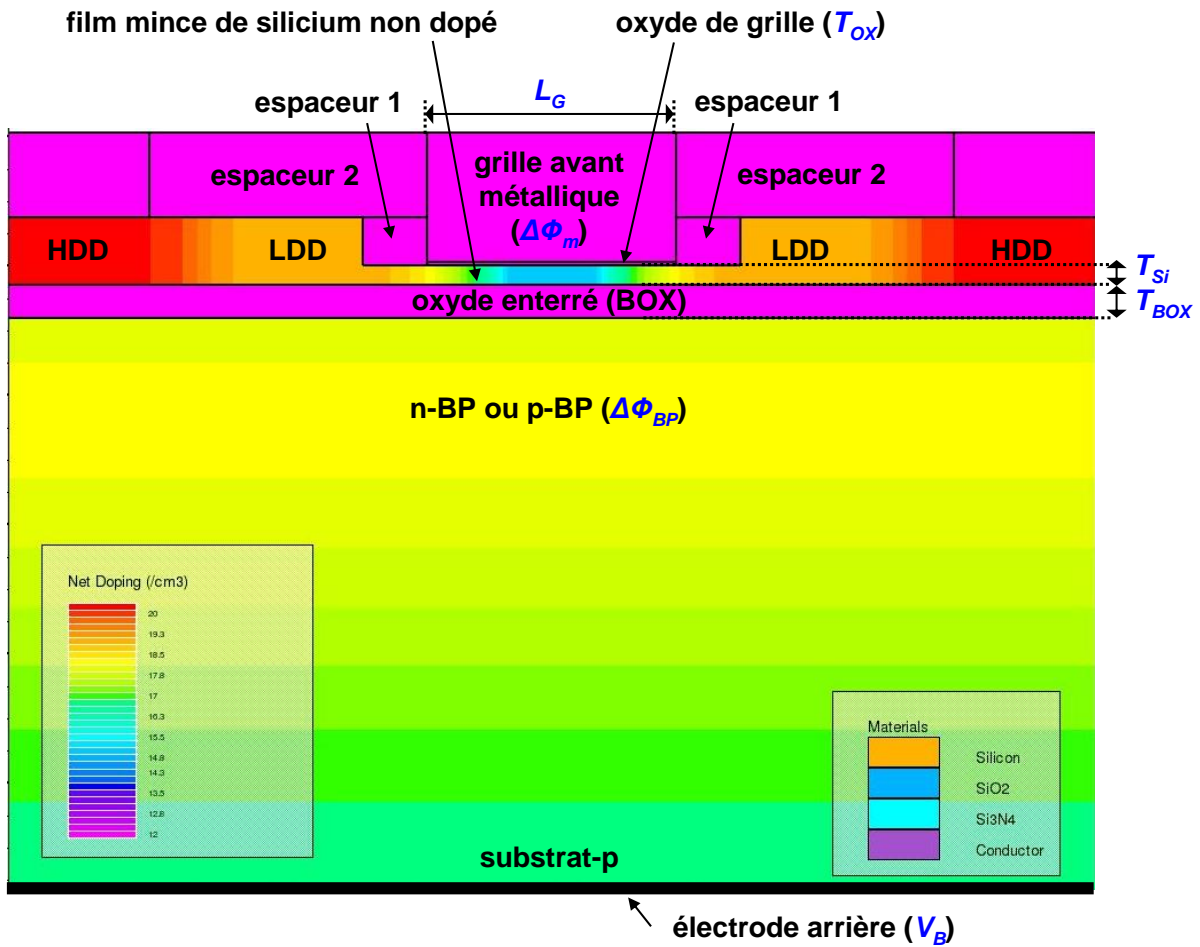


Figure 4.8. : Vue en coupe TCAD d'un transistor MOS FDSOI ayant un film mince de silicium non dopé.

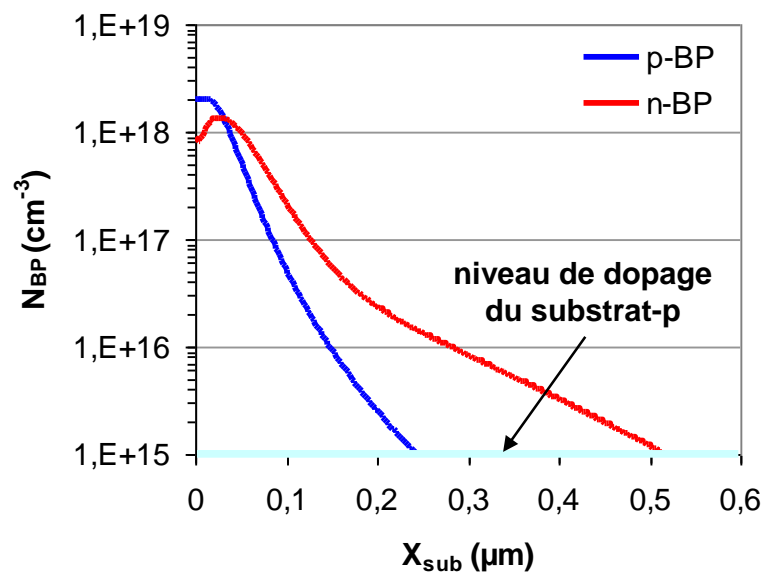


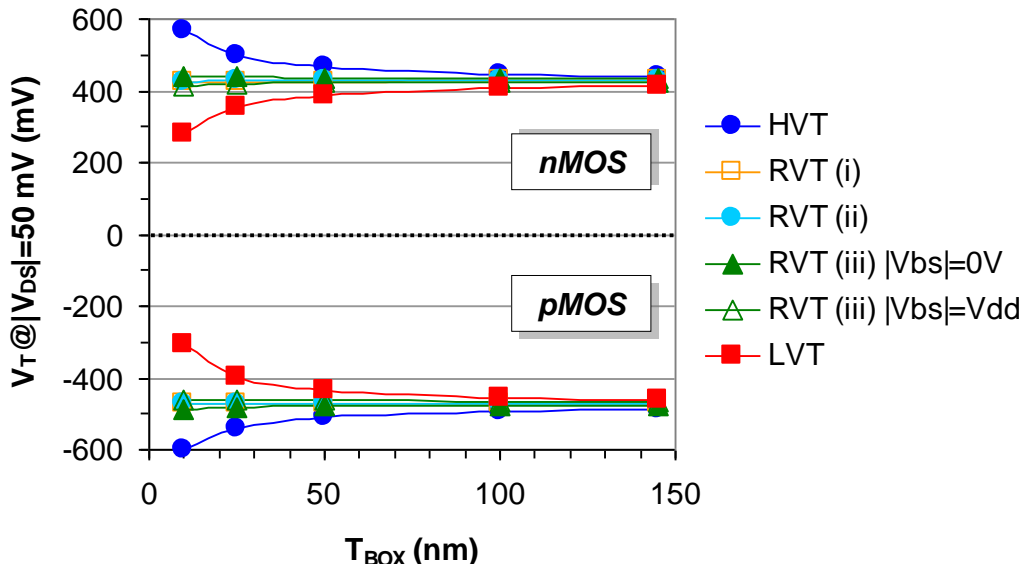
Figure 4.9. : Simulation de l'évolution du niveau de dopage des BP de type n (rouge) et de type p (bleu) en fonction de la profondeur du substrat ( $X_{\text{sub}}$ ) d'un transistor MOS FDSOI ayant un film mince de silicium non dopé d'une épaisseur  $T_{\text{Si}}=6$  nm et un BOX d'une épaisseur  $T_{\text{BOX}}=10$  nm.



### 4.3.2. Etude de la tension de seuil

La tension de seuil a été extraite en utilisant la méthode du courant constant ( $V_T = V_{GS} @ I_D (A/\mu m) = [70.10^{-6} / L_G (nm)]$ ). Concernant les tensions de polarisation des BP ( $V_{BS}$ ), elles ont été choisies de manière à être le plus proche possible de celles déterminées dans le tableau 4.2. Ainsi, les tensions  $GND$  (0 V) et  $V_{DD}$  (0,9 V), naturellement présentes dans les circuits CMOS, sont particulièrement adaptées.

La Figure 4.10. montre l'évolution de la tension de seuil d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G = 1 \mu m$ ) en régime linéaire ( $|V_{DS}| = 50 \text{ mV}$ ) en fonction de l'épaisseur du BOX pour différentes configurations de BP.



**Figure 4.10. :** Evolution de la tension de seuil ( $V_T$ ) en régime linéaire ( $|V_{DS}| = 50 \text{ mV}$ ) en fonction de  $T_{BOX}$  pour plusieurs configurations de BP d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G = 1 \mu m$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si} = 6 \text{ nm}$ , un oxyde de grille avant d'une épaisseur  $T_{OX} = 1,2$  et une tension d'alimentation  $V_{DD} = 0,9 \text{ V}$ .

Trois tendances se dégagent de ce graphique. La première tendance est une augmentation significative de la tension de seuil ( $\Delta V_T = +120 \text{ mV}$ ) lorsque l'épaisseur de BOX devient inférieure à 50 nm pour des transistors ayant un BP de type opposé à leur S/D et polarisé à une tension  $V_{BS} = 0 \text{ V}$  (courbes bleues foncées). Ce qui correspond au cas où la tension  $V_{BS}$  est proche de la tension  $V_{BS_0}^{n-BP}$  pour un transistor nMOS ou de la tension  $V_{BS_0}^{p-BP}$  pour un transistor pMOS (cf. Tableau 4.1.). Cette architecture de transistors permet d'obtenir une tension de

seuil HVT pour une épaisseur de BOX inférieure à 50 nm. Ensuite, la deuxième tendance est une diminution significative de la tension de seuil ( $\Delta V_T = -145$  mV) lorsque l'épaisseur de BOX devient inférieure à 50 nm pour des transistors ayant un BP de même type que leur S/D et polarisé à une tension  $V_{BS} = V_{DD}$  (courbes rouges). Ce qui correspond au cas où la tension  $V_{BS}$  est proche de la tension  $V_{BS_0}^{p-BP}$  pour un transistor nMOS ou de la tension  $V_{BS_0}^{n-BP}$  pour un transistor pMOS (cf. Tableau 4.1.). Cette architecture de transistors permet d'obtenir une tension de seuil LVT pour une épaisseur de BOX inférieure à 50 nm. Enfin, la troisième tendance montre une tension de seuil constante pour une épaisseur de BOX comprise entre 10 nm et 145 nm et qui correspond à une architecture de transistors permettant d'obtenir une tension de seuil RVT. Il existe trois façons d'obtenir cette tendance. La première (RVT (i)) est l'utilisation d'un BP de même type que les S/D du transistor et polarisé à une tension  $V_{BS}$  proche de la tension  $V_{BS_0}^{n-BP}$  pour un transistor nMOS ou de la tension  $V_{BS_0}^{p-BP}$  pour un transistor pMOS (courbes oranges). La deuxième (RVT (ii)) est l'utilisation d'un BP de même type que les S/D du transistor et polarisé à une tension  $V_{BS}$  proche de la tension  $V_{BS_0}^{p-BP}$  pour un transistor nMOS ou de la tension  $V_{BS_0}^{n-BP}$  pour un transistor pMOS (courbes bleues claires). Enfin, la troisième (RVT (iii)) est l'utilisation d'un substrat non dopé correspondant à un BP avec un travail de sortie  $\phi_{BP}$  identique à celui du *mid-gap* du film mince de silicium non dopé (courbes vertes). Dans ce dernier cas, l'obtention de la tension de seuil RVT est due à la formation d'une zone de déplétion ( $T_{dep}$ ) à l'interface BOX/substrat. En effet, lorsque l'épaisseur du BOX diminue, la zone de déplétion s'étend de plus en plus dans le substrat avec des tensions  $V_{BS}$  comprises, approximativement, entre 0 V et  $V_{DD}$  pour un transistor nMOS et entre  $-V_{DD}$  et 0 V pour un transistor pMOS. Ainsi, l'épaisseur équivalente de la zone de déplétion ( $\epsilon_{SiO_2} / \epsilon_{Si} \times T_{dep}$ ) devient de moins en moins négligeable par rapport à celle du BOX, ce qui provoque une augmentation de l'épaisseur équivalente du BOX ( $T_{BOX\_eq}$ ) défini par l'équation suivante :

$$T_{BOX\_eq} = T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} T_{dep} \quad (20)$$

Le Tableau 4.3. récapitule toutes les configurations de BP permettant d'obtenir les trois niveaux de tensions de seuil : HVT, RVT et LVT.

$V_{BS}$	0 V	$V_{DD}$
<b>n-BP</b>	RVT (i)	LVT
<b>p-BP</b>	HVT	RVT (ii)
<b>substrat</b>	RVT (iii)	RVT (iii)

*nMOSFET*

$ V_{BS} $	0 V	$V_{DD}$
<b>n-BP</b>	HVT	RVT (ii)
<b>p-BP</b>	RVT (i)	LVT
<b>substrat</b>	RVT (iii)	RVT (iii)

*pMOSFET*

**Tableau 4.3. : Niveau de la tension de seuil d'un transistor nMOS (gauche) et d'un transistor pMOS (droite) FDSOI à canal long ( $L_G=1 \mu m$ ) et ayant un film mince de silicium non dopé en fonction de la configuration du BP.**

Dans le cas de transistors MOS FDSOI à canal court, le contrôle électrostatique du canal par la grille avant est affaibli par le fort couplage électrostatique entre la source et le drain. Ce phénomène se traduit par une diminution de la tension de seuil, aussi bien en régime linéaire qu'en régime saturé, comme le décrivent les équations suivantes :

$$V_{T\_lin}^{court} = V_T^{long} - SCE \quad (21)$$

et

$$V_{T\_sat}^{court} = V_T^{long} - SCE - DIBL = V_{T\_lin}^{court} - DIBL \quad (22)$$

La Figure 4.11., associée à l'équation (21), montre l'évolution de la différence de tensions de seuil ( $\Delta V_T = SCE$ ) entre des transistors MOS FDSOI à canal long ( $L_G=1 \mu m$ ) et des transistors MOS FDSOI à canal court ( $L_G=30 \text{ nm}$ ) en régime linéaire ( $|V_{DS}|=50 \text{ mV}$ ) en fonction de l'épaisseur du BOX pour différentes options de  $V_T$ . Alors que la Figure 4.12., associée à l'équation (22), montre la différence de tensions de seuil ( $\Delta V_T = DIBL$ ) entre deux transistors MOS FDSOI à canal court ( $L_G=30 \text{ nm}$ ), l'un en régime linéaire ( $|V_{DS}|=50 \text{ mV}$ ) et l'autre en régime saturé ( $|V_{DS}|=V_{DD}$ ) en fonction de l'épaisseur du BOX pour différentes options de  $V_T$ . Dans les deux figures, il est intéressant de constater que ces différences de tensions de seuil ont tendance à s'atténuer avec la diminution de l'épaisseur du BOX pour les architectures de transistors basées sur un BP et celle basées sur un substrat polarisée à  $V_{BS}=0 \text{ V}$ . Cette tendance s'explique par un affaiblissement du couplage électrostatique entre la source et le drain dû à l'aplanissement des lignes de champs électriques dans le BOX lorsque ce dernier devient de plus en plus fin [Ernst'02]. Dans le cas d'une architecture de transistors basée sur un substrat polarisée à  $|V_{BS}|=V_{DD}$ , les effets canaux courts ne diminuent pas avec la réduction de l'épaisseur du BOX mais se maintiennent, voir augmentent pour une épaisseur de BOX inférieure à 50 nm.

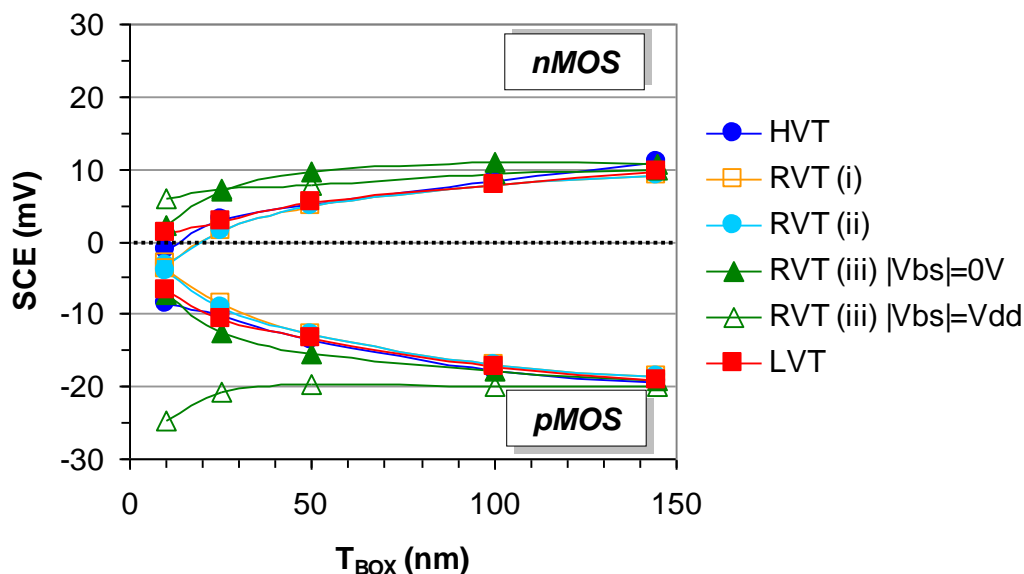


Figure 4.11. : Evolution des effets canaux courts ( $SCE = V_{T\_long} - V_{T_{lin\_court}}$ ) en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

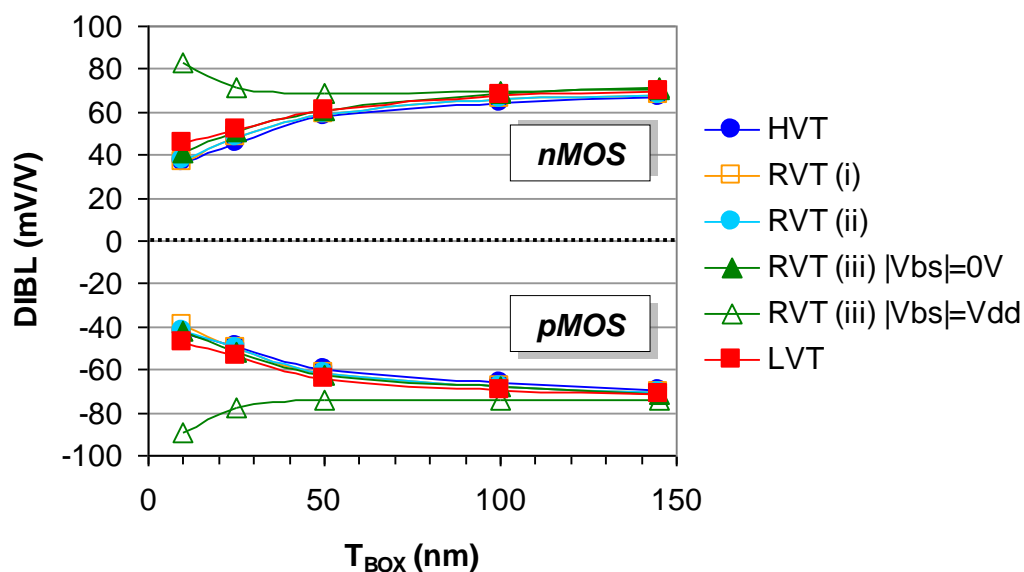
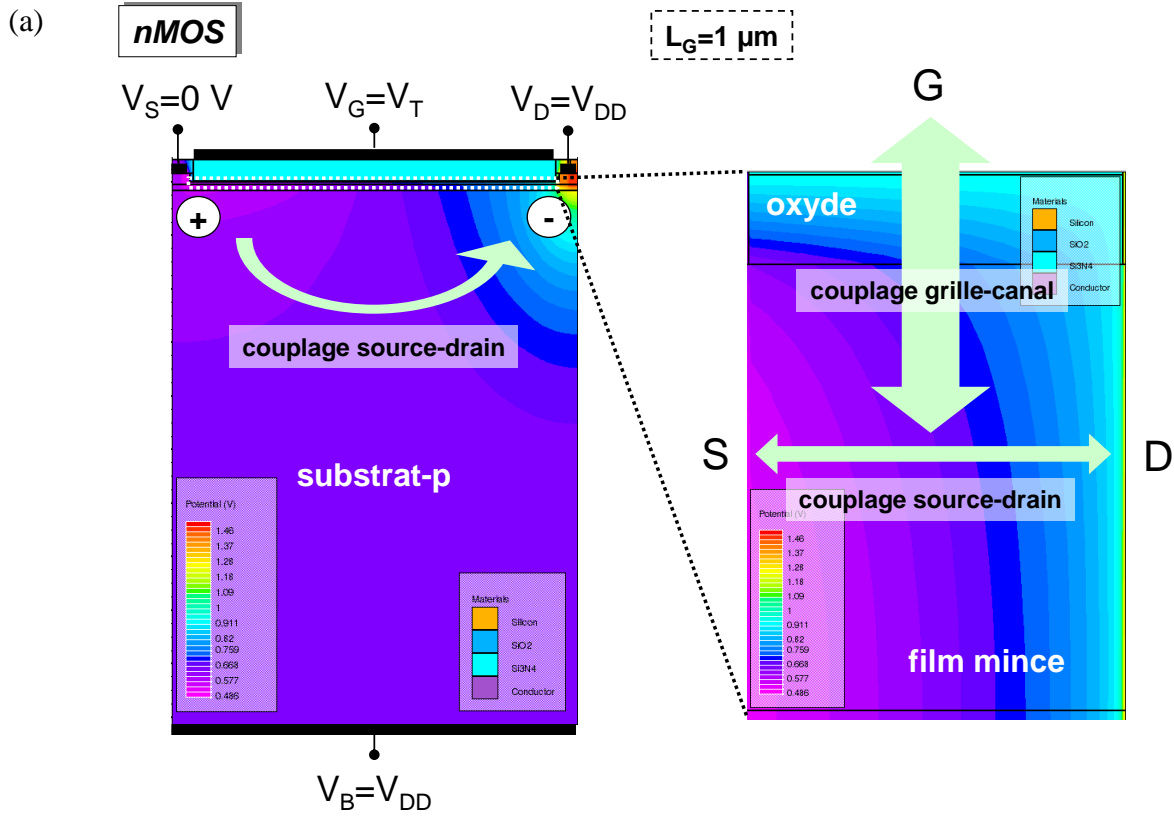
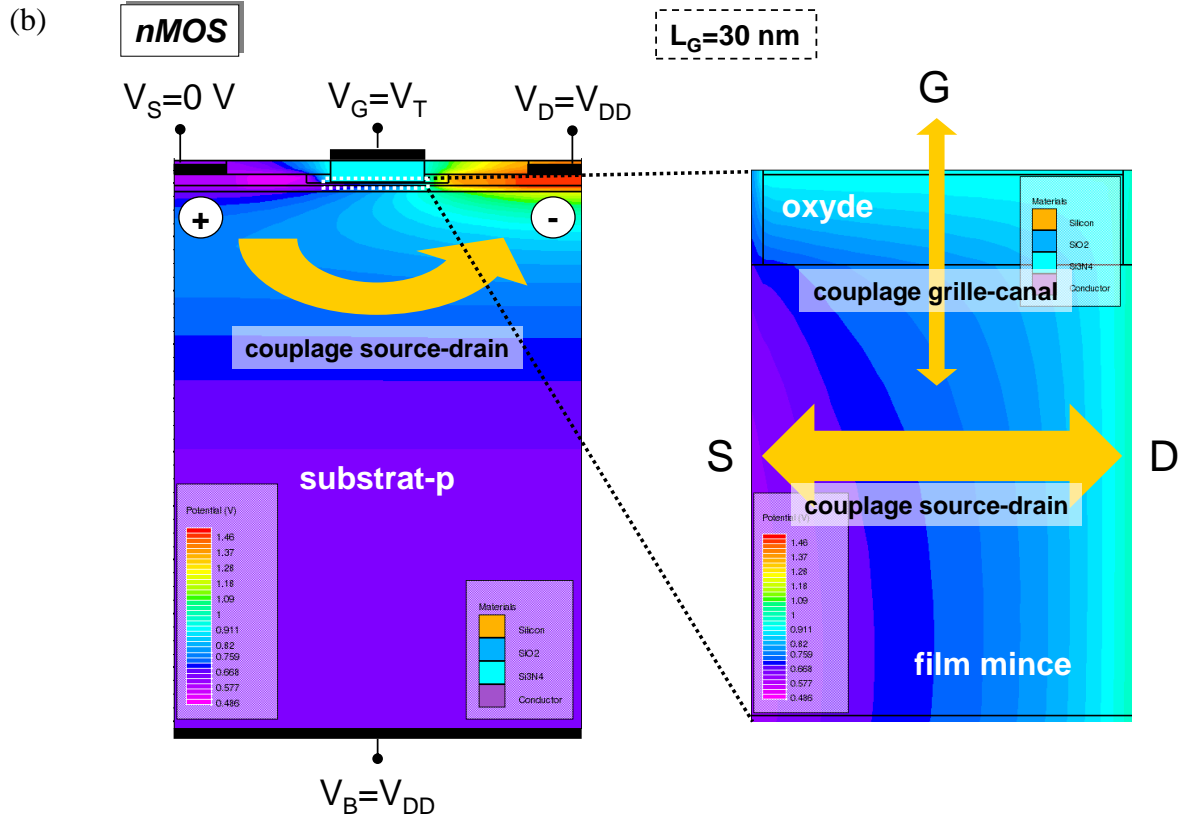


Figure 4.12. : Evolution du DIBL ( $(V_{T_{lin\_court}} - V_{T_{sat\_court}})/(V_{DD} - 50 \text{ mV})$ ) en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

Cette tendance s'explique par la création d'un couplage électrostatique parasite entre la source et le drain sous le BOX. Ce phénomène est dû au fort gradient de concentration de charges entre la source et le drain sous le BOX causé par la polarisation élevée du substrat ( $|V_{DS}|=V_{DD}$ ). Ce phénomène se produit également avec des transistors MOS FDSOI à canal long ( $L_G=1 \mu\text{m}$ ) mais il s'accroît lorsque la distance entre la source et le drain se réduit. Ce

qui a pour conséquence d'augmenter le couplage électrostatique entre la source et le drain au niveau du film mince de silicium non dopé, et donc de diminuer la tension de seuil (Figure 4.13.).





**Figure 4.13. :** Vue en coupe TCAD montrant le potentiel électrostatique à  $V_{GS}=V_T$  d'un transistor nMOS FDSOI (a) à canal long ( $L_G=1\text{ }\mu\text{m}$ ) et (b) à canal court ( $L_G=30\text{ nm}$ ) ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6\text{ nm}$ , un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2\text{ nm}$ , un BOX d'une épaisseur  $T_{BOX}=10\text{ nm}$  et une tension d'alimentation  $V_{DD}=0,9\text{ V}$ .

Cette étude approfondie de la tension de seuil a montré qu'il était possible d'obtenir trois niveaux de tensions de seuil (HVT, RVT et LVT) en jouant seulement sur le type/niveau de dopage ( $\Delta\phi_{BP}$ ) et la polarisation ( $V_{BS}$ ) du BP. De plus, il a aussi été montré qu'il était possible de réduire les effets canaux courts en diminuant l'épaisseur du BOX. Ce qui est encore plus bénéfique puisque les options de  $V_T$  définies dans le Tableau 4.3. ne sont valables que pour des épaisseurs de BOX inférieures à 50 nm. La seule option de  $V_T$  favorisant l'augmentation des effets canaux courts est celle donnée par l'architecture de transistors basée sur un substrat polarisé à  $|V_{DS}|=V_{DD}$ .

#### 4.3.3. Etude du coefficient de couplage capacitif entre la grille avant et la grille arrière

Après avoir étudié le comportement de la tension de seuil avec différentes configurations de BP et différentes épaisseurs de BOX, il est maintenant nécessaire d'étudier

son comportement en fonction de la variation de la tension  $V_{BS}$ . En effet, une étude approfondie de ce comportement permettra, dans un premier temps, d'identifier les effets physiques liés aux particularités de la technologie planaire FDSOI pour, dans un deuxième temps, pouvoir les prendre en compte.

La variation de la tension de seuil engendrée par la variation de la tension  $V_{BS}$  est proportionnelle au coefficient de couplage capacitif entre la grille avant et la grille arrière, comme le décrit l'équation suivante :

$$\frac{\Delta V_T}{\Delta V_{BS}} = r \quad (23)$$

Ce coefficient de couplage capacitif, qui peut s'apparenter au *body factor* des transistors MOS sur silicium massif, a été défini par [Lim'83] pour deux cas de figure. Premièrement, dans le cas de figure où le canal de conduction est situé à l'interface entre l'oxyde de grille avant et le film de silicium (face avant) lorsque  $V_{GS} = V_T$ . Deuxièmement, dans le cas de figure où le canal est situé à l'interface entre le film de silicium et le BOX (face arrière) lorsque  $V_{GS} = V_T$ . Dans le premier cas, le coefficient de couplage capacitif est défini par l'équation suivante :

$$r_{FC} = \frac{T_{OX}}{T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} T_{Si}} \quad (24)$$

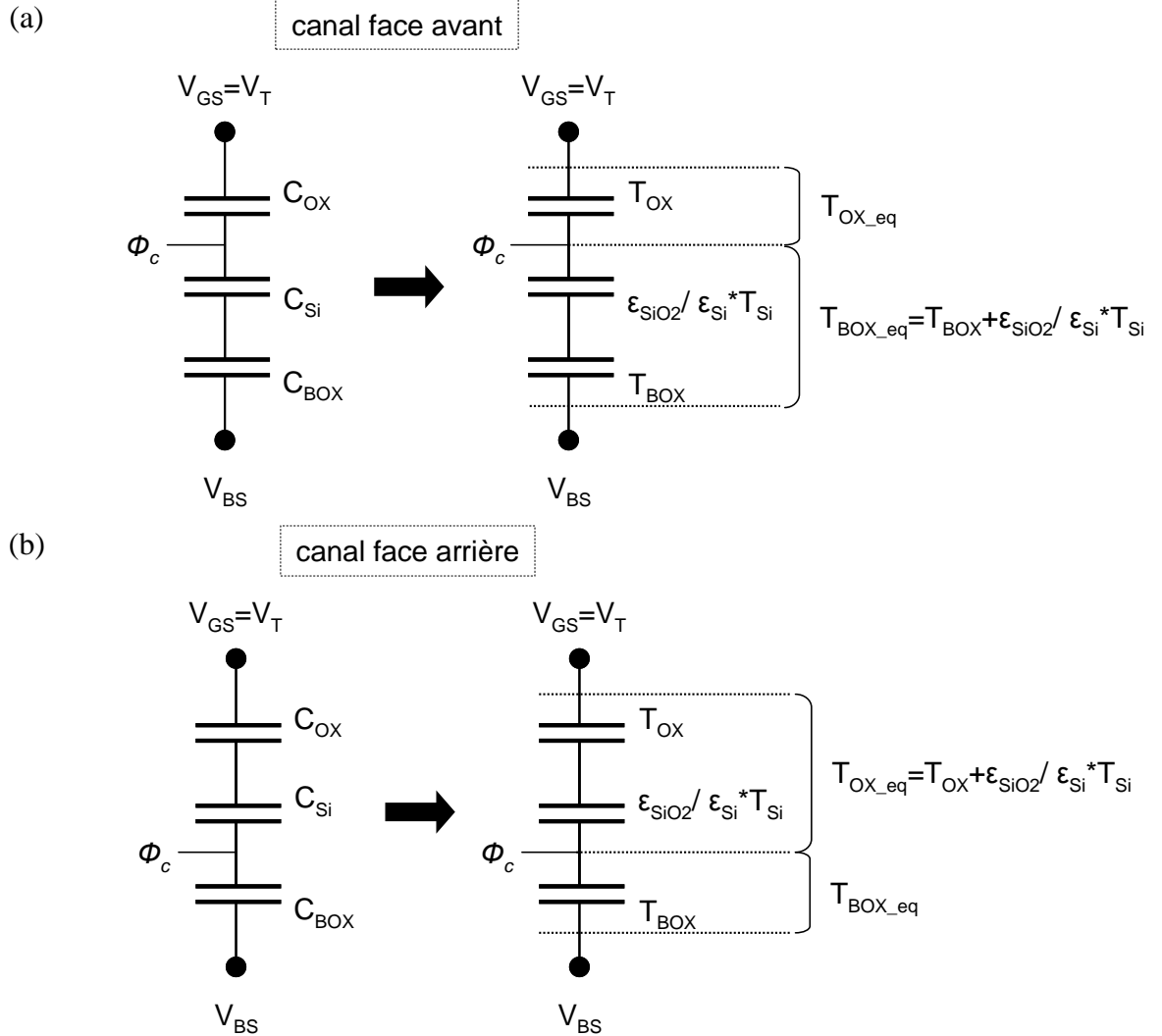
Cette équation représente le rapport entre l'épaisseur de l'oxyde de grille avant et la somme de l'épaisseur du BOX et du film de silicium ramené à un isolant de grille ( $\epsilon_{SiO_2} / \epsilon_{Si} \times T_{Si}$ ). Dans le deuxième cas, le coefficient de couplage est défini par l'équation suivante :

$$r_{BC} = \frac{T_{OX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} T_{Si}}{T_{BOX}} \quad (25)$$

Cette équation représente le rapport entre la somme de l'épaisseur de l'oxyde de grille avant et du film de silicium ramené à un isolant de grille et l'épaisseur du BOX. Il est intéressant de constater que, dans ces deux cas de figure, les équations du coefficient de couplage capacitif ne représentent ni plus ni moins que le rapport entre l'épaisseur équivalente de l'oxyde de grille avant ( $T_{OX\_eq}$ ) et l'épaisseur équivalente du BOX ( $T_{BOX\_eq}$ ), comme le décrit l'équation suivante :

$$r = \frac{T_{OX\_eq}}{T_{BOX\_eq}} \quad (26)$$

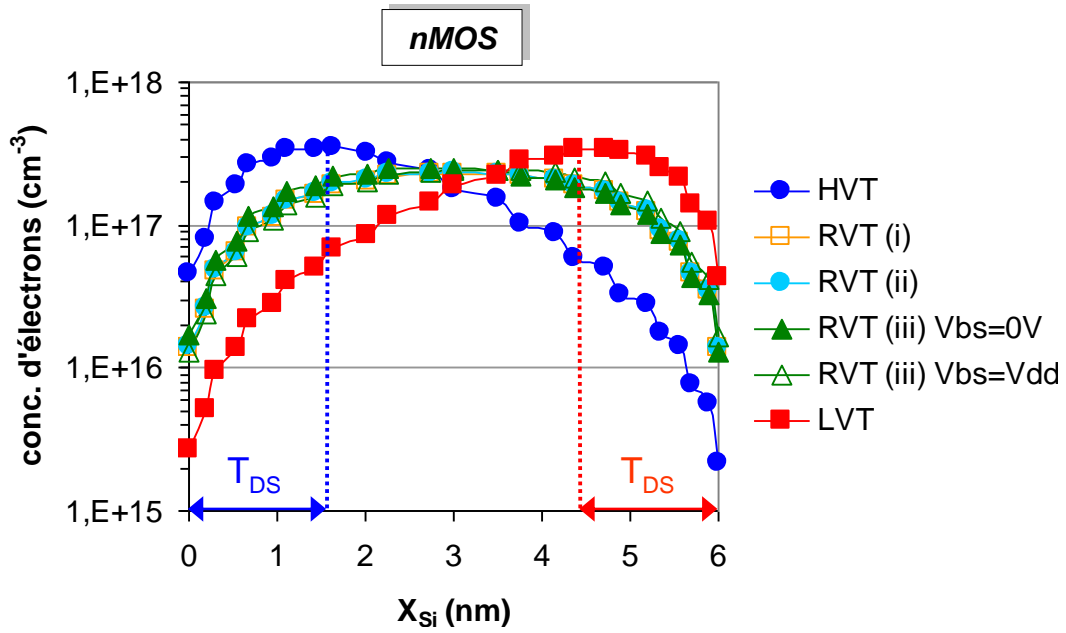
La limite entre ces deux épaisseurs équivalentes ( $T_{OX\_eq}$  et  $T_{BOX\_eq}$ ) est définie par la position du canal au sein du film de silicium (Figure 4.14.).



**Figure 4.14. :** Schémas capacitifs équivalents entre la grille avant et la grille arrière de transistors MOS FDSOI à canal long dans le cas d'un canal (a) face avant et (b) face arrière lorsque  $V_{GS}=V_T$ .

Dans le cas de figure où le canal est situé entre la face avant et la face arrière du film de silicium, les équations (24) et (25) ne sont plus valides. La Figure 4.15. montre la répartition de la concentration d'électrons dans le volume du film mince de silicium non dopé pour différentes options de  $V_T$  d'un transistor nMOS FDSOI à canal long ( $L_G=1 \mu m$ ) et ayant une épaisseur de BOX de 10 nm.



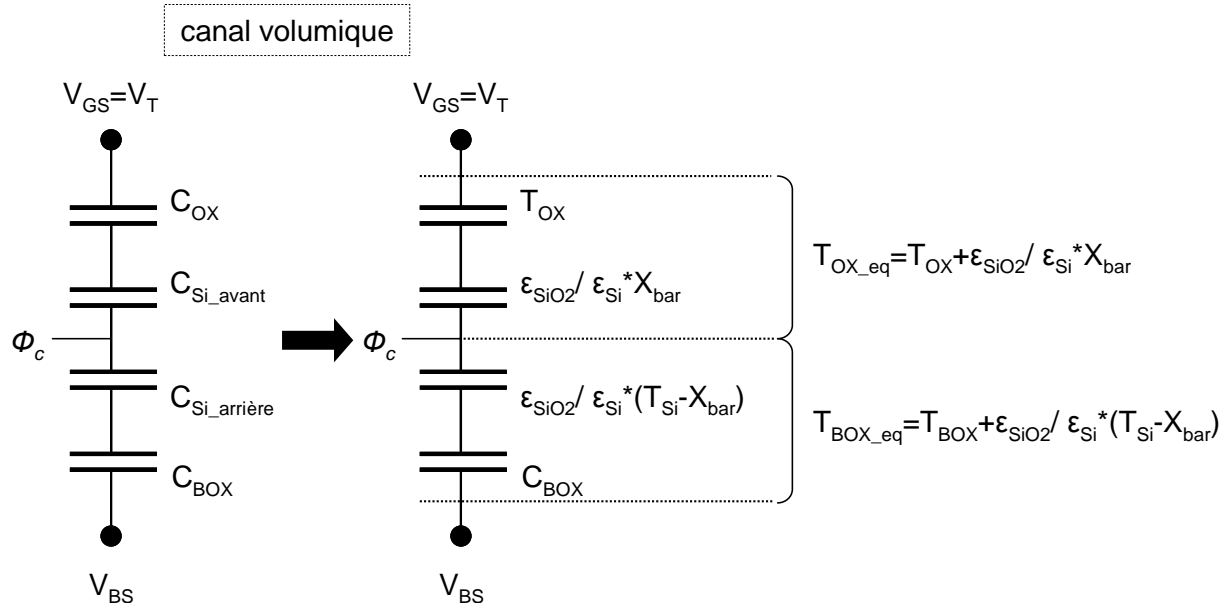


**Figure 4.15. :** Evolution de la concentration d'électrons en fonction de la profondeur du film mince de silicium non dopé ( $X_{Si}$ ) lorsque  $V_{GS}=V_T$  pour plusieurs options de  $V_T$  d'un transistor nMOS FDSOI à canal long ( $L_G=1\ \mu m$ ) et ayant un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2\ nm$ , un BOX d'une épaisseur  $T_{BOX}=10\ nm$  et une tension d'alimentation  $V_{DD}=0,9\ V$ .

Les pics de concentration d'électrons, représentant le barycentre du canal ( $X_{bar}$ ) pour chacune de ces options, ne varient pas d'une extrémité à l'autre du film mince de silicium non dopé, comme modélisé dans les équations (24) et (25), mais dans un intervalle allant de :

$$T_{DS} \leq X_{bar} \leq T_{Si} - T_{DS} \quad (27)$$

où  $T_{DS}$  représente l'épaisseur de la zone de déplétion, appelée *dark space*, due aux effets de confinement quantique des porteurs de charges (ici des électrons) aux interfaces. Pour généraliser les équations (24) et (25), et ainsi prendre en compte ce comportement, il faut inclure, suivant la position du canal, une partie de l'épaisseur du film mince de silicium non dopé dans l'épaisseur équivalente de l'oxyde de grille avant et l'autre partie dans l'épaisseur équivalente du BOX (Figure 4.16.).



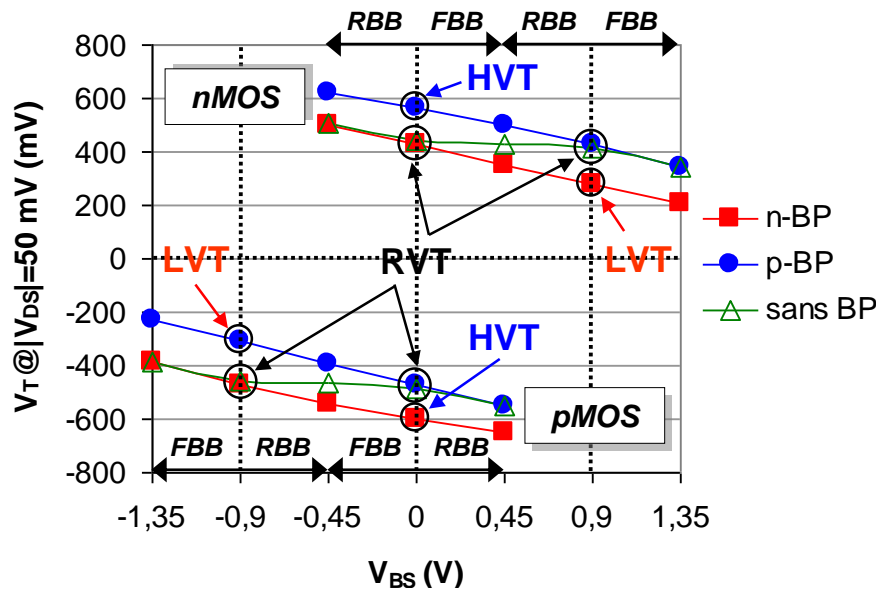
**Figure 4.16. :** Schémas capacitifs équivalents entre la grille avant et la grille arrière de transistors MOS FDSOI à canal long dans le cas d'un canal volumique lorsque  $V_{GS}=V_T$ .

Ainsi, l'équation du coefficient du couplage capacitif peut s'écrire sous la forme générale suivante :

$$r = \frac{T_{OX\_eq}}{T_{BOX\_eq}} = \frac{T_{OX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} X_{bar}}{T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} (T_{Si} - X_{bar})} \quad (28)$$

où les équations (24) et (25) sont des cas particuliers en négligeant l'épaisseur de la zone de *dark space* devant celle de l'oxyde de grille avant et du film mince de silicium non dopé.

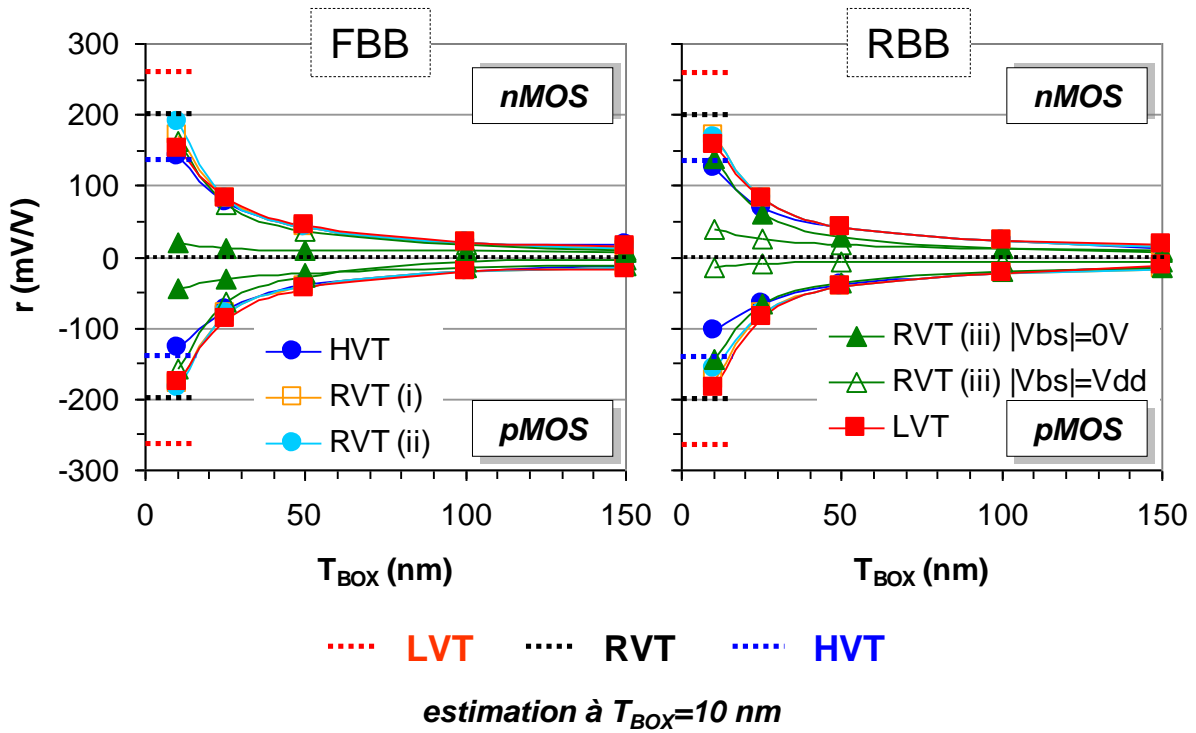
A partir de cette équation, il est maintenant théoriquement possible de quantifier la valeur du coefficient de couplage capacitif de chacune des options de  $V_T$ . Ainsi, pour une épaisseur équivalente d'oxyde de grille de 1,2nm, une épaisseur de film mince de silicium non dopé de 6 nm, une épaisseur de BOX de 10 nm et en considérant la position du canal donnée par la Figure 4.15., la valeur du coefficient de couplage capacitif peut être estimée, respectivement, à 141 mV/V, 200 mV/V et 263 mV/V pour les options HVT, RVT et LVT. Il est intéressant de constater que plus le canal de conduction est proche de la face arrière du film mince de silicium non dopé, plus le coefficient de couplage capacitif est élevé. Pour mettre en évidence cette tendance, on se propose de simuler le coefficient de couplage capacitif en faisant varier la tension  $V_{BS}$  de chaque option de  $V_T$  en mode direct (*Forward Back Biasing*) et en mode inverse (*Reverse Back Biasing*), comme le montre la Figure 4.17.



**Figure 4.17. :** Evolution de la tension de seuil ( $V_T$ ) en régime linéaire ( $|V_{DS}|=50$  mV) en fonction de  $V_{BS}$  pour deux types de BP et sans BP d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G=1$   $\mu$ m) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

La polarisation en mode direct correspond à une variation positive de la tension  $V_{BS}$  ( $\Delta V_{BS}=V_{DD}/2=450$  mV) pour un transistor nMOS et négative ( $-\Delta V_{BS}=-V_{DD}/2=-450$  mV) pour un transistor pMOS. Alors que la polarisation en mode inverse correspond à une variation négative de la tension  $V_{BS}$  ( $-\Delta V_{BS}=-V_{DD}/2=-450$  mV) pour un transistor nMOS et positive ( $\Delta V_{BS}=V_{DD}/2=450$  mV) pour un transistor pMOS. Avec cette méthode, la tension  $V_{BS}$  couvre une gamme de variations allant de  $-V_{DD}/2$  à  $3/2*V_{DD}$  pour un transistor nMOS et de  $-3/2*V_{DD}$  à  $V_{DD}/2$  pour un transistor pMOS. Ce qui devrait permettre d'identifier d'éventuels effets physiques liés aux particularités de la technologie planaire FDSOI. Mais avant d'aller plus loin, il est déjà intéressant de constater que pour une gamme de tension  $V_{BS}$  allant, approximativement, de 0 V à  $V_{DD}$  pour un transistor nMOS et de  $-V_{DD}$  à 0 V pour un transistor pMOS, la tension de seuil associée à l'option RVT (iii) reste relativement constante. Ce qui n'est pas le cas pour des tensions  $V_{BS}$  non comprises dans cette gamme de variations. Ce comportement s'explique par le régime dans lequel se trouve le substrat à l'interface avec le BOX. En effet, la tension de seuil reste relativement constante pour une certaine gamme de tension  $V_{BS}$  à cause de la déplétion du substrat à l'interface avec le BOX (cf. partie 4.3.2.). Ainsi, plus la tension  $V_{BS}$  se rapproche de 0 V, plus cette zone de déplétion s'étend dans le

substrat. Puis, lorsque la tension  $V_{BS}$  devient négative dans le cas d'un transistor nMOS ou positive dans le cas d'un transistor pMOS, le substrat à l'interface avec le BOX passe en régime d'inversion. Ce qui a pour conséquence de supprimer l'influence de cette zone de déplétion sur l'épaisseur équivalente du BOX (cf. équation (20)), et ainsi de rendre plus efficace la modulation de la tension de seuil. Il en est de même lorsque la tension  $V_{BS}$  devient supérieure à  $V_{DD}$  dans le cas d'un transistor nMOS ou inférieure à  $-V_{DD}$  dans le cas d'un transistor pMOS, entraînant une accumulation de charge dans le substrat à l'interface avec le BOX. La Figure 4.18. montre l'évolution du coefficient de couplage capacitif en fonction de l'épaisseur du BOX pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS à canal long ( $L_G=1\text{ }\mu\text{m}$ ) dans le cas d'une polarisation en direct (*FBB*) et en inverse (*RBB*) de la grille arrière.



**Figure 4.18. :** Evolution du coefficient de couplage capacitif ( $r=\Delta V_T/\Delta V_{BS}$ ) en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G=1\text{ }\mu\text{m}$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6\text{ nm}$ , un oxyde de grille avant d'une épaisseur  $T_{Ox}=1,2\text{ nm}$  et une tension d'alimentation  $V_{DD}=0,9\text{ V}$  dans le cas d'une polarisation en direct (*FBB*) et d'une polarisation en inverse (*RBB*) de la grille arrière.

La principale tendance qui se dégage de ces graphiques est l'augmentation du coefficient de couplage capacitif avec la diminution de l'épaisseur du BOX pour toutes les options de  $V_T$ . Comme prévu, la plus faible augmentation ( $\Delta r=+18\text{ mV/V}$ ) correspond à celle de l'option

RVT (iii) obtenue avec des architectures de transistors basées sur un substrat polarisé à  $V_{BS}=0$  V en mode direct et polarisé à  $|V_{BS}|=V_{DD}$  en mode inverse. En ce qui concerne les options HVT, RVT (i) et RVT (ii), la valeur de leur coefficient de couplage capacitif est relativement proche de celle estimée avec l'équation (28), comme le montre le Tableau 4.4.

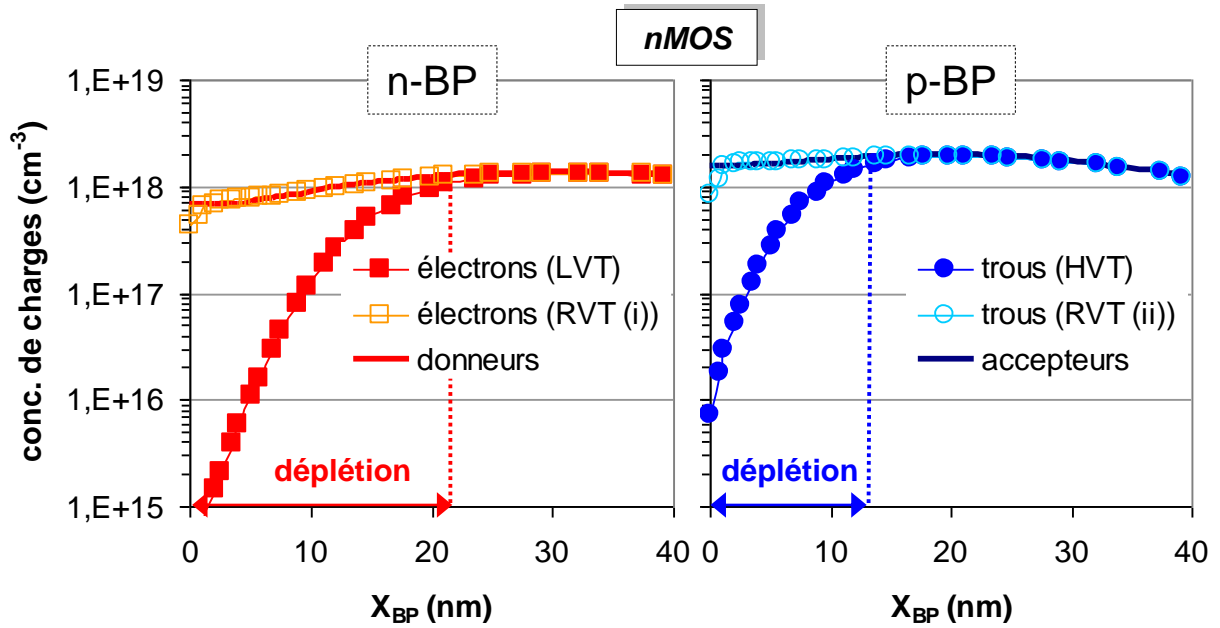
<b>r (mV/V)</b>	<b>estimations*</b>	<b>RBB</b>	<b>FBB</b>	<b>estimations*</b>	<b>RBB</b>	<b>FBB</b>
<b>HVT</b>	141	124	140	141	104	127
<b>RVT (i)</b>	200	171	170	200	173	180
<b>RVT (ii)</b>	200	168	189	200	158	185
<b>RVT (iii) <math>V_{BS}=0</math> V</b>	200	139	21	200	145	43
<b>RVT (iii) <math> V_{BS} =V_{DD}</math></b>	200	40	162	200	15	157
<b>LVT</b>	263	158	153	263	184	177

\*à partir de l'équation (28)

*nMOSFET**pMOSFET*

**Tableau 4.4. : Valeur du coefficient de couplage capacitif (r) pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G=1 \mu\text{m}$ ) et à canal court ( $L_G=30 \text{ nm}$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6 \text{ nm}$ , un oxyde de grille avant d'une épaisseur  $T_{Ox}=1,2 \text{ nm}$  et une tension d'alimentation  $V_{DD}=0,9 \text{ V}$ .**

Par contre, la valeur du coefficient de couplage capacitif de l'option LVT est loin d'atteindre la valeur estimée (de 153 mV/V à 184 mV/V contre 263 mV/V). Cette forte différence s'explique essentiellement par la déplétion du BP à l'interface avec le BOX pour des tensions  $V_{BS}$  positives, comme le montre la Figure 4.19.



**Figure 4.19. :** Evolution de la concentration de charges en fonction de la profondeur du BP ( $X_{BP}$ ) lorsque  $V_{GS}=V_T$  pour plusieurs option de  $V_T$  d'un transistor nMOS FDSOI à canal long ( $L_G=1\ \mu m$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6\ nm$ , un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2\ nm$ , un BOX d'une épaisseur  $T_{BOX}=10\ nm$  et une tension d'alimentation  $V_{DD}=0,9\ V$ .

Pour prendre en compte ce phénomène dans le calcul du coefficient de couplage capacitif, il faut rajouter le terme  $\epsilon_{SiO_2} / \epsilon_{Si} \times T_{dep}$  à l'épaisseur équivalente du BOX. Ce qui donne l'équation du coefficient de couplage capacitif suivante :

$$r = \frac{T_{OX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} X_{bar}}{T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} (T_{Si} - X_{bar} + T_{dep})} \quad (28)$$

Ainsi, en prenant en compte la déplétion du BP à l'interface avec le BOX, le coefficient de couplage capacitif de l'option LVT ( $T_{dep} \approx 20\ nm$  pour le transistor nMOS) peut être estimé plus précisément aux alentours de 155 mV/V. Ce qui est beaucoup plus proche des résultats obtenus en simulation pour le transistor nMOS (153 mV/V à 158 mV/V). Ce phénomène de déplétion du BP à l'interface avec le BOX existe aussi dans les architectures de transistors qui donnent l'option HVT. Néanmoins, son influence est moindre due au fait que le canal de conduction se trouve proche de la face avant du film mince de silicium non dopé. Ainsi, le dénominateur  $T_{BOX\_eq}$  étant déjà grand devant le numérateur  $T_{OX\_eq}$  ( $T_{BOX\_eq} > 10 \times T_{OX\_eq}$ ), son augmentation due à cette zone de déplétion n'a pratiquement pas d'effet sur le coefficient de couplage capacitif. De manière générale, cette zone de déplétion s'étend pour des BP de

même type que les S/D lorsque la tension  $V_{BS}$  devient supérieure à 0 V. Et elle s'étend également pour des BP de type opposé aux S/D lorsque la tension  $V_{BS}$  devient inférieure à  $V_{DD}$  pour les transistors nMOS et supérieure à  $-V_{DD}$  pour les transistors pMOS. Pour limiter cette zone de déplétion, le niveau de dopage du BP ( $\Delta\phi_{BP}$ ) doit être plus élevé. Mais cela se traduirait par l'introduction d'impuretés dans le film mince de silicium non dopé lors de l'étape d'implantation, augmentant ainsi la variabilité de la tension de seuil.

En ce qui concerne les effets canaux court, ils peuvent être considérés comme relativement négligeables dans nos conditions de simulation. En effet, comme le montre le Tableau 4.5., le coefficient de couplage capacitif a tendance à légèrement augmenter (+5 mV/V) pour les options de  $V_T$  engendrant un canal de conduction en face arrière (LVT) lorsque  $V_{GS}=V_T$ . Par contre, cette tendance s'inverse pour les options de  $V_T$  engendrant un canal de conduction en face avant (HVT) lorsque  $V_{GS}=V_T$ . Dans le premier cas, le couplage électrostatique entre la source et le drain a tendance à faciliter la création du canal en face arrière, améliorant ainsi le coefficient de couplage capacitif. Alors que dans le deuxième cas, le couplage électrostatique entre la source et le drain a pour effet de limiter l'effet de la grille arrière sur le canal face avant, diminuant ainsi le coefficient de couplage capacitif.

r (mV/V)	$L_G=1\ \mu\text{m}$	$L_G=30\ \text{nm}$	$L_G=1\ \mu\text{m}$	$L_G=30\ \text{nm}$
<b>HVT</b>	132	128	115	111
<b>RVT (i)</b>	170	172	177	178
<b>RVT (ii)</b>	179	179	171	170
<b>LVT</b>	156	161	180	185
	<i>nMOSFET</i>		<i>pMOSFET</i>	

**Tableau 4.5. : Valeur du coefficient de couplage capacitif (r) pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G=1\ \mu\text{m}$ ) et à canal court ( $L_G=30\ \text{nm}$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6\ \text{nm}$ , un oxyde de grille avant d'une épaisseur  $T_{Ox}=1,2\ \text{nm}$  et une tension d'alimentation  $V_{DD}=0,9\ \text{V}$ .**

Cette étude approfondie du coefficient de couplage capacitif a montré que l'évolution de ce paramètre n'était pas totalement identique pour toutes les options de  $V_T$ . En effet, les options de  $V_T$  engendrant un canal de conduction le plus proche possible de la face arrière lorsque  $V_{GS}=V_T$  ont tendance à donner un coefficient de couplage capacitif plus élevé pour des épaisseurs de BOX inférieures à 50 nm. Néanmoins, cette augmentation peut être fortement limitée par la déplétion du BP à l'interface avec le BOX pour des architectures de

transistors basées sur des BP de même type que les S/D ou par la déplétion du substrat à l'interface avec le BOX pour des architectures de transistors sans BP. Ces phénomènes sont liés au fait que la grille arrière des transistors MOS FDSOI soit constituée de silicium et non pas d'un matériau métallique, comme pour la grille avant. Ainsi, cette BP-déplétion peut être comparée à la poly-déplétion des grilles en poly-silicium des transistors MOS sur silicium massif avant l'introduction de grilles métalliques (cf. Chapitre 1).

#### 4.3.4. Etude de la pente sous le seuil

Après avoir étudié l'impact du coefficient de couplage capacitif sur la modulation de la tension de seuil via la modulation de la tension  $V_{BS}$  pour différentes options de  $V_T$ , il est maintenant nécessaire d'étudier son impact sur la pente sous le seuil (SS).

La pente sous le seuil est définie comme étant la dérivée de la tension  $V_{GS}$  par rapport au courant  $I_D$  lorsque  $V_{GS} < V_T$ . Ce paramètre est très fortement lié au coefficient de couplage capacitif, comme le montre l'équation suivante [Colinge'97] :

$$SS = \frac{\partial V_{GS}}{\partial \log(I_D)} = \frac{kT}{q} \ln(10) \times (1 + r) \quad (29)$$

Le comportement de la pente sous le seuil des transistors MOS FDSOI à canal long ( $L_G = 1 \mu m$ ) est très similaire à celui du coefficient de couplage capacitif étudié dans la partie 4.3.3., comme le montre la Figure 4.20. Ainsi, les mêmes analyses peuvent donc être faites pour expliquer les tendances de ce paramètre pour les différentes options de  $V_T$ .



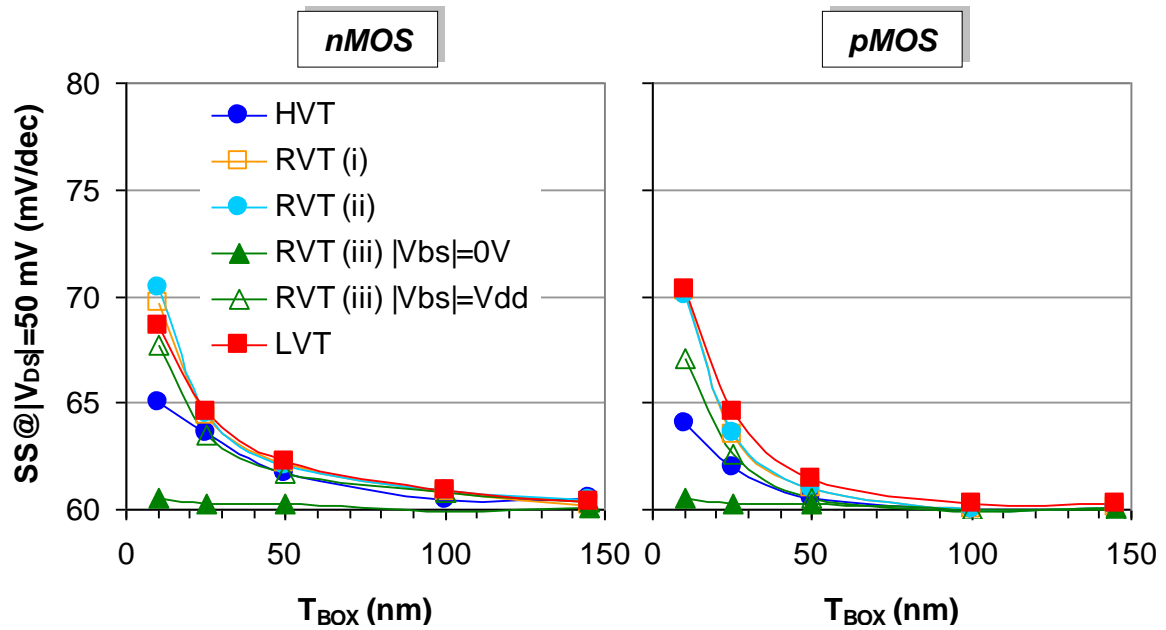


Figure 4.20. : Evolution de la pente sous le seuil (SS) en régime linéaire ( $|V_{DS}|=50$  mV) en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal long ( $L_G=1$   $\mu m$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

La Figure 4.21. montre, quant à elle, l'évolution de la pente sous le seuil pour des transistors MOS à canal court ( $L_G=30$  nm). Il est intéressant de constater que pour des épaisseurs de BOX supérieures à 50 nm, la pente sous le seuil augmente de 10 mV/V par rapport à la valeur idéale (60 mV/dec) obtenue avec des transistors MOS à canal long ( $L_G=1$   $\mu m$ ). Ceci est dû à une perte du contrôle électrostatique du canal par la grille liée au renforcement du couplage électrostatique entre la source et le drain.

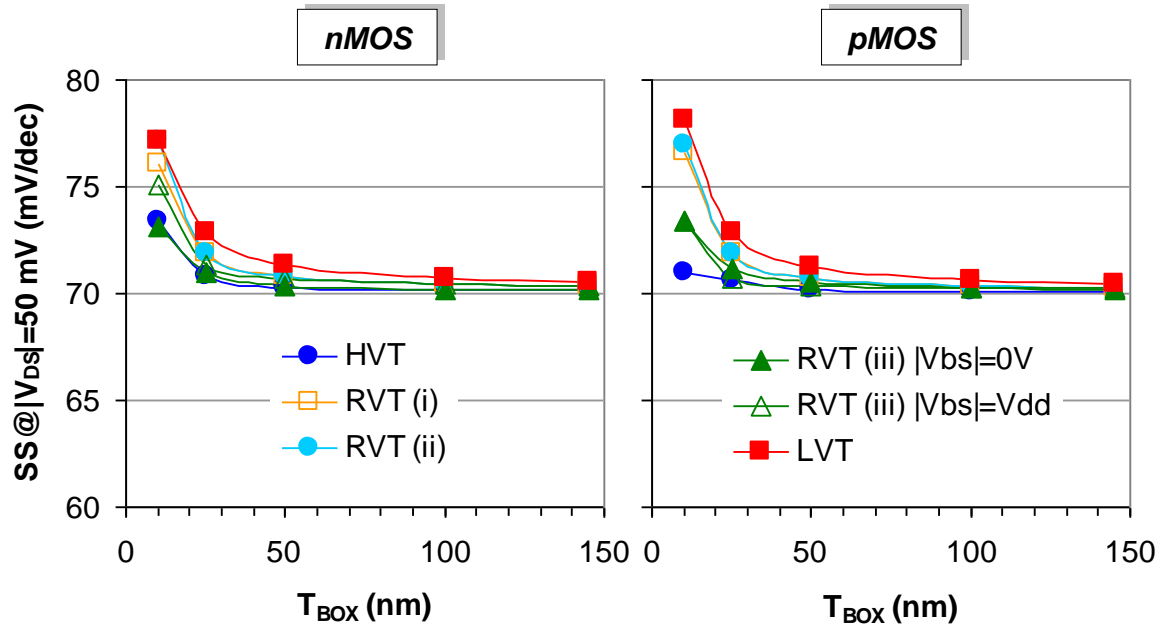


Figure 4.21. : Evolution de la pente sous le seuil (SS) en régime linéaire ( $|V_{DS}|=50$  mV) en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

La Figure 4.22. montre l'évolution de la différence de pentes sous le seuil entre des transistors MOS FDSOI à canal long ( $L_G=1$   $\mu m$ ) et à canal court ( $L_G=30$  nm). Deux tendances se dégagent de ces graphiques. La première tendance est une atténuation de la différence de pentes sous le seuil ( $\Delta SS$ ) avec la diminution de l'épaisseur du BOX pour les options HVT, LVT, RVT (i), RVT (ii) et RVT (iii) polarisé à  $|V_{BS}|=V_{DD}$ . La deuxième tendance est une augmentation de la différence de pentes sous le seuil pour l'option RVT (iii) polarisé à  $V_{BS}=0$  V. Dans ce dernier cas de figure, la zone de déplétion à l'interface BOX/substrat s'étend de plus en plus dans le substrat avec la diminution de l'épaisseur du BOX. Cette zone de déplétion vient s'ajouter au BOX pour former un BOX équivalent plus épais (cf. équation (20)). De cette manière, le couplage électrostatique entre la source et le drain n'est pas autant réduit que dans les autres cas de figure, ce qui a pour effet de renforcer la création d'un canal en face arrière à  $V_{GS}=V_T$ .

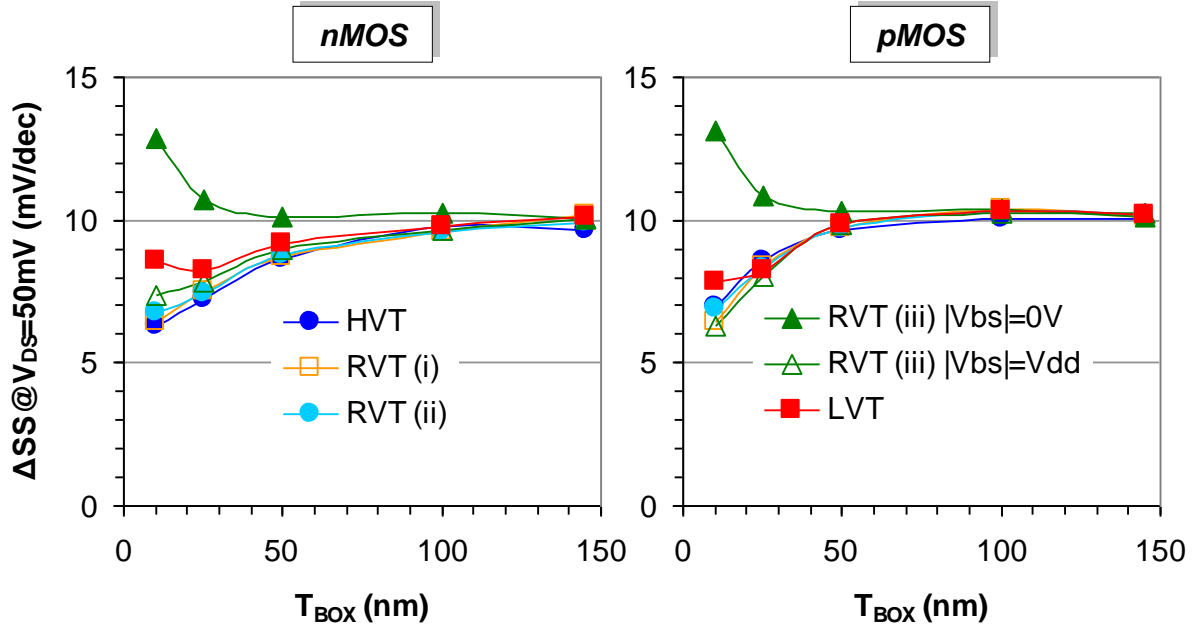


Figure 4.22. : Evolution de la différence de pente sous le seuil ( $\Delta SS$ ) en régime linéaire ( $|V_{DS}|=50$  mV) entre transistors MOS FDSOI à canal long ( $L_G=1 \mu m$ ) et à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$ .

#### 4.3.5. Etude des courants $I_{ON}$ et $I_{OFF}$

Après avoir étudié les principales caractéristiques électriques du transistor MOS que sont la tension de seuil, le DIBL, le coefficient de couplage capacitif et la pente sous le seuil, il est maintenant opportun d'étudier leur impact sur les courants  $I_{ON}$  et  $I_{OFF}$ . En effet, l'étude de ces courants permet de donner une idée des performances des circuits CMOS à travers le temps de propagation des signaux dans une porte logique ( $\tau_p$ ) et la consommation statique ( $P_{stat}$ ) définis par les équations suivantes :

$$\tau_p \propto \frac{C_L \times V_{DD}}{I_{ON}} \quad (30)$$

où  $C_L$  représente la capacité de charge du circuit CMOS considéré, et :

$$P_{stat} \propto V_{DD} \times I_{OFF} \quad (31)$$

Le courant  $I_{ON}$  a été extrait à  $V_{GS}=V_{DS}=V_{DD}$ . Ce paramètre est décrit par l'équation suivante :

$$I_{ON} = \frac{1}{2} \frac{W}{L_G} \mu C_{OX} (V_{DD} - V_{T_{sat}})^2 \quad (32)$$

Il est intéressant de noter que pour une géométrie de transistor donnée ( $L_G$ ,  $W$  et  $T_{OX}$ ), le courant  $I_{ON}$  ne dépend plus que de la tension de seuil en régime saturé ( $V_{T_{sat}}$ ). La Figure 4.23. montre l'évolution du courant  $I_{ON}$  en fonction de l'épaisseur du BOX pour plusieurs options de  $V_T$  de transistors MOS FDSOI à canal court ( $L_G=30$  nm). Les tendances observées sont fortement corrélées à celles de la tension de seuil. Ainsi, pour l'option LVT, la valeur du courant  $I_{ON}$  augmente avec la diminution de l'épaisseur de BOX jusqu'à atteindre une valeur de 480  $\mu A/\mu m$  dans le cas d'un transistor nMOS et 353  $\mu A/\mu m$  dans le cas d'un transistor pMOS. Ce qui correspond à une augmentation de 30 % du courant  $I_{ON}$  par rapport aux options RVT (i), RVT (ii) et RVT (iii) polarisée à  $V_{BS}=0$  V et de 16 % par rapport à l'option RVT (iii) polarisée à  $|V_{BS}|=V_{DD}$ . En ce qui concerne l'option HVT, la valeur du courant  $I_{ON}$  diminue avec l'augmentation de l'épaisseur de BOX, jusqu'à atteindre une valeur de 208  $\mu A/\mu m$  dans le cas d'un transistor nMOS et 146  $\mu A/\mu m$  dans le cas d'un transistor pMOS. Ce qui correspond à une diminution de 37 % du courant par rapport aux options RVT (i), RVT (ii) et RVT (iii) polarisée à  $V_{BS}=0$  V et de 49 % par rapport à l'option RVT (iii) polarisée à  $|V_{BS}|=V_{DD}$ .

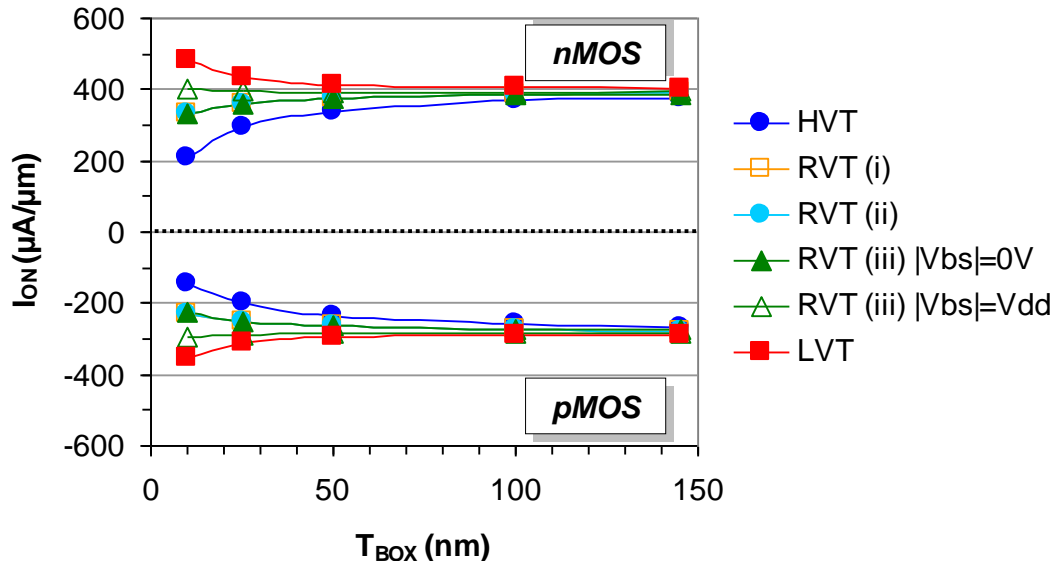


Figure 4.23. : Evolution du courant  $I_{ON}$  en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

Le courant  $I_{OFF}$ , quant à lui, a été extrait à  $V_{GS}=0$  V et  $V_{DS}=V_{DD}$ . Ce paramètre est décrit par l'équation suivante :

$$\log(I_{OFF}) = \log(I_T) - \frac{V_{T-sat}}{SS_{sat}} = \log\left(\frac{W}{L_{Geff}} 10^{-7}\right) - \frac{V_{T-sat}}{SS_{sat}} \quad (31)$$

Il est intéressant de noter que pour une géométrie de transistor donnée ( $L_G$ ,  $W$  et  $T_{OX}$ ), le courant  $I_{OFF}$  ne dépend plus que de la tension de seuil ( $V_{T-sat}$ ) et de la pente sous le seuil ( $SS_{sat}$ ) en régime saturé. La Figure 4.24. montre l'évolution du courant  $I_{OFF}$  en fonction de l'épaisseur du BOX pour plusieurs options de  $V_T$  de transistors MOS FDSOI à canal court ( $L_G=30$  nm). Comme pour le courant  $I_{ON}$ , trois tendances peuvent être dégagées. Premièrement, un courant  $I_{OFF}$  relativement constant en fonction de l'épaisseur du BOX  $T_{BOX}$  pour les options RVT (i), RVT (ii) et RVT (iii) polarisée à  $V_{BS}=0$  V. Ceci s'explique par le fait que la légère augmentation de la tension de seuil, due à la diminution des effets canaux courts, est compensée par l'augmentation de la pente sous le seuil. Pour l'option RVT (iii) polarisée à  $|V_{BS}|=V_{DD}$ , la légère augmentation du courant  $I_{OFF}$  s'explique par la légère augmentation des effets canaux qui impactent la tension de seuil pour des épaisseurs de BOX inférieures à 50 nm. Deuxièmement, une forte augmentation du courant  $I_{OFF}$  peut être observée pour l'option LVT (+2 décades). Ceci est dû à la diminution de la tension de seuil associée à l'augmentation de la pente sous le seuil. Troisièmement, une diminution du courant  $I_{OFF}$  peut être observée pour l'option HVT (-2 décades). Ceci est dû principalement à l'augmentation de la tension de seuil. En effet, la faible augmentation de la pente sous le seuil n'a pas assez d'impact pour inverser la tendance et ainsi dégrader le courant  $I_{OFF}$ . Il est à noter que la diminution du courant  $I_{OFF}$  de l'option HVT ne serait en réalité pas de deux décades mais plutôt d'une décade si les courants de grille et de GIDL avaient été modélisés (cf. Tableau 2.2. du Chapitre 2).

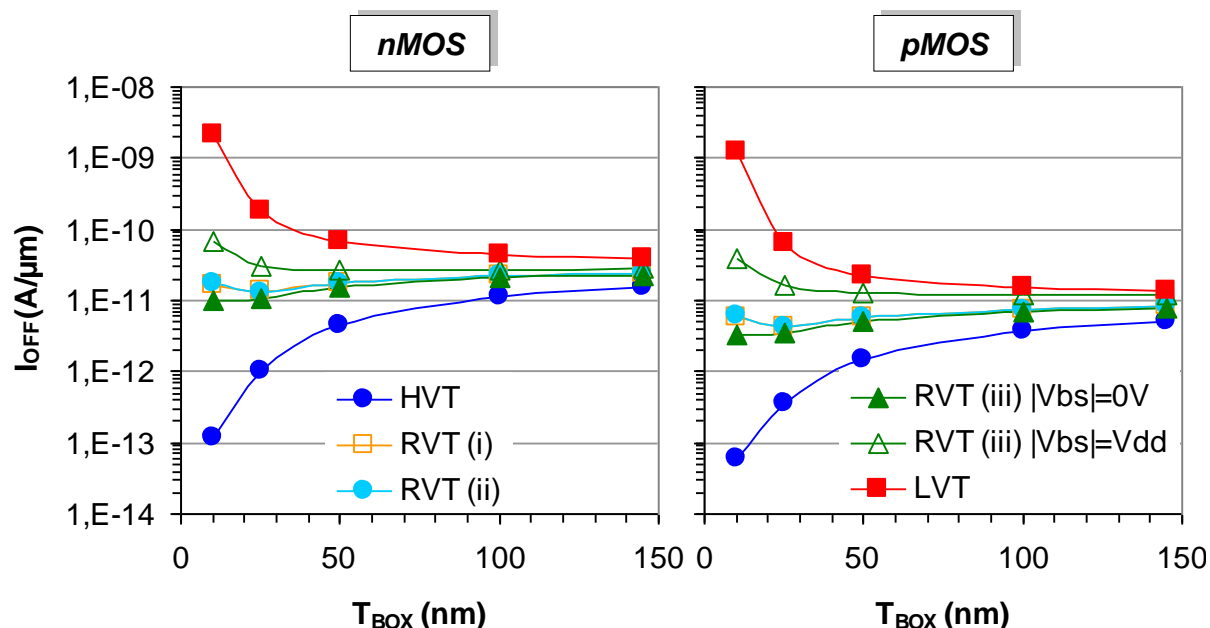
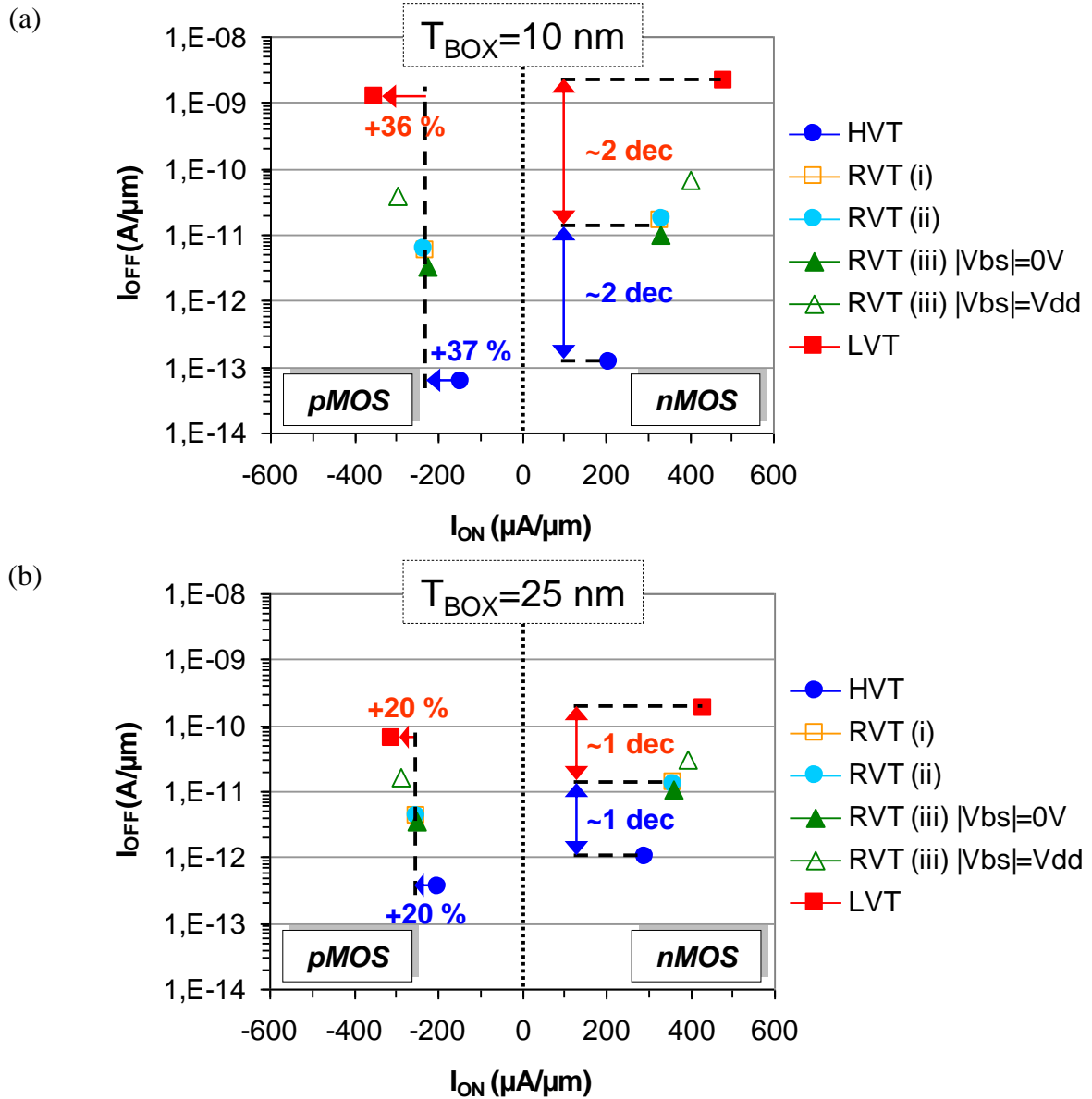


Figure 4.24. : Evolution du courant  $I_{OFF}$  en fonction de  $T_{BOX}$  pour plusieurs options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, un oxyde de grille avant d'une épaisseur  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

La Figure 4.25. montre le gain des courant  $I_{ON}$  et  $I_{OFF}$  des options HVT et LVT par rapport à l'option RVT pour une épaisseur de BOX de 10 nm et de 25 nm. D'après ces graphiques, il est clair que l'utilisation d'architectures de transistors basées sur un BOX d'une épaisseur de 10 nm permet d'obtenir les modulations de courants  $I_{ON}$  les plus importantes (jusqu'à +36 % contre +20 % avec un  $T_{BOX}=25$  nm). Cette forte modulation du courant  $I_{ON}$  s'accompagne néanmoins d'une modulation du courant  $I_{OFF}$  encore plus importante. Ainsi, dans le cas de l'option LVT (par rapport à l'option RVT), le courant  $I_{OFF}$  augmente de deux décades avec un BOX d'une épaisseur de 10 nm. Alors qu'avec une épaisseur de 25 nm, cette augmentation se limite à seulement une décade. Le choix de l'épaisseur du BOX dépend donc, en partie, du compromis qui est fait entre vitesse et consommation statique.



**Figure 4.25. :** Evolution du courant  $I_{OFF}$  en fonction du courant  $I_{ON}$  pour différentes options de  $V_T$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30\text{ nm}$ ) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6\text{ nm}$ , une épaisseur d'oxyde de grille avant  $T_{OX}=1,2\text{ nm}$  et une tension d'alimentation  $V_{DD}=0,9\text{ V}$  avec une épaisseur de BOX (a)  $T_{BOX}=10\text{ nm}$  et (b)  $T_{BOX}=25\text{ nm}$ .

## 4.4. Conclusion

Les architectures de transistors MOS multi- $V_T$  FDSOI proposées dans ce chapitre ont trois atouts majeurs. Le premier est de préserver l'intégrité du contrôle électrostatique du canal par la grille en se basant sur un BOX mince ( $<50\text{ nm}$ ). Le deuxième est de ne pas dégrader la variabilité de la tension de seuil en gardant le film mince de silicium non dopé. Le troisième est de garder un procédé de fabrication relativement simple en n'utilisant qu'un seul

matériau de grille avant. La combinaison d'un BP avec un BOX mince ( $<50$  nm) est la base de ces architectures. En effet, cet assemblage joue le rôle d'une grille arrière qui peut moduler la tension de seuil en fonction de la nature de son matériau ( $\Delta\phi_{BP}$ ) et de sa polarisation ( $V_{BP}$ ). Ainsi, en utilisant les deux types de silicium, n-BP ( $\Delta\phi_{BP} < 0$ ) et p-BP ( $\Delta\phi_{BP} > 0$ ), et deux polarisations,  $GND$  et  $V_{DD}$ , il est possible d'obtenir trois niveaux de tensions de seuil : HVT, RVT et LVT. La différence entre ces trois niveaux dépend essentiellement de la valeur du coefficient de couplage capacitif entre la grille avant et la grille arrière. Ainsi, il a été montré que plus l'épaisseur du BOX est proche de celle de l'oxyde de grille avant, plus le coefficient de couplage capacitif est élevé. De la même manière, plus le canal de conduction se forme près du BOX, plus le coefficient de couplage capacitif est élevé. Un autre phénomène vient aussi influencer la valeur du coefficient de couplage capacitif, il s'agit de la déplétion du BP à l'interface avec le BOX. Cette zone de déplétion a pour effet de diminuer sa valeur lorsqu'elle devient non négligeable devant l'épaisseur du BOX. Deux solutions peuvent être envisagées pour minimiser, voire supprimer, cet effet indésirable. La première solution consiste à augmenter le niveau de dopage du BP mais au détriment de la variabilité de la tension de seuil à cause des impuretés qui seraient introduites dans le film mince de silicium durant les opérations d'implantation. La deuxième solution consiste à réaliser un BP métallique mais au détriment de la simplicité du procédé de fabrication (proche de la technologie double grille). Malgré cet inconvénient, les caractéristiques électriques obtenues avec des architectures de transistors MOS multi- $V_T$  FDSOI basées sur un BOX ayant une épaisseur inférieure à 50 nm sont clairement prometteuses.

L'étape suivante va consister à développer un schéma d'intégration permettant à ces architectures de transistors de pouvoir être utilisées pour réaliser des circuits CMOS avec la topologie standard (cf. Chapitre 3).



## 4.5. Références bibliographiques

- [Andrieu'10] F. Andrieu et al., *Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond*, Symposium on VLSI Technology Digest of Technical Papers, 2010, pp. 57-58
- [Colinge'97] Jean-Pierre Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, 3<sup>rd</sup> Edition, Springer, 1997
- [Ernst'02] T. Ernst, C. Tinella, C. Raynaud, S. Cristoloveanu, *Fringing fields in sub-0.1  $\mu\text{m}$  fully depleted SOI MOSFETs: optimization of the device architecture*, Solid-State Electronics, vol 46, 2002, pp. 373-378
- [Fenouillet'08] C. Fenouillet-Beranger et al., *FDSOI devices with Thin BOX and Ground plane integration for 32nm node and below*, ESSDERC, 2008, pp. 206-209
- [Fenouillet'09] C. Fenouillet-Beranger et al., *Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below*, ESSDERC, 2009, pp. 89-91
- [Jaud'10] M.-A. Jaud et al., *TCAD simulation vs. experimental results in FDSOI technology: From advanced mobility modeling to 6T-SRAM cell characteristics prediction*, SISPAD, 2010, pp. 283-286
- [Lim'83] Hyung-Kyu Lim, Jerry G. Fossum, *Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's*, IEEE Transactions on Electron Devices, vol. 30, no. 10, October 1983, pp. 1244-1251
- [Poiroux'05] T. Poiroux et al., *Multiple gate devices: advantages and challenges*, Microelectronic Engineering, vol. 80, June 2005, pp. 378-385
- [Silvaco'08] ATLAS User's Manual, SILVACO, 2008
- [Tsividis'99] Y. Tsividis, *Operation and Modeling of the MOS Transistor*, 2<sup>nd</sup> edition, McGraw-Hill, New York, 1999



## Chapitre 5

---

### *Développement de plateformes technologiques multi- $V_T$ FDSOI*



## 5.1. Introduction

Il a été montré dans le chapitre précédent qu'il était possible de mettre en place des architectures de transistors MOS multi- $V_T$  FDSOI avec seulement un seul matériau de grille avant. Pour cela, il suffisait de mettre à profit les effets de la grille arrière en jouant sur le type et la polarisation des BP. Pour constituer une plateforme technologique capable de remplacer avantageusement celles déjà existantes sur silicium massif, il faut que les transistors MOS multi- $V_T$  FDSOI permettent de réutiliser au maximum le flot de conception et la topologie standard des circuits réalisés avec des transistors MOS multi- $V_T$  sur silicium massif.

Pour cela, il peut être avantageux d'utiliser un schéma d'intégration proche de celui des transistors MOS sur silicium massif. En effet, cela permettrait de réutiliser les éléments de fabrication servant à l'isolation des transistors MOS sur silicium massif, et donc de garder un procédé de fabrication relativement simple. De plus, cela devrait aussi permettre de limiter l'impact sur le flot de conception et la topologie standard des circuits.

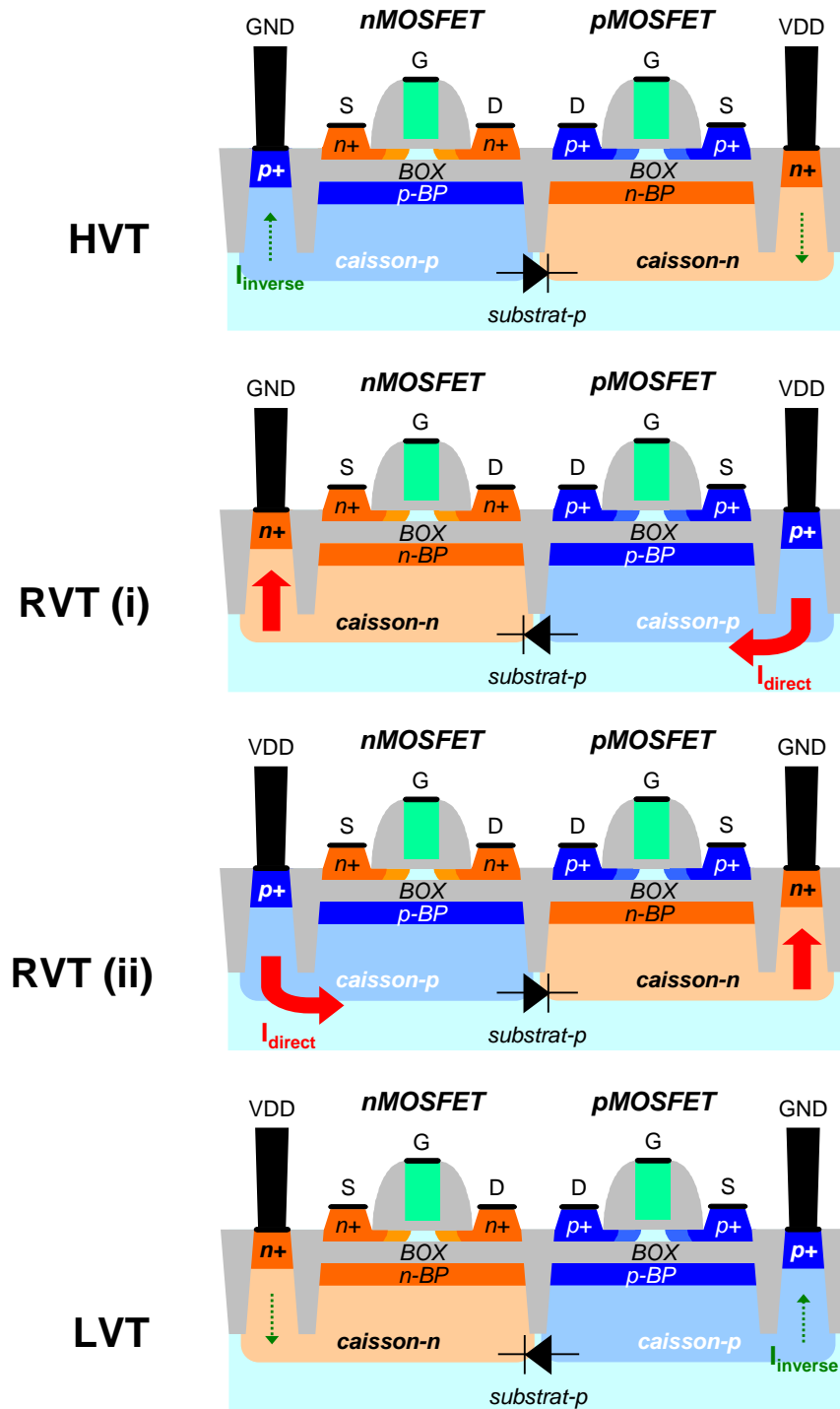
Ce chapitre a pour objectif de proposer des plateformes technologiques FDSOI composées de transistors MOS multi- $V_T$  compatibles avec la topologie des circuits réalisés avec des transistors MOS sur silicium massif (cf. Chapitre 3).

## 5.2. Adaptation du schéma d'intégration standard aux architectures de transistors MOS multi- $V_T$ FDSOI

### 5.2.1. Problématiques liées à la polarisation des BP via des caissons

Le schéma d'intégration des transistors MOS multi- $V_T$  FDSOI doit permettre de les isoler électriquement mais aussi de pouvoir polariser efficacement les deux types de BP. Le schéma d'intégration proposé par [Ishigaki'08] (cf. Figure 2.7. du Chapitre 2) semble être une solution adaptée car très similaire à celui des transistors MOS sur silicium massif. Ainsi, l'utilisation de STI profonds permet d'isoler la zone active et le BP de chaque transistor. Alors que l'utilisation de deux types de caissons permet à la fois de polariser les BP de tous les transistors mais aussi de séparer la polarisation des BP des transistors nMOS de ceux des transistors pMOS. De plus, tous ces éléments (STI profonds et caissons). sont issus du procédé de fabrication des dispositifs sur silicium massif. Seule la gravure du BOX,

permettant la création du contact caisson, vient s'ajouter comme une étape supplémentaire. Cette réutilisation optimale du procédé de fabrication des dispositifs sur silicium massif a pour avantage de fortement minimiser son coût de développement ainsi que sa complexité. Il peut donc s'avérer très avantageux d'utiliser ce schéma d'intégration standard pour les architectures de transistors associées aux options HVT et LVT (Figure 5.1.). Ainsi, la co-intégration de transistors nMOS et pMOS FDSOI ne pose aucun problème en termes d'isolation puisque la diode, formée par la jonction entre le caisson-p/substrat-p et le caisson-n, est polarisée en inverse ( $GND - V_{DD} < 0,6 \text{ V}$ ). Par contre, l'utilisation de ce schéma d'intégration standard pour les architectures de transistors associées aux options RVT (i) et RVT (ii) est problématique en terme d'isolation. En effet, pour ces deux architectures, la diode, formée par le caisson-p/substrat-p et le caisson-n, est polarisée en direct ( $V_{DD} - GND > 0,6 \text{ V}$ ), engendrant ainsi un fort courant (Figure 5.1.).



**Figure 5.1. : Vue en coupe schématique de transistors MOS multi- $V_T$  FDSOI ayant un film mince de silicium non dopé et basés sur un seul type de grille utilisant un schéma d'intégration standard.**

Ce fort courant de diode pourrait être supprimé en utilisant le schéma d'intégration simplifié utilisé avec l'architecture de transistors associée à l'option RVT (iii) (Figure 5.2.). Malgré sa simplicité de fabrication, ce schéma d'intégration simplifié présente plusieurs inconvénients majeurs, dont celui de ne pas pouvoir polariser de manière indépendante le BP de chaque type de transistors (cf. Chapitre 2). Ce qui limite l'efficacité des techniques de gestion de la

consommation et de la vitesse par modulation de la tension de polarisation de la grille arrière (RBB, FBB, ...).

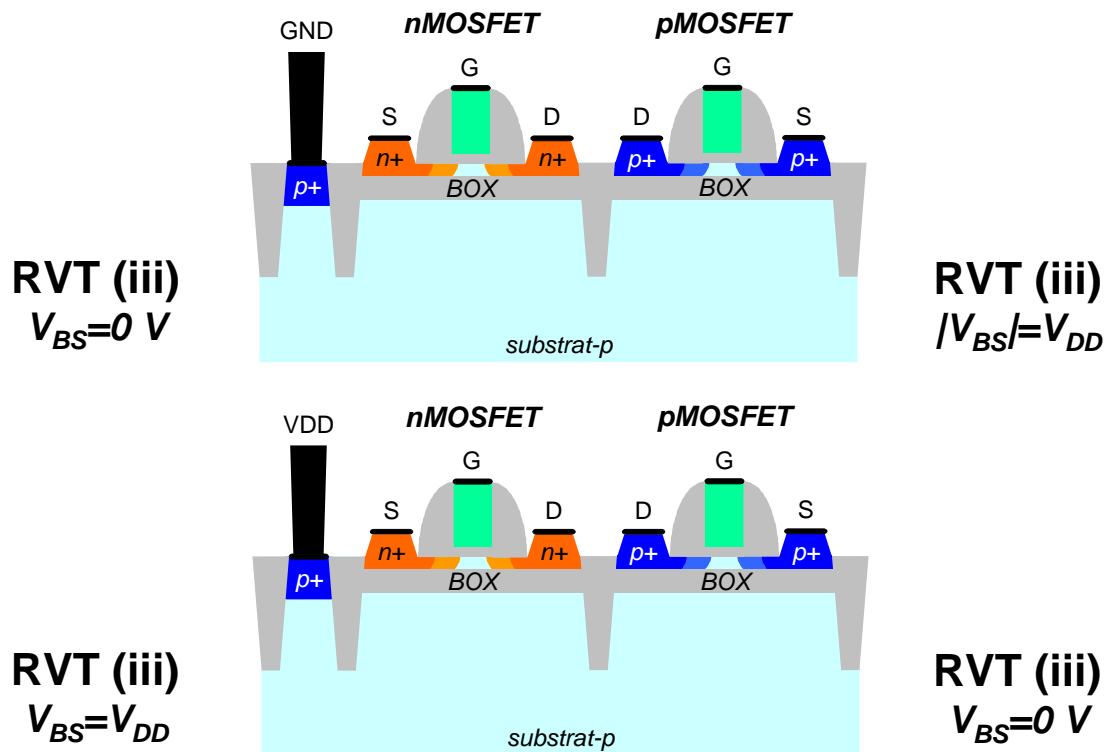


Figure 5.2. : Vue en coupe schématique de transistors MOS multi- $V_T$  FDSOI ayant un film mince de silicium non dopé et basés sur un seul type de grille utilisant un schéma d'intégration simplifié.

L'utilisation d'une architecture de transistors MOS FDSOI basée sur un BOX épais permettant d'obtenir nativement l'option RVT pourrait également être envisagée. Néanmoins, cette solution complexifierait le procédé de fabrication puisque cela imposerait la co-intégration de transistors MOS FDSOI basés sur un BOX mince (HVT et LVT) avec des transistors MOS FDSOI basés sur un BOX épais (RVT). De plus, l'utilisation d'un BOX épais a également pour effet de fortement affaiblir le coefficient de couplage capacitif, limitant ainsi la modulation de la tension de seuil par modulation de la tension de polarisation de la grille arrière.

### 5.2.2. Etude de la jonction BP/caisson

Une autre solution pour supprimer le fort courant de diode engendré par la formation de jonctions entre caisson-p/substrat-p et caisson-n consiste à utiliser le schéma d'intégration



standard avec des caissons de type opposé à celui des BP. Ainsi, dans le cas des architectures de transistors associées aux options RVT (i) et (ii), les diodes, initialement polarisées en direct, sont alors polarisées en inverse (Figure 5.3.).

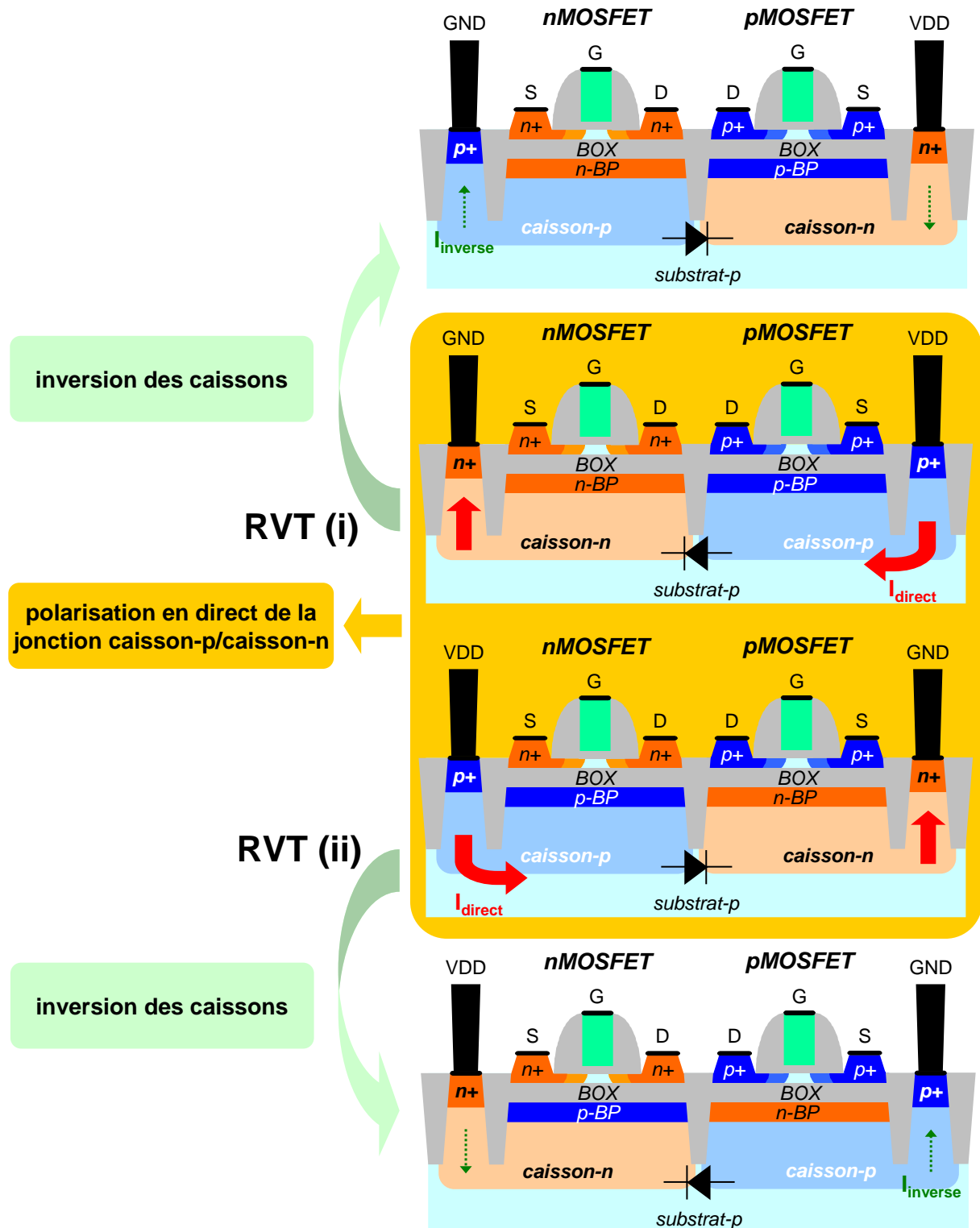
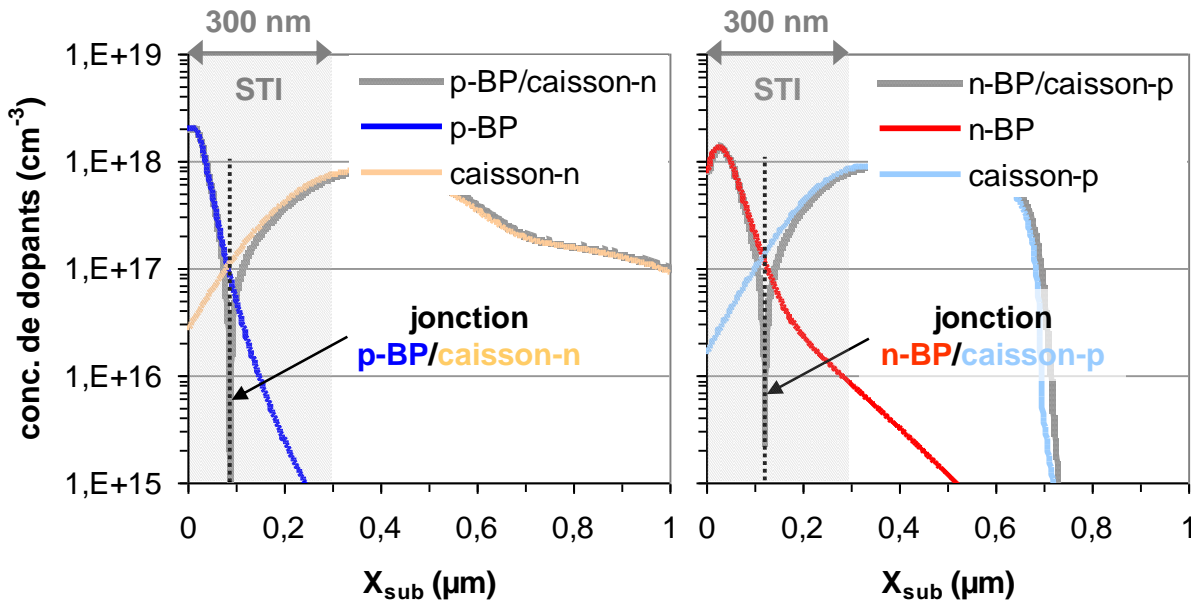


Figure 5.3. : Vue en coupe schématique de transistors MOS RVT FDSOI ayant un film mince de silicium non dopé et basés sur un seul type de grille utilisant un schéma d'intégration standard avec des jonctions BP/caisson de type opposé ou de même type.

De cette manière, la solution obtenue à partir de l'option RVT (i) s'avère très intéressante puisque son schéma d'intégration standard est identique, en termes de caisson et de polarisation, à celui de l'option HVT. La Figure 5.4. montre les profils de dopage des BP et des caissons simulés pour le schéma d'intégration standard. Les profils de dopage des BP ont été obtenus à partir de simulations TCAD d'un procédé de fabrication basé sur les paramètres de concentrations et d'énergies d'implantation de dopants utilisés dans [Fenouillet'08] et [Fenouillet'09] (cf. Chapitre 4). Alors que les profils de dopage des caissons ont été obtenus à partir de simulations TCAD d'un procédé de fabrication basé sur les paramètres de concentrations et d'énergies d'implantation de dopants utilisés dans le nœud technologique 45 nm de la société STMicroelectronics. La jonction entre les BP et les caissons de type opposé se faisant à une profondeur d'environ 100 nm en dessous du BOX, l'isolation du BP de chaque transistor est bien effective grâce aux STI profonds qui atteignent une profondeur avoisinant les 300 nm.



**Figure 5.4. :** Simulation de l'évolution du niveau de dopage des BP et des caissons de type n (rouge et orange) et de type p (bleu foncé et bleu clair) en fonction de la profondeur du substrat ( $X_{sub}$ ) d'un transistor MOS FDSOI ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm et un BOX d'une épaisseur  $T_{BOX}=10$  nm.

Puisqu'il n'existe pas de chemin de courants entre le BP et le caisson de type opposé, la polarisation du BP devient identique à celle du caisson de type opposé après le temps d'établissement de la zone de charge d'espace (ZCE) de la jonction. Ce temps d'établissement dépend directement du temps de génération/recombinaison des porteurs à l'interface ( $\tau_{GR}$ ).

Pour que cette polarisation soit effective au niveau du BP, il faut que la partie de la ZCE qui se situe du côté du BP ne s'étende pas jusqu'au BOX. Pour pouvoir étudier plus en détail cette jonction BP/caisson, on se propose de faire des simulations TCAD dans les mêmes conditions que celles décrites dans le chapitre 4 [Silvaco'08]. La Figure 5.5. et la Figure 5.6. montrent l'évolution du potentiel électrostatique à travers des transistors nMOS et pMOS basés sur le schéma d'isolation standard. Il est à noter que la partie de la ZCE qui se situe du côté du BP ne s'étend pas jusqu'au BOX, laissant ainsi une marge de 60 à 70 nm. Dans ces conditions, il est aussi intéressant de constater que le potentiel au sein du film mince de silicium non dopé reste identique quel que soit le type du caisson.

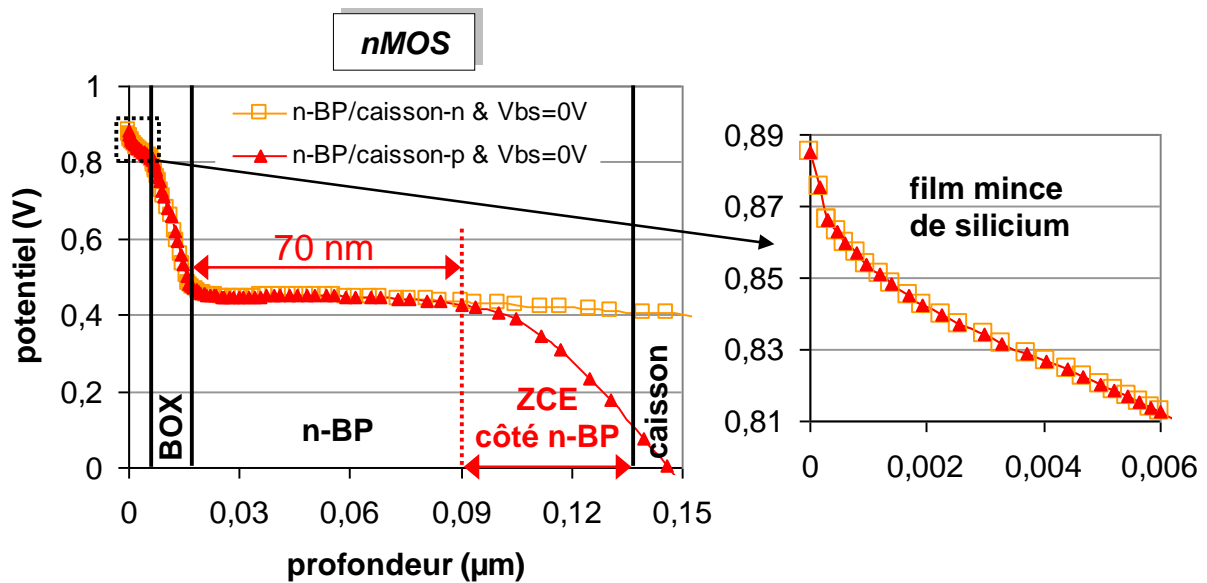


Figure 5.5. : Evolution du potentiel électrostatique au travers du film mince de silicium non dopé, du BOX, du n-BP et du caisson-n (orange) ou caisson-p (rouge) d'un transistor nMOS FDSOI ayant une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm, un BOX d'une épaisseur  $T_{BOX}=10$  nm et une tension d'alimentation  $V_{DD}=0,9$  V lorsque  $V_{GS}=V_{DS}=V_{DD}$ .

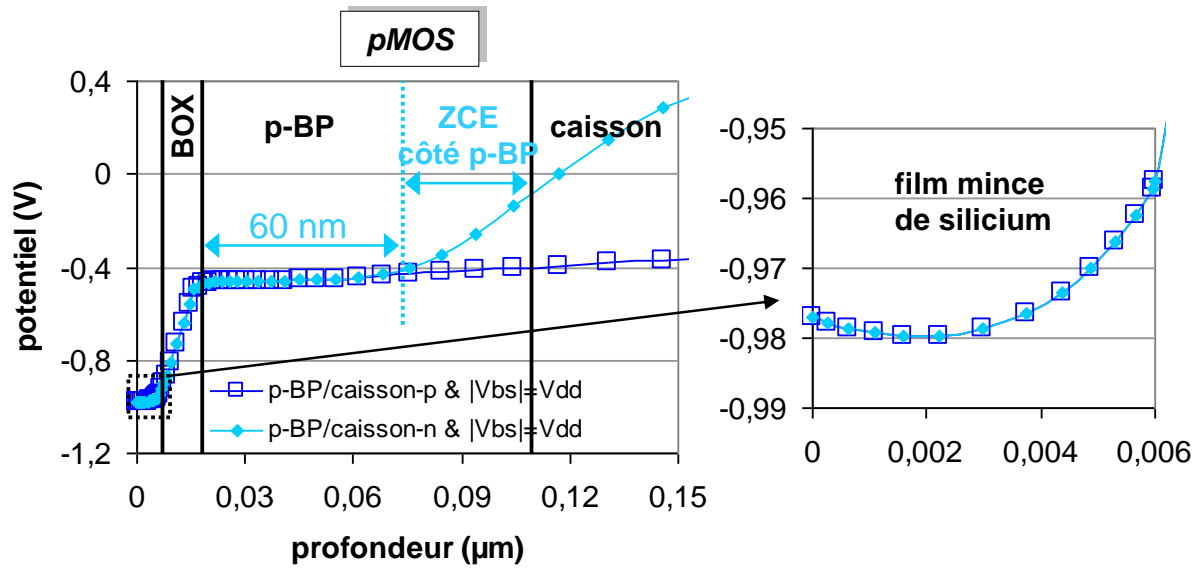


Figure 5.6. : Evolution du potentiel électrostatique au travers du film mince de silicium non dopé, du BOX, du p-BP et du caisson-p (bleu foncé) ou caisson-n (bleu clair) d'un transistor pMOS FDSOI ayant une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm, un BOX d'une épaisseur  $T_{BOX}=10$  nm et une tension d'alimentation  $V_{DD}=0,9$  V lorsque  $|V_{GS}|=|V_{DS}|=V_{DD}$ .

Le Tableau 5.1. montre que les principales caractéristiques électriques des transistors RVT (i) basés sur le schéma d'intégration standard ne sont quasiment pas affectées, en régime statique, par l'utilisation d'un caisson de type opposé à celui du BP.

		$ V_{T\_lin} $ (mV)	$ DIBL $ (mV/V)	$ I_{ON} $ ( $\mu A/\mu m$ )	$ I_{OFF} $ (pA/ $\mu m$ )	$SS_{sat}$ (mV/dec)	$r$ (mV/V)
<i>nMOS</i>	<b>n-BP/caisson-n</b>	403,1	37	393,1	62,9	77,6	170,4
	<b>n-BP/caisson-p</b>	403,2	37	393,1	62,7	77,7	170,4
<i>pMOS</i>	<b>p-BP/caisson-p</b>	401,1	48,2	301,5	148,4	79,9	176,8
	<b>p-BP/caisson-n</b>	401,1	48,2	301,5	148,4	79,9	176,8

Tableau 5.1. : Caractéristiques électriques d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm, un BOX d'une épaisseur  $T_{BOX}=10$  nm une tension d'alimentation  $V_{DD}=0,9$  V utilisant un caisson de même type ou de type opposé à leur BP.

### 5.2.3. Points à considérer en vue d'une intégration circuit

La Figure 5.7. montre les trois options de  $V_T$  qu'il est possible d'obtenir en utilisant une architecture de transistors basée sur un BOX mince, un seul type de grille avant et un schéma d'intégration proche de celui des transistors MOS sur silicium massif, dit standard. Il est intéressant de constater que les architectures de transistors associées aux options HVT et

RVT sont parfaitement compatibles avec la topologie des circuits CMOS existants. Alors que pour l'architecture de transistors associée à l'option LVT, la configuration du caisson ainsi que sa polarisation ne sont pas compatibles.

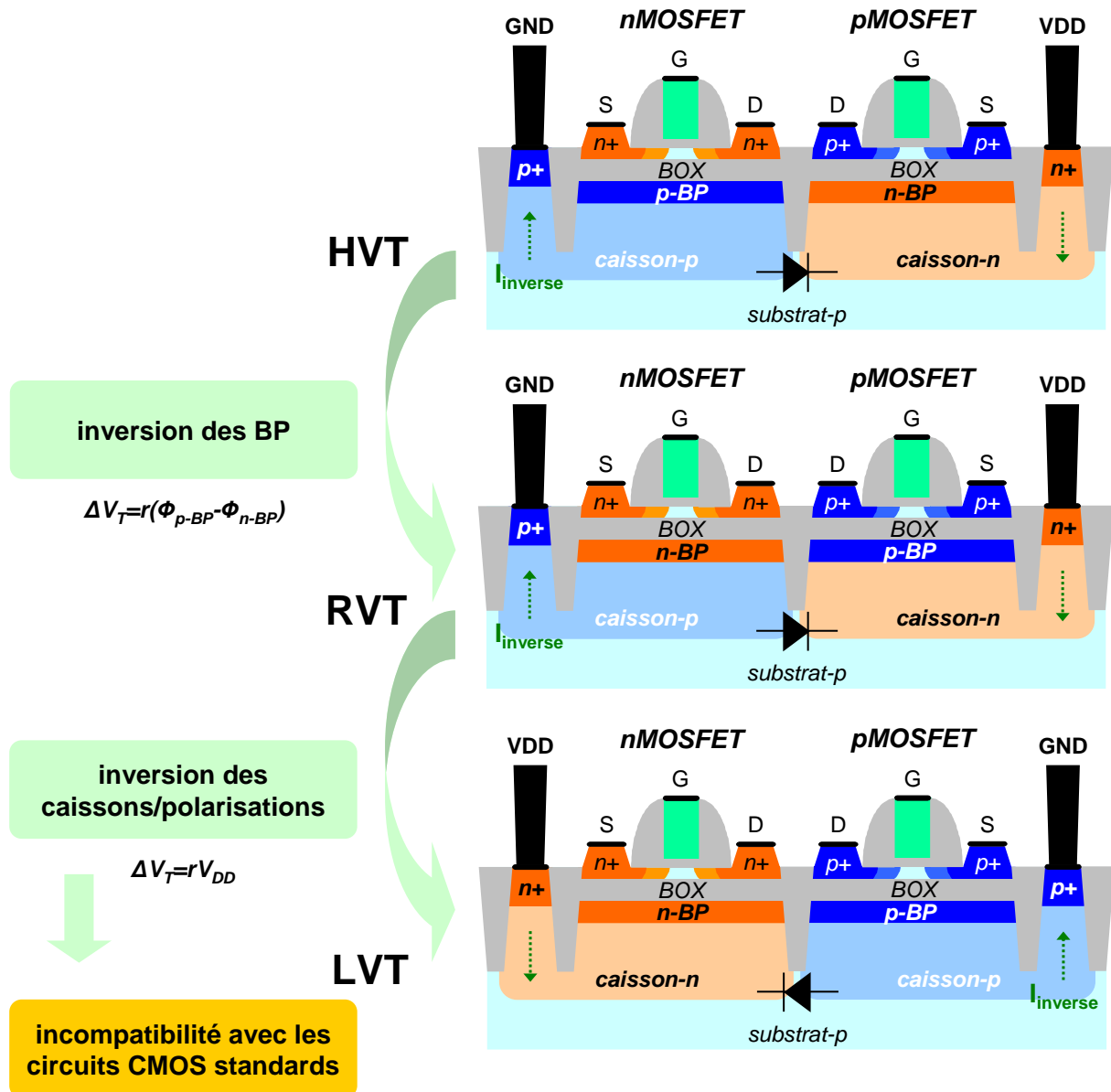


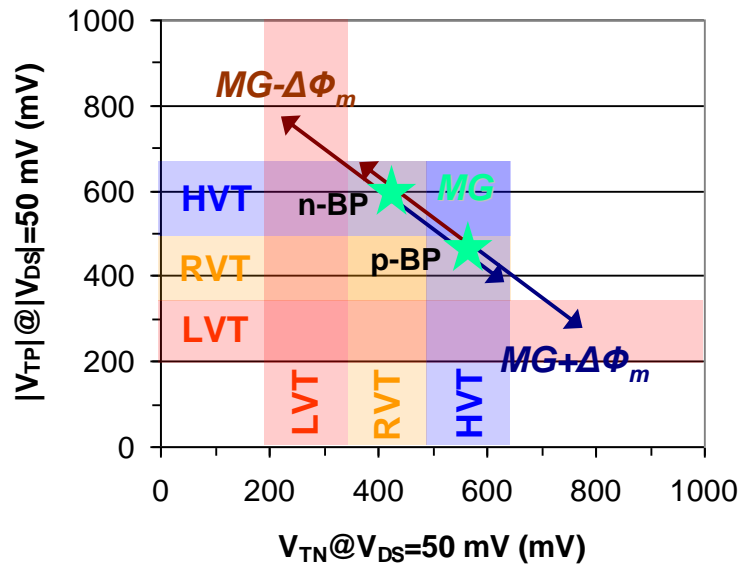
Figure 5.7. : Vue en coupe schématique de transistors MOS multi- $V_T$  FDSOI ayant un film mince de silicium non dopé et basés sur un seul type de grille avant utilisant un schéma d'intégration standard.

Pour pouvoir co-intégrer facilement des transistors LVT avec des transistors HVT et RVT, il peut être intéressant, au détriment de la simplicité du procédé de fabrication, d'utiliser deux types de grille avant.

### 5.3. Architectures de transistors MOS multi- $V_T$ FDSOI basées sur deux types de grille avant

#### 5.3.1. Définition des travaux de sortie de la grille avant et résultats de simulations

En autorisant l'utilisation de deux types de grille avant avec des travaux de sortie proches du *mid-gap* du film mince de silicium non dopé ( $q\Delta\phi_m = \pm 0,1$  eV), il est possible d'obtenir trois niveaux de tensions de seuil (HVT, RVT et LVT) en utilisant seulement deux types de BP (Figure 5.8.).



**Figure 5.8. :** Evolution de la tension de seuil ( $V_T$ ) en fonction du type de BP et du travail de sortie de la grille avant ( $\Delta\Phi_m$ ) d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm et une épaisseur de BOX  $T_{BOX}=10$  nm.

La Figure 5.9. montre les différentes combinaisons de types de grilles avant et de BP permettant d'atteindre trois niveaux de tensions de seuil (HVT, RVT et LVT), ainsi qu'un quatrième niveau supplémentaire, dit super-HVT (SHVT).

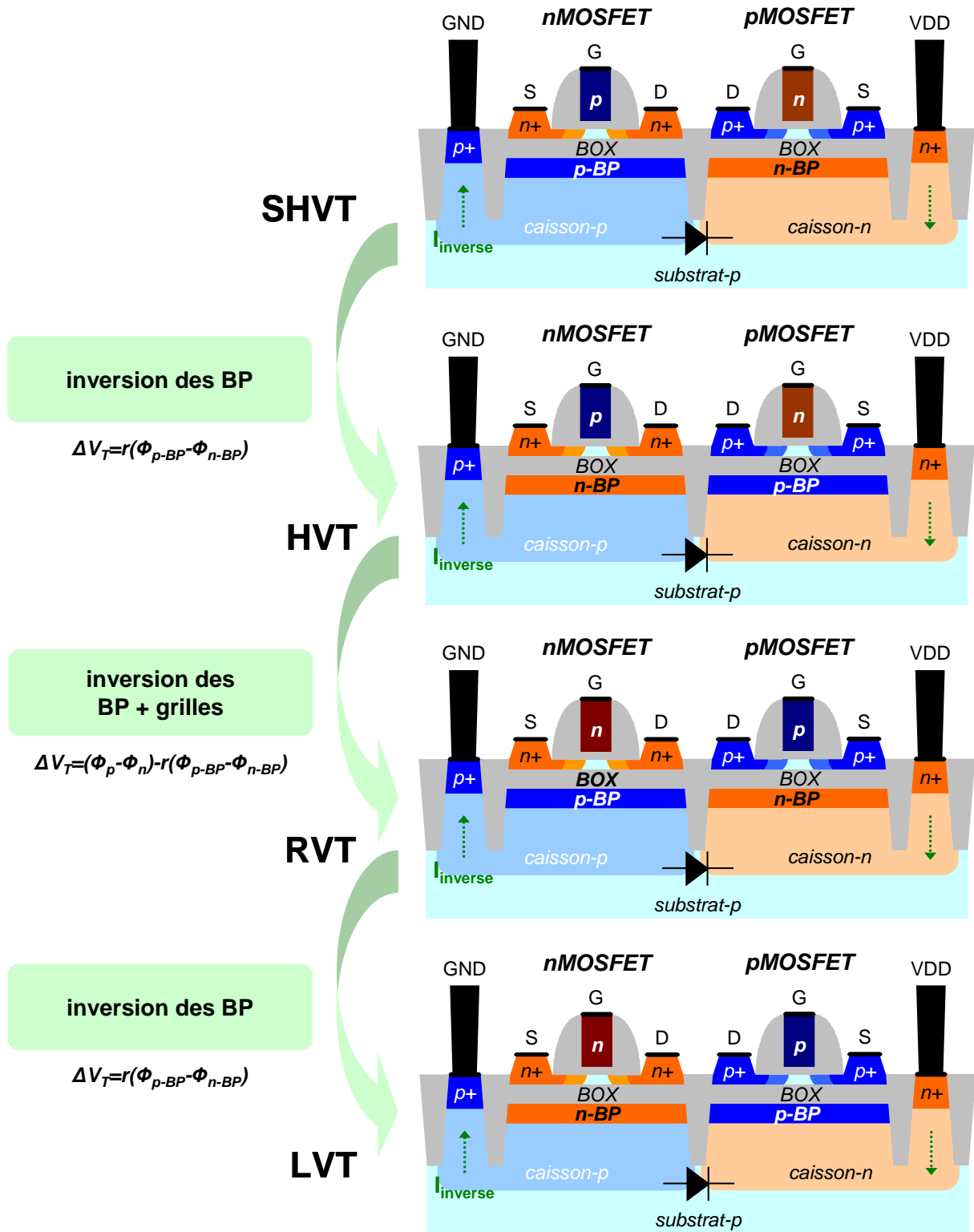
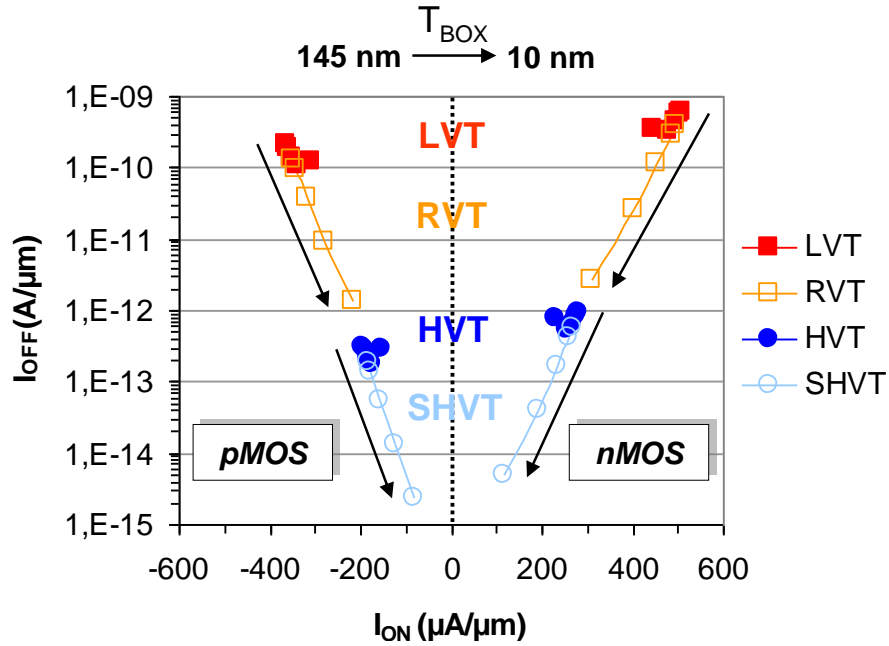


Figure 5.9. : Vue en coupe schématique de transistors MOS multi- $V_T$  FDSOI ayant un film mince de silicium non dopé et basés sur deux types de grille avant utilisant un schéma d'isolation standard pour les options SHVT et RVT et spécifique FDSOI pour les options HVT et LVT.

La Figure 5.10. montre les courbes  $I_{OFF} - I_{ON}$  obtenues pour des transistors nMOS et pMOS SHVT, HVT, RVT et LVT FDSOI en fonction de l'épaisseur du BOX.



**Figure 5.10. :** Evolution du courant  $I_{OFF}$  en fonction du courant  $I_{ON}$  pour différentes options de  $V_T$  et pour différents  $T_{BOX}$  d'un transistor nMOS et d'un transistor pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

Ainsi, il est intéressant de constater que seules les options RVT et SHVT sont fortement sensibles à l'évolution de l'épaisseur de BOX. Ceci est dû au fait que l'architecture de transistors leur étant associée utilise des BP de type opposé aux S/D et sont polarisés avec une tension  $V_{BS}=0$  V (cf. Chapitre 4). De cette manière, le niveau de la tension de seuil des transistors HVT et LVT peut être ajusté par le travail de sortie de la grille avant métallique. Puis, le niveau de la tension de seuil des transistors RVT et SHVT peut être recentré/optimis   par l'  paisseur du BOX. Ce qui permet une plus grande flexibilit   au niveau de l'ajustement des tensions de seuil par rapport aux architectures de transistors utilisant un seul type de grille avant.

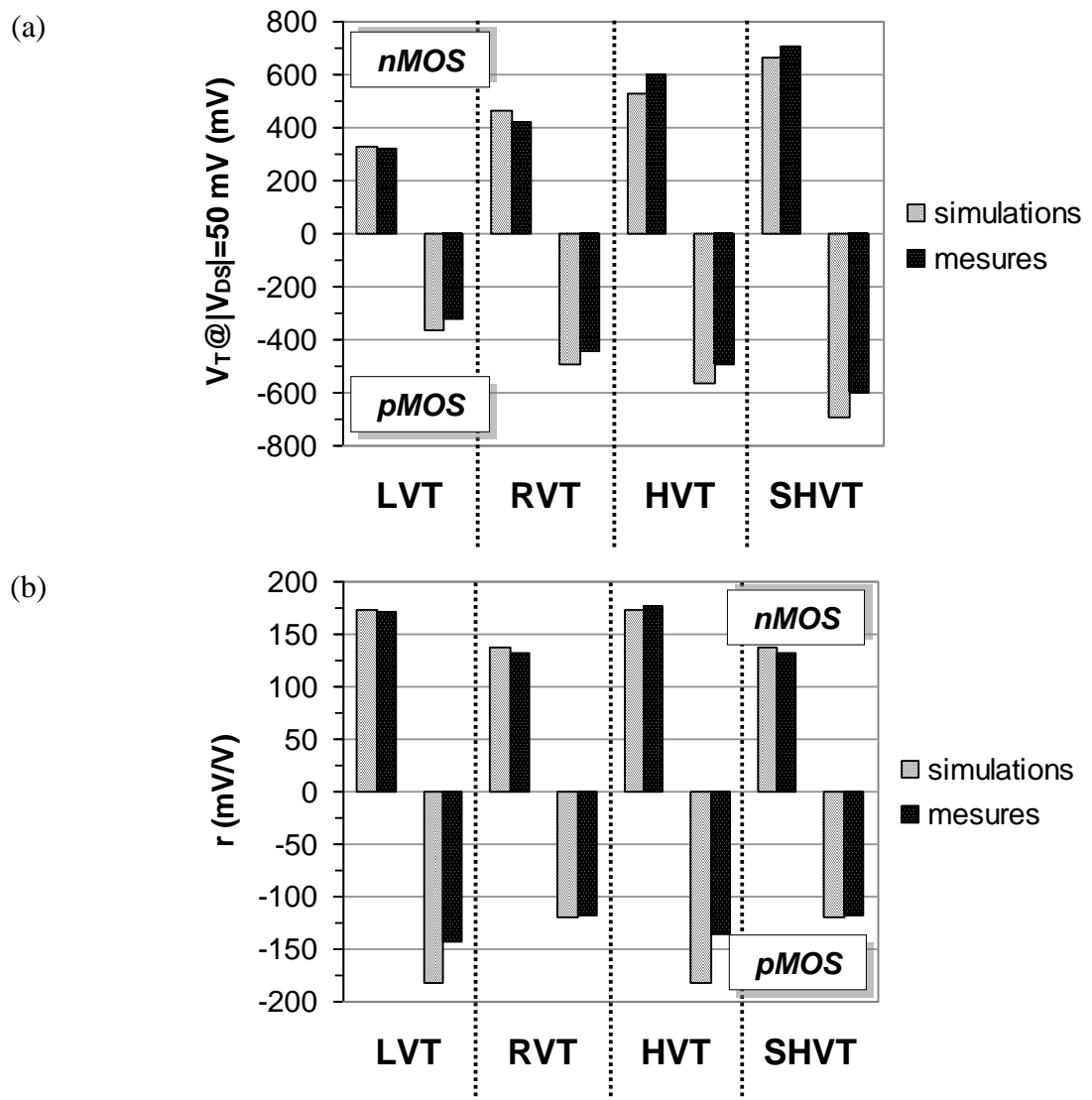
### 5.3.2. Comparaison des r  sultats de simulations avec des r  sultats de mesures

Afin de valider les tendances obtenues en simulation, on se propose de les comparer    celles obtenues en mesure. Pour cela, des transistors MOS multi- $V_T$  FDSOI bas  s sur deux grilles avant m  talliques, l'une r  alis  e avec un mat  riau TiN d'une   paisseur de 5 nm ( $\phi_n \approx 4,5$  eV) et l'autre avec un mat  riau TaAlN/TaN d'une   paisseur de 10 nm ( $\phi_n \approx 4,7$  eV), un isolant de grille HfSiON d'une   paisseur   quivalente de 1,15 nm, un film mince de



silicium non dopé d'une épaisseur de 6 nm et un BOX d'une épaisseur de 10 nm ont été fabriqués.

La Figure 5.11.a et la Figure 5.11.b montrent, respectivement, la valeur de la tension de seuil et la valeur du coefficient de couplage capacitif des différentes options de  $V_T$  obtenues par simulation TCAD et mesures expérimentales avec des transistors nMOS et des transistors pMOS FDSOI à canal court ( $L_G=30$  nm). Ces graphiques mettent en évidence la bonne corrélation entre les résultats de simulations et de mesures.



**Figure 5.11. :** Valeurs (a) de la tension de seuil ( $V_T$ ) et (b) de du coefficient de couplage capacitif ( $r$ ) des différentes options de  $V_T$  obtenues par simulation TCAD et mesures expérimentales avec des transistors nMOS et des transistors pMOS FDSOI à canal court ( $L_G=30$  nm) et ayant un film mince de silicium non dopé d'une épaisseur  $T_{Si}=6$  nm, une épaisseur d'oxyde de grille avant  $T_{OX}=1,2$  nm, une épaisseur de BOX  $T_{BOX}=10$  nm et une tension d'alimentation  $V_{DD}=0,9$  V.

## 5.4. Plateformes technologiques constituées de transistors MOS multi- $V_T$ FDSOI

Il a été montré, dans les parties précédentes, qu'il était possible de mettre en place une plateforme technologique constituée de transistors MOS multi- $V_T$  FDSOI. Les deux principaux bras de levier permettant d'ajuster le niveau de la tension de seuil sont le type/niveau de dopage ( $\Delta\phi_{BP}$ ) et la polarisation ( $V_{BS}$ ) du BP. Un troisième bras de levier supplémentaire peut aussi être utilisé mais au détriment de la simplicité du procédé de fabrication. Il s'agit du travail de sortie de la grille métallique avant ( $\Delta\phi_m$ ). De cette manière, deux plateformes technologiques peuvent être mises en place. Une première n'utilisant qu'un seul type de grille avant avec un travail de sortie équivalent au *mid-gap* du silicium ( $\Delta\phi_m=0$ ). Une deuxième utilisant deux types de grille avant ayant un travail de sortie proche du *mid-gap* du silicium ( $q\Delta\phi_m=\pm 0,1$  eV).

### 5.4.1. Utilisation de transistors MOS multi- $V_T$ FDSOI basés sur un seul type de grille

Une plateforme technologique constituée de transistors MOS multi- $V_T$  FDSOI basés sur un seul type de grille a pour avantage de ne pas complexifier le procédé de fabrication et de ne pas augmenter le coût du jeu de masques avec un masque de grille supplémentaire. Par contre, cette solution a pour inconvénient de limiter les possibilités d'ajustement du niveau de la tension de seuil. En effet, seule l'utilisation de deux types et polarisations de BP permettra l'ajustement du niveau de la tension de seuil. Cette limitation en termes de flexibilité peut amener à des architectures de transistors non compatibles avec des circuits CMOS standards, (Figure 5.12.).

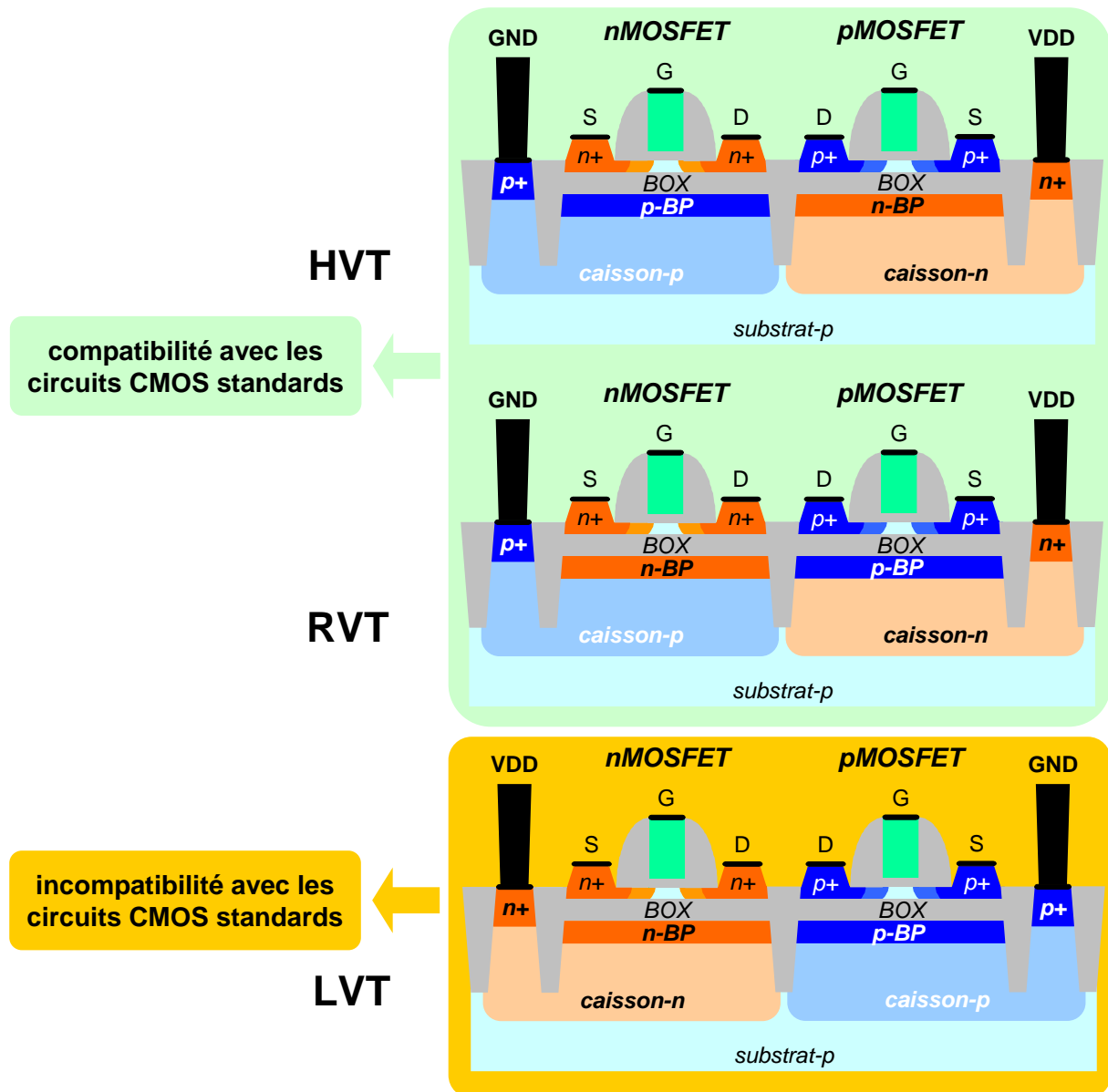


Figure 5.12. : Vue en coupe schématique de transistors MOS multi- $V_T$  FDSOI ayant un film mince de silicium non dopé et basés sur un seul type de grille avant constituant une plateforme technologique.

#### 5.4.2. Utilisation de transistors MOS multi- $V_T$ FDSOI basés sur deux types de grille

Une plateforme technologique constituée de transistors MOS multi- $V_T$  FDSOI basés sur deux types de grille a pour avantage d'être plus flexible en termes d'ajustement de la tension de seuil grâce aux différentes combinaisons possibles entre les types de grille avant et de BP. De plus, cela permet de conserver un caisson-n polarisé à  $GND$  pour les transistors nMOS et un caisson-p polarisé à  $V_{DD}$  pour les transistors pMOS (Figure 5.13.).

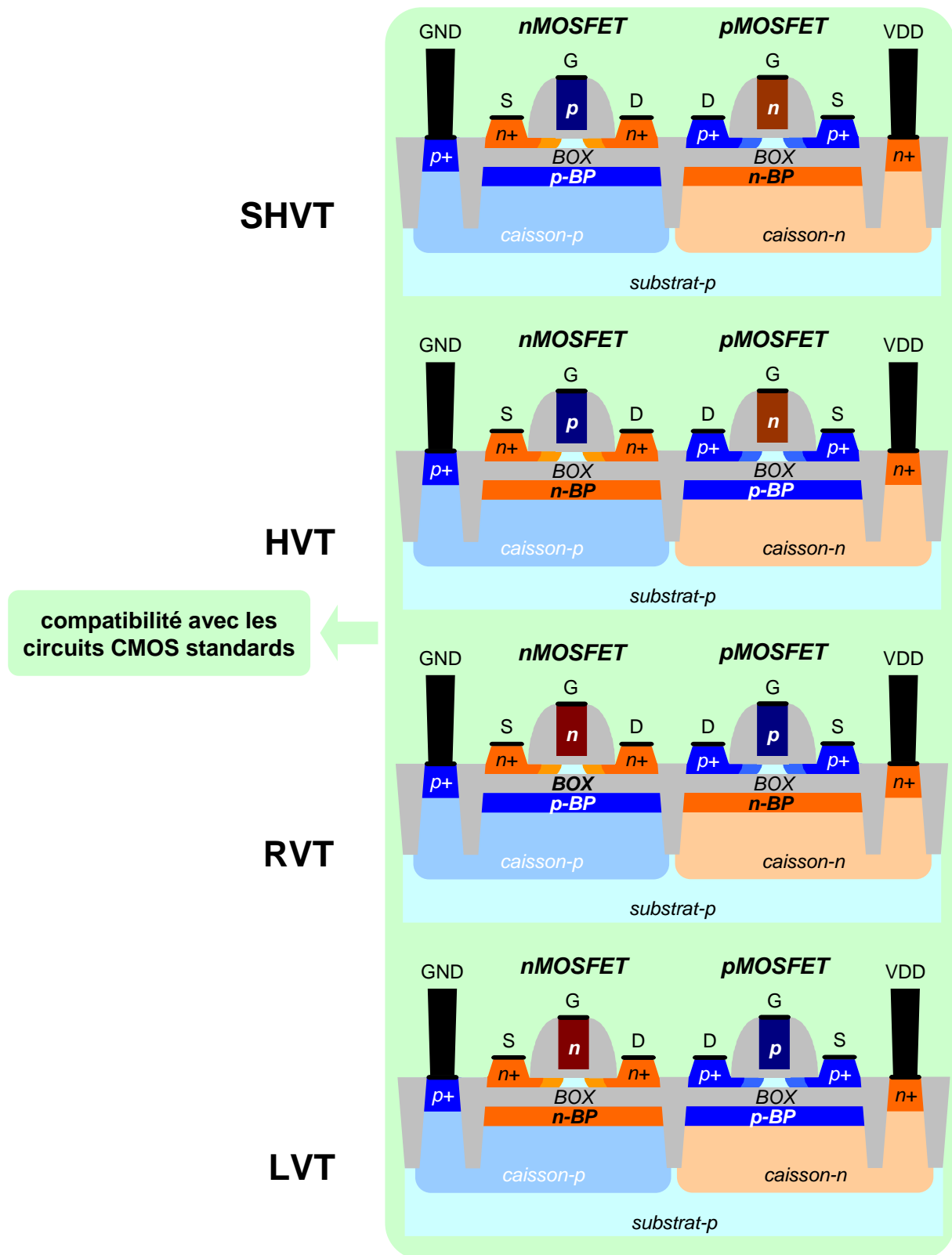


Figure 5.13. : Vue en coupe schématique de transistors MOS multi- $V_T$  FDSOI ayant un film mince de silicium non dopé et basés sur deux types de grille avant constituant une plateforme technologique.

Par contre, cette solution a pour inconvénient de complexifier le procédé de fabrication et d'augmenter son coût à cause de l'ajout d'un masque de grille avant supplémentaire par rapport à la solution simple grille.

#### 5.4.3. Points à considérer en vue de la mise en place d'une plateforme de conception

Pour que les plateformes technologiques définies précédemment puissent être associées à une plateforme de conception, il faut que les transistors MOS multi- $V_T$  qui les composent permettent de conserver la topologie des circuits CMOS réalisés avec des transistors MOS multi- $V_T$  sur silicium massif. Ce qui signifie que toutes les architectures de transistors associées aux différentes options de  $V_T$  doivent pouvoir être co-intégrées ensemble sans que cela modifie le flot de conception standard. Pour aller plus loin, un autre schéma d'intégration prenant en compte, dès la fabrication, les spécificités de la technologie planaire FDSOI, pourrait aussi être mis en place. Bien que plus complexe d'un point de vue fabrication, il permettrait de faciliter la conception et le portage des circuits en gardant le flot de conception et la topologie standard des circuits.

### 5.5. Conclusion

Le schéma d'intégration proposé dans ce chapitre a pour avantage d'être très proche de celui utilisé pour les transistors MOS sur silicium massif. En effet, ce schéma d'intégration standard est basé sur l'utilisation de STI profonds pour isoler la partie active des transistors et leur BP et de caissons de différents types pour permettre la polarisation des BP. De plus, ces éléments technologiques sont tous issus du procédé de fabrication des dispositifs sur silicium massif. Ainsi, seule l'implantation des BP et la gravure du BOX pour la création des prises caissons viennent s'ajouter au flot du procédé de fabrication. Malgré les avantages que ce schéma d'intégration standard peut apporter au niveau de la fabrication, il a deux inconvénients majeurs. Le premier est de rendre difficile la co-intégration d'architectures de transistors basées sur des caissons de même types que les S/D avec celles basées sur des caissons de type opposé. Le deuxième est le temps d'établissement de la polarisation des BP aux travers des caissons de type opposé. Pour s'affranchir du premier inconvénient, deux types de grille avant peuvent être utilisés pour ajuster le niveau des tensions de seuil afin

d'éviter d'utiliser une polarisation des BP nécessitant des caissons de même type que les S/D. Néanmoins, cela implique une complexification du procédé de fabrication, et donc un coût supplémentaire avec l'achat d'un masque critique, par rapport à la solution simple grille.

L'étape suivante va consister à développer des méthodes permettant de co-intégrer toutes les architectures de transistors MOS multi- $V_T$  FDSOI en gardant un procédé de fabrication standard. Il sera aussi intéressant de s'appuyer sur un procédé de fabrication spécifique à la technologie FDSOI permettant de développer un schéma d'intégration directement compatible avec les circuits CMOS existants et de s'affranchir du temps d'établissement de la polarisation des BP aux travers des caissons de type opposé.

## 5.6. Références bibliographiques

- [Fenouillet'08] C. Fenouillet-Beranger et al., *FDSOI devices with Thin BOX and Ground plane integration for 32nm node and below*, ESSDERC, 2008, pp. 206-209
- [Fenouillet'09] C. Fenouillet-Beranger et al., *Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below*, ESSDERC, 2009, pp. 89-91
- [Ishigaki'08] Takashi Ishigaki et al., *Wide-Range Threshold Voltage Controllable Silicon on Thin Buried Oxide Integrated with Bulk Complementary Metal Oxide Semiconductor Featuring Fully Silicided NiSi Gate Electrode*, Japanese Journal of Applied Physics, vol. 47, no. 4, Avril 2008, pp. 2585-2588
- [Silvaco'08] ATLAS User's Manual, SILVACO, 2008





## Chapitre 6

---

### *Co-intégration de cellules standard multi- $V_T$ FDSOI*



## 6.1. Introduction

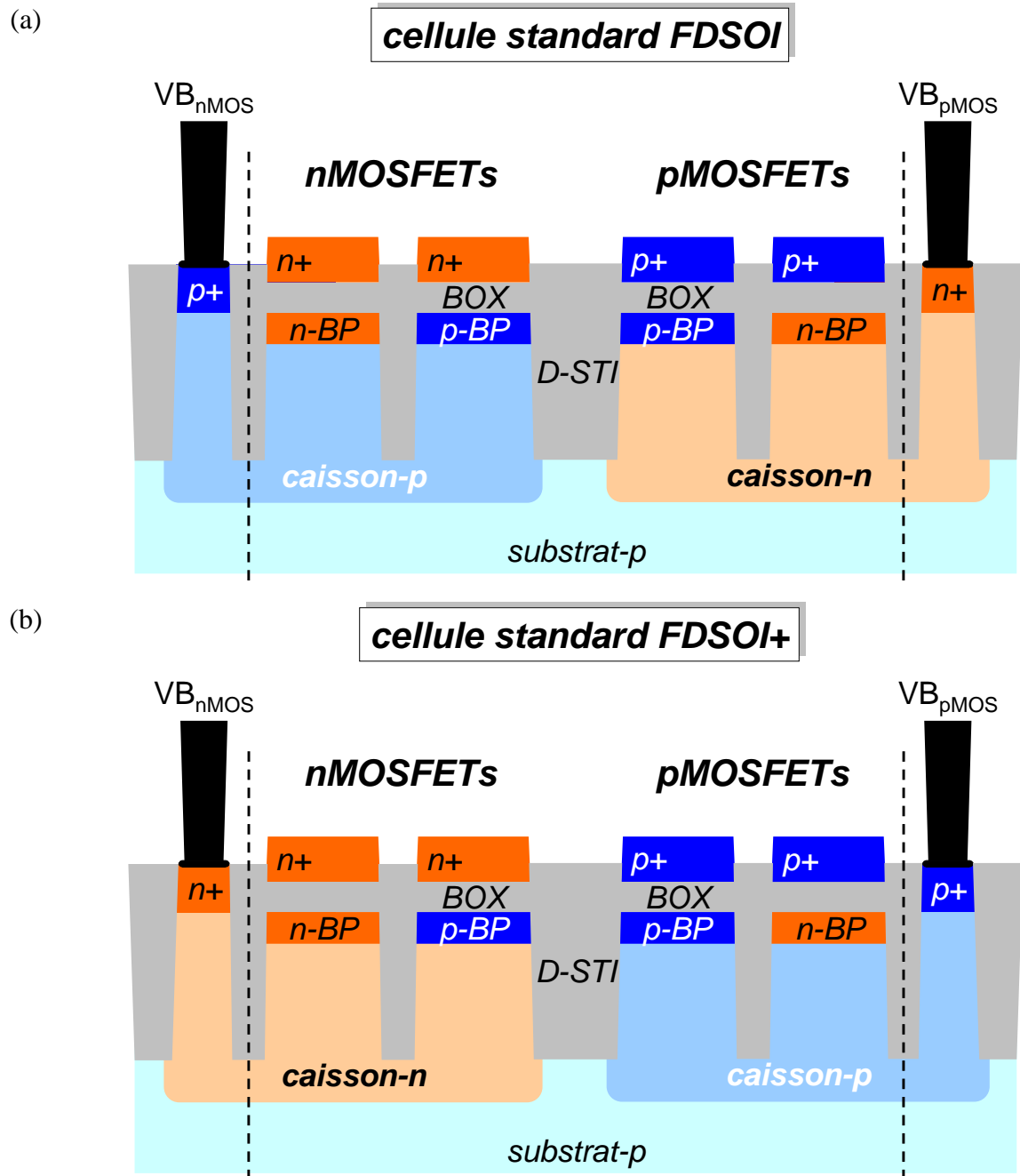
Le schéma d'intégration standard, similaire à celui des transistors MOS sur silicium massif en termes d'isolation et d'implantation de caissons, permet de réutiliser de manière optimale le procédé de fabrication de la technologie planaire sur silicium massif pour réaliser des circuits avec des transistors MOS multi- $V_T$  FDSOI. Ce qui a aussi pour avantage d'utiliser le même flot de conception qu'en technologie sur silicium massif. Cette méthode est valable pour des cellules standard FDSOI utilisant des transistors MOS basés sur des caissons-p et des transistors pMOS basés sur des caissons-n, comme en technologie planaire sur silicium massif. Néanmoins, le flot de conception standard n'est plus utilisable lorsqu'il faut co-intégrer ce type de cellules standard avec des cellules standard utilisant des transistors MOS basés sur des caissons-n et des transistors pMOS basés sur des caissons-p.

Ce chapitre a deux objectifs. Le premier est de proposer des méthodes de co-intégration de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration standard. Le deuxième est de proposer d'autres méthodes avec un schéma d'intégration spécifique.

## 6.2. Cellules standard multi- $V_T$ FDSOI basées sur un schéma d'intégration standard

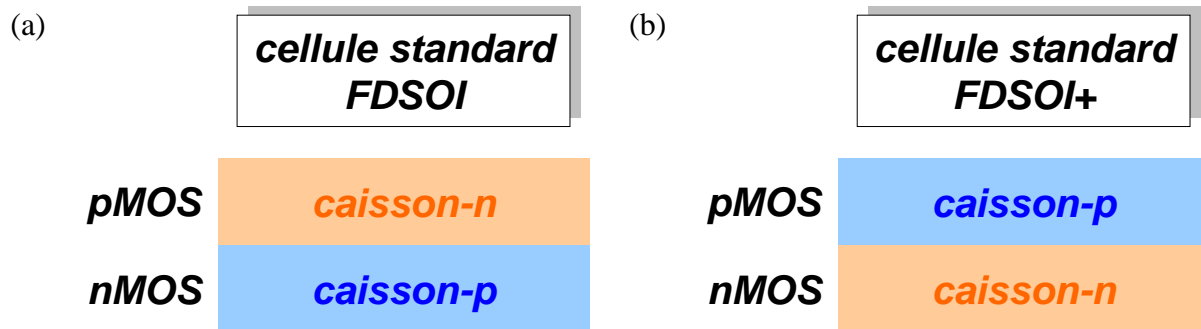
### 6.2.1. Problématique

En technologie planaire sur silicium massif, la co-intégration de cellules standard multi- $V_T$  permettant la conception de circuits numériques ne pose pas de problèmes au niveau des caissons. En effet, au sein d'une même ligne de cellules standard multi- $V_T$ , tous les transistors nMOS et pMOS reposent, respectivement, sur le même caisson-p et caisson-n. En technologie planaire FDSOI, il a été montré dans le chapitre précédent que les cellules standard multi- $V_T$  basées sur le schéma d'intégration standard peuvent être de deux types. Le premier type, que l'on nommera FDSOI, est composé de transistors nMOS reposant sur un caisson-p et de transistors pMOS reposant sur un caisson-n, comme en technologie planaire sur silicium massif (Figure 6.1.a). Quant au deuxième type, que l'on nommera FDSOI+, il a pour spécificité d'être composé de transistors nMOS reposant sur un caisson-n et de transistors pMOS reposant sur un caisson-p (Figure 6.1.b).



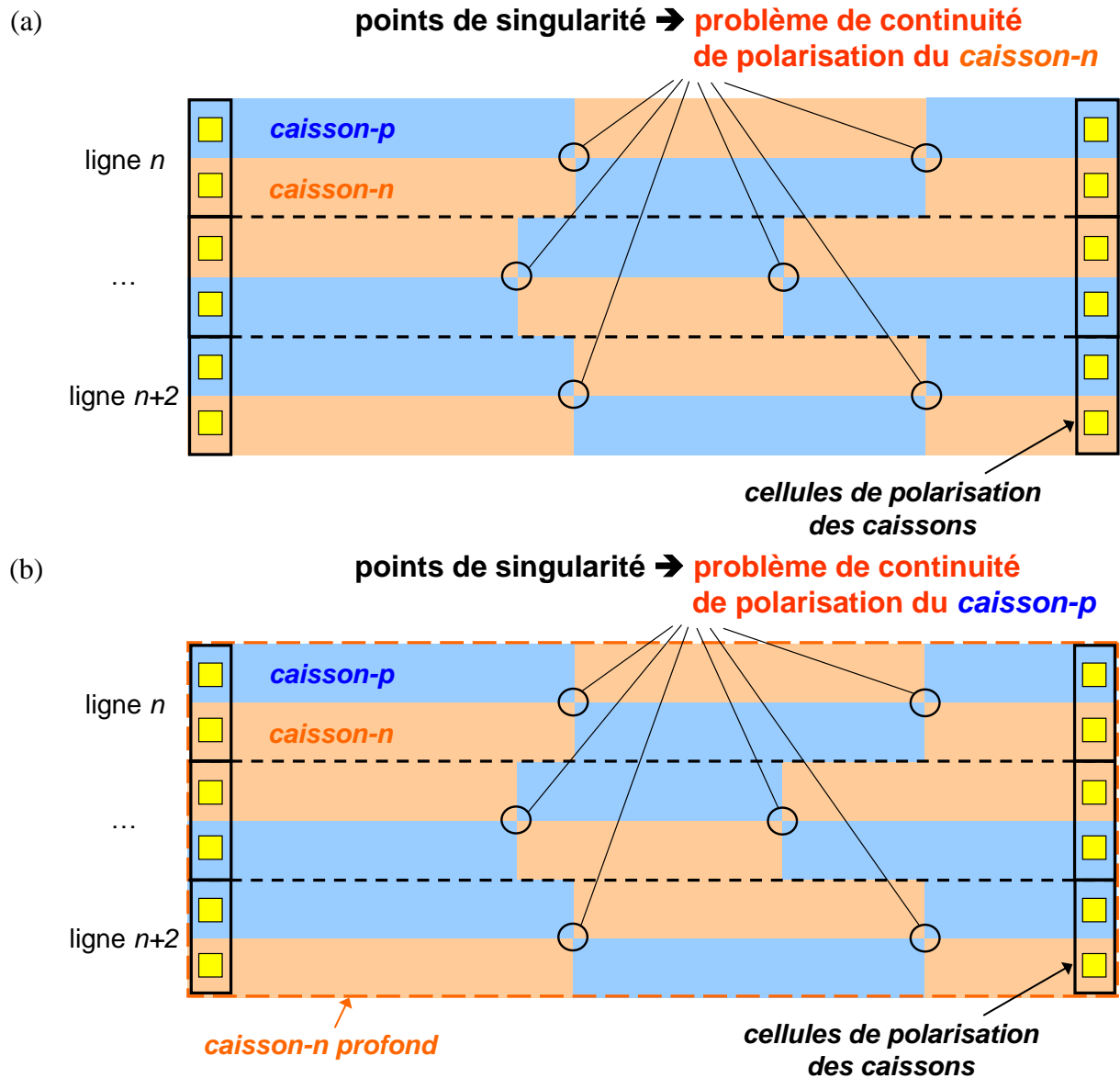
**Figure 6.1 :** Vue en coupe schématique d'une cellule standard multi- $V_T$  (a) FDSOI et (b) FDSOI+ basée sur le schéma d'intégration standard.

Ces deux types de cellules standard multi- $V_T$  peuvent être représentées au niveau circuit par la vue layout de leurs caissons puisqu'il s'agit des seuls éléments permettant leur différenciation (Figure 6.2.).



**Figure 6.2. :** Vue schématique du layout représentant les caissons d'une cellule standard multi- $V_T$  (a) FDSOI et (b) FDSOI+ basée sur le schéma d'intégration standard.

Grâce à l'isolation électrique latérale de la zone active des transistors par les STI et horizontale par le BOX, l'effet de *latchup* n'existe pas dans les technologies SOI [Sakurai'06]. Ainsi, il peut être envisagé d'utiliser des cellules de polarisation des caissons seulement en début et en fin de chaque ligne de cellules standards. Ce qui aurait pour avantage de diminuer leur nombre, et donc de permettre une éventuelle optimisation du placement et du routage (PNR) des cellules standard. Néanmoins, dans l'optique d'une co-intégration de cellules standard multi- $V_T$  FDSOI et FDSOI+ au sein d'une même ligne, cette technique peut s'avérer problématique. En effet, une telle co-intégration nécessite d'assurer la continuité de la polarisation des caissons au niveau des points de singularité. Ces points de singularité peuvent être définis comme la jonction entre les caissons-n et les caissons-p des deux types de cellules standard multi- $V_T$ . Premièrement, dans le cas d'un circuit numérique reposant sur un substrat-p, la continuité de la polarisation des caissons-p est alors assurée mais pas celles des caissons-n (Figure 6.3.a). Deuxièmement, dans le cas d'un circuit numérique reposant sur un caisson-n profond, la continuité de la polarisation des caissons-n est alors assurée mais pas celles des caissons-p (Figure 6.3.b).



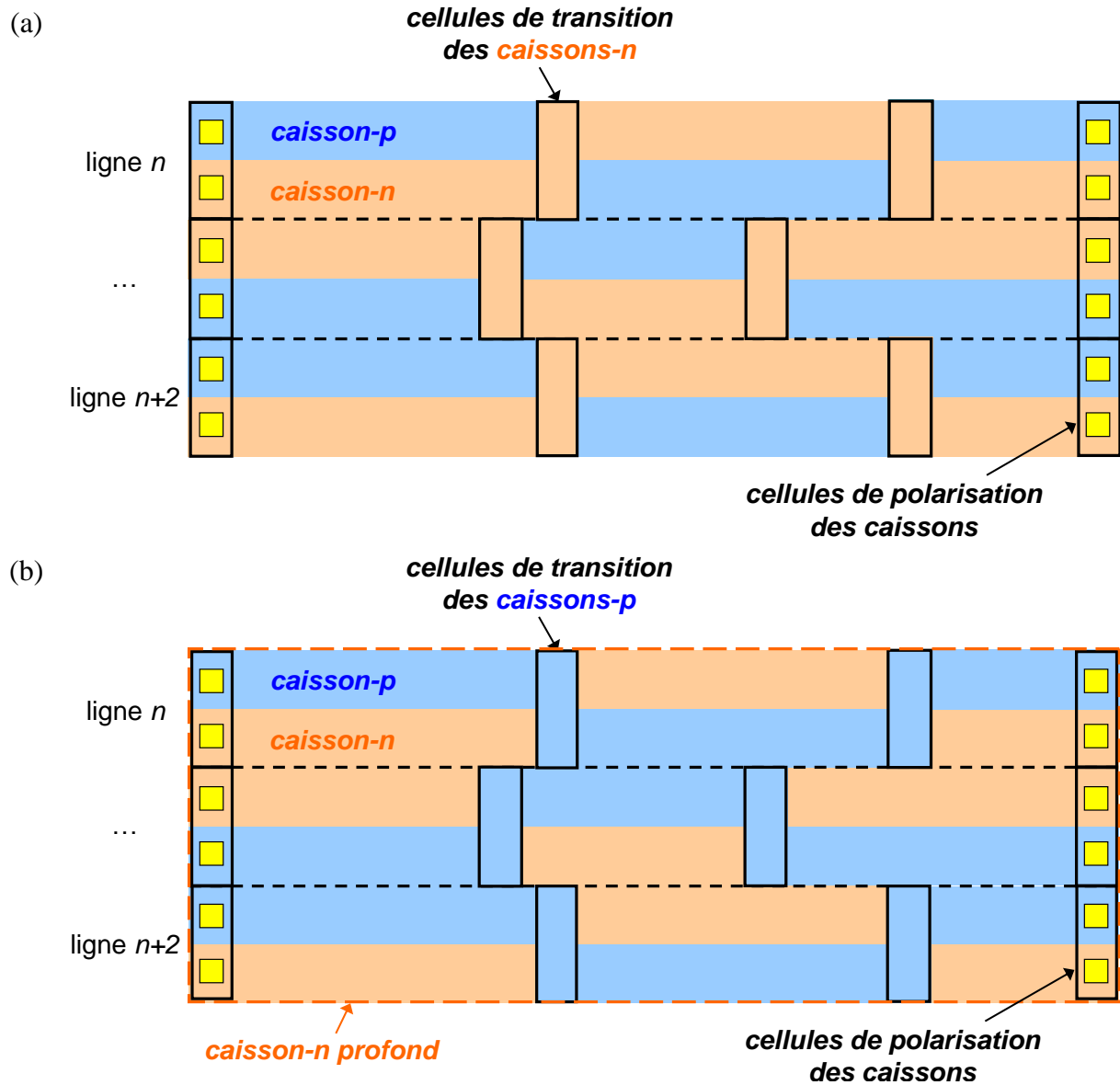
**Figure 6.3. : Vue schématique du layout d'un circuit numérique composé de cellules standard multi- $V_T$  FDSOI et FDSOI+ basées sur le schéma d'intégration standard reposant sur (a) un substrat-p ou (b) un caisson-n profond.**

Pour éviter ces problèmes de continuité de polarisation des caissons, on se propose d'utiliser des cellules de transition ou des cellules spécifiques de polarisation.

### 6.2.2. Solutions permettant une polarisation statique des caissons

Premièrement, dans le cas d'un circuit numérique reposant sur un substrat-p qui assure la continuité de la polarisation des caissons-p, l'insertion de cellules de transition de type n entre les cellules standard multi- $V_T$  FDSOI et FDSOI+ permet d'assurer la continuité de la polarisation des caissons-n (Figure 6.4.a). Deuxièmement, dans le cas d'un circuit numérique

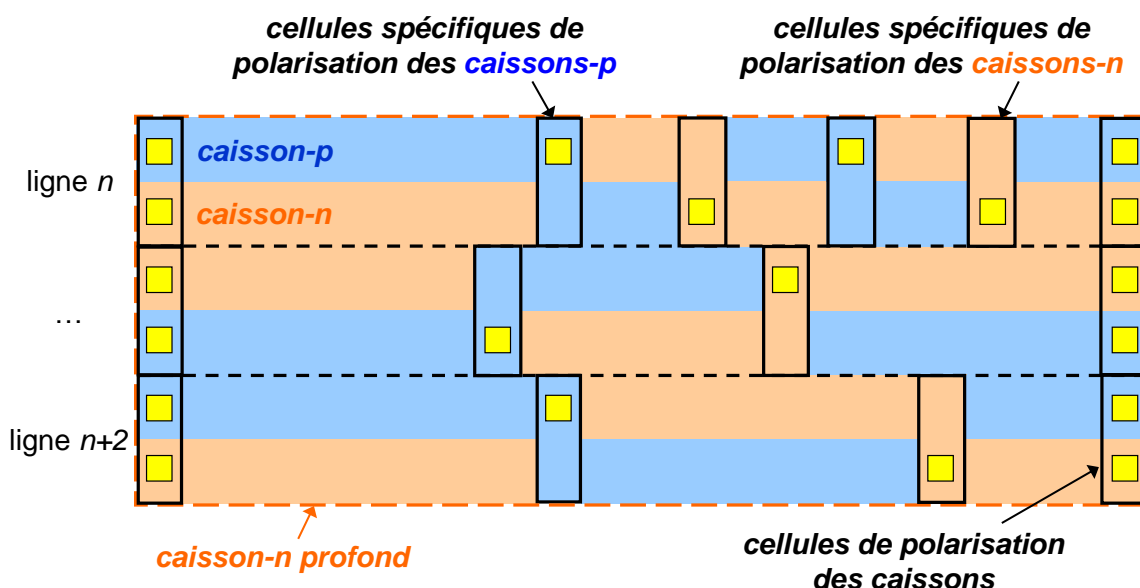
reposant sur un caisson-n profond qui assure la continuité de la polarisation des caissons-n, l'insertion de cellules de transition de type p entre les cellules standard multi- $V_T$  FDSOI et FDSOI+ permet d'assurer la continuité de la polarisation des caissons-p (Figure 6.4.b).



**Figure 6.4. :** Vue schématique du layout d'un circuit numérique composé de cellules standard multi- $V_T$  FDSOI et FDSOI+ basées sur le schéma d'intégration standard et de cellules de transition (a) de type n ou (b) de type p.

Avec des règles de dessin adaptées, cette méthode permet de conserver un flot de PNR relativement simple. Néanmoins, pour savoir quel type de cellules de transition utiliser, cette méthode nécessite de prendre en compte, dès l'étape de PNR, le type d'isolation du circuit (substrat-p ou caisson-n profond). Pour s'affranchir de cette contrainte, une autre méthode

peut être envisagée. Cette méthode consiste à utiliser des cellules spécifiques de polarisation des caissons qui fonctionnent quel que soit le type d'isolation du circuit (Figure 6.5.).



**Figure 6.5. :** Vue schématique du layout d'un circuit numérique composé de cellules standard multi- $V_T$  FDSOI et FDSOI+ basées sur le schéma d'intégration standard et de cellules de transition de type n et de type p et qui peut reposer ou non sur un caisson-n profond.

Néanmoins, elle s'avère plus complexe à mettre en œuvre puisqu'il faut être capable de venir alimenter chaque cellule spécifique de polarisation des caissons qui peuvent se situer à n'importe quel endroit d'une ligne de cellules standard. En effet, l'insertion de ces cellules spécifiques se fait, comme pour la solution précédente, à chaque changement de type de cellules standard multi- $V_T$ . Ainsi, lorsque deux cellules standard multi- $V_T$  de type différent sont aboutées, une cellule spécifique de polarisation est insérée. Par exemple, lorsqu'une cellule standard multi- $V_T$  FDSOI se trouve à droite d'une cellule standard multi- $V_T$  FDSOI+, une cellule spécifique de polarisation des caissons de type n est insérée. Alors qu'une cellule spécifique de polarisation de type p est insérée lorsqu'une cellule standard multi- $V_T$  FDSOI se trouve cette fois-ci à gauche d'une cellule standard multi- $V_T$  FDSOI+. De cette manière, une alternance du type de cellules spécifiques de polarisation des caissons permet d'assurer la continuité de la polarisation quel que soit le type d'isolation du circuit numérique.

La largeur des cellules de transition et des cellules spécifiques de polarisation des caissons doit être un multiple du pas PO-PO (largeur minimale d'une cellule standard) afin d'être compatible avec un layout régulier (cf. Chapitre 3). Le nombre minimum de cellules à insérer côte à côte dépendra de la largeur minimale des caissons autorisée par les règles de

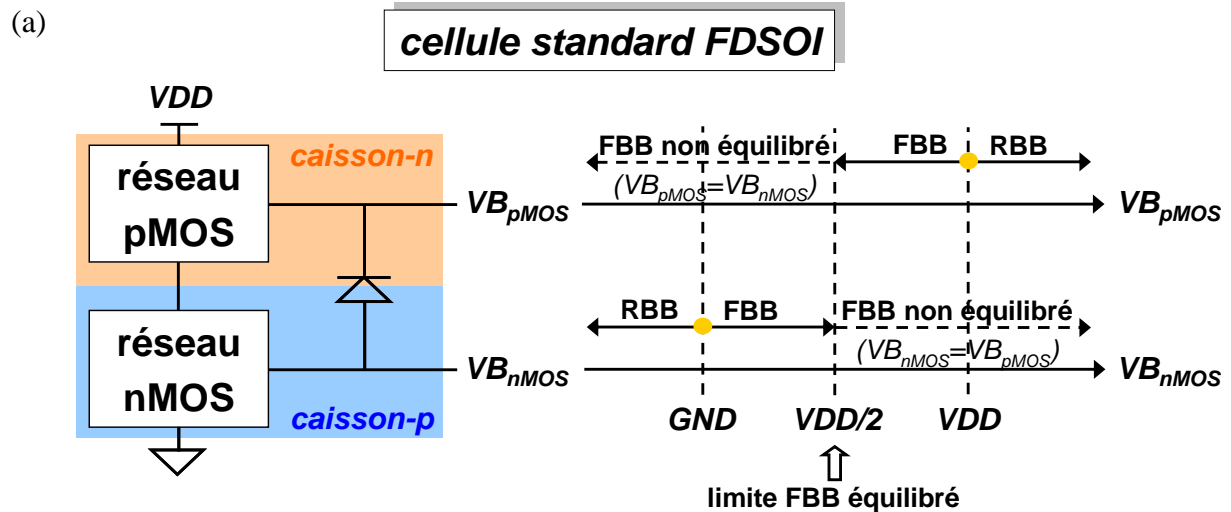


dessin de la technologie. Dans certaines conditions, comme l'insertion d'une cellule standard de largeur minimale au sein d'une ligne, le nombre de cellules à ajouter à ses côtés doit permettre d'atteindre cette surface minimale des caissons de la cellule standard.

La limite fondamentale de toutes ces solutions réside dans le fait qu'il est impossible de séparer les tensions de polarisation des caissons des cellules standard multi- $V_T$  FDSOI et FDSOI+. Ce qui est problématique en vue d'une gestion efficace de la consommation et de la vitesse des circuits en utilisant les techniques de modulation de la tension de polarisation de la grille arrière (RBB, FBB, ...).

### 6.2.3. Solutions permettant une polarisation dynamique des caissons

Le fait de pouvoir séparer les tensions de polarisation des caissons des cellules multi- $V_T$  FDSOI et FDSOI+ permet une modulation plus efficace de la tension de seuil, et donc une meilleure gestion de la consommation et de la vitesse des circuits. En effet, une large gamme de tension de polarisation des caissons peut être disponible si la polarisation des caissons de ces deux types de cellules standard multi- $V_T$  peut être séparée (Figure 6.6. et Tableau 6.1.).



(b)

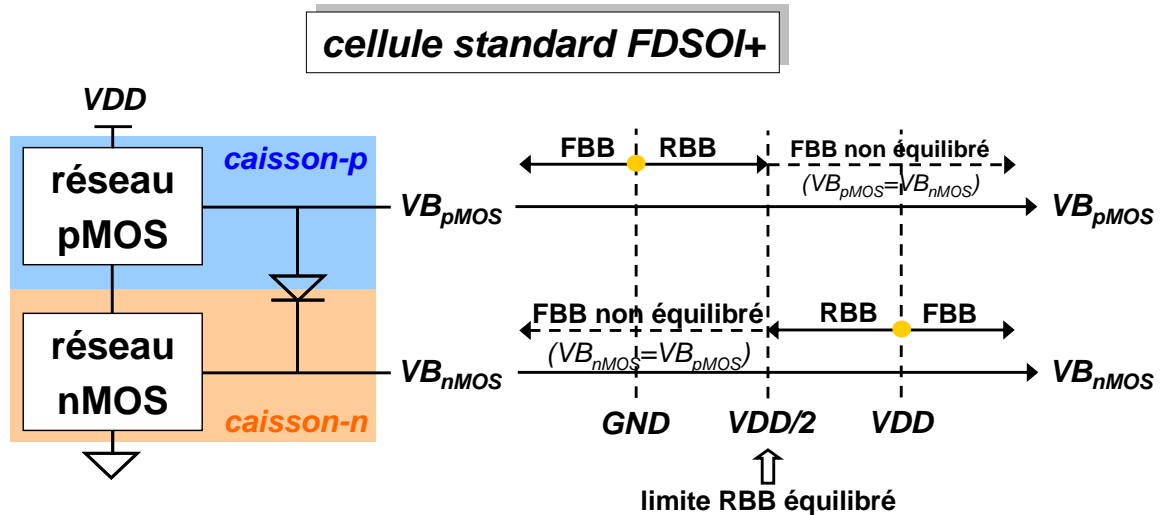


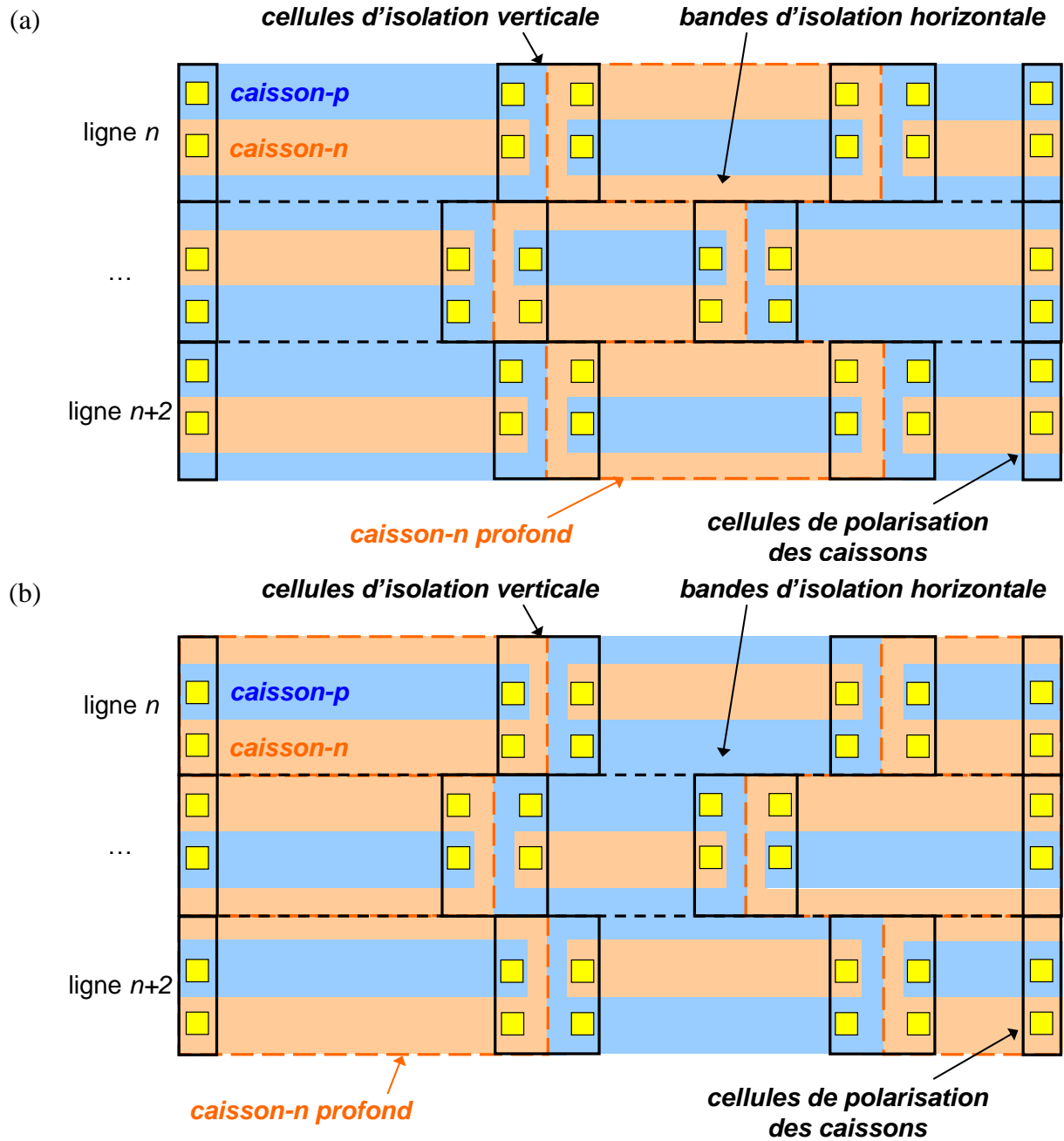
Figure 6.6. : Schémas représentant la dépendance des tensions de polarisation des caissons en mode FBB et RBB des cellules standard multi- $V_T$  (a) FDSOI et (b) FDSOI+ basées sur le schéma d'intégration standard.

<i>cellule standard FDSOI</i>			<i>cellule standard FDSOI+</i>		
	$V_{B\_min}$	$V_{B\_max}$		$V_{B\_min}$	$V_{B\_max}$
<b>nMOS</b>	$V_{BD}^* + V_{B\_pMOS}$	$V_{B\_pMOS}$	<b>nMOS</b>	$V_{B\_pMOS}$	$V_{B\_pMOS} - V_{BD}^*$
<b>pMOS</b>	$V_{B\_nMOS}$	$V_{B\_nMOS} - V_{BD}^*$	<b>pMOS</b>	$V_{BD}^* + V_{B\_nMOS}$	$V_{B\_nMOS}$

\*peut être estimée entre -4 V et -10 V

Tableau 6.1. : Limites des tensions de polarisation des caissons des transistors nMOS et pMOS de cellules standard multi- $V_T$  FDSOI (gauche) et FDSOI+ (droite) basées sur le schéma d'intégration standard.

Ainsi, les seules limites physiques sont liées à la tension de déclenchement de l'effet d'avalanche ou Zener de la jonction entre les différents caissons/substrat ( $V_{BD}$ ). Pour permettre l'exploitation de cette large gamme de tensions de polarisation des caissons, on se propose d'utiliser des cellules d'isolation verticale, des bandes d'isolation horizontale et des caissons-n profonds localisés (Figure 6.7.).



**Figure 6.7. :** Vue schématique du layout d'un circuit numérique composé de cellules standard multi- $V_T$  FDSOI et FDSOI+ basées sur le schéma d'intégration standard, de cellules d'isolation verticale, de bandes d'isolation horizontale et de caissons-n profonds localisés.

L'intégration de la bande d'isolation horizontale peut alors se faire au niveau cellule (Figure 6.8.) ou bien directement au niveau PNR.

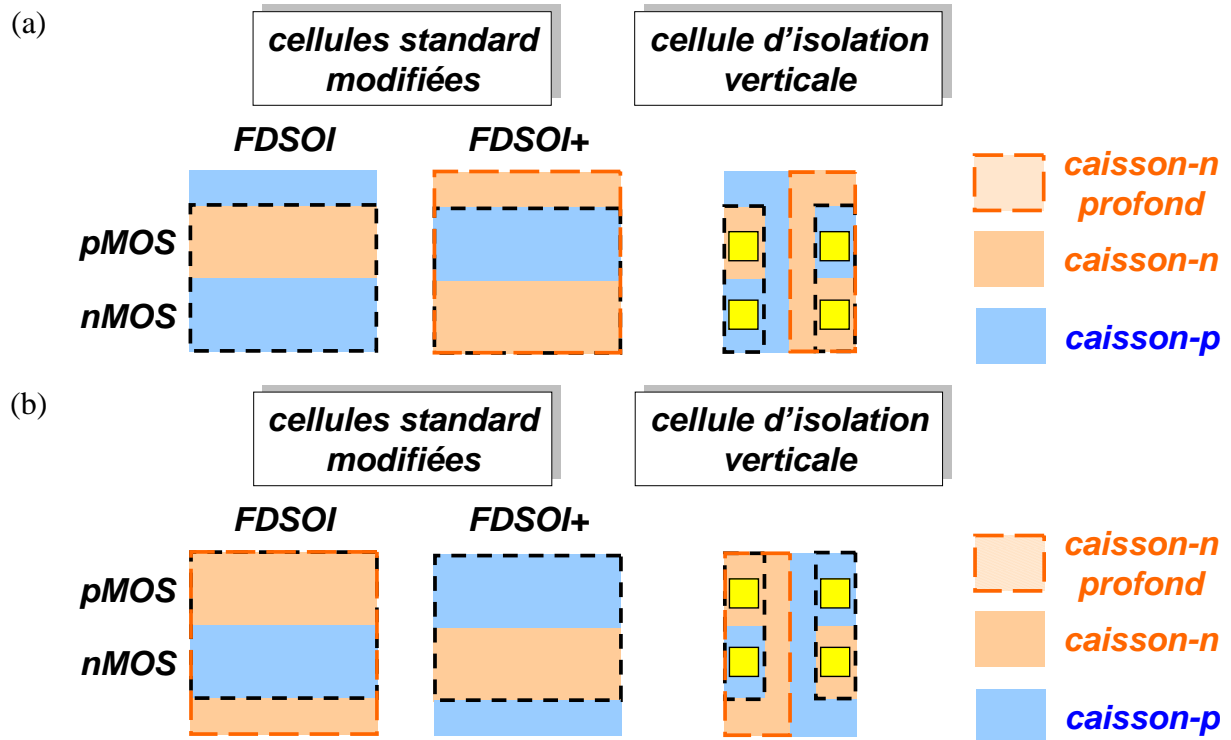


Figure 6.8. : Vue schématique du layout de cellules standard multi- $V_T$  FDSOI et FDSOI+ et de cellules d'isolation verticale basées sur le schéma d'intégration standard intégrant une bande d'isolation horizontale et un caisson-n profond localisé.

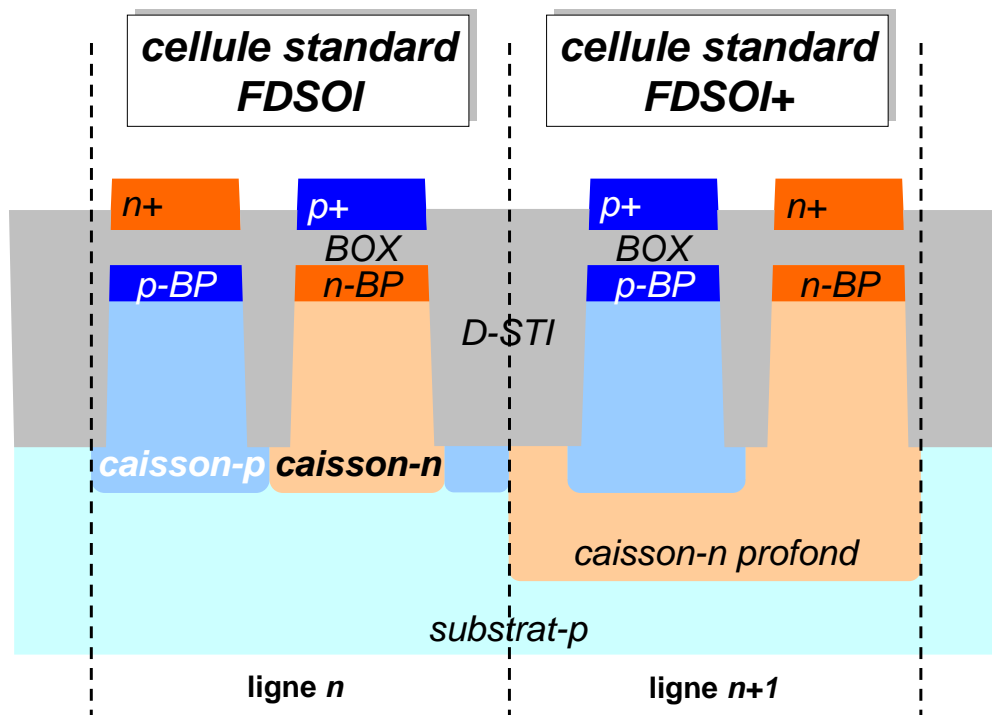


Figure 6.9. : Vue en coupe schématique de deux lignes de cellules standard multi- $V_T$  FDSOI et FDSOI+ basées sur le schéma d'intégration standard et utilisant des bandes d'isolation horizontale et des caissons-n profonds localisés.

Ainsi, il est possible d'isoler les caissons des cellules standard multi- $V_T$  FDSOI de ceux des cellules standard multi- $V_T$  FDSOI+ (Figure 6.9.). Cette solution n'entraîne pas de déclenchement de transistors bipolaires parasites puisque les jonctions des différents caissons/substrat sont toujours polarisées en mode inverse. Néanmoins, elle entraîne un certain nombre de contraintes au niveau des règles de dessins pour garder une forte densité d'intégration au niveau circuit. Ce qui peut amener à la génération de nouveaux masques critiques pour les bandes d'isolation horizontale notamment. De plus, cette solution peut également nécessiter de retravailler le layout des cellules standard et de modifier profondément le flot de PNR. A ces contraintes s'ajoute aussi le fait que le substrat-p est indirectement polarisé par la tension appliquée aux caissons-p non isolés par un caissons-n profond. Ce qui peut avoir des conséquences au niveau de l'isolation électrique du circuit au sein d'une puce (dysfonctionnement, fiabilité, ...).

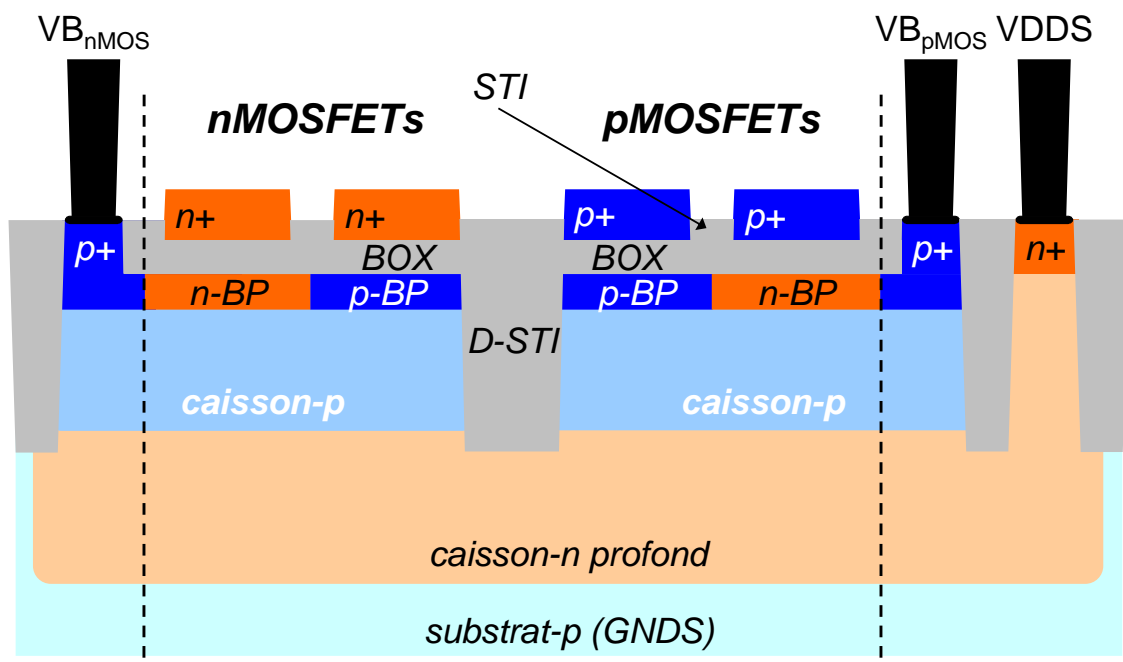
#### 6.2.4. Points d'amélioration

Le schéma d'intégration standard, développé dans le chapitre précédent, présente l'avantage d'être très proche de celui utilisé pour les transistors MOS sur silicium massif, et donc de nécessiter un développement technologique limité. Néanmoins, la co-intégration de cellules standard multi- $V_T$  FDSOI et FDSOI+ basées sur ce schéma d'intégration s'avère particulièrement délicate. Ainsi, l'utilisation d'un procédé de fabrication initialement proche de celui de la technologie planaire sur silicium massif a pour conséquence de complexifier le flot de conception pour prendre en compte les spécificités de la technologie planaire FDSOI. Ce qui, par la suite, a pour effet de complexifier également le procédé de fabrication mais aussi de le rendre plus coûteux si l'on veut pouvoir gérer efficacement la consommation et la vitesse des circuits par modulation de la tension de seuil. Une autre méthode pourrait consister à prendre en compte, dès le procédé de fabrication, les spécificités de la technologie planaire FDSOI en termes de modulation de la tension de seuil. Ce qui faciliterait la co-intégration des cellules standard multi- $V_T$ .

### 6.3. Cellules standard multi- $V_T$ FDSOI basées sur un schéma d'intégration spécifique

#### 6.3.1. Apports du schéma d'intégration spécifique

En ajoutant un type de STI supplémentaire (masque supplémentaire) et en créant des caissons moins profonds que les STI profond (D-STI), il est possible de co-intégrer des cellules multi- $V_T$  FDSOI utilisant des tensions de polarisation de caissons différentes et indépendantes (Figure 6.10.). Le tout, sans complexifier le flot de conception standard.



**Figure 6.10. :** Vue en coupe schématique d'une cellule standard multi- $V_T$  FDSOI basée sur le schéma d'intégration spécifique avec isolation latérale des caissons-p par D-STI.

Il est aussi possible d'utiliser des caissons-p plus profonds que les D-STI mais cela aurait pour conséquence d'ajouter une contrainte supplémentaire au niveau de l'espacement entre les caissons-p, et donc probablement un nouveau masque critique (comme dans la solution utilisant le schéma d'intégration standard) (Figure 6.11.a). De la même manière, il est aussi possible d'utiliser exclusivement des D-STI pour éliminer le masque supplémentaire du STI mais cela ne résoudrait pas le problème évoqué précédemment (Figure 6.11.b).

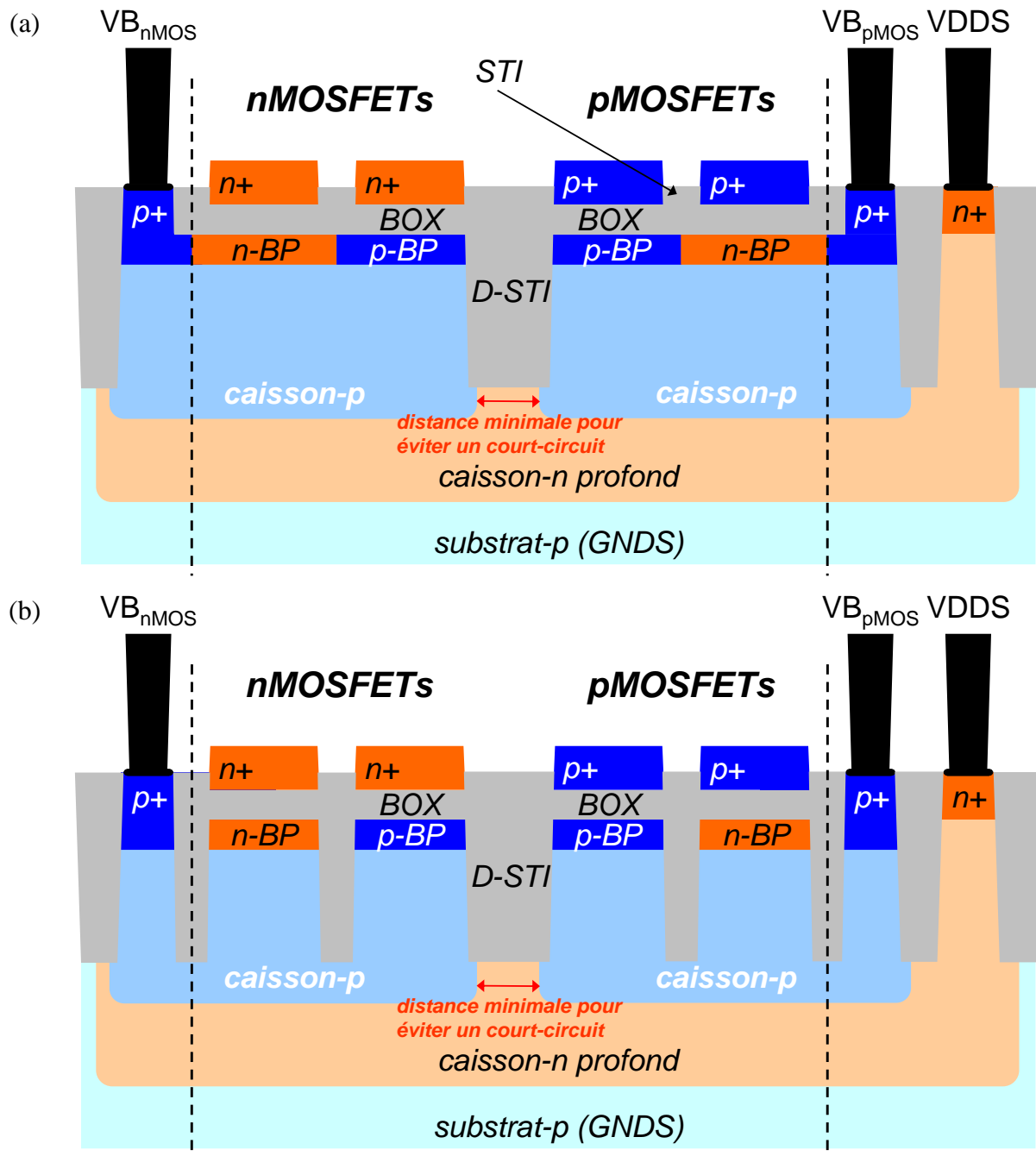


Figure 6.11. : Vue en coupe schématique d'une cellule standard multi- $V_T$  FDSOI basée sur le schéma d'intégration spécifique avec (a) isolation latérale des caissons-p par D-STI et des transistors par STI ou avec (b) isolation latérale des caissons-p et des transistors par D-STI.

Il est également possible d'utiliser exclusivement des STI mais cela aurait aussi pour conséquence d'ajouter une contrainte supplémentaire au niveau de l'espace entre n-BP et caisson-n, et donc probablement un nouveau masque critique (Figure 6.12.).

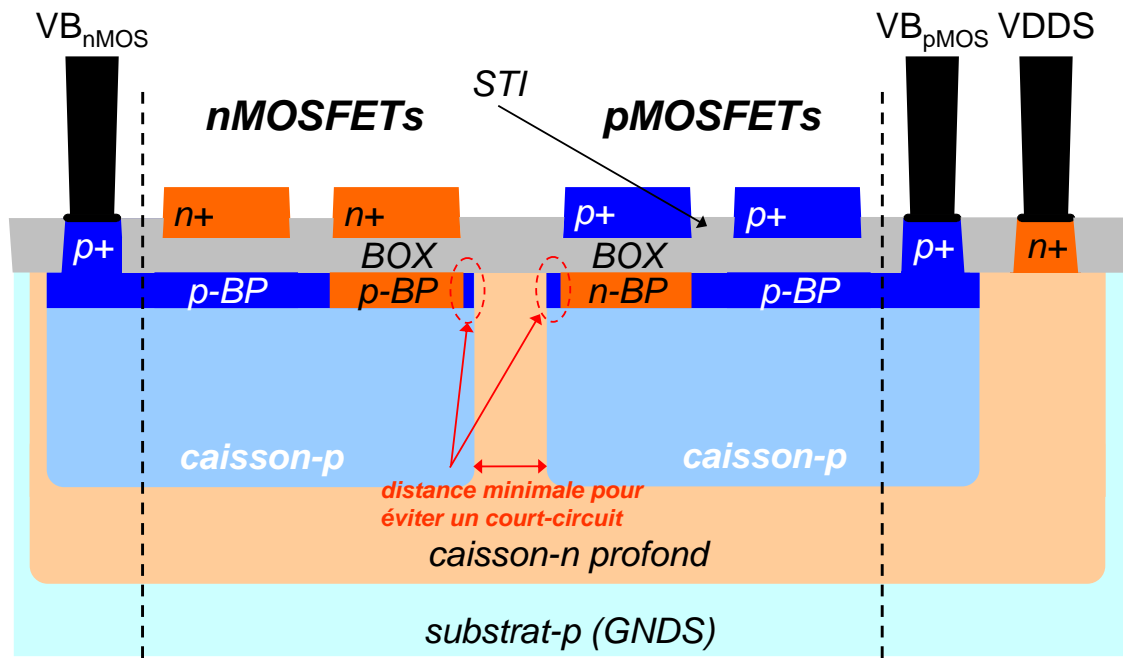


Figure 6.12. : Vue en coupe schématique d'une cellule standard multi- $V_T$  FDSOI basée sur le schéma d'intégration spécifique avec isolation latérale des caissons-p par une bande de caisson-n et des transistors par STI.

Un avantage non négligeable de ce schéma d'intégration spécifique par rapport au schéma d'intégration standard avec caissons-n profonds localisés est de ne pas polariser le substrat-p par l'intermédiaire des caissons-p non isolés. De cette façon, la polarisation du substrat-p peut se faire de manière indépendante (à  $GND$ , par exemple). Ainsi, le circuit est totalement isolé, au niveau électrique, des autres circuits implémentés sur la même puce (Figure 6.13.).

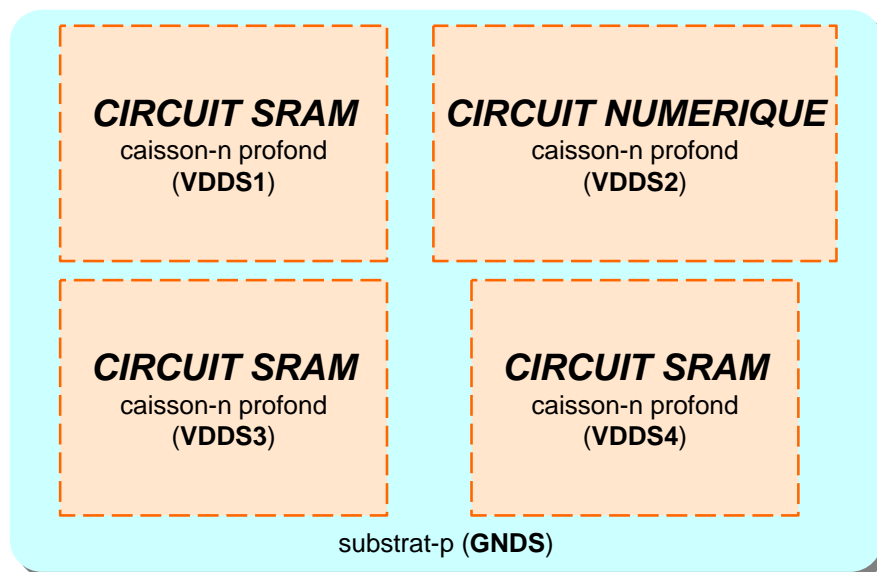
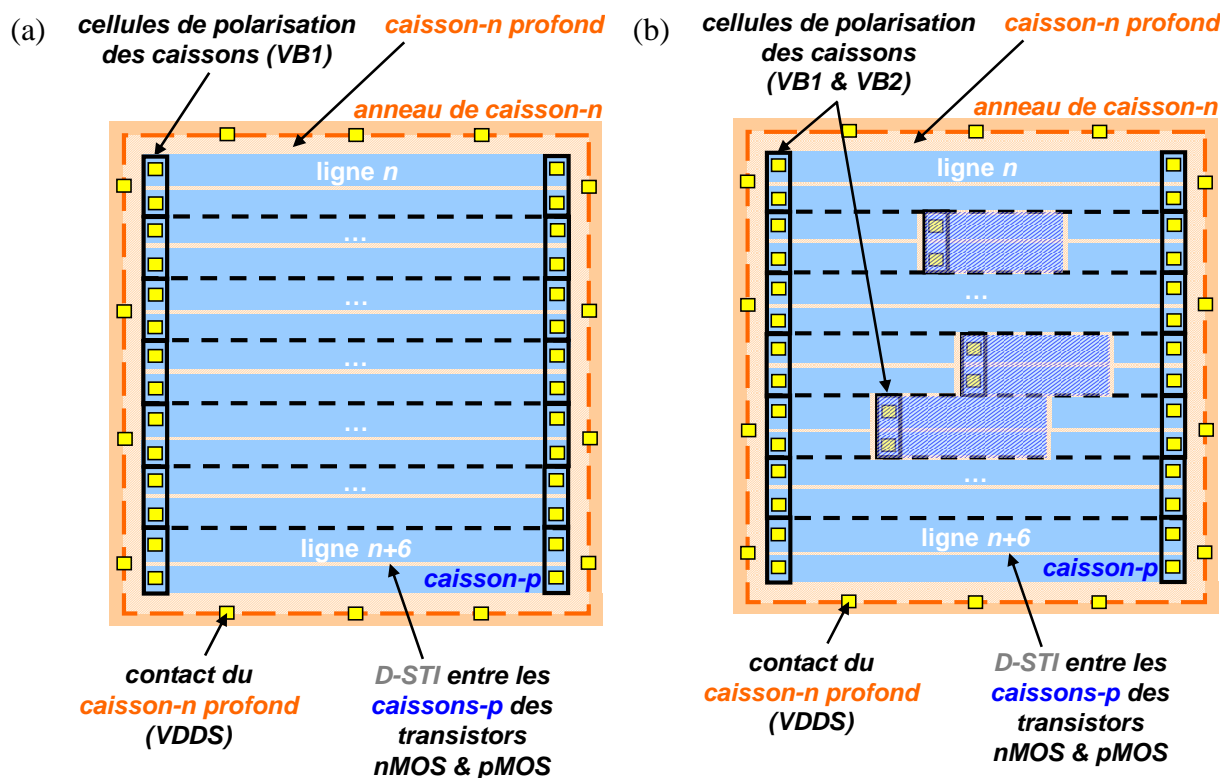


Figure 6.13. : Exemple d'implémentation sur une même puce de circuits numériques et SRAM basés sur le schéma d'intégration spécifique.



Un autre avantage non négligeable de ce schéma d'intégration spécifique est celui de ne pas modifier la topologie standard des circuits. Ainsi, des anneaux de caissons- $n$  permettant la polarisation du caisson- $n$  profond à une tension  $V_{DDs}$  la plus haute possible ( $V_{DDIO}$ , par exemple) et des lignes polarisées par les cellules de polarisation des caissons peuvent être utilisés (Figure 6.14.). Là aussi, ces cellules de polarisation peuvent être insérées ou non à intervalle régulier. Ainsi, le portage d'un circuit sur silicium massif en FDSOI se fait essentiellement par des opérations booléennes lors de la création des masques à partir des couches utilisées dans les layouts des circuits (opérations de CAD2MASK).

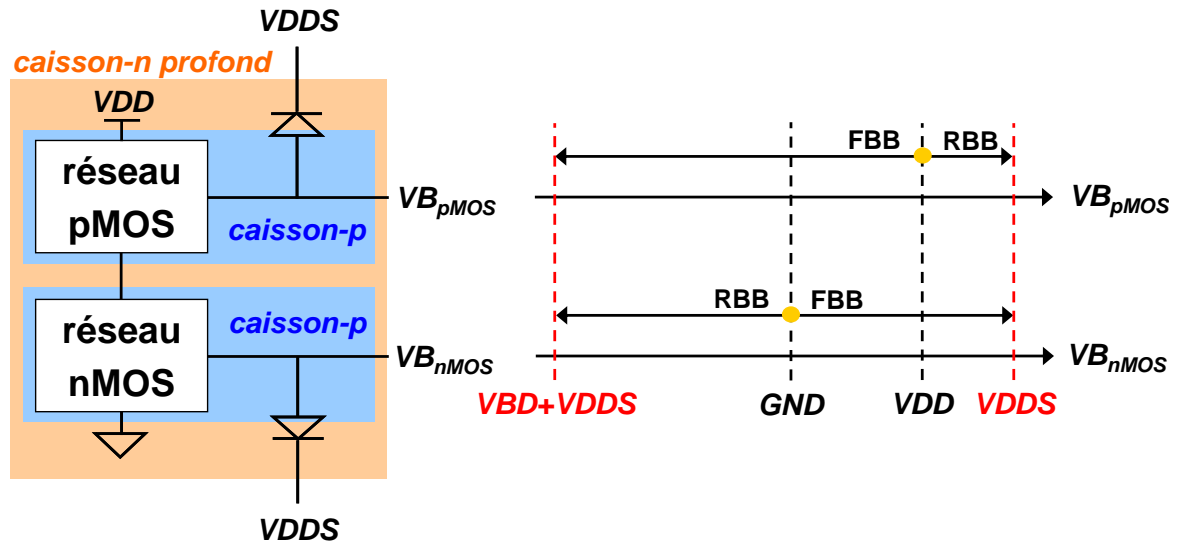


**Figure 6.14. : Vue schématique du layout d'un circuit numérique composé de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique avec des caissons-p polarisés par (a) un ou (b) plusieurs jeux de tensions.**

Dans le cas de cellules nécessitant des tensions de polarisation de caissons indépendantes, il faut alors les isoler latéralement et horizontalement par D-STI au niveau d'une ligne (Figure 6.14.b). Là aussi, cette étape se fait essentiellement par opérations CAD2MASK. Par contre, l'ajout de nouvelles cellules de polarisation des caissons nécessite la modification du flot de PNR.

L'avantage de ce schéma d'intégration spécifique par rapport à la version standard est que sa gamme de tensions de polarisation des BP n'est plus limitée par la jonction des

caissons/substrat mais seulement par la tension de déclenchement de l'effet d'avalanche ou Zener ( $V_{BD}$ ) et de la tension appliquée sur le caisson-n profond ( $V_{DDS}$ ) (Figure 6.15.). Ce qui permet une excellente gestion de la consommation et de la vitesse des circuits.



**Figure 6.15. : Schémas représentant la dépendance des tensions de polarisation des caissons en mode FBB et RBB des cellules standard multi- $V_T$  FDSOI (haut) et FDSOI+ (bas) basées sur le schéma d'intégration standard.**

Ce schéma d'intégration spécifique est aussi bénéfique pour les circuits SRAM puisque la large gamme de tensions de polarisation des BP permet également une excellente gestion de la consommation/vitesse et des marges aux bruits en lecture/écriture (Figure 6.16.).

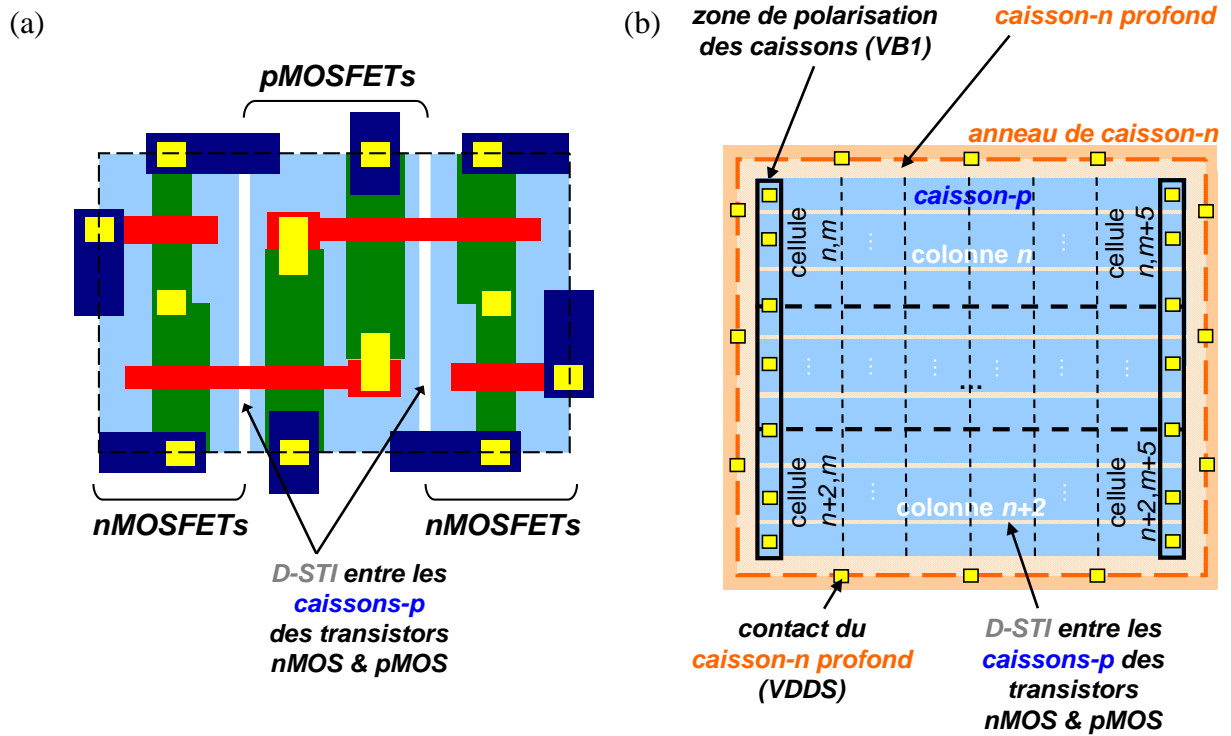


Figure 6.16. : Vue schématique du layout (a) d'une cellule SRAM 6T FDSOI et (b) d'une matrice de cellules SRAM 6T FDSOI basées sur le schéma d'intégration spécifique.

### 6.3.2. Méthodes de polarisation des BP

#### 6.3.2.1 Problématique

Dans le schéma d'intégration standard, l'utilisation exclusive de D-STI a pour conséquence d'isoler totalement les BP entre eux. De ce fait, leur polarisation se fait uniquement par l'intermédiaire de caissons qui eux ne sont pas isolés entre eux. Cela ne pose pas de problème lorsque les BP sont de même type que les caissons. Cependant, lorsqu'ils sont de type opposé, le temps d'établissement de la tension de polarisation dépend directement du temps de génération/recombinaison des porteurs à la jonction BP/caisson ( $\tau_{GR}$ ). Ce temps d'établissement peut être critique dans le cas d'une gestion dynamique de la tension de seuil par modulation de la tension de polarisation des caissons. En effet, il faut que ce temps d'établissement soit suffisamment rapide (quelques microsecondes) pour ne pas pénaliser la fréquence de fonctionnement du circuit. Le schéma d'intégration spécifique, basé sur l'utilisation de deux types de STI, permet de s'affranchir de ce problème sans optimisation du procédé de fabrication.

### 6.3.2.2 Solutions basées sur des « îlots » de BP

La première solution permettant de polariser directement les BP de type opposé au caisson est basée sur l'implantation localisée de BP de même type que le caisson et sur l'utilisation de cellules spécifiques de polarisation des BP à la place des cellules classiques de polarisation des caissons. L'idée est d'implanter un BP unique de type opposé au caisson sur toute la ligne de cellules standard. Puis, d'implanter localement des BP de même type que le caisson sous le BOX des transistors qui le requiert. La polarisation du BP unique de type opposé au caisson se fait au niveau d'une cellule spécifique, tout comme celle des BP localisés. A la différence du BP unique de type opposé au caisson, la polarisation du BP de même type se fait au travers du caisson (Figure 6.17.).

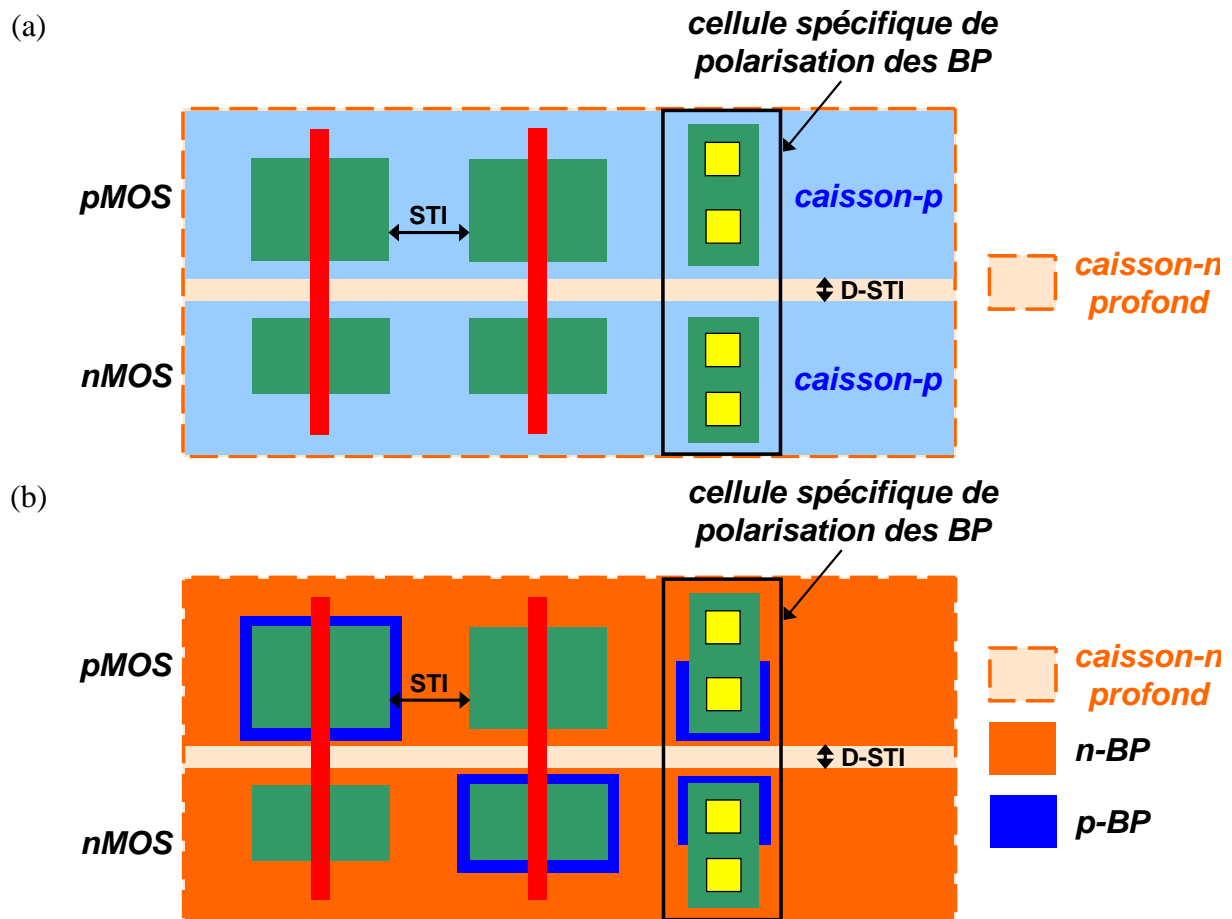
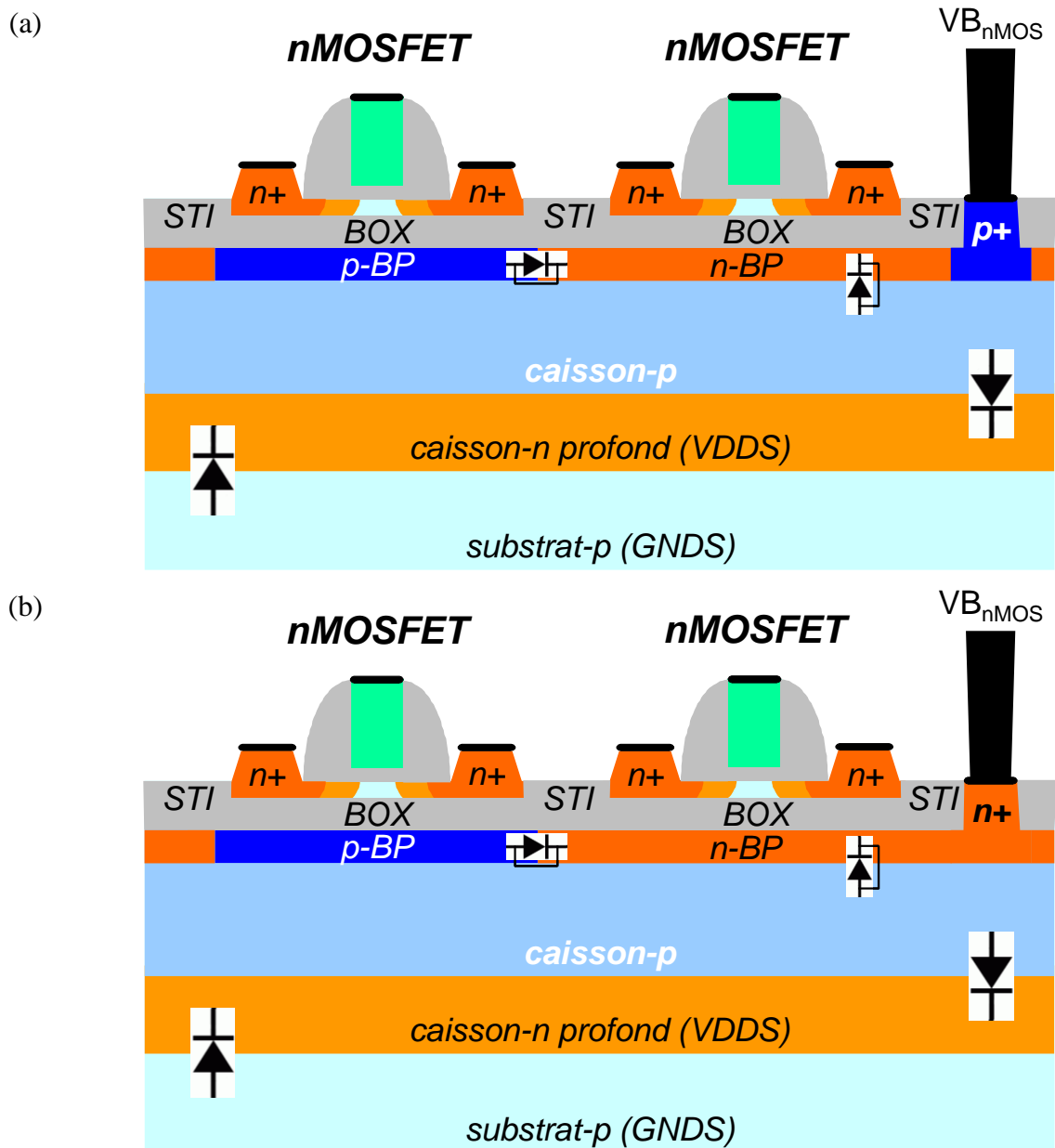


Figure 6.17. : Vue schématique d'un layout montrant (a) les caissons et (b) les BP d'une ligne d'un circuit numérique composée de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique et de cellules spécifiques de polarisation des BP.

La cellule spécifique de polarisation des BP est ainsi composée d'au minimum quatre contacts. Deux permettant la polarisation des BP de même type que le caisson au travers de





**Figure 6.20. :** Vue en coupe schématique de transistors nMOS d'une ligne d'un circuit numérique composée de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique et de cellules spécifiques de polarisation des BP.

Ces cellules spécifiques de polarisation des BP peuvent être conçues de différentes manières en fonction des possibilités offertes par les règles de dessins imposées par les contraintes du procédé de fabrication (Figure 6.21.).

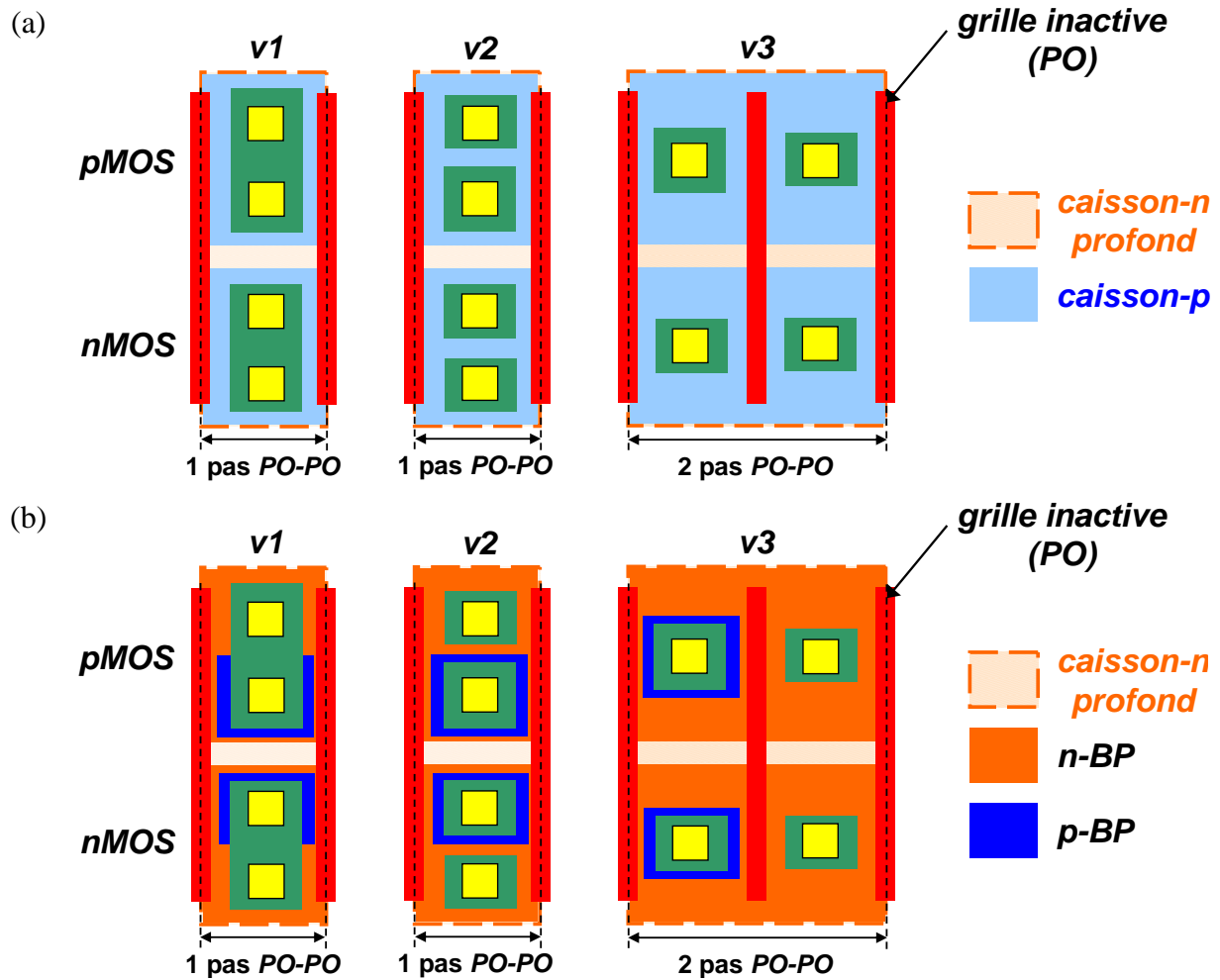


Figure 6.21. : Vue schématique d'un layout montrant (a) les caissons et (b) les BP des différentes versions de la cellule spécifique de polarisation des BP.

Cette méthode est aussi applicable lorsque le type de caisson est différent pour les transistors nMOS et pour les transistors pMOS. Néanmoins, dans ce cas, la gamme de tensions de polarisation des BP est limitée par la jonction des caissons (cf. Figure 6.6. et Tableau 6.1.).

### 6.3.2.3 Solutions basées sur des zones de BP

La deuxième solution permettant de polariser directement les BP de type opposé au caisson est basée sur l'implantation de BP sur toute la hauteur de la zone des transistors nMOS ou pMOS d'une ligne de cellules standard. L'alternance des types de BP au sein de chaque ligne se fait à chaque fois qu'un transistor le requiert. Dans ce cas, chaque transition nécessite l'ajout d'une cellule spécifique de polarisation des BP (Figure 6.22.).

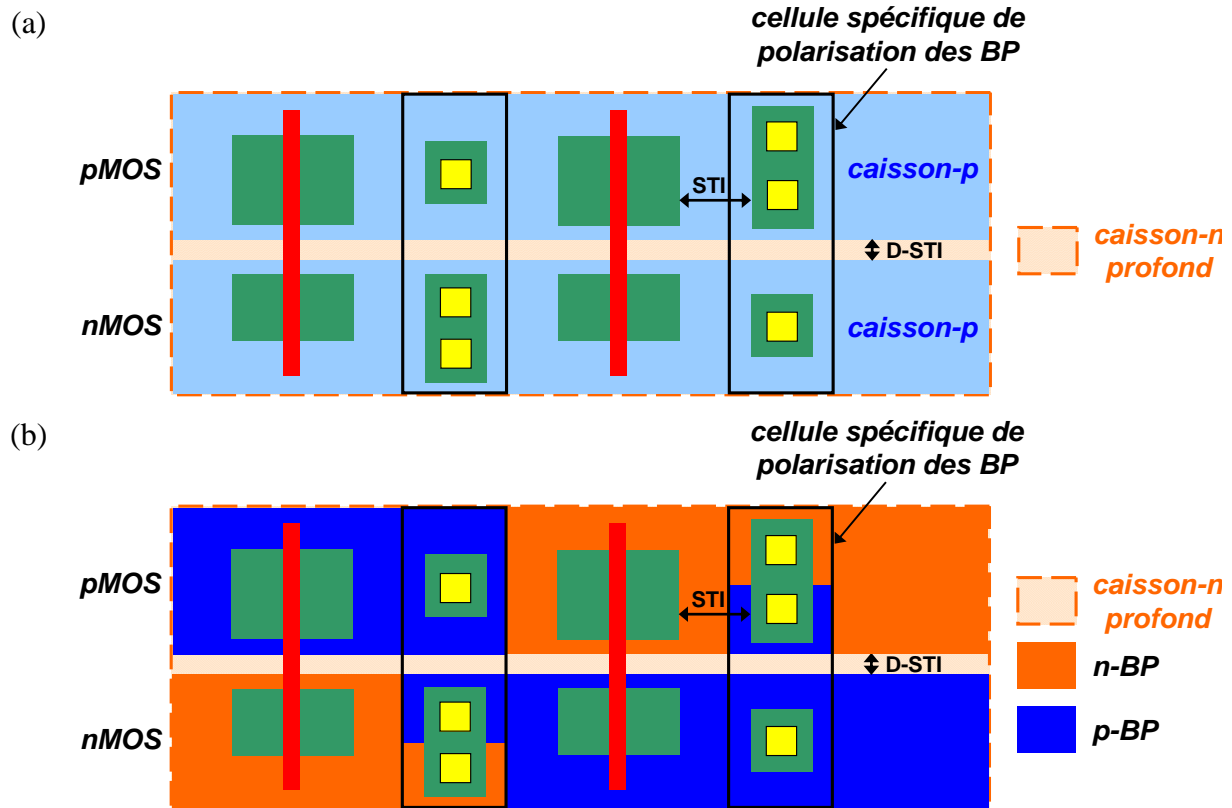


Figure 6.22. : Vue schématique d'un layout montrant (a) les caissons et (b) les BP d'une ligne d'un circuit numérique composée de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique et de cellules spécifiques de polarisation des BP.

La cellule spécifique de polarisation des BP est ainsi composée d'au minimum trois contacts. Deux permettant la polarisation des BP de même type que le caisson à travers celui-ci (un pour les transistors pMOS et un pour les transistors nMOS). Et l'autre permettant la polarisation directe du BP unique de type opposé au caisson (soit pour les transistors nMOS soit pour les transistors pMOS). Les deux contacts communs au même type de transistor (nMOS ou pMOS) sont polarisés par la même tension. Ce qui a pour conséquence de ne pas créer de forts courants de diode formée par les jonctions p-BP/n-BP (Figure 6.23., Figure 6.24. et Figure 6.25.).



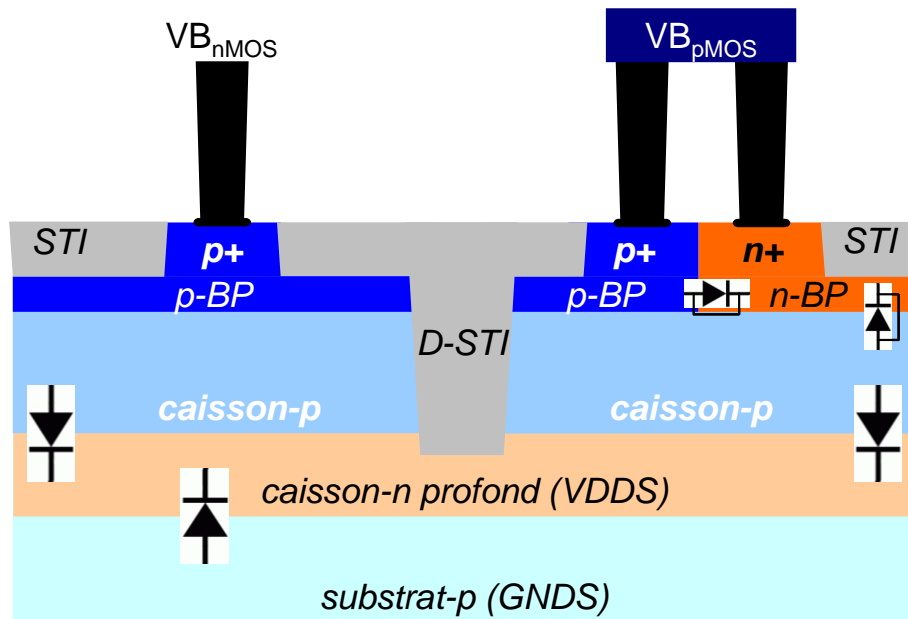


Figure 6.23. : Vue en coupe schématique d'une cellule spécifique de polarisation des BP d'une ligne d'un circuit numérique composée de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique.

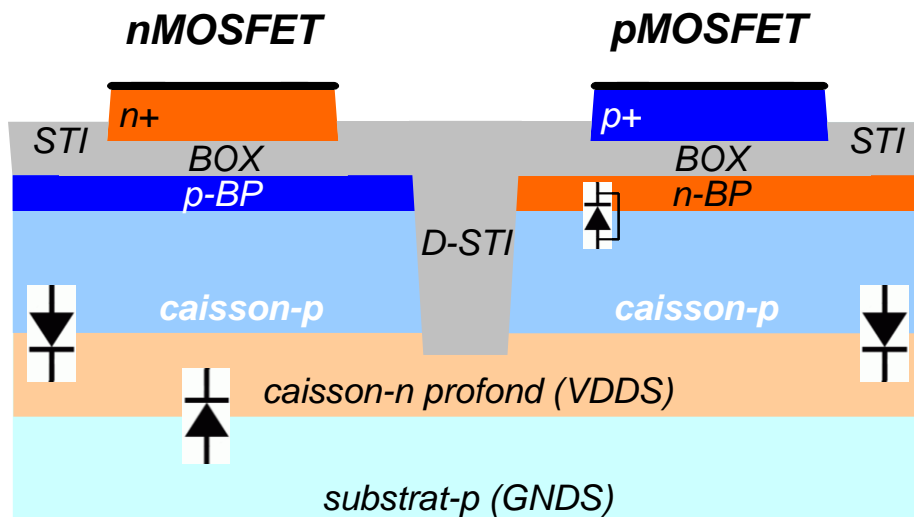
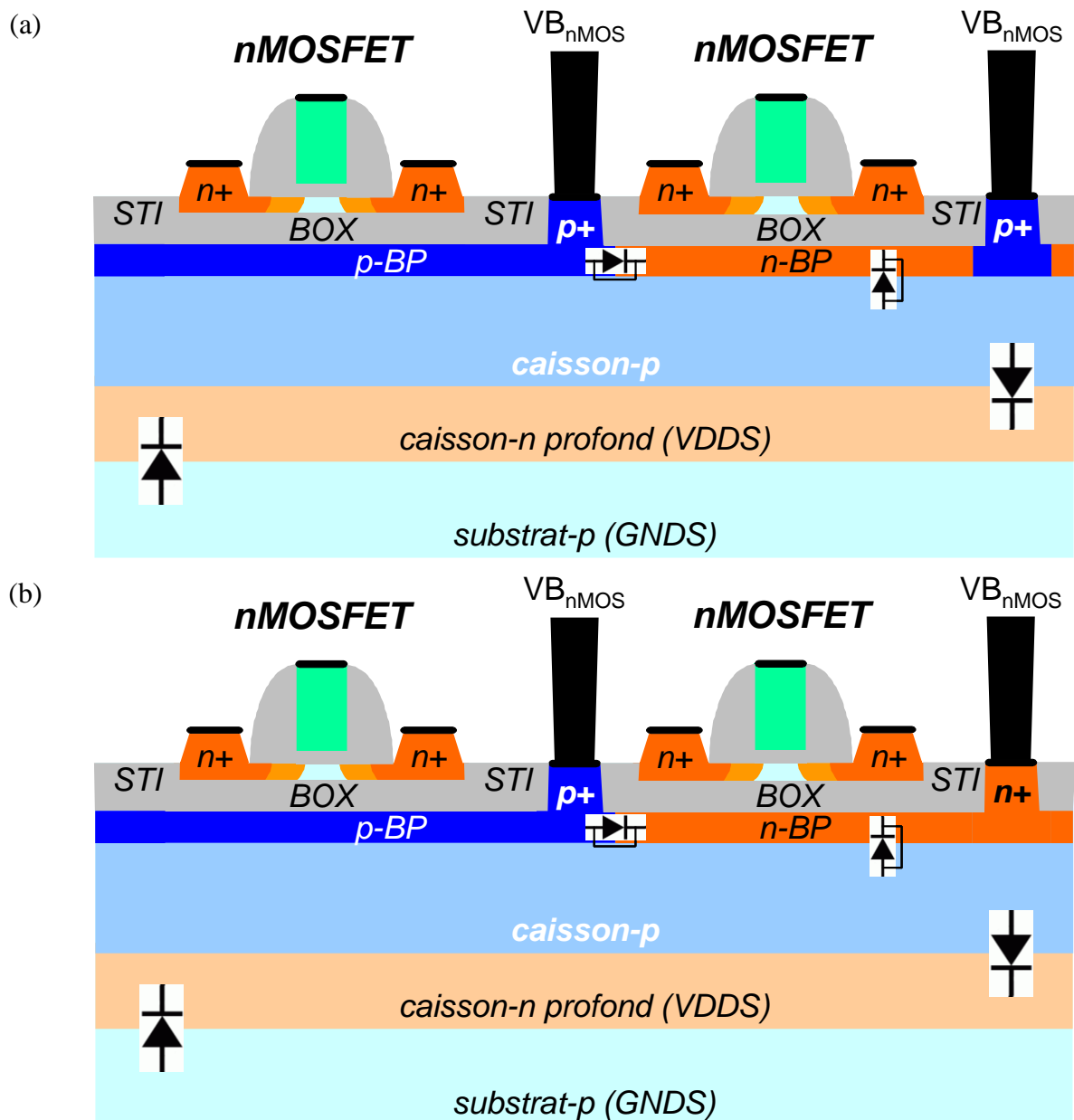


Figure 6.24. : Vue en coupe schématique de transistors nMOS et de transistors pMOS d'une ligne d'un circuit numérique composée de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique et de cellules spécifiques de polarisation des BP.



**Figure 6.25. :** Vue en coupe schématique de transistors nMOS d'une ligne d'un circuit numérique composée de cellules standard multi- $V_T$  FDSOI basées sur le schéma d'intégration spécifique et de cellules spécifiques de polarisation des BP.

Ces cellules spécifiques de polarisation des BP peuvent être conçues de différentes manières en fonction des possibilités offertes par les règles de dessin imposées par les contraintes du procédé de fabrication (Figure 6.26.).

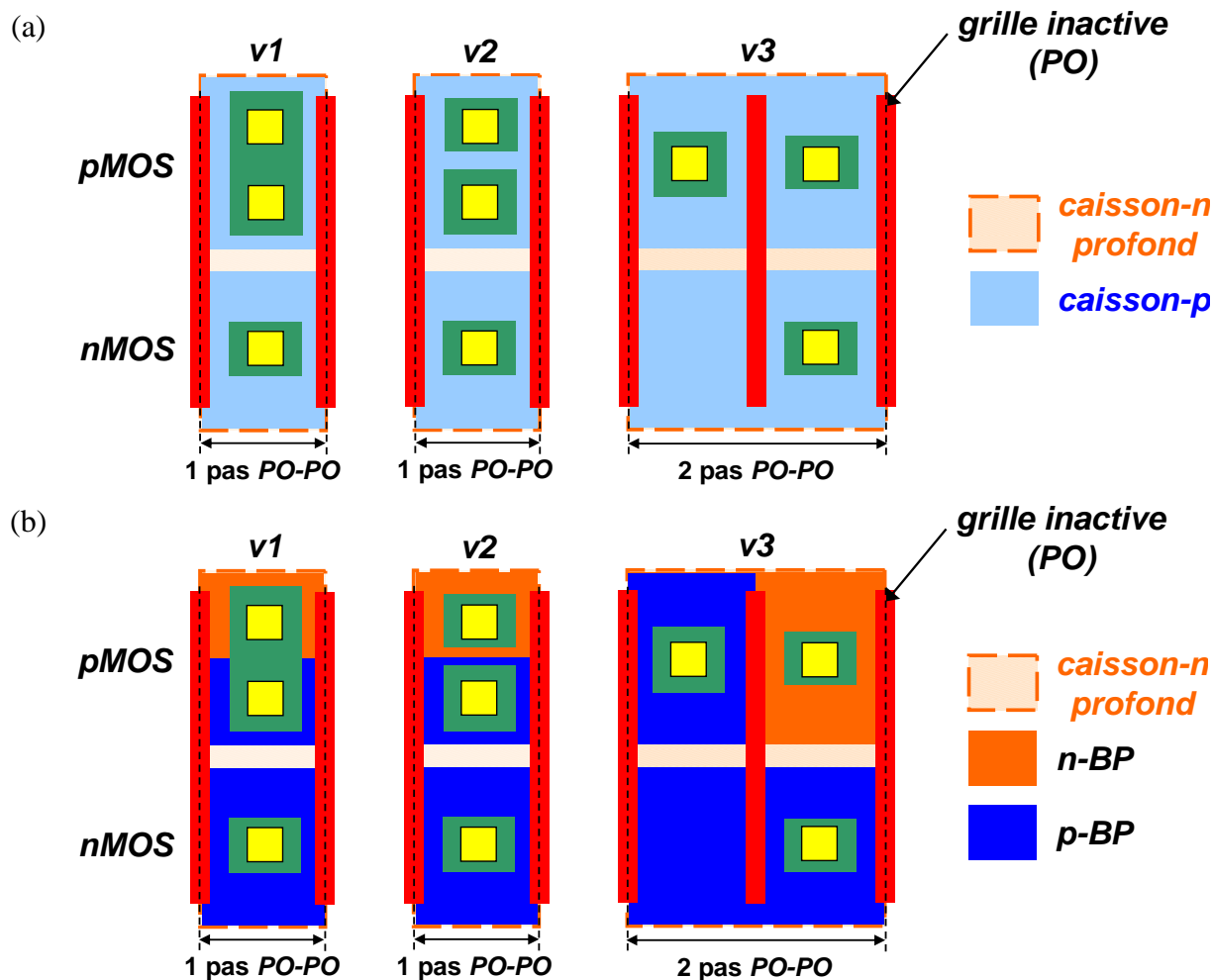


Figure 6.26. : Vue schématique d'un layout montrant (a) les caissons et (b) les BP des différentes versions de la cellule spécifique de polarisation des BP.

Cette méthode est aussi applicable lorsque le type de caisson est différent pour les transistors nMOS et pour les transistors pMOS. Néanmoins, dans ce cas, la gamme de tensions de polarisation des BP est limitée par la jonction des caissons (cf. Figure 6.6. et Tableau 6.1.).

## 6.4. Conclusion

Le schéma d'intégration standard des transistors MOS multi- $V_T$  FDSOI est très intéressant d'un point de vue fabrication car très similaire à celui des transistors MOS multi- $V_T$  sur silicium massif. En utilisant un procédé de fabrication spécifique à la technologie planaire FDSOI, il est alors possible d'utiliser un schéma d'intégration permettant de gérer de manière optimale la consommation et la vitesse des circuits par modulation de la tension de seuil sans complexifier le flot de conception et la topologie des circuits.

Pour faciliter la conception de circuits avec des cellules standards et SRAM FDSOI et pour pouvoir tirer pleinement parti de la modulation de la tension de seuil par modulation de la tension de polarisation de la grille arrière, l'ajout d'un deuxième type de STI est nécessaire. Ce type de STI supplémentaire, qui a pour rôle d'isoler les zones actives des transistors, permet l'apport de deux améliorations majeures. La première de ces améliorations porte sur l'isolation des caissons entre chaque type de transistors. Le fait de disposer de deux types de STI (profond et non profond) permet d'utiliser seul type de caisson, en l'occurrence un caisson-p, pour chaque type de transistors isolés entre eux par un D-STI et un caisson-n profond. Ce qui a pour conséquence de faciliter la co-intégration de cellules multi- $V_T$  et d'autoriser une large gamme de tension de polarisation du BP. La deuxième de ces améliorations porte sur la polarisation des BP. Le fait de disposer de deux types de STI permet également de polariser directement les BP de type opposé à celui du caisson. De cette manière, le temps d'établissement de la polarisation du BP au travers des caissons défini par le temps de génération/recombinaison des porteurs au niveau des jonctions est supprimé.

## 6.5. Références bibliographiques

- [Sakurai'06] Takayasu Sakurai, Akira Matsuzawa, Takakuni Douseki, *Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications*, Springer, 2006



## Chapitre 7

---

### *Résultats de simulations de circuits numériques et SRAM*





## 7.1. Introduction

Dans les chapitres précédents, il a été montré que les transistors MOS multi- $V_T$  FDSOI présentent un bon contrôle électrostatique du canal par la grille, une faible variabilité de la tension de seuil et un procédé de fabrication relativement simple. De plus, il a été montré qu'il est possible, avec un schéma d'intégration adapté, de réaliser des cellules standard et SRAM en utilisant un flot de conception et une topologie de circuits relativement proches de ceux de la technologie planaire sur silicium massif.

Ce chapitre met en application la plateforme technologie FDSOI proposée et développée dans cette thèse. L'étude présentée ici, a pour objectif de démontrer les gains de la technologie sur des blocs logiques et mémoires élémentaires. Ensuite une analyse sur la conception d'une cellule mémoire SRAM à quatre transistors (4T) est divulguée, montrant la grande flexibilité de cette technologie pour la conception de circuits intégrés à rendement élevé.

## 7.2. Résultats de simulations de circuits numériques

### 7.2.1. Conditions de simulations

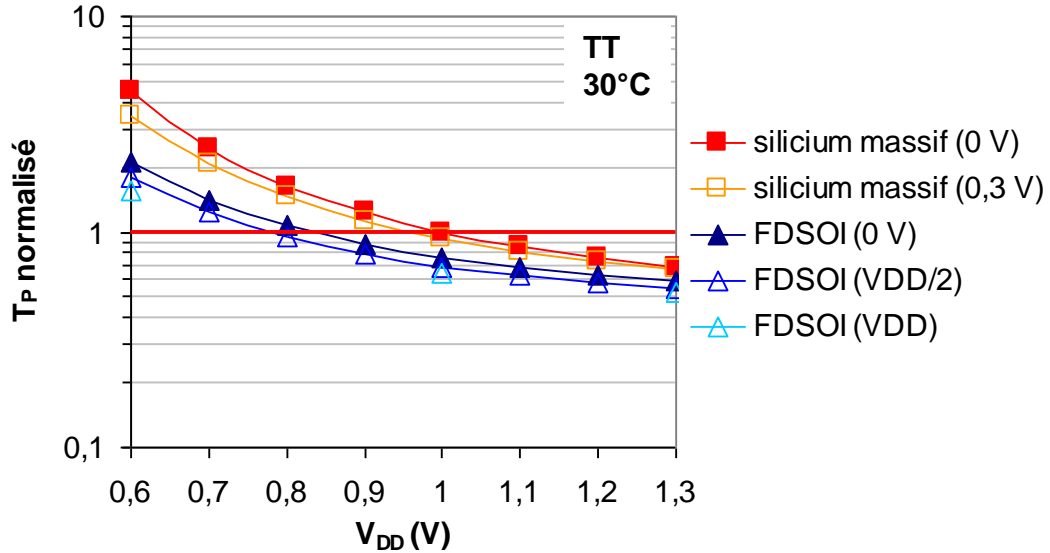
Tous les résultats présentés dans cette partie ont été obtenus à partir de simulations faites sur un chemin critique du cœur de processeur ARM Cortex A9 [Arm'07]. Les cartes modèles utilisées pour ces simulations sont celles de la technologie planaire sur silicium massif basse consommation et de la technologie planaire FDSOI, toutes deux adressant le nœud technologique 28 nm. Les modèles de transistors MOS multi- $V_T$  de la carte de la technologie planaire FDSOI ont été ajustés de manière à avoir le même courant de fuite que les modèles de transistors MOS multi- $V_T$  de la carte de la technologie planaire sur silicium massif basse consommation. Dans le but d'évaluer, de manière qualitative, la technologie planaire FDSOI, tous les résultats ont été normalisés par rapport aux résultats obtenus avec la carte modèle sur silicium massif pour une tension d'alimentation ( $V_{DD}$ ) nominale de 1 V et une différence de potentiel entre la source et le caisson des transistors ( $V_{BS}$ ) de 0 V. Il est à noter que toutes les simulations sont basées sur un procédé de fabrication typique (TT) et réalisées à température ambiante (30°C). Les transistors utilisés pour ces simulations sont de

type LVT. Dans le cas de la technologie planaire FDSOI, ce type de transistor est basé sur un BOX de 25 nm et un BP de même type que les S/D. Dans le but de comparer les performances nominales et améliorées en vitesse de la technologie planaire sur silicium massif et FDSOI, on se propose d'utiliser plusieurs tensions de polarisation des caissons. Ainsi, une tension  $V_{BS}$  nominale de 0 V sera appliquée dans les deux technologies. Puis, une tension  $V_{BS}$  maximale de 0,3 V sera appliquée en technologie planaire sur silicium massif alors que des tensions  $V_{BS}$  maximales de  $V_{DD}/2$  et  $V_{DD}$  seront appliquées en technologie planaire FDSOI. La première de ces tensions représente la tension maximale qu'il est autorisé d'appliquer pour ne pas polariser en direct la diode caisson/source. Les deux dernières tensions ont été choisies pour donner une idée du potentiel de la technologie planaire FDSOI pour améliorer la vitesse des circuits. Il est à noter également que toutes ces simulations prennent en compte les capacités et les résistances parasites des éléments de *back-end* du chemin critique (cf. Chapitre 3).

### 7.2.2. Etude des résultats de simulations d'un chemin critique

La Figure 7.1. montre l'évolution du temps de propagation ( $\tau_p$ ) normalisé en fonction de la tension d'alimentation du chemin critique pour chacune des technologies. La diminution de la tension d'alimentation entraîne une augmentation du temps de propagation. Le chemin critique basé sur la technologie planaire FDSOI présente un temps de propagation inférieur sur toute la gamme de tensions d'alimentation (de 0,6 V à 1,3 V) par rapport au chemin critique basé sur la technologie planaire sur silicium massif. En outre, plus la tension d'alimentation est faible, plus ce gain est important (-14 % à  $V_{DD}=1,3$  V *versus* -53 % à  $V_{DD}=0,6$  V). De la même manière, plus la tension d'alimentation est faible, plus le gain apporté par le mode FBB ( $V_{DD}/2$  et  $V_{DD}$ ) par rapport au cas nominal est important (de -6 à -10 % à  $V_{DD}=1,3$  V *versus* de -10 à -26 % à  $V_{DD}=0,6$  V). Ceci permet au chemin critique basé sur la technologie planaire FDSOI d'obtenir, avec une tension d'alimentation plus faible, le même temps de propagation qu'avec le chemin critique basé sur la technologie planaire sur silicium massif. Ainsi, avec une tension d'alimentation de 0,8 V, le chemin critique basé sur la technologie planaire FDSOI obtient le même temps de propagation que le chemin critique basé sur la technologie planaire sur silicium massif avec une tension nominale d'alimentation de 1 V. De la même manière, avec une tension nominale d'alimentation de 1 V, le chemin

critique basé sur la technologie planaire FDSOI obtient le même temps de propagation que le chemin critique basé sur la technologie planaire sur silicium massif avec une tension d'alimentation de 1,3 V.



**Figure 7.1. : Evolution du temps de propagation ( $\tau_p$ ) normalisé en fonction de  $V_{DD}$  du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.**

Ces bons résultats sont avant tout dus à de faibles DIBL et à de plus faibles pentes sous le seuil des transistors MOS FDSOI comparés à ceux des transistors MOS sur silicium massif. Ce qui a pour conséquence de rendre le courant effectif ( $I_{eff}$ ), permettant la charge et la décharge des capacités des portes logiques, plus important. Ce courant effectif peut être décrit par l'équation suivante :

$$I_{eff} = \frac{1}{2} (I_{high} + I_{low}) \quad (1)$$

où

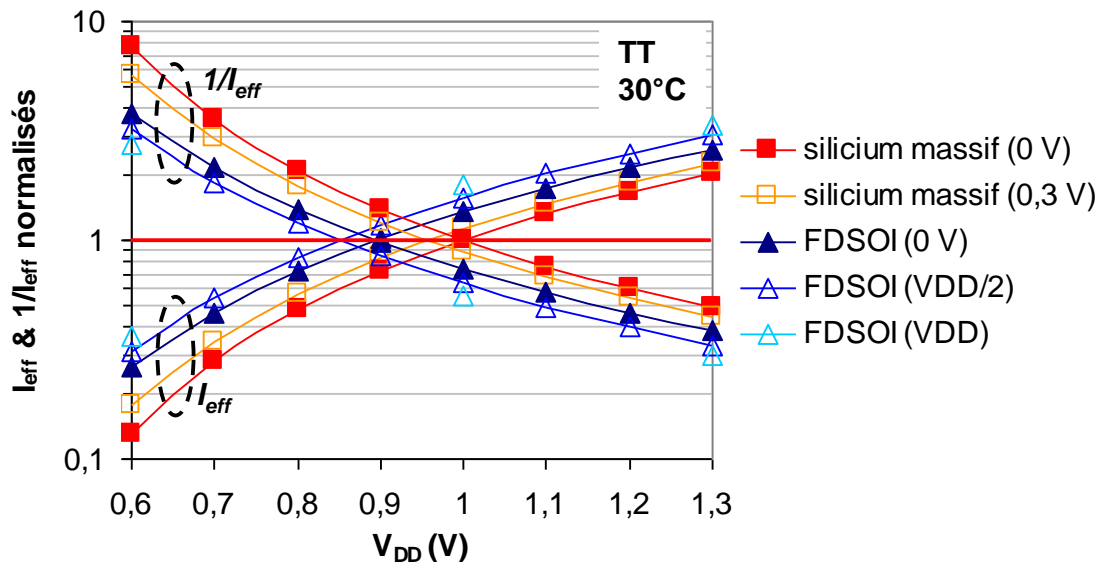
$$I_{high} = I_D @ \left( V_{GS} = V_{DD}; V_{DS} = \frac{V_{DD}}{2} \right) \quad (2)$$

$$I_{low} = I_D @ \left( V_{GS} = \frac{V_{DD}}{2}; V_{DS} = V_{DD} \right) \quad (3)$$

Ainsi, à même courant de fuite, si le DIBL et la pente sous le seuil sont plus faibles, la tension de seuil devient également plus faible, ce qui rend le courant effectif plus important. Le temps de propagation étant inversement proportionnel au courant effectif, plus celui-ci est élevé et plus le temps de propagation est faible. Ce dernier peut être décrit par l'équation suivante :

$$\tau_p \propto \frac{C_L V_{DD}}{I_{eff}} \quad (4)$$

La Figure 7.2. montre l'évolution du courant effectif et du terme  $1/I_{eff}$ , représentant l'image du temps de propagation, en fonction de la tension d'alimentation du chemin critique pour chacune des technologies.



**Figure 7.2. : Evolution du courant effectif ( $I_{eff}$ ) et du terme  $1/I_{eff}$  normalisés en fonction de  $V_{DD}$  du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.**

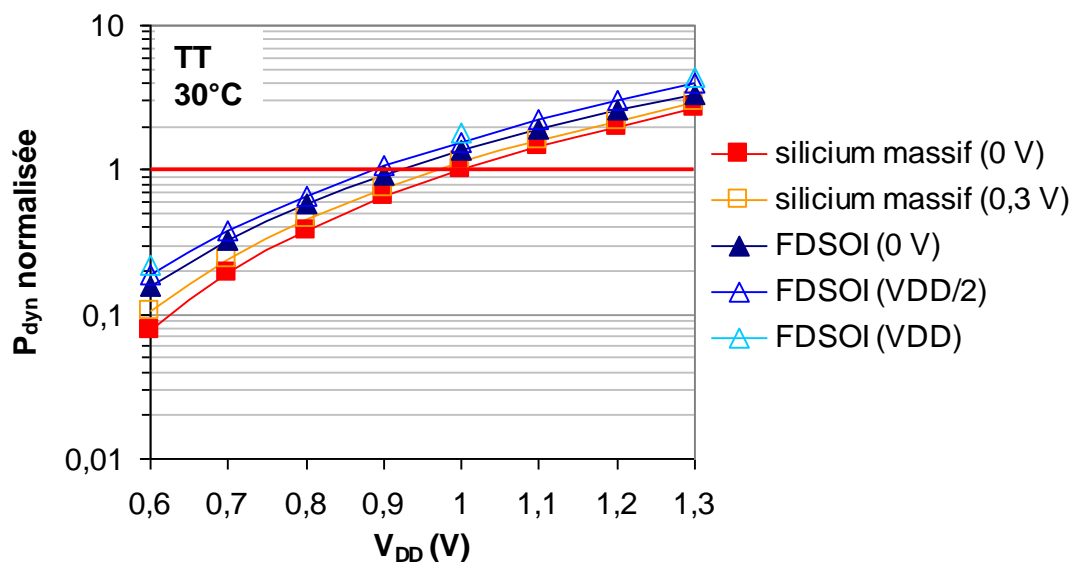
Plus la tension d'alimentation diminue et plus le courant effectif diminue. Néanmoins, le courant effectif du chemin critique basé sur la technologie planaire FDSOI diminue moins vite que celui du chemin critique basé sur la technologie planaire FDSOI. Ceci s'explique par le fait que la composante  $I_{low}$  devient de plus en plus dépendante de la pente sous le seuil. Ainsi, plus la pente sous le seuil est faible et moins la composante  $I_{low}$  est diminuée. Ce qui avantage clairement le chemin critique basé sur la technologie planaire FDSOI. De plus, avec la diminution de la tension d'alimentation, cette composante devient aussi de plus en plus importante par rapport à la composante  $I_{high}$ , qui, elle, est beaucoup moins dépendante de la pente sous le seuil. A cela s'ajoute aussi le fait que le DIBL diminue aussi avec la réduction de la tension d'alimentation. Ainsi, du fait de son DIBL moins important, le chemin critique basé sur la technologie planaire FDSOI est moins affecté. Ce qui a pour conséquence d'augmenter un peu moins la tension de seuil, et donc de diminuer encore un peu moins le courant effectif. La combinaison de ces deux effets fait que la technologie planaire FDSOI se

comporte mieux à faible tension d'alimentation par rapport à la technologie planaire sur silicium massif.

Le courant effectif joue aussi un rôle important dans la consommation dynamique des circuits ( $P_{dyn}$ ) puisque cette dernière est directement proportionnelle à ce courant, comme le montre l'équation suivante :

$$P_{dyn} \propto V_{DD} \times I_{eff} \quad (5)$$

La Figure 7.3. montre l'évolution de la consommation dynamique en fonction de la tension d'alimentation du chemin critique pour chacune des technologies.



**Figure 7.3. : Evolution de la consommation dynamique ( $P_{dyn}$ ) normalisée en fonction de  $V_{DD}$  du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.**

Ces graphiques montrent que la consommation dynamique des circuits basés sur la technologie planaire FDSOI est, à même tension d'alimentation, supérieure à celle des circuits basés sur la technologie planaire sur silicium massif. Maintenant, si l'on multiplie la consommation dynamique par le temps de propagation, seul le terme  $C_L V_{DD}^2$  est conservé. Ce terme correspond à l'énergie qu'il faut apporter au chemin critique pour changer l'état de sa sortie. La Figure 7.4. montre l'évolution du produit  $P_{dyn} \times \tau_P$  en fonction de la tension d'alimentation du chemin critique pour chacune des technologies.

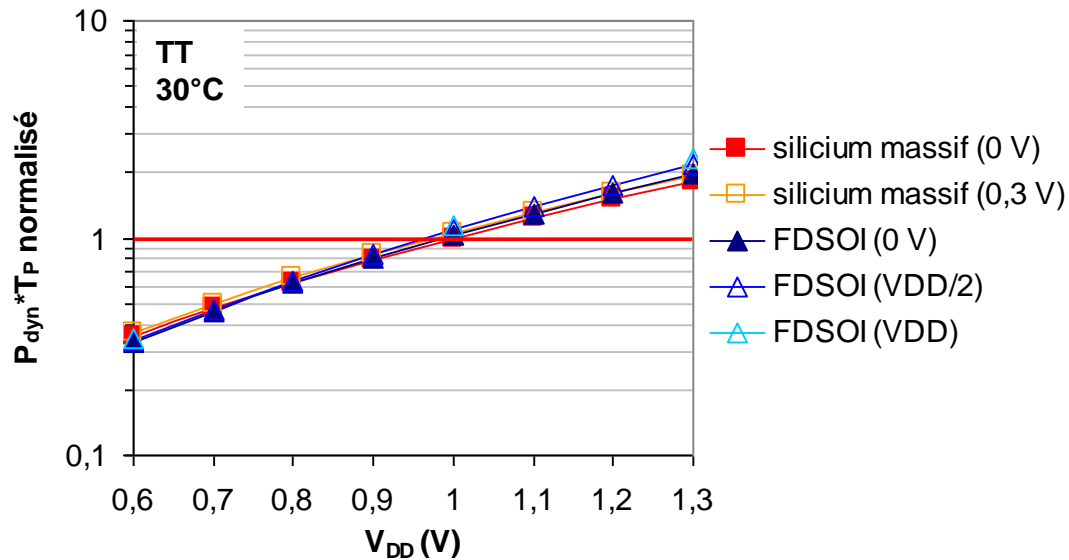


Figure 7.4. : Evolution du produit  $P_{dyn} * \tau_P$  normalisé en fonction de  $V_{DD}$  du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.

Il est alors intéressant de constater que l'énergie à apporter au chemin critique pour faire basculer l'état de sa sortie est quasiment identique quel que soit la technologie sur laquelle il est basé. Néanmoins, à même temps de propagation, le chemin critique basé sur la technologie planaire FDSOI présente une consommation dynamique moins importante que lorsqu'il est basé sur la technologie planaire sur silicium massif (Figure 7.5.).

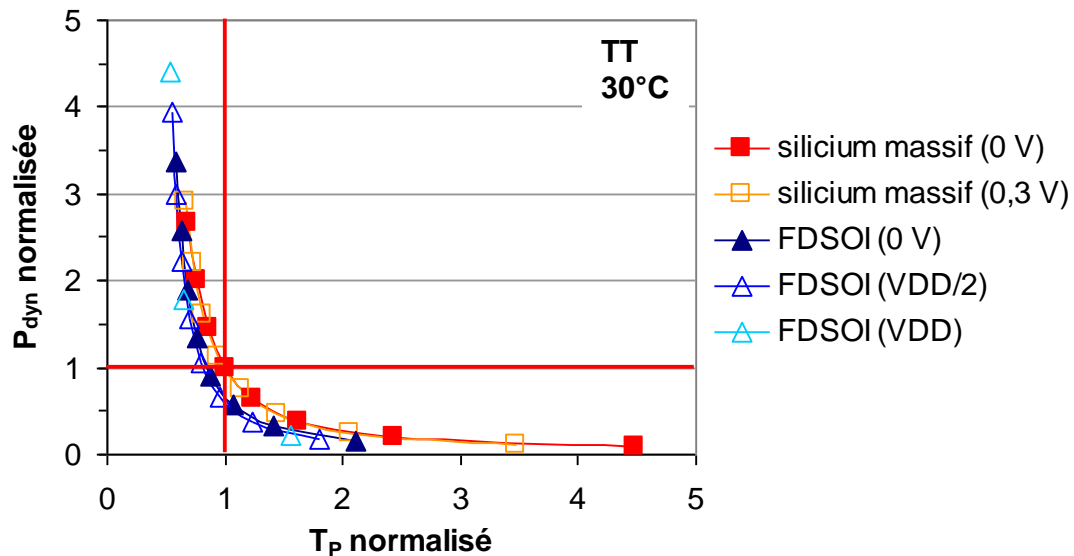
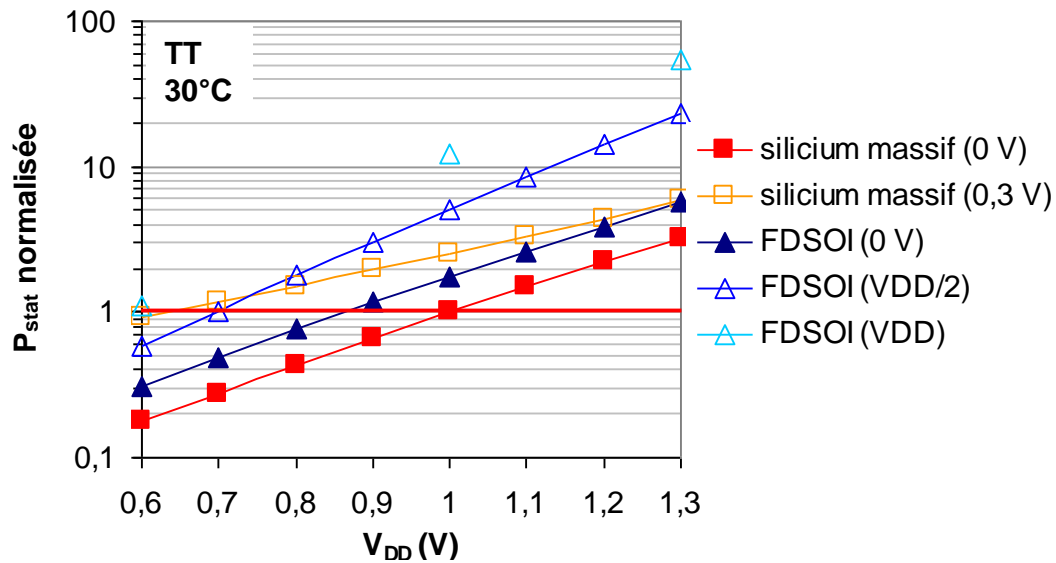


Figure 7.5. : Evolution de la consommation statique ( $P_{stat}$ ) normalisée en fonction de  $\tau_P$  normalisé du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.

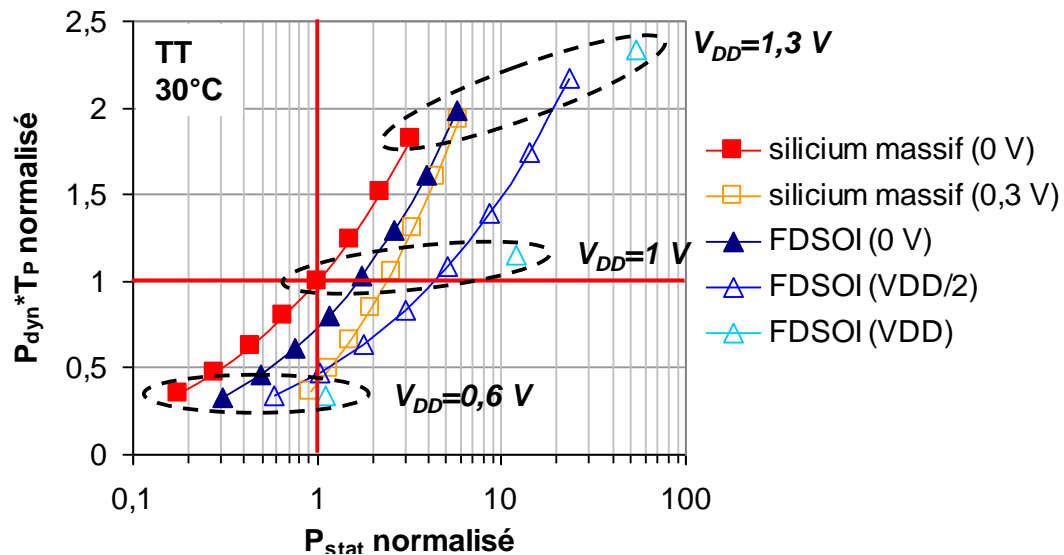
La Figure 7.6. montre l'évolution de la consommation statique ( $P_{stat}$ ) en fonction de la tension d'alimentation du chemin critique pour chacune des technologies.



**Figure 7.6. : Evolution de la puissance statique ( $P_{stat}$ ) normalisée en fonction de  $V_{DD}$  du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.**

Ces graphiques montrent une consommation statique plus importante (multipliée par 2) du chemin critique basé sur la technologie planaire FDSOI par rapport à celui basé sur la technologie planaire sur silicium massif lorsque le mode FBB n'est pas utilisé. Maintenant, lorsque le mode FBB est utilisé, la consommation statique du chemin critique basé sur la technologie planaire FDSOI reste supérieure, sauf avec une tension d'alimentation inférieure à 0,7 V dans le cas d'un FBB de  $V_{DD}/2$ .

La Figure 7.7. montre l'évolution du produit  $P_{dyn} \times \tau_p$  en fonction de la consommation statique du chemin critique pour chacune des technologies.



**Figure 7.7. :** Evolution du produit  $P_{dyn} * \tau_P$  normalisé en fonction de  $P_{stat}$  du chemin critique simulé avec une carte modèle silicium massif basse consommation (carré) et FDSOI (triangle) dans le nœud technologique 28 nm.

Il est intéressant de constater que le chemin critique basé sur la technologie planaire FDSOI présente, à même consommation statique, un produit  $P_{dyn} \times \tau_P$  plus faible, avec ou sans utilisation du mode FBB. Ce qui veut dire que le chemin critique basé sur la technologie planaire FDSOI nécessite, à même consommation statique, moins d'énergie pour faire basculer son état de sortie, le tout en étant plus rapide.

A travers toutes ces simulations, il a été montré que le chemin critique basé sur la technologie planaire FDSOI présentait des meilleurs résultats en termes de temps de propagation que celui basé sur la technologie planaire sur silicium massif. De plus, ces résultats sont d'autant meilleurs que la tension d'alimentation est faible ( $< 1 V$ ). Il a aussi été montré que le temps de propagation du chemin critique était plus faible, à même consommation dynamique et statique, lorsqu'il était basé sur la technologie planaire FDSOI. Enfin, il a été mis en évidence que le mode FBB était plus efficace pour réduire le temps de propagation du chemin critique lorsque celui était alimenté par une faible tension d'alimentation ( $< 1 V$ ).



### 7.3. Résultats de simulations de circuits SRAM

#### 7.3.1. Cellule SRAM 6T

##### 7.3.1.1 Conditions de simulations

Tous les résultats présentés dans cette partie ont été obtenus à partir de simulations faites sur une cellule SRAM 6T haute densité ( $0,120 \mu\text{m}^2$ ) initialement conçue en technologie planaire sur silicium massif dans le nœud technologique 32 nm par la société STMicroelectronics [Arnaud'09]. Les cartes modèles utilisées pour ces simulations sont celles de la technologie planaire sur silicium massif (spécialement conçue pour la cellule SRAM 6T) et de la technologie planaire FDSOI. Dans le but d'évaluer, de manière qualitative, la technologie planaire FDSOI, tous les résultats ont été normalisés par rapport aux résultats obtenus avec la carte modèle sur silicium massif pour une tension d'alimentation ( $V_{DD}$ ) nominale de 1 V et une différence de potentiel entre la source et le caisson des transistors ( $V_{BS}$ ) de 0 V. Il est à noter que toutes les simulations sont réalisées à température ambiante ( $27^\circ\text{C}$ ). Les transistors utilisés pour ces simulations sont de type HVT. Dans le cas de la technologie planaire FDSOI, ce type de transistor est basé sur un BOX de 25 nm et un BP de type opposé aux S/D. La différence de potentiel entre le caisson et la source des transistors est toujours nulle. Ce qui veut dire que les modes FBB et RBB ne sont jamais utilisés. Le Tableau 7.1. récapitule les valeurs de tensions de seuil, de DIBL et de pentes sous le seuil des transistors MOS sur silicium massif et FDSOI utilisés pour simuler la cellule SRAM 6T (transistors d'accès (MA), transistors de conduction (MD) et transistors de charge (ML)). Ces résultats montrent que les transistors MOS FDSOI possèdent des DIBL et pentes sous le seuil plus faibles dus à un meilleur contrôle électrostatique du canal par la grille. De plus, ils présentent également des déviations standard de tensions de seuil plus faibles dues au film mince de silicium non dopé.

27°C	silicium massif			FDSOI		
	MA	MD	ML	MA	MD	ML
$V_{T\_sat} [\mu/\sigma] \text{ (mV)}$	445/35,3	418/33,6	486/44,7	410/20,7	403/20,9	461/29,4
<b>DIBL*</b> (mV/V)	68,9	68,7	62,7	32,3	38,9	38,4
<b>SS*</b> (mV/dec)	89,6	93,4	95,9	71	73	76

\*valeurs données pour un procédé de fabrication typique (TT)

**Tableau 7.1. : Valeurs de tensions de seuil ( $V_T$ ), de DIBL et de pentes sous le seuil (SS) des transistors MOS sur silicium massif et FDSOI utilisés pour simuler la cellule SRAM 6T.**

### 7.3.1.2 Etude des résultats de simulations

La Figure 7.8. montre l'évolution de la marge au bruit en lecture (SNM) normalisée, qui est la caractéristique critique des cellules SRAM 6T (cf. Chapitre 3), en fonction de la marge au bruit en écriture (WM) normalisée de la cellule SRAM 6T simulée en technologie planaire sur silicium massif.

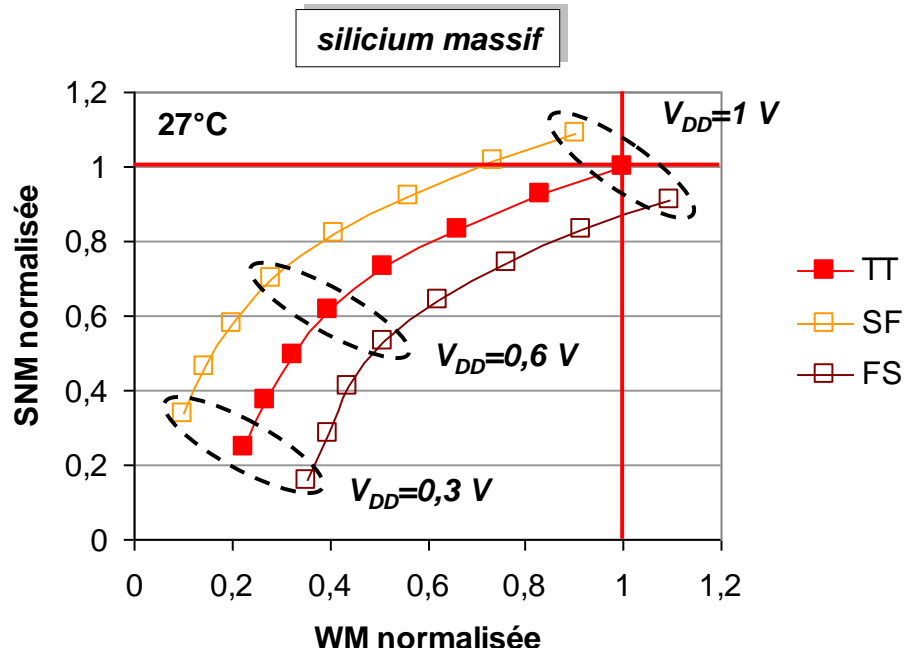
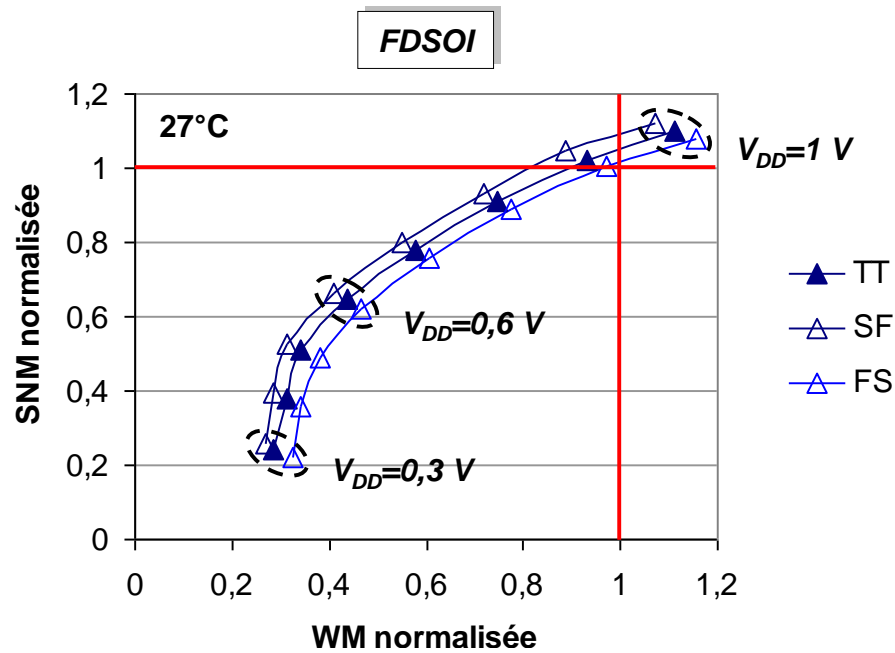


Figure 7.8. : Evolution de la marge au bruit en lecture (SNM) normalisée en fonction de la WM normalisée d'une cellule SRAM 6T simulée avec une carte modèle silicium massif pour différentes tensions d'alimentation (de 0,3 V à 1 V) et différents corners (TT, SF et FS) dans le nœud technologique 28 nm.

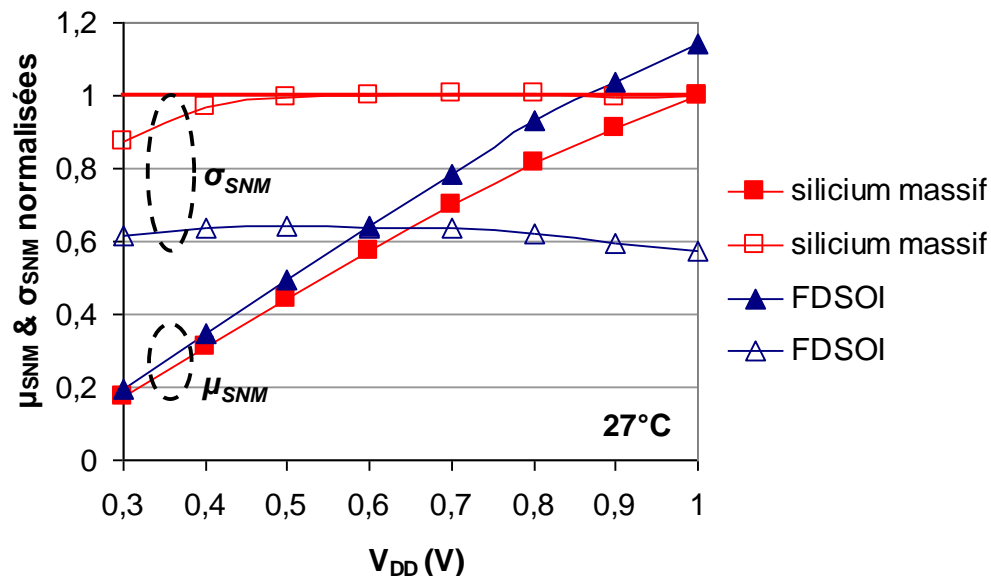
Les valeurs extrêmes, correspondant aux corners FS et SF, sont relativement éloignées des valeurs typiques, correspondant au corner TT. Ceci s'explique par une forte variabilité de la tension de seuil (cf. Tableau 7.1.), critique dans les cellules SRAM 6T (cf. Chapitre 3). La figure 7.9. montre, quant à elle, l'évolution de la SNM normalisée en fonction de la WM normalisée de la cellule SRAM 6T simulée en technologie planaire FDSOI.



**Figure 7.9. : Evolution de la marge au bruit en lecture (SNM) normalisée en fonction de la WM normalisée d'une cellule SRAM 6T simulée avec une carte modèle FDSOI pour différentes tensions d'alimentation (de 0,3 V à 1 V) et différents corners (TT, SF et FS) dans le nœud technologique 28 nm.**

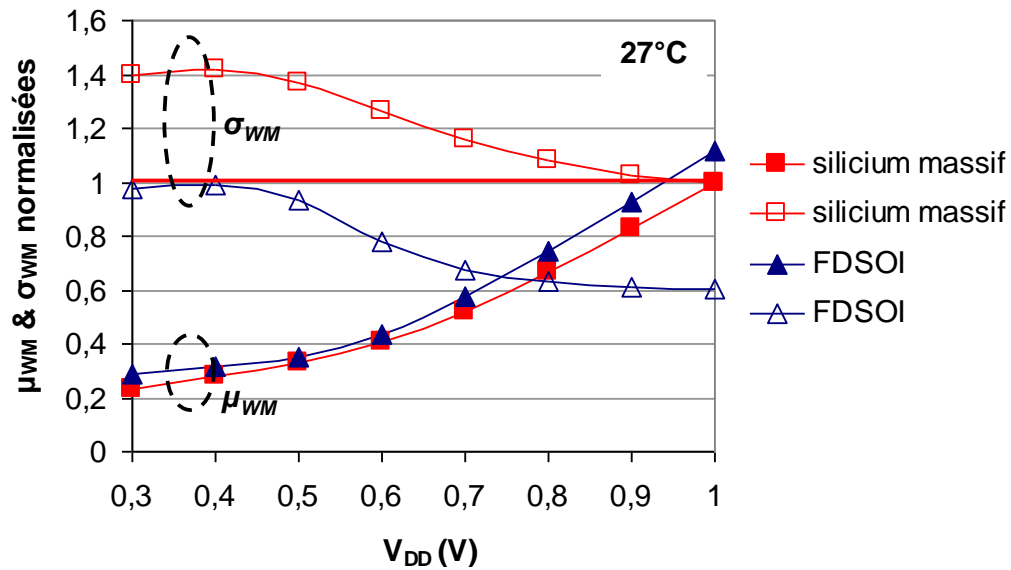
Il est intéressant de constater que les valeurs extrêmes sont beaucoup plus resserrées autour des valeurs typiques. Ce qui s'explique par une plus faible variation de la tension de seuil comparée à la technologie planaire sur silicium massif (cf. Tableau 7.1.).

La Figure 7.10. montre l'évolution de la moyenne de la SNM ( $\mu_{SNM}$ ) et de la déviation standard ( $\sigma_{SNM}$ ) normalisées en fonction de la tension d'alimentation de la cellule SRAM 6T pour chacune des technologies.



**Figure 7.10. : Evolution de la moyenne de la marge au bruit en lecture ( $\mu_{SNM}$ ) et de la déviation standard ( $\sigma_{SNM}$ ) normalisées en fonction de  $V_{DD}$  d'une cellule SRAM 6T simulée avec une carte modèle silicium massif et FDSOI dans le nœud technologique 28 nm.**

Concernant la moyenne de la SNM, la tendance principale qui se dégage est une diminution de sa valeur lorsque la tension d'alimentation diminue, que ce soit en technologie planaire sur silicium massif ou FDSOI. Néanmoins, la cellule SRAM 6T basée sur la technologie planaire FDSOI présente un gain de l'ordre de 10 % sur toute la gamme de tensions d'alimentation (de 0,3 V à 1 V) par rapport à celle basée sur la technologie planaire sur silicium massif. Cela s'explique par des DIBL et des pentes sous le seuil plus faibles (cf. Tableau 7.1.). Concernant la déviation standard de la SNM, sa valeur reste relativement constante sur toute la gamme de tensions d'alimentation, sauf en technologie planaire sur silicium massif où elle chute d'un peu plus de 10 % pour une tension d'alimentation de 0,3 V. Il est à noter que les valeurs obtenues en technologie planaire FDSOI sont entre 30 et 40 % plus faibles que celles obtenues en technologie planaire sur silicium massif. Cela s'explique par des variations de tensions de seuil plus faibles, également de l'ordre de 30-40 % (cf. Tableau 7.1.). Les mêmes remarques, avec les mêmes ordres de grandeurs, peuvent être faites concernant la moyenne de la WM ( $\mu_{WM}$ ) et de la déviation standard ( $\sigma_{WM}$ ) (Figure 7.11.). A la différence près que la déviation standard de la WM a plutôt tendance à augmenter avec la diminution de la tension d'alimentation.



**Figure 7.11. :** Evolution de la moyenne de la marge au bruit en lecture ( $\mu_{WM}$ ) et de la déviation standard ( $\sigma_{WM}$ ) normalisées en fonction de  $V_{DD}$  d'une cellule SRAM 6T simulée avec une carte modèle silicium massif et FDSOI dans le nœud technologique 28 nm.

Pour qu'une mémoire SRAM atteigne un haut rendement ( $\sim 99,9\%$ ), il faut que la variation de la tension de seuil ne dépasse pas  $6\sigma$ . Ce qui veut dire que pour que la cellule SRAM soit stable en mode lecture et en mode écriture, le rapport  $\mu/\sigma$  de la SNM et de la WM doit être supérieur à 6. Le rapport  $\mu/\sigma$  de la cellule SRAM 6T basée sur la technologie planaire FDSOI atteint cette valeur pour une tension minimale d'alimentation de 0,6 V. Alors qu'il est atteint pour une tension minimale d'alimentation de 0,8 V avec la cellule SRAM 6T basée sur la technologie planaire sur silicium massif (Figure 7.12.). Ce résultat montre que la technologie planaire FDSOI est particulièrement adaptée pour des circuits SRAM alimentés par de faibles tensions.

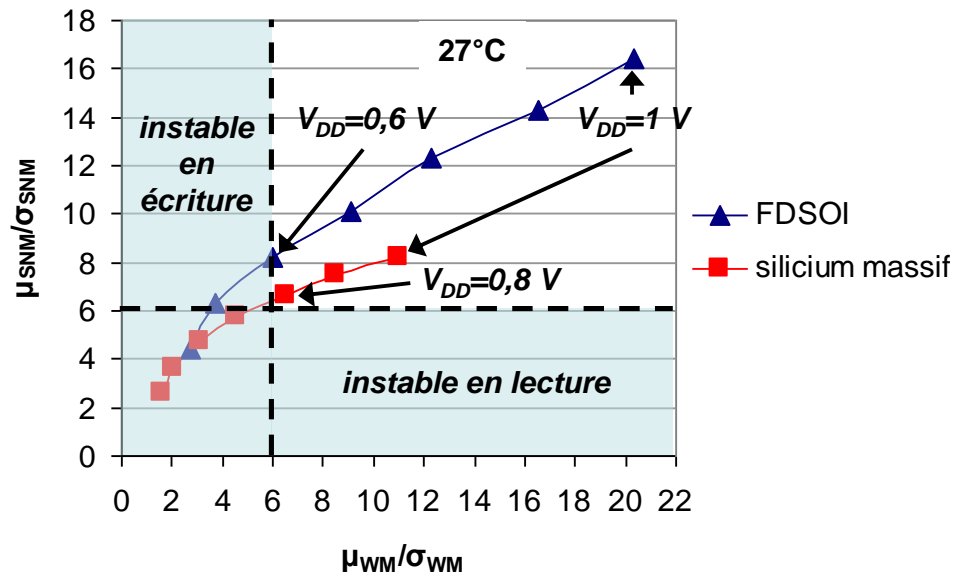
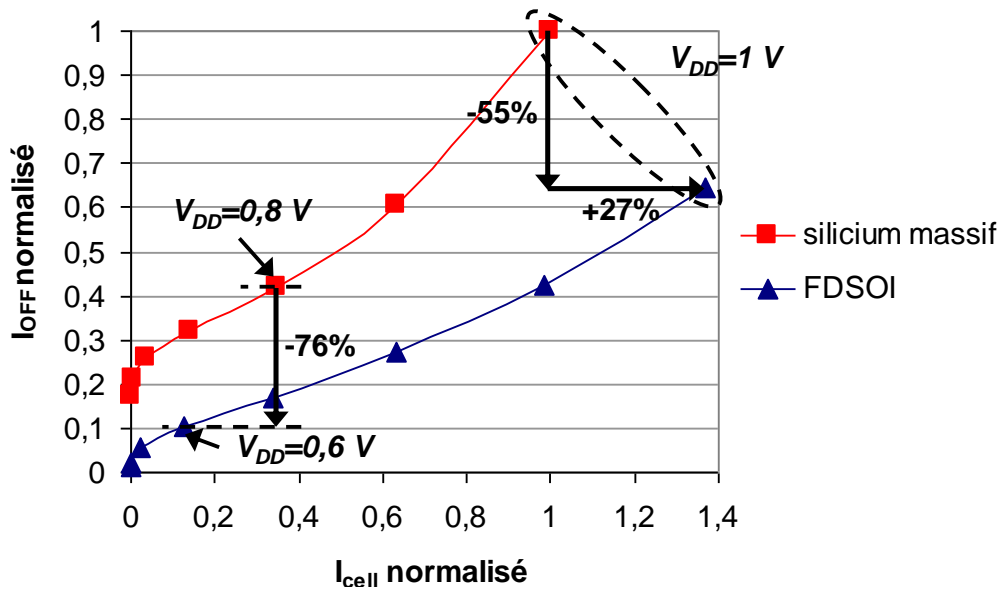


Figure 7.12. : Evolution du rapport  $\mu_{SNM} / \sigma_{SNM}$  en fonction du rapport  $\mu_{WM} / \sigma_{WM}$  d'une cellule SRAM 6T simulée avec une carte modèle silicium massif et FDSOI pour différentes tensions d'alimentation (de 0,3 V à 1 V) dans le nœud technologique 28 nm.

La Figure 7.13. montre l'évolution du courant de fuite ( $I_{OFF}$ ) normalisé en fonction du courant de lecture ( $I_{cell}$ ) normalisé de la cellule SRAM 6T pour chacune des technologies. Il est intéressant de constater que la cellule SRAM 6T basée sur la technologie planaire FDSOI présente un courant de lecture supérieur de 27 % et un courant de fuite inférieur de plus de 50 % avec une tension d'alimentation nominale de 1 V. Ceci s'explique, tout comme pour la SNM et la WM, par de plus faibles DIBL et de plus faibles pentes sous le seuil. Il est aussi intéressant de constater que la cellule SRAM 6T basée sur la technologie planaire FDSOI présente un courant de fuite inférieur de 76 % par rapport à celle basée sur la technologie planaire sur silicium massif à tension minimale d'alimentation (0,6 V *versus* 0,8 V).



**Figure 7.13. :** Evolution du courant de fuite ( $I_{OFF}$ ) normalisé en fonction de  $I_{cell}$  normalisé d'une cellule SRAM 6T simulée avec une carte modèle silicium massif et FDSOI pour différentes tensions d'alimentation (de 0,3 V à 1 V) dans le nœud technologique 28 nm.

A travers toutes ces simulations, il a été montré que la cellule SRAM 6T basée sur la technologie planaire FDSOI présentait des meilleures caractéristiques statiques que celle basée sur la technologie planaire sur silicium massif en termes de temps de propagation. De plus, grâce à la faible variabilité de la tension de seuil des transistors MOS FDSOI, la tension minimale d'alimentation de la cellule SRAM 6T basée sur la technologie planaire FDSOI est plus faible que celle obtenue avec la cellule SRAM 6T basée sur la technologie planaire sur silicium massif (0,6 V *versus* 0,8 V). Ce qui permet de diminuer la consommation statique de la cellule en mode rétention sans détériorer sa stabilité.

### 7.3.2. Cellule SRAM 4T

#### 7.3.2.1 Principe

Il est possible de réduire encore plus la surface des cellules SRAM, de l'ordre de 30 %, en utilisant seulement quatre transistors au lieu de six [Yamaoka'04]. Ce type de cellule peut être réalisé soit en supprimant les transistors de charges (ML), on parle alors de cellules SRAM 4T *load less* (LL), soit en supprimant les transistors de conduction (MD), on parle alors de cellules SRAM 4T *driver less* (DL). Bien qu'étant fonctionnellement identiques aux cellules SRAM 6T conventionnelles, ces cellules SRAM 4T ont pour défaut d'être beaucoup moins stables en mode rétention. C'est pourquoi, elles requièrent bien souvent un circuit

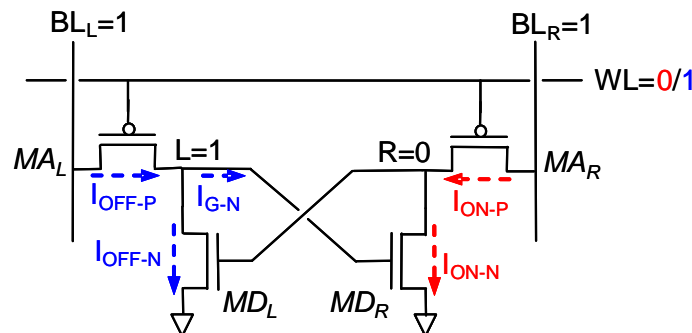
additionnel de rafraîchissement, ce qui limite fortement leur intérêt [Takeda'00]. La condition permettant la stabilité de la cellule en mode rétention, qui est le premier point critique de la cellule, est donnée par la relation des courants de fuite suivante :

$$I_{OFF-P} > 100 \times (I_{OFF-N} + I_{G-N}) \quad (6)$$

Quant à la condition permettant la stabilité de la cellule en mode lecture, qui est le deuxième point critique de la cellule, elle est donnée par la relation des courants de fonctionnement suivante :

$$I_{ON-N} \approx 2 \times I_{ON-P} \quad (7)$$

Ces deux relations sont illustrées par la Figure 7.14. Ce qui impose, dans le cas d'une cellule SRAM 4T LL, que le transistor d'accès de type pMOS génère un courant de fuite ( $I_{OFF-P}$ ) cent fois supérieur à celui du transistor de conduction de type nMOS ( $I_{OFF-N} + I_{G-N}$ ). Et, d'un autre côté, il faut que le courant de fonctionnement du transistor de conduction ( $I_{ON-N}$ ) soit deux fois supérieur à celui du transistor d'accès ( $I_{ON-P}$ ).



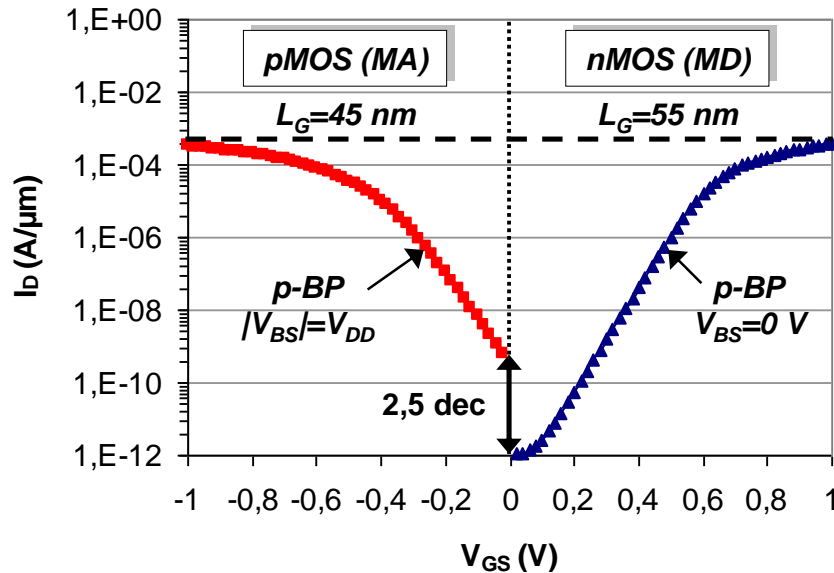
**Figure 7.14. : Vue schématique d'une cellule SRAM 4T LL montrant les courants critiques pour sa stabilité en mode rétention (bleu) et en mode lecture (rouge).**

### 7.3.2.2 Etude de la solution proposée

En technologie planaire FDSOI, les transistors MOS multi- $V_T$  peuvent être mis à profit grâce à la faible variabilité de leur tension de seuil. Ainsi, en utilisant des transistors pMOS LVT comme transistors d'accès et des transistors nMOS HVT comme transistors de conduction, il est possible de réaliser une cellule SRAM 4T LL répondant à ses conditions de stabilité (cf. équations (6) et (7)). En effet, les transistors MOS multi- $V_T$  de la plateforme technologique basée sur un seul type de grille (cf. Chapitre 5) permettent d'atteindre une différence de courants de fuite entre le transistor MOS LVT et le transistor MOS HVT de plus

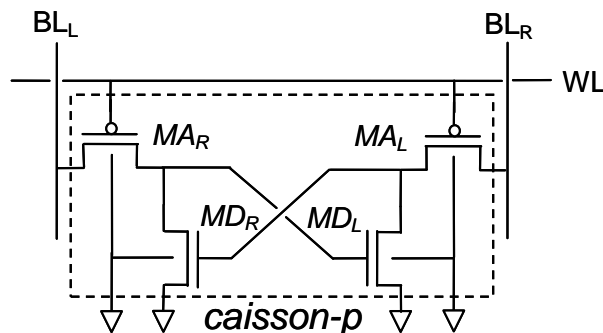


de deux décades (Figure 7.15.). Ces résultats, comme tous les résultats présentés dans cette partie, sont obtenus par simulations TCAD basées sur les conditions décrites dans le chapitre 4 [Silvaco'08].



**Figure 7.15. :** Evolution du courant de drain ( $I_D$ ) en fonction de  $V_{GS}$  des transistors nMOS (MD) et pMOS (MA) de la cellule SRAM 4T LL FDSOI simulés dans le nœud technologique 45 nm.

Les transistors utilisés étant basés sur le même type de BP et une même tension de polarisation, un caisson de même type, commun à tous les transistors, peut être utilisé. Dans notre cas, il s'agit d'un BP/caisson de type p polarisé à 0 V (Figure 7.16.).



**Figure 7.16. :** Vue schématique de la cellule SRAM 4T LL FDSOI proposée.

Cette configuration de BP/caisson, ainsi que l'utilisation d'un seul type de grille, permet de limiter au maximum toutes sources additionnelles de variabilité (effets de bord dus à l'implantation de deux types de caisson, ...) et de simplifier au maximum le procédé de fabrication, le rendant ainsi le moins coûteux possible.

En utilisant les règles de dessin du nœud technologique 45 nm de la société STMicroelectronics [Bœuf'05], une épaisseur optimale de BOX de 30 nm est trouvée. Cette épaisseur permet d'obtenir une SNM et une RNM autour de 200 mV (Figure 7.17.).

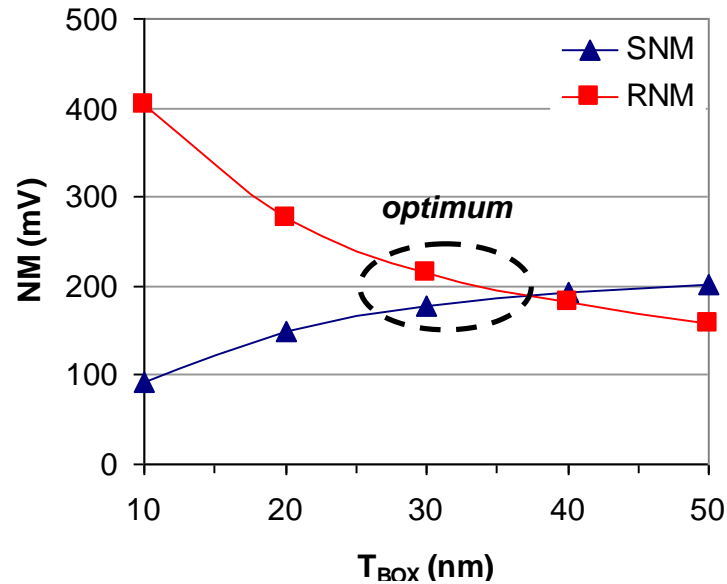


Figure 7.17. : Evolution de la marge au bruit en lecture (SNM) et en rétention (RNM) en fonction de  $T_{BOX}$  de la cellule SRAM 4T LL FDSOI simulée dans le nœud technologique 45 nm.

Cette épaisseur de BOX permet ainsi d'obtenir un courant de lecture de 17  $\mu A$  et un courant de fuite de 13 pA (Figure 7.18.).

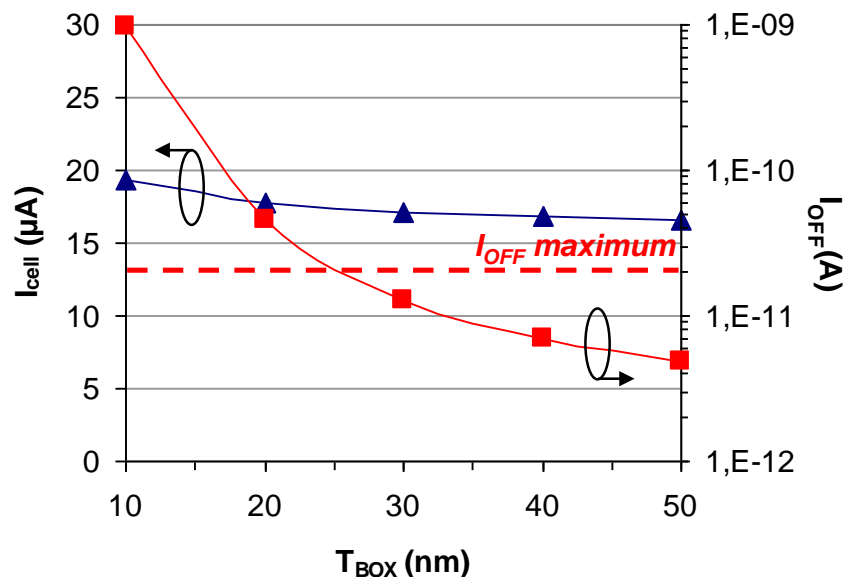
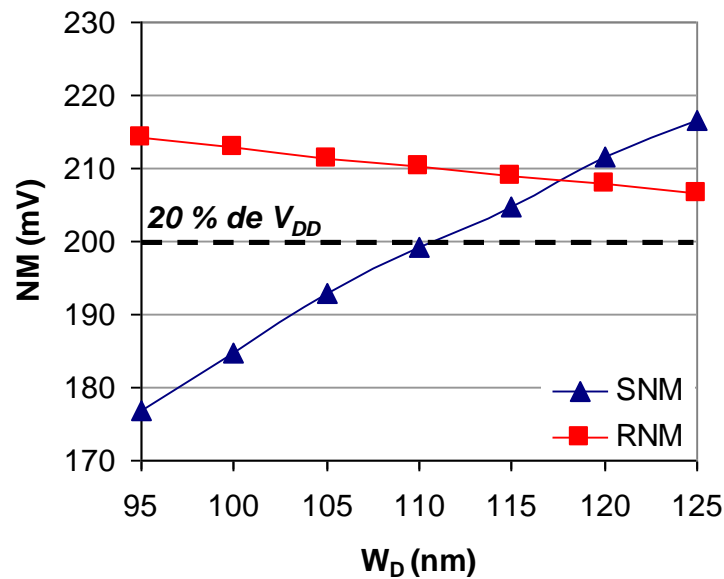


Figure 7.18. : Evolution du courant de lecture ( $I_{cell}$ ) et du courant de fuite ( $I_{OFF}$ ) en fonction de  $T_{BOX}$  de la cellule SRAM 4T LL FDSOI simulée dans le nœud technologique 45 nm.

La cellule a été dimensionnée de manière à être la plus dense possible, ce qui donne une largeur de transistors de conduction ( $W_D$ ) de 95 nm. Cette largeur permet d'obtenir une SNM de 177 mV, une RNM de 214 mV et une surface de 0,209  $\mu\text{m}^2$ . Pour optimiser la SNM tout en gardant la RNM supérieure, on se propose d'augmenter la largeur des transistors de conduction jusqu'à atteindre une SNM supérieure à 20 % de la tension d'alimentation (Figure 7.19.). Ainsi, une largeur de 115 nm est obtenue, fixant la surface de cellule à 0,224  $\mu\text{m}^2$  (*versus* 0,209  $\mu\text{m}^2$ ). Ainsi, deux versions de la cellule SRAM 4T LL FDSOI peuvent être proposées : haute densité et très haute densité.



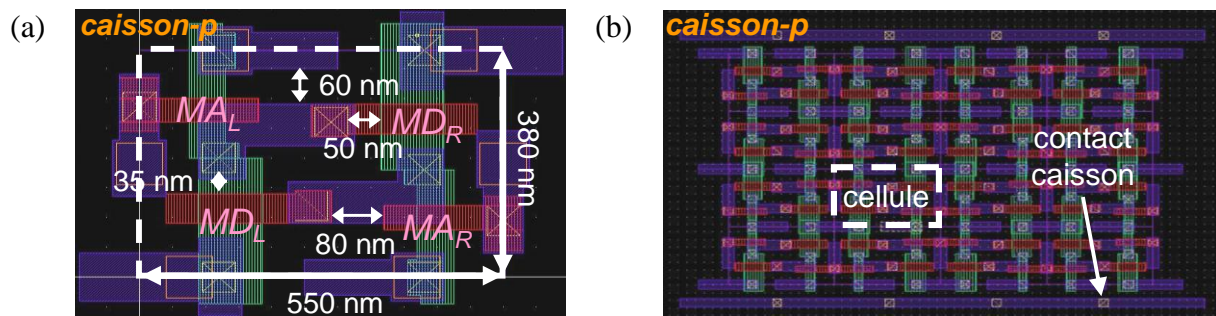
**Figure 7.19. :** Evolution de la marge de bruit en lecture (SNM) et en rétention (RNM) en fonction de  $W_D$  de la cellule SRAM 4T LL FDSOI simulée dans le nœud technologique 45 nm.

Le Tableau 7.2. récapitule les valeurs des principales caractéristiques statiques de la cellule SRAM 4T LL FDSOI proposée dans sa version haute densité (0,224  $\mu\text{m}^2$ ) et très haute densité (0,209  $\mu\text{m}^2$ ).

	haute densité	très haute densité
surface ( $\mu\text{m}^2$ )	0,224	0,209
$V_{DDnom}$ (V)	1	1
SNM (mV)	205	177
RNM (mV)	209	214
WM (mV)	224	196
$I_{cell}$ ( $\mu\text{A}$ )	17,1	17,1
$I_{OFF}$ (pA)	12,9	12,9

**Tableau 7.2. :** Valeurs des principales caractéristiques statiques (SNM, RNM, WM,  $I_{cell}$  et  $I_{OFF}$ ) de la cellule SRAM 4T LL FDSOI simulée dans le nœud technologique 45 nm.

La Figure 7.20. montre le layout de la cellule SRAM 4T LL FDSOI très haute densité et d'une matrice de cellules SRAM 4T LL FDSOI très haute densité. Un gain en surface de 16% est obtenu avec la cellule SRAM 4T LL FDSOI proposée par rapport à la cellule SRAM 6T très haute densité de la société STMicroelectronics [Bœuf'05] ( $0,209 \mu\text{m}^2$  *versus*  $0,248 \mu\text{m}^2$ ). Il est à noter que la cellule proposée n'a pas subi d'optimisations en termes de layout avec des outils spécialisés. Ce qui laisse encore une importante marge d'amélioration, rendant cette cellule encore plus attractive en termes de densité et de coût de fabrication.



**Figure 7.20. :** Vue layout (a) de la cellule SRAM 4T LL FDSOI très haute densité ( $0,209 \mu\text{m}^2$ ) et (b) d'une matrice de cellules SRAM 4T LL FDSOI très haute densité dessinés avec les règles de dessin du nœud technologique 45 nm de la société STMicroelectronics.

## 7.4. Conclusion

Il a été montré tout au long de ce chapitre que les avantages des transistors MOS multi- $V_T$  FDSOI, en termes de contrôle électrostatique du canal par la grille et de variabilité de la tension de seuil, permettaient d'améliorer nettement les performances des circuits numériques et SRAM aux transistors MOS multi- $V_T$  sur silicium massif. Ainsi, il a été montré que le temps de propagation d'un chemin critique du cœur de processeur ARM Cortex A9 était nettement diminué, surtout à faible tension d'alimentation. De plus, pour un même temps de propagation, il a été montré qu'une plus faible tension d'alimentation était nécessaire en technologie planaire FDSOI, ce qui permet de réduire de manière plus efficace la consommation globale du circuit. Il est à noter que le mode FBB est d'autant plus efficace que la tension d'alimentation est faible. Ce qui fait de la technologie planaire FDSOI, une technologie permettant d'adresser une large gamme de performances. Concernant les circuits SRAM, il a été montré que toutes les caractéristiques statiques de la cellule 6T étaient améliorées, à même tension d'alimentation, avec la technologie planaire FDSOI. De plus, il a aussi été montré qu'il était possible d'atteindre une tension minimale d'alimentation

inférieure à celle de la technologie planaire sur silicium massif (0,6 V *versus* 0,8 V), réduisant de manière plus efficace la consommation globale de la cellule. A cela s'ajoute aussi la possibilité de concevoir des cellules SRAM à 4T, donc plus dense que leurs homologues à 6T, performantes et stables sans utilisation d'un circuit externe de rafraichissement qui rendait leur intérêt limité en technologie planaire FDSOI. Cette performance est rendue possible grâce à la grande flexibilité d'utilisation des caissons en technologie planaire FDSOI.

Ces excellents résultats montrent clairement l'intérêt de la technologie planaire FDSOI pour améliorer le compromis performance/consommation des circuits intégrés dans les nœuds technologiques sub-32nm, et ce pour une plus large gamme de tensions d'alimentation.

## 7.5. Références bibliographiques

- [Arm'07] Site Internet officiel de la société ARM  
<http://www.arm.com/products/processors/cortex-a/cortex-a9.php>
- [Arnaud'09] F. Arnaud et al., *Competitive and Cost Effective high-k based 28nm CMOS Technology for Low Power Applications*, IEDM, 2009, pp. 651-654
- [Bœuf'05] F. Bœuf et al., *0.248 $\mu\text{m}^2$  and 0.334 $\mu\text{m}^2$  Conventional Bulk 6T-SRAM bit - cells for 45nm node Low Cost – General Purpose Applications*, Symposium on VLSI Technology Digest of Technical Papers, 2005, pp. 130-131
- [Silvaco'08] ATLAS User's Manual, SILVACO, 2008
- [Takeda'00] Koichi Takeda et al., *A 16Mb 400MHz Loadless CMOS Four-Transistor SRAM Macro*, ISSCC, 2000, pp. 264-265
- [Yamaoka'04] Masanao Yamaoka, Ken'ichi Osada, Ryuta Tsuchiya, Masatada Horiuchi, Shin'ichiro Kimura and Takayuki Kawahara, *Low Power SRAM Menu for SOC Application Using Yin-Yang-Feedback Memory Cell Technology*, Symposium on VLSI Circuits Digest of Technical Papers, 2004, pp. 288-291

## *Conclusion générale*





Le travail de recherche de cette thèse était de contribuer à la mise en place d'une plateforme de conception en technologie planaire FDSOI pour les nœuds technologiques sub-32 nm. Pour atteindre cet objectif, nous nous sommes intéressés aux éléments critiques en termes d'effets canaux courts et de variabilité de la tension de seuil, telles que les cellules standard et les cellules SRAM 6T. L'essentiel du travail a donc consisté à identifier les points faibles de ces éléments puis à utiliser les atouts de la technologie planaire FDSOI pour développer des solutions plus robustes et performantes.

Dans un premier temps, nous avons identifié les limites du transistor MOS sur silicium massif. Ainsi, il s'avère que dans les nœuds technologiques avancés, l'amélioration des performances du transistor MOS sur silicium massif est limitée essentiellement par trois éléments. Premièrement, les effets canaux courts qui détériorent le contrôle électrostatique du canal par la grille. Ce qui a pour conséquence d'augmenter les courants de fuite du dispositif, et donc sa consommation statique. Deuxièmement, la variabilité de la tension de seuil qui limite la diminution de la tension minimale d'alimentation. Ce qui a pour conséquence d'empêcher de réduire la consommation statique des circuits en mode *standby*. Troisièmement, le procédé de fabrication qui devient de plus en plus complexe et de plus en plus cher. Pour compenser les faiblesses du transistor MOS, des techniques de gestion de la consommation et de la vitesse ainsi que de compensation de la variabilité ont été développées au niveau circuit. Néanmoins, ces techniques sont très couteuses en termes de surface et vont être de moins en moins efficaces à chaque nouveau nœud technologique.

Pour apporter une réponse à ces problèmes, nous nous sommes intéressés aux technologies à film mince de silicium non dopé que sont la technologie FinFET et la technologie FDSOI. Ces deux technologies apportent une forte amélioration du contrôle électrostatique du canal par la grille, ce qui les rend moins sensibles aux effets canaux courts, et une faible variabilité de la tension de seuil. Ces deux atouts majeurs permettent de répondre aux deux premiers problèmes du transistor MOS sur silicium massif. Pour répondre au troisième problème, la technologie planaire FDSOI paraît être une solution adaptée. En effet, bien qu'elle soit moins performante que la technologie FinFET d'un point de vue électrostatique, elle présente l'avantage d'être une technologie planaire, et donc d'être moins en rupture d'un point de vue fabrication. Un autre avantage de cette technologie est de pouvoir moduler la tension de seuil en modulant la polarisation de sa grille arrière. Ce qui est un atout supplémentaire pour la gestion de la consommation et de la vitesse. Ainsi, les

techniques déjà développées en technologie planaire sur silicium massif pourront être réutilisées. Néanmoins, pour pouvoir adresser une large gamme de performances, la technologie planaire FDSOI doit disposer de transistors MOS multi- $V_T$ .

Ces transistors MOS multi- $V_T$  doivent néanmoins préserver le bon contrôle électrostatique du canal par la grille ainsi que la faible variabilité de la tension de seuil. De plus, ils ne doivent ni complexifier ni augmenter le coût du procédé de fabrication. Ce qui veut dire que les solutions consistant à doper le film mince de silicium ou à utiliser trois types de matériaux de grille sont à exclure. Pour répondre à ces exigences, nous avons donc privilégié la piste consistant à utiliser un BOX mince et des BP pour moduler la tension de seuil. Ainsi, nous avons montré qu'en combinant différents types de BP et polarisation, il était possible d'obtenir trois niveaux de tensions de seuil : HVT, RVT et LVT. Le tout, en n'utilisant qu'un seul type de grille avant, et donc en préservant la simplicité et le coût du procédé de fabrication. Ensuite, pour améliorer leur intégration au niveau circuit, nous avons montré qu'il était possible, en utilisant deux types de grille avec des travaux de sortie proche du *mid-gap*, de réaliser des transistors MOS multi- $V_T$  FDSOI facilement intégrables dans des circuits initialement conçus en technologie planaire sur silicium massif. Ce qui veut dire que le flot de conception et la topologie des circuits ne sont pas modifiés, facilitant ainsi le portage en technologie planaire FDSOI.

L'un des avantages majeurs de la technologie planaire FDSOI est de pouvoir moduler très efficacement la tension de seuil par sa grille arrière grâce à un excellent coefficient de couplage capacitif, qui correspond au *body factor* en technologie planaire sur silicium massif. En utilisant le même schéma d'intégration que celui de la technologie planaire sur silicium massif, l'exploitation de cet atout est fortement limitée. C'est pourquoi, nous avons développé un nouveau schéma d'intégration, spécifique à la technologie planaire FDSOI, qui permet d'exploiter au maximum, en utilisant un type de STI supplémentaire, la modulation de la tension de seuil par modulation de la tension de la grille arrière.

Enfin, pour montrer le gain supplémentaire que pouvait apporter la technologie planaire FDSOI au niveau circuit, nous avons simulé un chemin critique extrait du processeur ARM Cortex A9 et une cellule SRAM 6T haute densité (0,120  $\mu\text{m}^2$ ). Ainsi, nous avons montré, qu'à même consommation statique, les transistors MOS multi- $V_T$  que nous avons

développé permettaient d'augmenter significativement la vitesse du chemin critique, grâce notamment à un meilleur courant effectif. En outre, ce gain s'est avéré d'autant plus significatif que la tension d'alimentation était faible. Ce qui montre que la technologie planaire FDSOI permet d'adresser une large gamme de performance en utilisant une large gamme de tensions d'alimentation, ceci grâce à un meilleur DIBL et une meilleure pente sous le seuil. En ce qui concerne la cellule SRAM 6T, il a été montré qu'elle présentait une meilleure stabilité, aussi bien en mode lecture qu'en mode écriture, à même tension d'alimentation. De plus, son courant de lecture était aussi amélioré et son courant de fuite diminué. Aussi, grâce à sa plus faible variabilité de tensions de seuil, la cellule SRAM 6T basée sur la technologie planaire FDSOI présentait, à même rendement, une tension minimale d'alimentation plus faible (0,6 V *versus* 0,8 V). Ce qui permet de réduire de manière plus efficace la consommation statique du circuit en mode *standby*. Pour finir, nous avons montré, grâce à la grande flexibilité de la technologie planaire FDSOI en termes d'utilisation des caissons et des BP, qu'il était possible de concevoir des cellules SRAM 4T sans circuit externe de rafraichissement pour améliorer sa stabilité.

Cette flexibilité de la technologie planaire FDSOI doit être exploitée pour concevoir des circuits encore plus performants, et surtout adressant une large gamme de tension d'alimentation. Pour ce faire, la tension de polarisation de la grille arrière doit être exploitée au maximum au niveau circuit et ne pas être bridée par des limitations au niveau fabrication. C'est pourquoi, l'utilisation d'un schéma d'intégration spécifique doit être une nécessité.



# *Productions scientifiques*

## *Journaux*

**“Multi- $V_T$  UTBB FDSOI Device Architecture for Low Power CMOS Circuit”**, Jean-Philippe Noel, Olivier Thomas, Marie-Anne Jaud, Olivier Weber, Thierry Poiroux, Claire Fenouillet-Beranger, Pierrette Rivallin, Pascal Scheiblin, François Andrieu, Maud Vinet, Olivier Rozeau, Frederic Boeuf, Olivier Faynot and Amara Amara, *IEEE Transactions on Electron Devices*, Volume 58, Issue 8, August 2011, pp. 2473-2482

## *Conférences*

**“Can We Go Towards True 3-D Architectures?”**, Pierre-Emmanuel Gaillardon, M. Haykel Ben Jamaa, Paul-Henry Morel, Jean-Philippe Noël, Fabien Clermidy and Ian O’Connor, *DAC 2011*, pp. 282-283

**“Ultra-Thin Body and Buried Oxide (UTBB) FDSOI technology with low variability and power management capability”**, J. Mazurier, O. Weber, F. Andrieu, A. Toffoli, F. Allain, O. Thomas, J-P. Noel, M. Belleville and O. Faynot, *VARI 2011*

**“Low power UTBOX and Back Plane (BP) FDSOI technology for 32nm node and below”**, C. Fenouillet-Beranger, P. Perreau, L. Tosti, O. Thomas, J-P. Noel, T. Benoist, O. Weber, F. Andrieu, A. Bajolet, S. Haendler, M. Cassé, X. Garros, K.K. Bourdelle, F. Boedt, O. Faynot, F. Boeuf, *Invited paper at ICICDT 2011*

**“Work-function Engineering in Gate First Technology for Multi- $V_T$  Dual-Gate FDSOI CMOS on UTBOX”**, O. Weber, F. Andrieu, J. Mazurier, M. Cassé, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Béranger, S. Barnola, R. Gassilloud, C. Arvet, O. Thomas,

J.-P. Noel, O. Rozeau, M-A. Jaud, T. Poiroux, D. Lafond, A. Toffoli, F. Allain, C. Tabone, L. Tosti, L. Brévard, P. Lehnen, U. Weber, P.K. Baumann, O. Boissiere, W. Schwarzenbach, K. Bourdelle, B-Y Nguyen, F. Bœuf, T. Skotnicki, and O. Faynot, *Invited paper at IEDM 2010*, pp. 58-61

**“Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond”**, O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J.-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brévard, C. Tabone, P. Gaud, S. Barraud, T. Ernst and S. Deleonibus, *IEDM 2010*, pp. 50-53

**“UT2B-FDSOI Device Architecture Dedicated to Low Power Design Techniques”**, J.-P. Noel, O. Thomas, M.-A. Jaud, C. Fenouillet-Beranger, P. Rivallin, P. Scheiblin, T. Poiroux, F. Boeuf, F. Andrieu, O. Weber, O. Faynot and A. Amara, *ESSDERC 2010*, pp. 210-213

**“Efficient Multi- $V_T$  FDSOI technology with UTBOX for low power circuit design”**, C. Fenouillet-Beranger, O. Thomas, P. Perreau, J.-P. Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, F. Baron, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, M. Cassé, C. Borowiak, O. Weber, F. Andrieu, K.K. Bourdelle, B.Y. Nguyen, F. Boedt, S. Denorme, F. Boeuf, O. Faynot, T. Skotnicki, *Symposium on VLSI Technology 2010*, pp. 65-66

**“Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond”**, F. Andrieu, O. Weber, J. Mazurier, O. Thomas, J.-P. Noel, C. Fenouillet-Beranger, J-P. Mazellier, P. Perreau, T. Poiroux, Y. Morand, T. Morel, S. Allegret, V. Loup, S. Barnola, F. Martin, J-F. Damlencourt, I. Servin, M. Cassé, X. Garros, O. Rozeau, M-A. Jaud, G. Cibrario, J. Cluzel, A. Toffoli, F. Allain, R. Kies, D. Lafond, V. Delaye, C. Tabone, L. Tosti, L. Brévard, P. Gaud, V. Paruchuri, K.K. Bourdelle, W. Schwarzenbach, O. Bonnin, B-Y. Nguyen, B. Doris, F. Bœuf, T. Skotnicki, O. Faynot, *Symposium on VLSI Technology 2010*, pp. 57-58

**“32nm and beyond Multi- $V_T$  Ultra-Thin Body and BOX FDSOI: From Device to Circuit”**, O. Thomas, J.-P. Noel, C. Fenouillet-Beranger, M.-A. Jaud, J. Dura, P. Perreau, F.

Boeuf, F. Andrieu, D. Delprat, F. Boedt, K. Bourdelle, B.-Y. Nguyen, A. Vladimirescu and A. Amara, *Invited paper at ISCAS 2010*, pp. 1703-1706

**“Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology”**, C. Fenouillet-Beranger, P. Perreau, L. Pham-Nguyen, S. Denorme, F. Andrieu, L. Tosti, L. Brevard, O. Weber, S. Barnola, T. Salvétat, X. Garros, M. Cassé, C. Leroux, J.P. Noel, O. Thomas, B. Le-Gratiet, F. Baron, M. Gatefait, Y. Campidelli, F. Abbate, C. Perrot, C. de-Buttet, R. Beneyton, L. Pinzelli, F. Leverd, P. Gouraud, M. Gros-Jean, A. Bajolet, C. Mezzomo, C. Leyris, S. Haendler, D. Noblet, R. Pantel, A. Margain, C. Borowiak, E. Josse, N. Planes, D. Delprat, F. Boedt, K. Bourdelle, B.Y. Nguyen, F. Bœuf, O. Faynot, T. Skotnicki, *IEDM 2009*, pp. 667-670

**“Ultrathin Body and BOX SOI and sSOI for Low Power Application at the 22nm technology node and below”**, F. Andrieu, C. Fenouillet-Béranger, O. Weber, S. Baudot, C. Buj, J.-P. Noel, O. Thomas, O. Rozeau, P. Perreau, L. Tosti, L. Brévard, O. Faynot, *Invited paper at SSDM 2009*

**“A Simple and Efficient Concept for Setting up Multi- $V_T$  Devices in Thin BOx Fully-Depleted SOI Technology”**, J.-P. Noel, O. Thomas, C. Fenouillet-Beranger, M.-A. Jaud, P. Scheiblin, and A. Amara, *ESSDERC 2009*, pp. 137-140

**“Robust Multi- $V_T$  4T SRAM Cell in 45nm Thin BOx Fully-Depleted SOI Technology with Ground Plane”**, J.-P. Noel, O. Thomas, C. Fenouillet-Beranger, M.-A. Jaud, and A. Amara, *ICICDT 2009*, pp. 191-194

## *Brevets*

**“Circuit intégré en technologie FDSOI avec partage de caisson et moyens de polarisation des plans de masse (BP) de dopage opposés présents dans un même caisson”**, J.-P. Noel, B. Giraud, O. Thomas

**“Circuit intégré réalisé en SOI comprenant des cellules adjacentes de différents types”**,  
J.-P. Noel, O. Thomas, B. Giraud

**“Circuit intégré réalisé en SOI présentant des transistors à tensions de seuil distinctes”**,  
O. Thomas, J.-P. Noel

## *Articles*

**“White paper: Considerations for Bulk CMOS to FD-SOI Design Porting”**, X. Cauchy (SOITEC), J.-L. Pelloie (ARM), B. Giraud (CEA), J.-P. Noel (CEA), O. Faynot (CEA), O. Thomas (CEA), D. Flandre (UCL), D. Bol (UCL), G. Starkey (IBM), S. Kengeri (GlobalFoundries), H. Mendez (SOI Industry Consortium), <http://www.soiconsortium.org>,  
*August 2011*









