



THÈSE

Pour l'obtention du Grade de

DOCTEUR DE L'UNIVERSITÉ AIX-MARSEILLE I

École doctorale Sciences pour l'ingénieur : Mécanique, Physique, Micro et Nanoélectronique
(ED353)

SPÉCIALITÉ : Microélectronique

Présentée par

Oussama FRIOUI

Conception et Optimisation d'Architectures Radiofréquences pour la Réjection du Signal Image : Applications aux Systèmes de Radiocommunications et Liaisons de Proximité

Soutenance prévue le 08 Décembre 2011 devant le jury :

| | | |
|----------------------------|---|-----------------------|
| MME. CATHERINE ALGANI | Professeur, CNAM de Paris | Rapporteur |
| M. RAPHAËL GILLARD | Professeur, IETR, INSA de Rennes | Rapporteur |
| M. LAKHDAR ZAÏD | HDR, IM2NP, Université de Provence (U1) | Directeur de thèse |
| M. WENCESLAS RAHAJANDRAIBE | Maître de conférences, IM2NP, U1 | Co-directeur de thèse |
| M. HERVE BARTHELEMY | Professeur, IM2NP, Université de Toulon | Co-directeur de thèse |
| MME. ANNIE PEREZ | HDR, IM2NP, Université de Provence (U1) | Invité |
| MME. ALBANE SANGIOVANNI | Maître de conférences, IM2NP, U3 | Invité |

*L'imagination est plus importante que la connaissance,
car la connaissance est limitée.*

Albert Einstein



Je dédie ce mémoire...

... à mes parents ...

... à mon frère et mes sœurs ...

... à tous ceux qui me sont chers.

Remerciements

Les travaux présentés dans ce mémoire ont été effectués à l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP), UMR CNRS 6242, au sein de l'équipe Conception de Circuits Intégrés (CCI). Je tiens donc à remercier, en premier lieu, Monsieur Rachid BOUCHAKOUR, Directeur de l'IM2NP, de m'avoir accueilli au sein de son laboratoire mais aussi pour la confiance qu'il m'a accordée et son soutien.

Ce travail a été conduit sous la direction de Monsieur Lakhdar ZAID, HDR et Maître de Conférences l'Université d'Aix-Marseille I (U1), et sous la co-direction de Monsieur Hervé BARTHELEMY, Professeur à l'Université de Toulon et responsable de l'équipe CCI, et Monsieur Wenceslas RAHAJANDRAIBE, Maître de Conférences à l'U1. Je tiens à les remercier pour leur confiance, leur disponibilité et leur soutien permanent qui m'ont permis de mener cette thèse à son terme. Leurs conseils précieux et rigueur scientifique m'ont aidé à me préparer à ma future carrière dans la recherche et le développement.

Je tiens à remercier l'ensemble des membres du jury et tout d'abord, Madame Catherine ALGANI et Monsieur Raphaël GILLARD d'avoir accepté de juger ce travail en qualité de rapporteur. Mes remerciements vont également à Madame Albane SANGIOVANNI et Madame Annie PEREZ qui ont accepté d'être membre du jury.

L'accueil et l'ambiance au sein du laboratoire IM2NP ont fortement influé sur le plaisir que j'ai éprouvé à être thésard. Je remercie donc toutes celles et tous ceux qui y ont contribué d'une manière ou d'une autre. Cette thèse m'a donné l'occasion de connaître des personnes que je n'aurai pas pu rencontrer autrement. Un grand merci donc à Fayrouz HADDAD, avec qui j'ai accompli de nombreux travaux de recherche et partagé plusieurs discussions interminables. Je tiens aussi à remercier Albane pour son aide et son soutien lors des lectures répétitives du manuscrit. Je remercie aussi mes compagnons de route : Samir, Hassan, Badie, Marc, Yannick, Olivier, Rémy, Thibaut, Jérémy, Patrick, Anthony, Jean-René, Manon.

Je tiens également à remercier mes collègues « permanents » et secrétaires à l'IM2NP pour cette agréable ambiance durant mes années de thèse. Je ne peux m'empêcher d'avoir une pensée pour Mme Francine VERIN, qui fut gestionnaire financière au CNRS, pour sa

gentillesse et sa bonne humeur qui rendent les tâches administratives moins pénibles et à tous ceux que j'ai rencontrés lors de projets de recherche ou dans des groupes de travail. Il ne m'est pas possible de mettre, ici, un mot pour chacun mais chacun se reconnaîtra en lisant ces lignes.

Enfin, des remerciements plus personnels. Ce manuscrit représente une occasion d'exprimer mon bonheur de partager des moments forts avec les personnes qui me sont proches. Je pense bien sûr à toute ma famille et à mes amis, sans qui je n'aurais pas pu accomplir cette thèse. Je ne saurais remercier assez mon père et ma mère qui m'ont encouragé tout au long de mes études.

J'adresse également mes sincères remerciements à tous mes amis que j'ai côtoyés en France (Rennes, Marseille, Paris, Montpellier, Lille), que ce soit en période de stress ou de grande fête. A Karim, Elmamoune, Ridha, Adel, Chaker, Briki, Yassine, Hatem, Omar, Khalid, Badie... Aussi à mes amis de l'autre côté de la méditerranée, pour leurs messages de motivation et d'encouragement malgré la distance. Merci à Emna, Chayma, Rim, Kamel, Chokri, Jamel, Kais, Farhat et Kati.

Enfin, je remercie les personnes qui me sont chères, mes parents Sadok et Beya sans qui je n'aurais jamais pu faire mes études, mon frère Achref, mes sœurs Ines, Insaf et Ichrak, mes grands-parents, et bien sûr mon cher Lotfi que je considère comme un grand frère. Tous m'ont épaulés durant la rédaction. Je vous dédie cette thèse.

Que ce mémoire soit pour tous un témoignage de ma gratitude.

Merci à tous et bonne lecture !

TABLE DES MATIERES

| | |
|---|-----------|
| Liste des abréviations..... | 8 |
| Introduction générale..... | 10 |
| <u>Chapitre I: Récepteurs RF : Architectures et Réjection d'Image</u> | |
| I.1. Introduction..... | 14 |
| I.2. Systèmes de Radiocommunication..... | 14 |
| I.2.1. Présentation | 14 |
| I.2.2. Evolution des standards de communications sans fil..... | 15 |
| I.3. Architectures classiques des récepteurs RF..... | 18 |
| I.3.1. Problème de Réjection de la Fréquence Image..... | 19 |
| I.3.2. Architectures de récepteurs RF..... | 20 |
| I. 3.2.1. Architecture Hétérodyne | 20 |
| I. 3.2.2. Architecture Homodyne (Zéro-FI, 0-IF)..... | 22 |
| ▪ <i>Les problèmes liés à la composante continue « offsets-DC »</i> | 23 |
| ▪ <i>Les problèmes liés au bruit en 1/f</i> | 24 |
| ▪ <i>Les distorsions d'ordre pair</i> | 24 |
| ▪ <i>Les problèmes liés au désappariement (« mismatch ») entre les voies I et Q</i> | 25 |
| I. 3.2.3. Architecture Faible FI (Low-IF) | 25 |
| I.3.3. Comparaison des architectures de récepteurs RF | 26 |
| I.3.4. Discussion générale pour le choix de l'architecture du récepteur..... | 27 |
| I. 3.4.1. Caractéristiques techniques..... | 27 |
| I. 3.4.2. Spécifications et contraintes de fonctionnement..... | 28 |
| I. 3.4.3. Choix architectural..... | 28 |
| I.4. Architectures et Techniques de Réjection de la Fréquence Image | 29 |
| I.4.1. Architectures à Réjection d'Image | 29 |
| I. 4.1.1. Architecture de Hartley..... | 29 |
| I. 4.1.2. Architecture de Weaver | 31 |

| | | |
|-------------|--|-----------|
| I. 4.1.3. | Architecture à Double Conversion en Quadrature | 35 |
| I.4.2. | Principales Techniques de réjection du signal image | 36 |
| I. 4.2.1. | Technique de Razavi et Montemayor | 36 |
| I. 4.2.2. | Technique de Razavi et Der | 37 |
| I. 4.2.3. | Technique d'Elmala et Embabi..... | 38 |
| I. 4.2.4. | Technique de Vitali, Franchi et Gnudi (V.F.G) | 40 |
| I. 4.2.5. | Comparaison des techniques utilisées dans les systèmes à réjection de la fréquence image | 41 |
| I.5. | Définition du cadre pour ce travail de recherche..... | 43 |
| I.6. | Conclusion | 43 |
| I.7. | Références..... | 44 |

Chapitre II: Techniques de Génération de Signaux en Quadrature

| | | |
|--------------|--|-----------|
| II.1. | Introduction..... | 50 |
| II.2. | Oscillateurs LC et Oscillateurs en Anneau | 50 |
| II.2.1. | Le bruit de phase dans les oscillateurs..... | 51 |
| II.2.2. | Oscillateur LC | 53 |
| II.2.3. | Oscillateur en anneau..... | 54 |
| II.2.4. | Analyse et discussion..... | 55 |
| II.3. | Techniques de génération de signaux en quadrature..... | 56 |
| II.3.1. | Division de Fréquence | 57 |
| II.3.2. | Filtre Polyphase : Conception et Réalisation | 58 |
| II. 3.2.1. | Principe de fonctionnement d'un FPP..... | 59 |
| II. 3.2.2. | Modélisation d'un filtre polyphase passif..... | 61 |
| ▪ | <i>Cas d'un filtre idéal.....</i> | <i>61</i> |
| ▪ | <i>Analyse de l'influence des variations du procédé technologique.....</i> | <i>63</i> |
| ▪ | <i>Analyse de l'influence des disparités de composants.....</i> | <i>65</i> |
| II. 3.2.3. | Performances | 66 |
| ▪ | <i>FPP RF Générateur de quadrature</i> | <i>66</i> |
| ▪ | <i>FPP RF pour la suppression de la fréquence image</i> | <i>67</i> |
| II. 3.2.4. | Configuration du banc de test | 69 |
| II. 3.2.5. | Résultats de mesure | 70 |

| | | |
|--|---|------------|
| II.3.3. | Oscillateur en Quadrature : Conception et Réalisation | 72 |
| II. 3.3.1. | Bases et description d'un QVCO de type LC | 73 |
| II. 3.3.2. | Méthode de conception | 73 |
| | ▪ <i>Couplage de deux oscillateurs</i> | 74 |
| | ▪ <i>Conception de l'étage tampon</i> | 77 |
| | - <i>Gain</i> | 78 |
| | - <i>Linéarité</i> | 79 |
| II. 3.3.3. | Performances | 79 |
| | ▪ <i>Implémentation du QVCO</i> | 79 |
| | ▪ <i>Performances du QVCO</i> | 81 |
| II.4. | Conclusion | 84 |
| II.5. | Références | 85 |
| <u>Chapitre III: Technique de Correction d'erreurs de Gain au sein des architectures « Half-Complex »</u> | | |
| III.1. | Introduction | 89 |
| III.2. | Rappel sur l'architecture « Half-Complex » et modélisation du désappariement de phase et d'amplitude | 89 |
| III.2.1. | Rappel sur l'architecture « Half-Complex »..... | 89 |
| III.2.2. | Modélisation du désappariement de phase et d'amplitude | 91 |
| III.3. | Système de calibrage proposé | 93 |
| III.3.1. | Principe de notre système de correction et de contrôle d'erreurs proposé | 93 |
| III.3.2. | Proposition de l'architecture | 94 |
| III.3.3. | Modélisation et simulation de la solution proposée | 95 |
| III.3.4. | Calcul des performances de la Boucle en termes d'IRR | 97 |
| III. 3.4.1. | Influence du gain de l'amplificateur d'erreur sur notre Boucle..... | 101 |
| III. 3.4.2. | Influence de la constante A_0 sur notre Boucle | 101 |
| III. 3.4.3. | Influence des offsets sur notre Boucle..... | 102 |
| | ▪ <i>Influence de O_2</i> | 103 |
| | ▪ <i>Influence de O_1</i> | 105 |
| III.4. | Application de notre Boucle pour l'architecture de Weaver | 106 |

| | | |
|---|--|------------|
| III.4.1. | Modélisation du désappariement de phase et d'amplitude | 106 |
| III.4.2. | Résultats de simulation de notre solution | 108 |
| III.5. | Conception et validation de notre Boucle | 110 |
| III.5.1. | Calculateur d'erreur..... | 110 |
| III. 5.1.1. | Solution proposée par RAZAVI et DER | 111 |
| III. 5.1.2. | Solution proposée par ELMALA et EMBABI | 111 |
| III. 5.1.3. | Notre solution proposée..... | 112 |
| III.5.2. | Filtre de Boucle | 114 |
| III. 5.2.1. | Conception de l'OTA | 115 |
| III. 5.2.2. | Synthèse du Filtre | 116 |
| III. 5.2.3. | Implémentation et Performances du filtre de Boucle | 117 |
| III.6. | Conclusion | 118 |
| III.7. | Références..... | 118 |
| | | |
| <u>Chapitre IV: Technique de Correction d'erreurs de Gain au sein des architectures « Full-Complex »</u> | | |
| IV.1. | Introduction..... | 122 |
| IV.2. | Rappel sur l'architecture « Full-Complex » | 122 |
| IV.3. | Technique proposée de correction des erreurs de gain au sein des architectures « Full-Complex » | 124 |
| IV.3.1. | Mélangeur passif et mélangeur actif..... | 124 |
| IV. 3.1.1. | Mélangeur actif (Mélangeur de Gilbert)..... | 125 |
| IV. 3.1.2. | Mélangeur passif | 126 |
| IV. 3.1.3. | Comparaison des caractéristiques des deux structures de mélangeurs | 128 |
| IV.3.2. | Mélangeur en double quadrature | 131 |
| IV. 3.2.1. | Principe et etude théorique | 132 |
| IV. 3.2.2. | Technique proposée de correction des erreurs d'amplitude..... | 133 |
| IV.3.3. | Conception de la technique proposée..... | 134 |
| IV. 3.3.1. | Mélangeur en double quadrature passif..... | 134 |
| IV. 3.3.2. | OTA..... | 135 |
| IV. 3.3.3. | Étage tampon | 137 |

| | | |
|--------------|--|------------|
| IV. 3.3.4. | QVCO en anneau..... | 138 |
| IV.3.4. | Performances de la technique proposée | 142 |
| IV.4. | Architecture de réception RF « Full-Complex » proposée | 144 |
| IV.4.1. | Conception des Filtres Polyphases (RF&FI)..... | 145 |
| IV. 4.1.1. | Rappel sur le bloc Filtre Polyphase RF | 145 |
| IV. 4.1.2. | Rappel sur le bloc Filtre Polyphase FI..... | 146 |
| IV.4.2. | Rappel sur le bloc mélangeur & OTA..... | 149 |
| IV.4.3. | Résultats de simulation (PLS) de l'architecture proposée..... | 151 |
| IV. 4.3.1. | Réjection du signal image..... | 151 |
| IV. 4.3.2. | Figure de bruit | 154 |
| IV. 4.3.3. | Linéarité..... | 155 |
| IV. 4.3.4. | Consommation en courant | 155 |
| IV. 4.3.5. | Bilan | 155 |
| IV.5. | Conclusion | 157 |
| IV.6. | Références..... | 157 |
| | Conclusion générale | 163 |
| | ANNEXE 1 : Calcul de l'IRR au sein des architectures de Weaver, Hartley et la Double Conversion en Quadrature | 164 |
| | ANNEXE 2 : Modélisation des Filtres Polyphases Passifs..... | 169 |
| | ANNEXE 3 : Codes sources des programmes Matlab® | 172 |
| | ANNEXE 4 : Calcul détaillé de la cellule 'Calculateur'..... | 180 |
| | ANNEXE 5 : Rappel sur les graphes de fluence..... | 184 |
| | ANNEXE 6 : Liste des Publications..... | 187 |

LISTE DES ABREVIATIONS

La signification d'une abréviation ou d'un sigle n'est souvent indiquée que lors de sa première apparition dans le texte de ce manuscrit. Il existe, dans la plupart des cas, une abréviation en français et une abréviation en anglais mais il est fréquent d'utiliser l'abréviation la plus usuelle, celle-ci étant le plus souvent celle en anglais.

| | |
|--------------------|---|
| 2G | <i>2^{ème} Génération de téléphonie mobile</i> |
| 3G | <i>3^{ème} Génération de téléphonie mobile</i> |
| 4G | <i>4^{ème} Génération de téléphonie mobile</i> |
| BER | <i>Bit Error Ratio (taux d'erreur binaire)</i> |
| BiCMOS | <i>Bipolar-CMOS</i> |
| BAW | <i>Bulk Acoustic Wave</i> |
| CAN | <i>Convertisseur Analogique Numérique</i> |
| CDMA | <i>Code Division Multiple Access</i> |
| (C)MOS | <i>(Complementary) Metal Oxide Semiconductor</i> |
| DECT | <i>Digital Enhanced Cordless Telecommunications</i> |
| DSFH | <i>Dynamic Slow-Frequency Hopping</i> |
| DSP | <i>Digital Signal Processing</i> |
| DSSS | <i>Direct-Sequence Spread Spectrum</i> |
| DVB - C/T/H | <i>Digital Video Broadcasting – Cable / Terrestrial / Handhelds</i> |
| EDGE | <i>Enhanced Data rate for GSM Evolution</i> |
| ETSI | <i>European Telecommunications Standards Institute</i> |
| FI | <i>Fréquence Intermédiaire</i> |
| GFSK | <i>Gaussian Frequency-Shift Keying</i> |
| GMSK | <i>Gaussian Minimum-Shift Keying</i> |
| GPRS | <i>General Packet Radio Service</i> |
| GPS | <i>Global Positioning System</i> |
| GSM | <i>Global System for Mobile Communications</i> |

| | |
|---------------|--|
| IEEE | <i>Institute of Electrical and Electronics Engineering</i> |
| IIP3 | <i>Input 3rd order intercept Point</i> |
| IP | <i>Internet Protocol</i> |
| IRR | <i>Image Rejection Ratio</i> |
| ISM | <i>Industrial, Scientific and Medical</i> |
| LNA | <i>Low-Noise Amplifier</i> |
| MIM | <i>Metal-Insulator-Metal</i> |
| MIMO | <i>Multiple-Input Multiple-Output</i> |
| MOM | <i>Metal-Oxyde-Metal</i> |
| OFDM | <i>Orthogonal Frequency Division Multiplexing</i> |
| OIP3 | <i>Output 3rd order intercept Point</i> |
| OL | <i>Oscillateur Local</i> |
| PDC | <i>Personal Digital Cellular</i> |
| PPF | <i>Passive Polyphase Filter</i> |
| QPSK | <i>Quadrature Phase-Shift Keying</i> |
| RF | <i>Radio Fréquences</i> |
| Rx | <i>Réception</i> |
| SAW | <i>Surface Acoustic Wave</i> |
| SiP | <i>System in Package</i> |
| SoC | <i>System-on-Chip</i> |
| SS-LMS | <i>Sign-Sign Least Mean Square</i> |
| TDMA | <i>Time Division Multiple Access</i> |
| Tx | <i>Transmission (Emission)</i> |
| UMTS | <i>Universal Mobile Telecommunication System</i> |
| UWB | <i>Ultra Wide Band</i> |
| VCO | <i>Voltage-Controlled Oscillator</i> |
| WCDMA | <i>Wideband Code Division Multiple Access</i> |
| WiFi | <i>Wireless Fidelity (ou IEEE802.11b Direct Sequence)</i> |
| WiMAX | <i>Worldwide Interoperability for Microwave Access</i> |
| WLAN | <i>Wireless Local Area Network</i> |
| WPAN | <i>Wireless Personal Area Network</i> |

Introduction

Introduction Générale

Avec l'augmentation de travailleurs mobiles et celle du nombre de périphériques portables, nous demandons toujours plus de connectivité mobile au réseau de données. Cette demande a créé un marché pour des services sans fil offrant plus de flexibilité, de couverture et de sécurité. Nous assistons alors à l'apparition d'une multitude de nouvelles technologies : PDA, Téléphone portables, claviers et souris sans fil, ...

Chaque application sans fil impose des contraintes spécifiques réparties sur chacun des blocs de la chaîne d'émission-réception radiofréquences. Aussi, afin de respecter la miniaturisation des systèmes de radiocommunications sans fil, il devient nécessaire de développer de nouvelles architectures multistandards. La solution idéale serait alors d'échantillonner l'information au plus près possible de l'antenne et de réaliser un traitement entièrement numérique évitant ainsi l'utilisation de dispositifs analogiques. Mais, les limitations technologiques et architecturales actuelles ne permettent pas d'avoir recours à cette alternative. Ainsi, une solution intermédiaire serait de rendre reconfigurable chaque bloc constitutif de la chaîne d'émission-réception.

Le développement de la radiocommunication sans fil et notamment, son explosion sur le marché grand public, a été rendu possible grâce au progrès du secteur de la microélectronique. En effet, l'intégration toujours croissante de fonctions au sein d'une même puce a permis le développement de ces nouvelles technologies basses consommations et à un moindre coût.

Les travaux de recherche présentés dans ce manuscrit s'inscrivent dans le cadre de ces deux caractéristiques (faible coût et faible consommation). Nous avons donc développé deux solutions innovantes d'architectures radiofréquences : « *half-complex* » et « *full-complex* » en technologie CMOS. En effet, cette technologie représente la meilleure alternative car elle permet l'implémentation de fonctions RF analogique et numérique sur une même puce réduisant ainsi le coût du système.

Ce manuscrit est divisé en quatre chapitres. Le premier chapitre présente le contexte dans lequel s'inscrit cette thèse. Les standards de communications sans fil actuels et les systèmes de transmissions radiofréquences y sont présentés de manière non exhaustive. Nous présenterons, ensuite, les différentes architectures des chaînes de réception utilisées dans la littérature ainsi qu'une analyse de leurs principales caractéristiques. La réjection de la fréquence image apparaît donc comme un des critères de performances d'un récepteur RF.

Le deuxième chapitre présente les principales méthodes permettant de générer des signaux en quadrature de phases à savoir : la combinaison d'un diviseur de fréquence et d'un

oscillateur, la combinaison d'un oscillateur avec un filtre polyphases et la combinaison de deux oscillateurs LC. Compte tenu des problèmes propres à chacune des deux premières architectures citées ci-dessus, nous nous sommes intéressés à l'obtention de signaux en quadrature de phases en combinant deux oscillateurs LC. Nous avons ainsi étudié les performances du dispositif en termes de bruit de phase. L'appariement des signaux a été quantifié et amélioré en proposant des méthodes simples.

Le troisième chapitre traite de la conception d'une nouvelle architecture de réception RF « *half-complex* » combinée avec une technique originale de correction des erreurs de gain afin d'obtenir de meilleures performances en termes de réjection du signal image. En effet, cette technique sera intégrée au sein de l'architecture de Weaver pour valider son fonctionnement et démontrer l'amélioration significative de la réjection du signal image.

Le quatrième chapitre est organisé en deux parties. La première partie présente la conception d'une nouvelle architecture de réception RF « *full-complex* » combinée avec une autre technique originale de correction des erreurs de gain. La seconde partie de ce chapitre concerne la réalisation d'une chaîne de réception RF qui a été conçue afin d'évaluer les performances en termes de réjection de la fréquence image et notamment celles de la technique proposée dans le cadre de ce travail. Les caractéristiques de la tête-RF obtenues sont présentées tout en analysant l'impact des désappariements d'amplitude sur la réjection d'image.

Nous concluons enfin par une synthèse globale de nos travaux et envisagerons les perspectives sur l'optimisation de nos deux techniques proposées.

Chapitre 1

Récepteurs RF : Architectures et Réjection d'Image

Résumé – Ce premier chapitre introduit le contexte de l'étude et montre les problématiques associées. Nous présenterons tout d'abord l'évolution des systèmes de transmission radiofréquence et les standards de communication sans fil actuels. Nous analyserons, ensuite, les différents types d'architectures des récepteurs RF et détaillerons leurs principales caractéristiques. Cette étude permettra de souligner l'importance de la réjection du signal image comme un des critères de performances essentiel d'un récepteur RF.

I.1. INTRODUCTION

Aujourd'hui, il convient de constater que le développement des techniques nécessaires à la mise en place des systèmes sans fil et radio-mobiles se sont largement développées. Ces systèmes constituent un domaine en pleine expansion possédant de nombreuses applications potentielles et ayant des contraintes relativement différentes des systèmes de communications sans fils classiques. Ce chapitre d'introduction va permettre de comprendre les différentes contraintes pour la conception d'une chaîne de réception RF. Par conséquent, une première partie introduira succinctement les différents standards de communication et le problème de coexistence mutuelle de ces standards dans la bande ISM 2.4 GHz tels que le Bluetooth ou le WLAN (*Wireless Local Area Network*). La seconde partie détaillera différentes architectures classiques de récepteurs RF et introduira le problème de la réjection de la fréquence image. La troisième partie sera dédiée aux récepteurs basés sur des architectures à réjection d'image. La quatrième partie exposera un état de l'art des différentes techniques de calibrage des erreurs de phase et d'amplitude au sein des différents systèmes de récepteurs RF. Enfin, la dernière partie permettra de présenter le cadre de ce travail de recherche.

I.2. SYSTEMES DE RADIOCOMMUNICATION

I.2.1. PRESENTATION

Un système de radiocommunication utilise les propriétés de propagation des ondes radiofréquences (RF) pour transmettre une information comme illustré par la figure 1.1. Son principe consiste tout d'abord à moduler l'information source, en bande de base, puis à la transposer en bande RF et à la transmettre via l'antenne. Le récepteur capte le signal RF modulé par l'intermédiaire de l'antenne, le transpose en bande de base et réalise la démodulation. Enfin, le signal est envoyé vers le système d'estimation des données sources et de traitements numériques. En effet, la fréquence du signal contenant l'information est donc convertie en haute fréquence (*up-conversion*) à l'émission. A la réception, il est alors nécessaire d'abaisser la fréquence du signal reçu pour passer d'une fréquence RF à une fréquence intermédiaire (FI) plus faible (*down-conversion*) afin de faciliter le traitement devant aboutir à l'extraction de l'information. Les catégories de récepteurs sont distinguées suivant la façon dont cet abaissement de fréquence est réalisé. D'un point de vue analogique, dès que cette conversion n'est pas réalisée directement en bande de base, le problème des

fréquences images apparaît.

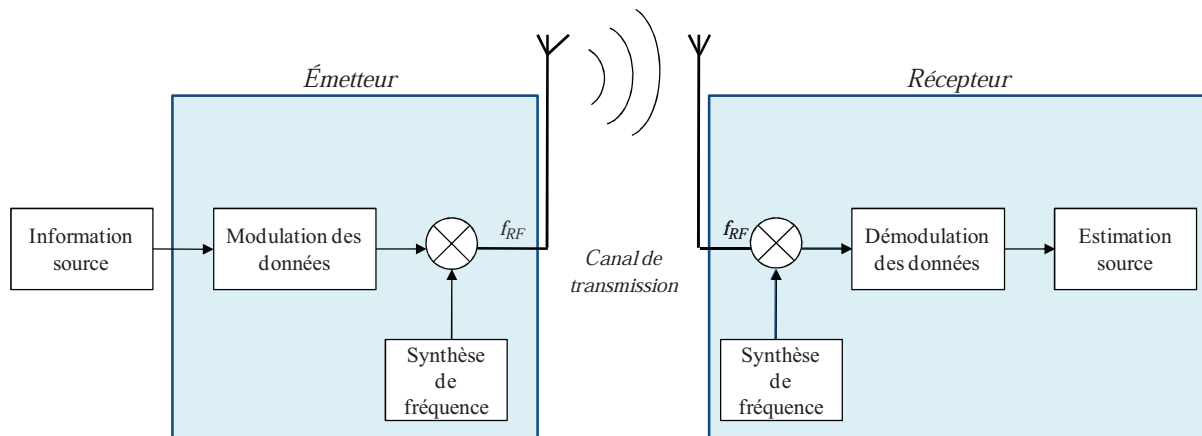


Figure 1.1. Schéma synoptique d'un système de communication sans fil

Dans ces conditions, différentes fréquences RF peuvent être converties simultanément à la même fréquence FI que celle de la fréquence utile. L'optimisation des performances de la liaison nécessite donc que le récepteur permette la réjection de la fréquence image. Le choix de l'architecture est déterminant pour le bon déroulement de la phase de conception. Un mauvais choix initial peut déboucher sur des difficultés de conception supplémentaires, voire sur l'impossibilité d'atteindre les spécifications requises. Ce choix dépend de nombreux paramètres, parmi lesquels on trouve :

- Paramètres économiques : solution faible coût, faible surface, niveau de performances,...
- Paramètres technologiques : sensibilité de la technologie au bruit en $1/f$, comportement vis-à-vis de la fréquence,...
- Paramètres électriques : transmission du signal, type de modulation utilisée,...

I.2.2. EVOLUTION DES STANDARDS DE COMMUNICATIONS SANS FIL

Il convient de constater que le développement des techniques nécessaires à la mise en place des systèmes sans fil et radio-mobiles se sont largement développées. En effet, la réception hétérodyne a été inventée dans les années 1910 et les techniques de traitement du signal telles que l'étalement du spectre ou les modulations numériques ont été développées dans les années 1940. Cependant, depuis les premières expériences de Marconi à la fin du XIX siècle, les communications sans fil entre deux éléments mobiles ont été limitées à des applications professionnelles et ce, jusqu'à la fin des années 1970. Il a fallu attendre les

années 1980 avant de voir la naissance des systèmes de téléphonie mobile cellulaire, de première génération, entièrement analogiques comme le NMT (*Nordic Mobile Telephony*), l'AMPS (*Advanced Mobile Phone Service*), le TACS (*Total Access Cellular System*) ou le Radiocom2000. Néanmoins, les ressources spectrales étant réduites, la courte durée de vie des batteries et le coût du terminal, ont été des obstacles qui ont restreint le démarrage du développement des téléphones portables de première génération. La seconde génération des systèmes cellulaires est apparue au début des années 1990 avec le DECT (*Digital Enhanced Cordless Telecommunications*), le GSM (*Global System for Mobile communications, Europe*), le PDC (*Personal Digital Cellular, Japon*). Prévues initialement pour des applications de transport de la voix et de données à faibles débits (9600 bits/s) autour des fréquences (935-960 MHz) ou (890-915 MHz), cette norme a permis l'essor des communications mobiles. Les performances (efficacité spectrale, sécurité, fonctionnalités) de la seconde génération de systèmes cellulaires sont plus importantes que celles de la première génération. Un important apport à ces systèmes a consisté en la modification de la méthode d'accès aux données, et a donné lieu à la naissance de la génération intermédiaire nommée 2.5G, incarnée par le système GPRS (*General Packet Radio Service*). Une autre forme d'évolution des systèmes cellulaires de seconde génération est incarnée par les systèmes EDGE (*Enhanced Data rate for GSM Evolution*) ; ils utilisent une nouvelle modulation, optimisant le débit efficace à l'interface GSM, permettant d'atteindre des débits de 384kb/s au maximum. Les différents continents ont développé des systèmes assez similaires dans le principe, mais parfois différents dans leur réalisation. C'est donc dans le cadre d'une homogénéisation globale des standards qu'est née l'idée d'une troisième génération de systèmes cellulaires. La troisième génération (3G) de systèmes cellulaires, souvent assimilée en Europe à l'UMTS (*Universal Mobile Telecommunication Services*), a été principalement conçue et imaginée afin de satisfaire l'acheminement de données multimédia (accès à Internet, aux réseaux d'entreprise, à des services de messageries, de visioconférence, de jeux, etc.). Les systèmes GPRS et EDGE ont, sans modifier le principe de base des communications, permis à leur génération de systèmes cellulaires d'évoluer en terme d'efficacité, le HSDPA (*High-Speed Downlink Packet Access*) est déjà considéré comme le standard 3.5G des télécommunications mobiles. Alors que le débit maximum permis sur une liaison UMTS est de 2Mb/s pour une bande passante de 5MHz, le HSDPA, grâce à sa modulation en 16QAM (16 *Quadrature Amplitude Modulation*), autorise des débits de 10Mb/s. Le but principal des nouvelles technologies de communication est de supprimer les câbles et de permettre la transmission (voix, données...) via une liaison radio.

De plus, la bande ISM (*Industrial, Scientific and Medical*) 2.4 GHz est une bande libre, soumise à peu de réglementations nationales et qui peut être utilisée librement (gratuitement et sans autorisation) pour des applications industrielles, scientifiques et médicales. Les seules obligations à observer sont la puissance d'émission et les excursions en fréquence, ou la perturbation des canaux adjacents. En contre partie et par voie de conséquence elle est assez encombrée [1]. Les principaux standards présents dans cette bande sont les suivants :

- IEEE 802.11b : WLAN (*Wireless Local Area Network*)
- IEEE 802.15.4 : ZigBee
- IEEE 802.15.1 : Bluetooth
- IEEE 802.15.3: WPAN haut débit (*Wireless Personal Area Network*).

Le développement rapide des communications sans fil et l'émergence des nouveaux standards sollicite la convergence vers la quatrième génération de communications mobiles. Initialement prévue pour les années 2010, la 4G semblerait présenter ses toutes premières réalisations commerciales légèrement plus tôt. Cette avance par rapport aux prévisions est notamment due au fait que la quatrième génération ne sera pas l'issue d'une révolution dans les systèmes de communications (comme l'ont été les seconde et troisième générations), mais plutôt la convergence de différents standards, applications et produits (figure 1.2). En effet, il semble pertinent de considérer la 4G comme la convergence des standards et des technologies couverts par la 3G et les réseaux locaux sans fil (WLAN). Le but de la "4G" est d'améliorer les performances de la troisième génération, sans changer fondamentalement le contenu ni les applications prévues au départ pour la 3G. C'est en fait la troisième génération qui n'a à priori pas rempli les attentes. Par conséquent, au lieu d'un standard universel, de nombreux standards sont nés, incompatibles entre eux pour la plupart, et ce même sur un même continent.

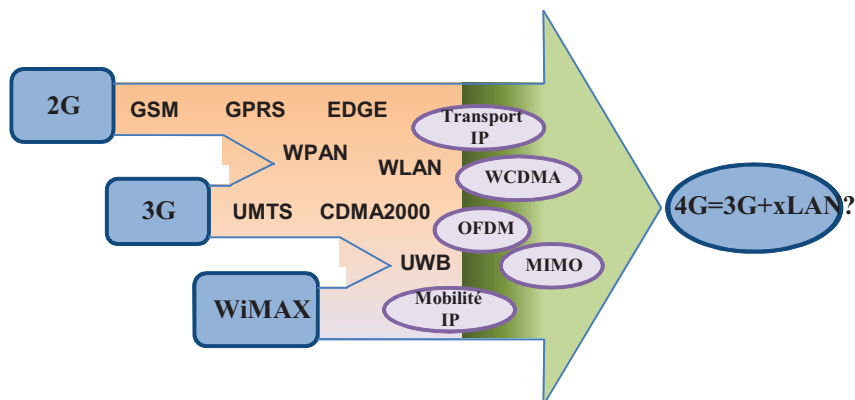


Figure 1.2. Vue d'ensemble des normes de communication

De plus, de nouvelles normes apparaissent sur le marché comme l'USB (*Universal Serial Bus*) sans fil. Cette technologie plus que prometteuse rendrait tout simplement obsolète tous nos périphériques USB en apportant la possibilité du fonctionnement sans fil pour une même vitesse maximale théorique que l'USB 2.0. En théorie, il n'y a pas d'interférences avec les normes de liaisons sans fil Bluetooth et 802.11b/g qui utilisent la plage de fréquences de 2,4 GHz. En revanche, les zones de fréquences sont communes avec les réseaux WiMAX (*Worldwide Interoperability for Microwave Access*) et ceux des téléphones 3G/4G ce qui cause une surcharge des bandes de fréquences allouées (surtout les bandes autour de 2.4 GHz et 5 GHz). A cela, s'ajoute les perturbations et les interférences causées par des appareils industriels ce qui nécessite des systèmes de plus en plus robustes disposant d'architectures permettant la compatibilité avec la majorité de ces standards. Par conséquent, la nécessité d'avoir des systèmes ayant de bonnes performances surtout au niveau de la réjection des fréquences images est plus que jamais d'actualité.

I.3. ARCHITECTURES CLASSIQUES DES RECEPTEURS RF

Dans cette partie, nous allons présenter les principales architectures classiques des récepteurs RF. Les avantages et les inconvénients de chacune d'elles ainsi que leur domaine d'utilisation seront notamment développés. Il est important de rappeler les principales fonctions réalisées par un récepteur RF. Un système de réception RF (figure 1.1) est schématiquement composé d'une tête de réception RF et d'une partie traitement numérique du signal en bande de base. La tête RF est principalement destinée à transformer le signal RF issu de l'antenne en un signal de bonne qualité qui puisse être traité par la partie numérique. Cette partie numérique est destinée essentiellement à la démodulation, le décodage et la décision des données alors que la tête de réception RF réalise les fonctions essentielles suivantes : le filtrage, l'amplification et la transposition en fréquence. A partir de ces fonctions, nous pouvons remarquer que les caractéristiques principales d'un récepteur sont : la sensibilité, la dynamique de fonctionnement, l'aptitude à rejeter les signaux parasites, son niveau d'intégration et son évolutivité. Par conséquent et puisque le but de ce travail est de présenter des solutions d'amélioration de la réjection de la fréquence image au sein des architectures de récepteurs RF, nous allons expliquer plus en détail le problème de la fréquence image afin de mieux apprécier ce phénomène et surtout les verrous technologiques auxquels sont confrontés les concepteurs des systèmes RF. Notons que par abus de langage, nous utilisons le terme "réjection d'image" pour désigner la réjection de la fréquence image.

I.3.1. PROBLEME DE REJECTION DE LA FREQUENCE IMAGE

En réception, le signal à la fréquence RF (F_{RF}) issu de l'antenne est transposé à la fréquence intermédiaire (FI) grâce à un mélangeur commandé par un oscillateur local (OL) (figure 1.3) dont la fréquence F_{OL} dépend de F_{RF} et FI. Cette opération de mélange conduit à l'obtention d'une composante fréquentielle à la fréquence différence $F_{OL} - F_{RF}$ mais également à la fréquence somme $F_{OL} + F_{RF}$. Cette dernière peut aisément être atténuée par filtrage. Cependant, par cette opération de conversion, les signaux présents en entrée du mélangeur aux fréquences $(F_{OL} + FI)$ et $(F_{OL} - FI)$ sont transposés à la fréquence intermédiaire. Seul le canal à la fréquence F_{RF} est à détecter. Par conséquent l'autre canal constitue un signal perturbateur appelé « fréquence image ». La fréquence image étant directement convertie dans le canal utile, il convient de la filtrer avant la transposition.

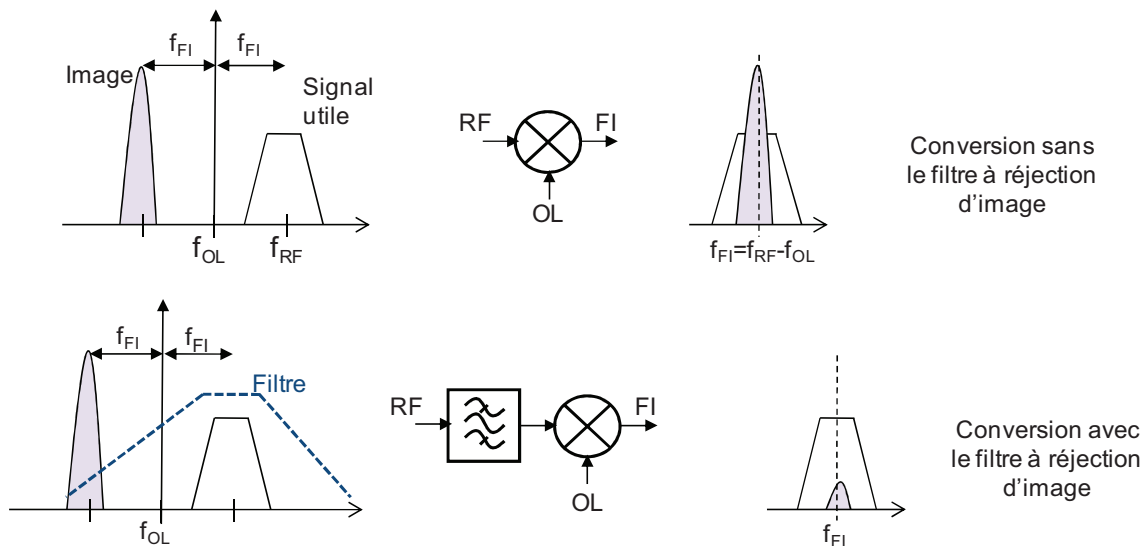


Figure 1.3. Problème de réjection de la fréquence image

Le taux de réjection d'image (IRR pour *Image Rejection Ratio*) est le rapport entre le niveau de filtrage de la fréquence utile et de celui de la fréquence image. Ce paramètre permet de quantifier le niveau de réjection d'un récepteur. Généralement, ce paramètre est défini par l'application dans le standard envisagé. Afin d'apprécier la difficulté d'obtenir un IRR élevé, considérons la structure d'un mélangeur en quadrature, illustré par la figure 1.4.

Ce circuit souffre de la disparité de gain et de phase en raison de la variabilité de la tension de seuil des transistors MOS [2], [3]. Si la paire de commutation (M_3 et M_4) présente une disparité de V_{os} , alors la dissymétrie introduit une composante de tension à la fréquence de l'oscillateur local (OL) au nœud X. Le courant résultant de déplacement dans C_x change alors

la phase de l'OL et introduit donc une erreur de phase et de gain à la fréquence intermédiaire (FI).

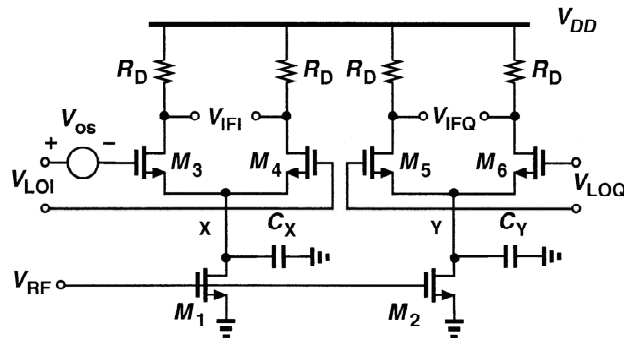


Figure 1.4. Mélangeur en quadrature

Les simulations montrent que pour une disparité de 20 mV sur V_{os} , l'IRR se dégrade de plus de 10 dB [3]. Dans la pratique, ces disparités limitent l'IRR à 25-40 dB [4].

I.3.2. ARCHITECTURES DE RECEPTEURS RF

I.3.2.1. Architecture Hétérodyne

Cette architecture est proposée par Armstrong en 1918 [5] et c'est l'architecture la plus classique. Le principe du récepteur hétérodyne consiste en la transposition de la bande du signal RF reçue autour d'une fréquence intermédiaire (FI) fixe. Si cette transposition se fait en une seule étape, le récepteur est hétérodyne, si elle nécessite plusieurs étapes alors le récepteur est de type superhétérodyne (cf. Figure 1.5).

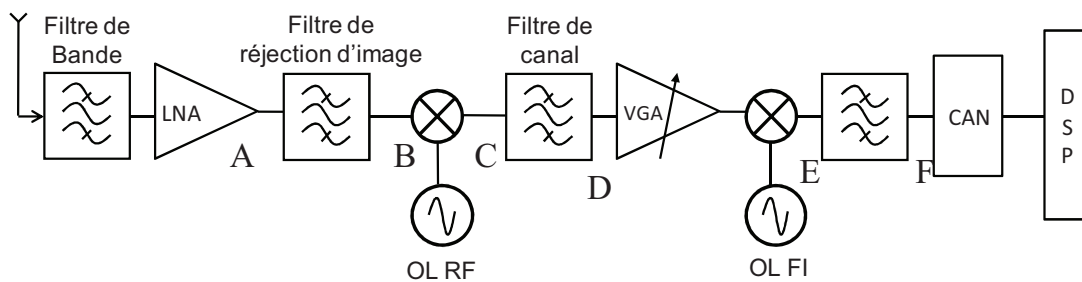


Figure 1.5. Chaîne de réception superhétérodyne

Ce type de récepteur est le plus utilisé dans les mobiles de deuxième génération, grâce à ses bonnes performances en termes de sélectivité et de sensibilité [6]-[8]. En effet, puisqu'il n'est pas sensible au bruit basses fréquences comme le bruit en $1/f$, il est naturellement très performant en termes de rapport signal sur bruit. Par contre, une fréquence intermédiaire

élevée entraîne des contraintes de conception supplémentaires et une consommation de courant plus importante. Ainsi, le choix de la FI dépend à la fois du niveau de l'image convertie dans le canal utile et du compromis sensibilité-sélectivité du récepteur [2]. Cette structure, n'est donc pas appropriée pour des solutions à faible coût et à faible consommation puisqu'elle nécessite de nombreux éléments externes tels que des filtres et des oscillateurs locaux. Une analyse spectrale des deux architectures, est présentée ci-dessous pour illustrer les problèmes rencontrés par la fréquence image (cf. Figure 1.7 et figure 1.8). Pour notre analyse, nous supposons que le spectre reçu est décrit par la figure 1.6.

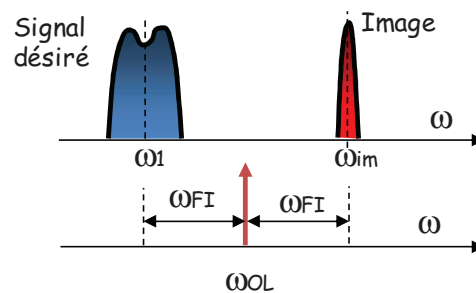


Figure 1.6. Spectre reçu à l'antenne du récepteur

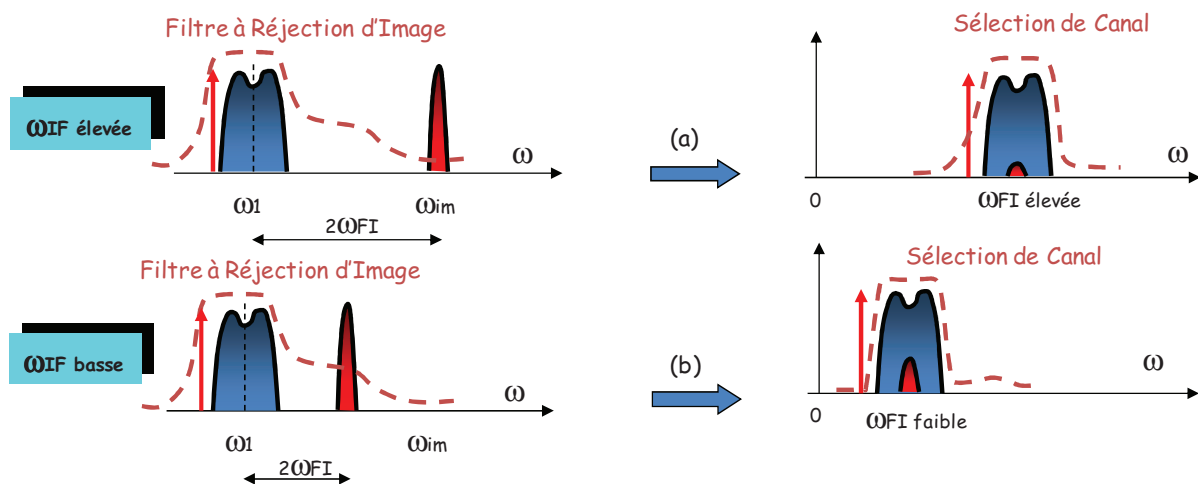


Figure 1.7. Analyse spectrale de l'architecture hétérodyne. (a). Cas d'une fréquence intermédiaire élevée. (b). Cas d'une faible fréquence intermédiaire.

La fréquence image est une fréquence présente à l'entrée du mélangeur et dont le mélange avec la fréquence de l'oscillateur local f_{OL} se superpose au signal utile à la fréquence intermédiaire f_{FI} . L'atténuation de cette fréquence image est par conséquent indispensable. Elle peut être assurée en utilisant par exemple un filtre acoustique (SAW pour *Surface Acoustic Wave*) [9]-[11]. Il est caractérisé par de faibles pertes d'insertion, car situé parmi les tous premiers blocs, et par une importante atténuation de la bande de la fréquence image. De

plus, nous pouvons remarquer sur la figure 1.7 (a) que ces dernières spécifications peuvent être aisément obtenues si f_{FI} est choisie très élevée. Cependant, une valeur trop élevée de f_{FI} reviendrait à augmenter le nombre d'étapes nécessaires pour ramener le signal en bande de base, donc le nombre de mélangeurs et à imposer des coefficients de qualité Q très élevés pour les filtres FI à sélection de canal. Une fréquence intermédiaire élevée permet de relâcher les contraintes de filtrage de la fréquence image et une faible FI nécessite une suppression des signaux parasites situés dans la bande de réjection. Ce dernier cas de figure aboutit à des pertes d'insertion dans la bande passante du filtre plus importantes que le premier cas et donc conduit à un facteur de bruit plus élevé dans la même bande [11].

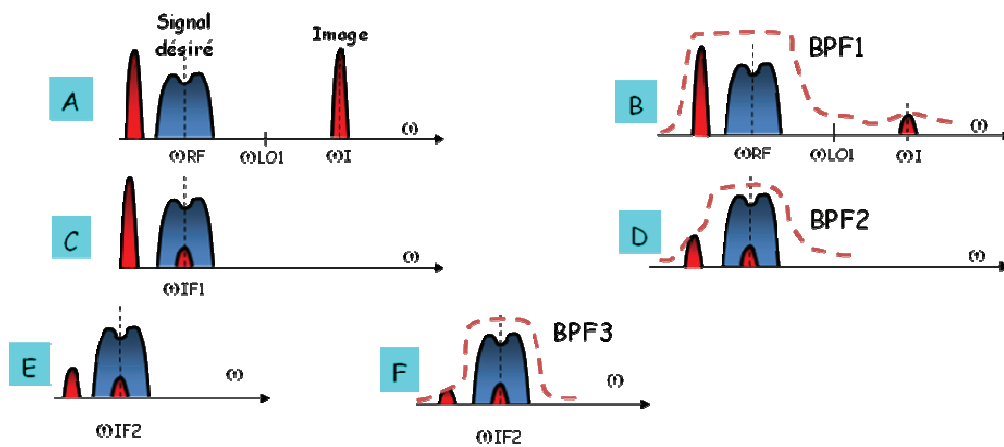


Figure 1.8. Analyse spectrale de l'architecture Superhétérodyne. (A). Signal original RF et l'image à l'entrée du récepteur. (B). Spectre après filtrage de la fréquence image. (C). Spectre après la première transposition vers FI1. (D). Spectre après la sélection du canal. (E). Spectre après la seconde transposition vers FI2. (F). Spectre après la sélection du canal.

Pour conclure, les principaux obstacles à l'utilisation de la conversion hétérodyne sont : son très faible niveau d'intégration, son coût et sa consommation de courant importante.

I. 3.2.2. Architecture Homodyne (Zéro-FI, 0-IF)

Considérons maintenant la structure à conversion directe, encore appelée structure homodyne [12], [13]. Dans ce type de récepteur, illustré par la figure 1.9, le signal reçu par l'antenne est dans un premier temps filtré puis transmis à un amplificateur à faible bruit, le signal utile est directement transposé en bande de base à l'aide d'un oscillateur local (OL) fonctionnant à une fréquence égale à celle du canal sélectionné. La fréquence intermédiaire (FI) est donc nulle. Le signal image est alors, dans ce cas, le signal utile lui-même. Par conséquent, le filtre de réjection FI n'est pas indispensable, ainsi que les cellules d'adaptation

d'impédance situées après le LNA. De plus, les filtres externes utilisés dans les architectures superhétérodynes peuvent être remplacés dans les architectures homodynes par un simple filtre passe-bas, permettant ainsi de bénéficier d'une faible consommation d'énergie et d'un grand degré d'intégration.

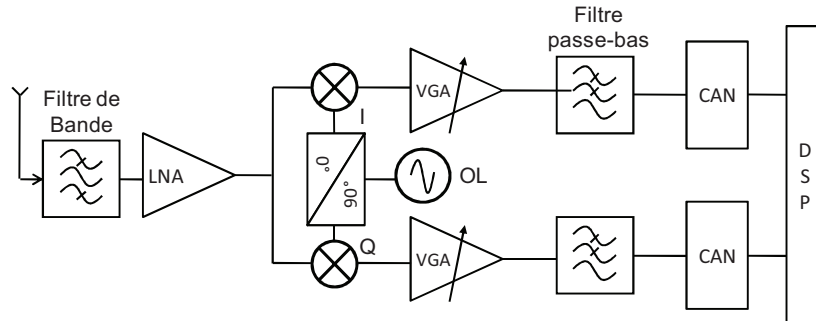


Figure 1.9. Chaîne de réception zéro-FI

Théoriquement, ce concept de conversion directe permet de s'affranchir du problème de la fréquence image. Mais en réalité, la transposition fréquentielle RF vers la bande de base se fait par repliement de spectre. Le spectre se situant à gauche de la fréquence centrale se superpose à celui de droite et inversement (cf. Figure 1.10), d'où l'intérêt de minimiser cet effet dans la conception du récepteur.

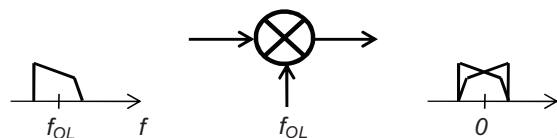


Figure 1.10. Problématique de la fréquence image dans un récepteur homodyne

Toutefois, malgré sa simplicité de conception et son intégration monolithique, ce type de récepteur possède un certain nombre d'inconvénients, dont les principaux sont :

- **Les problèmes liés à la composante continue « offsets-DC »**

Du fait d'une isolation non parfaite entre l'OL, l'entrée RF du mélangeur et le LNA, une fuite du signal OL peut apparaître dans la tête-RF du récepteur homodyne, notamment à cause des effets de couplages capacitifs et inductifs (cf. Figure 1.11). Par conséquent, l'auto-mélange dû à cette fuite OL sur l'entrée RF du mélangeur et du LNA avec le signal OL lui-même donne une composante continue (DC) [14]. Cette tension continue est plus critique lorsqu'elle va être amplifiée par les étages en bande de base, ce qui risque de provoquer une saturation des étages d'amplification et de conversion analogique/numérique (CAN). Différentes solutions matérielles et logicielles ont été proposées pour s'affranchir de ces

problèmes d'«*offsets-DC*». Nous pouvons citer celles basées sur une adaptation des *DSPs* (*Digital Signal Processor*) au mode continu [15]-[17], utilisées principalement dans le cas des systèmes TDMA (*Time Divison Multiple Access*). A noter que leur suppression est plus difficile dans le cas d'une réception continue de type WCDMA (*Wideband Code Divison Multiple Access*) [18, 19].

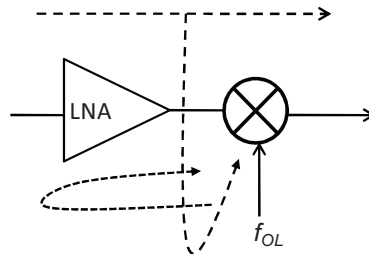


Figure 1.11. Problème lié aux fuites de l'oscillateur local et du LNA

- **Les problèmes liés au bruit en $1/f$**

Le bruit en $1/f$ (comme la composante *DC*) des composants dégrade le signal utile aux basses fréquences. Etant donné que le récepteur homodyne translate la fréquence autour de la fréquence zéro, il devient donc très sensible à ce type de bruit. Le bruit en $1/f$ complique principalement l'utilisation des structures RF à transistors MOS. Il n'existe pas de solutions du point de vue système pour s'affranchir de cet effet parasite, et les améliorations interviennent directement au niveau du composant. Il est possible par exemple d'augmenter la taille du transistor pour réduire l'effet du bruit en $1/f$. Cependant, la taille de la capacité augmente aussi et le gain RF est alors dégradé.

- **Les distorsions d'ordre pair**

Si les récepteurs RF hétérodynes sont sensibles essentiellement aux effets d'intermodulation d'ordre impair, les récepteurs homodynes présentent des performances fortement liées aux distorsions d'ordre pair. En effet, la seconde harmonique du signal RF est transposée en bande de base lorsqu'elle est mélangée avec la seconde harmonique d'OL. D'autre part, toute non-linéarité dans les étages en amont du mélangeur (principalement le LNA) va créer une intermodulation de fréquence basse qui, par fuite de la RF sur la FI, sera un signal parasite. Ce phénomène est important dans les systèmes multi-modes. Dans ce cadre, nous pouvons citer l'exemple des circuits bi-bandes GSM/DCS puisqu'une fraction de l'énergie du signal GSM à 900MHz se retrouve à 1800MHz après le LNA du terminal bi-bande et se transforme après la conversion fréquentielle en bruit continu [20].

- **Les problèmes liés au désappariement (« mismatch ») entre les voies I et Q**

Du fait d'un passage à deux voies en quadrature (I et Q) juste après le LNA dans un récepteur homodyne, l'erreur due au désappariement de gain et de phase entre les deux voies se propage et s'amplifie tout au long de la chaîne. Ce désappariement entre les voies I et Q se traduit par une erreur de gain et une erreur de phase qui déforment la constellation du signal, comme l'illustre la figure 1.12, augmentant alors le taux d'erreur binaire (BER pour *Bit Error Ratio*). L'erreur de gain apparaît simplement comme une erreur sur l'amplitude. L'erreur de phase, par contre, dégrade le signal en détériorant essentiellement le rapport signal à bruit si les flots de données sur les voies I et Q ne sont pas corrélés [21].

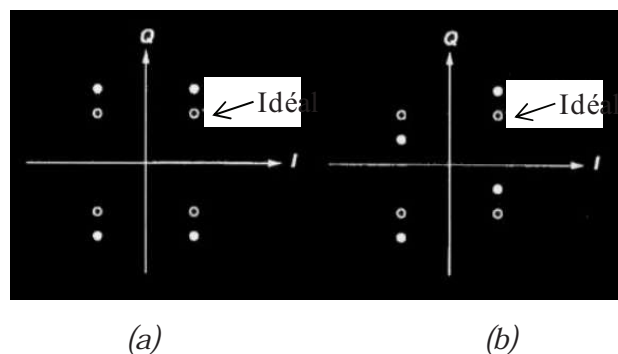


Figure 1.12. Effet du désappariement entre les voies I et Q. Constellation avec erreur : (a) de gain ; (b) de phase.

L'architecture homodyne est la mieux adaptée pour l'UMTS et le WLAN [23]-[28]. Elle reste populaire malgré les inconvénients précédemment présentés. Ceci est dû à sa simplicité du traitement RF ainsi qu'à son niveau d'intégration largement amélioré par rapport au récepteur hétérodyne. Ce récepteur facilite également la reconfigurabilité d'un système comme le concept de la radio logicielle [29].

I. 3.2.3. Architecture Faible FI (Low-IF)

C'est une solution intermédiaire entre les deux précédentes. Son principe consiste à transposer le signal RF en une fréquence intermédiaire très faible (de l'ordre de deux ou trois fois la largeur de la bande utile) [30]. Ainsi la fréquence image est filtrée tout au long de la chaîne de réception. La partie analogique est similaire à celle du récepteur homodyne. Le canal traité ne se situant plus aux alentours de la fréquence nulle, il n'y a plus de problème de composante DC. De même, l'influence du bruit en $1/f$ est réduite de façon plus ou moins importante suivant la valeur de la fréquence intermédiaire utilisée (relativement à la fréquence de coupure du bruit en $1/f$ liée à la technologie) et la valeur de la bande passante du canal. De

plus, cette solution permet d'atteindre un niveau d'intégration assez élevé si nous le comparons à celui de la structure hétérodyne, même si, avec une fréquence intermédiaire non nulle, le problème de la réjection de la fréquence image reste présent. Le filtre réalisant la sélection du canal en sortie du mélangeur ne peut plus être un simple filtre passe bas comme dans le cas de la structure à conversion directe. La figure 1.13 décrit le schéma bloc de cette architecture. Nous pouvons également remplacer le filtre passe bas par un filtre complexe appelé aussi filtre polyphase (nous allons revenir plus en détails sur ce type de filtre dans le deuxième chapitre). Ce dernier possède la capacité de faire la distinction entre les "fréquences positives" et les "fréquences négatives". La difficulté avec ce type de récepteur réside dans le fait que la suppression de la fréquence image par le filtre polyphase ne peut être parfaite que si, à son entrée, les voies I et Q sont parfaitement équilibrées en phase et en amplitude [31].

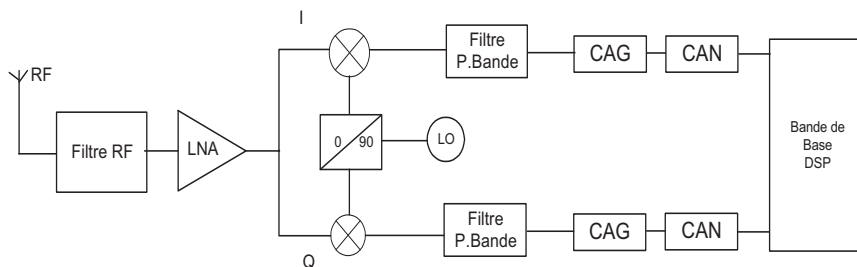


Figure 1.13. Architecture à Faible-FI

Or, principalement à cause des dispersions technologiques intervenant dans la réalisation des transistors et des composants passifs, un équilibre parfait entre les voies I et Q est impossible. La variation de ce déséquilibre reste aléatoire et seul le concepteur permet de le réduire, mais en aucun cas de le supprimer. Lors de l'étape de réalisation du dessin des masques, il faut veiller à conserver la plus grande symétrie possible entre les voies I et Q. Cette architecture s'affranchit du problème d'offset mais pas de celui de la réjection du signal image. En effet, une fréquence intermédiaire non nulle réintroduit le problème auquel se confrontent les architectures hétérodynes.

I.3.3. COMPARAISON DES ARCHITECTURES DE RECEPTEURS RF

Le tableau 1.1 présente un comparatif des avantages et inconvénients des architectures présentées précédemment, désignés respectivement par les signes (+) et (-). L'architecture hétérodyne, malgré sa grande utilisation, présente des inconvénients incontournables de par sa complexité et de son incompatibilité avec les systèmes multi-modes/multi-bandes. Par contre, les architectures Zéro-FI remplissent parfaitement le rôle de configurabilité, en faisant reposer

en partie cette flexibilité sur chacun des blocs constitutifs de l'architecture [32, 33]. L'architecture à faible FI offre un réel avantage grâce à son haut niveau d'intégration mais elle est plus efficace pour les standards à bande étroite que pour les standards à large bande. Par conséquent, les nouvelles architectures se basent sur les architectures homodyne et/ou à faible FI qui offrent surtout un degré d'intégration élevé donc un faible coût et une relative faible consommation [34].

| | <i>Hétérodyne</i> | <i>Zéro-FI</i> | <i>Faible-FI</i> |
|-------------------------------------|-------------------|----------------|------------------|
| <i>Simplicité</i> | -- | ++ | + |
| <i>Degré d'intégration</i> | -- | ++ | ++ |
| <i>Offsets-DC</i> | Non | -- | Non |
| <i>Bruit en 1/f</i> | Non | -- | - |
| <i>Compatibilité multistandards</i> | -- | ++ | ++ |
| <i>Réjection d'image</i> | ++ | - | - |

Tableau 1.1. Comparatif des architectures de récepteurs RF

I.3.4. DISCUSSION GENERALE POUR LE CHOIX DE L'ARCHITECTURE DU RECEPTEUR

I. 3.4.1. Caractéristiques techniques

Les performances des standards sans fil sont définies par le comité de standardisation IEEE. Les conditions de fonctionnement influencent le choix de l'architecture du récepteur. Une vue d'ensemble des standards sans fil est donnée dans le tableau suivant :

| <i>Standard</i> | <i>Bande (GHz)</i> | <i>Mode d'accès</i> | <i>Débit</i> | <i>Modulation</i> | <i>Architecture</i> |
|------------------|--------------------|---------------------|----------------|-------------------------|----------------------------|
| <i>GSM</i> | 0.935-0.960 | FDD | 14.4Kb/s | GMSK | zéro-FI/ high-IF/low-IF |
| <i>DCS1800</i> | 1.805-1.880 | FDD | 14.4Kb/s | GMSK | zéro-FI low-IF/high-IF |
| <i>WCDMA</i> | 2.110-2.170 | FDD, TED | 2-10Mb/s | QPSK, 16QAM, 8PSK | zéro-FI |
| <i>DECT</i> | 2.400-2.480 | TDD | 1.152Mb/s | GFSK | low-IF zéro-FI/high-IF |
| <i>Bluetooth</i> | 2.400-2.480 | TDD | 0.7232Kb/ s | GFSK | low-IF/zéro-FI |

| | | | | | |
|-------------------|-------------|-----|------------|-------------------|---------------------------|
| 802.11b(g) | 2.400-2.480 | TDD | 11(54)Mb/s | BPSK, QPSK (OFDM) | zéro-FI low-IF/high-IF |
| 802.11a | 5.150-5.825 | TDD | 54Mb/s | BPSK, QPSK | zéro-FI low-IF/high-IF |

Tableau 1.2. Quelques caractéristiques de standards de communication sans fil

A titre d'exemple, nous allons essayer de définir l'architecture la plus appropriée pour le standard WLAN (802.11 a/b /g). Ainsi, nous présentons les contraintes et les spécifications de ce dernier. Par la suite, nous essayerons de définir un choix architectural.

I. 3.4.2. Spécifications et contraintes de fonctionnement

Les réseaux locaux sans fil (*WLAN*) standardisés par l'IEEE se sont fortement développés. Parmi ces standards, le plus répandu est l'IEEE 802.11, avec ses différentes déclinaisons a, b et g. Il recouvre un ensemble de technologies qui utilisent les liaisons radio pour remplacer l'infrastructure filaire. Le standard d'origine offre un débit de 2 Mbits/s à 2.4 GHz, alors que les standards qui sont apparus par la suite visent à améliorer la vitesse et le taux de transmission des données [35]. En effet, le standard IEEE 802.11a vise un débit de 54 Mb/s dans la bande de 5 GHz, alors que le standard IEEE 802.11b permet une utilisation à 2.4 GHz à 11 Mb/s. Le dernier standard IEEE 802.11g à 2.4 GHz est compatible avec le 802.11b pour un débit plus élevé (54 Mb/s). Les principales spécifications des différents récepteurs *WLAN* sont résumées dans le Tableau 1.3.

| | 802.11b | 802.11a | 802.11g |
|--|----------------|----------------|----------------|
| Figure de bruit (dB) | 14.8 dB | 7.5 dB | 7.5 dB |
| Point de compression à 1 dB (dBm) | -26 dBm | -26 dBm | -26 dBm |
| Bruit de phase (@1MHz/dB) | -101 dBc/Hz | -102 dBc/Hz | -102 dBc/Hz |

Tableau 1.3. Principales spécifications des récepteurs *WLAN* [35]

I. 3.4.3. Choix architectural

Le standard 802.11b est caractérisé par de forts canaux adjacents et une réjection de la fréquence image limitée ce qui favorise l'utilisation de l'architecture 0-FI. Dans la littérature, nous retrouvons des implémentations de récepteurs CMOS 802.11b à architecture 0-FI [36]. Dans le cas des standards 802.11a/g, l'architecture à faible-FI est la plus utilisée afin de limiter l'influence de l'offset (*DC*), qui est d'une grande importance dans les récepteurs *OFDM* [37]. De plus, les contraintes de réjection de la fréquence image sont plus faibles que

celles dans le cas de l'architecture de type 0-FI, puisque le niveau de puissance du canal adjacent se trouve à 1 dB en dessous de celui du signal souhaité [38]. Le standard 802.11g est le plus récent. Il a l'avantage de fonctionner à une fréquence inférieure à la moitié de la fréquence utile dans le cas du standard IEEE 802.11a. Ce qui facilite, par la suite, la réponse aux contraintes de bruit et d'erreur de phase.

I.4. ARCHITECTURES ET TECHNIQUES DE REJECTION DE LA FREQUENCE IMAGE

Dans cette partie, nous développons tout d'abord les principales architectures destinées à la réjection du signal image. Par la suite, nous présentons un état de l'art des principales techniques élaborées pour s'affranchir de ce problème.

I.4.1. ARCHITECTURES A REJECTION D'IMAGE

I. 4.1.1. Architecture de Hartley

Cette architecture, proposée par Hartley en 1928 [39], est présentée sur la figure 1.14. Elle est la base des architectures à réjection d'image. Cette structure utilise deux mélangeurs en quadrature et un déphaseur de 90° . Ce dernier est réalisé généralement avec une structure passive (réseau RC-CR) occupant une place relativement importante.

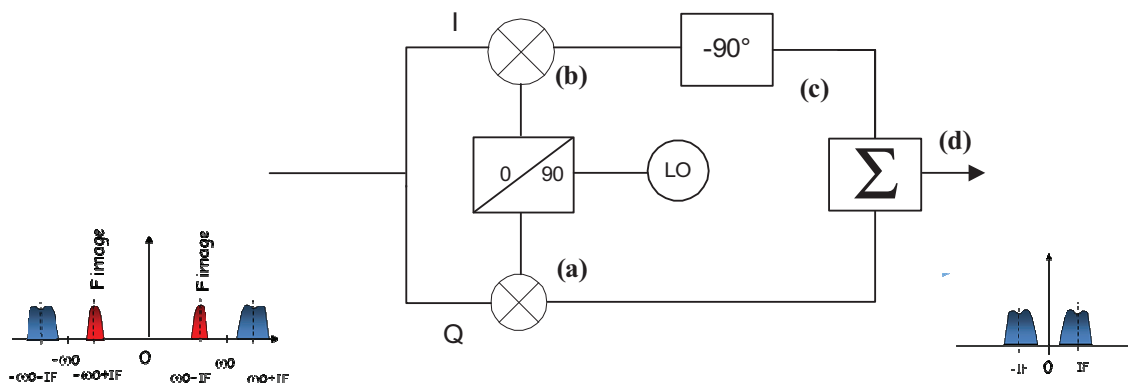


Figure 1.14. Structure de Hartley

Une analyse spectrale est effectuée et présentée ci-dessous (cf. Figure 1.15) pour illustrer les problèmes causés par la fréquence image au sein de cette dernière.

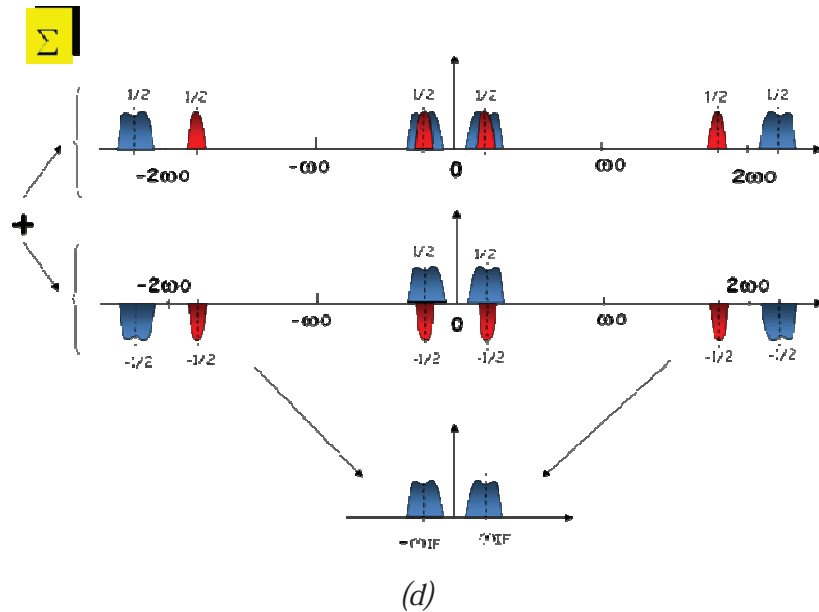


Figure 1.15. Représentation du fonctionnement spectral de l'architecture de Hartley. (a). Signal sur la voie Q. (b). Signal sur la voie I. (c). Signal à la sortie du déphaseur -90° . (d). Signal à la sortie.

En exprimant la valeur de l'IRR en décibel (dB), nous obtenons l'équation finale, exprimant la réjection du signal image en fonction de l'erreur de gain en pourcentage (%) et de l'erreur de phase en degré :

$$IRR(dB) = 10 \log \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos(\varphi_1 + \varphi_2)}{1 + (1 + \Delta A)^2 - 2(1 + \Delta A) \cos(\varphi_1 - \varphi_2)} \right] \quad (1.1)$$

où A est l'erreur de gain entre les deux voies I et Q, φ_1 représente l'erreur de phase de l'OL et φ_2 représente l'erreur de phase du déphaseur 90° . En annexe 1, nous avons effectué le calcul détaillé. Il apparaît clairement que cette architecture souffre d'une forte sensibilité aux désappariements entre les voies I/Q causés par les disparités de gain et de phase au niveau de l'oscillateur et du déphaseur 90° . A titre d'exemple, une variation du procédé technologique de 20% sur les résistances et les capacités du déphaseur de 90° limite l'IRR à seulement 20 dB [3]. Plusieurs implémentations proposées dans la littérature permettent d'atteindre un niveau d'IRR de l'ordre de 30-35 dB [40]-[42] ce qui est insuffisant pour les récepteurs RF de certaines applications actuelles et futures.

I. 4.1.2. Architecture de Weaver

Cette architecture, proposée par Weaver en 1956 [43] est illustrée par la figure 1.16. Elle est basée sur l'agencement de plusieurs structures de mélangeurs en quadrature. Cette dernière est beaucoup moins sensible aux désappariements que celle de Hartley. En effet,

Weaver a remplacé le déphaseur 90° par des mélangeurs transposant la FI à une fréquence nulle pour s'affranchir du problème posé par la fréquence image. Cependant, la complexité et la consommation sont augmentées [44].

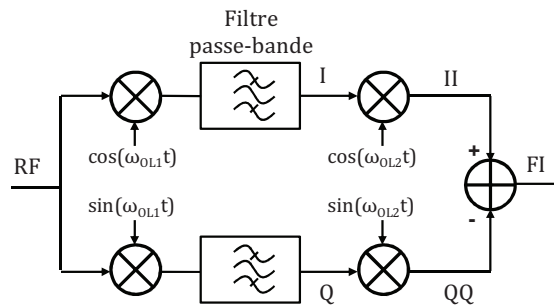


Figure 1.16. Architecture Weaver

Une représentation graphique judicieuse des spectres tout au long de la chaîne Weaver (cf. Figure 1.17) permet de bien comprendre le principe de la réjection de la fréquence image au sein de cette architecture (cf. Figure 1.16) [45].

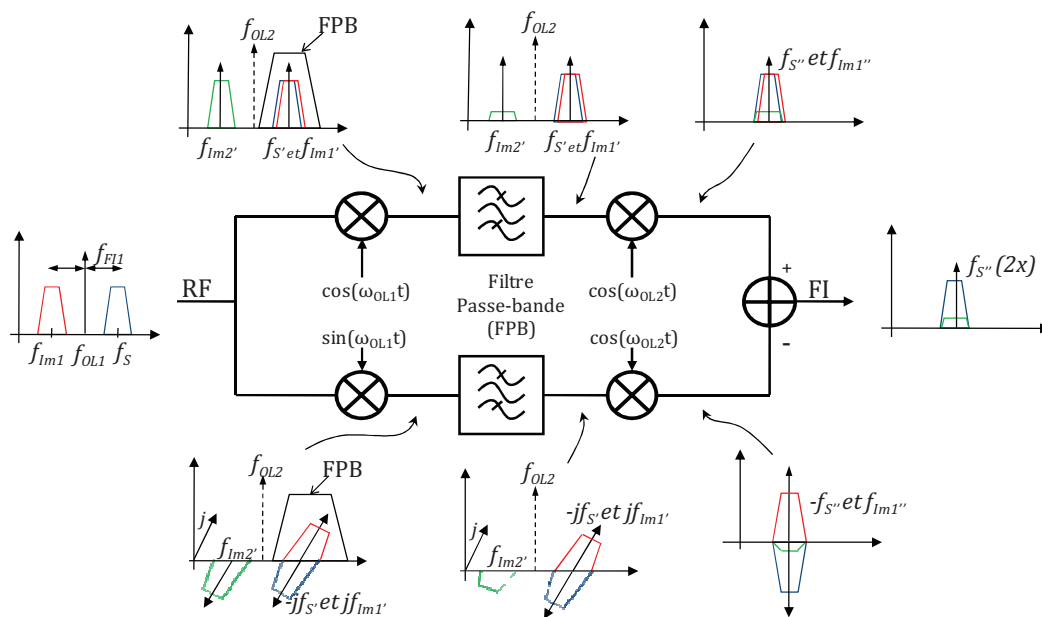


Figure 1.17. Analyse graphique des spectres de l'architecture Weaver

Nous supposons que le signal d'entrée comporte le signal utile et le signal image. Il sera alors traité de manière similaire que dans l'architecture Hartley jusqu'à l'entrée des deuxièmes mélangeurs.

Il est intéressant de rappeler que l'opération de mélange du signal d'entrée avec les signaux en quadrature de l'OL correspond à une convolution du spectre RF avec la transformée de Fourier de $\cos(\omega_{OL}t)$ sur la voie I (égale à $\delta(\omega - \omega_{OL}) + \delta(\omega + \omega_{OL})/2$) et celle de $\sin(\omega_{OL}t)$ sur la voie Q (égale à $[\delta(\omega - \omega_{OL}) - \delta(\omega + \omega_{OL})]/2j$).

Les deuxièmes mélangeurs traduisent les signaux en bande de base et sont ensuite additionnés. Le signal obtenu à la sortie, comme le montre la figure 1.17, ne contient que le signal utile et est presque dépourvu de l'image.

Cette structure est la plus répandue. En annexe 1, nous avons effectué un calcul de l'IRR au sein de cette architecture. En exprimant cette valeur en décibel, nous obtenons l'équation finale, exprimant la réjection du signal d'image en fonction de l'erreur de gain en pourcentage (%) et de l'erreur de phase en degré :

$$IRR(dB) = 10 \log \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos(\varphi_1 + \varphi_2)}{1 + (1 + \Delta A)^2 - 2(1 + \Delta A) \cos(\varphi_1 - \varphi_2)} \right] \quad (1.2)$$

où A est l'erreur de gain entre les voies I et Q, φ_1 et φ_2 représentent les erreurs de phase des oscillateurs OL_1 et OL_2 , respectivement. Grâce à cette équation, nous pouvons tracer les courbes de réjection du signal image en fonction des erreurs de phase et de gain des signaux en quadrature (cf. Figure 1.18). Ces courbes sont nécessaires pour définir les valeurs extrêmes des déséquilibres de gain et de phase admissibles, en fonction de la valeur de la réjection du signal image requise. A partir des courbes de la figure 1.18, nous pouvons noter qu'il est très difficile d'aboutir à des réjections supérieures à 60dB voire même au delà des 50dB. A partir de l'abaque donné dans la figure 1.18, nous pouvons citer, à titre d'exemple, que pour atteindre 60dB de réjection, il faudrait assurer à la fois une précision de phase de 0.1° et de gain de 0.01%.

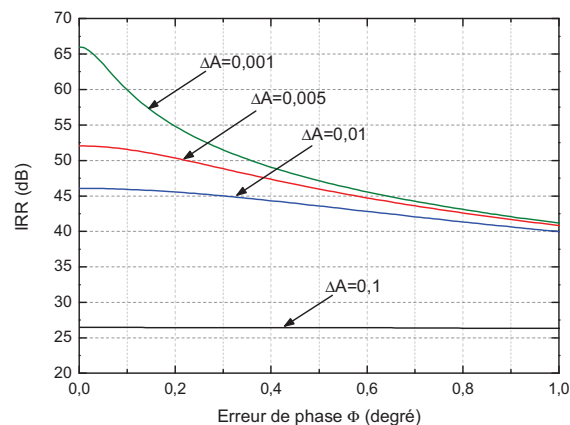


Figure 1.18. Variation de l'IRR en fonction des désappariements de phase pour différents niveaux de désappariements de gain

Plusieurs réalisations proposées dans la littérature permettent d'atteindre un niveau d'IRR de l'ordre de 40 dB [46]. Par contre, ce niveau de réjection est insuffisant pour les nouveaux récepteurs RF qui requièrent un IRR de 60 dB comme dans le cas du DCS-1800 [47]-[49]. Une évolution de cette architecture, illustrée par la figure 1.19, est proposée par J.C. Rudell

[49]. Ainsi, la sortie FI est en quadrature et la suppression de la fréquence image de la voie Q est effectuée de la même façon que pour la voie I. La figure 1.20 présente une analyse spectrale de cette dernière.

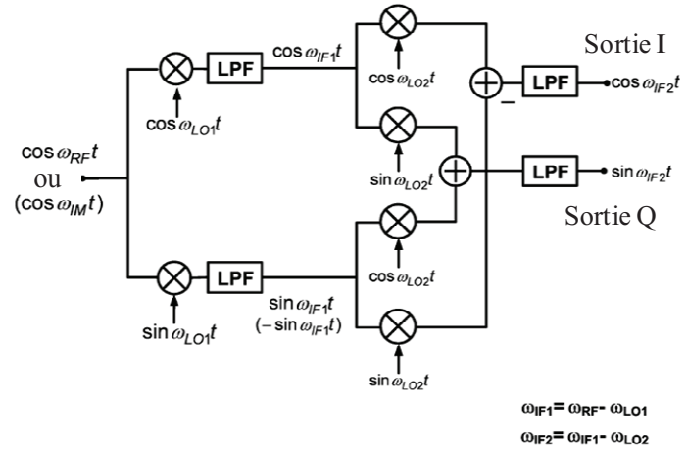


Figure 1.19. Architecture de Weaver avec une sortie en quadrature

Cette architecture est attractive de par son degré d'intégration élevé et sa performance en termes de réjection du signal image. Une implémentation réussie de cette architecture est présentée dans [45]. L'IRR obtenu est de 45 dB.

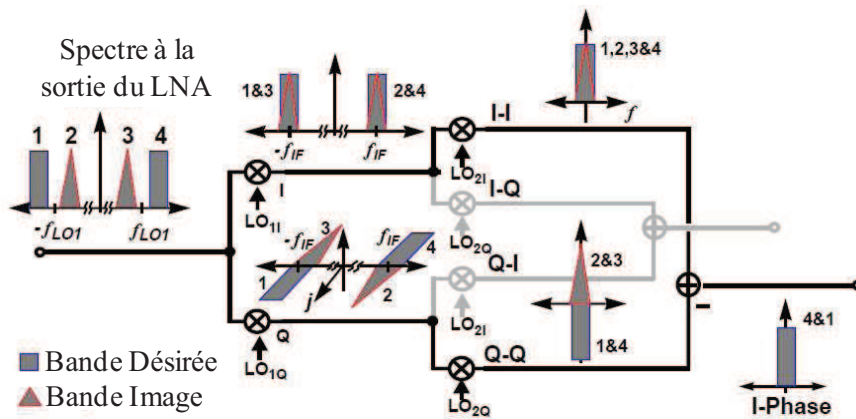


Figure 1.20. Représentation du fonctionnement spectral de l'architecture de Weaver avec une sortie en quadrature [45]

Nous pouvons conclure que l'IRR des deux architectures, d'Hartley et de Weaver, est identique. Ces résultats sont similaires à ceux présentés dans [2]. De plus, il est clair que l'élimination des erreurs de phase ou l'égalité des erreurs de phase sur les oscillateurs OL₁ et OL₂ permettent l'optimisation de l'IRR [50]. Cependant, au sein de l'architecture de Hartley, il est difficile d'égaliser l'amplitude du signal image engendré par les imperfections du signal OL et les disparités au sein du déphaseur (90°). En effet, l'erreur de phase du déphaseur (90°) est évidemment indépendante du signal de l'OL du mélangeur du premier étage. Par

conséquent, l'IRR au sein de l'architecture de Weaver a plus de chance d'être amélioré en rendant ces différentes erreurs de phase corrélées.

I. 4.1.3. Architecture à Double Conversion en Quadrature

Cette technique est proposée par J. Crols and M. Steyaert [51]. Elle consiste en une double génération de quadrature (une au niveau de l'oscillateur local et l'autre au niveau du signal RF) et une paire de mélangeur complexe (cf. Figure 1.21). La génération de la quadrature au niveau du signal RF est effectuée par des filtres polyphases [52] ce qui améliore nettement l'IRR mais qui, en contrepartie, engendre une surface silicium plus importante. En effet, cette architecture est composée de deux architectures de Weaver : la première est réalisée par la boucle A-B-C-F et fournit la sortie directe I alors que la deuxième boucle est constituée par A-B-D-E et permet d'obtenir la sortie en quadrature Q.

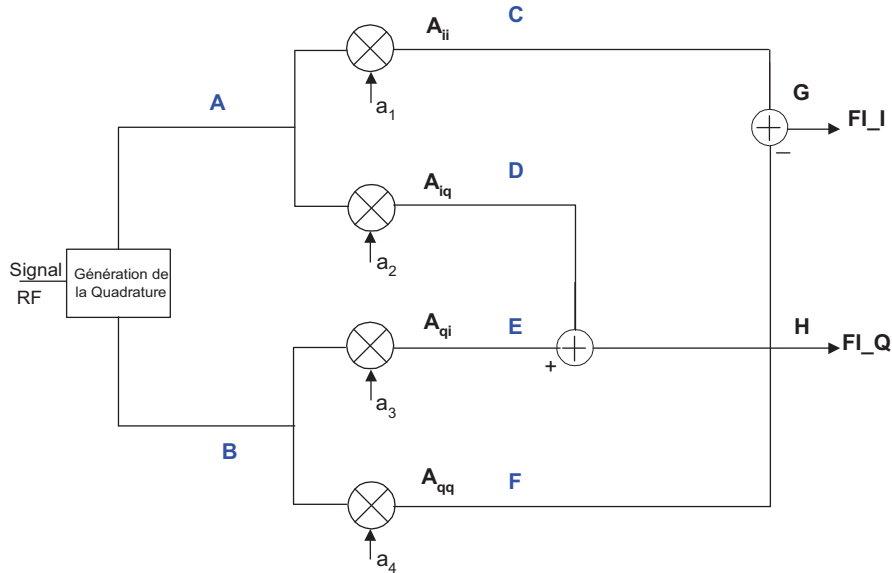


Figure 1.21. Structure FI à double conversion

Pour cette architecture, une disparité de gain entre les voies C et D ou E et F va causer une interconnexion entre les branches I et Q à la sortie FI. Par conséquent, l'IRR au sein de cette architecture est donné par l'équation suivante [53], [54] :

$$IRR = \frac{(A_{ii} + A_{qi} + A_{iq} + A_{qq})^2}{(A_{ii} - A_{qi} - A_{iq} + A_{qq})^2} \quad (1.3)$$

où A_{ii} , A_{qi} , A_{iq} , A_{qq} sont les gains des quatre mélangeurs. Le détail des calculs est donné en annexe 1. Cette équation met en évidence que la qualité de la réjection de la fréquence image et donc de l'IRR dépend des disparités de gain des mélangeurs et non pas des erreurs de phase de l'OL. A titre d'exemple, pour un désappariement de gain de 1% entre les quatre

mélangeurs, l'IRR est limité à 40 dB. Par conséquent, cette structure améliore significativement la réjection du signal image par rapport aux structures précédentes. Plusieurs implémentations proposées dans la littérature permettent d'atteindre un niveau d'IRR de l'ordre de 45-50 dB [55]-[58]. Nous notons cependant que la complexité et la consommation du récepteur sont nettement augmentées.

Nous pouvons conclure que les architectures précédentes, malgré leurs bonnes performances en termes d'IRR (IRR de l'ordre de 50 dB), restent limitées et offrent des performances insuffisantes pour la majorité des applications futures. En effet, ces architectures souffrent du phénomène de désappariement de gain et de phase au niveau des oscillateurs et des mélangeurs. Par conséquent, plusieurs solutions ont été rapportées dans la littérature abordant le problème des déséquilibres entre la voie directe I et la voie en quadrature Q afin d'augmenter l'IRR [59]-[68]. Ainsi, la compensation des disparités et de l'appariement entre ces voies et la suppression des filtres externes sont effectuées à l'aide de plusieurs techniques qui seront le sujet du paragraphe suivant.

I.4.2. PRINCIPALES TECHNIQUES DE REJECTION DU SIGNAL IMAGE

Dans cette partie, nous allons détailler les principales techniques de calibrage des erreurs de phase et de gain au sein des récepteurs RF afin d'augmenter l'IRR. Ces dernières sont basées soit sur des boucles de contre-réaction (avec ou sans signaux de référence externes) soit sur des algorithmes adaptatifs, pour le calibrage du récepteur.

I. 4.2.1. Technique de Razavi et Montemayor

Cette technique, proposée par Razavi et Montemayor [59], consiste à déterminer les disparités de phase et de gain au sein d'une architecture de Weaver et d'appliquer une rétroaction pour l'ajustement de gain et de phase en vue d'améliorer la réjection du signal image. La figure 1.22 illustre la technique proposée.

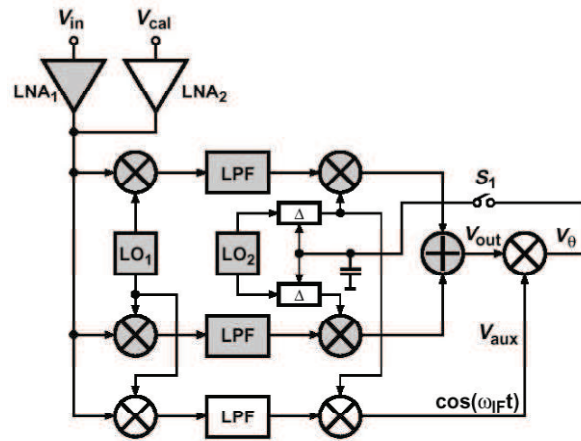


Figure 1.22. Structure d'un récepteur à réjection d'image utilisant la technique de Razavi et Montemayor [59].

En mode de calibration, l'interrupteur S_1 et le LNA₂ sont fonctionnels et le LNA₁ est inactif. Un signal externe de calibration est appliqué à V_{cal} . Les mélangeurs, en blanc, génèrent le signal $\cos(\omega_{IF}t)$ qui sera lui-même multiplié par la tension V_{out} pour obtenir l'information sur le désappariement de phase (V_θ). Par la suite, cette dernière va être appliquée dans les deux cellules de retard variable qui permettent le contrôle de phase de l'OL en réduisant significativement le désappariement. Ensuite, l'interrupteur S_1 et le circuit LNA₂ sont arrêtés et la valeur finale de V_θ est stockée dynamiquement dans un condensateur.

Cette technique de calibration, qui a été réalisée en technologie CMOS 0.35 μm , permet d'atteindre un IRR de 57 dB à une fréquence de fonctionnement de 900 MHz [59]. Le récepteur consomme 105 mW en mode normal et 170 mW en mode de calibration. Cette technique améliore donc la réjection de la fréquence image sans toutefois dégrader la linéarité, le bruit ou le gain du récepteur. Cependant, la consommation a nettement augmenté en raison de la nécessité de régénérer périodiquement la valeur de V_θ à mémoriser dans le condensateur. De plus, cette méthode nécessite un signal périodique supplémentaire pour le calibration, ce qui ne la rend applicable que pour les systèmes TDMA (TDMA pour *Time-Division Multiple-Access*) [59]. Un enregistrement numérique des coefficients permet de s'affranchir du problème du calibration périodique, grâce à l'utilisation des algorithmes SS-LMS (*Sign-Sign Least Mean Square*) et fera l'objet de notre paragraphe suivant.

I. 4.2.2. Technique de Razavi et Der

Dans [3] et [60], Razavi et Der proposent une technique de réjection du signal image, basée sur l'architecture de Weaver, où les disparités de gain et de phase sont corrigées

simultanément par un algorithme basé sur la moyenne carrée (SS-LMS). Le système sous sa forme simplifiée est présenté sur la figure 1.25. Le circuit d'adaptation de LMS ajuste la phase et le gain du deuxième étage de conversion en fréquence sans action sur les mélangeurs RF et sur le premier OL. Ce circuit LMS contrôle le gain variable et les cellules de retard variable afin de minimiser le désappariement des circuits en quadrature. En mode de calibrage, un signal image est appliqué à l'entrée RF, puis le signal $y(t)$ est évalué pour permettre aux coefficients w_1 et w_2 d'être actualisés.

Cette technique de calibrage, implémentée en technologie CMOS 0.25 μm , permet d'atteindre un IRR de 57 dB [3] à une fréquence de fonctionnement de 1.8 GHz et consomme 55 mW en mode de calibrage. Ainsi, le problème de la réjection du signal image est résolu par cette technique qui reste cependant compliquée à mettre en œuvre.

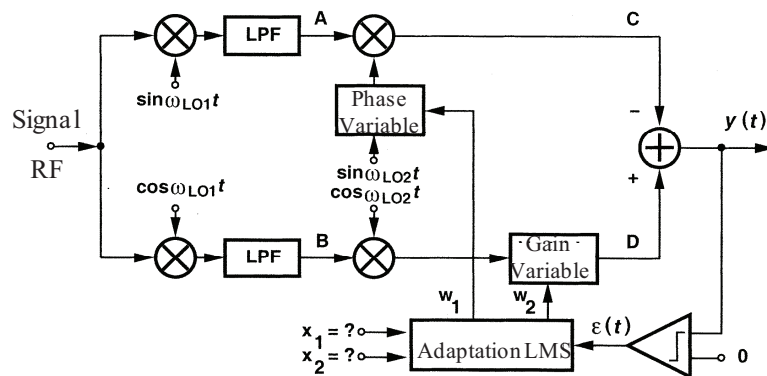


Figure 1.23. Architecture de Weaver utilisant un calibrage SS-LMS [3], [60].

I. 4.2.3. Technique d'Elmala et Embabi

Une nouvelle modification de l'architecture de Weaver est proposée par Elmala et Embabi [61], où les disparités de phase et de gain sont traitées indépendamment. Le système de calibrage en ligne est présenté sur la figure 1.24 où a_1 , a_2 , a_3 et a_4 , issus du signal de l'OL, sont traités pour obtenir deux signaux d'erreur correspondant aux désappariements de phase et de gain. Deux amplificateurs avec un gain G élevé traitent les signaux d'erreur, représentés par V_θ et V_Δ , pour obtenir deux signaux de correction, représentés par $V_{c\theta}$ et $V_{c\Delta}$. Ces signaux de correction sont ensuite introduits dans une cellule à retard pour l'ajustement de la phase et du gain du deuxième OL. Les deux amplificateurs forcent les valeurs finales des signaux d'erreur à tendre vers zéro, ce qui garantit un bon niveau de réjection du signal image.

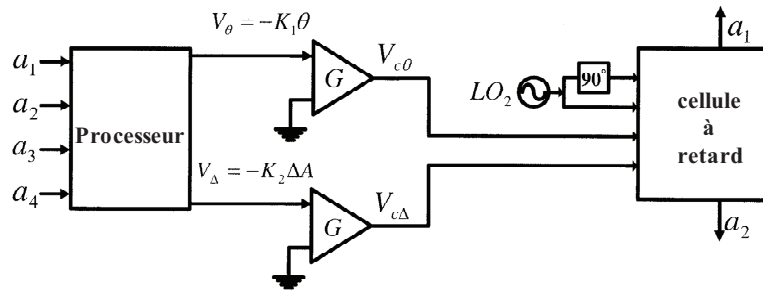


Figure 1.24. Système de calibrage de Phase et de Gain proposé dans [61]

Par la suite, les signaux d'erreur de phase et de gain sont extraits à partir du récepteur suivant les indications de la figure 1.24. En effet, deux multiplieurs supplémentaires sont utilisés pour générer les signaux b_1 , b_2 , b_3 et b_4 , qui contiennent les informations de désappariement de phase et de gain du récepteur.

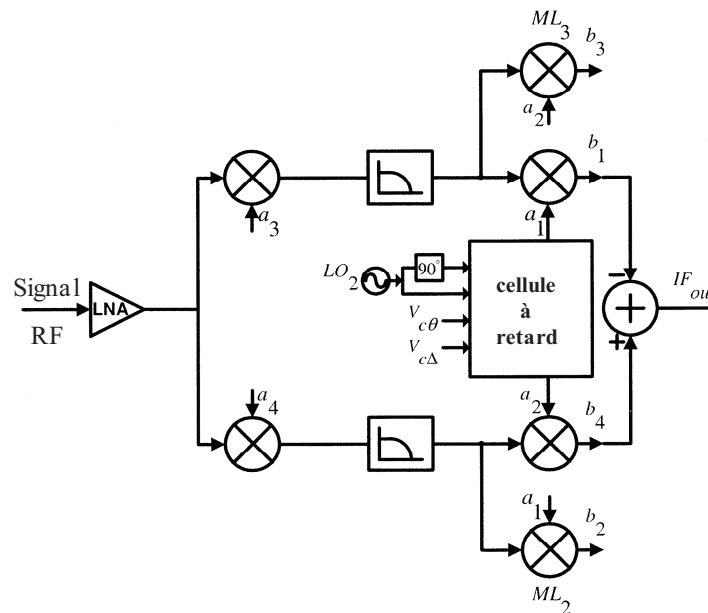
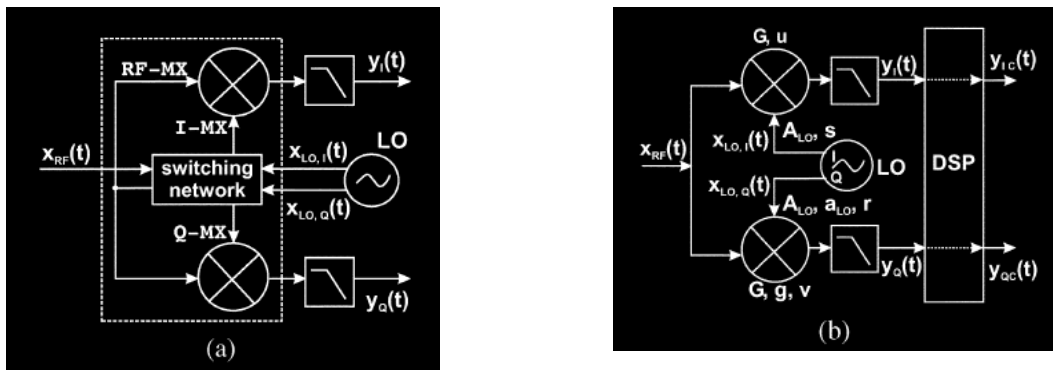


Figure 1.25. Architecture du récepteur proposée dans [40]

Cette technique de calibrage a été implémentée en technologie CMOS 0.35 μm et permet d'atteindre un IRR de 59 dB [61] à une fréquence de fonctionnement de 1.8 GHz pour une consommation de 160 mW en mode de calibrage. Le problème de la réjection de la fréquence image est bien résolu par cette technique mais reste compliquée à mettre en œuvre. Le calibrage numérique, quant à lui, offre plusieurs avantages par rapport aux dispositifs analogiques surtout au niveau de la consommation car la puissance additionnelle nécessaire pendant la phase de calibrage est largement en dessous des techniques analogiques.

I. 4.2.4. Technique de Vitali, Franchi et Gnudi (V.F.G)

Il est important de noter que les techniques numériques sont très répandues pour compenser les désappariements de phase et de gain dans les architectures RF. Elles reposent, généralement, sur le même principe qui consiste à utiliser un algorithme adaptatif et un DSP [62]-[68]. Par conséquent, nous présentons l'une des plus récentes de ces techniques qui est proposée par Vitali, Franchi et Gnudi [64]. Cette dernière est basée sur l'utilisation du signal de l'OL comme référence dans l'évaluation de ces erreurs. La figure 1.26 (a) illustre le schéma fonctionnel de cette technique. Le réseau de commutation permet l'acheminement des signaux de l'OL aux ports d'entrée du mélangeur (RF-MX) de quatre manières différentes pendant la phase d'évaluation. Ainsi, les erreurs de phase et de gain sont estimées par un algorithme implémenté dans le DSP.



(a) Schéma fonctionnel

(b) Configuration pendant le fonctionnement normal

Figure 1.26. Technique proposée par Vitali, Franchi et Gnudi dans [64]

La figure 1.26 (b) représente le circuit dans sa configuration de fonctionnement normal. Les signaux de correction y_{IC} et y_{QC} sont calculés continuellement par le DSP. Durant la phase d'évaluation des paramètres de disparité, tous les cas possibles pour la combinaison des signaux de l'OL aux deux mélangeurs sont présentés par la figure 1.27.

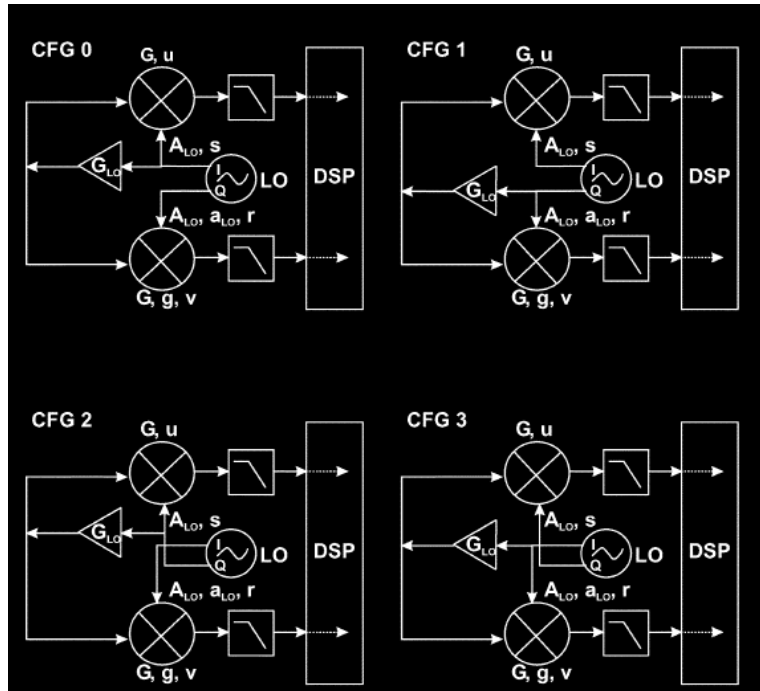


Figure 1.27. Configurations utilisées pour l'évaluation des erreurs de gain et de phase [44]

Le système RF (*down-converter*) a été implémenté en technologie CMOS 0.13 μm pour une fréquence de fonctionnement de 1.01 GHz. La partie analogique du dispositif de calibrage ajoute une faible consommation. Les résultats de simulations indiquent qu'un IRR de l'ordre de 60 dB peut être obtenu. Quant aux mesures, cette technique permet un IRR d'environ 49 dB. Cette dégradation est causée principalement par le couplage des signaux I et Q de l'oscillateur [64].

I. 4.2.5. Comparaison des techniques utilisées dans les systèmes à réjection de la fréquence image

Le tableau 1.5 présente un comparatif des principales techniques de réjection du signal image. En premier lieu, nous allons comparer les trois techniques proposées dans [3], [59] et [61] car elles présentent presque le même niveau d'IRR. La technique proposée par Elmala et Embabi [61], à la différence des deux autres techniques, celles de Montemayor et Razavi [59] et de Der et Razavi [3], n'a pas besoin d'un signal de calibrage, en permettant un calibrage en ligne et en différé. Cependant, sa consommation est un peu élevée mais se situe entre les deux autres en raison de la contribution apportée par les multiplieurs FI. Cette technique est dépendante du niveau de puissance du signal RF. Ainsi la dynamique de ce dernier peut varier considérablement sans pour autant dépasser -25 dBm (environ 18mV) car au dessus de cette valeur l'IRR se dégrade rapidement [61]. Par contre, un calibrage unique implique que les

signaux de correction doivent être stockés en utilisant un dispositif numérique. Ce qui a pour avantage de rendre l'IRR indépendant du niveau de puissance en entrée. Pour les techniques numériques, nécessitant un algorithme adaptatif et un DSP, comme celle proposée dans [64], nous pouvons noter qu'elles sont à faible consommation. Cependant, les contraintes de linéarité sur le dispositif « *down-converter* » sont repoussées au convertisseur Analogique/Numérique (CAN) dans une architecture faible-FI ce qui rend cette technique non appropriée pour les récepteurs UMTS [69]. De plus, l'IRR ne dépasse pas en général les 50 dB vu le caractère estimatif des équations implémentées dans le DSP.

| <i>Technique</i> | <i>Montemayor& Razavi [59]</i> | <i>Der&Razavi [3]</i> | <i>Elmala&Embab i [61]</i> | <i>V.F.G [44]</i> |
|---|------------------------------------|---------------------------|--------------------------------|-------------------|
| <i>Technologie</i> | 0.35 μ m CMOS | 0.25 μ m CMOS | 0.35 μ m CMOS | 0.13 μ m CMOS |
| <i>Tension d'alimentation</i> | 3 V | 2.5 V | 3 V | NC |
| <i>Fréquence RF</i> | 0.9 GHz | 2 GHz | 1.8 GHz | 1.01 GHz |
| <i>Consommation (mode réception)</i> | 105 mW | 50 mW | 95 mW | NC |
| <i>Consommation (mode calibrage)</i> | 170 mW | 55 mW | 160 mW | NC |
| <i>Calibrage de la Phase</i> | ✓ | ✓ | ✓ | ✓ |
| <i>Calibrage de Gain (Amplitude)</i> | | ✓ | ✓ | ✓ |
| <i>Tonalité (signal externe) de calibrage</i> | ✓ | ✓ | | |
| <i>Calibrage en différé</i> | ✓ | ✓ | ✓ | ✓ |
| <i>Calibrage en ligne</i> | | | ✓ | ✓ |
| <i>IRR avant calibrage</i> | 17 dB | 25 dB | 26 dB | 17 dB |
| <i>IRR après calibrage</i> | 57 dB | 57 dB | 59 dB | 49 dB |

Tableau 1.4. Comparaison entre les techniques de calibrage des « désappariements »

En récapitulant, les techniques précédemment présentées peuvent être appliquées dans plusieurs architectures de réjection du signal image. En effet, elles sont conçues pour être peu

sensibles aux disparités et permettent la suppression des filtres externes de réjection de la fréquence image. L'IRR ainsi maximale obtenue est de 60 dB.

I.5. DEFINITION DU CADRE POUR CE TRAVAIL DE RECHERCHE

L'émergence de la téléphonie mobile et des réseaux sans fil a causé une surcharge des bandes de fréquences allouées (surtout les bandes autour de 2.4 GHz et 5 GHz). A cela s'ajoute les perturbations et les interférences causées par des appareils industriels ce qui nécessite des systèmes de plus en plus robustes à base d'architectures permettant la compatibilité avec ces standards. Par conséquent, la nécessité d'avoir des systèmes ayant de bonnes performances surtout au niveau de la réjection de la fréquence image est plus que jamais d'actualité. En effet, les architectures actuelles, malgré leurs bonnes performances en termes d'IRR restent limitées et offrent des performances insuffisantes pour la plupart des applications futures. Cependant, l'étude et la conception de la totalité de la partie radio ne sont pas envisageables. Ce travail de recherche a été centré sur la partie "réception RF", la plus exigeante et la plus contraignante avec pour objectif de proposer des techniques et des architectures innovantes pour améliorer principalement la réjection du signal image.

I.6. CONCLUSION

Ce premier chapitre a permis d'introduire les différents standards de communications sans fil et de réaliser une étude comparative des architectures utilisées dans les récepteurs RF. L'architecture hétérodyne présente des inconvénients incontournables de par sa complexité et de son incompatibilité avec les systèmes multi-modes/multi-bandes. Les architectures Zéro-FI remplissent parfaitement le rôle de configurabilité, en faisant reposer en partie cette flexibilité sur chacun des blocs constitutifs de l'architecture. Quant aux systèmes utilisant une faible FI, ils offrent un réel avantage grâce à leur haut niveau d'intégration mais ils sont plus efficaces pour les standards à bande étroite. Nous avons ensuite détaillé les architectures à réjection d'image. Il s'avère que les architectures en double quadrature offrent une meilleure réjection d'image au détriment d'une surface silicium et une consommation plus importante. Par contre, l'ensemble de ces architectures souffrent principalement du désappariement d'amplitude et de phase au niveau des mélangeurs et des oscillateurs. La prise en compte et la compensation de ces erreurs se fait généralement durant l'étape de conception des blocs constituant la chaîne de réception RF et au niveau du dessin des masques. Mais ces solutions

restent insuffisantes et limitées ce qui impose l'utilisation de techniques de calibrage de ces erreurs au détriment d'un système plus complexe et plus coûteux.

A partir de l'étude présentée dans ce chapitre d'introduction, nous avons mis en évidence que l'appariement des signaux est un paramètre clé pour obtenir de bonnes performances de réjection de la fréquence image. La première partie de l'étude sera donc consacrée aux techniques de génération de signaux en quadrature.

I.7. REFERENCES

- [1] M. Biggs, et al., "*Occupancy analysis of the 2.4GHz ISM band*", IEE Proc.Commun, Volume 151, pp. 481-488. October 2004.
- [2] B. Razavi, "*RF Microelectronics*". Englewood Cliffs, New Jersey: Prentice Hall, 1998.
- [3] L. Der, and B. Razavi, "*A 2-GHz CMOS image-reject receiver with LMS calibration*", IEEE Journal of Solid-State Circuits, Volume 38, Issue 2, pp. 167-175, Feb 2003.
- [4] Chen, C. C., and C. C. Huang, "*On the architecture and performance of a hybrid image rejection receiver*", IEEE Journal on Selected Areas in Communications, vol. 19, pp. 1029-1040, June 2001.
- [5] L. Lessing, "*Man of high fidelity: Edwin Howard Armstrong*", a bibliography, New York: Bantam books, 1969.
- [6] B. Razavi, "*Architectures and Circuits for RF CMOS Receivers*", IEEE Custom Integrated Circuits Conference, pp. 393-401, 1998.
- [7] P. Orsatti, F. Piazza, and Q. Huang "*A 20-mA-receive, 55-mA-transmit, single-chip GSM transceiver in 0.25- μ m CMOS*", IEEE Journal of Solid-State Circuits, pp. 1869-1880, Volume 34, Issue 12, Dec 1999.
- [8] T.D Stetzler et al., "*A 2.7-4.5 V single chip GSM transceiver RF integrated circuit*", IEEE Journal of Solid-State Circuits, pp. 1421-1429, Volume 30, Issue 12, Dec 1995.
- [9] D. Grace, and H. Iwatsubo, "*RF filter technology for wireless communications*", Wireless Design & Development, p. 8, June 1996.
- [10] J. Schwartzel, "*Filtering and frequency control for the next generation of mobile communication systems*", in Proc. EFTF, pp. 175-189, 1994.
- [11] S. Suma, et al., "*Surface mount type saw filter for hand-held telephones*", Proc. Japan Electric Manufacturing Technology Symposium, pp. 97-100, June 1993.
- [12] A. A. Abidi, "*Direct-conversion radio transceivers for digital communications*", IEEE Journal of Solid-State Circuits, 30(12): pp. 1399-1410, Dec. 1995.
- [13] B. Razavi, "*Design consideration for direct-conversion receivers*", IEEE Trans. On Circuits and Systems-II: Analog and Digital Signal Processing, 44(6), pp. 428-435, June

- 1997.
- [14] G. J. Pottie, "System design choices in personal communications", IEEE Personal Communications, Vol. 2, No. 5, pp. 50-67, Oct. 1995.
 - [15] S. Sampei, and K. Feher, "Adaptive DC-offset compensation algorithm for burst mode operated direct conversion receivers", IEEE Vehicular Technology Conference, Vol. 1, pp. 93-96, May 1992.
 - [16] B. Lindquist, M. Isberg, and P. W. Dent, "A new approach to eliminate the DC offset in a TDMA direct conversion receiver", IEEE Vehicular Technology Conference, pp. 754-757, May 1993.
 - [17] C. D. Hull, and J. Leong, "A direct-conversion receiver for 900 MHz (ISM band) Spread-Spectrum digital cordless telephone", IEEE Journal of Solid State Circuits, Vol. 31, No. 12, pp. 1955-1963, 1996.
 - [18] J. H. Mikkelesen, et al., "Feasibility study of DC offset filtering for ULTRA-FDD/WCDMA direct-conversion receiver", Proceedings of Norchip Conference, 1999.
 - [19] D. Y. C. Lie, et al., "A direct-conversion WCDMA front-end SiGe receiver chip", IEEE Radio Frequency Integrated circuits Symposium, pp. 31-34, 2002.
 - [20] C. Kusano, et al., "High-Frequency Semiconductor Devices for Mobile Phones", Hitachi Review, Vol. 48, No. 2, pp. 74-80, 1999.
 - [21] A. Springer, L. Maurer, and R. Weigel, "RF system concepts for highly integrated RFICs for WCDMA mobile radio terminals", IEEE Trans. Microwave, Theory and Techniques, Vol. 50, No. 1, pp. 254-267, Jan. 2000.
 - [22] F. Gatta, D. Manstretta, P. Rossi, and F. Svelto, "A fully integrated 0.18 μm CMOS direct conversion receiver front-end with on chip LO for UMTS", IEEE Journal of Solid State Circuits, Vol. 39, No. 1, pp. 15-23, Jan. 2004.
 - [23] J. Ryynanen, et al., "A dual-band RF front-end for WCDMA and GSM applications. IEEE Journal of Solid State Circuits, Vol. 36, No. 8, pp. 1198-1204, Aug. 2001.
 - [24] D. Brunel, et al., "A highly integrated 0.25 μm BiCMOS chipset for 3G UMTS/WCDMA handset RF subsystem", IEEE Radio Frequency Integrated Circuits Symposium, pp. 191-194, June 2002.
 - [25] RF Micro Devices, "RF5608 – Dual-band tri-mode 802.11a/b/g wireless LAN solution", <http://www.rfmd.com/> [En ligne], 2003.
 - [26] M. Brandolini, et al., "Toward multistandard mobile terminals fully integrated receivers requirements and architectures", IEEE Trans. Microwave, Theory and Techniques, Vol. 53, No. 3, pp. 1026-1038, Mar. 2005.
 - [27] W. Y. Ali-Ahmed, "RF system issues related to CDMA receiver specifications", RF Design, pp. 22-23, Sep. 1999.
 - [28] A. Koukab, Y. Lei, and M. J. Declercq, "A GSM-GPRS/UMTS FDD-TDD/WLAN a-b-g

- multistandard carrier generation system*", IEEE Journal of Solid State Circuits, Vol. 41, No. 7, pp. 1513-1521, Jul. 2006.
- [29] J. A. Kilpatrick, et al., "New SDR architecture enables ubiquitous data connectivity", RF design magazine, pp. 34-38, 2006.
- [30] S. Mirabbasi, and K. Martin, "Classical and modern receiver architecture", IEEE Commun. Mag., vol.43, no. 6, pp. 43-51. Nov./Dec. 2005
- [31] J. Mahattanakul, "The effect of I/Q imbalance and complex filter component mismatch in low-IF receivers", IEEE Trans. Circuits Syst. I, vol. 53, no. 2, pp. 247-253. February 2006.
- [32] D. Brunel, et al., "A highly integrated 0.25 μm BiCMOS chipset for 3G UMTS/WCDMA handset RF subsystem," IEEE Radio Frequency Integrated Circuits Symp., pp. 191-194, June. 2002.
- [33] A. Springer, L. Maurer, and R. Weigel, "RF system concepts for highly integrated RFICs for W-CDMA mobile radio terminals", IEEE trans. Microw. Theory and Tech, vol. 50, no 1, pp 254-267. Jan. 2002.
- [34] D. Brandolini, P. Rossi, D. Manstretta, and F. Svelto "Toward Multistandard mobile terminals- Fully Integrated Receivers Requirements and Architectures", IEEE trans. Microw. Theory and Tech, vol. 53, no 3, pp 1026-1038. March. 2005
- [35] ISO-9000 certified, White paper, "Wireless LAN Systems – Technology and specifications", NDC Comm, Inc. (NDC).
- [36] W. Kludge, et al., "A 2.4 GHz CMOS transceiver for 802.11b wireless LANs", In Int. Solid State Circuits Conf. vol. 1, pp. 360-361, Feb. 2003.
- [37] S.L.J.Gierkink, D.Li, R.C.Frey, and V.Boccuzzi, "A 3.5 GHz PLL for fast Low-IF/Zéro-FI LO switching in an 802.11 transceiver", IEEE J.Solid state circuit, vol.38, no.9, pp.1909-1921, Sep. 2005.
- [38] A. Behzad, et al., "Direct conversion CMOS transceiver with automatic frequency control for 802.11a wireless LANs", In Int. Solid State Circuits Conf. vol. 1, pp. 354-498, Feb. 2003.
- [39] R. Hartley, "Modulation System", U.S. Patent 1.666.206, April 1928.
- [40] T. Okanobu, H. Tomiyama, and H. Arimoto, "Advanced low voltage single chip radio IC", IEEE Transactions on Consumer Electronics, Volume 38, Issue 3, pp. 465-475, Aug. 1992.
- [41] W. Baumberger, "A single-chip image rejecting receiver for the 2.44 GHz band using commercial GaAs-MESFET-technology", IEEE Journal of Solid-State Circuits, Volume 29, Issue 10, pp. 1244-1249, Oct. 1994.
- [42] D. Pache, et al., "An improved 3 V 2 GHz BiCMOS image reject mixer IC", Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 95-98, May 1995.

- [43] D. K. Weaver, "A third method of generation and detection of single-sideband signals", Proceedings of the IRE, Vol. 44, No. 12, pp. 1703-1705, Dec. 1956.
- [44] J. Xu, et al., "Design of Weaver Topology", Electronic Letters, Vol. 37, No. 18, pp. 1133-1135, 2001.
- [45] J. C. Rudell, "Frequency Translation Techniques for High-Integration High-Selectivity Multi-Standard Wireless Communication Systems", Thèse de doctorat, 2000.
- [46] C. Carta, R. Vogt, and W. Bächtold, "Multiband monolithic BiCMOS low-power low-IF WLAN receivers", IEEE Microwave and Wireless Components Letters, Vol. 15, No. 9, pp. 543-545, Sep. 2005.
- [47] J. R. Long, and M. C. Maliepaard, "A 1V 900 MHz image-reject downconverter in 0.5 μm CMOS", IEEE Custom Integrated Circuits Conference, pp. 665-668, 1999.
- [48] J. R. Long, "A narrowband radio receiver front-end portable communications applications", Thèse de doctorat, Carleton University, 1996.
- [49] J. C. Rudell, et al., "A 1.9 GHz wideband IF double conversion CMOS receiver for cordless telephone applications", IEEE Journal of Solid State Circuits, Vol. 32, No. 12, pp. 2071-2088, 1997.
- [50] S. Cho, H. S Lee, "Effect of Phase mismatch on Image Rejection in Weaver Architecture", IEEE Microwave and Wireless Components Letters, Volume 17, Issue 1, pp: 70-72, Jan. 2007.
- [51] J. Crols, and M. Steyaert. "A 1.5 GHz highly linear CMOS down conversion mixer". IEEE Journal of Solid-State Circuits, 30(7): p. 736-742, July. 1995.
- [52] M. Steyaert, and J. Crols, "Analog integrated polyphase filters". Proceedings of the Workshop on Advances in Analog Circuit Design, Duisburg / Germany, pp. 18, March 1994.
- [53] Kong-pang Pun, José Epifânio da Franca, and Carlos Azeredo-Leme, "Circuit design for wireless communications: improved techniques for image rejection in wideband quadrature receivers", Springer 2003.
- [54] Iqbal Younes, "Circuit Design for Low Voltage Wireless Receiver with Improved Image Rejection", Thèse de doctorat, Ohio State University, 2004.
- [55] Tzung-Han Wu, and Chinchun Meng, "5.2/5.7-GHz 48-dB Image Rejection GaInP/GaAs HBT Weaver Down-Converter Using LO Frequency Quadrupler", IEEE Solid-State Circuits, Volume 41, Issue 11, pp. 2468 – 2480, Nov 2006.
- [56] Kim Chang-Wan, and Lee Sang-Gug, "A 5.25-GHz image rejection RF front-End Receiver With Polyphase filters", IEEE Microwave and Wireless Components Letters, Volume 16, Issue 5, pp. 302-304, May 2006.
- [57] Jianhong Xiao, et al., "Low-power fully integrated CMOS DTV tuner front-end for ATSC terrestrial broadcasting", VLSI Design, Volume 2007.

- [58] Chou Chung-Yun, and Wu Chung-Yu, “*The design of wideband and low-power CMOS active polyphase filter and its application in RF double-quadrature receivers*”, IEEE Transactions on Circuits and Systems I: Regular Papers, Volume 52, Issue 5, pp. 825-833, May 2005.
- [59] R. Montemayor, and B. Razavi, “*A self-calibrating 900-MHz CMOS image-reject receiver*”, Proceedings of the 26th European Solid-State Circuits Conference, ESSCIRC, pp. 320-323, 19-21 Sept. 2000.
- [60] L. Der, and B. Razavi, “*A 2-GHz CMOS image-reject receiver with LMS calibration*”, IEEE Solid-State Circuits Conference, Digest of Technical Paper, 2001.
- [61] M.A.I Elmala, and S.H.K Embabi, “*Calibration of phase and gain mismatch in Weaver image-reject receiver*”, IEEE Journal of Solid-State Circuits, Volume 39, Issue 2, pp. 283-289, Feb. 2004.
- [62] Li Juan, et al., “*A 434/868 MHz CMOS low-IF receiver with I/Q imbalance calibration for SRDs application*”. Journal of Semiconductors, 2009.
- [63] L. Yu, and M. Snelgrove, “*A novel adaptive mismatch cancellation system for quadrature IF radio receivers*,” IEEE Trans. Circuits Syst. II, vol. 46, pp. 789-801, June 1999.
- [64] S. Vitali, E. Franchi, and A. Gnudi, “*RF I/Q Downconverter With Gain/Phase Calibration*”, Express Briefs, IEEE Transactions on Circuits and Systems II, Volume 54, Issue 4, pp. 367-371, April 2007.
- [65] M. Valkama, and M. Renfors, “*Advanced DSP for I/Q imbalance compensation in a low-IF receiver*”, IEEE International Conference on Communications, Vol. 2, pp. 768-772, 2000.
- [66] U. -K. Moon, and B.-S. Song, “*Background digital calibration techniques for pipelined ADCs*”, IEEE Trans. Circuits and Systems II: Analog and digital signal processing, Vol. 44, No. 2, pp. 102 - 109, Feb. 1997.
- [67] N. Sun, et al., “*Digital background calibration in pipelined ADCs using commutated feedback capacitor switching*”, IEEE Trans. circuits and Systems II: Express Briefs, Vol. 55, No. 9, pp. 877-881, Sep. 2008.
- [68] Y. Chiu, et al., “*Least mean square adaptive digital background calibration of pipelined analog-to-digital converters*”, IEEE Trans. Circuits and Systems I: Regular Papers, Vol. 51, No. 1, pp. 38-46, Jan. 2004.
- [69] Shaikh Md. Khairul ALAM, “*A CMOS front end for high linearity zero-if WCDMA receiver*”, Thèse de Doctorat, Ohio State University, 2006.

Chapitre 2

Techniques de Génération de Signaux en Quadrature

Résumé – Ce chapitre est consacré à une comparaison des deux principaux types d'oscillateurs contrôlés en tension, à savoir les oscillateurs à résonateurs passifs de type LC et les oscillateurs en anneau. Nous présentons, également, les trois principales méthodes de génération des signaux en quadrature de phases à savoir : la combinaison d'un diviseur de fréquence et d'un oscillateur, la combinaison d'un oscillateur avec un filtre polyphase et la combinaison de deux oscillateurs LC. Compte tenu des problèmes propres à chacune des deux premières architectures citées ci-dessus, nous nous sommes intéressés à l'obtention de signaux en quadrature de phases en combinant deux oscillateurs LC. Nous avons mené une optimisation et étudié les performances du dispositif en termes de bruit de phase puis l'appariement des signaux a été quantifié et amélioré en proposant des méthodes simples.

II.1. INTRODUCTION

Les signaux en quadrature sont largement utilisés dans les systèmes de communications modernes. En effet, lors du premier chapitre, nous avons montré que la qualité des signaux était un paramètre clé pour obtenir de bonnes performances de réjection de la fréquence image au sein des récepteurs radiofréquences (RF). Nous avons, de plus, présenté l'intérêt d'utiliser des architectures RF en quadrature pour accroître les performances de réjection de cette fréquence image et de proposer des structures totalement intégrées. Parmi les différentes méthodes existantes permettant d'obtenir des signaux en quadrature, nous avons : la combinaison d'un oscillateur avec un filtre polyphase, la combinaison de deux oscillateurs LC, la combinaison d'un diviseur de fréquence et d'un oscillateur. Il est à noter que ce dernier constitue l'élément commun à toutes ces solutions. Par conséquent, dans la première partie de ce chapitre, nous traiterons des oscillateurs destinés aux systèmes radiofréquences. Les oscillateurs LC utilisent un résonateur passif (nommé aussi réservoir d'énergie réactive) constitué d'inductances et de capacités. Les oscillateurs en anneau quant à eux sont constitués de cellules à retard rebouclées. Nous détaillerons par la suite les différentes techniques de génération de signaux en quadrature. En effet, ces techniques doivent permettre de répondre aux problèmes de déséquilibre des signaux en considérant les erreurs d'amplitude et de phase. Dans ce contexte, nous présenterons des solutions pertinentes sur la génération de signaux en quadrature en fonction des variations du procédé technologique, de l'effet des éléments parasites ainsi que du désappariement (« *mismatch* ») des composants.

II.2. OSCILLATEURS LC ET OSCILLATEURS EN ANNEAU

Les avancées technologiques ont permis une utilisation toujours croissante des oscillateurs jusqu'aux fréquences micro-ondes [1]. Cependant, cette montée en fréquence s'accompagne généralement d'une augmentation du bruit de phase plaçant les oscillateurs en anneau, à fréquence de fonctionnement égale, loin derrière les performances des oscillateurs LC [2]. Par ailleurs, les systèmes d'émission-réception radiofréquences sont fortement dépendants de la pureté spectrale de l'oscillateur local qui est un dispositif limitatif de la qualité de la liaison puisque son bruit se superpose au signal utile. De ce fait, l'optimisation des performances des circuits qui composent ces systèmes requiert d'être prise en compte dès la phase de conception. Il existe principalement trois types de sources de bruit dans les oscillateurs [3] :

- Bruit blanc : Il s'agit d'un bruit qui se retrouve directement additionné à la sortie de l'oscillateur et qui n'est significatif que pour les fréquences éloignées de la porteuse.
- Bruit en $1/f^2$: Il est causé par la non-linéarité de l'oscillateur lors des commutations qui provoquent la multiplication des composantes hautes-fréquences du bruit entre elles et avec la porteuse.
- Bruit en $1/f^3$: Il est aussi le résultat des non-linéarités de l'oscillateur qui convertissent le bruit de scintillement (*flicker noise*) en $1/f$ autour de la porteuse.

Ainsi, lors de la phase de conception d'un oscillateur on se trouve confronté aux compromis suivants :

- Faible bruit de phase et surface silicium importante pour les oscillateurs LC.
- Bruit de phase élevé et faible surface silicium pour les oscillateurs en anneau.

II.2.1. LE BRUIT DE PHASE DANS LES OSCILLATEURS

Dans tout système d'émission-réception, la qualité de la liaison dépend de la "pureté spectrale" des sources de fréquences utilisées. Face à la multiplicité des standards de communications et à la limitation des bandes de fréquences, les exigences en termes de performances des porteuses s'en trouvent augmentées. La "pureté spectrale" du signal généré par un oscillateur est déterminée par la mesure du bruit de phase. Cette caractéristique met en évidence la contribution des sources de bruit intrinsèques du circuit ainsi que sa capacité de convertir ou de rejeter partiellement les fluctuations de courants et de tensions. L'analyse et la minimisation du bruit de phase est donc une étape primordiale dans l'étude des oscillateurs micro-ondes. A cause des non linéarités des circuits oscillants, le bruit basses fréquences (BF) est converti en bruit de phase autour et proche de la porteuse. Ainsi, le bruit de phase permet, par son analyse, l'identification des composants qui ont une contribution importante. Les mesures de bruit de phase s'avèrent donc être très utiles pour valider les performances des oscillateurs ainsi que la fiabilité d'une technologie de fabrication. De façon générale, la tension en sortie d'un oscillateur est donnée par :

$$V_{out}(t) = A(t) \times f [\omega_0 t + \varphi(t)] \quad (2.1)$$

où $A(t)$ et $\varphi(t)$ représentent, respectivement, les variations d'amplitude et de phase en fonction du temps et où f est une fonction 2π -périodique. Or, les variations d'amplitude étant généralement grandement atténuées par les mécanismes de stabilisation présents dans tout oscillateur, le bruit de phase est dominant devant le bruit d'amplitude [4]. Il est donc indispensable durant la phase de conception de pouvoir réduire ce bruit de phase afin

d'obtenir un profil spectral de la porteuse qui soit en adéquation avec les caractéristiques du bilan de liaison. Dans la pratique, le bruit de phase se matérialise par un élargissement du spectre fréquentiel du signal de sortie d'un oscillateur, étalement dû à la conversion du bruit basses fréquences autour de la porteuse et par les effets de non-linéarités observables dans les circuits actifs. Utilisé dans un récepteur hétérodyne, un spectre bruité donne lieu au phénomène de "mélange réciproque" illustré par la figure 2.1. En considérant que le canal adjacent n'est pas ou peu atténué par le filtre du récepteur, le mélange du signal utile et du canal adjacent avec celui de l'oscillateur local va conserver les amplitudes. Ainsi, le signal souhaité en fréquence intermédiaire (FI) risque d'être masqué par le signal perturbateur (interférence) en FI.

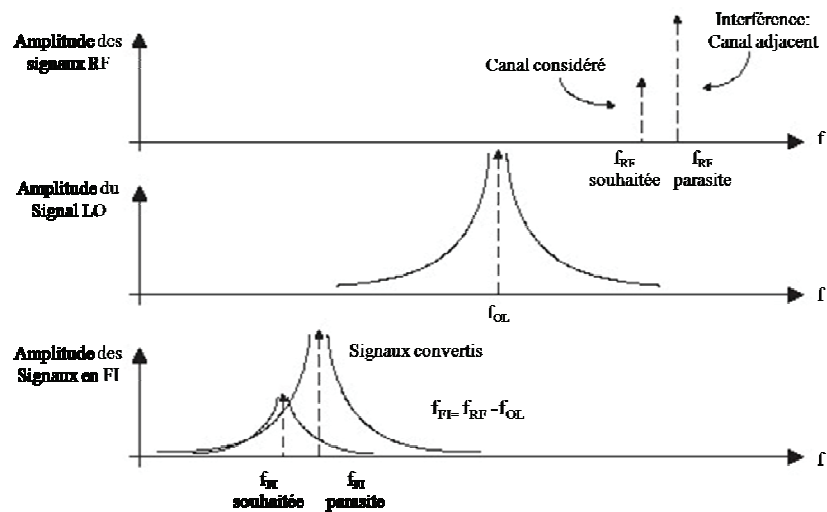


Figure 2.1. Illustration du phénomène de mélange réciproque dû au bruit de phase de l'oscillateur local

En résumé, le bruit de phase de l'oscillateur local va limiter l'immunité du récepteur aux interférences. Celui-ci s'exprime en dBc/Hz traduisant la différence en décibels entre la puissance dans une bande de 1Hz à un décalage de $\Delta\omega$ de la porteuse et la puissance de la porteuse. Sa densité spectrale s'exprime comme suit :

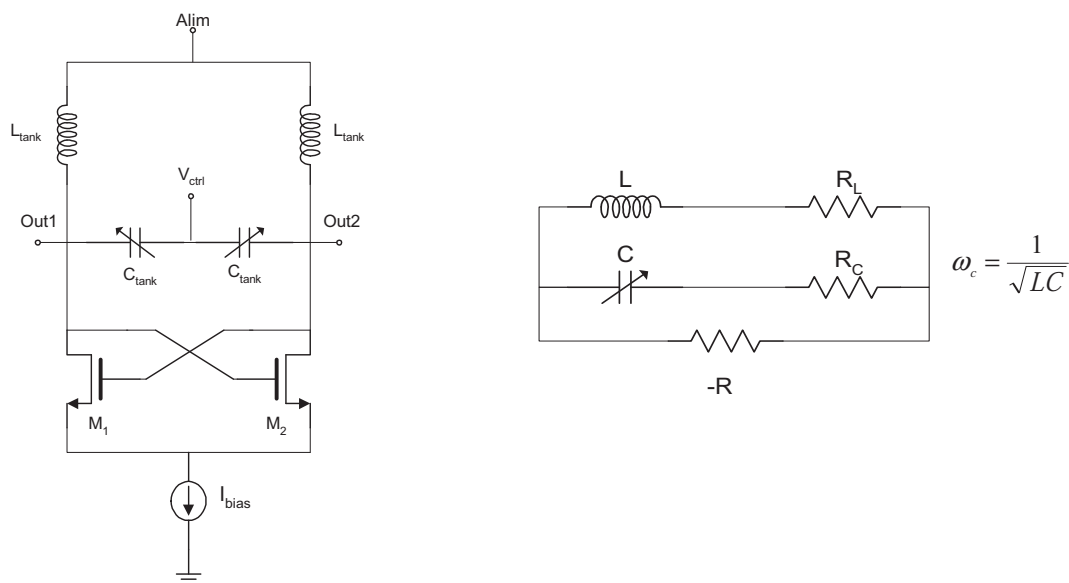
$$L_{total} \{ \Delta\omega \} = 10 \cdot \log \left[\frac{P_{sig}(\omega_0 + \Delta\omega, 1Hz)}{P_{porteuse}(\omega_0, 1Hz)} \right] \quad (2.2)$$

où ω_0 est la pulsation de la porteuse, $\Delta\omega$ est le décalage par rapport à la porteuse pour laquelle le bruit de phase est calculé, P_{sig} est la puissance par unité de fréquence à la pulsation $\omega_0 + \Delta\omega$ et $P_{porteuse}$ est la puissance de la porteuse. Nous pouvons noter, ici, que cette expression tient compte à la fois des fluctuations de phase et d'amplitude. Cependant, l'effet du bruit d'amplitude est réduit par les mécanismes de limitation d'amplitude et peut être éliminé par

l'utilisation d'un limiteur sur le signal de sortie. De ce fait, dans la plupart des applications, la densité spectrale, L_{total} , pourra être considérée comme égal au bruit de phase et sera donc simplement notée L . De plus, plusieurs chercheurs, dont Lesson [5] et Hajirimi [6]-[8], ont proposé des modèles approximatifs afin de quantifier le niveau de bruit de phase dans les oscillateurs.

II.2.2. OSCILLATEUR LC

La figure 2.2 (a) présente une structure classique d'oscillateur différentiel basé sur un résonateur LC. Les transistors M_1 et M_2 sont identiques et équivalents à une résistance négative égale à $-2/g_m$ permettant de compenser les pertes dues aux résistances parasites du résonateur (cf. Figure 2.2 (b)) et ainsi d'entretenir le phénomène d'oscillations. Pour obtenir une oscillation stable, la condition est donc que la valeur absolue de la résistance négative du circuit actif soit supérieure ou égale à $1/(2\pi\sqrt{LC})$. Il est facile de contrôler cette fréquence en agissant sur les valeurs de L ou de C . En effet, les capacités simples sont remplacées par des capacités variables, de type "varactor" MOS ou diode varicap, pour obtenir un oscillateur contrôlé en tension OCT ou VCO en anglais pour : *Voltage Controlled Oscillator*.



(a) Schéma électrique d'un OCT

(b) Schéma équivalent

Figure 2.2. Oscillateur différentiel de type LC

L'oscillateur LC, dont la topologie est illustrée sur la figure 2.2(a), est composé d'une paire croisée de transistors $nMOS$ (M_1 et M_2) jouant le rôle de résistance négative ($-R$ sur la figure 2.2.b) compensant les pertes, avec comme dimension $W/L = 80/0,28\mu m$. La paire croisée est reliée à un résonateur LC. L'inductance vaut $3,1nH$ et les capacités variables sont réalisées à

partir de *varactors nMOS* et ont pour valeur nominale 900fF. Ce circuit a été simulé en utilisant la technologie HCMOS9 de STMicroelectronics (STM). Les résultats sont résumés dans le tableau 2.1.

| | |
|---|--|
| <i>Puissance de sortie</i> | -7,75 dBm |
| <i>Bruit de phase (@1MHz)</i> | -124,6 dBc/Hz |
| <i>Bande de fréquence</i> | 250 MHz (2,367-2,617 GHz) |
| <i>Gain de conversion</i> | 100 MHz/V |
| <i>Plage de contrôle</i> | 0-2,5 V |
| <i>Consommation</i> | 29,4 mW |
| <i>Surface silicium</i> | 340 μm \times 680 μm |
| <i>Erreur d'amplitude / Erreur de phase</i> | 1% / 3.6° |

Tableau.2.1. Tableau récapitulatif des caractéristiques de l'OCT LC proposé

Cet oscillateur présente de nombreux avantages, parmi lesquels nous pouvons noter un niveau de bruit de phase faible et un temps de démarrage court (9 ns). Cependant, le défaut majeur est l'utilisation d'inductances passives qui entraîne une surface silicium importante et pénalisante dans un contexte à faible coût.

II.2.3. OSCILLATEUR EN ANNEAU

Un oscillateur en anneau est une chaîne d'étages de gain rebouclée. La fréquence d'oscillations sera dépendante du retard introduit par chaque étage. Si nous prenons l'exemple de la figure 2.3, la période d'oscillations de la boucle est égale à $2NT_d$, T_d étant le retard de chaque étage et N est le nombre d'étages. L'oscillation est obtenue lorsque le décalage de phase total de la boucle (de la sortie de l'étage 1 à la sortie de l'étage N) est égal à zéro et que le gain est supérieur ou égal à 1 à la fréquence considérée, ces conditions étant connues sous le nom de "Critère de *Barkhausen*".

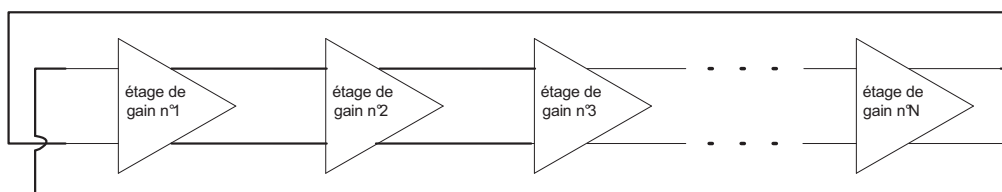


Figure 2.3. Schéma électrique d'un oscillateur en anneau différentiel

Ce circuit (cf. Figure 2.4) est composé d'une chaîne de trois inverseurs dont la charge est contrôlée par la tension V_{ctrl} . A titre comparatif, ce circuit a été simulé en utilisant la

technologie HCMOS9 de STM. Les résultats de simulations sont résumés dans le tableau 2.2. Les dimensions des éléments le constituant sont : $C = 500\text{fF}$, $(W/L)_{Mn1} = 10/0,28\mu\text{m}$, $(W/L)_{Mn2} = 2/0,28\mu\text{m}$, $(W/L)_{Mp1} = 30/0,28\mu\text{m}$.

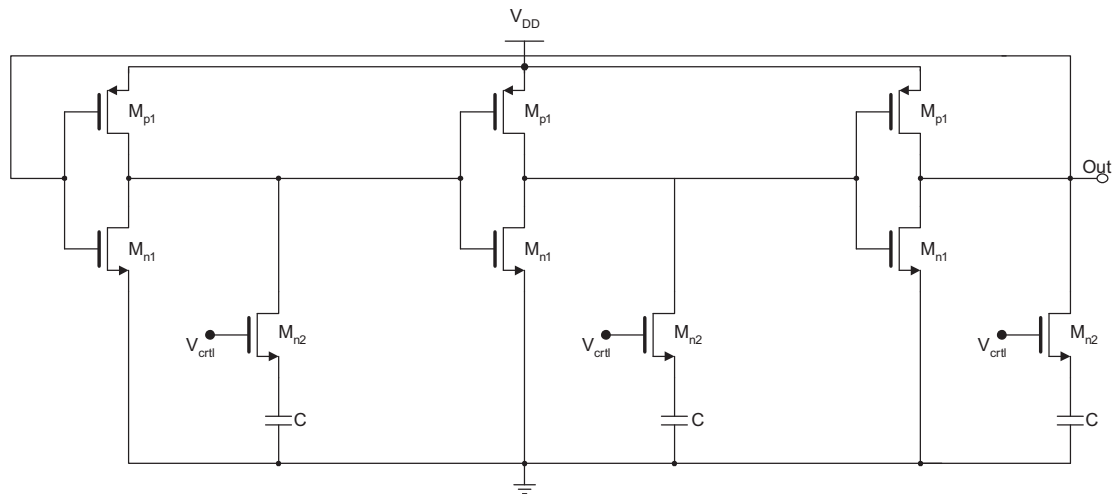


Figure 2.4. Schéma électrique d'un oscillateur en anneau

| | |
|---|--|
| <i>Puissance de sortie</i> | -17,3 dBm |
| <i>Bruit de phase (@1MHz)</i> | -93,7 dBc/Hz |
| <i>Bande de fréquence</i> | 430 MHz (2,32-2,75 GHz) |
| <i>Gain de conversion</i> | 173 MHz/V |
| <i>Plage de contrôle</i> | 0-2,5 V |
| <i>Consommation</i> | 3 mW |
| <i>Surface silicium</i> | 25 $\mu\text{m} \times 67 \mu\text{m}$ |
| <i>Erreur d'amplitude / Erreur de phase</i> | 3% / 5.2° |

Tableau.2.2. Tableau récapitulatif des caractéristiques de l'oscillateur en anneau proposé

Cet oscillateur en anneau présente une plage de fréquences importante (qui peut encore être augmentée, par exemple, en modifiant le dispositif de contrôle), une consommation relativement faible et un temps de démarrage court de 2 ns. Bien que son bruit de phase soit nettement plus élevé que celui de la structure LC, il reste utilisable pour des applications peu contraignantes. Enfin, l'avantage principal d'une telle structure est son faible encombrement (plus de 100 fois plus faible que celui de l'oscillateur LC présenté sur la figure 2.2(a)).

II.2.4. ANALYSE ET DISCUSSION

A la vue des résultats de simulations effectués sur les deux structures précédentes, il apparaît que l'OCT de type LC est mieux adapté aux applications nécessitant un faible bruit

de phase tandis que l'utilisation de l'OCT en anneau est un avantage dans un contexte à faible coût et à faible consommation. L'étude du bruit de phase de ces deux structures a donné lieu à l'évaluation de leur fonction de sensibilité ISF [9]. L'allure de cette fonction est représentée sur la figure 2.5. Nous pouvons en déduire que la pureté spectrale du signal d'un OCT LC est meilleure que celle d'un OCT en anneau. Or, notre but principal est d'augmenter la réjection du signal image en agissant sur la caractéristique des signaux de l'oscillateur. Cette constatation nous amène à privilégier le choix de l'oscillateur LC pour la suite de l'étude.

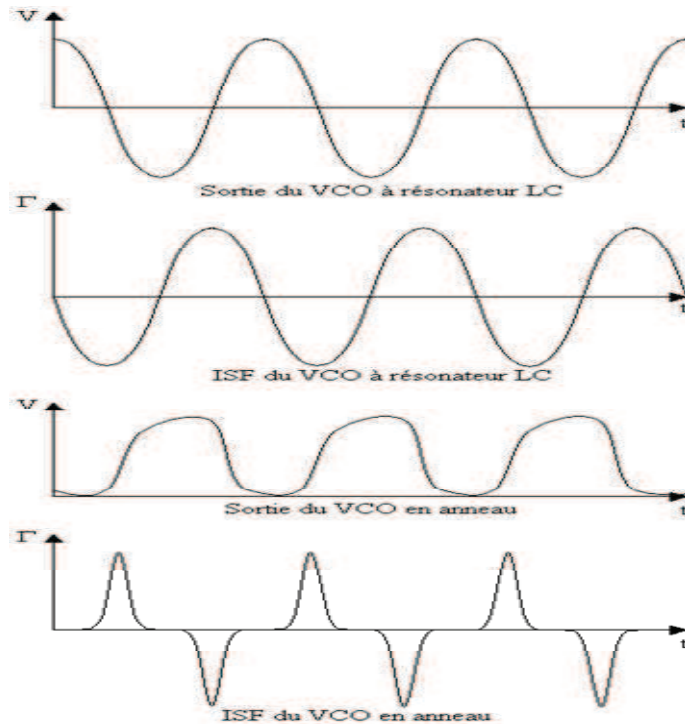


Figure 2.5. Sorties de l'OCT LC et de l'OCT en anneau avec leur ISF associée [9]

II.3. TECHNIQUES DE GENERATION DE SIGNAUX EN QUADRATURE

Dans cette partie, nous allons présenter les principales techniques de génération de signaux en quadrature. Une étude plus approfondie sera consacrée aux filtres polyphases passifs (FPP) et aux oscillateurs LC en Quadrature (QVCO pour *Quadrature Voltage Controlled Oscillator*). Notre étude a été entreprise en gardant à l'esprit l'objectif d'accroître les performances du récepteur en termes de réjection de la fréquence image, ce qui conditionne, par conséquent, la qualité des signaux au sein de ce dispositif. En effet, pour atteindre cet objectif les signaux I et Q (I pour *In-phase* et Q pour *Quadrature*) du récepteur doivent comporter une erreur d'amplitude et de phase la plus faible possible. Par conséquent,

nous présenterons une étude de l'impact des variations du procédé technologique, des effets des éléments parasites ainsi que du désappariement ("mismatch") des composants et nous donnerons des solutions pour y remédier.

II.3.1. DIVISION DE FREQUENCE

Le diviseur de fréquence est un élément essentiel dans les circuits de télécommunications et particulièrement dans les boucles à verrouillage de phase [10]. Il sert, non seulement, à la division de fréquence mais également, comme générateur de signaux en quadrature [11]. Cette génération de signaux en quadrature peut être réalisée en combinant un oscillateur fonctionnant à une fréquence double (de celle désirée) et un diviseur par deux (cf. Figure 2.6 (a)). L'action du diviseur permet d'obtenir des signaux de forme carrée, décalés d'une demi-période du signal d'entrée, autrement dit, déphasés de 90° .

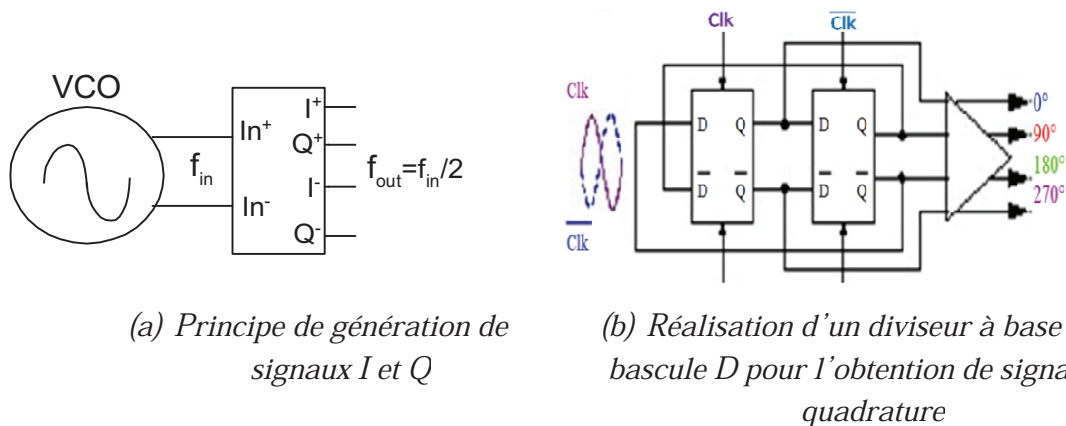


Figure 2.6. Génération de signaux en quadrature avec une division par 2

Dans cette configuration, les bascules sont déclenchées par des signaux d'horloge à phases opposées ayant un rapport cyclique de $\frac{1}{2}$ (cf. Figure 2.6(b)). Avec cette topologie, la quadrature en sortie n'est effective que si le rapport cyclique du signal d'entrée est exactement de 50 %, faute de quoi, une erreur de phase apparaît entre les signaux I et Q. Un déséquilibre des voies à l'entrée du diviseur peut également avoir une incidence non négligeable sur la précision du déphasage. En conséquence, cette technique présente plusieurs inconvénients dont la consommation élevée de l'oscillateur (il fonctionne à deux fois la fréquence désirée) et le besoin d'avoir un rapport cyclique très précis de $\frac{1}{2}$. De cette dernière contrainte dépend directement l'exactitude de la quadrature. Ceci est représenté dans le diagramme de temps ci-dessous (cf. Figure 2.7). Cette dépendance peut être éliminée en utilisant un oscillateur fonctionnant à quatre fois la fréquence désirée et un diviseur par quatre, ce qui va augmenter les contraintes de conception de ces circuits.

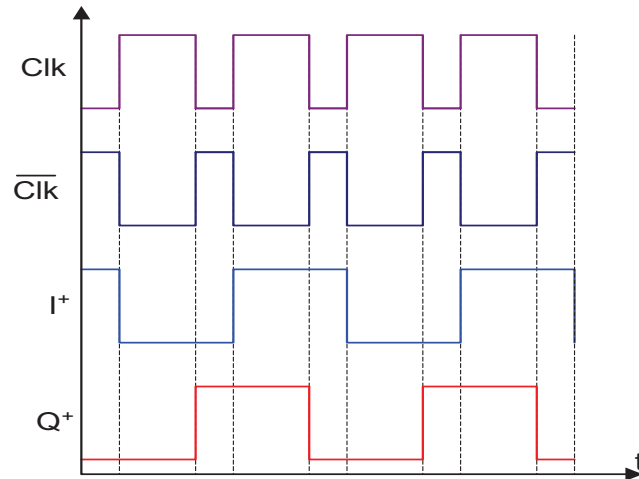


Figure 2.7. Effet du rapport cyclique sur les signaux en quadrature

Pour palier tous ces problèmes, plusieurs techniques sont proposées dans la littérature [12]-[14] dont [12] qui consiste à utiliser un comparateur avec un seuil réglable pour ajuster le coefficient d'utilisation de l'horloge (action sur le courant des bascules et par conséquent sur leurs fronts). Le seuil est calculé avec une boucle de contre-réaction qui mesure l'erreur de quadrature. Malheureusement, cette solution est conditionnée par la mesure de l'erreur de quadrature. De plus, la stabilité de rétroaction, le temps d'établissement ainsi que la puissance imposent des limitations additionnelles.

II.3.2. FILTRE POLYPHASE : CONCEPTION ET REALISATION

Une manière simple de générer deux signaux déphasés de 90° consiste à utiliser un réseau RC-CR comme le montre le schéma de la figure 2.8.

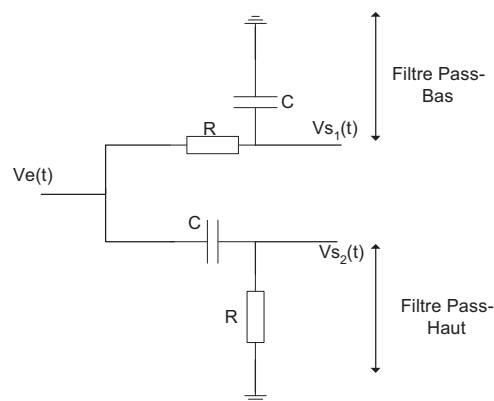


Figure 2.8. Réseau RC-CR

Afin d'illustrer la génération de signaux en quadrature, considérons un signal sinusoïdal $V_e(t)$, de pulsation ω , à l'entrée du filtre. Ainsi, les signaux de sorties $V_{s1}(t)$ et $V_{s2}(t)$ sont

respectivement déphasés de $-\text{Arctan}(RC\omega)$ et de $(\pi/2)-\text{Arctan}(RC\omega)$ par rapport à $V_e(t)$. Par conséquent, la différence de phase entre $V_{S1}(t)$ et $V_{S2}(t)$ est de 90° , quelle que soit la fréquence.

II. 3.2.1. Principe de fonctionnement d'un FPP

Généralement, un *Filtre Polyphase Passif* (FPP) est constitué de plusieurs étages placés en cascade de filtres passe-bas (RC), mis en parallèle avec des filtres passe-haut (CR). La structure d'un étage R-C est présentée sur la figure 2.9 (a).

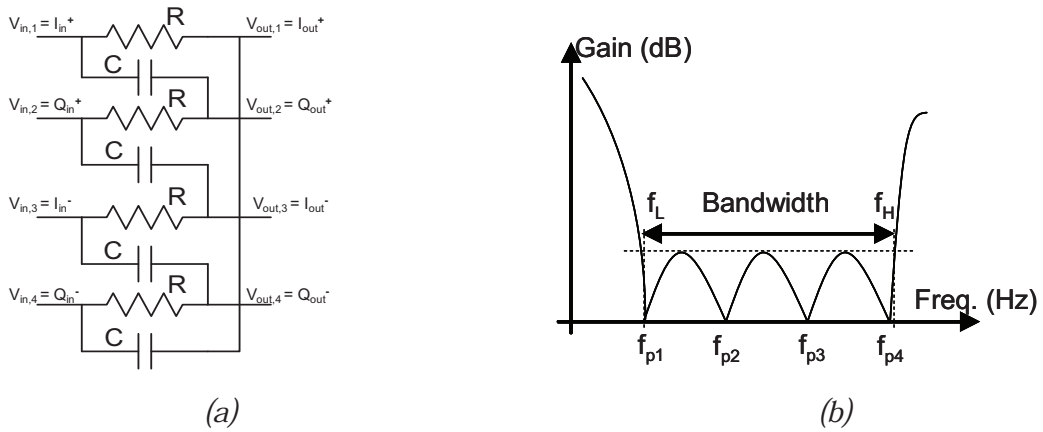


Figure 2.9. (a) Etage d'un FPP R-C ; (b) Position des notches d'un FPP à 4 étages

Chaque étage contribue à une fréquence pôle f_p , dite "notch", autour de laquelle la fréquence image est atténuée. Elle s'exprime de la façon suivante :

$$f_p = \frac{1}{2\pi \cdot RC} \quad (2.3)$$

La bande de réjection, obtenue dans ce cas, est très étroite. Par conséquent, il est nécessaire de cascader plusieurs étages afin d'élargir la bande de fréquences et d'améliorer la réjection du signal image (cf. Figure 2.9 (b)). Les « notches » des différents étages du FPP doivent être placés à un rapport fréquentiel égal pour assurer une réponse uniforme sur toute la bande de fonctionnement et réduire la sensibilité aux désappariements des composants [15, 19], c.à.d :

$$\alpha = \frac{f_{p2}}{f_{p1}} = \frac{f_{p3}}{f_{p2}}, \text{ etc.} \quad (2.4)$$

où $f_{p1} = 1/2\pi R_1 C_1$, $f_{p2} = 1/2\pi R_2 C_2$ et $f_{p3} = 1/2\pi R_3 C_3$ représentent les fréquences « notches » des trois étages du FPP.

La figure 2.10(a) illustre la topologie d'un exemple de FPP RC à trois-étages et les réponses fréquentielles correspondantes aux étages cascades. Les courbes de la figure 2.10(b) constituent un premier point de comparaison du comportement fréquentiel des FPP multi-

étages. Celles-ci illustrent les résultats de simulations obtenus dans le cas idéal, c.à.d. sans prise en compte des désappariements ni des non-idéalités des composants. Elles montrent qu'un IRR de 60dB peut être obtenu idéalement avec un FPP multi-étages autour de la bande fréquentielle désirée. Dans ce cas de figure, nous avons simulé un FPP FI fonctionnant dans la gamme [1 ~ 3]MHz. Nous pouvons aussi en déduire que la multiplication du nombre d'étages du FPP permet d'assurer une meilleure réjection du signal image ainsi qu'une plus large bande d'atténuation. En contre partie, ceci engendre une augmentation du nombre de composants, et par conséquent, de la surface du circuit. De plus, le FPP multi-étages présente des atténuations théoriques de l'ordre de 3dB par étage, à cause du chargement mutuel des étages RC cascades. Par conséquent, l'augmentation du nombre d'étages se fait au prix d'une plus forte consommation générée par les étages tampons (*buffers*) placés entre les étages afin de limiter les pertes.

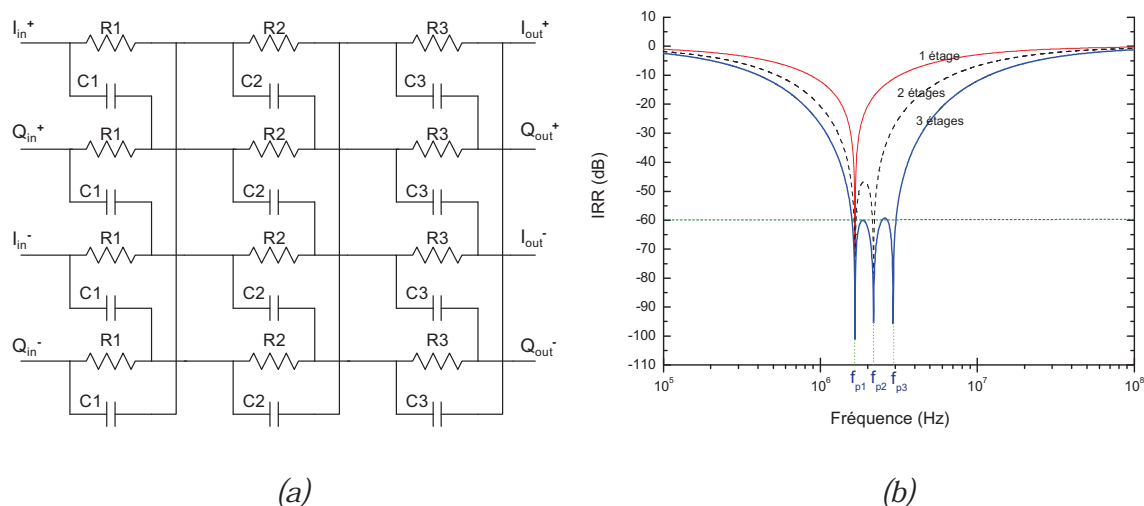


Figure 2.10. (a) La topologie d'un FPP RC à trois étages ; (b) les réponses fréquentielles du FPP à un, deux et trois étages

Ainsi, la génération de quatre signaux en quadrature est possible en combinant un OCT et un FPP. Cette technique est illustrée par la figure 2.11.

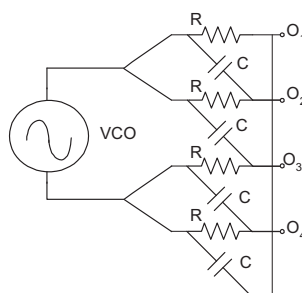


Figure 2.11. Combinaison d'un FPP et d'un oscillateur

En outre, il existe deux familles de filtres polyphases : les filtres passifs (FPP) et ceux actifs (FPA) [20, 21]. Ces derniers occupent une surface réduite comparée à celle des FPP mais présentent une consommation plus élevée et une plus faible linéarité. Ainsi, au cours de cette thèse, nous nous sommes intéressés aux FPP à base de réseaux RC-CR qui sont un cas particulier des réseaux polyphases à séquences asymétriques. En effet, ce choix est privilégié par le fait que ces derniers offrent plusieurs avantages surtout au niveau de la consommation.

II. 3.2.2. Modélisation d'un filtre polyphase passif

Lors de la conception d'un filtre polyphase, les différents outils de simulation ne sont pas suffisamment précis pour calculer et déterminer les contributions des éléments parasites et des différentes variations. Par conséquent, une modélisation de ces derniers (en se basant sur leur fonction de transfert) a été effectuée afin de pouvoir analyser l'influence des différents phénomènes qui les régissent sur la qualité des signaux générés. Couramment, les FPP à 2, 3 et 4 étages sont les plus utilisés car au-delà de ce nombre, nous aurons de grandes pertes d'insertion entre les différents étages [22, 23]. En théorie, une perte de 3dB/étage est estimée.

Pour étudier la qualité de la quadrature des signaux générés par le FPP, les fonctions de transfert pour un FPP à 2, 3 et 4 étages sont développées et présentées en annexe 2. De plus, nous avons choisi de concevoir nos filtres pour le standard Bluetooth (bande de fréquence : [2.4 – 2.48] GHz). La modélisation de notre FPP a été effectuée par le logiciel *Matlab*[®]. En effet, tous les codes des programmes *Matlab*[®], permettant de mettre en œuvre notre étude, sont fournis en annexe 3. Par soucis de clarté, les équations présentées se limitent au FPP à 2 étages. En premier lieu, un FPP idéal est étudié. Par la suite, les différentes imperfections ont été intégrées afin de déterminer leurs impacts sur la qualité des signaux générés et essayer de présenter des solutions pour y remédier.

▪ Cas d'un filtre idéal

Dans cette partie, nous allons étudier un FPP idéal en se basant sur les équations introduites dans l'annexe 2. Ainsi, les équations $H_1(j\omega)$ et $H_2(j\omega)$ représentent respectivement les signaux complexes I et Q . En se basant sur la définition des nombres complexes, nous pouvons déduire le module et l'argument. Ainsi, la disparité de gain (MG pour le désappariement de Gain), notée ΔA , et celui de Phase (MP), notée $\Delta\phi$, peuvent s'exprimer par les équations (2.5) et (2.6), respectivement.

$$MG = \Delta A = \left| 20 \log_{10} |H_1(j\omega)| - 20 \log_{10} |H_2(j\omega)| \right| \quad (2.5)$$

$$MP = \Delta\phi = |\angle H_1(j\omega) - \angle H_2(j\omega)| - 90^\circ \quad (2.6)$$

Le paramètre d_{phase} qui représente la différence de phase entre les deux voies I et Q (cf. équation (2.7)) est défini par :

$$d_{\text{phase}} = |\angle H_1(j\omega) - \angle H_2(j\omega)| \quad (2.7)$$

Les résultats de simulations relatifs au désappariement de gain et à la différence de phase dans le cas d'un FPP idéal sont illustrés sur le graphe de la figure 2.12 (a) et la figure 2.12 (b), respectivement.

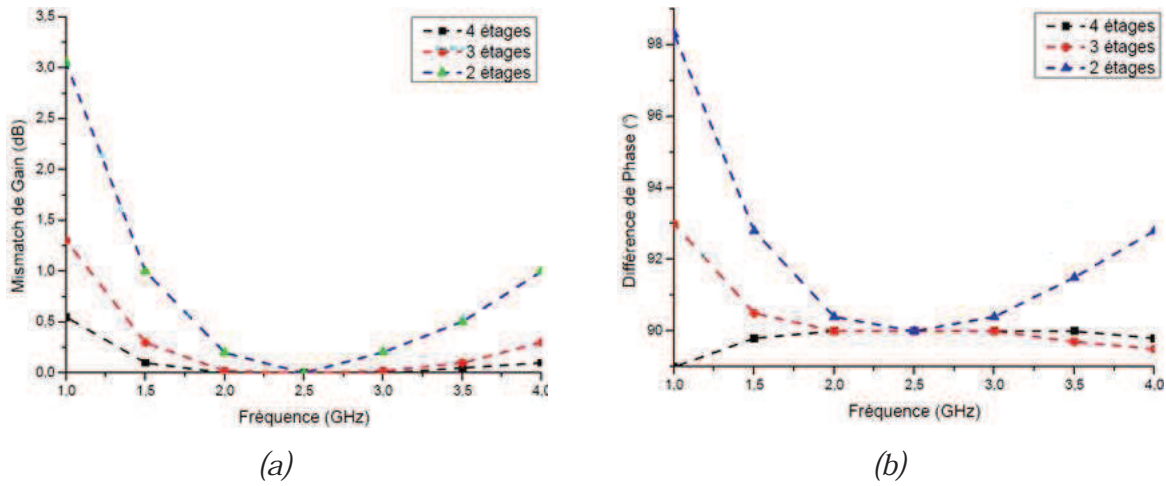


Figure 2.12. (a) Désappariement de Gain pour un FPP idéal ; (b) Différence de Phase pour un FPP idéal

A partir des courbes précédentes, nous pouvons déduire que, pour le FPP idéal, dans la bande de fréquence désirée [2,4 – 2,48] GHz, le désappariement de gain est pratiquement nul et la différence de phase est quasiment de 90° . De plus, en augmentant le nombre d'étages, la largeur de la bande utile (pour un désappariement de gain et de phase minimal) peut être augmentée. Dans la bande de fréquence désirée [2,4 – 2,48] GHz, les résultats de simulations sont résumés dans le tableau 2.3 ci-dessous.

| <i>FPP idéal</i> | <i>Désappariement de Gain (dB)</i> | <i>Désappariement de Phase (degrés)</i> |
|------------------|------------------------------------|---|
| <i>2 étages</i> | 10^{-3} | 10^{-3} |
| <i>3 étages</i> | $<10^{-3}$ | $<10^{-3}$ |
| <i>4 étages</i> | $<10^{-3}$ | $<10^{-3}$ |

Tableau 2.3. Caractéristiques des signaux pour un FPP idéal (2,4 à 2,48) GHz

A partir des résultats de simulation présentés dans le tableau ci-dessus, nous notons que pour le cas d'un FPP idéal à 2 étages, le désappariement de gain est de 0,001 dB et le

désappariement de phase de 0.001° . Pour un filtre Polyphase dont le nombre d'étages est supérieur à deux, la valeur de MG est inférieure à 0.001 dB et celle de MP inférieure à 0.001° . Lors de l'étape de conception, des imperfections vont s'ajouter avec, pour conséquence, la dégradation de la qualité des signaux générés par le FPP idéal. Nous allons, par conséquent, étudier l'impact de ces imperfections.

▪ **Analyse de l'influence des variations du procédé technologique**

En ajoutant l'influence des variations du procédé technologique (VP), les disparités de gain et de phase pour un FPP à plusieurs étages s'écrivent :

$$MG_{VP} = \left| G_I(R_{IVP1}, C_{IVP1}, \dots, R_{IVPn}, C_{IVPn}) - G_Q(R_{QVP1}, C_{QVP1}, \dots, R_{QVPn}, C_{QVPn}) \right| \quad (2.8)$$

$$MP_{MC} = \left| F_I(R_{IVP1}, C_{IVP1}, \dots, R_{IVPn}, C_{IVPn}) - F_Q(R_{QVP1}, C_{QVP1}, \dots, R_{QVPn}, C_{QVPn}) \right| - 90^\circ \quad (2.9)$$

où $R_{IVPk} = (1 \pm VP)R_{Ik}$, $R_{QVPk} = (1 \mp VP)R_{Qk}$, $C_{IVPk} = (1 \pm VP)C_{Ik}$, $C_{QVPk} = (1 \mp VP)C_{Qk}$, $k=1 \dots n$, n étant le nombre d'étages dans le FPP. Ainsi, pour un FPP à deux étages, nous aurons les quatre combinaisons suivantes à étudier :

| <i>Composant</i> <i>Combinaisons</i> | <i>R</i> | <i>C</i> |
|---|----------|----------|
| <i>C1</i> | 1+VP | 1+VP |
| <i>C2</i> | 1-VP | 1-VP |
| <i>C3</i> | 1+VP | 1-VP |
| <i>C4</i> | 1-VP | 1+VP |

Tableau 2.4. Combinaisons étudiées

Au regard du choix technologique, plusieurs types de résistances sont disponibles dans la technologie CMOS mais celles en Poly-Silicium (R-Poly) sont les plus utilisées pour des applications RF [24]. Vis-à-vis de cette technologie, elles présentent des variations technologiques de l'ordre de $\pm 16\%$. De plus, dans la technologie CMOS, il existe plusieurs types de capacités disponibles : la capacité Poly-Silicium, la capacité MOM (*Métal-Oxyde-Métal*) inter-digitée, la capacité MOMRF adaptée aux circuits RF grâce à sa faible capacité parasite par rapport au substrat, la capacité MIM (*Métal-Isolant-Métal*) largement utilisée dans les circuits radiofréquences [24]. Ainsi, notre choix s'est porté sur l'utilisation de capacités MIM dans la conception de FPP. Lors du dessin des masques, une forme carrée des capacités doit être privilégiée pour maximiser au mieux le facteur de qualité. L'inconvénient

de cette dernière est qu'elle présente des variations technologiques de l'ordre de $\pm 21\%$. Cependant, en maintenant une densité importante et en limitant le couplage avec le substrat, son choix s'impose dans la majorité des fonctions RF et dans tous les dispositifs à forte linéarité. Les résultats de simulations relatifs au désappariement de gain et de phase, dans le cas d'un FPP à 2 étages, à l'aide des équations fournies en annexe 3, sont illustrés par la figure 2.13.

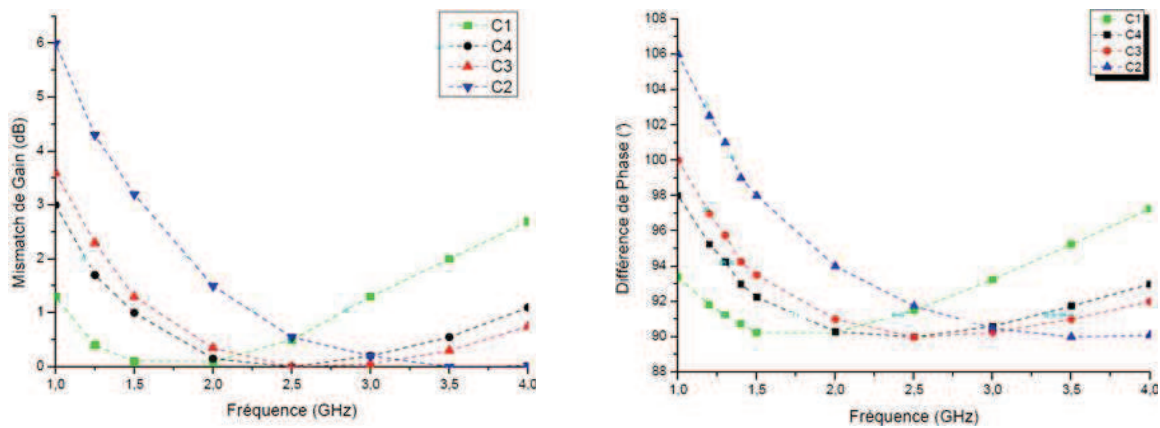


Figure 2.13. Influence de VP pour un FPP à 2 étages : (a) sur le Désappariement de Gain ; (b) sur la Différence de Phase

Les résultats issus des courbes précédentes sont synthétisés dans le tableau 2.5, pour la bande de fréquence [2,4 - 2,48] GHz.

| <i>FPP</i> | <i>Erreur de Gain (dB)</i> | <i>Erreur de Phase (degré)</i> |
|-----------------|----------------------------|--------------------------------|
| 2 étages | 0.6 | 1.8 |
| 3 étages | 0.16 | 0.75 |
| 4 étages | 0.05 | 0.15 |

Tableau 2.5. Influence des variations du procédé technologique sur les caractéristiques des signaux générés par le FPP à 2, 3 et 4 étages (2.4-2.48) GHz

A partir des résultats de simulation présentés dans le tableau ci-dessus, nous pouvons conclure que les variations du procédé technologique ont une influence non négligeable sur les erreurs de gain et de phase des signaux d'un filtre Polyphase. Nous remarquons, qu'en utilisant un nombre d'étages plus important, la qualité de la quadrature des signaux s'améliore remarquablement. Dans la pratique, pour pallier les variations du procédé technologique, des techniques d'ajustement sont nécessaires. La plupart de ces techniques d'accord utilisent des condensateurs variables ou des résistances additionnelles variables [25], ce qui augmente notablement la complexité du circuit global. Une autre technique appelée "stagger-tuning"

est employée dans la conception de FPP [25]. Cette méthode consiste à augmenter la bande passante du filtre au-delà des fréquences d'utilisation afin de garantir le fonctionnement quelles que soient les dispersions du procédé technologique.

▪ **Analyse de l'influence des disparités de composants**

Pour un procédé technologique donné, deux composants voisins supposés identiques, présentent une légère différence. Ce phénomène est appelé désappariement ("matching") des composants [26]. Dans le cas idéal, pour notre FPP, les composants des voies I et Q doivent être identiques, ce qui est impossible à réaliser dans la pratique. Par conséquent, nous allons introduire les paramètres notés MC ("*Mismatch*" Composant) afin de pouvoir évaluer leurs influences sur les performances de notre FPP. En ajoutant les influences liées aux MC, les disparités de gain et de phase pour un FPP à plusieurs étages s'écrivent :

$$MG_{MC} = \left| G_I(R_{IMC1}, C_{IMC1}, \dots, R_{IMCn}, C_{IMCn}) - G_Q(R_{QMC1}, C_{QMC1}, \dots, R_{QMCn}, C_{QMCn}) \right| \quad (2.10)$$

$$MP_{MC} = \left| \left| F_I(R_{IMC1}, C_{IMC1}, \dots, R_{IMCn}, C_{IMCn}) - F_Q(R_{QMC1}, C_{QMC1}, \dots, R_{QMCn}, C_{QMCn}) \right| - 90^\circ \right| \quad (2.11)$$

où $R_{IMCk} = (1 \pm MC)R_{Ik}$, $R_{QMCk} = (1 \mp MC)R_{Qk}$, $C_{IMCk} = (1 \pm MC)C_{Ik}$, $C_{QMCk} = (1 \mp MC)C_{Qk}$, $k=1\dots n$, n étant le nombre d'étages dans le FPP. Dans notre étude, une valeur de MC de 1 et 2 % a été prise en compte vis-à-vis des résistances et capacités. Les résultats de simulations, à l'aide des équations fournies en annexe 3, sont donnés dans le tableau 2.6.

| FPP | MC = 1% | | MC = 2% | |
|-----------------|----------------|---------------|----------------|---------------|
| | MG_{MC} (dB) | MP_{MC} (°) | MG_{MC} (dB) | MP_{MC} (°) |
| 2 étages | 0.210 | 0.520 | 0.230 | 0.530 |
| 3 étages | 0.025 | 0.030 | 0.060 | 0.090 |
| 4 étages | 0.015 | 0.020 | 0.020 | 0.050 |

Tableau 2.6. Influence du désappariement ("*mismatch*") des composants sur les performances de la quadrature des signaux générés par le FPP (2,4-2,48) GHz

A partir des résultats de simulation présentés dans le tableau ci-dessus, nous pouvons mettre en évidence que le désappariement des composants affecte de façon significative la qualité des signaux générés par le FPP. En effet, pour un MC de 1% la différence d'amplitude des voies I et Q est de 0,210 dB pour un FPP à 2 étages, valeur trop importante pour la plupart des applications nécessitant une importante réjection de la fréquence image. L'accroissement du nombre d'étages permet de réduire simultanément le déséquilibre d'amplitude et de phase. Cependant, l'obtention d'un bon niveau de réjection (≥ 60 dB) de la fréquence image sera

conditionnée par des solutions astucieuses durant la phase de conception ainsi que par des techniques de dessin des masques permettant la minimisation du désappariement des composants. Plusieurs techniques de dessin des masques sont utilisées [26] afin de réduire l'impact de MC.

Les systèmes de télécommunications radiofréquences à base de dispositifs analogique et numérique ont tendance à être intégrés sur la même puce (*SOC* pour *System On Chip*). Ainsi, sa conception pose des difficultés importantes puisqu'un substrat unique permet la cohabitation de signaux de nature et d'amplitude différentes [27], [28]. En effet, les signaux captés par l'antenne et transmis au récepteur risquent d'être perturbés par des injections de bruit dans le substrat issues d'autres circuits du système [29]. Dans la pratique, afin de réduire ce bruit substrat, la capacité parasite globale entre le FPP et le substrat devra être quantifiée et minimisée grâce aux méthodes d'isolation proposées dans [30].

II. 3.2.3. Performances

Les filtres polyphases peuvent être appliqués soit à la génération des signaux en quadrature, soit à la réjection du signal image. Nous proposons de tester le fonctionnement du FPP RF pour ces deux cas de figure. Le circuit de test des FPPs RF est donné par la figure 2.14. Il présente une entrée différentielle (V_{in}^+ , V_{in}^-) qui attaque le premier FPP RF. Celui-ci génère quatre signaux différentiels en quadrature, dont l'ordre de phase (φ_1 , φ_2 , φ_3 , φ_4) permet de sélectionner la polarité de la séquence du deuxième FPP RF et donc, de sélectionner son mode de fonctionnement. En d'autres termes, lorsque (φ_1 , φ_2 , φ_3 , φ_4) est dans le sens direct, le circuit va simuler la réponse pour le signal utile, tandis qu'il va simuler la réponse pour le signal image lorsque il est dans le sens inverse.

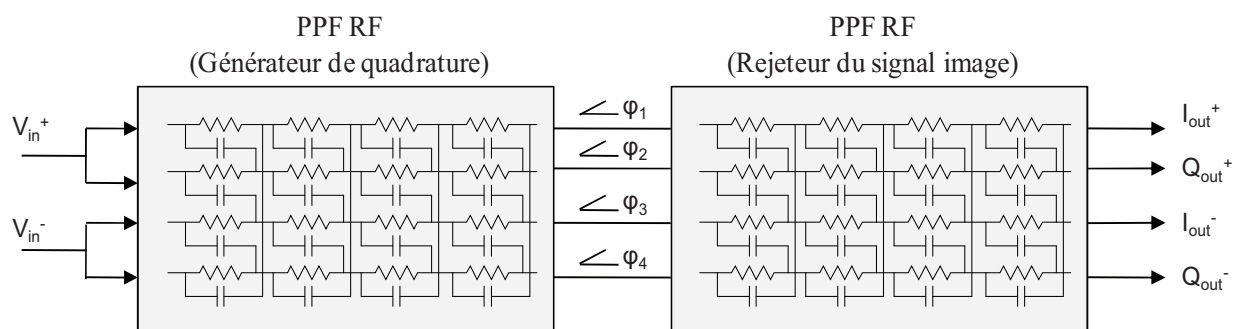


Figure 2.14. Schéma électrique du circuit de test des deux FPPs RF

- **FPP RF Générateur de quadrature**

La figure 2.15 expose les résultats de simulations fréquentielles du FPP RF, générateur

de quadrature. Elle montre une génération parfaite de phases en quadrature à la sortie du FPP. Pour mieux illustrer ceci, nous avons tracé les différences des phases de deux signaux voisins, données par la figure 2.16. Nous notons que le déséquilibre nominal entre les signaux I et Q est inférieure à $0,01^\circ$ pour les fréquences allant de 2 à 3GHz. Le FPP RF que nous avons conçu peut ainsi être utilisé pour générer des signaux avec une parfaite quadrature dans la bande passante désirée. De ce fait, le FPP permettra de limiter les problèmes dus aux erreurs de désappariements entre les voies I et Q au sein des blocs disposés en aval dans la chaîne de transmission radiofréquences.

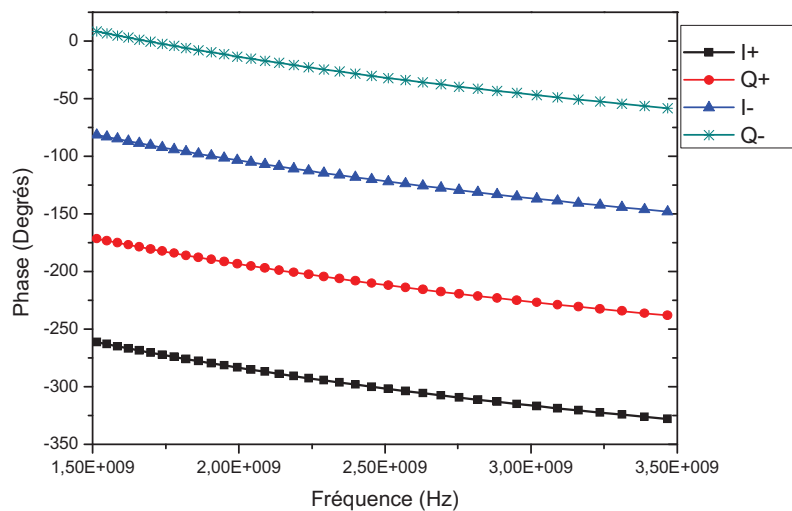


Figure 2.15. Phases simulées en sortie du FPP RF générateur de phase

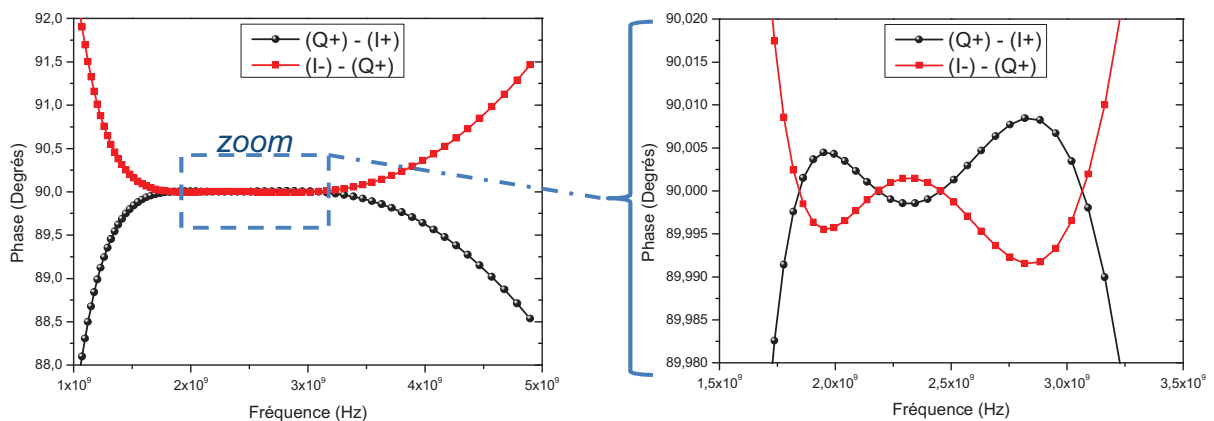


Figure 2.16. Différences de phase simulées en sortie du FPP RF générateur de phase

▪ FPP RF pour la suppression de la fréquence image

La simulation du FPP RF appliqué à la réjection de la fréquence image est effectuée en deux temps : le premier consiste à vérifier le comportement du FPP vis-à-vis du signal utile (que nous appellerons par la suite « réponse positive »), et le deuxième consiste à vérifier son

comportement pour le signal image (que nous appellerons « réponse négative »). La figure 2.17 représente les résultats de simulations obtenus pour ces deux cas de figure, ainsi que l'IRR correspondant.

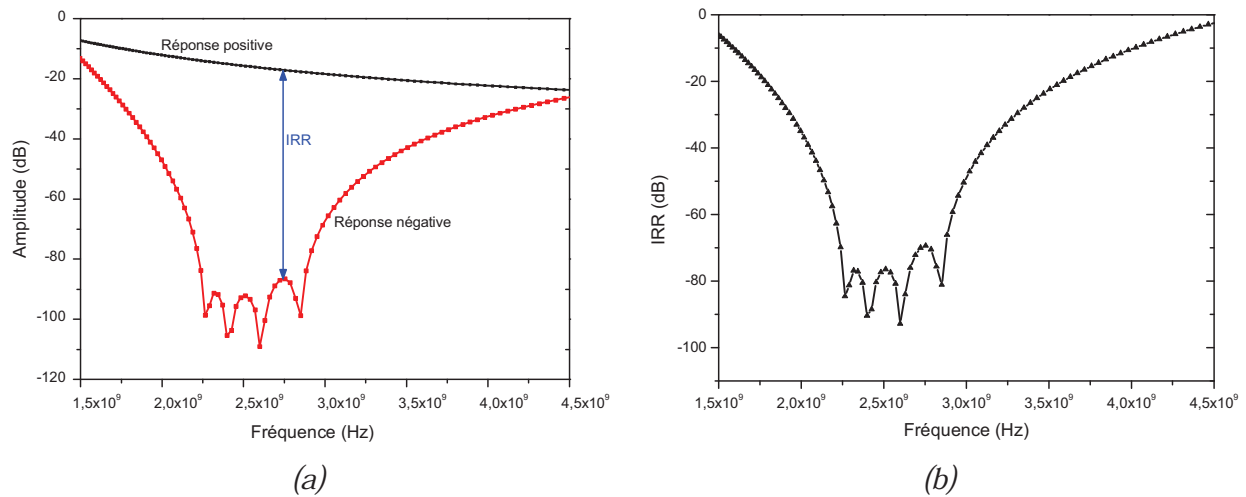


Figure 2.17. (a) Réponses fréquentielles et (b) IRR du FPP RF appliqué à la réjection du signal image

En ce qui concerne la réponse négative, la figure 2.17(a) montre la présence des quatre « notchs » correspondant aux quatre fréquences pôles et montre que le signal image est atténué de 80dB dans la bande passante du FPP. Or, la réponse positive présente une atténuation de 12dB du signal utile. Nous obtenons alors pour le FPP une valeur d'IRR de -68dB, résultat intéressant et suffisant pour la plupart des applications radiofréquences (cf. Figure 2.17(b)). La diminution de l'amplitude du signal utile de 12dB correspond à l'atténuation apportée par les différentes sections RC du filtre polyphase. En effet, en se basant sur le modèle d'un étage du FPP présenté en annexe 2, pour une même fréquence pôle, les entrées des blocs FPHB (filtre passe-haut-bas) atteignent le nœud de sortie en-phase et s'ajoutent mutuellement en absence de charge, ce qui entraîne 6dB de gain. Cependant, pour chaque branche, le signal d'entrée est atténué de 3dB au passage d'une section RC ou CR (FPHB). D'où un gain de 3dB ($=+6\text{dB}-3\text{dB}$) entre chaque nœud d'entrée d'un étage du FPP non chargé et le nœud de sortie qui lui correspond (cf. Figure 2.18(a)). Par contre, lorsqu'un étage identique charge directement la sortie du premier, la tension qui en résulte est divisée par deux (cf. Annexe 2), ce qui correspond à une atténuation de 6dB. Le gain total issu des deux étages est donc ramené à -3dB ($=+3\text{dB}-6\text{dB}$), comme illustré par le schéma de la figure 2.18(b). Ainsi, dans le cas du FPP multi-étages, les pertes s'accumulent, d'où la nécessité de les compenser dans la bande de fréquence du signal désiré. La solution la plus répandue

consiste à intercaler des *buffers* en guise d'isolation entre les étages du FPP. En fait, ceci permet, au prix d'un accroissement de la consommation et de la surface, de se retrouver dans la configuration d'un étage non chargé, d'où l'augmentation du gain total du FPP (ajout de 3dB en traversant chaque étage).

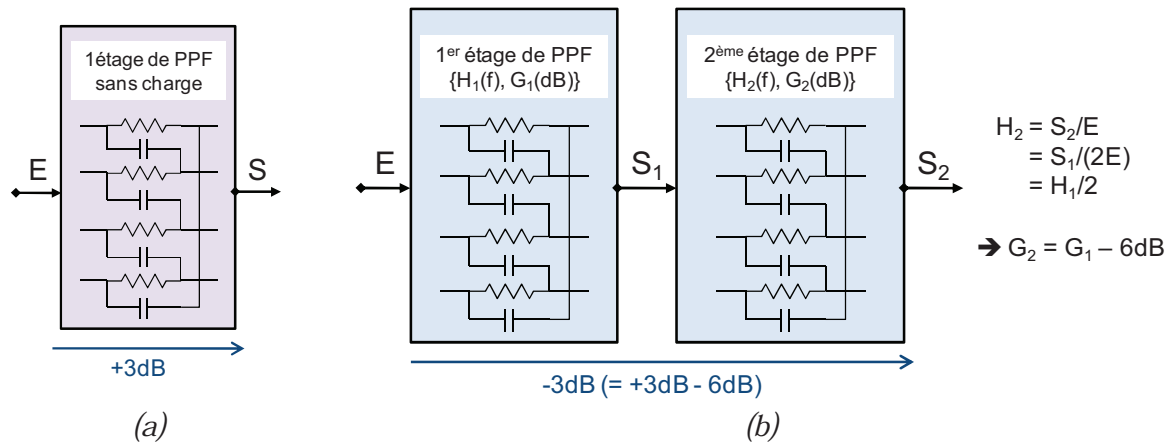


Figure 2.18. Atténuation du gain dans le cas d'un FPP RC (a) à un étage sans charge, et (b) à deux étages identiques

II. 3.2.4. Configuration du banc de test

Comme cité dans le paragraphe précédent, les deux FPPs RF présentent la même implémentation étant donné qu'ils fonctionnent dans la même plage fréquentielle. Seules leurs interfaces d'entrée/sortie diffèrent. Le circuit de test complet, dont le schéma électrique est donné par la figure 2.14, a été réalisé en technologie CMOS 0,13 μm . La figure 2.19 illustre le dessin des masques du circuit de test final. Celui-ci comporte, en plus des deux FPPs RF précédemment présentés, deux *buffers* différentiels pour une finalité expérimentale. En effet, ces *buffers* différentiels, fonctionnant aussi à 2,4GHz, viennent charger la sortie du FPP afin de garantir un niveau de signal suffisant quelle que soit la charge connectée au FPP (faible impédance d'entrée des pointes de mesure). Le *buffer* utilisé comporte trois étages d'amplification dont les deux premiers sont polarisés par un courant de 2mA et le dernier par un courant de 4,3mA [10]. Le circuit de test final occupe une surface de (825 x 890) μm^2 , surface plus importante que celle occupée par les FPPs en raison du grand nombre de *PADs* coplanaires utilisés. Le circuit comporte trois *PADs* de type *GSGSG* (pour « *Ground-Signal-Ground-Signal-Ground* ») ayant chacun un écartement (ou « *pitch* ») de 100 μm , ainsi que deux *PADs* « *single* ».

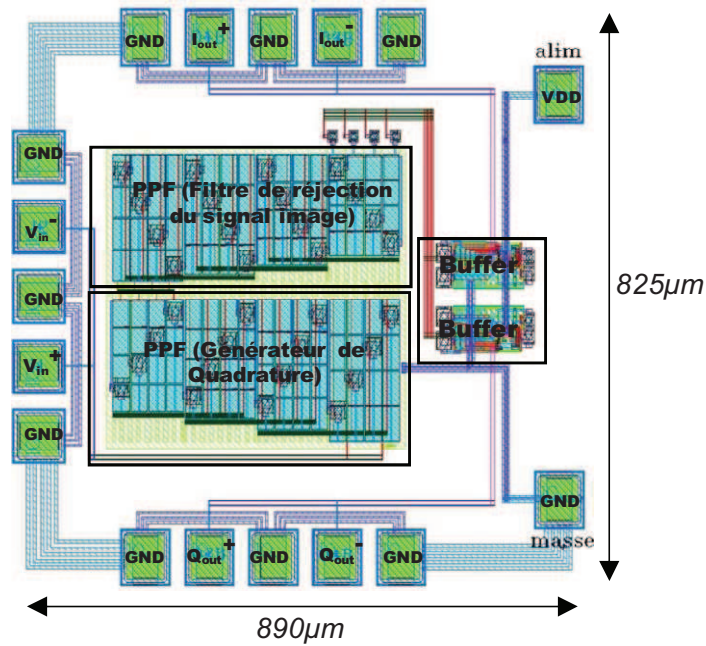


Figure 2.19. Dessin de masque du circuit de test comportant deux FPPs RF fonctionnant à 2,4GHz et deux buffers différentiels, avec les PADS de mesure

Durant la procédure de mesure, les PADS GSGSG servent à poser les pointes différentielles sur les entrées (V_{in}^+ et V_{in}^-) et les sorties (I_{out}^+ , I_{out}^- et Q_{out}^+ , Q_{out}^-), tandis que les PADS single permettent de poser les pointes continues (DC) sur la masse et l'alimentation des buffers. La figure 2.20 montre la configuration de mesure effectuée sous pointes.

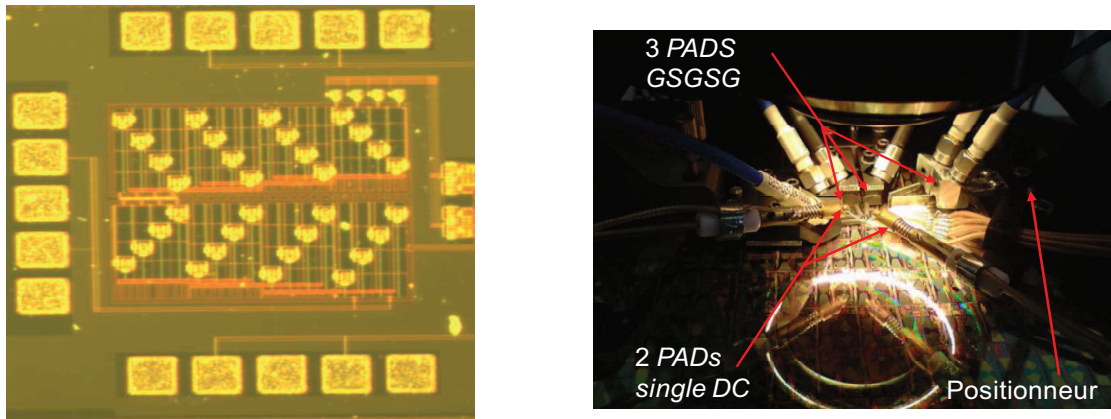


Figure 2.20. (a) Microphotographie de la structure de test du FPP ; (b) Photo de la station de mesure sous pointes des FPPs RF implémentés

II. 3.2.5. Résultats de mesure

Des séries de mesure sous pointes ont été effectuées pour tester le fonctionnement des FPPs RF conçus. Les mesures ont été réalisées en utilisant un générateur de signaux RF

Agilent E4438C et un analyseur de spectre *Agilent E4446A*. Le banc de mesure utilisé est illustré sur la figure 2.21. Le circuit de test comporte une configuration d'entrées/sorties de type différentiel et en quadrature. Par conséquent, la configuration du banc a été un peu délicate à mettre en œuvre. En effet, il a fallu générer les deux phases différentielles à l'entrée du circuit, puis reconstituer, à partir des quatre sorties différentielles en quadrature, le signal à mesurer $V_{out} = I_{out} + jQ_{out}$, où $I_{out} = I_{out}^+ - I_{out}^-$ et $Q_{out} = Q_{out}^+ - Q_{out}^-$. Pour alimenter le circuit test, nous avons utilisé des coupleurs hybrides, fonctionnant à 2,4GHz, et ayant de bonnes performances essentiellement en termes de précision de phase, d'appariement d'amplitude et de pertes d'insertion et ce, pour ne pas ajouter d'erreurs supplémentaires aux résultats de mesure. Une attention particulière a été portée quant au choix des câbles RF utilisés.

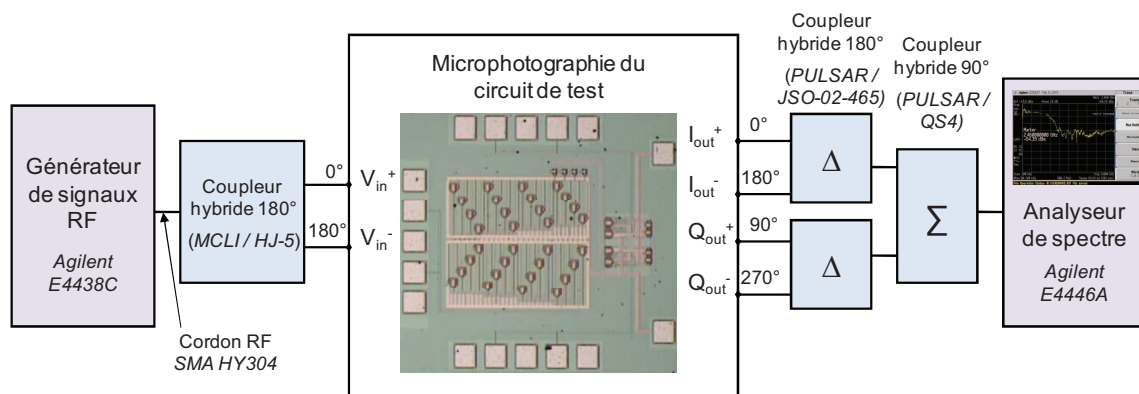


Figure 2.21. Banc de mesure du circuit de test des FPPs RF

L'analyse du spectre fréquentiel en sortie des FPPs RF (cf. Figure 2.22) montre une allure plate autour de la fréquence désirée (c.à.d. 2,4GHz), alors que les « notchs » apparaissent à une fréquence plus basse (autour de 1,45GHz). Ce phénomène de décalage des fréquences pôles est dû à l'effet des éléments parasites qui viennent dégrader la réponse fréquentielle du filtre polyphase. En fait, ce résultat était prévisible, parce que, lors de la conception de ce premier circuit de test, nous n'avons pas d'outil d'extraction des éléments parasites. Et par conséquent, nous n'avons pas effectué de simulations après la réalisation du dessin des masques (PLS pour « *Post-Layout Simulation* »), étape nécessaire pour minimiser l'impact des éléments parasites en vue d'actualiser le circuit de test final.

En revanche, outre le décalage fréquentiel de la réponse du FPP RF, celui-ci présente un résultat convenable de l'IRR mesuré (35dB), malgré une petite dégradation par rapport aux résultats de simulations. Pour mesurer l'IRR effectif, il faudra prendre en compte plusieurs paramètres, à savoir : le niveau d'atténuation du signal utile (A_{dB_utile}) et du signal image (A_{dB_Image}) ainsi que l'atténuation due aux composants de mesure, c.à.d. câbles et coupleurs (A_{dB_mesure}). L'IRR peut alors s'exprimer comme étant ($A_{dB_Image} - A_{dB_utile} + A_{dB_mesure}$).

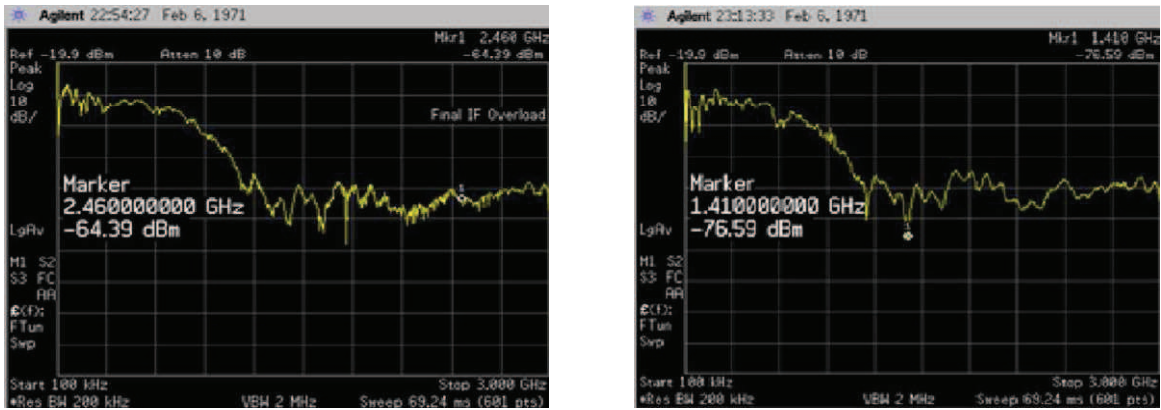


Figure 2.22. Spectres de sortie du circuit de test des FPPs RF

Ces résultats expérimentaux ont été confirmés ultérieurement par des simulations *PLS* (à l'aide de l'outil *StarRCXT* de *Synopsys*[®]) du circuit de test des FPPs RF réalisés. Celles-ci ont montré le même décalage fréquentiel ($f_p \sim 1,4\text{GHz}$) ainsi que la même dégradation du niveau de l'IRR ($\sim 33\text{dB}$). Le bon fonctionnement du FPP RF est donc vérifié, cependant il reste à bien prendre en compte les éléments parasites au préalable et à les optimiser par avance pour garantir les performances désirées, en l'occurrence la bande passante et l'IRR.

II.3.3. OSCILLATEUR EN QUADRATURE : CONCEPTION ET REALISATION

La troisième technique qui permet d'obtenir des signaux en quadrature est l'utilisation d'un oscillateur capable de fournir directement de tels signaux. Un oscillateur en anneau accomplit cette tâche mais son bruit de phase élevé élimine ce choix pour la plupart des applications radiofréquences. Par conséquent, nous avons eu recours aux oscillateurs LC. Plusieurs solutions pour générer des signaux en quadrature sont présentées dans la littérature [31]-[40], l'une d'elles consiste à coupler deux oscillateurs identiques. Le schéma bloc de ce circuit, appelé QVCO (*Quadrature Voltage Controlled Oscillator*), est illustré par la figure 2.23. Le fonctionnement de ce QVCO est possible grâce à l'association de deux VCO judicieusement connectés afin d'obtenir le déphasage de 90° . Cette technique performante que nous avons retenue présente cependant l'inconvénient d'une surface silicium et d'une consommation deux fois plus importante qu'avec un oscillateur unique.

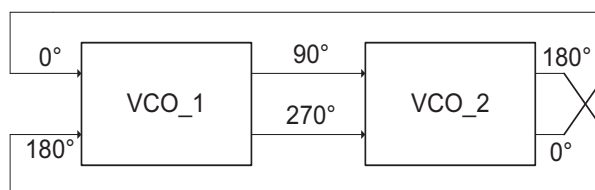


Figure 2.23. Schéma bloc d'un QVCO

II. 3.3.1. Bases et description d'un QVCO de type LC

La description du fonctionnement d'un oscillateur LC est présentée dans le §II.2. La figure 2.24 présente l'oscillateur en quadrature qui est composé de deux paires croisées (M_1, M_2 et M_3, M_4) avec son circuit d'accord L_{tank} et C_{tank} . Les transistors additionnels (M_5, M_6, M_7 et M_8) assurent le fonctionnement en tant que paires différentielles et permettent de coupler les deux oscillateurs. La fréquence d'oscillations est donnée par l'expression suivante :

$$f_{osc} = \frac{1}{2\pi\sqrt{L_{\text{tank}}(C_{\text{tank}} + C_{\text{par}})}} \quad (2.12)$$

où L_{tank} est l'inductance du réservoir d'énergie réactive (« Tank »), C_{tank} est la capacité variable (« varactors ») et C_{par} la capacité équivalente des éléments parasites générés par les composants (transistors, inductances, varactors...).

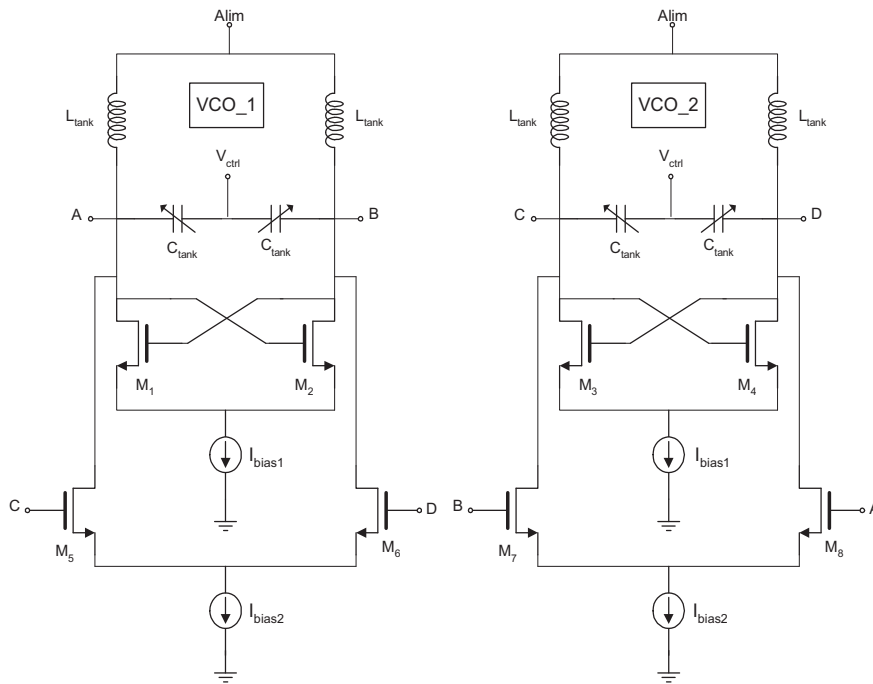


Figure 2.24. Schéma simplifié d'un QVCO

II. 3.3.2. Méthode de conception

Généralement, la conception d'un OCT (ou VCO) nécessite un compromis entre les nombreuses contraintes qui sont dictées par l'application envisagée. Dans la plupart des cas, ces contraintes sont les minimisations conjointes de la consommation et du bruit de phase. Or, la conception d'un dispositif de type QVCO entraîne des contraintes importantes sur les performances en termes de bruit de phase, de quadrature et d'amplitude des signaux qui sont déterminants pour la réjection de la fréquence image. Nous allons étudier la structure des

QVCO avec une nouvelle approche mais en ayant comme objectif, la conception de dispositifs permettant d'obtenir le meilleur compromis vis-à-vis des contraintes exposées précédemment.

- **Couplage de deux oscillateurs**

Plusieurs techniques de couplage de deux oscillateurs sont décrites dans la littérature afin d'obtenir un QVCO de type LC [31]-[40]. La technique la plus simple et la plus utilisée [36] est illustrée par la figure 2.25.

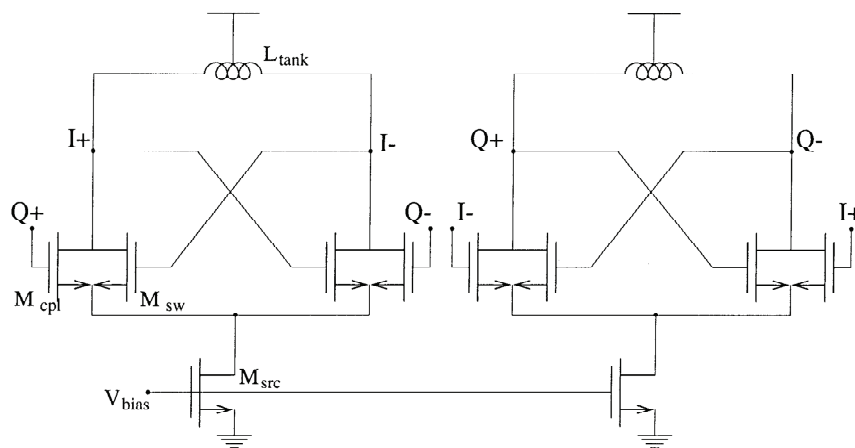


Figure 2.25. Technique de couplage d'un LC-QVCO [36]

Pour évaluer les performances de cette technique, une méthode décrite dans [37] propose de définir un facteur de couplage α tel que :

$$\alpha = \frac{W_{cpl}}{W_{sw}} \quad (2.13)$$

où W_{cpl} et W_{sw} représentent respectivement la largeur du transistor de couplage et celle du transistor de la paire croisée. Nous allons évaluer maintenant l'influence du couplage entre les deux oscillateurs et son impact sur le bruit de phase ainsi que sur la qualité de la quadrature des signaux (désappariement de phase et d'amplitude). Lorsque que la taille des transistors de couplage est du même ordre de grandeur que la paire croisée, leur g_m efficace chargerait le résonateur de manière significative, réduisant l'amplitude d'oscillations et les performances de bruit de phase. Ce résultat sera vérifié dans la suite de ce chapitre. Le QVCO destiné à notre étude (cf. Figure 2.24) a été conçu pour fonctionner à une fréquence d'oscillations de 2.45 GHz avec une bande d'excursion fréquentielle de 230 MHz.

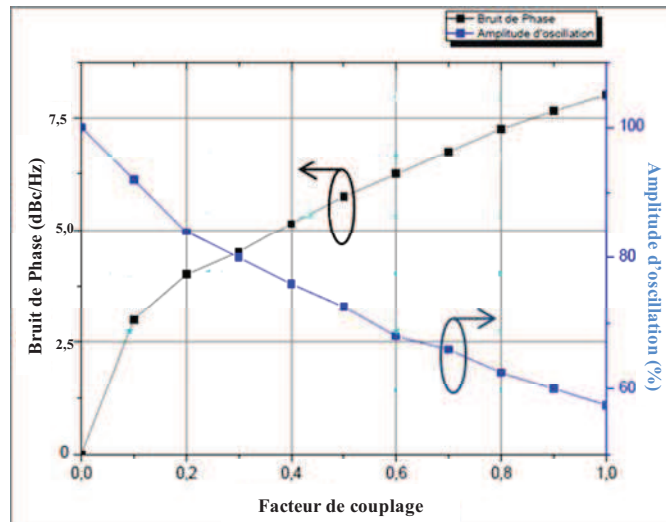


Figure 2.26. Dégradation de l'amplitude et du bruit de phase en fonction du facteur de couplage (α)

Sur la figure 2.26, nous observons une diminution de l'amplitude en fonction de l'augmentation du facteur de couplage α . Cette dégradation d'amplitude peut être définie comme le rapport de l'amplitude de l'oscillateur en quadrature de la figure 2.24 et celle du même oscillateur lorsque le couplage est nul ($\alpha=0$). En effet, l'amplitude d'oscillations diminue de plus de 40% lorsque la valeur de α passe de 0 à 1. Nous constatons également une variation significative du bruit de phase de l'oscillateur en fonction de α . Cette dégradation du bruit de phase est définie comme l'excès de ce dernier, une fois comparée à l'oscillateur pour un couplage nul ($\alpha=0$). Pour cet exemple, le bruit de phase est simulé à un offset de 1MHz de la porteuse située à 2,45 GHz. Ainsi, une dégradation de l'ordre de 8 dB est observée pour $\alpha=1$. Par conséquent, la réduction d'amplitude de l'oscillateur en quadrature contribue à la dégradation du bruit de phase pour un facteur de couplage élevé. Nous notons également que les transistors de couplage produisent un bruit proportionnel au facteur α .

Afin de quantifier l'effet des variations du procédé technologique sur le désappariement de phase et d'amplitude des signaux générés par le QVCO de la figure 2.24, une capacité est insérée entre l'une des voies de sortie et la ligne de masse. Cette dernière permettra la prise en compte des effets parasites produits par les étages en aval de l'oscillateur, comme l'étage tampon, les mélangeurs et les dissymétries des dessins des masques. La valeur de cette capacité est exprimée en pourcentage par rapport à celle du circuit résonant.

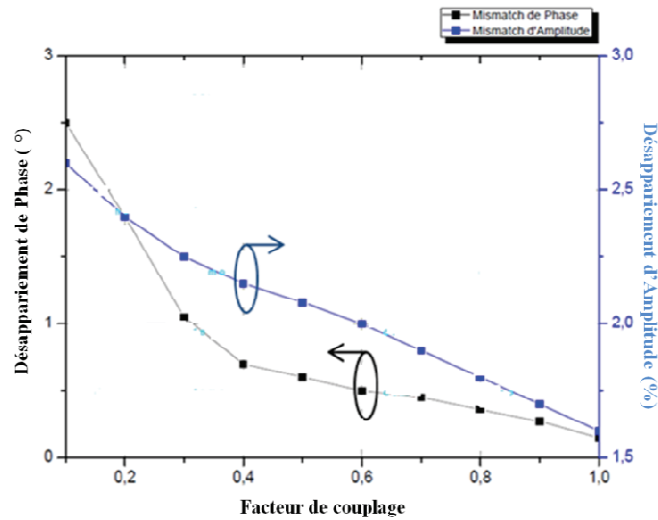


Figure 2.27. Désappariement d'amplitude et de phase en fonction du facteur de couplage (α) pour $C_{par}=28$ fF

Tout d'abord, une capacité de 2% (environ 28 fF) est mise en parallèle sur l'une des sorties de l'oscillateur en quadrature. La figure 2.27 représente le désappariement de phase et d'amplitude en fonction du facteur de couplage α . Nous remarquons que la qualité des signaux est compromise pour de petites valeurs du facteur α et que cette dégradation est inversement proportionnelle à α (lorsque α augmente, les erreurs d'amplitude et de phase diminuent).

Pour une valeur fixe $\alpha=1/3$, nous effectuons une variation de la valeur de la capacité parasite de 0 à 52 fF (0 et 3,75%). Comme attendu, la figure 2.28 montre une dégradation de la phase et de l'amplitude des signaux générés par le QVCO proportionnelle à la valeur de cette capacité parasite.

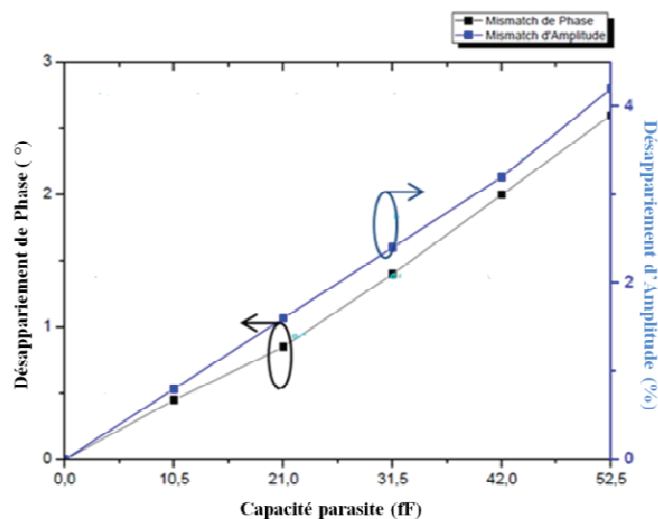


Figure 2.28. Désappariement d'amplitude et de phase en fonction de la capacité parasite pour un facteur de couplage $\alpha=1/3$

Les variations du procédé technologique engendrent également des dispersions du gain des transistors et de la valeur de l'inductance du circuit résonant. Ainsi, en se basant sur les résultats obtenus précédemment, nous pouvons dégager quelques éléments à prendre en compte lors de la conception d'un QVCO :

- trouvez la valeur maximale de la capacité du circuit résonant permettant de satisfaire les caractéristiques du QVCO telles que la fréquence d'oscillations, la plage de fonctionnement et le temps de démarrage. L'objectif étant de minimiser son effet sur le déséquilibre d'amplitude et de phase des voies I et Q.
- compensez le déséquilibre des voies de sortie de l'oscillateur. Une partie de cet objectif sera atteint grâce à la symétrie du dessin des masques, ce qui permettra également d'équilibrer les effets parasites capacitifs. Les effets parasites résistifs, quant à eux, seront équilibrés en fonction de la longueur des lignes.
- Pour les applications nécessitant de bonnes performances en termes de bruit de phase, il est primordial de diminuer le facteur de couplage α . Ceci engendre un compromis à trouver puisque, dans ce cas, nous notons une dégradation de l'appariement des signaux I et Q.

Bien que notre étude fût focalisée sur les oscillateurs LC en quadrature avec une seule paire croisée de type *NMOS*, elle peut être étendue aux oscillateurs LC en quadrature avec une double paire croisée (*NMOS* et *PMOS*).

▪ *Conception de l'étage tampon*

Pour garantir un niveau de signal suffisant ainsi qu'une fréquence stable et ce quelle que soit la charge connectée à l'oscillateur, un étage amplificateur a été ajouté à la sortie du dispositif. Ce circuit est illustré par la figure 2.29, il se compose de trois étages d'amplification dont les deux premiers sont identiques et polarisés par un courant de 2mA, le troisième étage étant polarisé par un courant de 4,3mA.

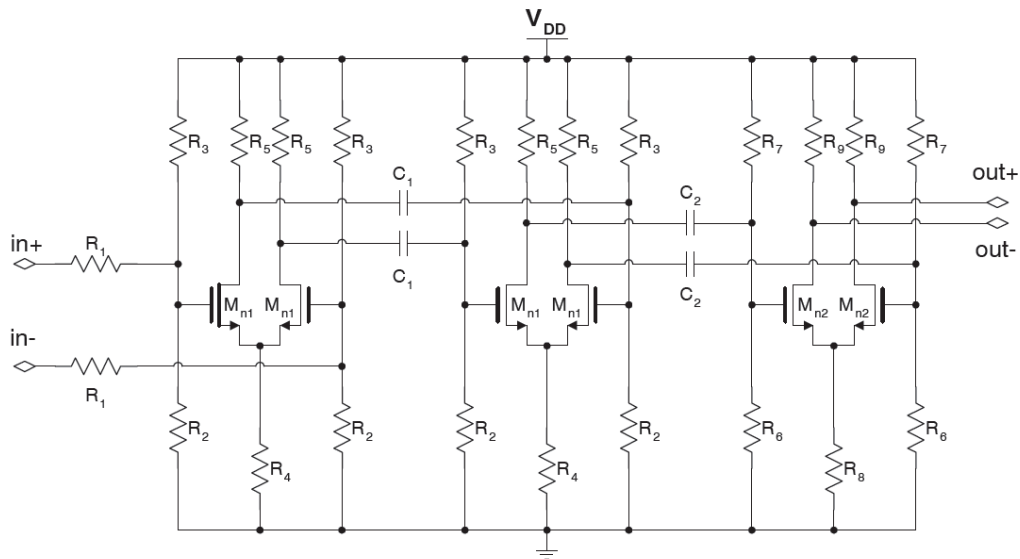
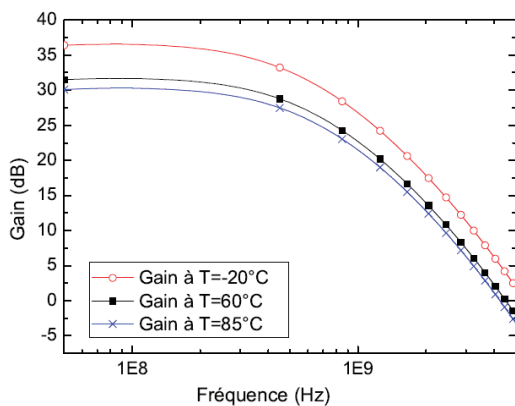


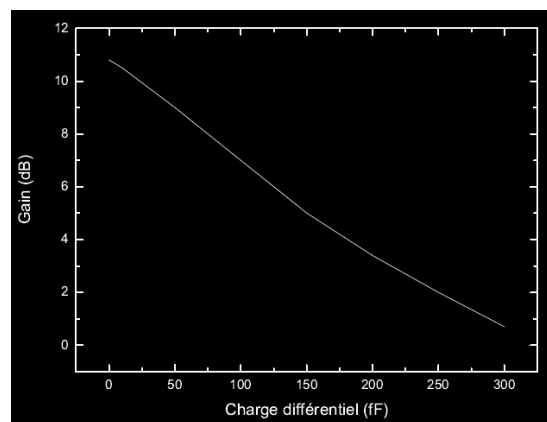
Figure 2.29. Schéma électrique de l'étage tampon

- Gain

Cet amplificateur a été simulé à différentes températures ($T = -20^{\circ}\text{C}$, 60°C et 85°C) avec et sans charge, avec $R_1 = 2\text{k}\Omega$, $R_2 = 3\text{k}\Omega$, $R_3 = 4\text{k}\Omega$, $R_4 = 150\Omega$, $R_5 = 1,4\text{k}\Omega$, $R_6 = 50\text{k}\Omega$, $R_7 = 40\text{k}\Omega$, $R_8 = 100\Omega$, $R_9 = 450\Omega$, $C_1 = 500\text{fF}$, $C_2 = 1\text{pF}$, $(W/L)_{n1} = 25/0,28\mu\text{m}$ et $(W/L)_{n2} = 30/0,28\mu\text{m}$. La figure 2.30(a) illustre le gain en tension sans charge. Dans la bande de fréquence utile (autour de $2,45\text{GHz}$), un gain compris entre 10dB et 11dB est obtenu à 60°C , ce qui est suffisant pour l'application considérée. La figure 2.30(b) illustre le comportement du gain en fonction de la charge présentée à 60°C . Nous remarquons que, malgré la décroissance du gain, cet étage permet de supporter des charges allant jusqu'à plus de 300fF . Le tableau 2.7 résume les valeurs de gain de l'étage avec et sans charge (50fF en différentiel) à $2,45\text{GHz}$ pour les différentes températures.



(a) Gain de l'étage tampon sans charge



(b) Variation du gain en fonction de la charge

Figure 2.30. Gain de l'étage tampon

| | -20°C | 60°C | 85°C |
|---------------------------------|-------|------|------|
| Gain en tension non chargé (dB) | 14,7 | 10,8 | 9,7 |
| Gain en tension chargé (dB) | 12,9 | 8,9 | 7,7 |

Tableau 2.7. Valeurs du gain de l'étage tampon en fonction de la température

- Linéarité

Outre un gain suffisant en condition d'utilisation (tension d'alimentation, charge,...), cet étage de sortie doit également présenter une bonne linéarité pour ne pas dégrader la pureté spectrale du signal du VCO. Pour caractériser la linéarité du circuit la méthode « deux tons » a été employée. Elle consiste à injecter à l'entrée du circuit deux signaux sinusoïdaux proches de la fréquence de fonctionnement (i.e. $f_1=2,4\text{GHz}$ et $f_2=2,45\text{GHz}$) et à mesurer l'amplitude des raies spectrales en sortie. Trois couples de raies ont été pris en compte, f_1 et f_2 , $f_2 - f_1$ et $f_2 + f_1$, $2f_2 - f_1$ et $2f_1 - f_2$ qui correspondent respectivement aux raies de premier, deuxième et troisième ordre. Seul le niveau le plus élevé a été pris en compte pour les raies du deuxième et troisième ordre. Les résultats de simulations pour une charge de 50fF sont présentés sur la figure 2.31. Le point de compression à 1dB est obtenu pour un niveau d'entrée de -9,5dB pour lequel le gain vaut 7,5dB. En calculant la différence entre les courbes du premier, deuxième et troisième ordre, nous pouvons déduire les intermodulations d'ordre deux et trois (IM_2 et IM_3). Ainsi, un niveau de réjection de -44dB et -17dB est obtenu par rapport à la raie parasite d' IM_3 pour un niveau d'entrée respectif de -18dB et -6,7dB.

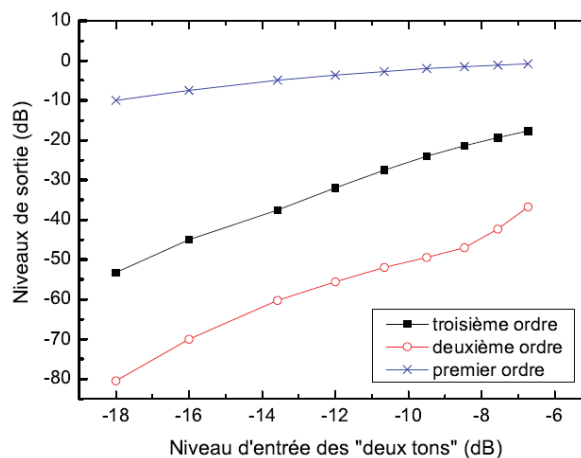


Figure 2.31. Niveaux de sortie en fonction de l'amplitude d'entrée

II. 3.3.3. Performances

- *Implémentation du QVCO*

Une technologie CMOS 0,28µm comportant six niveaux de métallisation a été utilisée

pour l'implémentation du QVCO dont le facteur de couplage α est égal à un. Le circuit final est entièrement conçu en utilisant la suite *Cadence*[®] pour la réalisation des schémas, simulations et dessin des masques. La vérification des règles de dessin et la comparaison avec le schéma électrique, avant envoi en fabrication, ont été ensuite réalisées en utilisant l'outil *Calibre*[®] de la suite *Mentor Graphics*. Le dessin des masques du circuit constitue la première étape de l'implémentation pour laquelle une attention toute particulière a été portée en raison des éléments passifs parasites générés par les pistes métalliques (résistances, capacités, inductances). En effet, pour une fréquence de fonctionnement proche de 2.45 GHz, l'influence de ces éléments parasites est non négligeable afin d'obtenir les meilleures performances possibles en termes d'appariement d'amplitude et de phase. La version finale qui est présentée sur la figure 2.32 occupe une surface totale de 1 mm² (« PADS » inclus).

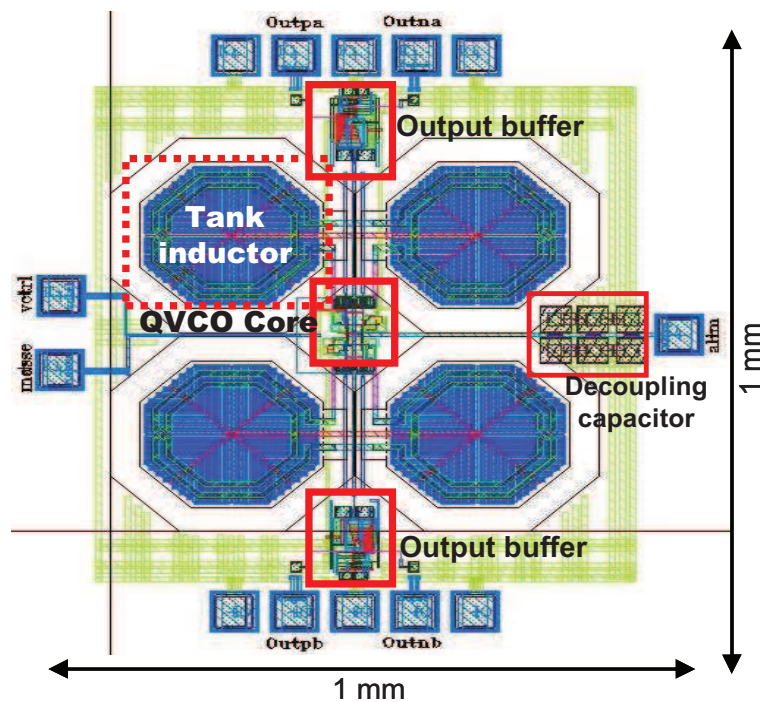


Figure 2.32. Dessin des masques du QVCO

La figure 2.33 permet d'apprécier le profil du bruit de phase simulé qui présente une valeur de -114 dBc/Hz à 1MHz d'offset de la porteuse.

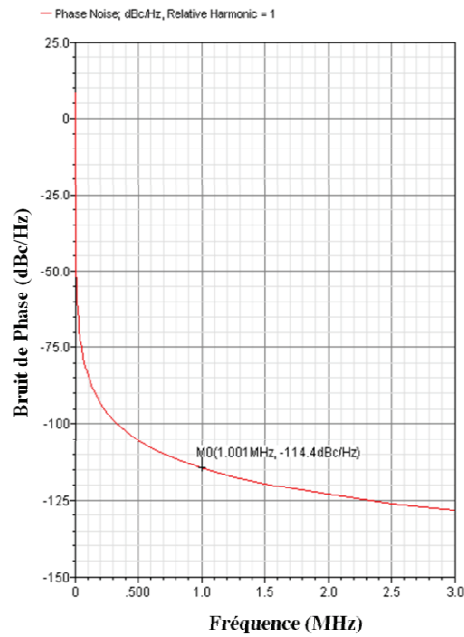


Figure 2.33. Bruit de phase à 1MHz de la porteuse pour une Fréquence de fonctionnement à 2.45 GHz

A la fréquence de 2,45 GHz, les signaux en quadrature fournis par le QVCO sont représentés sur la figure 2.34. Les erreurs de phase et d'amplitude présentent respectivement une valeur nominale de 0.36° et 1.8%.

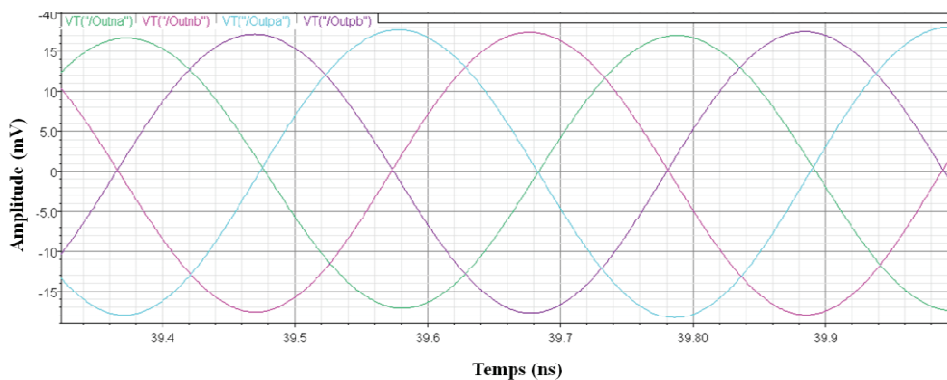


Figure 2.34. Signaux de sortie en quadrature à 2.45 GHz

▪ Performances du QVCO

Plusieurs séries de mesures sous pointes ont été effectuées pour valider le fonctionnement de notre oscillateur. Les appareils de mesures qui ont permis la caractérisation des circuits de test sont un analyseur de spectre Agilent PSA 4446E et un "prober" Süss MicroTec PM5 disposé dans une cage de Faraday. Une microphotographie de la structure de test du QVCO est représentée sur la figure 2.35.

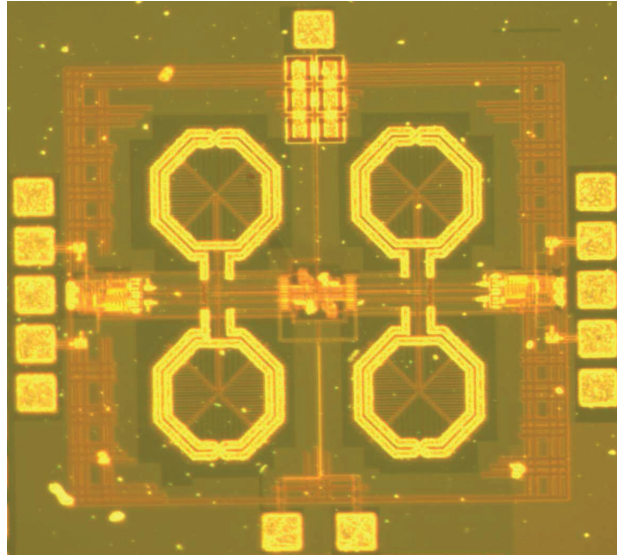
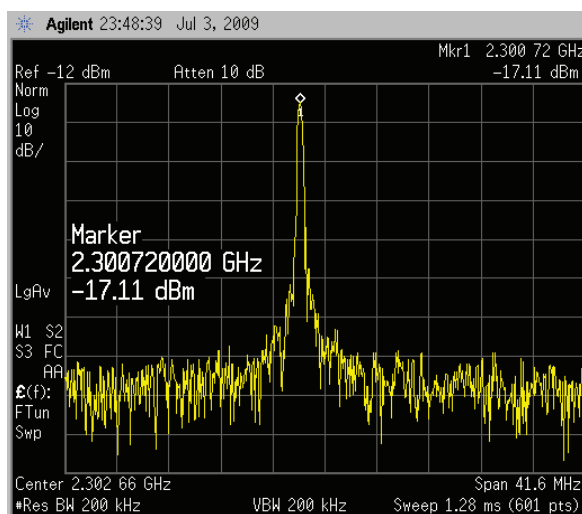
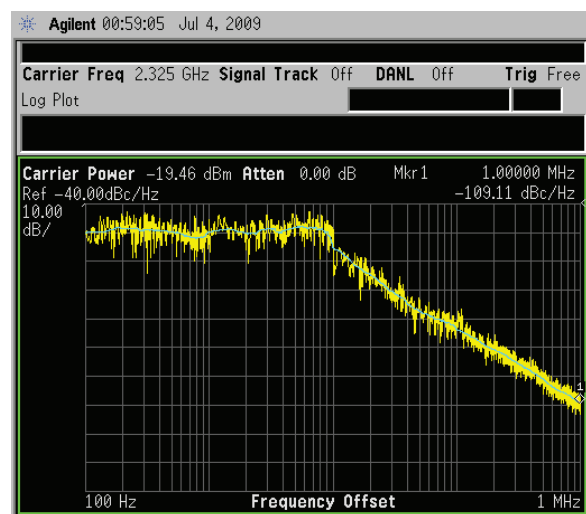


Figure 2.35. Microphotographie de la structure de test du QVCO

Le signal de sortie de l'oscillateur (cf. Figure 2.36(a)) présente une bonne pureté spectrale avec un niveau de puissance de -17 dBm. La consommation du circuit est de 20 mA à 2,45 GHz pour une charge de 50 Ohms. Le niveau du bruit de phase mesuré à 1MHz d'offset de la porteuse (cf. Figure 2.36(b)) est de -109dBc/Hz, ce qui correspond à une différence de 5dB avec la valeur obtenue par simulation. La caractérisation des erreurs d'amplitude et de phase n'a pas pu être réalisée. Cependant les simulations de type PLS (*Post Layout Simulation*) à 2,45 GHz des signaux du QVCO sont représentées sur la figure 2.37 et permettent de quantifier la valeur des erreurs de phase et d'amplitude qui sont respectivement de 0.46° et 2.1%.



(a)



(b)

Figure 2.36. (a) Spectre des signaux du QVCO (b) Profil du bruit de phase du QVCO

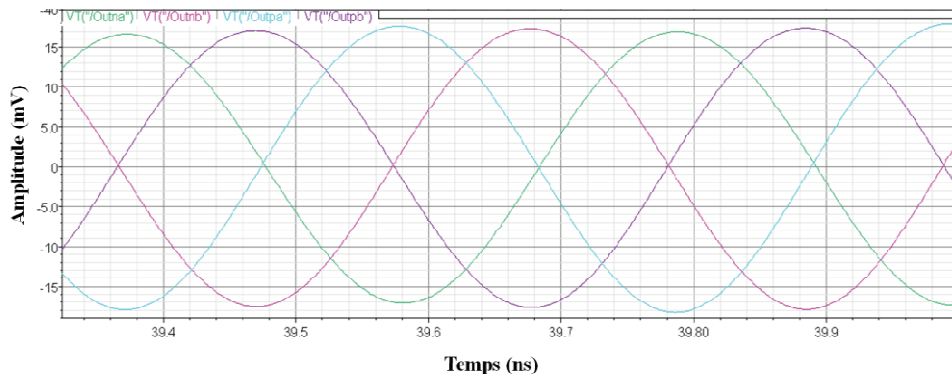


Figure 2.37. Signaux de sorties en quadrature du QVCO fonctionnant à 2.45 GHz

La mesure de la plage de fréquences de fonctionnement du QVCO est également proche de celle simulée comme en témoigne la figure 2.38.

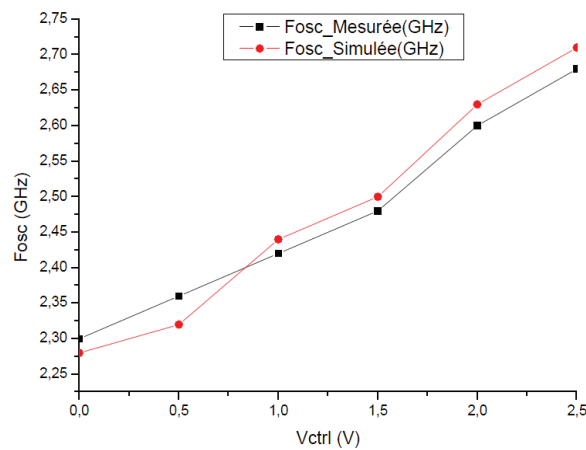


Figure 2.38. Simulation et mesure de la plage de fréquences de fonctionnement du QVCO

Les résultats de simulations et de mesures sont résumés dans le tableau ci-dessous.

| | <i>Simulation</i> | <i>Mesure</i> |
|--|--------------------------------------|---------------------------|
| <i>Bande de Fréquence</i> | 430 MHz (2.28 - 2.71 GHz) | 380 MHz (2.30 - 2.68 GHz) |
| <i>Plage de contrôle (V_{ctrl})</i> | 0-2,5 V | 0-2,5 V |
| <i>Bruit de Phase</i> | - 114 dBc@1MHz | - 109 dBc@1MHz |
| <i>Erreurs de Phase et d'Amplitude</i> | 0.36°, 1.8% | (*) 0.46°, 2.1% |
| <i>Consommation</i> | 50 mW (20 mA @ 2.5V) | 50 mW (20 mA @ 2.5V) |
| <i>Technologie</i> | 0.28 μ m CMOS STMicroelectronics | |
| <i>Surface</i> | 1 mm ² (pads inclus) | |

(*) Résultats en PLS.

Tableau 2.8. Tableau récapitulatif des caractéristiques du LC-QVCO proposé.

Les résultats expérimentaux obtenus montrent le bon fonctionnement du QVCO, cependant il reste à bien prendre en compte les éléments parasites au préalable et à les optimiser par avance pour garantir les performances désirées, en l'occurrence l'IRR.

II.4. CONCLUSION

La première partie de ce chapitre est consacrée à une comparaison des deux principaux types d'oscillateurs contrôlés en tension, à savoir les oscillateurs à résonateurs passifs de type LC et les oscillateurs en anneau, permettant de mettre en lumière les caractéristiques de chacun en termes de bruit de phase, qualité des signaux générés, surface silicium utilisée, consommation et du temps d'établissement. A partir de ces caractéristiques, un choix d'architecture a été fait concernant l'oscillateur contrôlé en tension (OCT) destiné à être intégré pour la génération des signaux en quadrature. Les contraintes requises dans les applications de télécommunications actuelles et futures, imposent des performances en termes de réjection de la fréquence image et de bruit de phase qui nous ont amené à nous orienter vers une structure d'OCT de type LC.

Nous avons ensuite présenté les trois principales méthodes permettant de générer des signaux en quadrature de phase. La première technique basée sur le principe de division de fréquence doit faire face aux problèmes liés à la division du signal à $2 \cdot F_{OL}$, au rapport cyclique du signal d'entrée du diviseur et à un déséquilibre des voies à l'entrée du diviseur. La deuxième méthode basée sur l'utilisation d'un filtre polyphase utilise directement le signal issu de l'oscillateur local. Cependant, elle doit répondre aux problèmes d'une bande d'utilisation en fréquence réduite, d'erreurs d'amplitude et de phase et de déséquilibre des signaux des voies de sortie du filtre. Par conséquent, une description analytique des filtres polyphases ainsi qu'une étude de l'impact des variations du procédé technologique, complété par une caractérisation de l'influence des éléments parasites et du désappariement des composants ont été présentées. Compte tenu des problèmes propres à chacune des architectures données ci-dessus, nous nous sommes intéressés à l'obtention de signaux en quadrature de phases directement à partir de l'oscillateur et nous avons procédé à une optimisation de la structure proposée. Nous avons ainsi étudié les performances du dispositif en termes de bruit de phase puis l'appariement des signaux a été quantifié et amélioré en proposant des méthodes simples. La réalisation de circuits de tests en technologie CMOS indique que les solutions simples qui ont été proposées n'entraînent pas d'augmentation majeure de la surface silicium et du courant absorbé.

II.5. REFERENCES

- [1] R. Tao, and M. Berroth, “*The design of 5 Ghz voltage controlled ring oscillator using source capacitively coupled current amplifier*”, in Proceedings of the IEEE Radio Frequency Integrated Circuits Symposium, p. 623-626, April 2003.
- [2] C.-M. Hung, et al., “*Fully integrated 5.35-Ghz cmos vcos and prescalers*”, IEEE Transactions on Microwave Theory and Techniques, vol. 49, no. 1, p. 17-22, Jan. 2001.
- [3] B. Razavi, “*A Study of Phase Noise in CMOS Oscillators*”, IEEE Journal of Solid-State Circuits, Volume 31, No 3, pp 331-343, March 1996.
- [4] T. Lee, “*The Design of CMOS Radio-Frequency Integrated Circuits*”, 2nd ed. Cambridge University Press, 2004.
- [5] D. B. Leeson, “*Simple model of feedback oscillator noises spectrum*”, Pro. IEEE, vol. 54, p. 329-330, Feb. 1966.
- [6] A. Hajimiri, and T. Lee, “*A general theory of phase noise in electrical oscillators*”, IEEE Journal of Solid-State Circuits, vol. 33, no. 2, p. 179-194, Feb. 1998.
- [7] A. Hajimiri, S. Limotyrakis, and T. Lee, “*Jitter and phase noise in ring oscillators*”, IEEE Journal of Solid-State Circuits, vol. 34, no. 6, p. 790-804, June 1999.
- [8] T. Lee et A. Hajimiri, “*Oscillator phase noise : A tutorial*”, IEEE Journal of Solid State Circuits, vol. 35, no. 3, p. 326-336, March 2000.
- [9] A. Hajimiri, and T. H. Lee, “*The Design of Low Noise Oscillators*”, Kluwer Academic Publishers, 1999.
- [10] A. Bonfanti, et al., “*A 15-GHz broad-band ± 2 frequency divider in $0.13\mu\text{m}$ CMOS for quadrature generation*”, IEEE Microwave and Wireless Components Letters, vol. 15, pp. 724-726, Nov. 2005.
- [11] Y.-H. Chun, et al., “*Design of an RF low-noise bandpass filter using active capacitance circuit*”, IEEE Transactions on Microwave Theory and Techniques, vol. 53, pp. 687-695, Feb. 2005.
- [12] S. Navid, et al., “*Level-locked loop: a technique for broadband quadrature signal generation*”, Custom Integrated Circuits Conference, pp. 411-414, 1997.
- [13] C-H. Park, and Beomsup Kim, “*A Low-noise , 900MHz VCO in $0.6\mu\text{m}$ CMOS*”, IEEE Journal of Solid-State Circuits, Volume 34, Issue 5, pp 586-591, May 1999.
- [14] R. J. Betancourt-Zamora, A. Hajimiri, and T. H. Lee, “*A 1.5mW, 200MHz CMOS for Wireless Biotelemetry*”, First International Workshop on Design of Mixed-Mode Integrated Circuits and Applications, pp 72-74, July 1997.
- [15] S. H. Galal, H. F. Ragaie, and M. S. Tawfik, “*RC sequence asymmetric polyphase networks for RF integrated transceivers*”, IEEE Trans. Circuits and Systems. II, vol. 47, no. 1, Jan 2000.

- [16] Y. Tetsuo, "Polyphase network calculation using a vector analysis method", QEX including Communications Quarterly, pp. 9-15, June 1995.
- [17] R. C. V. Macario and I. D. Mejallie, "The phasing method for sideband selection in broadcast receivers", EBU Review, Technical Part, pp. 119-125, Jun 1980.
- [18] F. Behbahani, et al. ; "A 2.4 GHz low-IF receiver for wideband WLAN in 0.6 μ m CMOS - Architecture and front-end", IEEE Journal of Solid State Circuits, Vol. 35, No. 12, pp. 1908-1916, Dec. 2000.
- [19] S. J. Fang, et al., "An image rejection down converter for low-IF receivers", IEEE Trans. on Microwave Theory and Techniques, Vol. 53, No. 2, pp. 478-487, Feb. 2005.
- [20] P. Andreani, et al., "A CMOS gm-C polyphase filter with high image band rejection", Proceedings of the European Solid State Circuits Conference, pp. 244-247, 2000.
- [21] F. Behbahani, et al., "A fully integrated low-IF CMOS GPS radio with on-chip analog image rejection", IEEE Journal of Solid State Circuits, Vol. 37, No. 12, pp. 1721-1727, Dec. 2002.
- [22] C. De Ranter, and M. Steyaert, "High data rate transmitter circuits, RF CMOS design and techniques for design automation", Boston: Kluwer Academic Publisher, 2003.
- [23] S. H. Galal, and S. Tawfik, "On the design and sensitivity of RC sequence asymmetric polyphase networks in RF integrated transceiver", Proceedings of the IEEE International Symposium on Circuit and System, pp. 593-597, 1999.
- [24] T. Ytterdal, Y. Cheng, and T. A. Fjeldly, "Device modeling for analog and RF CMOS circuit design", Wiley, 2003.
- [25] M. Steyaert, and J. Crols, "Analog integrated polyphase filters". Proceedings of the Workshop on Advances in Analog Circuit Design, Duisburg / Germany, pp. 18, March 1994.
- [26] R. J. Baker, H. W. Li, and D. E. Boyce, "CMOS circuit design, layout, and simulation", New York, IEEE Press, 1998.
- [27] E. Charbon, et al., "Substrate noise-analysis and optimization for IC design", Boston: Kluwer Academic Publishers, 2001.
- [28] N. Makoto, et al., "Measurements and analyses of substrate noise waveform in mixed signal IC environment", IEEE Transactions on Computer-Aided Design, vol. 19, pp. 671-678, Mai 2000.
- [29] X. Aragones, and A. Rubio, "Experimental comparison of substrate noise coupling using different wafer types", IEEE Journal of Solid State Circuits, vol. 34, pp. 1405-1409, Oct. 1999.
- [30] M. Felder, and J. Ganger, "Analysis of ground-bounce induced substrate noise coupling in a low resistive bulk epitaxial process: design strategies to minimize noise effects on a mixed signal chip", IEEE Transactions on Circuit and System (II), vol. 46, pp. 1427-

- 1436, Nov. 1999.
- [31] M. Rofougaran, et al., “A 900 MHz CMOS LC-oscillator with quadrature outputs”, in Proc. IEEE Int. Solid-state circuits conf, New York, p. 392, 1996.
 - [32] P. Andreani, et al., “Analysis and design of a 1.8 GHz CMOS LC quadrature VCO”, IEEE Journal of solid state circuits, vol. 37, no. 12, December. 2002.
 - [33] L. oliveira, et al., “A 2.4 GHz CMOS quadrature LC-Oscillator/Mixer”, ISCAS, pp. 165-168, May 2004.
 - [34] A. Tasic, et al., “Design of adaptive multimode RF front-end circuits,” IEEE Journal of solid state circuits, vol. 42, no. 2, February 2007.
 - [35] H. Kim, et al., “Low power quadrature VCO with the back-gate coupling”, IEEE J. Solid-State Circuits, vol. 39, pp. 952-955, June 2004.
 - [36] P. Andreani, et al., “Analysis and design of a 1.8 GHz CMOS LC quadrature VCO,” IEEE Journal of solid state circuits, vol. 37, no. 12, December 2002.
 - [37] Z. Li, and K. O, “A low phase noise and low power multiband CMOS voltage controlled oscillator”, IEEE Journal of solid state circuits, vol. 40, pp. 1296-1302, June 2005.
 - [38] L. Sander, et al, “A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling”, IEEE Journal of solid state circuits, vol. 38, no. 7, pp. 1148-1154, December. 2003.
 - [39] Jung-Yu Chang, Chia-Hsin Wu, and Shen-Iuan Liu, “A Low-Phase-Noise Low-Phase-Error 2.4GHz CMOS Quadrature VCO”, Asian Solid-State Circuits Conference, pp. 281-284, Nov. 2005.
 - [40] George von Büren, et al., “A 4.5-5.3 GHz Quadrature VCO with Complementary Couplers in 0.25um CMOS”, Proceedings of the Semiconductor Conference Dresden, Dresden, Germany, April 2008.

Chapitre 3

Technique de Correction d'erreurs de Gain au sein des architectures « Half-Complex »

Résumé – Ce chapitre traitera, de la conception d'une nouvelle architecture de réception RF « half-complex » combinée avec une technique originale de correction des erreurs de gain afin d'obtenir de meilleures performances en termes de réjection du signal image. Nous nous intéresserons tout d'abord à faire un rappel sur l'architecture « half-complex ». Ensuite, nous exposerons notre système de correction et de contrôle d'erreurs de gain. Puis, nous validerons notre solution en l'intégrant au sein de l'architecture de Weaver et nous démontrerons l'amélioration significative de la réjection du signal image. Finalement, nous étudierons plusieurs étages particuliers (comme la cellule Calculateur,...) afin de démontrer la validité de notre solution proposée.

III.1. INTRODUCTION

Les normes pour les systèmes d'émission/réception de télécommunications sans fil modernes exigent des circuits à faible consommation et à faible bruit à des fréquences toujours plus élevées. Par conséquent, l'architecture Zéro-FI a été favorisée en dépit d'autres architectures surtout pour éviter l'utilisation de filtres externes. Cependant, d'autres problèmes surgissent, dont les principaux sont le problème du « DC-offset », le bruit en $1/f$ et l'appariement entre les voies I et Q [1]. D'un côté, les architectures Faible-FI surmontent certains de ces problèmes mais le taux de réjection du signal image typique exigé est de l'ordre de 55 dB [2]-[4] qui est à peine réalisable à cause des disparités inévitables et l'appariement entre les voies I et Q. D'un autre côté, les architectures hétérodynes ont de bonnes performances en termes de sélectivité et de sensibilité puisqu'elles ne sont pas sensibles aux bruits basses fréquences [5]-[9] mais elles nécessitent des filtres externes pour la réjection du signal image. Donc, le but de ce chapitre est de proposer un système original permettant le calibrage des disparités et des appariements entre les voies I et Q pour les architectures de réception RF en général et approprié, en particulier, pour les architectures de Weaver, Faible-FI et Zéro-FI.

III.2. RAPPEL SUR L'ARCHITECTURE « HALF-COMPLEX » ET MODELISATION DU DESAPPARIEMENT DE PHASE ET D'AMPLITUDE

III.2.1. RAPPEL SUR L'ARCHITECTURE « HALF-COMPLEX »

La figure 3.1 représente le synoptique d'une architecture « *half-complex* ». Parmi ces architectures, nous pouvons citer l'architecture de Hartley et de Weaver. Le niveau de la réjection de la fréquence image dépend principalement de trois paramètres qui sont : les erreurs de phase et d'amplitude au niveau de l'OL, le désappariement des mélangeurs et les performances du filtre polyphase FI.

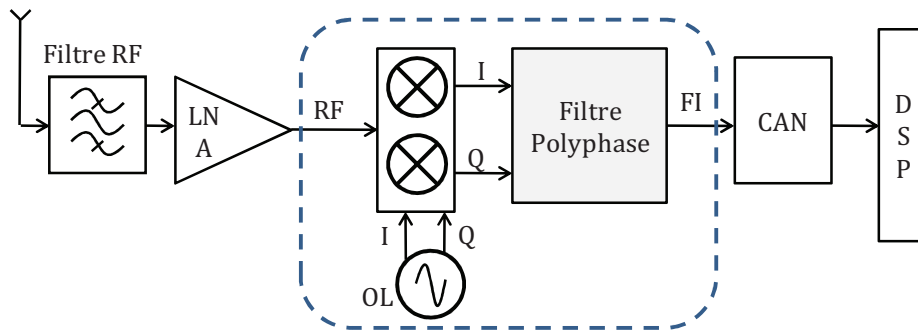


Figure 3.1. Architecture « half-complex » utilisant des filtres polyphases

Leur principe de fonctionnement est illustré par la figure 3.2. En effet, du fait que l'oscillateur local soit en quadrature, il comporte deux composantes opposées situées à ω_{OL} et à $-\omega_{OL}$. Dans ce cas, nous avons choisi que la composante étudiée soit égale à $-\omega_{OL}$ (cf. Figure 3.2). Néanmoins, une composante de fuite apparaît à la fréquence ω_{OL} , à cause des erreurs de quadrature et des appariements d'amplitude entre les deux voies de l'oscillateur local. Après l'opération de mélange complexe, les séquences désirées du signal utile (à la fréquence ω_{RF}) et du signal image (à la fréquence ω_{Im}) sont transposées à la fréquence intermédiaire (ω_{FI}) grâce à la composante $-\omega_{OL}$. Par ailleurs, une transposition résiduelle de la séquence opposée est effectuée par la composante de fuite ω_{OL} à la même fréquence ω_{FI} . Le filtre polyphase FI, calibré pour fonctionner à la fréquence ω_{FI} , permet le passage du signal utile, mais avec une partie du signal image dont l'amplitude ne peut pas être filtrée. Dans ce cas, nous pouvons atteindre un IRR de l'ordre de 40dB qui est dépendant en premier lieu des erreurs de phase et d'amplitude du signal complexe de l'OL et en second lieu de l'appariement du filtre polyphase ainsi que celui des mélangeurs assurant la transposition en fréquence.

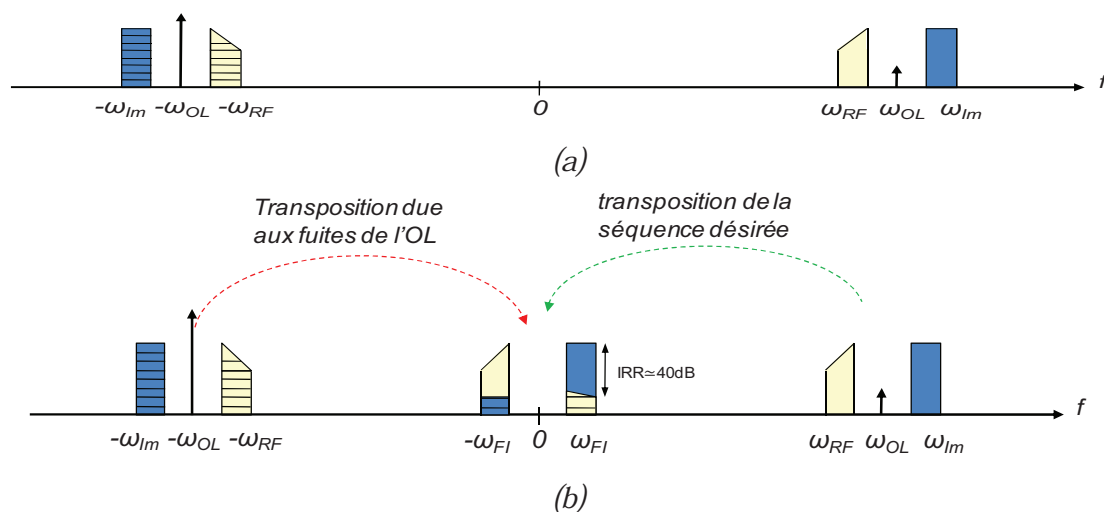


Figure 3.2. Représentation spectrale du signal le long de la tête-RF au sein d'une architecture « half-complex » (a) avant l'opération de mélange complexe, et (b) après le mélangeur et le FPP FI

Par conséquent, différentes solutions ont été rapportées dans la littérature abordant le problème des déséquilibres entre la voie directe I et la voie en quadrature Q [10]-[19] afin d'augmenter l'IRR. La compensation des disparités et des appariements entre les voies I et Q et la suppression des filtres externes par un système de calibrage semble être la solution idéale. Le but de ce chapitre est de présenter un système de calibrage original permettant le calibrage des disparités et des appariements entre les voies I et Q pour les architectures de réception RF en général et approprié en particulier pour les architectures de Weaver, faible-FI et Zéro-FI. En effet, l'avantage principal de notre technique par rapport aux autres techniques proposées dans la littérature est la possibilité de calibrer le récepteur en ligne sans employer des signaux externes pour le calibrage. Dans le premier chapitre, l'existence de plusieurs techniques numériques (digitales) [13]-[19] reposant sur des algorithmes adaptatifs (très lourds à mettre en œuvre) pour estimer la valeur des erreurs d'amplitude et de phase et de les ajuster pour le calibrage du récepteur, a été mentionnée. Notre technique est par contre analogique, simple à mettre en œuvre et n'exige ni des signaux de référence externes ni des techniques adaptatives.

III.2.2. MODELISATION DU DESAPPARIEMENT DE PHASE ET D'AMPLITUDE

Dans cette partie, nous allons étudier le cas d'une architecture Faible-FI déjà présentée au premier chapitre. En effet, cette architecture (cf. Figure 3.3) est une solution intermédiaire entre l'architecture Homodyne et celle Hétérodyne. En effet, cette architecture présente plusieurs avantages : il n'y a plus de problème de composante DC, l'influence du bruit en $1/f$ est réduite de façon plus ou moins importante suivant la valeur de la fréquence intermédiaire utilisée et la valeur de la bande passante du canal. De plus, cette solution permet d'atteindre un niveau d'intégration assez élevé si nous la comparons à la structure Hétérodyne, même si, avec une fréquence intermédiaire non nulle, le problème de la réjection de la fréquence image reste présent. En effet, à cause des dispersions technologiques intervenant dans la réalisation des transistors et des composants passifs, un équilibre parfait entre les voies I et Q est impossible.

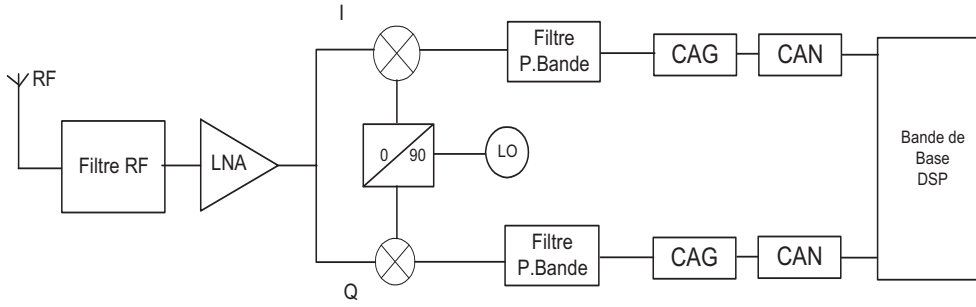


Figure 3.3. Architecture Faible-FI

Le dessin des masques doit également veiller à conserver la plus grande symétrie possible entre les voies, afin de ne pas rajouter de déséquilibres. Les erreurs d'amplitude et de phase dans l'architecture faible-FI classique, peuvent être modélisées par la figure suivante :

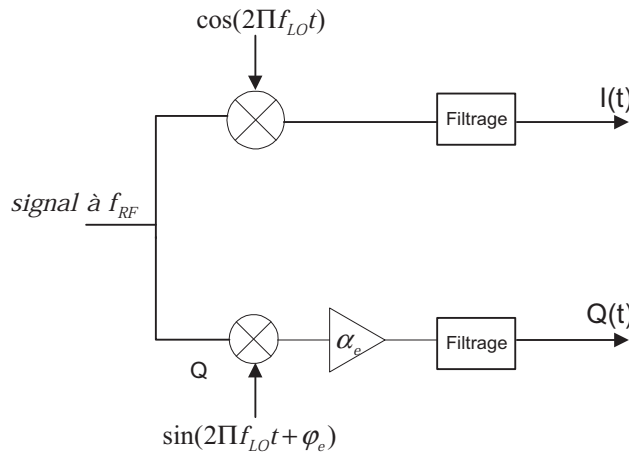


Figure 3.4. Modèle de l'erreur d'Amplitude et de Phase

En utilisant le modèle présenté sur la figure 3.4 et pour un signal RF égal à $\cos(2\Pi f_{RF}t)$, nous pouvons écrire avant le filtrage :

$$I(t) = \cos(2\Pi f_{RF}t) \times \cos(2\Pi f_{OL}t) \quad (3.1)$$

$$Q(t) = \cos(2\Pi f_{RF}t) \times [\alpha_e \sin(2\Pi f_{OL}t + \varphi_e)] \quad (3.2)$$

où α_e est l'erreur de gain des mélangeurs, φ_e est l'erreur de phase. Ainsi, en utilisant les formules trigonométriques, nous obtenons :

$$I(t) = \frac{1}{2} [\cos 2\Pi(f_{RF} + f_{OL})t + \cos 2\Pi(f_{RF} - f_{OL})t] \quad (3.3)$$

$$Q(t) = \frac{\alpha_e}{2} [\sin 2\Pi(f_{RF} + f_{OL})t + \varphi_e - \sin 2\Pi(f_{RF} - f_{OL})t - \varphi_e] \quad (3.4)$$

Donc, après filtrage et en tenant compte du fait que $f_{FI} = f_{RF} - f_{OL}$, nous aurons :

$$I(t) = \frac{1}{2} \cos(2\Pi f_{FI} t) \quad (3.5)$$

$$Q(t) = -\frac{\alpha_e}{2} \sin(2\Pi f_{FI} t - \varphi_e) \quad (3.6)$$

Dans un plan complexe, nous pouvons tracer les signaux I et Q. En effet, la figure 3.5 (a) illustre le cas idéal où les erreurs de phase et d'amplitude sont nulles et la figure 3.5 (b) représente l'effet d'une erreur de phase sur les signaux I et Q. La figure 3.5 (c) illustre quant à l'effet d'une erreur d'amplitude sur ces derniers.

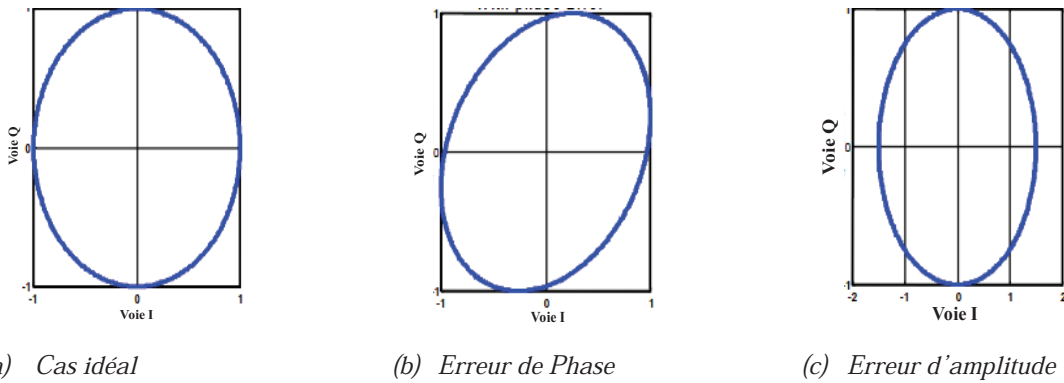


Figure 3.5. Signaux I et Q dans le plan complexe

Nous remarquons que dans le plan complexe, pour le cas idéal, nous avons un cercle. Par contre, le cercle est transformé en ellipse à cause des erreurs de phase et/ou d'amplitude.

III.3. SYSTEME DE CALIBRAGE PROPOSE

Dans la pratique, pour obtenir une valeur de réjection d'image totale au niveau du récepteur de l'ordre de 60 dB, il faut satisfaire les contraintes suivantes au niveau des signaux FI : une erreur d'amplitude de l'ordre de 0.001% et une erreur de phase de l'ordre de 0.1° (cf. Figure 1.18). Ce qui représente un vrai challenge pour les concepteurs surtout sans l'utilisation de systèmes de correction et de contrôle d'erreurs.

III.3.1. PRINCIPE DE NOTRE SYSTEME DE CORRECTION ET DE CONTROLE D'ERREURS PROPOSE

Pour nos calculs, nous notons les signaux d'entrée et de sortie par les équations (3.7) et (3.8) respectivement :

$$\begin{cases} I_{in} = i_{in} \times \sin(\omega.t) \\ Q_{in} = q_{in} \times \cos(\omega.t) \end{cases} \quad (3.7)$$

$$\begin{cases} I_{out} = i_{out} \times \sin(\omega.t) \\ Q_{out} = q_{out} \times \cos(\omega.t) \end{cases} \quad (3.8)$$

où i_{in} , q_{in} désignent respectivement l'amplitude des signaux I et Q à l'entrée du système de calibrage proposé, i_{out} , q_{out} l'amplitude respective des signaux I et Q à la sortie du système de calibrage proposé et ω la pulsation de fonctionnement.

L'idée consiste à fournir une erreur quadratique proportionnelle à la différence des amplitudes entre les voies I et Q. Donc, nous posons :

$$\varepsilon = A_0(i_{out}^2 - q_{out}^2) \quad (3.9)$$

Le principe du système de calibrage est illustré par la figure 3.6. L'erreur ε pourra commander, par exemple, des CAG (*Contrôle Automatique de Gain en Anglais AGC pour Automatic Gain Control*) afin d'agir sur les amplitudes des signaux d'entrée. Ainsi, si ε tend vers zéro (le système de calibrage proposé converge), les erreurs d'amplitude vont se compenser.

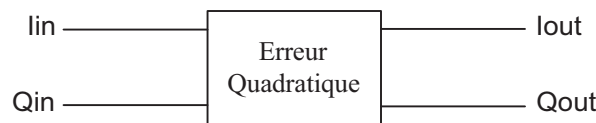


Figure 3.6. Principe du Système de calibrage proposé

III.3.2. PROPOSITION DE L'ARCHITECTURE

Dans la suite de ce manuscrit, nous utiliserons le terme de Boucle pour désigner notre système de calibrage proposé. Ce dernier, implémenté au sein d'une architecture faible-FI, est présenté sur la figure 3.7. La Boucle proposée contient : un bloc qui calcule l'erreur (Calculateur), un amplificateur d'erreurs (avec un gain élevé pour une meilleure amplification des signaux d'erreur) et un filtre passe-bas.

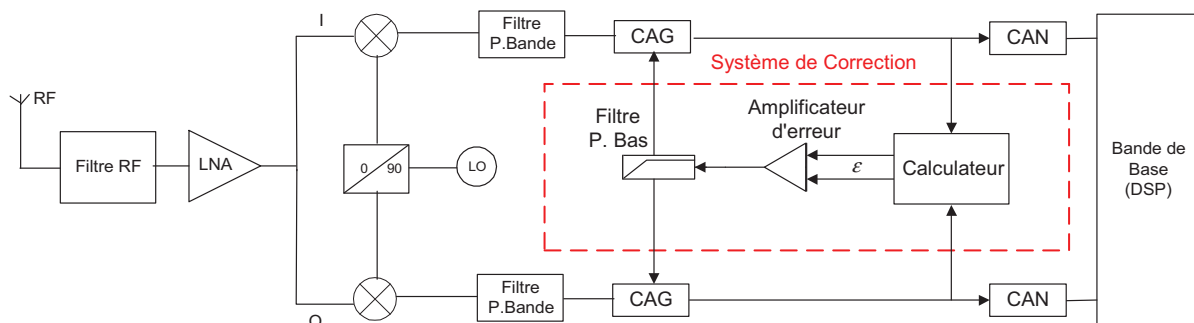


Figure 3.7. Système de calibrage proposé implémenté dans une architecture Faible-FI

Le principe de notre Boucle est de calibrer automatiquement les erreurs de gain (d'amplitude) entre les signaux I et Q. En effet, la différence d'amplitude entre les signaux de sortie I_{out} et Q_{out} génère une tension différentielle (ε) qui sera amplifiée par un amplificateur à gain élevé. Ensuite, le filtre supprime la partie (à valeur moyenne nulle) dépendante du temps du signal d'erreur (ε) et il ne reste plus qu'un courant DC à intégrer aux bornes d'une capacité (non représentée sur la figure 3.7) qui va commander les AGC (CAG) afin d'agir sur les amplitudes des signaux d'entrée. Ainsi, l'erreur tendra vers zéro (la Boucle converge) pour compenser les erreurs d'amplitude.

III.3.3. MODELISATION ET SIMULATION DE LA SOLUTION PROPOSEE

Dans cette partie, une modélisation de la Boucle et un calcul au premier ordre de cette dernière sont effectués. Ainsi, en se basant sur la théorie de superposition, nous pouvons écrire :

$$\begin{cases} I_{out} = 10^{\frac{G_{AGC}}{20}} \times I_{in} \times 10^{-\left[\left(\frac{-\varepsilon + O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} + \frac{O_1}{2}\right] \times \frac{P_{AGC}}{20}} \\ Q_{out} = 10^{\frac{G_{AGC}}{20}} \times Q_{in} \times 10^{-\left[\left(\frac{\varepsilon - O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} - \frac{O_1}{2}\right] \times \frac{P_{AGC}}{20}} \end{cases} \quad (3.10)$$

où G_{AGC} , G_{Err} , P_{AGC} , ε , O_1 et O_2 représentent respectivement : le gain de l'AGC, le gain de l'amplificateur d'erreur, la pente de l'AGC, l'erreur, l'offset à la sortie et à l'entrée de l'amplificateur d'erreur. Nous avons implémenté notre solution sous le logiciel ADS (ADS pour *Advanced Design System*) d'*Agilent*[®] et nous l'avons modélisée avec le logiciel Mathcad à l'aide de l'équation 3.10. L'implémentation de notre Boucle sous ADS est présentée sur la figure 3.8.

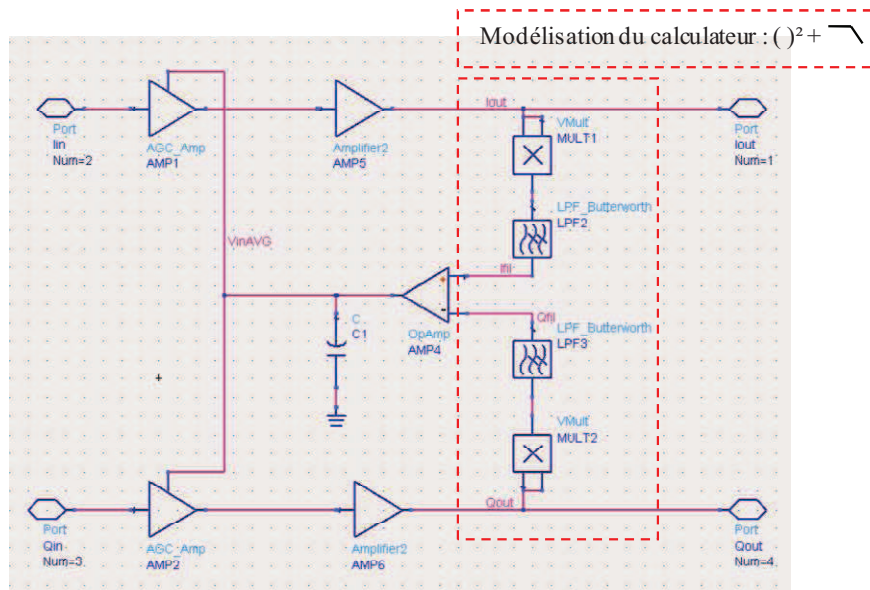


Figure 3.8. Implémentation de la Boucle sous ADS

Pour valider notre modélisation et à titre d'exemple, les valeurs des différents paramètres utilisés sont les suivantes : le gain des AGC est de 5 dB, le gain de l'amplificateur d'erreur est de 52 dB (notons qu'une valeur importante du gain de l'amplificateur d'erreur est primordiale pour la convergence de notre solution). Sur une plage de correction de +/- 6 dB, la pente de l'AGC est constante et d'une valeur de 70 dB par Volt. L'offset O_2 est nul et O_1 est de -5 mV. La figure 3.9 illustre les résultats obtenus par notre modélisation sous Mathcad et en simulation sous ADS.

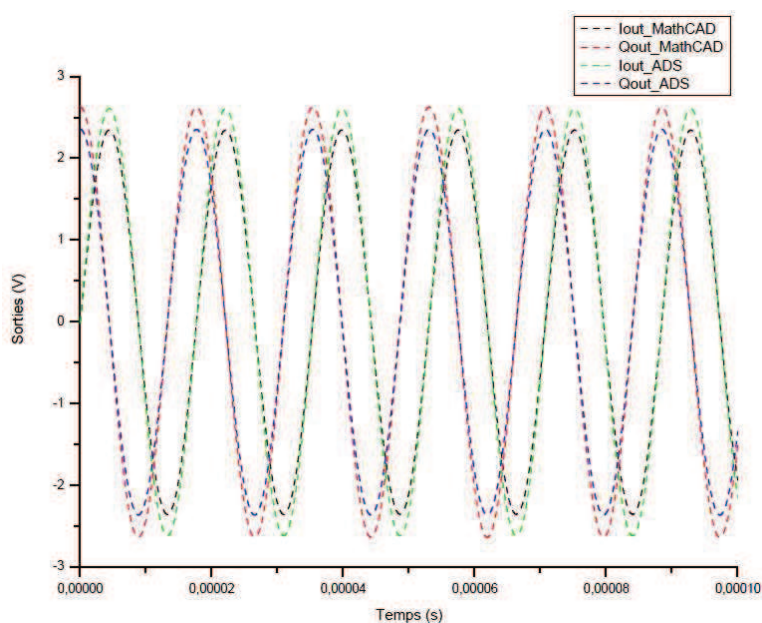


Figure 3.9. Résultats de simulation et de modélisation de la Boucle

Nous notons une grande similitude des résultats (90%) ce qui montre que notre

modélisation décrit correctement le comportement de notre solution.

III.3.4. CALCUL DES PERFORMANCES DE LA BOUCLE EN TERMES D'IRR

Nous allons évaluer maintenant l'IRR obtenu avec notre Boucle. Nous devons donc calculer les amplitudes des signaux à la sortie de notre système (i_{out} et q_{out}). Par conséquent, plusieurs approximations seront prises en compte. En élevant l'équation (3.10) au carré, nous obtenons :

$$\begin{cases} I_{out}^2 = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times (I_{in})^2 \times 10^{2 \times \left[\left(\frac{-\varepsilon + O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} + \frac{Q_1}{2}\right] \times \frac{P_{AGC}}{20}} \\ Q_{out}^2 = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times (Q_{in})^2 \times 10^{2 \times \left[\left(\frac{\varepsilon - O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} - \frac{Q_1}{2}\right] \times \frac{P_{AGC}}{20}} \end{cases} \quad (3.10)$$

Pour résoudre le système, nous allons considérer que l'exposant de la puissance de 10 tend vers zéro car ε tend vers zéro quand la Boucle régule et que les offsets sont de quelques dizaines de millivolts. Dans ce cas, nous pouvons utiliser l'approximation suivante :

$$10^x \approx 1 + x \cdot \text{Log}(10) \quad (3.11)$$

L'équation (3.10) devient en utilisant l'équation (3.11) :

$$\begin{cases} I_{out}^2 = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times (I_{in})^2 \times \left[1 + 2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right) \times \left[\left(\frac{-\varepsilon + O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} + \frac{Q_1}{2}\right]\right] \\ Q_{out}^2 = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times (Q_{in})^2 \times \left[1 + 2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right) \times \left[\left(\frac{\varepsilon - O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} - \frac{Q_1}{2}\right]\right] \end{cases} \quad (3.12)$$

Or, nous pouvons écrire aussi à l'aide des équations (3.7) et (3.8) :

$$\begin{cases} I_{in}^2 = \frac{i_a^2}{2} - \frac{i_a^2}{2} \times \cos(2 \cdot \omega \cdot t) \\ Q_{in}^2 = \frac{q_a^2}{2} - \frac{q_a^2}{2} \times \cos(2 \cdot \omega \cdot t) \end{cases} \quad (3.13)$$

$$\begin{cases} I_{out}^2 = \frac{i^2}{2} - \frac{i^2}{2} \times \cos(2 \cdot \omega \cdot t) \\ Q_{out}^2 = \frac{q^2}{2} - \frac{q^2}{2} \times \cos(2 \cdot \omega \cdot t) \end{cases} \quad (3.14)$$

Donc, compte tenu des équations (3.12), (3.13) et (3.14) nous obtenons :

$$\begin{cases} \frac{i^2}{2} - \frac{i^2}{2} \times \cos(2.\omega.t) = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times \left(\frac{i_a^2}{2} - \frac{i_a^2}{2} \times \cos(2.\omega.t)\right) \times \left[1 + 2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right) \times \left[\left(\frac{-\varepsilon}{2} + \frac{O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} + \frac{Q_1}{2}\right]\right] \\ \frac{q^2}{2} + \frac{q^2}{2} \times \cos(2.\omega.t) = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times \left(\frac{q_a^2}{2} + \frac{q_a^2}{2} \times \cos(2.\omega.t)\right) \times \left[1 + 2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right) \times \left[\left(\frac{\varepsilon}{2} - \frac{O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} - \frac{Q_1}{2}\right]\right] \end{cases} \quad (3.15)$$

La partie dépendante du temps est à valeur moyenne nulle, son contenu harmonique est filtré.

Donc, nous pouvons conclure que :

$$\begin{cases} \frac{i^2}{2} = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times \left(\frac{i_a^2}{2}\right) \times \left[2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right) \times \left[\left(\frac{-\varepsilon}{2} + \frac{O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} + \frac{Q_1}{2}\right]\right] \\ \frac{q^2}{2} = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times \left(\frac{q_a^2}{2}\right) \times \left[2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right) \times \left[\left(\frac{\varepsilon}{2} - \frac{O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} - \frac{Q_1}{2}\right]\right] \end{cases} \quad (3.16)$$

Pour simplifier les équations, nous posons :

$$C_0 = \left(10^{\frac{G_{AGC}}{20}}\right)^2 \times \left[2 \times \text{Log}(10) \times \left(\frac{P_{AGC}}{20}\right)\right] \quad (3.17)$$

Ainsi, l'équation (3.16) devient :

$$\begin{cases} \frac{i_{out}^2}{2} = C_0 \times \left(\frac{i_{in}^2}{2}\right) \times \left[\left(\frac{-\varepsilon}{2} + \frac{O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} + \frac{Q_1}{2}\right] \\ \frac{q_{out}^2}{2} = C_0 \times \left(\frac{q_{in}^2}{2}\right) \times \left[\left(\frac{\varepsilon}{2} - \frac{O_2}{2}\right) \times 10^{\frac{G_{Err}}{20}} - \frac{Q_1}{2}\right] \end{cases} \quad (3.18)$$

Une approximation de l'IRR est donnée par Razavi dans [20] :

$$I_{RR} = 10 \log \left[\frac{1}{\left(\frac{a_I - a_Q}{2}\right)^2 + \left(\frac{1}{2} \varphi_e\right)^2} \right] \quad (3.19)$$

où a_I et a_Q représentent respectivement les amplitudes des signaux sur les voies I et Q et φ_e représente l'erreur de phase. D'autre part, notre Boucle est destinée à compenser les erreurs d'amplitude. Donc, nous supposons que φ_e est nulle. Ainsi, l'équation (3.19) devient :

$$I_{RR} = 10 \log \left[\frac{(a_I + a_Q)^2}{(a_I - a_Q)^2} \right] \quad (3.20)$$

Nous allons essayer maintenant de modéliser notre Boucle afin d'avoir une idée approximative sur l'IRR que nous pouvons avoir en sortie. Par conséquent, nous supposons que l'offset O_2 est nul. Nous pouvons donc écrire :

$$\begin{cases} i^2 = C_0 \times \left(\frac{i_a^2}{2} \right) \times \left[(-\varepsilon) \times 10^{\frac{G_{Err}}{20}} + O_1 \right] \\ q^2 = C_0 \times \left(\frac{q_a^2}{2} \right) \times \left[(\varepsilon) \times 10^{\frac{G_{Err}}{20}} - O_1 \right] \end{cases} \quad (3.21)$$

Donc,

$$i^2 - q^2 = C_0 \times \left[(-\varepsilon) \times 10^{\frac{G_{Err}}{20}} + O_1 \right] \left[\frac{i_a^2}{2} + \frac{q_a^2}{2} \right] \quad (3.22)$$

Or, d'après l'équation (3.9) nous avons noté $\varepsilon = A_0(i^2 - q^2)$. De plus, nous posons :

$$C_1 = C_0 \times \left[\frac{i_a^2}{2} + \frac{q_a^2}{2} \right] \quad (3.23)$$

D'où :

$$i^2 - q^2 = C_1 \times \left[O_1 - A_0(i^2 - q^2) \times 10^{\frac{G_{Err}}{20}} \right] \quad (3.24)$$

Ainsi,

$$i^2 - q^2 = \frac{C_1 \times O_1}{1 + A_0 \times 10^{\frac{G_{Err}}{20}}} = \text{Delta} \quad (3.25)$$

D'autre part, si la Boucle converge alors $\varepsilon=0$. Donc, nous pouvons écrire :

$$i^2 + q^2 = \frac{C_0 \times O_1 (i_a^2 - q_a^2)}{2} \quad (3.26)$$

Par conséquent, nous obtenons un système de deux équations à deux inconnues :

$$\begin{cases} i^2 - q^2 = \frac{C_1 \times O_1}{1 + A_0 \times 10^{\frac{G_{Err}}{20}}} = \text{Delta} \\ i^2 + q^2 = \frac{C_0 \times O_1 (i_a^2 - q_a^2)}{2} \end{cases} \quad (3.27)$$

Alors la solution est

$$\begin{cases} i_{out} = \sqrt{\frac{C_0 \times O_1 (i_{in}^2 - q_{in}^2)}{4} + \frac{Delta}{2}} \\ q_{out} = \sqrt{\frac{C_0 \times O_1 (i_{in}^2 - q_{in}^2)}{4} - \frac{Delta}{2}} \end{cases} \quad (3.28)$$

Par conséquent, l'expression de l'IRR est donnée par :

$$IRR = 10 \log \left[\frac{(i+q)^2}{(i-q)^2} \right] = 10 \log \left(\frac{C_0 \times O_1 (i_a^2 - q_a^2)}{2Delta} \right) \quad (3.29)$$

Donc,

$$IRR \approx 10 \log \left[\left(\frac{i_a^2 - q_a^2}{i_a^2 + q_a^2} \right) \times \left(1 + A_0 \times 10^{\frac{Err}{20}} \right) \right] \quad (3.30)$$

D'après l'équation (3.30), nous remarquons que l'IRR est proportionnel au gain de notre amplificateur d'erreur et à la constante A_0 . Ainsi, un compromis entre les contraintes de conception d'un amplificateur à gain élevé, une constante A_0 élevée et un IRR élevé est à prendre en compte. Afin d'évaluer les performances de notre solution, nous avons fixé les mêmes valeurs que précédemment pour nos calculs et nos simulations à savoir : le gain des AGC est de 5 dB, le gain de l'amplificateur d'erreur est de 52 dB. Sur une plage de correction de ± 6 dB, la pente de l'AGC est constante d'une valeur de 70 dB/Volt. L'offset O_2 est nul et O_1 est de 5 mV. De plus, la constante A_0 est de l'ordre de 75. Notons que notre Boucle peut fonctionner sur une large bande de fréquence. La figure 3.10 présente l'IRR à l'entrée et à la sortie de la solution proposée.

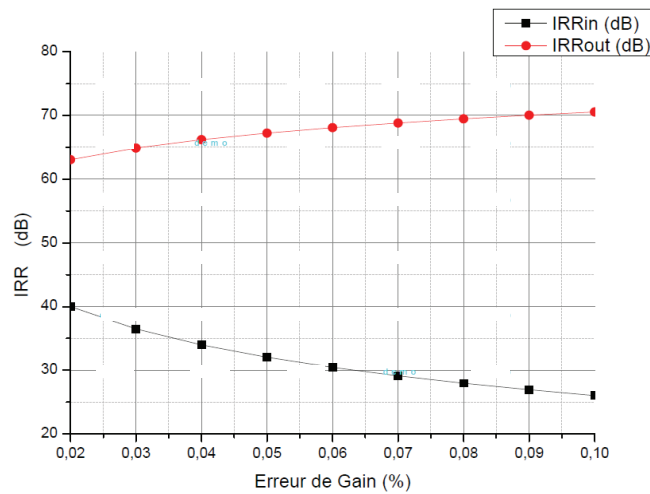


Figure 3.10. IRR à l'entrée et à la sortie de la Boucle

Nous remarquons que notre Boucle permet d'améliorer, en moyenne, l'IRR de 40 dB. En

effet, pour une erreur d'amplitude de 0.1%, l'IRR à l'entrée de la Boucle est de l'ordre de 26 dB alors qu'à la sortie il est de l'ordre de 70 dB ce qui correspond à 0.0006 % d'erreur d'amplitude. De plus, pour une erreur d'amplitude de 0.02%, l'IRR à l'entrée de la Boucle est de l'ordre de 40 dB alors qu'à la sortie il est de l'ordre de 63 dB ce qui correspond à 0.0014 % d'erreur d'amplitude. Ainsi, nous pouvons conclure que l'IRR est d'autant plus grand que l'erreur de gain est plus grande et que l'amplitude du signal sur lequel nous calculons ε est grande. En effet, pour les faibles amplitudes, nous pouvons augmenter le gain de l'amplificateur d'erreur ou de la constante A_0 . Par conséquent, nous allons étudier l'influence de ces derniers sur l'IRR.

III. 3.4.1. Influence du gain de l'amplificateur d'erreur sur notre Boucle

Nous avons fixé le cas précédent comme un exemple de référence. De plus, nous avons fixé la quantité A_0 et nous avons diminué le G_{Err} . La figure 3.11 illustre les résultats obtenus.

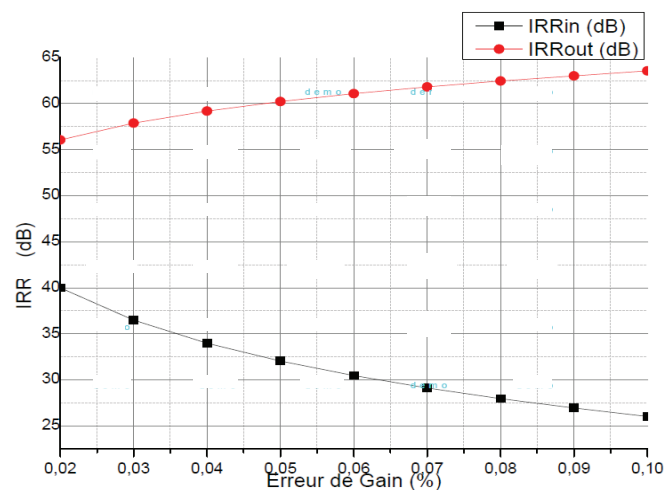


Figure 3.11. IRR à l'entrée et à la sortie de la Boucle pour $A_0=75$ et $G_{Err}=45$

Nous remarquons que notre Boucle permet d'améliorer l'IRR de 37 dB. En effet, pour une erreur d'amplitude de 0.1%, l'IRR à l'entrée de la Boucle est de l'ordre de 26 dB alors qu'à la sortie il est de l'ordre de 63 dB ce qui correspond à 0.0014 % d'erreur d'amplitude. De plus, pour une erreur d'amplitude de 0.02%, l'IRR à l'entrée de la Boucle est de l'ordre de 40 dB alors qu'à la sortie il est de l'ordre de 56 dB ce qui correspond à 0.003 % d'erreur d'amplitude. Ainsi, l'IRR est dégradé de 7 dB par rapport au premier cas.

III. 3.4.2. Influence de la constante A_0 sur notre Boucle

Dans cette partie, nous avons fixé le G_{Err} et nous avons augmenté la quantité A_0 . La

figure 3.12 illustre les résultats obtenus.

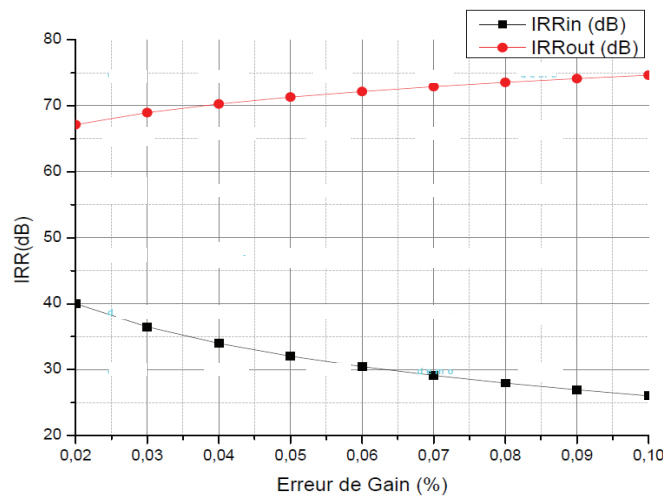


Figure 3.12. IRR à l'entrée et à la sortie de la Boucle pour $A_0=120$ et $G_{Err}=52$

Nous remarquons que notre Boucle permet d'améliorer l'IRR de 48 dB. En effet, pour une erreur d'amplitude de 0.1%, l'IRR à l'entrée de la Boucle est de l'ordre de 26 dB alors qu'à la sortie il est de l'ordre de 74 dB ce qui correspond à 0.0004 % d'erreur d'amplitude. De plus, pour une erreur d'amplitude de 0.02%, l'IRR à l'entrée de la Boucle est de l'ordre de 40 dB alors qu'à la sortie il est de l'ordre de 67 dB ce qui correspond à 0.0009 % d'erreur d'amplitude. Ainsi, l'IRR est amélioré de 4 dB par rapport au premier cas.

D'un côté, l'IRR est d'autant plus grand que l'erreur de Gain et donc l'amplitude du signal sur lequel nous calculons ϵ est grand. De plus, il varie proportionnellement au gain de l'amplificateur d'erreur et à la constante A_0 . Donc, pour obtenir un IRR élevé, le concepteur devra faire un compromis de choix entre les contraintes de conception d'un amplificateur à gain élevé et la constante A_0 élevée. En effet, pour améliorer l'IRR, ces deux quantités doivent être les plus grandes possibles. De plus, nous notons que l'IRR est maintenu constant sur une large bande de fréquence. D'un autre côté, quelques effets de non idéalités doivent être considérés afin d'atteindre une meilleure réjection d'image. En effet, dans notre Boucle de calibrage, les offsets à l'entrée et à la sortie du circuit d'amplification d'erreur représentent un facteur déterminant pour l'exactitude du calibrage. De plus, en simulation, l'offset O_2 peut varier de -50 mV à $+50$ mV et O_1 de -10 mV à $+10$ mV.

III. 3.4.3. Influence des offsets sur notre Boucle

Pour évaluer l'influence des offsets sur la Boucle (Boucle fermée), nous choisissons l'amplitude des signaux d'entrée I_{in} et Q_{in} identiques ($i_a=q_a$). De plus, nous définissons la

sensibilité de notre Boucle par le paramètre IRR = $20 \log\left(\frac{i_{out}}{q_{out}}\right)$.

▪ **Influence de O_2**

Nous posons $O_1 = 0$ pour étudier l'influence d' O_2 . De plus, nous posons :

$$C_1 = C_0 \times \left(\frac{i_a^2}{2}\right) \times 10^{\frac{G_{Err}}{20}} \quad (3.31)$$

L'équation (3.21) se simplifie donc :

$$\left. \begin{aligned} \frac{i^2}{2} &= C_1 \times \left[\left(\frac{-\varepsilon}{2} + \frac{O_2}{2} \right) \right] \\ \frac{q^2}{2} &= C_1 \times \left[\left(\frac{\varepsilon}{2} - \frac{O_2}{2} \right) \right] \end{aligned} \right\} \quad (3.32)$$

Ainsi, nous obtenons après soustraction des deux dernières équations :

$$i^2 - q^2 = 2 \times C_1 \times (-\varepsilon + O_2) \quad (3.33)$$

Maintenant, il nous reste à exprimer cette différence sans la quantité ε . Or, d'après l'équation (3.9), nous avons $\varepsilon = A_0(i^2 - q^2)$

Posons alors :

$$C_2 = C_1 \times A_0 \quad (3.34)$$

Ainsi, l'équation (3.33) devient :

$$\begin{aligned} i^2 - q^2 &= 2 \times C_1 \times O_2 - 2 \times C_1 \times \varepsilon \\ &= 2 \times C_1 \times O_2 - 2 \times C_2 \times (i^2 - q^2) \end{aligned} \quad (3.35)$$

D'où :

$$i^2 - q^2 = \frac{2 \times C_1 \times O_2}{1 + 2 \times C_2} = \text{Delta} \quad (3.36)$$

D'autre part, nous pouvons écrire :

$$i^2 + q^2 = 4 \times \left(\frac{i_a^2}{2}\right) \times \left(10^{\frac{G_{AGC}}{20}}\right)^2 \quad (3.37)$$

D'où, nous obtenons le système suivant :

$$\begin{cases} i^2 - q^2 = \frac{2 \times C_1 \times O_2}{1 + 2 \times C_2} = \text{Delta} \\ i^2 + q^2 = 4 \times \left(\frac{i_a^2}{2}\right) \times \left(10^{\frac{C_{AGC}}{20}}\right)^2 \end{cases} \quad (3.38)$$

Alors, la solution est :

$$\begin{cases} i_{out} = \sqrt{2 \times \left(\frac{i_{in}^2}{2}\right) \times \left(10^{\frac{C_{AGC}}{20}}\right)^2 + \frac{\text{Delta}}{2}} \\ q_{out} = \sqrt{2 \times \left(\frac{i_{in}^2}{2}\right) \times \left(10^{\frac{C_{AGC}}{20}}\right)^2 - \frac{\text{Delta}}{2}} \end{cases} \quad (3.39)$$

La figure 3.13 montre la sensibilité de notre Boucle à l'offset O_2 . En effet, cette sensibilité est d'autant plus grande que l'amplitude du signal sur lequel on calcule ϵ est faible.

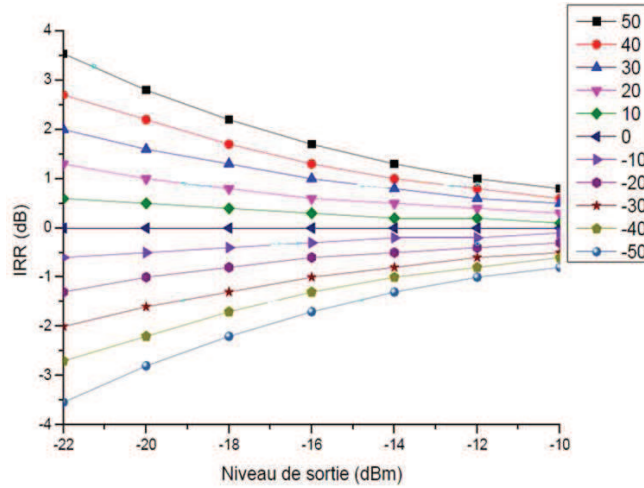


Figure 3.13. Sensibilité de la Boucle pour un offset O_2 variant de -50 mV à $+50 \text{ mV}$

Un "zoom" pour des valeurs comprises entre -12 mV et $+12 \text{ mV}$ est illustré par la figure 3.14.

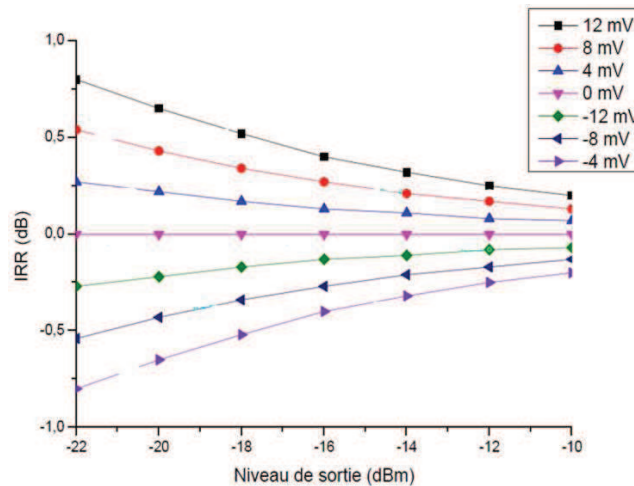


Figure 3.14. Sensibilité de la Boucle pour un offset O_2 variant de -12 mV à $+12 \text{ mV}$

Pour conclure, nous observons une sensibilité de la Boucle à l'offset O_2 , sensibilité d'autant plus grande que l'amplitude du signal sur lequel on calcule ε est faible. Par conséquent, nous pouvons rajouter un bloc de compensation d'offset à la sortie de notre calculateur (donc à l'entrée de notre amplificateur d'erreur).

▪ **Influence de O_1**

De la même manière, pour évaluer l'influence d' O_1 en Boucle fermée, nous posons $O_2 = 0$. Ainsi, nous pouvons écrire, d'une part :

$$i^2 - q^2 = 2 \times C_1 \times O_1 - 2 \times C_2 \times (i^2 - q^2) \quad (3.40)$$

Et d'autre part :

$$i^2 + q^2 = 4 \times \left(\frac{i_a^2}{2}\right) \times \left(10^{\frac{G_{AGC}}{20}}\right)^2 \quad (3.41)$$

Nous posons :

$$i^2 - q^2 = \frac{2 \times C_1 \times O_1}{1 + 2 \times C_2} = \text{Delta} \quad (3.42)$$

Nous obtenons alors le système suivant :

$$\begin{cases} i^2 - q^2 = \frac{2 \times C_1 \times O_1}{1 + 2 \times C_2} = \text{Delta} \\ i^2 + q^2 = 4 \times \left(\frac{i_a^2}{2}\right) \times \left(10^{\frac{G_{AGC}}{20}}\right)^2 \end{cases} \quad (3.43)$$

Donc, la solution est :

$$\begin{cases} i_{out} = \sqrt{2 \times \left(\frac{i_{in}^2}{2}\right) \times \left(10^{\frac{G_{AGC}}{20}}\right)^2 + \frac{\text{Delta}}{2}} \\ q_{out} = \sqrt{2 \times \left(\frac{i_{in}^2}{2}\right) \times \left(10^{\frac{G_{AGC}}{20}}\right)^2 - \frac{\text{Delta}}{2}} \end{cases} \quad (3.44)$$

La figure 3.15 illustre la sensibilité de notre solution à l'offset O_1 . Ce dernier est pratiquement corrigé par notre Boucle.

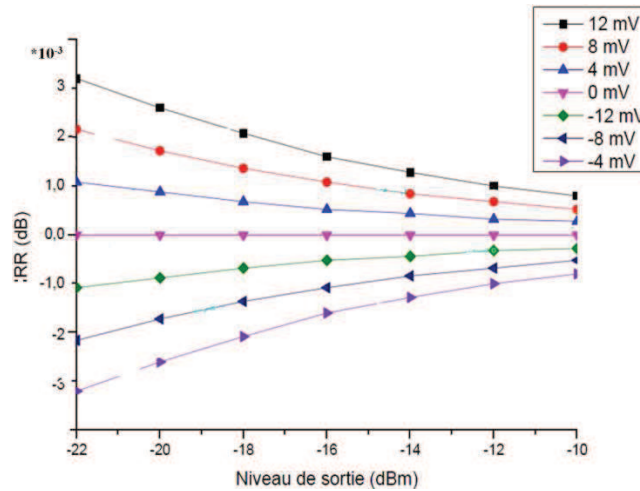


Figure 3.15. Sensibilité de la Boucle pour un offset O_1 variant de -12 mV à $+12\text{ mV}$

Pour conclure, nous notons l'influence prédominante de l'offset (O_2) à la sortie de la cellule Calculateur. L'amplitude des signaux avec lesquels nous calculons l'erreur est aussi d'une importance capitale en fonction des offsets obtenus en sortie de la cellule Calculateur. Ainsi, notre Boucle permet de calibrer automatiquement les erreurs de gain (d'amplitude) entre les signaux I et Q. Notre solution est principalement utilisée en bande de base. En effet, nous avons proposé cette solution pour une architecture faible FI mais il est clair que nous pouvons l'appliquer aisément pour une architecture Zéro-FI. Nous avons pensé à l'appliquer également pour l'architecture de Weaver.

III.4. APPLICATION DE NOTRE BOUCLE POUR L'ARCHITECTURE DE WEAVER

Dans cette partie, nous avons appliqué notre solution à l'architecture de Weaver afin d'évaluer les performances de cette dernière. Un rappel sur la modélisation de l'IRR en fonction des erreurs de phase et de gain est effectué pour cette dernière. Par la suite, nous présentons les résultats de simulations obtenus.

III.4.1. MODELISATION DU DESAPPARIEMENT DE PHASE ET D'AMPLITUDE

En annexe 1, nous avons effectué un calcul détaillé de l'IRR au sein de l'architecture classique de Weaver. En exprimant cette valeur en décibel, nous obtenons l'équation finale, exprimant la réjection du signal d'image en fonction de l'erreur de gain en % et de l'erreur de phase en degré :

$$IRR(dB) = 10 \log \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos(\varphi_1 + \varphi_2)}{1 + (1 + \Delta A)^2 - 2(1 + \Delta A) \cos(\varphi_1 - \varphi_2)} \right] \quad (3.45)$$

où ΔA est l'erreur de gain entre les deux voies I et Q, φ_1 et φ_2 représentent respectivement les erreurs de phase des oscillateurs OL_1 et OL_2 . Il est clair qu'avec l'égalité ou l'élimination des erreurs de phase des oscillateurs OL_1 et OL_2 , on puisse optimiser l'IRR [21]. En effet, si nous supposons que $\varphi_1 = \varphi_2 = \varphi$, alors l'équation 3.45 devient :

$$IRR(dB) = 10 \log \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos(2\varphi)}{\Delta A^2} \right] \quad (3.46)$$

Grâce à ces deux équations (3.45 et 3.46), nous pouvons tracer les courbes (cf. Figure 3.16 et figure 3.17) de l'IRR.

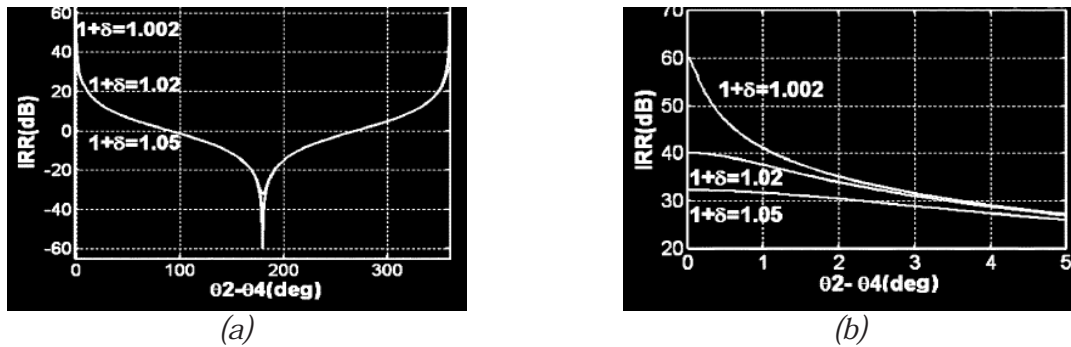


Figure 3.16. IRR en fonction de l'Erreur de Phase et de Gain au sein de l'architecture de Weaver classique (équation 3.45). (a) Erreur de Phase variant de 0° à 360° , (b) Erreur de Phase variant de 0° à 5° .

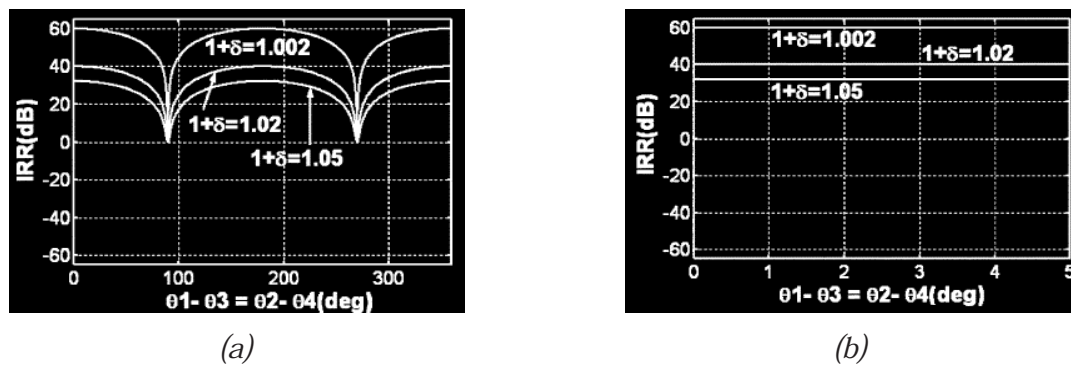


Figure 3.17. IRR en fonction de l'Erreur de Phase et de Gain au sein de l'architecture de Weaver modifiée (équation 3.46). (a) Erreur de Phase variant de 0° à 360° , (b) Erreur de Phase variant de 0° à 5° .

A partir de la figure 3.17 (b), nous notons que l'IRR, pour une erreur de phase de 0° - 5° , est constant pour chaque valeur des erreurs de gain. Donc, d'une part si nous optimisons les erreurs de gain au sein de l'architecture de Weaver, nous améliorons significativement l'IRR.

D'une autre part, les erreurs de phase peuvent être ajustées par des cellules de retard ou par plusieurs techniques présentées dans [12], [22].

III.4.2. RESULTATS DE SIMULATION DE NOTRE SOLUTION

Nous avons inséré notre Boucle en fin de la chaîne de réception comme illustré par la figure 3.18. Les conditions d'utilisation de notre Boucle sont : le gain des AGC est de 5 dB, le gain de l'amplificateur d'erreur est de 52 dB. Sur une plage de correction de ± 6 dB, la pente de l'AGC est constante d'une valeur de 60 dB/Volt. L'offset O_2 est nul et O_1 est de 5 mV. De plus, la constante A_0 est de l'ordre de 75. Les conditions de simulations sont les suivantes :

- la fréquence du signal désiré est de 2404 MHz,
- la fréquence du signal image est de 1554 MHz,
- à l'entrée du récepteur, le niveau de puissance du signal désiré et du signal image est le même,
- la fréquence de l'OL₁ et de l'OL₂ sont respectivement de 1980 MHz et 420 MHz,
- l'erreur de gain est de 0.15% et les erreurs de phase entre les voies I et Q pour l'OL₁ et l'OL₂ sont égales à 0° pour la première simulation (cf. Figure 3.20) et 5° pour la deuxième simulation (cf. Figure 3.21).

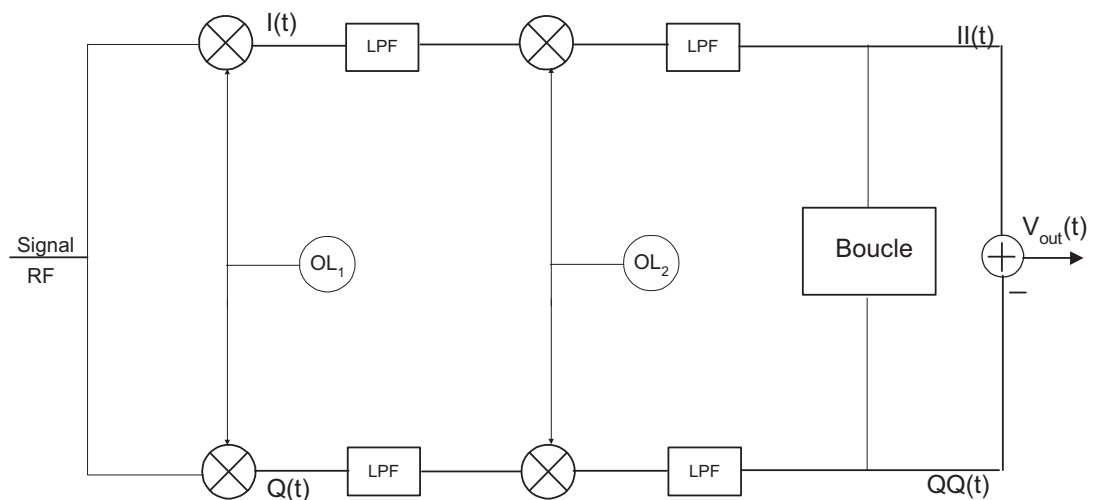


Figure 3.18. Implémentation de la Boucle au sein de l'architecture de Weaver

Les simulations sont effectuées avec le logiciel ADS d'Agilent®. La figure 3.19 montre la convergence de notre Boucle en traçant la réponse transitoire de l'erreur. Ainsi, notre solution converge après environ 6 μ s.

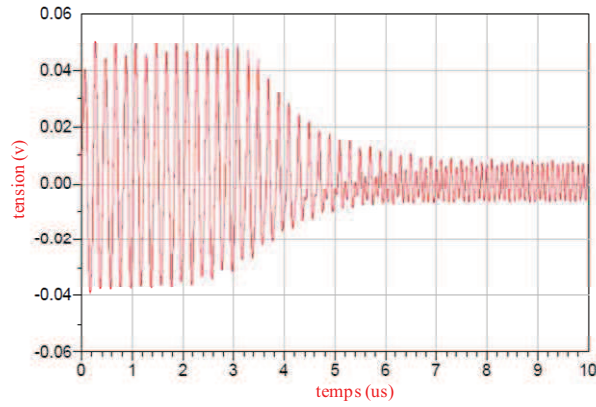


Figure 3.19. Réponse transitoire de l'erreur

Les résultats de simulations sont présentés sur les figures 3.20 et 3.21 où la sortie $V_{out}(t)$, de l'architecture de Weaver (cf. Figure 3.18), contient le signal désiré à 4 MHz et le signal image à 6 MHz.

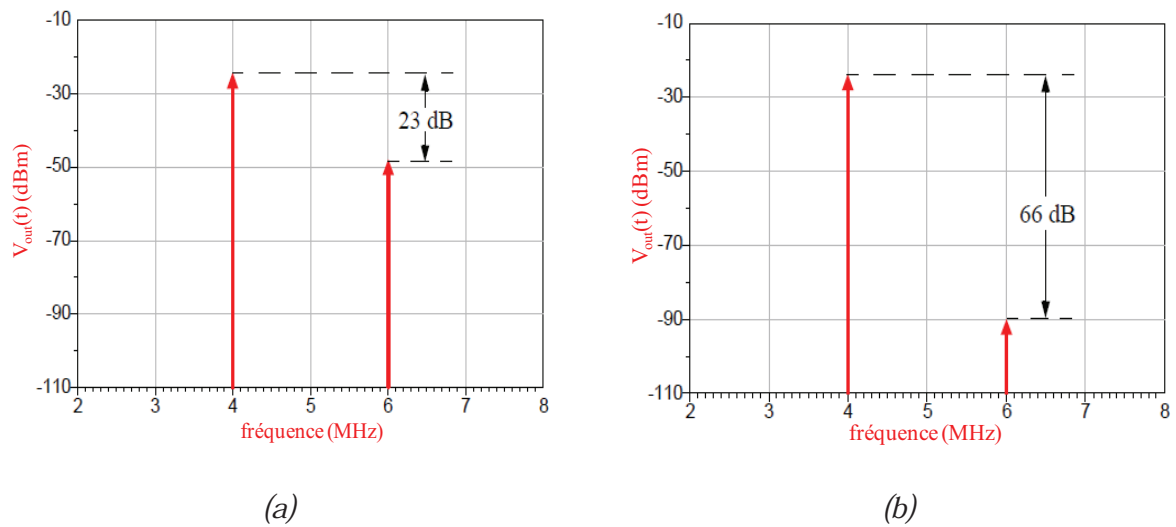


Figure 3.20. Spectre de sortie pour des erreurs de phase de 0° (a) avant le calibrage (sans Boucle), (b) après le calibrage (avec la Boucle)

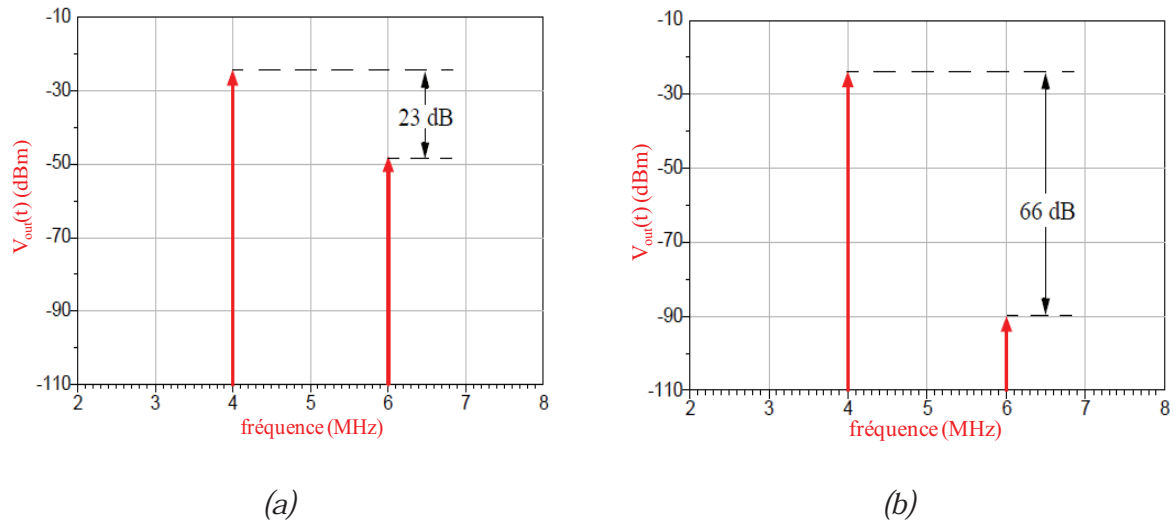


Figure 3.21. Spectre de sortie pour des erreurs de phase de 5° (a) avant le calibrage (sans Boucle), (b) après le calibrage (avec la Boucle)

Nous notons que l'IRR n'est pas affecté par les erreurs de phase comme prévu dans notre analyse dans la partie 5.1. De plus, notre Boucle permet d'améliorer significativement l'IRR. En effet, pour une erreur de gain de 0.15%, l'architecture de Weaver, sans notre Boucle, présente un IRR de l'ordre de 23 dB. Par contre, avec notre Boucle, nous obtenons un IRR de 66 dB. Notre Boucle permet donc d'améliorer l'IRR de 43 dB en optimisant les paramètres G_{Err} et A_0 , comme mentionné dans le paragraphe §III.4.

III.5. CONCEPTION ET VALIDATION DE NOTRE BOUCLE

Dans cette partie, notre but principal est de montrer la validité de la solution proposée et non pas la conception totale de cette dernière. Par conséquent, deux blocs spécifiques innovants sont présentés, à savoir : la cellule Calculateur et le filtre passe bas actif à base d'OTA (OTA pour *Operational Transconductance Amplifier*) et à gain contrôlable.

III.5.1. CALCULATEUR D'ERREUR

Le rôle de ce bloc est primordial dans tous les systèmes de correction d'erreurs de gain et de phase au sein des différentes architectures RF. Principalement, ce bloc sert au contrôle du gain et de la phase. En effet, dans la littérature plusieurs structures sont présentées [11], [12].

III. 5.1.1. Solution proposée par RAZAVI et DER

Dans [11], Razavi et Der proposent une technique de réjection de la fréquence d'image, basée sur l'architecture de Weaver. Nous avons détaillé cette technique dans le premier chapitre (§4.2.3). La solution proposée au niveau transistor est présentée sur la figure 3.22.

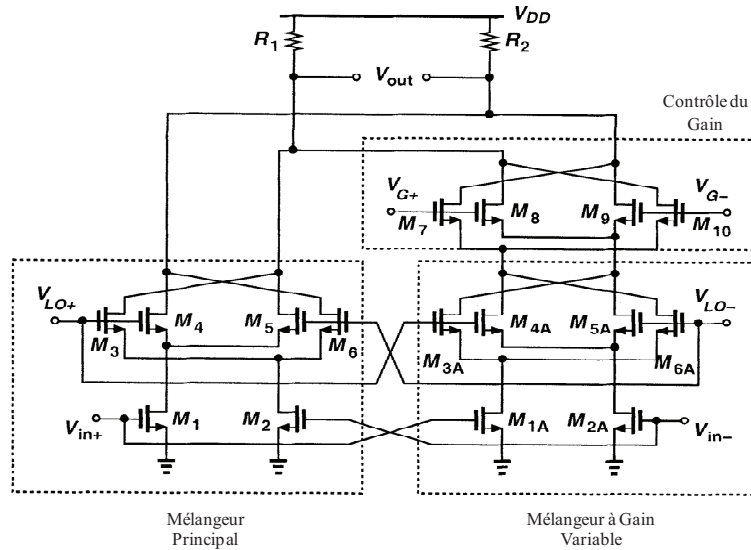


Figure 3.22. Implémentation de la Solution proposée dans [11]

Le mélangeur est composé par une cellule principale et une cellule ayant un gain variable. Le contrôle du gain est réalisé par les transistors M_7 - M_{10} . La sortie FI du dispositif est connectée aux deux voies I/Q du récepteur à l'aide des deux résistances R_1 et R_2 , sous forme de courant.

III. 5.1.2. Solution proposée par ELMALA et EMBABI

Dans [12], Elmala et Embabi présentent une technique de réjection du signal image, basée sur l'architecture de Weaver et détaillée dans le premier chapitre (§4.2.2). La solution proposée au niveau transistor est présentée sur la figure 3.23.

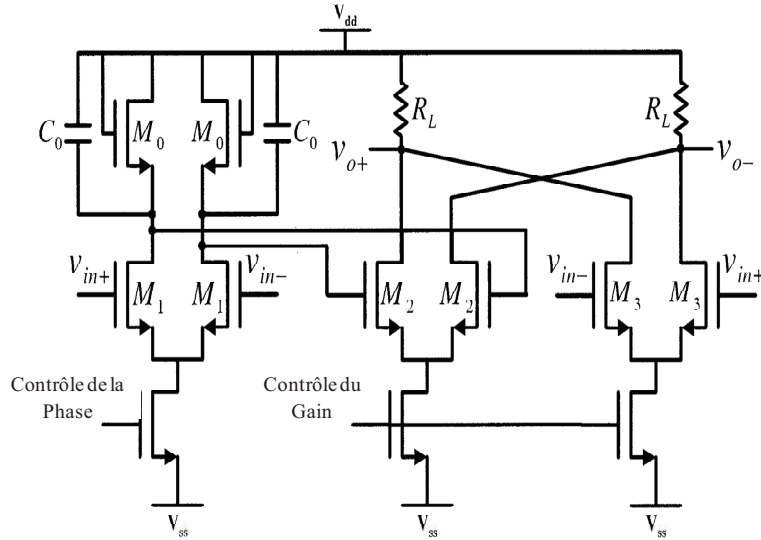


Figure 3.23. Implémentation de la Solution proposée dans [12]

La fonction de transfert de ce dernier après filtrage [12] est décrite par l'équation suivante

$$\frac{V_o(s)}{V_{in}(s)} = g_{m3} R_L \frac{s - \frac{1}{C_c} \left(\frac{g_{m1} g_{m2}}{g_{m3}} - g_{m0} \right)}{s - \frac{g_{m0}}{C_c}} \quad (3.47)$$

où g_{mi} est la transconductance du transistor M_i et R_L est la résistance de charge. Le signal de correction de phase ajuste le pôle et les zéros en changeant la valeur de g_{m0} , tandis que le signal de commande de gain ajuste le gain DC du filtre en changeant la valeur de g_m . Ce dispositif permet un calibrage simultané de la phase et du gain.

III. 5.1.3. Notre solution proposée

Comme nous l'avons mentionné, le circuit proposé devra générer une tension différentielle qui représente la différence d'amplitude au carré entre les signaux de sortie I_{out} et Q_{out} . Par ailleurs, après filtrage, il ne reste plus qu'un courant DC qui va commander les AGC afin d'agir sur les amplitudes des signaux d'entrée. Le circuit proposé est illustré par la figure 3.24. Pour bien mener notre calcul, nous avons divisé notre structure en deux parties : celle en rouge représente un mélangeur classique à base de cellule de Gilbert et celle en bleu représente une cellule rajoutée afin de pouvoir avoir un courant total proportionnel à la différence d'amplitude au carré entre les signaux de sortie I_{out} et Q_{out} . Le calcul détaillé de cette structure proposée est fourni en annexe 4.

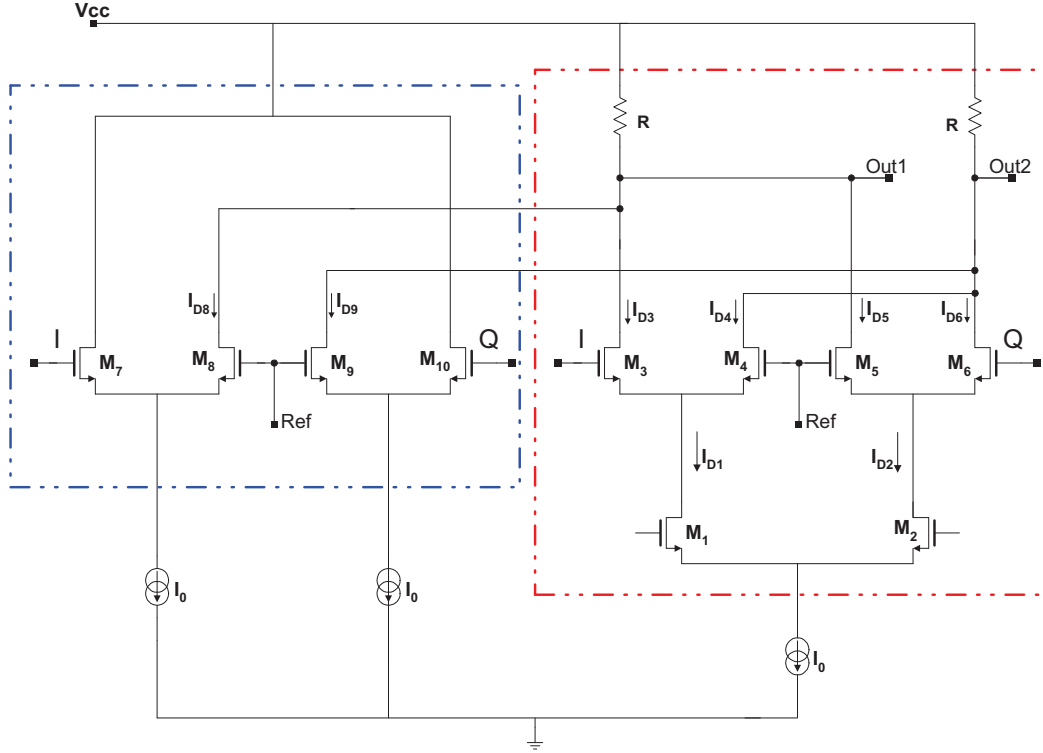


Figure 3.24. Calculateur proposé

En effet, pour la partie encadrée en rouge de la figure 3.24 et après approximation, nous pouvons écrire :

$$I_{tot} = I_{D3} + I_{D5} - (I_{D4} + I_{D6}) \quad (3.48)$$

D'où :

$$I_{tot} = \frac{I_0}{2} \left[1 + \left(\frac{i(t) - q(t)}{2v_t} \right) \right] * \left[\frac{i(t)}{2v_t} \right] - \frac{I_0}{2} \left[1 - \left(\frac{i(t) - q(t)}{2v_t} \right) \right] * \left[\frac{q(t)}{2v_t} \right] \quad (3.49)$$

Pour la cellule entourée en bleu et après approximation, les calculs donnent :

$$\left. \begin{aligned} I_{D8} &= \frac{I_0}{2} \left[1 - \left(\frac{i(t)}{2v_t} \right) \right] \\ I_{D9} &= \frac{I_0}{2} \left[1 - \left(\frac{q(t)}{2v_t} \right) \right] \end{aligned} \right\} \quad (3.50)$$

Donc, le courant total sera exprimé par :

$$I_{tot} = I_{D3} + I_{D5} + I_{D8} - (I_{D4} + I_{D6} + I_{D9}) \quad (3.51)$$

D'où :

$$I_{tot} = \frac{I_0}{2} \left[\frac{i(t)^2 - q(t)^2}{(2v_t)^2} \right] \quad (3.52)$$

Or, les signaux $i(t)$ et $q(t)$ sont à valeur moyenne nulle. Nous posons : $i(t)=I_{out}(t)=i*\sin(\omega t)$ et $q(t)=Q_{out}(t)=q*\cos(\omega t)$. Donc, nous pouvons écrire :

$$\begin{cases} I_{out}(t)^2 = \frac{i^2}{2} - \frac{i^2}{2} * \cos 2\omega t \\ Q_{out}(t)^2 = \frac{q^2}{2} - \frac{q^2}{2} * \cos 2\omega t \end{cases} \quad (3.53)$$

Ainsi :

$$I_{out}(t)^2 - Q_{out}(t)^2 = \frac{i^2 - q^2}{2} - \frac{i^2 + q^2}{2} * \cos 2\omega t \quad (3.54)$$

Le filtre supprime la partie (à valeur moyenne nulle) dépendante du temps et il ne reste plus qu'un courant DC à intégrer aux bornes d'une capacité. Le courant DC généré par une différence d'amplitude entre $I_{out}(t)$ et $Q_{out}(t)$ est donné par l'équation (3.55)

$$I_{tot} = \frac{I_0}{4} \times \frac{i^2 - q^2}{(2vt)^2} \quad (3.55)$$

et la tension différentielle générée est donnée par l'équation (3.56)

$$\mathcal{E} = R \times \frac{I_0}{4} \times \frac{i^2 - q^2}{(2vt)^2} = A_0(i^2 - q^2) \quad (3.56)$$

où R est la résistance de charge.

Ainsi, à l'aide de notre Calculateur nous pouvons avoir une tension différentielle proportionnelle à la différence d'amplitude au carré des signaux de sortie comme prévu dans notre modélisation (§4.1). Nous notons donc que A_0 peut atteindre des valeurs de l'ordre de 75 voire plus. Par exemple, pour une résistance de charge de 500Ω et un courant de 1mA , la constante A_0 est égale à 46.

III.5.2. FILTRE DE BOUCLE

Vu que nous travaillons à des faibles fréquences, le filtre passe bas aura des composants discrets de valeurs importantes. Ainsi, pour une meilleure intégration sur silicium, l'adaptation d'un filtre actif à base d'OTA et de capacité (gm-C) a été choisie.

Dans un premier temps, le filtre est réalisé à partir d'un simple filtre RLC. Sous *ADS*, nous pouvons le synthétiser et définir ainsi les valeurs des résistances (R), des inductances (L) et

des capacitances (C). Pour une meilleure intégration sur silicium, ce filtre est ensuite converti en un filtre actif à l'aide d'amplificateurs à transconductance (OTA) et de capacités. Un rappel détaillé sur les graphes de fluence est fourni en annexe 5.

III. 5.2.1. Conception de l'OTA

Une structure purement différentielle a été adoptée au niveau de l'OTA [23] comme le montre la figure 3.25.

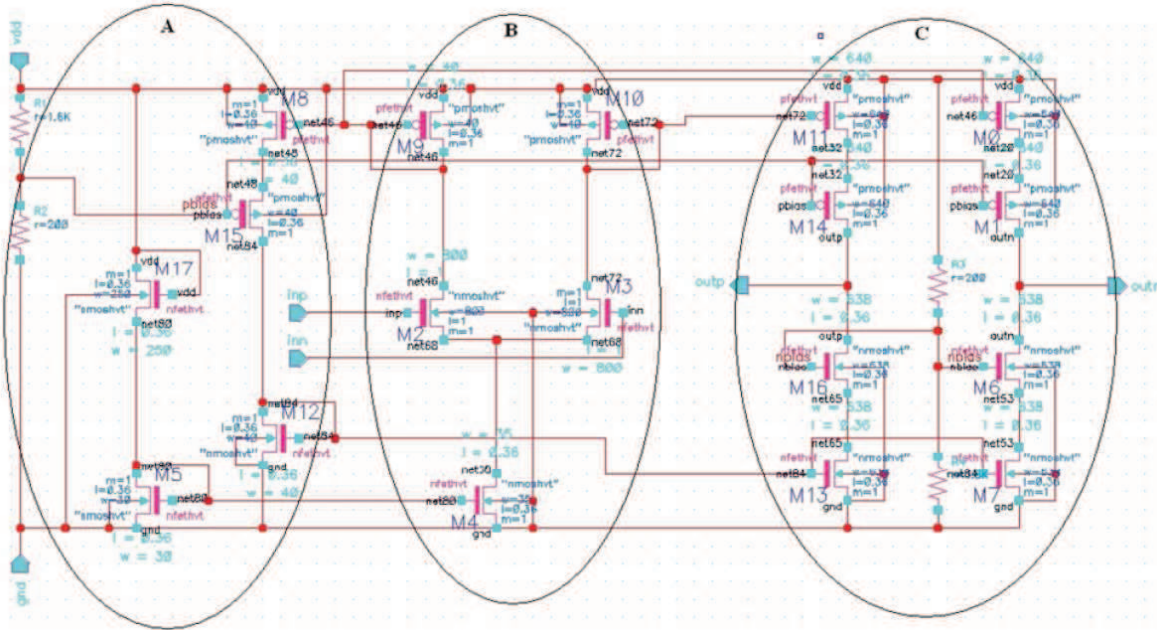


Figure 3.25. Schéma au niveau transistor de l'OTA différentiel de type cascode

L'OTA conçu présente trois étages : un étage de polarisation (A), un étage d'entrée différentiel (B) et un étage de sortie différentiel de type cascode (C). La simulation de cette structure a été exécutée avec l'outil *Cadence*[®] afin de calibrer ses paramètres. La réponse en fréquence du circuit est représentée sur la figure 3.26.

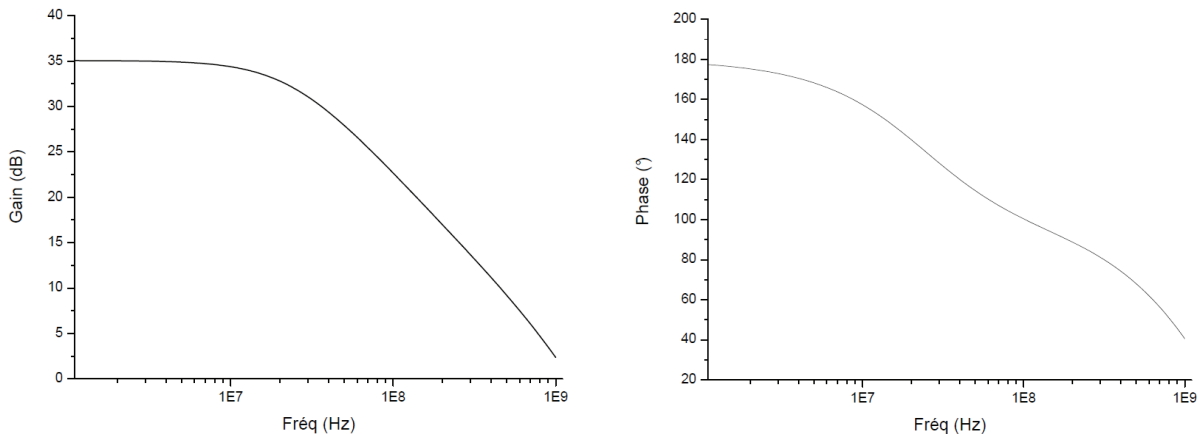


Figure 3.26. Réponse fréquentielle de l'OTA

Ainsi, notre OTA peut fournir un gain maximal de 35 dB, la bande passante à -3 dB est de 27 MHz. Ses performances ont été obtenues avec un courant de polarisation de 5 mA sous une tension d'alimentation de 2.5 V.

III. 5.2.2. Synthèse du Filtre

Dans un premier temps, le filtre est réalisé à partir d'un simple filtre RLC. Sous ADS, nous pouvons le synthétiser et définir ainsi les valeurs des résistances (R), des inductances (L) et des capacités (C). La figure 3.27 illustre la topologie du filtre obtenu avec les valeurs des R, L et C respectives.

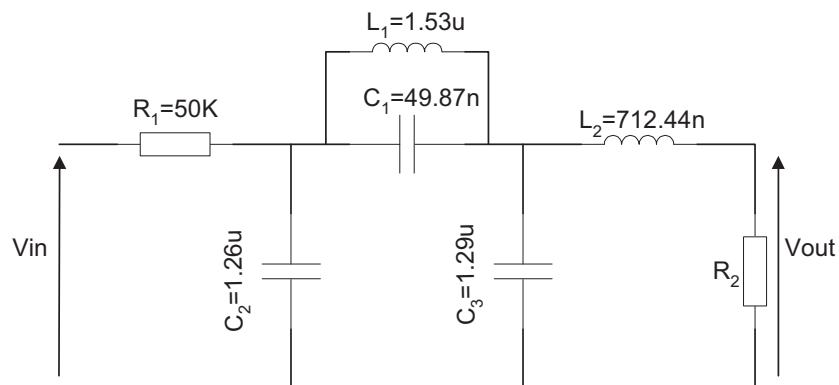


Figure 3.27. Filtre Chebyshev LC de 5^{ème} ordre

Une fois le filtre est dessiné, la dernière étape consiste à le convertir en filtre actif à base d'OTA. Par conséquent, la topologie finale du filtre implémenté avec des OTA différentiels est représentée sur la figure 3.28. De plus, nous avons rajouté un circuit de contrôle de gain (A) afin de pouvoir agir sur le gain de ce filtre.

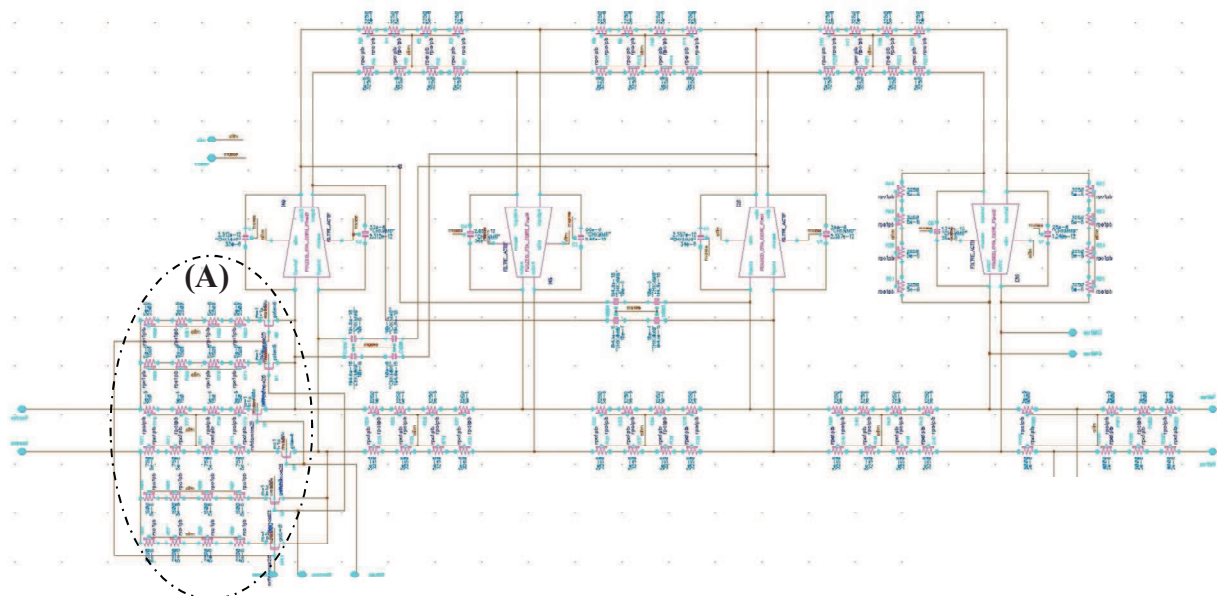


Figure 3.28. Filtre synthétisé à base d'OTA différentiels

III. 5.2.3. Implémentation et Performances du filtre de Boucle

Le dessin des masques du circuit de test final est illustré par la figure 3.29. Le circuit a été réalisé en technologie CMOS 0,28 μm . Il occupe une surface de (170 x 760) μm^2 sans *PADs* et (550 x 1170) μm^2 avec les *PADs*.

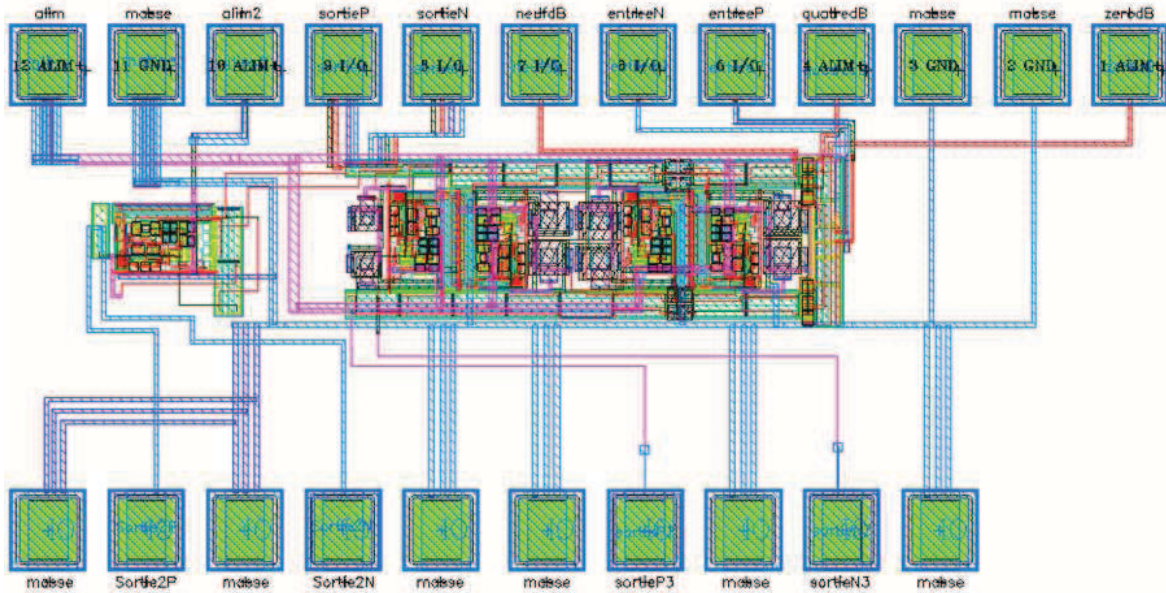


Figure 3.29. Dessin de masque du circuit de test du filtre de Boucle

La simulation *PLS* (*Post Layout Simulation*) en fréquence du filtre a été aussi effectuée sous *Cadence*[®] et elle est donnée sur la figure 3.30. Sa fréquence de coupure est de 0.7 MHz. L'innovation dans ce filtre réside dans la possibilité d'avoir un gain contrôlable à l'aide d'un circuit de contrôle de gain (cf. Figure 2.28). En effet, selon la combinaison, nous pouvons obtenir : 0, 4, 9 et 12 dB ce qui laissera au concepteur plus de souplesse pour l'évaluation de l'erreur ϵ .

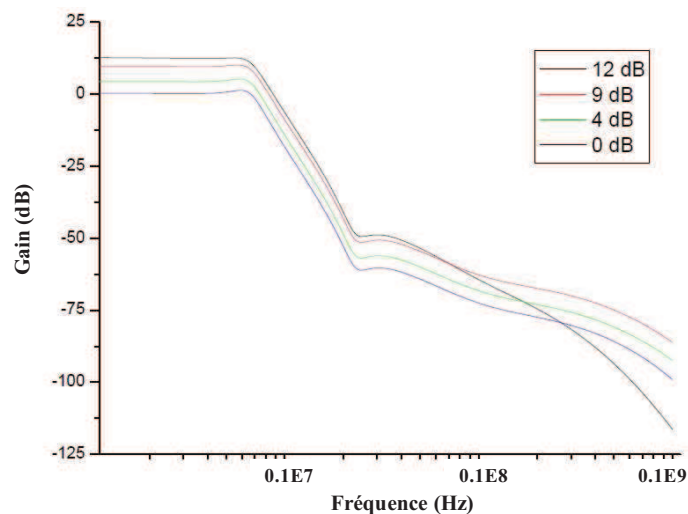


Figure 3.30. Gabarit du filtre synthétisé à base d'OTA

De plus, afin de mettre en évidence la sensibilité et la stabilité du filtre aux variations de « *process* », de la température, de la tension d'alimentation et des disparités entre les différents composants, des analyses pire-cas ont été effectuées.

III.6. CONCLUSION

Ce chapitre a été consacré à l'exposé d'un système original permettant le calibrage des disparités et des appariements entre les voies I et Q pour les architectures de réception RF en général et approprié en particulier pour les architectures de Weaver, Faible-FI et Zéro-FI. Nous avons présenté tout d'abord une modélisation du système proposé avec le logiciel *Mathcad*. De plus, nous l'avons implémenté sous le logiciel *ADS*, ce qui nous a permis d'obtenir une grande similitude des résultats expliquant que notre modélisation décrit correctement le comportement de la solution proposée. Ensuite, nous avons calculé les performances de notre système en termes d'IRR en démontrant l'amélioration significative de la réjection du signal image. Nous avons également validé le fonctionnement de notre solution en l'intégrant au sein de l'architecture de Weaver. Pour finir, nous avons proposé plusieurs étages particuliers (comme la cellule Calculateur,...) afin de démontrer la validité de la solution proposée.

Dans le prochain chapitre, nous proposerons, dans un premier temps, la conception d'une nouvelle architecture de réception RF « *full-complex* » combinée avec une autre technique originale de correction des erreurs de gain. Dans un deuxième temps, nous traiterons la conception d'une chaîne de réception RF, tout en mettant l'accent sur la réjection du signal image à l'aide de notre technique et nous démontrerons sa validité.

III.7. REFERENCES

- [1] A. El Oualkadi, "*Analyse comportementale des filtres à capacités commutées pour les radiocommunications : conception d'une nouvelle architecture en technologie BiCMOS 0,35 μ m*", Thèse de doctorat, Université de Poitiers. Dec. 2004.
- [2] J. R. Long, and M. C. Maliepaard, "*A 1V 900 MHz image-reject downconverter in 0.5 μ m CMOS*", IEEE Custom Integrated Circuits Conference, pp. 665-668, 1999.
- [3] J. R. Long, "*A narrowband radio receiver front-end portable communications applications*", Thèse de doctorat, Carleton University, 1996.
- [4] J. C. Rudell, et al., "*A 1.9 GHz wideband IF double conversion CMOS receiver for cordless telephone applications*", IEEE Journal of Solid State Circuits, Vol. 32, No. 12,

- pp. 2071-2088, 1997.
- [5] B. Razavi, "Architectures and Circuits for RF CMOS Receivers", IEEE Custom Integrated Circuits Conference, pp. 393-401, 1998.
 - [6] P. Orsatti, F. Piazza, and Q. Huang "A 20-mA-receive, 55-mA-transmit, single-chip GSM transceiver in 0.25- μ m CMOS" IEEE Journal of Solid-State Circuits, pp. 1869-1880, Volume 34, Issue 12, Dec 1999.
 - [7] T.D Stetzler et al., "A 2.7-4.5 V single chip GSM transceiver RF integrated circuit", IEEE Journal of Solid-State Circuits, pp. 1421-1429, Volume 30, Issue 12, Dec 1995.
 - [8] D. Grace, and H. Iwatsubo, "RF filter technology for wireless communications", Wireless Design & Development, p. 8, June 1996.
 - [9] J. Schwartzel, "Filtering and frequency control for the next generation of mobile communication systems", in Proc. EFTF, pp. 175-189, 1994.
 - [10] R. Montemayor, and B. Razavi, "A self-calibrating 900-MHz CMOS image-reject receiver", Proceedings of the 26th European Solid-State Circuits Conference, ESSCIRC, pp. 320-323, 19-21 Sept. 2000.
 - [11] L. Der, and B. Razavi, "A 2-GHz CMOS image-reject receiver with LMS calibration", IEEE Solid-State Circuits Conference, Digest of Technical Paper, 2001.
 - [12] M.A.I Elmala, and S.H.K Embabi, "Calibration of phase and gain mismatch in Weaver image-reject receiver", IEEE Journal of Solid-State Circuits, Volume 39, Issue 2, pp. 283-289, Feb. 2004.
 - [13] Li Juan, et al., "A 434/868 MHz CMOS low-IF receiver with I/Q imbalance calibration for SRDs application". Journal of Semiconductors, 2009.
 - [14] L. Yu, and M. Snelgrove, "A novel adaptive mismatch cancellation system for quadrature IF radio receivers," IEEE Trans. Circuits Syst. II, vol. 46, pp. 789-801, June 1999.
 - [15] S. Vitali, E. Franchi, and A. Gnudi, "RF I/Q Downconverter With Gain/Phase Calibration", Express Briefs, IEEE Transactions on Circuits and Systems II, Volume 54, Issue 4, pp. 367-371, April 2007.
 - [16] M. Valkama, and M. Renfors, "Advanced DSP for I/Q imbalance compensation in a low-IF receiver", IEEE International Conference on Communications, Vol. 2, pp. 768-772, 2000.
 - [17] U. -K. Moon, and B.-S. Song, "Background digital calibration techniques for pipelined ADCs", IEEE Trans. Circuits and Systems II: Analog and digital signal processing, Vol. 44, No. 2, pp. 102 - 109, Feb. 1997.
 - [18] N. Sun, et al., "Digital background calibration in pipelined ADCs using commutated feedback capacitor switching", IEEE Trans. circuits and Systems II: Express Briefs, Vol. 55, No. 9, pp. 877-881, Sep. 2008.

- [19] Y. Chiu, et al., "*Least mean square adaptive digital background calibration of pipelined analog-to-digital converters*", IEEE Trans. Circuits and Systems I: Regular Papers, Vol. 51, No. 1, pp. 38-46, Jan. 2004.
- [20] B. Razavi, "*RF Microelectronics*". Prentice Hall: New Jersey, 1997.
- [21] Tzung-Han Wu, Tzung-Han Wu, "*5.2/5.7-GHz 48-dB Image Rejection GaInP/GaAs HBT Weaver Down-Converter Using LO Frequency Quadrupler*", IEEE J. Solid State Circuits, vol. 41, no. 11, pp. 263–267, Nov. 2006.
- [22] T. Tsukahara, M. Ishikawa, and M. Muraguchi, "*A 2-V 2-GHz Si-bipolar direct-conversion quadrature modulator*", IEEE J. Solid State Circuits, vol. 31, no. 2, pp. 263–267, Feb. 1996.
- [23] R. J. Baker, W. Li, E. David, and Boyce, "*CMOS Circuit Design, Layout and Simulation*", S. edition, Ed., 2003.

Chapitre 4

Technique de Correction d'erreurs de Gain au sein des architectures « Full-Complex »

Résumé – Ce chapitre traitera de la conception d'une nouvelle architecture de réception RF « full-complex » combinée avec une technique originale de correction des erreurs de gain au niveau des mélangeurs afin d'obtenir de meilleures performances en termes de réjection du signal image. Nous nous intéresserons, tout d'abord, à faire un rappel sur l'architecture « full-complex ». Ensuite, nous étudierons plusieurs étages particuliers (comme le mélangeur, l'OTA...) afin de démontrer la validité de la solution proposée. Finalement, nous aborderons la conception d'une chaîne de réception RF, tout en mettant l'accent sur la réjection du signal image à l'aide de notre technique et nous démontrerons sa validité.

IV.1. INTRODUCTION

Dans le chapitre précédent, nous avons présenté un système permettant le calibrage des disparités et des appariements entre les voies I et Q pour les architectures de réception RF en général et approprié, en particulier, pour les architectures de Weaver, Faible-FI et Zéro-FI. Ce dernier a permis d'améliorer significativement l'IRR. De plus, dans le deuxième chapitre, nous avons présenté plusieurs méthodes pour améliorer la quadrature des signaux, ce qui nous permettra d'alléger les contraintes sur les mélangeurs. Par conséquent, le but de ce dernier chapitre est de proposer une nouvelle architecture de réception RF « *full-complex* » combinée avec une technique originale de correction des erreurs de gain au niveau des mélangeurs afin d'obtenir de meilleures performances en termes de réjection du signal image.

IV.2. RAPPEL SUR L'ARCHITECTURE « FULL-COMPLEX »

La figure 4.1 représente le synoptique d'une architecture « *full-complex* », appelée également conversion-basse double-quadrature (« *double-quadrature down-conversion* »). Elle consiste en une double génération de quadrature au niveau de l'oscillateur local (OL) ainsi qu'au niveau du signal RF associée à une paire de mélangeurs complexes (cf. Figure 4.1). Généralement, la génération de la quadrature au niveau du signal RF est effectuée par des filtres polyphases [1, 2] ce qui améliore nettement l'IRR au détriment d'une surface silicium plus importante. La représentation spectrale du traitement des signaux le long de cette architecture est illustrée par la figure 4.2.

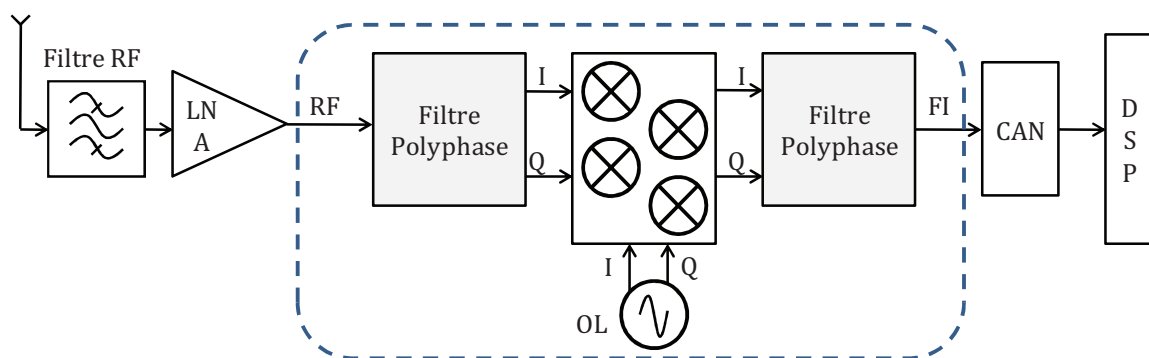


Figure 4.1. Architecture « *full-complex* » utilisant des filtres polyphases

Dans ce cas, il est possible de différencier la partie positive et négative du spectre. Nous avons donc choisi d'utiliser un filtre polyphase RF pouvant filtrer les composantes $-\omega_{RF}$ et $-\omega_{Im}$. Celui-ci permet d'atténuer l'amplitude des signaux de la séquence non désirée avant

répartition, les contraintes de conception peuvent donc être relâchées aussi bien au niveau du filtre polyphase RF que de l'oscillateur local. A titre d'exemple, si l'oscillateur local présente un $IRR_{OL} = 30$ dB et le filtre polyphase RF présente un $IRR_{FPP} = 35$ dB alors l'IRR total de 65 dB ainsi obtenu doit donc être égalé et réalisé au niveau du mélangeur ($IRR_{mix} = 65$ dB). De plus, pour obtenir ces 65 dB sur toute la chaîne de réception, il faut que le filtre polyphase FI le permette également. En effet, l'IRR final au sein de cette architecture (cf. Annexe 1) est donné par l'équation (4.1) [3].

$$IRR = \frac{(A_{ii} + A_{qi} + A_{iq} + A_{qq})^2}{(A_{ii} - A_{qi} - A_{iq} + A_{qq})^2} \quad (4.1)$$

où A_{ii} , A_{qi} , A_{iq} et A_{qq} représentent les gains des quatre mélangeurs. Le détail des calculs est donné en Annexe 1. Cette équation met en évidence que la qualité de la réjection du signal image et donc de l'IRR dépend principalement des disparités de gain des mélangeurs et non pas des erreurs de phase de l'OL. A titre d'exemple et à partir de l'équation (4.1), un désappariement de gain de 0.1% entre les quatre mélangeurs donne un IRR de 60 dB. Plusieurs implémentations proposées dans la littérature permettent d'atteindre un niveau d'IRR de l'ordre de 45 à 58 dB [4]-[7]. Toutefois, nous notons que la complexité et la consommation du récepteur sont nettement augmentées.

IV.3. TECHNIQUE PROPOSEE DE CORRECTION DES ERREURS DE GAIN AU SEIN DES ARCHITECTURES « FULL-COMPLEX »

A partir de l'équation 4.1, nous avons constaté que l'IRR dépend principalement de l'appariement d'amplitude des signaux au niveau des mélangeurs. Par conséquent, nous avons eu l'idée de proposer une technique originale de correction des erreurs de gain au sein des architectures « *full-complex* ». Dans cette partie, nous serons amenés à étudier plusieurs étages particuliers (comme le mélangeur, l'OTA...) afin de démontrer la validité de la solution proposée.

IV.3.1. MELANGEUR PASSIF ET MELANGEUR ACTIF

Dans la littérature [8]-[22], divers types de mélangeurs sont utilisés dans les récepteurs radiofréquences. En effet, le mélangeur actif est depuis toujours le plus utilisé. Cependant, ces dernières années, avec le développement des technologies CMOS fonctionnant sous faible

tension d'alimentation, l'utilisation du mélangeur passif devient une alternative intéressante dans les applications radiofréquences.

De façon générale, nous pouvons dire que le gain et le besoin d'une faible excursion du signal de commande issu de l'OL sont les principaux avantages d'un mélangeur actif alors qu'un mélangeur passif sera plus avantageux de par son faible bruit en 1/f et sa performance en termes de linéarité [23]-[25]. Le but de ce paragraphe ne va pas être d'énumérer les avantages et les inconvénients de l'un par rapport à l'autre dans un cas général, mais de justifier la configuration optimale pour la solution que nous proposons.

IV. 3.1.1. Mélangeur actif (Mélangeur de Gilbert)

Quand on parle de mélangeur actif, la structure de base est celle du mélangeur de Gilbert [26]. Le schéma simplifié d'une telle architecture est représenté sur la figure 4.3.

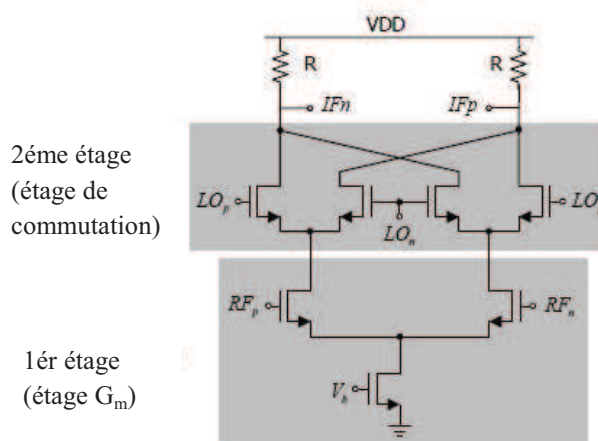


Figure 4.3. Schéma du mélangeur actif de Gilbert

Ainsi, le premier étage (étage G_m) est utilisé pour convertir la tension d'entrée RF en courant. Le courant produit est modulé par les quatre transistors de commutation (*Switching Quad*) qui sont commandés par le signal de l'OL. Les résistances de charge servent à convertir le courant modulé en tension. Ainsi, lorsque la commutation est idéale, le gain de conversion du mélangeur peut être facilement obtenu par l'équation (4.2).

$$G = \frac{2}{\Pi} G_m R \quad (4.2)$$

où G_m est la transconductance globale de la paire différentielle de l'entrée RF. Le bruit du mélangeur et sa linéarité ont été étudiés dans [9]-[13].

IV. 3.1.2. Mélangeur passif

Les avantages d'un mélangeur passif sont son fonctionnement à faible consommation (pas de courant de polarisation), son faible bruit en $1/f$ et sa bonne linéarité. En contre partie, il présente des pertes de conversion qui sont souvent supérieures à 4dB [26]. En effet, un mélangeur passif doublement équilibré est composé uniquement de quatre transistors (cf. Figure 4.4) fonctionnant en régime linéaire. Deux modes de fonctionnement sont possibles, soit en mode courant, soit en mode tension. Le mode de fonctionnement est déterminé par le rapport des impédances de source présentées par l'étage amont (LNA), et de charge, impédance d'entrée de l'amplificateur FI ou du filtre de canal.

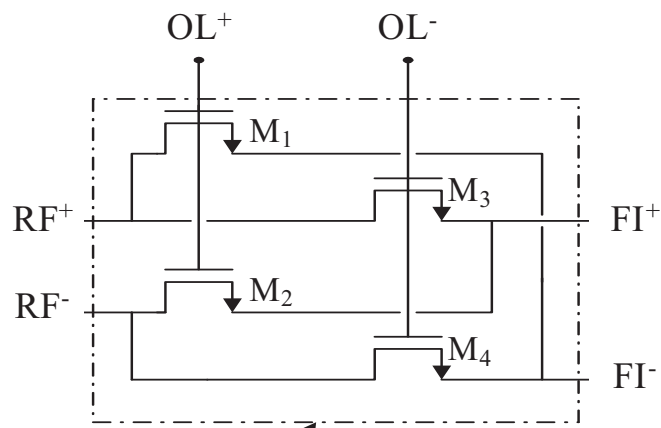


Figure 4.4. Schéma électrique d'un mélangeur passif

La commutation simultanée des paires de transistors MOS (M_1 et M_2 , M_3 et M_4) doit être réalisée quelque soient les variations du procédé technologique, de température et de tension d'alimentation. Par conséquent, la tension maximale du signal OL (V_{LO}) doit être supérieure à la somme de la tension de polarisation de la source et du drain des transistors (V_{CM}), de l'excursion de tension du signal RF (V_{RF}) et de la tension $V_{GS}(ON)$ nécessaire à la conduction des transistors ($V_{LO} > V_{RF} + V_{GS}(ON) + V_{CM}$) (cf. Figure 4.5). Lors de la conception, une attention particulière doit donc être portée sur ce point.

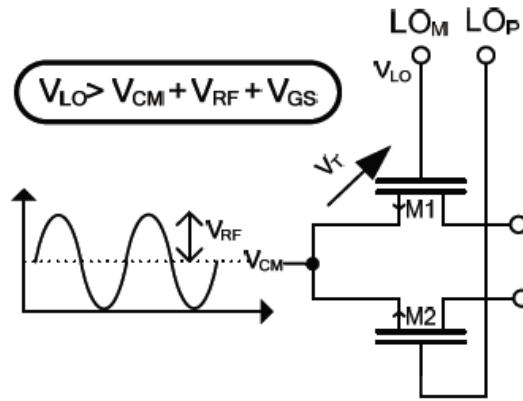


Figure 4.5. Condition de commutation des transistors MOS en régime linéaire

Lorsque les transistors fonctionnent en régime linéaire, le gain de conversion du mélangeur peut être obtenu par l'équation (4.3)

$$G = \frac{2}{\pi} \frac{Z_L}{R_{ON} + Z_L} \quad (4.3)$$

où R_{on} est la résistance du transistor et Z_L est l'impédance de la charge à la sortie du mélangeur. Habituellement, la résistance R_{on} est relativement faible comparée à l'impédance de charge, ce qui donne un gain de conversion autour de -4 dB ($2/\pi$) et c'est pour cette raison que nous l'appelons mélangeur passif.

Bien que le gain soit inférieur à 0 dB, le mélangeur passif présente des avantages multiples. Tout d'abord, parce qu'aucun courant à composante continue (DC) ne traverse les transistors de commutation pendant l'opération, ce qui permet de s'affranchir du bruit en 1/f (bruit de flicker) [20]-[21]. Un autre avantage est sa bonne linéarité. En effet, les transistors fonctionnent dans la région triode. Ainsi, dans cette région, le mélangeur est plus linéaire que celui de Gilbert fonctionnant dans la région de saturation. Par ailleurs, afin d'amplifier le signal issu du mélangeur passif, plusieurs approches ont été étudiées. La technique la plus utilisée consiste à charger la résistance passive avec un amplificateur (OTA), présentée sur la figure 4.6.

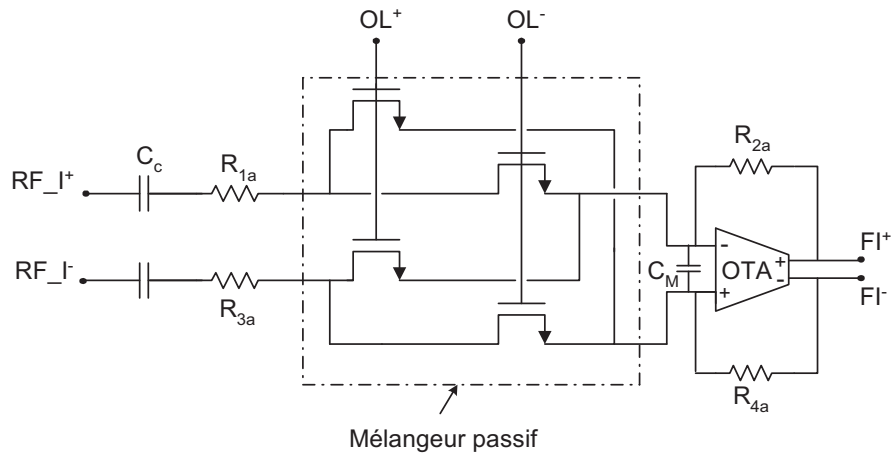


Figure 4.6. Schéma électrique du bloc regroupant le mélangeur et l'OTA avec les résistances de rétroaction

Dans cette topologie, lorsque le transistor MOS est actif, le courant est absorbé par les composants de rétroaction et converti en tension. Par conséquent, le circuit peut être assimilé à un filtre actif du premier ordre RC et le gain est défini par le rapport entre la résistance de rétroaction et celle du transistor fonctionnant en tant qu'interrupteur. Ainsi, le gain de conversion est défini par l'équation (4.4).

$$G = \frac{2}{\Pi} \frac{R}{R_{ON}} \quad (4.4)$$

En comparant cette configuration à celle de la figure 4.4, nous pouvons conclure que nous avons un gain de conversion plus élevé. Ainsi, cette topologie est très prometteuse pour la conception de mélangeurs pour des applications radiofréquences.

IV. 3.1.3. Comparaison des caractéristiques des deux structures de mélangeurs

Dans cette partie, nous allons essayer de comparer plusieurs caractéristiques des deux structures de mélangeurs telles que : la consommation, la linéarité, la réjection du signal image... Afin de rendre cette comparaison possible, les fréquences et les amplitudes des signaux OL et RF sont identiques pour ces deux structures. Les dimensions des éléments constituant le mélangeur de Gilbert sont les suivants : la résistance de charge $R = 250\Omega$, les quatre transistors de commutation $(W/L)_i = 20/0,28\mu\text{m}$, les transistors de l'étage RF $(W/L)_i = 100/0,28\mu\text{m}$. Le courant de polarisation est de 2mA. Pour le mélangeur passif, les transistors $(W/L)_i = 20/0,28\mu\text{m}$. Ces circuits ont été simulés en utilisant la technologie HCMOS9 de STMicroelectronics. Les résultats de simulations sont résumés dans le tableau 4.1.

| | Mélangeur Passif | Mélangeur Actif |
|------------------------------|------------------|-----------------|
| Tension d'alimentation (V) | 2.5 | 2.5 |
| Consommation (mW) | 0 | 5 |
| Figure de bruit (dB) | 9 | 9 |
| P_{-1} (dBV) | -10 | -21 |
| IIP3 (dBV) | -5.4 | -11.5 |
| Niveau de puissance LO (dBV) | -9 | -9 |
| Fréquence du signal LO (GHz) | 2.4 | 2.4 |
| Niveau de puissance RF (dBV) | -9 | -9 |
| Fréquence du signal RF (GHz) | 2.45 | 2.45 |

Tableau. 4.1. Tableau récapitulatif des résultats de simulations

A partir des résultats de simulations, nous pouvons conclure que les deux structures ont la même figure de bruit. Par contre, le mélangeur passif présente une meilleure consommation et une meilleure performance en termes de linéarité. De plus, nous allons comparer les deux structures de mélangeurs au niveau de la réjection de la fréquence image. Ainsi, au niveau du mélangeur nous parlons d'IBR (*Image Band Rejection*) pour désigner la réjection du signal image.

Afin de pouvoir commander l'erreur d'amplitude/phase du signal d'entrée, des sources de tension sinusoïdales sont employées pour produire le signal de l'OL suivant les indications de la figure 4.7 où ε est l'erreur d'amplitude entre les signaux des voies I et Q, θ est l'erreur de phase en radians et A est l'amplitude du signal de l'OL.

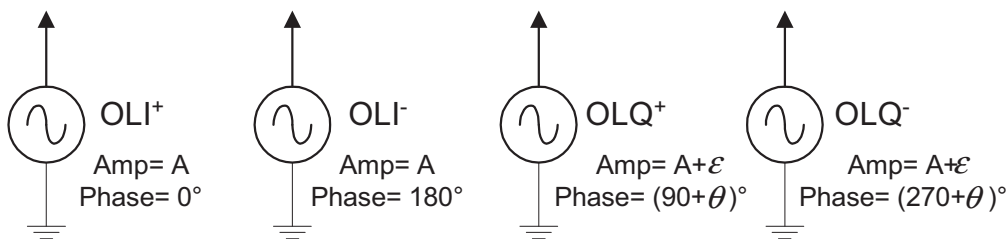


Figure 4.7. Configuration des sources de tension de l'OL

Pour simplifier l'analyse, nous supposons que l'erreur d'amplitude à l'entrée ne vient que du signal de l'OL. Nous ne prendrons pas en compte l'erreur de phase. Ainsi, l'IBR peut être calculée par l'équation (4.5) [27] :

$$IBR = 20 \log \left(\frac{A_I + A_Q}{A_I - A_Q} \right) \quad (4.5)$$

où A_I et A_Q sont les premières harmoniques des signaux I et Q.

La figure 4.8 montre l'effet de l'erreur d'amplitude du signal de l'OL sur le mélangeur de Gilbert et sur le mélangeur passif. L'amplitude du signal de l'OL est de 1V et la fréquence de fonctionnement est de 2.4 GHz. Les deux circuits ont été simulés avec un désappariement d'amplitude entre la phase I et Q du signal de l'OL. Ce dernier est défini par le rapport entre l'erreur d'amplitude (ϵ) et l'amplitude du signal OL (A). Ainsi, les deux structures présentent une bonne réjection d'image. Cependant, la cellule de Gilbert permet d'obtenir au moins 10dB de plus que la cellule passive pour les mêmes conditions de simulations.

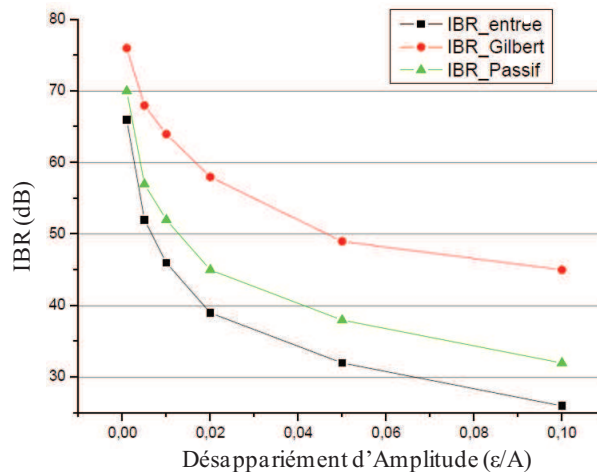


Figure 4.8. Effet du désappariement d'amplitude des voies I et Q sur les mélangeurs actif et passif

Les deux circuits ont été également simulés en faisant varier la fréquence de l'OL entre 20MHz et 2.4GHz. L'amplitude du signal de l'OL est gardée à 1V et le désappariement d'amplitude entre la phase I et Q du signal de l'OL est fixé à 5%. Les résultats sont présentés sur la figure 4.9.

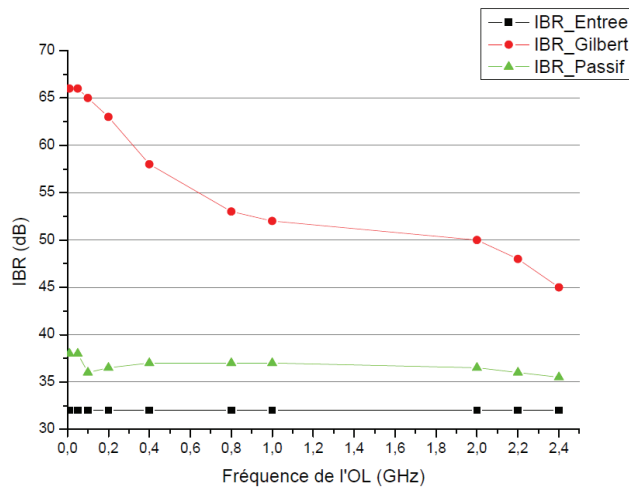


Figure 4.9. Effet de la variation de fréquence de fonctionnement de l'OL sur les mélangeurs actif et passif pour un désappariement d'amplitude de 5%

Pour le mélangeur passif, l'IBR est quasiment indépendant de la fréquence de l'OL. Par contre, les performances du mélangeur de Gilbert en termes d'IBR se dégradent rapidement quand la fréquence de l'OL augmente. Cependant, ce dernier présente toujours une meilleure réjection de la fréquence image que celui du circuit passif.

Pour conclure, le mélangeur de Gilbert permet une meilleure réjection du signal image qu'avec le mélangeur passif. Cependant, l'IBR obtenu avec ce dernier présente une plus faible dépendance vis-à-vis de l'amplitude et de la fréquence du signal de l'OL que dans la cellule de Gilbert. D'autre part, l'IBR obtenu avec la cellule de Gilbert se dégrade fortement avec l'augmentation de la fréquence (bande 5 GHz : IEEE 802.11a WLAN [5.15-5.825] GHz). Le mélangeur passif offre, donc, le meilleur compromis entre l'appariement, la dynamique et la consommation [23]-[25]. Par conséquent, nous privilégions le choix du mélangeur passif pour la suite de nos travaux. Ainsi, nous allons utiliser la topologie présentée sur la figure 4.6 pour le mélangeur.

IV.3.2. MELANGEUR EN DOUBLE QUADRATURE

Comme nous venons de le montrer au début de ce chapitre, l'IRR est amélioré en utilisant des architectures en double quadrature. Une technique originale de correction des erreurs d'amplitude au niveau des mélangeurs passifs en double quadrature a donc été mise au point afin d'obtenir une meilleure réjection du signal image.

IV. 3.2.1. Principe et Etude Théorique

La topologie du mélangeur passif en double quadrature modifié est illustrée sur la figure 4.10. Les résistances de dégénération ($R_{in} : (R_{1a}, R_{3a})$ et $(R_{1b}$ et $R_{3b})$), en série avec les commutateurs MOS, améliorent la linéarité et réduisent l'effet qui résulte des variations du procédé technologique des résistances des transistors MOS en régime linéaire (R_{on}). Les résistances (R_{2a}, R_{1a}) et (R_{3b}, R_{4b}) représentent respectivement, les résistances de rétroaction des voies I et Q. La capacité C_M est une capacité de filtrage des composantes fréquentielles issues du mélange. Elle permet également de limiter le phénomène de saturation de l'OTA.

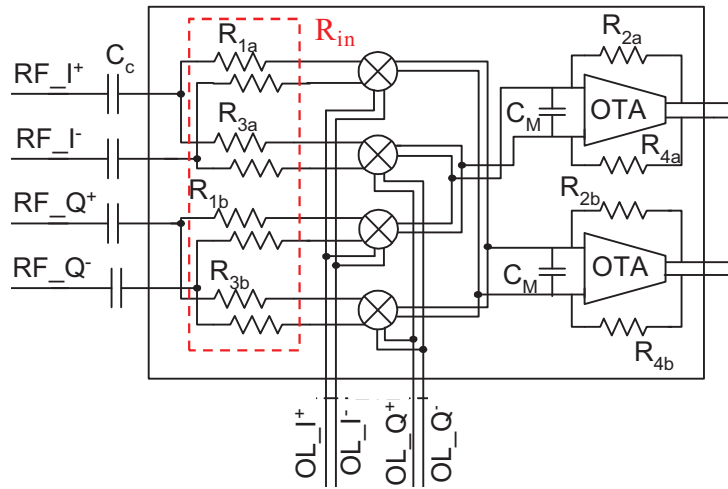


Figure 4.10. Mélangeur passif en double quadrature

La valeur de ces résistances est optimisée pour prendre en considération un compromis entre le désappariement, la linéarité et le bruit. De plus, la résistance R_{on} affecte le gain des mélangeurs (équation 4.7 et 4.8). La valeur de cette résistance est déterminée par l'équation (4.6) :

$$R_{on} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{gs} - V_t)} \quad (4.6)$$

avec μ [m^2/Vs] qui représente la mobilité des porteurs de charge, C_{ox} [F/m^2] la capacité d'oxyde de grille, W [μm] la largeur du canal, L [μm] la longueur du canal, V_{gs} [V] la tension grille-source et V_t [V] la tension de seuil. La taille des transistors MOS est choisie de façon à ce que la résistance (R_{on}) présente une valeur plus faible que R_{in} afin de minimiser les effets de désappariement liés aux signaux de commutation fournis par l'OL (diffusion dans la résistance R_{on} , distorsions causées par les non linéarités de R_{on}). Des transistors de grande taille sont utilisés pour améliorer le l'appariement du mélangeur.

IV. 3.2.2. Technique proposée de correction des erreurs d'amplitude

Plusieurs techniques de types analogique et numérique de compensation du désappariement entre les voies I/Q sont comparées dans [28]. La technique proposée est mise en application autour du mélangeur passif suivant les indications de la figure 4.10. Les rapports des tensions d'entrée et de sortie du bloc regroupant le mélangeur et l'OTA peuvent s'écrire (dans le cas d'un OTA à gain élevé) comme suit :

$$V_{FI_{I^+}} = V_{RF_{I^+}} \cdot \sin(\omega_{FI_{I^+}} \cdot t) \frac{R_{2a}}{R_{1a} + R_{on}} \quad (4.7)$$

$$V_{FI_{Q^-}} = V_{RF_{Q^-}} \cdot \sin(\omega_{FI_{Q^-}} \cdot t) \frac{R_{4b}}{R_{3b} + R_{on}} \quad (4.8)$$

où (R_{2a} , R_{1a}) et (R_{3b} , R_{4b}) représentent respectivement les résistances de rétroaction des voies I et Q. Ces expressions peuvent être simplifiées davantage puisque la résistance R_{on} du mélangeur est négligeable devant les résistances de rétroaction. Nous pouvons donc constater, à partir des équations (4.7) et (4.8), que les erreurs d'amplitude entre les voies I et Q peuvent être ajustées par un simple contrôle du rapport des résistances de rétroaction et des résistances précédant le mélangeur (ainsi que les résistances des mélangeurs). Par conséquent, l'utilisation de la structure basée sur un circuit de type OTA avec contre-réaction résistive permet d'exprimer le problème des disparités entre les voies I et Q en fonction des éléments passifs. Ainsi, en contrôlant les résistances de rétroaction, nous pouvons corriger les erreurs d'amplitude et donc améliorer l'IRR. Or, il existe plusieurs techniques qui permettent d'avoir une résistance contrôlable et chacune pourra être commandée par un dispositif adéquat. Cependant, notre objectif est de présenter une solution simple à mettre en œuvre et sans toutefois complexifier de façon importante l'architecture du récepteur. Par conséquent, nous proposons une technique plus simple et moins coûteuse en termes de surface silicium qui consiste à optimiser les disparités des rapports entre les résistances au niveau du dessin des masques, ce qui permettra d'améliorer significativement l'IRR au sein de la tête-RF de la chaîne de réception.

Concernant le mélangeur passif en double quadrature et comme mentionné précédemment, les performances en termes d'IRR sont fixées par le désappariement des composants des quatre multiplieurs (mélangeurs). Cette condition peut être satisfaite en agissant sur la taille des composants lors de l'étape de conception. Ainsi, la taille des composants résulte d'un compromis entre les performances RF en termes d'IRR souhaitées et le désappariement des composants.

Pour conclure, le problème des erreurs d'amplitude entre les signaux en quadrature et donc celui de la réjection de la fréquence image sont identifiés et peuvent donc être améliorés. De plus, le problème de l'IRR a été simplifié puisqu'il dépend principalement du choix et du dimensionnement de résistances grâce au choix d'une architecture à base d'OTA à contre réaction. En effet, dans le cas idéal, le désappariement du mélangeur sera principalement défini par le désappariement du mélangeur passif et celui des composants passifs de rétroaction (les résistances) qui vont être optimisés au niveau de leurs valeurs et du dessin des masques. Or, nous maîtrisons ce genre de contraintes grâce à notre étude détaillée des composants des filtres polyphases (R et C) au deuxième chapitre. D'un autre côté, il ne faut pas perdre de vue que le gain de l'OTA n'est pas idéal, ce qui pourra induire une dégradation au niveau du désappariement du mélangeur. Cependant, il faudra porter une attention particulière à la conception d'un amplificateur actif avec un excellent désappariement. Par conséquent, la conception d'un amplificateur (OTA) avec un gain assez important (de l'ordre de 40 dB sur une large bande passante) est recommandée.

IV.3.3. CONCEPTION DE LA TECHNIQUE PROPOSEE

IV. 3.3.1. Mélangeur en double quadrature passif

Le fonctionnement du mélangeur a été détaillé dans le paragraphe IV.3.1.2. Nous allons simplement ici présenter son dessin de masques ainsi que ses performances lorsqu'il est placé dans la chaîne de réception. Les dimensions choisies pour les transistors MOS qui composent le mélangeur passif sont $W=45\mu\text{m}$ et $L=0.28\mu\text{m}$. Elles résultent d'un compromis entre faibles capacités parasites et déséquilibre entre les voies I et Q. Le dessin des masques est présenté sur la figure 4.11. Pour avoir une symétrie optimale, une structure croisée (« *Cross-Quad* ») est utilisée. Toujours par soucis d'une réduction des capacités parasites, les longueurs des interconnexions sont réduites au maximum. Les dimensions de l'ensemble de la structure proposée à la figure 1.12 est de $213\ \mu\text{m} \times 127\ \mu\text{m}$.

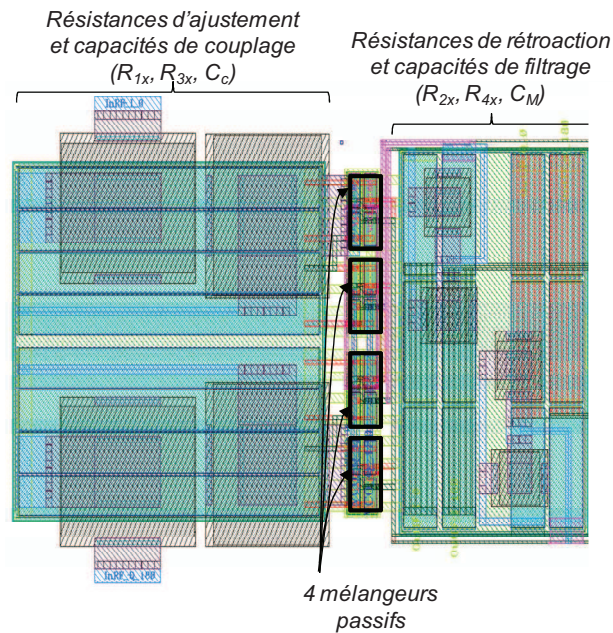


Figure 4.11. Dessin des masques du mélangeur passif

Les capacités C_c (cf. Figure 4.10) permettent une isolation de la composante continue afin que les transistors NMOS qui composent les mélangeurs restent dans un régime de fonctionnement linéaire. La valeur de $C_c = 4 \text{ pF}$ (avec $W=40\mu\text{m}$ et $L=49 \mu\text{m}$) est un bon compromis entre surface du dispositif et atténuation du signal RF. On note toutefois que l'utilisation de capacités MIM (*M*étal *I*nsulator *M*étal) permet de conserver les performances en termes de linéarité tout en économisant de la surface silicium puisqu'elles sont disposées au-dessus des autres composants (cf. Figure 4.11).

IV. 3.3.2. OTA

Nous avons privilégié pour le circuit d'amplification du signal en fréquence intermédiaire, l'OTA qui est présenté à la figure 4.12. Ce dispositif qui présente une structure entièrement différentielle est composé de trois étages : un circuit de polarisation (A), une paire différentielle destinée au signal d'entrée (B) et un étage de sortie différentielle de type cascode (C). Les performances de l'OTA (en simulation) permettent de couvrir une bande de fréquence de fonctionnement de 40MHz pour un gain de 56dB avec un courant de polarisation de 1,1 mA.

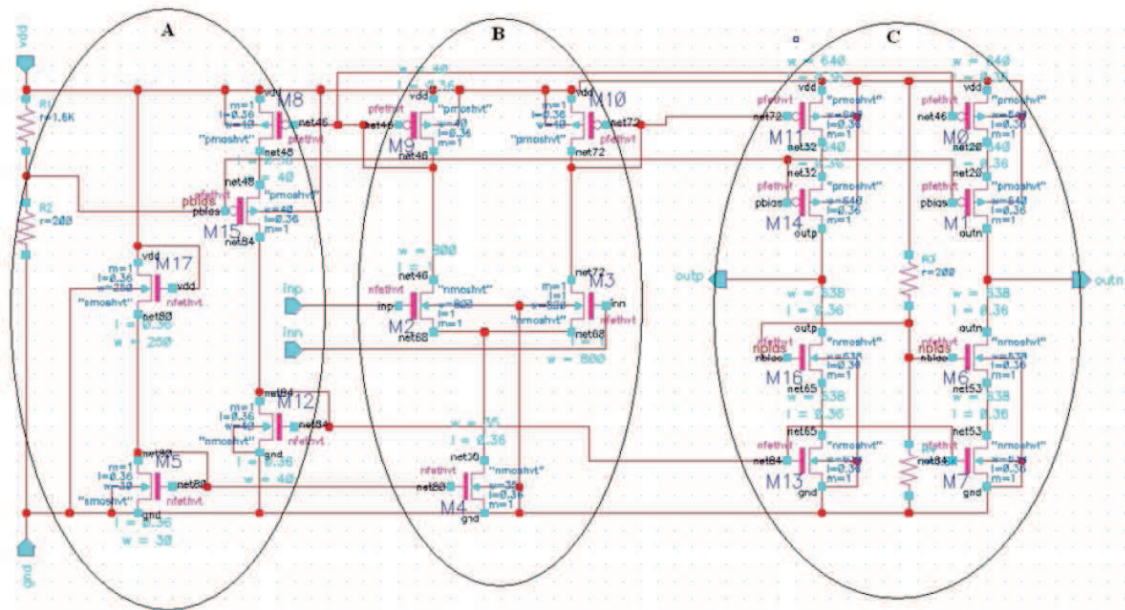


Figure 4.12. Schéma au niveau transistor de l'OTA différentiel de type cascode

Lors de la réalisation du dessin des masques, une attention particulière a été portée au placement des dispositifs (OTA et composants associés) afin de minimiser les effets de désappariement. Une disposition symétrique suivant l'axe du cheminement du signal a par conséquent été adoptée (cf. Figure 4.13). Les dimensions de l'OTA (contour noir : figure 4.13) sont de $67 \mu\text{m} \times 100 \mu\text{m}$ alors que celles des résistances R_{2i} occupent une surface de $100 \mu\text{m} \times 17 \mu\text{m}$. On note que les résistances occupent une part non négligeable dans la conception de cette architecture RF.

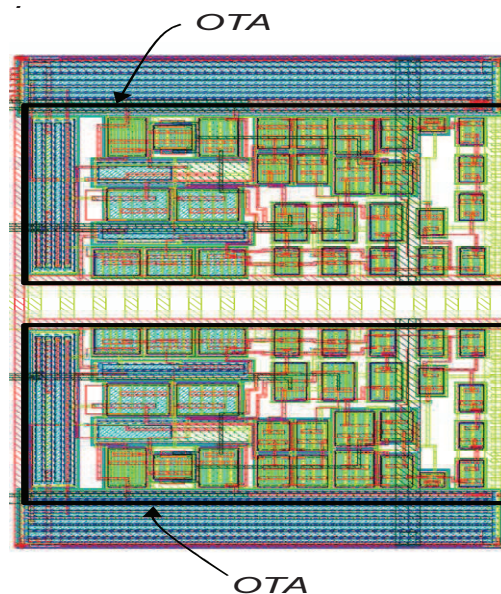


Figure 4.13. Dessin des masques de l'OTA des voies I et Q

Le gain de l'ensemble de la topologie du mélangeur passif dépend des résistances de dégénération (R_{1a} , R_{3a} , R_{1b} , R_{3b}) ainsi que des résistances de rétroaction de l'OTA (R_{2a} , R_{1a} , R_{3b} , R_{4b}). Par conséquent, les performances du système en termes d'appariement dépendront de la nature et de la dimension de ces résistances. Notre choix s'est naturellement porté sur l'utilisation de résistances polysilicium afin de maximiser les performances du récepteur en termes d'appariement des voies I et Q. Un choix trop faible pour les dimensions des résistances R_{1i} et R_{2i} permettrait d'économiser de la surface silicium au détriment des performances d'appariement. La dimension de ces composants a été déterminée par simulation de type Monte-Carlo. Cela permet de maximiser la réjection de la fréquence image en utilisant des dimensions de résistances aussi faible que possible. En effet, augmenter significativement leurs dimensions ne procurerait qu'un faible gain en termes de performances au détriment de la surface. Les résistances R_{2i} (30 k Ω) sont constituées de 3 éléments de 10 k Ω de dimensions : $W = 12\mu\text{m}$, $L = 373\mu\text{m}$. Les résistances R_{1i} (300 Ω) ont pour dimensions : $W=12\mu\text{m}$, $L=10\mu\text{m}$. La capacité C_M (cf. Figure 4.10) de type MIM est composée de 2 éléments de 0,5 pF disposés en parallèle qui ont pour dimensions : $W = 15\mu\text{m}$, $L = 16\mu\text{m}$. On peut remarquer que le facteur de forme est proche de l'unité afin de maximiser là aussi l'appariement des voies I et Q.

IV. 3.3.3. Étage tampon

L'objectif de cet étage est de piloter les circuits (Mélangeur + OTA) sans toutefois dégrader le gain. Outre un gain suffisant, cet étage de sortie doit également présenter une bonne linéarité et un faible bruit. La linéarité est critique parce que le récepteur radiofréquence requiert généralement de bonnes performances en termes de linéarité. Par conséquent, cet étage tampon est conçu avec une paire différentielle dégénérée, comme illustré sur la figure 4.14. La résistance de charge R_{ch} est de 90 Ω et la résistance dégénérée R est de 40 Ω . La dimension de la paire différentielle est de ($W=200/L=0.28$) μm .

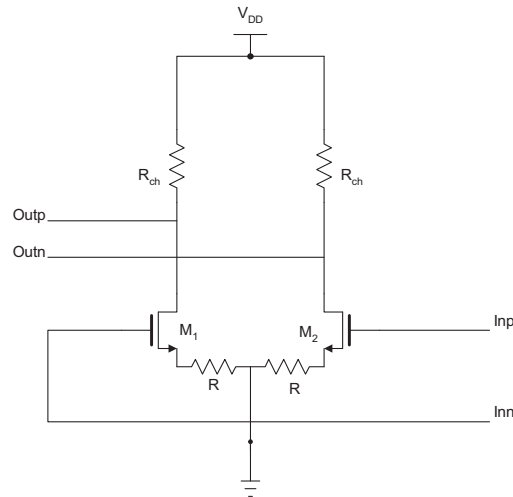


Figure 4.14. L'étage tampon

IV. 3.3.4. QVCO en anneau

Pour valider la solution que nous proposons, nous avons besoin de générer quatre signaux, internes au circuit, en quadrature (0° , 90° , 180° et 270°) au niveau de l'OL, ce qui aura également pour conséquence de simplifier la mesure. Or, au cours du deuxième chapitre, une étude détaillée des différentes techniques de génération de signaux en quadrature a été effectuée. Nous avons conçu et testé dans un premier temps, un circuit LC-QVCO. Cependant, compte tenu de la surface silicium importante occupée par ce dernier et sa consommation importante, notre attention s'est portée sur le choix d'un QVCO en anneau pour valider la solution proposée. Ainsi, l'oscillateur QVCO proposé est basé sur une chaîne de deux cellules à retard identiques rebouclées comme illustrée par la figure 4.15 (a).

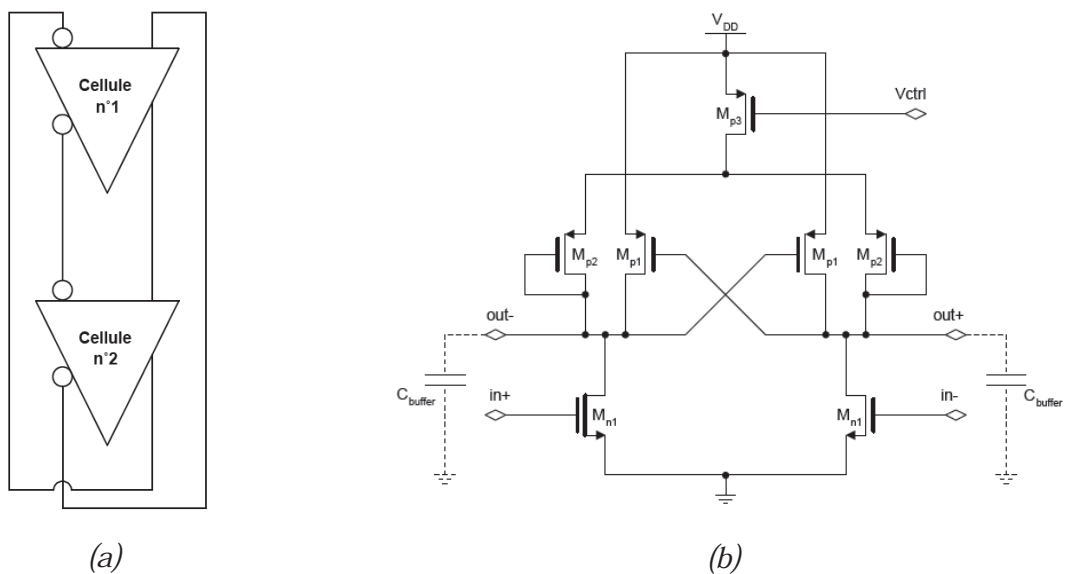


Figure. 4.15. (a) Schéma bloc de l'oscillateur en anneau (b) Schéma électrique de la cellule à retard

La cellule à retard utilisée (cf. Figure 4.15(b)) est constituée en entrée par une paire différentielle nMOS (M_{n1}) dont les drains des transistors sont connectés à une charge active. Cette charge est réalisée par une paire différentielle croisée de pMOS et une paire de transistors pMOS connectés en diode [27], [29]. La valeur de cette charge est contrôlée par le courant injecté par un transistor pMOS M_{p3} dont la tension de grille V_{ctrl} est réglable. En effet, la paire différentielle pMOS est équivalente à une résistance négative disposée en parallèle avec deux résistances actives contrôlables (M_{p2}) et lorsque la tension de grille de M_{p3} augmente, le courant injecté dans les diodes décroît.

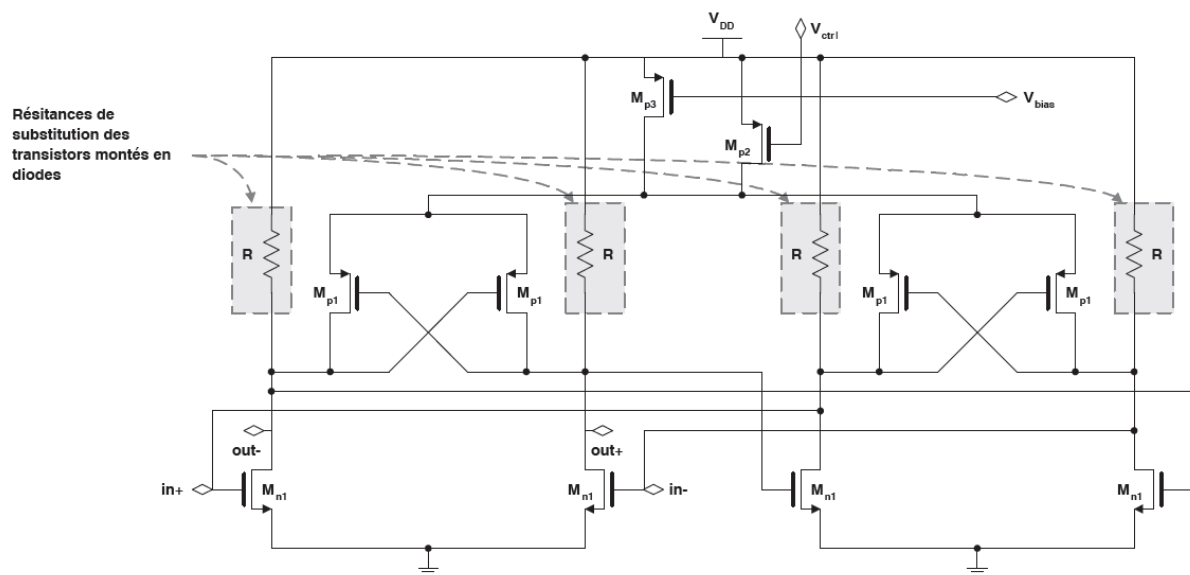


Figure 4.16. Schéma électrique du QVCO en anneau proposé

De plus, lorsque la tension de grille de M_{p2} augmente le courant injecté décroît, réduisant ainsi la résistance négative formée par les transistors M_{p1} . La résistance de charge totale de la paire d'entrée différentielle augmente alors et réduit la fréquence d'oscillation [27], [29]. Un deuxième transistor de contrôle (M_{p3}) a également été ajouté de façon à optimiser la plage de contrôle du QVCO. En effet, en fixant sa tension de grille V_{bias} , nous allons injecter un courant fixe dans les cellules qui va décaler la fréquence du QVCO et permettre de garantir l'oscillation quelle que soit la valeur de la tension de contrôle V_{ctrl} appliquée sur M_{p2} . Les résistances passives (R), connectées entre le drain des MOS M_{n1} et l'alimentation, ne ramèneront que du bruit thermique et donc contribueront à réduire le bruit de phase.

Une technologie CMOS 0,28 μ m comportant six niveaux de métallisation a été utilisée pour l'implémentation du QVCO (cf. Figure 4.16). Son dessin des masques est présenté sur la figure 4.17. L'étage tampon ajouté à la sortie de l'oscillateur est le même que celui présenté au deuxième chapitre (§II.3.3.2). Des séries de mesures ont été effectuées sous pointes pour

valider le fonctionnement de notre structure d'oscillateur. Les mesures ont été réalisées en utilisant un analyseur de spectre Agilent PSA E4446A, la sonde (*prober*) utilisée pour les mesures de bruit de phase est une sonde Süss MicroTec PM5 placée dans une cage de Faraday. La difficulté de ce type de mesure réside dans la mise en place du banc. En effet, plus le nombre de pointes nécessaires augmentent, plus il devient compliqué de les placer sur les *PADs* d'entrée-sortie. Le circuit consomme 7.5 mA à 2.45 GHz.

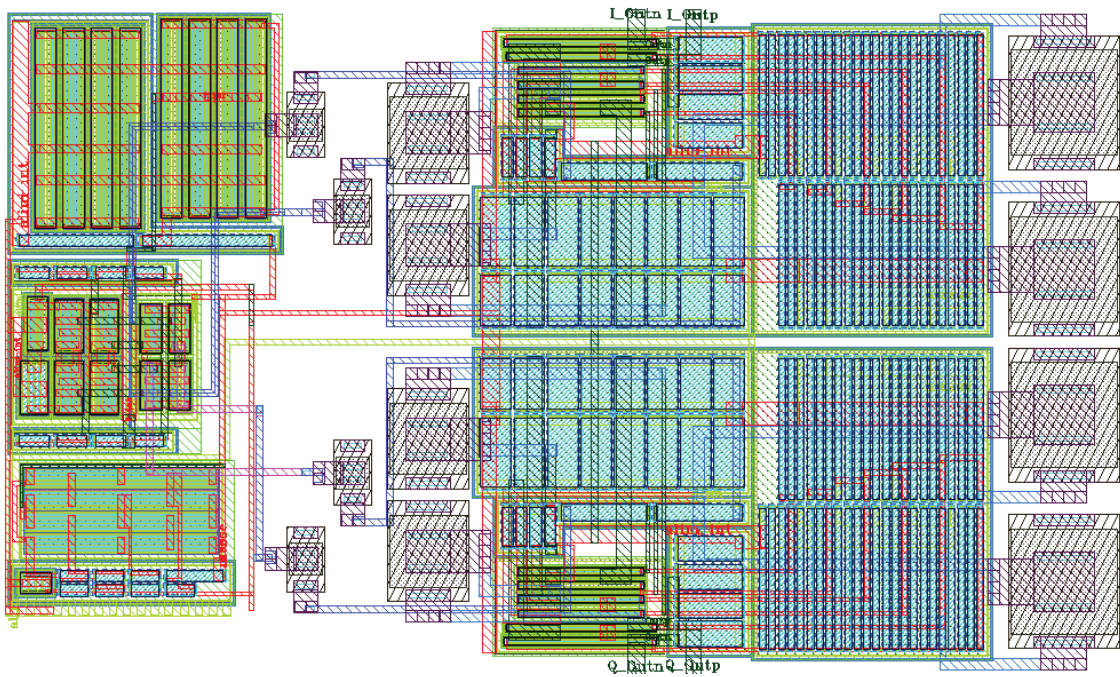
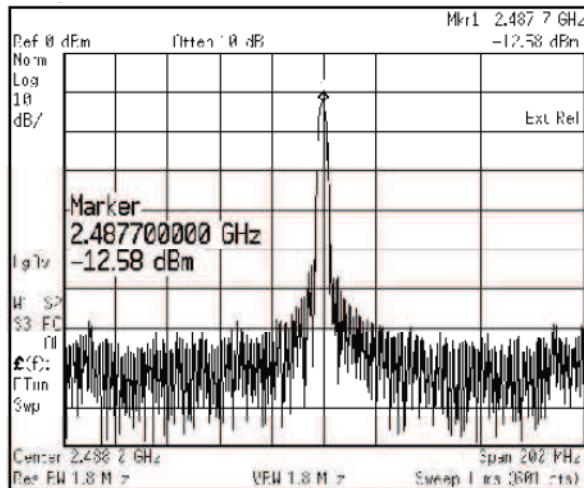
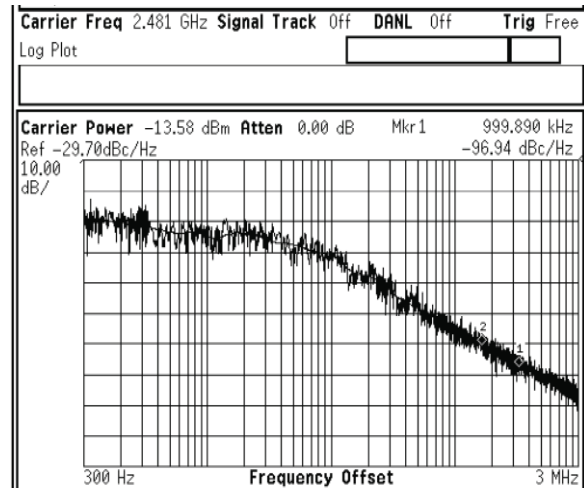


Figure 4.17. Dessin des masques du QVCO en anneau

Le spectre de sortie de l'oscillateur (cf. Figure 4.18(a)) présente une bonne pureté et le niveau de bruit de phase mesuré à 1MHz de la porteuse (cf. Figure 4.18(b)) est de -97dBc/Hz, soit seulement 1dB au dessus de la valeur obtenue par simulation.



(a)



(b)

Figure 4.18. (a) Spectre de sortie de l'oscillateur et (b) Profil du bruit de phase

La plage de fréquence mesurée (cf. Figure 4.19) ne présente pas de décalage significatif par rapport à celle obtenue par simulation.

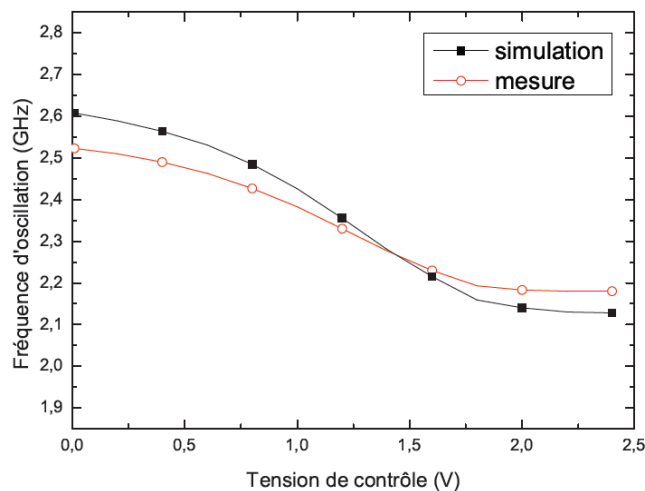


Figure 4.19. Comparaison des plages de fréquences simulée et mesurée du QVCO

En effet, la plage d'utilisation du VCO doit pouvoir couvrir la bande de fréquences des canaux de communications quelques soit les variations du procédé technologique, de la température et de la tension d'alimentation. L'utilisation d'un régulateur de tension permet de palier aux variations de la tension d'alimentation. Une compensation en température est également nécessaire et réalisée généralement à l'aide d'un circuit PTAT (*Proportional To Absolute Temperature*). Par conséquent, le concepteur doit nécessairement prendre en compte les variations *process* (précision absolue d'environ 20% sur les composants) dans la réalisation du dispositif.

IV.3.4. PERFORMANCES DE LA TECHNIQUE PROPOSEE

La figure 4.20 représente le dessin des masques de l'architecture proposée (Mélangeur + OTA + étage tampon + QVCO). La surface totale du circuit est de $(370 \times 230) \mu\text{m}^2$. Le circuit comporte quatre *PADs* de type *GSGSG* (pour « *Ground-Signal-Ground-Signal-Ground* ») ayant chacun un écartement (ou « *pitch* ») de $100 \mu\text{m}$, ainsi que trois *PADs* *single*.

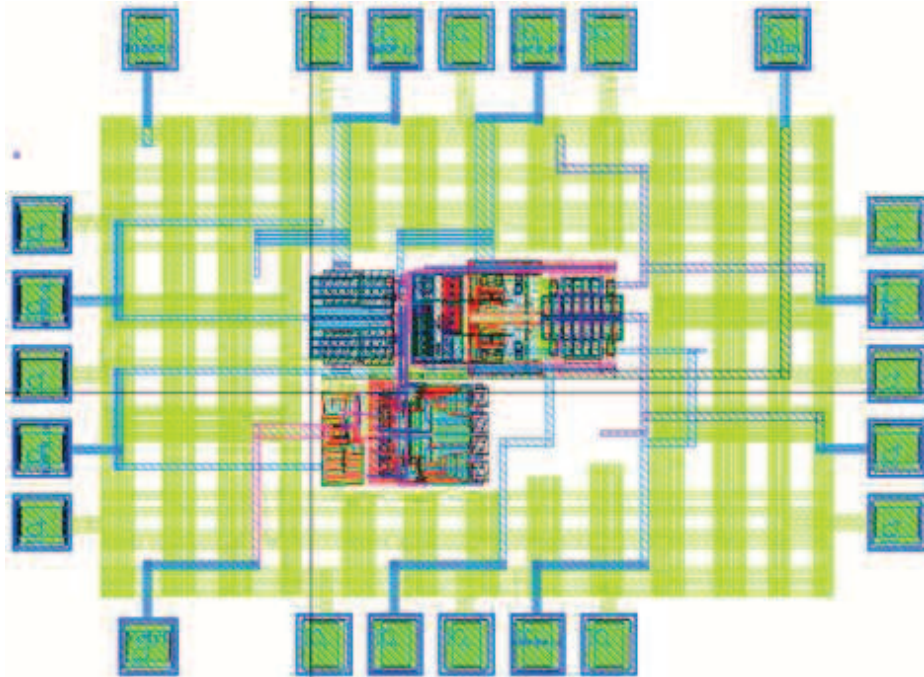


Figure 4.20. Dessin des masques du circuit de test de la structure proposée

Les *PADs* *GSGSG* servent à poser les pointes différentielles sur les entrées (V_{in}^+ et V_{in}^-) et les sorties (I_{out}^+ , I_{out}^- et Q_{out}^+ , Q_{out}^-), tandis que les *PADs* "single" permettent de poser les pointes continues (DC) sur la masse l'alimentation et la tension de contrôle (pour le QVCO). Le banc de test doit comporter des circuits externes permettant d'obtenir le déphasage requis des signaux à appliquer sur les voies I et Q. Ne disposant pas de ces circuits, la mesure des erreurs d'amplitude et de phase n'a pas pu être réalisée. Cependant, le dessin des masques nous permet de réaliser des simulations plus précises de type PLS (*Post Layout Simulation*) en tenant compte des effets parasites de type résistifs et capacitifs. Les signaux de sortie du système, à la fréquence Intermédiaire de 10 MHz, sont représentés sur la figure 4.21. Ils permettent de quantifier la valeur des erreurs de phase et d'amplitude qui sont respectivement de $\Delta\Phi = 0.6^\circ$ et $\Delta A = 0.0009\%$. Ces résultats traduisent de bonnes perspectives en termes de réjection de la fréquence image du récepteur RF. Il faut cependant préciser que les signaux d'entrée RF ont été supposés idéaux, ce qui n'est pas le cas des signaux issus du QVCO. Pour apporter une amélioration supplémentaire au système, un dispositif de correction de

l'amplitude (comme celui décrit dans le chapitre 3) pourrait être ajouté aux signaux du QVCO. En effet, un désappariement d'amplitude de 1/1000 sur les voies I et Q des mélangeurs, par exemple, permettrait d'atteindre au maximum une valeur de réjection de la fréquence image de 60 dB. Dans la pratique, les erreurs de phase entraînent également une dégradation des performances de la réjection de la fréquence image.

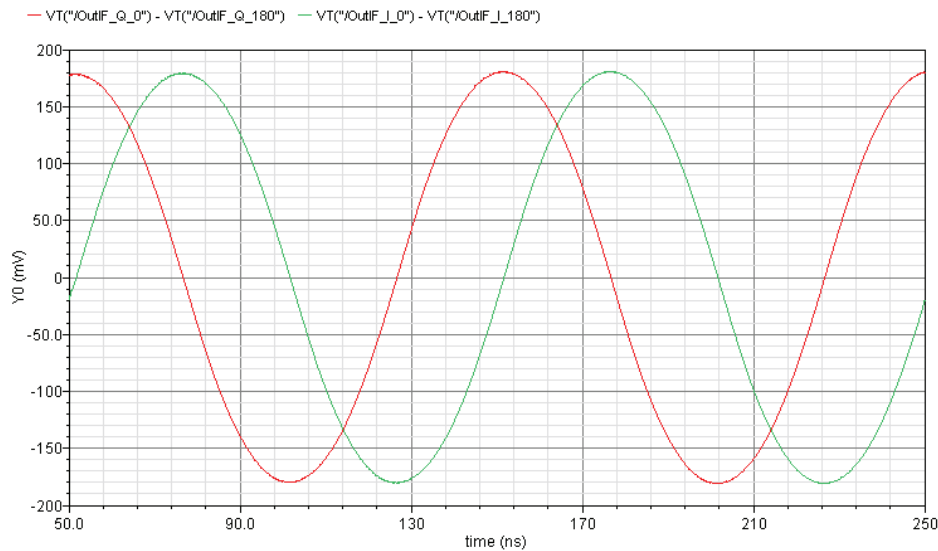


Figure 4.21. Signaux de sortie en fréquence intermédiaire (10 MHz) des voies I et Q

La simulation au niveau transistors de la structure complexe (au sens des nombres complexes, figure 4.10) permet de valider le fonctionnement de la partie transposition de fréquences du récepteur. Par conséquent, un signal radiofréquences en quadrature à 2,4 GHz est appliqué à l'entrée du dispositif. Pour obtenir une fréquence intermédiaire de 10 MHz, l'Oscillateur en quadrature doit fonctionner à $F_{osc1} = 2,41$ GHz ou à $F_{osc2} = 2,39$ GHz. L'erreur d'amplitude des signaux I et Q en Fréquence intermédiaire (FI) dépend de :

- L'appariement des composants d'entrée du circuit (Capacités, résistances).
- L'appariement des transistors NMOS qui composent les mélangeurs.
- L'appariement d'amplitude des signaux I et Q de l'oscillateur en quadrature.
- L'appariement des composants en FI (Condensateurs, Résistances, OTA).

Ainsi, il est primordial de prendre en compte les effets parasites des lignes d'interconnexions des composants afin d'éviter d'introduire un déséquilibre entre les voies I et Q. Le rôle de la simulation PLS (*Post Layout Simulation*) permet de déterminer ces effets parasites de type capacitif et résistif afin de les prendre en compte en simulation. Ces simulations PLS nous ont permis de constater que les effets parasites de type résistifs ont tendance à dégrader

l'appariement d'amplitude, alors que les effets parasites de type capacitif ont plutôt une influence sur le désappariement de la phase. La constatation de ces effets nous ont conduit à déterminer la dimension optimale des transistors MOS fonctionnant à hautes fréquences. En effet, choisir des composants NMOS de plus grandes dimensions permet un meilleur appariement d'amplitude grâce à la diminution de la résistance R_{on} au détriment de l'appariement de phase puisque les capacités parasites du transistor augmentent dans ce cas. Pour pouvoir caractériser le récepteur en termes d'IRR, il est nécessaire de compléter le dispositif de conversion de fréquences en y ajoutant les filtres Polyphases RF et FI. Ces circuits doivent également présenter de bonnes performances d'appariement d'amplitude et de phase des voies I et Q. La réalisation d'un filtre polyphases RF conduit à utiliser des composants de faibles valeurs (résistances $\approx 70 \Omega$, condensateurs $\approx 1pF$) à la fréquence de 2,45GHz ce qui rend ce dispositif très sensible aux effets parasites des lignes d'interconnexions. L'optimisation des performances du filtre polyphases RF est déterminée par des simulations de type "PLS" et la réalisation du dessin des masques nécessite une optimisation de toutes les lignes d'interconnexion. En effet, choisir une ligne plus large permet de réduire sa résistance au détriment de l'augmentation de sa capacité parasite. Le meilleur compromis se détermine par une optimisation du dessin des masques et des simulations "PLS" de type Monte-Carlo. Le paragraphe suivant est dédié à l'étude de la réjection de la fréquence image (IRR) de la chaîne de réception RF en présence des filtres polyphases.

IV.4. ARCHITECTURE DE RECEPTION RF « FULL-COMPLEX » PROPOSEE

Ce dernier paragraphe a pour but de valider les principes énoncés tout au long de ce chapitre. Nous nous proposons de traiter la conception d'une chaîne de réception RF, tout en mettant l'accent sur la réjection du signal image. De ce fait, nous nous sommes basés sur l'étude d'une tête-RF « *full-complex* » dont l'architecture est représentée sur la figure 4.22. Elle est composée de plusieurs blocs dont :

- un filtre polyphase passif RF, fonctionnant à 2,4GHz et ayant 400MHz de bande passante dont les détails relatifs à sa conception et son optimisation ont été présentés dans le deuxième chapitre.

- La technique proposée, constituée de quatre mélangeurs passifs, chacun implémenté à partir de quatre transistors fonctionnant en interrupteur et d'un OTA.
- un étage « *buffer* » permettant d'amplifier le signal en courant et faisant l'interface entre l'OTA et le filtre polyphase FI. Il permet donc de compenser l'atténuation du signal mais sans changer la performance en termes d'IRR.
- un filtre polyphase passif FI, fonctionnant autour de la fréquence 7MHz. L'étude de ce bloc a été effectuée dans un travail mené en parallèle à l'IM2NP dans le cadre d'une autre thèse de doctorat. Nous nous contenterons d'un bref exposé des choix relatifs à sa topologie retenue dans la suite du paragraphe.

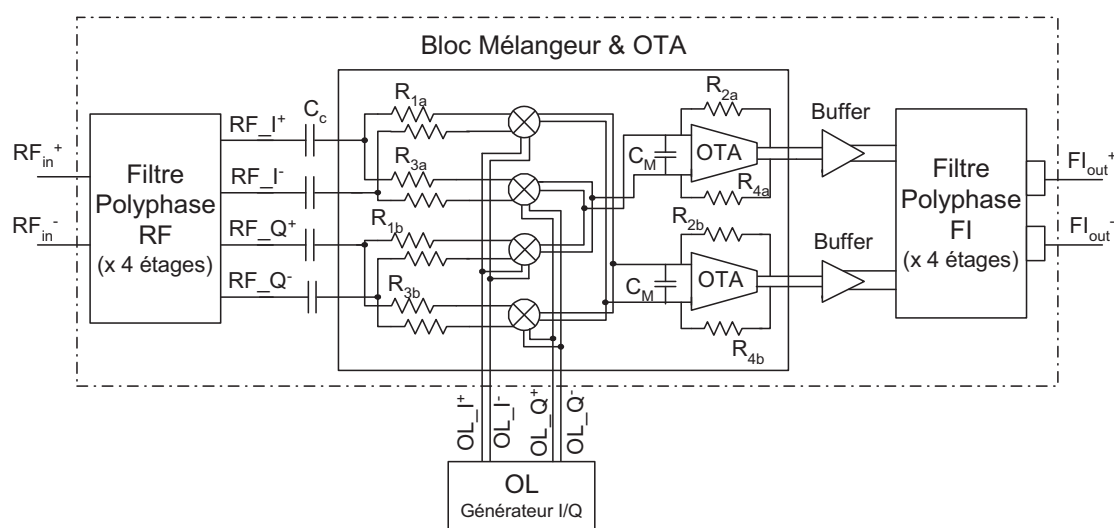


Figure 4.22. Architecture de la chaîne de réception conçue

IV.4.1. CONCEPTION DES FILTRES POLYPHASES (RF&FI)

Dans le deuxième chapitre, nous avons détaillé la conception d'un filtre polyphase destiné à la génération des signaux en quadrature. Ainsi, en se basant sur cette étude, nous pouvons facilement concevoir un filtre polyphase RF. D'un autre côté, un travail mené en parallèle à l'IM2NP dans le cadre d'une autre thèse de doctorat, a permis de développer une méthode de conception de filtre polyphase complexe pour une large gamme de fréquence allant du MHz à quelques GHz, ce qui nous permet donc aisément de l'utiliser pour le filtre FI.

IV. 4.1.1. Rappel sur le Bloc Filtre Polyphase RF

La simulation du FPP RF est effectuée en deux temps : le premier consiste à vérifier le comportement du FPP au signal utile (que nous appellerons par la suite « réponse positive »),

et le deuxième consiste à vérifier son comportement pour le signal image (que nous appellerons « réponse négative »). La figure 4.23 représente les résultats de simulations obtenus pour ces deux cas de figure, ainsi que l'IRR correspondant.

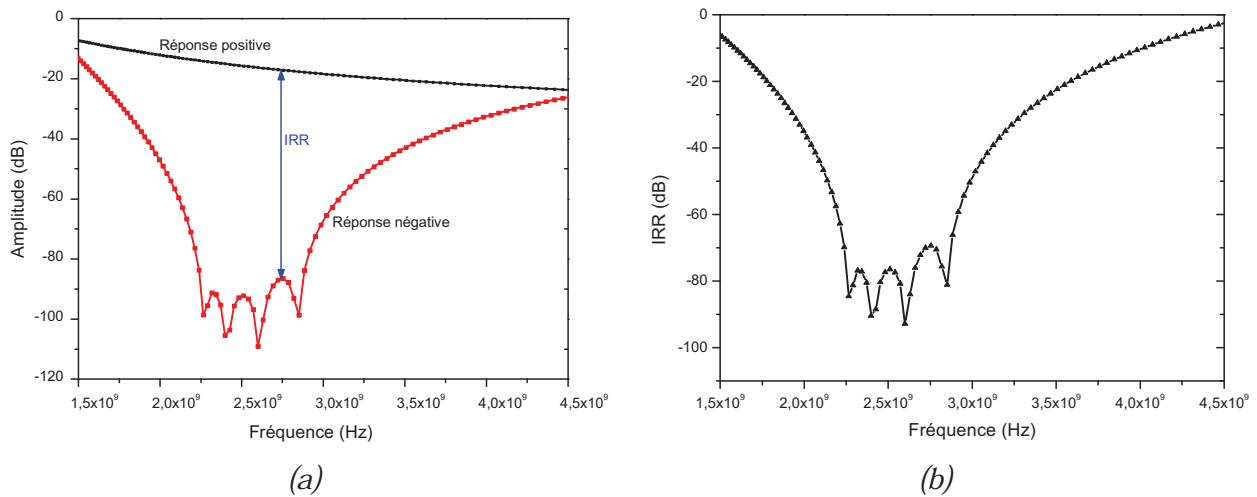


Figure 4.23. (a) Réponses fréquentielles et (b) IRR du FPP RF appliqué à la réjection du signal image

En ce qui concerne la réponse négative, la figure 4.23(a) montre la présence des quatre « notches » correspondant aux quatre fréquences pôles et montre que le signal image est atténué de 80dB dans la bande passante du FPP. La réponse positive présente quant à elle une atténuation de 12dB du signal utile. Nous obtenons alors pour le FPP une valeur d'IRR de -68dB. La figure 2.19, au deuxième chapitre (§II.3.2.4), représente le dessin des masques de ce filtre.

IV. 4.1.2. Rappel sur le Bloc Filtre Polyphase FI

La méthode de conception de ce filtre polyphase complexe été proposée dans une autre thèse de doctorat au sein de notre laboratoire IM2NP. Ce filtre FI étant implémenté en technologie CMOS 0,13 μ m, le choix des types de composants appropriés à notre étude s'est orienté vers l'utilisation du *Polysilicium* pour les résistances et du *MIM* pour les capacités. L'analyse statistique des disparités et des dérives du procédé de fabrication dans le cas du FPP FI montre que leur impact sur la dégradation de l'IRR est inférieur à celui constaté dans le cas du FPP RF. Les courbes de la figure 4.24 illustrent clairement cette constatation. En effet, elles montrent les réponses fréquentielles de $H(f)$ et de $H(-f)$, obtenues par simulations *Monte Carlo* avec *Cadence[®] SpectreRF*, pour deux circuits FPPs FI (trois et cinq étages). Ici, les différentes itérations des simulations prennent des valeurs aléatoires de R et de C dans

l'intervalle $[-3\sigma, 3\sigma]$ autour de leurs valeurs nominales. Nous pouvons remarquer (cf. Figure 4.24(a)) que le filtre à trois-étages assure un IRR de 60dB avec un niveau de tolérance de ± 2 dB pour une bande passante de [4,6~6] MHz, alors que celui à cinq-étages donne un IRR de 71dB à ± 7 dB sur une bande [4,6~8] MHz (cf. Figure 4.24(b)). Notons que le fonctionnement à de telles fréquences nécessite de grandes valeurs de résistances et de capacités, comparées à celles utilisées dans le FPP RF. Par conséquent, et selon la loi de Pelgrom [30], des composants plus larges seront moins sensibles aux disparités et dispersions technologiques. En contre partie, il convient de déterminer des solutions d'optimisation de la conception de ce type de circuit en vue de réduire la surface occupée tout en assurant les performances requises.

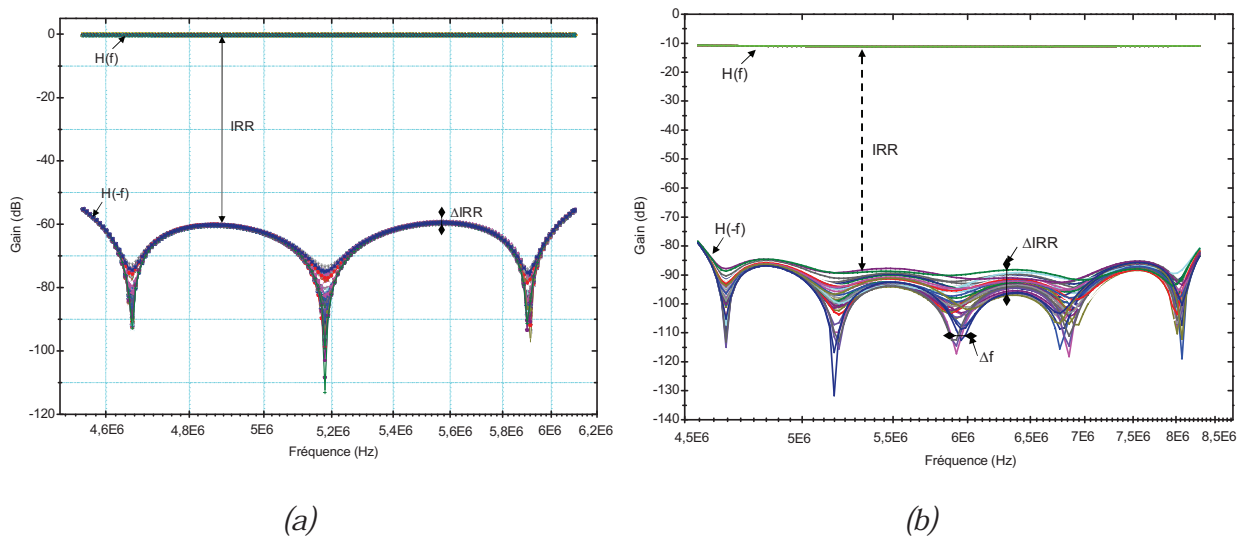


Figure 4.24. Mise en évidence de l'impact des disparités et des dérives du procédé de fabrication sur la réponse en fréquence du gain d'un filtre polyphase passif FI : (a) à trois et (b) cinq étages

■ Dessin des masques

Nous nous proposons d'implémenter un FPP FI en technologie CMOS $0,13\mu\text{m}$ conformément au schéma électrique présenté sur la figure 2.9. Un filtre à quatre étages, comme pour le FPP RF, est choisi pour couvrir la bande passante voulue ([5~9] MHz) et assurer le niveau d'IRR requis (≥ 60 dB). Le tableau 4.2 montre les caractéristiques des composants utilisés pour implémenter ce filtre.

| | <i>Etage 1</i> | <i>Etage 2</i> | <i>Etage 3</i> | <i>Etage 4</i> |
|-------------------|-----------------|-----------------|-----------------|-----------------|
| <i>Résistance</i> | 3,536K Ω | 4,302K Ω | 5,235K Ω | 6,366K Ω |
| <i>Capacité</i> | 5pF | 5pF | 5pF | 5pF |

Tableau 4.2. Caractéristiques des composants du filtre polyphase FI conçu

Il est à noter que le filtre FI comporte des résistances de valeurs électriques relativement élevées. Ceci permet d'améliorer l'appariement entre les composants mais au détriment d'une occupation surfacique plus importante. Nous avons donc choisi une configuration série pour les résistances du FPP afin de garantir une symétrie parfaite du circuit. Cette configuration permet d'obtenir un circuit plus compact sans dégradation des performances.

Le dessin des masques d'un étage complet du FPP FI est illustré sur la figure 4.25. L'occupation en surface correspondante est de $(124 \times 116)\mu\text{m}^2$. Les capacités sont définies avec le même facteur de forme (géométrie carrée) afin de réduire l'effet des biais de fabrication.

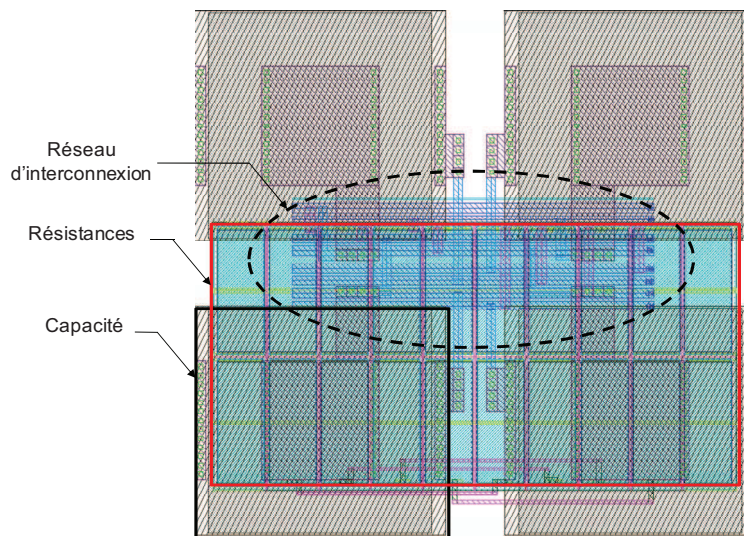


Figure 4.25. Dessin des masques d'un étage du PPF FI

Les résultats de la simulation « *post-layout* » du FPP FI implémenté sont représentés sur la figure 4.26 (en rouge). Ils sont comparés à la réponse théorique (en noir) correspondant à la vue schématique idéale. Nous pouvons constater, que les réponses en fréquence positive $H(f)$ sont confondues, alors qu'une disparité (inégalement due aux éléments parasites) est clairement mise en évidence pour les domaines des fréquences négatives $H(-f)$; l'IRR passant de 79dB à 66dB dans la bande passante du filtre. Toutefois, le résultat obtenu après extraction

« *post-layout* » reste très satisfaisant dans l'optique d'une réjection du signal image haute performance au sein d'une chaîne de réception RF.

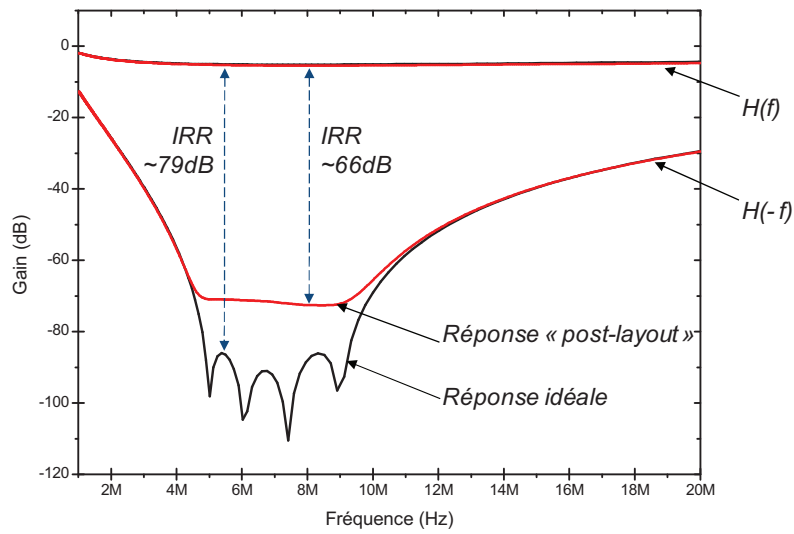


Figure 4.26. Mise en évidence de l'impact des éléments parasites sur la réponse en fréquence du PPF FI

IV.4.2. RAPPEL SUR LE BLOC MELANGEUR & OTA

Le mélangeur passif doublement équilibré, dont le schéma électrique est présenté sur la figure 4.27, est composé de quatre transistors MOS fonctionnant en interrupteur (« *ON/OFF* ») qui sont caractérisés par leur résistance à l'état passant (R_{on}) [19]. La valeur de cette résistance joue un rôle important dans la détermination du gain du mélangeur et nécessite de faire un compromis sur la taille des transistors. En effet, plus R_{on} est grande, meilleur sera le gain, or, pour obtenir une grande résistance, il faudra plutôt réduire la taille des transistors, ce qui est incompatible avec l'amélioration des appariements et peut augmenter l'influence des éléments parasites sur les performances du circuit [1]. Des transistors de largeur $70\mu\text{m}$ nous ont permis de répondre au compromis nécessaire.

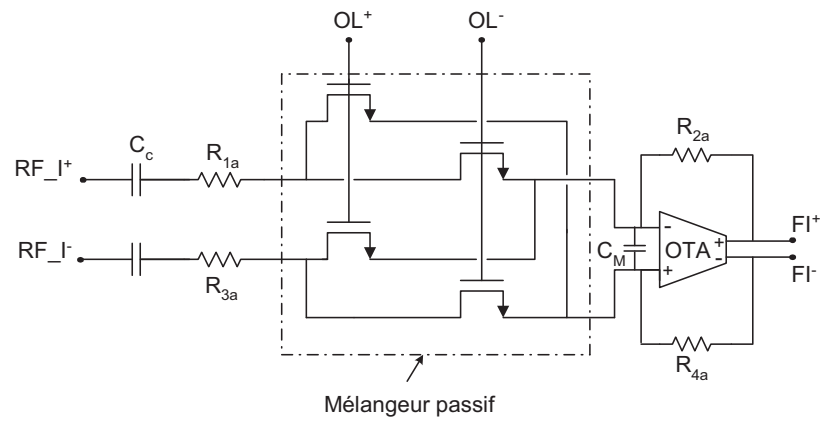


Figure 4.27. Schéma électrique du bloc regroupant le mélangeur et l'OTA avec les résistances de rétroaction

Une capacité de charge C_M a été introduite afin de réaliser une partie de la fonction de filtrage nécessaire après toute opération de transposition en fréquence. Par ailleurs, nous utilisons un OTA différentiel de type « cascode » avec compensation du mode commun, comme étage d'amplification. L'OTA présente une contre-réaction résistive sur chaque port (cf. Figure 4.12), permettant de contrôler et d'améliorer les disparités entre les voies I et Q de la chaîne de réception. Le bloc mélangeur passif & OTA avec les résistances de rétroaction a été implémenté en technologie CMOS $0,28\mu\text{m}$. La figure 4.28 montre le dessin des masques, dans lequel une structure répondant à une symétrie optimale a été implémentée. Le circuit occupe une surface de $(323 \times 151) \mu\text{m}^2$.

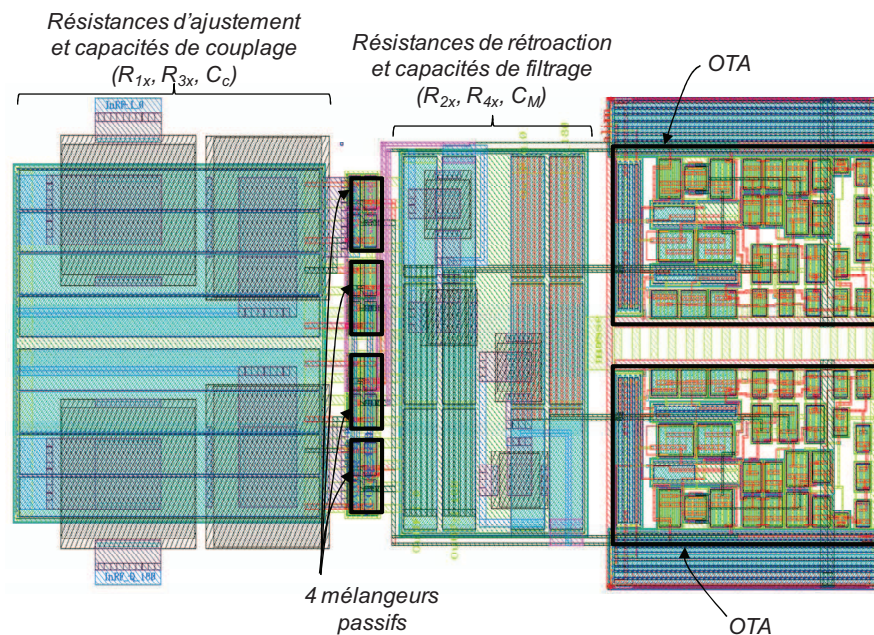


Figure 4.28. Dessin des masques du bloc mélangeur & OTA

Il est à noter qu'une attention particulière doit être portée sur la caractéristique des signaux de commande du mélangeur par l'OL (un VCO par exemple) lors de l'intégration de la chaîne globale, de façon à garantir le bon contrôle de la polarisation des transistors MOS.

IV.4.3. RESULTATS DE SIMULATION (PLS) DE L'ARCHITECTURE PROPOSEE

La chaîne de réception RF, comprenant les blocs allant du filtre polyphase RF jusqu'au filtre polyphase FI (cf. Figure 4.22), a été simulée sous *SpectreRF* de *Cadence*[®]. Les éléments parasites des interconnexions ont été extraits (en mode *RC_o*) à partir des masques des blocs de la tête-RF afin de tenir compte des effets des non-idéalités. Ceci permettra une meilleure prédiction du fonctionnement réel de la chaîne de réception RF proposée après diffusion sur silicium.

La validation globale de la tête-RF a été effectuée via des simulations en mode large-signal pour l'oscillateur local, pour une fréquence f_{OL} de 2,41GHz et une amplitude de 2V. Quant au signal d'entrée RF, défini avec une puissance de -12dBm, il est fixé de façon à pouvoir évaluer le fonctionnement du dispositif dans les bandes de fréquence utile et image. Nous rappelons que le filtre FI possède une bande passante de [5~9] MHz. La figure 4.29 illustre la configuration des fréquences du banc de simulation de l'architecture RF.

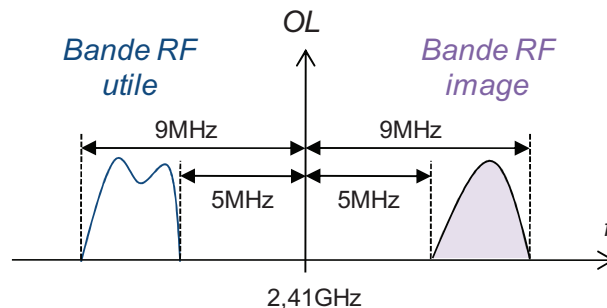


Figure 4.29. Fréquences RF et OL du banc de simulation de l'architecture RF

IV. 4.3.1. Réjection du signal image

L'analyse du spectre du signal différentiel de sortie ($FT^+ - FT^-$) permet de montrer les performances de la chaîne de réception en termes de réjection du signal image. En effet, les courbes de la figure 4.30 montrent les spectres du signal de sortie FI pour les deux configurations de la bande du signal RF (bande utile et bande image), comme indiqué sur la figure 4.29. Le signal FI est représenté par l'harmonique -1, inclus dans la bande passante

[5~9] MHz du filtre FPP, tandis que les autres harmoniques, apparaissant sur le spectre, sont dues aux fuites possibles au niveau des signaux complexes OL et RF. En ce qui concerne la figure 4.30(a), elle illustre le spectre du signal de sortie FI obtenu lorsque le signal RF est dans la bande fréquentielle utile. Nous pouvons constater que ce signal FI présente un gain de 6,2dB. Quant à la figure 4.30(b), elle montre le spectre du signal de sortie obtenu lorsque le signal RF est dans la bande fréquentielle image. Dans ce cas, le signal FI présente un niveau d'amplitude égal à -54,7dB. Ainsi, nous obtenons un taux de réjection d'image (IRR) égal à 60,9dB, ce qui représente un résultat très satisfaisant comparé à l'état de l'art actuel à de telles fréquences de fonctionnement.

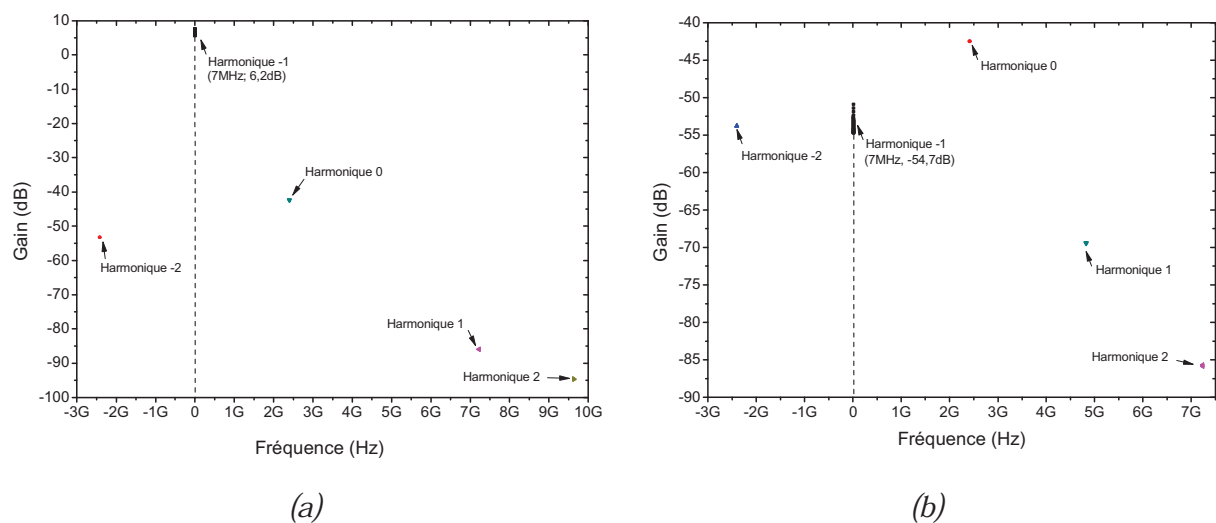


Figure 4.30. Spectre du signal de sortie de la chaîne de réception conçue, pour une simulation d'un signal RF dans (a) la bande utile, puis dans (b) la bande image

Il est à noter que la chaîne de réception conçue ne présente pas suffisamment d'éléments d'amplification entre les étages notamment en amont des mélangeurs complexes. Par conséquent, en rajoutant des « buffers », essentiellement dans la section RF de la chaîne de réception, il est possible, au dépend d'une augmentation de la consommation, de réduire les pertes et d'améliorer davantage l'IRR (jusqu'à parvenir à assurer 65dB de réjection du signal image).

Par ailleurs, une étude de l'impact des disparités d'amplitude du signal RF ainsi que celles du signal de l'OL sur la réjection du signal image a été effectuée. La figure 4.31 représente les réponses fréquentielles dans la bande FI de la chaîne de réception, vis-à-vis des disparités d'amplitude ΔA du signal RF. Les résultats obtenus montrent une variation uniforme de l'IRR, tout au long de la bande en fonction des quantités introduites de disparités. Ceci permet de

prédire la dégradation possible de la réjection de la fréquence image pour un déséquilibre donné des signaux de commande du récepteur. De plus, nous pouvons constater que la chaîne de réception présente une bonne immunité aux disparités insérées entre les voies I et Q (variation d'IRR inférieure à 2,5dB pour un ΔA atteignant 20%).

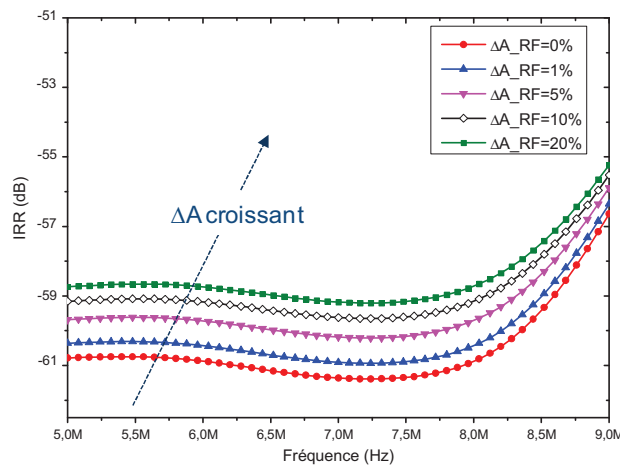


Figure 4.31. Réponses fréquentielles de la chaîne de réception dans la bande FI en fonction des disparités d'amplitude ΔA entre les voies I/Q du signal RF

La figure 4.32 illustre la variation de l'IRR en fonction des disparités d'amplitude du signal RF, et ce, pour deux cas : l'un correspondant à un OL idéal et l'autre à un OL présentant une disparité d'amplitude de 5%. De cette étude, nous pouvons constater que la disparité d'amplitude ne dégrade pas significativement l'IRR. En effet, en insérant l'erreur de 5% entre les voies I/Q de l'OL, l'IRR ne varie que de 1dB sur toute la bande (pour les différentes valeurs ΔA du signal RF).

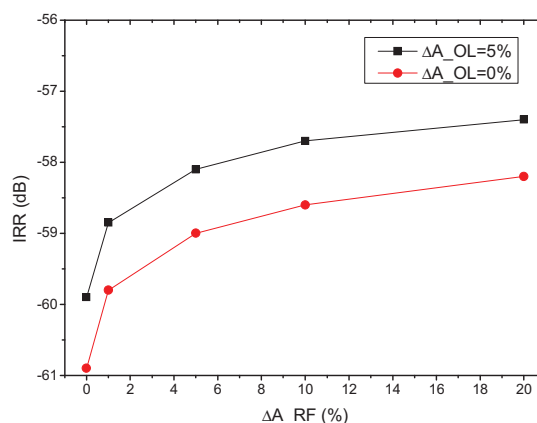


Figure 4.32. Réjection d'image (IRR) de la chaîne de réception en fonction des disparités d'amplitude ΔA entre les voies I/Q des signaux RF et OL

Par ailleurs, les résultats obtenus mettent en évidence l'existence d'un optimum de

suppression de la fréquence image lorsque les disparités sont nulles (IRR= -60,9dB). En augmentant les valeurs de ΔA , l'IRR décroît tout en gardant toutefois un bon niveau de réjection (de l'ordre de -56dB pour un pire cas caractérisé ici par un $\Delta A_{OL}=5\%$ et un $\Delta A_{RF}=20\%$).

Ainsi, le niveau de réjection du signal image, même en présence de disparités importantes d'amplitude, reste suffisant et convenable pour la plupart des applications radiofréquences (IRR~60dB).

IV. 4.3.2. Figure de bruit

Concernant l'étude des performances en termes de bruit, il est à noter que la chaîne conçue ne comporte pas de LNA. Or, celui-ci constitue l'élément prépondérant dans la détermination du facteur de bruit du récepteur. En effet, selon la loi de Friis [31], en présence de plusieurs étages cascades, et adaptés à 50Ω , le facteur de bruit total peut s'exprimer ainsi :

$$F_{\text{total}} = F_1 + \frac{F_2 - 1}{G_1} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1}} \quad (4.9)$$

où F_i et G_i représentent, respectivement, le facteur de bruit et le gain des étages successifs.

Ainsi, en supposant que les étages sont adaptés, il est possible de retrouver le facteur de bruit de la chaîne de réception complète en appliquant l'équation (4.10) qui peut être réécrite, dans notre cas, sous la forme :

$$F_{\text{total}} = F_{LNA} + \frac{F_{\text{chaîne conçue}} - 1}{G_{LNA}} \quad (4.10)$$

où F_{LNA} et G_{LNA} représentent, respectivement, le facteur de bruit et le gain du LNA, et où $F_{\text{chaîne conçue}}$ représente le facteur de bruit de la chaîne que nous avons conçue.

Un état de l'art de quelques implémentations de LNA fonctionnant autour de la fréquence 2,4GHz montre des performances en termes de figure de bruit (NF) inférieures à 3,5dB, ce qui équivaut à $F_{LNA} \leq 2,23$ (puisque $NF=10\log(F)$), et en termes de gain supérieures à 11dB.

Pour notre étude, nous ne sommes pas trop occupés de l'adaptation des différents étages de la chaîne à 50Ω puisque l'analyse de la caractéristique du bruit ne représentait pas la priorité de nos travaux. Nous obtenons une figure de bruit NF égale à 25dB (sans LNA). Par ailleurs, une amélioration de ce résultat est possible en insérant des blocs d'adaptation calibrés pour parfaire les isolations entre les étages de notre application.

IV. 4.3.3. Linéarité

Afin de caractériser la linéarité de la chaîne de réception, nous avons utilisé la méthode « deux-tons ». Elle consiste à injecter à l'entrée du circuit deux porteuses ayant des fréquences proches de f_{RF} ($f_1=2,401\text{GHz}$ et $f_2=2,405\text{GHz}$), puis à mesurer l'amplitude des raies spectrales en sortie. Vu que les entrées et sorties de la chaîne sont différentielles, nous nous sommes intéressés au produit d'intermodulation d'ordre trois (IM3). Celui-ci correspond au couple de raies spectrales aux fréquences $2f_2-f_1$ et $2f_1-f_2$ (cf. Figure 4.33(a)). Les résultats de simulations obtenus sont présentés sur la figure 4.33(b). Ceux-ci sont donnés en dB puisque la chaîne proposée ne présente pas de LNA. Après extrapolation, nous obtenons un IIP3 de 14dB, un OIP3 de 8dB et un point de compression à 1dB (P_{1dB}) de -8,5dB.

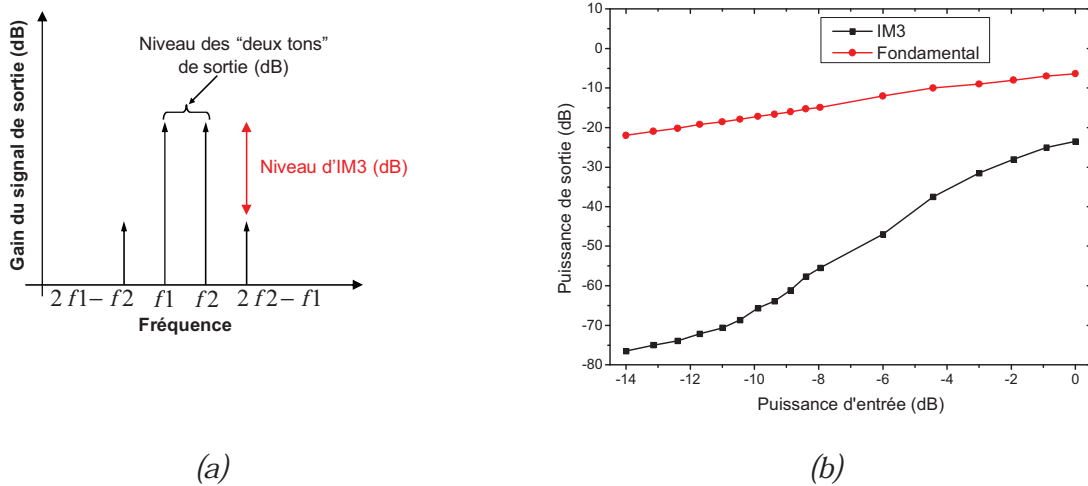


Figure 4.33. (a) Représentation du spectre en sortie mettant en relief la détermination de l'IM3. (b) Distorsion d'intermodulation d'ordre 3

IV. 4.3.4. Consommation en courant

La chaîne de réception conçue révèle une bonne performance en termes de consommation en courant. En effet, seuls les OTAs et les buffers différentiels consomment du courant. Les filtres polyphases étant passifs présentent une consommation nulle. La chaîne consomme un courant total de 12,2mA, réparti ainsi : $2 \times 5\text{mA}$ au sein de l'OTA et $2 \times 1,1\text{mA}$ au sein du buffer.

IV. 4.3.5. Bilan

Les caractéristiques assurées par la chaîne de réception conçue confirment le bon fonctionnement dans la bande passante désirée. Le tableau 4.3 présente une comparaison de la

solution proposée par rapport à l'état de l'art actuel. Il convient de préciser que les architectures comparées ici ne présentent pas vraiment la même configuration de test. Donc, il faudra garder un œil critique par rapport aux conditions de chacune d'entre elles. Nous pouvons constater que concernant la performance en termes d'IRR, nous parvenons à assurer 60,9dB, ce qui s'avère un résultat très satisfaisant dans l'état d'art. Quant aux performances en termes de bruit et de consommation, elles sont acceptables même si elles peuvent être améliorées davantage grâce à un effort supplémentaire d'adaptation d'impédance au niveau des interfaces des différents blocs de la chaîne et à une optimisation de la consommation des blocs « *buffers* » (lors des travaux à venir).

| | <i>Notre solution</i> | <i>[2] (2001)</i> | <i>[33] (2003)</i> | <i>[34] (2007)</i> | <i>[32] (2009)</i> |
|----------------------------------|-----------------------|---------------------|--------------------|--------------------|--------------------|
| <i>Technologie</i> | 0,13µm CMOS | 0,6µm CMOS | 0,18µm CMOS | 0,18µm CMOS | 0,18µm CMOS |
| <i>Tension d'alimentation</i> | 2,5V | 3,3V | 1,8V | 1,8V | 1,8V |
| <i>Fréquence RF</i> | 2,4GHz | 2,4GHz | 5,25GHz | 2,4GHz | 1,22GHz |
| <i>IRR</i> | 60,9dB | 60dB | 55dB | 35dB | 58dB |
| <i>NF</i> | 25dB (sans LNA) | 7,2dB (avec LNA) | 7dB (avec LNA) | 10dB (avec LNA) | 20dB (sans LNA) |
| <i>IIP3</i> | 14dB | -3,4dBm | 2,5dBm | -15dBm | - |
| <i>Consommation de puissance</i> | 30,5mW | 35mW | 42mW | 9mW | 11mW |

Tableau 4.3. Comparaison des performances de la chaîne de réception proposée par rapport à l'état de l'art

Ainsi, l'intégration de notre technique de calibrage des erreurs d'amplitude au sein de la chaîne a permis de garantir un IRR élevé, sans détérioration des performances en termes de bruit et de linéarité.

IV.5. CONCLUSION

Ce chapitre a été consacré à l'exposé d'un système de calibrage original permettant la correction des disparités et du désappariement entre les voies I et Q. Ce dispositif a été implémenté dans les architectures de réception RF telles que les architectures en quadrature « *full-complex* ». Nous avons tout d'abord présenté l'architecture « *full-complex* » puis étudié et conçu des dispositifs comme le mélangeur, l'OTA..., afin de démontrer la validité de la solution proposée.

La dernière partie du chapitre avait pour objectif d'intégrer cette technique de calibrage des erreurs d'amplitude au sein de l'architecture « *full-complex* » dans le domaine RF à 2,4GHz et en FI autour de 7MHz. Les résultats de simulations (*PLS*) obtenus ont montré un IRR supérieur à 60dB. Ce résultat intéressant est suffisant pour la plupart des applications radiofréquences. Cette solution peut être encore améliorée en ajoutant des « *buffers* » inter-étages, essentiellement en amont des mélangeurs complexes.

IV.6. REFERENCES

- [1] M. Steyaert, and J. Crols, "*Analog integrated polyphase filters*", Proceedings of the Workshop on Advances in Analog Circuit Design, Germany : S.N., p. 18, Mar 1994.
- [2] F. Behbahani, et al., "*CMOS mixers and Polyphase filters for large image rejection*", IEEE Journal of Solid State Circuits, Vol. 36, No. 6, pp. 873-887, 2001.
- [3] Iqbal Younes, "*Circuit Design for Low Voltage Wireless Receiver with Improved Image Rejection*", Thèse de doctorat, Ohio State University, 2004.
- [4] Kim Chang-Wan, and Lee Sang-Gug, "*A 5.25-GHz image rejection RF front-End Receiver With Polyphase filters*", IEEE Microwave and Wireless Components Letters, Volume 16, Issue 5, pp. 302 – 304, May 2006.
- [5] Jianhong Xiao, et al., "*Low-power fully integrated CMOS DTV tuner front-end for ATSC terrestrial broadcasting*", VLSI Design, 2007.
- [6] Chou Chung-Yun, and Wu Chung-Yu, "*The design of wideband and low-power CMOS active polyphase filter and its application in RF double-quadrature receivers*", IEEE Transactions on Circuits and Systems I: Regular Papers, Volume 52, Issue 5, pp. 825-833, May 2005.
- [7] Yuan Shuai, et al., "*A CMOS image-rejection mixer with 58-dB IRR for DTV receivers*", Journal of Semiconductors, Volume 30, No 6, June 2009.

- [8] J. Rogin, et al., "A 1.5-V 45-mW direct-conversion WCDMA receiver IC in 0.13- μ m CMOS", IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2239-2248, Dec. 2003.
- [9] H. Darabi, and A. A. Abidi, "Noise in RF-CMOS mixers : A simple physical model", IEEE J. Solid-State Circuits, vol. 35, no. 1, pp. 15-25, Jan. 2000.
- [10] M. T. Terrovitis, and R. G. Meyer, "Intermodulation distortion in current-commutating CMOS mixers", IEEE J. Solid-State Circuits, vol. 35, no. 10, pp. 1461-1473, Oct. 2000.
- [11] M. T. Terrovitis, and R. G. Meyer, "Noise in current-commutating CMOS mixers", IEEE J. Solid-State Circuits, vol. 34, no. 6, pp. 772-783, Jun. 1999.
- [12] D. Manstretta, M. Brandolini, and F. Svelto, "Second-order intermodulation mechanisms in CMOS downconverters", IEEE J. Solid-State Circuits, vol. 38, no. 3, pp. 394-406, Mar. 2003.
- [13] T. Melly, et al., "An analysis of flicker noise rejection in low-power and low-voltage CMOS mixers", IEEE J. Solid-State Circuits, vol. 36, no. 1, pp. 102-109, Jan. 2001.
- [14] V. Vidojkovic, et al., "A low-voltage folded-switching mixer in 0.18- μ m CMOS", IEEE J. Solid-State Circuits, vol. 40, no. 6, pp. 1259-1264, Jun. 2005.
- [15] F. Gatta, et al., "A fully integrated 0.18- μ m CMOS direct conversion receiver front-end with on-chip LO for UMTS", IEEE J. Solid-State Circuits, vol. 39, no. 1, pp. 15-23, Jan. 2004.
- [16] D. Manstretta, R. Castello, and F. Svelto, "Low 1/f Noise CMOS active mixers for direct conversion", IEEE Transaction on Circuits and Systems II, vol. 48, no. 9, pp. 846-850, Sep. 2001.
- [17] E. A. M. Klumperink, et al., "A CMOS switched transconductor mixer", IEEE J. Solid-State Circuits, vol. 39, no. 8, pp. 1231-1240, Aug. 2004.
- [18] H. Darabi, and J. Chiu, "A noise cancellation technique in active RF-CMOS mixers", IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2628-2632, Dec. 2005.
- [19] R. S. Pallela, T. Sowlati, and D. Rozenblit, "Low flicker-noise quadrature mixer topology", in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 1870-1879, Feb. 2006.
- [20] S. Chehrazi, R. Bagheri, and A. A. Abidi, "Noise in passive FET mixers: A simple physical model", Custom Integrated Circuits Conference, pp. 375-378, Oct. 2004.
- [21] S. Zhou, and M. C. F. Chang, "A CMOS passive mixer with low flicker noise for low-power direct-conversion receiver", IEEE J. Solid-State Circuits, vol. 40, no. 5, pp. 1084-1093, May 2005.

- [22] M.Valla, et al., "A 72-mW CMOS 802.11a direct conversion front-end with 3.5-dB NF and 200-kHz 1/f Noise corner", IEEE J. Solid-State Circuits, vol. 40, no. 4, pp. 970-977, April 2005.
- [23] F. Behbahani, et al., "CMOS Mixers and Polyphase Filters for Large Image Rejection", IEEE Journal of solid-state circuits, Vol. 36, No. 6, p. 873, June 2001.
- [24] K. Vladimir, et al., "A direct conversion CMOS front-end for 2.4GHz band of IEEE 802.15.4 standard", in Proc. IEEE Asian Solid-State Circuits Conf, pp.449-451, Nov. 2005.
- [25] Z. Sining, and C. M.C Frank, "A CMOS passive mixer with low flicker noise for low-power direct-conversion receiver", IEEE journal of Solid-State Circuits. vol. 40, no.5, May 2005.
- [26] Lee, Thomas H., "The Design of CMOS Radio-Frequency Integrated Circuits", s.l.: cambridge University Press, 1998.
- [27] B. Razavi, "Design of Analog CMOS Integrated Circuits". McGraw-Hill, 2001.
- [28] I. Elahi, et al., "I/Q Mismatch Compensation in a 90nm Low-IF CMOS receiver", ISSCC, paper 29.7, pp. 542-543, 2005.
- [29] W. S. T. Yan, and H. C. Luong, "A 900-mhz cmos low-phase-noise voltage-controlled ring oscillator", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 48, no. 2, p. 216-221, Feb. 2001.
- [30] M. J. Pelgrom et al., "Matching properties of MOS transistors", IEEE Journal of Solid State Circuits, Vol. 24, pp. 1433-1440, Oct. 1989.
- [31] H. T. Friis, "Noise figures of radio receivers", Proceedings of the IRE publication, Vol. 32, No. 7, pp. 419-422, Jul. 1944.
- [32] Y. Shuai et al., "A CMOS image rejection mixer with 58dB IRR for DTV receivers", Journal of Semiconductors, Vol. 30, No. 6, Jun. 2009.
- [33] C.-W. Kim and S.-G. Lee, "A 5.25GHz monolithic image-rejection mixer", Asia-Pacific Microwave Conference (APMC-2003), Korea, pp. 781-784, Nov. 2003
- [34] I. Nam et al., "A 2.4-GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18- μ m CMOS for IEEE 802.15.4 WPAN Applications", IEEE Trans. on Microwave Theory and Techniques, Vol. 55, No. 4, pp. 682-689, Apr. 2007.

Conclusion

Conclusion Générale

Les travaux présentés dans ce mémoire sont inscrits dans le cadre d'une étude sur la conception et l'optimisation des architectures radiofréquences pour la réjection du signal image. Les solutions traitées trouvent leur application dans les standards de communication sans fil. Les résultats théoriques et expérimentaux présentés permettront aux concepteurs d'obtenir les performances optimales en termes de réjection de la fréquence image.

Au cours du premier chapitre, nous avons passé en revue l'état de l'art des systèmes de transmissions radiofréquences ainsi que celui des standards de communications sans fil. Nous en avons dégagé les enjeux et les difficultés rencontrés lors de la conception des architectures de réception RF en mettant l'accent sur les problèmes liés à la réjection de la fréquence image et sur la précision des signaux en quadrature. Notre étude s'est donc orientée vers les techniques de réjection du signal image pour aboutir à des circuits performants.

Le deuxième chapitre traite des différentes méthodes existantes d'obtention de signaux en quadrature à savoir : la combinaison d'un oscillateur avec un filtre polyphase, la combinaison d'un diviseur de fréquence et d'un oscillateur ainsi que la combinaison de deux oscillateurs LC. Compte tenu des problèmes propres aux deux premières méthodes mentionnées, nous nous sommes intéressés à l'obtention de signaux en quadrature de phase directement à partir de la combinaison de deux oscillateurs et nous avons procédé à une optimisation de la structure proposée. Nous avons ainsi étudié les performances du dispositif en termes de bruit de phase puis l'appariement des signaux a été quantifié et amélioré en proposant des méthodes simples. La réalisation de circuits de tests en technologie CMOS indique que les solutions simples qui ont été proposées n'entraînent pas d'augmentation majeure de la surface silicium et du courant absorbé.

Le troisième chapitre présente la conception d'une nouvelle architecture de réception RF « *half-complex* » combinée avec une technique originale de correction des erreurs de gain afin d'obtenir de meilleures performances en termes de réjection du signal image. Nous avons présenté tout d'abord une modélisation du système proposé avec le logiciel *Mathcad* que nous avons implémenté sous le logiciel *ADS*. Les résultats obtenus montrent que ce modèle permet une bonne description du comportement de la solution développée. Nous avons ensuite évalué l'amélioration des performances de notre système en termes de réjection de la fréquence image. Le fonctionnement du dispositif proposé a été validé puis intégré au sein de l'architecture de Weaver.

Le dernier chapitre propose un système original permettant le calibrage de l'appariement entre les voies I et Q dans les architectures « *full-complex* ». Après un rappel des

caractéristiques de ces architectures, nous avons étudié des dispositifs tels que : le mélangeur, l'OTA, les filtres polyphases afin d'aboutir à une structure complète de récepteur RF.

La chaîne de réception radiofréquence de type « *full-complex* » ainsi réalisée fonctionne à la fréquence de 2,4GHz pour une FI de 7MHz. Nous avons utilisé les circuits de filtrage réalisés dans le cadre d'une thèse menée en parallèle à l'Institut (IM2NP) afin d'évaluer les performances globales en termes de réjection de la fréquence image. Les premières analyses ont montré de très bons résultats de réjection avec un IRR > 60dB. La chaîne RF présente également de bonnes performances en termes de linéarité, de bruit et de consommation.

Pour une validation complète du récepteur, une campagne de mesures devra être réalisée. Afin d'utiliser l'architecture RF à des fréquences plus élevées (5 GHz et plus), un nouveau filtre polyphases devra être conçu. Il devra, en effet, comporter des circuits actifs pour en minimiser les pertes. Enfin, une étude prospective pourra être menée afin d'introduire le caractère ajustable des résistances de contre-réaction des OTA en FI afin d'améliorer de façon dynamique l'appariement des voies I et Q.

Annexes

Annexes

ANNEXE 1 : CALCUL DE L'IRR AU SEIN DES ARCHITECTURES DE WEAVER, HARTLEY ET LA DOUBLE CONVERSION EN QUADRATURE

Dans cette partie, nous allons effectuer le calcul des IRR correspond à chacune des architectures suivantes : Weaver, Hartley et la Double conversion en quadrature. Ainsi, nous allons définir les signaux Désiré et Image comme suit :

- le signal Désiré est défini par :

$$D(t) = \cos(\omega_{RF}t) \quad (\text{A.1.1})$$

- le signal Image est défini par :

$$IM(t) = \cos(\omega_{IM}t) \quad (\text{A.1.2})$$

A.1.1. Architecture de Weaver

La figure A.1.1 illustre une modélisation des erreurs au sein de l'architecture de Weaver.

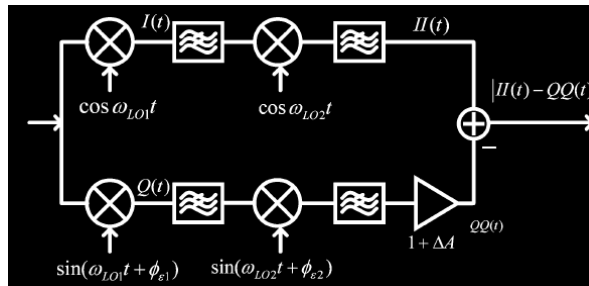


Figure. A.1.1 Architecture de Weaver

Les signaux traduits après le mélangeur du premier étage sont

$$\left\{ \begin{array}{l} I_D(t) = \frac{1}{2} [\cos(\omega_{RF} - \omega_{LO1})t + \cos(\omega_{RF} + \omega_{LO1})t] \\ I_{IM}(t) = \frac{1}{2} [\cos(\omega_{IM} - \omega_{LO1})t + \cos(\omega_{IM} + \omega_{LO1})t] \\ Q_D(t) = \frac{1}{2} \{ \sin[(\omega_{RF} + \omega_{LO1})t + \varphi_1] - \sin[(\omega_{RF} - \omega_{LO1})t - \varphi_1] \} \\ Q_{IM}(t) = \frac{1}{2} \{ \sin[(\omega_{IM} + \omega_{LO1})t + \varphi_1] - \sin[(\omega_{IM} - \omega_{LO1})t - \varphi_1] \} \end{array} \right. \quad (\text{A.1.3})$$

φ_1 et φ_2 représentent les erreurs de phase au niveau de l'OL₁ et OL₂, respectivement. Ces signaux après le mélangeur du deuxième étage deviennent :

$$\begin{cases} I I_D(t) = \frac{1}{4} \cos(\omega_{IF2} t) \\ I I_M(t) = \frac{1}{4} \cos(\omega_{IF2} t) \\ Q Q_D(t) = -\frac{1}{4} (1 + \Delta A) \times [\cos(\varphi_1 + \varphi_2) \cos(\omega_{IF2} t) + \sin(\varphi_1 + \varphi_2) \sin(\omega_{IF2} t)] \\ Q Q_M(t) = \frac{1}{4} (1 + \Delta A) \times [\cos(\varphi_1 - \varphi_2) \cos(\omega_{IF2} t) - \sin(\varphi_1 - \varphi_2) \sin(\omega_{IF2} t)] \end{cases} \quad (\text{A.1.4})$$

où ΔA représente le désappariement de gain. Donc, l'IRR au sein de l'architecture de Weaver est donnée par l'équation (A.1.5).

$$\begin{aligned} IRR(dB) &= 10 \log \frac{|I I_D(t) - Q Q_D(t)|^2}{|I I_M(t) - Q Q_M(t)|^2} \\ &= 10 \log \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos(\varphi_1 + \varphi_2)}{1 + (1 + \Delta A)^2 - 2(1 + \Delta A) \cos(\varphi_1 - \varphi_2)} \right] \end{aligned} \quad (\text{A.1.5})$$

A.1.2. Architecture de Hartley

La figure A.1.2 illustre une modélisation des erreurs au sein de l'architecture de Hartley.

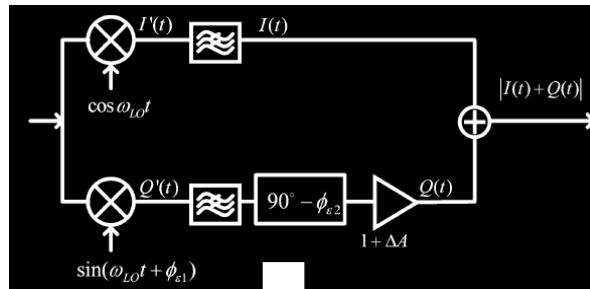


Figure. A.1.2 Architecture de Hartley

Si φ_1 représente l'erreur de phase de l'OL et φ_2 correspond à l'erreur de phase du déphaseur 90° , l'IRR est obtenu par le calcul ci-dessous. Les signaux de sortie, convertis par le mélangeur du premier étage, sont :

$$\begin{cases} I'_D(t) = \frac{1}{2} [\cos(\omega_D - \omega_{LO})t + \cos(\omega_D + \omega_{LO})t] \\ I'_M(t) = \frac{1}{2} [\cos(\omega_{IM} - \omega_{LO})t + \cos(\omega_{IM} + \omega_{LO})t] \\ Q'_D(t) = \frac{1}{2} \{ \sin[(\omega_D + \omega_{LO})t + \varphi_1] - \sin[(\omega_D - \omega_{LO})t - \varphi_1] \} \\ Q'_M(t) = \frac{1}{2} \{ \sin[(\omega_{IM} + \omega_{LO})t + \varphi_1] - \sin[(\omega_{IM} - \omega_{LO})t - \varphi_1] \} \end{cases} \quad (\text{A.1.6})$$

Après le déphaseur 90° , nous pouvons écrire

$$\begin{cases} I_D(t) = \frac{1}{2} \cos(\omega_{IF}t) \\ I_{IM}(t) = \frac{1}{2} \cos(\omega_{IF}t) \\ Q_D(t) = \frac{1}{2}(1 + \Delta A) \times [\cos(\varphi_1 + \varphi_2) \cos(\omega_{IF}t) + \sin(\varphi_1 + \varphi_2) \sin(\omega_{IF}t)] \\ Q_{IM}(t) = -\frac{1}{2}(1 + \Delta A) \times [\cos(\varphi_1 - \varphi_2) \cos(\omega_{IF}t) - \sin(\varphi_1 - \varphi_2) \sin(\omega_{IF}t)] \end{cases} \quad (\text{A.1.7})$$

où $\omega_{IF} = \omega_D - \omega_{LO} = \omega_{LO} - \omega_{IM}$ et ΔA représente le « mismatch » de gain. Donc, l'IRR au sein de l'architecture de Hartley est donné par l'équation A.1.8.

$$\begin{aligned} IRR(dB) &= 10 \log \frac{|I_D(t) + Q_D(t)|^2}{|I_{IM}(t) + Q_{IM}(t)|^2} \\ &= 10 \log \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos(\varphi_1 + \varphi_2)}{1 + (1 + \Delta A)^2 - 2(1 + \Delta A) \cos(\varphi_1 - \varphi_2)} \right] \end{aligned} \quad (\text{A.1.8})$$

Nous pouvons conclure que l'IRR des deux architectures, Hartley et Weaver, sont identiques. Ces résultats sont identiques à ceux présentés dans [1]. De plus, il est clair que l'élimination des erreurs de phase ou pour des erreurs de phase égales des oscillateurs OL_1 et OL_2 puisse optimiser l'IRR. Notons aussi que tous les mélangeurs, oscillateurs et filtre passe-bas peuvent rajouter des erreurs de gain et de phase.

A.1.3. Architecture à Double conversion en Quadrature

L'architecture est illustrée par la figure A.1.3.

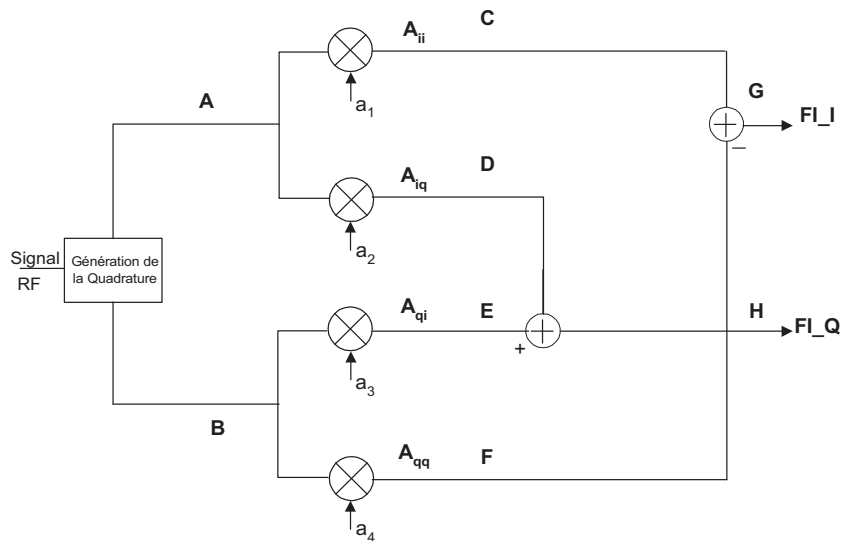


Figure A.1.3 Structure FI à double conversion

L'analyse suivante montre l'effet des appariements entre deux voies sur l'IRR. Nous notons A_{ii} , A_{qi} , A_{iq} , A_{qq} les gains des quatre mélangeurs suivant les indications de la figure A.1.3. Nous pouvons écrire dans le domaine fréquentielle, la sortie

$$Y(j\omega) = \left[A_{ii} OL_I(j\omega) \otimes X_I(j\omega) - A_{qq} OL_Q(j\omega) \otimes X_Q(j\omega) \right] + j \left[A_{iq} OL_Q(j\omega) \otimes X_I(j\omega) - A_{qi} OL_I(j\omega) \otimes X_Q(j\omega) \right] \quad (\text{A.1.9})$$

où \otimes est le produit de convolution, $OL_I(j\omega)$ et $OL_Q(j\omega)$ sont les transformées de Fourier des signaux I et Q de l'OL respectivement, $X_I(j\omega)$ et $X_Q(j\omega)$ sont les transformées de Fourier des signaux I et Q à l'entrée RF respectivement. Donc, nous pouvons écrire

$$Y(j\omega) = OL_{cm}(j\omega) \otimes \left[X_I(j\omega) + jX_Q(j\omega) \right] + OL_{diff}(j\omega) \otimes \left[X_I(j\omega) - jX_Q(j\omega) \right] \quad (\text{A.1.10})$$

où

$$OL_{cm}(j\omega) = \frac{A_{ii} + A_{qi} + A_{iq} + A_{qq}}{4} \left[OL_I(j\omega) + jOL_Q(j\omega) \right] + \frac{A_{ii} - A_{qi} - (A_{iq} + A_{qq})}{4} \left[OL_I(j\omega) - jOL_Q(j\omega) \right] \quad (\text{A.1.11})$$

et

$$OL_{diff}(j\omega) = \frac{A_{ii} - A_{qi} + A_{iq} - A_{qq}}{4} \left[OL_I(j\omega) + jOL_Q(j\omega) \right] + \frac{A_{ii} - A_{qi} - (A_{iq} - A_{qq})}{4} \left[OL_I(j\omega) - jOL_Q(j\omega) \right] \quad (\text{A.1.12})$$

Or, nous pouvons écrire

$$X(j\omega) = X_I(j\omega) + jX_Q(j\omega) \quad (\text{A.1.13})$$

Et donc son complexe conjugué est donné par

$$X^*(-j\omega) = X_I(j\omega) - jX_Q(j\omega) \quad (\text{A.1.14})$$

D'où

$$Y(j\omega) = OL_{cm}(j\omega) \otimes X(j\omega) + OL_{diff}(j\omega) \otimes X^*(-j\omega) \quad (\text{A.1.15})$$

Ainsi, la sortie est composée de deux parties : l'entrée $X(j\omega)$ convolué avec $OL_{cm}(j\omega)$ et l'image de l'entrée $X^*(-j\omega)$ convolué avec $OL_{diff}(j\omega)$. Donc, la première partie est le signal désiré. Donc, l'IRR est donné par l'équation A.1.16.

$$IRR = \frac{\left(A_{ii} + A_{qi} + A_{iq} + A_{qq} \right)^2}{\left(A_{ii} - A_{qi} - A_{iq} + A_{qq} \right)^2} \quad (\text{A.1.16})$$

Cette équation met en évidence que la qualité de la réjection d'image et donc de l'IRR [2],

dépend des disparités de gain des mélangeurs et non pas des erreurs de phase de l'OL.

A.1.4. Références

- [1] B. Razavi, "RF Microelectronics". Englewood Cliffs, NJ: Prentice Hall, 1998,
- [2] Kong-pang Pun, José Epifânio da Franca, and Carlos Azeredo-Leme, "*Circuit design for wireless communications: improved techniques for image rejection in wideband quadrature receivers*", Springer 2003.

ANNEXE 2 : MODELISATION DES FILTRES POLYPHASES PASSIFS

A.2.1. Fonction de transfert d'un FPP à 2 étages

La fonction de transfert d'un FPP à 2 étages est présentée par l'équation A.2.1.

$$\begin{bmatrix} V_{in} \\ I_{in} \end{bmatrix} = \frac{1}{1 - \omega R_1 C_1} \begin{bmatrix} 1 + j\omega R_1 C_1 & R_1 \\ 2j\omega C_1 & 1 + j\omega R_1 C_1 \end{bmatrix} \frac{1}{1 - \omega R_2 C_2} \begin{bmatrix} 1 + j\omega R_2 C_2 & R_2 \\ 2j\omega C_2 & 1 + j\omega R_2 C_2 \end{bmatrix} \begin{bmatrix} V_{Out} \\ I_{Out} \end{bmatrix} \quad (\text{A.2.1})$$

La fonction de transfert en boucle ouverte ($I_{out}=0$) est donnée par :

$$H(j\omega) = \frac{(1 - \omega R_1 C_1)(1 - \omega R_2 C_2)}{1 + j\omega(R_1 C_1 + R_2 C_2 + 2R_1 C_2) - \omega^2(R_1 R_2 C_1 C_2)} \quad (\text{A.2.2})$$

De plus, l'équation A.2.1 peut être exprimée comme suit :

$$H(j\omega) = H_1(j\omega) + jH_2(j\omega) \quad (\text{A.2.3})$$

avec

$$\begin{cases} H_1(j\omega) = \frac{1 + \omega^2(R_1 R_2 C_1 C_2)}{1 + j\omega(R_1 C_1 + R_2 C_2 + 2R_1 C_2) - \omega^2(R_1 R_2 C_1 C_2)} \\ H_2(j\omega) = \frac{j\omega(R_1 C_1 + R_2 C_2)}{1 + j\omega(R_1 C_1 + R_2 C_2 + 2R_1 C_2) - \omega^2(R_1 R_2 C_1 C_2)} \end{cases} \quad (\text{A.2.4})$$

A.2.2. Fonction de transfert d'un FPP à 3 étages

La fonction de transfert d'un FPP à 3 étages est présentée par l'équation A.2.5.

$$\begin{bmatrix} V_{in} \\ I_{in} \end{bmatrix} = \frac{1}{1 - \omega R_1 C_1} \begin{bmatrix} 1 + j\omega R_1 C_1 & R_1 \\ 2j\omega C_1 & 1 + j\omega R_1 C_1 \end{bmatrix} \frac{1}{1 - \omega R_2 C_2} \begin{bmatrix} 1 + j\omega R_2 C_2 & R_2 \\ 2j\omega C_2 & 1 + j\omega R_2 C_2 \end{bmatrix} \frac{1}{1 - \omega R_3 C_3} \begin{bmatrix} 1 + j\omega R_3 C_3 & R_3 \\ 2j\omega C_3 & 1 + j\omega R_3 C_3 \end{bmatrix} \begin{bmatrix} V_{Out} \\ I_{Out} \end{bmatrix} \quad (\text{A.2.5})$$

La fonction de transfert complexe est donnée par :

$$H(j\omega) = \frac{N(j\omega)}{D(j\omega)} \quad (\text{A.2.6})$$

avec

$$\begin{cases} N(j\omega) = (1 - \omega R_1 C_1)(1 - \omega R_2 C_2)(1 - \omega R_3 C_3) \\ D(j\omega) = D_R(\omega) + jD_I(\omega) \end{cases} \quad (\text{A.2.7})$$

où

$$\begin{cases} D_R(\omega) = 1 - \omega^2 (R_1 R_2 C_1 C_2 + R_1 R_3 C_1 C_3 + R_2 R_3 C_2 C_3 \\ \quad + 2R_1 R_3 C_2 C_3 + 2R_1 R_2 C_1 C_3 + 2R_1 R_2 C_2 C_3) \\ D_I(\omega) = \omega (R_1 C_1 + R_2 C_2 + R_3 C_3 + 2R_1 C_2 + 2R_1 C_3 \\ \quad + 2R_2 C_3) - \omega^3 (R_1 R_2 R_3 C_1 C_2 C_3) \end{cases} \quad (\text{A.2.8})$$

De plus, l'équation A.2.5 peut être exprimée comme suit :

$$H(j\omega) = H_1(j\omega) + jH_2(j\omega) \quad (\text{A.2.9})$$

avec

$$\begin{cases} H_1(j\omega) = \frac{1 + \omega^2 (R_1 R_2 C_1 C_2 + R_1 R_3 C_1 C_3 + R_2 R_3 C_2 C_3)}{D(j\omega)} \\ H_2(j\omega) = \frac{j\omega (R_1 C_1 + R_2 C_2 + R_3 C_3) + j\omega^3 (R_1 R_2 R_3 C_1 C_2 C_3)}{D(j\omega)} \end{cases} \quad (\text{A.2.10})$$

A.2.3. Fonction de transfert d'un FPP à 4 étages

La fonction de transfert pour un FPP à 4 étages est présentée par l'équation A.2.11.

$$\begin{aligned} \begin{bmatrix} V_{in} \\ I_{in} \end{bmatrix} &= \frac{1}{1 - \omega R_1 C_1} \begin{bmatrix} 1 + j\omega R_1 C_1 & R_1 \\ 2j\omega C_1 & 1 + j\omega R_1 C_1 \end{bmatrix} \\ &\quad \frac{1}{1 - \omega R_2 C_2} \begin{bmatrix} 1 + j\omega R_2 C_2 & R_2 \\ 2j\omega C_2 & 1 + j\omega R_2 C_2 \end{bmatrix} \\ &\quad \frac{1}{1 - \omega R_3 C_3} \begin{bmatrix} 1 + j\omega R_3 C_3 & R_3 \\ 2j\omega C_3 & 1 + j\omega R_3 C_3 \end{bmatrix} \\ &\quad \frac{1}{1 - \omega R_4 C_4} \begin{bmatrix} 1 + j\omega R_4 C_4 & R_4 \\ 2j\omega C_4 & 1 + j\omega R_4 C_4 \end{bmatrix} \begin{bmatrix} V_{Out} \\ I_{Out} \end{bmatrix} \end{aligned} \quad (\text{A.2.11})$$

La fonction de transfert complexe est donnée par l'équation A.2.6 avec :

$$\begin{cases} N(j\omega) = (1 - \omega R_1 C_1)(1 - \omega R_2 C_2)(1 - \omega R_3 C_3)(1 - \omega R_4 C_4) \\ D(j\omega) = D_R(\omega) + jD_I(\omega) \end{cases} \quad (\text{A.2.12})$$

où

$$\left\{ \begin{array}{l}
D_R(\omega) = 1 - \omega^2 (R_1 R_2 C_1 C_2 + R_1 R_3 C_1 C_3 + R_2 R_3 C_2 C_3 \\
+ R_1 R_4 C_1 C_4 + R_2 R_4 C_2 C_4 + R_3 R_4 C_3 C_4 \\
+ 2R_1 R_3 C_1 C_4 + 2R_2 R_3 C_2 C_4 + 2R_1 R_2 C_2 C_4 \\
+ 2R_1 R_2 C_1 C_4 + 2R_1 R_3 C_3 C_4 + 2R_2 R_3 C_3 C_4 \\
+ 2R_1 R_3 C_2 C_3 + 2R_1 R_2 C_2 C_3 + 2R_1 R_4 C_2 C_4 \\
+ 2R_1 R_4 C_3 C_4 + 2R_2 R_4 C_3 C_4 + 2R_1 R_2 C_1 C_3 \\
+ 4R_1 R_3 C_2 C_4) + \omega^4 (R_1 R_2 R_3 R_4 C_1 C_2 C_3 C_4) \\
D_I(\omega) = \omega (R_1 C_1 + R_2 C_2 + R_3 C_3 + R_4 C_4 + 2R_3 C_4 + 2R_1 C_2 + 2R_1 C_3 \\
+ 2R_2 C_3 + 2R_2 C_4 + 2R_1 C_4) - \omega^3 (R_1 R_2 R_3 C_1 C_2 C_3 \\
+ R_1 R_2 R_4 C_1 C_2 C_4 + R_1 R_3 R_4 C_1 C_3 C_4 + R_2 R_3 R_4 C_2 C_3 C_4 \\
+ 2R_1 R_2 R_3 C_1 C_2 C_4 + 2R_1 R_2 R_3 C_2 C_3 C_4 + 2R_1 R_2 R_3 C_1 C_3 C_4 \\
+ 2R_1 R_3 R_4 C_2 C_3 C_4 + 2R_1 R_2 R_4 C_2 C_3 C_4 + 2R_1 R_2 R_4 C_1 C_3 C_4)
\end{array} \right. \quad (A.2.13)$$

De plus, l'équation A.2.11 peut être exprimée comme suit :

$$H(j\omega) = H_1(j\omega) + jH_2(j\omega) \quad (A.2.14)$$

avec

$$\left\{ \begin{array}{l}
H_1(j\omega) = \frac{1 + a\omega^2 + b\omega^4}{D(j\omega)} \\
H_2(j\omega) = \frac{c j\omega + d j\omega^3}{D(j\omega)}
\end{array} \right. \quad (A.2.15)$$

où

$$\left\{ \begin{array}{l}
a = R_1 R_2 C_1 C_2 + R_1 R_3 C_1 C_3 + R_2 R_3 C_2 C_3 + R_1 R_4 C_1 C_4 + R_2 R_4 C_2 C_4 + R_3 R_4 C_3 C_4 \\
b = R_1 R_2 R_3 R_4 C_1 C_2 C_3 C_4 \\
c = R_1 C_1 + R_2 C_2 + R_3 C_3 + R_4 C_4 \\
d = R_1 R_2 R_3 C_1 C_2 C_3 + R_1 R_2 R_4 C_1 C_2 C_4 + R_1 R_3 R_4 C_1 C_3 C_4 + R_2 R_3 R_4 C_2 C_3 C_4
\end{array} \right. \quad (A.2.16)$$

ANNEXE 3 : CODES SOURCES DES PROGRAMMES MATLAB®

A.3.1. Codes sources du programme d'analyse de l'influence des variations du procédé technologique pour un FPP à 2 étages

a) Influence sur le « mismatch » de gain

```
global f_1; global f_2; global rt_1; global rt_2; global ct_1; global ct_2; global pt_r; global
pt_c;
f_1=findobj(gcf,'Tag','f_1'); f_1=str2double(get(f_1,'string')); %get the value from GUI input
f_2=findobj(gcf,'Tag','f_2'); f_2=str2double(get(f_2,'string'));
rt_1=findobj(gcf,'Tag','rt_1'); rt_1=str2double(get(rt_1,'string'));
rt_2=findobj(gcf,'Tag','rt_2'); rt_2=str2double(get(rt_2,'string'));
ct_1=findobj(gcf,'Tag','ct_1'); ct_1=str2double(get(ct_1,'string'));
ct_2=findobj(gcf,'Tag','ct_2'); ct_2=str2double(get(ct_2,'string'));
pt_r=findobj(gcf,'Tag','pt_r'); pt_r=str2double(get(pt_r,'string'));
if isempty(pt_r), pt_r=0.16; else pt_r=pt_r; end
pt_c=findobj(gcf,'Tag','pt_c'); pt_c=str2double(get(pt_c,'string'));
if isempty(pt_c), pt_c=0.21; else pt_c=pt_c; end
if isempty(f_1), f_1=1.44e9; else f_1=f_1; end
if isempty(f_2), f_2=3.47e9; else f_2=f_2; end
if isempty(rt_1), rt_1=223.5; else rt_1=rt_1; end
if isempty(rt_2), rt_2=265.6; else rt_2=rt_2; end
if isempty(ct_1), ct_1=205.2; else ct_1=ct_1; end
if isempty(ct_2), ct_2=416.7; else ct_2=ct_2; end
figure hold on
w=f_2.*(1+0.1):f_2./20:f_2.*(1+0.2);
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15;
r2_1=rt_1.*(1+pt_r); r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RinCin=abs(h-n); plot(w,RinCin,'g -s')
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RdeCde=abs(h-n); plot(w,RdeCde,'b -*')
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1+pt_r);
r2_2=rt_2.*(1+pt_r);
```



```

a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RinCde=abs(h-n); plot(w,RinCde,'r -^')
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RdeCin=abs(h-n); plot(w,RdeCin,'k -d')
legend('RinCin','RdeCde','RinCde','RdeCin')
w=f_1.*(1-0.4):f_1./1e3:f_2.*(1+0.4);
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1+pt_r);
r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RinCin=abs(h-n); plot(w,RinCin,'g -')
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RdeCde=abs(h-n); plot(w,RdeCde,'b -.') % %
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1+pt_r);
r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RinCde=abs(h-n); plot(w,RinCde,'r --') % %
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));

```

```

d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
h=20.*log10(a); n=20.*log10(d); RdeCin=abs(h-n); plot(w,RdeCin,'k :')
xlabel('\itf} / GHz','FontSize', 14)
ylabel('\itm}-{\itgain} / dB','FontSize', 14)
title('Gain mismatch influenced by process tolerances','FontSize', 14)

```

b) Influence sur le « mismatch » de phase

```

global f_1; global f_2; global rt_1; global rt_2; global ct_1; global ct_2; global pt_r; global
pt_c;
f_1=findobj(gcf,'Tag','f_1'); f_1=str2double(get(f_1,'string')); %get the value from GUI input
f_2=findobj(gcf,'Tag','f_2'); f_2=str2double(get(f_2,'string'));
rt_1=findobj(gcf,'Tag','rt_1'); rt_1=str2double(get(rt_1,'string'));
rt_2=findobj(gcf,'Tag','rt_2'); rt_2=str2double(get(rt_2,'string'));
ct_1=findobj(gcf,'Tag','ct_1'); ct_1=str2double(get(ct_1,'string'));
ct_2=findobj(gcf,'Tag','ct_2'); ct_2=str2double(get(ct_2,'string'));
pt_r=findobj(gcf,'Tag','pt_r'); pt_r=str2double(get(pt_r,'string'));
if isempty(pt_r), pt_r=0.16; else pt_r= pt_r; end
pt_c=findobj(gcf,'Tag','pt_c'); pt_c=str2double(get(pt_c,'string'));
if isempty(pt_c), pt_c=0.21; else pt_c=pt_c; end
if isempty(f_1), f_1=1.44e9; else f_1=f_1; end
if isempty(f_2), f_2=3.47e9; else f_2=f_2; end
if isempty(rt_1), rt_1=223.5; else rt_1=rt_1; end
if isempty(rt_2), rt_2=265.6; else rt_2=rt_2; end
if isempty(ct_1), ct_1=205.2; else ct_1=ct_1; end
if isempty(ct_2), ct_2=416.7; else ct_2=ct_2; end
figure hold on
w=f_2.*(1+0.1):f_2./20:f_2.*(1+0.2); c2_2=ct_2.*(1+pt_c).*1e-15;
c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1+pt_r); r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RinCin=(h-n).*180./pi+90; plot(w,RinCin,'g -s')
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RdeCde=(h-n).*180./pi+90; plot(w,RdeCde,'b -*')
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1+pt_r);
r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));

```

```

h=atan(a); n=atan(d); RinCde=(h-n).*180./pi+90; plot(w,RinCde,'r -^')
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RdeCin=(h-n).*180./pi+90; plot(w,RdeCin,'k -d')
legend('RinCin','RdeCde','RinCde','RdeCin')
w=f_1.*(1-0.4):f_1./1e3:f_2.*(1+0.4);
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1+pt_r);
r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RinCin=(h-n).*180./pi+90; plot(w,RinCin,'g -')
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RdeCde=(h-n).*180./pi+90; plot(w,RdeCde,'b -.') % %
c2_2=ct_2.*(1-pt_c).*1e-15; c2_1=ct_1.*(1-pt_c).*1e-15; r2_1=rt_1.*(1+pt_r);
r2_2=rt_2.*(1+pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RinCde=(h-n).*180./pi+90; plot(w,RinCde,'r --') % %
c2_2=ct_2.*(1+pt_c).*1e-15; c2_1=ct_1.*(1+pt_c).*1e-15; r2_1=rt_1.*(1-pt_r);
r2_2=rt_2.*(1-pt_r);
a=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
d=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
h=atan(a); n=atan(d); RdeCin=(h-n).*180./pi+90; plot(w,RdeCin,'k :')
xlabel('{\itf} / GHz','FontSize', 14) ylabel('{\itd}-{\itd} / degrees','FontSize', 14)
title('Phase difference influenced by process tolerances','FontSize', 14)

```

A.3.2. Codes sources du programme d'analyse de l'influence du mismatch des composants pour un FPP à 2 étages

a) Influence sur le « mismatch » de gain

```

global f_1; global f_2; global rt_1; global rt_2; global ct_1; global ct_2; global cm; global pt;
f_1=findobj(gcf,'Tag','f_1'); f_1=str2double(get(f_1,'string')); %get the value from GUI input

```

```

f_2=findobj(gcf,'Tag','f_2'); f_2=str2double(get(f_2,'string'));
rt_1=findobj(gcf,'Tag','rt_1'); rt_1=str2double(get(rt_1,'string')); rt_2=findobj(gcf,'Tag','rt_2');
rt_2=str2double(get(rt_2,'string')); ct_1=findobj(gcf,'Tag','ct_1');
ct_1=str2double(get(ct_1,'string'));
ct_2=findobj(gcf,'Tag','ct_2'); ct_2=str2double(get(ct_2,'string'));
cm=findobj(gcf,'Tag','cm'); cm=str2double(get(cm,'string'));
if isempty(cm), cm=0.01;else cm=cm; end
if isempty(f_1), f_1=1.44e9; else f_1=f_1;end
if isempty(f_2), f_2=3.47e9; else f_2=f_2;end
if isempty(rt_1), rt_1=223.5; else rt_1=rt_1;end
if isempty(rt_2), rt_2=265.6; else rt_2=rt_2;end
if isempty(ct_1), ct_1=205.2; else ct_1=ct_1; end
if isempty(ct_2), ct_2=416.7; else ct_2=ct_2; end
figure hold on
w=f_2.*(1+0.1):f_2./20:f_2.*(1+0.2); c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15;
r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15;
r2_1=rt_1.*(1+cm); r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RinCin=abs(m-k); plot(w,RinCin,'g -s')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RdeCde=abs(m-k); plot(w,RdeCde,'b -*')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15;
r2_1=rt_1.*(1+cm);r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RinCde=abs(m-k); plot(w,RinCde,'r - ^')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RdeCin=abs(m-k); plot(w,RdeCin,'k -d')
legend('RinCin','RdeCde','RinCde','RdeCin')
w=f_1.*(1-0.2):f_1./1e3:f_1.*(1+0.2); c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1;
r2_2=rt_2;

```

```

b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1+cm);
r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RinCin=abs(m-k); plot(w,RinCin,'g -')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RdeCde=abs(m-k); plot(w,RdeCde,'b -.') % %
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1+cm);
r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.
*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b);k=20.*log10(c); RinCde=abs(m-k); plot(w,RinCde,'r --')% %
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))/(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2
*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
m=20.*log10(b); k=20.*log10(c); RdeCin=abs(m-k); plot(w,RdeCin,'k :')
xlabel('{itf} / GHz','FontSize', 14) ylabel('{itm} - {itgain} / dB','FontSize', 14)
title('Gain mismatch influenced by component mismatch','FontSize', 14)

```

b) Influence sur le « mismatch » de phase

```

global f_1; global f_2; global rt_1; global rt_2; global ct_1; global ct_2; global cm; global pt;
f_1=findobj(gcf,'Tag','f_1'); f_1=str2double(get(f_1,'string'));%get the value from GUI input
f_2=findobj(gcf,'Tag','f_2'); f_2=str2double(get(f_2,'string'));
rt_1=findobj(gcf,'Tag','rt_1'); rt_1=str2double(get(rt_1,'string'));
rt_2=findobj(gcf,'Tag','rt_2'); rt_2=str2double(get(rt_2,'string'));
ct_1=findobj(gcf,'Tag','ct_1'); ct_1=str2double(get(ct_1,'string'));
ct_2=findobj(gcf,'Tag','ct_2'); ct_2=str2double(get(ct_2,'string'));
cm=findobj(gcf,'Tag','cm'); cm=str2double(get(cm,'string'));
if isempty(cm), cm=0.01;else cm=cm; end
if isempty(f_1), f_1=1.44e9; else f_1=f_1; end
if isempty(f_2), f_2=3.47e9; else f_2=f_2; end
if isempty(rt_1), rt_1=223.5; else rt_1=rt_1; end

```

```

if isempty(rt_2), rt_2=265.6; else rt_2=rt_2; end
if isempty(ct_1), ct_1=205.2; else ct_1=ct_1; end
if isempty(ct_2), ct_2=416.7; else ct_2=ct_2; end
figure hold on
w=f_2.*(1+0.1):f_2./20:f_2.*(1+0.2); c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15;
r2_1=rt_1;r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+
2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1+cm);
r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RinCin=(m-k).*180./pi+90;
plot(w,RinCin,'g -s') c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RdeCde=(m-k).*180./pi+90; plot(w,RdeCde,'b -*')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1+cm);
r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RinCde=(m-k).*180./pi+90; plot(w,RinCde,'r -^')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RdeCin=(m-k).*180./pi+90; plot(w,RdeCin,'k -d')
legend('RinCin','RdeCde','RinCde','RdeCin')
w=f_1.*(1-0.2):f_1./1e3:f_1.*(1+0.2); c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1;
r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));

```

```

c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1+cm);
r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RinCin=(m-k).*180./pi+90; plot(w,RinCin,'g -')
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RdeCde=(m-k).*180./pi+90; plot(w,RdeCde,'b -.') % %
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1-cm).*1e-15; c2_1=ct_1.*(1-cm).*1e-15; r2_1=rt_1.*(1+cm);
r2_2=rt_2.*(1+cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RinCde=(m-k).*180./pi+90; plot(w,RinCde,'r --') % %
c2_2=ct_2.*1e-15; c2_1=ct_1.*1e-15; r2_1=rt_1; r2_2=rt_2;
b=abs(((1+(2.*pi.*w).^2.*r2_1*r2_2*c2_1*c2_2)./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
c2_2=ct_2.*(1+cm).*1e-15; c2_1=ct_1.*(1+cm).*1e-15; r2_1=rt_1.*(1-cm); r2_2=rt_2.*(1-
cm);
c=abs(((j*(2.*pi.*w).*(r2_1*c2_1+r2_2*c2_2))./
(1+j*(2.*pi.*w)*(r2_1*c2_1+r2_2*c2_2)+2*j*(2.*pi.*w)*r2_1*c2_2+(j*(2.*pi.*w)).^2*r2_1
*r2_2*c2_1*c2_2)));
m=atan(b); k=atan(c); RdeCin=(m-k).*180./pi+90; plot(w,RdeCin,'k :')
xlabel('\itf / GHz','FontSize', 14) ylabel('\itd}-{\rmphase} / degrees','FontSize', 14)
title('Phase difference influenced by component mismatch','FontSize', 14)

```

ANNEXE 4 : CALCUL DETAILLE DE LA CELLULE ‘CALCULATEUR’

Dans cette partie, nous allons effectuer le calcul concernant la cellule ‘Calculateur’ (cf. Figure A.4.1) proposée dans le troisième chapitre. Par conséquent et afin de faciliter nos calculs, nous avons divisé notre circuit en deux blocs l’un entouré en rouge et un deuxième entouré en bleu.

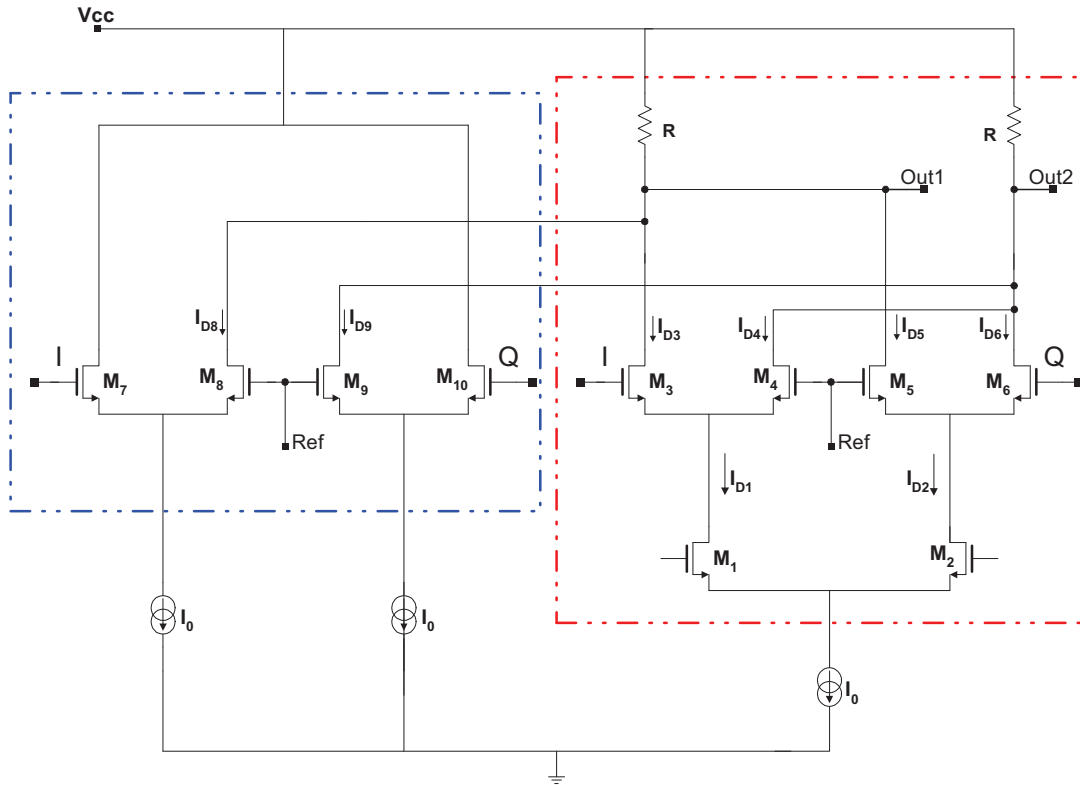


Figure A.4.1. Cellule Calculateur

En général, pour une paire différentielle classique (cf. Figure A.4.2), le courant du collecteur et la tension d’entrée sont reliés par les équations suivantes [1] :

$$\begin{cases} I_{D1} = \frac{I_0}{2} \left[1 + \tanh\left(\frac{V_{i1}}{2V_t}\right) \right] \\ I_{D2} = \frac{I_0}{2} \left[1 - \tanh\left(\frac{V_{i1}}{2V_t}\right) \right] \end{cases} \quad (\text{A.4.1})$$

où $V_{i1} = V_{i1} - V_{i2}$ le signal d’entrée en mode différentiel et $V_t = \frac{KT}{q} = 26\text{mV}$ à température ambiante.

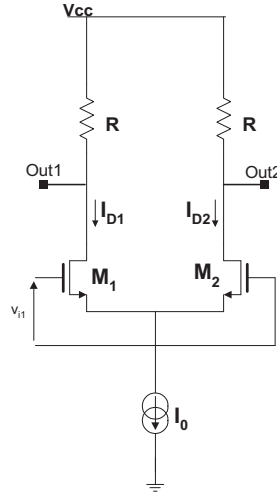


Figure A.4.2. Paire différentielle classique

Ainsi, pour la partie encadrée en rouge (cf. Figure A.4.1), nous pouvons écrire :

$$\begin{cases} I_{D1} = \frac{I_0}{2} \left[1 + \tanh\left(\frac{I-Q}{2v_t}\right) \right] \\ I_{D2} = \frac{I_0}{2} \left[1 - \tanh\left(\frac{I-Q}{2v_t}\right) \right] \\ I_{D3} = \frac{I_{D1}}{2} \left[1 + \tanh\left(\frac{I-Q}{2v_t}\right) \right] \\ I_{D4} = \frac{I_{D1}}{2} \left[1 - \tanh\left(\frac{I-Q}{2v_t}\right) \right] \\ I_{D5} = \frac{I_{D2}}{2} \left[1 - \tanh\left(\frac{Q - \text{Re } f}{2v_t}\right) \right] \\ I_{D6} = \frac{I_{D2}}{2} \left[1 + \tanh\left(\frac{Q - \text{Re } f}{2v_t}\right) \right] \end{cases} \quad (\text{A.4.2})$$

Or, nous savons que :

$$\tanh(x) = x - \frac{x^3}{3} + \frac{2x^5}{15} + \varepsilon(x^7) \text{ pour } x \ll 1 \quad (\text{A.4.3})$$

Par ailleurs, $I(t) = \text{Ref} + i(t)$ et $Q(t) = \text{Ref} + q(t)$, où Ref représente le niveau DC des signaux $I(t)$ et $Q(t)$. Donc, nous pouvons conclure :

$$\left\{ \begin{array}{l} I_{D1} = \frac{I_0}{2} \left[1 + \left(\frac{i(t) - q(t)}{2v_t} \right) \right] \\ I_{D2} = \frac{I_0}{2} \left[1 - \left(\frac{i(t) - q(t)}{2v_t} \right) \right] \\ I_{D3} = \frac{I_0}{4} \left[1 + \frac{i(t) - q(t)}{2v_t} \right] * \left[1 + \frac{i(t)}{2v_t} \right] \\ I_{D4} = \frac{I_0}{4} \left[1 + \frac{i(t) - q(t)}{2v_t} \right] * \left[1 - \frac{i(t)}{2v_t} \right] \\ I_{D5} = \frac{I_0}{4} \left[1 - \frac{i(t) - q(t)}{2v_t} \right] * \left[1 - \frac{q(t)}{2v_t} \right] \\ I_{D6} = \frac{I_0}{4} \left[1 - \frac{i(t) - q(t)}{2v_t} \right] * \left[1 + \frac{q(t)}{2v_t} \right] \end{array} \right. \quad (\text{A.4.4})$$

Or, le courant total est exprimé par :

$$I_{tot} = I_{D3} + I_{D5} - (I_{D4} + I_{D6}) \quad (\text{A.4.5})$$

D'où :

$$I_{tot} = \frac{I_0}{2} \left[1 + \left(\frac{i(t) - q(t)}{2v_t} \right) \right] * \left[\frac{i(t)}{2v_t} \right] - \frac{I_0}{2} \left[1 - \left(\frac{i(t) - q(t)}{2v_t} \right) \right] * \left[\frac{q(t)}{2v_t} \right] \quad (\text{A.3.6})$$

D'une autre part, pour la cellule entourée en bleu, les calculs donnent :

$$\left\{ \begin{array}{l} I_{D8} = \frac{I_0}{2} \left[1 - \tanh \left(\frac{I - \text{Re } f}{2v_t} \right) \right] \\ I_{D9} = \frac{I_0}{2} \left[1 - \tanh \left(\frac{Q - \text{Re } f}{2v_t} \right) \right] \end{array} \right. \quad (\text{A.4.7})$$

Pareil, l'approximation (A.4.3) donne :

$$\left\{ \begin{array}{l} I_{D8} = \frac{I_0}{2} \left[1 - \left(\frac{i(t)}{2v_t} \right) \right] \\ I_{D9} = \frac{I_0}{2} \left[1 - \left(\frac{q(t)}{2v_t} \right) \right] \end{array} \right. \quad (\text{A.4.8})$$

Donc, le courant total sera exprimé par :

$$I_{tot} = I_{D3} + I_{D5} + I_{D8} - (I_{D4} + I_{D6} + I_{D9}) \quad (\text{A.4.9})$$

D'où :

$$I_{tot} = \frac{I_0}{2} \left[\frac{i(t)^2 - q(t)^2}{(2v_t)^2} \right] \quad (\text{A.4.10})$$

Or, les signaux $i(t)$ et $q(t)$ sont à valeur moyenne nulle. Nous posons : $i(t)=I_{out}(t)=i*\sin wt$ et $q(t)=Q_{out}(t)=q*\cos wt$. Donc nous pouvons écrire :

$$\begin{cases} I_{out}(t)^2 = \frac{i^2}{2} - \frac{i^2}{2} * \cos 2\omega t \\ Q_{out}(t)^2 = \frac{q^2}{2} - \frac{q^2}{2} * \cos 2\omega t \end{cases} \quad (\text{A.4.11})$$

Ainsi,

$$I_{out}(t)^2 - Q_{out}(t)^2 = \frac{i^2 - q^2}{2} - \frac{i^2 + q^2}{2} * \cos 2\omega t \quad (\text{A.4.12})$$

Le filtre supprime la partie (à valeur moyenne nulle) dépendante du temps et il ne reste plus qu'un courant DC à intégrer aux bornes d'une capacité. Le courant DC généré par une différence d'amplitude entre $I_{out}(t)$ et $Q_{out}(t)$ est :

$$I_{tot} = \frac{I_0}{4} \times \frac{i^2 - q^2}{(2vt)^2} \quad (\text{A.4.13})$$

et la tension différentielle générée est :

$$\varepsilon = R \times \frac{I_0}{4} \times \frac{i^2 - q^2}{(2vt)^2} = A_0(i^2 - q^2) \quad (\text{A.4.14})$$

où R est la résistance de charge.

A.4.1. Références

[1] B. Razavi, "RF Microelectronics". Englewood Cliffs, NJ: Prentice Hall, 1998,

ANNEXE 5 : RAPPEL SUR LES GRAPHE DE FLUENCE

A.5.1. Généralités

Un système d'équations peut être représenté par un graphe de fluence constitué de nœuds et d'arcs formant des cascades et des boucles. Les nœuds du graphe représentent les branches de courants et tensions d'un circuit LCR. Le graphe décrit la relation entre ses courants et tensions. La variable qui représente la tension U_k ($k = 1, 2, \dots$) du circuit est appelée V_k , et la variable qui représente le courant I_k est appelée J_k . Le nombre k du graphe de variables concorde avec le nombre de tensions et courants dans le circuit. Le facteur d'échelle pour les courants est assumé à 1A et pour les tensions à 1V. Dans le graphe, la loi de Kirchoff lie la variable de courant J_k à la variable de tension V_k . La relation entre le courant et la tension de la branche est donnée par ses éléments. Les branches d'un filtre LCR incluent la source de tension et courant, les résistances, les capacitances et les selfs. Les sources sont représentées dans le graphe de flux de signal par un nœud avec une valeur constante.

Les résistances obéissent à la relation $U = R.I$ et sa représentation graphique est illustrée par la figure A.5.1.a. Il faut tenir compte de la variable choisie, soit la tension en fonction du courant ou vice-versa.

La capacité est représentée par l'équation $q(t) = C . u(t)$. La charge $q(t)$ est l'intégral du courant et la relation entre tension et courant est donnée par : $u(t) = 1 / C \int i(t) dt$. L'entrée de l'intégrateur est associée au courant à travers la capacité et est déterminée par les éléments du graphe. La sortie de l'intégrateur représente la tension après la capacité et elle est commandée par l'entrée de l'intégrateur. Sa représentation graphique est indiquée par la figure A.5.1.b.

L'inductance obéit à l'équation $\Phi(t) = L . i(t)$, où $\Phi(t)$ est le flux à travers l'inductance. La tension qui passe par l'inductance est $\frac{d\Phi}{dt}$ donc, la relation entre la tension et le courant est donnée par l'équation $i(t) = 1 / L \int u(t) dt$. Dans ce cas, le courant est la sortie et la tension est l'entrée dans le graphe de flux de signal. Sa représentation est illustrée par la figure A.5.1.c.

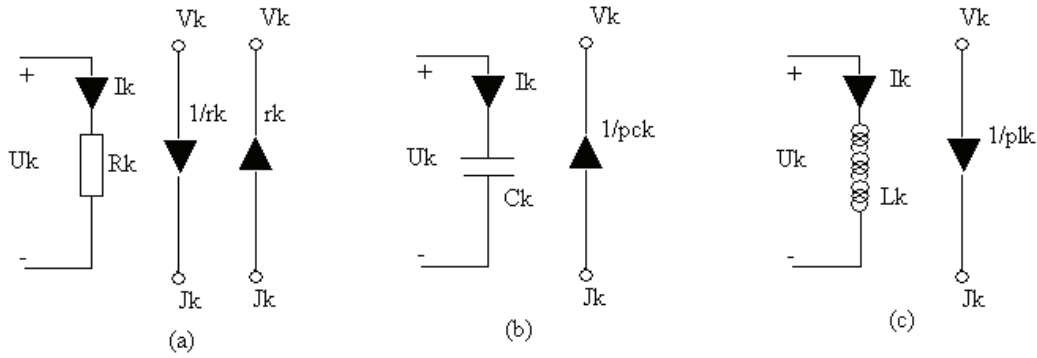


Figure A.5.1. Graphe de flux du signal. Représentation pour : Résistance (a), Capacité (b), Self (c)

A.5.2. Implémentation directe de résonateurs

L'implémentation de résonateurs est faite en prenant ensemble l'inductance et la capacité. La combinaison des deux éléments converge à une seule impédance. La relation de tension et courant d'un résonateur parallèle est donnée par l'équation A.5.1

$$\frac{V_k}{J_k} = \frac{p L_p G_n}{p^2 C_p L_p + 1} \quad (\text{A.5.1})$$

avec L_p et C_p : inductance et capacité en parallèle. J_k et U_k : variables de courant et tension dans le graphe de flux de signal, G_n : ratio entre le facteur d'échelle des courants (1A) et des tensions (1V), donc $G_n = 1S$. La représentation graphique d'un résonateur parallèle est représentée par la figure A.5.2.a.

Dans le cas d'un résonateur série, les variables de courant et tension ont comme équation :

$$\frac{J_k}{V_k} = \frac{p C_s / G_n}{p^2 C_s L_s + 1} \quad (\text{A.5.2})$$

L_s et C_s : inductance et capacité en série. J_k et U_k : variables de courant et tension dans le graphe de flux de signal (cf. Figure A.5.2.b).

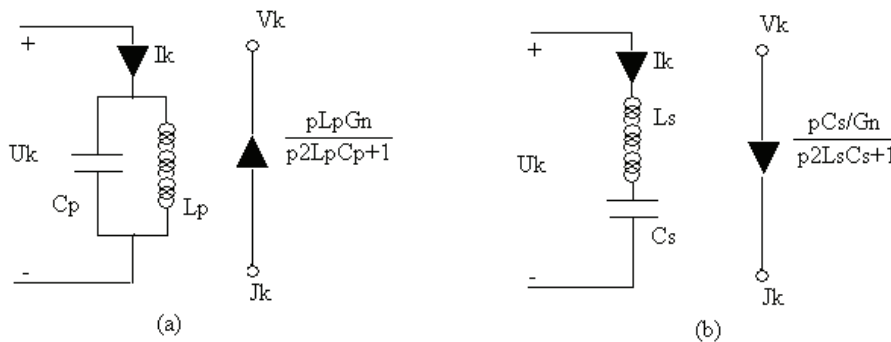


Figure A.5.2. Représentation dans le graphe de flux de signal pour les résonateurs : parallèle

(a), série (b).

La fonction de transfert d'un résonateur parallèle et série a la même forme et ils sont réalisés avec le même circuit électronique illustré ci-dessous (cf. Figure A.5.3) :

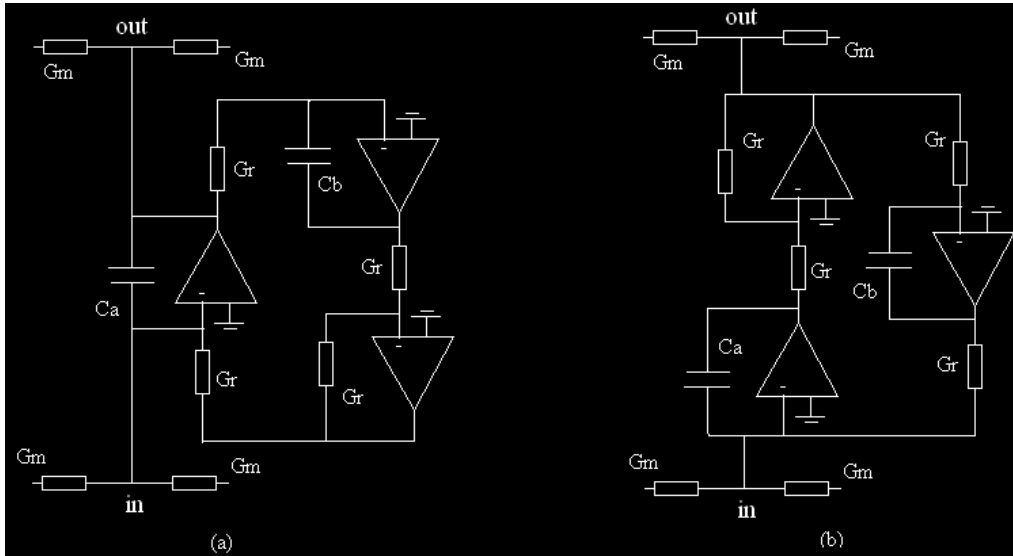


Figure A.5.3. Circuits implémentés de résonateur : inversé (a), non inversé (b)

Les circuits sont montés pour les deux facteurs, positif et négatif respectivement. Dans le cas d'un résonateur parallèle l'ordre des valeurs est donné par :

$$\begin{cases} C_a = C_p G_m / G_n \\ C_b = L_p G_r^2 G_n / G_m \end{cases} \quad (\text{A.5.3})$$

Pour le cas des résonateurs il est nécessaire que $C_a = C_b$, donc :

$$G_r = \frac{G_m}{G_n} \sqrt{C_p / L_p} \quad (\text{A.5.4})$$

Dans le cas d'un résonateur série, il se trouve que :

$$\begin{cases} C_a = G_n G_m L_s \\ C_b = C_s G_r^2 / (G_n G_m) \end{cases} \quad (\text{A.5.5})$$

Si $C_a = C_b$, alors :

$$G_r = G_n G_m \sqrt{L_s / C_s} \quad (\text{A.5.6})$$

ANNEXE 6 : LISTE DES PUBLICATIONS

A.6.1. Revues

[JEEE'10] F. Haddad, L. Zaid, W. Rahajandraibe, O. Frioui, “*A full-CMOS Image rejection RF front-end receiver with tunable polyphase filter*”, Journal of Electrical and Electronics Engineering (JEEE), ISSN 1844-6035, Vol. 3, No. 1, pp. 91-96, 2010.

A.6.2. Chapitre de livre

[In-Tech'09] F. Haddad, L. Zaïd, W. Rahajandraibe, O. Frioui, “*Polyphase Filter Design Methodology for Wireless Communication Applications*”, livre intitulé “[Mobile and Wireless Communications: Key Technologies and Future Applications](#)”, 26 pages, Edition IN-TECH, ISBN 978-3-902613-47-9, 2009.

A.6.3. Conférences internationales avec actes et comité de lecture

- [DTIS'07]* O. Frioui, F. Haddad, L. Zaid, W. Rahajandraibe, “*A low phase noise CMOS quadrature VCO for 2.4 GHz Bluetooth/WLAN applications*”, International Conference on Design and Technology of integrated Systems in Nanoscale Era (DTIS), Maroc, pp. 154-158, Sept. 2007.
- [DTIS'07] F.Haddad, O.Frioui, W.Rahajandraibe, L.Zaid, R. Bouchakour, “*Design of Radio Frequency Polyphase Filter and its Application in Low-IF Receivers for Large Image Rejection*”, International Conference on Design and Technology of integrated Systems in Nanoscale Era (DTIS), Maroc, pp. 142-147, Sept. 2007.
- [ISCIT'07]* O. Frioui, L. Zaid, W. Rahajandraibe, F. Haddad, “*A very low phase noise fully integrated CMOS quadrature LC oscillator for 2.4 GHz bluetooth/WLAN applications*”, International Synopsium on Communication and Information Technologies (ISCIT), Australia, pp. 55-60, Oct. 2007.
- [ISCIT'07] F. Haddad, R. Bouchakour, W. Rahajandraibe, L. Zaid, O. Frioui, “*Radio Frequency passive polyphase Filter Design for Wireless Communication*”, International Synopsium on Communication and Information Technologies (ISCIT), Australia, pp. 264-268, Oct. 2007.
- [ICECS'07]* O. Frioui, L. Zaid, W. Rahajandraibe, F. Haddad, “*A 2.4 GHz very low phase noise fully integrated quadrature LC oscillator*”, 14th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Maroc, pp. 1095-1098, Dec. 2007.
- [ICECS'07] F. Haddad, R.Bouchakour, W.Rahajandraibe, L.Zaid, O.Frioui, “*Radio*

- Frequency Polyphase Filter Design in 0.13- μ m CMOS for Wireless Communications*”, 14th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Maroc, pp. 833-836, Dec. 2007.
- [ICM'07] O. Frioui, L. Zaid, W. Rahajandraibe, F. Haddad, “*A very low phase noise fully integrated quadrature LC oscillator for 2.4 GHz band applications*”, IEEE International Conference on Microelectronics (ICM), Egypt, pp. 447-451, Dec. 2007.
- [ICM'07] L. Zaid, F. Haddad, O. Frioui, J. Roche, W. Rahajandraibe, R. Bouchakour, A. Sangiovanni, “*A Differential 3.3V BICMOS Buffer with Current Consumption and Linearity Control for RF Mixer*”, IEEE International Conference on Microelectronics (ICM), Egypt, pp. 219-222, Dec. 2007.
- [RFIT'07] O. Frioui, L. Zaid, W. Rahajandraibe, F. Haddad, “*A very low phase Noise Fully Integrated Quadrature LC Oscillator for 2.4 GHz band Applications*”, IEEE International Workshop on Radio-Frequency Integration Technology (RFIT), Singapore, pp. 306-309, Dec. 2007.
- [RFIT'07] F. Haddad, O. Frioui, W. Rahajandraibe, L. Zaid, R. Bouchakour, “*Radio Frequency Polyphase Filter Design in 0.13 μ m CMOS for Wireless Communications*”, IEEE International Workshop on Radio-Frequency Integration Technology (RFIT), Singapore, pp. 175-178, Dec. 2007.
- [TAISA'08] F. Haddad, O. Frioui, W. Rahajandraibe, L. Zaid, R. Bouchakour, “*CMOS Passive Polyphase Filter Design for 2.4 GHz Wireless Communication Applications*”, Joint 6th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference (TAISA-NEWCAS), Canada, pp. 293-296, Jun. 2008.
- [TAISA'09]* F. Haddad, W. Rahajandraibe, L. Zaid, O. Frioui, R. Bouchakour, “*Design of Radio Frequency Passive Polyphase Filter for 2.4 GHz Wireless Communication Applications*”, IEEE Wireless and Microwave Technology Conference (WAMICON), USA, Apr. 2009.
- [ICECS'09] F. Haddad, W. Rahajandraibe, L. Zaid, O. Frioui, R. Bouchakour, “*Radio Frequency Tunable Polyphase Filter Design*”, 16th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Tunisia, pp. 902 - 905, Dec. 2009.
- [ICECS'10] F. Haddad, W. Rahajandraibe, L. Zaid, O. Frioui, “*Design of fully-integrated RF front-end for large image rejection and wireless communication applications*”, 17th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Greece, pp. 902 - 905, Dec. 2010.

A.6.4. Conférences nationales

- [JNRDM'07]* O. Frioui, F. Haddad, L. Zaïd, W. Rahajandraibe, “*Etat de l'art des standards/architectures pour les communications sans fil, Application aux systèmes multistandards en technologie CMOS*”, Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM), Lille, France, 2007.

- [JNRDM'07] F. Haddad, O. Frioui, W. Rahajandraibe, L. Zaïd, "*Spécifications des Architectures Radio Fréquences pour les Standards de Communication Sans Fil*", Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM), Lille, France, 2007.
- [MajecSTIC'07]* O. Frioui, F. Haddad, L. Zaïd, W. Rahajandraibe, "*Évolution des standards/architectures pour les communications sans fil. Application aux systèmes multistandards en technologie CMOS*", MANifestation des JEunes Chercheurs en Sciences et Technologies de l'Information et de la Communication (MajecSTIC), Caen, France, 2007.
- [JNRDM'08] F. Haddad, O. Frioui, W. Rahajandraibe, L. Zaïd, "*Conception de filtre polyphase radio fréquence en technologie CMOS 0.13- μ m pour les communications sans fil*", Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM), Bordeaux, France, 2008.

Remarque :

*: Article présenté par O. Frioui

