



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par Institut National des Sciences Appliquées de Toulouse (INSA Toulouse)  
Discipline ou spécialité : Nanophysique

---

Présentée et soutenue par Régis DIAZ  
Le 4 novembre 2011

**Titre** : Développement du pompage de charges pour la caractérisation in-situ de nanocristaux de Si synthétisés localement dans SiO<sub>2</sub> par implantation ionique basse énergie et lithographie stencil

---

### JURY

B. RAQUET, professeur des universités (INSA/LNCMI)	président de jury
A. S. CORDAN, professeur des universités (InESS)	rapporteur
A. SOUIFI, rapporteur, professeur des universités (INL)	rapporteur
C. CONSTANCIAS, ingénieur CEA (CEA-LETI)	examineur
G. BENASSAYAG, directeur de recherches (CEMES)	co-directeur de thèse
J. GRISOLIA, maître de conférences (LPCNO)	co-directeur de thèse
C. BONAFOS, chargée de recherches (CEMES)	invitée

---

**Ecole doctorale** : Génie Electrique, Electronique, Télécommunications : du système au nanosystème (GEET)

**Unités de recherche** : Centre d'Elaboration de Matériaux et d'Etudes Structurales (UPR 8011), Laboratoire de Physique et Chimie des Nano-Objets (UMR 5215)

**Directeur(s) de Thèse** : Gérard Benassayag, Jérémie Grisolia

# Résumé

## Titre

« Développement du pompage de charges pour la caractérisation in-situ de nanocristaux de Si synthétisés localement dans SiO<sub>2</sub> par implantation ionique basse énergie et lithographie stencil ».

## Résumé

Le regain d'attention des industriels pour les mémoires non volatiles intégrant des nanocristaux, illustré par l'introduction sur le marché de la Flexmemory de Freescale en technologie 90 nm, incite à poursuivre des études sur ce type de systèmes. Pour cela, nous avons mis au point des cellules mémoires élémentaires, à savoir des transistors MOS dont l'oxyde de grille contient une grille granulaire formée par un plan de nanocristaux de silicium (Si-ncx) stockant la charge électrique.

Ce travail présente les principaux résultats issus de ces travaux, ceux-ci allant du procédé de fabrication à la caractérisation fine des dispositifs mémoires. Le parfait contrôle de l'élaboration de la grille granulaire de Si-ncx par implantation ionique à très basse énergie (ULE-IBS) est accompagné de caractéristiques « mémoires » répondant aux normes industrielles d'endurance et d'une discrimination des pièges responsables du chargement. Le stockage majoritaire par les Si-ncx est démontré, ce qui est essentiel pour la rétention de la charge.

Nous avons développé une technique électrique permettant d'extraire à la fois la quantité de charge stockée par les Si-ncx mais également leurs principales caractéristiques structurales (taille, densité, position dans l'oxyde). Cette extension de la technique électrique de « pompage de charges », non destructive et in-situ permet de suivre l'état du composant en fonctionnement et de caractériser des pièges (e.g. les Si-ncx) pour la première fois au-delà de 3 nm de profondeur dans l'oxyde. Ces résultats ont été validés par des observations TEM. La résolution du pompage de charge étant le piège unique, nous avons alors couplé l'ULE-IBS avec la lithographie « Stencil » pour réduire latéralement le nombre de Si-ncx synthétisés. Cette technique nous permet pour le moment de contrôler la synthèse locale à la position désirée dans l'oxyde de « poches » de Si-ncx de 400 nm. La synthèse de « quelques » Si-ncx est envisagée à très court terme. Nous serons alors en mesure de fabriquer des mémoires à nombre choisi de nanocristaux (par SM-ULE-IBS), dont les propriétés structurales (taille, densité, position) et électriques (quantité de charge stockée) seront vérifiées par pompage de charge, offrant ainsi des outils puissants pour la fabrication et la caractérisation de mémoires à nombre réduit de nanocristaux, notamment pour des longueurs de grilles inférieures à 90 nm.

## Mots clés

Nanocristaux, implantation ionique, mémoires non volatiles, pompage de charges, lithographie stencil

# Abstract

## Title

“Development of the charge pumping technique for the in-situ characterization of Si nanocrystals synthesized locally in SiO<sub>2</sub> by ultra-low-energy ion-beam-synthesis and stencil lithography”

## Abstract

The aim of this thesis has been to fabricate and electrically characterize elementary memory cells containing silicon nanocrystals (Si-ncs), in other words MOSFET which insulating layer (SiO<sub>2</sub>) contains a Si-ncs array storing the electrical charge. We have shown that we perfectly control the synthesis of a 2D array of 3-4 nm Si-ncs embedded into the MOSFET oxide by low-energy ion implantation (1-3 keV)

Reaching this goal implied two key steps: on the one hand develop a reliable MOSFET fabrication process incorporating the Si-ncs synthesis steps and on the other hand develop tools and methods for both memory window and Si-ncs array itself characterizations. We have developed an in-situ characterization technique based on the well-known charge pumping technique, allowing for the first time the extraction of traps depth (e.g. the Si-ncs array) further than 3 nm into the oxide layer leading to the characterization of both position of these Si-ncs into the SiO<sub>2</sub> matrix and their structural properties (diameter, density). These results have been confirmed by EF-TEM measurements.

Finally, we have worked on the improvement of controlled local synthesis of Si-ncs pockets by combining low-energy ion implantation and stencil lithography. We reduced the size of these pockets down to about 400 nm using this parallel, low cost and reliable technique and identified the limiting effect for the pockets size reduction. These results pave the way for memory cells containing a few Si-ncs with a well-defined position into the oxide and a well-controlled number of ncs.

## Keywords

Silicon nanocrystals, ion-beam-synthesis, non-volatile memory, charge pumping, stencil lithography

# Remerciements

Ma thèse et les travaux qui en sont issus sont avant tout le fruit d'une collaboration entre le LPCNO et le CEMES. Pour cela, je remercie tout d'abord Xavier Marie, Romuald Poteau et Jean-Pierre Launay, respectivement directeur et directeur adjoint du LPCNO et directeur du CEMES lors de mon arrivée en thèse, ainsi que Bruno Chaudret, Guillaume Viau et Alain Claverie qui leur ont succédé depuis.

A la sortie de mon année de Master, Gérard BenAssayag et Jérémie Grisolia m'ont accordé leur confiance en me proposant de réaliser ma thèse sous leur direction. Leurs grandes qualités humaines et scientifiques ont été pour moi le moteur des avancées réalisées dans le domaine des mémoires à nanocristaux présentées dans ce manuscrit. Qu'ils soient certains que c'est un grand plaisir pour moi de pouvoir continuer à travailler avec eux en 2012. Je leur adresse ma reconnaissance et mon amitié les plus sincères.

Je remercie vivement Kader Souifi et Anne-Sophie Cordan, rapporteurs de ma thèse, pour leur lecture attentive de mon manuscrit, malgré les délais, ainsi que pour leurs remarques constructives et leurs encouragements. Un grand merci également à Bertrand Raquet pour avoir présidé le jury ainsi que Christophe Constancias et Caroline Bonafos pour avoir examiné mon travail.

Ces trois années ont été riches en rencontres. Tout d'abord, je pense aux membres du LPCNO et du département de Génie Physique (GP) de l'INSA et plus particulièrement l'équipe Nanotech. Je tiens à remercier Laurence Ressler de m'avoir accueilli au sein de cette équipe, ainsi que Benoit, Etienne, Helena, Nico, Sam, Eric, Sangheeta, Ke, Pierre, Cosmin... que ce soit à travers les « Goûters presque parfaits » ou l'esprit « pronostiquement vôtre », la convivialité est au rendez-vous chez Nanotech ! Une pensée également pour les stagiaires rencontrés pendant cette aventure. Un grand merci également à Carine pour les travaux réalisés au cours de sa thèse qui ont servi à poser les bases de mon travail.

Au LPCNO et au GP, je salue les thésards et post-doc des autres équipes du laboratoire avec qui j'ai pu échanger et partager également de bons moments. Je salue l'ensemble des permanents du laboratoire pour l'aide qu'ils ont pu m'apporter, que ce soit en recherche ou en enseignement. Enfin, je remercie fortement Bertrand Raquet, directeur du département de Génie Physique, de m'avoir proposé le poste d'ATER que j'occupe cette année.

Cette thèse en co-tutelle m'a permis de rencontrer des personnes brillantes scientifiquement et humainement, à l'INSA mais également au CEMES. C'est d'ailleurs au CEMES que j'ai effectué mes « premiers pas » en recherche grâce aux stages réalisées sous la direction de Roland Coratger puis d'Erik Dujardin, que je remercie chaleureusement pour tout ce qu'ils m'ont appris et transmis. J'en profite maintenant pour saluer les stagiaires, thésards et post-docs rencontrés au CEMES, ils sont trop nombreux pour les citer sans oublier quelqu'un, ceux avec qui j'ai pu sympathiser et passer de bons moments le savent et se reconnaîtront ! Je remercie également tous les membres permanents du laboratoire avec qui j'ai pu collaborer et vivre des expériences enrichissantes. Je remercie

particulièrement : Vincent Paillard, Arnaud Arbouet, Caroline Bonafos, Sylvie Schamm-Chardon, Robert Carles et Thierry Ondarçuhu. Je suis très heureux d'avoir pu discuter et/ou collaborer avec eux. Je n'oublierai pas de remercier Béatrice Pecassou pour m'avoir appris à « dompter » l'implanteur ionique et ses subtilités, sa bonne humeur fait que l'on est sûr de travailler dans la convivialité. Je remercie également Philippe Salles, notamment pour les prépas FIB des échantillons, sa dextérité et sa concentration sont à saluer, ainsi que sa sympathie. De manière, générale, j'adresse un grand merci à l'ensemble du laboratoire.

Il est temps de remercier maintenant la « 3<sup>ème</sup> équipe », à savoir la chaleureuse équipe de la salle blanche de l'AIME, à savoir Christiane, Christophe, François et Chérif, toujours prêts à me donner un coup de main sur une étape de process. Je remercie Jean-Marie Dorkel et Frédéric Guessinn de m'avoir accueilli à l'AIME pour que j'y développe (avec Jérémie et Ahmad) les étapes du procédé « Nanocrystals Inside ». Je suis très heureux que ce travail ait abouti à la création du TP « Nanocrystals Inside », qui je l'espère continuera d'évoluer et d'attirer de nouveaux étudiants vers les micro-nanotechnologies. A ce titre, je remercie le nouveau directeur de l'AIME, Marc Respaud, pour les moyens qu'il met en œuvre dans le sens de la valorisation et de la communication autour de ce TP. Au cours de ma thèse, j'ai pu collaborer et progresser dans la réalisation d'échantillons et d'interprétations de résultats, notamment avec Pascal Normand et Panagiotis Dimitrakis de l'IMEL-Demokritos (Athènes) et l'équipe de Kader Soufi (INL, INSA Lyon). Je leur adresse toute ma reconnaissance pour leurs expertises respectives qui ont été très bénéfiques pour la qualité de mes travaux. Je remercie par la même occasion nos collaborateurs au DESP de l'ONERA (Jean-Pierre David, Thierry Nuns, Emma Martin) et l'équipe du professeur Maria J. M. Gomes (Université de Minho, à Braga au Portugal) avec qui nous avons pu étendre les techniques développées au cours de cette thèse pour la caractérisation et l'analyse d'autres systèmes que les mémoires à Si-nx enfouis dans SiO<sub>2</sub>. J'espère que de beaux résultats seront au rendez-vous prochainement !

Dans cette dernière partie, j'espère parvenir à remercier comme il se doit tous mes proches, qui ont toujours été là pour moi, avant, pendant et après la thèse et au-delà de ma carrière scientifique. Parmi eux, je remercie tous les amis proches, qu'ils soient à Paris, Toulouse, Perpignan ou ailleurs, ils savent qu'ils sont dans mon cœur même si parfois au cours de ces trois années ma disponibilité a été réduite... Une pensée pour ma filleule Kessy et son petit frère Liam tous deux nés pendant ma thèse.

Je dédie enfin et surtout le travail présenté ci-après à ma famille. Les catalans comme les latinos sont généralement des personnes très liées à leur famille, la « rencontre des deux » n'échappe pas à la règle, bien au contraire ! Une pensée particulière mes grands-parents Aurore et Gabriel (« *Quand on veut, on peut* », moltes gracies Avi !) Un grand merci à ma tante Véronique et à mon oncle Petru pour leur aide et leur soutien. Merci à mes parents, Catherine et Wilfredo. Ils ont montré à moi comme à beaucoup de personnes autour d'eux que le chemin pour accomplir de grandes choses est un boulevard lorsque l'on s'en donne les moyens et que l'on y croit vraiment ; je leur dédie cette

étape de ma vie professionnelle. Merci à ma sœur Ingrid d'avoir également été présente et d'avoir fait preuve d'un soutien sans faille malgré les kilomètres qui nous séparent. Je suis convaincu qu'en cette dernière de HMO, elle sera brillante encore une fois! Enfin, merci à Mary, ma compagne, qui a été constamment à mes côtés pendant ces trois ans, dans les bons moments comme dans les plus difficiles. Je la remercie profondément d'avoir compris à quel point ce travail me tenait à cœur et de m'avoir soutenu jusqu'à la dernière page de rédaction.

# TABLE DES MATIERES

Introduction générale.....	1
<b>1. Les nanocristaux de Silicium et leurs propriétés : vers des mémoires Flash de nouvelle génération</b> .....	<b>6</b>
Introduction.....	7
I) Les mémoires non volatiles.....	8
I-1) La course à la miniaturisation des microprocessus et des mémoires Flash .....	8
I-2) Le ralentissement de la réduction en taille des composants.....	8
I-3) Bref historique et principe des mémoires Flash .....	9
I-4) Les solutions de remplacement des mémoires conventionnelles.....	10
I-5) Les mémoires à nanocristaux : une solution aux problèmes de rétention ?.....	13
II) Les mémoires à nanocristaux.....	13
II-1) Situations énergétiques des différents états de la mémoire.....	13
II-2) Fonctionnement d'une mémoire Flash à grille granulaire.....	14
II-3) Les performances des mémoires à nanocristaux.....	16
II-4) Les perspectives offertes par la taille nanométrique des objets .....	17
III) Les mémoires à nanocristaux de Si (Si-ncx) .....	17
III-1) Les atouts des mémoires à Si-ncx .....	17
III-2) Les procédés de synthèse des Si-ncx .....	18
1 - Méthode exotiques.....	18
2 - Dépôt chimique en phase vapeur .....	18
3 - Implantation ionique.....	19
III-3) La synthèse de Si-ncx par ULE-IBS.....	21
Rappels des résultats du projet NEON.....	21
Effet de la dose implantée sur la morphologie des Si-ncx .....	22
Effet de l'énergie d'implantation .....	22
Conditions optimales de recuit.....	23
III-4) Le cahier des charges pour la synthèse des Si-ncx.....	25
IV) Réduction du nombre de Si-ncx synthétisés par lithographie Stencil.....	26
IV-1) Les techniques de lithographie douce .....	26
IV-2) Les masques Stencils et la synthèse par SM-ULE-IBS .....	27
V) Les techniques électriques de caractérisation des mémoires à Si-ncx .....	28
V-1) Rappels sur les états d'interface et de volume.....	29
V-2) Les méthodes électriques de caractérisation des pièges .....	30

V-2-1) Les mesures de conductance .....	30
V-2-2) Les mesures de types I-V et C-V .....	31
V-2-3) Les mesures I-V et C-V en régime quasi-statique.....	33
V-2-4) Les mesures DLTS (Deep Level Transient Spectroscopy) .....	34
V-2-4 a) Mesures de DLTS capacitive .....	34
V-2-4 b) Mesures de DLTS en courant.....	36
V-2-5) Mesures de bruit basse fréquence (1/f) .....	36
V-2-6) Le pompage de charges.....	38
Conclusion générale du chapitre.....	41
Références bibliographiques du chapitre 1.....	42
<b>2. Fabrication et optimisation du MOSFET à Si-ncx .....</b>	<b>46</b>
Introduction.....	47
I) Le procédé de départ : le DTC4R.....	47
I-1) Présentation du procédé .....	47
I-1-1) Présentation générale.....	47
I-1-2) La puce C1 : composants d'intérêts.....	48
I-2) Les étapes du procédé pour les MOSFET.....	49
I-2-1) Description des étapes .....	49
I-2) Caractérisations électriques des transistors et capacités MOS.....	51
II) Le procédé à Si-ncx : le Nanocrystals Inside.....	51
Etape 1 : Réduction de l'épaisseur de l'oxyde de grille du procédé DTC4R.....	53
Etape 2 : Optimisation des paramètres d'implantation .....	53
Etape 3 : Recuit de synthèse des nanocristaux.....	53
Etape 4 : Optimisation du dopage de la grille et des jonctions .....	53
II-1) Oxyde de grille ultra-mince de haute qualité diélectrique .....	54
II-1-1) Rappels sur la croissance du SiO <sub>2</sub> par oxydation thermique .....	54
II-1-2) Résultats d'oxydation thermique sèche à T=1050°C .....	55
II-1-3) Amélioration de l'oxyde de grille par traitement HF:éthanol .....	58
II-1-4) Effet du taux de HF dans le bain HF:éthanol .....	59
II-1-5) Effet de la durée d'oxydation après traitement HF:éthanol.....	60
II-1-6) Qualité diélectrique des oxydes minces réalisés.....	62
Valeur « théorique » de référence de la hauteur de barrière à l'interface Si/SiO <sub>2</sub> .....	62
Valeurs expérimentales de la hauteur de barrière pour nos oxydes minces .....	62
II-2) Synthèse des Si-ncx par ULE-IBS et recuit thermique.....	64
II-2-1) Gamme optimale de dose à planter .....	66
II-2-2) Optimisation des conditions de recuit inerte .....	67
II-2-2 a) Tests dans la gamme [850°C-950°C].....	67

II-2-2b) Recuits de synthèse pour $T > 950^{\circ}\text{C}$ .....	68
II-2-3) Optimisation du second recuit (sous $\text{N}_2 + x\%\text{O}_2$ ) .....	69
II-2-4) Optimisation de l'intensité de PL par recuit sous $\text{N}_2 + \text{H}_2$ .....	73
II-2-4 a) Résultats expérimentaux .....	73
II-2-4 b) Passivation des états de surface de Si-ncx sous $\text{H}_2$ dans la littérature .....	74
II-2-4 c) Comparaison avec nos conditions et résultats de recuits de passivation .....	76
II-3) Optimisation du dopage par diffusion de phosphore (simulations) .....	76
II-3-1) Simulations du procédé DTC4R avec un oxyde de grille de 7 nm d'épaisseur .....	77
II-3-2) Simulations et optimisations des conditions de dopage .....	78
II-3-2 a) Simulations et optimisations des conditions de pré-dépôt .....	78
II-3-2 b) Simulations et optimisations des conditions de redistribution .....	80
II-3-3) Limitation du phosphore dans l'oxyde de grille .....	80
II-3-4) Optimisation de la diffusion pour un oxyde de grille de 10 nm .....	81
II-4) Conclusions sur le développement des étapes du procédé Nanocrystals Inside .....	82
III) Fonctionnement des composants à Si-ncx sous faible polarisation .....	82
III-1) Caractérisations électriques des composants MOS .....	82
III-1-1) Caractéristiques $I_D - V_{DS}$ et $I_D - V_{GS}$ du transistor MOS .....	82
III-1-2) Extraction des paramètres du transistor MOS .....	83
III-1-3) Extraction des paramètres de la capacité MOS .....	83
III-2) Caractéristiques des capacités vierges des procédés DTC4R et Nanocrystals Inside .....	84
III-2-1) Comparaisons des courbes C-V .....	84
III-2-2) Détermination de la densité $N_{SS}$ de défauts à l'interface Si/SiO <sub>2</sub> .....	88
III-3) Application aux MOSFET des procédés DTC4R et Nanocrystals Inside .....	89
III-3-1) Application aux MOSFET du procédé DTC4R .....	89
III-3-2) Application aux MOSFET du procédé Nanocrystals Inside .....	91
III-3-2 a) Présentation des échantillons testés .....	91
III-3-2 b) Caractéristiques I-V des MOSFET à Si-ncx .....	92
Conclusion générale du chapitre .....	94
Références bibliographiques du chapitre 2 .....	95
<b>3. Caractérisations électriques et origine(s) de l'effet mémoire .....</b>	<b>97</b>
I) Mécanismes d'injection et types de pièges : mémoire non-volatile ? .....	98
I-1) Introduction .....	98
I-2) Préliminaire .....	98
I-2-1) Les types de pièges dans l'oxyde des structures MOS .....	98
I-2-2) Les principaux mécanismes de conduction dans les structures MOS .....	100
I-2-3) Impact de la polarisation et de la fréquence sur les types de pièges sondés .....	101
II) Caractérisations de l'effet mémoire .....	102

II-1) Observation de l'effet mémoire : décalage de $V_T$ des courbes I-V .....	102
II-2) Suivi de la fenêtre mémoire par des mesures cyclées.....	102
II-2-1) Principe et réalisation du banc de test des mémoires .....	102
II-3) Tests d'endurance (nombre de cycles E/W) des transistors à Si-nx .....	104
II-3-1) Présentation des échantillons.....	104
II-3-2) Tests préliminaires sans et avec nanocristaux à basse fréquence : série 1 et 2 respectivement.	105
II-3-3) Test en fréquence des transistors à nx .....	106
II-3-4) En fonction de la tension de grille $V_{GS}$ .....	109
II-3-6) En fonction de la température .....	111
II-3-7) Conclusions sur les mesures cyclées .....	114
Conclusion générale du chapitre.....	116
Références bibliographiques du chapitre 3.....	117
<b>4. Caractérisation in-situ des Si-nx par pompage de charges.....</b>	<b>118</b>
Introduction.....	119
I) La et les techniques de pompage de charge .....	119
I-1) La notion de « pompage de charges » .....	119
I-1-1) Montage pour les mesures de pompage de charges .....	120
I-1-2) Expressions de la charge et du courant pompés.....	120
I-2) Améliorations de la technique .....	121
I-2-1) Prise en compte de l'émission de porteurs.....	121
I-2-2) Courbes représentatives du pompage de charge « 2 niveaux ».....	124
I-2-2 a) Les modes « Base sweep » et « Amplitude sweep ».....	124
I-2-2 b) Détermination de la section de capture.....	125
I-2-2 c) Détermination de la densité de pièges d'interface $N_{SS}$ .....	126
I-2-3) Les modèles tenant compte de la profondeur des pièges d'interface .....	128
I-2-3 a) Les pièges en profondeur « près » de l'interface (Declercq et Jaspers) .....	128
I-2-3 b) Les états lents dans les structures SONOS (Paulsen et al.).....	129
I-2-3 c) Le modèle d'un continuum d'états rapides à lents de Bauza et Ghibaudo.....	132
I-3) La technique d'extraction de la distribution en profondeur des pièges de Maneglia.....	134
I-3-1) Détermination des expressions de $N_t$ et de $x$ .....	134
I-3-2) Distribution « en profondeur » des pièges d'interface et près de l'interface .....	137
I-3-2 a) Conditions expérimentales.....	137
I-3-2 b) Réseaux de courbes $Q_{CP}(f)$ et extraction des profils .....	138
II) Extraction des distributions en profondeur des pièges pour les MOSFET à Si-nx du procédé Nanocrystals Inside .....	139
II-1) État de l'art sur la profondeur maximum explorée $x_m$ .....	139
II-1-1) Profils en profondeur pour des oxydes vierges .....	139

II-1-2) Distribution en profondeur dans des structures SONOS .....	140
II-1-3) Distribution en profondeur dans des transistors à isolant de grille high-k .....	140
II-1-4) Distribution en profondeur dans des transistors à Si-ncx près de l'interface .....	143
II-2) Mesures de CP à 2 niveaux en mode « Base Level » sur les MOSFET à Si-ncx .....	146
II-2-1) Présentation des échantillons étudiés .....	146
II-2-2) Obtention des courbes $I_{CP}(V_i)$ .....	147
II-2-3) Détermination de la densité $N_{SS}$ .....	147
II-2-4) Courbes $I_{CP}(\log(f))$ et $Q_{CP}(\log(f))$ .....	148
II-3) Profils en profondeur des pièges pour les transistors vierges et à Si-ncx .....	150
II-3-1) Paramètres à déterminer pour l'obtention des profils .....	150
II-3-1 a) Paramètres gouvernant la relation donnant la profondeur $x_m$ .....	150
La constante d'atténuation tunnel $\lambda_e$ .....	150
Le taux de capture des électrons $c_n(0)$ .....	151
II-3-1 b) Paramètres gouvernant la relation donnant la densité de pièges $N_t$ .....	152
II-3-2) Extraction des profils pour les transistors vierges et implantés .....	152
II-3-2 a) Détermination de $f_0$ .....	152
II-3-2 b) Détermination de la section de capture .....	153
II-3-2 c) Détermination de $n_s$ .....	153
II-3-2 d) Détermination des hauteurs de barrière et du coefficient d'atténuation tunnel .....	154
III) Comparaison des résultats avec des mesures de microscopie .....	158
III-1) Préparation de lames par FIB (Faisceau d'Ions Focalisés) .....	158
III-2) Observation TEM et résultats .....	160
IV) Effet de la température sur la capture dans les Si-ncx .....	166
V) Suivi du changement des propriétés des Si-ncx par pompage de charges .....	167
V-1) Suivi de l'évolution en profondeur du plan de Si-ncx .....	167
V-1-1) Présentation des échantillons étudiés .....	167
V-1-2) Résultats EFTEM pour les séries 8-2k et 8-3k .....	168
V-1-3) Obtention des courbes $I_{CP}(V_i)$ .....	169
V-1-4) Détermination de la densité $N_{SS}$ .....	170
V-1-5) Courbes $I_{CP}(\log(f))$ et $Q_{CP}(\log(f))$ .....	171
V-1-6) Extraction des profils pour les séries 8-2k et 8-3k .....	173
V-1-7) Histogramme en taille des pièges sondés dans les oxydes de TCC 8-2k et 8-3k .....	175
V-2) Suivi des propriétés des Si-ncx en fonction des conditions de recuit .....	177
V-2-1) Présentation des échantillons étudiés .....	177
V-2-2) Profil en profondeur et histogramme en taille .....	178
Conclusion générale du chapitre .....	182
Références bibliographiques du chapitre 4 .....	183

<b>5. Synthèse de poches à nombre contrôlé de Si-ncx.....</b>	<b>185</b>
Introduction.....	186
I) Résultats et caractérisations de poches de Si-ncx réalisées par masquage Stencil.....	187
I-1) Masquage avec les membranes en $\text{Si}_x\text{N}_y$ .....	187
I-1-1) Présentation des membranes en $\text{Si}_x\text{N}_y$ .....	187
I-1-2) Le procédé de transfert des motifs dans l'oxyde avec une membrane Stencil.....	188
I-1-3) Les effets à prendre en compte dans la lithographie Stencil : « blurring et clogging ».....	189
I-1-4) Qualité de transfert après implantation ionique à travers un masque $\text{Si}_x\text{N}_y$ .....	190
I-1-5) Caractérisation de la synthèse locale de Si-ncx par AFM.....	191
I-1-5 a) Mesure du gonflement caractéristique des zones implantées.....	191
I-1-5 b) Caractérisation de la perte de dose dans les motifs par AFM.....	193
I-1-6) Caractérisation de la perte de dose dans les motifs par spectroscopie de PL.....	196
I-1-7) Suivi de l'écrantage du faisceau par augmentation de l'énergie d'implantation.....	197
I-2) Masquage avec les membranes en $\text{SiO}_2$ .....	204
I-2-1) Descriptif des membranes en $\text{SiO}_2$ .....	204
I-2-1 a) Réalisation des réseaux de motifs dans les membranes en $\text{SiO}_2$ mince par FIB.....	204
I-2-1 b) Motifs ouverts dans les membranes de 8 nm d'épaisseur.....	205
I-2-1 c) Motifs ouverts dans les membranes de 40 nm d'épaisseur.....	206
I-2-2) Observation au MEB de l'état des membranes après implantation.....	207
I-2-3) Observation au MEB de l'état de la surface implantée à travers une membrane 40 nm.....	207
I-2-4) Caractérisations AFM des motifs implantés à travers les membranes $\text{SiO}_2$ .....	209
II) Résultats et caractérisations des poches à Si-ncx réalisées par masquage métallique et nanolithographie électronique.....	213
II-1) Présentation de la méthode.....	213
II-2) Dépôt de la couche métallique et ouverture des motifs.....	214
II-3) Implantation ionique, retrait de la couche de chrome et synthèse des Si-ncx.....	215
II-4) Caractérisation AFM de la synthèse réalisée par masquage métallique.....	216
III) Conclusions sur la synthèse locale de poches de Si-ncx.....	218
IV) Réalisation d'un « démonstrateur » : Fabrication de MOSFET à nombre réduit de Si-ncx par couplage du procédé Nanocrystals Inside avec la lithographie Stencil.....	219
IV-1) Présentation du banc d'alignement de masques.....	219
IV-2) Alignement d'un masque en $\text{Si}_x\text{N}_y$ de l'EPFL sur la zone de grille de MOSFET à Si-ncx issus du procédé Nanocrystals Inside.....	220
Conclusion générale du chapitre.....	222
Références bibliographiques du chapitre 5.....	223
Conclusion générale.....	224
LISTE DES FIGURES.....	227

LISTE DES TABLEAUX .....	236
ANNEXE 1 : Mesures de spectroscopie de photoluminescence des Si-ncx.....	239
ANNEXE 2 : Exemple de simulation du dopage des régions de source et de drain (logiciel SILVACO) 243	
ANNEXE 3 : Préalables à la détermination de paramètres clés des MOSFET.....	245
ANNEXE 4 : Lithographie par Faisceau d'électrons ou EBL (Electron Beam Lithography). ....	250

# Introduction générale

En 1965, Gordon Moore, cofondateur d'Intel, a constaté que le nombre de composants sur un circuit intégré doublait tous les deux ans à prix constant et a postulé la poursuite de cette croissance avant de restreindre sa prédiction à la densité de transistors présents sur les microprocesseurs. Depuis, cette affirmation a été plus ou moins suivie, les énoncés de Moore constituant avant tout un support pour la feuille de route (« roadmap ») mise en place par les industriels du secteur. Cette dernière est revue tous les deux ans et s'est généralisée à l'ensemble de l'industrie du semi-conducteur. Pour maintenir ce cap de miniaturisation, les fondeurs jouent sur deux principaux facteurs : la taille du « wafer » et la finesse de gravure du « die ». Toutes les innovations technologiques de ces dernières années (utilisation de matériaux à diélectrique high-k, wafers SOI pour limiter les fuites de courant...) ont toutes pour but d'augmenter la finesse de gravure ou d'obtenir des wafers offrant un nombre croissant de transistors par unité de surface, ainsi qu'un meilleur rendement. Le domaine des mémoires en microélectronique est soumis aux mêmes efforts de miniaturisation que les microprocesseurs. Celui-ci est constitué de deux grandes familles : les DRAM et les ROM. Le développement des ROM (de type non volatiles) a notamment abouti aux mémoires EEPROM (Electrically-Erasable Programmable Read-Only Memory), qui sont effaçables électriquement et reprogrammables. Les mémoires Flash sont une variété des EEPROM, plus rapides car effaçables par bloc complet. Cette mémoire de masse à semi-conducteurs qui s'est imposée sur le marché en pleine expansion de l'électronique nomade utilise comme cellule de base un transistor MOS possédant généralement une grille flottante enfouie au milieu de l'oxyde de grille servant de lieu de stockage des charges.

On demande alors à cette mémoire Flash d'avoir comme caractéristiques : une forte rétention de l'information (10 ans), des temps rapides de fonctionnement et une faible consommation électrique. Ces spécifications sont cependant contradictoires et doivent donner lieu à des compromis. En effet, une forte rétention des charges nécessite un oxyde épais et de bonne qualité. Il doit au contraire être le plus mince possible pour réduire les temps de transfert de charges et pour que le champ électrique appliqué soit minimal. En outre, la réduction d'épaisseur de l'oxyde engendre des courants de fuite par effet tunnel direct vers la grille et la disparition totale de la charge stockée. Ainsi, cette épaisseur est la principale limitation à la réduction d'échelle des mémoires Flash. Les solutions envisagées pour remplacer les mémoires Flash conventionnelles sont soit de changer de technologie (ex : MRAM, PRAM...), soit de repousser les limites de la technologie actuelle : nouvelles architectures (ex : SOI) ou nouveaux matériaux (ex : nanocristaux).

Dans ce cadre, la première mémoire « alternative » à nanocristaux de silicium (Si-ncx) a été proposée par Tiwari et al. en 1995. La grille flottante continue en poly-silicium est remplacée par un

plan bidimensionnel de nanocristaux de silicium (Si-ncx). L'avantage est double : le procédé est compatible CMOS et en cas de fuite seuls quelques nanocristaux au plus sont affectés par la perte d'information tandis que les autres charges restent stockées dans les autres nanocristaux. Ce système est ainsi plus tolérant vis-à-vis des défauts et de l'épaisseur de l'oxyde de grille qui sera réduite plus facilement. C'est ce type de mémoire dite « granulaire » que nous développons dans le cadre de cette thèse. De plus, la synthèse ionique, que nous avons utilisée, permet d'obtenir directement des ncx de taille inférieure à 10 nm pour lesquels il peut être envisagé des effets à un électron à température ambiante pour des systèmes à niveaux multiples et discrets multi-bits exploitant par exemple le blocage de Coulomb. En outre, le silicium à l'échelle nanométrique devient un émetteur de lumière dans le visible, ce qui permet d'envisager des composants optoélectronique « tout silicium » à base de nanocristaux de silicium.

Pour ces raisons l'utilisation des Si-ncx pour des applications aujourd'hui en cours de développement intéressent fortement les industriels. Les faibles coûts de fabrication et d'intégration de ces particules à des systèmes permettent d'envisager de forts bénéfices dès les années à venir, comme le précise le rapport réalisé en 2009 par Nanomarkets, le leader mondial d'analyses industrielles, d'études de marché et de services en recherches technologiques pour les entreprises du secteur de l'électronique organique imprimée. En effet, ce rapport prévoit un investissement fort dans l'utilisation des Si-ncx dans les domaines tels que le photovoltaïque (PV), les mémoires non-volatiles ou encore les dispositifs RFID.

Selon ce rapport, les bénéfices liés à ces activités atteindraient environ 2,1 milliards de dollars en 2016, dont 1,5 milliards uniquement pour le photovoltaïque, qui n'en est actuellement qu'à ses prémices. Les dispositifs PV à nanocristaux de silicium nécessitent des moyens d'encapsulation beaucoup moins complexes et cher comparativement aux dispositifs PV CIGS (Cuivre Indium Gallium Sélénium) ou organiques tout en offrant la perspective de rendement plus élevés que ceux en silicium amorphe.

Dans le domaine des mémoires non volatiles, l'utilisation de nanocristaux de silicium est une option toujours d'actualité pour poursuivre la réduction en taille des dispositifs mémoires comme nous l'avons dit précédemment. Les bénéfices dégagés par cette technologie devraient atteindre plus de 300 millions de dollars d'ici 2016. En outre, les chiffres cités dans ce rapport ne tiennent pas compte des applications à la photonique et au marché de l'optique (interconnexions optiques, guides d'ondes, lasers silicium, émission renforcée pour les LED et l'éclairage par couplage plasmon). Les industriels cités dans ce rapport sont Atmel, Cima Nanotech, Dow Corning, First Solar, Freescale, Infineon, Innovalight, Intel, Kenmos Photovoltaic, Kovio, Nanogram, NanoPV, OTB Solar, Roth & Rau, Samsung, Sanyo, Solasta, Solexant, Solexel, STMicroelectronics, Sunflake et Toshiba. Dans ce contexte et à l'occasion de la conférence mondiale de technologie inaugurale GTC 2010 de

GlobalFoundries, premier fondeur mondial de semiconducteurs à service complet, GlobalFoundries et Freescale ont annoncé leur projet de mettre sur le marché la première mémoire Flash de stockage TFS (*Thin Film Storage*) en technologie 90 nm. La Figure 1 ci-dessous présente deux images réalisées en microscopie électronique de l'architecture de la « Flexmemory » ainsi qu'un zoom sur un nanocrystal de silicium présent dans l'oxyde de grille de cette mémoire.

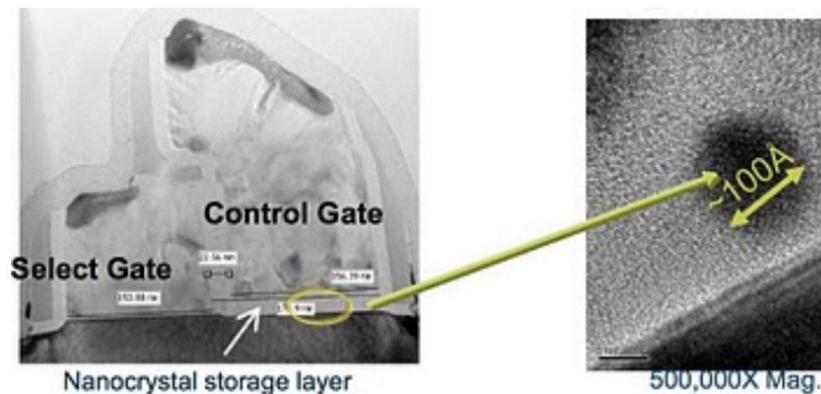


Figure 1 : La mémoire à Si-nx en technologie 90 nm « Flexmemory » développée par Freescale en collaboration avec GlobalFoundries (à gauche), zoom sur un seul nanocrystal de Si de la Flexmemory de 10 nm de diamètre (à droite)

Cette mémoire devrait être déployée dans les microcontrôleurs (MCU), ciblant les applications allant de l'électronique grand public et des appareils ménagers aux systèmes de mesure de la consommation intelligente (*smart metering*) en passant par les appareils médicaux. Cette technologie TFS est basée sur la capacité nommée « Flexmemory ». Les premières puces-test sont déjà en production dans l'usine de fabrication Fab 7 de GlobalFoundries à Singapour. La certification est prévue pour cette année, en 2011.

L'arrivée sur le marché de cette première mémoire à Si-nx est due aux atouts forts et séduisants de ce type de composant pour remplacer les mémoires Flash conventionnelles. Depuis le projet européen NEON, il y a 10 ans, le CEMES a acquis une expérience de pointe pour la synthèse par implantation ionique basse énergie (ULE-IBS) de Si-nx dans une couche mince d'oxyde et sur la caractérisation structurale des particules formées. Les premiers composants mémoires à base de Si-nx synthétisés par ULE-IBS ont donné des résultats mémoires très encourageants suite aux travaux de l'équipe de Pascal Normand, engagé également dans ce projet NEON. Précédemment aux travaux présentés dans ce manuscrit, des caractérisations optiques et électriques ainsi que des résultats préliminaires de masquage « Stencil » ont également été menées conjointement par le CEMES et le LPCNO, notamment pendant la thèse de Carine Dumas. Nous pouvons citer comme faits marquants l'émission de photoluminescence dans des motifs de 300 nm ou encore l'obtention et la caractérisation de pics de chargements discrets d'un nombre limité de Si-nx (courbes I-V en « n-shape »). Cependant, ces résultats ont été obtenus soit sur des échantillons de type Si/SiO<sub>2</sub> soit sur des capacités

MOS à Si-ncx (mesures électriques), mais pas directement sur des transistors à effet de champ (MOSFET) qui constituent la brique de base des mémoires de type Flash non-volatiles. Ainsi, la contribution exposée dans les chapitres suivants repose dans un premier temps sur la réalisation de cette brique de base et à l'intégration d'un procédé de synthèse de Si-ncx « à l'intérieur » de l'oxyde de grille d'un composant MOS.

Après un premier chapitre consacré à l'état de l'art, nous présenterons donc au chapitre 2 le procédé développé pour la réalisation de MOSFET à Si-ncx. L'intégralité des étapes de fabrication de ces composants étant réalisée par nos soins à l'AIME (*INSA Toulouse*), ce qui a nécessité d'adapter les conditions de synthèse optimales obtenues au cours du projet NEON aux conditions matérielles de l'AIME. Après vérification du fonctionnement de ces composants en MOSFET classique (sous faibles polarisations), les résultats en régime « mémoire » obtenus tels que les mesures d'endurance et de rétention ou le cyclage en température et en fréquence sont présentés au Chapitre 3. Nous montrons en particulier dans ce chapitre d'une part que ces composants mémoires répondent aux critères fixés par les industriels et d'autre part que parmi les différents types de pièges présents dans l'oxyde de grille ce sont bien les pièges « volontairement » introduits, c'est-à-dire les nanocristaux de silicium, qui sont principalement à l'origine de l'effet mémoire observé. La caractérisation de ces Si-ncx par la technique du pompage de charge est développée dans le Chapitre 4. Pour cela, nous avons dû adapter et repenser certains aspects de cette technique pour avoir accès à la réponse des Si-ncx, notamment en adaptant les conditions de mesures pour sonder les pièges lents et en recalculant tous les paramètres nécessaires à la reconstruction de distribution spatiale en profondeur des pièges. Il est alors possible d'extraire électriquement toutes les caractéristiques structurales des Si-ncx (taille, densité, position dans l'oxyde). Cette méthode validée est alors parfaitement adaptée au comptage et au suivi de la réduction du nombre de Si-ncx synthétisés de façon locale et contrôlée par masquage stencil (SM) qui sera présentée au chapitre 5. Celui-ci, s'intéresse en effet aux travaux de synthèse localisée de Si-ncx par SM-ULE-IBS à travers différents types de membranes réalisés hors-composants, l'objectif étant de réduire autant que faire se peut le nombre de Si-ncx synthétisés et de les caractériser. L'intérêt de ce chapitre 5 repose sur le développement de cette synthèse localisée par deux types de masquage (masquage Stencil et masquage métallique par lithographie électronique) ainsi que sur la caractérisation de la synthèse par des techniques que nous avons développées à partir de mesures locales par AFM (Microscopie à Force Atomique) et par spectroscopie de photoluminescence (PL).

Dans le cadre des applications industrielles, la réduction en taille des composants mémoires à Si-ncx à des longueurs de grille inférieures à 90 nm conduira naturellement à une diminution du nombre de nanocristaux engagé dans la rétention de charge. Les fluctuations statistiques du nombre de nanocristaux prendront alors une importance capitale dans la fiabilité des composants. Dans ce contexte, l'apport de cette thèse est alors double pour baliser ce terrain puisqu'il propose : une méthode de synthèse d'un nombre réduit de particules contrôlée par notre technique de fabrication par

masquage stencil et une caractérisation électrique in-situ non destructive de localisation et des propriétés structurales de ces populations de Si-ncx par le développement du pompage de charge.

Enfin, notons d'une part que ces méthodes par leur résolution restent valable en principe jusqu'à la particule unique. D'autre part, la synthèse ULE-IBS produit naturellement des particules dont la taille (environ 3 nm) est compatible avec des effets de blocage de Coulomb à température ambiante pour un transfert mono-électronique. Contrairement à la Flexmemory de Freescale qui utilise pour le moment des particules de 10 nm de diamètre, notre procédé de synthèse par implantation ionique peut dans un même contexte technologique apporter des solutions dans le domaine des composants actuels mais aussi dans ceux du futur en mettant en jeu un transport plus « exotique » dans des composants multi-bits par exemple.

***1. Les nanocristaux de Silicium et  
leurs propriétés : vers des mémoires  
Flash de nouvelle génération***

---

# Introduction

Dans ce chapitre introductif nous allons nous intéresser aux possibilités offertes par l'intégration de nanocristaux de silicium pour la réalisation de dispositifs mémoires Flash non volatiles. Cette thématique de recherche est guidée par la forte percée du marché des mémoires, qui brasse désormais de nombreuses applications notamment dans le domaine de l'électronique nomade, encrée désormais dans la vie quotidienne des foyers. La demande est avant tout liée à un besoin de conservation des données lorsque l'appareil est éteint : c'est le principe des mémoires non-volatiles. Les besoins sont croissants et vont dans le sens de mémoires toujours plus compactes, plus rapides, consommant moins d'énergie et assurant un stockage de haute densité. Pour le moment, trois types de mémoires dominent le marché, à savoir les mémoires magnétiques dont le principal défaut est la forte consommation d'énergie, les mémoires ferroélectriques pour lesquelles malheureusement les informations sont détruites au moment de la lecture et les mémoires Flash dont la limitation majeure est un temps plus long pour l'écriture et l'effacement. L'évolution de ces dernières suit pour le moment le postulat de Moore sur la miniaturisation des processeurs dont la poursuite justifie les efforts fournis par les industriels du secteur de la microélectronique. Pour garantir cette réduction dans les prochaines années, les mémoires Flash vont devoir subir une réduction de la longueur et de l'épaisseur de l'oxyde de grille, ce qui offrira des temps d'écriture et d'effacement plus rapides. Cependant cette réduction d'épaisseur se heurte actuellement au problème majeur de courants de fuites ayant pour conséquence directe une baisse de rétention de l'information, ce qui limite la fiabilité des composants. Pour palier à cette limitation, nous verrons qu'une des solutions envisagée est de remplacer la grille flottante de stockage de la charge électrique par un réseau de nanocristaux formant une grille flottante granulaire.

Dans ce cadre, nous reviendrons brièvement sur les différentes méthodes de synthèse de nanocristaux de silicium (Si-nx) dans une couche d'oxyde mince et nous verrons les atouts de la synthèse par implantation ionique, notamment le contrôle de la position « en profondeur » d'un plan bidimensionnel parallèle et positionné à une distance tunnel des électrodes ainsi que la formation de particules d'environ 3 nm de diamètre. Ensuite, nous verrons qu'il est possible de réduire le nombre de nanocristaux synthétisés par implantation ionique basse énergie en lui associant la technique du masquage Stencil. A l'aide de cette technique nous pourrions contrôler l'extension « latérale » et la position d'un nombre réduit de nanocristaux et permettre la réduction du nombre d'électrons faisant fonctionner le composant mémoire. Il est évident que dans ce cas la moindre variation du nombre de nanocristaux synthétisés pourra avoir une incidence importante sur le nombre d'électrons engagés dans l'état écrit de la mémoire et donc sur la caractéristique du composant. Il faut donc se doter d'une technique de caractérisation électrique sensible et précise permettant à la fois de « compter » le nombre de nanocristaux synthétisés localement mais aussi de localiser et caractériser les objets intervenant dans le stockage de charge. Après une description des principales méthodes électriques de

caractérisation des centres piègeurs de charges dans l'oxyde, dont font partie les Si-ncx, nous déterminerons notre choix quant à la technique électrique qui sera la plus à même de répondre à nos deux critères (compter et caractériser les Si-ncx), à savoir le pompage de charge.

## **I) Les mémoires non volatiles**

### **I-1) La course à la miniaturisation des microprocesseurs et des mémoires Flash**

L'ITRS (*International Technology Roadmap for Semiconductors*) est une agence dressant une feuille de route (« roadmaps ») tous les deux ans de ce secteur. Ces « roadmaps » servent à définir la valeur de la finesse de gravure (en nanomètre) lors du processus de fabrication. Elles offrent des données clés permettant de visualiser à quoi ressemblera un transistor à moyen terme (six ans) et à long terme (entre six et quinze ans).

La mémoire flash y a apporté une modification importante puisque jusqu'en 2005, le « demi-pitch » ou demi-période d'une DRAM était la référence des roadmaps. Mais depuis 2005, l'ITRS prend en compte le demi-pitch des mémoires flash comme référence ultime, celui-ci étant désormais plus petit que celui de la DRAM.

### **I-2) Le ralentissement de la réduction en taille des composants**

On constate cependant que le mouvement de miniaturisation de la longueur de la grille, tout comme celui de la longueur du canal, connaît un ralentissement important depuis quelques années. La réduction de l'épaisseur des couches d'oxyde de la grille a elle aussi connu une stagnation puisqu'elle n'a perdu que 0.1 nm depuis le nœud 90 nm. Au-delà des difficultés propres à chaque processus de fabrication, on retrouve le même problème à chaque étape de miniaturisation, à savoir celui des fuites de courant, qui aboutissent à l'augmentation de la température, limitent la fréquence maximale et peuvent aussi nuire au bon fonctionnement des composants. On comprend pourquoi cette réduction de l'épaisseur de l'oxyde de grille pour limiter les courants de fuite est très difficile et constitue donc un frein majeur à la poursuite de la réduction des dimensions des composants mémoires.

Le tableau ci-dessous résume les valeurs extraites des prévisions de l'ITRS 2009 concernant l'endurance des mémoires Flash, ainsi que de la mise à jour 2010.

Données de l'ITRS 2009				
Type de mémoire	Année	Endurance (cycles E/W)	Année	Endurance (cycles E/W)
NAND - Floating gate (FG)	2012	$1.10^4$	2024	$1.10^4$
NAND - Charge Trapping (CT)	2012	$1.10^5$	2024	$1.10^4$
NOR - Floating gate (FG)	2013	$1.10^6$	2017	$1.10^7$
NOR - Charge trapping (CT)	2015	$1.10^6$	2024	$1.10^6$
Mises à jour 2010				
Type de mémoire	Année	Endurance (cycles E/W)	Année	Endurance (cycles E/W)
NAND - (FG/CT)	2012	$1.10^4$		
NAND - (CT / 3D)			2017	$5.10^3$

Tableau 1 : Feuille de route de l'ITRS 2009, ainsi que les mises à jour de 2010, concernant l'endurance demandée aux différents types de cellules mémoires Flash entre 2012 et 2024.

Ce tableau nous montre que les valeurs prévues en 2009 par l'ITRS en termes d'endurance dépendent du type de cellule Flash considéré. La demande d'endurance actuelle est de  $1 \times 10^5$  cycles E/W (2011) et décroît pour les cellules NAND à grille flottante (FG, *Floating Gate*) et à piégeage de charges (CT, *Charge Trapping*). A l'inverse, pour les NOR l'endurance augmente à  $1 \times 10^6$  cycles (2015) et même à  $1 \times 10^7$  cycles pour les NOR de type FG, d'ici 2017. Cependant, ces valeurs ont été revues à la baisse en 2010 en vue de la nouvelle feuille de route officielle de 2011. Pour les cellules mémoires de type FG ou CT, une endurance de  $1 \times 10^4$  cycles suffira dès 2012 voire même  $5 \times 10^3$  cycles à partir de 2017. Ces réévaluations sont à la baisse car les durées actuelles s'avèrent déjà suffisantes pour des mémoires Flash fiables et les efforts de performances sont désormais axés sur d'autres paramètres, notamment la rétention des charges, qui passe de 10 ans à 20 ans pour les années à venir.

### I-3) Bref historique et principe des mémoires Flash

Le domaine des mémoires en microélectronique est constitué de deux grandes familles : les mémoires ROM (Read Only Memory) et les DRAM (Dynamic Random Access Memory). Les RAM sont les plus rapides, avec des temps d'écriture de l'ordre de la nanoseconde mais ne permettent de stocker les données que lorsque le composant est alimenté et ne sont donc pas adaptées au stockage durable d'information. A contrario les ROM qui sont des mémoires non volatiles conservent l'information lorsque le composant n'est plus alimenté. Leur développement a abouti notamment aux mémoires EEPROM (Electrically-Erasable Programmable Read-Only Memory), qui sont effaçables électriquement et reprogrammables jusqu'à « un million de fois ».

Les mémoires Flash sont une variété des EEPROM, plus rapides car effaçables par bloc complet. Elles sont destinées à être programmées puis effacées par un utilisateur et sont présentes en masse

dans le domaine des technologies nomades, notamment dans les cartes mémoires d'appareils électroniques numériques (cartes SD et Compact Flash), les clés USB ou encore les baladeurs MP3. Cette mémoire de masse à semi-conducteurs réinscriptible et rapide utilise comme cellule de base un transistor MOS possédant une grille flottante enfouie au milieu de l'oxyde de grille. C'est cette grille flottante qui sert de lieu de stockage des charges (Figure I. 1). L'oxyde situé entre la grille flottante et la grille de contrôle est appelé oxyde de contrôle ( $t_{cont}$ ) et celui situé entre le canal et la grille flottante est appelé oxyde d'injection ( $t_{inj}$ ).

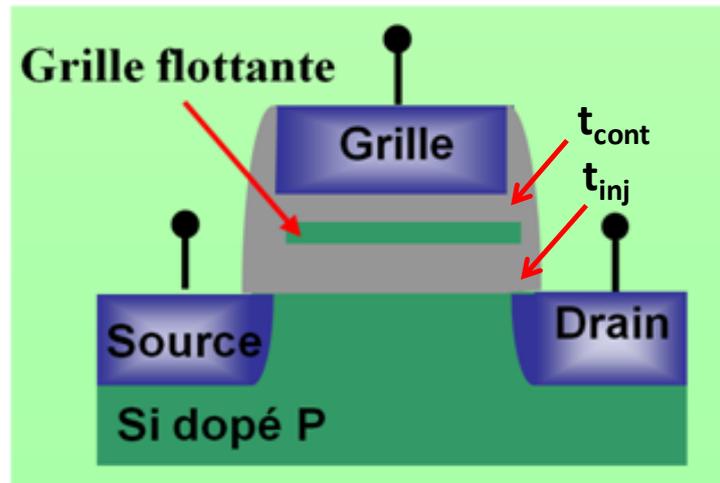


Figure I. 1 : Schéma d'une cellule mémoire Flash à grille flottante continue en poly-silicium

#### I-4) Les solutions de remplacement des mémoires conventionnelles

Comme nous venons de la voir, une des principales caractéristiques demandées aux mémoires Flash est une forte rétention de l'information. A ce critère se rajoutent des temps rapides d'écriture/effacement ainsi qu'une faible consommation électrique. Ces spécifications sont en fait contradictoires et doivent donner lieu à des compromis. En effet, pour assurer une forte rétention des charges, il est nécessaire que l'oxyde entourant la grille flottante soit épais et de bonne qualité i.e. avec la meilleure constante diélectrique possible. En même temps, il faut que cet oxyde soit très mince pour que les temps de transfert de charges soient les plus courts possibles et que le champ électrique appliqué ne soit pas trop important. Comme nous l'avons dit précédemment, cette réduction d'épaisseur engendre l'apparition de courants de fuite par effet tunnel direct vers la grille. Quelles sont donc les solutions envisageables pour réduire autant que possible l'épaisseur d'oxyde et conserver une forte rétention ?

A l'heure actuelle, de nombreuses voies sont explorées soit pour faire évoluer soit pour remplacer les mémoires Flash conventionnelles (Figure I. 1).

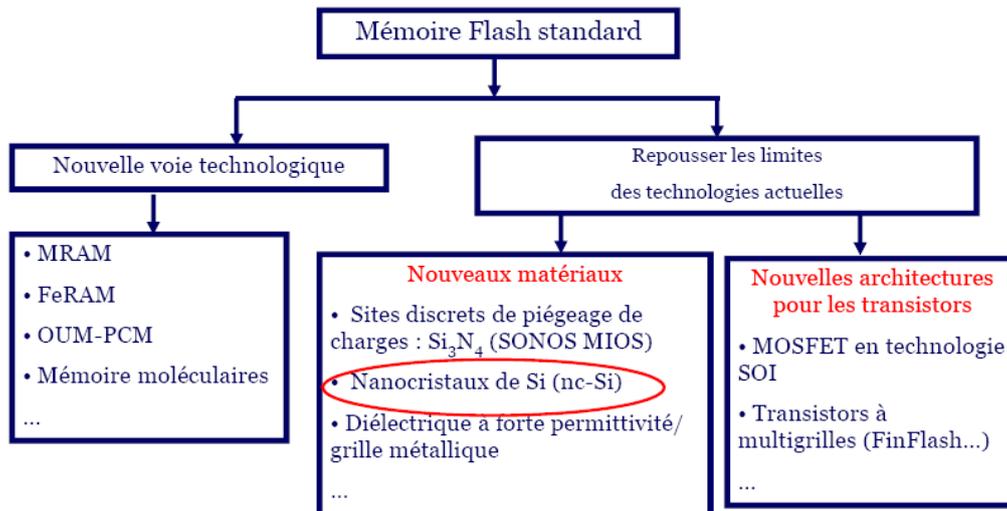


Figure I. 2 : Les nouvelles voies pour le remplacement des mémoires Flash [1]

Une de ces approches consiste à changer totalement le principe même de l'état écrit ou effacé de la mémoire et de ne plus utiliser le stockage de charge électrique comme support de l'information. C'est notamment le cas des mémoires MRAM (*Magnetic Random Access Memory*) qui proposent des bits de stockage de données sous forme d'aimantation et un changement d'état réalisé par basculement du spin des électrons. Ou bien le cas des des mémoires PRAM (*Phase-Change Random Access Memory*) qui utilisent le passage réversible d'une forme cristalline à une forme amorphe du verre de chalcogénure sous l'effet de la température pour déterminer l'état de la mémoire. Samsung a lancé en 2010 ses premières mémoires PRAM comme alternative aux mémoires Flash de type NOR.

Une autre approche vise à trouver des moyens d'augmenter les performances des transistors tout en conservant l'architecture « classique » des MOSFETs. C'est le cas notamment de la technologie sur SOI (*Silicon On Insulator*, pour Silicium sur isolant) qui par l'utilisation de substrat très résistifs permet de diminuer les pertes et augmenter les performances des composants par application d'une contrainte mécanique contrôlée dans le canal des MOSFETs [2]. Dans cette catégorie, on retrouve également des architectures de type multi-grilles, les MuGFET (*Multiple Gate Field Effect Transistor*), dont il existe une grande variété de sous-catégories. De façon générale, ils se définissent par la présence de plus d'une grille par dispositif. On différencie ces sous-catégories selon que les structures multi-grilles sont planaires ou non-planaires et en fonction du nombre de grilles. Nous pouvons citer par exemple les « double-gate » tels que les FlexFETs ou les FinFETs, réalisés sur substrats SOI. Intel a présenté plus récemment une structure « tri-gate » (nœud 22 nm) et annoncé que cette structure permet d'augmenter de 37% les vitesses de fonctionnement et de réduire de 50% la consommation par rapport à la génération précédente de transistors Intel. Enfin, dans cette catégorie sont également répertoriés les GAA-FETs (*Gate-All-Around FETs*) similaires aux FinFETs à la différence que la grille entoure complètement le canal formé d'un nanofil de silicium.

En parallèle, des alternatives complémentaire d'évolution de matériaux sont à l'étude ou déjà

intégrées à certains types de composants mémoires dans le but de toujours conserver la technologie CMOS et l'architecture des MOSFET. Par exemple, l'arrivée des mémoires de type SONOS (Semiconducteur Oxyde Nitrure Oxyde Semiconducteur) a permis de remplacer la grille flottante par une couche de nitrure piégeant naturellement la charge. Les mémoires SONOS possèdent l'avantage d'un procédé de fabrication assez simple mais sont soumises à de fortes fluctuations de charges. Elles sont cependant déjà intégrées à la feuille de route de l'ITRS dans la catégorie des mémoires Flash à piégeage de charges, avec une introduction sur le marché en 2012 (Tableau 1).

La même année sont prévues des modifications de matériaux dans le cas des mémoires de type NAND à grille flottante, comme le remplacement du  $\text{SiO}_2$  par des matériaux « high-k » ou encore celui de la grille en poly-silicium par une grille métallique. Ces matériaux « high-k » susceptibles de remplacer le  $\text{SiO}_2$  sont le dioxyde d'Hafnium ( $\text{HfO}_2$ ), le dioxyde de Zirconium ( $\text{ZrO}_2$ ) ou le dioxyde de Titane ( $\text{TiO}_2$ ). Leur constante diélectrique est supérieure à celle du  $\text{SiO}_2$  ( $\epsilon = 3,9$ ) ce qui permet d'avoir une épaisseur d'oxyde high-k réelle équivalente à une épaisseur de  $\text{SiO}_2$  beaucoup plus faible (EOT, *Equivalent Oxide Thickness*) et de réduire les fuites de grille de façon significative. Par ailleurs, le remplacement de la grille en poly-silicium par une grille métallique permet de supprimer la zone de désertion existante dans les grilles en poly-silicium et d'ajuster la tension de seuil du dispositif. On peut citer par exemple le nitrure de titane TiN, qui est un matériau dit « mid-gap » (le niveau de Fermi est au milieu du gap). Enfin, la grille flottante peut être remplacée par une grille granulaire, formée de nanocristaux enrobés dans l'isolant de grille, ceux-ci pouvant être en silicium [3, 4], en germanium [5], métalliques [6] ou diélectriques [7]. Ces dernières années, de nombreuses études ont utilisé des sites discrets de chargement tels que les « pièges naturels » du nitrure de silicium ou des nanocristaux, et ce pour des architectures de transistor variées [8-15]. Les nanocristaux de silicium (« Si-nx ») enfouis dans un oxyde de grille en  $\text{SiO}_2$ , proposés en 1995 par Tiwari et al. [3], sont les structures les plus étudiées toujours pour des raisons de compatibilité CMOS. Cette architecture est celle choisie par Freescale pour sa FlexMemory, présentée en introduction générale et qui est la première mémoire à nanocristaux à être commercialisée.

## I-5) Les mémoires à nanocristaux : une solution aux problèmes de rétention ?

Le schéma de principe de la perte de charges dans le cas d'une cellule mémoire (a) à grille flottante conventionnelle en poly-silicium, (b) à grille granulaire formée de nanocristaux de silicium est présenté ci-dessous.

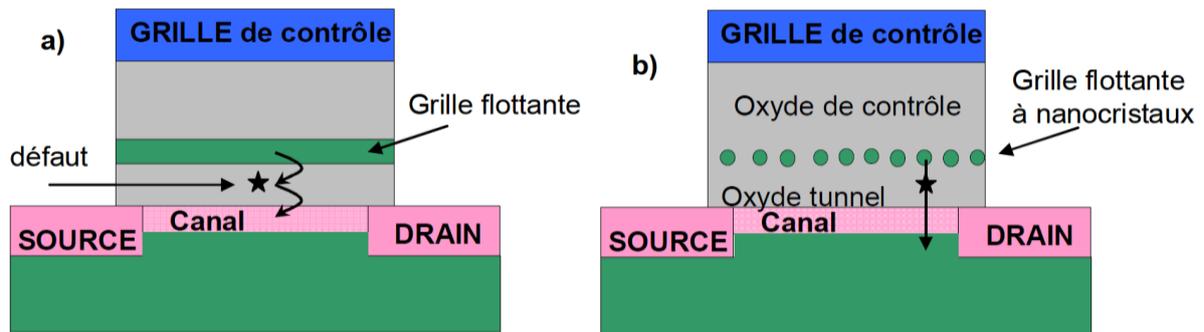


Figure I. 3 : Schémas a) d'une cellule mémoire non-volatile à grille flottante conventionnelle, b) d'une cellule mémoire non-volatile à nanocristaux de silicium

Cette figure montre que la présence d'un seul défaut dans l'oxyde d'injection dans le cas d'une cellule mémoire à grille flottante « continue » en poly-silicium suffit pour décharger l'intégralité de la grille flottante, les charges sont alors renvoyées vers le canal. Cette sensibilité au moindre défaut aboutit donc à la perte des données de la cellule mémoire. En utilisant une grille formée d'un réseau de nanocristaux positionnés dans un plan bidimensionnel (Figure I. 3 b) on s'affranchit de cette sensibilité aux défauts. En effet, lorsqu'un défaut apparaît dans l'oxyde de grille sous un nanocristal, seule la charge contenue dans ce nanocristal est perdue et renvoyée dans le canal. Cette fuite ne concerne pas les autres nanocristaux et donc préserve la quasi-totalité de la charge retenue dans la grille granulaire. Un tel dispositif est alors plus tolérant vis-à-vis des défauts et de l'épaisseur d'oxyde de grille. Il est alors possible de poursuivre la réduction d'épaisseur de cet oxyde tout en préservant la rétention de l'information électrique par confinement de la charge dans des objets nanométriques.

## II) Les mémoires à nanocristaux

### II-1) Situations énergétiques des différents états de la mémoire

La présence des nanocristaux dans l'oxyde de grille constitue un puits de potentiel, on peut alors représenter les états énergétiques d'une mémoire à nanocristaux dans les états d'écriture, de stockage de charges et d'effacement (Figure I. 4 ci-dessous) :

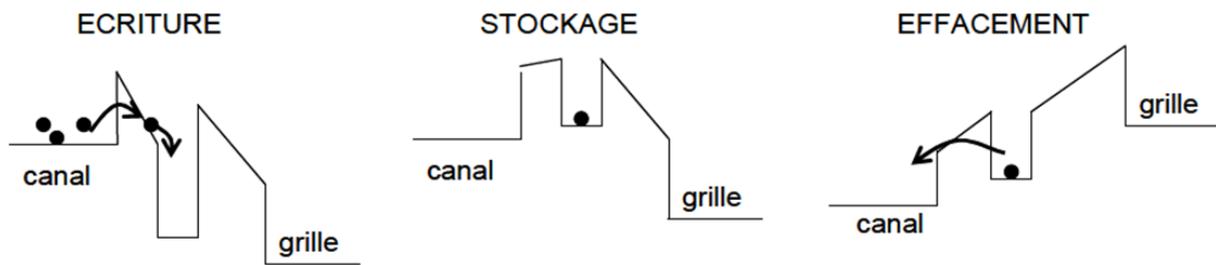


Figure I. 4 : Barrières d'énergie en présence de nanocristaux (puits de potentiel dans l'oxyde de la structure MOS) schématisées pour les conditions d'écriture de la mémoire, de stockage de la charge et d'effacement de la mémoire

L'application d'une tension de grille  $V_G$  positive suffisamment élevée permet le transfert des électrons dans les nanocristaux, la mémoire est alors écrite. Lorsqu'aucune tension de grille n'est appliquée, l'état de charge des nanocristaux ne varie pas car les électrons sont confinés dans ces nanocristaux. L'effacement de la mémoire est réalisé en appliquant une tension de grille  $V_G$  négative, du même ordre de grandeur que celle appliquée pour l'écriture de la mémoire, permettant de décharger les nanocristaux.

## II-2) Fonctionnement d'une mémoire Flash à grille granulaire

Les mémoires Flash possèdent trois modes de fonctionnement : l'écriture, l'effacement et la lecture de la mémoire.

- 1) L'écriture correspond au chargement de la grille flottante. Ce chargement est réalisé par injection de charges depuis le canal vers la grille flottante par application d'une tension de grille  $V_G$ . Cette tension est différente selon le type de cellule mémoire Flash considérée (entre 17V et 19V pour une cellule Flash NAND et entre 7V et 9V pour une cellule de type NOR). Compte-tenu des épaisseurs d'oxyde d'injection considérées (6 à 7 nm pour une cellule NAND et 8 à 9 nm pour une cellule NOR), le champ électrique appliqué à la structure est suffisamment fort pour que les charges soient envoyées par conduction Fowler-Nordheim dans la grille flottante. Alors, les électrons passent de la bande de conduction du Si vers la bande de conduction du  $\text{SiO}_2$  puis sont accélérés vers la grille flottante par le champ électrique. Le transport de charge par effet tunnel direct entre la bande de conduction du Si et celle de la grille flottante nécessite un oxyde d'injection d'épaisseur idéalement inférieure à 3 nm. En effet, au-delà de quelques nanomètres, les énergies mises en jeu pour que le transfert se fasse par électrons chauds (par-dessus la barrière de l'oxyde) deviennent trop élevées.

- 2) L'effacement est l'opération inverse à l'écriture, elle consiste à décharger la grille flottante par application d'une tension du même ordre de grandeur que celle utilisée pour l'écriture mais de signe opposé.
- 3) La lecture de la mémoire permet de connaître l'état de chargement de la grille flottante. Pour cela, on applique une tension sur la grille d'amplitude intermédiaire  $V_{GL}$  (tension de lecture) et on mesure le courant de drain  $I_D$ , pour une tension entre le drain et la source  $V_{DS}$  fixe.

Les différents états de la mémoire peuvent être observés sur la caractéristique  $I_D-V_{GS}$  d'un MOS (type NMOS) à grille flottante constituant la brique élémentaire d'une cellule mémoire de type Flash de la Figure I. 5 :

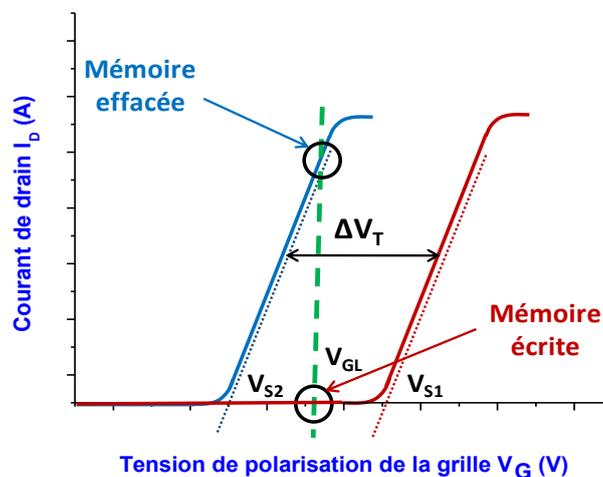


Figure I. 5 : Décalage de la caractéristique  $I_D-V_{GS}$  lors de l'écriture ou l'effacement de la cellule mémoire caractérisé par la fenêtre mémoire  $\Delta V_T$

La caractéristique  $I_D-V_{GS}$  en bleu sur cette figure correspond à l'état déchargé de la mémoire, la tension de seuil est alors à la valeur  $V_{S2}$ . L'injection des électrons provoque un décalage de la tension de seuil vers les tensions positives (à la valeur  $V_{S1}$  sur la figure) du fait du stockage de charges négatives dans l'élément de stockage de charge de l'oxyde. Il faut alors une tension  $V_G$  plus importante (par rapport à un état de mémoire effacée) pour conserver une valeur de  $I_D$  donnée. L'écart entre les tensions de seuils correspondant à ces deux états définit la fenêtre mémoire  $\Delta V_T$ . En polarisant la grille à la tension de lecture  $V_{GL}$ , on mesure le courant de drain  $I_D$ . Lorsque celui-ci est à un niveau haut (sur la courbe bleue), on sait que la mémoire est effacée, tandis que lorsque le courant de drain est à un niveau bas (courbe rouge), la mémoire est écrite.

### II-3) Les performances des mémoires à nanocristaux

Le concept des mémoires à grille granulaire constituée de nanocristaux a été introduit en 1995 par Tiwari et al. [3]. La mémoire proposée est constituée d'un plan bidimensionnel de nanocristaux de silicium (Si-ncx) de 5 nm de diamètre, d'une densité de  $1 \times 10^{12} \text{ cm}^{-2}$  et positionnés à une distance tunnel du canal (entre 1,5 et 3,5 nm selon les cas).

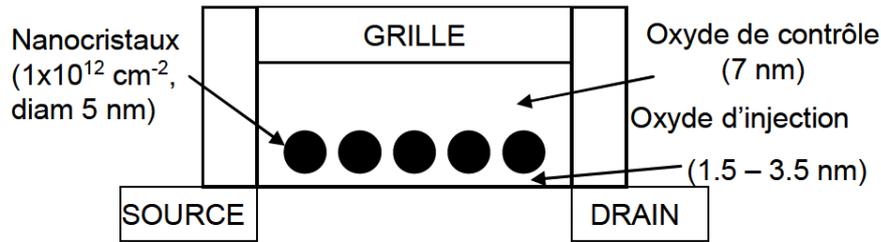


Figure I. 6 : Schéma de la mémoire à Si-ncx proposée en 1995 par Tiwari et al.

La faible épaisseur de l'oxyde d'injection permet un chargement des Si-ncx par effet tunnel direct depuis le substrat. Les tensions de grille  $V_G$  utilisées sont faibles (3V). Ces mémoires présentent une endurance très élevée, de l'ordre de  $10^9$  cycles d'écriture et d'effacement, bien supérieure à celle des mémoires Flash EEPROM. Le stockage d'électrons dans les Si-ncx écrante la charge de la grille et réduit la conduction dans la couche d'inversion, ce qui provoque le décalage de la tension de seuil vers les tensions positives, dont l'écart  $\Delta V_{TH}$  représente la fenêtre mémoire. L'approximation donnée par Tiwari et al. de cette fenêtre mémoire dans le cas du chargement de  $n$  électrons par nanocristal est la suivante :

$$\Delta V_{TH} = \frac{-q.n.D_{ncx}}{\epsilon_{ox}} \left( t_{cont} + \frac{1}{2} \frac{\epsilon_{ox}}{\epsilon_{Si}} d_{ncx} \right) \quad \text{Équation 1}$$

Où  $q$  est la charge élémentaire,  $n$  le nombre de charges par nanocristal,  $D_{ncx}$  la densité surfacique de nanocristaux,  $t_{cont}$  l'épaisseur de l'oxyde de contrôle,  $d_{ncx}$  le diamètre moyen des nanocristaux,  $\epsilon_{Si}$  et  $\epsilon_{ox}$  les permittivités respectives du silicium et de l'oxyde. La fenêtre mémoire donnée par cette équation correspond à l'ouverture de l'hystérésis due au chargement complet du plan de Si-ncx. Tiwari et al. donnent l'exemple d'une structure d'oxyde tunnel de 1,5 nm, dont les paramètres entrant dans l'équation sont un oxyde de contrôle de 7 nm et une densité de Si-ncx de  $1 \times 10^{12} \text{ cm}^{-2}$ , aboutissant à une fenêtre mémoire de 0,36V.

## II-4) Les perspectives offertes par la taille nanométrique des objets

Au-delà des très bonnes performances « mémoires » permises par les mémoires à nanocristaux présentées par Tiwari et al., des effets de chargement discrets ont été obtenus à basse température, comme le montre la Figure I. 7 ci-dessous :

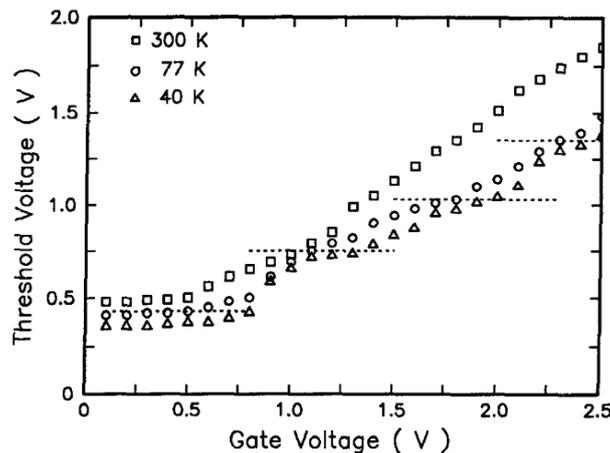


Figure I. 7 : Courbes  $V_{TH}$ - $V_{GS}$  de la mémoire à Si-nx présentée en 1995 par Tiwari et al. réalisées à différentes températures. Cette caractéristique présente des oscillations de Coulomb à  $T = 44$  K. [3]

On peut voir sur cette figure une évolution par paliers de la tension de seuil en fonction de la tension de grille pour des mesures réalisées à  $T = 44$  K. A plus hautes températures cet effet disparaît. L'écart constant entre chaque palier est dû au chargement électron par électron du plan de Si-nx de 5 nm de diamètre. Tiwari et al. précisent que ces oscillations de Coulomb pourraient être observées à température ambiante pour des Si-nx de taille inférieure ou égale à 3 nm. Cela pourrait donc constituer une piste d'évolution de ces mémoires pour l'avenir dans le sens de dispositifs à niveaux de stockage multiples et discrets (« multi-bits »).

## III) Les mémoires à nanocristaux de Si (Si-nx)

### III-1) Les atouts des mémoires à Si-nx

Au delà du potentiel d'avenir évoqué plus haut l'apport des nanocristaux de silicium est intéressant car leur synthèse est parfaitement compatible CMOS et il est possible par des procédés standards de réaliser des nanocristaux de taille nanométrique. De plus les Si-nx offrent également un potentiel prometteur aussi du point de vue optique, ces propriétés ne seront cependant pas décrites ici

mais ont été traitées dans la thèse de Carine Dumas [16].

Depuis les premiers travaux de Tiwari sur les nanocristaux de silicium, de nombreuses équipes se sont intéressées à la réalisation de tels dispositifs par différents procédés de synthèse des ncx ou en modifiant les moyens d'élaboration du transistor.

## **III-2) Les procédés de synthèse des Si-ncx**

Il faut être en mesure de maîtriser parfaitement le processus de synthèse des Si-ncx dans l'oxyde de grille pour contrôler leurs caractéristiques (géométrie, taille, densité, position dans l'oxyde). Nous allons revenir ci-dessous sur les principales méthodes de synthèse de ces nanocristaux et comparer leurs avantages et inconvénients avant de traiter de la technique de synthèse que nous utilisons dans le cadre de cette thèse, à savoir l'implantation ionique à très basse énergie.

### **1 - Méthode exotiques**

Parmi les méthodes non compatibles avec les procédés CMOS, nous pouvons citer par exemple le dépôt par ablation laser [22], le dépôt d'aérosol [23] ou le dépôt par pulvérisation magnétron sputtering [24]. La première ne permet pas un bon contrôle de la dispersion en taille des ncx, la deuxième permet d'obtenir des ncx de forte densité ( $10^{13}$  ncx/cm<sup>2</sup>) et une taille contrôlable à partir de 3 nm, tandis que la dernière permet d'obtenir des ncx d'environ 3 nm. Nous ne les décrirons donc pas plus avant dans ce mémoire.

### **2 - Dépôt chimique en phase vapeur**

Cette technique possède l'avantage majeur d'être compatible avec les procédés standard de la technologie MOS actuelle. Elle se divise en plusieurs sous-catégories :

- Les techniques de dépôt de type CVD (*Chemical Vapor Deposition*) notamment le PECVD (*Plasma Enhanced CVD*) [17] ou le LPCVD (*Low Pressure CVD*) [18, 19]. Les nanocristaux sont obtenus par décomposition thermique du silane (SiH<sub>4</sub>) à une température de 600°C. Ces techniques permettent d'obtenir des tailles de ncx comprises entre 4 et 10 nm et une densité surfacique de quelques  $10^{11}$  ncx/cm<sup>2</sup>. De façon générale, elles ne permettent pas d'obtenir des ncx de taille inférieure ou égale à 3nm, empêchant ainsi des chargements discrets à température ambiante.

- La précipitation d'atomes de Si en excès dans une couche d'oxyde non stœchiométrique (SiO<sub>x<2</sub>). Cette couche riche en Si est formée par réaction du silane avec du N<sub>2</sub>O à la surface du SiO<sub>2</sub> thermique. La démixtion de la phase SiO<sub>x</sub> en SiO<sub>2</sub> et en Si-ncx est obtenue par recuit [20-21]. La taille

des Si-nx dépend à la fois du rapport  $\text{SiH}_4/\text{N}_2\text{O}$  et des températures de dépôt et de recuit. Cette méthode ne permet pas de contrôler facilement la position, la morphologie et la distribution en taille des Si-nx.

### 3 - Implantation ionique

La dénomination générique anglo-saxonne de ce type de synthèse est « *Ion Beam Synthesis* » (IBS). Elle comporte deux étapes principales, à savoir l'implantation ionique puis le recuit thermique de synthèse des Si-nx. La figure ci-dessous schématise ces deux étapes :

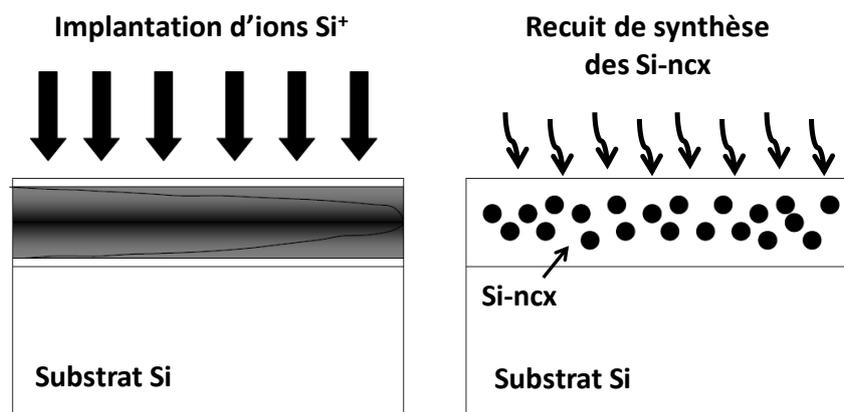


Figure I. 8 : Synthèse des Si-nx par implantation ionique d'ions  $\text{Si}^+$  suivie d'un recuit thermique (technique IBS)

L'implantation ionique correspond au bombardement d'ions  $\text{Si}^+$  perpendiculaire à la surface de l'oxyde, à une énergie pouvant aller du keV à plusieurs centaines de keV. Le résultat de cette implantation est l'introduction d'atomes de silicium en excès dans la matrice. La dose implantée doit être choisie entre  $5 \times 10^{15}$  et  $2 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$  [22] dans la gamme d'énergie du keV pour dépasser la limite de solubilité du Si dans  $\text{SiO}_2$  et avoir la précipitation. La dose détermine la concentration du silicium en excès inséré dans la matrice. Lorsque les ions pénètrent dans la silice, ils perdent de l'énergie par collisions avec les atomes de cette dernière et leurs nuages électroniques jusqu'à leur distance d'arrêt R. On définit alors par  $R_p$  le parcours moyen projeté des ions selon la direction perpendiculaire à la surface. Il correspond à la valeur moyenne de la distribution en profondeur des ions implantés qui est la valeur maximum de concentration pour une gaussienne. Ainsi l'énergie d'implantation est un paramètre clé pour contrôler la profondeur et l'extension latérale des nanocristaux en fin de synthèse. On peut arbitrairement séparer l'énergie d'implantation en deux gammes : celle supérieure à 5 keV, dite des « hautes énergies » ou « énergie conventionnelle » et celle inférieure à 5 keV que l'on qualifie de « basse énergie ». La figure ci-dessous compare les profils d'implantations correspondant à une implantation à haute énergie (10 keV) et à basse énergie (1 keV) :

### Profils d'implantation de Si dans SiO<sub>2</sub> calculés par TRIM

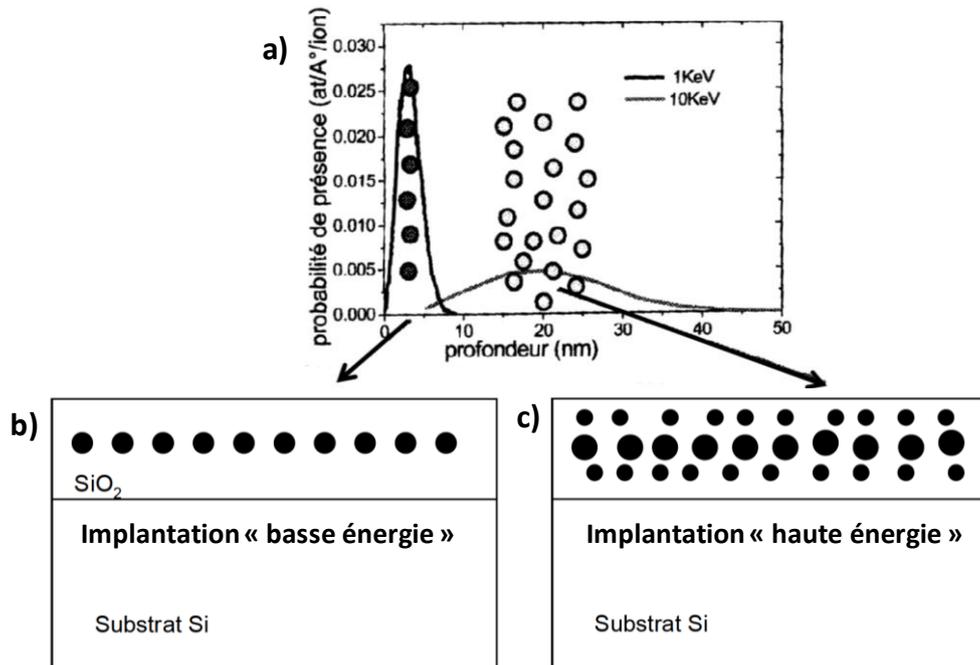


Figure I. 9 : a) profils d'implantation en fonction de l'énergie d'implantation (1 keV et 10 keV), schémas de la distribution de la population de Si-nx b) dans le cas d'une implantation à 1 keV (basse énergie), c) dans le cas d'une implantation à haute énergie (10 keV)

Cette figure montre qu'après une implantation à haute énergie (ici 10 keV), le silicium en excès est implanté à une profondeur comprise entre 15 et 25 nm dans l'oxyde avec une forte dispersion spatiale  $\sigma_p$  (environ 7 nm). Les Si-nx synthétisés sont alors répartis dans une bande avec de grosses particules au centre et de plus petites sur les bords. Dans le cas d'une implantation à basse énergie (ici 1 keV), le profil d'implantation est situé autour d'une faible profondeur (environ 3,5 nm pour le cas 1 keV) et d'une très faible dispersion spatiale  $\sigma_p$  d'environ 1,5 nm, correspondant à une synthèse après recuit d'un plan 2D de Si-nx de taille homogène. Aucune fluctuation supplémentaire n'est alors introduite par le matériau lui-même, ce qui facilite le contrôle des caractéristiques électriques. D'autre part, les tensions de fonctionnement doivent aussi être les plus faibles possibles et il est donc nécessaire de disposer d'un plan de Si-nx positionné à une distance inférieure à 3nm (pour que l'oxyde d'injection soit dans la gamme des distances tunnel du canal) et un oxyde de contrôle légèrement plus épais pour assurer un chargement et déchargement des Si-nx par le substrat.

De ce fait, le plan de Si-nx doit être inséré dans un oxyde d'épaisseur initiale comprise entre 5 et 10 nm. Il est alors impératif de réaliser la synthèse de Si-nx dans ces oxydes minces au moyen de l'implantation à basse énergie. Cette configuration évite autant que possible les dommages d'irradiations ioniques et la dégradation de l'interface avec le substrat aboutissant à de mauvaises performances électriques des composants mémoires.

### III-3) La synthèse de Si-n<sub>cx</sub> par ULE-IBS

La synthèse IBS à très basse énergie (entre 0,6 et 5 keV) est nommée ULE-IBS (*Ultra-Low-Energy Ion-Beam-Synthesis*) est utilisée par quelques groupes [23, 24]. Cette gamme d'énergie ionique permet de former des Si-n<sub>cx</sub> à des profondeurs compatibles avec les distances tunnels que nous souhaitons obtenir ( $R_p$  compris entre 3,0 et 10,3 nm) tout en contrôlant précisément la distribution de taille et de position des Si-n<sub>cx</sub> dans l'oxyde [25, 26]. Elle a été utilisée pour la première fois par l'équipe de Pascal Normand (IMEL/Demokritos, en Grèce) en 1998 [27], avec qui nous collaborons de longue date. C'est dans le cadre du projet européen NEON que cette technique a été intégrée à un procédé de fabrication de capacités et de transistors à nanocristaux (fabriqués principalement à l'IMEL/Demokritos). Diverses méthodes de caractérisations structurales, électriques et optiques ont été développées depuis sur ces systèmes notamment dans le cadre des thèses de Marzia Carrada, Hubert Coffin et Carine Dumas [22, 28, 16].

La figure ci-dessous schématise les étapes de synthèse d'un plan bidimensionnel de Si-n<sub>cx</sub> dans une couche d'oxyde SiO<sub>2</sub> mince par la technique ULE-IBS :

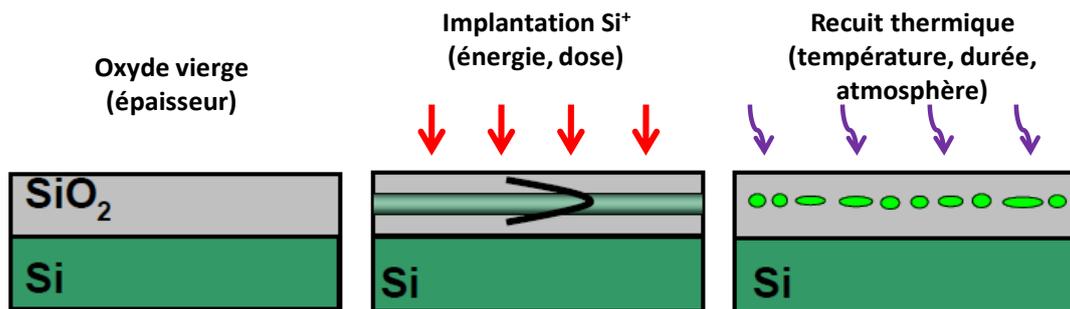


Figure I. 10 : Étapes de synthèse d'un plan bidimensionnel de Si-n<sub>cx</sub> par ULE-IBS. Les paramètres gouvernant cette synthèse sont notés entre parenthèse (épaisseur de l'oxyde, énergie et dose d'implantation, température, durée et atmosphère gazeuse de recuit)

#### **Rappels des résultats du projet NEON**

En préambule voici quelques paramètres importants qui concernent tout d'abord l'oxyde qui est une couche de SiO<sub>2</sub> formée par oxydation thermique sur un substrat de silicium généralement de type P orienté dans la direction (100) d'épaisseur comprise entre 5 et 10 nm. Les images EF-TEM présentées dans ce manuscrit ont été réalisées au CEMES sur un microscope électronique à transmission (MET) à effets de champs (FEI Tecnaï™ F20) travaillant à 200 keV, équipé d'un correcteur d'aberration sphérique et d'un système de filtre TRIDIEM Gatan imaging filter (GIF) [29]. Les images filtrées sont formées par les électrons sélectionnés par une fenêtre centrée à 17 eV, dont la largeur (4 eV) est bornée par les contributions du plasmon de Si et du SiO<sub>2</sub>. Nous allons exposer de façon très synthétique les principaux résultats de ce projet.

### **Effet de la dose implantée sur la morphologie des Si-ncx**

Les ions  $\text{Si}^+$  ont été implantés au CEMES avec des doses comprises entre  $5 \times 10^{15}$  et  $2 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$  dans une couche de silice ultramince ( $< 10 \text{ nm}$ ). La figure ci-dessous présente des vues planes montrant l'influence de la dose choisie sur la morphologie des Si-ncx pour des doses supérieures ou égales à  $5 \times 10^{15}$   $\text{Si}^+/\text{cm}^2$  :

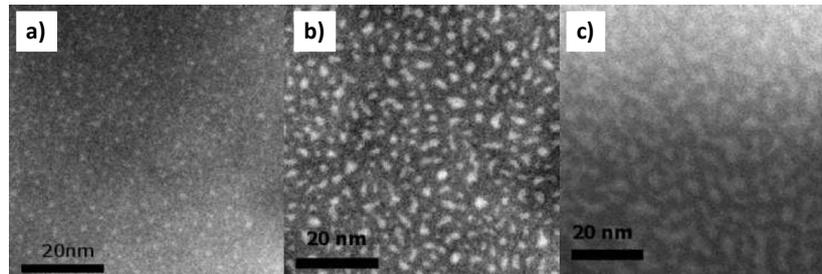


Figure I. 11 : vue plane (EF-TEM) de trois échantillons dont la synthèse des Si-ncx est réalisée par ULE-IBS, implantés à 1 keV à trois doses différentes :  $5 \times 10^{15}$ ,  $7,5 \times 10^{15}$  et  $1 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$ , puis recuits sous  $\text{N}_2$  à  $T=1050^\circ\text{C}$  pendant 90 minutes

La Figure I. 11 a) montre des Si-ncx, synthétisés avec une dose de  $5 \times 10^{15}$   $\text{Si}^+/\text{cm}^2$ , de formes sphériques et isolés les uns des autres. Leur diamètre moyen est de 1,6 nm pour une densité de  $1,6 \times 10^{12}$   $\text{Si}^+/\text{cm}^2$ . Par contre pour une dose de  $1 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$  (Figure I. 11 c), les nanocristaux sont formés par décomposition spinodale et présentent des formes allongées et « interconnectées » après un recuit sous  $\text{N}_2$ . Nous verrons ci-dessous que le recuit permet de modifier cette morphologie. Dans l'exemple de la Figure I. 11 c) les nanocristaux ont un diamètre moyen de 5,5 nm et une densité de  $2 \times 10^{12}$   $\text{Si}^+/\text{cm}^2$ .

Ainsi, à des énergies d'implantation inférieures à 3keV, la dose  $5 \times 10^{15}$   $\text{Si}^+/\text{cm}^2$  constitue la borne inférieure au dessous de laquelle les Si-Ncx ne se forment plus dans la silice [26].

### **Effet de l'énergie d'implantation**

Bien qu'ayant défini précédemment que la technique ULE-IBS correspond à des énergies d'implantation inférieures ou égales à 5 keV, nous montrons ci-dessous que cette gamme doit être encore réduite d'une part pour conserver une concentration suffisante pour former les particules dans une couche d'oxyde d'épaisseur comprise entre 5 et 10 nm mais aussi pour que celles-ci constituent un seul plan, positionné correctement dans l'oxyde de grille.

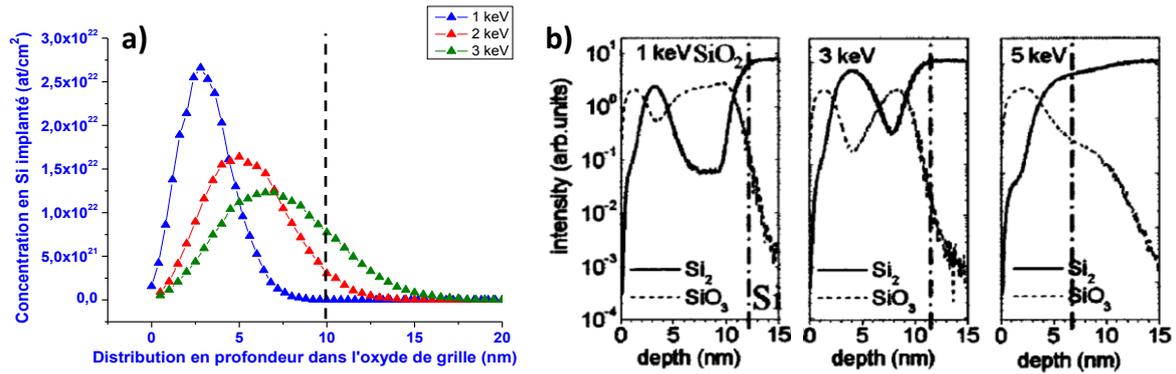


Figure I. 12 : a) Profils d'implantation d'ions  $\text{Si}^+$  simulés sous IPROS pour trois énergies d'implantation (1, 2 et 3 keV) à une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  en fonction de l'épaisseur de la couche mince de silice, b) images TOF-SIMS d'échantillons Si/SiO<sub>2</sub> implantés à 1, 3 et 5 keV. Le trait vertical en pointillé représente l'interface Si/SiO<sub>2</sub> avec le substrat [26]

La Figure I. 12 a) correspond à une simulation Monte-Carlo de l'implantation de silicium dans de la silice d'une épaisseur de 10 nm pour des énergies de 1 à 3 keV. Elle montre d'une part que le maximum du profil de concentration  $C_{\text{max}}$  du 3keV (courbe verte) se réduit à la moitié du  $C_{\text{max}}$  du 1 keV (courbe bleue) en raison de l'écart type de sa distribution  $\sigma_p$ . De plus ce profil s'étend bien au-delà de l'interface et une partie de la dose implantée est perdue dans le silicium du substrat. Une valeur de 30% de perte peut être estimée pour une couche de silice de 10 nm ; ce chiffre devient supérieur à 50% pour un oxyde de 7 nm. La Figure I. 12 b) présente l'évolution du profil de silicium en excès, par mesure du taux de dimères Si<sub>2</sub> par TOF-SIMS après recuit, pour une énergie d'implantation variant de 1 à 5 keV [26]. Le profil obtenu à 1 keV (à gauche) présente deux maxima, le premier d'allure gaussienne et centré sur 3 nm et correspond au profil d'implantation présenté Figure I. 12 a) (courbe bleue). Les Si<sub>n</sub>cx se forment par séparation de phase du Si en excès sur ce premier maximum positionné dans l'oxyde. Le second maximum est situé à l'interface Si/SiO<sub>2</sub>, il correspond au mélange ionique à l'interface silice/substrat. Pour une implantation à 3 keV (au centre), le profil de Si en excès après recuit présente toujours un premier maximum où se forme le plan de Si<sub>n</sub>cx. Plus l'énergie augmente plus ces deux maxima se chevauchent. Pour des énergies supérieures à 5keV les deux maxima se recouvrent comme le montre la courbe de droite. Dans ce cas, on assiste seulement à l'épitaxie en phase solide de la partie mixée du substrat sans apparition de Si<sub>n</sub>cx. De plus, ce fort mélange de l'interface avec le substrat dégrade la qualité de cette dernière, se créent alors de très nombreux défauts d'interface, ce qui est défavorable au fonctionnement des composants mémoires.

### Conditions optimales de recuit

Ce recuit thermique a pour objectif d'assurer la séparation de phase et la formation des Si<sub>n</sub>cx après l'implantation ionique. Cependant il assure aussi la croissance des ncx principalement par un mécanisme de type Maturation d'Ostwald. Leur morphologie est donc contrôlable dans une certaine

mesure par les paramètres de recuit, à savoir la température et la durée. Compte tenu du coefficient de diffusion très faible du Si dans le  $\text{SiO}_2$ , la température de recuit doit être supérieure à  $900^\circ\text{C}$  pour arriver à former les Si-nx. Deux types de recuits sont généralement utilisés : le recuit « inerte » réalisé sous gaz neutre ( $\text{N}_2$ , Ar...) et le recuit « oxydant » pour lequel l'atmosphère régnant dans le four est composée de  $\text{N}_2$  et d' $\text{O}_2$ . Lorsque le taux d' $\text{O}_2$  est faible, on parle de recuit sous atmosphère légèrement oxydante. Les recuits que nous utiliserons pour la synthèse par ULE-IBS ont été réalisés par l'équipe de Pascal Normand à l'IMEL/Demokritos, sous  $\text{N}_2$  pour les recuits inertes et sous  $\text{N}_2+1,5\%\text{O}_2$ , atmosphère légèrement oxydante. Cependant nous verrons dans le chapitre suivant que nous avons également réalisé des recuits à l'AIME (sur le campus de l'INSA de Toulouse), dans des conditions de recuits parfois différentes, notamment à des taux d'oxygène « x » différents pour les recuits  $\text{N}_2+x\%\text{O}_2$ .

Les thèses de Marzia Carrada [22] et d'Hubert Coffin [28] ont porté une attention toute particulière aux caractéristiques structurales des Si-nx formés par implantation ionique au CEMES puis recuits à l'IMEL. Nous résumons ci-dessous très brièvement quelques résultats de ces travaux ainsi que ceux menés par Caroline Bonafos [30] concernant les recuits pour étudier leur effet sur la synthèse des Si-nx. La figure ci-dessous montre des images EF-TEM en vue plane d'échantillons Si/ $\text{SiO}_2$  implantés à 1 keV avec une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  et recuits dans quatre conditions différentes :

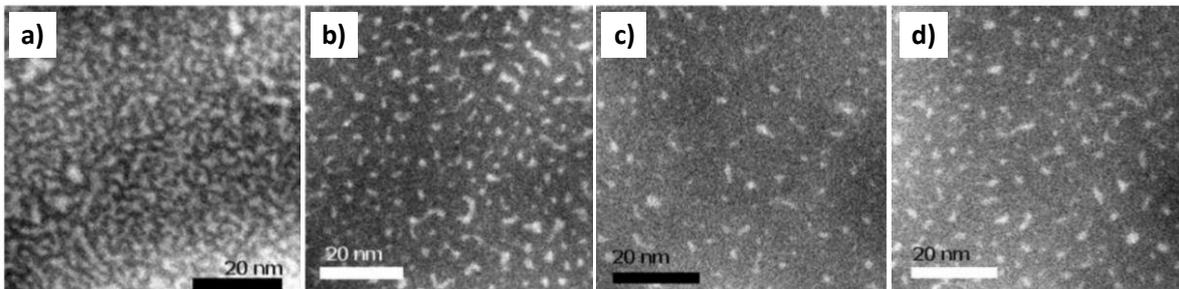


Figure I. 13 : vue planes EF-TEM d'échantillons Si/ $\text{SiO}_2$  implantés à très basse énergie (1 keV), avec une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  et recuits : a) sous  $\text{N}_2$  à  $T=950^\circ\text{C}$  pendant 30 min, b) sous  $\text{N}_2$  à  $T=1050^\circ\text{C}$ , pendant 30 minutes, c) sous  $\text{N}_2+1,5\%\text{O}_2$  à  $T=950^\circ\text{C}$  pendant 120 minutes, d) sous  $\text{N}_2+1,5\%\text{O}_2$  à  $T=1050^\circ\text{C}$  pendant 30 minutes

Après traitement des images EF-TEM, la taille et la densité surfacique des Si-nx sont extraites avec des incertitudes respectivement de 10 et 40%. Les valeurs extraites des images présentées Figure I. 13 sont données dans le tableau ci-dessous :

Conditions de recuit thermique	diamètre moyen des Si-nx (nm)	densité de Si-nx ( $\times 10^{12} \text{ cm}^{-2}$ )
N <sub>2</sub> , 950°C, 30 min	3,8	9,0
N <sub>2</sub> , 1050°C, 30 min	3,3	7,0
N <sub>2</sub> +1,5%O <sub>2</sub> , 950°C, 120 min	2,7	7,0
N <sub>2</sub> +1,5%O <sub>2</sub> , 1050°C, 30 min	3,1	3,7

Tableau 2 : Evolution de la taille et de la densité des Si-nx en fonction des conditions de recuit pour une synthèse ULE-IBS après implantation à 1 keV avec une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$

Dans le cas de recuits inertes, la Figure I. 13 et le Tableau 2 montrent que l'augmentation de la température de recuit 950°C à 1050°C permet de déconnecter en partie les Si-nx initialement coalescés après un recuit à 950°C. La morphologie change également, les Si-nx passent d'une forme allongée à une forme quasi-sphérique. Ces modifications se traduisent par une légère diminution de la taille et de la densité. L'utilisation d'un recuit légèrement oxydant permet de contrôler plus finement la morphologie des Si-nx du fait de leur oxydation progressive au cours du recuit sous faible teneur en O<sub>2</sub>. On peut ainsi obtenir des nanocristaux de taille inférieure à 3 nm, comme indiqué dans le Tableau 2, et de densité encore suffisamment élevée. Ces recuits oxydant permettent une meilleure séparation des Si-nx et de les rendre quasi-sphériques.

Il est également possible de réaliser un double recuit, à savoir un premier recuit inerte puis un second recuit légèrement oxydant. Le premier recuit sert principalement à former les Si-nx par nucléation tandis que le second permet faire évoluer les populations et d'ajuster leur taille et leur densité. De plus ces recuits oxydant sont extrêmement bénéfiques pour la qualité diélectrique de l'oxyde de grille plus ou moins endommagé après l'implantation ionique comme nous l'avons dit précédemment. Au final, le double recuit permet d'assurer la formation des Si-nx lors du recuit inerte, de finaliser leur synthèse et de rétablir partiellement la qualité de l'oxyde lors du second recuit oxydant.

### III-4) Le cahier des charges pour la synthèse des Si-nx

Nous venons de voir les conditions optimales d'implantation et de recuit par la méthode ULE-IBS issues des travaux réalisées dans le cadre du projet NEON et des thèses de Marzia Carrada et Hubert Coffin [22, 28]. Par ailleurs, She et al [31] ont définis les paramètres optimaux de synthèse de Si-nx dans une couche mince de SiO<sub>2</sub> pour la réalisation de mémoires à Si-nx permettant d'obtenir les meilleurs résultats. Ces conditions sont les suivantes :

- une densité de Si-nx élevée (environ  $1 \times 10^{12} \text{ cm}^{-2}$ ) avec un espacement entre les Si-nx idéalement

supérieur à 5 nm afin d'éviter le transfert de charges par effet tunnel entre deux nanocristaux voisins. Cette caractéristique permet d'obtenir des temps de rétention plus élevés que ceux des composants à grille flottante conventionnelle.

- un oxyde d'injection de faible épaisseur (2 à 3 nm) pour permettre à la cellule mémoire de fonctionner avec des temps de programmation et d'effacement élevés. Cette épaisseur reste cependant suffisante pour éviter les courants de fuite vers le canal.
- un oxyde de contrôle d'épaisseur suffisamment faible (< 5 nm) pour décharger les électrons par effet tunnel depuis les Si-nx par application d'une tension négative sur la grille. L'oxyde de contrôle est d'épaisseur supérieure à celle de l'oxyde d'injection de façon à assurer une injection de charges par le canal et non par la grille.
- un réseau bidimensionnel de nanocristaux, ce qui permet de localiser spatialement ce plan. Le chargement et le déchargement complet du plan de nanocristaux sont alors réalisés respectivement pour une seule tension de grille positive et négative et non pour une distribution de tensions, ce qui facilite grandement l'adressage des bits.

En partant de ces travaux, nous verrons, dans le chapitre suivant, que nous avons développé un procédé de synthèse de Si-nx dans des MOSFET réalisés à l'AIME pour lequel nous tentons de répondre à l'ensemble des critères donnés dans le cahier des charges défini ci-dessus. Si celui-ci répond à la majorité des critères fixés, il ne suffit malheureusement pas à localiser latéralement le plan bidimensionnel de Si-nx synthétisé par la technique ULE-IBS, et ainsi à réduire et contrôler le nombre de Si-nx constituant la grille granulaire, jusqu'à l'unité. Ainsi, nous développerons et décrirons au chapitre V une technique de lithographie particulière qui ajoute une dimension supplémentaire à la synthèse ULE-IBS. Cette technique originale qui permet une synthèse localisée dans la couche d'oxyde, réalisée par masquage « Stencil », a été appliquée pour la première fois dans le cadre de la thèse de Carine Dumas [16]. Le couplage de ces deux techniques, masquage Stencil (SM, Stencil Masked) et synthèse ULE-IBS, sera nommé dans cette thèse SM-ULE-IBS (*Stencil-Masked Ultra-Low-Energy Ion-Beam-Synthesis*).

## **IV) Réduction du nombre de Si-nx synthétisés par lithographie Stencil**

### **IV-1) Les techniques de lithographie douce**

De nos jours, dans le domaine de la microélectronique et de la nanoélectronique, la lithographie regroupe un certain nombre de procédés permettant de structurer ou de transférer des motifs sur un substrat, de manière sérielle ou parallèle. Le masquage Stencil correspond à l'une de ces

techniques dites de « lithographie douce ». Nous allons ci-dessous présenter de manière succincte les principales techniques de lithographie douce puis décrire la technique particulière à base de stencil pour la synthèse localisée de Si-nx.

Nous nous plaçons résolument dans une perspective de fabrication de composants avec une synthèse localisée de Si-nx dans l'oxyde de grille de transistors de type MOSFET par plaquette ou lot de plaquettes. De ce fait, les techniques de lithographie douce sérielles ne sont pas adaptées. Nous allons néanmoins citer dans ce type de lithographie les techniques dites de « Dip Pen Nanolithography », qui correspondent à l'utilisation d'une pointe AFM (Microscope à Force Atomique) pour déposer des molécules [32- 34]. Cette technique permet de structurer ou fonctionnaliser une surface isolante ou métallique.

Les techniques de lithographie douce « parallèle » utilisent généralement un moule réutilisable permettant de transférer des motifs. Ces techniques sont alors rapides et peu coûteuses. Parmi ces techniques, les deux plus répandues, nous pouvons citer :

- La lithographie par « Nano Impression » [35], qui consiste à presser un moule rigide, contenant des motifs préalablement définis par lithographie, sur une surface non conventionnelle (couche de polymères). Elle permet de réaliser des motifs de taille inférieure à 100 nm de façon homogène.
- Le « contact printing », qui permet de déposer des objets biologiques par mise en contact d'un timbre souple contenant des motifs et un substrat [36- 39]. Généralement ce timbre est en PDMS (PolyDiMéthylSiloxane). Ce procédé permet également la réalisation de motifs de résolution inférieure à 100 nm, sur de grandes surfaces [40- 42].

Notons que ces techniques sont susceptibles d'endommager le substrat, soit par contact ou contrainte du timbre souple ou du moule rigide sur la surface, soit par l'utilisation d'une résine pouvant modifier la surface avant et après son retrait en particulier sur un oxyde mince.

## **IV-2) Les masques Stencils et la synthèse par SM-ULE-IBS**

Pour préserver notre oxyde de grille mince et les nanocristaux de Si qui se situent à quelques nanomètres au dessous de la surface de SiO<sub>2</sub>, il est préférable d'utiliser une méthode laissant la surface de l'échantillon parfaitement intacte. C'est notamment le cas de la lithographie Stencil qui utilise un masque particulier de type pochoir que nous allons décrire.

Depuis une décennie, les masques Stencil sont utilisés dans le domaine de la microélectronique pour l'auto-assemblage et la fabrication de microsystèmes [43], pour réaliser des

circuits intégrés CMOS [44, 45] ou encore pour des applications d'électronique moléculaire [46]. Ce procédé est rapide, peu coûteux (si la membrane n'est pas endommagée, elle est réutilisable), direct et ne nécessite pas l'utilisation de résine.

Les masques stencils sont planaires et peuvent être isolants (SiN, SiO<sub>2</sub>), semi-conducteurs (Si) ou métalliques. Leur épaisseur est en général de quelques nanomètres à plusieurs centaines de nanomètres. Ils contiennent des ouvertures dont la taille peut varier de plusieurs centaines de microns à quelques nanomètres. Ces ouvertures peuvent alors être réalisées par photolithographie, par faisceaux d'ions focalisés (FIB) ou par lithographie électronique (e-beam) selon la résolution que l'on souhaite.

Le masquage Stencil consiste simplement à poser le masque sur la surface de l'échantillon, puis à faire passer de la matière à travers les motifs par évaporation ou par implantation ionique. Le dépôt peut être organique ou inorganique, sur des surfaces qui peuvent être un matériau organique, polymère ou encore une surface fonctionnalisée. Dans le cadre de la synthèse de Si-ncx dans une couche mince de silice, il s'agit d'une implantation ionique d'ions Si<sup>+</sup>. À l'aide de cette technique, il est possible de réaliser des structures microniques et nanométriques de géométrie variable sur de larges échelles. Un simple retrait du masque après implantation assure un minimum d'endommagement de la surface de la silice après utilisation. La description complète des membranes Stencils utilisées pour notre synthèse par SM-ULE-IBS est donnée au chapitre 5. Cette technique de synthèse formera des « poches » locales de dimensions contrôlées de Si-ncx dont il faudra par la suite pouvoir déterminer les différentes caractéristiques (taille, position, densité...).

Le couplage de ces deux techniques nous permettra donc d'obtenir des composants mémoires qui contiendront un nombre réduit de nanocristaux. Il nous faudra alors développer une méthode de mesures électriques permettant d'obtenir d'une part la caractéristique des composants et d'autre part les caractéristiques des nanocristaux synthétisés, et si possible dans le composant en fonctionnement. Intéressons-nous donc aux différentes techniques de caractérisations électriques des composants de type capacités et transistors permettant de répondre à cette problématique.

## **V) Les techniques électriques de caractérisation des mémoires à Si-ncx**

Un oxyde de grille, quel qu'il soit, présente généralement plusieurs types de pièges. Ces types de pièges mais aussi d'autres caractéristiques telles que leur position ou encore leur densité dépendent de nombreux paramètres. En effet, ces populations dépendent par exemple de la technique de croissance ou de dépôt de l'oxyde, des traitements chimiques pouvant éventuellement diminuer la

quantité de défauts, ou encore comme dans notre cas certains pièges sont créés par les impacts ioniques de l'implantation. Or, tous ces pièges, à leurs niveaux peuvent stocker une charge électrique, il n'est par conséquent pas évident de savoir a priori quels sont les pièges responsables du piégeage des charges. Or si nous souhaitons contrôler les caractéristiques des mémoires, nous devons développer une ou des techniques électriques permettant de les caractériser parfaitement : type de piège, signature énergétique, taille, densité, localisation... S'il existe aujourd'hui un grand nombre de techniques électriques permettant de sonder les pièges présents dans l'oxyde de grille de composants MOS classiques, existe-t-il une méthode électrique capable d'obtenir toutes les informations que nous venons de citer ? En particulier, une qui permettrait de les discriminer et/ou de caractériser en une seule fois les pièges que nous introduisons volontairement pour être les piliers des composants mémoires, i.e. les Si-nx. En outre, compte tenu de la variété des centres piègeurs en présence, comprendre où et comment se produit le chargement est essentiel pour contrôler un composant mémoire, et assurer un caractère non-volatile au chargement. Dans ce paragraphe, nous allons donc réaliser un bref rappel de ces différents pièges et un inventaire des différentes techniques électriques susceptibles de répondre à d'obtenir leurs caractéristiques. A l'issue de cet inventaire nous en choisirons une que nous développerons au cours de cette thèse (chapitre 4).

## **V-1) Rappels sur les états d'interface et de volume**

Les défauts présents à l'interface Si/SiO<sub>2</sub> sont dus à la discontinuité de l'interface entre le substrat Si et l'oxyde formé sur ce substrat. Ils jouent un rôle important dans les phénomènes de piégeage de charge dans l'oxyde de grille des structures MOS puisqu'ils sont électriquement actifs et situés au ras du substrat, lieu d'où les charges sont envoyées dans l'oxyde. La présence de ces défauts, souvent à l'origine de la dégradation électrique des composants MOS, est inévitable et leur caractérisation est devenue incontournable dans l'étude de ces composants. Ainsi, il est important de déterminer leur quantité  $Q_{SS}$  ou leur densité  $N_{SS}$ .

Historiquement, les premiers pièges étudiés et caractérisés électriquement sont ceux situés à l'interface avec le substrat, puis ultérieurement des techniques ont permis de caractériser certaines propriétés de pièges dits « de volume » par opposition aux défauts d'interface. Cette distinction s'est faite grâce à des techniques permettant d'appliquer des tensions de fréquence variable aux différents composants. La figure ci-dessous présente un schéma montrant la possibilité de discriminer les pièges lents des pièges rapides d'interface dans un oxyde contenant des Si-nx en fonction de la technique électrique choisie et la gamme de fréquence associée :

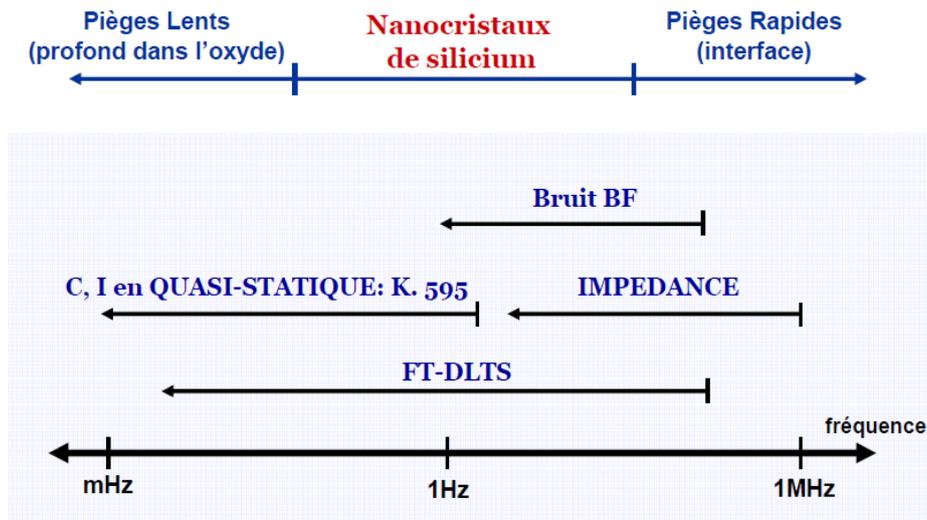


Figure I. 14 : Schéma montrant les gammes des fréquences utilisables par différents types de mesures électriques impliquant la possibilité de sonder des pièges uniquement dans une certaine gamme de profondeur [1]

La distinction entre pièges « plus ou moins » lents dépend principalement de leurs positions relatives dans l'oxyde et est donc spécifique à chaque type de composants étudiés.

Les défauts d'interface sont donc qualifiés d'« états rapides » car leur temps de réponse à une sollicitation électrique est court du fait de leur position très proche du canal d'inversion. Par opposition à ces pièges rapides, on qualifie d'« états lents » les états relatifs aux pièges situés dans l'oxyde, à une certaine distance de l'interface et qui communiquent avec l'interface par effet tunnel [47]. Parmi les états de volume, ceux n'ayant pas le temps d'interagir avec le semi-conducteur pendant la mesure sont qualifiés d'« états fixes » [48]. Dans le cas de notre synthèse par ULE-IBS, les Si-ncx sont des pièges dits « lents » car ils sont plus loin du canal que les défauts d'implantation et évidemment des défauts d'interface.

## V-2) Les méthodes électriques de caractérisation des pièges

### V-2-1) Les mesures de conductance

Cette méthode est basée sur le principe qu'une structure MOS d'oxyde vierge ne présente idéalement pas de conductance. Le schéma ci-dessous est un schéma électrique pour lequel sont prises en compte à la fois une composante capacitive  $C_p$  et une composante résistive définissant la conductance  $G_p$ .

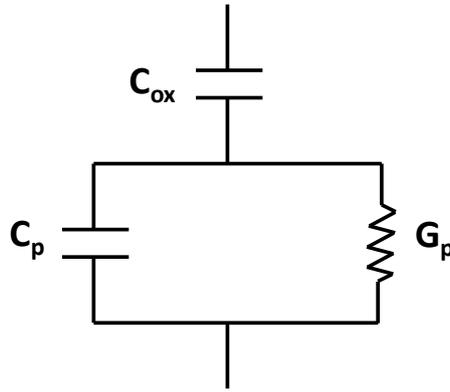


Figure I. 15 : Schéma électrique équivalent d'une structure MOS pour laquelle est prise en compte la conductance  $G_p$  liée à la présence d'état d'interface ou de volume dans l'oxyde.

La mesure est réalisée en désertion et tient compte de la fréquence angulaire  $\omega$  et de l'admittance du système  $Y(V) = G(V) + j\omega.C(V)$ . En connaissant  $C_{ox}$ , on peut alors extraire la conductance équivalente parallèle  $G_p$ . Cette technique permet alors de déterminer la densité de pièges d'interface notée  $N_{SS}$  grâce à la relation suivante [49]:

$$N_{SS} = \frac{C_{ox}}{qAf_N} \left[ \frac{G_p}{\omega C_{ox}} \right]_{\max} \quad \text{Équation 2}$$

Où  $f_N$  est un facteur de correction de l'ordre de 0,4 qui tient compte des fluctuations du potentiel de surface [50].

De plus, depuis les premières études basées sur les mesures de conductance, cette technique a évolué et a été utilisée pour sonder les états lents de l'oxyde de grille en utilisant des basses fréquences (BF) [51].

Ainsi, au-delà des mesures de conductance permettant uniquement de déterminer la densité de pièges d'interface et à une distance plus loin de l'interface, d'autres méthodes permettent de déterminer la quantité de charge stockée dans l'oxyde par mesure du décalage de la tension de seuil  $V_T$  ou de la tension de bandes plates  $V_{FB}$ , telles que les mesures I-V et C-V présentées ci-dessous :

### **V-2-2) Les mesures de types I-V et C-V**

Le chargement d'îlots par des mesures électriques a été montré à l'aide de courbes courant-tension (I-V), comme présenté sur la figure ci-dessous dans le cas de MOSFET à grille granulaire de nanocristaux [3].

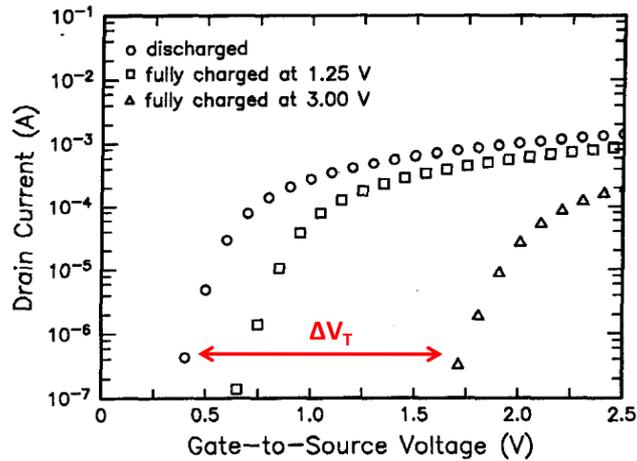


Figure I. 16 : Décalage de la caractéristique I-V d'un MOSFET vers les fortes tensions après impulsion positive à 1,25V et 3V pendant une durée de 10 ns [3]

La figure ci-dessus montre un décalage de la tension de seuil  $\Delta V_T$  de 0,25V et 1,20V après une impulsion de 20 ns appliquée à la grille, respectivement pour des amplitudes de 1,25V et 3V. Ce décalage correspond à une injection d'électrons depuis le substrat jusqu'au plan de Si-n<sub>x</sub> [3, 52, 53].

Le même type d'information peut être obtenu en réalisant des mesures électriques sur des capacités MOS contenant des Si-n<sub>x</sub>. Cela permet en effet d'observer un décalage de la tension de bandes plates lors du balayage de la tension de grille entre les régimes d'accumulation et d'inversion de la structure MOS. On observe alors des hystérésis de chargement [54, 22, 55, 56, 57]. La Figure I. 17 [54] illustre le chargement d'électrons et de trous observé par mesure C-V sur une capacité contenant des Si-n<sub>x</sub>, suite à des stress de tensions positifs et négatifs :

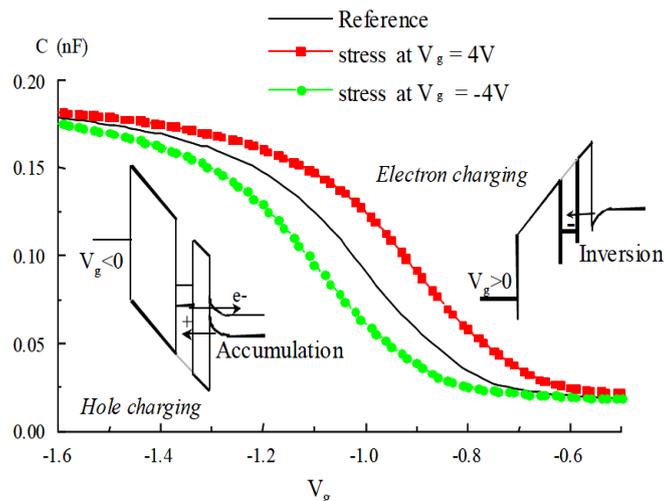


Figure I. 17 : Décalage de  $V_{FB}$  observé sur une capacité MOS à Si-n<sub>x</sub> : la courbe en traits plein est la référence (avant stress), la courbe est décalée vers la gauche après un stress de -4V et la courbe est décalée vers la droite après un stress de +4V [54]

Le décalage de la tension  $V_{FB}$ , provoqué par le stockage de charges, permet de déterminer la fenêtre mémoire  $\Delta V_{FB}$ , mesurée sur la courbe C-V à  $C_{max}/2$ . Le stockage de charges positives se traduira par un décalage de  $V_{FB}$  vers la gauche (vers les tensions négatives), et vers la droite (vers les tensions positives) pour un stockage de charges négatives. La Figure I. 17 montre que lorsqu'on passe du régime d'accumulation au régime d'inversion,  $V_{FB}$  se décale vers les tensions positives (injection d'électrons). A l'inverse, lorsqu'on passe du régime d'inversion au régime d'accumulation,  $V_{FB}$  se décale vers les tensions négatives (injection de trous).

Même si ces mesures I-V et C-V, effectuées sur transistors et capacités respectivement, permettent de mesurer une fenêtre mémoire, elles ne permettent pas de trancher définitivement ou facilement sur le type de pièges sondés (lent ou rapide) et surtout sur la localisation précise de ces pièges : cœur ou périphérie de la nanoparticule. Certaines méthodes permettent cependant d'aller un peu plus loin dans cette investigation. Nous pouvons citer entre autres pour les capacités des mesures de DLTS capacitive et pour les transistors des mesures de transconductance dynamique, de DLTS en courant, de spectroscopie de bruit ou encore de pompage de charges. Nous présentons ci-dessous brièvement quelques unes d'entre elles appliquées à la caractérisation du chargement de nanocristaux.

### ***V-2-3) Les mesures I-V et C-V en régime quasi-statique***

La méthode de mesures quasi-statique de courants ou de capacités possède certains avantages par rapport aux mesures I-V et C-V classiques pour la caractérisation d'oxydes ultra-minces. En utilisant une sollicitation électrique sous forme de paliers de tensions de faible pas, un déplacement de charges est stimulé et mesuré. Un circuit de mesure « à rétroaction » de charges permet de réduire l'effet de plusieurs sources d'erreur de mesures [58]. Dans le cas de la caractérisation de Si-nx, elle permet de distinguer les courants de déplacement des courants de fuite à travers la capacité et des courants en excès dus au chargement et au déchargement des centres piègeurs de charges dont les Si-nx. En faisant varier la vitesse de balayage en tension, il est alors possible de différencier les différentes contributions de signal. Comme le montrent Ferraton et al. [59], à l'aide de ce type de mesures sur des échantillons avec et sans Si-nx, on peut isoler la contribution des Si-nx de celle des autres centres piègeurs en soustrayant les mesures faites sur un échantillon à Si-nx et un échantillon de référence vierge. La densité de charges capturée par les Si-nx peut alors être directement extraite de la mesure de courant en excès. La figure ci-dessous illustre ce type de résultat :

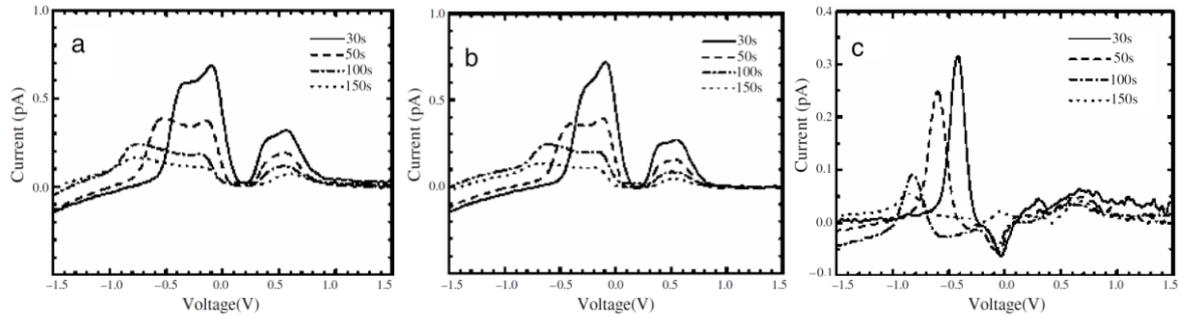


Figure I. 18 : Mesures quasi-statique en courant pour quatre vitesses de balayage données (30, 50, 100 et 150 s) avec un pas en tension fixé à 10 mV, a) du courant en excès de capacités MOS contenant des Si-nCx, b) de la référence sans Si-nCx, c) contribution des Si-nCx obtenue par soustraction des deux précédentes [59]

Cette figure montre plusieurs pics de courant en excès après élimination de la composante de courant de fuite. Chacun de ces pics est caractéristique d'un type de centres piègeurs de charges contenant dans l'oxyde de grille, dont les défauts d'interface avec le substrat. Par soustraction des mesures I-V pour des capacités avec Si-nCx (a) et sans Si-nCx (b), on n'obtient plus qu'un seul pic relatif à la présence des Si-nCx. A partir de ce pic, la densité de charges est extraite et peut être comparée à la densité de Si-nCx si celle-ci est connue. Pour l'exemple donné Figure I. 18, Ferraton et al. montrent qu'en moyenne entre une demi et une charge est stockée par nanocristal.

Ainsi cette technique permet d'identifier clairement le chargement dans les Si-nCx et d'estimer une densité de charge, cependant elle ne donne accès à aucune information sur les particules elles mêmes (taille, densité, distribution spatiale...).

## V-2-4) Les mesures DLTS (Deep Level Transient Spectroscopy)

### V-2-4 a) Mesures de DLTS capacitive

Il s'agit d'une méthode de mesures de transitoires de capacités, ces transitoires étant consécutives au piégeage-dépiégeage de porteurs par les défauts présents dans le matériau en fonction de la température. La mesure est réalisée après application d'une tension [60] en escalier. A une polarisation constante, qui met le dispositif en condition de déplétion, on superpose une impulsion d'amplitude  $\Delta V$  qui fait passer la surface du semi-conducteur en régime d'accumulation. Lors du retour de la structure à l'équilibre, le spectre d'émission est analysé à deux instants par mesure de la capacité du système. Alors l'amplitude du signal mesuré  $\Delta C = C(t_2) - C(t_1)$  est proportionnelle au nombre de pièges ayant le temps d'émettre pendant la durée  $t_2 - t_1$ . On sélectionne ainsi un taux d'émission pour un piège situé à une énergie  $E_c - E_t$  de la bande de conduction, ce taux étant exprimé de la façon suivante :

$$e_n(E_t) = N_c \sigma_n v_{th} \exp\left(-\frac{E_c - E_t}{kT}\right) \quad \text{Équation 3}$$

Où  $N_c$  est la densité effective d'états dans la bande de conduction,  $\sigma_n$  la section de capture des pièges pour les électrons,  $v_{th}$  la vitesse thermique des porteurs,  $k$  la constante de Boltzmann et  $T$  la température. Si l'on considère les paramètres indépendants de l'énergie, alors le profil en énergie des pièges se déduit simplement du spectre en température. Il est alors possible de déterminer des profils énergétiques des pièges d'interface. Par la suite, des états lents (dans le volume de l'oxyde) ont été observés par DLTS capacitive par Lakhdari et al. [61], à des profondeurs comprises entre 1,5 et 2,0 nm. Pour cela, ils ont augmenté l'amplitude de l'impulsion pour mesurer des concentrations volumiques de défauts à partir d'un modèle tunnel direct. Depuis, cette technique a notamment été appliqué à l'étude de capacités contenant un plan de Si-nx dans l'oxyde de grille. Soufi et al. montrent Figure I. 19 qu'il est possible de distinguer la contribution des pièges à l'interface avec le substrat de celle des Si-nx dans l'oxyde de grille :

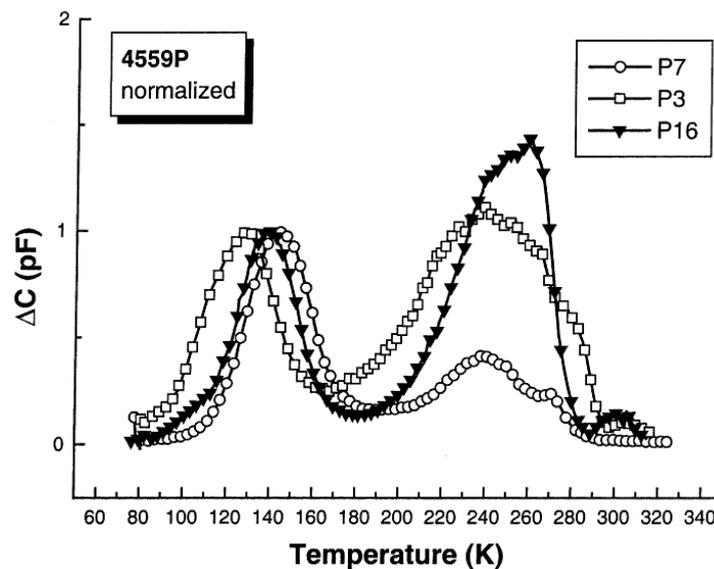


Figure I. 19 : Spectres de DLTS pour des échantillons d'oxyde d'injection de 2,5 nm et de densités de Si-nx respectives de 0 (P7),  $2 \times 10^{11}$  (P3) et  $4 \times 10^{11} \text{ cm}^{-2}$  (P16) [62]

Les spectres de DLTS capacitive ci-dessus montrent après normalisation ( $\Delta C = 1$ ) du pic de pièges à l'interface (vers 120-150 K, à gauche) que le pic de réponse des Si-nx est obtenu à plus haute température (autour de 250 K, à droite). Ainsi à basse température le chargement des pièges d'interface est favorisé tandis que ce sont les Si-nx qui capturent préférentiellement la charge à plus haute température. A noter que l'intensité du pic de réponse des Si-nx est compatible avec la densité de Si-nx connues pour les séries d'échantillons testées (P7, P3 et P16).

#### **V-2-4 b) Mesures de DLTS en courant**

Il s'agit de la mesure de transitoires de courant de drain dans des transistors MOS. Cette technique a une plus grande sensibilité que la précédente et est applicable à des dispositifs de faibles dimensions puisque le courant de drain  $I_D$  est proportionnel au rapport  $W/L$ . La mesure est réalisée en plaçant le dispositif en inversion, régime dans lequel circule un courant  $I_D$ . On applique alors une tension de grille polarisant la structure en accumulation. Le retour en inversion permet le remplissage des états rapides et lents par les porteurs minoritaires, préalablement occupés par les majoritaires pendant l'accumulation. Il apparaît alors une transitoire de courant de drain mesurée, tout comme pour la DLTS capacitive, à deux instants  $t_1$  et  $t_2$ . On peut alors extraire la densité de défauts à l'interface ou près de l'interface [63, 64]. Une extension de la méthode a été proposée par Bauza [64] pour tracer la distribution en profondeur de ces densités de pièges, cependant uniquement dans le cas de pièges d'interface. En effet le modèle théorique servant à réaliser ces profils est basé sur la statistique de Shockley-Read-Hall (SRH) et sur le modèle de capture tunnel d'Heiman et Warfield [65], à savoir un processus de capture de charge en une étape tunnel directe entre le semiconducteur et les pièges d'interface). Alors, la densité « volumique » (limitée à 1 nm de profondeur) de centres piégeant la charge est obtenue en fonction de la profondeur dans l'oxyde, notée  $x_m$ . L'expression est la suivante :

$$N_i(x_m) = \frac{C_{ox} [I_D(t_2) - I_D(t_1)]}{q^2 g_m \lambda \Delta \phi \ln\left(\frac{t_2}{t_1}\right)} \quad \text{Équation 4}$$

Où  $g_m$  est la transconductance du transistor,  $\lambda$  la constante d'atténuation tunnel et  $\Delta\phi$  l'excursion du potentiel de surface, définie par la position du niveau de Fermi à l'interface en inversion et en accumulation. Ainsi, cette technique permet d'établir la position et la densité de pièges, mais uniquement pour les défauts d'interface. Dans le cas de pièges positionnés au-delà de 1 nm de profondeur dans l'oxyde, il n'est plus possible de localiser les pièges, on ne peut extraire que leur densité moyenne.

#### **V-2-5) Mesures de bruit basse fréquence (1/f)**

Depuis sa découverte par Johnson en 1925, de nombreux processus en 1/f ont été identifiés par mesures à basses fréquences dans des domaines très variés tels que la physique, la biologie, l'astrophysique, l'économie, la psychologie, le langage... Il est ainsi présent à la fois dans la nature (et même dans notre cerveau) et dans des objets créés par la main de l'Homme. Il est associé aux basses fréquences (on le nomme d'ailleurs parfois bruit basses fréquences) car il n'est identifiable que lorsque sa densité spectrale de puissance est supérieure à celle du bruit blanc qui est indépendant de la fréquence. Ainsi, seules les fréquences inférieures à la fréquence de coude permettent de mesurer le

bruit en  $1/f$ .

De manière générale, le bruit en  $1/f$  correspond à un phénomène dont la densité spectrale de puissance  $S(f)$  s'écrit sous la forme :

$$S(f) = \frac{cte}{f^\alpha}$$

Où  $f$  est la fréquence et  $\alpha$  compris entre 0,5 et 1,5.

Pour revenir à notre domaine, il est souvent admis que dans le cas de MOSFET conventionnels, la principale source de bruit  $1/f$  est due au piégeage et dépiégeage de charges par les pièges de l'oxyde de grille. Un modèle dit « unifié » du bruit en  $1/f$  a cependant été développé [66] car il existe deux composantes indépendantes de fluctuations dont il faut tenir compte pour obtenir le bruit total, à savoir une fluctuation de la mobilité des porteurs dans le canal d'inversion et une autre du nombre de porteurs de charges dans ce même canal. La première est décrite par le modèle de Hooge [67] tandis que la seconde est introduite par Mac Whorter [68].

Aujourd'hui, cette technique est également utilisée dans des dispositifs MOS de pointe pour déterminer la présence de défauts dans l'oxyde. Par exemple, Shahriar et al. [69] utilisent les mesures de bruit en  $1/f$  pour comparer deux méthodes de nitruration d'une couche de HfSiO permettant la réalisation de couches de HfSiON visant à remplacer le SiON comme diélectrique high-k de grille. Les résultats en termes de fluctuations du nombre de porteurs de charges et de la mobilité sont présentés sur la figure ci-dessous :

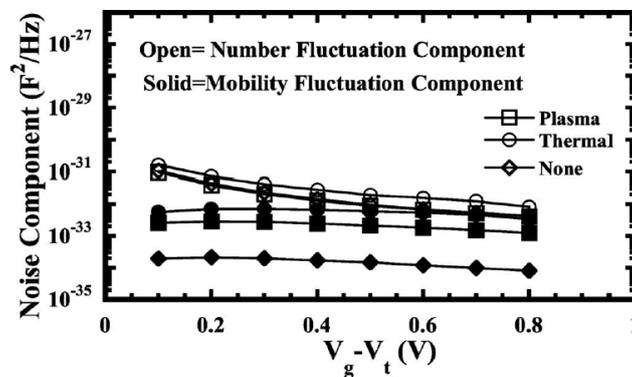


Figure I. 20 : Comparaison des niveaux de bruit en  $1/f$  de MOSFET à diélectrique de grille en HfSiON dont la nitruration est réalisée soit thermiquement soit par plasma

Cette figure montre qu'il est préférable de choisir un procédé plasma pour la réalisation de couches de HfSiON comme diélectrique de grille de MOSFET. En effet, le niveau de bruit en  $1/f$  est systématiquement plus faible que pour un procédé thermique. Alors le composant est soumis à un niveau moindre de fluctuations du nombre de porteurs de charges et de leur mobilité dans le canal.

Une autre application des mesures de bruit basses fréquences est proposée par l'équipe d'Abdelkader Souifi (INL) qui a appliqué cette technique à la détection du bruit en excès dans des MOSFET à Si-ncx dans l'oxyde de grille  $\text{SiO}_2$ . Ils ont mesuré des fluctuations du courant de drain à

une tension  $V_D$  fixée (par exemple 50 mV) pour différentes valeurs de  $V_G$ . Les mesures de densités spectrales de puissance du courant de drain sont réalisés sur des dispositifs avec et sans Si-ncx à basse fréquence (10 Hz). Les résultats tracés en  $S_{I_d}/I_d^2=f(I_d)$  sont présentés sur la figure ci-dessous :

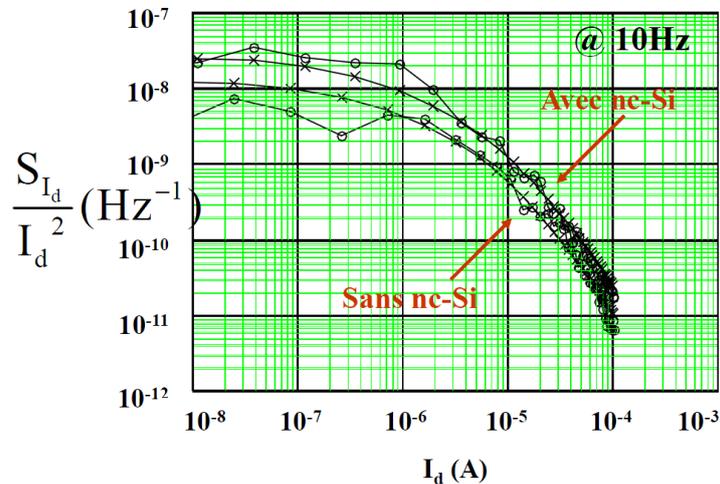


Figure I. 21 : Mesures de densités spectrales de puissance du courant de drain sur des dispositifs avec et sans Si-ncx [1]

En utilisant le modèle de Mac Whorter tout en tenant compte de la corrélation de la mobilité, ils peuvent extraire la distribution fréquentielle de la densité de pièges  $N_t=f(f)$ . Les résultats montrent que cette dernière est bien plus élevée dans le cas des MOSFET à Si-ncx ( $1,2 \times 10^{18} \text{ eV}^{-1}/\text{cm}^{-3}$ ) que dans les MOSFET vierges ( $4,8 \times 10^{17} \text{ eV}^{-1}/\text{cm}^{-3}$ ). La dépendance fréquentielle de ces derniers est systématiquement en  $1/f$  tandis qu'elle ne l'est plus pour les MOSFET à Si-ncx, il existe alors un bruit en excès à basses fréquences lié à la présence des nanoparticules. A l'aide d'une équation tenant compte de la section de capture et de la position connue préalablement des Si-ncx, ils ont pu établir la distribution en profondeur de la densité des Si-ncx. Au final, cette technique permet certes d'extraire les densités des pièges d'interface et des Si-ncx mais ne permet pas de déterminer la distribution en profondeur des Si-ncx sans connaissances à priori de paramètres structuraux.

Ainsi, aucune de ces méthodes ne permet de déterminer sans à priori la position des Si-ncx. Pour répondre à cette problématique, nous nous sommes tournés vers le pompage de charge, décrit ci-dessous.

### V-2-6) Le pompage de charges

Le pompage de charge est une technique introduite en 1969 par Brugler et Jespers. Initialement dévolue à l'analyse détaillée des pièges d'interface, elle a considérablement évolué à tel point qu'aujourd'hui on peut envisager de l'utiliser pour sonder des pièges de volume placés à une certaine distance de l'interface. Elle a notamment été utilisée pour l'analyse de pièges dans des

structures SONOS ou à matériau high-k. Premièrement, le pompage de charge « conventionnel », à savoir le pompage de charge 2 niveaux, permet de déterminer la densité surfacique moyenne et la section de capture des pièges mais également de réaliser un profil de concentration de ces pièges en fonction de leur profondeur dans l'oxyde de grille. La figure ci-dessous présente un exemple de profil donné par Maneglia pour les pièges d'interface [70].

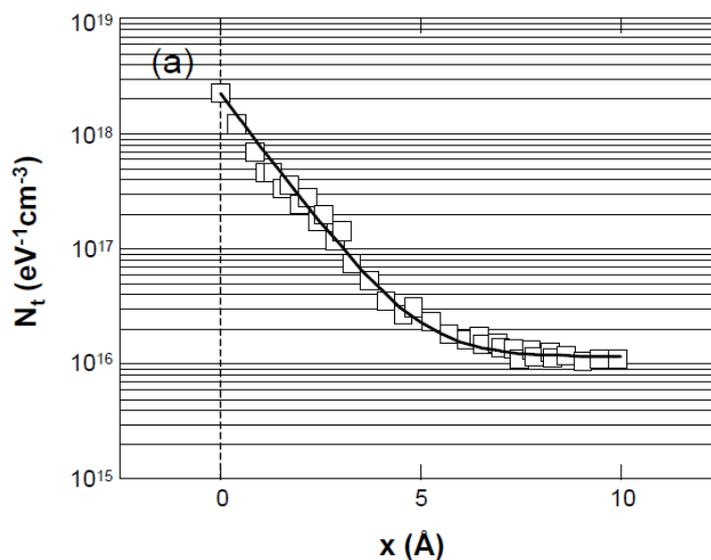


Figure I. 22 : Profil en profondeur de la densité volumique de pièges obtenu par mesures de pompage de charges (dispositif ST 800x4  $\mu\text{m}^2$  à canal p vierge) par Maneglia [70]

Deuxièmement, comme pour la DLTS, le pompage de charges 3 niveaux permet d'obtenir une distribution énergétique de la densité d'états d'interface  $N_{SS}(E)$ , mais aussi celle des constantes de temps d'émission des porteurs et des sections de capture des pièges, tant pour les électrons que pour les trous.

Troisièmement, le pompage de charges spectroscopique permet d'obtenir ces densités  $N_{SS}(E)$  également en fonction de la température car les temps d'émissions de porteurs sont fonctions de la température.

Enfin, seuls quelques travaux récents et prometteurs ont permis d'entrevoir que le pompage de charge pourrait répondre au cahier des charges que nous nous sommes fixés pour l'étude de Si-nx dans l'oxyde de grille de composants MOS [71, 62]. A notre connaissance, aucune étude n'a encore permis de sonder des Si-nx synthétisés dans un oxyde de grille par implantation ionique.

Ainsi, l'intérêt de cette technique par rapport aux autres méthodes électriques de caractérisations des pièges lents (e.g. les Si-nx) réside dans le fait qu'elle permet de déterminer en une seule étape tous les paramètres clés pour l'étude des pièges en profondeur: leurs tailles, concentration et densité surfacique des pièges, leurs sections de capture, les constantes de temps d'émission, leur signature énergétique et surtout la distribution.

Le principe de fonctionnement ainsi qu'une bibliographie détaillée du pompage de charge seront donnés dans le chapitre 4 puisque cette technique est celle que nous avons choisi de développer dans le cadre de cette thèse pour sonder en profondeur les Si-nx des composants mémoires que nous avons réalisés.

## Conclusion générale du chapitre

Parmi les différentes méthodes de synthèse de Si-ncx que nous avons présentées l'ULE-IBS permet de contrôler au mieux la position en profondeur d'un plan 2D de Si-ncx parallèle et à une faible distance de l'interface avec le substrat. Les Si-ncx formant cette grille granulaire sont alors d'une taille de l'ordre 3 nm avec une densité assez importante (autour de  $1 \times 10^{12} \text{ Si}^+/\text{cm}^2$ ), qui permettra à ces derniers de gouverner les propriétés de stockage de charge des composants mémoires, au détriment des pièges d'interface de densité moindre comme nous le verrons au chapitre 3.

A cette technique de synthèse bidimensionnelle de Si-ncx (ULE-IBS), nous nous proposons d'ajouter une dimension supplémentaire permettant de localiser leur synthèse dans la couche d'oxyde. De par ses propriétés de lithographie douce, de facilité de mise en œuvre, de faible coût et son caractère peu invasif pour la surface, c'est le masquage Stencil qui nous a paru le plus adéquat pour atteindre ce but. En effet, le couplage de ces deux techniques qui permet de ne synthétiser qu'un nombre contrôlé de nanocristaux et qui peut probablement se réduire à un, sera nommé dans cette thèse SM-ULE-IBS (Stencil-Masked Ultra-Low-Energy Ion-Beam-Synthesis) (chapitre 5).

Dans l'objectif de réaliser des composants mémoires parfaitement caractérisées et fiables, nous avons passé en revue les différentes techniques électriques permettant d'obtenir d'une part la caractéristique des composants et d'autre part les caractéristiques des nanocristaux synthétisés, et si possible dans le composant en fonctionnement. Les méthodes de caractérisations électriques applicables à ces pièges « lents » ne sont finalement pas si nombreuses. En outre, nous avons vu que chacune d'entre elle permet d'accéder à un certain nombre d'informations relatives : soit directement aux pièges lents (densité, distribution énergétique, distribution fréquentielle, distribution en profondeur), soit au chargement réalisé dans ces pièges lents (I-V, C-V...). Nous avons alors considéré que la seule méthode à notre connaissance permettant de déterminer à la fois la position latérale et la profondeur des pièges dans l'oxyde mais également leur densité, leur taille et la quantité de charges qu'ils stockent est le pompage de charges que nous avons développée.

Nous allons maintenant présenter dans le chapitre suivant le procédé développé pour la réalisation de ces composants mémoires à Si-ncx.

# Références bibliographiques du chapitre 1

- [1] A. Souifi, INL, communication privée
- [2] S. Baudot, Thèse de doctorat, Université de Grenoble (2011)
- [3] S. Tiwari, F. Rana, K. Chan, L. Shi, and H. Hanafi, *Appl. Phys. Lett.* 69, 1232 (1996)
- [4] B. Li and J. Liu, *J. Appl. Phys.* 105, 084905 (2009)
- [5] T. H. Ng, W. K. Chim, and W. K. Choi, *Appl. Phys. Lett.* 88, 113112 (2006)
- [6] G. Gay, D. Belhachemi, J. P. Colonna, S. Minoret, P. Brianceau, D. Lafond, T. Baron, G. Molas, E. Jalaguier, A. Beaurain, B. Pelissier, V. Vidal, and B. De Salvo, *Appl. Phys. Lett.* 97, 152112 (2010)
- [7] J. H. Chen, W. J. Yoo, D. S. H. Chan, and L. J. Tang, *Appl. Phys. Lett.* 86, 073114 (2005)
- [8] P. Dimitrakis, E. Kapetanakis, D. Tsoukalas, D. Skarlatos, C. Bonafos, G. Ben Asssayag, A. Claverie, M. Perego, M. Fanciulli, V. Soncini, R. Sotgiu, A. Agarwal, M. Ameen, C. Sohl, P. Normand - *Solid-State Electronics* 48 (2004) 1511–1517
- [9] P. Normand, E. Kapetanakis, P. Dimitrakis, and D. Tsoukalas, K. Beltsios, N. Cherkashin, C. Bonafos, G. Benassayag, H. Coffin, and A. Claverie, V. Soncini, A. Agarwal and M. Ameen, *Appl. Phys. Lett.* 83, No.1, p.168 (2003)
- [10] E.-K. Lai, H.-T. Lue, Y.-H. Hsiao, J.-Y. Hsieh, C.-P. Lu, S.-Y. Wang, L.-W. Yang, T. Yang, K.-C. Chen, J. Gong, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, *Tech. Dig. - Int. Electron Devices Meet.* (2006) 507
- [11] A. J. Walker, S. Nallamotheu, E. H. Chen, M. Mahajani, S. B. Herner, M. Clark, J. M. Cleaves, S. V. Dunton, V. L. Eckert, J. Gu, S. Hu, J. Knall, M. Konevecki, C. Petti, S. Radigan, U. Raghuram, J. Vienna, and M. A. Vyvoda, *Dig. Tech. Pap. - Symp. VLSI Technol.* (2003) 29
- [12] P. Xuan, M. She, B. Harteneck, A. Liddle, J. Bokor, and T. J. King, *Tech. Dig. - Int. Electron Devices Meet.* (2005) 609
- [13] Y. C. Wu, M. F. Hung, C. W. Chang, and P. W. Su, *Appl. Phys. Lett.* 92, 163506 (2008)
- [14] S. C. Chen, T. C. Chang, P. T. Liu, Y. C. Wu, C. C. Ko, S. Yang, L. W. Feng, S. M. Sze, C. Y. Chang, and C. H. Lien, *Appl. Phys. Lett.* 91, 213101(2007)
- [15] M. F. Hung, Y. C. Wu and Zih-Yun Tang *Appl. Phys. Lett.* 98, 162108 (2011)
- [16] C. Dumas, Thèse de doctorat, Université de Toulouse (2008)
- [17] K. Nishiguchi and S. Oda, *Journal of Applied Physics*, Vol. 88, No. 7 (2000)
- [18] T. Baron, F. Martin, P. Mur, C. Wyon, M. Dupuy, *Journal of Crystal Growth*, Vol. 209 (2000)
- [19] B. De Salvo, G. Ghibardo, G. Pananakakis, P. Masson, T. Baron, N. Buffet, A. Fernandes, and B. Guillaumot, *IEEE Transactions on Electron Devices*, Vol. 48, No. 8 (2001)
- [20] I. Hitchman, M.L. Kane, *Journal of Crystal Growth*, Vol. 55, No. 3 (1981)
- [21] G. Ammendola, M. Vulpio, M. Bileci, N. Nastasi, and C. Gerardi, G. Renna, I. Crupi, G. Nicotra, and S. Lombardo, *Journal of Vacuum Science and Technology B: Microelectronics and Nanometer Structures*, Vol. 20, No. 5 (2002)

- [22] M. Carrada, Thèse de doctorat, Université de Toulouse (2003)
- [23] T. Feng, H. Yu, M. Dicken, J.R. Heath, and H.A. Atwater, *Applied Physics Letters*, Vol. 86 (2005)
- [24] C.Y. Ng, T.P. Chen, P. Zhao, L. Ding, and Y. Liu, A.A. Tseng, S. Fung, *Journal of Applied Physics*, Vol. 99 (2006)
- [25] M.Carrada, N.Cherkashin, C.Bonafos, G.BenAssayag, D.Chassaing, P.Normand, D.Tsoukalas, V.Soncini, and A.Claverie, *Materials Science and Engineering: B*, Vol. 101 (2003)
- [26] C.Bonafos, M.Carrada, N.Cherkashin, H.Coffin, D.Chassaing, G.BenAssayag and A.Claverie, T.Müller and K.H.Heinig, M.Perego and M.Fanciulli, P.Dimitrakis and P.Normand, *Journal of Applied Physics*, Vol. 95, No. 10 (2004)
- [27] P. Normand, D. Tsoukalas, E. Kapetanakis, J. Van den Berg, D.G. Armour, J. Stoemenos, C. Vieu, *Electrochemical and Solid State Letter*, Vol. 1 (1998)
- [28] H. Coffin, Thèse de doctorat, Université de Toulouse (2005)
- [29] S. Schamm, C. Bonafos, H. Coffin, N. Cherkashin, M. Carrada, G. BenAssayag, A. Claverie, M. Tencé, C. Colliex, *Ultramicroscopy*, Vol. 108 (2008)
- [30] C. Bonafos et al., *Solid-State Electronics* Vol. 49 (2005)
- [31] M. She and T.J. King, *IEEE Transactions on Electron Devices*, Vol. 50, No. 9 (2003)
- [32] R.D. Piner, J. Zhu, F. Xu, S. Hong, C.A. Mirkin, *Science*, Vol. 283, No. 5402 (1999)
- [33] A. Ivanisevic and C.A. Mirkin, *Journal of the American Chemical Society*, Vol. 123, No. 32 (2001)
- [34] L.M. Demers, D.S. Ginger, S.J. Park, Z. Li, S.W. Chung, C.A. Mirkin, *Science*, Vol. 296, No. 5574 (2002)
- [35] S. Y. Chou, P.R. Krauss, and P.J. Renstrom, *Journal of Vacuum Science and Technology B*, Vol. 14, No. 6 (1996)
- [36] A. Kumar, G. M. Whitesides, *Applied Physics Letters*, Vol. 63 (1993)
- [37] B. Michel, A. Bernard, A. Bietsch, E. Delamarche, M. Geissler, D. Juncker, H. Kind, J.P. Renault, H. Rothuizen, H. Schmid, P. Schmidt-Winkel, R. Stutz, H. Wolf, *IBM Journal of Research & Development*, Vol. 45, No. 5 (2001)
- [38] P.F. Xiao, N.Y. He, Z.C. Liu, Q.G. He, X. Sun and Z.H. Lu, *Nanotechnology*, Vol. 13 (2002)
- [39] C. Thibault, V. Le Berre, S. Casimirius, E. Trévisiol, J. François and C. Vieu, *Journal of Nanobiotechnology*, Vol. 3 (2005)
- [40] H. Li, D.J. Kang, M.G. Blamire and W.T.S. Huck, *NanoLetters*, Vol. 2, No. 4 (2002)
- [41] J.P. Renault, A. Bernard, A. Bietsch, B. Michel, H.R. Bosshard and E. Delamarche, M. Kreiter, B. Hecht, and U.P. Wild, *Journal of Physics and Chemistry B*, Vol. 107 (2003)
- [42] D. Burdinski, M. Saalmink, J.P. Berg, W.G. van den Marel, C. van der., *Angewandte Chemie*, Vol. 45, No. 26 (2006)

- [43] M.A.F. van den Boogaart, G.M. Kim, R. Pollens, J.-P. van den Heuvel, J.Brugger, *Journal of Vacuum Science and Technology B*, Vol. 22, No. 6 (2004)
- [44] T. Shibata, K. Suguro, K. Sugihara, T. Nishihashi, J. Fujiyama and Y. Sakurada, *IEEE transactions on semiconductor manufacturing*, Vol. 15, No. 2 (2002)
- [45] J. Arcamone, G. Rius, G. Abadal, J. Teva, N. Barniol, F. Pérez-Murano, *Microelectronic Engineering*, Vol. 83 (2006)
- [46] Y. X. Zhou and Alan T. Johnson, Jr., James Hone, Walter F. Smith, *Nanoletters*, Vol. 3, No. 10 (2003)
- [47] F.P. Heiman, G. Warfield, *IEEE Trans. Electron Devices*, Vol. 12 (1965)
- [48] D.M. Fleetwood, P.S Winokur, R.A. Reber, T.L. Meisenheimer, J.R. Schwank, M.R. Shaneyfelt, L.C. Riewe, *Journal of Applied Physics*, Vol. 73 (1993)
- [49] E.H. Nicollian, A. Gotzberger, *Bell Syst. Techn. J.*, Vol. 46 (1967)
- [50] E.H. Nicollian, J.R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, éditions J. Wiley (1982)
- [51] M.J. Uren, S. Collins, M.J. Kirton, *Applied Physics Letters*, Vol. 54 (1989)
- [52] E. Kapetanakis, P. Normand, D. Tsoukalas, K. Beltsios, J. Stoemenos, S. Zhang and J. van den Berg, *Applied Physics Letters* 77 (2000)
- [53] E. Kapetanakis, P. Normand, D. Tsoukalas, K. Beltsios, *Applied Physics Letters* 80 (2002)
- [54] C. Busseret, *Thèse de doctorat, INSA de Lyon* (2001)
- [55] S. Duguay, *Thèse de doctorat, Université de Strasbourg* (2006)
- [56] K. Gacem, *Thèse de doctorat, Université de Reims* (2008)
- [57] A. Beaumont, *Thèse de doctorat, INSA de Lyon* (2005)
- [58] T. J. Mego, *Rev. Sci. Instrum.* 57 (1986)
- [59] S. Ferraton, L. Montès, A. Souifi, J. Zimmermann, *Microelectronic Engineering*, Vol. 73 (2004)
- [60] D. V. Lang, *Journal of Applied Physics*, Vol. 45 (1974)
- [61] H. Lakhdari, D. Vuillaume, J.C. Bourgoin, *Physical Review B*, Vol. 38 (1988)
- [62] A. Souifi et al., *Materials Science and Engineering B* 102 (2003)
- [63] D. Bauza, *Electronics Letters* Vol. 30 (1994)
- [64] D. Bauza, *Journal of Applied Physics*, Vol. 84 (1998)
- [65] F. P. Heiman and G. Warfield, *IEEE Trans. Electron Devices* ED-12, 167 (1965)
- [66] Kwok K. Hung et al., *IEEE Transactions on Electron Devices*, Vol. 37, No. 3 (1990)
- [67] F. N. Hooge, *IEEE Trans. Electron Devices* 41, 1926 (1994)
- [68] A. L. McWhorter, "1/ f noise and related surface effects in germanium," Ph.D. dissertation, MIT, Cambridge, MA, 1955
- [69] Shahriar Rahman et al., *Journal of Applied Physics* 103 (2008)
- [70] Y. Maneglia, *Thèse de doctorat, Institut National Polytechnique de Grenoble* (1999)

[71] P. Masson, L. Militaru, B. De Salvo, G. Ghibaud, V. Celibert and T. Baron, ESSCIRC 2002 :  
European solid-state circuits conference, Firenze , ITALIE (2002)

## ***2. Fabrication et optimisation du MOSFET à Si-ncx***

---

# Introduction

Nous avons vu dans le premier chapitre que la brique de base composant les mémoires Flash est un transistor MOS à effet de champ, qui stocke l'information soit dans une grille flottante continue soit dans une grille granulaire. Pour développer des mémoires à nanocristaux, il faut pouvoir utiliser un procédé technologique de fabrication de composants MOS capable d'intégrer l'étape de synthèse des nanocristaux. Dans ce chapitre, nous présenterons les évolutions du procédé de fabrication de transistors MOS « classiques » nommé « DTC4R » vers une version nanotechnologique, baptisée « Nanocrystals Inside », dans lequel la synthèse de nanocristaux de silicium est incluse dans l'oxyde de grille. Nous allons tout d'abord revenir brièvement sur les étapes du procédé sans nanocristaux, puis nous verrons quelles étapes sont à modifier ou rajouter pour obtenir des composants contenant un plan 2D de Si-ncx dans l'oxyde de grille mince. Alors, nous décrirons précisément les optimisations du procédé, liées à la synthèse des nanocristaux. Enfin, nous comparerons la qualité des composants fabriqués par les deux procédés pour valider le fonctionnement en MOSFET classique des composants à Si-ncx. Pour cela, nous établirons les caractéristiques  $I_D-V_{DS}$  et  $I_D-V_{GS}$  de ces composants, sous faibles polarisations, pour ne pas charger le plan de Si-ncx. La validation du fonctionnement en transistor est indispensable pour ensuite étudier le comportement mémoire de ces composants. Nous concluons ce chapitre sur la comparaison des paramètres intrinsèques du transistor et de la structure MOS extraits des mesures I-V et C-V entre les deux procédés, le DT4CR et le Nanocrystals Inside.

## I) Le procédé de départ : le DTC4R

### I-1) Présentation du procédé

#### *I-1-1) Présentation générale*

Le procédé de départ, nommé DTC4R, est utilisé à l'AIME depuis de nombreuses années. Un atout important de ce procédé est qu'il est réalisable rapidement (en 4 jours) et qu'il permet de fournir un nombre suffisant de composants (notamment 64 TCC et 64 TCL par plaquette) pour vérifier la reproductibilité des résultats. Il est composé d'un jeu de quatre masques de photolithographie permettant de réaliser des circuits NMOS (substrat de Si de type P) à enrichissement et à grille auto-alignée. Il est composé de 64 blocs de 4 puces : C1, C2, C3 et C4. Un schéma représentant ce bloc est donné en Figure II. 1. Les puces C1 et C2 contiennent des dispositifs élémentaires destinés à la caractérisation électrique et les puces C3 et C4 des circuits intégrés basés sur la porte logique NOR.

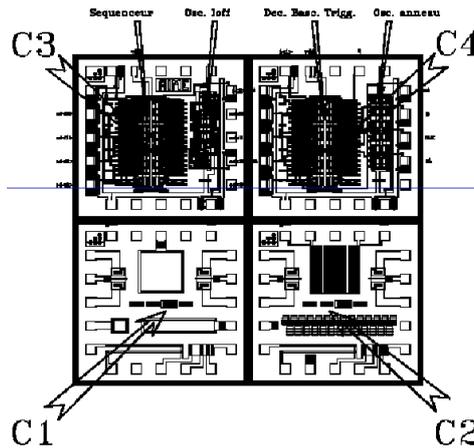


Figure II. 1 : Les 4 puces du procédé DTC4R

### I-1-2) La puce C1 : composants d'intérêts

Les éléments de cette puce sont les suivants :

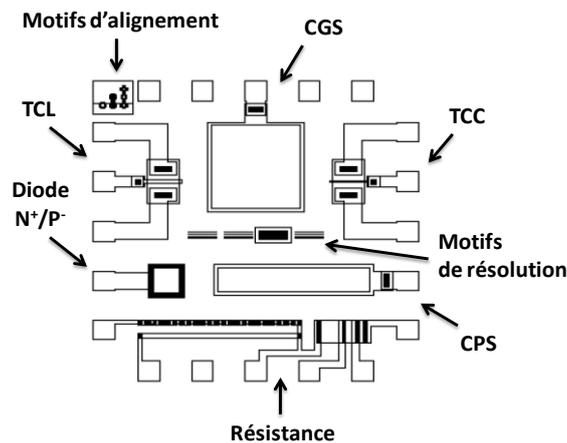


Figure II. 2 : Les composants et motifs de la puce C1

Le Tableau 3 ci-dessous répertorie les différents composants présents sur chacune puce C1 ainsi que leurs caractéristiques, notamment leurs dimensions.

Composant	Dénomination	Caractéristiques
Transistor MOS	Transistor "Canal Long" (TCL)	L=18 $\mu\text{m}$ , W=180 $\mu\text{m}$
Transistor MOS	Transistor "Canal Court" (TCC)	L=6 $\mu\text{m}$ , W=180 $\mu\text{m}$
Capacité MOS	Capacité "Grande Surface" (CGS)	500 x 500 $\mu\text{m}^2$
Capacité MOS	Capacité "Petite Surface" (CPS)	146 x 854 $\mu\text{m}^2$
Diode N <sup>+</sup> /P <sup>-</sup>	Diode	200 x 200 $\mu\text{m}^2$
Résistance diffusée N <sup>+</sup>	Résistance	31,3 carrés
Contacts sur diffusion N <sup>+</sup>	Contacts	24 contacts

Tableau 3 : Caractéristiques, dénominations et dimensions des composants de la puce C1

Outre les composants de type résistance diffusée et contact sur diffusion qui donnent des renseignements précieux sur la qualité des dopages et de leurs contacts, deux types de composants nous intéressent plus particulièrement : les transistors et les capacités. Les puces C1 et C2 comportent notamment des transistors MOS ayant la particularité d'être symétriques (source et drain identiques) et ont trois plots de connexion en face avant: source, drain et grille et une en face arrière pour la connexion du substrat. Ces transistors sont de 2 types : les transistors à « canal court », de largeur  $L=6\mu\text{m}$  et de longueur  $W=180\mu\text{m}$  et les transistors à « canal long », de largeur  $L=18\mu\text{m}$  et également de longueur  $W=180\mu\text{m}$ . Ce sont ces transistors qui nous serviront de cellules élémentaires pour les mémoires à nanocristaux de silicium. D'autre part, les capacités sont aussi de 2 types : les capacités « petite surface » de dimension  $146 \times 854 \mu\text{m}^2$  et « grande surface » de dimension  $500 \times 500 \mu\text{m}^2$ . Les deux types de capacités ont le même périmètre et le même plot de connexion mais des surfaces différentes, ce qui permet après les avoir mesurées toutes les deux d'extraire les éléments parasites du périmètre et du plot de connexion de la mesure.

Alors que les mesures C-V nous renseignent sur l'épaisseur de l'oxyde de grille, le dopage effective du substrat  $N_A$ , la tension seuil du régime d'inversion  $V_T$  et la densité de charges fixes  $N_{SS}$  à l'interface Si/SiO<sub>2</sub>, les mesures I-V, quant à elles, permettent de déterminer la tension de seuil de conduction  $V_{TH}$  du transistor, la tension de claquage  $V_B$ , la conductance  $g_d$ , la transconductance  $g_m$  et la mobilité effective des électrons dans le canal d'inversion  $\mu_n$ .

Les paramètres clés que nous extrairons de ces mesures seront  $\mu_n$ ,  $V_{TH}$  et  $N_{SS}$ . Ils nous renseigneront sur l'état de fonctionnement de ces composants et serviront de références pour les composants MOS contenant des nanocristaux dans l'oxyde de grille.

## I-2) Les étapes du procédé pour les MOSFET

### I-2-1) Description des étapes

Un schéma de principe donnant une vue 3D de chaque étape est donné en Figure II. 3.

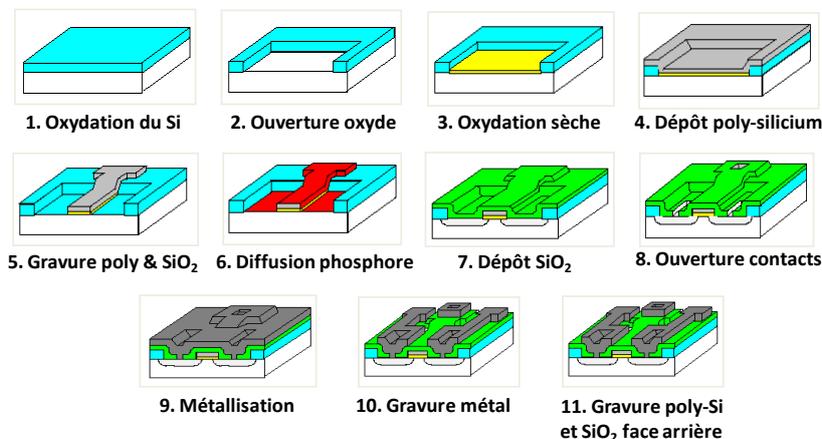


Figure II. 3 : Vue en 3D des étapes de réalisation du MOSFET lors du procédé DTC4R

Ce procédé se déroule en 11 étapes en partant de la plaquette de silicium vierge jusqu'au MOSFET finalisé et même la création de circuits intégrés spécialisés (trigger de Schmidt, bascule, décodeur...).

Les étapes de ce procédé sont résumées ci-dessous :

- 1) Oxyde de masquage : oxydation thermique humide
- 2) Ouverture de l'oxyde de masquage : photolithographie n°1
- 3) Oxyde de grille : oxydation thermique sèche
- 4) Grille en poly-silicium: dépôt par LPCVD
- 5) Gravure du poly-silicium : photolithographie n°2
- 6) Dopage  $N^+$  source/drain et grille : diffusion de phosphore
- 7) Oxyde de protection (LTO) : dépôt par LPCVD
- 8) Ouverture des contacts : photolithographie n°3
- 9) Métallisation : aluminium, pulvérisation cathodique
- 10) Gravure du métal : photolithographie n°4
- 11) Recuit du métal : sous  $N_2+5\%H_2$  à  $400^\circ C$

Pour décrire très brièvement ce procédé, on peut dire que les composants sont élaborés à partir d'un substrat de silicium, d'orientation (110), dopé P (au Bore), et de concentration  $1 \times 10^{16}$  at/cm<sup>3</sup>. L'oxyde de grille est une couche de SiO<sub>2</sub> obtenue par oxydation thermique sèche à  $1100^\circ C$  et d'épaisseur  $t_{ox} = 70$  nm. La préparation chimique de l'interface avant oxydation est un traitement RCA classique. La grille est une couche de 300 nm de poly-silicium déposé par LPCVD et dopée N en même temps que les régions de source et de drain, par diffusion de phosphore à partir d'une source de POCl<sub>3</sub> liquide. Une couche isolante de SiO<sub>2</sub> L.T.O. est déposée par LPCVD pour protéger la plaquette, avant d'être ouverte pour la formation des contacts métalliques. Ces contacts sont réalisés par dépôt d'une couche de 500 nm d'aluminium par pulvérisation cathodique. La profondeur des jonctions  $x_j$  est d'environ  $1 \mu m$  et, selon la diffusion latérale obtenue, la longueur effective du canal  $L_{eff}$  est comprise entre 4 et  $5 \mu m$  pour le transistor « canal court », par exemple.

La Figure II. 4 ci-dessous présente une coupe schématique de la structure en couches du MOSFET élaboré par ce procédé. Il s'agit ici de l'exemple d'un transistor à canal court finalisé (TCC).

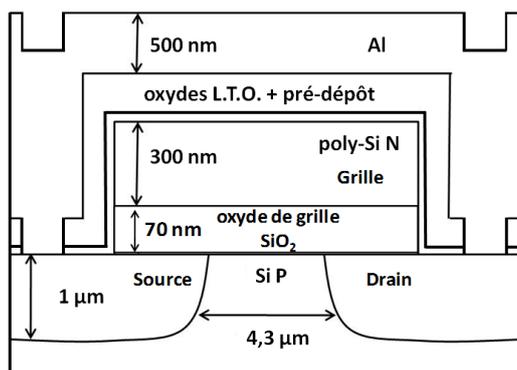


Figure II. 4 : Schéma en coupe montrant les différentes couches du TCC finalisé

## I-2) Caractérisations électriques des transistors et capacités MOS

Une fois la plaquette de composants réalisée, les puces sont individualisées, montées en boîtiers et les composants sont câblés (technique du wedge bonding) pour les caractérisations électriques I-V et C-V.

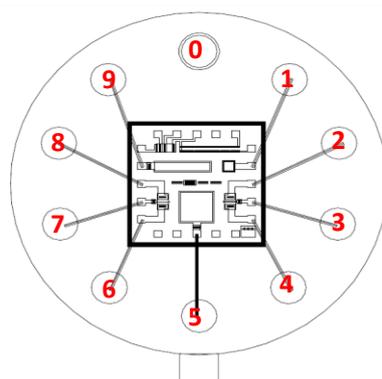


Figure II. 5 : Schéma des connexions réalisées par wedge bonding sur la puce C1

Les différentes pattes de connexions identifiées permettent alors d'établir les caractéristiques électriques des composants de type TCL, TCC, CGS et CPS, grâce à des mesures de type I-V (transistors NMOS) et C-V (capacités MOS).

Nous allons maintenant voir comment modifier ce procédé (DTC4R) pour obtenir celui incluant la synthèse de Si-ncx dans l'oxyde de grille des composants.

## II) Le procédé à Si-ncx : le Nanocrystals Inside

Nous avons vu dans le chapitre précédent que sur la base de travaux précédents (projet NEON) nous contrôlons la synthèse des nanocristaux de silicium (Si-ncx) par l'implantation basse énergie,

notée ULE-IBS pour *Ultra-Low-Energy Ion-Beam-Synthesis*. En effet, lors de ce programme européen les points de fonctionnement de ce type de synthèse ont été identifiés. On s'attachera donc ici à optimiser la synthèse de Si-ncx pour notre procédé en tenant compte notamment de tous les bilans thermiques liés à la réalisation des composants. L'intégration de cette technique dans le procédé DTC4R nous permet de mettre en place une technologie hybride, à savoir un procédé MOS classique auquel on ajoute un réseau 2D de nanocristaux de position contrôlée dans l'oxyde de grille des composants et que nous nommerons « Nanocrystal Inside ».

La synthèse de Si-ncx par ULE-IBS est réalisée dans des couches de SiO<sub>2</sub> minces, d'épaisseurs comprises entre 5 nm et 10 nm, afin de positionner le plan 2D de Si-ncx à une distance tunnel (< 3 nm) du substrat, i.e. du canal, pour injecter les charges dans les ncx par effet tunnel direct, avec des tensions d'écriture et d'effacement de la mémoire les plus basses possibles. Si cette distance est comprise entre 3 nm et 5 nm, la conduction sera plutôt de type Fowler-Nordheim, ce qui implique l'utilisation de tensions plus élevées.

Ainsi, la mise en place du procédé « Nanocrystals Inside » a nécessité la modification et l'ajout des étapes suivantes (encadrées en rouge sur la Figure II. 6) par rapport à celles du procédé DT4CR (voir Figure II. 3):

- 1) Réduction de l'épaisseur d'oxyde de grille
- 2) Optimisation des paramètres d'implantation
- 3) Optimisation du recuit de synthèse des Si-ncx
- 4) Optimisation du dopage de la grille et des jonctions

Au final, la Figure II. 6 ci-dessous résume les 12 étapes technologiques de ce procédé :

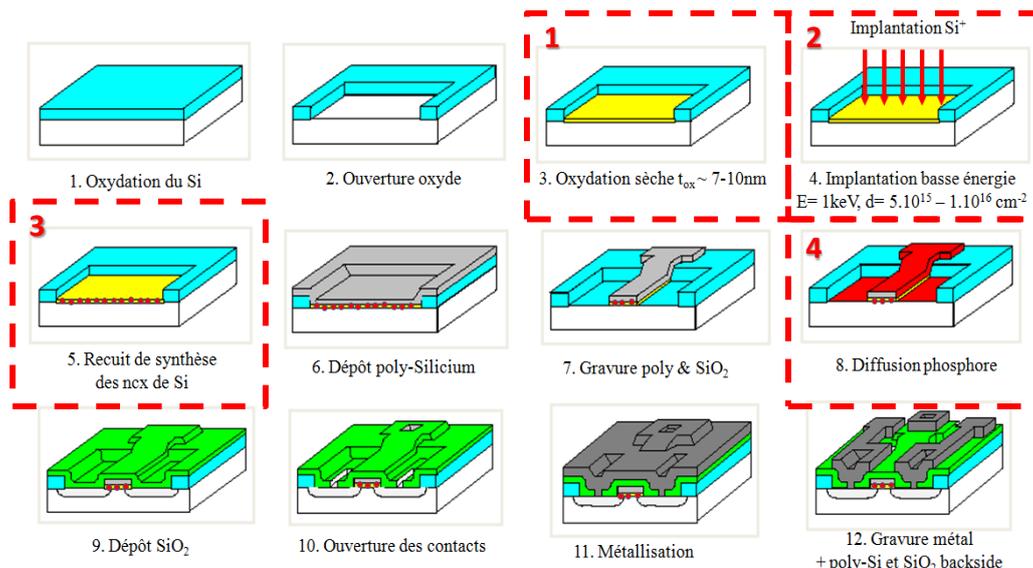


Figure II. 6 : Les 12 étapes du procédé Nanocrystals Inside pour la réalisation de MOSFET à nanocristaux de Si dans une couche mince d'oxyde de grille

### ***Etape 1 : Réduction de l'épaisseur de l'oxyde de grille du procédé DTC4R***

L'objectif de cette étape est de pouvoir remplacer l'oxyde de grille en SiO<sub>2</sub> d'épaisseur  $t_{ox} = 70$  nm du procédé DTC4R par un oxyde dont l'épaisseur est comprise entre 5 et 10 nm dont à la fois le contrôle de l'épaisseur réalisée et la qualité diélectrique de cette couche mince seront satisfaisantes.

### ***Etape 2 : Optimisation des paramètres d'implantation***

Une fois l'oxyde de grille mince réduit, nous utiliserons la technique d'implantation ionique à basse énergie pour insérer la dose désirée de silicium en excès à l'intérieur de la couche d'oxyde de grille, pour former un plan de Si-nx à une profondeur également contrôlée. L'énergie d'implantation sera choisie dans une gamme allant de 1 keV à 3 keV au maximum, comme nous l'avons vu au chapitre 1. En effet, le risque d'endommager irrémédiablement l'interface de cet oxyde devient trop grand au-delà de 3 keV. D'autre part, la synthèse des nx dépendant à la fois de la dose implantée et du recuit thermique réalisé après l'implantation, il faut avant tout déterminer la dose optimale, dose pour laquelle la gamme de budget thermique de recuit la plus large aboutit à la synthèse des nx. Comme nous l'avons vu au chapitre 1, les doses testées, seront restreintes à la gamme allant de  $5 \times 10^{15}$  à  $1 \times 10^{16}$  Si<sup>+</sup>.cm<sup>-2</sup>.

### ***Etape 3 : Recuit de synthèse des nanocristaux***

L'obtention de Si-nx dont la densité est de quelques  $10^{11}$  à quelques  $10^{12}$  cm<sup>-2</sup>, pour une dose donnée, passe par un travail d'optimisation du recuit de synthèse des nanocristaux. Cette optimisation se fera en deux temps : tout d'abord il sera question de déterminer les conditions optimales (températures et durées de recuit) de recuit inerte (sous N<sub>2</sub>) assurant la synthèse d'une forte densité de Si-nx. Une fois ces conditions connues, il faudra être en mesure d'adapter ces conditions pour trouver les points de fonctionnement d'un second recuit, réalisé sous atmosphère légèrement « oxydante », c'est-à-dire sous oxygène dilué N<sub>2</sub>+ x% O<sub>2</sub>, où x est le taux d'O<sub>2</sub> à optimiser. Ce recuit, par son apport en oxygène, a deux objectifs : il doit permettre de finaliser la synthèse des Si-nx en les déconnectant les uns des autres (oxydation du contour des particules) mais aussi de restaurer la qualité diélectrique de la silice environnante, en rétablissant les liaisons du SiO<sub>2</sub> endommagées par l'implantation ionique. De ce fait, ce recuit oxydant est crucial puisqu'il permet d'obtenir un réseau de nanoparticules quasi-sphériques déconnectées les unes des autres, et ce dans une matrice la plus guérie possible, ce qui permet de limiter les courants de fuites générés par les défauts d'implantation et donc d'assurer de bonnes caractéristiques électriques aux composants réalisés.

### ***Etape 4 : Optimisation du dopage de la grille et des jonctions***

La réduction en taille de l'oxyde de 70 nm à 7 nm impose de maîtriser la concentration de phosphore pouvant diffuser dans l'oxyde de grille. Il faudra alors déterminer les conditions de dopage

donnant le meilleur compromis entre fort dopage des jonctions (régions de source et de drain du transistor) et limiter la diffusion de dopants (phosphore) dans l'oxyde de grille, autrement dit la contamination en phosphore de l'oxyde de grille. La modification de l'étape de dopage par diffusion sera réalisée par simulations, à l'aide du logiciel SILVACO et vérifiée expérimentalement au travers du bon fonctionnement des MOSFET.

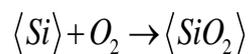
## II-1) Oxyde de grille ultra-mince de haute qualité diélectrique

### II-1-1) Rappels sur la croissance du $\text{SiO}_2$ par oxydation thermique

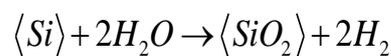
Pour obtenir un oxyde de grille mince de bonne qualité diélectrique, il faut tout d'abord se pencher sur les modifications à apporter pour réduire l'épaisseur de cette couche. Pour cela, nous allons tout d'abord faire un rappel sur les différentes techniques de croissance d'un oxyde de grille, puis nous verrons quelles sont les conditions d'oxydation (températures, durées) permettant la croissance de couche d'épaisseur inférieure à 10 nm.

L'isolant diélectrique d'un composant MOS est en général un oxyde de silicium ( $\text{SiO}_2$ ), que l'on obtient à la surface du substrat en silicium par oxydation :

- thermique sèche (en présence d'un gaz d'oxygène sec), donnée par la réaction suivante :



- thermique humide (en présence d'un oxygène chargé en vapeur d'eau), donnée par la réaction suivante :



L'oxydation thermique humide est utilisée pour réaliser des oxydes épais car la réaction est beaucoup plus rapide, mais ce type d'oxyde est poreux et nécessite donc une étape de croissance supplémentaire d'un oxyde sec pour densifier davantage l'oxyde total. Les oxydes secs sont privilégiés pour des oxydes plus minces et de meilleure qualité diélectrique. Il en existe de plusieurs sortes, selon qu'ils soient obtenus par LPCVD (*Low Pressure Chemical Vapor Deposition*) ou RTA (*Rapid Thermal Annealing*).

Pour réaliser des oxydes minces (<100 nm), on utilisera donc à l'AIME une oxydation thermique sèche, procédé utilisé notamment pour réaliser l'oxyde de grille de 70 nm du procédé DTC4R. La croissance par LPCVD sera donc privilégiée afin d'utiliser le matériel mis à disposition à l'AIME, même si à court terme nous envisageons l'achat d'un four RTA/RTO.

La cinétique de croissance du silicium est liée à deux phénomènes :

- la réaction à l'interface  $\text{Si}/\text{SiO}_2$
- la diffusion de l'oxygène à travers la couche d'oxyde déjà formée

L'évolution au cours du temps de l'épaisseur d'oxyde formée suit une loi parabolique formulée en 1965 par Deal et Grove [2], donnée par l'équation ci-dessous :

$$e^2 + Ae = B.t \Rightarrow t = \frac{e^2}{B} + \frac{e}{B/A}$$

Équation 1

Où  $e$  est l'épaisseur d'oxyde formée,  $t$  la durée de l'oxydation,  $B$  une constante de diffusion de  $O_2$  dans  $SiO_2$  et  $B/A$  une constante de réaction à l'interface. Pour les faibles épaisseurs, la réaction à l'interface prédomine, le second terme (terme linéaire entre  $e$  et  $t$ , de coefficient  $B/A$ ) étant alors prépondérant. Ce rapport  $B/A$  est lié au dopage et aux conditions de température et de pression des gaz. Il prend des valeurs très différentes selon que l'oxydation soit sèche ou humide. Pour cela, les valeurs du rapport  $B/A$  dans ces deux cas sont données en fonction de la température dans la Figure II. 7 ci-dessous :

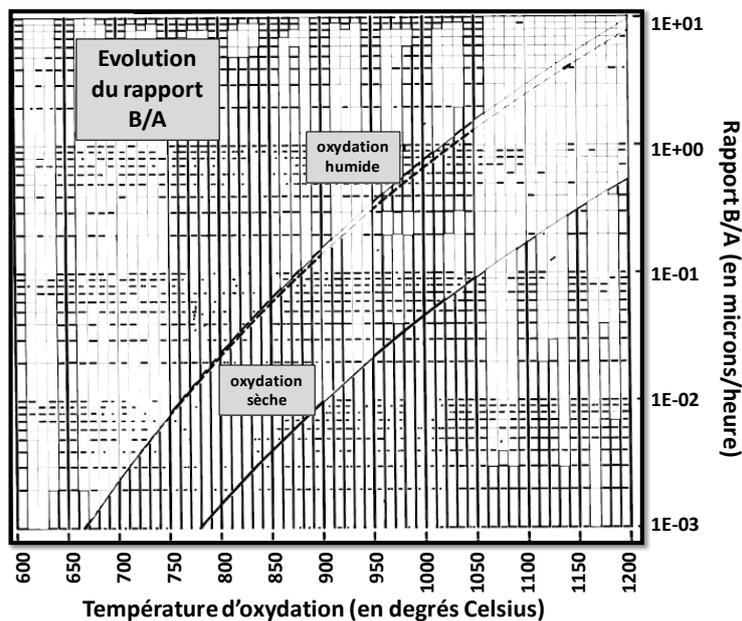


Figure II. 7 : Evolution du rapport  $B/A$  en fonction de la température pour les 2 types d'oxydation thermique et pour un substrat  $Si \langle 100 \rangle$

A l'aide de cette figure, nous pouvons voir que le rapport  $B/A$  prend une valeur d'environ 0,2 pour une oxydation thermique sèche à  $1100^\circ C$ , ce qui signifie que la cinétique (linéaire) de croissance est de 0,2 microns par heure. Pour le procédé DTC4R, cette prédiction est clairement vérifiée : l'oxydation dans ces conditions pendant 20 minutes donne bien un oxyde mesuré à 70 nm environ. Le terme linéaire en  $B/A$  de l'équation 1 décrit alors correctement la cinétique de croissance de  $SiO_2$  par oxydation thermique sèche dans le four de l'AIME pour des oxydes inférieurs à 100 nm.

### **II-1-2) Résultats d'oxydation thermique sèche à $T=1050^\circ C$**

Nous avons donc décidé de réaliser des tests d'oxydation de grille par oxydation thermique sèche en nous servant du modèle de Deal et Grove, en tenant compte uniquement du terme linéaire en  $B/A$ . Sur la Figure II. 8 sont reportées d'une part les courbes « théoriques » donnant les temps

d'oxydation prédits par le modèle pour réaliser des oxydes de grille d'épaisseur comprise entre 5 et 15 nm, et ce pour trois températures : 1000°C (en bleu), 1050°C (en vert) et 1100°C (en rouge), les débits utilisés étant  $O_2=2,5$  l/min et  $Ar=5,0$  l/min, et d'autre part les points expérimentaux obtenus pour une oxydation dans ces conditions à la température  $T = 1050^\circ C$  (en violet, motifs étoiles).

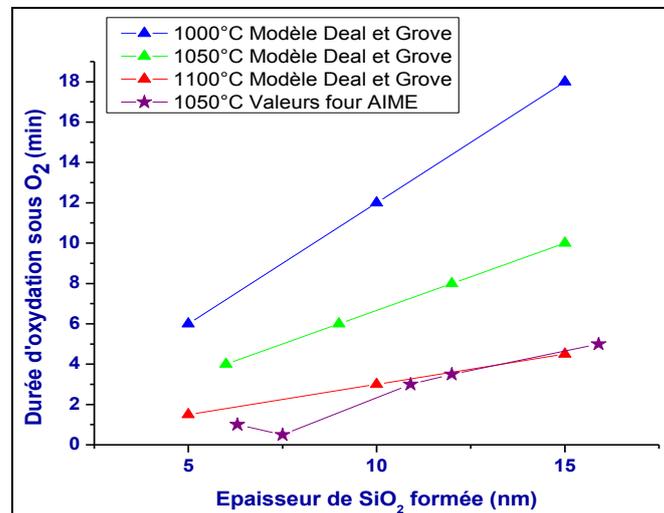


Figure II. 8 : Comparaisons des temps d'oxydation donnés par le modèle de Deal et Grove pour 3 températures allant de 1000°C à 1100°C (motifs triangles) avec les points expérimentaux obtenus à l'AIME à  $T=1050^\circ C$  (motifs étoiles)

Ces résultats expérimentaux nous inspirent deux remarques:

- La relation entre le temps d'oxydation et l'épaisseur de  $SiO_2$  obtenue est quasi-linéaire (parfaitement linéaire pour des épaisseurs supérieures à 10 nm). De ce fait, on vérifie que la réaction à l'interface est bien le mécanisme prédominant et donc que la prise en compte uniquement du terme en  $B/A$  est correcte.

- La cinétique, bien que quasi-linéaire, est plus rapide que celle prédite par le modèle. En effet, la courbe expérimentale à  $T=1050^\circ C$  suit davantage la cinétique d'oxydation du modèle de Deal et Grove à  $T=1100^\circ C$ . De nombreux paramètres, tels que les flux de gaz débités pendant l'oxydation et les purges ou encore les conditions d'enfournement et de défournement (vitesse, température) sont autant de facteurs pouvant être à l'origine d'un écart avec les valeurs théoriques de la croissance d'oxyde de grille, surtout dans la gamme de temps utilisée (temps d'oxydation courts).

Cependant, il a été rapporté dans la littérature que ce modèle de Deal et Grove a une validité limitée à des oxydes plus épais, compris entre 30 nm et  $2 \mu m$  [3]. Dans sa thèse, Hubert Coffin [3] présente deux modèles adaptés aux oxydes plus minces ( $<10$  nm) tels que les nôtres :

- celui de Massoud, Plummer et Irene [4] donnant une expression du taux d'oxydation basée sur celle de Deal et Grove, complétée par deux termes correctifs.

- celui de Han et Helms [5], dont l'expression, proche de celle de Massoud, est cependant basée sur une croissance liée à la présence de deux espèces oxydantes.

Ces modèles ont pour point commun de décrire très précisément le régime initial d'oxydation, dont la cinétique est beaucoup plus rapide que pour le régime normal d'oxydation. Ils sont les plus adaptés à la croissance d'oxydes minces pour des temps d'oxydations très courts. De ce fait, notre courbe expérimentale s'accorde mieux avec ces modèles adaptés aux oxydes très minces. On peut alors l'utiliser pour sélectionner des temps d'oxydations permettant de viser une épaisseur choisie dans la gamme 7-10 nm.

D'autre part, cette figure montre également que lors de nos tests de croissance il a été difficile dans ces conditions d'oxydation uniquement sous oxygène sec de réaliser des oxydes d'épaisseur < 5 nm. Les résultats montrent en effet que les durées mises en jeu sont trop courtes et que les épaisseurs mesurées sont très dispersées. Pour faire croître de manière contrôlée des couches de SiO<sub>2</sub> aussi minces avec cet équipement, il faudrait alors diluer l'oxygène sec dans un gaz neutre (N<sub>2</sub>, Ar...), ou réduire la température mais d'une part la qualité de l'oxyde pourrait s'en ressentir et d'autre part cela réduirait considérablement notre marge de manœuvre pour le choix des recuits de synthèse des ncx qui suivent évidemment cette étape au cours du procédé.

Nous avons donc décidé de modifier la recette d'oxydation de grille. La recette donnant les points expérimentaux présentés Figure II. 8 est donnée dans le Tableau 4 a) et la nouvelle recette après optimisation est donnée dans le Tableau 4 b).

**a)**

Température	Etape et durée	Gaz et débits
700°C	Stabilisation de T	Ar = 2 l/min
700 -> 1050°C	Rampe de T	
1050°C	Stabilisation de T (t=2 min)	
1050°C	Oxydation de grille	O <sub>2</sub> = 2,5 l/min
1050°C	Purge du four (t= 2 min)	Ar= 5 l/min
1050 -> 700°C	Descente en T	Ar= 1 l/min
700°C	Défournement	Ar = 1 l/min

**b)**

Température	Etape et durée	Gaz et débits
600°C	Stabilisation de T	
600°C	t = 10 min	Ar = 5 l/min
600 -> 1100°C	Rampe de T	Ar = 2 l/min
1100°C	Stabilisation de T (t=2 min)	
1100°C	Oxydation de grille	O <sub>2</sub> = 2,5 l/min
1100°C	Purge du four (t= 2 min)	Ar= 5 l/min
1100 -> 1150 °C	Rampe de T	
1150°C	Stabilisation de T (t= 5 min)	Ar= 2 l/min
1150 -> 700°C	Descente en T	Ar= 1 l/min
600°C	Défournement	Ar = 5 l/min

Tableau 4 : a) Recette préalablement utilisée pour les oxydations de grille à 1050°C, b) Recette d'oxydation de grille optimisée pour réaliser des oxydes de grille à 1100°C

Ainsi, l'oxydation sous  $O_2$  réalisée auparavant à  $T=1050^\circ C$  sera désormais faite à  $T=1100^\circ C$ . Nous avons également rajouté un recuit post-oxydation à  $T=1150^\circ C$  et d'une durée de 5 minutes. Ce recuit réalisé sous gaz neutre ( $N_2$  ou Ar) permet non seulement de densifier l'oxyde mais également de limiter le nombre de liaisons pendantes restantes après oxydation. Les liaisons pendantes présentes à l'interface Si/SiO<sub>2</sub> sont tout d'abord en partie neutralisées par l'oxydation thermique sèche puis une partie des liaisons restantes est éliminée par le recuit post-métallisation sous  $N_2/H_2$  en fin de procédé. Le recuit post-oxydation à  $1150^\circ C$  présenté ici permet tout simplement d'en éliminer davantage. L'enfournement et le défournement sont réalisés à  $600^\circ C$  pour éviter toute oxydation supplémentaire non désirée et non contrôlée. D'autre part, nous avons rajouté un couvercle à l'« éléphant », élément de transfert des plaquettes dans le four, afin de limiter au maximum leur contact avec l'air. Cette nouvelle recette d'oxydation de grille du procédé « Nanocrystals Inside », sera systématiquement utilisée pour toutes les plaquettes et échantillons dont l'oxyde de grille est dit « optimisé » dans la suite de ce manuscrit. Dans la partie suivante, les résultats d'oxydes minces obtenus après amélioration de l'interface Si/SiO<sub>2</sub> par le traitement chimique présenté ci-dessous seront tous issus d'une telle oxydation.

D'autre part, ces tests de croissance rendent compte d'une rugosité assez importante dans notre gamme d'épaisseur (5-10 nm). En effet, les mesures d'homogénéité d'épaisseur, réalisées à l'ellipsomètre, montrent des écarts allant jusqu'à  $\pm 1$  nm de part et d'autre de plaquettes 2 pouces. De telles variations d'épaisseur d'oxyde de grille sont trop importantes, les conséquences directes étant notamment des variations de tension de seuil  $V_{TH}$  des transistors et de tensions d'écriture/effacement de la mémoire. Nous allons donc au paragraphe suivant proposer une étape de traitement chimique de la surface permettant de réduire ces inhomogénéités.

### ***II-1-3) Amélioration de l'oxyde de grille par traitement HF:éthanol***

Idéalement, il faudrait une homogénéité de l'oxyde de grille de l'ordre de quelques angströms. Pour cela, il est possible de modifier la préparation chimique de la surface du substrat avant l'oxydation, comme cela est proposé dans la littérature en trempant la plaquette dans un bain HF:éthanol ; celui-ci intervenant dans notre cas après le nettoyage RCA habituellement réalisé dans le procédé DTC4R [6]. Cette étude montre qu'immerger la plaquette de silicium dans un bain HF:éthanol à 10% de HF après le dernier bain du traitement RCA permet de :

1) Retarder voire empêcher la croissance de l'oxyde natif formé à température ambiante qui apparaît après le traitement chimique et avant l'enfournement de l'échantillon par contact avec l'air : le bain HF:éthanol dépose une couche organique sur la surface du substrat qui le protège du contact avec l'air.

2) Améliorer le taux de croissance de l'oxyde : il a été montré que la croissance d'un oxyde

natif à température ambiante crée un oxyde contraint et que cette contrainte en compression est à l'origine de la diminution du taux de croissance de la couche supérieur. Ainsi, on observe une croissance plus rapide de l'oxyde après traitement HF:éthanol.

3) Améliorer l'homogénéité de l'épaisseur de la couche de SiO<sub>2</sub>, jusqu'à ± 1Å.

4) Améliorer les performances électriques de la couche de SiO<sub>2</sub>: le champ de rupture E<sub>ox</sub>, qui vaut généralement 10 MV/cm, augmente pour des oxydes préalablement trempé dans un bain HF:éthanol.

5) Limiter la contamination en surface par des atomes d'oxygène ou de carbone : ces contaminants souvent présents en surface disparaissent presque totalement avec un traitement HF:éthanol. En effet, la couche organique déposée sur la surface du silicium agit comme une couche protectrice vis-à-vis de ces contaminants, contrairement à un traitement RCA classique, pour lequel la plaquette est placée dans de l'eau lors du dernier bain. Dans ce cas, les contaminants atmosphériques se dissolvent rapidement, sont absorbés par l'eau et se fixent sur la surface active du substrat.

Nous avons donc mené des séries de tests de traitement HF:éthanol pour réaliser des oxydes de grilles minces bénéficiant de tous ces avantages. Pour optimiser le traitement HF:éthanol, nous avons étudié consécutivement et séparément deux paramètres impactant l'épaisseur finale de l'oxyde de grille, à savoir le taux d'HF dans le bain et la durée de l'oxydation.

#### **II-1-4) Effet du taux de HF dans le bain HF:éthanol**

Dans cette première série de tests HF:éthanol, nous avons donc fait varier la teneur en HF du bain de 0 à 10%. Le Tableau 5 ci-dessous résume les résultats obtenus :

taux HF (%)	conditions d'oxydation	homogénéité oxyde (± %)	état surface après oxydation
10%	T=1100°C, t=5s	4,7	tâches sur les bords
10%	T=1100°C, t=10s	non mesurable (tâches)	tâches partout sur le wafer
5%	T=1100°C, t=5s	1,5	propre
3%	T=1100°C, t=45s	5,3	propre
0%	T=1100°C, t=6s	10,9	propre

Tableau 5 : Résultats d'oxydations et d'état de la surface en fonction du taux d'HF

Nous avons tout d'abord choisi de tester la dilution donnée dans la littérature, à savoir un bain à 10% d'HF. Avec cette teneur élevée en HF, le taux d'oxydation est fortement augmenté ce qui implique des durées très courtes d'oxydation à T=1100°C pour obtenir des oxydes d'épaisseur comprise entre 7 nm et 10 nm (environ 5 secondes). Même si une bonne homogénéité de l'épaisseur d'oxyde de grille est obtenue (± 4,7%), il est alors difficile de contrôler l'épaisseur désirée dans cette gamme. D'autre part, l'analyse révèle des tâches à certains endroits de la plaquette provoquant de fortes surépaisseurs pour ce traitement à 10% d'HF. On les attribue à la pellicule organique déposée

sur la plaquette par le traitement HF:éthanol. A l'opposée, les tests d'oxydation sans HF:éthanol (0%) présentent les plus fortes variations d'épaisseur ( $\pm 10,9\%$ ). Ces problèmes d'homogénéité pour 0% d'HF ne sont pas strictement liés à l'oxydation elle-même, mais davantage à la mise à l'air de la plaquette avant l'enfournement dans le four d'oxydation. En effet, fermer la vanne d'O<sub>2</sub> avant de lancer la recette d'oxydation (pas d'oxydation sèche possible) permet de retrouver la même épaisseur d'oxyde qu'après oxydation sous O<sub>2</sub> sans HF:éthanol, à savoir 5,5 nm, ainsi qu'une mauvaise homogénéité ( $\pm 9,1\%$ ). Au final, le taux d'HF donnant les meilleures homogénéités sans tâches est alors compris entre 3% et 5%. On obtient en effet pour ce dernier des variations d'épaisseur allant de  $\pm 1,5\%$  à  $\pm 5,3\%$ , ce qui est parfaitement acceptable.

### **II-1-5) Effet de la durée d'oxydation après traitement HF:éthanol**

Nous venons de déterminer qu'un taux de 5% d'HF dans la solution permet après oxydation d'obtenir un oxyde mince très homogène en épaisseur ( $\pm 1,5\%$ ) tout en évitant la formation de tâches sur la surface de la plaquette. Cependant, cette valeur est obtenue pour une durée d'oxydation  $t=5s$ , trop faible pour contrôler des oxydes d'épaisseur supérieure ou égale à 7 nm. Nous avons donc procédé à une seconde série de tests, avec un taux d'HF fixé à 5%, pour lesquels nous avons fait varier la durée d'oxydation (de  $t=5s$  à  $t=60s$ ). Le Tableau 6 ci-dessous présente les différentes conditions testées ainsi que les résultats d'homogénéité de l'épaisseur et de l'état de la surface après oxydation.

taux HF (%)	conditions d'oxydation	homogénéité oxyde ( $\pm \%$ )	état surface après oxydation
5%	T=1100°C, t=10s	1,8	propre
5%	T=1100°C, t=15s	1,8	propre
5%	T=1100°C, t=60s	2,0	voile (partout), tâches (méplat)

Tableau 6 : Résultats d'oxydation et d'état de la surface en fonction de la durée d'oxydation après traitement HF:éthanol à 5% d'HF

Il ressort de ces tests que les oxydations de durée inférieure ou égales à 15 secondes donnent systématiquement des épaisseurs inférieures à 5,5 nm, ce qui est toujours en dessous des épaisseurs désirées. Cependant, on peut noter que l'on retrouve une rugosité aussi faible que celle annoncée dans la littérature [6], à savoir une valeur d'à peine  $\pm 0,1$  nm ( $\pm 1,8\%$ ). En augmentant la durée d'oxydation sous oxygène sec à 60 secondes, nous sommes parvenus à obtenir une couche de SiO<sub>2</sub> de 8,66 nm, avec une bonne homogénéité ( $\pm 2\%$ ). Ce résultat est satisfaisant, mais la surface des plaquettes présente de nouveau des tâches ainsi qu'un voile blanc sur toute sa surface. Il semble qu'à la fois le taux d'HF et la durée d'oxydation jouent sur l'apparition de ces tâches sur les plaquettes. Finalement, à l'issue de ces deux séries de tests, le meilleur compromis entre une bonne homogénéité, propreté de la surface des plaquettes et contrôle de l'épaisseur dans la gamme désirée (7 à 10 nm) est un taux d'HF de 3%. Par exemple (Tableau 5), une épaisseur d'oxyde  $t_{ox} = 7,69 \pm 0,41$  nm est obtenue pour  $t = 45s$ .

La Figure II. 9 présente alors les valeurs expérimentales d'épaisseur de SiO<sub>2</sub> en fonction de la

durée d'oxydation, pour une préparation de l'interface à 3% d'HF et une oxydation à  $T=1100^{\circ}\text{C}$ .

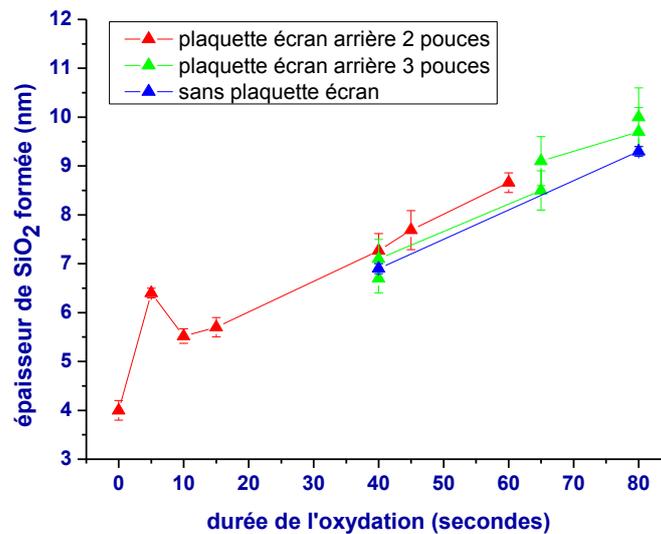


Figure II. 9 : Valeurs expérimentales d'épaisseur d'oxyde dans la gamme 7-10 nm en fonction de la durée d'oxydation à  $T=1100^{\circ}\text{C}$  après traitement HF:éthanol à 3% d'HF et en fonction de la présence ou non de plaquette écran

En outre, nous avons observé que sans traitement HF:éthanol, à la fois le positionnement et le nombre de plaquettes écrans dans le four ont un impact sur l'épaisseur d'oxyde après oxydation. Les courbes rouges et vertes présentent les résultats d'épaisseur d'oxyde formé après traitement HF:éthanol lorsqu'on utilise une seule plaquette « écran » (respectivement de 2 et 3 pouces de diamètre) derrière la plaquette « composants ». L'intérêt de ces plaquettes est d'empêcher le gaz de fluer directement et localement sur cette dernière ; le flux d'oxygène sec balayant alors de façon plus homogène toute la face active de la plaquette, évitant la formation de zones localement suroxydées. La Figure II. 9 montre qu'aucune différence notable n'est observée pour des plaquettes traitées au HF:éthanol avec ou sans l'utilisation de plaquettes écrans. Ainsi, le procédé est plus robuste et l'utilisation de ces plaquettes de protection devient optionnelle.

D'autre part, les points expérimentaux des trois courbes de la Figure II. 9 définissent une variation linéaire de l'épaisseur d'oxyde avec la durée d'oxydation, ce qui est conforme au modèle de Deal et Grove [2]. Nous avons ainsi défini un abaque permettant d'obtenir l'épaisseur d'oxyde désirée dans la gamme 7-10 nm.

En conclusion, nous avons mis en place, dans le cadre du procédé Nanocrystals Inside, une préparation optimisée de l'interface et obtenu un contrôle de l'épaisseur d'oxyde de grille et de son homogénéité dans la gamme 7-10 nm. L'étape complète d'oxydation de grille (étape 3, voir Figure II. 6) se résume ainsi :

- Traitement RCA identique à celui utilisé pour le procédé DTC4R

- Bain HF:éthanol à 3% d'HF (2:60 ml) pendant 45 s, puis séchage à la tournette (x2), sans rinçage
- Recette d'oxydation du Tableau 4, avec les durées suivantes :
  - t = 40 secondes pour  $t_{ox}= 7$  nm
  - t = 80 secondes pour  $t_{ox}= 10$  nm

### ***II-1-6) Qualité diélectrique des oxydes minces réalisés***

Pour vérifier la qualité et la fiabilité diélectrique de la couche de SiO<sub>2</sub> de grille réalisée par la préparation chimique et la recette données dans le paragraphe précédent, nous avons calculé la hauteur de barrière  $\Phi_{BS}$  vue par les électrons à l'interface Si/SiO<sub>2</sub>, à partir de mesures expérimentales des différents transistors. La comparaison de ces mesures avec la valeur théorique permettra de juger de la qualité diélectrique de ces oxydes.

#### ***Valeur « théorique » de référence de la hauteur de barrière à l'interface Si/SiO<sub>2</sub>***

Tout d'abord, notons que la valeur théorique de cette hauteur de barrière  $\Phi_{BS}$  dépend de la masse effective des électrons dans le SiO<sub>2</sub>, notée  $m_e^*$ . Ces valeurs sont interdépendantes et varient notamment avec l'épaisseur de l'oxyde ou encore la température. Les valeurs données dans la littérature peuvent varier, cependant, la valeur de  $\Phi_{BS}=3,17$  eV donné par J. Maserjian [7] est la plus communément admise. A partir de cette valeur, Brar et al. [8] ont déterminé deux masses effectives pour des électrons dans le SiO<sub>2</sub>, avec des oxydes d'épaisseurs comprises entre 1,6 et 3,5 nm, selon la dispersion énergétique E-k parabolique ou non parabolique considérée, à savoir respectivement  $m_e^* = 0,30 \pm 0,02 m_e$  et  $m_e^* = 0,41 \pm 0,01 m_e$ , où  $m_e$  est la masse de l'électron au repos. Enfin, Aygun et al. [9] montrent que dans le cas d'oxydes SiO<sub>2</sub> d'épaisseur  $t_{ox}= 5$ nm, obtenus par oxydation thermique, la masse effective expérimentale donnant une hauteur de barrière  $\Phi_{BS}=3,17$  eV est  $m_e^* = 0,41 \pm 0,05 m_e$  (à température ambiante). Finalement, dans la suite de ce manuscrit, nous prendrons comme valeur théorique de références  $m_e^* = 0,41 \pm 0,05 m_e$  pour nos oxydes minces réalisés par oxydation thermique et 3,17 eV pour  $\Phi_{BS}$ .

#### ***Valeurs expérimentales de la hauteur de barrière pour nos oxydes minces***

La méthode généralement utilisée pour extraire la valeur de la hauteur de barrière à l'interface Si/SiO<sub>2</sub> est de tracer la caractéristique I-V de la capacité MOS en appliquant à la grille des tensions importantes pour créer un fort champ électrique  $E_{ox}$  dans l'oxyde. Lorsque celui-ci est supérieur à 5-6 MV.cm<sup>-1</sup>, le mécanisme de conduction prédominant est de type Fowler-Nordheim (F-N). Dans ce régime, le courant traversant l'oxyde SiO<sub>2</sub> peut être donné par l'expression simplifiée suivante [10]:

$$J_{FN} = A.E_{ox}^2.\exp\left(\frac{-B}{E_{ox}}\right) \quad \text{Équation 2}$$

Où A et B sont des constantes, dont les valeurs sont données par les relations suivantes [11]:

$$A = \frac{q^3 \cdot m_{Si}^*}{8\pi h m_e^* \phi_{BS}} \quad B = \frac{4\sqrt{2.m_e^* \cdot \phi_{BS}^3}}{3q\hbar}$$

Où  $m_{Si}^*$  est la masse effective de l'électron dans le silicium,  $h$  est la constante de Planck,  $\hbar$  la constante de Planck réduite et  $q$  la charge élémentaire. L'idéal est donc de balayer la tension de grille jusqu'à atteindre le champ de claquage de l'oxyde (environ 10 MV/cm) et une fois le claquage obtenu, d'extraire la portion de courbe telle que  $E_{ox} < E_{claquage}$ . En pratique, ce champ de claquage correspondra alors pour nos oxydes de 7 à 10 nm à des tensions de 7V à 10V. En traçant alors la courbe  $\ln(J/E_{ox}^2)$  en fonction de  $1/E_{ox}$ , la densité de courant est alors représentée par une droite, caractérisant le régime tunnel Fowler-Nordheim. Cette dépendance linéaire est vérifiée expérimentalement, même pour des températures élevées ( $> 400^\circ\text{C}$ ). On peut alors extraire les coefficients A et B respectivement en déterminant l'intersection de la droite avec l'axe  $1/E_{ox}$  et la pente de celle-ci. En fixant  $m_e^* = 0,41 \pm 0,05 m_e$ , on peut enfin déduire la hauteur de barrière  $\Phi_{BS}$ , qui devient la seule inconnue de l'équation. Pour cette analyse, nous prenons ci-dessous le cas d'une plaquette de composants dont l'oxyde mince est obtenu par la préparation chimique (HF:éthanol à 3% d'HF) et la recette d'oxydation de grille présentées précédemment. L'épaisseur d'oxyde mesurée par ellipsométrie est  $t_{ox} = 7,3$  nm. Nous avons tracé la courbe I-V (Figure II. 10 a) d'une capacité CPS de cette plaquette ( $S = 1,25.10^{-3} \text{ cm}^2$ ). En polarisant la grille de 0 à 7 V, le champ appliqué à l'oxyde passe de 0 à 10 MV.cm<sup>-1</sup>. La Figure II. 10 b) montre la courbe  $\ln(J_{FN}/E_{ox}^2)$  en fonction de  $1/E_{ox}$  ainsi que la régression linéaire obtenue.

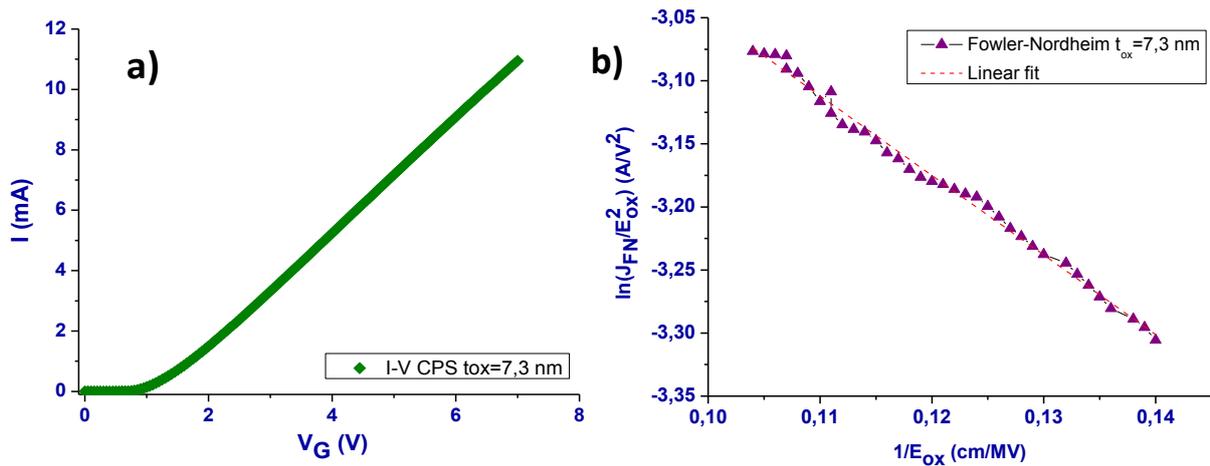


Figure II. 10 : a) courbe I-V d'une capacité MOS (CPS) d'oxyde de grille 7,3 nm, b) représentation dans le plan F-N de la caractéristique  $\ln(J_{FN}/E_{ox}^2) = f(1/E_{ox})$

La pente nous permet alors d'extraire la valeur de  $\Phi_{BS} = 3,09$  eV pour le cas présenté en Figure II. 10.

Des mesures répétées sur ces oxydes optimisés aboutissent à une valeur moyenne de  $\Phi_{BS} = 2,90 \pm 0,20$  eV. La hauteur de barrière que nous obtenons est donc proche de la valeur théorique, preuve de la qualité diélectrique des oxydes SiO<sub>2</sub> minces préparés par notre recette d'oxydation de grille. La couche organique déposée par le traitement HF:éthanol protège donc bien la surface du silicium des contaminants organiques et de la croissance d'un oxyde natif contraint. Au final, ces oxydes présentent une meilleure interface avec le silicium, sont plus denses, plus homogènes en épaisseur et de ce fait possèdent de meilleures propriétés électriques.

## II-2) Synthèse des Si-nx par ULE-IBS et recuit thermique

Maintenant que nous contrôlons la croissance de couches minces de SiO<sub>2</sub> (7-10 nm) avec la qualité diélectrique souhaitée, l'étape suivante consiste à synthétiser les nanocristaux de silicium (Si-nx) dans cet oxyde. Nous allons donc décrire ci-dessous les travaux d'optimisations de la synthèse des Si-nx adaptée au matériel disponible à l'AIME en jouant sur les paramètres gouvernant cette synthèse. La première partie concerne tout d'abord le choix de la dose implantée  $D_{impl}$ , puis celui des conditions de recuit, à savoir la durée et la température, dans le cadre de recuits sous atmosphère inerte. Le recuit dit « oxydant », qui permet de finaliser la synthèse des Si-nx et de guérir l'oxyde sera étudié dans une seconde partie.

Dans ce chapitre, le « juge de paix » permettant de valider ou non la synthèse des Si-nx dans la matrice de SiO<sub>2</sub> sera la spectroscopie de photoluminescence (PL). En effet, lorsque les nanocristaux de silicium sont formés, ils peuvent émettre de la lumière dans une gamme de longueur d'onde visible comprise entre 650 et 800 nm. Ainsi, lorsqu'un pic d'intensité de PL est observé dans cette gamme, la présence de Si-nx dans l'oxyde de grille est certaine. Mais, remarquons cependant que le cas contraire (pas de PL) ne signifiera pas forcément que l'oxyde ne contient pas de nx mais qu'ils sont simplement non émissifs pour diverses raisons liées à la matrice ou encore à la position du plan 2D qu'ils forment par rapport à l'interface... Le protocole expérimental utilisé pour ces mesures de spectroscopie de PL ainsi que la description des spectres d'émission de PL pour les Si-nx sont donnés en [Annexe 1].

Pour qualifier les meilleures conditions de synthèse de Si-nx, nous chercherons à obtenir la plus grande intensité  $I_{PL}$  possible, celle-ci correspondant a priori à une densité de Si-nx importante. A partir de ces mesures, il est également possible d'estimer l'ordre de grandeur de la taille des nx responsables de l'émission de photoluminescence. Pour cela, nous utilisons un polynôme du second degré, établi par Carine Dumas au cours de sa thèse [12]. Ce dernier décrit au mieux ses couples de points expérimentaux, faisant correspondre les énergies d'émission de PL des Si-nx ( $E_{PL}$ ) et les tailles des Si-nx mesurées par Microscopie Electronique en Transmission filtrée en énergie (*Energy-filtered Transmission Electron Microscopy*, EF-TEM), dans la gamme d'énergie allant de 1,5 à 1,8 eV. Dans

la mesure où les conditions de synthèse de nos Si-nx sont très similaires à celles pratiquées par Carine Dumas pendant sa thèse [12], nous avons utilisé ce polynôme pour extraire une taille moyenne estimée des Si-nx correspondant à nos séries d'échantillons. Les points expérimentaux de Carine Dumas ainsi que ceux donnés par le calcul théorique de Wolkin et al. [13] dans le cas de Si-nx passivés sous hydrogène ou oxygène sont présentés ci-dessous Figure II.11 :

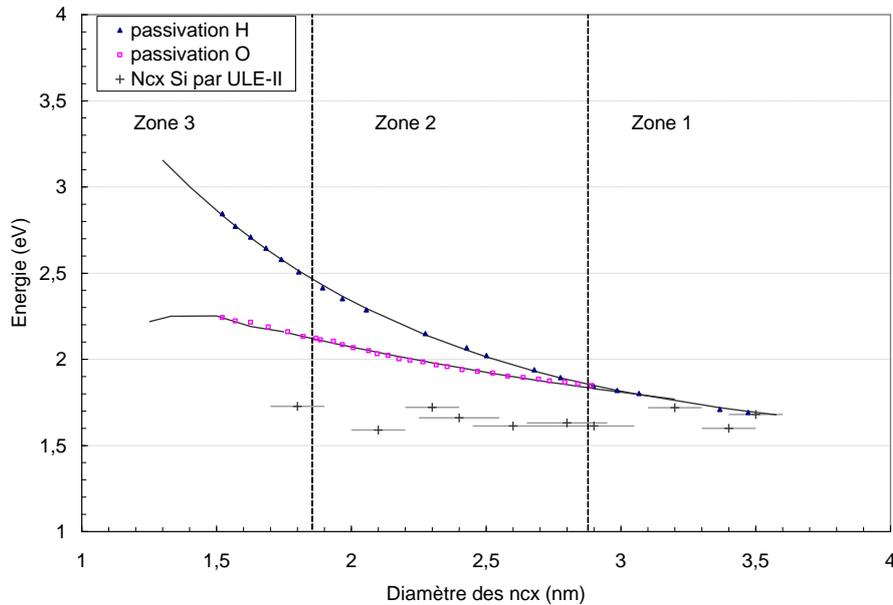


Figure II. 11 : Energie du pic de PL extraite des spectres expérimentaux de PL (Si-nx par ULE-II) en fonction du diamètre des ncx [12], comparée aux calculs théoriques réalisés par Wolkin et al., sur le gap de l'exciton libre (passivation sous hydrogène), et l'énergie de transition dans un nanocrystal passivé sous oxygène, contenant au moins une liaison Si=O [13]

Dans le cas d'une synthèse de Si-nx par ULE-II, la correspondance entre la position spectrale du pic d'émission de PL ( $\lambda_{PL}$ ) et la taille estimée des Si-nx est obtenue à partir du polynôme du second degré. Le tableau ci-dessous présente ces résultats pour des longueurs d'onde choisies dans la gamme d'émission de PL des ncx (650-800 nm), avec un pas en longueur d'onde de 25 nm :

$\lambda_{PL}$ (nm)	650	675	700	725	750	775	800
$E_{PL}$ (eV)	1,91	1,84	1,77	1,71	1,65	1,60	1,55
taille ncx (nm)	$1,6 \pm 0,2$	$1,8 \pm 0,2$	$1,9 \pm 0,2$	$2,0 \pm 0,3$	$2,1 \pm 0,4$	$2,5 \pm 0,5$	$3,3 \pm 0,3$

Tableau 7 : Estimation de la taille des Si-nx en fonction de la position spectrale  $\lambda_{PL}$  (et de l'énergie d'émission  $E_{PL}$  associée) du pic d'émission de PL des ncx, déterminée à partir du polynôme passant par les points expérimentaux de Carine Dumas [12]

Enfin la puissance du laser d'excitation ainsi que les caractéristiques du spectromètre seront conservées constantes dans toutes nos expériences afin de pouvoir comparer qualitativement et

quantitativement les intensités relatives de  $I_{PL}$ . Les échantillons que nous avons étudiés sont des structures Si/SO<sub>2</sub> dont l'oxyde mince est fabriqué par notre recette d'oxydation de grille. Des épaisseurs de 7 nm et 10 nm ont été utilisées de façon à déterminer les paramètres optimaux de synthèse des Si-nx dans cette gamme d'épaisseur. Rappelons que la température de synthèse des Si-nx doit être inférieure à la température de croissance de l'oxyde de grille (1100°C dans notre cas) qui est son étape précédente au sein du procédé. Ainsi, les recuits de synthèse des Si-nx ont été limités à T=1050°C.

### II-2-1) Gamme optimale de dose à implanter

La Figure II. 12 ci-dessous présente les spectres de PL obtenus pour 4 doses implantées dans des oxydes de 7 nm (à gauche) et de 10 nm (à droite), à une énergie de 1keV après un recuit fixé à 950°C pendant 60 minutes sous un flux de N<sub>2</sub>. Les doses testées sont :  $4 \times 10^{15}$ ,  $5 \times 10^{15}$ ,  $7,5 \times 10^{15}$  et  $1 \times 10^{16}$  Si<sup>+</sup>/cm<sup>2</sup>.

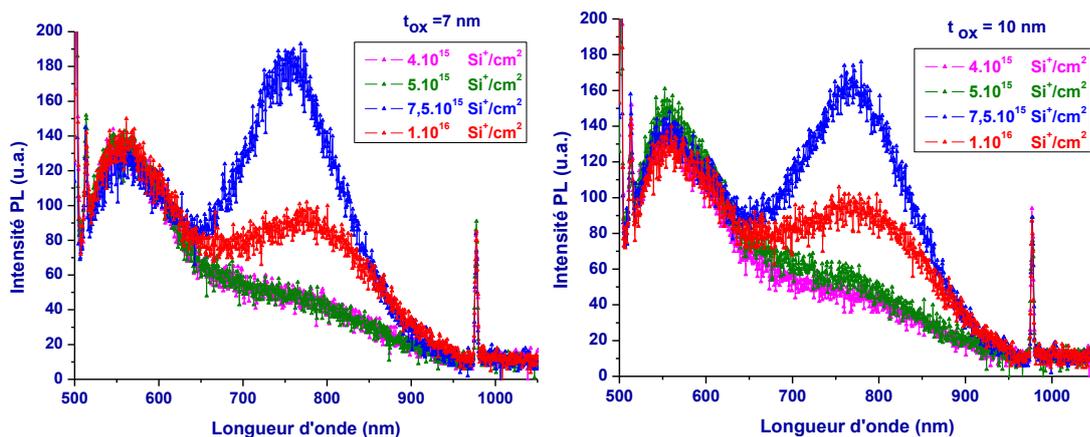


Figure II. 12 : Spectres de PL obtenus pour différentes doses testées, allant de  $4 \cdot 10^{15}$  à  $1 \times 10^{16}$  Si<sup>+</sup>/cm<sup>2</sup>, dans des oxydes de 7 nm (gauche) et de 10 nm (droite)

Tout d'abord, sur les figures ci-dessus, nous notons la présence de deux types de pics d'émission. Le premier type (pic de gauche, autour de  $\lambda=550$  nm) correspond à la bande spectrale relative aux défauts de l'oxyde, tandis que le second type correspondant à  $\lambda_{PL}$  compris entre 700 et 800 nm est caractéristique de l'émission de PL par les Si-nx. On remarque alors que seules les doses  $7,5 \times 10^{15}$  (courbes bleues) et  $1 \times 10^{16}$  Si<sup>+</sup>/cm<sup>2</sup> (courbes rouges) montrent une émission de PL des Si-nx. Les courbes bleues et rouges sont similaires pour les deux épaisseurs d'oxydes testées : l'intensité  $I_{PL}$  est maximale dans le cas d'une dose de  $7,5 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup>. D'autre part, en passant de  $7,5 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup> à  $1 \times 10^{16}$  Si<sup>+</sup>/cm<sup>2</sup>, la longueur d'onde d'émission se décale de  $\lambda=768$  nm à  $\lambda=776$  nm ce qui n'est pas significatif compte tenu des barres d'erreurs estimées à  $\pm 10$  nm. Nous dirons donc que [ $7,5 \times 10^{15}$ ,  $1 \times 10^{16}$ ] est la fenêtre de dose « optimale » permettant une « bonne » synthèse des nx dans le cas des recuits simples sous N<sub>2</sub>. Ces doses sont retenues pour le double recuit oxydant.

## II-2-2) Optimisation des conditions de recuit inerte

Le recuit de synthèse de nanocristaux de silicium est gouverné par deux paramètres : la température et la durée de recuit. Puisque la température de synthèse des Si-nx ne peut pas excéder 1050°C dans notre cas nous avons choisi des recuits dans la gamme 850°C à 1050°C. Quant aux durées, elles sont choisies « classiquement » dans une gamme allant de 30 à 90 minutes.

### II-2-2 a) Tests dans la gamme [850°C-950°C]

Voyons tout d'abord les résultats de recuit réalisés dans la gamme allant de 850°C à 950°C. La Figure II. 13 présente les résultats de PL dans cette gamme pour des oxydes d'épaisseur respectives de 7 nm (a) et de 10 nm (b) et pour une implantation réalisée à 1keV à une dose de  $7,5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ .

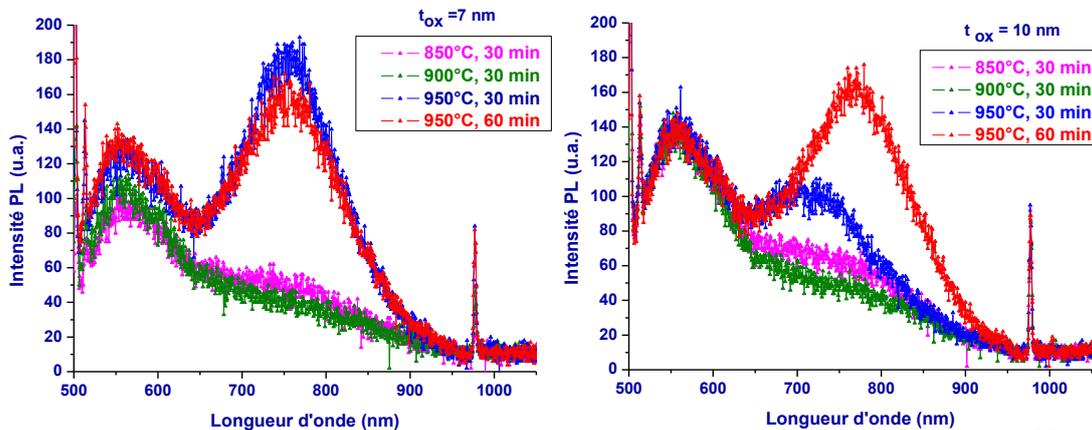


Figure II. 13 : spectres de PL d'échantillons implantés à 1keV à une dose de  $7,5 \times 10^{15} \text{ Si}^+/\text{cm}^2$  et recuits à des températures comprises entre 850°C et 950°C pendant 30 ou 60 min et dont les épaisseurs d'oxyde sont : a) 7 nm, b) 10 nm

Cette figure montre nettement des Si-nx seulement pour un recuit à  $T=950^\circ\text{C}$  et un très faible signal est détecté pour les recuits réalisés à 850°C. Le Tableau 8 ci-dessous rassemble les valeurs des intensités  $I_{\text{PL}}$  et des positions spectrales  $\lambda_{\text{PL}}$  des pics d'émission des Si-nx recuits à  $T=950^\circ\text{C}$ , pour les deux épaisseurs d'oxyde (7nm et 10 nm) et les deux durées de recuits testées (30 min et 60 min).

$T=950^\circ\text{C}$	oxyde 7 nm		oxyde 10 nm	
	$I_{\text{PL}}$ (u.a.)	$\lambda_{\text{PL}}$ (nm)	$I_{\text{PL}}$ (u.a.)	$\lambda_{\text{PL}}$ (nm)
Recuit 30 min	$190 \pm 5$	$750 \pm 5$	$100 \pm 5$	$700 \pm 5$
Recuit 60 min	$160 \pm 5$	$750 \pm 5$	$170 \pm 5$	$775 \pm 5$

Tableau 8 : Intensité et position spectrale des pics d'émissions de PL de Si-nx synthétisés par

implantation ionique à 1keV à une dose de  $7,5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ , suivie d'un recuit à  $T=950^\circ\text{C}$ , en fonction de la durée de recuit (30 ou 60 min) et de l'épaisseur d'oxyde (7 ou 10 nm)

Dans le cas de l'oxyde 7 nm ce tableau montre des pics d'émission similaires pour les deux durées de recuit. Ils sont centrés autour d'une position  $\lambda_{\text{PL}}$  fixe (750 nm), ce qui signifie que la taille des Si-nx n'évolue pas ( $2,1 \pm 0,4$  nm d'après le Tableau 8) après 30 min supplémentaires de recuit, tandis que dans le même temps l'intensité de PL diminue de 16%. Les résultats obtenus pour l'oxyde de 10 nm sont similaires sauf pour le recuit de 30 min qui s'écarte significativement des autres. En effet, la taille des Si-nx est plus petite avec une longueur d'onde  $\lambda_{\text{PL}} = 700$  nm et l'intensité  $I_{\text{PL}}$  diminue (100 u.a.). Ce résultat est probablement faussé par une fuite d' $\text{O}_2$  dans le four lors de ce recuit sous  $\text{N}_2$ .

Au final, ces résultats montrent la température minimale de  $950^\circ\text{C}$  est nécessaire pour synthétiser des Si-nx sous  $\text{N}_2$  et que l'intensité émise est la plus forte lorsque la durée du recuit est de 30 minutes (au moins dans le cas d'oxydes de 7 nm d'épaisseur). Voyons maintenant ce qui se passe à [ $1000^\circ\text{C}$ ,  $1050^\circ\text{C}$ ].

### **II-2-2b) Recuits de synthèse pour $T > 950^\circ\text{C}$**

Aux doses de  $7,5 \times 10^{15} \text{ cm}^{-2}$  aucune PL n'est observée. Seul l'échantillon implanté à  $1 \times 10^{16} \text{ cm}^{-2}$  présente un pic de PL. Ce spectre ainsi que les conditions de synthèse sont donnés ci-dessous Figure II. 14.

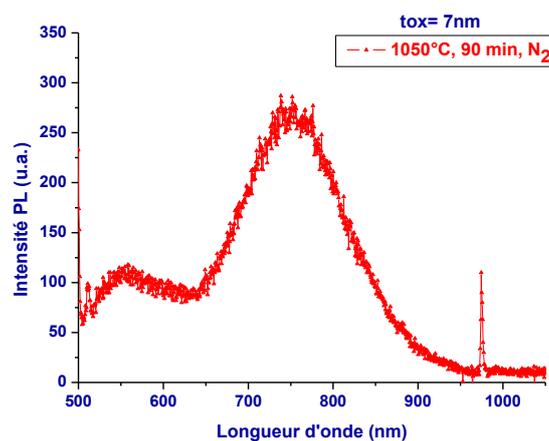


Figure II. 14 : Spectre de PL d'un échantillon d'épaisseur d'oxyde 7 nm, implanté à 1keV à une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  recuit à  $T=1050^\circ\text{C}$  pendant 90 min sous  $\text{N}_2$

Pour cet oxyde de 7 nm, on s'aperçoit que le pic de PL est centré sur  $\lambda_{\text{PL}}=750$  nm, tout comme pour les recuits à  $950^\circ\text{C}$  (même taille de Si-nx). Cependant, l'intensité  $I_{\text{PL}}$  semble plus importante ici. Pour comparer plus précisément des spectres, comme ici pour deux synthèses différentes, il peut être

utile d'exprimer le rapport d'intensités de PL liées respectivement à l'émission de lumière par les Si-ncx et à celle de la bande de défauts de l'oxyde. Nous obtenons alors ici une intensité relative d' $I_{PL}$  de +29% pour les recuits à 950°C contre +129% pour les recuits à 1050°C. Ce résultat montre ainsi soit une plus forte luminescence des ncx pour le recuit à 1050°C (alors certainement relative à une densité plus élevée de Si-ncx), soit une réduction des défauts de l'oxyde (redensification de l'oxyde par l'utilisation d'une température élevée) ou encore le cumul de ces deux effets.

Pour le recuit à  $T=1050^{\circ}\text{C}$  nous n'avons obtenu qu'un point de fonctionnement à  $t=90\text{min}$  pour l'oxyde de 7 nm et une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ . A l'inverse, à  $T=950^{\circ}\text{C}$  nous avons des « gammes » de fonctionnement : durées de recuit entre 30 et 60 min, doses entre  $7,5 \times 10^{15}$  et  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  pour les deux épaisseurs d'oxydes. Pour des raisons de flexibilité du procédé, de reproductibilité des recuits et éviter d'être sujet à fluctuations, nous avons choisis la température de 950°C. Les valeurs optimisées du recuit inerte sont résumées dans le Tableau 9 ci-dessous :

Oxyde	Implantation		Recuit de synthèse		Détection en PL	
$t_{\text{ox}}$ (nm)	$E_{\text{impl}}$ (keV)	$D_{\text{impl}}$ ( $\text{Si}^+/\text{cm}^2$ )	T ( $^{\circ}\text{C}$ )	durée (min)	$\lambda$ (nm)	$I_{PL}$ (u.a.)
7	1	$7,5 \cdot 10^{15}$	950	30	750	190
10				60	775	170

Tableau 9: Paramètres d'implantation et de recuits inertes optimisés pour la synthèse de Si-ncx dans des oxydes d'épaisseur  $t_{\text{ox}}$  de 7 et 10 nm, détectés et suivis par spectroscopie de PL

Il reste possible dans le cadre du procédé Nanocrystals Inside d'adapter la durée de recuit inerte à l'épaisseur d'oxyde de grille pour optimiser la synthèse des Si-ncx.

### **II-2-3) Optimisation du second recuit (sous $\text{N}_2 + x\% \text{O}_2$ )**

Le recuit dit oxydant comporte à la fois du  $\text{N}_2$  et  $\text{O}_2$ . La teneur en oxygène peut varier en variant grâce aux débits de ces gaz de 0,13 l/min à 5 l/min. Donc avec un débit de  $\text{N}_2$  constant de 5 l/min, la teneur en  $\text{O}_2$  peut varier de 2,6% au minimum à 50%. Après un recuit sous atmosphère inerte, les ncx se retrouvent généralement sous forme de micelles [1, 14, 15] de forme allongées et connectés. Sous l'effet d'un recuit oxydant, les nanocristaux se séparent, deviennent plus sphérique et leur diamètre ainsi que leur densité diminuent. Cette diminution de densité est l'une des causes de la diminution de l'intensité de la PL [16].

Nous avons tout d'abord réalisé une série de recuits oxydants (sans recuit inerte) sur des échantillons sortis de l'implantation. Les conditions testées (débits, températures, durées) sont présentées dans le Tableau 10 ci-dessous :

Epaisseur d'oxyde	Recuit oxydant (débits)	T (°C)	Durée (min)
7nm et 10nm	N <sub>2</sub> + 6.5%O <sub>2</sub> (2l/mn et 0.13l/mn)	950°C	30, 60 et 90
7nm et 10nm	N <sub>2</sub> + 6.5%O <sub>2</sub> (2l/mn et 0.13l/mn)	1000°C	90
7nm et 10nm	N <sub>2</sub> + 6.5%O <sub>2</sub> (2l/mn et 0.13l/mn)	1050°C	90

Tableau 10 : Conditions de recuits (températures et durées) testées sous atmosphère oxydante à 6,5% d'O<sub>2</sub> sur des oxydes de 7 nm et 10 nm

De manière générale, les intensités de PL recueillies sont beaucoup plus faibles que les précédentes et nous obtenons le résultat le plus favorable pour:

N<sub>2</sub> + 6.5%O<sub>2</sub> (2 l/min et 0,13 l/min) à T=950°C pendant t=90min

Ensuite nous avons appliqué ce recuit oxydant à une série d'échantillons préalablement recuits sous N<sub>2</sub> qui présentaient de la PL et nous avons constaté une chute d'intensité générale. La Figure II. 15 ci-dessous montre avec le spectre obtenu pour un échantillon traité avec un recuit inerte à T=1050°C pendant 90 minutes suivi du recuit oxydant ci-dessus.

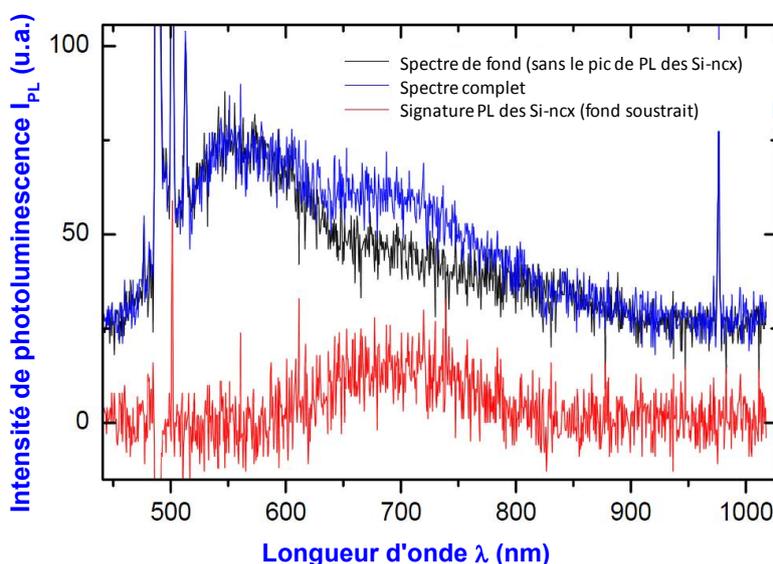


Figure II. 15 : Spectre de PL réalisé sur un oxyde à Si-nx synthétisés par implantation ionique à 1 keV et à une dose de  $7,5 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup> suivi d'un double recuit sous N<sub>2</sub> pendant 90 min à 1050°C puis sous N<sub>2</sub>+6,5% O<sub>2</sub> pendant 60 min à 950°C

Sur cette figure, le spectre rouge est obtenu en soustrayant le signal émis par un oxyde vierge (courbe noire) du spectre de PL de l'oxyde contenant les Si-nx (courbe bleue) pour obtenir uniquement la composante spectrale liée aux Si-nx. Après le second recuit à 6,5% d'O<sub>2</sub> il y a

émission de PL autour de  $\lambda_{PL} = 700$  nm au lieu de 750 nm précédemment. Ce décalage vers les faibles longueurs d'ondes et les hautes énergies (de 1,65 eV pour  $\lambda_{PL} = 750$  nm à 1,77 eV pour  $\lambda_{PL} = 700$  nm), atteste d'une forte réduction de la taille des Si-ncx [13]. Ainsi, la chute de PL pour les échantillons recuits à 6,5% d'O<sub>2</sub> est probablement liée à une forte réduction en taille et en densité des Si-ncx. Elle provient probablement d'une trop forte teneur en oxygène si l'on s'en réfère aux travaux de Bonafos et al. [14] sur l'effet de l'oxygène lors du recuit. Il a été montré (Figure II. 16 ci-dessous) que la fenêtre mémoire  $\Delta V_T$  obtenue pour des capacités MOS contenant des Si-ncx enfouis dans l'oxyde de grille se réduit considérablement lorsque le taux d'oxygène du recuit est supérieur à 3% et qu'elle disparaît presque totalement au-delà de 5%.

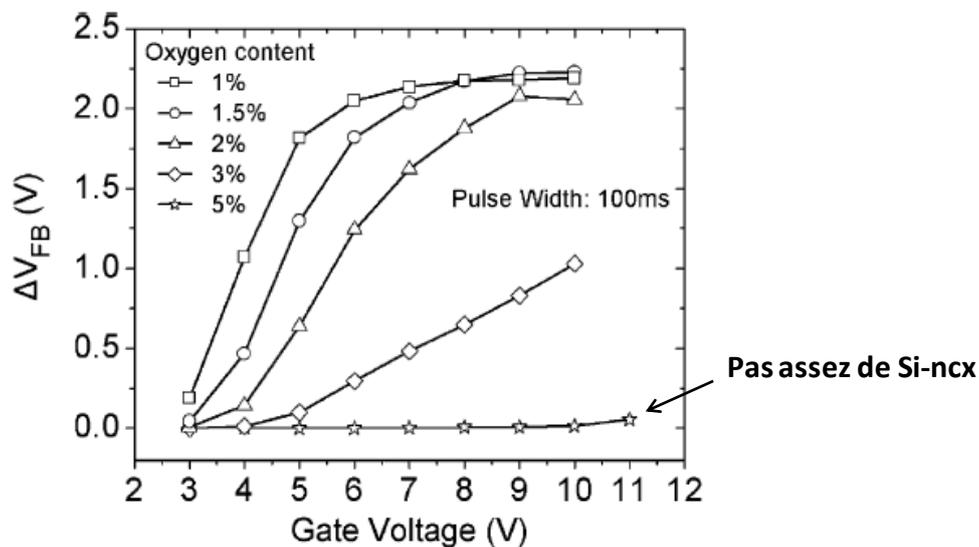


Figure II. 16 : Fenêtre mémoire obtenue pour des capacités MOS d'oxyde de grille de 7 nm d'épaisseur, implantées à 1keV à une dose de  $2.10^{16}$  cm<sup>-2</sup> suivi d'un recuit sous différentes atmosphères oxydantes [14]

Cette diminution de la fenêtre mémoire est directement liée à la diminution de la charge stockée par le réseau de Si-ncx du fait de la réduction de la taille et de la densité de nanocristaux après un recuit dont le taux d'oxydation est élevé.

Nos taux d'O<sub>2</sub> de 2,6% minimum utilisé sont donc pour l'instant trop élevés dans notre four pour donner une fenêtre mémoire significative d'après les valeurs indiquées par Bonafos et al. (Figure II. 16). De plus dans la mesure où le mass flow est en limite de fonctionnement le taux est soumis à des fluctuations nous n'avons obtenu aucun signal de PL dans ces conditions. Du fait du manque de reproductibilité avec nos recuits oxydants à l'AIME nous avons effectué ces recuits à l'IMEL (Demokritos, Grèce) dans l'équipe de Pascal Normand. Ces recuits sont du même type mais avec des débits de gaz mieux contrôlés pour l'oxygène pour un taux de 1,5%.

Le tableau ci-dessous résume les tests effectués sur deux de nos échantillons : l'échantillon M<sub>1</sub>

(recuit inerte) et l'échantillon M<sub>2</sub> (double recuit) ainsi que les résultats de photoluminescence. Ces conditions représentent les conditions optimales de synthèse réalisées à l'IMEL.

Plaquette	Echantillons	Recuits IMEL	Détection PL
SiO <sub>2</sub> t <sub>ox</sub> = 10nm implanté à 1 keV et 1.10 <sup>16</sup> Si <sup>+</sup> /cm <sup>2</sup>	M1	1050°C, 30min, N <sub>2</sub>	I <sub>PL</sub> =600 u.a., λ <sub>PL</sub> =794 nm
	M2	{1050°C,30min, N <sub>2</sub> } + {950°C, 30min,N <sub>2</sub> +1,5%O <sub>2</sub> }	I <sub>PL</sub> = 278 u.a., λ <sub>PL</sub> =752 nm

Tableau 11 : Synthèse de Si-ncx caractérisée par PL de deux échantillons recuits à l'IMEL, sous simple recuit N<sub>2</sub> (échantillon M<sub>1</sub>) et sous double recuit (échantillon M<sub>2</sub>)

La Figure II. 17 ci-dessous présente les spectres de PL obtenus sur ces 2 échantillons (à gauche), une vue plane réalisée par Microscopie Electronique en Transmission Filtrée en Energie (EF-TEM) de l'échantillon M<sub>1</sub> (au centre) ainsi qu'une section transverse réalisée dans l'oxyde de l'échantillon M<sub>1</sub>, réalisée par TEM (à droite).

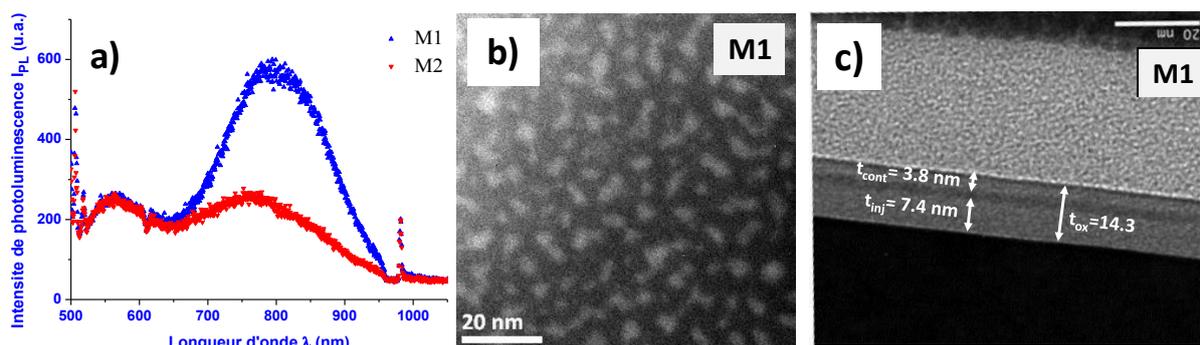


Figure II. 17 : Spectres de PL des échantillons M<sub>1</sub> (bleu) et M<sub>2</sub> (rouge) au centre, vue plane et section transverse réalisées sur l'échantillon M<sub>1</sub>, respectivement au centre et à droite

Cette figure montre que le recuit inerte du Tableau 11 appliqué à nos échantillons aboutit à une forte intensité de PL. En effet, I<sub>PL</sub> est supérieur de 118% à l'intensité de la bande de défauts (Figure II. 17 a). Cette valeur est voisine de la plus forte valeur obtenue après un recuit inerte à l'AIME (+129%, Figure II. 14). La taille et la densité des Si-ncx correspondantes à ce recuit, ainsi que la position du plan de Si-ncx dans l'oxyde sont données dans le Tableau 12 ci-dessous :

Taille Si-ncx (nm)	Densité Si-ncx (cm <sup>-2</sup> )	t <sub>inj</sub> (nm)	t <sub>cont</sub> (nm)	t <sub>ncx</sub> (nm)
~ 3 nm	2.10 <sup>12</sup>	7,4	3,8	3,1

Tableau 12 : Taille et densité des Si-ncx, épaisseurs des oxydes de contrôle et d'injection (t<sub>cont</sub> et t<sub>inj</sub>) et du plan de ncx (t<sub>ncx</sub>) extraites de mesures TEM pour l'échantillon M<sub>1</sub>

On vérifie ainsi qu'après un simple recuit sous  $N_2$ , les ncx sont partiellement connectés (Figure II. 17 b) avec une taille moyenne de 3 nm (cohérente la valeur extraite de la position de  $\lambda_{PL}=794$  nm (voir Tableau 7) et une densité de  $2 \times 10^{12} \text{ cm}^{-2}$ . Cependant, le plan de Si-ncx (de 3,1 nm d'épaisseur) est situé plus près de la grille ( $t_{cont}=3,8$  nm) que du substrat ( $t_{inj}=7,4$  nm), ce qui favorise une injection de porteurs par la grille plutôt que par le canal.

Dans le cas du double recuit à 1,5% d' $O_2$  (échantillon  $M_2$  du Tableau 11)  $I_{PL}$  diminue par rapport au simple recuit inerte. Cependant cette chute reste limitée et le pic de PL a la même intensité que celui de la bande de défauts de la silice (pic centré sur  $\lambda_{PL} \approx 550$  nm) alors qu'il était plus faible dans le cas d'un double recuit avec un taux second d' $O_2$  de 6,5% (Figure II. 15). On observe également un décalage de la position de  $\lambda_{PL}$  de 794 nm à 752 nm, ce qui correspond à une réduction de la taille des ncx de  $3,3 \pm 0,3$  nm à  $2,1 \pm 0,4$  nm environ. On retrouve d'ailleurs la position « standard » du pic de PL à  $\lambda_{PL} \approx 750$  nm, ce qui n'était pas le cas à l'issue des doubles recuits AIME ( $\lambda_{PL}=700$  nm, soit une taille de Si-ncx de  $1,9 \pm 0,2$  nm, voir Figure II. 15). Ces résultats confirment le meilleur contrôle de l'évolution de la population des Si-ncx avec le double recuit à 1,5% d' $O_2$ . Nous allons voir maintenant qu'il est également possible d'améliorer la PL sans affecter les Si-ncx, à l'aide d'un recuit à basse température sous un mélange hydrogène/azote qui permet de passiver les défauts d'interface des Si-ncx/silice.

#### **II-2-4) Optimisation de l'intensité de PL par recuit sous $N_2+H_2$**

Les paramètres gouvernant un tel recuit sont le taux d'hydrogène dans le mélange gazeux (*forming gas*), la température et la durée de recuit. Nous avons donc testé des recuits de passivation avec un mélange de composition  $N_2+5\%H_2$ . Les températures sont choisies dans la gamme 400°C à 500°C. L'intégration d'un tel recuit est intéressante pour restaurer la PL qui diminue généralement après le second recuit oxydant (exemple de l'échantillon «  $M_2$  » par rapport au «  $M_1$  »).

##### **II-2-4 a) Résultats expérimentaux**

Pour cette analyse, nous sommes partis de l'échantillon «  $M_1$  » présenté précédemment. Nous avons alors clivé cet échantillon afin de conserver une référence et réalisé différentes conditions de recuits de passivation dont la première condition était  $N_2+5\%H_2$ ,  $T=400^\circ\text{C}$  et  $t=20\text{min}$ . Le Tableau 13 ci-dessous présente à la fois les conditions de recuits de passivation testées et les résultats de PL pour chacun de ces échantillons :

Echantillon	Recuit sous $N_2+5\%H_2$	$I_{PL}$ (u.a.)	$\lambda_{PL}$ (nm)	augmentation $I_{PL}$ (%)
M1	-	600	794	-
M1-0	400°C, 20min	1073	802	+ 79
M1-2	450°C, 20min	698	814	+ 16
M1-3	450°C, 60min	1037	809	+ 73
M1-4	500°C, 20min	1247	799	+ 108
M1-5	500°C, 40min	936	809	+ 56
M1-6	500°C, 60min	764	778	+ 27

Tableau 13 : Caractérisation des pics de PL émis par divers échantillons issus de l'échantillon  $M_1$  après différents recuits de passivation

La Figure II. 18 ci-dessous présente à gauche les spectres de PL issus de nos échantillons de type  $M_1$ -X (Tableau 13) après recuits de passivation.

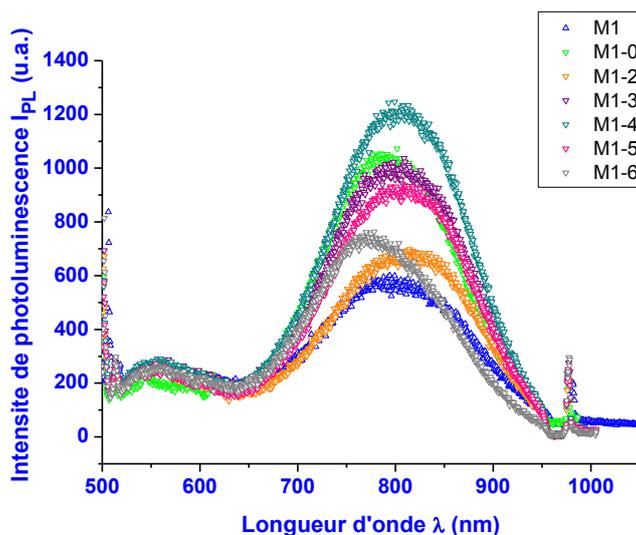


Figure II. 18 : spectres de PL issus d'une série de recuits de passivation réalisés sur l'échantillon  $M_1$

Le Tableau 13 montre que ces traitements ont permis de multiplier  $I_{PL}$  par un facteur de 2,1 (échantillon  $M_1$ -4) sans modification notable de la longueur d'onde d'émission  $\lambda_{PL}$  (sauf pour l'échantillon  $M_1$ -6) qui ne dépassent pas  $\pm 20$  nm. Les conditions de recuit de passivation idéales sont donc les suivantes :  $T=500^\circ C$  et  $t=20$  min.

#### **II-2-4 b) Passivation des états de surface de $Si-nx$ sous $H_2$ dans la littérature**

Depuis les années 1990, de nombreuses études ont identifiées le rôle de l'hydrogène dans la

passivation des états de surface de Si-ncx enrobés dans une matrice de SiO<sub>2</sub>. L'hydrogène est connu pour passiver différents types de défauts dans ce système, tels que les liaisons pendantes à l'interface Si/SiO<sub>2</sub>. Un modèle dit de « confinement quantique » [17] explique la limitation du taux de PL émis par les Si-ncx enrobés dans SiO<sub>2</sub> par la présence de ces défauts d'interface, responsables de recombinaisons non radiatives de paires d'excitons. Neufeld et al. [18] par exemple, ont vérifié ce mécanisme en comparant des recuits réalisés par recuit thermique rapide (RTA, *Rapid Thermal Annealing*) sous N<sub>2</sub>+6%H<sub>2</sub> et sous N<sub>2</sub> pur, pendant 5 minutes à une température de 800°C. Ils ont obtenu une intensité I<sub>PL</sub> multipliée par 3 dans le premier cas et aucune modification du spectre dans le second. Ils ont attribué ce résultat à la présence d'hydrogène dans le premier recuit. Ils ont par ailleurs montré la réversibilité du processus en réalisant à nouveau un recuit sous N<sub>2</sub> après lequel l'intensité de PL retrouve son niveau initial avant recuit sous N<sub>2</sub>+H<sub>2</sub>. Withrow et al. [19] ont quant à eux réalisés des recuits sous Ar, Ar+4%H<sub>2</sub> et Ar+4%D<sub>2</sub> et ont suivi la présence d'hydrogène (et de deutérium) dans le volume de l'oxyde après chaque recuit. Ils ont montré que l'hydrogène est piégé préférentiellement à la profondeur du plan de Si-ncx. Ils précisent également que les résultats sont identiques sous hydrogène ou deutérium, ce qui montre que les mécanismes de transitions ne dépendent pas de la masse de l'hydrogène. Ils indiquent que l'intensité de PL après recuit de passivation est multipliée par 3 dans le cas d'un substrat en silice amorphe (Figure II. 19 ci-dessous), tandis que cette augmentation est limitée à 30% dans le cas d'un substrat de silice cristalline réalisée par oxydation thermique. Comme il y a davantage de défauts dans une silice amorphe, le nombre susceptibles d'être passivés est plus important ce qui favorise une augmentation plus forte de la PL après passivation.

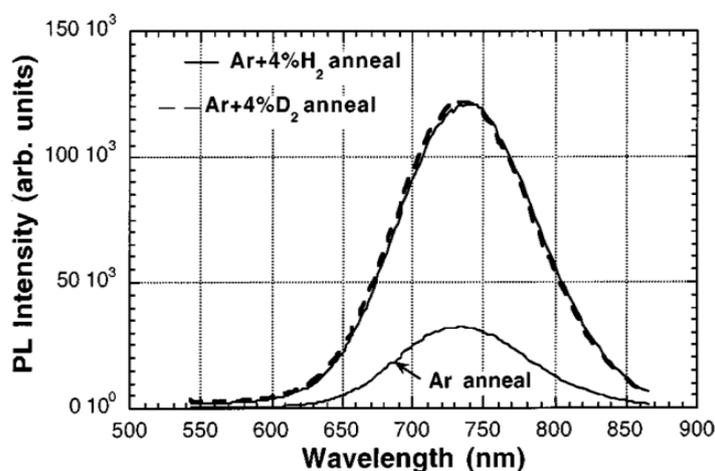


Figure II. 19 : spectres de PL montrant la forte augmentation d'I<sub>PL</sub> après recuit de passivation dans le cas d'un substrat de silice amorphe [19]

Enfin, Wilkinson et al. [20] ont discriminé deux types de défauts non-radiatifs passivés par le recuit sous hydrogène : un premier type de défauts qui réagit tant avec l'hydrogène atomique (H) qu'avec l'hydrogène moléculaire (H<sub>2</sub>) et un autre type de piège ne réagissant qu'avec l'hydrogène

atomique. En suivant des recuits sous  $N_2+H_2$  pendant plusieurs heures, ils n'observent aucune modification du spectre de PL après une heure, montrant que l'équilibre sous  $H_2$  est atteint en moins d'une heure. Ils démontrent que les cinétiques de passivation et de désorption de l'hydrogène atomique sont plus rapides que celles du  $H_2$ , et que davantage de défauts sont passivés par l'hydrogène atomique pour des recuits réalisés entre 400°C et 600°C.

#### ***II-2-4 c) Comparaison avec nos conditions et résultats de recuits de passivation***

Pour les recuits de passivation les taux d'hydrogène cités dans la littérature varient de 6% pour Neufeld et al. à 4% pour Withrow et al. c'est pourquoi nous avons pris 5%  $H_2$ . Les durées de recuits testées ( $\leq 1$  heure) correspondent aux valeurs préconisée par Wilkinson et al. [20].

En conclusion, un double recuit de synthèse permettant de restaurer au mieux la qualité de l'oxyde implanté tout en contrôlant la diminution de la taille et de la densité des Si-ncx peut être adapté à notre épaisseur d'oxyde de grille.

### **II-3) Optimisation du dopage par diffusion de phosphore (simulations)**

Comme nous l'avons vu, le cahier des charges de la structure nous impose de réaliser un oxyde de grille d'épaisseur inférieur à 10nm sur lequel sera déposé une grille en poly-silicium d'épaisseur à définir, dopée en même temps que la source et le drain lors de l'étape de diffusion de phosphore (Etape 8). A cette étape, il convient d'obtenir le plus fort dopage possible des régions de source et de drain et simultanément de limiter au maximum la diffusion de phosphore dans l'oxyde de grille  $SiO_2$  qui pourrait dégrader les caractéristiques de l'oxyde préalablement « optimisé ». Il faut donc optimiser l'épaisseur de la grille en poly-silicium et surtout les deux étapes relatives au dopage par diffusion: l'étape de pré-dépôt et l'étape de redistribution des dopants. Pour cela, nous avons utilisé des simulations avec le logiciel SILVACO. On retrouve en [Annexe 2] un exemple de simulation réalisée sous SILVACO entre l'étape 1 (oxydation de masquage) et l'étape 8 incluse (diffusion de phosphore). Les paramètres d'entrée sont le maillage choisi, la nature du substrat (Si), son orientation cristallographique (100) et son dopage ( $1 \times 10^{16} \text{ cm}^{-3}$ , Bore). On peut alors simuler l'oxydation de masquage et extraire l'épaisseur obtenue puis la gravure de l'oxyde de masquage et l'oxydation de grille. Après l'extraction de la valeur d'épaisseur de l'oxyde de grille, on entre l'épaisseur de la grille en poly-silicium déposée, on simule sa gravure et les conditions de dopage par diffusion. Comme nous le verrons dans les paragraphes suivants, ce travail nous a permis d'extraire les concentrations de phosphore dans l'oxyde de grille et dans les régions de source et de drain.

### ***II-3-1) Simulations du procédé DTC4R avec un oxyde de grille de 7 nm d'épaisseur***

Dans cette série de simulations, seule l'épaisseur d'oxyde de grille est modifiée. On conserve notamment l'épaisseur de poly-silicium à 300 nm. On extrait alors les concentrations de dopants (*net doping*) dans l'oxyde de grille et dans les jonctions, pour des épaisseurs simulées d'oxydes de grille de 70 nm (Procédé DTC4R) et 7 nm (pour le procédé Nanocrystals Inside). La diffusion est réalisée en deux étapes : le « pré-dépôt » et la « redistribution ». Le net doping a été calculé d'une part entre ces deux étapes et d'autre part en fin de diffusion. Le Tableau 14 résume les valeurs de net doping extraites pour ces deux épaisseurs d'oxyde de grille :

Etape de diffusion	Epaisseur d'oxyde de grille (nm)	Concentration de phosphore dans l'oxyde de grille (cm <sup>-3</sup> )	Concentration de phosphore dans les jonctions (cm <sup>-3</sup> )
Avant redistribution	70	3,7.10 <sup>16</sup>	1,8.10 <sup>19</sup>
	7	5,6.10 <sup>15</sup>	1,4.10 <sup>19</sup>
Après redistribution	70	<b>1,0.10<sup>16</sup></b>	<b>1,6.10<sup>19</sup></b>
	7	<b>2,1.10<sup>15</sup></b>	<b>9,3.10<sup>18</sup></b>

Tableau 14 : Net doping dans l'oxyde de grille et les jonctions pour deux épaisseurs d'oxyde de grille (70 et 7 nm), calculés avant et après l'étape de redistribution des dopants

Ce tableau montre d'une part que toutes les valeurs de dopages diminuent après redistribution et d'autre part qu'elles diminuent également avec la réduction en épaisseur de l'oxyde de grille. Cette diminution va dans le sens du compromis que nous cherchons à mettre en place entre la faible teneur en phosphore de l'oxyde de grille et le fort dopage des jonctions. Ces résultats sont très intéressants car ils nous permettent de réduire beaucoup plus fortement la concentration en phosphore dans l'oxyde de grille que le dopage des jonctions. En effet, même si le dopage dans les jonctions est presque divisé par deux (respectivement  $9,3 \times 10^{18}$  et  $1,6 \times 10^{19}$  cm<sup>-3</sup> pour des oxydes de 7 et 70 nm), dans le même temps la contamination de l'oxyde de grille est réduite de presque un facteur 5 (respectivement  $2,1 \times 10^{15}$  et  $1,0 \times 10^{16}$  cm<sup>-3</sup> pour des oxydes de 7 et 70 nm). Cependant, si la diminution du net doping en phosphore augmente dans l'oxyde de grille le dopage diminue dans les jonctions, il nous faut donc trouver un moyen d'augmenter le dopage des jonctions tout en conservant un faible niveau de contamination de l'oxyde de grille. La solution passe forcément par la modification des conditions de dopage que nous allons décrire ci-dessous.

### ***II-3-2) Simulations et optimisations des conditions de dopage***

#### ***II-3-2 a) Simulations et optimisations des conditions de pré-dépôt***

Une solution pour augmenter le dopage des jonctions revient à simuler des pré-dépôts d'une durée plus longue (10 min au lieu de 5 min), pour différentes conditions de températures (entre 950°C et 1100°C) dans un oxyde de 7 nm par exemple ; la redistribution restant fixée à T=1050°C et t= 5min. Les dopages obtenus après redistribution sont présentés sur la Figure II. 20 ci-dessous :

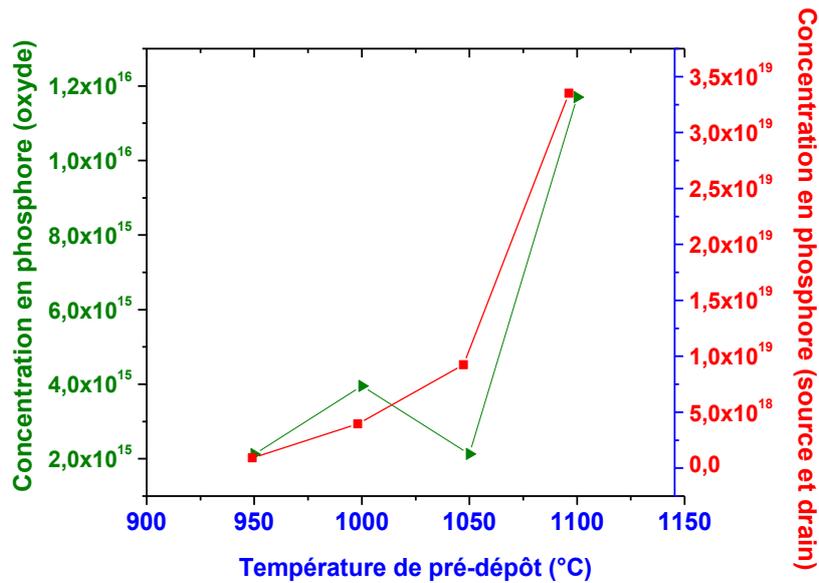


Figure II. 20 : Variations du net doping en phosphore : dans l'oxyde de grille (courbe verte) et dans les jonctions (courbe rouge), en fonction de la température (entre 950°C et 1100°C) et pour une durée de pré-dépôt de 10 min

Cette figure montre tout d'abord que la température de pré-dépôt influe fortement sur les niveaux de dopages, que ce soit dans l'oxyde de grille ou dans les régions de source et de drain. En effet, par exemple, on multiplie par 10 et par 3 les concentrations en phosphore respectives dans l'oxyde de grille et dans les jonctions en passant de  $T=1050^{\circ}\text{C}$  à  $T=1100^{\circ}\text{C}$  ( $t=10\text{min}$ ). Cette température de  $1100^{\circ}\text{C}$  est inutilisable puisqu'elle intervient après l'étape de croissance de l'oxyde. Par conséquent la température donnant le meilleur compromis entre faible diffusion des dopants dans l'oxyde de grille et fort dopage des régions de source et de drain pour un pré-dépôt de 10 minutes est  $T=1050^{\circ}\text{C}$ . La concentration en phosphore dans l'oxyde de grille est de  $2,1 \times 10^{15} \text{ cm}^{-3}$  tandis qu'elle est de  $9,3 \times 10^{18} \text{ cm}^{-3}$  dans la source et le drain. Ces valeurs sont identiques à celles répertoriées dans le Tableau 14, c'est à dire pour les mêmes conditions de pré-dépôt et de redistribution hormis la durée qui n'était que de 5 minutes.

En conclusion, nous avons vu grâce à ces simulations sur les conditions de pré-dépôt, que la température a une très forte influence sur les concentrations en phosphore dans l'oxyde de grille et dans les jonctions tandis que la durée n'a qu'un impact relatif lorsqu'elle passe de 5 à 10 minutes. Nous concluons également que la température initiale de pré-dépôt (celle du procédé DTC4R) donne le meilleur compromis en termes de net doping. De ce fait, la condition de pré-dépôt optimale est la suivante :  $T = 1050^{\circ}\text{C}$ ,  $t = 5 \text{ min}$ .

### **II-3-2 b) Simulations et optimisations des conditions de redistribution**

En fixant le pré-dépôt à la valeur optimale déterminée ci-dessus ( $T=1050^{\circ}\text{C}$ ,  $t=5\text{min}$ ), nous avons alors simulé le net doping dans l'oxyde de grille et dans les jonctions pour différentes conditions de redistribution, à savoir pour des températures de  $1050^{\circ}\text{C}$  et  $1100^{\circ}\text{C}$  et des durées de 5 min et 10 min. Les valeurs extraites sont répertoriées dans le Tableau 15 :

Conditions de redistribution	Phosphore dans les jonctions ( $\text{cm}^{-3}$ )	Phosphore dans l'oxyde de grille ( $\text{cm}^{-3}$ )
$T = 1050^{\circ}\text{C}$ , $t = 5 \text{ min}$	$9,22 \cdot 10^{18} \text{ cm}^{-3}$	$1,35 \cdot 10^{15} \text{ cm}^{-3}$
$T = 1050^{\circ}\text{C}$ , $t = 10 \text{ min}$	$8,50 \cdot 10^{18} \text{ cm}^{-3}$	$1,39 \cdot 10^{15} \text{ cm}^{-3}$
$T = 1100^{\circ}\text{C}$ , $t = 5 \text{ min}$	$6,63 \cdot 10^{18} \text{ cm}^{-3}$	$3,12 \cdot 10^{15} \text{ cm}^{-3}$
$T = 1100^{\circ}\text{C}$ , $t = 10 \text{ min}$	$2,50 \cdot 10^{19} \text{ cm}^{-3}$	$8,17 \cdot 10^{15} \text{ cm}^{-3}$

Tableau 15 : Concentration de phosphore dans l'oxyde de grille et les jonctions en fonction des conditions de redistribution, pour un pré-dépôt optimisé à  $T=1050^{\circ}\text{C}$  et  $t=5 \text{ min}$

Les valeurs répertoriées dans le tableau ci-dessus montrent que le point de fonctionnement optimal pour la redistribution, en tenant compte des paramètres optimaux de pré-dépôt, vaut  $T=1050^{\circ}\text{C}$  et  $t=5 \text{ min}$ . Ces conditions combinées de diffusion sont le meilleur compromis car on obtient la deuxième plus faible concentration de dopants dans le  $\text{SiO}_2$  et la deuxième plus forte valeur de dopage dans les jonctions. Nous allons maintenant étudier l'impact de l'épaisseur de la grille en poly-silicium.

### **II-3-3) Limitation du phosphore dans l'oxyde de grille**

Rappelons que la grille en poly-silicium étant auto alignée sur l'oxyde de grille, la modification de son épaisseur n'a aucun impact sur le niveau de dopage des jonctions mais qu'elle peut en revanche changer le niveau de contamination de l'oxyde de grille. La Figure II. 21 ci-dessous présente les valeurs de net doping en phosphore extraites de ces simulations, pour des oxydes de grille de 7 nm et de 10 nm, après diffusion des dopants (pré-dépôt :  $T=1050^{\circ}\text{C}$ ,  $t=5 \text{ min}$  ; redistribution :  $T=1050^{\circ}\text{C}$ ,  $t=5 \text{ min}$ ), en fonction de l'épaisseur de la couche de poly-Si déposée, pour des valeurs comprises entre 300 nm et 500 nm.

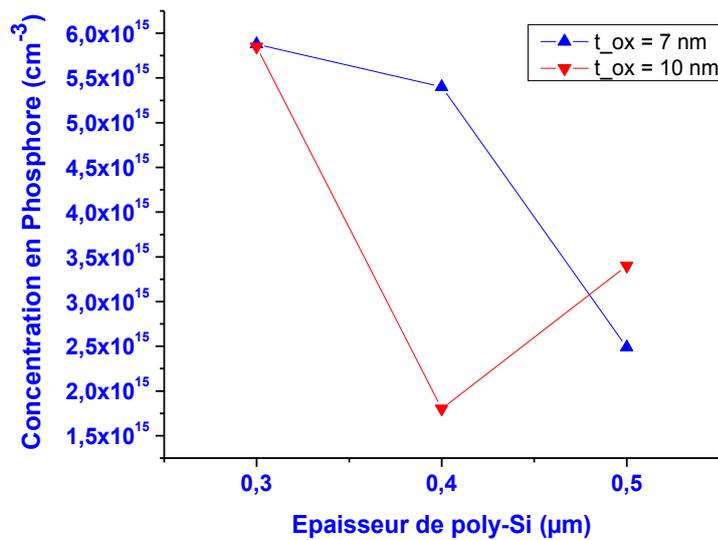


Figure II. 21 : Simulation de la concentration en phosphore dans l'oxyde de grille en fonction de l'épaisseur de poly-Si, pour un oxyde de grille de 7 nm d'épaisseur (courbe bleue) et de 10 nm d'épaisseur (courbe rouge)

Cette figure montre que l'épaisseur de la grille a effectivement un impact sur la concentration de phosphore dans l'oxyde de grille mince après diffusion : on diminue notamment le niveau de contamination de l'oxyde de grille en augmentant l'épaisseur de la grille. Les résultats de cette simulation montrent que l'épaisseur utilisée précédemment pour le procédé DTC4R (300 nm) n'est pas optimale pour les oxydes de grille minces du procédé Nanocrystals Inside. En effet, pour une grille de 300 nm, la concentration finale en phosphore dans l'oxyde de grille est d'environ  $5,5 \times 10^{15} \text{ cm}^{-3}$  pour les oxydes de 7 nm et de 10 nm. La contamination est différente pour ces deux épaisseurs d'oxyde de grille. Ainsi pour 7 nm une épaisseur de 500 nm fait chuter la concentration à moins de  $2,5 \times 10^{15} \text{ cm}^{-3}$  tandis que pour 10 nm il faut 400 nm pour avoir moins de  $1,8 \times 10^{15} \text{ cm}^{-3}$ . Nous devons donc adapter l'épaisseur de la grille en poly-silicium en fonction de l'épaisseur d'oxyde de grille pour limiter au mieux la contamination de l'oxyde de grille soit 500 nm pour les oxydes de 7 nm et 400 nm pour les oxydes de 10 nm.

#### **II-3-4) Optimisation de la diffusion pour un oxyde de grille de 10 nm**

Les simulations de réduction de l'épaisseur d'oxyde de grille (II-3-1) et de modification des conditions de pré-dépôt (II-3-2b) et de redistribution (II-3-2b), réalisées pour un oxyde de grille de 7 nm, ont été renouvelées avec un oxyde de grille de 10 nm. Les résultats montrent que les conditions optimales de diffusion sont les mêmes. Et donc les étapes de diffusion sont fixées aux conditions suivantes quel que soit l'oxyde:

Pré-dépôt : T=1050°C, t= 5 min

Redistribution : T=1050°C, t= 5 min

Le seul paramètre qui varie en fonction de l'épaisseur d'oxyde de grille est donc l'épaisseur de la couche de poly-silicium.

## **II-4) Conclusions sur le développement des étapes du procédé Nanocrystals Inside**

Nous venons de montrer comment les verrous technologiques pour arriver à un procédé de fabrication de MOSFET à Si-n<sub>x</sub> ont été levés. Toutes les étapes du procédé Nanocrystals Inside (Figure II. 6) étant réalisables et optimisées, nous avons fabriqué des séries de plaquettes contenant des transistors et capacités à Si-n<sub>x</sub>. Nous avons également réalisé des plaquettes vierges (sans implantation et recuit), mais respectant toutes les autres étapes du procédé Nanocrystals Inside, notamment la réalisation d'oxydes de grille mince (II-1) et de la diffusion optimisée par les simulations (II-3). Nous clôturons ce chapitre par l'étude des caractéristiques de ces composants sous faible polarisation afin de ne pas charger les nanocristaux et ainsi obtenir uniquement les caractéristiques « classiques » des transistors MOSFET ( $I_D-V_G$  et  $I_D-V_{DS}$ ).

## **III) Fonctionnement des composants à Si-n<sub>x</sub> sous faible polarisation**

Nous avons monté les puces issues du procédé Nanocrystals Inside en boîtiers (TO5) afin de mesurer les caractéristiques classiques  $I_D-V_{DS}$  et  $I_D-V_{GS}$  des transistors MOS à l'aide d'un Keithley 4200-SCS. L'étude portera non seulement sur les transistors à canal court (TCC), canal long (TCL) mais aussi sur les capacités MOS (CPS et CGS) afin d'obtenir toutes les caractéristiques de nos composants et de vérifier leur qualité. Enfin, nous comparerons leurs caractéristiques à celles du procédé DTC4R.

### **III-1) Caractérisations électriques des composants MOS**

#### **III-1-1) Caractéristiques $I_D-V_{DS}$ et $I_D-V_{GS}$ du transistor MOS**

L'application d'une tension de grille  $V_{GS}$  supérieure à la tension seuil  $V_{TH}$  du transistor, place la structure MOS dans un régime d'inversion grâce à la formation d'un canal sous l'interface Si/SiO<sub>2</sub>. Si l'on applique alors une tension entre la source et drain ( $V_{DS}$ ), il apparaît un courant entre la source et le drain, dénommé courant de drain ( $I_D$ ), le transistor est alors dans un état « ON ». Pour une

tension  $V_{DS}$  donnée, le courant  $I_D$  est d'autant plus important que le canal est conducteur, c'est-à-dire que le régime d'inversion de la structure MOS est prononcé, i.e. que la tension de grille est importante. C'est en effet le rôle de la polarisation grille, notée  $V_{GS}$ , de moduler le courant de drain, dont l'expression est la suivante.

$$I_D = \mu \frac{Z}{L} C_{ox} (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) V_{DS} \quad \text{Équation 3}$$

### III-1-2) Extraction des paramètres du transistor MOS

Des courbes  $I_D$ - $V_G$  et  $I_D$ - $V_{DS}$  et de cette équation, nous avons extrait les paramètres clés des transistors, à savoir :

- la transconductance  $g_m$
- l'inverse de la conductance  $g_d$ , à savoir la résistance à l'état passant  $R_{on}$  (pour  $V_{GS}=5V$ )
- le courant  $I_{DSO}$  à  $V_{GS}=0$
- la tension de seuil  $V_{TH}$
- la tension de claquage  $V_B$
- le facteur de gain  $\beta$  du transistor

On tire alors la mobilité effective des porteurs  $\mu_n$  à partir de la valeur de  $\beta$ , la tension de seuil du transistor  $V_{TH}$  est quant à elle extraite directement à partir de la courbe  $I_D$ - $V_{GS}$ .

### III-1-3) Extraction des paramètres de la capacité MOS

Les mesures C-V permettent de déterminer l'épaisseur électrique équivalente de la structure MOS, la tension de seuil du régime d'inversion  $V_T$  ou encore la densité de charge fixes de déplétion, notée  $N_{SS}$  (ou parfois  $D_{it}$ ). A noter que  $V_T$  est relative au seuil du régime de forte inversion de la structure MOS, à distinguer de la tension de seuil de conduction du transistor,  $V_{TH}$ , correspondant à l'état passant de ce dernier.

Le Tableau 16 ci-dessous résume les valeurs extraites des mesures I-V et C-V :

a) Transistor MOS			b) Capacité MOS	
L = $\mu m$ , W = $\mu m$			S = $cm^2$	
$g_m =$ mS	$R_{ON} =$ $\Omega$		$C_{ox} =$ pF	$t_{ox} =$ $\mu m$
$V_{TH} =$ V	$V_B =$ V	$I_{DSO} =$ $\mu A$	$C_{dep} =$ pF	
			$V_T =$ V	$N_{SS} =$ charges. $cm^{-2}$

Tableau 16 : Paramètres extraits des caractéristiques I-V du transistor MOS (a) et de la caractéristique C-V de la capacité MOS (b)

Afin de déterminer les grandeurs du Tableau 13 a) ainsi que la densité de charges  $N_{SS}$  à l'interface Si/SiO<sub>2</sub> de la structure MOS (Tableau 16 b), nous avons besoin d'une part des dimensions du transistor (L et W) données dans le Tableau 1 et d'autre part des paramètres suivants :

- $N_A$  : dopage du substrat (at/cm<sup>3</sup>)
- $t_{ox}$  : épaisseur de l'oxyde (Å)
- $S$  : surface de la capacité (cm<sup>2</sup>)
- $\Phi_{ms}$  : différence de travaux de sortie (V)

A ces valeurs, il faut rajouter la valeur de la permittivité de chacun des matériaux de la structure MOS.

## III-2) Caractéristiques des capacités vierges des procédés DTC4R et Nanocrystals Inside

### III-2-1) Comparaisons des courbes C-V

Pour déterminer les valeurs expérimentales de  $t_{ox}$ ,  $V_T$  et  $N_{SS}$ , il est nécessaire de connaître la valeur de la capacité en régime d'accumulation  $C_{max}$  [Annexe 3]. La valeur de  $C_{max}$  étant obtenue expérimentalement à partir des mesures C-V, nous avons réalisé des mesures sur des capacités avec un oxyde mince sans Si-ncx issu des procédés DTC4R (série 1) et Nanocrystals Inside (série 4). On peut alors comparer l'état de l'interface avec et après optimisation. Les échantillons issus de ces séries sont décrits dans le Tableau 17 suivant :

Série	Préparation de l'interface	Type de capacités	Epaisseur totale finale $t_{ox}$
1	DTC4R	CPS (sans ncx)	7,9 nm
4	Nanocrystals Inside	CPS (sans ncx)	7,3 nm

Tableau 17 : Description des échantillons testés pour les mesures C-V : capacités CPS préparées par le procédé DTC4R (série 1) et par le procédé Nanocrystals Inside (série 4)

La Figure II. 22 ci-dessous présentes les courbes C-V obtenues pour les CPS de la série 1 (a) et ceux de la série 4 (b), pour différentes tensions de grille et fréquences de modulation :

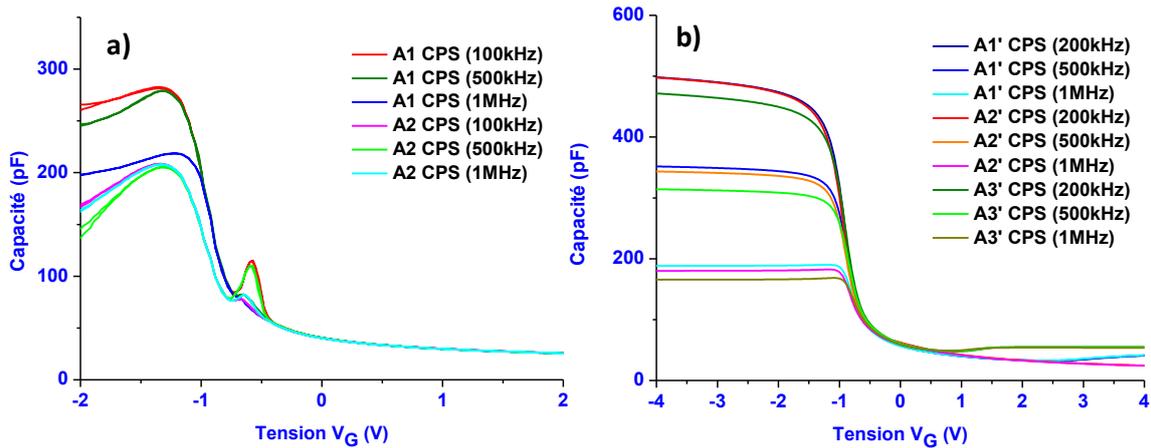


Figure II. 22 : Mesures C-V réalisées sur des CPS : a) de la série 1, pour des tensions de grille -4V/+4V/-4V et pour des fréquences allant de 100 kHz à 1 MHz, b) de la série 4, pour des tensions de grille -4V/+4V/-4V et des fréquences comprises entre 200 kHz et 1 MHz

On remarque des différences notables dans l'allure des courbes d'une série à l'autre:

1) Les capacités de la série 1 présentent un effet de déplétion de grille

Il apparait clairement une chute de la capacité en accumulation lorsque la polarisation négative augmente. En effet, lors de la réalisation de transistors MOS, plus particulièrement lors du dopage de la grille par diffusion de phosphore, si les jonctions ne sont pas assez dopées, il apparait une zone faiblement dopée près de l'interface oxyde/grille. Ce phénomène dit de « déplétion de grille » se traduit alors par une augmentation de l'épaisseur « électrique » du diélectrique qui provoque une diminution du courant de drain à l'état passant et ainsi une diminution de la capacité. La Figure II. 23 ci-dessous présente une simulation TCAD illustrant cet effet de déplétion de grille [21] :

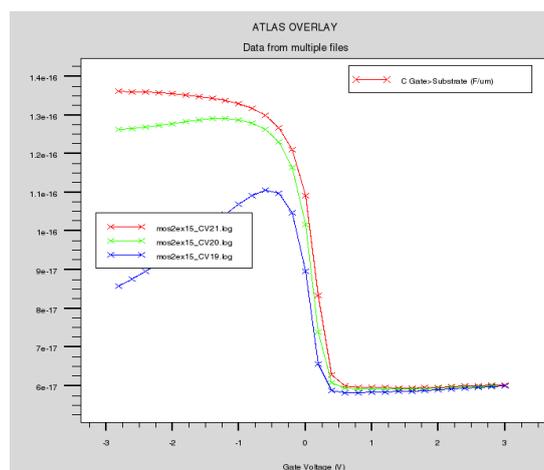


Figure II. 23 : Simulation TCAD montrant l'impact du dopage d'une grille en poly-silicium sur la valeur de la capacité en accumulation : dopage de  $10^{19} \text{ cm}^{-3}$  (courbe bleue),  $10^{20} \text{ cm}^{-3}$  (courbe verte) et  $10^{21} \text{ cm}^{-3}$  (courbe rouge)

Dans le cas présenté ci-dessus, cette chute apparaît pour un dopage de la grille en polysilicium inférieur à  $10^{21} \text{ cm}^{-3}$ . Cette chute fausse les mesures de  $C_{\text{max}}$  et ainsi le calcul de l'épaisseur d'oxyde, de la tension de seuil et de la densité de pièges d'interface. D'après Jalabert et Jordana [22, 23] ce phénomène, moindre dans le cas du transistor NMOS, est du à la tendance des atomes de phosphore à se placer aux joints de grain du poly-Si et devenir alors inactifs. Ils se comportent alors comme des barrières similaires à des barrières Schottky ou tunnel. Il a été montré que pour un taux de déplétion de grille inférieur à 20%, l'effet est moins pénalisant qu'une implantation de dopants à travers l'oxyde de grille et n'engendre pas de dégradation significative de la transconductance.

Au contraire, l'absence de chute de  $C_{\text{max}}$  en Figure II. 22 b) montre que le phénomène de déplétion de grille est évité dans le cas des capacités réalisées par le procédé Nanocrystals Inside dont le dopage a été optimisé par les simulations sous SILVACO.

## 2) Il apparaît un pic de capacité en régime de déplétion pour les TCC de la série 1

Ce pic est systématiquement présent pour les échantillons de la série 1. Il apparaît pour une tension fixe  $V_G = -0,5\text{V}$ , son intensité variant avec la fréquence. Pour les capacités présentées en Figure II. 22 a), ce pic est le plus intense dans la gamme 100-500 kHz. Apparaissant pour une faible tension ce pic peut être attribué à des charges présentes à l'interface avec le substrat. Il est difficile de dire s'il s'agit plutôt de la charge fixe près de l'interface avec le silicium, d'ions mobiles pouvant migrer d'une interface à l'autre sous l'effet du champ électrique ou des pièges d'interface à proprement parler. Ce pic disparaît pour les CPS de la série 4 dont l'interface a été améliorée par le traitement HF:éthanol ce qui est la signature probable des charges à l'interface ou à proximité de cette dernière plutôt que de charges mobiles.

## 3) La capacité $C_{\text{max}}$ est dépendante de la fréquence (séries 1 et 4)

Les oxydes étudiés ne contenant a priori pas de pièges lents (e.g. Si-ncx) cette variation de la capacité avec la fréquence ne provient pas d'une charge stockée dans ces pièges ne pouvant pas « suivre » les signaux à hautes fréquences. Elle provient donc des fuites de ces oxydes qui ne sont pas prises en compte. On obtient généralement une capacité dépendante de la fréquence et qui diminue quand la tension appliquée augmente à cause de l'augmentation des courants tunnels [24, 25]. Ces fuites sont présentes dans nos capacités car malgré leur dénomination (capacité « petite surface ») elles sont très (trop) grandes et le moindre défaut génère un courant de fuite. En effet, pour ce premier développement du procédé NanoInside, nous avons fait le choix de ne pas suivre la loi d'échelle de Dennard [26] qui impose de réduire la taille des composants en proportion de la réduction de l'épaisseur d'oxyde de grille avec un facteur d'échelle qui n'est pas adaptée aux épaisseurs de grilles de notre procédé. Le prochain design des jeux de masques du procédé NanoInside intègrera la réduction des composants TCL, TCC, CGS et CPS. Néanmoins, il nous a été possible d'exploiter les courbes C-V en utilisant un autre modèle (3 éléments) que ceux disponibles avec le KEITHLEY:

1) Le modèle 2-éléments « série » qui tient compte de la résistance série du substrat et de la grille, notée  $R_s$ , qui est associée en série avec la capacité de la structure, notée  $C_s$ .

2) Le modèle 2-éléments « parallèle » qui tient compte de la conductance  $G_p$  de l'oxyde, c'est-à-dire des courants de fuite à travers l'oxyde, représentés par la résistance  $R_p$ , associée en parallèle avec la capacité de la structure notée  $C_p$ .

En général, le modèle 2-éléments « série » est utilisé pour les oxydes d'épaisseur supérieure à 3 nm dont le courant de fuite est censé être très faible alors que pour les oxydes les plus minces le modèle 2-éléments « parallèle » est meilleur.

Pour extraire les caractéristiques intrinsèques des nos capacités notamment en accumulation, il faut utiliser le modèle 3-éléments, qui tient compte à la fois de la résistance  $R_p$  liée aux courants de fuite de l'oxyde et de la résistance série  $R_s$  du substrat et de la grille.

La Figure II. 24 ci-dessous présente les schémas électriques de ces 3 modèles :

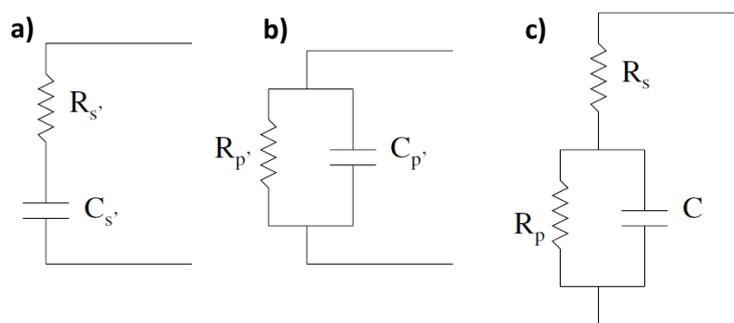


Figure II. 24 : Schémas électrique équivalents correspondant respectivement : a) au modèle 2-éléments série, b) au modèle 2-éléments parallèle, c) au modèle 3-éléments [25]

A l'aide de ce dernier modèle il est alors possible de retrouver la courbe correspondant à la capacité « intrinsèque » de la structure si l'on mesure l'impédance complexe à différentes fréquences (e.g. deux fréquences). La figure suivante présente des courbes C-V obtenues respectivement sur une capacité CPS de la série 1 (à gauche) et une autre de la série 4 (à droite), par mesure  $C_p$ - $R_p$  (modèle 2-éléments parallèle) pour deux fréquences (100 kHz et 1 MHz). Pour chacune de ces séries, la courbe C-V « 3-éléments » extraite de ces deux mesures figure en bleu.

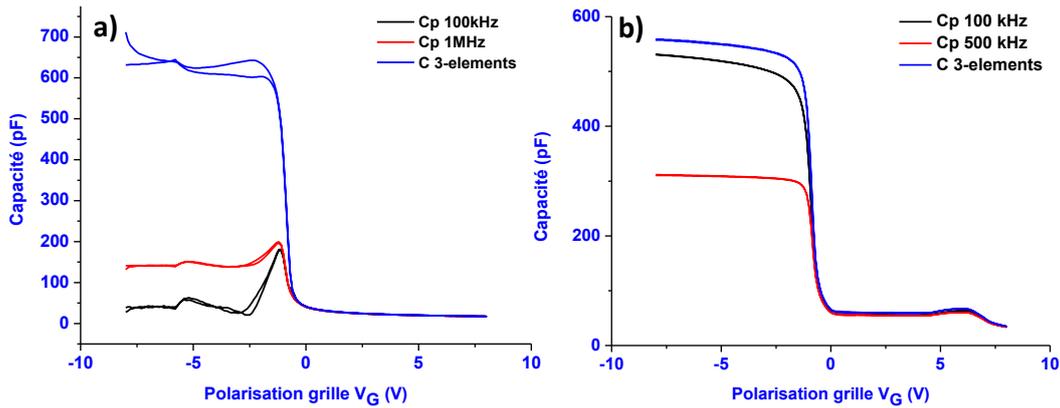


Figure II. 25 : Courbes C-V obtenues à partir du modèle 2-éléments parallèle à  $f=100$  kHz (noir) et  $f=1$  MHz (rouge), ainsi que la courbe reconstruite par le modèle 3-éléments à partir de ces mesures (bleu) : a) dans le cas d'une capacité CPS de la série 1, b) dans le cas d'une capacité CPS de la série 4

Les courbes C-V reconstruites par le modèle 3-éléments présentent alors une capacité en accumulation indépendante de la fréquence, dont le niveau effectif est constant et bien supérieur à celui estimé par les mesures 2-éléments. A partir des épaisseurs d'oxydes (Tableau 17), nous avons déterminé les capacités théoriques des oxydes ( $=\epsilon_0/t_{ox}$ ), à savoir  $4,37 \times 10^{-7}$  F/cm<sup>2</sup> (série 1) et  $4,73 \times 10^{-7}$  F/cm<sup>2</sup> (série 4). En prenant les valeurs les plus élevées de  $C_{max}$  sur les courbes données Figure II. 22 et la surface des capacités CPS (Tableau 3), les valeurs expérimentales de  $C_{ox}$  ( $=C_{max}/S$ ) pour les séries 1 et 4 sont respectivement de 45% ( $2,14 \times 10^{-7}$  F/cm<sup>2</sup>) et 84% ( $3,96 \times 10^{-7}$  F/cm<sup>2</sup>) de leur valeur théorique respective. Ce résultat montre que la qualité du diélectrique préparé par le procédé Nanocrystals Inside est bien meilleure car l'oxyde est moins fuitif. A partir des courbes obtenues par le modèle 3-éléments nous retrouvons la valeur de la capacité théorique ce qui montre que l'intégralité des fuites des oxydes minces est prise en compte. L'épaisseur d'oxyde de grille extraite à partir des courbes C-V reconstruites par le modèle 3-éléments donne 7,0 nm et 7,6 nm respectivement pour la série 1 et pour la série 4. Ces valeurs sont cohérentes avec celles du Tableau 17, obtenues par ellipsométrie, aux barres d'erreur près. Intéressons-nous maintenant à l'extraction correcte des valeurs de  $V_T$  et  $N_{SS}$ .

### III-2-2) Détermination de la densité $N_{SS}$ de défauts à l'interface Si/SiO<sub>2</sub>

Nous avons utilisé les capacités pour déterminer le nombre de charges à l'interface Si/SiO<sub>2</sub>,  $Q_{SS}$ , ainsi que la densité de pièges associée  $N_{SS}$ . Pour déterminer la valeur de  $N_{SS}$ , il faut utiliser les caractéristiques C-V théoriques et expérimentales de la capacité MOS. La construction de la courbe C-V théorique s'appuie sur les équations données en Annexe 3. Nous avons dans un premier temps déterminé les courbes C-V théoriques et expérimentales d'une capacité « petite surface » (CPS) pour les procédés DTC4R (série 1) et Nanocrystals Inside (série 4). Il s'agit d'un cas plus défavorable car la plus grande surface des CPS par rapport à celles des transistors favorise la probabilité d'apparition de défauts. Les valeurs

calculées, notamment de  $C_{max}$ ,  $V_T$ ,  $t_{ox}$  ainsi que le  $N_{SS}$  déterminé par l'écart entre  $V_T$  théorique (Tableau 18) et  $V_T$  issu de la mesure sont données dans le tableau ci-dessous.

Procédé	$C_{max}$ (pF)	$V_T$ (V)	$t_{ox}$ (nm)	$N_{SS}$ (cm <sup>-2</sup> )
DTC4R	620	0,69	7,0	$8,0 \cdot 10^{10}$
Nanocrystals Inside	570	0,69	7,6	$1,6 \cdot 10^{10}$

Tableau 18 : Paramètres de la courbe C-V théorique d'une capacité CGS du procédé DTC4R et valeur de la densité de pièges d'interface  $N_{SS}$

La mesure du  $C_{min}$  expérimental et le calcul de  $C_{ox}$  théorique permettent d'obtenir une valeur effective du dopage  $N_A \approx 7 \times 10^{15} \text{ cm}^{-3}$ . Le calcul de  $N_{SS}$  donne ici des densités de charge faibles pour les deux procédés ( $< 10^{11} \text{ cm}^{-2}$ ). La plus faible valeur est obtenue pour le procédé Nanocrystals Inside avec une meilleure préparation d'interface qui peut être attribuée au traitement HF : éthanol. Il faut noter que d'un composant à l'autre et d'une plaquette à l'autre ces densités varient mais de manière générale elles sont systématiquement comprises entre  $10^{10}$  et  $10^{11} \text{ cm}^{-2}$  et toujours plus faibles dans le cas du procédé Nanocrystals Inside.

### III-3) Application aux MOSFET des procédé DTC4R et Nanocrystals Inside

Après avoir comparé l'interface Si/SiO<sub>2</sub> au travers des mesures C-V, intéressons-nous maintenant aux caractéristiques intrinsèques des transistors réalisés par les procédés DTC4R et Nanocrystals Inside dont les courbes I-V nous permettrons d'obtenir les valeurs de  $\beta$ ,  $\mu_n$  et  $V_{TH}$ .

#### III-3-1) Application aux MOSFET du procédé DTC4R

Le MOSFET est un composant caractérisé par des paramètres tels que le facteur de gain du transistor ( $\beta$ ), la mobilité des porteurs libres dans le canal d'inversion ( $\mu_n$ ) ou encore la tension de seuil du transistor ( $V_{TH}$ ). Il est possible de déterminer la valeur du gain  $\beta$  à partir d'un point de pincement de la caractéristique  $I_D-V_{DS}$  du transistor [Annexe 3] et ensuite d'en déduire la valeur de la mobilité  $\mu_n$ . La tension de seuil  $V_{TH}$ , quant à elle, se lit directement sur la caractéristique  $I_D-V_{GS}$ .

Les caractéristiques  $I_D-V_{DS}$  et  $I_D-V_{GS}$  sont présentées sur la Figure II. 26 ci-dessous dans le cas d'un TCL du DTC4R ( $t_{ox}=70\text{nm}$ ).

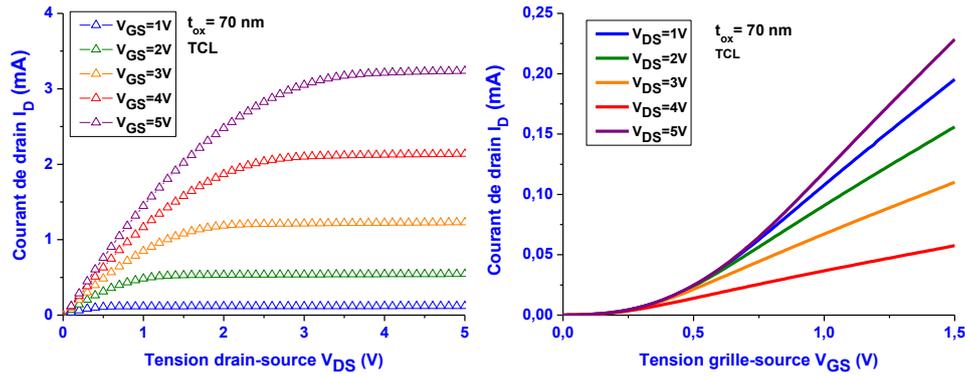


Figure II. 26 : Caractéristiques  $I_D$ - $V_{DS}$  (à gauche) et  $I_D$ - $V_{GS}$  (à droite) d'un MOSFET à canal long (TCL) issu du procédé DTC4R ( $t_{ox}=70$  nm)

Les valeurs de  $\beta$  et de  $\mu_n$  extraites de la courbe  $I_D$ - $V_{DS}$  de la Figure II. 26, ainsi que celles obtenues pour son homologue, le TCC, sont résumées ci-dessous dans le Tableau 19 :

Paramètres	TCC	TCL
$\beta$ ( $\mu A/V^2$ )	800	600
$\mu_n$ ( $cm^2/V.s$ )	650	400

Tableau 19 : Valeurs du gain du transistor et de la mobilité des électrons dans le cas d'un TCL et d'un TCC issus du procédé DTC4R

La mobilité des électrons extraite de ces mesures apparaît plus élevée dans le cas des TCC que pour les TCL. Ces valeurs devraient théoriquement être similaires pour des transistors dont le procédé de fabrication est le même et pour des longueurs de grille du même ordre de grandeur. Or, d'après Sze [26], la mobilité des porteurs dans le cas de MOSFET à canal N dont le dopage du substrat est  $<10^{17}$   $cm^{-3}$  est quasiment indépendante du dopage du substrat et ne dépend plus que du champ électrique transverse au courant de la couche d'inversion,  $E_y$ . A une température donnée,  $\mu_n$  décroît avec l'augmentation d' $E_y$ . Ainsi, à température ambiante, pour une faible valeur d' $E_y$  ( $\approx 10^3$  V/cm), la mobilité varie entre environ 400 et 800  $cm^2/V.s$  quand  $E_x$  (champ longitudinal) varie entre  $1 \times 10^5$  et  $6 \times 10^5$  V/cm [27]. Sur la Figure II. 26 (à gauche), le point de pincement de la courbe prise à  $V_{GS}=5V$  correspond à  $V_{DSsat} \approx 3V$ . Considérant un oxyde de 70 nm, le champ  $E_x$  appliqué est d'environ  $4 \times 10^5$  V/cm, ce qui correspond à une mobilité  $\mu_n \approx 500$   $cm^2/V.s$ . Ainsi, pour les oxydes de 70 nm, nos valeurs  $\mu_n$  extraites des caractéristiques  $I_D$ - $V_{DS}$ , tant pour les TCC que pour les TCL (de 300 à 800  $cm^2/V.s$ ) sont dans la gamme prévue par la littérature pour des valeurs de champ  $E_y$  similaires (de 400 à 800  $cm^2/V.s$ ).

En plus des valeurs de  $\beta$  et de  $\mu_n$ , nous avons vu précédemment (III-1-2a) qu'il est possible d'extraire également la tension de seuil  $V_{TH}$ , la transconductance  $g_m$ , la tension de claquage  $V_B$ , le courant  $I_{ON}$  (à  $V_{DS}$  et  $V_{GS}$  fixés) et le courant  $I_{OFF}$  (noté  $I_{DSO}$ , à  $V_{GS}$  nul) des caractéristiques I-V du

transistor. Le Tableau 20 ci-dessous résume les valeurs théoriques et les valeurs expérimentales moyennes de ces paramètres pour le TCC et le TCL.

Paramètres	TCC (th)	TCC (exp)	TCL (th)	TCL (exp)
$g_m$ (mS)	4,29	3,07	1,43	1,12
$V_{TH}$ (V)	0,91	0,44	0,91	0,46
$V_B$ (V)	-	24,23	-	24,47
$I_{on}$ (mA) / $V_{GS} = V_{DS} = 5V$	8,77	9,02	2,92	2,8
$I_{DSO}$ (nA) / $V_{GS} = 0V$	-	217	-	177

Tableau 20 : Valeurs théoriques et expérimentales de paramètres caractéristiques du MOSFET, dans le cas de TCC et TCL

La tension de seuil  $V_{TH}$ , extraite de la caractéristique  $I_D$ - $V_{GS}$  pour  $V_{DS}=5V$  (Figure II. 26, à droite) est respectivement de 0,44 V et 0,46V pour les TCC et les TCL. Ces valeurs sont plus faibles que la valeur théorique (0,91V) mais restent cohérentes entre elles et tout à fait satisfaisantes. En effet, il suffit que cette tension soit positive et pas trop proche de zéro pour que le transistor ne conduise pas en l'absence de polarisation de la grille (transistor dit « normally OFF »). Les valeurs obtenues suffisent donc à remplir cette condition. On remarque également que les transconductances extraites expérimentalement sont très proches des valeurs théoriques (quelques mS), de même que le courant  $I_{ON}$  déterminé pour  $V_{GS}=V_{DS}=5V$  (quelques mA). Les courants à polarisation de grille nulle  $I_{DSO}$  ( $V_{GS}=0$ ,  $V_{DS}=5V$ ) varient entre le nA et la centaine de nA avec une valeur moyenne de l'ordre de la centaine de nA. Les niveaux de courants de l'état bloquant (nA) et de l'état passant (mA) du transistor sont très satisfaisant et en accord avec les valeurs théoriques.

### **III-3-2) Application aux MOSFET du procédé Nanocrystals Inside**

#### **III-3-2 a) Présentation des échantillons testés**

Nous présentons ci-dessous les caractéristiques I-V de transistors issus d'une série d'échantillons, notée « série 2 », dont les conditions de synthèse sont les suivantes :

- Oxydation de grille : épaisseur initiale de 9,3 nm
- Implantation : énergie de 1 keV, dose de  $7,5 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup>
- Recuit : {1050°C, 90 min, N<sub>2</sub>} puis {950°C, 60 min, N<sub>2</sub> + 6,5% O<sub>2</sub>}

### III-3-2 b) Caractéristiques I-V des MOSFET à Si-n<sub>cx</sub>

L'épaisseur finale d'oxyde de grille après implantation et double recuit de la série 2 est de 24 nm. Ci-dessous sont présentées les caractéristiques  $I_D$ - $V_{DS}$  et  $I_D$ - $V_{GS}$  d'un MOSFET à canal court (respectivement en Figure II. 27 a et Figure II. 27 b) et d'un MOSFET à canal long (respectivement en Figure II. 28 a et Figure II. 28 b) de cette série d'échantillons. Rappelons que les tensions  $V_{DS}$  et  $V_{GS}$  utilisées pour cette étude sont inférieures à 2V afin d'éviter tout stockage de charge dans les Si-n<sub>cx</sub> pour n'extraire que les caractéristiques intrinsèques du transistor.

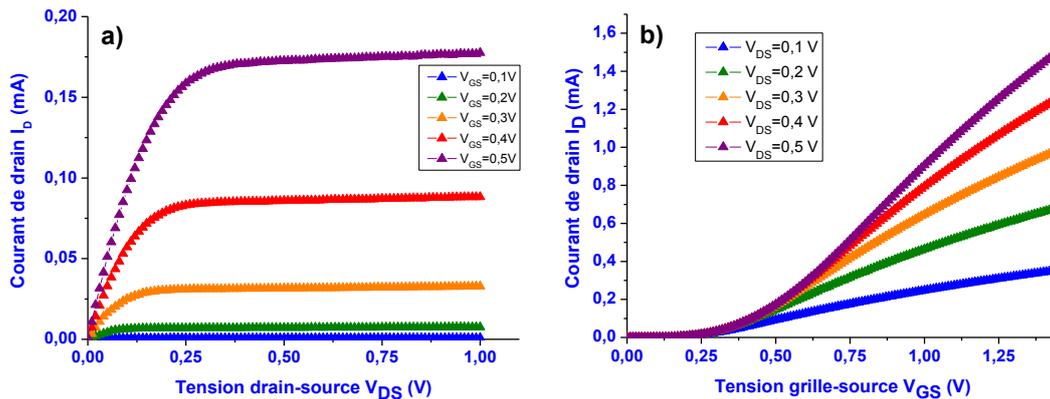


Figure II. 27 : Caractéristiques a)  $I_D$ - $V_{DS}$  et b)  $I_D$ - $V_{GS}$  d'un transistor TCC de la série 2

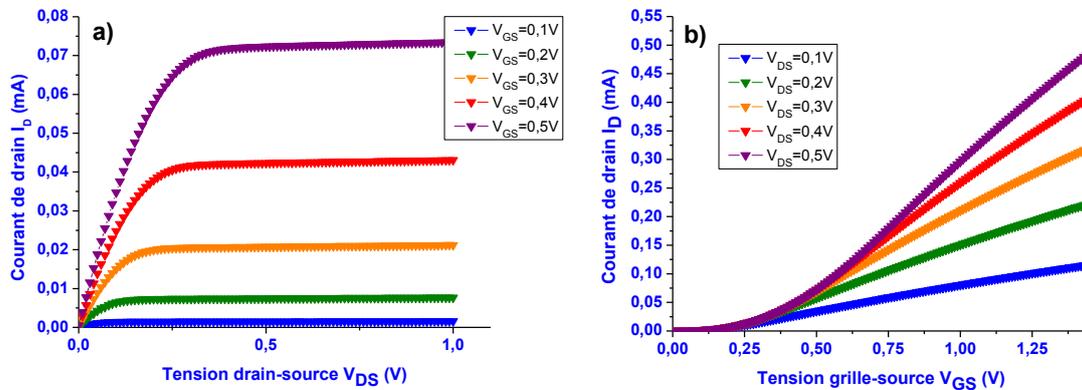


Figure II. 28 : Caractéristiques a)  $I_D$ - $V_{DS}$  et b)  $I_D$ - $V_{GS}$  d'un transistor TCL de la série 2

L'allure de ces caractéristiques est tout à fait « classiques » pour des MOSFET : saturation du courant de drain après augmentation de  $V_{DS}$  à  $V_{GS} = \text{cte}$ , conduction du transistor après augmentation de  $V_{GS}$  à  $V_{DS} = \text{cte}$  (seuil  $V_{TH}$ ). Le transistor n'est donc pas notablement affecté par la modification du procédé et l'implantation ionique. Nous avons ensuite extrait les valeurs de  $\beta$ ,  $\mu_n$  et  $V_{TH}$ , qui sont regroupées dans le Tableau 21 ci-dessous :

Paramètres	TCC	TCL
$\beta$ ( $\mu\text{A}/\text{V}^2$ )	3900	1500
$\mu_n$ ( $\text{cm}^2/\text{V.s}$ )	910	350
$V_{\text{TH}}$ (V)	0,25	0,25

Tableau 21 : Valeurs de  $\beta$ ,  $\mu_n$  et  $V_{\text{TH}}$  extraites des caractéristiques  $I_D$ - $V_{\text{DS}}$  et  $I_D$ - $V_{\text{GS}}$  de TCC et TCL de la série 2 (Nanocrystals Inside)

Les facteurs de gain sont plus élevés que pour les transistors du procédé DTC4R (voir Tableau 19), ce qui s'explique par la réduction de l'épaisseur d'oxyde de grille. En effet,  $\beta$  augmente lorsque  $C_{\text{ox}}$  ( $=\epsilon_{\text{ox}}/t_{\text{ox}}$ ) augmente et donc lorsque l'épaisseur d'oxyde de grille  $t_{\text{ox}}$  diminue, comme le montre l'expression de  $\beta$  donnée ci-dessous :

$$\beta = \frac{W}{L} C_{\text{ox}} \mu_n \quad \text{Équation 4}$$

Comme dans le cas du procédé DTC4R, on obtient des valeurs de  $\mu_n$  supérieures pour le TCC comparativement au TCL. Cependant, en passant du DTC4R au Nanocrystals Inside,  $\mu_n$  augmente pour les TCC et diminue légèrement pour les TCL. Ce résultat peut paraître surprenant dans le cas des TCC car d'après la littérature lorsque l'épaisseur de l'oxyde de grille diminue le champ électrique entre la grille et le canal augmente. Par conséquent, une forte force électrique perpendiculaire existe qui tend à diminuer la mobilité effective des porteurs dans le canal. Cependant compte tenu des incertitudes importantes sur ces mesures (25%) dues à l'accumulation des erreurs depuis la mesure du point de pincement jusqu'à l'expression de la mobilité en passant par celles du gain  $\beta$ , les valeurs de  $\mu_n$  obtenues restent dans les limites attendues (entre 300 et 800  $\text{cm}^2/\text{V.s}$ ) pour les TCC et les TCL.

La diminution de la tension de seuil  $V_{\text{TH}}$  (de 0,45V à 0,25V) est due à l'endommagement de l'oxyde de grille dont l'épaisseur a pratiquement été réduite par 3 (on passe de 70 nm à 24 nm) par l'implantation ionique. Cette valeur est identique pour les TCC et les TCL (voir Tableau 20 ) car la différence de longueur de grille concerne le numérateur du second terme de l'équation de  $V_{\text{TH}}$  (Équation 5 ci-dessous) qui est négligeable devant le premier dans nos conditions.

$$V_{\text{TH}} = 2 \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{2}{C_{\text{ox}}} \sqrt{kT \epsilon_{\text{Si}} \epsilon_0 N_A \ln\left(\frac{N_A}{n_i}\right)} \quad \text{Équation 5}$$

Cependant, cette tension de seuil reste tout à fait convenable et garantie un état « normally OFF » des transistors malgré l'implantation. Ce résultat provient du recuit oxydant qui restaure partiellement l'oxyde de grille malgré l'endommagement du à l'implantation ionique et limite les courants de fuite à travers cet oxyde de grille.

## Conclusion générale du chapitre

Dans ce chapitre nous avons montré qu'il est désormais possible de réaliser des transistors à oxyde de grille mince de grande qualité diélectrique, dans lesquels nous contrôlons la synthèse de nanocristaux de silicium. Nous avons déterminé les meilleures conditions de synthèse des Si-nx au sein du procédé initial (DTC4R) comprenant 12 étapes technologiques dans une couche mince de SiO<sub>2</sub> d'épaisseur inférieure ou égale à 10 nm en optimisant les conditions d'implantation (dose) et les conditions du double recuit (températures et durées). A l'issue d'un second recuit légèrement oxydant (1,5% d'O<sub>2</sub>), les Si-nx se déconnectent les uns des autres, leur forme devient sphérique, leur densité reste élevée et l'oxyde est partiellement guéri des défauts d'implantation. En outre, la qualité de l'interface entre les Si-nx et l'oxyde environnant peut être optimisée par un dernier recuit sous N<sub>2</sub>+H<sub>2</sub>.

Du point de vue du transistor, un travail en amont réalisé par simulation sous le logiciel SILVACO a permis d'établir les conditions optimales assurant un niveau de dopage suffisamment fort dans la grille et aux régions de source et de drain, tout en limitant la contamination de l'oxyde de grille. Nous avons ainsi validé et optimisé les étapes technologiques 3, 4, 5 et 8 du procédé (Figure II. 6), celles-ci répondent désormais au cahier des charges établi pour la réalisation des cellules mémoires élémentaires de type Flash à base de nanocristaux.

Les caractéristiques électriques des composants implantés, à savoir I<sub>D</sub>-V<sub>DS</sub> et I<sub>D</sub>-V<sub>GS</sub> (transistors) et C-V (capacités) restent standards, les paramètres extraits de ces caractérisations ont des valeurs proches de ceux de composants non implantés. Les transistors restent « normally OFF » même si la tension de seuil V<sub>TH</sub> diminue. La densité de pièges d'interface est faible et reste inférieure à la densité de Si-nx d'environ 1 à 2 ordres de grandeurs, ce qui est favorable au stockage de charges préférentiellement par les Si-nx.

La question que l'on se pose maintenant est la suivante : « est-ce que ces MOSFET à Si-nx retiennent les charges électriques ? » La réponse à cette question fait l'objet du chapitre suivant qui étudie l'effet mémoire dans les MOSFET à Si-nx réalisés par le procédé Nanocrystals Inside. Nous chercherons également à déterminer quelles conditions permettent le stockage de charge et éventuellement quel type de piège est responsable du stockage de charge.

## Références bibliographiques du chapitre 2

- [1] M. Carrada, Thèse de doctorat, Université de Toulouse (2003)
- [2] B.E. Deal and Grove, Journal of Applied Physics, Vol. 36, No. 12 (1965)
- [3] H. Coffin, Thèse de doctorat, Université de Toulouse (2005)
- [4] H. Z. Massoud and J.D. Plummer, Journal of Applied Physics, Vol. 62, No.8 (1987)
- [5] C.-J. Han and C.R. Helms, J. Electrochem. Soc.: solid state science and technology, Vol. 134, No.2 (1987)
- [6] J.L. Prom, J. Castagne, G. Sarrabayrouse, A. Munoz-Yague, Solid-State and Electron Devices, IEE Proceedings I, Vol. 135, No.1 (1988)
- [7] J. Maserjian, The Physics and Chemistry of SiO<sub>2</sub> and the Si/SiO<sub>2</sub> Interface, édité par C. R. Helms et B. E. Deal (Plenum, New York, 1988)
- [8] B. Brar, G.D. Wilk, A.C. Seabaugh, Applied Physics Letters, Vol. 69, No. 18 (1996)
- [9] G. Aygun, G. Roeder, T. Erlbacher, M. Wolf, M. Schellenberger and L. Pfitzner, Journal of Applied Physics, Vol. 108, No.7 (2010)
- [10] M. Lenzlinger, E.H. Snow, Journal of Applied Physics, Vol. 40, No.1 (1969)
- [11] G. Pananakakis, G. Ghibaudo, R. Kies, C. Papadas, Journal of Applied Physics, Vol. 78 No. 4 (1995)
- [12] C. Dumas, Thèse de doctorat, Université de Toulouse (2008)
- [13] M.V. Wolkin, J. Jorne, P.M. Fauchet, G. Allan, C. Delerue, Phys. Rev. Lett. Vol. 82, No. 1 (1999)
- [14] C. Bonafos et al., Solid-State Electronics Vol. 49 (2005)
- [15] H. Coffin, Thèse de doctorat, Université de Toulouse (2005)
- [16] M. Carrada, A. Wellner, V. Paillard, C. Bonafos, H. Coffin and A. Claverie, Applied Physics Letters, Vol. 87, No. 25 (2005)
- [17] S.P. Withrow, C.W. White, A. Meldrum, J.D. Budai, D.M. Hembree Jr., J.C. Barbour, Journal of Applied Physics 86 (1999)
- [18] F. Koch, V. Petrova-Koch, Journal of Non-Crystalline Solids 198-200 (1996)
- [19] E. Neufeld, S. Wang, R. Apetz, Ch. Buchal, R. Carius, C. W. White, and D. K. Thomas, Thin Solid Films 294 (1997)
- [20] A.R. Wilkinson, R.G. Elliman, Nucl. Instr. and Meth. in Phys. Res. B 242 (2006)
- [21] <http://www.silvaco.com/examples/tcad/section36/example15/>
- [22] L. Jalabert, Thèse de doctorat, Université de Toulouse (2001)
- [23] E. Jordana, Thèse de doctorat, Université de Toulouse (2005)
- [24] Kevin J. Yang and Chenming Hu, IEEE Transactions on electron devices, Vol. 46, No. 7 (1999)
- [25] D.P. Norton, Solid-State Electronics 47 (2003)
- [26] R.H. Dennard et al., "Design of ion-implanted MOSFETs with very small physical dimensions",

IEEE J. Solid-State Circ., vol.9, p.256 (1974)

[27] S. M. Sze, Physics of semiconductor devices, Second Edition, édité par John Wiley and Sons, New York (1981), p.448-449

[28] A.G. Sabnis and J.T. Clemens, IEEE Tech. Dig., Int. Electron Device Meet. (1979)

### ***3. Caractérisations électriques et origine(s) de l'effet mémoire***

---

# I) Mécanismes d'injection et types de pièges : mémoire non-volatile ?

## I-1) Introduction

Nous venons de voir dans le chapitre précédent que nous sommes parvenu à maîtriser la réalisation de capacités et transistor MOS contenant un plan 2D de Si-ncx enfouis dans l'oxyde de grille et que les caractérisations électriques sous faibles polarisations montrent des comportements en composant MOS standards et reproductibles. Nous allons étudier dans ce chapitre si nos composants de type Flash à grille granulaire présentent bien un effet mémoire et déterminer les pièges qui en sont à l'origine. Pour cela, nous allons augmenter la polarisation par rapport à celles utilisées au chapitre précédent afin d'injecter les charges plus loin dans le volume de l'oxyde i.e. en direction des nanocristaux. La fréquence de modulation de  $V_G$  utilisée lors de ces injections ainsi que son amplitude détermineront d'une part le(s) type(s) de conduction autorisé(s) et d'autre part les types de pièges mis en jeu ainsi que leur nombre.

En préliminaire, nous aborderons dans ce chapitre un bref rappel des différents types de pièges présents dans l'oxyde de ces dispositifs, ainsi qu'une description des principaux types de conceptions mis en jeu dans les structures MOS.

## I-2) Préliminaire

### *I-2-1) Les types de pièges dans l'oxyde des structures MOS*

En 1979, une nomenclature répertoriant les différents types de charges présentes dans l'oxyde a été réalisée à l'initiative de B.E. Deal [1]. Il résulte de cette classification quatre types de charges, à savoir : la charge fixe d'oxyde ( $Q_f$ ), la charge mobile ionique ( $Q_m$ ), la charge piégée à l'interface ( $Q_{it}$ ) et la charge piégée dans le volume de l'oxyde ( $Q_{ov}$ ).

La figure suivante présente une coupe schématique de l'oxyde de la structure MOS montrant la position des différents types de pièges (dont le plan de Si-ncx) :

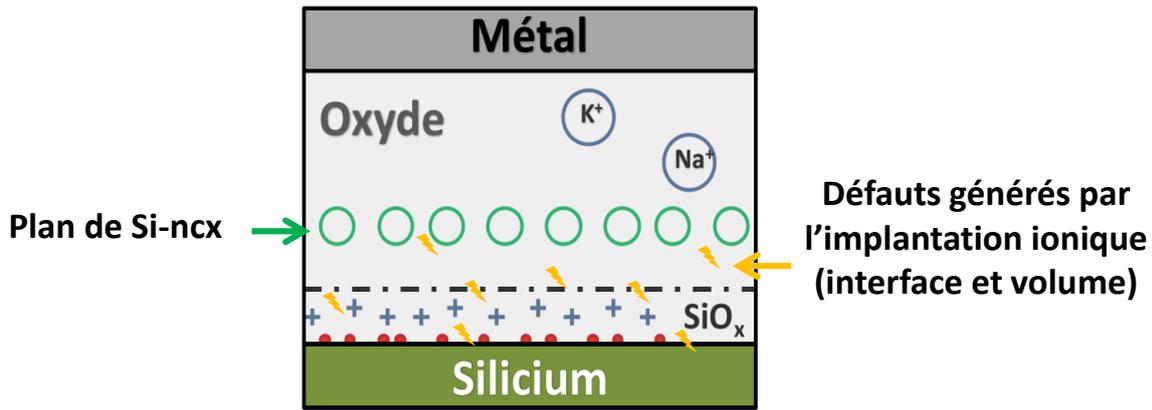


Figure III. 1 : Schématisation des différents types de piège dans l'oxyde de structures MOS contenant un plan de Si-ncx

1- La charge fixe d'oxyde  $Q_f$  est une charge positive, localisée près des interfaces Si/SiO<sub>2</sub> et

grille/SiO<sub>2</sub>, dans une couche d'environ 2,5 nm d'épaisseur. Elle est qualifiée de charge fixe car elle est isolée du silicium. Elle est attribuée à un excès de silicium figé après l'oxydation [2].

2- Les ions mobiles ( $Q_m$ ) sont principalement des ions alcalins (Na<sup>+</sup>, Li<sup>+</sup>, K<sup>+</sup>, H<sup>+</sup>...). Ces charges sont présentes à l'interface Si/SiO<sub>2</sub> et peuvent migrer d'une interface à l'autre sous l'effet de la température ou d'un champ électrique.

3- Les charges piégées dans l'oxyde ( $Q_{ot}$ ) sont dues à la migration de trous et d'électrons dans le volume de l'oxyde (interface non comprise). Dans le cas d'un oxyde vierge, cette charge n'est pas permanente et sa quantité peut être réduite par application d'un champ électrique ou par un apport thermique. Dans le cas d'oxydes à nanocristaux synthétisés par implantation ionique, les pièges de volume présents peuvent être ceux introduits volontairement (i.e. les Si-ncx) ou les défauts dus à la synthèse (i.e. les défauts d'implantation). Dans le premier cas, idéalement, la charge reste confinée dans les Si-ncx tant que la polarisation n'est pas suffisante pour renvoyer la charge vers le substrat ou la grille et qu'il n'y a pas de « cross-linking » : la mémoire est de type non volatile. Dans le second cas (défauts d'implantation) il s'agit de piégeage et non de stockage car pour ce type de défauts une faible variation du champ ou de la température suffit à faire migrer la charge, de piège en piège, soit en direction des Si-ncx soit de l'interface en fonction du signe de la polarisation. Les défauts d'implantation, distribués en profondeur entre le plan de Si-ncx et l'interface avec le substrat, sont représentés par des motifs jaunes.

4- La charge piégée à l'interface Si/SiO<sub>2</sub> ( $Q_{it}$ ) peut également être positive ou négative. Elle est captée par les défauts dus à la discontinuité de réseau à l'interface. Ces défauts sont à des distances tunnel du

semiconducteur, ce qui fait qu'ils se chargent et se déchargent aisément sous faible polarisation et à hautes fréquences (de l'ordre du MHz). Selon qu'ils soient accepteurs ou donateurs d'électrons et selon leur position par rapport au niveau de Fermi  $E_F$ , les états d'interface sont chargés négativement, positivement ou sont neutres.

Sur la Figure III. 1, les cercles rouges représentent les pièges d'interface, les croix bleues illustrent les charges fixes positives dans la couche non stœchiométrique  $\text{SiO}_x$ , puis dans le volume du  $\text{SiO}_2$  le plan de  $\text{Si-nx}$  est schématisé par des cercles verts et les charges mobiles allant d'une interface à l'autre sont représentées par des cercles bleus.

### I-2-2) Les principaux mécanismes de conduction dans les structures MOS

Les mécanismes de conduction présents dans les structures de type MIM (Métal Isolant Métal) et plus particulièrement dans les structures MOS dépendent d'une part des pièges évoqués précédemment et d'autre part d'un grand nombre de paramètres, tels que la température, le champ électrique, la permittivité, l'épaisseur des isolants... En prenant le cas particulier de la structure MOS, nous pouvons répertorier 5 mécanismes de conduction principaux, décrits ci-dessous sous forme de diagramme énergétique :

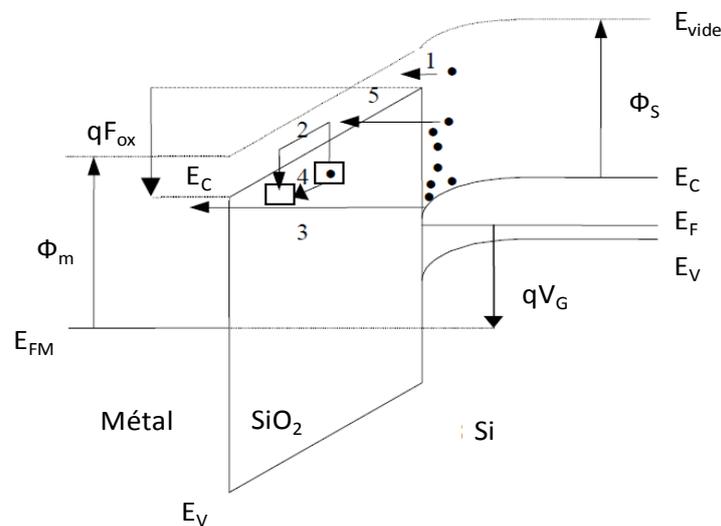


Figure III. 2 : Différents types de conceptions à travers un isolant. La structure exemple est ici de type MOS à silicium de type P et d'isolant  $\text{SiO}_2$ . La structure est polarisée positivement [3]

- (1) La conduction thermoïonique : lorsque l'électron possède une énergie supérieure à la hauteur de barrière  $\text{Si/SiO}_2$ , il peut alors pénétrer dans l'oxyde par-dessus cette barrière. On parle alors d'électrons « chauds ».
- (2) La conduction Poole-Frenkel : lorsque l'énergie de l'électron est supérieure à la hauteur de

barrière séparant deux pièges. Par analogie avec la conduction thermoïonique on parle ici de conduction thermoïonique « locale », l'électron peut alors transiter d'un piège à l'autre.

(3) La conduction tunnel directe : lorsque l'épaisseur d'oxyde est faible ( $< 3-5$  nm) et que la tension appliquée ne dépasse pas la hauteur de barrière, l'électron peut alors passer de la bande de conduction de la cathode à celle de l'anode, sous faible champ électrique

(4) La conduction de type Hopping : Il s'agit d'une conduction par effet tunnel « local ». En effet, ici l'électron possède une énergie inférieure au maximum de la hauteur de barrière énergétique entre 2 pièges, la conduction se fait alors par saut de piège en piège.

(5) La conduction tunnel Fowler-Nordheim : lorsque le champ électrique appliqué est intense et que l'énergie de l'électron reste inférieure à la hauteur de barrière Si/SiO<sub>2</sub>. Dans ce cas, l'électron traverse une barrière triangulaire. La perte d'énergie au cours du transit (collisions avec des phonons) est compensée par le gain dû au champ électrique qui accélère les porteurs vers l'anode.

Ainsi dans le cas de la structure MOS, plusieurs mécanismes de conduction peuvent être à l'origine du transport des porteurs jusque dans la zone de piégeage ou de stockage de charge (e.g. les Si-n<sub>cx</sub>), en fonction des épaisseurs considérées, des polarisations utilisées et des types de pièges présents ainsi que leurs positions dans l'oxyde. En outre, en fonction des épaisseurs et de l'endommagement de la matrice, ces processus peuvent se produire séquentiellement les uns après les autres.

### ***1-2-3) Impact de la polarisation et de la fréquence sur les types de pièges sondés***

Dans les mémoires de type Flash, le mécanisme d'injection prédominant est en général la conduction Fowler-Nordheim (F-N), même si l'injection par électrons chauds est également utilisée. Cette conduction suppose l'application d'un champ électrique important (supérieur à 5 MV/cm, cependant inférieur à 10 MV/cm, valeur du champ de rupture du SiO<sub>2</sub>). Cette polarisation nécessaire pour injecter les charges dans les nanocristaux dépend de l'épaisseur de l'oxyde de grille. Par exemple, pour atteindre un champ de 5 à 10 MV/cm dans un oxyde de 10 nm, il faut des tensions allant de 5 à 10V. Une forte polarisation de la grille permet également d'augmenter la densité de porteurs libres à la surface du substrat (n<sub>s</sub>), ce qui favorise l'injection d'un maximum de charges vers l'oxyde.

D'autre part, la fréquence de modulation du signal de grille détermine la durée pendant laquelle la structure MOS restera en régime d'accumulation et d'inversion. Diminuer la fréquence revient à augmenter ces durées et augmenter la probabilité d'apparition de plus en plus loin des processus lents d'injection et donc du transfert de charges dans le volume du SiO<sub>2</sub>. Les basses fréquences sont donc favorables au chargement des pièges de volume du SiO<sub>2</sub> (pièges lents), donc des Si-n<sub>cx</sub>. Lorsque ces derniers sont situés à une distance trop grande pour avoir une conduction tunnel

directe, il est alors possible de les « sonder », soit par l'application d'un champ électrique fort et conduction F-N, soit par passage assisté par d'autres pièges situés au voisinage du substrat par conduction Poole-Frenkel ou Hopping, comme vu précédemment.

Cette discussion préalable sur les types de pièges, sur les conduction potentiellement mis en jeu dans le stockage de charge par les Si-nx et la façon de les adresser sera utile pour l'analyse de l'effet mémoire dans nos composants, présentée dans la suite de ce chapitre.

## **II) Caractérisations de l'effet mémoire**

### **II-1) Observation de l'effet mémoire : décalage de $V_T$ des courbes I-V**

Comme nous l'avons au chapitre I, le chargement de pièges d'interface et de volume dans l'oxyde de grille des composants MOS à nanocristaux peut être observé par le décalage de la tension de bandes plates  $V_{FB}$  sur des courbes C-V [4, 5, 6] ou de la tension de seuil  $V_T$  sur des courbes  $I_D-V_G$  [7, 8, 9] lorsque la tension de grille est balayée de l'accumulation jusqu'à l'inversion ou réciproquement. Comme le souligne Beaumont [5], même si l'observation d'hystérésis atteste du piégeage de charges dans les structures à nanocristaux, elle ne prouve pas que le chargement soit bien réalisé dans les pièges lents de l'oxyde, notamment dans les nanocristaux. Or, il est indispensable que ces derniers soient responsables des chargements observés (« fenêtres mémoires »), pour que l'effet mémoire non volatile soit maîtrisé et fiabilisé.

Ceci étant dit, nous présenterons ci-dessous une technique permettant non seulement de mesurer la fenêtre mémoire  $\Delta V_T$  dans des conditions de tensions et de fréquences données, mais également de suivre l'évolution dynamique de cette fenêtre sous des cycles de tensions  $\pm V_G$  couplés à des variations de tensions, de fréquences ou encore de températures, pour mesurer l'endurance de la mémoire en fonction de ces conditions. De plus, le comportement avec ces paramètres permettra de discriminer certains types de pièges responsables des chargements observés.

### **II-2) Suivi de la fenêtre mémoire par des mesures cyclées**

#### **II-2-1) Principe et réalisation du banc de test des mémoires**

Nous avons vu dans le chapitre I le principe d'écriture et d'effacement d'une mémoire à grille flottante continue ou granulaire, à savoir l'application d'une polarisation  $V_G \gg 0$  pour stocker les électrons et d'une polarisation  $V_G \ll 0$  d'une valeur similaire pour renvoyer les électrons dans le semiconducteur (e.g. de type P). En appliquant un signal sinusoïdal à la grille  $\pm V_G$  d'amplitude suffisamment élevée, il est alors possible de cycliser la mémoire entre état chargé et état déchargé. Ce

principe est à la base du montage proposé par T. Ohzone [10] permettant de suivre l'effet mémoire d'un composant sous des conditions de fonctionnement dynamique. Il s'agit d'un montage suiveur de source dont le schéma électrique est présenté sur la Figure III. 3 a) suivante :

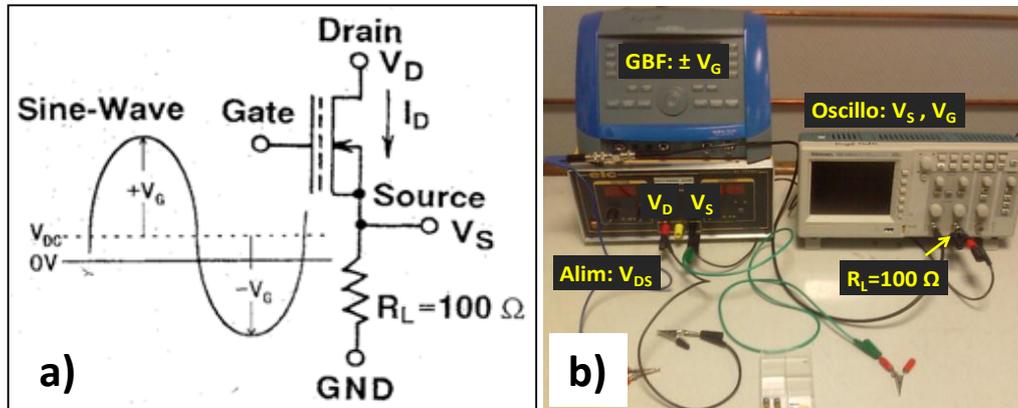


Figure III. 3 : a) Schéma électrique du montage de T. Ohzone permettant de suivre l'évolution de la fenêtre mémoire dans un transistor à nanocristaux au cours de cycles d'écritures et d'effacements, b) Banc de test réalisé à partir de ce schéma, comprenant une alimentation, un GBF, un oscilloscope et résistance 100 Ω

Le montage que nous avons assemblé pour réaliser ces mesures cyclées est présenté Figure III. 3 b). Son fonctionnement est le suivant : une tension  $\pm V_G$  est appliquée à la grille pour réaliser des cycles d'écritures/effacements que l'on peut tester en fréquences et en tensions. Le courant de drain  $I_D$  est suivi à travers le signal de réponse en tension  $V_S (=I_D \cdot R_L)$ , où  $R_L$  est une résistance de charge connectée entre la source et la masse. Sa valeur est choisie à une valeur de  $100\Omega$ , pour satisfaire la condition  $V_S (=I_D \cdot R_L) \ll V_D$ , afin de ne pas perturber les caractéristiques du MOSFET. Les signaux  $V_G$  et  $V_S$  sont alors envoyés sur un oscilloscope, qui permet de visualiser en mode XY la caractéristique  $V_S=f(V_G)$ , autrement dit  $I_D=f(V_G)$  à une constante près. Il permet ensuite de récupérer les données, notamment les valeurs de  $\Delta V_T$ . Le générateur de fréquences (GF) a été choisi pour appliquer un signal de grille  $V_G$  allant de fréquences de l'ordre du Hz, qui nous permettrons de sonder les pièges lents, jusqu'à des fréquences maximales de 100 kHz, afin également de ne pas perturber les caractéristiques des composants. Il est à noter que ce banc de test est basé sur un schéma très simple et facile à mettre en place.

## II-2-2) Obtention de la fenêtre mémoire cyclée

La Figure III. 4 ci-dessous présente un exemple des signaux  $V_G$  et  $V_S$  visualisés sur l'oscilloscope :

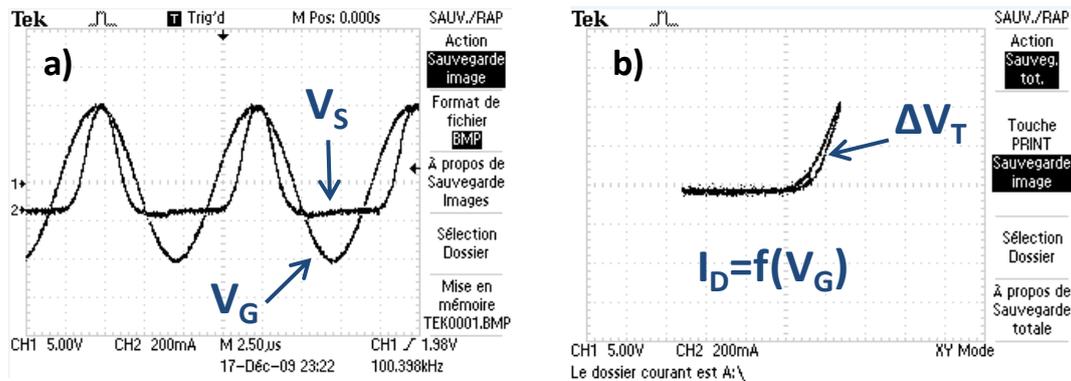


Figure III. 4 : a) signaux visualisés sur l'écran de l'oscilloscope : les signaux  $V_G$  et  $V_S$  en fonction du temps, b) la courbe  $V_S=f(V_G)$  en mode XY, permettant de suivre  $I_D=f(V_G)$

La Figure III. 4 a) montre que le transistor soumis à la tension de grille sinusoïdale fonctionne correctement (pas de courant de fuites) puisqu'il est bien dans l'état bloquant lorsque la tension  $V_G$  est négative, le signal  $V_S$  associé étant alors négligeable. Sur la Figure III. 4 b) on vérifie que les signaux  $V_G$  et  $V_S$  tracés en mode XY donnent effectivement d'une part une caractéristique du type  $I_D-V_G$  classique d'un transistor MOS et d'autre part montre l'apparition d'une hystérésis lorsque les cycles d'écriture et d'effacement (E/W, *Erase/Write*) permettent le chargement de pièges dans l'oxyde de grille.

## II-3) Tests d'endurance (nombre de cycles E/W) des transistors à Si-ncx

### II-3-1) Présentation des échantillons

Le tableau ci-dessous montre les caractéristiques des deux séries d'échantillons utilisées pour les mesures de la fenêtre mémoire  $\Delta V_T$  :

Série	Préparation interface	Implantation	Recuit de synthèse	Épaisseur totale finale $t_{ox}$	Épaisseur finale oxyde d'injection
1	DTC4R	non	non	7,9 nm	pas de ncx
2	DTC4R	1 keV / $7,5 \cdot 10^{15} \text{ cm}^{-2}$	{1050°C, 90 min, $N_2$ } + {950°C, 60min, $N_2 + 6,5\%O_2$ }	~ 24 nm	> 5 nm

Tableau 22 : Conditions de synthèse des Si-ncx, épaisseur d'oxyde de grille et position du plan de Si-ncx après recuit (série 2) et épaisseur d'oxyde de grille pour la série 1 (sans ncx)

Le choix de ces séries ne s'est pas fait au hasard. En effet, la série 1 correspond à des

composants sans nanocristaux (non implantés), dont l'oxyde de grille est de 7,9 nm d'épaisseur. La série 2, présentée dans le chapitre précédent, correspond à des composants ayant subi un double recuit à fort budget thermique. De plus, les échantillons des deux séries présentent la même préparation de l'interface. La présence de Si-nx a été vérifiée par des mesures de PL et le second recuit sous fort taux d'O<sub>2</sub> a permis de restaurer l'intégrité de l'oxyde de grille. Suite à un tel recuit, les Si-nx sont de taille et de densité réduite [11], cependant cette série est très intéressante pour l'étude à venir pour les raisons suivantes :

- 1) les Si-nx sont situés loin du canal (> 5 nm), ils constituent alors des pièges lents dont la contribution au chargement sera facile à distinguer de celle des pièges d'interface.
- 2) la forte teneur en O<sub>2</sub> permet de réduire au maximum les défauts d'implantation et donc leur contribution au chargement.

Ainsi, la série 2 est idéale pour différencier la charge localisée dans les Si-nx des autres contributions, même si le nombre stocké sera à priori faible du fait des caractéristiques de la population des ncx.

### II-3-2) Tests préliminaires sans et avec nanocristaux à basse fréquence : série 1 et 2 respectivement

Dans un premier temps, nous avons rapidement balayé la fréquence de la tension de grille afin de voir si une fenêtre mémoire apparaît. Pour les composants de la série 2 (avec ncx), une réponse importante apparaît à basse fréquence. La Figure III. 5 présente les caractéristiques I<sub>D</sub>-V<sub>G</sub> obtenues à partir du montage présenté en Figure III. 3 b), dans le cas d'un TCC de la série 2 (a) et dans celui d'un TCC sans ncx, de la série 1 (b).

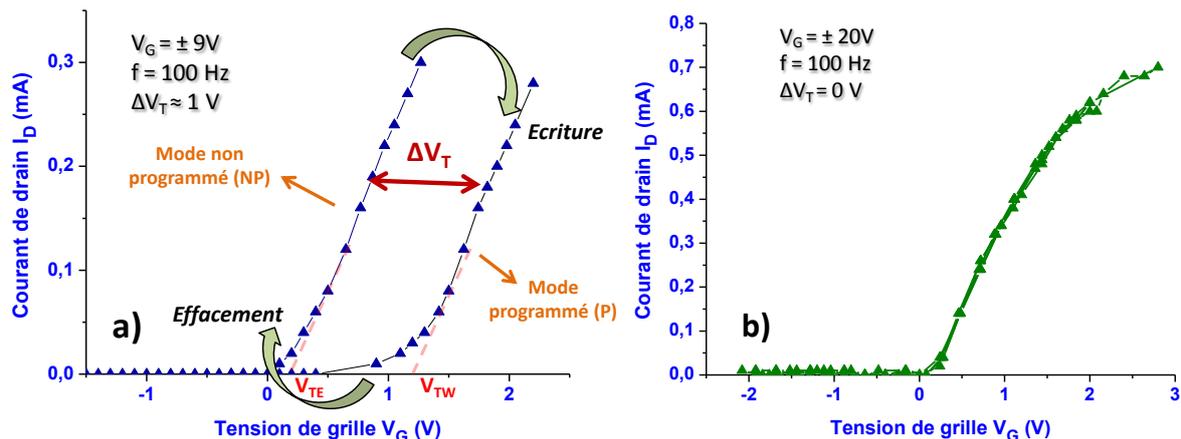


Figure III. 5 : Courbes I<sub>D</sub>-V<sub>G</sub> extraites de mesures cyclées à basses fréquences (100 Hz) : a) à V<sub>G</sub> = ± 9V et V<sub>DS</sub> = 0,15 V sur un TCC de la série 2, b) à V<sub>G</sub> = ± 20V et V<sub>DS</sub> = 0,15 V sur un TCC de la série 1

Cette figure montre effectivement une fenêtre mémoire ΔV<sub>T</sub> d'environ 1V pour des cycles

d'écriture/effacement de la mémoire réalisés à basse fréquence (BF, environ 100Hz) dans le cas d'un transistor à nanocristaux (a), tandis que celle-ci est nulle pour un oxyde vierge (b). On identifie d'une part la tension de seuil d'effacement  $V_{TE}$  (à gauche) et d'autre part la tension de seuil d'écriture  $V_{TW}$  (à droite), dont la différence correspond à la fenêtre mémoire disponible  $\Delta V_T = V_{TW} - V_{TE}$ . Si l'on compare avec les résultats d'Ohzone, l'hystérésis présentée ci-dessus n'est pas symétrique par rapport à  $V_G = 0$ . Le cycle hystérétique de la Figure III. 5 a) ne s'ouvre en effet que du côté des tensions positives, ce qui indique que les charges piégées/stockées sont des électrons (substrat de type P). D'autre part, il est également possible à partir de ces mesures de suivre le sens des cycles hystérétiques puisque les mesures sont cyclées. On obtient le sens anti-trigonométrique pour l'échantillon présenté ci-dessus. La courbe de droite correspond à l'état « chargé » lorsque des électrons sont piégés/stockés dans l'oxyde, ici toujours par des pièges lents puisque la mesure est réalisée à BF. La mémoire est alors « écrite » et la cellule mémoire élémentaire est donc en mode programmé (P). A l'inverse, la courbe de gauche correspond à l'état « déchargé », pour lequel les pièges lents sont vides. La mémoire est alors effacée et la cellule mémoire est en mode non programmé (NP). Lorsque l'on passe du mode NP au mode P ( $V_G$  augmentant vers les fortes valeurs positives), le point de pincement supérieur de l'hystérésis ( $I \neq 0$ ,  $V_G > 0$ ) indique l'écriture de la mémoire tandis que le passage du mode P au mode NP (point de pincement tel que  $I = 0$  et  $V_G < 0$ ) indique que la mémoire est en cours d'effacement. D'autre part, malgré un champ électrique fort (champ supérieur à 10 MV/cm) appliqué au TCC de la série 1 (MOSFETs sans NCx), aucune fenêtre mémoire n'apparaît, ce qui signifie qu'aucun piège n'est activé à BF (ici,  $f = 100$  Hz). Ceci montre que les oxydes de grille de ces composants ne contiennent pas de pièges lents, or cette absence de pièges lents est cohérente avec un oxyde de grille « vierge » (non implantés, sans NCx). Les oxydes vierges contiennent uniquement des pièges d'interface, répondant à haute fréquence (pièges rapides).

### ***II-3-3) Test en fréquence des transistors à ncx***

Après obtention de ce maximum local à BF, nous avons répété les mesures sur de nombreux transistors (TCC et TCL) avec et sans nanocristaux, en prenant davantage de points de mesures pour étudier finement l'évolution de la fenêtre mémoire en fonction de la fréquence. Nous avons réalisé des mesures de  $\Delta V_T$  entre le domaine des BF et la limite en hautes fréquences permise par le montage (100 kHz). La Figure III. 6 ci-dessous présente l'évolution des valeurs de  $V_{TE}$  et  $V_{TW}$  (Figure III. 6 a) et de  $\Delta V_T = V_{TW} - V_{TE}$  (Figure III. 6 b) en fonction de la fréquence pour une tension  $V_G = \pm 20V$  et une tension  $V_{DS} = 0,15 V$  dans le cas d'échantillons de la série 2.

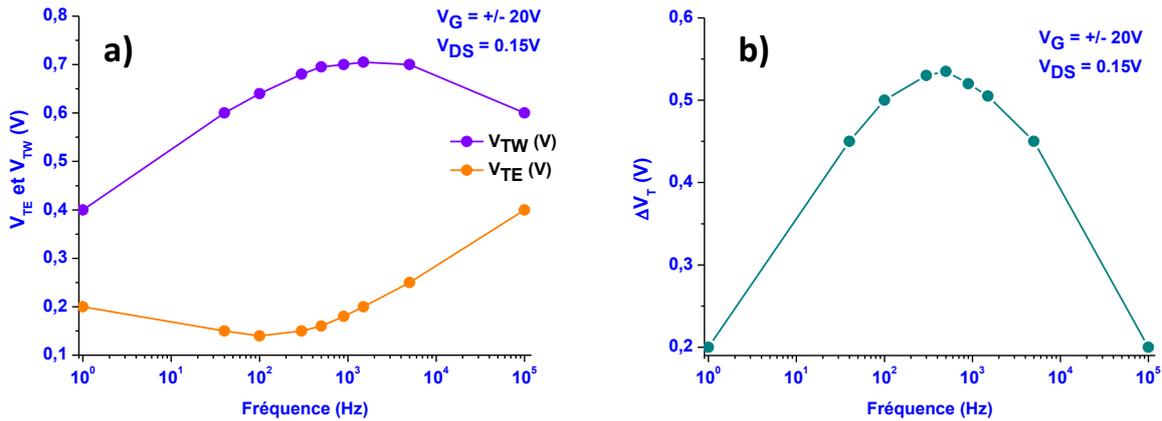


Figure III. 6 : a) Mesures à  $T=300K$  de  $V_{TW}$  et  $V_{TE}$  à  $V_G = \pm 20V$  et  $V_{DS} = 0,15V$  pour un TCC dans une gamme de fréquences de 1 Hz - 100 kHz, b) fenêtre mémoire  $\Delta V_T = V_{TW} - V_{TE}$  correspondante, présentant un maximum local à BF ( $\approx 500$  Hz)

Cette figure montre que la fenêtre mémoire  $\Delta V_T$  présente un maximum à une valeur de  $= 0,54V$  pour une fréquence d'environ  $f \approx 500$  Hz. A noter qu'il existe une différence entre cette valeur et la fenêtre maximum de 1V obtenue Figure III. 5, celle-ci pouvant être relative à des fluctuations de fenêtre mémoire d'un échantillon à un autre. Cette fenêtre mémoire reste élevée sur toute la gamme 50 Hz - 5 kHz et elle devient nulle au-delà de  $10^5$  Hz. La présence d'un maximum local à BF a déjà été observée dans la littérature, même si la tendance généralement observée pour des transistors contenant des Si-nx est une décroissance progressive de  $\Delta V_T$  lorsque la fréquence augmente [10, 12, 13]. La figure ci-dessous présente deux cas pour lesquels l'évolution de  $\Delta V_T$  est non monotone :

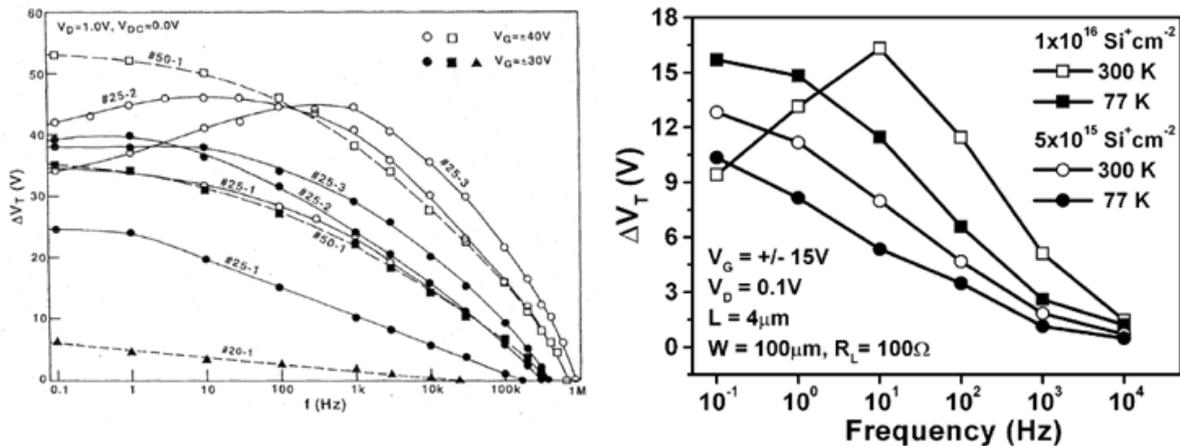


Figure III. 7 : Maximum locaux de  $\Delta V_T$  observés dans la littérature : à gauche pour un oxyde de 50 nm implanté à 25 keV et  $3 \times 10^{16} \text{ Si}^+/\text{cm}^2$  (noté #25-3) recuit 30 min sous  $N_2$  à  $T=900^\circ C$  [10] ; à droite pour un oxyde de 8 nm implanté à 1 keV et  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  (motifs carrés ouverts) recuit 30 min sous  $N_2$  à  $T=950^\circ C$  [13]

On constate également que  $\Delta V_T$  augmente avec  $V_G$ , pour presque toutes les conditions de synthèse des Si-nx (Figure III. 7 a).

Ainsi, l'apparition d'un maximum local de la fenêtre mémoire (Figure III. 6) n'est pas le cas majoritairement observé dans la littérature. Nous avons alors répété les mesures, toujours en fonction de la fréquence, sur de nombreux échantillons issus des séries 1 et 2 présentées Tableau 22. Les résultats sont présentés sur la figure ci-dessous :

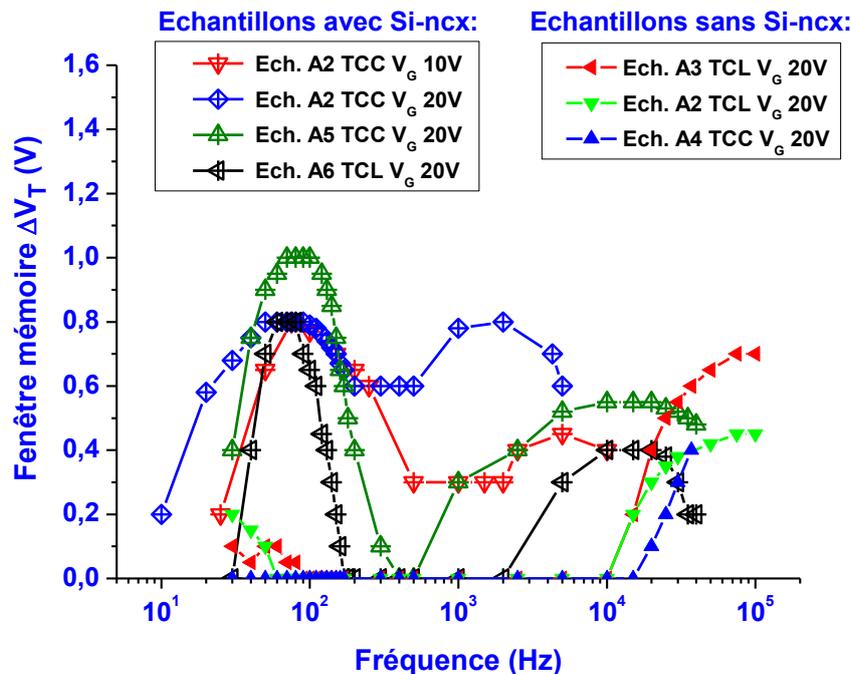


Figure III. 8 : Etude en fréquence de la réponse des pièges lents et rapides dans des TCC et TCL avec et sans Si-nx (séries 1 et 2), à l'aide du montage suiveur de source, pour une tension  $V_G = \pm 20V$  ou  $\pm 10V$  et une tension  $V_{DS}=0,2V$  à température ambiante.

Tout d'abord, cette figure montre effectivement que les maxima locaux sont systématiquement présents à basse fréquence dans le cas de série 2. Cependant des fluctuations de fenêtre mémoire maximum entre des échantillons d'une même série sont observées. Toutefois ces écarts restent inférieurs à 0,2 V pour chacun des maxima locaux (ou « pics ») que l'on voit apparaître sur cette analyse en fonction de la fréquence du chargement de l'oxyde. Ceux-ci sont sans doute liés aux faibles variations d'épaisseurs inévitables d'un bord de plaquette à un autre, malgré tous les efforts que nous avons fait pour les réduire (notamment le traitement HF:éthanol). Une légère augmentation d'épaisseur d'oxyde se traduit alors par un champ électrique plus faible et donc un chargement moindre des pièges (e.g. les Si-nx). Cependant ces fluctuations n'ont aucune incidence sur la position fréquentielle des pics se distinguant sur cette figure. Nous passons maintenant à l'analyse de ces pics.

Les courbes représentées par des triangles pleins correspondent aux transistors sans Si-nx (série 1). Pour cette série, il est clair qu'aucune fenêtre mémoire n'apparaît entre 100 Hz et 10 kHz. Une valeur toujours inférieure à 0,2V, c'est-à-dire à la barre d'erreur de la mesure, est observée pour f

< 100 Hz. Au-delà de 10 kHz, une fenêtre mémoire apparaît et augmente avec la fréquence, jusqu'à la fréquence de 100 kHz pour laquelle  $\Delta V_T$  est compris entre 0,4 et 0,8V.

Les transistors à Si-ncx présentent, quant à eux trois domaines fréquentiels relatifs à trois types de pièges distincts :

- a) A  $f > 10$  kHz, la charge est captée dans les pièges d'interface rapides, de la même façon que pour les transistors sans Si-ncx.
- b) Pour  $f$  compris entre 50 Hz et 500 Hz, on est au maximum d'une gaussienne étroite pour tous les échantillons à Si-ncx présentés en Figure III. 8. Ce pic à BF qui est le plus intense pour presque tous les échantillons ( $\Delta V_T$  entre 0,8 et 1V) mais également le plus fin illustre la présence de pièges de densité importante, répartis sur une même profondeur assez fine dans l'oxyde et loin de l'interface avec le substrat. Cette signature correspond très probablement au réseau 2D de Si-ncx, de forte densité, et ici placés à plus de 5 nm de profondeur (Tableau 22).
- c) A fréquence intermédiaire (500 Hz à 5 kHz) et uniquement pour les transistors à Si-ncx des pics « secondaires » apparaissent. La diversité de leurs amplitudes (de 0V à 0,8V) et de leurs positions spectrales indique des pièges dispersés dans le volume de l'oxyde d'injection et de distribution non homogène. Ces pièges sont très probablement les défauts générés par l'implantation ionique et qui ne sont pas guéris par le double recuit thermique.

Dans le fonctionnement normal des mémoires flashes, plus la fréquence diminue et plus le temps de résidence des électrons dans le canal est important, ce qui conduit à une augmentation de la charge stockée et donc de la fenêtre mémoire (voir Figure III. 7).

Ainsi, la présence d'un pic à BF ne peut être expliquée que par une compétition de chargement et de déchargement des ncx. Soumis à cette tension alternative de grille, nous émettons l'hypothèse que la constante de temps de déchargement est très inférieure à celle de chargement et donc que cela aboutisse à la réduction de  $\Delta V_T$  aux plus basses fréquences et à l'allure en pics.

### ***II-3-4) En fonction de la tension de grille $V_{GS}$***

Maintenant que nous avons vu qu'une fréquence comprise entre 50 Hz et 100 Hz permet d'obtenir la fenêtre mémoire la plus large et que celle-ci semble correspondre à un chargement des Si-ncx, nous allons conserver une fréquence fixe dans cette gamme et étudier l'évolution de la fenêtre mémoire en fonction de la tension de polarisation. Sur la figure suivante nous avons reporté l'évolution de  $\Delta V_T$  en fonction de la tension  $V_G$  pour un TCC de la série 2. Les mesures sont réalisées à  $f = 50$ Hz, à température ambiante et sous faible polarisation  $V_{DS} = 0,2$ V.

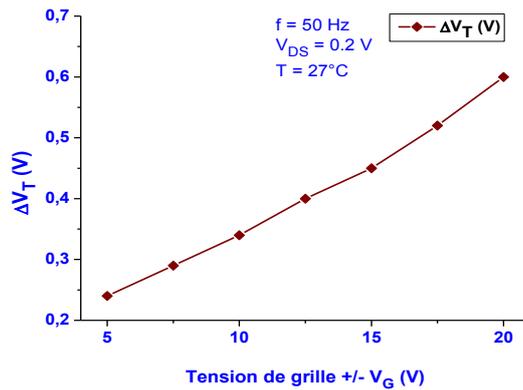


Figure III. 9 : Evolution de la fenêtre mémoire  $\Delta V_T$  avec l'augmentation de la tension  $V_G$ , pour un TCC de la série 2.

On observe sur cette figure une augmentation linéaire de la fenêtre mémoire avec  $V_G$ . Ce résultat concorde avec les observations d'Ohzone [10] : la Figure III. 7 (à gauche) montre une augmentation de  $\Delta V_T$  pour presque tous les échantillons lorsque  $V_G$  passe de  $\pm 30V$  à  $\pm 40V$ .

Cependant, augmenter  $V_G$  peut également mener à une dégradation de l'interface Si/SiO<sub>2</sub> au cours du temps, provoquant une diminution de la tension de seuil du transistor et donc de la largeur de la fenêtre mémoire. Pour vérifier la stabilité de la fenêtre mémoire en fonction de la polarisation de grille, nous avons testé des TCC de la série 2 en « endurance », pour trois valeurs de  $V_G$ . Ces mesures ont encore une fois été réalisées dans la gamme « optimale » de fréquence, ici  $f=75$  Hz. Ces résultats sont présentés Figure III. 10 :

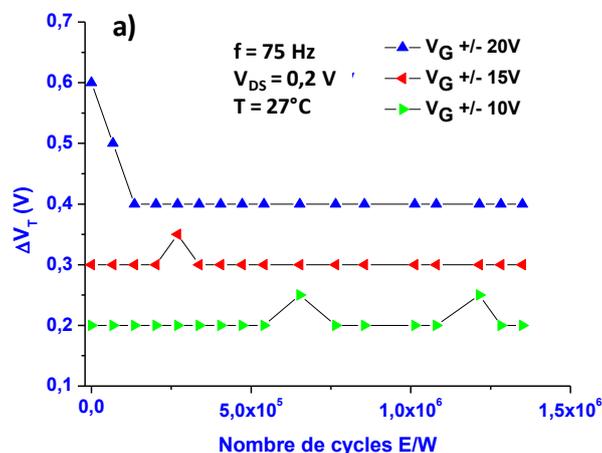


Figure III. 10 : Test d'endurance d'un TCC de la série 2 pour trois valeurs de  $V_G$  ( $\pm 10V$ ,  $\pm 15V$  et  $\pm 20V$ ) à basse fréquence ( $f=75$  Hz), à température ambiante et pour  $V_{DS}=0,2V$

Les valeurs initiales de  $\Delta V_T$  à  $f=75$  Hz sont respectivement de 0,6V, 0,3 V et 0,2V pour des tensions  $V_G = \pm 20V$ ,  $\pm 15V$  et  $\pm 10V$ . Après moins de  $2 \times 10^5$  cycles E/W, cette valeur diminue à 0,4V pour  $V_G = \pm 20V$  mais reste stable ensuite tout au long de la mesure. Aucune diminution n'est constatée pour les tensions plus faibles, et ce sur toute la durée de la mesure, à savoir après  $1,4 \times 10^6$  cycles E/W. Cette forte endurance à basse fréquence et l'augmentation de la fenêtre mémoire pour de

plus fortes tensions va dans le sens d'une charge stockée dans des pièges lents. Les champs électriques correspondant aux tensions  $V_G$  de  $\pm 10$ ,  $\pm 15$  et  $\pm 20V$  sont respectivement 4,2 MV/cm, 6,3 MV/cm et 8,3 MV/cm. Ce champ électrique est suffisamment fort pour injecter les charges depuis le canal assez loin dans l'oxyde par conduction Fowler-Nordheim, tout en restant inférieur au champ de claquage de l'oxyde. Cependant, l'application de champs électriques élevés (notamment 8,3 MV/cm) sur de longs cycles aboutit à une détérioration de l'interface Si/SiO<sub>2</sub>, dont la conséquence directe est l'augmentation des défauts d'interface et des chemins de percolation, créant des courants de fuites. Donc, la stabilité de la fenêtre observée Figure III. 10 au fur et à mesure du cyclage est due au chargement par des pièges positionnés plus loin dans l'oxyde, que l'on sonde à basses fréquences (ici  $f = 75$  Hz).

Nous venons d'observer la forte endurance de la mémoire à basse fréquence et à température ambiante. Nous allons maintenant étudier le comportement de nos mémoires en température.

### ***II-3-6) En fonction de la température***

Dans un premier temps, nous avons testé la mémoire en température pour ses aspects « industriels » afin de voir si nos mémoires répondent au cahier des charges de l'ITRS. Nous avons donc réalisé de nouveaux tests d'endurance en cycles d'écriture/effacement de la mémoire (cycles E/W), cette-fois ci à différentes températures. Les conditions utilisées sont les conditions optimales déterminées précédemment ( $f = 75$  Hz,  $V_G = \pm 20V$ ). Les contraintes industrielles en températures étant de conserver environ 80% de la charge dans une gamme  $[-40^\circ C, +85^\circ C]$  (i.e. [233K, 358K]), nous avons décidé de limiter les mesures à une température maximale de  $85^\circ C$ . Dans la suite du paragraphe II.3.6, nous choisissons de présenter les températures en Kelvin (K) par souci d'homogénéité avec les résultats présentés dans la littérature. Nous reviendrons à des températures exprimées en degrés Celsius à partir du paragraphe suivant (II.3.7). Ainsi, la Figure III. 11 ci-dessous présente les résultats réalisés à des températures comprises entre 299K et 358K.

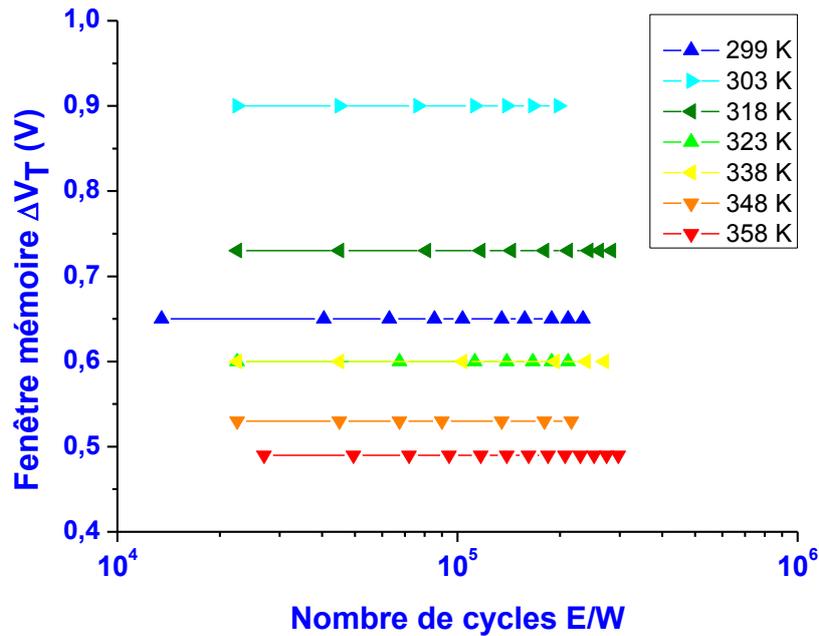


Figure III. 11 : Endurance en température (de 299K à 358K) d'un TCC de la série 2 extraite des mesures de  $V_{TE}$  et  $V_{TW}$  en fonction du nombre de cycles E/W

Cette figure montre une largeur de fenêtre mémoire spécifique à chaque température testée. Cette fenêtre est d'autant plus large que la température est faible (proche de l'ambiante), sauf pour la première température testée (299K, courbe bleue). Lorsque la température passe de l'ambiante à 358K, la fenêtre mémoire passe de 0,9V à un peu moins de 0,5V. On voit que le nombre de charges stockées diminue lorsque la température augmente. Cependant, à une température donnée, cette fenêtre est stable, elle ne diminue pas, même après  $2 \times 10^5$  à  $3 \times 10^5$  cycles d'écritures et d'effacement. Cette forte endurance suggère que la charge est retenue par les pièges lents. En extrapolant à 10 ans, nous constatons qu'à une température donnée, la fenêtre mémoire reste supérieure à 80% de la fenêtre mémoire initiale, ce qui répond aux critères industriels.

Dans un deuxième temps, nous avons testé la mémoire pour une étude plus fondamentale en température car nous savons que celle-ci peut jouer un rôle important dans l'activation de certains pièges. En effet des mesures C-V en température, menées par Souifi et al. ont permis de séparer les contributions d'états à l'interface Si-nc/SiO<sub>2</sub> et d'états confinés des Si-ncx. Ils sont parvenus à la conclusion selon laquelle les états d'interface Si-nc/SiO<sub>2</sub> peuvent être vidés thermiquement, notamment pour des températures dans la gamme 320-380 K [14]. Pour illustrer ce phénomène, nous pouvons également reprendre la Figure III. 7. Dans les deux cas illustrés, ce sont les plus fortes doses qui donnent un maximum local de  $\Delta V_T$ . Le rôle de la dose est en réalité le reflet du degré de cristallinité du Si des ncx obtenu après implantation et recuit. En effet, les travaux de Normand [13] montrent que la plus forte dose présentée Figure III. 7 associée au recuit 30 min sous N<sub>2</sub> à T=950°C aboutit à la précipitation de nanocristaux de Si (3-8 nm de diamètre), tandis que la plus faible dose

forme des clusters de Si (2-4nm de diamètre). La cristallinité plus faible des clusters ainsi que leur plus grand rapport surface/volume conduisent à davantage de défauts en surface. Normand et al. ont montré qu'à basse fréquence la charge piégée dans ces défauts est bloquée thermiquement à 77K, ce qui contribue à l'augmentation de  $\Delta V_T$ . A l'inverse, à 300K ces pièges sont activés thermiquement, ils se vident de leur charge et seule la charge piégée dans les niveaux confinés des Si-nx participe à la valeur de  $\Delta V_T$ . De ce fait la fenêtre mémoire chute pour  $f < 10$  Hz et on voit ainsi apparaître un maximum local à BF. En étudiant le comportement de nos mémoires avec la température, on parvient à discriminer ces deux types de pièges lents liés aux Si-nx.

Pour analyser plus précisément l'évolution de la fenêtre mémoire cyclée en fonction de la température, nous avons donc réalisé une longue séquence de cycles E/W ( $1,7 \times 10^6$ ) en faisant varier la température au cours de cette séquence, entre la température ambiante et 358K. Les résultats sont présentés sur la Figure III. 12 a) ci-dessous et la Figure III. 12 b) montre l'évolution de  $\Delta V_T$  sur un second échantillon après deux cycles identiques à celui réalisé en Figure III. 12 a). Les échantillons testés sont des TCC de la série 2 et les conditions de mesures sont :  $V_G = \pm 20V$ ,  $V_{DS} = 0,2V$ ,  $f = 75$  Hz.

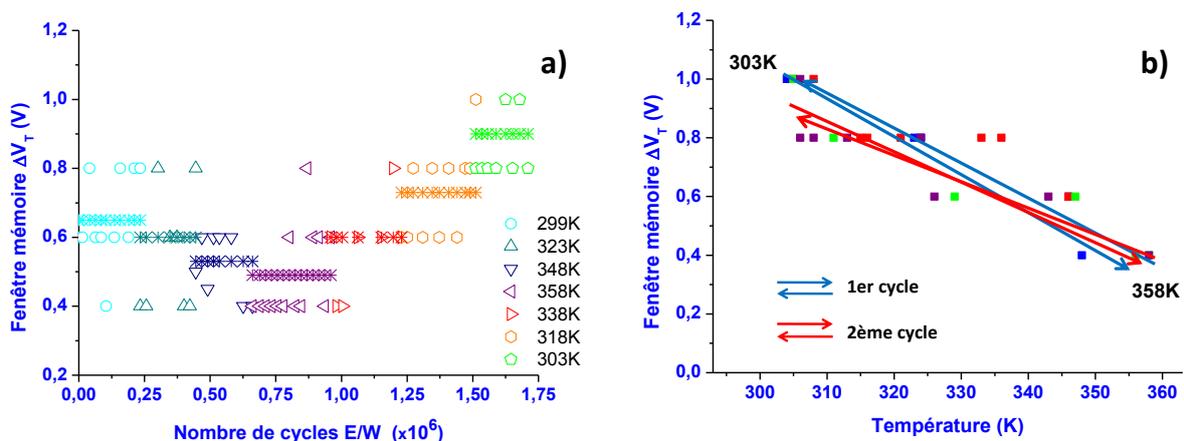


Figure III. 12 : a) Evolution de  $\Delta V_T$  en fonction du nombre de cycles E/W et cyclées en températures entre la température ambiante et 85°C, pour un TCC de la série 2 testé dans les conditions suivantes :  $f = 75$  Hz, pour  $V_{DS}=0,2V$  et  $V_G = \pm 20V$ , b) Evolution de  $\Delta V_T$  après une double application du même cycle en température et en endurance qu'en a) pour un second TCC, dans les mêmes conditions

Sur la Figure III. 12 a) sont représentés à la fois les points de mesures (ronds et triangles) ainsi que la valeur moyenne pour chaque température (croix). Ces moyennes sont ajoutées pour davantage de lisibilité de l'évolution de la fenêtre mémoire avec la température. L'endurance est testée pour chaque température sur un nombre de cycle allant de  $2 \times 10^5$  à  $3 \times 10^5$ .

On observe que la fenêtre mémoire diminue lorsque l'on passe de la température ambiante ( $\Delta V_T=0,65V$ ) à  $T=50^\circ C$  ( $\Delta V_T=0,60V$ ), cette diminution reste cependant assez faible.  $\Delta V_T$  passe

ensuite à 0,53V (T=75°C) et enfin à 0,49V (T=85°C). Dans la seconde partie de la séquence, lorsque l'on redescend progressivement à la température ambiante, on observe une remontée de  $\Delta V_T$ . Cette remontée est elle aussi progressive, par paliers avec la température. A T=30°C (au bout de  $1,7 \times 10^6$  cycles), on obtient même une fenêtre mémoire de 0,9V, valeur supérieure à la valeur initiale. Ainsi, malgré les variations de températures appliquées au composant mémoire, l'endurance est élevée ( $>10^6$  cycles E/W).

Les conclusions des mesures en température sont les suivantes :

- 1)  $\Delta V_T$  reste constante à une température donnée pour plus de  $2 \times 10^5$  cycles
- 2)  $\Delta V_T$  est plus faible à plus haute température
- 3) le processus est réversible
- 4) l'endurance n'est pas affectée par les variations de température après  $1,7 \times 10^6$  cycles entre 26°C et 85°C (Figure III. 12 a) et mêmes après  $3,4 \times 10^6$  cycles (Figure III. 12 b)

Dans le cas du 1er TCC testé (Figure III. 12 a), si l'augmentation de la température jusqu'à 85°C permet de vider ces pièges à la surface des Si-nx, cela signifie que moins de 25% de la charge piégée à basse fréquence est relative à ces pièges et donc que la fenêtre mémoire est principalement due au stockage de charge dans les niveaux confinés des Si-nx. Cette charge confinée correspond donc ici à  $\Delta V_T=0,49V$ . Ceci expliquerait également la réversibilité du processus montrée en Figure III. 12 b) car au retour progressif à la température ambiante, l'on permettrait de nouveaux aux défauts à l'interface Si-nc/SiO<sub>2</sub> de piéger la charge, ajoutant ainsi leur contribution à la fenêtre mémoire totale observée à BF. Dans cette hypothèse, l'obtention d'une plus grande fenêtre mémoire en fin de cycles pourrait être attribuée à une fluctuation du nombre de défauts d'interface Si-nc/SiO<sub>2</sub> participant au chargement avant et après le cycle en température. Une contribution non négligeable des défauts à l'interface Si-nc/SiO<sub>2</sub> à la charge totale stockée à BF serait cohérente avec la faible taille des Si-nx de la série 2 (plus grand aspect surface/volume) et avec l'absence d'un recuit de passivation après le double recuit de synthèse des Si-nx.

Ces résultats sont comparables à ceux de Souifi et al. [14], obtenus par d'autres méthodes de caractérisation de la charge stockée dans des transistors à Si-nx, notamment par la technique du pompage de charge. Ils ont alors montré que le stockage dans les niveaux confinés (Si-nx) est favorisé à des températures supérieures à T=50°C car les autres pièges sont vidés thermiquement (pièges à l'interface Si-nc/SiO<sub>2</sub>). Nous avons également obtenu une diminution non négligeable de  $\Delta V_T$  à partir de cette même température, ce qui semble indiquer qu'elle provient du dépiégeage à l'interface Si-nc/SiO<sub>2</sub>.

### **II-3-7) Conclusions sur les mesures cyclées**

Le montage suiveur nous a permis de réaliser des tests d'endurance des mémoires en fonction

de la polarisation, de la fréquence mais aussi de la température. Après détermination des valeurs de tension de grille et de fréquence de modulation donnant la fenêtre mémoire la plus large, ces tests ont montré que nos transistors à Si-ncx présentent d'une part une endurance suffisamment élevée pour conserver la charge plus de 10 ans et d'autre part que plus de 75% de la charge peut être retenue à 85°C. Ils remplissent donc les critères fixés par l'ITRS, à savoir  $1 \times 10^5$  cycles en 2011 voire des valeurs inférieures pour les années à venir (voir chapitre 1).

D'autre part, les mesures réalisées en fréquence ont permis d'établir la correspondance des pics à hautes fréquences, attribués aux pièges d'interface, entre les composants avec et sans nanocristaux. Dans le cas des échantillons à Si-ncx, il apparaît deux autres distributions correspondant à 2 autres types de pièges : la première, répondant à une gamme étroite de BF, attribuée au plan de Si-ncx et la seconde, distribuée le long de l'oxyde d'injection, attribuée aux défauts d'implantation.

En outre, les mesures en température nous ont permis de déterminer l'hypothèse selon laquelle la majorité de la charge stockée à BF serait localisée dans les niveaux confinés des Si-ncx et une minorité dans les pièges à l'interface Si-nc/SiO<sub>2</sub> (matrice).

## Conclusion générale du chapitre

Dans ce chapitre, nous avons donc proposé une technique permettant de répondre à la question soulevée en fin de chapitre précédent, à savoir : « Est-ce que ces MOSFET à Si-n<sub>x</sub> retiennent la charge électrique ? ». Les mesures réalisées sur les transistors à Si-n<sub>x</sub> convergent vers une réponse positive pour nos MOSFET à Si-n<sub>x</sub> issus du procédé Nanocrystals Inside. En outre, elle nous a permis d'aller beaucoup plus loin dans notre analyse et d'émettre l'hypothèse selon laquelle les pièges lents sondés sont bien majoritairement les Si-n<sub>x</sub>. Dans le chapitre 4, nous allons maintenant tenter de répondre à la question :

« Qui, où et combien sont les pièges qui retiennent les charges électriques ? ».

Pour cela, nous utiliserons la technique du pompage de charge, historiquement dédiée à l'étude des pièges d'interface et près de l'interface, que nous développerons notamment pour extraire les distributions en profondeur des pièges lents au lieu des pièges rapides d'interface. La comparaison des résultats obtenus avec des images en sections transverses par EFTEM (Microscopie Electronique à Transmission Filtrée en Energie) permettra de valider ou d'infirmer notre hypothèse de stockage par les Si-n<sub>x</sub>.

Cette technique sera extrêmement utile pour suivre électriquement le processus de réduction du nombre de Si-n<sub>x</sub> de plusieurs millions jusqu'à idéalement la particule unique que nous développerons au chapitre V en couplant la synthèse par implantation ionique avec la lithographie Stencil.

## Références bibliographiques du chapitre 3

- [1] B.E. Deal, IEEE Trans. Nucl. Sci., vol ED-27, n°3, p606 (1980)
- [2] E. Klaussmann, W.R. Farhner, D. Bräunig, G. Barbottin et A. Vapaille, Vol. 2, p. 171-247, Elsevier Editions (1989)
- [3] B. Balland, G. Barbottin, Instabilities in Silicon devices 81, Elsevier Editions (1989)
- [4] C. Busseret, Thèse de doctorat, INSA de Lyon (2001)
- [5] A. Beaumont, Thèse de doctorat, INSA de Lyon (2005)
- [6] M. Carrada, Thèse de doctorat, Université de Toulouse (2003)
- [7] B. De Salvo, G. Ghibaud, G. Pananakakis, P. Masson, T. Baron, N. Buffet, A. Fernandes, B. Guillaumot, IEEE Trans. On Electron Devices 48, 1789 (2001)
- [8] B. De Salvo, C. Gerardi, R. Van Schaijk, S. Lombardo, D. Corso, C. Plantamura, S. Serafin, G. Ammendola, M. Van Duuren, P. Goarin, W. Y. Mei, K. Van Der Jeugd, T. Baron, M. Gely, P. Mur, S. Deleonibus, IEEE Trans. Dev. Mat. Rel. 4, 377 (2004)
- [9] J. De Blauwe, IEEE Trans. On Nanotech. 1, 72 (2002)
- [10] T. Ohzone, T. Matsuda, T. Hori, IEEE Trans. Electron Devices 43 (1996)
- [11] H. Coffin, Thèse de doctorat, Université de Toulouse (2005)
- [12] E. Kapetanakis, P. Normand, D. Tsoukalas, G. Kamoulakos, D. Kouvatsos, J. Stoemenos, S. Zhang, J. van den Berg, D. G. Armour, Proc. of ESSDERC'2000, pp. 476-479, Sept. 2000
- [13] P. Normand, E. Kapetanakis, D. Tsoukalas, G. Kamoulatos, K. Beltsios, J. van den Berg, and S. Zhang, Mater. Sci. Eng., C 15, 145 (2001)
- [14] A. Souifi, P. Brounkov, S. Bernardini, C. Busseret, L. Militaru, G. Guillot, T. Baron, Materials Science and Engineering B102 (2003)

## ***4. Caractérisation in-situ des Si-ncx par pompage de charges***

---

# Introduction

Nous avons vu dans le chapitre précédent que les MOSFET à Si-nex réalisés par le procédé Nanocrystals Inside retiennent la charge et que la plus forte contribution à la fenêtre mémoire provient de pièges lents. La technique présentée dans le chapitre 3 a permis d'estimer les tensions et les fréquences caractéristiques au stockage de charges dans ces pièges. D'autre part, nous avons détaillé dans le chapitre 1 les principales techniques électriques permettant de sonder les pièges lents dans des composants MOS. Parmi celles-ci nous avons choisi la technique de pompage de charges qui semble offrir des perspectives intéressantes pour la caractérisation électrique des pièges contenus dans l'oxyde de transistors MOS. En effet, les possibilités offertes par cette technique se sont diversifiées au cours du temps, les informations que l'on peut en extraire sont d'une part plus nombreuses et plus riches que les autres méthodes évoquées et d'autre part ont été validées. Grâce aux travaux de Groeseneken et al. dans les années 80 [1], le pompage de charge est devenu par exemple une des techniques « reine » pour l'estimation de la densité moyenne de piège d'interface dans les transistors MOS. A la fin des années 90, Maneglia et al. ont proposé et validé une méthode d'extraction de la distribution en profondeur des défauts d'interface à partir de mesures de pompage de charges [2] et du modèle d'approche en profondeur de l'interface Si/SiO<sub>2</sub> développé par Bauza et Ghibaudo [3]. Dans ce chapitre nous allons utiliser ce modèle et cette méthode, en apportant les modifications nécessaires pour extraire les profils des pièges de volume de l'oxyde, afin d'extraire toutes les caractéristiques des nanocristaux (profondeur, taille, densité...).

## I) La et les techniques de pompage de charge

### I-1) La notion de « pompage de charges »

Le terme « pompage de charges » a été introduit pour la première fois en 1969 par Brugler et Jespers [4]. Ils ont observé l'apparition d'un courant de substrat suite à l'application d'une série d'impulsions appliquées à la grille d'un transistor MOS, amenant la surface de la structure MOS successivement en régime d'inversion et d'accumulation. L'augmentation linéaire de ce courant avec la fréquence des impulsions et sa proportionnalité avec l'aire de la grille montrent que ce « courant pompé » est révélateur d'une charge fixe mesurée à chaque cycle d'impulsion. Cette charge est celle envoyée dans les pièges de l'interface Si/SiO<sub>2</sub> à chaque apparition de la couche d'inversion et se recombinaison avec les porteurs majoritaires du substrat à chaque retour à l'accumulation. Brugler et Jespers ont alors développé un modèle simple permettant d'extraire la densité moyenne des états d'interface à partir de ces premières mesures de pompage de charges.

### I-1-1) Montage pour les mesures de pompage de charges

Pour réaliser des mesures de pompage de charges, il faut donc un système de génération d'impulsions, un oscilloscope pour visualiser ces impulsions et un ampèremètre pour mesurer le courant pompé. De plus, le transistor doit être utilisé comme une capacité à anneau de garde, c'est-à-dire avec la source et le drain connectés au même potentiel. Ainsi, les porteurs minoritaires qui formaient la couche d'inversion peuvent repartir vers les régions de source et de drain par application d'une tension  $V_r$ . Le schéma de ce montage est présenté sur la Figure IV. 1 ci-dessous :

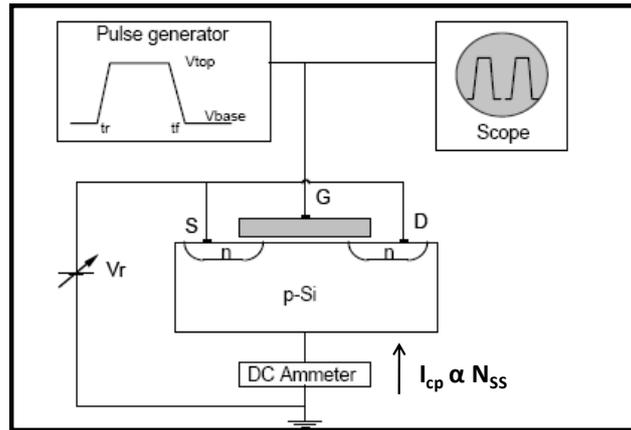


Figure IV. 1 : Montage expérimental utilisée pour les mesures de pompage de charge

### I-1-2) Expressions de la charge et du courant pompés

Les représentations énergétiques à l'équilibre en régime d'inversion forte et d'accumulation sont données sur la Figure IV. 2 ci-dessous :

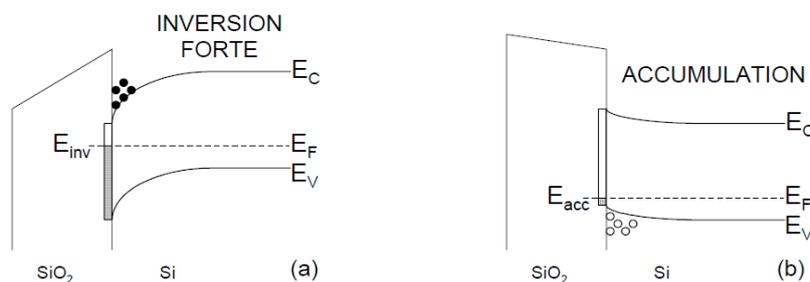


Figure IV. 2 : Situations énergétiques à l'équilibre pour un transistor NMOS (a) en inversion forte, (b) en accumulation [5]

Brugler et Jaspers définissent les expressions de la charge pompée  $Q_{CP}$  et du courant pompé  $I_{CP}$  en fonction des niveaux d'énergies présentés Figure IV. 2. Pour déterminer les niveaux d'énergies mis en jeu, prenons le cas d'un NMOS. Pendant l'inversion, ce sont les états d'interface situés sous le niveau  $E_{inv}$  qui capturent les électrons. Pendant l'accumulation, ce sont les états d'interface situés au

dessus de l'énergie  $E_{acc}$  qui capturent les trous, qui se recombinent alors avec les électrons précédemment piégés. Cette recombinaison a lieu à chaque période du signal de grille.

Ainsi, les états d'interface participant à la recombinaison sont ceux compris entre les niveaux de Fermi en inversion et en accumulation. L'expression de la charge recombinaisonnée à chaque cycle est alors [4]:

$$Q_{CP} = A_G q N_{ss} (E_{inv} - E_{acc}) \quad \text{Équation 1}$$

Où  $A_G$  est l'aire de la grille,  $q$  la charge élémentaire et  $N_{ss}$  la densité de pièges à l'interface. Cette expression est obtenue en considérant une densité  $N_{ss}$  uniforme le long du canal et indépendant de l'énergie.

A partir de cette expression on détermine alors le courant pompé  $I_{CP}$  de la façon suivante :

$$I_{CP} = Q_{CP} f = A_G q N_{ss} f (E_{inv} - E_{acc}) \quad \text{Équation 2}$$

En plus de cette composante dite « d'état de surface », ils mettent en évidence une seconde composante, dite « géométrique ». Cette composante est due aux électrons n'ayant pas le temps de regagner la source ou le drain avant l'arrivée des trous du substrat lors du passage du régime de forte inversion à l'accumulation. Cette composante peut être éliminée toutefois en appliquant la tension inverse  $V_r$ , présentée Figure IV. 1, qui, appliquée aux jonctions de source et de drain renvoie les électrons vers les jonctions. Cette technique a par ailleurs été très utilisée pour déterminer précisément le type de piège présent dans la bande interdite du Silicium [6].

## I-2) Améliorations de la technique

### I-2-1) Prise en compte de l'émission de porteurs

Les relations établies par Brugler et Jespers permettent donc de déterminer un courant recombinaisonnée lors du passage de l'inversion à l'accumulation et inversement. Lorsque l'équilibre en inversion est atteint, tous les niveaux situés sous le niveau  $E_{inv}$  sont occupés par des électrons et les autres niveaux sont vides. De la même façon, lorsque l'équilibre en accumulation est atteint, tous les niveaux situés sous  $E_{acc}$  sont occupés et les autres sont vides. Ce modèle ne tient alors pas compte des émissions de porteurs pouvant avoir lieu lors du passage d'un régime à l'autre ; c'est pourquoi les phénomènes d'émissions de porteurs ont été pris en compte par une nouvelle analyse plus complète du pompage de charges réalisée par Groeseneken et al. [1]. En notant  $V_h$  et  $V_l$  respectivement les niveaux haut et bas des impulsions, nous pouvons décrire les travaux de Groeseneken sur l'émission hors-équilibre de porteurs :

### 1) Lors du passage de l'accumulation vers la forte inversion

En partant de  $V_G=V_1$  (équilibre en accumulation), le cycle d'impulsion fait augmenter  $V_G$  vers  $V_h$ . Lors de cette augmentation des trous sont émis depuis les états d'interface jusqu'à la bande de valence du substrat. Tant que le potentiel de surface  $\phi_s$  (qui augmente avec  $V_G$ ), n'atteint pas une certaine vitesse, l'équilibre est maintenu. Lorsque  $V_G$  se rapproche de  $V_{FB}$ ,  $\phi_s$  croit exponentiellement et l'émission de trous se fait hors-équilibre.

D'autre part, la densité d'électrons libres en surface  $n_s$  augmente également avec  $V_G$ . Lorsque  $V_G$  se rapproche de  $V_{TH}$ , le taux de capture d'électrons dépasse le taux d'émission de trous hors-équilibre et les électrons capturés sont recombinés par les états contenant encore des trous. Cette recombinaison est celle décrite par Brugler et Jaspers mais on s'aperçoit que l'émission de trous hors-équilibre n'est pas prise en compte par leur modèle.

### 2) Lors du passage de la forte inversion vers l'accumulation :

Une fois que  $V_G$  a atteint  $V_h$  (équilibre en forte inversion), le cycle d'impulsion fait qu'il diminue pour atteindre  $V_1$ . L'émission d'électrons à l'équilibre se produit lorsque  $V_G$  commence à diminuer et se produit ensuite hors-équilibre lorsque  $V_G$  se rapproche de  $V_{TH}$ . Ensuite, lorsque  $V_G$  se rapproche de  $V_{FB}$ , la concentration en trous  $p_s$  augmente et le taux de capture de trous devient prépondérant devant l'émission d'électrons hors-équilibre. Alors les trous capturés dans des pièges encore occupés par des électrons contribuent au courant recombiné décrit par Brugler et Jaspers. L'émission hors-équilibre d'électrons n'est donc pas prise en compte dans leur modèle.

La Figure IV. 3 a) ci-dessous représente les 4 courants mis en jeu lors de la prise en compte de l'émission de porteurs lors de l'application d'une série d'impulsions sur la grille. La Figure IV. 3 b) représente ces positions énergétiques liées à ces courants :

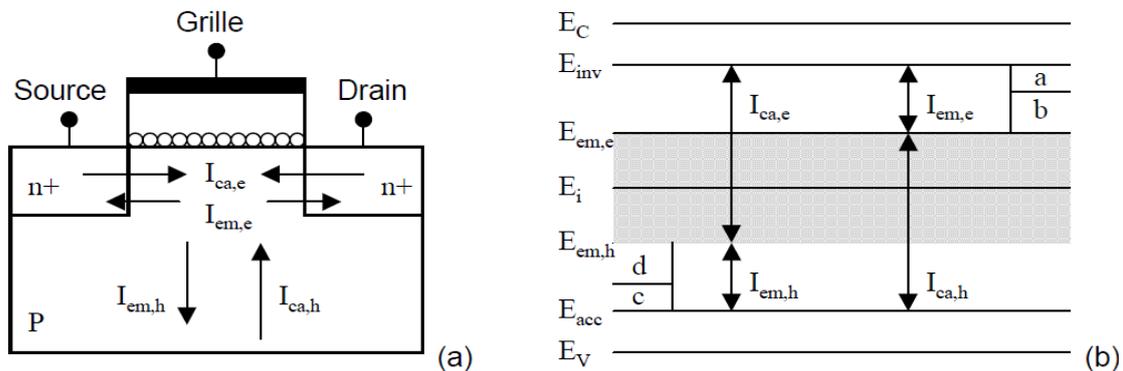


Figure IV. 3 : Représentation des courants d'émissions et de capture de trous et d'électrons a) dans un transistor MOS, b) sur un diagramme de positions énergétiques [1]

Les courants  $I_{ca,e}$ , et  $I_{em,e}$  sont respectivement les courants de capture et d'émission d'électrons. De la même façon,  $I_{ca,h}$  et  $I_{em,h}$  sont les courants de capture et d'émission de trous. La Figure IV. 3 b)

montre que les recombinaisons ont lieu sur une fenêtre entre  $E_{em,e}$  et  $E_{em,h}$ , correspondant aux fins d'émission pour les électrons et pour les trous. Cette fenêtre est plus étroite que celle comprise entre  $E_{inv}$  et  $E_{acc}$ . L'expression du courant pompé issue du modèle de Groeseneken est alors :

$$I_{CP} = I_{ca,h} + I_{em,h} = A_G q N_{ss} f (E_{em,e} - E_{em,h}) \quad \text{Équation 3}$$

Les expressions de  $E_{em,e}$  et  $E_{em,h}$  ont été déterminées par Simmons et Wei [7]. Lorsque les temps de montée  $t_r$  et de descente  $t_f$  des impulsions sont supérieures à la nanoseconde, ces niveaux de fin d'émission sont donnés par les relations suivantes :

$$E_{em,e} = E_i - kT \ln(t_{em,e} n_i v_{th} \sigma_n) \quad \text{Équation 4}$$

$$E_{em,h} = E_i + kT \ln(t_{em,h} n_i v_{th} \sigma_p) \quad \text{Équation 5}$$

Alors, l'expression finale proposée par Groeseneken pour calculer la densité d'états d'interface est :

$$I_{CP} = 2A_G q N_{ss} f kT \ln(n_i v_{th} \sqrt{\sigma_n \sigma_p} \sqrt{t_{em,e} t_{em,h}}) \quad \text{Équation 6}$$

Dans les équations 4 à 6,  $\sigma_n$  et  $\sigma_p$  sont respectivement les sections de capture des pièges pour les électrons et pour les trous et  $t_{em,e}$  et  $t_{em,h}$  sont respectivement les temps d'émission hors-équilibre des électrons et des trous. Ces temps d'émissions dépendent de la géométrie du signal de grille (trapézoïdal ou triangulaire), comme le montre la Figure IV. 4 ci-dessous :

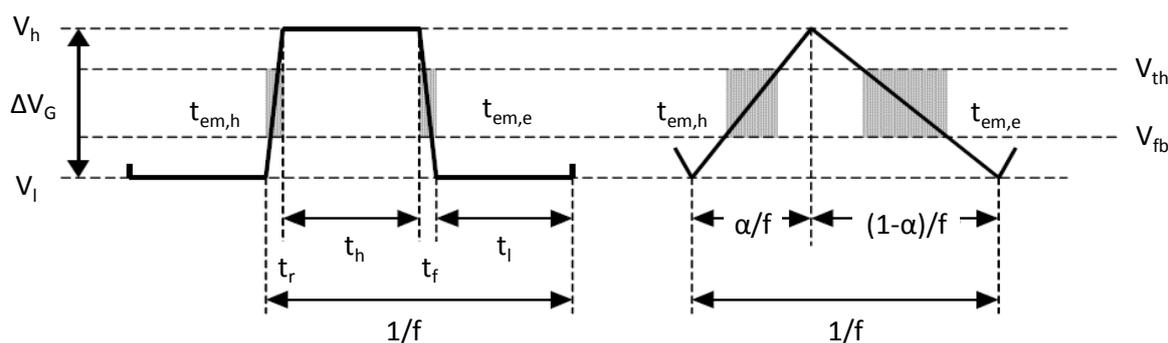


Figure IV. 4 : Différences de temps d'émission hors-équilibre en fonction de la forme du signal de grille : signal trapézoïdal et signal triangulaire

Cette figure montre que les temps d'émission hors-équilibre des électrons et des trous sont plus longs dans le cas d'un signal triangulaire, ce qui a pour conséquence d'augmenter le temps disponible pour les électrons minoritaires de retourner vers les régions de source et de drain pendant

que la structure est ramenée en régime d'accumulation. De ce fait, l'utilisation de signaux triangulaires permet de supprimer la composante géométrique décrite par Brugler et Jespers [4]. Ce résultat a été montré expérimentalement pour la première fois par Groeseneken [1].

Les expressions des temps d'émission figurant dans l'équation 6 sont données dans le tableau ci-dessous :

Signal de grille trapézoïdal	Signal de grille triangulaire
$t_{em,h} = t_r \frac{ V_{fb} - V_{th} }{\Delta V_G}$	$t_{em,h} = \frac{\alpha}{f} \frac{ V_{fb} - V_{th} }{\Delta V_G}$
$t_{em,e} = t_f \frac{ V_{fb} - V_{th} }{\Delta V_G}$	$t_{em,e} = \frac{1-\alpha}{f} \frac{ V_{fb} - V_{th} }{\Delta V_G}$

Tableau 23 : Expression des temps d'émissions des trous et des électrons en fonction du type de signal de grille (trapézoïdal ou triangulaire)

Où  $\alpha$  est la fraction de la période (« *duty cycle* ») pendant laquelle la tension de grille augmente (voir Figure IV. 4).

### ***1-2-2) Courbes représentatives du pompage de charge « 2 niveaux »***

Depuis les travaux de Groeseneken et al., le pompage de charge a connu de nouveaux développements, dont certains seront abordés dans la suite de ce chapitre. Comme nous l'avons vu, les techniques décrites ci-dessus développées par Brugler et Jespers, d'une part, et Groeseneken, d'autre part, font appel à l'utilisation de deux niveaux : le niveau haut  $V_h$  et le niveau bas  $V_l$ . On parle alors de pompage de charge « 2 niveaux », pour distinguer ces techniques notamment du pompage de charges « 3 niveaux », pour lequel on introduit un niveau supplémentaire (intermédiaire) pour l'analyse de la distribution énergétique des défauts d'interface. Nous ne détaillerons pas le pompage de charges « 3 niveaux » dans cette thèse.

#### ***1-2-2 a) Les modes « Base sweep » et « Amplitude sweep »***

Le pompage de charges 2 niveaux peut être réalisé de plusieurs façons, selon la façon dont sont utilisés les niveaux  $V_h$  et  $V_l$ . La Figure IV. 5 ci-dessous schématise ces différents « modes » pour un NMOS:

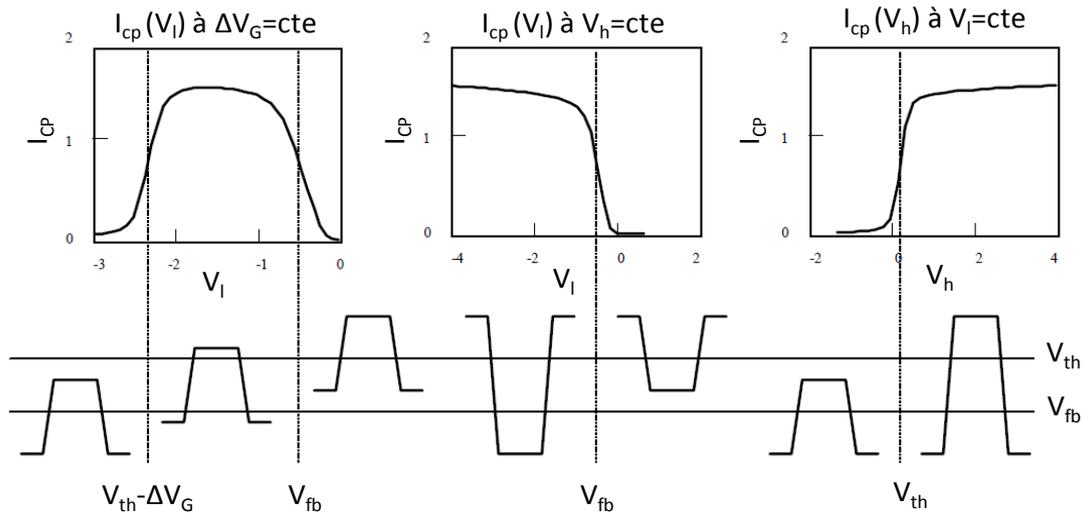


Figure IV. 5 : Courbes de pompage de charges 2 niveaux : à amplitude constante (à gauche), à amplitude variable (au centre et à droite)

La courbe de gauche est obtenue en maintenant une amplitude d'impulsion constante comme le montre le schéma d'évolution de l'impulsion représenté sous la courbe. Il s'agit du mode dit « base sweep », c'est-à-dire que l'on suit l'évolution du courant par rapport au niveau bas  $V_1$  [8]. Les courbes au centre et à droite correspondent aux modes d'amplitude variable, dits « amplitude sweep » [4]. Dans le premier cas, on augmente l'amplitude du niveau bas  $V_1$  en conservant  $V_h = cte$  (inversion forte). Dans le second cas, l'évolution du courant  $I_{CP}$  est suivie en fonction de  $V_h$  et  $V_1 = cte$  (accumulation). Cette figure montre également qu'il est possible en mode « base sweep » de déterminer directement  $V_{th}$  et  $V_{fb}$  sur les flancs de la courbe  $I_{CP} = f(V_1)$ , à mi-hauteur.

### ***1-2-2 b) Détermination de la section de capture***

La section de capture notée  $\sigma$  correspond à l'aire critique perpendiculaire au flux de porteurs à l'intérieur de laquelle un porteur de charge peut être piégé par un défaut. Elle s'exprime généralement en  $cm^2$  et varie avec la température et la valeur du champ appliqué. En fonction de la charge initiale du défaut et du signe du porteur de charge, sa valeur est variable dans une large gamme, entre  $10^{-22}$  et  $10^{12} cm^2$ . Pour le piégeage d'un électron,  $\sigma$  est élevée (entre  $10^{-14}$  et  $10^{-12} cm^2$ ) lorsque le défaut est initialement chargé positivement et plus faible (entre  $10^{-22}$  et  $10^{-18} cm^2$ ) lorsque ce dernier est initialement chargé négativement. Enfin, lorsque le défaut est initialement neutre, ce qui est le cas pour la majorité des défauts présents dans le  $SiO_2$ , la section de capture est comprise entre  $10^{-18}$  et  $10^{-14} cm^2$  [9].

L'équation 6 montre que la charge recombinée  $Q_{CP} = I_{CP}/f$  est indépendante de la fréquence dans le cas de signaux trapézoïdaux [1]. Ce n'est plus le cas pour des signaux triangulaires puisque les

équations du Tableau 23 montre que les temps d'émissions hors-équilibre et donc le courant pompé dépendent de la fréquence. Le modèle de Groeseneken prévoit alors que  $Q_{CP}$  varie linéairement avec le logarithme de la fréquence :

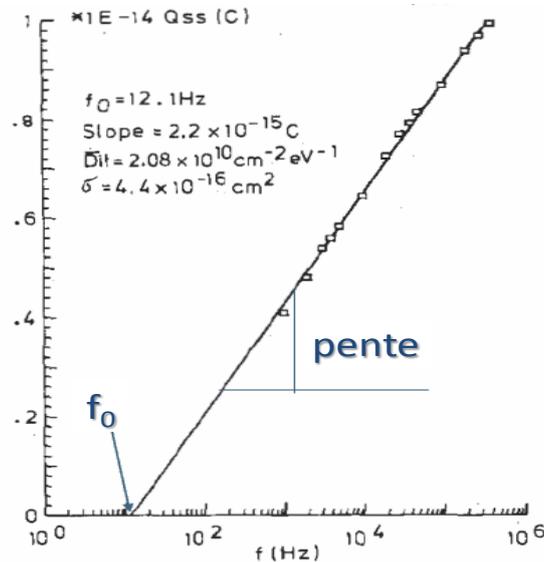


Figure IV. 6 : Courbe  $Q_{CP}=f(\log(f))$  dans le cas d'un signal triangulaire [1]

Sur cette courbe sont annotées d'une part la pente de droite et d'autre part l'extrapolation de la droite pour une charge  $Q_{CP}$  nulle. La fréquence obtenue pour  $Q_{CP}=0$  est notée  $f_0$ . Groeseneken explique que la pente permet d'extraire la densité  $N_{SS}$  dans le cas de signaux triangulaires par la relation suivante :

$$N_{SS} = \frac{\log e}{2qkTA_G} \cdot \text{pente} \quad \text{Équation 7}$$

La section de capture moyenne pour les électrons et les trous extraite à partir de la mesure de  $f_0$  est définie par la relation suivante :

$$\sigma = \sqrt{\sigma_n \sigma_p} = \frac{1}{n_i v_{th}} \frac{\Delta V_G}{|V_{fb} - V_{th}|} \frac{f_0}{\sqrt{\alpha(1-\alpha)}} \quad \text{Équation 8}$$

### I-2-2 c) Détermination de la densité de pièges d'interface $N_{SS}$

Quelle que soit le mode de pompage de charges à 2 niveaux utilisé, on pourra observer le courant pompé  $I_{CP}$  uniquement si les concentrations en électrons et en trous sont suffisantes, c'est-à-dire lorsque  $V_G$  est situé au-delà et en deçà de  $V_{th}$  et  $V_{fb}$  et lorsque les temps en inversion et en accumulation  $t_h$  et  $t_l$  sont suffisamment longs.

La valeur du courant pompé  $I_{CP}$  est prise au maximum du courant sur les courbes de la Figure

IV. 5. On peut également extraire les tensions  $V_{th}$  et  $V_{fb}$  de ces courbes sur le flanc des courbes à 50% du courant maximum. Ces valeurs permettent alors de calculer la densité de défauts d'interface  $N_{SS}$  à partir de l'équation 6. Nous illustrons ci-dessous le calcul de  $N_{SS}$  pour des transistors élaborés par le procédé Nanocrystals Inside. La Figure IV. 7 présente deux courbes réalisées à 1 MHz sur deux TCC distincts de la série 4 (sans nanocristaux,  $t_{ox}=7,3$  nm). La courbe (a) est obtenue en mode base sweep avec une amplitude  $\Delta V_G=2V$  et (b) est issue d'une mesure en « amplitude sweep », avec  $V_I=cte$ .

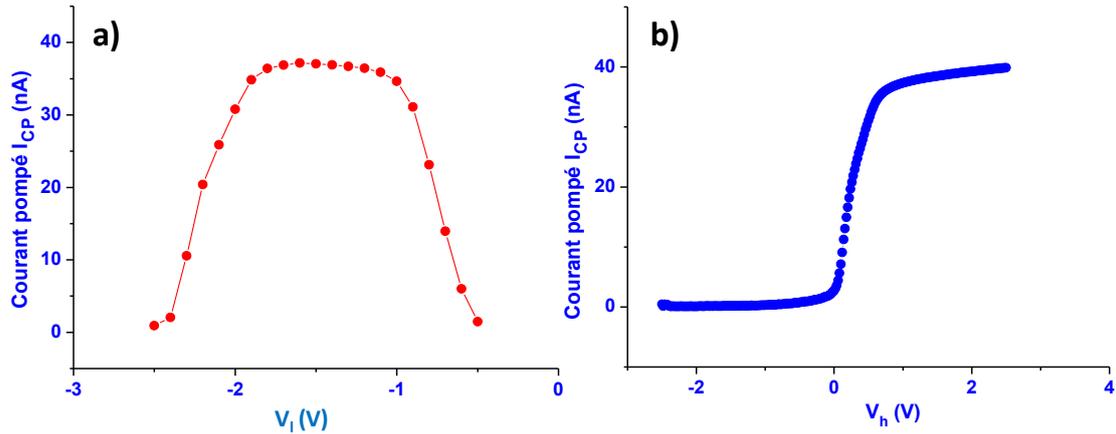


Figure IV. 7 : Courbes expérimentales du courant pompé  $I_{CP}$  réalisées a) en mode à amplitude constante  $\Delta V_G=2V$ , b) en mode à amplitude variable, avec  $V_I=cte$  et à  $f=1$  MHz, réalisées sur des MOSFETS vierges (sans Si-nCx)

Les courants maximum extraits de ces courbes sont respectivement: a)  $I_{CPmax}= 37, 17$  nA, b)  $I_{CPmax}= 39,86$  nA. Les valeurs de  $V_{fb}$  et  $V_{th}$  sont respectivement extraites des Figure IV. 7 a) et b) et valent  $V_{fb}=-0,75$  V et  $V_{th}=0,3$  V. On remarque que la valeur de  $V_{th}$  obtenue ici est proche de celles obtenues au chapitre 2 à partir des caractéristiques  $I_D-V_{GS}$ . Rappelons que les temps de montée et de descente choisis pour les impulsions sont  $t_f = t_r = 10$  ns. Enfin, nous avons supposé une section de capture identique pour les électrons et les trous à la valeur  $\sigma_n = \sigma_p = 1 \times 10^{-16}$  cm<sup>2</sup>, celle-ci étant la valeur standard lorsqu'on considère la capture par un défaut neutre (capture possible d'un électron ou d'un trou). A l'aide de toutes ces valeurs et en utilisant l'équation 6, on peut déterminer les densités de pièges d'interface suivantes : a)  $N_{SS} = 2,43 \times 10^{10}$  cm<sup>-2</sup>, b)  $N_{SS} = 2,61 \times 10^{10}$  cm<sup>-2</sup>. Ces densités moyennes de défauts d'interface  $N_{SS}$  dans des MOSFET vierges (sans Si-nCx) sont cohérentes avec les valeurs obtenues à partir des mesures C-V sur les capacités MOS traitées au chapitre 2, pour lesquelles nous avons obtenu des densités  $N_{SS}$  comprises entre  $1 \times 10^{10}$  et  $1 \times 10^{11}$  cm<sup>-2</sup>.

### I-2-3) Les modèles tenant compte de la profondeur des pièges d'interface

#### I-2-3 a) Les pièges en profondeur « près » de l'interface (Declercq et Jespers)

La première approche en profondeur des pièges d'interface a été celle proposée par Declercq et Jespers en 1974. Ils ont observé une variation linéaire du courant pompé lorsque celui-ci était tracé en fonction du logarithme du temps en inversion [10]. Cette variation linéaire est présentée sur la Figure IV. 8 ci-dessous :

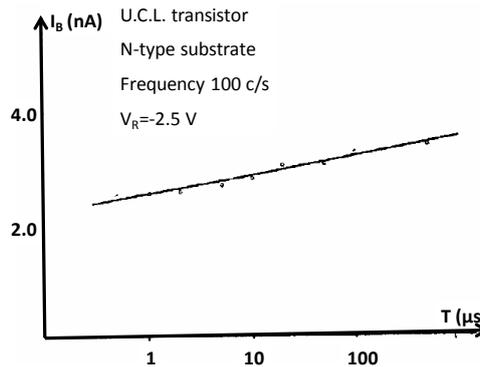


Figure IV. 8 : Variation linéaire du courant pompé en fonction du logarithme du temps en inversion [10]

Brugler et Jespers ont montré que les constantes de temps de capture par les pièges d'interface sont de l'ordre de la nanoseconde lorsque les densités surfaciques d'électrons libres ( $n_s$ , en inversion) et de trous ( $p_s$ , en accumulation) sont prédominantes [4]. La Figure IV. 8 montre que la linéarité de la variation de courant pompé est valable pour des durées en inversion beaucoup plus élevées (au moins jusqu'à 1ms, i.e. 1 kHz, sur cette figure). Alors, les porteurs minoritaires sont également piégés par des états situés à l'intérieur de l'oxyde. Cette capture est réalisée à basse fréquence (BF), i.e. jusqu'à 1 kHz et à une distance de l'interface notée  $x_m$ . Pour évaluer cette distance, ils se sont appuyés sur les travaux de Heiman et Warfield [11], qui ont définis une distance notée  $x_m$  relative aux défauts en profondeur dans l'oxyde :

$$x_m = \frac{1}{2\kappa_0} \ln [T_m \sigma v_{th} (n_s + p_l)] \quad \text{Équation 9}$$

Où  $2\kappa_0$  correspond à la constante de décroissance tunnel et  $T_m$  le temps de mesure de piégeage de charge. La densité  $p_l$  correspond à l'émission de trous. A partir de cette équation, Declercq et Jespers établissent leur relation d'évaluation de la distance des pièges près de l'interface de la façon suivante :

$$x_m = \lambda \ln(n_s \sigma(0) v_{th} T_C) \quad \text{Équation 10}$$

Où  $\lambda$  est la constante d'atténuation tunnel,  $\sigma(0)$  la section de capture des défauts à l'interface et  $T_C$  le temps de capture. On remarque en légende de la Figure IV. 8 que le temps en accumulation est fixé à 100 Hz de façon à conserver des temps en accumulation suffisamment longs. Pour remonter à la densité de ces pièges en profondeur, Declercq et Jaspers ont proposé un modèle simple, séparant d'un côté les pièges d'interface et de l'autre les pièges en profondeur, qualifiés de pièges « près de l'interface » (*near-interfacial traps*). Leur modèle est basé sur un mécanisme de conduction de type tunnel direct et une densité volumique  $N_t(x)$  indépendante de l'énergie ; établissant alors la relation suivante :

$$I_{CP} = A_G q f (N_{SS} \Delta \varphi_S + \int_0^{x_m} N_t(x) dx) \quad \text{Équation 11}$$

Le premier terme de cette équation correspond au courant pompé dans les pièges d'interface et le second terme au courant pompé dans les pièges près de l'interface. En dérivant cette expression par rapport à  $\log(T_C)$ , ils obtiennent la densité volumique de défauts  $N_t(x_m)$  :

$$N_t(x_m) = \frac{dI_{CP}}{d(\ln T_C)} \frac{-1}{A_G q f \lambda} \quad \text{Équation 12}$$

Cette équation montre que la densité moyenne de pièges dans l'oxyde et près de l'interface peut être évaluée à partir de la pente des courbes  $I_{CP}=f(\ln(t_{inv}))$ , comme celle présentée Figure IV. 8.

### ***I-2-3 b) Les états lents dans les structures SONOS (Paulsen et al.)***

Paulsen et al. ont appliqué cette technique de pompage de charge à l'étude de mémoires non volatiles de type SONOS (Semi-conducteur/Oxyde/Nitride/Oxyde/Semi-conducteur) [12, 13]. L'empilement de la structure SONOS est constituée de couches d'épaisseurs 1,2/4,8/3,0 nm. Ils étudient alors les variations de la charge recombinaison en fonction de la fréquence (Figure IV. 9) :

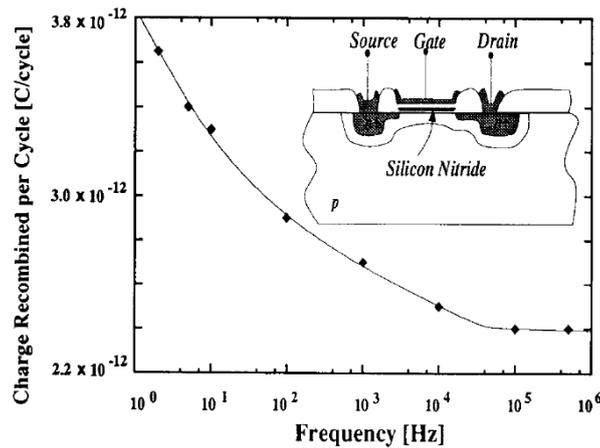


Figure IV. 9 : Charge recombinaée par cycle  $Q_{CP}$  en fonction de la fréquence pour une mémoire SONOS. L'augmentation de la charge à basse fréquence est identifiée comme étant la charge recombinaée par les pièges dans le volume de l'oxyde (i.e. la couche de nitrure) [12]

L'augmentation progressive de la charge  $Q_{CP}$  à partir d'un certain seuil en fréquence lorsque celle-ci diminue est attribuée à la capture de charges par la couche de nitrure placée à 1,2 nm du canal d'inversion. Aux basses fréquences (BF), les durées en inversion pour chaque cycle sont supérieures à la constante de temps tunnel. Paulsen et al. proposent alors un mécanisme de communication entre les pièges d'interface et les pièges de la couche de nitrure de type, de type « piège en piège ». Ainsi, aux hautes fréquences (HF), les électrons sont successivement capturés par les pièges d'interface et renvoyés vers la source et le drain, tandis qu'aux BF, la capture se fait en deux étapes : les électrons sont d'abord capturés par les pièges d'interface puis sont transférés vers les pièges de la couche de nitrure grâce à une durée en régime d'inversion suffisamment longue. La Figure IV. 9 illustrant l'évolution de la charge  $Q_{CP}$  en fonction de la fréquence montre clairement l'effet de ces deux contributions : pour  $f \geq 10^5$  Hz la charge recombinaée est relative uniquement au courant pompé dans les pièges d'interface tandis que la forte contribution des pièges de la couche de nitrure est marquée par l'augmentation de  $Q_{CP}$  pour  $f < 10^5$  Hz.

Des résultats similaires présentés Figure IV. 10 ont été obtenus dans le cas de transistors MOS irradiées au  $^{60}\text{Co}$ , tandis que les mêmes transistors non irradiés présentent une allure de charge constante en fonction de la fréquence.

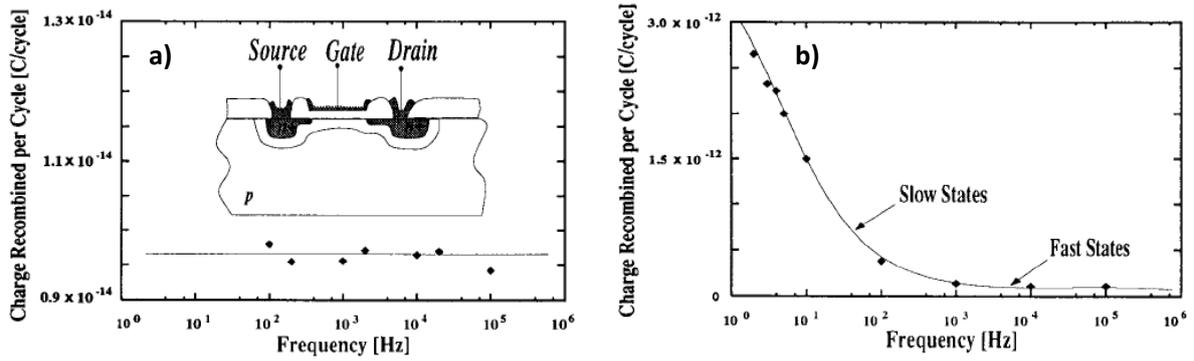


Figure IV. 10 : Charge recombienée a) pour un transistor MOS non irradié, b) pour un transistor MOS irradié au  $^{60}\text{Co}$

L'irradiation a pour effet de générer de nombreux pièges distribués dans le volume de l'oxyde de grille. Cette figure montre que la forte augmentation de charge pompée aux BF est due à la somme d'une composante de pièges d'interface et d'une seconde composante due aux pièges de volume. Pour établir une relation donnant la densité d'états lents, Paulsen et al. établissent les conditions suivantes :

- 1) Séparation des contributions respectives des états lents et rapides (comme Declercq et Jespers)
- 2) Capture par un seul type de porteurs
- 3) Modèle de capture en deux étapes (communication de piège en piège entre les pièges rapides et les pièges lents)
- 4) Pièges lents supposés à une même énergie (dans un même plan en profondeur)

La relation ci-dessous donnée par Paulsen et al. permet alors de calculer la densité d'états lents  $N_t(x)$  à partir de la pente des courbes  $Q_{CP}(f)$  :

$$N_t(x) \approx \frac{dQ_{CP}}{d(\ln f)} \frac{-\alpha_1}{2,3qA_G} \quad \text{Équation 13}$$

Où  $1/\alpha_1$  correspond à la constante d'atténuation tunnel  $\lambda$ .

Par la suite, une relation donnant la constante de temps tunnel pour un processus tunnel de piège en piège [14] a été utilisée pour déterminer la distance des pièges lents par rapport au substrat. Les distributions en profondeur de pièges « près de l'interface » dans le cas des transistors MOS irradiés et des mémoires SONOS sont présentées Figure IV. 11.

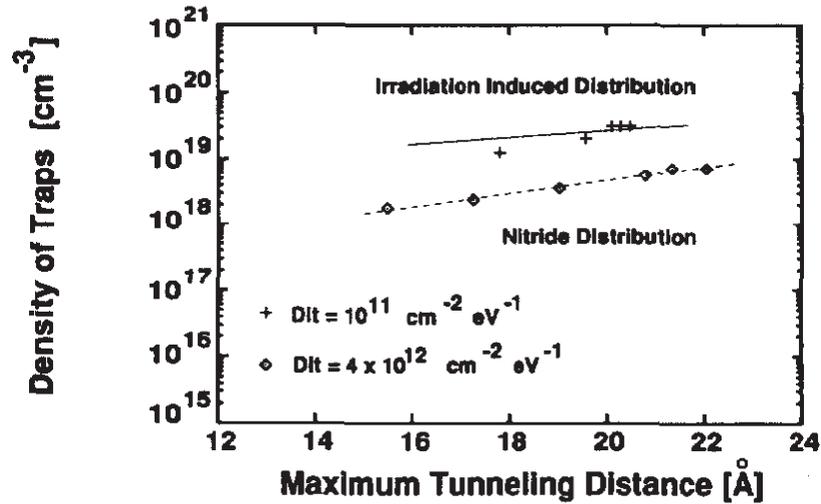


Figure IV. 11 : Densité des pièges près de l'interface tracées en fonction de la distance tunnel dans le cas de pièges dans une couche de nitrure à 1,2 nm de l'interface et de pièges induits dans le volume de l'oxyde par irradiation au  $^{60}\text{Co}$

Paulsen et al. mesurent alors des densités d'états lents proches de  $10^{19} \text{ cm}^{-3} \cdot \text{eV}^{-1}$  dans la couche de nitrure des mémoires SONOS et à des profondeurs tunnel variant de 1,5 à 2,2 nm. La densité de pièges d'interface  $N_{\text{SS}}$  de ces mémoires est comparativement très faible, à savoir environ  $10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ .

### I-2-3 c) Le modèle d'un continuum d'états rapides à lents de Bauza et Ghibaudo

Declercq et Jaspers ont montré la contribution de pièges dits « lents », positionnés à une distance tunnel de l'interface avec le substrat, en faisant varier le temps en inversion tandis que la fréquence du signal de grille est conservée constante. Bauza et Ghibaudo proposent alors d'appliquer cette technique pour déterminer la distribution de ces pièges lents dans l'oxyde en faisant varier la fréquence du signal de grille. En partant de l'équation générale de l'échange de charge par effet tunnel ci-dessous, la densité volumique de pièges  $N_t(x, E)$  dépend de la position  $x$  et de l'énergie  $E$  des pièges :

$$Q_{\text{CP}} \frac{I_{\text{CP}}}{f} = qA_G \int_{E_{\text{em},h}(x)}^{E_{\text{em},e}(x)} \int_0^{\infty} N_t(x, E) \Delta F(E_{\text{fl}}, E_{\text{fl}}, x, E) dx dE \quad \text{Équation 14}$$

Dans leur modèle de Bauza et Ghibaudo considèrent que la densité de pièges ne dépend pas de l'énergie. En effet, l'énergie sondée par le CP 2 niveaux est comprise dans la gamme 0,6-0,7 eV à peu près au milieu de la bande interdite du silicium [15]. De ce fait, la densité de pièges devient  $N_t(x)$  et la variation de la fonction de remplissage des pièges devient  $\Delta F(E_{\text{fl}}, E_{\text{fl}}, x)$ . Cette fonction donne la probabilité d'un piège situé à la distance  $x$  de contribuer à  $Q_{\text{CP}}$  [3]. Son expression est la suivante :

$$\Delta F = \frac{\left[1 - \exp(-c_n(E_{fh}, x)t_h)\right] \left[1 - \exp(-c_p(E_{fl}, x)t_l)\right]}{1 - \exp\left[(-c_n(E_{fh}, x)t_h) - (-c_p(E_{fl}, x)t_l)\right]} \quad \text{Équation 15}$$

Alors, l'expression de la charge recombinaison à chaque cycle devient :

$$Q_{CP} = A_G \cdot q \cdot N_{SS} \cdot \Delta E \cdot \Delta F \quad \text{Équation 16}$$

A partir de cette expression, si l'on néglige l'émission des porteurs (ce qui nécessite des temps de transitions  $t_r$  et  $t_f$  très courts, i.e.  $\leq 50$  ns) et en utilisant la statistique de Shockley-Read-Hall (SRH) [16, 17], on peut écrire  $\Delta F$  de la façon suivante [3, 18] :

$$\Delta F = \frac{\left[1 - \exp(-c_n / 2f)\right] \left[1 - \exp(-c_p / 2f)\right]}{1 - \exp\left[(-c_n / 2f) - (-c_p / 2f)\right]} \quad \text{Équation 17}$$

Où les taux de capture des électrons  $c_n$  et des trous  $c_p$  sont :

$$\tau_n = \frac{1}{c_n} = \frac{1}{n_s \sigma_n v_{th}} \quad \tau_p = \frac{1}{c_p} = \frac{1}{p_s \sigma_p v_{th}} \quad \text{Équation 18}$$

On rappelle que  $\tau_n$  et  $\tau_p$  sont les constantes de temps de capture des électrons et des trous,  $n_s$  et  $p_s$  les concentrations des électrons et des trous à la surface et  $v_{th}$  la vitesse thermique des porteurs. La capture ne pouvant pas se produire sur une durée supérieure à la demi-période du signal de grille, les temps en inversion et en accumulation  $t_h$  et  $t_l$  sont limitées à  $1/2f$  pour la capture dans l'équation 17. Dans le cas du  $\text{SiO}_2$ , cela correspond à une fréquence de 50 Hz et une profondeur sondée maximum de 1,2 nm.

Pour examiner les variations de la fonction d'occupation des pièges à une profondeur  $x$ , Bauza et Ghibaudo utilisent le modèle d'Heiman et Warfield (modèle de capture des états lents décrit au chapitre 1) pour exprimer les sections moyennes de capture. Alors  $\Delta F(x)$  s'écrit :

$$\Delta F(x) = \frac{\left[1 - \exp(-c_n(x) / 2f)\right] \left[1 - \exp(-c_p(x) / 2f)\right]}{1 - \exp\left[(-c_n(x) / 2f) - (-c_p(x) / 2f)\right]} \quad \text{Équation 19}$$

On rappelle les expressions des sections de capture pour les électrons et les trous dans le cas d'une capture par effet tunnel en une étape [11] :

$$c_n(x) = n_s \sigma_n v_{th} \exp\left(-\frac{x}{\lambda_e}\right) \quad c_p(x) = p_s \sigma_p v_{th} \exp\left(-\frac{x}{\lambda_h}\right) \quad \text{Équation 20}$$

Où les constantes d'atténuation tunnel pour les électrons et les trous  $\lambda_e$  et  $\lambda_h$  sont définies par les relations suivantes :

$$\lambda_e = \frac{h}{2\pi(2\sqrt{2m_e\phi_e})} \quad \lambda_h = \frac{h}{2\pi(2\sqrt{2m_h\phi_h})} \quad \text{Équation 21}$$

Où  $h$  est la constante de Planck,  $m_e$  et  $m_h$  les masses effectives des électrons et des trous et  $\Phi_e$  et  $\Phi_h$  les hauteurs de barrières à l'interface Si/SiO<sub>2</sub> vues par les électrons et les trous. Les sections de capture apparentes vues depuis l'interface d'un piège situé à la distance  $x$  peuvent alors s'écrire :

$$\sigma_n(x) = \sigma_n(0) \exp\left(-\frac{x}{\lambda_e}\right) \quad \sigma_p(x) = \sigma_p(0) \exp\left(-\frac{x}{\lambda_h}\right) \quad \text{Équation 22}$$

Où  $\sigma_n(0)$  et  $\sigma_p(0)$  sont les véritables sections de captures. L'expression de  $Q_{CP}$  tenant compte de l'expression de  $\Delta F(x)$  donnée en équation 19 permet de tenir compte des recombinaisons à la fois dans les pièges lents et dans les pièges rapides et est définie par la relation suivante :

$$Q_{CP} = A_G q \Delta E \int_0^{t_{ox}} N_t(x) \Delta F(x) dx \quad \text{Équation 23}$$

Le modèle proposé par Bauza et Ghibaudo est ainsi basé sur celui de Declercq et Jaspers, mais il en diffère par deux points essentiels :

- 1) La capture est considérée pour les deux types de porteurs
- 2) Un continuum d'états est sondé par CP, des pièges rapides aux pièges lents

### **I-3) La technique d'extraction de la distribution en profondeur des pièges de Maneglia**

#### **I-3-1) Détermination des expressions de $N_t$ et de $x$**

A partir du modèle de Bauza et Ghibaudo, Maneglia [5] a développé une technique permettant d'extraire la distribution en profondeurs des pièges. En considérant que la fonction de remplissage  $\Delta F(x)$  est égale à 1 jusqu'à une certaine profondeur, il existe une profondeur  $x_e$  pour les électrons et une profondeur  $x_h$  pour les trous tels que cette fonction passe rapidement de 1 à 0. Alors, en  $x_e$  et en  $x_h$ , la valeur de cette fonction est prise telle que  $\Delta F(x)=0,5$ , comme le montre la Figure IV. 12 ci-dessous :

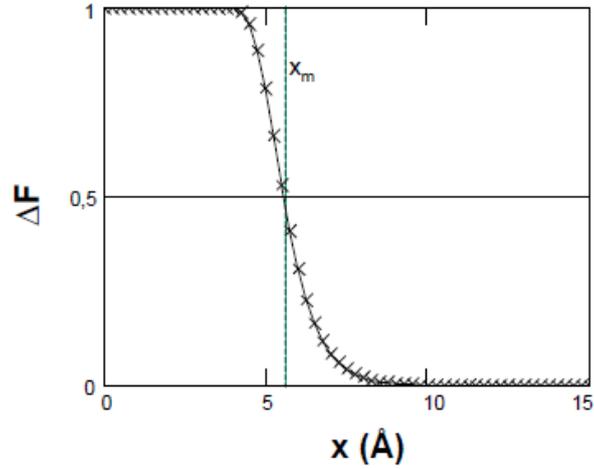


Figure IV. 12 : Fonction de remplissage passant rapidement de 1 à 0. Cette fonction prend la valeur de 0,5 en  $x_m$ , la profondeur correspondant au type de porteur limitant la recombinaison, avec  $x_m = \min(x_e, x_h)$

D'autre part, en considérant l'équation 19, on peut voir que le dénominateur contient deux termes  $[c_n(x)/2f]$  et  $[c_p(x)/2f]$  dans le terme exponentiel, ce qui fait qu'il décroît moins vite que le numérateur lorsque la profondeur sondée augmente. Alors,  $\Delta F(x)$  peut s'écrire :

$$\Delta F(x) \approx [1 - \exp(-c_n(x)/2f)] [1 - \exp(-c_p(x)/2f)] \quad \text{Équation 24}$$

A partir de cette relation, selon qu'un type de porteur ou l'autre limite la recombinaison, la fonction de remplissage se limite à un seul des deux termes de l'équation précédente :

$$\Delta F(x) \approx [1 - \exp(-c_p(x)/2f)], \text{ lorsque la capture de trous limite la recombinaison}$$

$$\Delta F(x) \approx [1 - \exp(-c_n(x)/2f)], \text{ lorsque la capture d'électrons limite la recombinaison}$$

Ces relations impliquent que l'une ou l'autre simplification dépend des taux de capture. L'équation 20 montre que la concentration des électrons en inversion  $n_s$  et celle des trous en accumulation  $p_s$  déterminent le type de porteurs limitant. Par exemple, si  $n_s > p_s$ , ce sont les trous qui limiteront la recombinaison. D'autre part, la profondeur de capture des électrons et des trous jouent également un rôle : par exemple, lorsque la capture des électrons se fait sur une plus grande profondeur que celle des trous, ce sont les trous qui limiteront la recombinaison. Ces relations peuvent s'écrire sous la forme suivante :

$$\Delta F(x) = [1 - \exp(-c_{n,p}(x)/2f)] \quad \text{Équation 25}$$

Alors, par égalité aux profondeurs  $x_e$  et  $x_h$  entre  $\Delta F(x)=0,5$  et l'équation 25 :

$$[1 - \exp(-c_n(x_e)/2f)] = 0,5 \quad [1 - \exp(-c_p(x_h)/2f)] = 0,5 \quad \text{Équation 26}$$

Ainsi, Maneglia extrait les profondeurs de pièges relatives aux électrons et aux trous :

$$x_e = \lambda_e \ln \left( \frac{-c_n(0)}{\ln(0,5)2f} \right) \quad x_h = \lambda_h \ln \left( \frac{-c_p(0)}{\ln(0,5)2f} \right) \quad \text{Équation 27}$$

A partir des équations 23 et 25, on peut écrire la charge recombinée sous la forme :

$$Q_{CP} = A_G q \Delta E \int_0^{t_{ox}} N_t(x) [1 - \exp(-c_{n,p}(x)/2f)] dx \quad \text{Équation 28}$$

En remplaçant  $\Delta F(x)$  par une fonction « marche » passant de 1 à 0 en  $x_m = \min(x_e, x_h)$ , cette équation devient :

$$Q_{CP} = A_G q \Delta E \int_0^{x_m} N_t(x) dx \quad \text{Équation 29}$$

Avec la borne supérieure  $x_m$ , correspondant au type de porteur limitant la recombinaison :

$$x_m = \lambda_{e,h} \ln \left( \frac{-c_{n,p}(0)}{\ln(0,5)2f} \right) \quad \text{Équation 30}$$

La dérivation de l'équation 29 par rapport au logarithme de f donne :

$$\frac{dQ_{CP}}{d \ln f} = \frac{dQ_{CP}}{dx_m} \frac{dx_m}{d \ln f} = A_G q \Delta E N_t(x_m) \frac{dx_m}{d \ln f} \quad \text{Équation 31}$$

Maneglia obtient alors le couple d'équations suivant permettant de tracer la distribution en profondeur des pièges [19] :

$$x_m = \lambda_{e,h} \ln \left( \frac{-c_{n,p}(0)}{\ln(0,5)2f} \right) \quad N_t(x_m) = \frac{-1}{q A_G \Delta E \lambda_{e,h}} \frac{dQ_{CP}}{d \ln f} \quad \text{Équation 32}$$

Cette relation est proche de celles obtenues par Declercq et Jaspers (équation 12) et Paulsen (équation 13), à la différence près qu'elle tient compte de la capture par les deux types de porteurs et qu'elle permet d'extraire un profil de défauts et non pas seulement déterminer une concentration moyenne. L'obtention de telles distributions en profondeur sera un outil puissant pour caractériser les pièges lents observés dans nos composants mémoire (chapitre 3) et déterminer précisément la position de ces pièges permettrait de dire s'il s'agit ou non des Si-nx. Cette information est capitale pour s'assurer que les tests mémoires sont concluants (chapitre 3) et que le chargement est bien réalisé dans les Si-nx. Nous allons cependant voir que l'extraction que le propose Maneglia ne nous permet pas de sonder les pièges les plus lents de notre système à nx, à savoir les Si-nx eux-mêmes qui sont trop

loin dans l'oxyde.

### ***I-3-2) Distribution « en profondeur » des pièges d'interface et près de l'interface***

#### ***I-3-2 a) Conditions expérimentales***

Les conditions expérimentales données par Maneglia pour l'extraction des profils sont les suivantes :

##### Temps de transitions $t_r$ et $t_f$ :

Les temps de transitions (montée et de descente des impulsions trapézoïdales) ne doivent pas être trop importants afin de rester dans des conditions d'émission négligeable, condition considérée dans le modèle de Bauza et Ghibardo sur lequel repose la technique d'extraction de Maneglia. Cependant, ces temps ne doivent pas être trop courts non plus, afin d'éviter l'apparition de la composante géométrique. Pour des amplitudes d'impulsion  $\Delta V_G$  et des durées  $t_f$  et  $t_r$  équivalentes, la composante géométrique apparaît plus facilement pour les PMOS que pour les NMOS, du fait de la mobilité des trous dans le Si plus faible que celles des électrons. Afin de supprimer cette composante pour les deux types de transistors, Maneglia propose des temps de transition de 50 ns pour des tensions allant de 1,5 à 3V. En ne considérant que les NMOS, comme dans le cas du procédé Nanocrystals Inside, il est possible d'utiliser des temps de transitions plus courts, même pour des amplitudes d'impulsions supérieures à 3V. Ainsi, nous fixerons  $t_r = t_f = t_{r,f} = 10$  ns pour l'ensemble de nos mesures de pompage de charge.

##### Gamme de fréquences :

Nous avons vu lors des mesures de chargement du chapitre 3 que selon le type de pièges (lents et/ou rapides) contenus dans l'oxyde, il faut sélectionner une gamme de fréquence adaptée pour les sonder. Maneglia définit dans sa thèse la gamme de fréquence utilisable dans le cas de dispositifs vierges. Le courant pompé étant proportionnel à la fréquence, plus la fréquence est élevée plus le signal sort du bruit. Ainsi, il donne la fréquence basse limite à une valeur d'environ 1 kHz. Cependant, dans le cas d'oxydes contenant des pièges de volume, il n'est pas dit que le courant pompé évolue proportionnellement à la fréquence. Il est possible que ces pièges soient à l'origine d'une forte contribution de courant pompé à BF et que dans ces conditions le signal  $I_{CP}$  sorte du bruit. Ainsi, nous ne posons pas de limite en BF à nos mesures CP, afin de ne pas exclure les pièges les plus lents. La fréquence sera réduite tant que le signal de courant pompé sera identifiable.

Pour la limite en hautes fréquences, Maneglia explique que les temps de transitions, même courts, deviennent non négligeables au-delà d'une certaine fréquence. Ces temps de l'ordre de la dizaine de nanosecondes sont négligeables face à des périodes d'impulsions supérieures d'au moins deux ordres de grandeurs, soit pour des fréquences de l'ordre du MHz.

Ainsi, nous réaliserons nos mesures de pompage de charge dans une gamme allant de la plus basse fréquence donnant du signal à des fréquences de 1 ou quelques MHz. Il est à noter qu'une technique permettant d'atteindre des fréquences de l'ordre du GHz a été proposée récemment [20].

En utilisant des fréquences dans la gamme [1kHz, 1MHz] et des impulsions  $\Delta V_G \leq 3V$ , Maneglia obtient une profondeur explorée limitée à 6 Å. Mais comme le montre l'équation 30, la valeur de  $x_m$  dépend à la fois de la fréquence et de l'amplitude du signal de grille, à travers  $c_{n,p}(0)$ , ainsi lorsque le courant pompé peut être mesurée à des fréquences plus faibles et des impulsions d'amplitude plus importantes, la profondeur  $x_m$  augmente.

### I-3-2 b) Réseaux de courbes $Q_{CP}(f)$ et extraction des profils

En réalisant des mesures de CP 2 niveaux en mode « base sweep » à différentes fréquences, on récupère les valeurs maximales de  $I_{CP}$  pour chaque fréquence, c'est-à-dire au niveau du plateau des courbes en cloches (Figure IV. 5 et Figure IV. 7 a). On trace alors les courbes  $I_{CP}(f)$  et  $Q_{CP}(f)$ , que l'on trace en  $\log(f)$ , les valeurs de  $Q_{CP}$  étant obtenues grâce à la relation  $Q_{CP}=I_{CP}/f$ . Le couple d'équations permettant l'extraction des profils (équation 28) montre que la densité de pièges  $N_t$  augmente avec la dérivée de  $Q_{CP}$  par rapport à  $\log(f)$ , et donc avec la pente de la courbe. De plus, on sait que  $x_m$  augmente avec l'amplitude des impulsions  $\Delta V_G$ . Un exemple de réseau de courbes  $Q_{CP}(\log(f))$  prises pour des valeurs de  $\Delta V_G$  allant de 0,6V à 3V est donné Figure IV. 13 a) [5] :

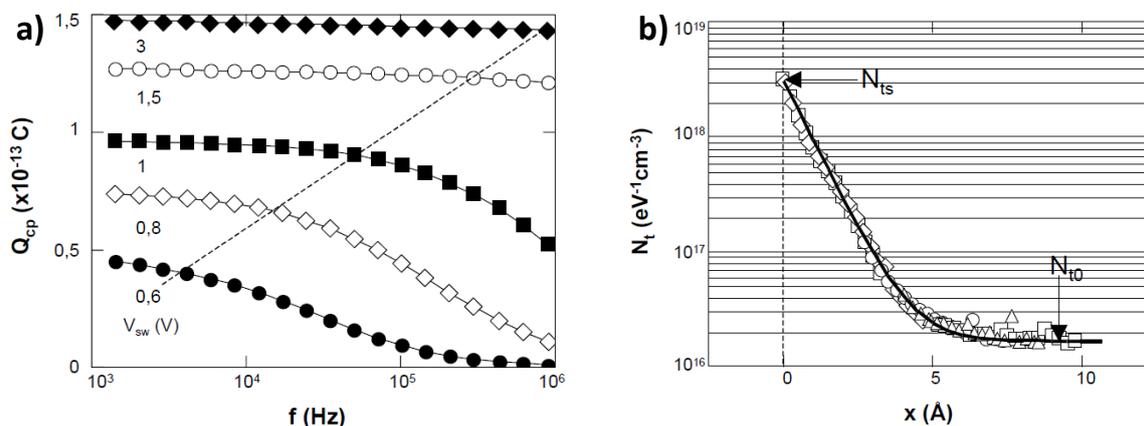


Figure IV. 13 : a) Réseau de courbes  $Q_{CP}(f)$  pour différentes valeurs de  $\Delta V_G$ , b) Profil de pièges d'interface extraits de courbes  $Q_{CP}(f)$  semblables à celles en a) après application de différentes corrections

La Figure IV. 13 a) montre alors deux types de régions en fonction des pentes. Maneglia obtient des pentes élevées à hautes fréquences et pour des faibles valeurs de  $\Delta V_G$ , ce qui correspond à

une forte densité de pièges (pentes élevées) à des distances  $x$  petites ( $\Delta V_G$  faible). A l'inverse, il obtient des pentes presque nulles pour les plus fortes valeurs de  $\Delta V_G$  et à basses fréquences. Alors la densité de pièges est plus faible à partir d'une certaine distance  $x$ .

Les profils extraits traduisent ces résultats, comme le montre l'exemple de la Figure IV. 13 b). Cet exemple montre une décroissance exponentielle des défauts avec la profondeur sondée dans l'oxyde. Sur cette courbe, la valeur notée  $N_{ts}$  correspond à la densité de pièges à l'interface Si/SiO<sub>2</sub> et celle notée  $N_{t0}$  (plateau en direction de l'oxyde) correspond à la densité de pièges plus en profondeur. Cette figure montre alors une densité maximum de pièges d'interface en  $x=0$  et une chute de cette densité sur une profondeur de 1 nm. La loi exponentielle donnée par Maneglia est donc, en notant «  $d$  » la longueur caractéristique de la décroissance :

$$N_t(x) = N_{ts} \exp\left(-\frac{x}{d}\right) + N_{t0} \quad \text{Équation 33}$$

A noter que des corrections ont été nécessaires pour l'obtention d'un profil de ce type. En effet, Maneglia et al. ont été obligés d'ajuster la tension de seuil, la section de capture à l'interface, la fonction de remplissage et réaliser un lissage par la méthode des moindres carrés [5].

## **II) Extraction des distributions en profondeur des pièges pour les MOSFET à Si-ncx du procédé Nanocrystals Inside**

### **II-1) État de l'art sur la profondeur maximum explorée $x_m$**

Comme nous l'avons vu, la profondeur maximale explorée par le pompage de charges 2 niveaux fait face à des limites différentes en fonction des conditions expérimentales, notamment en fréquence et en amplitude des impulsions. Ces conditions expérimentales sont parfois elles aussi gouvernées par la profondeur des pièges elle-même, notamment l'apparition d'un courant pompé mesurable à BF pour des structures contenant des pièges lents. Alors, quelles sont les conséquences de ces contributions à BF sur les profils en profondeur des pièges ?

#### **II-1-1) Profils en profondeur pour des oxydes vierges**

Maneglia présente des distributions de pièges dont la position en profondeur dans l'oxyde ne dépassent pas 1 nm [5]. Il explique que cette limitation des mesures à des impulsions d'amplitudes

$\Delta V_G \leq 3V$  a pour effet de limiter la profondeur explorée. Ainsi, bien souvent ces limitations physiques étaient fixées par le type d'information que l'on souhaitait obtenir. Dans le cas des pièges d'interface par exemple, il n'était en effet pas d'une grande utilité d'augmenter l'amplitude des impulsions, ni même sonder les pièges à basse fréquence. D'autre part, l'absence de mesures à des fréquences inférieures à 1 kHz limite les durées d'inversion et donc la possibilité de capturer des charges en profondeur dans l'oxyde. Cependant, cette limitation en fréquence est due à une absence de signal de courant pompé à BF dans les oxydes vierges.

### ***II-1-2) Distribution en profondeur dans des structures SONOS***

Nous avons vu que Paulsen obtenait des profondeurs de pièges plus élevées, à savoir entre 1,5 et 2,2 nm, dans le cas de transistor MOS irradiés ou de mémoires SONOS à faible épaisseur d'oxyde tunnel (1,2 nm) [12, 13]. Contrairement à Maneglia, les composants testés par Paulsen et al. présentent des pièges lents, ce qui permet de récolter du signal à BF. D'ailleurs la charge pompée est de plus en plus élevée au fur et à mesure que la fréquence diminue. De plus, les mesures réalisées par Paulsen et al. descendent jusqu'à l'hertz. Cependant, la basse fréquence seule ne suffit pas si l'on souhaite sonder des pièges au-delà de 2 nm, il est nécessaire d'utiliser également des impulsions d'amplitude supérieure à celles utilisées par Maneglia pour l'étude d'oxydes minces vierges. Les courbes  $Q_{CP}(f)$  présentent alors une forte remontée monotone de la charge recombinée jusqu'aux plus basses fréquences testées. Cette croissance monotone (Figure IV. 9) montre qu'il s'agit bien d'une couche de pièges qui est sondée par CP (couche de nitrure dans les SONOS) et que plus la fréquence est basse, plus on sonde loin les pièges dans cette couche. L'augmentation de  $Q_{CP}$  est alors due à la cumulation des charges depuis le début de la couche de nitrure jusqu'à la profondeur maximale atteinte à très basse fréquence.

### ***II-1-3) Distribution en profondeur dans des transistors à isolant de grille high-k***

En dehors des MOS vierges testées par Maneglia et les SONOS étudiés par Paulsen, des mesures de CP ont été effectuées dans les transistors contenant un isolant de grille à forte permittivité diélectrique. Dans le cas de transistors à  $HfO_2$ , nous pouvons prendre l'exemple des travaux de Militaru et al., qui ont étudié les pièges dans des structures incluant une couche interstitielle de 1,1 nm de  $SiO_2$ . Comme Paulsen (Figure IV. 9 et Figure IV. 10 b), ils obtiennent deux contributions à la charge totale recyclée sur les courbes  $Q_{CP}(\log(f))$ , comme le montre la Figure IV. 14 ci-dessous :

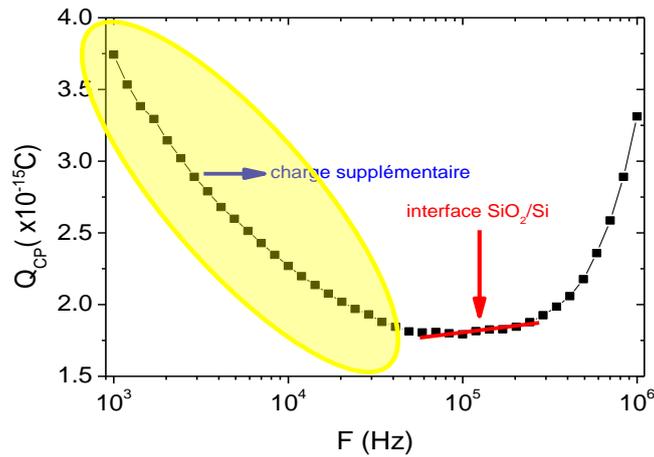


Figure IV. 14 : Evolution de la charge recombinée  $Q_{CP}$  en fonction de la fréquence utilisée pour réaliser des mesures de pompage de charge 2 niveaux sur des transistors à isolant de grille en  $HfO_2$  [21]

Comme pour Paulsen, la plus forte contribution de  $Q_{CP}$  est obtenue à basse fréquence, même si celle-ci se limite ici au kHz. La pente en rouge correspond à la contribution des pièges d'interface Si/SiO<sub>2</sub> dont la densité de ces défauts est standard ( $\approx 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ ). Du fait de la forte pente de cette courbe à BF, la distribution en profondeur des pièges ne suit pas la même loi que les profils de Maneglia obtenus pour les oxydes vierges. Cependant, comme le prévoit Maneglia, il est parfois difficile d'extraire le courant à BF du bruit. Ainsi, pour découpler la charge pompée à BF des courants de fuite de la grille, Militaru et al. appliquent systématiquement une correction [21] permettant d'éliminer les courants de fuite tunnel depuis la grille et de tracer  $Q_{CP}=f(\log(f))$  uniquement à partir de la composante de courant pompé  $I_{CP}$ . La figure ci-dessous présente ces courbes avant et après correction [21] pour des transistors NMOS a) dans le cas où le dépôt de la couche de  $HfO_2$  génère des défauts dans l'oxyde SiO<sub>2</sub>, b) lorsque ce dépôt est optimisé et que la couche interstitielle de SiO<sub>2</sub> ne contient plus de pièges en volume :

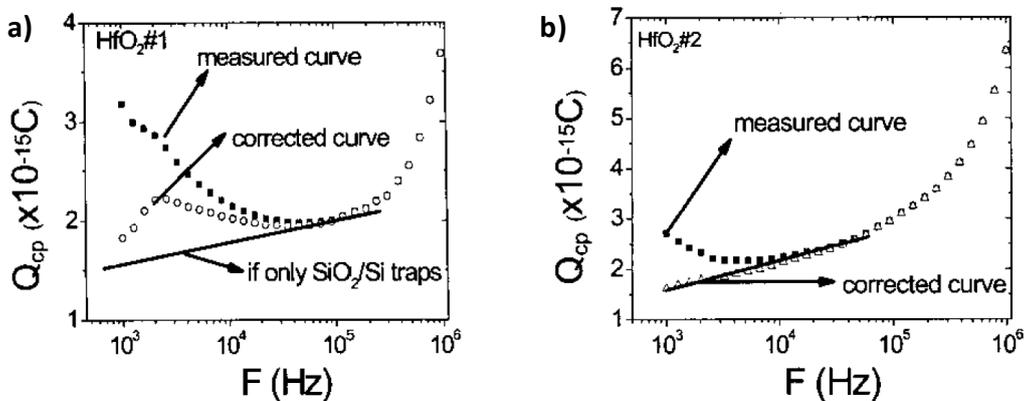


Figure IV. 15 : Courbes  $Q_{CP}(\log(f))$  de transistors  $HfO_2$  contenant une couche interstitielle de SiO<sub>2</sub> : a) lorsque le dépôt de la couche de  $HfO_2$  génère des défauts de volume dans le SiO<sub>2</sub>, b) lorsque le dépôt est optimisé et les seuls pièges restants sont ceux à l'interface Si/SiO<sub>2</sub> [21]

Cette figure montre que la correction permet de supprimer complètement la composante de  $Q_{CP}$  augmentant à BF dans le cas d'un oxyde  $SiO_2$  ne contenant pas de pièges de volume (b). La courbe corrigée montre alors une variation linéaire de  $Q_{CP}$  avec  $\ln(f)$  à BF, dans la continuité de la pente caractéristique des pièges à l'interface  $Si/SiO_2$  identifiée Figure IV. 14. Sur la courbe (a), malgré l'application de la correction, l'augmentation à BF de  $Q_{CP}$  persiste et passe désormais par un maximum à  $f=2$  kHz. Ce « maximum local » de charge pompée à BF n'est du ni aux pièges d'interface  $Si/SiO_2$ , ni à un courant de fuite de la grille. Il s'agit d'une composante additionnelle de charge pompée due à des pièges lents dans le  $SiO_2$ . La distribution en profondeur de pièges de densité  $N_t(x)$  extrait par Militaru et al. dans le cas correspondant à la Figure IV. 15 a) est présenté Figure IV. 16 :

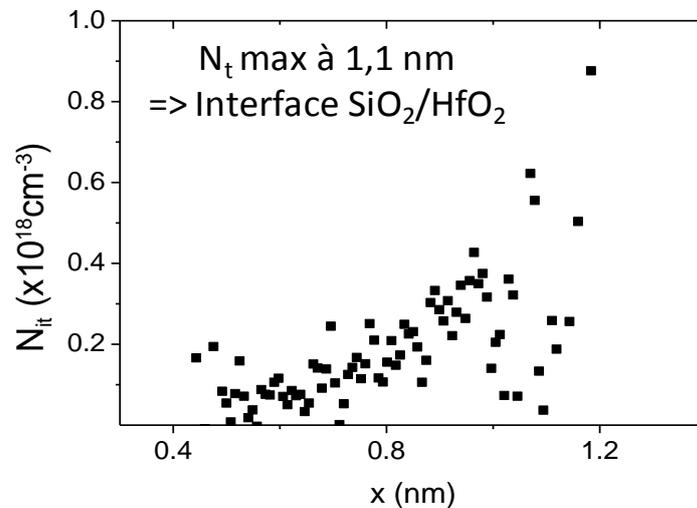


Figure IV. 16 : Profil  $N_t(x)$  des pièges situés entre 0,4 et 1,2 nm de l'interface avec le substrat dans le cas d'un transistor contenant une couche de  $HfO_2$  déposée sur un oxyde  $SiO_2$  de 1,1 nm d'épaisseur [21]

Cette figure montre une concentration de pièges répartis entre 0,4 et 1,2 nm, avec une concentration maximum à une distance de 1,1 nm de l'interface avec le substrat. Cette profondeur coïncide parfaitement avec la position de l'interface  $SiO_2/HfO_2$ . Les pièges caractérisés dans la gamme 0,4 - 1,2 nm correspondent donc à des pièges dans le volume de l'oxyde  $SiO_2$ .

L'analyse de ces résultats de mesures CP dans une couche interstitielle de  $SiO_2$  est intéressante car elle possède une analogie à souligner avec notre système  $SiO_2$  où le plan 2D de  $Si\text{-}ncx$  inséré dans l'oxyde de grille peut être vu par les pièges comme une couche interstitielle, d'une certaine épaisseur. Le piégeage de charge dans le cas de Militaru et al. étant limité à une certaine profondeur égale à l'épaisseur de la couche interstitielle de  $SiO_2$  (1,1 nm), il est possible que la diminution de  $Q_{CP}$  aux plus basses fréquences sur la courbe corrigée Figure IV. 15 a) soit due à l'arrivée des charges à l'interface  $SiO_2/HfO_2$  et donc à la limite de la zone pouvant piéger ces charges. Ceci expliquerait l'allure en « bosse » (maximum local) de  $Q_{CP}$  à BF. Paulsen et al. n'ont en revanche pas pu observer cette bosse même en abaissant les mesures à très basse fréquence (1 Hz) certainement à cause de

l'épaisseur de la couche de nitrure (4,8 nm) à laquelle s'ajoute l'épaisseur de l'oxyde sous-jacent (1,2 nm). Alors la profondeur explorée n'a pas du dépasser cette épaisseur totale au-delà de laquelle la couche de nitrure s'arrête et donc le piégeage également.

#### **II-1-4) Distribution en profondeur dans des transistors à Si-ncx près de l'interface**

A notre connaissance, seules deux références (Masson et al. et Souifi et al. [22, 23]) sont dédiées à l'étude par pompage de charge de nanocristaux dans des composants mémoires de type non-volatile. La fiabilité et la précision du CP en font pourtant une technique reine pour la caractérisation de pièges dans tous types de transistors, comme nous l'avons vu ci-dessus. En parallèle, nous avons également discuté du fort potentiel des mémoires à Si-ncx pour les mémoires non volatiles. Ainsi, il existe un manque à combler dans la caractérisation des ncx une fois que ceux-ci sont intégrés dans un dispositif en fonctionnement.

Les dispositifs étudiés par Souifi et al. sont des transistors NMOS contenant un plan de Si-ncx de 5 nm en moyenne déposés par LPCVD sur un oxyde d'injection d'épaisseur comprise entre 0,8 nm et 4,0 nm. Les ncx sont ensuite encapsulés dans un oxyde déposé à haute température (HTO). Une coupe transverse du composant est présentée Figure IV. 17 a). La Figure IV. 17 b) présente les courbes  $Q_{CP}(\log(f))$  obtenus sur par mesures CP 2 niveaux sur deux composants dont l'oxyde d'injection est d'épaisseur  $t_{ox}=0,8$  nm, l'un avec Si-ncx et l'autre sans Si-ncx.

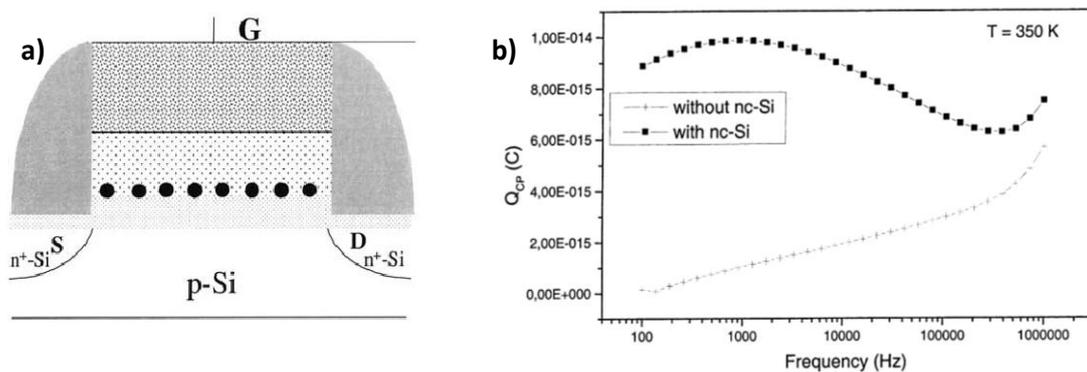


Figure IV. 17 : Coupe schématique d'un composant mémoire à Si-ncx déposé sur un oxyde de 0,8 nm d'épaisseur, b) courbe  $Q_{CP}(\log(f))$  obtenus sur ce composant ainsi que sur sa référence sans Si-ncx, à  $T=350K$

La faible distance entre le substrat et le plan de Si-ncx fait que ceux-ci peuvent recombiner la charge par effet tunnel direct. Les courbes en (b) montrent que pour une épaisseur d'oxyde de 0,8 nm on observe, comme pour Militaru et al., un maximum local de charge pompée à BF. Cette forte contribution est attribuée aux Si-ncx, qui ont alors une réponse maximum à  $f=1$  kHz et prédominent

jusqu'à 400 kHz (fréquence de coupure). Au-delà, ce sont les pièges d'interface Si/SiO<sub>2</sub> qui contribuent à la charge recombinée. Souifi et al. précisent que la gamme de fréquence sur laquelle peuvent être étudiés les Si-ncx dépend de l'épaisseur de l'oxyde d'injection. En effet, pour un même composant avec  $t_{ox}=2,0$  nm, la fréquence de coupure du signal des Si-ncx est réduite à 60 kHz. On peut en déduire que pour des épaisseurs encore supérieures, la gamme de fréquence de réponse des Si-ncx diminue du côté des HF. On retrouve alors les conclusions de Paulsen, à savoir que plus les pièges sont loin de l'interface et plus on doit diminuer en fréquence. Enfin, cette étude montre que l'étude de pièges lointains comme ces Si-ncx situés à 2,0 nm de l'interface est possible par CP.

Masson et al. utilisent le même type de composants, avec cette fois-ci des épaisseurs d'oxyde d'injection comprises entre 1,3 et 2,3 nm. Les courbes  $Q_{CP}(\log(f))$  prises à différentes amplitudes  $\Delta V_G$  entre 3V et 6,5V sur un transistor à Si-ncx avec une épaisseur d'oxyde d'injection de 1,3 nm sont données Figure IV. 18 a). Un échantillon de référence (sans Si-ncx) est également testé à  $\Delta V_G=2V$ .

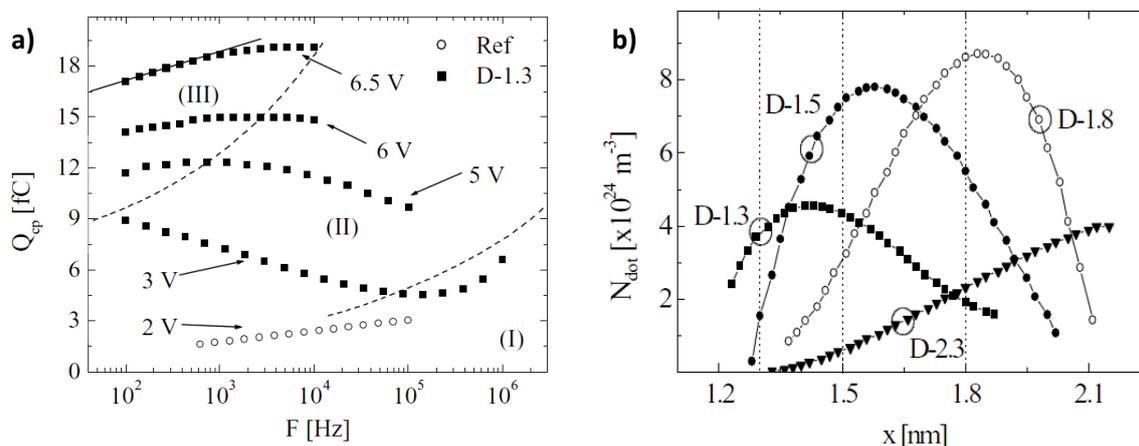


Figure IV. 18 : a) Réseau de courbes  $Q_{CP}(\log(f))$  d'un MOSFET à Si-ncx avec  $t_{ox}=1,3$  nm, pour des valeurs de  $\Delta V_G$  entre 3 et 6,5V ainsi qu'à 2V pour la référence sans ncx, b) profils en profondeurs extraits à partir de la relation donnée par Maneglia

On remarque un effet marqué de l'augmentation de  $\Delta V_G$  sur l'allure et la pente de  $Q_{CP}$  à BF. Pour  $\Delta V_G=3V$ , on obtient une augmentation linéaire de  $Q_{CP}$  avec la réduction en fréquence. Cependant, à  $\Delta V_G=5V$  la pente s'inverse et une réponse maximum des Si-ncx est obtenue pour une fréquence d'environ 400 Hz. En passant à  $\Delta V_G=6,5V$ , la pente est élevée pour des fréquences inférieures à 1 kHz et elle est quasiment nulle au-dessus. En reprenant l'analyse faite par Maneglia sur le réseaux de courbes  $Q_{CP}(\log(f))$  présenté Figure IV. 13 a), on rappelle que les pentes élevées correspondent à des densités fortes de pièges et que des valeurs élevées de  $\Delta V_G$  correspondent à des distances en profondeur plus importantes en accord avec Masson et al. Ainsi, ils définissent trois régions sur ce réseau de courbes : (I) correspond à une réponse uniquement des pièges d'interface Si/SiO<sub>2</sub>, (II) correspond à une réponse partielle à la fois des pièges lointains et des pièges d'interface et

(III) correspond uniquement à une réponse de la part de ces pièges lents du fait de la valeur élevée de  $\Delta V_G$ . Ces pièges lents de forte densité répondent alors à BF ( $< 1$  kHz).

La Figure IV. 18 b) montre la correspondance entre la position connue des Si-ncx (déposés sur des couches de SiO<sub>2</sub> allant de 1,3 à 2,3 nm) avec les positions données par l'extraction des profils des pièges profonds de l'oxyde. Pour s'assurer que les pièges lents sondés sont bien les Si-ncx, d'une part la densité est calculée en intégrant les profils en profondeurs puis comparée aux densités connues des Si-ncx. D'autre part, Masson et al. proposent un jeu d'équations permettant de tracer l'histogramme de la densité des pièges sondés en fonction de leur diamètre effectif :

$$\begin{cases} S_{eff}(F) = \frac{2qF}{Q_n F_{imp} T_E} \\ D_{dot}(F) = \frac{1}{qA_G} (Q_{CP}(F) - Q_{CP}(F - \Delta F)) \end{cases} \quad \text{Équation 34}$$

L'histogramme en taille extrait de ce jeu d'équations appliqué aux transistors à Si-ncx proposé par Masson et al. est donné Figure IV. 19 :

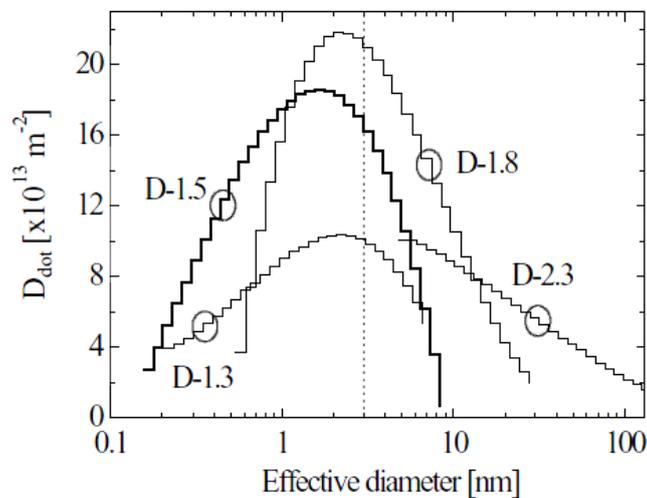


Figure IV. 19 : Histogramme de la densité de pièges en fonction de leur diamètre effective

Cette figure montre que la taille moyenne des pièges sondés est centrée sur une valeur d'environ 3 nm pour l'ensemble des composants testés. Cette taille de pièges est la même que celles des Si-ncx, ce qui permet à Masson et al. de conclure que les pièges de forte densité répondant à BF à l'aide de fortes valeurs de  $\Delta V_G$  sont bien les Si-ncx, sondés entre 1,3 et 2,3 nm.

## II-2) Mesures de CP à 2 niveaux en mode « Base Level » sur les MOSFET à Si-n<sub>x</sub>

L'état de l'art précédent sur les profondeurs sondées en fonction du type de dispositif étudié et des conditions expérimentales permettra une analyse précise des résultats présentés ci-dessous sur nos composants à Si-n<sub>x</sub>. On peut également voir dans cet état de l'art qu'il n'y a aucune trace dans la littérature de pièges sondés par CP au-delà de 2,2 nm [13, 22]. De manière plus générale, de nombreux auteurs donnent chacun une valeur « chiffrée » de la profondeur maximum explorée par pompage de charges qui n'est finalement pas clairement définie. En fait, il n'y a pas « une » valeur limite, mais celle-ci dépend avant tout des conditions expérimentales choisies pour les mesures ainsi que de la valeur de certains paramètres et aussi des caractéristiques des échantillons (technique de synthèse...). C'est ce que nous verrons un peu plus tard.

### II-2-1) Présentation des échantillons étudiés

Nous voulons savoir s'il est possible de sonder le plan de Si-n<sub>x</sub> de nos composants par pompage de charges. Pour cela nous avons réalisé des mesures CP à 2 niveaux, en mode « Base Level ». La technique utilisée pour l'extraction des distributions en profondeur est celle de Maneglia [5] et le jeu d'équations donné par Masson et al. (équation 34) sera utilisé pour déterminer les histogrammes de taille des pièges sondés. Les échantillons dédiés à cette étude sont des transistors TCC réalisés par le procédé Nanocrystals Inside, implantés à 1 keV. Cette série d'échantillons est notée « 8-1k ». L'épaisseur d'oxyde de grille initiale avant implantation et recuit thermique est de 8,5 ± 0,2 nm. Les conditions de synthèse du plan de Si-n<sub>x</sub> sont données dans le Tableau 24 suivant :

Série	Préparation interface	Implantation	Recuit de synthèse
4	Nanocrystals Inside	non	non
8-1k	Nanocrystals Inside	1 keV / $1.10^{16} \text{ cm}^{-2}$	{1050°C, 30 min, N <sub>2</sub> } + {950°C, 30min, N <sub>2</sub> + 1,5%O <sub>2</sub> }

Tableau 24 : Conditions de synthèse des Si-n<sub>x</sub> pour les TCC implantés à 1 keV (série 8-1k). La série 4 est une série d'échantillons de référence, sans Si-n<sub>x</sub>

Comme à notre habitude, des échantillons de références sans nanocristaux (série 4) seront testés et comparés.

## II-2-2) Obtention des courbes $I_{CP}(V_I)$

Le pompage de charges 2 niveaux est alors réalisé en mode « base sweep » avec des amplitudes  $\Delta V_G$  allant de 2 à 5V, tant pour les transistors à Si-nx que pour les transistors vierges de nanocristaux (série 4), ceci dans le but de sonder les pièges à différentes profondeurs pour ces deux types de composants contenant à priori des populations différentes de pièges.

Comme nous l'avons précisé précédemment, contrairement à Maneglia, nous n'imposons pas de limite de mesures en BF, tant que du courant pompé est mesurable, afin de rechercher la réponse éventuelle de pièges lents. La figure ci-dessous présente les courbes  $I_{CP}(V_I)$  prises à de nombreuses fréquences et pour une amplitude d'impulsion constante  $\Delta V_G = 2V$  sur un transistor 8-1k (implanté à 1 keV) et un transistor vierge :

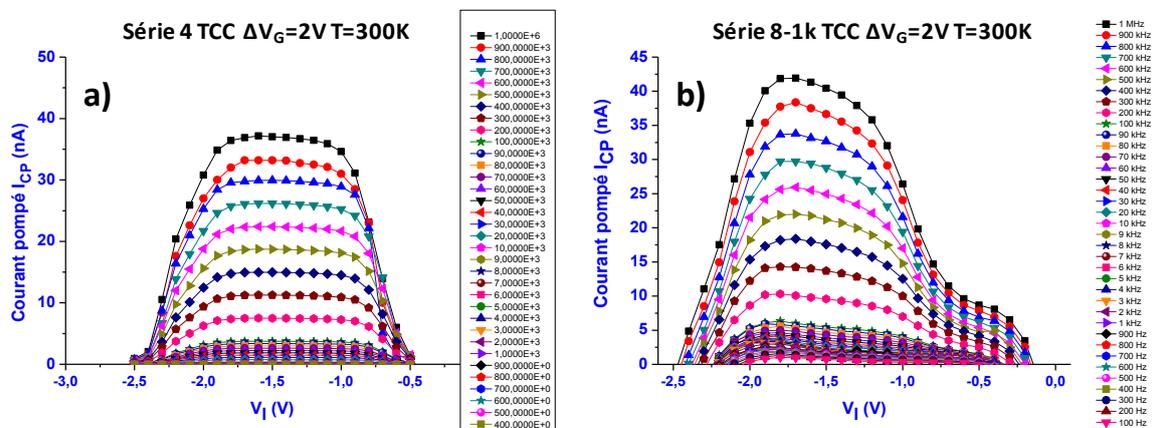


Figure IV. 20 : Courbes  $I_{CP}(V_I)$  prises pour un grand nombre de fréquences a) comprises entre 400 Hz et 1 MHz sur un TCC vierge (série 4), b) comprises entre 100 Hz et 1 MHz sur un TCC implanté à 1 keV (série 8-1k), à température ambiante et pour  $\Delta V_G = 2V$

## II-2-3) Détermination de la densité $N_{SS}$

Nous avons vu en I-3-2b) qu'il est possible de déterminer la densité de pièges d'interface à l'aide de ces courbes. En considérant les courants  $I_{CPmax}$  sur courbes  $I_{CP}(V_I)$  prises à  $f=1$  MHz et en déterminant les tensions  $V_{th}$  et  $V_{fb}$  à partir des flancs de la courbe pris à mi-hauteur, on obtient les valeurs compilées dans le tableau suivant :

Série	f	$I_{CPmax}$ (nA)	$V_{th}$ (V)	$V_{fb}$ (V)	$N_{SS}$ (cm <sup>-2</sup> )
4	1 MHz	38	0,15	-0,75	$2,49.10^{10}$
8-1k	1 MHz	42	0,15	-1	$2,78.10^{10}$

Tableau 25 : Valeurs de  $V_{th}$ ,  $V_{fb}$  et  $N_{SS}$  extraites des mesures  $I_{CP}(V_I)$  pour les transistors à Si-nx de la série 8-1k et les transistors vierges de la série 4

Les densités de pièges d'interface obtenues pour les transistors des séries 4 et 8-1k sont toutes deux faibles, dans une gamme standard pour les défauts d'interface de composants MOS (entre  $10^{10}$  et  $10^{11}$   $\text{cm}^{-2}$ ). Ainsi après recuit, les effets de dégradation de l'interface Si/SiO<sub>2</sub> dus à l'implantation ionique à basse énergie sont très faibles.

### II-2-4) Courbes $I_{CP}(\log(f))$ et $Q_{CP}(\log(f))$

En collectant les valeurs  $I_{CPmax}$  obtenues au maximum des courbes  $I_{CP}(V_i)$  pour chaque fréquence, on trace alors les courbes donnant  $I_{CP}$  en fonction du logarithme de la fréquence. A partir de ces courbes  $I_{CP}(\log(f))$ , on peut alors extraire les courbes  $Q_{CP}(\log(f))$  en utilisant la relation  $Q_{CP}=I_{CP}/f$ . Les courbes  $I_{CP}(\log(f))$  et  $Q_{CP}(\log(f))$  dans le cas d'un transistor vierge (série 4) sont données sur la Figure IV. 21 ci-dessous :

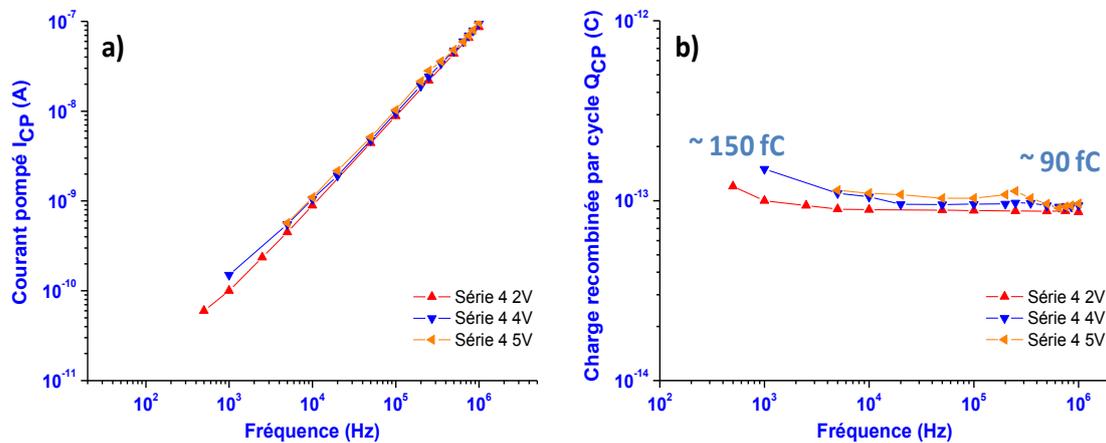


Figure IV. 21 : a) Courbes  $I_{CP}(\log(f))$  et b)  $Q_{CP}(\log(f))$  obtenues sur un TCC de la série 4, avec  $\Delta V_G=2V$  à 300K

La figure ci-dessus montre que le courant pompé augmente linéairement avec la fréquence sur toute la gamme testée entre 500 Hz et 1 MHz, quelque soit l'amplitude des impulsions entre 2V et 5V. Ce résultat se traduit par une quantité de charge recombinaée par cycle  $Q_{CP}$  faiblement dépendante de la fréquence et quasiment identique pour les différentes tensions testées. De ce fait, nous n'utiliserons par la suite que les résultats obtenus pour  $\Delta V_G=2V$ . La courbe représentative est linéaire et de pente quasiment nulle, allure caractéristique des pièges d'interface. La faible quantité de charge sondée, de l'ordre de la centaine de fC est en accord avec la faible densité de pièges d'interface extraite précédemment (de l'ordre de  $10^{10}$   $\text{cm}^{-2}$ ). Ce résultat est donc significatif de la seule présence des pièges d'interface, et donc de l'absence de pièges lents dans les oxydes vierges.

Les courbes  $I_{CP}(\log(f))$  et  $Q_{CP}(\log(f))$  dans le cas de transistors implantés à 1 keV et sous des impulsions dans la gamme 2V-5V sont présentées ci-dessous :

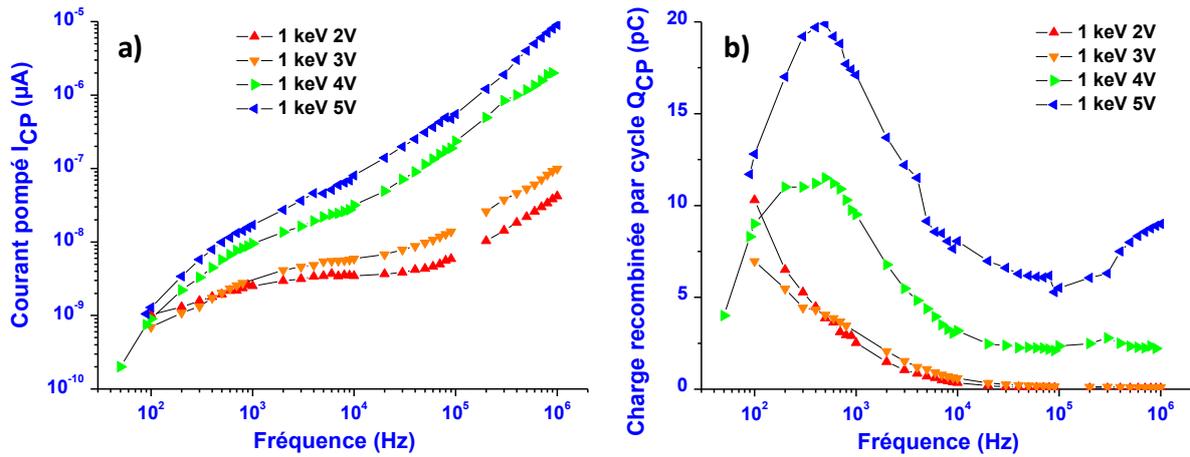


Figure IV. 22 : a) Courbes  $I_{CP}(\log(f))$  et b)  $Q_{CP}(\log(f))$  obtenues sur des TCC des séries 8-1k pour des valeurs de  $\Delta V_G$  de 2V, 3V, 4V et 5V

Les résultats obtenus sur les TCC implantés sont bien différents de ceux obtenus sur les oxydes vierges. Le courant pompé  $I_{CP}$  est linéaire en fonction de la fréquence aux HF (entre 100 kHz et 1 MHz) tout comme dans le cas des transistors vierges et devient non linéaire aux BF, ce qui se traduit sur les courbes  $Q_{CP}(\log(f))$  par des « maximum locaux » pour des fréquences comprises entre 100 Hz et 10 kHz. Ces maxima locaux ne sont pas présents pour une tension de 2V, mais apparaissent et augmentent progressivement de  $\Delta V_G=3V$  jusqu'à 5V. Ce changement du sens de la pente à BF avait déjà été montré par Masson et al. (Figure IV. 18), ainsi que par Soufi et al. [23] et Militaru et al. [21]. Le tableau ci-dessous présente les caractéristiques de ces maxima locaux de charge recombinaison en profondeur dans l'oxyde :

Série	$\Delta V_G$ (V)	$Q_{CPmax}$ (pC)	f (Hz)
8-1k	3	4	300
	4	11	300
	5	20	500

Tableau 26 : Quantité de charge recombinaison et fréquence correspondant aux maxima locaux observés sur les courbes  $Q_{CP}(\log(f))$  dans le cas des transistors TCC de la série 8-1k en fonction de l'amplitude  $\Delta V_G$  entre 3V et 5V

Comme le montre ce tableau, l'augmentation des impulsions de 3V à 5V aboutit à une plus grande quantité de charges détectées (respectivement de 4 à 20 pC), ce qui est normal puisque cela a pour effet d'augmenter la distance maximum sondée et donc d'augmenter la probabilité que les électrons rencontrent les nanocristaux. Ces maxima locaux sont obtenus à la même fréquence, aux barres d'erreurs près. Ainsi, il existe en profondeur dans l'oxyde une distribution de pièges de faible

dispersion recombinant la charge à chaque cycle. La densité de ces pièges est élevée car la charge recombinée est de l'ordre de la dizaine de pC tandis que les pièges d'interface ne recombinent une charge totale que d'environ 100 fC. Cet écart de deux ordres de grandeurs doit se traduire dans la densité des pièges considérés, ce qui est la preuve que les pièges lents présents dans les oxydes implantés ont une densité supérieure à celle des pièges d'interface, soit une densité supérieure à quelques  $10^{10} \text{ cm}^{-2}$ . Le fait que ces maxima soient obtenus à la même fréquence exclu de facto le piégeage par les défauts générés par les impacts ioniques lors de l'implantation. En effet, leur distribution en profondeur qui s'étend sur tout l'oxyde d'injection se traduirait essentiellement par un maximum de charge recombinée étendue et non locale. La présence de ces maxima uniquement dans le cas d'oxydes à Si-ncx, la localisation faiblement étendue en profondeur de ces pièges associée à une forte densité nous permet d'émettre l'hypothèse que ce sont les Si-ncx qui piègent la charge lors de ces mesures à BF par pompage de charge. Nous allons maintenant extraire les distributions en profondeur de ces pièges et les comparer aux caractéristiques structurales des ncx.

## **II-3) Profils en profondeur des pièges pour les transistors vierges et à Si-ncx**

### ***II-3-1) Paramètres à déterminer pour l'obtention des profils***

Nous allons donc maintenant utiliser la technique d'extraction des profils en profondeur de Maneglia pour déterminer la profondeur des pièges lents caractérisés précédemment. Cette technique qui permet de sonder les pièges dans un continuum de distance jusqu'à  $x_m$  à partir de l'interface Si/SiO<sub>2</sub> semble bien adaptée à notre système, dont l'oxyde est peuplé de pièges potentiels à différentes profondeurs (pièges d'interface, défauts d'implantation, plan de Si-ncx). La procédure d'extraction repose sur la détermination des paramètres du jeu d'équation 30 mais que l'on rappelle ici pour une lecture plus aisée de la suite de ce paragraphe :

$$\begin{cases} x_m = \lambda_{e,h} \ln \left( \frac{-c_{n,p}(0)}{\ln(0,5)2f} \right) \\ N_t(x_m) = \frac{-1}{qA_G \Delta E \lambda_{e,h}} \frac{dQ_{CP}}{d \ln f} \end{cases}$$

Nous donnons ci-dessous les relations gouvernant les paramètres de l'équation 32.

### ***II-3-1 a) Paramètres gouvernant la relation donnant la profondeur $x_m$***

#### ***La constante d'atténuation tunnel $\lambda_e$***

La profondeur maximum explorée, qui a fait le sujet d'une étude toute particulière dans la sous-

partie II-1 de ce chapitre, dépend étroitement d'une part de la valeur du coefficient d'atténuation tunnel  $\lambda_e$  et du taux de capture des porteurs  $c_{n,p}(0)$ . Pour faciliter le propos et les notations, nous prendrons ci-dessous l'exemple du piégeage d'électrons. Le coefficient d'atténuation tunnel des électrons  $\lambda_e$  est donné par la relation suivante :

$$\lambda_e = \frac{\hbar}{2\sqrt{2m_e^*\phi_e}} \quad \text{Équation 35}$$

Où  $m_e^*$  est la masse effective des électrons dans le SiO<sub>2</sub>,  $\Phi_e$  est la hauteur de barrière à l'interface Si/SiO<sub>2</sub> vue par les électrons et  $\hbar$  la constante de Planck réduite. Dans la littérature,  $\Phi_e$  est parfois pris à sa valeur théorique qui est environ de 3,1 eV. Lorsque cela est possible, il est préférable de déterminer sa valeur expérimentale, par la méthode utilisée dans le chapitre 2. Dans notre cas où les oxydes sont implantés, il est même indispensable de procéder à l'extraction de valeurs expérimentales de cette hauteur de barrière puisque l'implantation endommage la qualité diélectrique du SiO<sub>2</sub> et peut faire fortement chuter la valeur de la hauteur de barrière [24].

De même, la valeur de masse effective des électrons utilisée dans la littérature est souvent prise à  $0,5m_e$ , où  $m_e$  est la masse de l'électron dans le vide. Cependant, il a été montré que la valeur à considérer pour cette masse effective dans une couche mince de SiO<sub>2</sub> à température ambiante est de  $0,41m_e$  [25, 26], voire  $0,3m_e$  [26]. Nous utiliserons ici une masse effective de  $0,41m_e$  pour l'extraction des profils.

Les effets conjugués d'une diminution de  $\Phi_e$  et de  $m_e^*$  ont pour conséquence une augmentation de  $\lambda_e$  qui impacte au premier ordre la distance maximum explorable  $x_m$ .

### **Le taux de capture des électrons $c_n(0)$**

Nous avons vu précédemment que le taux de capture des électrons, donné par la statistique Shockley-Read-Hall [16, 17], s'exprime de la façon suivante (équation 18) :

$$c_n(0) = n_s \sigma_n(0) v_{th},$$

Où l'équation 22 donne :

$$\sigma_n(0) = \sigma_n(x) \exp\left(\frac{x}{\lambda_e}\right),$$

Où la mesure de la fréquence de coupure  $f_0$  sur la courbe  $Q_{CP}(\log(f))$  à  $Q_{CP}=0$  permet d'extraire une valeur approximée de la section de capture  $\sigma_n(x)$  grâce à la relation suivante :

$$\sigma_n(x) \approx \frac{2\Delta V_G f_0}{v_{th} n_i |V_{th} - V_{fb}|}$$

Équation 36

Ainsi, lorsque  $\Delta V_G$  et/ou  $f_0$  augmentent,  $\sigma_n(x)$ ,  $\sigma_n(0)$  et  $c_n(0)$  augmentent. Cependant, ce sont davantage les variations du rapport  $x/\lambda_e$  qui fera fortement varier  $\sigma_n(0)$  du fait de l'exponentielle. Le rôle de la distance tunnel de capture  $x$  est alors du premier ordre. Dans l'étude de pièges lents, l'augmentation de la distance tunnel de capture  $x$  écrante l'augmentation potentielle de  $\lambda_e$  et évite la diminution de  $\sigma_n(0)$ .

Ainsi, dans le cas de pièges lents sondés dans des oxydes implantés, la profondeur explorée  $x_m$  augmente, sous l'effet cumulé de l'augmentation de la distance tunnel de capture  $x$  et de la constante d'atténuation tunnel  $\lambda_e$ .

### **II-3-1 b) Paramètres gouvernant la relation donnant la densité de pièges $N_t$**

Nous rappelons que les variations de densité de pièges à  $N_t$  suivent l'évolution de la pente de la courbe  $Q_{CP}(\log(f))$  à travers le terme  $dQ_{CP}/d\ln(f)$ , les autres paramètres étant constants.

### **II-3-2) Extraction des profils pour les transistors vierges et implantés**

Les paramètres discutés ci-dessus sont résumés dans le tableau ci-dessous, pour les transistors implantés (série 8-1k) et les transistors sans Si-nex (série 4). L'extraction de profils pour les transistors à Si-nex ne sera réalisée que pour les tensions permettant de sonder suffisamment loin en profondeur pour observer un maximum local de charge recombinée à BF significatif, à savoir pour  $\Delta V_G=4V$  et  $5V$  (Figure IV. 22).

Courbe	$f_0$ (Hz)	$\sigma_n(x)$ (cm <sup>2</sup> )	$n_s$ (cm <sup>-3</sup> )	$\Phi_e$ (eV)	$\lambda_e$ (m)
8-1k 4V	40	$1,80 \cdot 10^{-15}$	$1,07 \cdot 10^{18}$	$2,94 \pm 0,15$	$8,89 \cdot 10^{-11}$
8-1k 5V	50	$2,81 \cdot 10^{-15}$	$1,30 \cdot 10^{18}$		
série 4 2V	250	$7,17 \cdot 10^{-15}$	$7,31 \cdot 10^{17}$	$2,90 \pm 0,07$	$8,95 \cdot 10^{-11}$

Tableau 27 : Synthèse des valeurs calculées et mesurées pour l'extraction des profils en profondeur des pièges contenus dans les oxydes des transistors implantés à 1keV et des transistors vierges. Les références dans la colonne « courbe » renvoient aux courbes Figure IV. 22 b)

### **II-3-2 a) Détermination de $f_0$**

Les courbes  $Q_{CP}(\log(f))$  présentées précédemment Figure IV. 22 b) montrent deux pentes, de chaque côté du maximum local de charge recombinée. La fréquence  $f_0$  relative aux pièges lents est

prise à gauche, du côté des BF, de la même manière que Masson et al. [22]. Il est à noter que la valeur de  $f_0$  impacte peu la valeur de  $x_m$ .

### **II-3-2 b) Détermination de la section de capture**

L'équation 36 permet d'extraire une estimation de la section de capture des pièges sondés. Les valeurs utilisées pour ce calcul sont la vitesse thermique des porteurs  $v_{th}=1,55.10^7$  cm/s<sup>-1</sup>, la concentration intrinsèque des porteurs dans le silicium  $n_i=10^{10}$  cm<sup>-3</sup> et les valeurs  $V_{th}$  et  $V_{fb}$  du Tableau 25. On rappelle que ces sections de capture sont celles vues depuis l'interface, à une distance  $x$  de l'interface dans l'oxyde. La valeur de la section de capture vue depuis l'interface  $\sigma_n(x)$  extraite pour les pièges d'interface (série 4,  $\Delta V_G=2V$ ) est standard. On obtient le même ordre de grandeur pour  $\sigma_n(x)$  dans le cas des transistors implantés, mais pour des tensions plus fortes. En passant de 4V à 5V, la section de capture augmente légèrement, confirmant que l'on sonde plus loin en appliquant une tension plus forte.

### **II-3-2 c) Détermination de $n_s$**

La concentration d'électrons en surface en inversion  $n_s$  est déterminée à partir de l'équation suivante :

$$n_s = n_i e^{(V_s - \phi_{Fi})/kT} \quad \text{Équation 37}$$

Où  $V_s$  est le potentiel de surface,  $\Phi_{Fi}$  le niveau de Fermi intrinsèque et  $k$  la constante de Boltzmann. A température ambiante,  $kT \approx 26$  meV.  $\Phi_{Fi}$  est donné par la relation suivante :

$$\phi_{Fi} = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad \text{Équation 38}$$

Le potentiel de surface  $V_s$  est obtenu en fonction de la polarisation  $V_G$  à partir de la relation suivante :

$$V_G = V_s + \text{signe}(V_s) \cdot \beta \cdot F(V_s) \quad \text{Équation 39}$$

Où  $F(V_s) = e^{(V_s - 2\phi_{Fi})/kT}$  et  $\beta = \frac{\epsilon_s \cdot kT}{e \cdot C_{ox} \cdot L_D}$ , avec  $L_D = \left(\frac{kT \cdot \epsilon_s}{2e^2 \cdot N_A}\right)^{1/2}$  la longueur de Debye et

$C_{ox} = \frac{\epsilon_{SiO_2}}{t_{ox}}$  la capacité de l'oxyde. Ainsi, à partir du dopage du substrat  $N_a=1.10^{16}$  cm<sup>-3</sup> et l'épaisseur

de l'oxyde  $t_{ox}=12$  nm, on peut tracer la courbe  $V_s(V_G)$  ci-dessous :

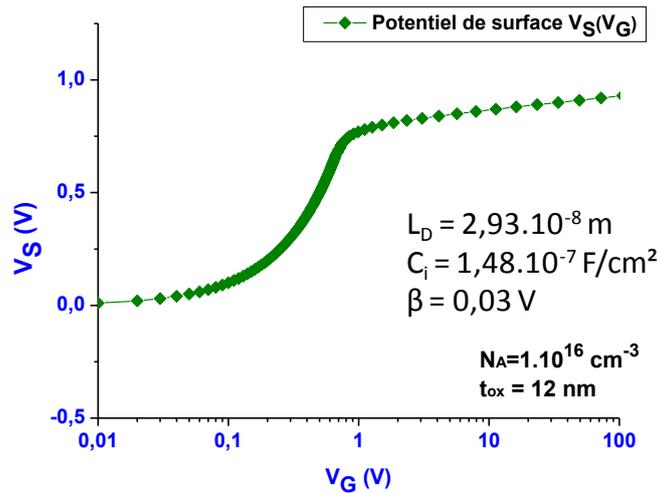


Figure IV. 23 : Variation du potentiel de surface  $V_S$  en fonction de la tension de grille  $V_G$

Sachant que  $V_G = V_h$  en condition d'inversion forte du pompage de charges 2 niveaux en mode « base sweep », la Figure IV. 23 et l'équation 37 permettent alors de déterminer  $n_s$  en fonction de  $V_G$ . Ainsi, parmi nos conditions expérimentales,  $n_s$  ne dépend que de  $\Delta V_G$ .

### II-3-2 d) Détermination des hauteurs de barrière et du coefficient d'atténuation tunnel

Les hauteurs de barrière ont été déterminées par la méthode présentée au chapitre 2. Les hauteurs de barrière  $\Phi_e$  obtenues pour les transistors vierges ou implantés à 1 keV sont toutes deux assez proches de la valeur théorique ( $\Phi_e \approx 3,1 \text{ eV}$ ), ce qui, encore une fois, témoigne de la bonne qualité de ces oxydes. Les transistors implantés à 1 keV présentent un oxyde de grille dont la qualité diélectrique est peu affectée par l'implantation car elle est presque intégralement restaurée par le recuit sous atmosphère légèrement oxydante (Tableau 24). Les coefficients d'atténuation tunnel obtenus présentent alors des écarts avec la valeur théorique de  $0,7 \text{ \AA}$  [5]. Ces différences sont de +27% pour le 8-1k et de 28% dans le cas de composants non implantés (série 4). Ces augmentations de  $\lambda_e$  se répercutent directement sur la longueur  $x_m$ .

Au final, les distributions en profondeurs obtenus grâce à la détermination de tous ces paramètres sont présentées ci-dessous Figure IV. 24 dans le cas de mesures réalisées sous  $\Delta V_G = 3\text{V}$ ,  $4\text{V}$  et  $5\text{V}$  :

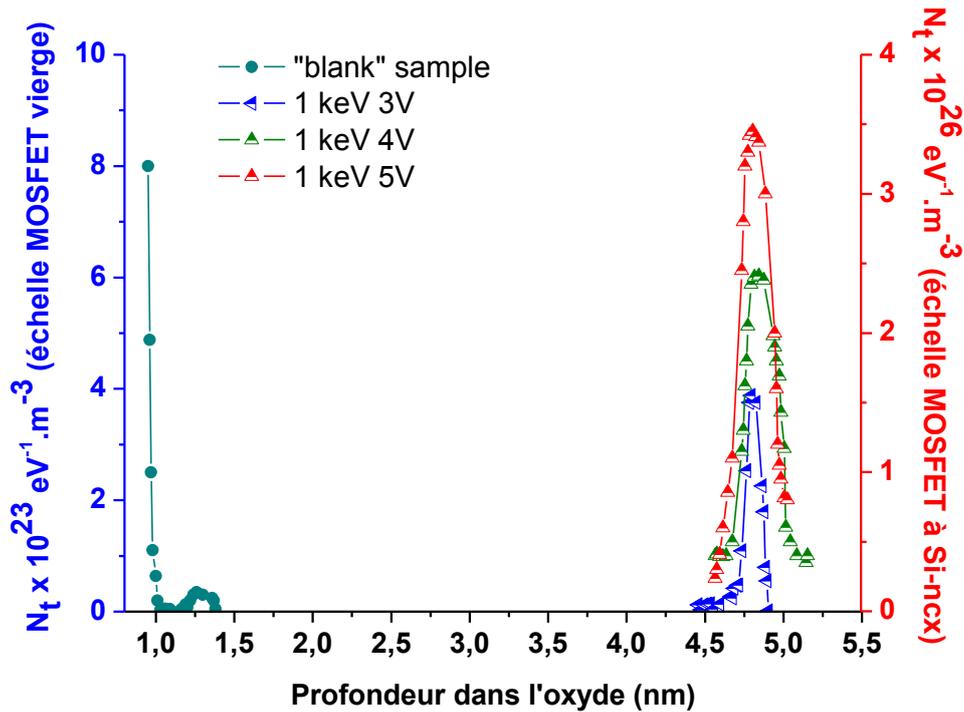


Figure IV. 24 : Profils en profondeur des pièges sondés dans l'oxyde de grille de transistors TCC vierge de la série 4 testé avec  $\Delta V_G=2V$  (motifs ronds, échelle de gauche) et de transistors implantés à 1 keV sous des impulsions de grille  $\Delta V_G =3V, 4V$  et  $5V$

Cette figure montre tout d'abord que le profil en profondeur du TCC de la série 4 présente un profil similaire à ceux obtenus par Maneglia pour les pièges d'interface (Figure IV. 13). La concentration de pièges d'interface  $N_{ts}=8,0 \cdot 10^{23} \text{ eV}^{-1} \cdot \text{m}^{-3}$  est obtenue à une abscisse dans l'oxyde  $x=0,95 \text{ nm}$  (Figure IV. 25 ci-dessous) :

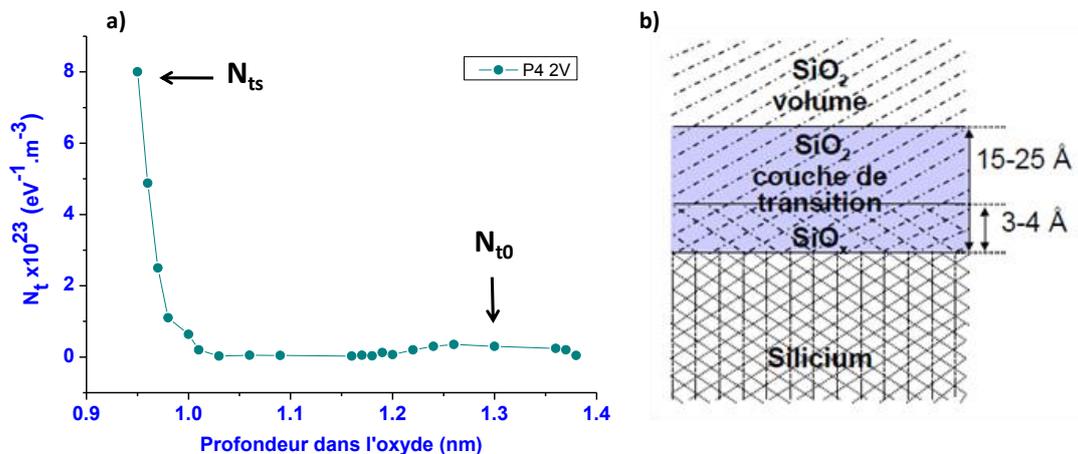


Figure IV. 25 : a) Profil en profondeur des pièges dans l'oxyde obtenu pour un transistor TCC sans ncx (non implanté) de la série 4, b) Structure chimique de l'interface Si/SiO<sub>2</sub> : zone de transition chimique SiO<sub>x</sub> (<2) de quelques angströms puis couche contrainte de l'oxyde (15-25 Å) [5]

On retrouve la loi donnée par Maneglia pour les pièges d'interface (équation 33) :

$$N_t(x) = N_{ts} \exp\left(-\frac{x}{d}\right) + N_{t0}$$

Alors, la concentration de pièges dans le plateau en direction de l'oxyde est  $N_{t0}=3.10^{22} \text{ eV}^{-1}.\text{m}^{-3}$ . Cette concentration de pièges situés entre 1,2 et 1,4 nm correspond à la profondeur de la couche contrainte de l'oxyde, à savoir une couche  $\text{SiO}_2$  contenant un nombre important de défauts (Figure IV. 25 b) [5, 27, 28].

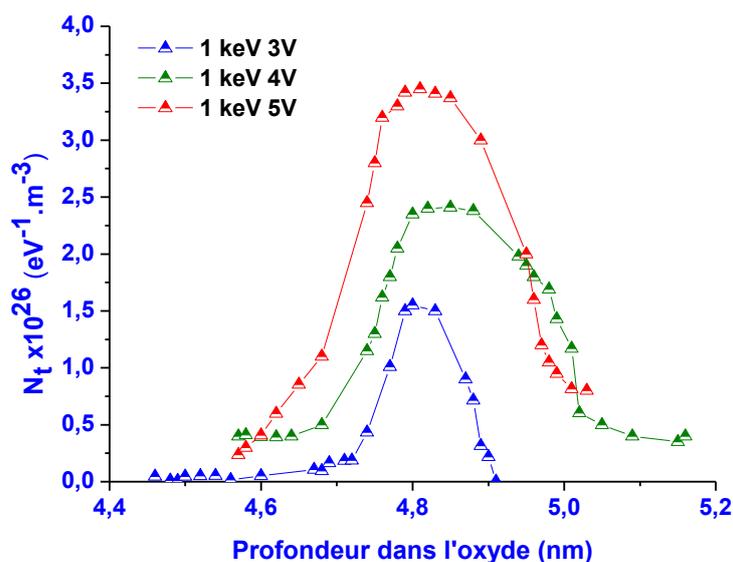


Figure IV. 26 : Profils en profondeur des pièges sondés dans l'oxyde de grille de transistors TCC implantés à 1 keV sous des impulsions de grille  $\Delta V_G = 3\text{V}$ ,  $4\text{V}$  et  $5\text{V}$

La Figure IV. 26 reprend les distributions en profondeur obtenues sur les transistors à  $\text{Si-nxc}$  implantés à 1 keV et présentées initialement Figure IV. 24. On observe alors une distribution gaussienne, semblable au profil de concentration d'implantation ionique et donnant une concentration de pièges de 3 ordres de grandeur au-dessus de celle des pièges d'interface. De plus, les pièges sondés sont d'une part positionnés loin dans l'oxyde (à environ 4,8 nm de distance du substrat) et d'autre part, leur position semble indépendante de la tension appliquée  $\Delta V_G$ . En intégrant ces profils de distribution en profondeur on peut extraire la densité de ces pièges lents, à savoir  $2,4 \pm 0,5 \times 10^{12} \text{ cm}^{-2}$  (pour  $\Delta V_G = 3\text{V}$ ),  $3,6 \pm 0,5 \times 10^{12} \text{ cm}^{-2}$  (pour  $\Delta V_G = 4\text{V}$ ) et  $3,8 \pm 0,5 \times 10^{12} \text{ cm}^{-2}$  (pour  $\Delta V_G = 5\text{V}$ ). La densité et la profondeur de ces pièges lents semblent encore une fois indiquer que ces pièges sont bien les  $\text{Si-nxc}$ . Il est à noter qu'à notre connaissance, jamais une telle profondeur n'a été sondée par CP.

Maintenant, est-il possible de connaître la taille des défauts sondés ? Oui et pour cela nous utilisons encore le jeu d'équation 34, permettant d'obtenir l'histogramme en taille des pièges sondés. Les expressions sont rappelées ci-dessous (équation 34) :

$$\begin{cases} S_{eff}(F) = \frac{2qF}{Q_n F_{imp} T_E} \\ D_{dot}(F) = \frac{1}{qA_G} (Q_{CP}(F) - Q_{CP}(F - \Delta F)) \end{cases}$$

Ce jeu d'équation montre que la densité extraite est une densité de charge, en  $m^{-2}$ . A une constante près, elle ne dépend que de la variation de la charge recombinée entre 2 fréquences ( $\Delta F$  étant le pas en fréquence). La densité de charge piégée peut être ici tracée en fonction de la taille effective des pièges. Pour cela, il faut déterminer les valeurs des paramètres dont dépend  $S_{eff}$ , la surface effective des pièges, à savoir la charge en inversion  $Q_n$ , la fréquence d'impact et le coefficient de transparence  $T_E$ . La charge en inversion s'obtient à partir des courbes  $I_{CP}(V_1)$  en condition d'inversion ( $V_G=V_h$ ). La fréquence d'impact est comprise dans une gamme allant de  $10^{12}$  Hz à  $10^{13}$  Hz, la plupart du temps elle est choisie à la valeur  $F_{imp} \approx 10^{13}$  Hz [22]. Enfin, la transparence de l'épaisseur d'oxyde à travers laquelle transitent les charges avant d'être piégées dépend du champ électrique dans l'approximation WKB [29].

La Figure IV. 27 ci-dessous présente les histogrammes de taille des pièges lents de la série 8-1k extraits des mesures sous les tensions  $\Delta V_G$  de 4V et de 5V. L'historgramme correspondant à  $\Delta V_G=3V$  n'est pas présenté sur cette figure car le signal de la charge recombinée est trop faible pour être correctement exploité.

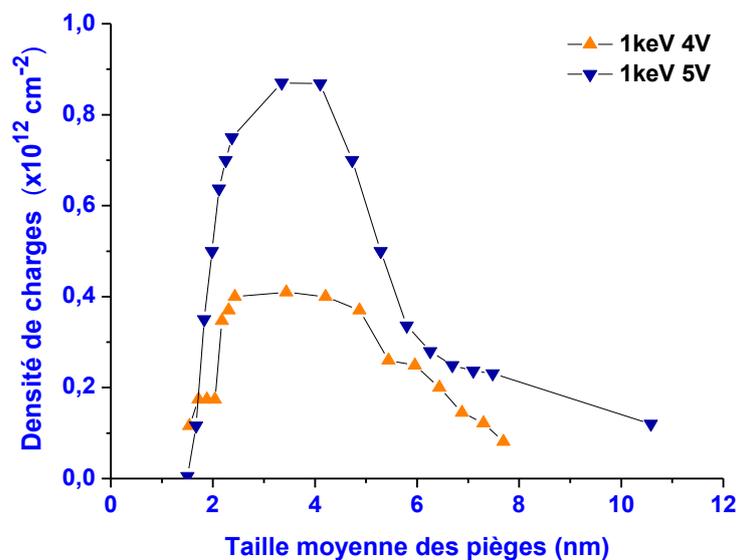


Figure IV. 27 : Histogramme en taille des pièges sondés dans les oxydes de grille des transistors de la série 8-1k

Cette figure montre que la distribution en taille est la même quelque soit la tension appliquée. Elle s'étale de 1,5 à 12 nm, avec un maximum de charge recombinaison autour de  $3,5 \pm 0,5$  nm. Le maximum de charge recombinaison dans l'oxyde correspond à une même distribution de taille des pièges pour les deux tensions appliquées. Celle-ci est comprise entre 2 et 12 nm et présente une valeur moyenne centrée sur  $3,5 \pm 0,5$  nm. Les densités maximum de charge recombinaison sont respectivement de  $4 \times 10^{11} \text{ cm}^{-2}$  ( $\Delta V_G=4\text{V}$ ) et de  $9 \times 10^{11} \text{ cm}^{-2}$  ( $\Delta V_G=5\text{V}$ ).

Les mesures de pompage de charge nous ont donc permis de caractériser des pièges lents inclus dans le volume de l'oxyde pour les transistors à Si-ncx. La densité de ces pièges qui est calculée est supérieure de plus de deux ordres de grandeurs à la densité des pièges d'interface (respectivement  $3,8 \cdot 10^{12}$  et  $2,8 \cdot 10^{10} \text{ cm}^{-2}$ ). A l'issue de ces résultats de pompage de charges riches en informations sur des pièges lents (profondeur dans l'oxyde, densité, taille moyenne, densité de charge recombinaison), nous allons maintenant vérifier qu'il s'agisse bien des Si-ncx en comparant cette étude avec une étude complète de microscopie électronique en transmission qui nous a permis d'imager les Si-ncx, leur position dans l'oxyde de ces composants, leur densité et leur taille effective. Pour cela, nous avons mis en place un projet dans le cadre du réseau METSA (réseau national de plateformes en Microscopie Electronique et Sonde Atomique) en collaboration avec Sylvie Schamm-Chardon (CEMES). Cette étude était assez complexe puisqu'il s'agissait de caractériser les nanocristaux dans le composant lui-même. Pour cela il fallait prélever directement, au cœur du composant, la zone d'intérêt, à savoir la source, le drain, la grille et l'oxyde contenant les nanocristaux. C'est ce processus que nous allons décrire ci-dessous.

### **III) Comparaison des résultats avec des mesures de microscopie**

#### **III-1) Préparation de lames par FIB (Faisceau d'Ions Focalisés)**

Nous sommes équipés au CEMES d'un CrossBeam Zeiss 1540XB à double colonne dont une colonne ionique CANION FIB. Elle possède une résolution de 8 nm à 30 keV et permet notamment de réaliser des lames minces d'une épaisseur pouvant être réduite jusqu'à 50 nm. Ces lames minces, transparentes aux électrons, préparées par Philippe Salles, ont été ensuite observées en Microscopie Electronique à Transmission (TEM).

Nous avons réalisé une lame prélevée dans un transistor TCC de la série 8-1k. Une découpe transverse au-dessus de la grille du transistor permet de prélever le contenu de l'oxyde. Une fois la lame désolidarisée du composant, l'utilisation d'une micropince permet de la prélever et de l'amener au plus près d'une grille de microscopie elle aussi préalablement introduite dans la chambre. Une jonction en platine est réalisée entre la lame et un support de la grille à l'aide d'un module d'injection

de gaz (GIS) permettant de déposer de métaux ou d'isolants. La Figure IV. 28 ci-dessous présente des images FIB de ces étapes allant de la découpe de la lame à sa fixation sur la grille de microscopie :

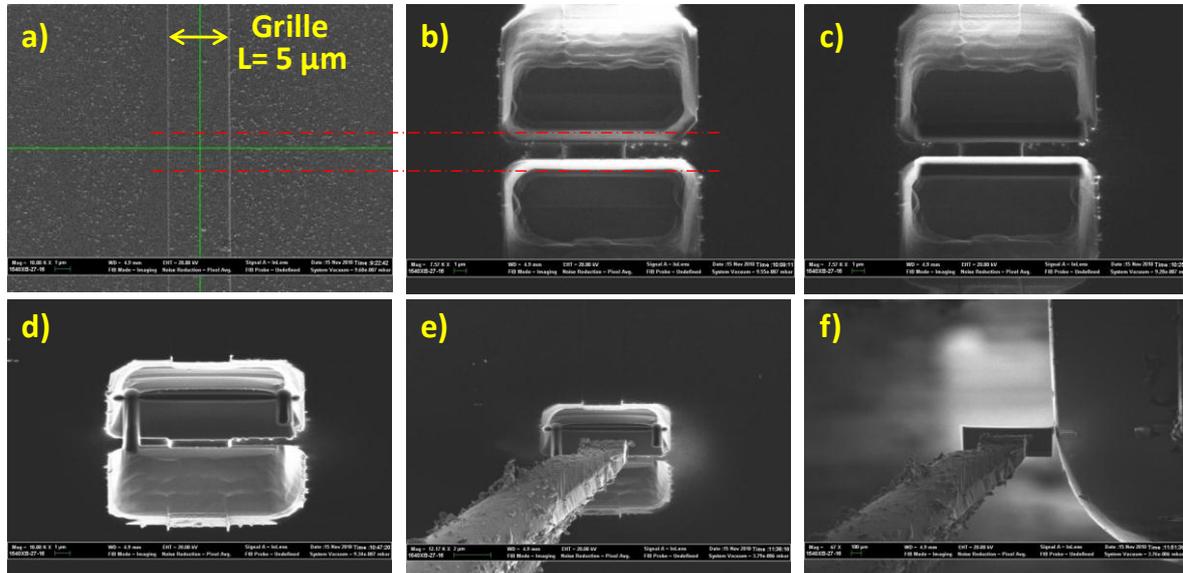


Figure IV. 28 : Vue du dessus du transistor TCC montrant la grille (longueur effective  $\approx 5 \mu\text{m}$ ), b) découpe de deux blocs en escalier pour définir la lame (pointillés rouges), c) dressage des deux parois de la lame (rectangles noirs), d) découpe du fond (trait noir horizontal), du côté gauche et demi-découpe à droite, e) micropince tenant la lame et découpe complète du côté droit, f) lame amenée au bord d'un support de la grille de microscopie et fixation par dépôt de platine à l'aide du GIS

Une fois la lame fixée au support, elle est ensuite amincie jusqu'à une épaisseur finale de 50 nm. L'étape d'amincissement est illustrée sur la figure suivante :



Figure IV. 29 : Images FIB de l'amincissement progressif d'une lame prélevée sur un transistor TCC de la série 8-1k, dont l'épaisseur passe de  $2 \mu\text{m}$  à 50 nm

Lorsque l'amincissement est terminé, il est possible de mesurer les dimensions de la lame et celles des couches constitutives du transistor, comme le montre la figure ci-dessous :

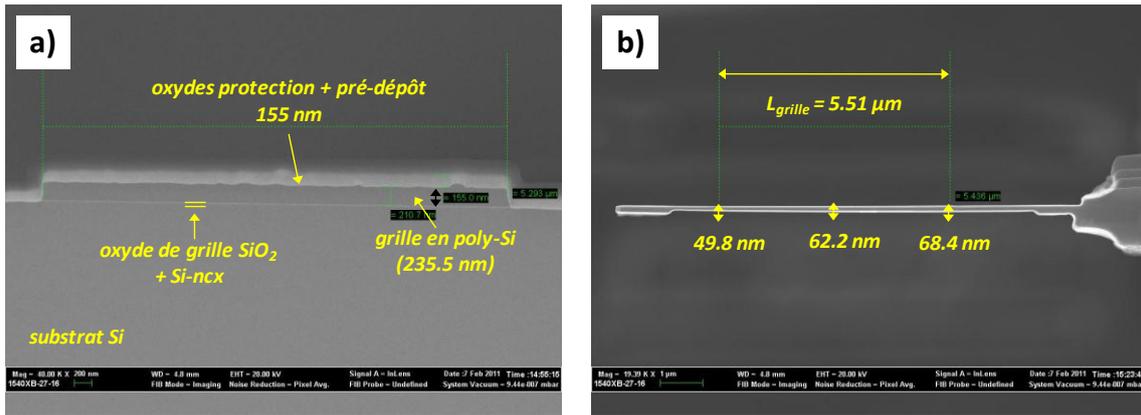


Figure IV. 30 : images FIB a) de la lame observée en coupe, b) vue de dessus. L'oxyde de grille de 12,2 nm d'épaisseur contenant les Si-ncx est marqué par deux tirets jaunes en a)

La Figure IV. 30 a) montre l'oxyde de grille mince entre le substrat Si et la grille en poly-Si mesure 235 nm. Sur la grille on retrouve l'oxyde de pré-dépôt et l'oxyde de protection, dont l'épaisseur totale est mesurée à 155 nm. Les plots métalliques de connexion pour la source et le drain ainsi que celui de la grille n'apparaissent pas sur l'image FIB puisqu'ils sont situés en-dehors de la zone dans laquelle est prélevée la lame, comme le montre la Figure IV. 31 ci-dessous :

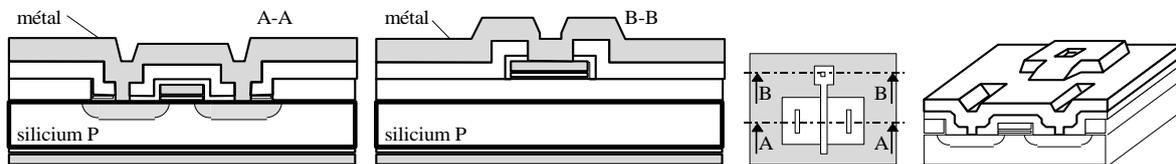


Figure IV. 31 : Schémas en coupe, vue du dessus et vue en perspective de la structure des transistors MOS que nous avons réalisés à l'AIME : la coupe en perspective montre que les ouvertures réalisées dans l'oxyde de protection pour réaliser les contacts métalliques (Al) sont situés en-dehors de la zone dans laquelle est prélevée la lame

### III-2) Observation TEM et résultats

Dans un premier temps, des observations TEM en haute résolution (HRTEM) ont été réalisées dans les oxydes de grille pour rechercher des particules cristallines. La Figure IV. 32 ci-dessous présente une section transverse HRTEM réalisée dans la lame issue de la série 8-1k en (a) et une vue plane HRTEM réalisée dans un échantillon Si/SiO<sub>2</sub> (sans composant) dont l'oxyde de grille contient des Si-ncx synthétisés dans les mêmes conditions que ceux de la série 8-1k :

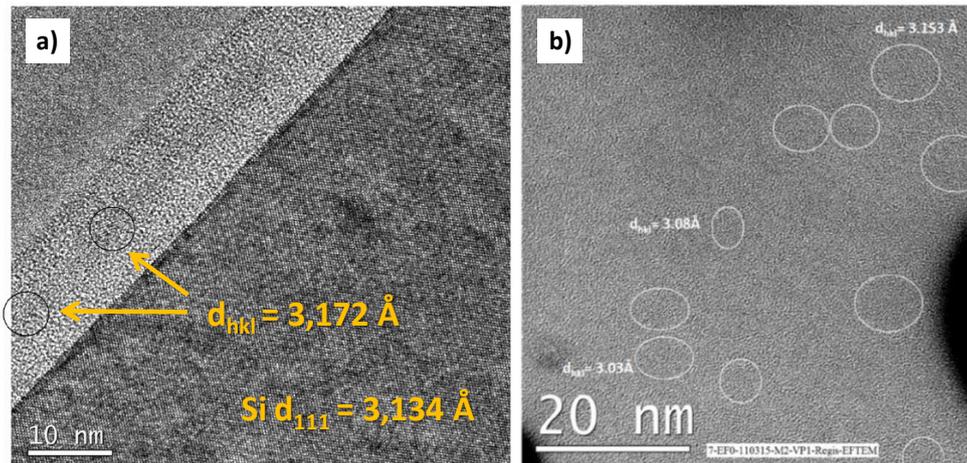


Figure IV. 32 : images HRTEM a) d'une section transverse de la couche d'oxyde de grille d'un TCC de la série 8-1k, b) d'une vue plane réalisée dans l'échantillon M<sub>2</sub> (voir chapitre 2) dont la synthèse de Si-ncx est identique à celle des TCC 8-1k

Ces images HRTEM montrent la présence de particules cristallines dans l'oxyde de grille qui ont été identifiées comme de cristaux de silicium dans le plan (111) à partir des distances interatomiques. Ces particules de forme allongée présentent un diamètre moyen de 3,44 nm sur l'axe majeur et de 2,47 nm sur l'axe mineur. La Figure IV. 33 ci-dessous présente l'image obtenue :

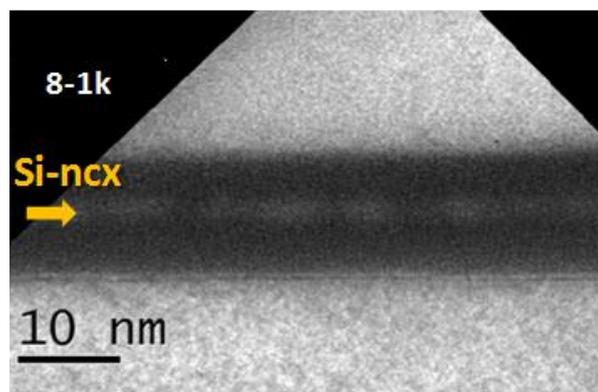


Figure IV. 33 : Images EFTEM en section transverse réalisée dans l'oxyde de grille d'un MOSFET implantés à 1 keV. Le plan de Si-ncx apparaît en contraste blanc dans l'oxyde de grille qui apparaît en noir sur cette image filtrée.

Le plan de Si-ncx (contraste blanc) apparaît nettement dans l'oxyde de grille (contraste noir). Les mesures d'épaisseur de l'oxyde d'injection ( $t_{inj}$ ), du plan de Si-ncx ( $t_{NC}$ ) et de l'oxyde de contrôle ( $t_{cont}$ ), ainsi que l'épaisseur totale d'oxyde ( $t_{ox}$ ) sont répertoriées dans le tableau ci-dessous :

8-1k	$t_{ox}$ (nm)	$t_{inj}$ (nm)	$t_{NC}$ (nm)	$t_{cont}$ (nm)
Epaisseur	12,2	5,3	2,4	4,5
Incertitude	0,5	0,5	0,5	0,5

Tableau 28 : Mesures d'épaisseurs du plan de Si-nx, de l'oxyde d'injection et de l'oxyde de contrôle réalisées dans l'oxyde d'un transistor de la série 8-1k

Une vue plane EFTEM a également été réalisée sur l'échantillon  $M_2$  (synthèse de Si-nx équivalente à celle de la série 8-1k dans un échantillon Si/SiO<sub>2</sub>) :

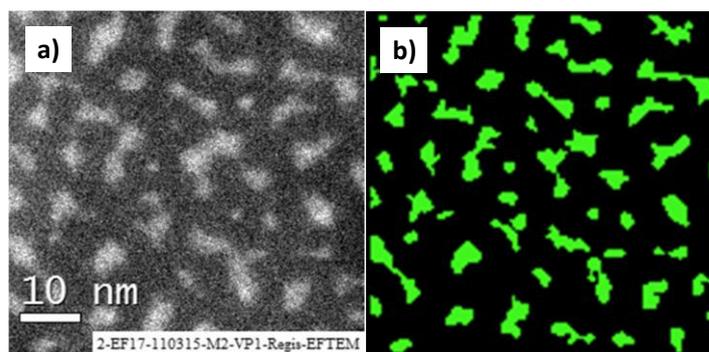


Figure IV. 34 : a) Vue plane EFTEM d'un échantillon Si/SiO<sub>2</sub> implanté dans les mêmes conditions que la série 8-1k, b) traitement chimique de l'image (Si en vert et SiO<sub>2</sub> en noir) donnant 57 « objets »

A partir d'une vue plane EFTEM comme celle présentée Figure IV. 34 a), il est possible d'extraire la densité et la taille des Si-nx. Pour cela, on traite « chimiquement » l'information de la Figure IV. 34 b), c'est-à-dire que l'on sépare le Si (en vert) du SiO<sub>2</sub> (en noir). On peut déterminer ainsi aussi précisément que possible la densité de Si-nx ( $1,7.10^{12} \pm 3,4.10^{11} \text{ Si}^+/\text{cm}^2$ ) et le taux de recouvrement de la surface par les Si-nx ( $16,5 \pm 6,6\%$ ). Il est également possible de répertorier les « objets » (en vert sur l'image de la Figure IV. 34 b) en fonction de leur diamètre et de construire un histogramme de taille. Cette vue plane montrant des Si-nx de morphologie allongée, l'historgramme doit donc être construit selon l'axe majeur mais également selon l'axe mineur. La distribution en taille moyennée sur quatre images traitées de la même façon que celle présentée ci-dessus des Si-nx est donnée ci-dessous :

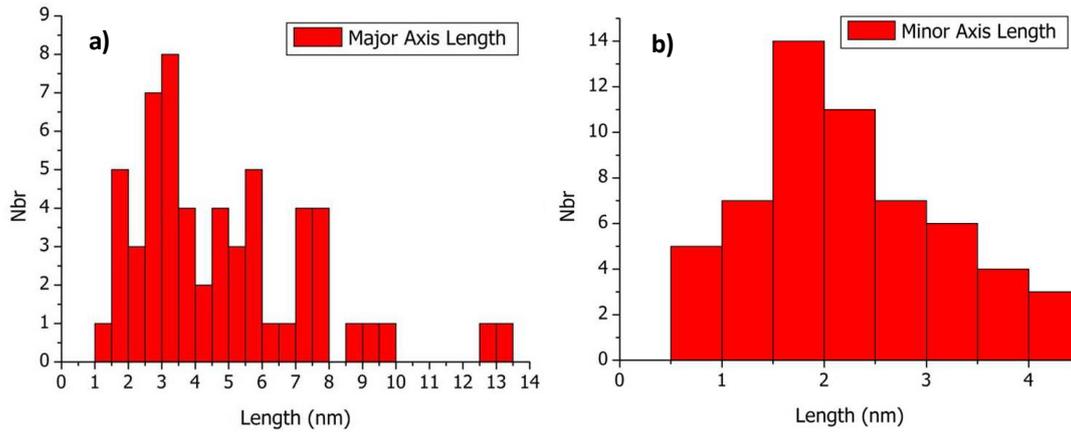


Figure IV. 35 : Histogrammes en taille des Si-nx présents dans l'oxyde de grille d'un TCC de la série 8-1k a) selon l'axe majeur, b) selon l'axe mineur

On obtient les valeurs présentées dans le tableau ci-dessous :

	<b>moyenne</b>	<b>incertitude</b>
<b>Axe maj. (nm)</b>	<b>5,0</b>	<b>2,6</b>
<b>Axe min. (nm)</b>	<b>2,4</b>	<b>1,2</b>
<b>D<sub>surf</sub> (cm<sup>-2</sup>)</b>	<b>1,6.10<sup>12</sup></b>	<b>3,1.10<sup>11</sup></b>
<b>Recouvrement</b>	<b>16,40%</b>	<b>6,6 %</b>

Tableau 29 : Taille moyenne des Si-nx de la série 8-1k selon les axes majeurs et mineurs, densité surfacique et taux de recouvrement de ces nx

Le diamètre obtenu selon l'axe majeur est surestimé, car comme le montre par exemple la Figure IV. 34 b), les « objets » servant à obtenir la taille des Si-nx semblent pour certains d'entre eux contenir plusieurs Si-nx que le traitement de l'image ne sépare pas. C'est pour cela que l'histogramme en taille donné Figure IV. 35 a) présente notamment 4 objets de taille comprise entre 7 et 8 nm ainsi que 4 autres objets de taille encore supérieure. Ainsi, le diamètre moyen des Si-nx selon l'axe majeur est inférieur à 5 nm, en revanche si l'on considère des Si-nx sphériques, leur diamètre moyen est alors de 3 à 4 nm. La densité des Si-nx est alors de  $1,4.10^{12} \pm 2,7.10^{11} \text{ Si}^+/\text{cm}^2$ .

Sur la figure ci-dessous nous avons superposé les histogrammes de taille issus respectivement des mesures de pompage de charge (pour  $\Delta V_G = 4\text{V}$  et  $5\text{V}$ ) et des mesures EF-TEM :

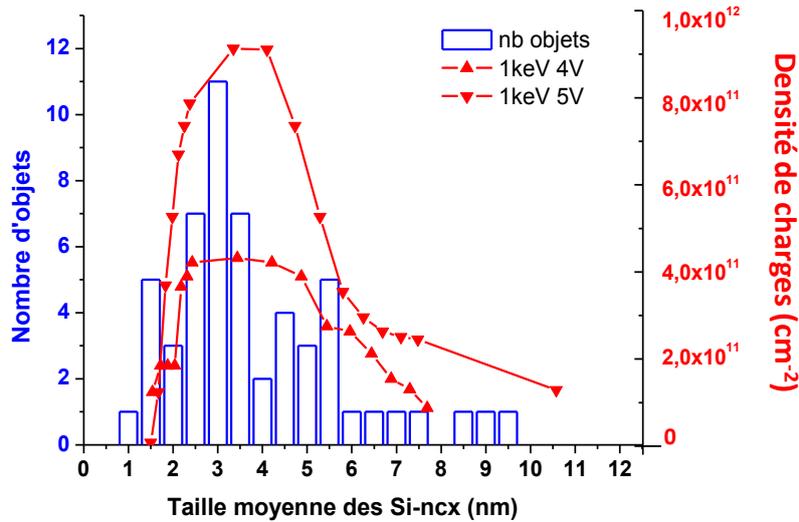


Figure IV. 36 : Superposition normalisée de l’histogramme issu des mesures EF-TEM donnant la distribution en taille des Si-ncx (bleu) et des histogrammes extraits des mesures de pompage de charge concernant les pièges lents sondés avec  $\Delta V_G = 4V$  et  $5V$  (courbe rouge) dans le cas d’un TCC de la série 8-1k

Cette figure montre une parfaite correspondance entre d’une part les Si-ncx observés par EF-TEM et d’autre part les pièges lents sondés par pompage de charge. L’histogramme obtenu par pompage de charge montre notamment bien l’apparition de quelques nanocristaux de taille comprise entre 6 et 10nm.

En conclusion, nous proposons ci-dessous un tableau comparatif présentant d’une part les résultats caractéristiques des pièges sondés par les mesures de pompage de charge et d’autre part les caractéristiques extraites des Si-ncx par observations et mesures EF-TEM.

Paramètre	Pièges lent sondés par CP	Si-ncx observés par EF-TEM
Diamètre moyen (nm)	$3,4 \pm 0,2$	3 - 4
Densité ( $\times 10^{12} \text{ cm}^{-2}$ )	$2,4 \text{ à } 3,8 \pm 0,5$	$1,6 \pm 0,3$
Profondeur/canal (nm)	$4,8 \pm 0,2$	$5,3 \pm 0,5$

Tableau 30 : Comparaison de la profondeur dans l’oxyde, de la taille moyenne et de la densité surfacique entre les pièges sondés par CP et les observations EF-TEM des Si-ncx

Ce tableau montre tout d’abord que la taille moyenne des pièges sondés électriquement est comparable à celle des Si-ncx. D’autre part leur distance dans l’oxyde par rapport au canal correspond également à la profondeur des Si-ncx. Enfin, la densité extraite des pièges lents est du même ordre de grandeur ( $10^{12} \text{ cm}^{-2}$ ) que celle des Si-ncx estimée par

EF-TEM, même si cette dernière est environ deux fois plus faible. Dans le cas de la série 8-1k ce plan de Si-nx stocke environ  $9 \times 10^{11}$  charges par  $\text{cm}^2$  sous une impulsion d'amplitude  $\Delta V_G = 5\text{V}$ .

La densité surfacique moyenne de Si-nx donnée Tableau 30, à savoir  $1,6 \times 10^{12} \text{ cm}^{-2}$ , permet alors d'estimer statistiquement à 0,5-0,6 le nombre de charges stockées par nanocristal. Nous sommes donc en présence de deux types d'« objets » susceptibles de piéger des charges, positionnés à la même profondeur dans l'oxyde, de taille similaire et de densité quasiment équivalente et vraisemblablement supérieure à tout autre type de piège présent dans ces oxydes. Ces constatations permettent de dire avec une bonne certitude que les pièges sondés par CP sont bien les nanocristaux de silicium. De plus, le pompage de charge permet alors d'une part de retrouver les valeurs de taille et de position des Si-nx mesurées par EF-TEM, d'évaluer leur densité surfacique (même si celle-ci semble légèrement surévaluée) et enfin d'évaluer la quantité de charge stockée par le plan de Si-nx.

Ainsi, la méthode de pompage de charges à 2 niveaux, technique qui a permis de sonder les pièges d'interface et les Si-nx lorsque ceux-ci sont placés près de l'interface, montre ici pour la première fois sa capacité à sonder les Si-nx placés à des distances supérieures à 2,5 nm lorsque ceux-ci sont réalisés par ULE-IBS. Ce résultat est rendu possible par l'utilisation des valeurs expérimentales des paramètres gouvernant la profondeur maximale explorée et en réalisant les mesures à BF et sous des impulsions de fortes amplitudes ( $\Delta V_G \geq 5\text{V}$ ). La voie semble donc ouverte à une caractérisation rapide et non destructive des propriétés de nanocristaux dédiés à la réalisation de mémoires non volatiles, dans le composant en fonctionnement (in-situ) et en cours de vieillissement.

Comme nous l'avons souligné au chapitre III, la température, au même titre que la fréquence, a un impact direct sur le type de pièges adressé mais aussi sur le lieu de stockage de la charge ; elle permet notamment de discriminer les pièges rapides des pièges lents. C'est pourquoi, dans la partie ci-dessous, nous avons testé en fonction de la température les TCC de la série 8-1k afin de voir si des modifications de chargement des Si-nx sont observables.

## IV) Effet de la température sur la capture dans les Si-n<sub>cx</sub>

Nous avons donc réalisé des mesures de pompage de charges à deux températures (300K et 77K) sur un TCC de la série 8-1k, sous une tension  $\Delta V_G=2V$ . Les courbes  $I_{CP}(\log(f))$  et  $Q_{CP}(\log(f))$  obtenues sont présentées ci-dessous :

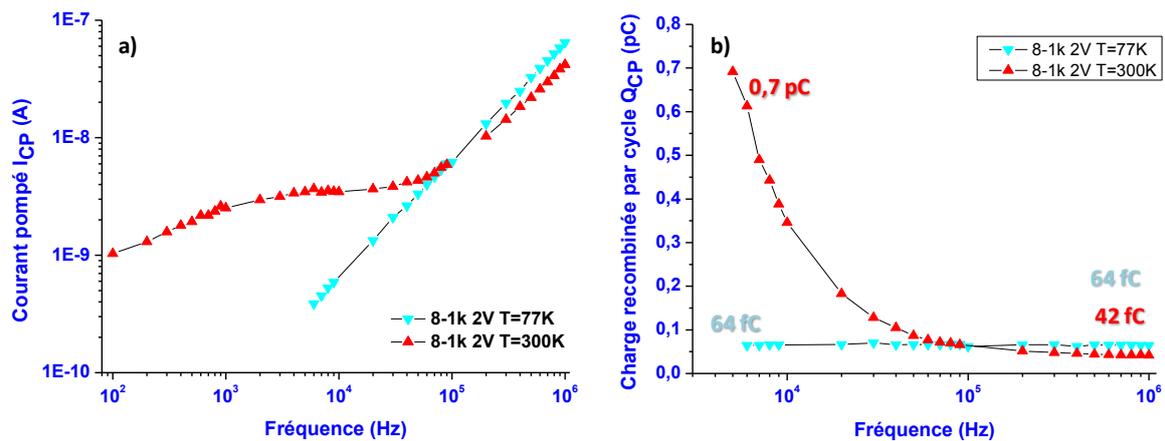


Figure IV. 37 : Courbes  $I_{CP}(\log(f))$  et  $Q_{CP}(\log(f))$  réalisées sur un TCC de la série 8-1k sous  $\Delta V_G=2V$ , à  $T=300K$  (en rouge) et  $T=77K$  (en cyan)

La figure (a) montre l'augmentation du courant présentée précédemment à BF, qui est due à la contribution des Si-n<sub>cx</sub>. En revanche, les mesures réalisées à 77K sur le même échantillon ne présentent plus cette contribution mais uniquement la droite caractéristique des pièges d'interface (pente linéaire en échelle log-log). Il semble donc que la capture de charges par les Si-n<sub>cx</sub> soit rendu impossible à basse température à cause de leur position lointaine dans l'oxyde. La figure (b) confirme ce résultat : la charge recombinée à température ambiante augmente fortement vers le pC lorsque la fréquence diminue (0,7 pC à 5 kHz) alors qu'elle reste très faible (quelques dizaines de fC) à BF et à  $T=77K$ . Cette charge recombinée à  $T=77K$  est même constante, à 64 fC, sur tout l'intervalle de fréquence testé. Ainsi ces mesures à deux températures permettent de séparer les contributions des pièges rapides et des pièges lents dans un oxyde de grille contenant des Si-n<sub>cx</sub>. Les courbes (a) et (b) montrent toutes deux que la réponse des Si-n<sub>cx</sub> est dominante dans la gamme des BF à 100 kHz, fréquence au-dessus de laquelle ce sont les pièges d'interface qui prédominent. Les mesures en températures permettent donc de clairement identifier les contributions en courant et les gammes de fréquences mises en jeu pour discriminer la capture de charges par les pièges rapides et par les pièges lents. Ce résultat est comparable aux mesures de CP réalisées en température par Souifi et al. [23].

A l'issue de ces conclusions, il nous a paru opportun de tester la robustesse du modèle et de

mieux cerner les potentialités de cette technique en suivant par pompage de charge les modifications de densité, de taille et de position dans l'oxyde des Si-ncx obtenues d'une part en modifiant l'énergie d'implantation et d'autre part en utilisant deux recuits de budgets thermiques différents.

## V) Suivi du changement des propriétés des Si-ncx par pompage de charges

### V-1) Suivi de l'évolution en profondeur du plan de Si-ncx

#### V-1-1) Présentation des échantillons étudiés

Les échantillons dédiés à cette étude sont des transistors TCC réalisés par le procédé Nanocrystals Inside. Nous conservons la série 8-1k étudiée précédemment pour la démonstration de notre méthode, mais les caractéristiques extraites des mesures CP (tableaux 26 et 29) ne seront pas rediscutées. En plus de cette série, nous avons ajouté deux autres séries de TCC similaires en tous points à ceux de la série 8-1k excepté l'énergie d'implantation : les séries 8-2k et 8-3k sont implantées respectivement à 2 keV et à 3 keV. Nous avons choisi d'utiliser trois énergies d'implantation d'ions  $\text{Si}^+$  (1 keV, 2 keV et 3 keV) afin de changer la position du plan de Si-ncx après un même recuit et ceci pour voir si ce décalage se retrouve dans les profils en profondeurs des pièges. La Figure IV. 38 ci-dessous schématise la modification de la position du plan de Si-ncx en fonction de l'énergie d'implantation ionique utilisée :

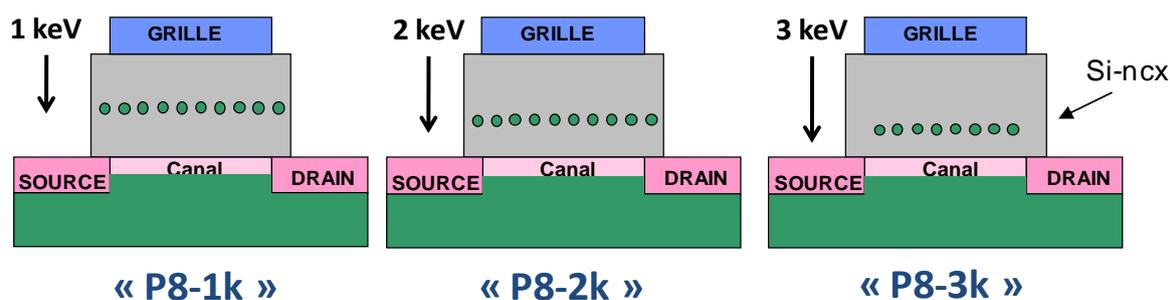


Figure IV. 38 : Schémas représentant des transistors réalisés par le procédé Nanocrystals Inside et de la position du plan de Si-ncx en fonction de l'énergie d'implantation (1keV, 2 keV ou 3 keV)

Les conditions de synthèse du plan de Si-ncx sont regroupées dans le Tableau 31 suivant :

Série	Préparation interface	Implantation	Recuit de synthèse
4	Nanocrystals Inside	non	non
8-1k	Nanocrystals Inside	1 keV / $1.10^{16} \text{ cm}^{-2}$	{1050°C, 30 min, N <sub>2</sub> } + {950°C, 30min, N <sub>2</sub> + 1,5%O <sub>2</sub> }
8-2k	Nanocrystals Inside	2 keV / $1.10^{16} \text{ cm}^{-2}$	
8-3k	Nanocrystals Inside	3 keV / $1.10^{16} \text{ cm}^{-2}$	

Tableau 31 : Conditions de synthèse des Si-n<sub>cx</sub> pour les séries d'échantillons implantées à différentes énergies entre 1 keV et 3 keV. La série 4 est une série d'échantillons de référence, sans Si-n<sub>cx</sub>

### V-1-2) Résultats EFTEM pour les séries 8-2k et 8-3k

La figure ci-dessous présente trois sections transverses EFTEM, prises dans les oxydes de grille d'un TCC de chaque série de transistors à Si-n<sub>cx</sub> (8-1k, 8-2k et 8-3k) :

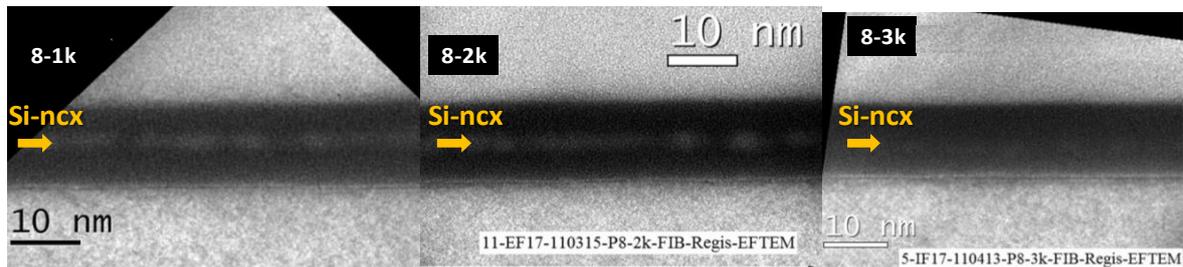


Figure IV. 39 : Sections transverses filtrées en énergie permettant de voir le plan de Si-n<sub>cx</sub> (contraste blanc) à l'intérieur de l'oxyde de grille (contraste noir) pour chaque série de transistors implantés (à 1 keV, 2 keV et 3 keV)

Tout comme dans le cas 8-1k traité précédemment, le plan de Si-n<sub>cx</sub> apparaît nettement (contraste blanc) dans l'oxyde de grille (contraste noir) dans le cas de la série 8-2k. On peut également observer que le plan de Si-n<sub>cx</sub> est positionné plus bas, en direction du substrat. Ce décalage vers le substrat est encore un peu plus accentué dans le cas de la série 8-3k. Cependant, dans ce dernier cas, le contraste obtenu par ces mesures filtrées en énergie est bien plus faible que dans le cas des séries 8-1k et 8-2k, ce qui pourrait signifier que la densité de Si-n<sub>cx</sub> est plus faible. Cette hypothèse est en accord avec les simulations Monte-Carlo d'implantation (présentées Figure I. 12 a), montrant l'étalement de la dose et donc la chute de la concentration maximum de silicium en excès disponible pour la formation des Si-n<sub>cx</sub> lorsque l'on passe d'une implantation de 1 keV à une implantation à 3 keV. Les mesures d'épaisseur de l'oxyde d'injection ( $t_{inj}$ ), du plan de Si-n<sub>cx</sub> ( $t_{NC}$ ) et de l'oxyde de contrôle

( $t_{\text{cont}}$ ), ainsi que l'épaisseur totale d'oxyde ( $t_{\text{ox}}$ ) des trois séries de transistors sont répertoriées dans le tableau ci-dessous :

épaisseurs	1 keV	2 keV	3 keV	Incertitude
$t_{\text{ox}}$ (nm)	12.2	12.6	12.3	0.5
$t_{\text{inj}}$ (nm)	5.3	4.7	3.4	0.5
$t_{\text{NC}}$ (nm)	2.4	2.6	2.5	0.5
$t_{\text{cont}}$ (nm)	4.5	5.3	6.4	0.5

Tableau 32 : Mesures d'épaisseurs du plan de Si-nx, de l'oxyde d'injection et de l'oxyde de contrôle réalisées dans l'oxyde de TCC des séries 8-1k, 8-2k et 8-3k

Ce tableau montre qu'effectivement la profondeur du plan de Si-nx augmente avec l'énergie (réduction de la distance  $t_{\text{inj}}$  entre le plan de Si-nx et le substrat). Cependant, l'endommagement de la matrice étant plus fort après une implantation à plus haute énergie (i.e. 3 keV par rapport à 1 keV), ceci provoque une diminution de la qualité de l'interface avec le substrat et donc de la hauteur de barrière Si/SiO<sub>2</sub>.

Ces observations sont corroborées par les hauteurs de barrières que nous avons extraites de ces séries. En effet, contrairement aux hauteurs de barrière  $\Phi_e$  des séries 4 et 8-1k qui sont assez proches de la valeur théorique ( $\Phi_e \approx 3,1$  eV), les hauteurs de barrière des séries 8-2k et 8-3k diminuent de façon non négligeable avec l'énergie d'implantation, elles sont respectivement de 2,66 et 1,61 eV. Ces résultats suivent l'état de la matrice, qui après un même recuit pour les 3 séries est plus endommagée après une implantation à plus forte énergie.

### **V-1-3) Obtention des courbes $I_{CP}(V_I)$**

Ces observations ont été de plus confirmées par les expériences de pompage de charge. En effet, nous avons remarqué que les transistors implantés à 2 keV et 3 keV présentaient des courants de fuite dus à la dégradation de l'oxyde par les collisions ionique. L'endommagement étant d'ailleurs d'autant plus fort que l'énergie augmente (e.g. pour la série 8-3k). Malheureusement le recuit optimisé pour le 1keV ne semble donc pas être optimum pour guérir les défauts générés à plus forte énergie d'implantation. En outre, nous avons observé que le niveau de courant de fuite est d'autant plus fort que la fréquence testée est faible. Cependant, ces fuites sont assez classiques dans les transistors endommagée par l'implantation ionique ou à grille mince. Masson et al. [29] a d'ailleurs développé tout une technique permettant d'appliquer des corrections de courants de façon à supprimer la composante de courant de fuite à travers l'oxyde de grille et de ne conserver que la composante de courant pompé. En outre, ces courants de fuites deviennent de plus en plus importants à mesure que l'on augmente la tension  $\Delta V_G$ , que l'on applique aux composants, c'est pourquoi dans ce qui suit nous

limiterons notre étude à  $\Delta V_G = 2V$ . Les courbes  $I_{CP}(V_I)$  traitées pour une tension de  $\Delta V_G = 2V$  sont présentées ci-dessous :

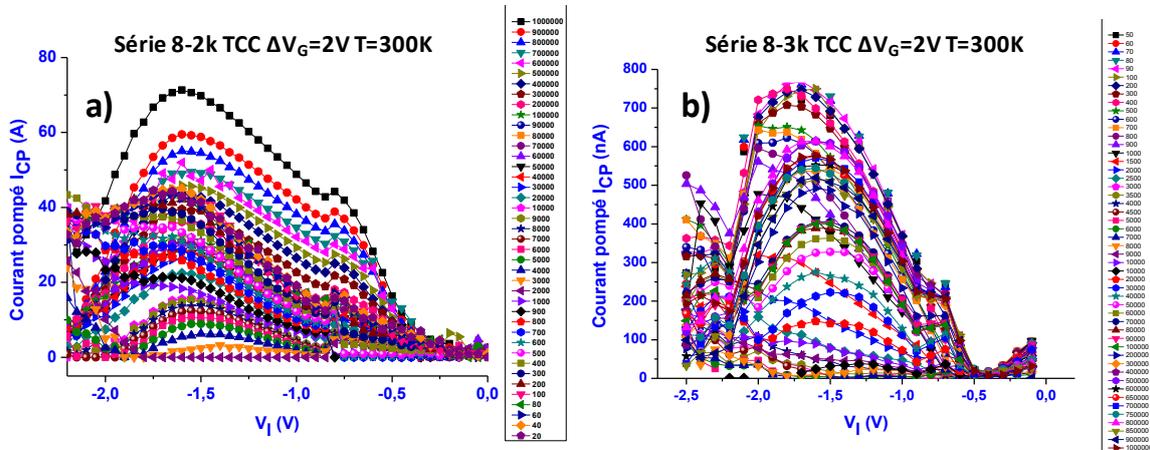


Figure IV. 40 : Courbes  $I_{CP}(V_I)$  prises pour un grand nombre de fréquences a) comprises entre 20 Hz et 1 MHz sur un TCC vierge implanté à 2 keV (série 8-2k), b) comprises entre 50 Hz et 1 MHz sur un TCC implanté à 3 keV (série 8-3k), à température ambiante et pour  $\Delta V_G = 2V$ , après application d'une correction de courants de fuite

#### V-1-4) Détermination de la densité $N_{SS}$

De la même manière qu'en II-3-3, nous déterminons les densités de pièges d'interface pour les séries 8-2k et 8-3k dans le tableau ci-dessous. Les valeurs obtenues précédemment pour les séries 4 et 8-1k sont également reportées pour comparaison.

Série	f	$I_{CPmax}$ (nA)	$V_{th}$ (V)	$V_{fb}$ (V)	$N_{SS}$ ( $cm^{-2}$ )
4	1 MHz	38	0,15	-0,75	$2,49.10^{10}$
8-1k	1 MHz	42	0,15	-1	$2,78.10^{10}$
8-2k	1 MHz	70	0,3	-1,2	$4,58.10^{10}$
8-3k	1 MHz	750	0,1	-1,2	$4,91.10^{11}$

Tableau 33 : Valeurs de  $V_{th}$ ,  $V_{fb}$  et  $N_{SS}$  extraites des mesures  $I_{CP}(V_I)$

La densité de pièges d'interface pour les transistors implantés à 2 keV a presque doublé comparée à celle obtenue pour les TCC implantés à 1 keV. Celle des transistors implantés à 3 keV augmente fortement (de plus d'une décade par rapport aux transistors vierges ou implantés à plus faible énergie), ce qui illustre le fort état d'endommagement de l'interface Si/SiO<sub>2</sub> à 3keV, où nous pourrions alors parler de « mixing de l'interface Si/SiO<sub>2</sub> ». L'énergie 3 keV est donc bien une valeur d'énergie limite pour des implantations dans des oxydes de 7 à 10 nm d'épaisseur si l'on veut conserver une densité de Si-nx supérieure à celle des pièges d'interface. Malgré cela, la tension de

seuil  $V_{TH}$  diminue pour la série 8-3k mais pas de façon flagrante tandis que celle de la série 8-2k est plus élevée que pour la série 8-1k. Ces variations de tension de seuil n'empêchent pas les transistors de conserver leur état « normally OFF » en l'absence de polarisation.

### V-1-5) Courbes $I_{CP}(\log(f))$ et $Q_{CP}(\log(f))$

Les courbes  $I_{CP}(\log(f))$  et  $Q_{CP}(\log(f))$  dans le cas de transistors implantés à 2 keV et 3 keV sont présentées en Figure IV. 41 ci-dessous. Les résultats obtenus à  $\Delta V_G$  compris entre 3V et 5V pour la série 8-1k sont conservés à titre de comparaison. Rappelons que les mesures à  $\Delta V_G \geq 4V$  pour les séries 8-2k et 8-3k ne sont pas représentées car elles n'ont pas permis d'extraire du courant pompé du fait de l'importance des courants de fuite sous de telles polarisations. De telles mesures devraient cependant être réalisables en optimisant le budget thermique de recuit pour ces énergies. Cependant, nous avons conservé les mêmes conditions de recuit dans cette étude pour garder des populations de Si-ncx similaires pour les trois séries de composants, en ne faisant varier à priori que la profondeur du plan de ncx, même s'il est clair que des différences minimales sont prévisibles lorsque l'on fait varier l'énergie.

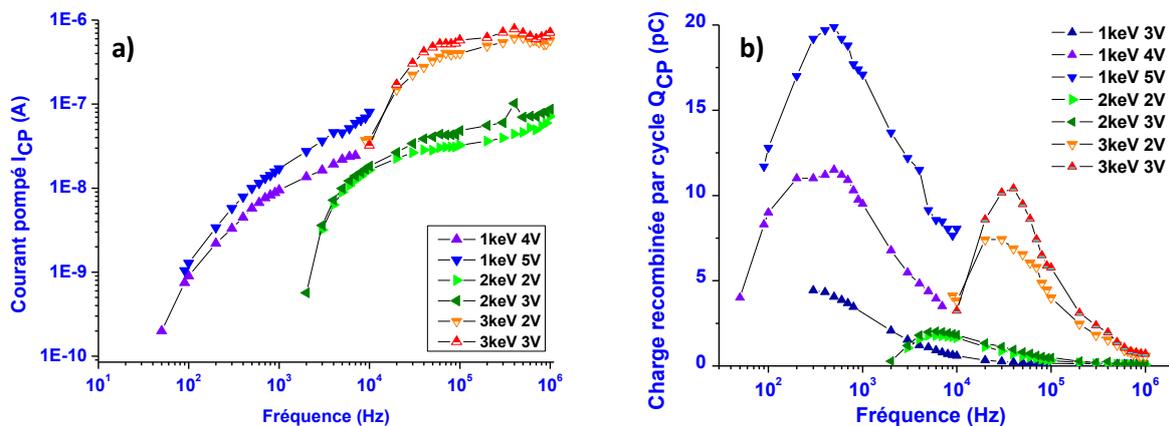


Figure IV. 41 : a) Courbes  $I_{CP}(\log(f))$  et b)  $Q_{CP}(\log(f))$  obtenues sur des TCC des séries 8-1k, 8-2k et 8-3k. La courbe de la série 8-1k à 3V est rajoutée sur la figure b) pour comparaison.

Les résultats obtenus sur les TCC implantés à 2 keV et à 3 keV sont également très différents de ceux obtenus sur les oxydes vierges. Ces courbes présentent des maxima locaux de charge pompée, tout comme nous l'avons montré dans le cas de la série 8-1k. On observe toutefois ici d'une part que ces maxima de charge apparaissent pour des gammes de fréquences spécifiques et différentes à chaque énergie d'implantation et d'autre part que leur amplitude augmente avec  $\Delta V_G$  à une énergie considérée, comme le montre le Tableau 34 ci-dessous :

Série	$\Delta V_G$ (V)	$Q_{CPmax}$ (pC)	f (Hz)
8-1k	3	4	300
	4	11	300
	5	20	500
8-2k	2	2	5k
	3	2	6k
8-3k	2	7	20k
	3	10	40k

Tableau 34 : Caractéristiques des maxima de charge recombinaée (fréquence f et charge recombinaée  $Q_{CPmax}$  correspondante) en fonction de l'amplitude des impulsions pour les 3 séries de transistors à Si-nx

Par exemple, pour la série 8-2k les impulsions de 2V et 3V donnent une même quantité de charge maximum recombinaée de 2 pC avec un léger décalage vers les hautes fréquences quand on augmente l'amplitude des impulsions, comme nous l'avons déjà vu pour la série 8-1k. Le décalage de ces maxima locaux vers les hautes fréquences, lorsque l'énergie d'implantation augmente, montre que les pièges sondés sont plus rapides et donc situés plus près du canal. En outre, comme pour le 8-1keV, les variations de  $\Delta V_G$  n'affectent pas la position en fréquence de ces pics mais uniquement la densité de charge recombinaée. Par exemple, pour  $\Delta V_G=3V$  le maximum de charge pompée est plus élevé pour un transistor implanté à 3 keV (10 pC) comparativement à un transistor implanté à 1 keV (4 pC). L'augmentation de  $\Delta V_G$  ayant pour conséquence une augmentation de la profondeur explorée, on augmente alors la probabilité de charger les pièges plus proches du canal dans le cas des 8-3k que dans le cas des 8-1k. Ceci va également dans le sens du rapprochement du plan de Si-nx vers l'interface Si/SiO<sub>2</sub> lorsque l'énergie d'implantation est augmentée, comme sur le schéma proposé Figure IV. 38. Il semble donc que tout comme pour la série 8-1k, les pièges lents sondés pour les séries 8-2k et 8-3k soient bien les Si-nx. A noter que dans le cas de la série 8-2k, la plus faible quantité de charge recombinaée comparativement à la série 8-1k indique que les valeurs de  $\Delta V_G$  utilisées ( $\leq 3V$ ) ne sont pas suffisantes pour sonder « efficacement » le plan de pièges lents et qu'on ne sonde qu'une partie de la charge totale stockée par le plan de Si-nx. Dans le cas du 8-3k, l'application des mêmes tensions que pour le 8-2k ( $\Delta V_G = 2V$  et  $3V$ ) tandis que le plan de Si-nx est plus près de l'interface avec le substrat explique que l'on charge davantage le plan de nanocristaux et donc que  $Q_{CPmax}$  soit plus élevé, comme le montre la Figure IV. 38. Enfin, on peut conclure que les maxima de charge  $Q_{CPmax}$  sont toujours de l'ordre du pC à la dizaine de pC pour les 3 énergies d'implantation testées et donc supérieure à celle recombinaée dans les pièges d'interface, même si cet écart est réduit dans le cas des 8-3k du fait de la forte augmentation de la densité de pièges d'interface. Nous allons maintenant extraire les distributions en profondeur de ces pièges.

### V-1-6) Extraction des profils pour les séries 8-2k et 8-3k

Le tableau ci-dessous récapitule les paramètres extraits des mesures CP nécessaires pour la construction des profils en profondeurs pour les séries 8-2k et 8-3k. Encore une fois, les valeurs de la série 8-1k et de la série 4 sont conservées à titre de comparaison.

Courbe	$f_0$ (Hz)	$\sigma_n(x)$ (cm <sup>2</sup> )	$n_s$ (cm <sup>-3</sup> )	$\Phi_e$ (eV)	$\lambda_e$ (m)
8-1k 4V	40	$1,80.10^{-15}$	$1,07.10^{18}$	$2,94 \pm 0,15$	$8,89.10^{-11}$
8-1k 5V	50	$2,81.10^{-15}$	$1,30.10^{18}$		
8-2k 2V	2880	$4,95.10^{-14}$	$4,00.10^{17}$	$2,66 \pm 0,14$	$9,35.10^{-11}$
8-2k 3V	1550	$4,10.10^{-14}$	$7,31.10^{17}$		
8-3k 2V	9000	$1,79.10^{-13}$	$4,00.10^{17}$	$1,61 \pm 0,20$	$1,20.10^{-10}$
8-3k 3V	6400	$1,91.10^{-13}$	$7,31.10^{17}$		
série 4 2V	250	$7,17.10^{-15}$	$7,31.10^{17}$	$2,90 \pm 0,07$	$8,95.10^{-11}$

Tableau 35 : Tableau de synthèse des valeurs calculées et mesurées pour l'extraction des profils en profondeur des pièges contenus dans les oxydes des transistors des séries 8-2k et 8-3k

La méthode d'extraction de  $f_0$  est la même que celle utilisée pour la série 8-1k. Les valeurs  $V_{th}$  et  $V_{fb}$  sont celles répertoriées Tableau 33. Les sections de capture estimées ne varient quasiment pas avec la valeur de  $\Delta V_G$ . Plus l'énergie d'implantation est élevée, plus les sections de capture sont grandes, d'un ordre de grandeur environ entre chaque énergie d'implantation. Ceci est cohérent avec un rapprochement du plan de Si-nx vers l'interface avec le substrat lorsque l'énergie d'implantation augmente.

Les résultats de hauteurs de barrière sont également cohérents avec les densités de pièges d'interface donnés Tableau 33. En effet, l'augmentation relativement faible de  $N_{SS}$  quand on passe d'une implantation à 1 keV à une autre de 2 keV se retrouve ici par une diminution relativement faible de  $\Phi_e$ . Pour la série 8-3k, nous avons vu que  $N_{SS}$  augmentait d'un ordre de grandeur, qui se traduit ici par une forte chute de  $\Phi_e$ , dont la valeur est à peine la moitié de la valeur théorique. Les coefficients d'atténuation tunnel obtenus pour les séries 8-2k et 8-3k présentent alors des écarts importants avec la valeur théorique de  $0,7 \text{ \AA}$  [5]. Ces différences, de +27% et 28% respectivement pour les séries 8-1k et 4, deviennent +34% et +70% respectivement pour les séries 8-2k et 8-3k. La variation de  $\lambda_e$  étant directement répercutée sur la profondeur maximum explorée  $x_m$ , il est clair que la simple prise en compte de l'augmentation de +70% de  $\lambda_e$  lorsque la hauteur de barrière n'est plus que de 1,61 eV suffit pour montrer que  $x_m$  peut aller bien au-delà de 2,5 nm.

Les distributions en profondeurs des pièges sondés dans les TCC des séries 8-2k et 8-3k sont

présentés ci-dessous Figure IV. 42, en plus de celles précédemment obtenues pour un transistor vierge de la série 4 et un transistor à nanocristaux de la série 8-1k.

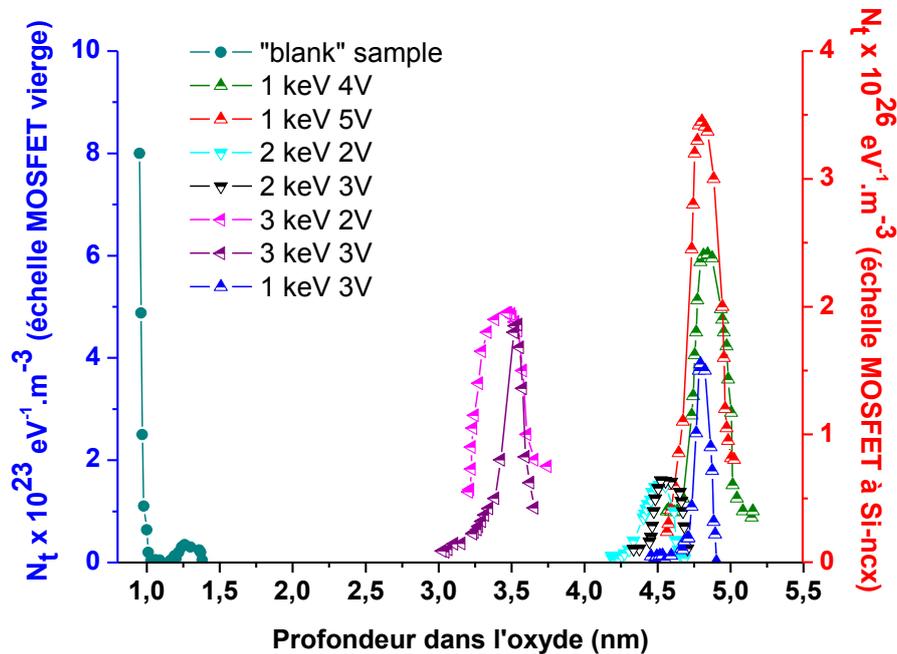


Figure IV. 42 : Distributions en profondeur des pièges sondés dans l'oxyde de grille de transistors TCC vierge de la série 4 testé avec  $\Delta V_G=2V$  (motifs ronds, échelle de gauche) et de transistors implantés à 1, 2 et 3 keV sous des impulsions de différentes amplitudes  $\Delta V_G$  entre 2V et 5V

Tout comme nous l'avons déjà constaté Figure IV. 26 pour la série 8-1k, on distingue également pour les transistors des séries 8-2k et 8-3k des distributions gaussiennes d'allures semblables aux profils de concentration d'implantation. Ces distributions sont faiblement dispersées ( $\leq 0,5$  nm) et sont centrées sur une même profondeur pour chacune des énergies, à savoir 4,5 et 3,5 nm pour des énergies d'implantation respectivement de 2 et 3 keV. La position de ces fortes densités locales de pièges ne varie pas avec  $\Delta V_G$  et ces concentrations dépassent de 2 à 3 ordres de grandeurs celle des pièges d'interface (issue de la distribution en profondeur du TCC vierge de la série 4) même si la densité de pièges lents sondés dans le cas du 8-2k est un peu plus faible que pour les autres énergies d'implantation. En intégrant ces distributions on détermine la densité de ces pièges lents qui est de  $0,8 \pm 0,1 \times 10^{12} \text{ cm}^{-2}$  pour la série 8-2k et de  $1,9 \pm 1,0 \times 10^{12} \text{ cm}^{-2}$  pour la série 8-3k. Ces densités et positions dans l'oxyde semblent indiquer comme dans le cas du 8-1k que les pièges lents sondés sont bien les Si-nx. Nous allons maintenant déduire l'histogramme en taille de ces pièges lents puis comparer la taille, la densité et la profondeur de ces pièges avec des mesures EFTEM.

La comparaison des résultats du Tableau 32 de position des Si-nx dans l'oxyde de grille avec la profondeur des pièges de 3-4 nm de diamètre caractérisés par pompage de charge montre que dans les cas des séries 8-2k et 8-3k la correspondance est aussi bonne que dans le cas de la série 8-1k.

En effet, les Si-nx sont positionnés à  $4,7 \pm 0,5$  nm de l'interface et la position des pièges lents est estimé à 4,5 nm de l'interface pour les transistors de la série 8-2k. De la même façon, pour les TCC de la série 8-3k, les mesures EFTEM donnent des Si-nx à  $3,4 \pm 0,5$  nm de profondeur tandis que les mesures CP estiment les pièges sondés à 3,5 nm. Les pièges sondés dans les composants implantés à 2 keV et à 3 keV sont donc effectivement les Si-nx, comme à 1 keV.

A l'issue de ces mesures, nous pouvons affirmer que le pompage de charge permet de suivre l'évolution du plan de Si-nx dans l'oxyde de grille des transistors. Cette technique est également sensible aux changements de densité des Si-nx, de leur distribution en taille et de la charge recombinée à chaque cycle.

### V-1-7) Histogramme en taille des pièges sondés dans les oxydes de TCC 8-2k et 8-3k

La Figure IV. 43 ci-dessous présente les histogrammes de taille des pièges sondés pour les 3 séries de transistors implantés :

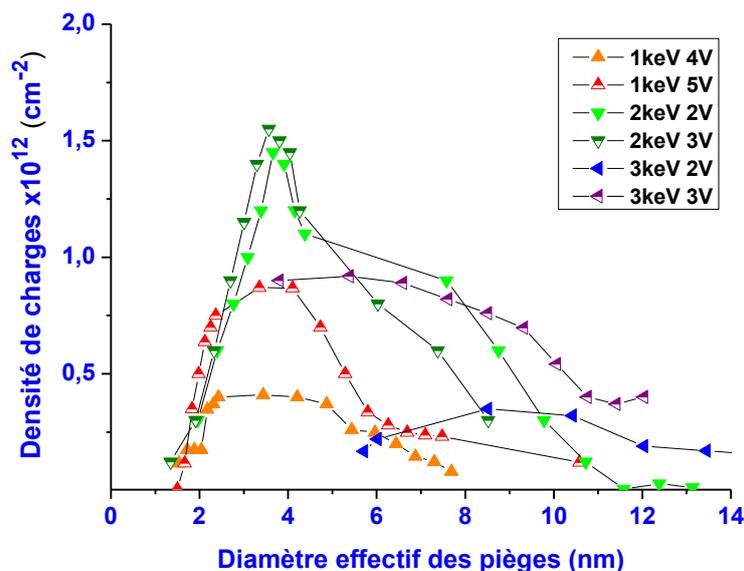


Figure IV. 43 : Histogramme en taille des pièges sondés dans les oxydes de grille des transistors des séries 8-1k, 8-2k et 8-3k

La taille moyenne des pièges sondés dans le cas de la série 8-2k est comprise entre 3 et 4 nm, c'est-à-dire la taille des Si-nx. Il est plus difficile d'estimer une taille moyenne dans le cas de la série 8-3k. En effet, on observe un étalement de la distribution lorsque l'énergie d'implantation augmente (e.g. de 1 à 3keV), probablement en raison des différences structurales des Si-nx liées à l'augmentation de l'énergie d'implantation. Cependant, les tailles et les densités obtenues pour la série 8-3k (taille de  $5,4 \pm 3,0$  nm pour  $\Delta V_G = 2V$ ) restent proches des valeurs obtenues pour des énergies

d'implantation plus faibles. Donc, les pièges sondés dans ces oxydes présentent comme dans le cas du 1 keV une taille moyenne, une position en profondeur et une densité similaires à celles des Si-nx, ce qui suffit à prouver que ce sont encore une fois les Si-nx qui sont sondés dans des transistors implantés à 2 et 3 keV. Dans le cas de transistors implantés à 2 keV, la densité de charge stockée est supérieure à celle stockée pour la série 8-1k (entre  $1,5 \times 10^{12}$  et  $1,6 \times 10^{12}$   $\text{cm}^{-2}$  contre  $4 \times 10^{11}$  à  $9 \times 10^{11}$   $\text{cm}^{-2}$ ). La plus grande densité de charges stockée pour la série 8-2k peut être reliée à de meilleures performances mémoires de structures à Si-nx implantées à 2 keV relevées dans la littérature [30]. Dimitrakis et al. montrent que la fenêtre mémoire augmente avec l'énergie d'implantation (de 0,6 à 2 keV). Dans le cas d'une implantation à 2 keV et uniquement pour les électrons (dans cette étude), ils émettent l'hypothèse de l'existence de plusieurs mécanismes d'injections, avec des constantes de temps différentes. En effet, les courbes C-V présentent alors une variation de pente. Il est alors probable qu'à partir de cette énergie apparaissent des mécanismes assistés par des défauts générés près de l'interface jusqu'au plan de Si-nx, leur densité augmentant avec l'énergie d'implantation utilisée. Le mixing de l'interface avec le substrat dans le cas d'une implantation à 3 keV dans un oxyde d'épaisseur  $\leq 10$  nm générant des pièges inhomogènes en taille mais aussi en position se traduit ici par une différence de charge stockée pour des mesures CP réalisées sous des tensions d'amplitude de 2V et 3V. En effet, la charge retenue à 3V (environ  $0,9 \times 10^{12}$   $\text{cm}^{-2}$ ) est plus importante que celle à 2V (environ à  $0,3 \times 10^{12}$   $\text{cm}^{-2}$ ). Ces densités de charges restent cependant similaires à celle obtenue pour la série 8-1k pour des mesures à 4V et 5V. Dans le cas de la série 8-3k, il est très probable qu'il soit plus facile d'injecter davantage de charge depuis le substrat à 3V qu'à 2V du fait de la faible hauteur de barrière à l'interface Si/SiO<sub>2</sub>.

Le tableau ci-dessous résume les valeurs de profondeur des pièges sondés, de leur densité, de leur taille effective et de la densité de charge qu'ils recombinent à chaque cycle :

Valeurs extraites	1 keV	2 keV	3 keV
x (nm)	4,8	4,5	3,5
$D_{\text{dots}}$ ( $\times 10^{12}$ $\text{cm}^{-2}$ )	$2,4 \pm 0,5$	$0,8 \pm 0,1$	$1,9 \pm 1,0$
$D_{\text{eff}}$ (nm)	$3,4 \pm 0,2$	$3,6 \pm 0,2$	$5,4 \pm 3,0$
$D_{\text{charge}}$ ( $\times 10^{12}$ $\text{cm}^{-2}$ )	0,4 - 0,9	1,5 - 1,6	0,3 - 0,7

Tableau 36 : Caractéristiques des pièges sondés par CP pour les trois séries, à savoir leur profondeur dans l'oxyde (notée x ici), leur densité  $D_{\text{dots}}$ , leur diamètre effectif  $D_{\text{eff}}$  ainsi que la densité de charge stockée  $D_{\text{charge}}$

Les mesures de pompage de charge nous ont donc permis de caractériser des pièges lents inclus dans le volume de l'oxyde également pour les séries 8-2k et 8-3k. Pour toutes les énergies considérées, la densité de ces pièges est supérieure à la densité des pièges d'interface : de plus de deux

ordres de grandeurs pour la série 8-1k, de plus d'un ordre de grandeur pour la série 8-2k et d'un facteur presque 4 pour la série 8-3k. Ce rapport pièges lents/pièges d'interface décroît avec l'augmentation de l'énergie d'implantation. Cette décroissance est parfaitement explicable dans le cas des Si-nx des séries 8-2k et 8-3k : pour une épaisseur d'oxyde donnée, plus l'énergie d'implantation est élevée plus les ions implantés se rapprochent de l'interface avec le substrat. La quantité d'ions participant à la formation des Si-nx décroît et dans le même temps le mixing de l'interface augmente la quantité de défauts. Ainsi le rapport entre la densité de Si-nx et la densité de pièges d'interface diminue fortement pour une implantation à 3 keV.

Dans le cadre de modifications ou optimisations de process de fabrication de composants à mémoire non-volatile à base de nanocristaux, le pompage de charge pourra bien être utilisé comme technique rapide et non destructive de caractérisations et de suivi de l'état des nanocristaux. Ceci pourrait être intéressant pour le suivi de la position des Si-nx ainsi que des caractéristiques électriques (chargement des Si-nx, niveaux de courant de fuite, densité de défauts) lors de la réduction de l'épaisseur d'oxyde d'injection, comme prévu d'ici 2015 par l'ITRS pour les mémoires non volatiles (passage de 6-7 nm à 5-6 nm).

## V-2) Suivi des propriétés des Si-nx en fonction des conditions de recuit

### V-2-1) Présentation des échantillons étudiés

Dans cette partie, la série 8-1k sera encore une fois notre série de référence. Voyons maintenant ce que nous apporte le pompage de charge concernant les modifications en taille et en densité des Si-nx implantés également à 1 keV mais ayant subi un double recuit de synthèse des Si-nx (i.e. plus fort budget thermique total). Nous utiliserons pour cette étude les composants de la série 2. Les conditions de synthèse des Si-nx pour les séries 2 et 8-1k sont répertoriées dans le tableau ci-dessous :

Série	Préparation interface	Implantation	Recuit de synthèse	Epaisseur totale finale $t_{ox}$	Epaisseur finale oxyde d'injection
2	DTC4R	1 keV / $7,5 \cdot 10^{15} \text{ cm}^{-2}$	{1050°C, 90 min, $N_2$ } + {950°C, 60min, $N_2 + 6,5\%O_2$ }	~ 24 nm	> 5 nm
8-1k	Nanocrystals Inside	1 keV / $1 \cdot 10^{16} \text{ cm}^{-2}$	{1050°C, 30 min, $N_2$ } + {950°C, 30min, $N_2 + 1,5\%O_2$ }	12,2 nm	5,3 nm

Tableau 37 : Conditions de synthèse des Si-nx pour la série 2 et la série 8-1k et épaisseurs finales après synthèse

Ce tableau montre que le second recuit réalisé pour la série 2 est nettement plus oxydant que

celui de la série 8-1k (6,5% contre 1,5% d'O<sub>2</sub>) et plus long (60 minutes contre 30 minutes). Les valeurs d'épaisseurs finales s'en ressentent fortement puisqu'elles sont respectivement de 24 nm et 12,2 nm pour les séries 2 et 8-1k. De plus, si le plan de Si-nx a été observé à 5,3nm de l'interface pour la série 8-1k (voir Figure IV. 39 et Tableau 32), les mesures EFTEM n'ont pas permis de montrer clairement de plan de Si-nx dans la série 2. Ceci est probablement lié à une taille effective beaucoup trop faible des Si-nx à l'issue de la forte oxydation subie pendant le second recuit. Cependant, si l'EFTEM n'a rien révélé, les mesures de PL quant à elles ont permis de déceler un signal faible mais bien réel et décalé vers les faibles longueurs d'ondes, ce qui atteste de la présence de Si-nx. Au final, la série 2 doit donc bien comporter de petits Si-nx, probablement en plus faible densité et situés à plus de 5 nm de l'interface Si/SiO<sub>2</sub>.

Le tableau ci-dessous rappelle les valeurs d'I<sub>PL</sub> et de λ<sub>PL</sub> obtenues pour ces deux types de synthèse (série 2 et échantillon M<sub>2</sub>, de synthèse équivalente à celle de la série 8-1k (voir chapitre 2)).

Echantillon / Série	Détection PL
M2 - 8-1k	I <sub>PL</sub> = 278 u.a., λ <sub>PL</sub> = 752 nm
Série 2	I <sub>PL</sub> = 20u.a., λ <sub>PL</sub> = 700nm

Tableau 38 : Caractéristiques de PL des Si-nx synthétisés dans l'oxyde de grille des transistors de la série 2 et de la série 8-1k

Pour estimer la taille moyenne des Si-nx de ces deux séries à partir des résultats de PL, nous utilisons le polynôme présenté dans le chapitre 2 (Figure II.11). Dans le cas de la série 8-1k, la longueur d'onde λ<sub>PL</sub> = 752 nm correspond à une énergie E<sub>PL</sub> = 1,65 eV, et donc à une taille estimée des Si-nx de 2,2 nm. Dans le cas de la série 2, on obtient une longueur d'onde λ<sub>PL</sub> = 700 nm, correspondant à une énergie E<sub>PL</sub> = 1,77 eV et donc à une taille de Si-nx d'environ 1,4 nm, qui effectivement comment à être difficile à détecter par EFTEM. Ceci explique probablement pourquoi l'EFTEM n'a rien pu déceler.

### **V-2-2) Profil en profondeur et histogramme en taille**

La figure ci-dessous présente les courbes I<sub>CP</sub>(log(f)) et Q<sub>CP</sub>(log(f)) extraites de mesures CP réalisées sur des TCC de la série 2, sous des tensions ΔV<sub>G</sub> = 3V, 4V et 5V.

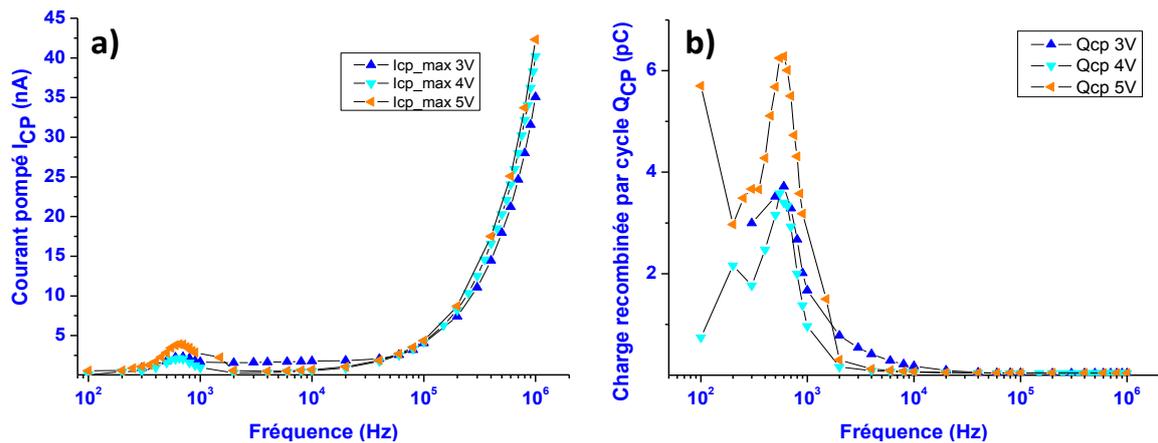


Figure IV. 44 : a) Courant pompé  $I_{CP}$  et b) charge recombinaée par cycle  $Q_{CP}$  en fonction du logarithme de  $f$  pour des transistors de la série 2 testés sous des impulsions  $\Delta V_G=3V, 4V$  et  $5V$

Cette figure montre en (a) une augmentation du courant pompé à BF, entre 100 Hz et 1 kHz pour les 3 tensions testées. Cette contribution de courant, due à des pièges lents, se traduit en (b) par un pic de charge recombinaée centré respectivement sur 600 Hz (3V), 550 Hz (4V) et 600 Hz (5V). Il n'y a donc pas de décalage en fréquence lorsque la tension augmente entre 3V et 5V dans le cas de la série 2. La quantité de charge recombinaée par cycle dans ces pièges lents en fonction de la tension appliquée est alors de 3,7 pC (3V), 3,6 pC (4V) et 6,3 pC (5V). Cette dernière tension, la plus élevée, permet donc une meilleure capture de charges dans les pièges lents. Les distributions en profondeur pour la série 2 et pour la série 8-1k sont présentées sur la figure suivante :

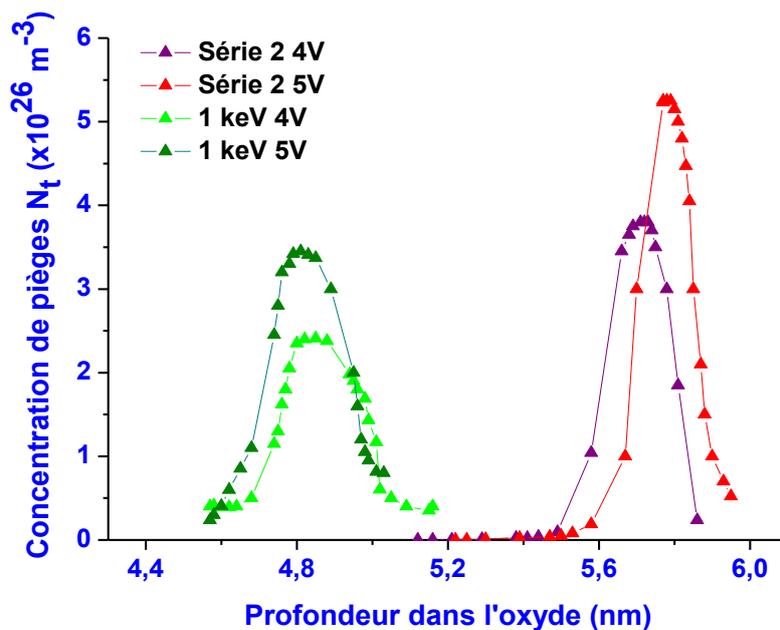


Figure IV. 45 : Profils en profondeur extraits des mesures CP réalisées sur des TCC de la série 2 et de la série 8-1k pour des impulsions  $\Delta V_G=4V$  et  $5V$

Cette figure montre que pour deux implantations réalisées à 1 keV, et donc pour une même profondeur des ions Si<sup>+</sup> en excès dans l'oxyde de grille, on observe un décalage de la position du plan de Si-nx après recuit. En effet, cette position était de 4,8 nm dans le cas de la série 8-1k tandis qu'elle est comprise entre 5,7 et 5,8 nm dans le cas de la série 2. Ce décalage n'est pas surprenant puisqu'il correspond à une augmentation d'épaisseur de l'oxyde d'injection par oxydation du substrat de silicium lors du recuit de la série 2. Cette expansion asymétrique [31, 32] a déjà été observée dans l'oxyde d'injection lors de l'utilisation de recuits à forts budgets thermiques (à partir de 30 minutes à T=1050°C). De plus, l'utilisation d'un recuit oxydant provoque une oxydation progressive des Si-nx, ce qui a pour conséquence de réduire leur taille et d'augmenter l'épaisseur totale de l'oxyde. Cette figure montre également que la concentration de pièges lents sondés dans le cas de la série 2 est du même ordre de grandeur que celle des Si-nx dans le cas de la série 8-1k, en effet toutes les concentrations présentées Figure IV. 45 sont comprises entre 2,5 et 5x10<sup>26</sup> m<sup>-3</sup>. En intégrant les profils de concentration des pièges dans le cas de la série 2, on obtient des densités surfaciques de pièges comprises de 3,9x10<sup>12</sup> cm<sup>-2</sup> (pour ΔV<sub>G</sub>= 4V) et 6,4x10<sup>12</sup> cm<sup>-2</sup> (pour ΔV<sub>G</sub>= 5V). Si ces pièges lents sont les Si-nx, alors ces densités semblent être un peu surestimées puisque la densité doit être plus faible que celle des Si-nx de la série 8-1k (estimées par CP entre 2,4 à 3,8x10<sup>12</sup> cm<sup>-2</sup>) compte-tenu des conditions de synthèse respectives. Néanmoins, ces valeurs sont du même ordre de grandeur et nous avons vu que la densité extraite par CP pour la série 8-1k était également légèrement surestimée par rapport aux valeurs extraites des mesures EF-TEM.

La figure suivante présente l'histogramme en taille des pièges lents sondés dans la série 2 et des Si-nx caractérisés dans la série 8-1k :

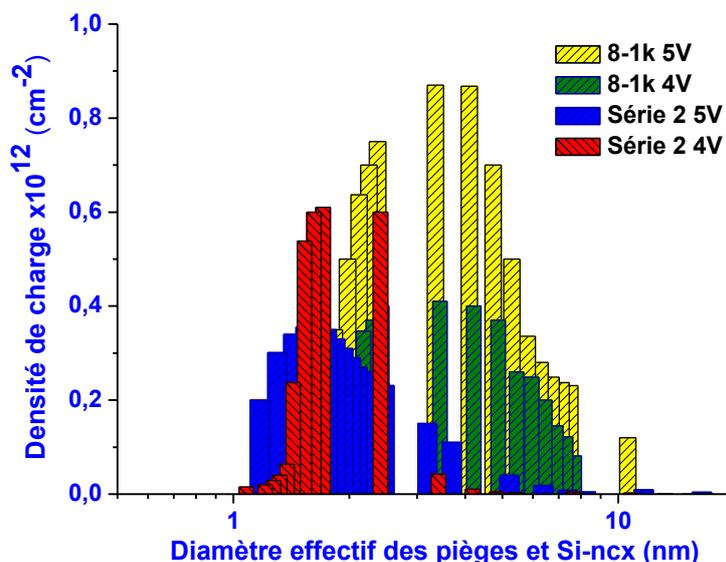


Figure IV. 46 : Histogramme en taille des ncx de la série 8-1k et des « pièges » de la série 2

Cet histogramme en taille montre une diminution à la fois de la taille des pièges et de la densité de charge qu'ils recombinaient lorsque l'on augmente le recuit thermique. En effet, les pièges sondés sont de taille comprise entre 1,6 et 1,7 nm et la charge recombinaée est comprise entre  $3 \times 10^{11}$  et  $6 \times 10^{11} \text{ cm}^{-2}$  dans le cas de la série 2. Cette taille est très proche de la valeur de 1,4 nm déterminée par le polynôme décrivant les points expérimentaux de la Figure II.11 du chapitre 2. Les correspondances en taille ( $< 2 \text{ nm}$ ), en densité (ordre de grandeur de  $10^{12} \text{ cm}^{-2}$ ) et en position dans l'oxyde ( $> 5 \text{ nm}$  de profondeur) tendent à prouver qu'encore une fois les pièges lents sondés par CP sont bien les Si-nx.

On peut donc dire que le pompage de charge permet aussi de suivre les variations de taille, de densité et de position dans l'oxyde des Si-nx en fonction des conditions de recuit.

Au final, le pompage de charge permet donc de suivre les variations du système de Si-nx pour l'ensemble des conditions de synthèse.

## Conclusion générale du chapitre

Dans ce chapitre, nous avons cherché à mettre en place une technique non destructive permettant de caractériser la position, la densité et la taille de Si-nx enfouis dans l'oxyde de grille de composants MOS réalisés par le procédé Nanocrystals Inside. A l'issue du chapitre précédent, nous avons montré que ces composants retiennent effectivement la charge et la piste d'un chargement majoritaire dans les Si-nx a été proposée. Nous avons alors voulu vérifier cette hypothèse et déterminer la position précise du chargement dans l'oxyde ainsi que la quantité de charge stockée. Une analyse détaillée de la méthode d'extraction de distribution en profondeur proposée initialement par Maneglia nous a permis de montrer qu'il est possible en utilisant des conditions optimales de mesures de sonder un plan de Si-nx positionnés à plus de 3 nm de profondeur dans l'oxyde par pompage de charge. Ce résultat a été permis en utilisant des composants dont les Si-nx ont été synthétisés par implantation ionique. Nous avons alors déterminé les valeurs expérimentales des hauteurs de barrières, puis l'ensemble des paramètres utilisés pour reconstruire ces profils ont été déduits à partir des valeurs expérimentales. Des mesures en température ont montré que le chargement des Si-nx est bloqué à  $T=77K$  mais que l'on retrouve les augmentations de courant pompé  $I_{CP}$  et les maxima locaux de charge recombinaison  $Q_{CP}$  à basses fréquences lorsque la température revient à la température ambiante. On confirme ainsi que ces fortes contributions de charge recombinaison à BF sont intégralement dues au chargement des Si-nx pendant l'inversion forte. Nous avons ensuite montré que le pompage de charge permettait de suivre les modifications de la position, de la taille et de la densité des Si-nx lorsque l'on change l'énergie d'implantation ou le recuit de synthèse.

Au final, la technique de pompage de charge appliqué à nos échantillons a permis de faire converger qualitativement et quantitativement l'ensemble des résultats de caractérisation mémoire des Si-nx. Avec cette technique fiable, rapide et non destructive de caractérisation complète des Si-nx, nous pouvons maintenant nous atteler à la réduction du nombre de Si-nx synthétisés dans l'oxyde de grille. Le travail effectué pendant cette thèse sur la réduction du nombre de Si-nx est le centre du prochain et dernier chapitre.

## Références bibliographiques du chapitre 4

- [1] G. Groeseneken, H.E Maes, N. Beltran and R.F. de Keersmaker, *IEEE Trans. Electron Devices*, ED-31, 42 (1984)
- [2] Y. Maneglia, D. Bauza, *J. Appl. Phys.*, Vol. 79, No. 8 (1996)
- [3] D. Bauza and G. Ghibaudo, *Solid State Electron.*, Vol. 39, No. 4 (1996)
- [4] J.S. Brugler and P. G. A. Jespers, *IEEE Trans. Electron. Devices* ED-16, 297 (1969)
- [5] Y. Maneglia, Thèse de doctorat, Institut National Polytechnique de Grenoble (1999)
- [6] O. Ghobar, D. Bauza, and B. Guillaumot, *Proc. IEEE Int. IRW* (2007)
- [7] J. G. Simmons, L. S. Wei, *Solid-State Electronics*, Vol. 16 (1) (1973)
- [8] A. B. M Elliot, *Solid-State Electronics*, Vol. 19 (3) (1976)
- [9] D. J. DiMaria, éditions S. T. Pantelides (Pergamon, New York, 1979)
- [10] M. Declercq, P. Jespers, *Acta Techn. Belgica*, Vol. 9 (1974)
- [11] F. P. Heiman, G. Warfield, *IEEE Trans. Electron Devices*, Vol. ED-12 (4) (1965)
- [12] R. E. Paulsen, R. R. Siergie, M. L. French, M. H. White, *IEEE Electron Dev. Lett.*, Vol. 13 (12) (1992)
- [13] R. E. Paulsen, M. H. White, *IEEE Trans. Electron Devices*, Vol. ED-41 (7) (1994)
- [14] A. Roy, Ph.D. dissertation, Lehigh Univ., Bethlehem, PA, 1989
- [15] D. Bauza, *IEEE Trans. Electron Devices*, Vol. 56, No. 1 (2009)
- [16] W. Shockley and W. T. Read, *Phys. Rev.* Vol. 87, No. 5 (1952)
- [17] R. N. Hall, *Phys. Rev.* Vol. 87 (1952)
- [18] R. A. Wachnik, J. R. Lowney, *Solid-State Electron.*, Vol. 29, No. 4 (1986)
- [19] Y. Maneglia, D. Bauza, *J. Appl. Phys.*, Vol. 79, No. 8 (1996)
- [20] R. Fernández, *J Electron Test* (2009) 25:279–283
- [21] L. Militaru, O. Weber, M. Muller, F. Ducroquet, D. Dusciac, C. Plossu, T. Ernst, B. Guillaumot, S. Deleonibus, T. Skotnicki, *Solid-State Device Research conference, ESSDERC 2004*
- [22] P. Masson, L. Militaru, B. De Salvo, G. Ghibaudo, V. Celibert, and T. Baron, *ESSDERC 2002: European solid-state circuits conference, Firenze, Italy*
- [23] A. Souifi et al., *Materials Science and Engineering B102* (2003)
- [24] H. Coffin, Thèse de doctorat, Université de Toulouse (2005)
- [25] G. Aygun, G. Roeder, T. Erlbacher, M. Wolf, M. Schellenberger and L. Pfitzner, *Journal of Applied Physics*, Vol. 108, No.7 (2010)
- [26] B. Brar, G.D. Wilk, A.C. Seabaugh, *Applied Physics Letters*, Vol. 69, No. 18 (1996)
- [27] G. Hollinger, *Applications of Surface Science*, Vol. 8 (1981)
- [28] F. J. Grünthner, P. J. Grünthner, R. P. Vasquez, B. F. Lewis, J. Maserjian, A. Madhukar, *J. Vac. Sci. Technol.*, Vol. 16 (1979)
- [29] P. Masson, J.L. Autran and J. Brini, *IEEE Electron Device Letters*, Vol. 20, No. 2, (1999)

- [30] P. Dimitrakis et al., *Materials Science and Engineering: B*, Vol. 101 (2003)
- [31] M.Carrada, N.Cherkashin, C.Bonafos, G.BenAssayag, D.Chassaing, P.Normand, D.Tsoukalas, V.Soncini, and A.Claverie, *Materials Science and Engineering: B*, Vol. 101 (2003)
- [32] C.Bonafos, M.Carrada, N.Cherkashin, H.Coffin, D.Chassaing, G.BenAssayag and A.Claverie, T.Müller and K.H.Heinig, M.Perego and M.Fanciulli, P.Dimitrakis and P.Normand, *Journal of Applied Physics*, Vol. 95, No. 10 (2004)

## ***5. Synthèse de poches à nombre contrôlé de Si-ncx***

---

# Introduction

Nous avons vu dans les chapitres précédents qu'il était possible de réaliser des mémoires à Si-nx pour lesquelles nous pouvions contrôler la profondeur du plan 2D de Si-nx dans l'oxyde de grille. L'effet mémoire dans ces composants a été caractérisé et nous avons également développé la méthode du pompage de charges pour déduire toutes leurs caractéristiques : position en profondeur dans l'oxyde, densité, taille... [1, 2]. Ayant, maintenant une technique permettant de « compter » le nombre de Si-nx au sein des dispositifs, nous nous proposons de fabriquer ces structures avec un nombre réduit de Si-nx.

Une des voies possibles pour réduire le nombre d'électrons adressés lors de l'écriture et l'effacement d'une mémoire à nanocristaux consiste à diminuer directement le nombre de nanocristaux lors de la synthèse. Dans le cas d'un plan 2D de Si-nx, cela revient à réduire latéralement les dimensions de ce plan. Pour cela, nous allons détailler deux procédés de masquage, prioritairement la lithographie Stencil mais aussi une méthode à base de masque métallique produit par lithographie électronique, que nous couplerons à notre méthode de synthèse ULE-IBS classique. La technique Stencil avait déjà été utilisée en 2008 par Carine Dumas [3], au cours de sa thèse. Cependant la taille minimale des motifs obtenus était de l'ordre de 1.5  $\mu\text{m}$  même si de la photoluminescence issue de Si-nx avait été observée dans des motifs en croix de l'ordre de 300 nm [4].

Le but des travaux exposés dans ce chapitre est de poursuivre cette étude pour aller plus loin dans la réduction des dimensions accessibles par masquage stencil (*Stencil Masked*, SM) couplé à l'implantation ionique à très basse énergie (*Ultra-Low-Energy Ion-Beam-Synthesis*, ULE-IBS). Le couplage de ces deux techniques sera noté SM-ULE-IBS., Je présenterai donc, dans un premier temps, comment synthétiser localement les Si-nx dans l'oxyde optimisé puis, dans un deuxième temps, comment on peut intégrer cette synthèse localisée dans les transistors MOSFET présentés chapitre 2. Pour cette étude, nous couplerons des études par AFM de gonflement de l'oxyde à la détection des nx par photoluminescence (PL) locale.

# I) Résultats et caractérisations de poches de Si-ncx réalisées par masquage Stencil

## I-1) Masquage avec les membranes en $\text{Si}_x\text{N}_y$

### I-1-1) Présentation des membranes en $\text{Si}_x\text{N}_y$

Les membranes constituant les masques stencils sont fabriquées par des moyens classiques de procédé MEMS résumés schématiquement Figure V. 1 :

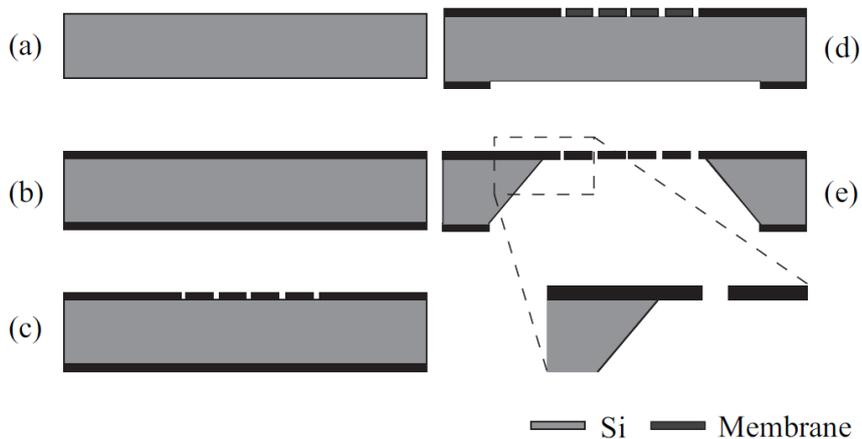


Figure V. 1 : Schéma des étapes de fabrication de membranes stencils en film mince : a) substrat (wafer Si), b) dépôt de la membrane (e.g. SiN), c) définition des ouvertures dans la membrane, d) définition de la gravure en face arrière, e) libération de la membrane par gravure du substrat [5]

Pratiquement, ce procédé peut être appliqué à n'importe quel type de films minces composés de Si (membranes en SiN,  $\text{SiO}_2$ , etc). Cependant le SiN non stœchiométrique ( $\text{Si}_x\text{N}_y$ ) a été préféré à d'autres matériaux, notamment le  $\text{Si}_3\text{N}_4$ , car il possède un fort module de Young (entre 210 et 290 MPa) et possède un stress résiduel 6 fois plus faible, ce qui limite la déformation initiale de la membrane. Il est donc assez robuste mécaniquement, présente une forte sélectivité par rapport au Si lors de la libération de la membrane par gravure au KOH et peut supporter des étapes de procédés à hautes températures. De ce fait, cette technique de fabrication de membranes stencil en  $\text{Si}_x\text{N}_y$  est simple, rapide et peu coûteuse. Les membranes que nous avons utilisées proviennent de notre collaboration avec l'équipe de Juergen Brugger de l'EPFL en Suisse. Les épaisseurs réalisées à l'EPFL couvrent la gamme comprise entre 100 nm et 1  $\mu\text{m}$ . Ainsi, ces membranes sont parfaitement opaques aux ions  $\text{Si}^+$  dans la gamme des énergies d'implantation que nous utilisons et nous permettent facilement de moduler spatialement la dose lors de l'implantation ionique. Les ouvertures de tailles et de géométries variables sont réalisées par photolithographie pour des dimensions supérieures ou égale à 1  $\mu\text{m}$  et par DUV (*Deep Ultraviolet*) lorsqu'elles sont submicroniques.

Les stencils que nous avons le plus souvent utilisés comportent des membranes de 600 nm d'épaisseur et une structure en nid d'abeille [5] qui améliore leur tenue mécanique (Figure V. 2 a). Ces membranes rigidifiées dites « corrugated » sont moins sensibles à la déformation au cours du temps en particulier dans le cas de réseaux denses de motifs et après une série d'implantations. Elles comportent des motifs carrés, circulaires et triangulaires dans une gamme de taille allant de 1  $\mu\text{m}$  à 10  $\mu\text{m}$ . L'image optique ci-dessous montre un stencil contenant de tels motifs, de formes triangulaires. Les renforts apparaissent sur cette image comme des structures en forme de nid d'abeille. Nous avons également réalisé des motifs jusqu'à 25 nm (Figure V. 2 b).

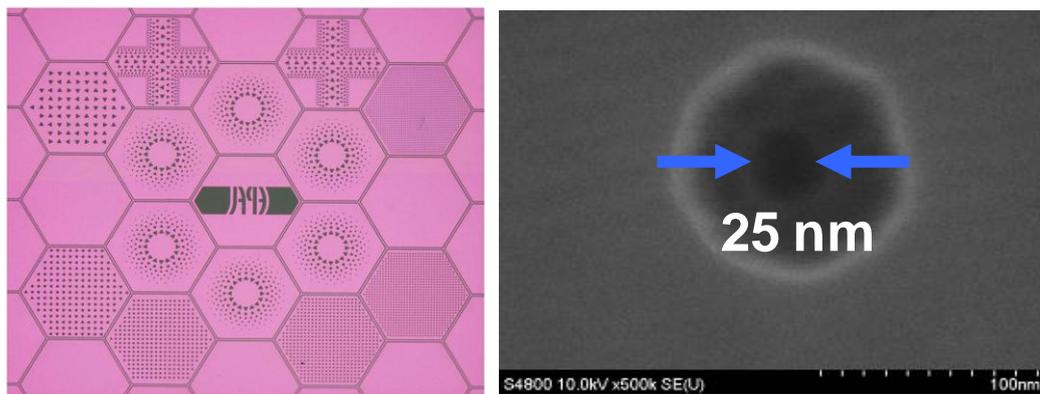


Figure V. 2 : a) Image optique d'une des membranes rigidifiées d'un stencil de 600 nm d'épaisseur en  $\text{Si}_x\text{N}_y$  de l'EPFL, les motifs sont triangulaires et leur taille varie de 1  $\mu\text{m}$  à 10  $\mu\text{m}$ , b) Image MEB d'une ouverture submicronique réalisée sur une membrane  $\text{Si}_x\text{N}_y$  par e-beam

### I-1-2) Le procédé de transfert des motifs dans l'oxyde avec une membrane Stencil

La synthèse locale de  $\text{Si-nx}$  par la technique SM-ULE-IBS est illustrée sur la figure suivante :

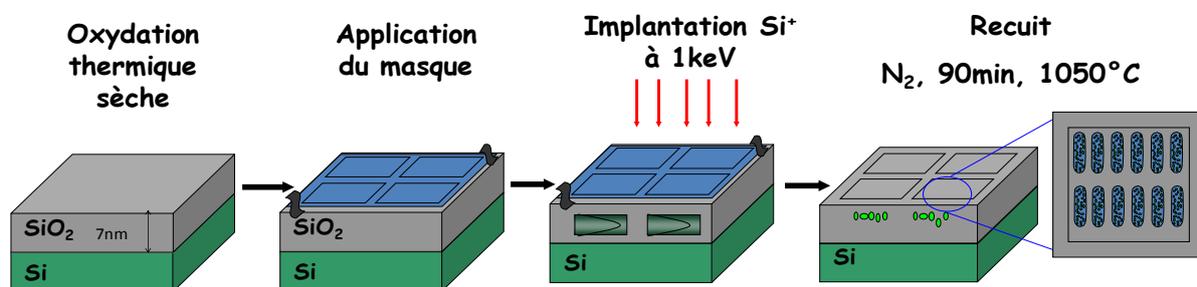


Figure V. 3 : Technique SM-ULE-IBS permettant la synthèse localisée et contrôlée de  $\text{Si-nx}$  dans une couche mince de  $\text{SiO}_2$

Cette synthèse est extrêmement simple puisqu'elle ne comporte que 4 étapes :

- 1 – Oxydation thermique sèche
- 2 – Alignement du masque Stencil sur le composant
- 3 – Implantation ionique basse énergie à travers le masque stencil
- 4 – Retrait du masque et recuit de synthèse des nanocristaux

Nous allons maintenant décrire quelques effets indésirables qu'il convient de prendre en compte et de limiter avec cette technique.

### ***I-1-3) Les effets à prendre en compte dans la lithographie Stencil : « blurring et clogging »***

C'est la « face dite active » du masque stencil qui est posée sur la surface de l'échantillon, c'est-à-dire celle contenant les motifs. Cette manière d'appliquer le masque, quoique plus délicate en raison des risques d'endommagement des motifs, est néanmoins la meilleure pour transférer les motifs car la distance (ou gap) entre le masque et l'échantillon est réduite au minimum. On limite ainsi au maximum les effets de "blurring" couramment observés lors de l'utilisation de telles membranes stencil dans des procédés à base d'évaporations métalliques par exemple (Figure V. 4 a). La divergence du faisceau et le gap noté G entre le masque et le substrat entraînent un dépôt de largeur notée B plus large que la taille des ouvertures W. La Figure V. 4 b) montre la configuration SM-ULE-IBS pour l'implantation ionique à basse énergie où l'on voit que les effets conjugués d'un faisceau très directif et perpendiculaire à la surface ainsi que d'un petit gap réduisent fortement ce "blurring". Nous vérifierons par la suite que, quel que soit le type de masque utilisé, cette procédure permet d'obtenir des motifs implantés dont la taille est très proche de celles des motifs du masque stencil (écart ~ 10%).

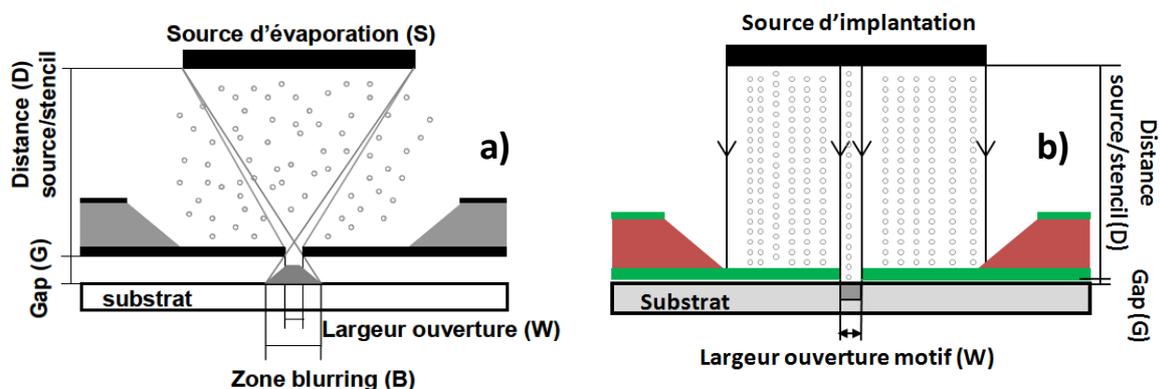


Figure V. 4 : schémas représentant, a) l'effet du blurring dans le cas d'un faisceau divergent et d'un gap entre substrat et membrane non réduit, b) de la limitation de cet effet dans le cas d'un faisceau directif et perpendiculaire à la surface et d'un gap réduit par la mise en contact du stencil et de l'échantillon

Le masquage stencil engendre généralement un autre effet non désiré, le "clogging", lié au dépôt de matière évaporée à travers le masque. La taille des motifs se réduit au fur et à mesure du dépôt de matière jusqu'à l'obturation complète des motifs, en particulier pour les plus petits d'entre eux. Dans le cas de membranes métallisées par évaporation, cet effet est non négligeable et la réduction de la taille des motifs, notée  $\Delta W$ , peut être calculée par la relation suivante [5] [9]:

$$\Delta W = t_{dep} \cdot \frac{S}{2D} \quad \text{Équation 1}$$

Où  $t_{dep}$  est l'épaisseur de la couche de métal évaporée, S la largeur de la source et D la distance entre la source et la membrane.

En revanche, nous sommes insensibles à cet effet au cours de l'implantation ionique et nous constatons plutôt une augmentation des dimensions à cause de la pulvérisation ionique du nitrure. Cet effet reste cependant très lent dans nos conditions expérimentales.

#### ***1-1-4) Qualité de transfert après implantation ionique à travers un masque $Si_xN_y$***

La Figure V. 5 a) montre une image optique d'un masque stencil (ici, une membrane rigidifiée en  $Si_xN_y$ ) contenant des motifs carrés de taille comprise entre 2  $\mu m$  et 10  $\mu m$ . En (b) c'est l'image optique de la surface de silice de la zone implantée correspondante avant recuit. En (c) nous avons tracé la courbe représentant la taille des motifs implantés en fonction de la taille des motifs dans le masque.

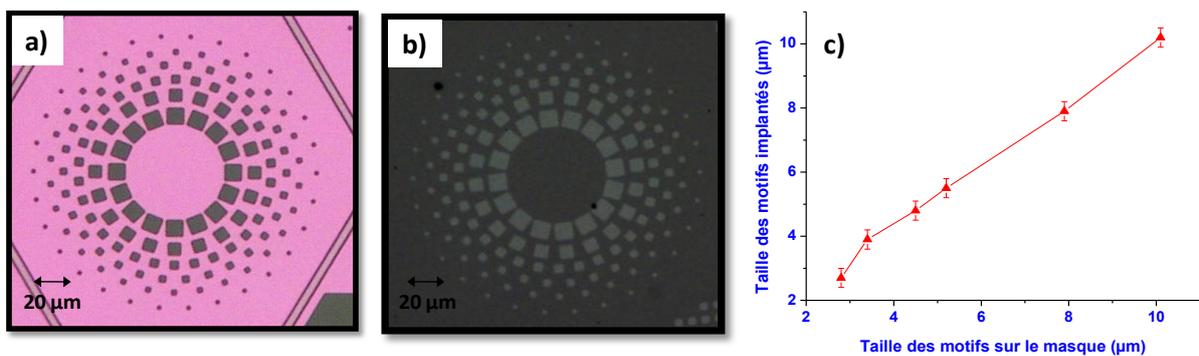


Figure V. 5 : images optiques, a) d'une zone sur une membrane stencil rigidifiée de 600 nm d'épaisseur contenant des motifs carrés, b) de la surface de silice implantée à travers cette zone à 1 keV et à une dose de  $1 \times 10^{16} \text{ cm}^{-2}$ , c) taille du motif implanté en fonction de la taille du motif dessiné sur le masque

Les figures b) et c) montrent que la qualité du transfert des motifs dans la silice est très bonne, sans effet de "blurring" apparent à cette échelle. En effet, les tailles de motifs implantés sont égales aux tailles de motifs dans le masque, aux barres d'erreur près ( $\pm 0,3 \mu m$ ). Après recuit, la microscopie

électronique à balayage (MEB) permet de détecter facilement et rapidement les motifs microniques ou submicroniques et de valider le processus de synthèse locale.

### ***I-1-5) Caractérisation de la synthèse locale de Si-ncx par AFM***

Cette méthode consiste à mesurer les modifications de l'état de surface de la silice après le processus de synthèse. Elle est basée sur la mesure du « gonflement » de la silice qui est systématiquement observé après la synthèse de Si-ncx par ULE-IBS dans la couche de SiO<sub>2</sub>. Cette augmentation de l'épaisseur de la matrice est la signature de l'implantation ionique dans cette couche et est d'autant plus importante que la dose est élevée [6], comme le montre le tableau ci-dessous :

Dose ( $\times 10^{16} \text{ cm}^{-2}$ )	0,2	0,5	0,8	1	1,5
Epaisseur SiO <sub>2</sub> (nm)	11,1	10,8	12,8	12,5	14
Gonflement (nm)	1,1	0,8	2,8	2,5	4

Tableau 39 : Augmentation de l'épaisseur totale d'oxyde après implantation à 1 keV dans un oxyde de 10 nm à différentes doses, pour un recuit donné [6]

Dans le cas d'une implantation masquée, ce gonflement n'apparaît après recuit que dans les zones implantées et crée donc un relief en surface, témoin de la localisation de la dose implantée dans la silice. Ainsi, quand la synthèse est réussie ce gonflement associé à la photoluminescence atteste de la présence de nanocristaux de silicium dans la silice. Au cours de ce chapitre, nous avons donc couplé systématiquement des mesures par AFM et par PL locale sur les motifs implantés pour attester de la présence de Si-ncx.

#### ***I-1-5 a) Mesure du gonflement caractéristique des zones implantées***

Les mesures de gonflement localisé de la surface de silice ont été réalisées par Microscopie à Force Atomique (AFM) en mode « tapping » par Thierry Ondarçuhu du CEMES et Laurence Ressler de l'INSA selon les cas.

Dans un premier temps, nous avons réalisé les mesures de gonflement à l'extérieur du stencil, là où le motif peut être considéré comme infini, et l'on retrouve ainsi la situation d'implantation non masquée, afin de prendre une valeur de référence. A cet endroit, le gonflement trouvé est compris généralement entre 3,0 et 3,5 nm.

La Figure V. 6 ci-dessous illustre un résultat typique de mesure des motifs implantés observé par AFM. Sur l'image topographique a) les motifs sont parfaitement conformes au stencil, à savoir des réseaux concentriques de motifs carrés de taille allant de 1  $\mu\text{m}$  à 10  $\mu\text{m}$  (toutes les tailles ne sont pas visibles sur l'image AFM présentée). En b) et c) l'image topographique et le profil correspondent à un

motif implanté à travers une fenêtre de 5  $\mu\text{m}$  d'un masque en  $\text{Si}_x\text{N}_y$ .

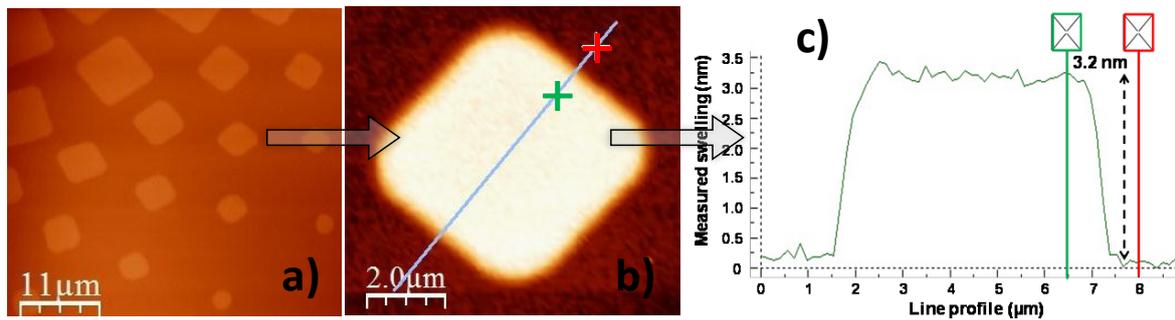


Figure V. 6 : a) image AFM d'un échantillon implanté à 1 keV à une dose programmée de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  à travers des motifs carrés de taille allant de 1  $\mu\text{m}$  à 10  $\mu\text{m}$  puis recuit à 1050°C pendant 30 min sous  $\text{N}_2$ , b) image AFM d'un carré isolé de ce réseau de motifs, c) profil en hauteur pris sur l'image AFM précédente montrant un gonflement de 3,2 nm sur la zone implantée

Le profil du gonflement (c) présente plusieurs points intéressants :

- tout d'abord, dans les zones non implantées la rugosité du  $\text{SiO}_2$  a une valeur moyenne très faible (environ 0,1 nm) comparable à celle du  $\text{SiO}_2$  non implanté
- ensuite les flancs sont très abrupts, ce qui atteste de l'opacité aux ions de la membrane hors fenêtres du masque et de la faible diffusion latérale des ions (Figure V. 4 b). Les mesures AFM permettent d'estimer l'effet de « blurring » à 10% environ.
- enfin, la valeur du gonflement est typique (environ 3,2 nm) et son allure correspond au profil décrit précédemment (hauteur constante dans le motif, flancs abrupts). Nous pouvons conclure que la synthèse locale de  $\text{Si-nx}$  est parfaitement homogène.

Les valeurs que nous avons mesurées ici correspondent donc à celle déjà obtenues pour une synthèse réalisée dans les mêmes conditions mais sans le masquage Stencil [3, 7]. Ainsi, les valeurs de gonflement dans les zones masquées de grande taille ( $>1\mu\text{m}$ ) diffèrent très peu des valeurs obtenues en bord de stencil dont nous avons parlé plus haut. Cependant, si ces résultats sont extrêmement reproductibles dans cette gamme de taille comprises entre 1 et 10 $\mu\text{m}$ , il a déjà été montré lors d'une thèse précédente (C. Dumas) que le gonflement mesuré par AFM diminue avec des motifs implantés de taille inférieure et ainsi qu'à une dose donnée, une « perte de dose » apparaît lorsque les dimensions diminuent [3]. Nous allons donc nous proposer d'identifier les causes et de quantifier, à partir de nos mesures de gonflement d'oxyde, l'écart entre la dose prévue et la dose réellement implantée dans les motifs que nous nommerons respectivement « dose programmée » et « dose effective ». Rappelons qu'il a été montré par ailleurs que, dans nos type d'échantillons, la dose minimale seuil,

« programmée », pour former les Si-ncx après recuit par synthèse ULE-IBS est d'environ  $5 \times 10^{15}$   $\text{Si}^+/\text{cm}^2$  [13,14].

### **I-1-5 b) Caractérisation de la perte de dose dans les motifs par AFM**

Pour cela, nous avons réalisé des couches Si/SiO<sub>2</sub> avec une épaisseur de silice est de 7 nm. Ces échantillons ont été implantés à très basse énergie (fixée à 1keV), à travers des membranes stencils dont la taille des fenêtres varie entre 50 nm et 50  $\mu\text{m}$ . Nous avons testé trois valeurs de dose « programmée » :  $5 \times 10^{15}$ ,  $7,5 \times 10^{15}$  et  $1 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$ . Préalablement une couche mince de métal (aluminium, argent ou or) a été évaporée par précaution sur la membrane stencil pour permettre aux charges injectées par le faisceau d'ions de s'écouler vers le substrat pendant l'implantation. Pour cela nous avons tenu compte des effets de "clogging" qui sont critiques pour les petites tailles de motifs.

Les valeurs spécifiques de l'implanteur du CEMES, de la taille de la source et la distance porte-échantillon/source donnent un rapport S/D égal à  $0,04 \pm 0,01$ . Ainsi, pour une couche de métal de 250 nm d'épaisseur, la réduction en taille des motifs n'est que de  $\Delta W = 5$  nm. Cette réduction n'est donc pas critique, même pour les plus petits motifs considérés (50 nm). Après implantation les échantillons ont été recuits pendant 90 minutes à 1050°C sous un flux de N<sub>2</sub>.

La Figure V. 7 ci-dessous montre la décroissance du gonflement de la surface de l'oxyde en fonction de la dose programmée, après implantation à travers trois tailles de motifs.

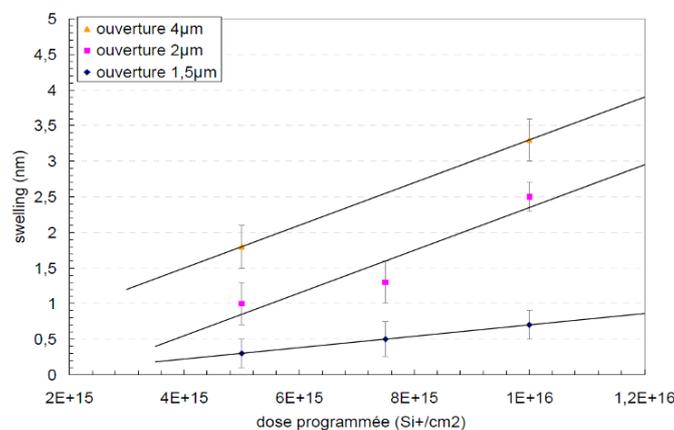


Figure V. 7 : Evolution du gonflement de l'oxyde implanté à 1keV pour trois valeurs de doses ( $5 \times 10^{15}$ ,  $7,5 \times 10^{15}$  et  $1 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$ ) et pour trois tailles de motifs (1,5  $\mu\text{m}$ , 2  $\mu\text{m}$  et 4  $\mu\text{m}$ ) après un recuit sous N<sub>2</sub> à 1050°C pendant 90 minutes [10]

Nous constatons sur cette figure que cette valeur n'est obtenue que dans le cas des motifs les plus larges (4 $\mu\text{m}$  de côté) et uniquement pour la plus forte dose « programmée » ( $1 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$ ). Lorsque l'on réduit soit la taille des motifs, soit la dose « programmée », la perte de dose se traduit par une chute du gonflement mesurée par AFM. Ce gonflement devient quasiment nul pour des motifs de 1,5  $\mu\text{m}$  et une dose programmée de  $5 \times 10^{15}$   $\text{Si}^+/\text{cm}^2$ .

Pour remonter à la dose effective à partir de ces valeurs expérimentales du gonflement, on estime la valeur théorique du gonflement à partir de la relation suivante [11], qui tient compte notamment de l'érosion de la surface due à l'implantation ionique :

$$\Delta e_{th} = \frac{D}{d_{Si}} - S(D) \quad \text{Équation 2}$$

Où  $D$  est la dose programmée,  $d_{Si}$  la densité atomique du Si ( $5,02 \times 10^{22}$  at/cm<sup>3</sup>) et  $S(D)$  l'érosion de la couche après implantation. Les valeurs utilisées sont celles déjà établies lors de travaux précédents menés au CEMES [6] et répertoriées dans le tableau ci-dessous :

Dose ( $\times 10^{15}$ cm <sup>-2</sup> )	2	5	8	10	15
$\Delta e_{th}$ (nm)	0,16	0,4	0,65	0,82	1,2

Tableau 40 : Valeurs théoriques du gonflement de la surface de silice après implantation en fonction de la dose implantée

L'écart entre les valeurs  $\Delta e_{th}$  extraites de l'équation 2 et les valeurs expérimentales  $\Delta e_{exp}$  issues des mesures AFM donne le gonflement de l'oxyde noté  $Sw_{an}$  (« swelling anormal »). A partir de ce  $Sw_{an}$ , on peut calculer la quantité de Si oxydé en utilisant la théorie classique de l'oxydation du Si [12]. En effet, l'oxydation de 0,44 nm de Si correspond à la formation de 1 nm de SiO<sub>2</sub>, et ainsi  $0,44 \cdot Sw_{an}$  correspond à l'épaisseur de Si oxydée. Enfin, en multipliant cette valeur par la densité atomique du Si, on obtient la « dose oxydée ». Les schémas de la figure V.8 ci-dessous montrent en a) la perte de dose lors de la synthèse de Si-nx par SM-ULE-IBS, en b) que la dose « oxydée » mentionnée ci-dessus ne correspond qu'à une partie de la dose « effective », l'autre partie aboutissant à la formation des Si-nx.

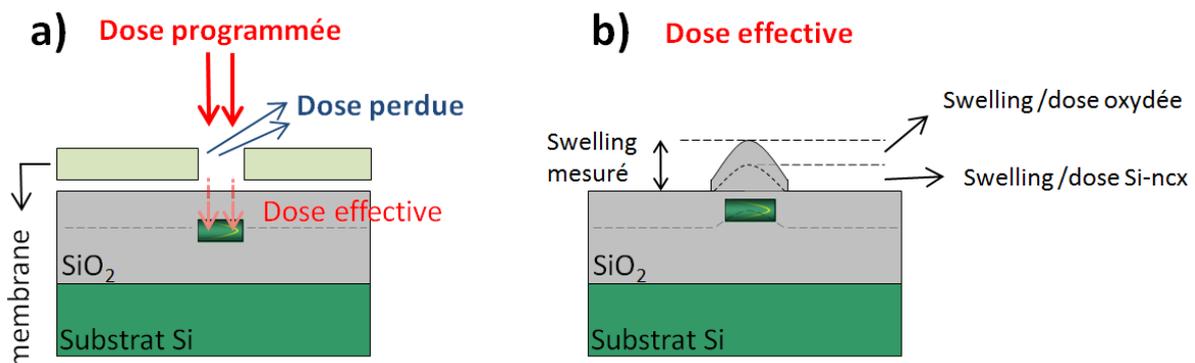


Figure V. 8 : a) Schémas représentant a) la perte de dose lors d'une synthèse de Si-nx par SM-ULE-IBS, b) le swelling mesuré, qui est la somme de l'épaisseur liée à la formation des Si-nx par pénétration dans l'oxyde d'une partie de la dose effective et de l'épaisseur de SiO<sub>2</sub> due à l'oxydation de l'autre partie de la dose effective

En première approximation, si l'on suppose que tout le silicium implanté est oxydé, on obtient une estimation de la dose effective à partir de la mesure du swelling par AFM.

La Figure V. 9 ci-dessous présente les valeurs estimées de doses effectives en fonction de la taille des motifs d'un masque stencil en  $\text{Si}_x\text{N}_y$ . Ces doses sont obtenues à partir des données de la Figure V. 7 [10].

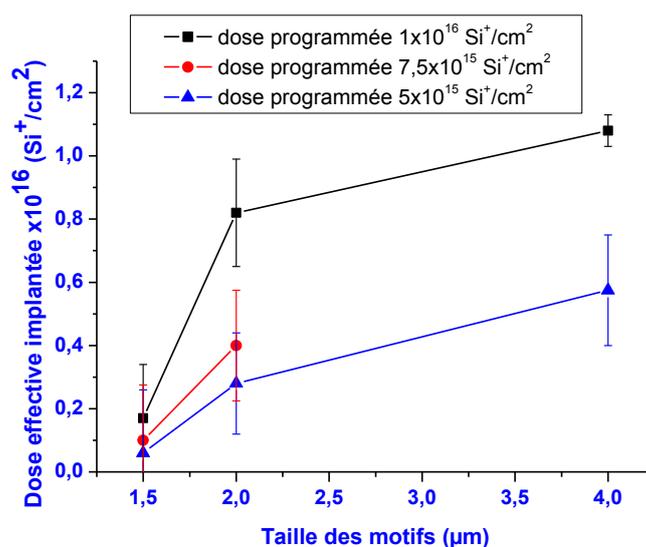


Figure V. 9 : Dose effective implantée en fonction de la taille des fenêtres d'une membrane stencil (ouvertures de 1,5  $\mu\text{m}$ , 2  $\mu\text{m}$  et 4  $\mu\text{m}$ ), pour trois doses programmées ( $5 \times 10^{15}$ ,  $7,5 \times 10^{15}$  et  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ )

Tout d'abord, nous observons que pour des motifs de taille supérieure ou égale à 4  $\mu\text{m}$ , la dose effective est égale à la dose programmée, quelle que soit cette dernière :  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$  (courbe bleue),  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  (courbe noire). Pour des motifs de 2  $\mu\text{m}$ , cette perte est de 20% pour une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  et presque de 50% pour une dose de  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ . La perte de dose commence à être notable à partir de 2  $\mu\text{m}$ . Pour les motifs de 1,5  $\mu\text{m}$ , quelle que soit la dose programmée, environ 85% de cette dose est perdue.

Ainsi pour conserver une dose effective de  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ , i.e. au dessus de la dose seuil de synthèse, la taille minimale des motifs doit être de 1,5 à 2  $\mu\text{m}$  pour une dose programmée de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  et de 3,5 à 4  $\mu\text{m}$  pour une dose de  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ . Comme on pouvait s'y attendre, pour des doses programmées inférieures ou égales à  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$  la moindre perte est critique pour la synthèse de Si-nx.

### **I-1-6) Caractérisation de la perte de dose dans les motifs par spectroscopie de PL**

Comme nous l'avons dit précédemment, nous avons couplé ces mesures à des mesures de PL locale afin de nous assurer aussi de la présence des nanocristaux. Les spectres de PL de la Figure V. 10 ci-dessous ont été réalisés au centre de motifs issus de la même série d'implantation que ceux étudiés Figure V. 7 et Figure V. 9. Il s'agit plus précisément de spectres réalisés dans des motifs de 2, 4 et 5  $\mu\text{m}$  implantés à une dose programmée de  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ .

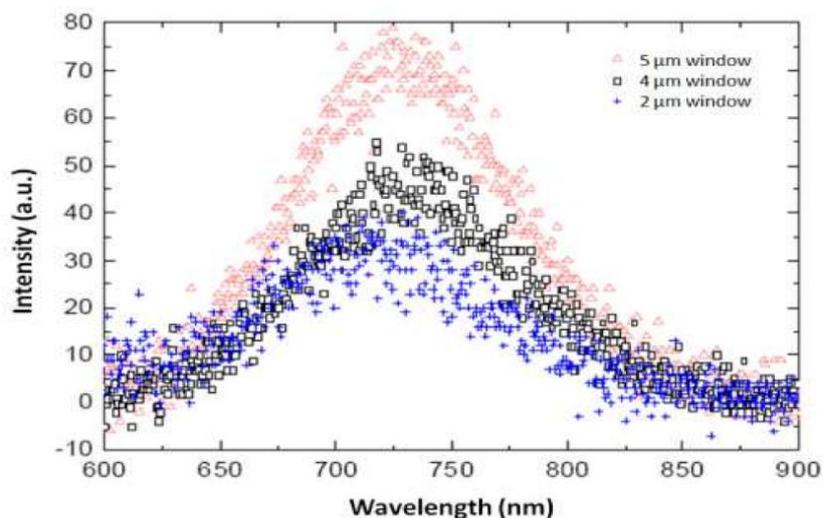


Figure V. 10 : Spectres de PL obtenus dans des motifs de 2  $\mu\text{m}$  (courbe bleue), 4  $\mu\text{m}$  (courbe noire) et 5  $\mu\text{m}$  (courbe rose) implantés à une dose de  $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$

Le spectre de PL obtenu au centre du motif de 5  $\mu\text{m}$  est identique à celui obtenu dans une zone implantée mais non masquée. On mesure alors une intensité  $I_{\text{PL}}=80$  u.a. et une longueur d'onde  $\lambda_{\text{PL}}=735$  nm, correspondant à une énergie d'émission  $E_{\text{PL}}=1,69$  eV. Ceci est conforme aux mesures par AFM de la Figure V. 6 où aucune perte de dose n'avait été constatés dans des motifs de 5  $\mu\text{m}$ . La même remarque peut être faite pour des motifs implantés à la même dose ( $5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ ) et de taille supérieure ou égale à 4  $\mu\text{m}$  (Figure V. 9).

Pour des motifs plus petits, le pic de PL se décale vers les fortes énergies (« blueshift ») et apparait par exemple autour de  $\lambda_{\text{PL}}=715$  nm ( $E_{\text{PL}}=1,73$  eV) pour les motifs de 2  $\mu\text{m}$ . De plus, ce décalage s'accompagne d'une décroissance de l'intensité du signal  $I_{\text{PL}}$  et pour des motifs de taille  $\leq 1$   $\mu\text{m}$ , le signal disparaît.

A ce stade de l'étude nous ne pouvons pas établir de manière formelle les causes de ce comportement. En effet soit les ions du faisceau ne parviennent pas dans la silice soit l'implantation localisée induit une oxydation supplémentaire du silicium. Cependant, nos mesures de gonflement nous permettent déjà de dire que la première hypothèse domine très probablement ce phénomène puisque ce gonflement tend vers zéro avec la taille des motifs. La question qui reste donc posée est

pourquoi les ions sont-ils perdus ? Quoique nos membranes soient métallisées pour prévenir ce phénomène, il semble néanmoins qu'un phénomène de charge résiduelle persiste et donc qu'un effet électrostatique soit à l'origine de cet état. Nous avons donc cherché un moyen de réduire ou de supprimer cet effet. Du point de vue pratique, nous avons vu qu'augmenter la dose ( $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ ) nous avait permis de repousser légèrement la résolution en taille des motifs (de 3,5 - 4  $\mu\text{m}$  à 1,5 - 2  $\mu\text{m}$ ) mais ceci n'est pas possible pour atteindre des motifs nanométriques car les valeurs de doses seraient irréalistes ; les implantations dureraient alors bien trop longtemps. Dans un premier temps, pour valider l'hypothèse électrostatique nous avons donc choisi d'augmenter l'énergie d'implantation.

### ***1-1-7) Suivi de l'écrantage du faisceau par augmentation de l'énergie d'implantation***

Nous avons donc préparé une série d'échantillons implantés à la dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  et à trois énergies : 1 keV, 2 keV et 3 keV, dans une couche d'oxyde de 10 nm d'épaisseur pour rester dans des conditions de réalisation de cellule mémoire à Si-ncx (soit de 7 à 10 nm) [15]. Les membranes stencils utilisées sont les mêmes que précédemment c'est-à-dire des membranes en  $\text{Si}_x\text{N}_y$  rigidifiées, de 600 nm d'épaisseur avec des ouvertures en formes de croix, de carrés et de rectangles, de tailles comprises entre 1  $\mu\text{m}$  et 10  $\mu\text{m}$ . De plus nous avons rajouté une série de motifs supplémentaires, réalisés au FIB et dont la taille varie de 5  $\mu\text{m}$  à 500 nm (Figure V. 11 ci-dessous). Les membranes n'ont en revanche pas été métallisées.

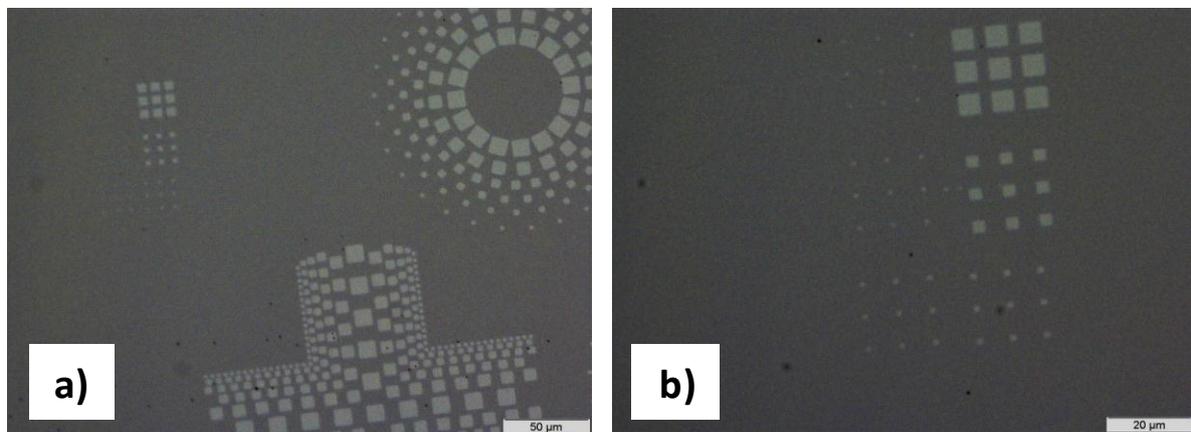


Figure V. 11 : Images optiques de la surface de la silice implantée à une dose de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  et à une énergie de 1keV, dans une zone contenant des motifs supplémentaires réalisés au FIB sur les membranes rigidifiées de l'EFPL, a) à un grossissement x 20, b) à un grossissement x50. Ces motifs supplémentaires sont des réseaux de carrés 3x3 dont la taille varie entre 5  $\mu\text{m}$  et 500 nm

Après implantation nous avons retiré le masque puis nous avons réalisé un recuit à  $T=1050^\circ\text{C}$  pendant 30 minutes sous  $\text{N}_2$ .

Dans un premier temps, nous avons procédé à une série de mesures par AFM du gonflement

maximum au centre des motifs pour les 3 énergies considérées. La Figure V. 12 ci-dessous présente les résultats :

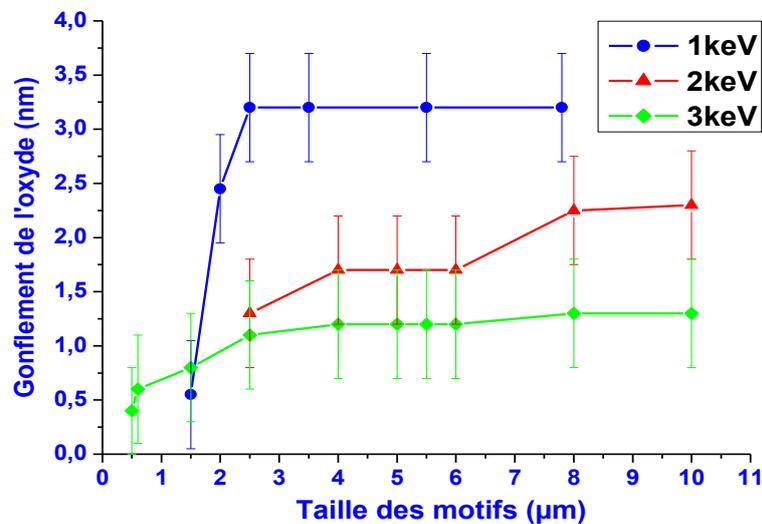


Figure V. 12 : Gonflement mesuré au centre de motifs de tailles  $\leq 10 \mu\text{m}$ , pour une énergie d'implantation fixée à 1 keV (courbe bleue), 2 keV (courbe rouge) et 3 keV (courbe verte)

Pour une énergie d'implantation de 1 keV, on retrouve un gonflement maximum de l'oxyde compris entre 3 et 3,5 nm pour les motifs les plus larges (ici 3,25 nm), ainsi qu'une chute de cette valeur pour les motifs de taille inférieure à 2 µm. Les implantations réalisées à 2 keV et à 3 keV présentent également un gonflement maximum (respectivement 2,25 nm et 1,25 nm). Ces gonflements chutent également avec la réduction en taille des motifs, mais beaucoup moins rapidement que pour les implantations à 1 keV. De ce fait, les trois courbes semblent converger pour une taille de motifs d'environ 1,5 µm. Mais seule l'implantation à 3 keV permet de conserver un gonflement supérieur à 0,5 nm pour des tailles de motifs inférieures à 1 µm.

La diminution du gonflement maximum avec l'augmentation de l'énergie d'implantation est un effet indépendant de la perte de dose puisqu'il est observable dans les motifs les plus larges (Figure V. 12). En effet à la plus forte énergie une partie non négligeable du silicium implanté est perdu dans le substrat au delà de l'interface Si/SiO<sub>2</sub>. En conséquence pour une dose donnée la quantité de silicium disponible pour la formation des Si-ncx est plus faible à 3 et 2 keV qu'à 1 keV ce qui explique la valeur du gonflement initial.

Les résultats de la conversion du gonflement en dose effective en fonction de la taille des motifs pour les 3 énergies sont donnés Figure V. 13 ci-dessous :

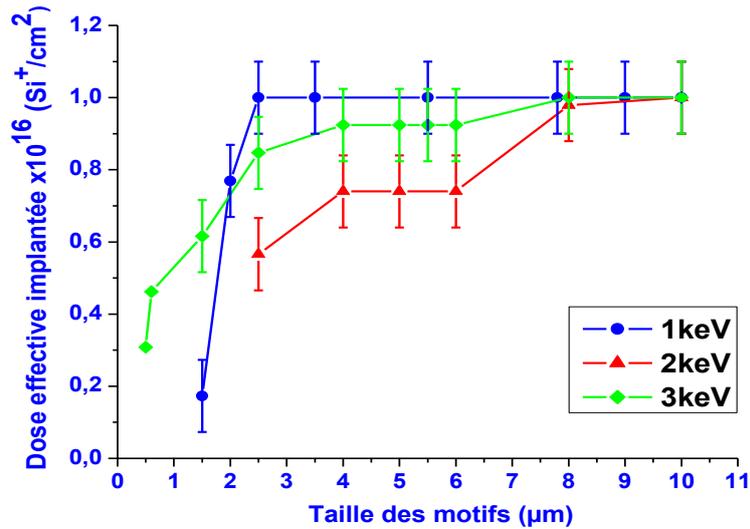


Figure V. 13 : Dose effective implantée dans des motifs en fonction de leur taille, pour une énergie d'implantation de 1 keV (courbe bleue), 2 keV (courbe rouge) et 3 keV (courbe verte)

Nous avons vu sur la Figure V. 12 que le gonflement de l'oxyde restait supérieur à 0,5 nm dans des motifs de taille légèrement inférieure à 1 μm pour une énergie de 3 keV. La Figure V. 13 nous donne les valeurs de doses effectives correspondantes et pour les motifs de 500 nm la dose effective est de  $3 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup>, probablement trop faible pour former des Si-nx. La dose seuil de  $5 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup> est atteinte pour une taille de motifs d'environ 800-900 nm. Ainsi, le passage de 1 keV à 3 keV nous a permis de réduire la taille des poches de ncx de 1,5-2 μm à environ 800 à 900 nm.

Au final, le gain reste faible : augmenter l'énergie d'implantation ne nous a pas permis pas d'atteindre nos objectifs de taille submicronique à nanométrique des motifs.

Intéressons nous maintenant à la réponse optique de nos échantillons afin de voir dans quelles conditions nous détectons la présence effective des Si-nx. Pour détecter la PL des Si-nx dans les motifs, nous avons utilisé le même système de mesure de PL auquel a été adjoint une table XY automatisée permettant de réaliser une cartographie de la surface de l'échantillon et en particulier de motifs avec un pas nanométrique. Ce montage ainsi que les mesures présentées ci-dessous ont été réalisées au CEMES par Vincent Paillard et Arnaud Arbouet. Ceci nous a permis de réaliser une cartographie de PL de chacun des motifs, à savoir extraire des profils d'intensité et des positions énergétiques en 2 dimensions. A noter que le diamètre du spot laser est de 2 μm environ.

Tout d'abord nous avons constaté qu'au centre des motifs les plus larges les spectres de PL sont identiques à ceux pris dans les régions implantées mais non masquées, avec une énergie d'émission de PL centrée sur  $E_{PL}=1,57$  eV. Comme précédemment, nous avons également observé un "blueshift" du pic d'émission en liaison avec la réduction en taille des motifs. Pour obtenir les tailles des Si-nx, nous nous sommes servis du polynôme présenté en Figure II.11 du chapitre 2 [3].

Dans le cas d'une implantation à 1 keV, les valeurs d' $E_{PL}$  obtenues dans des motifs de 10 μm

et de 1  $\mu\text{m}$  sont respectivement 1,58 et 1,76 eV et correspondent donc respectivement à 3,4 et 1,9 nm. Le Tableau 41 ci-dessous regroupe les valeurs d' $E_{\text{PL}}$  prises au centre et au bord de motifs de deux tailles (4 et 10  $\mu\text{m}$ ) après implantation à 1, 2 et 3 keV :

$E_{\text{PL}}$ (eV)		
Taille motifs ( $\mu\text{m}$ )	1 keV (centre)	1 keV (bord)
10	1.57	1.58
4	1.60	1.62
Taille motifs ( $\mu\text{m}$ )	2 keV (centre)	2 keV (bord)
10	1.64	1.69
4	1.62	1.69
Taille motifs ( $\mu\text{m}$ )	3 keV (centre)	3 keV (bord)
10	1.64	1.66
4	1.65	1.66

Tableau 41 : Valeurs d' $E_{\text{PL}}$  prises au centre et en bord de motifs (4 et 10  $\mu\text{m}$ ) après implantation à 1, 2 ou 3 keV et recuit sous  $\text{N}_2$  pendant 30 minutes à  $T = 1050^\circ\text{C}$

Ce tableau montre que l'augmentation de l'énergie d'implantation a un impact limité sur la position du pic d'émission. En effet, pour le cas de motifs de 10  $\mu\text{m}$ , on obtient des énergies en centre de motifs de 1,57 eV (1 keV) et 1,64 eV (2 et 3 keV). Par extraction à partir du polynôme discuté précédemment, on obtient pour ces énergies des diamètres respectifs de 3,4 nm et 2,4 nm. Ainsi, la réduction de la taille moyenne des Si-ncx lorsque l'on augmente l'énergie d'implantation est significative. Pour les motifs de taille inférieure à 4  $\mu\text{m}$ , non répertoriés dans ce tableau, aucune différence significative d' $E_{\text{PL}}$  n'est observée en fonction de l'énergie d'implantation. Par exemple, pour des motifs de 1  $\mu\text{m}$ ,  $E_{\text{PL}}=1,76$  eV pour les trois énergies, ce qui correspond à une taille de Si-ncx de 1,9 nm.

Le Tableau 42 ci-dessous résume les intensités  $I_{\text{PL}}$  correspondantes :

$I_{\text{PL}}$ (u.a.)		
Taille motifs ( $\mu\text{m}$ )	1 keV (centre)	1 keV (bord)
10	30	50
4	40	60
Taille motifs ( $\mu\text{m}$ )	2 keV (centre)	2 keV (bord)
10	50	115
4	75	90
Taille motifs ( $\mu\text{m}$ )	3 keV (centre)	3 keV (bord)
10	90	120
4	120	150

Tableau 42 : Intensités maximales du pic d'émission  $I_{\text{PL}}$  extraites de spectres pris au centre et en bord de motifs de 4 et 10  $\mu\text{m}$ , après implantation à une énergie de 1, 2 ou 3 keV suivie d'un recuit sous  $\text{N}_2$  pendant 30 minutes à  $T = 1050^\circ\text{C}$

L'augmentation de l'énergie d'implantation semble donc avoir un effet assez marqué sur l'intensité de PL. Par exemple,  $I_{PL}$  au centre d'un motif de 4  $\mu\text{m}$  passe de 40 coups (1 keV) à 75 coups (2 keV) et 120 coups (3 keV). L'augmentation forte d' $I_{PL}$  avec l'énergie d'implantation suit la même évolution pour toutes nos mesures, pour les motifs de 4  $\mu\text{m}$  ou de 10  $\mu\text{m}$  de diamètre, que les spectres soient pris au centre ou en bord de motifs.

Plusieurs hypothèses peuvent être émises pour expliquer ces observations mais aucune conclusion ne peut être tirée tant l'intensité d'émission de PL est un phénomène complexe qui dépend à la fois de la taille des Si-ncx, de l'interface Si/SiO<sub>2</sub> et de la qualité de la matrice. Cependant il est probable que les variations de doses en fonction de la tailles des fenêtres démontrée par AFM soit à l'origine de cet effet.

Une seconde caractéristique observée sur la PL de ces échantillons, qui avait d'ailleurs déjà été détecté dans des études antérieures [3], concerne l'émission des bords de poches. Le Tableau 41 montre ainsi un décalage systématique vers le bleu du pic d'émission lorsque la PL se déplace du centre vers le bord d'un motif. Ce décalage est faible (inférieur à 0,1 eV), mais mesurable dans nos conditions expérimentales. Les observations en EF-TEM avaient déjà permis de montrer qu'en bord de motif la taille des Si-ncx est plus petite et leur densité est plus forte qu'au centre [17]. De plus, le Tableau 42 montre une augmentation systématique de  $I_{PL}$  en bord de motif quelle que soit l'énergie et les tailles de motifs testées. Sur la Figure V. 14 ci-dessous nous avons tracé les profils de PL pour chaque énergie d'implantation le long d'un motif de diamètre 10  $\mu\text{m}$  avec un pas d'acquisition de spectres de 200 nm. Ces spectres montrent que l'intensité de PL des nanocristaux reste constante au centre des motifs quoique différente pour chaque énergie d'implantation. Au bord des motifs, on observe une forte augmentation systématique de l'intensité. Au final le profil d'intensité a une forme de « cuvette » avec une partie plane (« plateau ») entourée de deux bords plus ou moins symétrique et de PL plus intense. La largeur de ces « cornes » est toujours d'environ 1  $\mu\text{m}$ . Ceci montre que les populations de Si-ncx en bord de motifs sont certainement différentes de celle obtenues au centre ; l'effet de bord étant assez homogène.

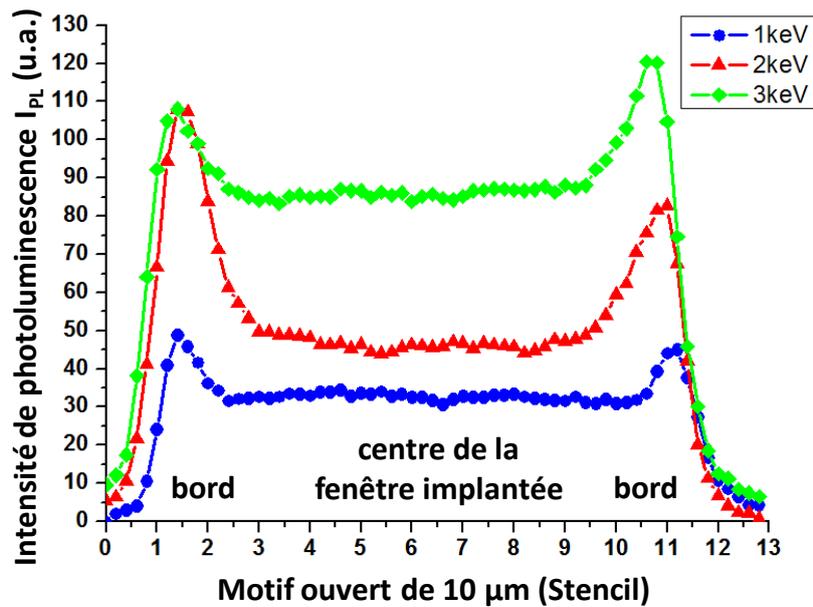


Figure V. 14 : Profils d'intensité de PL le long de motifs de 10  $\mu\text{m}$  de diamètre obtenus par acquisition de spectres par pas de 200 nm, à trois énergies : implantation à 1keV (motifs ronds), à 2 keV (motifs triangles) et à 3 keV (motifs losanges)

Les augmentations relatives de l'intensité  $I_{\text{PL}}$  entre le centre et le bord des motifs sont de +60% (1 keV), +140 % (2 keV) et +40% (3 keV). Ces variations locales de l'intensité de PL en bord de motifs sont cohérentes avec les résultats EF-TEM [4]. En effet, si l'on regarde les mesures sur nos Si-nx obtenues par EF-TEM pour des échantillons équivalents (implantation d'une dose de  $1 \times 10^{16}$   $\text{Si}^+/\text{cm}^2$ , suivie d'un recuit sous  $\text{N}_2$  à  $1050^\circ\text{C}$  pendant 30 minutes), on obtient, pour un motif  $1,5 \times 1,5$   $\mu\text{m}$  implanté à 1keV, une densité de Si-nx de  $2 \times 10^{12}$   $\text{cm}^{-2}$  au centre et de  $3,2 \times 10^{12}$   $\text{cm}^{-2}$  au bord. Cette augmentation de densité pourrait expliquer nos résultats de la Figure V. 14. Cependant à ce stade il faut se garder de conclure car comme nous l'avons dit précédemment le lien entre populations de Si-nx et intensité de photoluminescence n'est pas si simple [17].

Pour des motifs de tailles inférieures à  $2\mu\text{m}$ , le plateau d'intensité constante central disparaît en raison du chevauchement des pics des bords et pour les plus « petits » motifs que nous avons détectés les profils sont de type gaussien (Figure V. 15).

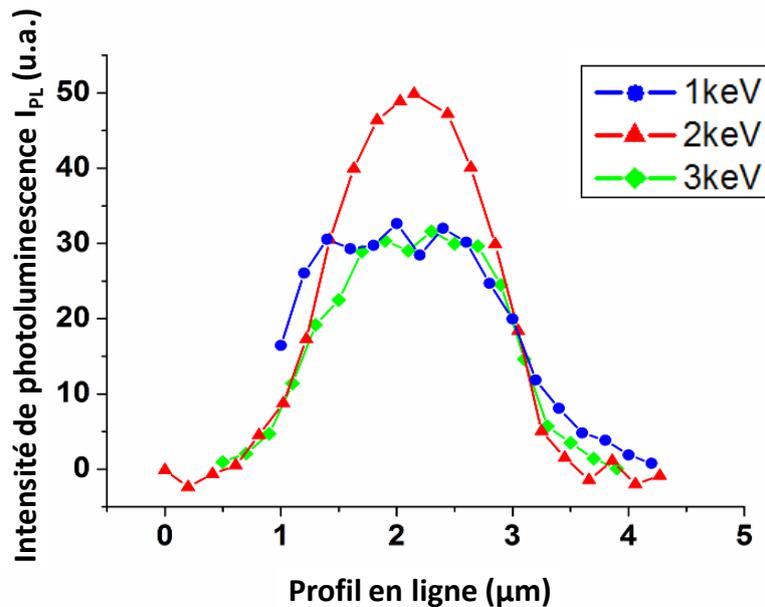


Figure V. 15 : Profils d'intensité de PL le long de motifs de 2 μm de diamètre obtenus par acquisition de spectres par pas de 200 nm, à trois énergies : implantation à 1keV (motifs ronds), à 2 keV (motifs triangles) et à 3 keV (motifs losanges)

Le diamètre du spot laser étant de 2μm environ l'allure réelle des profils ne peut être mesurée pour des tailles de 1 et 2μm. Par contre aucune PL n'a été détectée dans des motifs de taille submicronique. Ce résultat est conforme à nos mesures AFM puisque la dose effective implantée dans ces motifs est déjà trop faible pour permettre la synthèse de Si-n<sub>x</sub>.

En conclusion, nous avons donc montré qu'il est possible de synthétiser localement des réseaux microniques de Si-n<sub>x</sub> dans des couches minces de SiO<sub>2</sub>. Nous avons pu identifier la raison probable de la limitation en taille de cette technique, à savoir des effets de chargement de la couche de nitrure. Quelques améliorations ont été obtenues en augmentant la dose, l'énergie d'implantation et en posant la face active du masque stencil directement sur la surface de la silice pour limiter le « blurring ». Dans ce contexte et dans les conditions que nous avons utilisées, atteindre des tailles de poches submicroniques de Si-n<sub>x</sub> ne semble pas possible. Compte tenu de ces résultats il faut probablement changer le matériau de la membrane Stencil pour éliminer les effets de charges.

En raison de l'offre commerciale restreinte des types de membrane, notre choix s'est porté sur des membranes ultraminces en silice d'épaisseurs respectives de 8 et 40 nm. Ce choix nous a cependant paru judicieux car il est bien connu que la silice présente des effets de piégeage de charges beaucoup plus faibles que le nitrure. En effet, ce dernier présente de nombreux défauts « naturels », notamment des liaisons pendantes, qui servent de pièges profonds pour la capture de charges. C'est d'ailleurs pour cela qu'il est notamment utilisé dans les mémoires de type SONOS [18-20].

Abordons donc maintenant les résultats obtenus avec des membranes de SiO<sub>2</sub>.

## I-2) Masquage avec les membranes en SiO<sub>2</sub>

Ces membranes commerciales étant vierges, il a été nécessaire de percer les motifs directement sur la surface et pour cela nous avons utilisé la gravure directe par faisceau d'ions focalisés à l'aide du FIB du CEMES que nous avons déjà présenté au chapitre précédent.

### I-2-1) Descriptif des membranes en SiO<sub>2</sub>

A l'origine, ces masques stencils sont en fait des grilles de microscopie, utilisées comme support d'échantillon pour la microscopie électronique en transmission. Elles comportent chacune 24 fenêtres d'oxyde mince dont l'épaisseur de SiO<sub>2</sub> est de 8nm et 40 nm. Ces membranes sont donc beaucoup plus minces que les précédentes en Si<sub>x</sub>N<sub>y</sub>. La Figure V. 16 ci-dessous montre des images MEB d'une de ces grilles de microscopie qui sont supportées par un substrat de silicium et d'une structure intermédiaire en SiN.

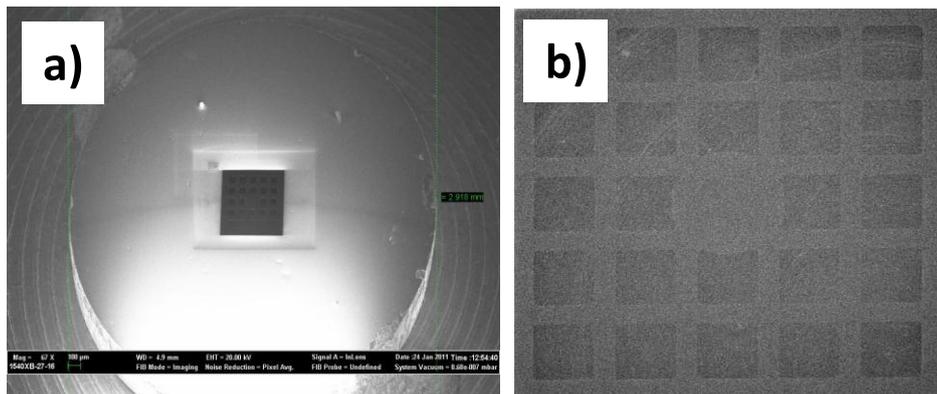


Figure V. 16 : images MEB a) de la vue générale d'une grille de microscopie (3 mm de diamètre) contenant au centre les membranes en SiO<sub>2</sub>, b) des 24 membranes en SiO<sub>2</sub> mince dans lesquelles seront définis les motifs ouverts par FIB pour l'implantation localisée

### I-2-1 a) Réalisation des réseaux de motifs dans les membranes en SiO<sub>2</sub> mince par FIB

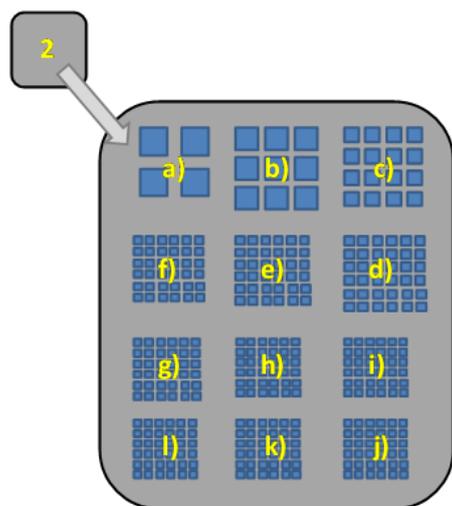
Dans la mesure où les membranes d'épaisseur 8 et 40 nm ne sont pas identiques (respectivement 70x70 µm et 50x50 µm), nous avons réalisé deux séries de structures différentes. Les tailles des fenêtres que nous avons percées sont les mêmes mais leur nombre est différent. En effet nous avons souhaité conserver un espacement minimum entre fenêtres de 2 µm. Nous avons défini des réseaux de motifs de tailles allant de 5 µm à la taille minimale du spot ionique. Les durées d'exposition ont été étalonnées sur une membrane sacrifiée pour chaque type de stencil. Les durées d'exposition obtenues dans les fenêtres de test sont répertoriées dans le Tableau 43 ci-dessous :

Surface motifs ( $\mu\text{m}^2$ )	Durée d'exposition membrane 40 nm (s)	Durée d'exposition membrane 8 nm (s)
5 x 5	240	30
3 x 3	90	estimé à 10 s
2 x 2	40	5
1 x 1	10	1
0,5 x 0,5	3	choisi à 1 s
0,3 x 0,3	1	choisi à 1 s

Tableau 43 : Durées d'exposition à la gravure par FIB pour l'ouverture complète d'un motif dans une membrane en  $\text{SiO}_2$  mince en fonction de l'épaisseur de la membrane et de la surface du motif à ouvrir

### I-2-1 b) Motifs ouverts dans les membranes de 8 nm d'épaisseur

La Figure V. 17 montre l'ensemble des structures fabriquées sur les membranes de 8 nm avec les durées d'exposition indiquées à droite.



- 2a) 4 motifs de 5  $\mu\text{m}$
- 2b) 9 motifs de 3  $\mu\text{m}$
- 2c) 16 motifs de 1  $\mu\text{m}$
- 2d) 25 motifs de 0.7  $\mu\text{m}$
- 2e) 36 motifs de 0.5  $\mu\text{m}$
- 2f) 36 motifs de 0.3  $\mu\text{m}$
- 2g) 36 motifs de 0.1  $\mu\text{m}$
- 2h) 36 motifs de 0.1  $\mu\text{m}$  bis
- 2i) 36 motifs de « 0.0  $\mu\text{m}$  », avec  $t=1\text{s}$
- 2j) 36 motifs de « 0.0  $\mu\text{m}$  », avec  $t=0.5\text{s}$
- 2k) 36 motifs de « 0.0  $\mu\text{m}$  », avec  $t=0.3\text{s}$
- 2l) 36 motifs de « 0.0  $\mu\text{m}$  », avec  $t=0.1\text{s}$

Figure V. 17 : Schéma des réseaux de motifs définis pour la gravure FIB de la fenêtre n°2 d'une membrane de 8 nm d'épaisseur, avec la taille visée dans ces réseaux en légende

La Figure V. 18 ci-dessous montre des images MEB des ouvertures obtenues sur une membrane  $\text{SiO}_2$  de 8 nm (fenêtres n°2 et 3) :

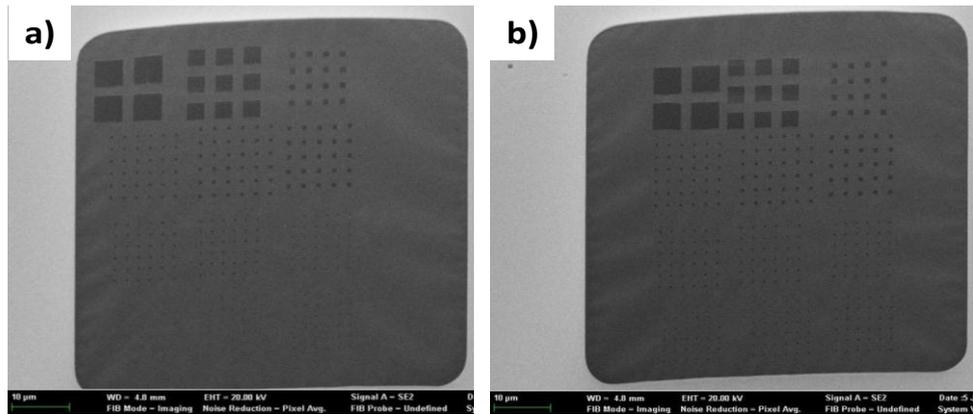


Figure V. 18 : images MEB des fenêtres n°2 (a) et n° 3 (b) d'une membrane en SiO<sub>2</sub> de 8 nm d'épaisseur après ouverture des motifs par gravure FIB

On constate (fenêtres n°2, 3 et 4) que les motifs obtenus sont parfaitement définis avec des contours nets. Les géométries prévues sont respectées et tous les motifs sont ouverts, même les plus petits. Concernant les plus petits motifs, nous avons mesuré des ouvertures de 290 nm pour une exposition de 100 ms.

### I-2-1 c) Motifs ouverts dans les membranes de 40 nm d'épaisseur

La Figure V. 19 présente les images MEB des ouvertures réalisées dans une membrane SiO<sub>2</sub> de 40 nm (fenêtres n°2 et 3). La fenêtre n°1 tout à gauche (a) est la fenêtre de tests. Les motifs gravés dans ces fenêtres sont parfaitement visibles sur ces images. Les temps d'exposition sont évidemment plus longs que dans le cas d'une membrane 8 nm. Les motifs ultimes sont également légèrement plus petits (diamètre de 230 nm) que précédemment car le spot ionique était meilleur lors de cette deuxième série d'expositions.

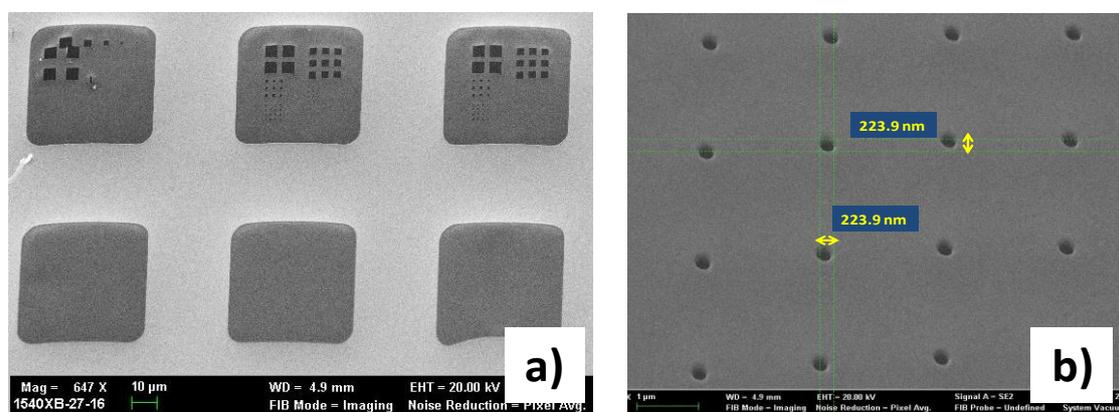


Figure V. 19 : Images MEB après ouverture des fenêtres, a) vue générale montrant la fenêtre n°1 de tests de gravure et deux fenêtres (n°2 et n°3) contenant des motifs de taille comprise entre 5 µm et 224 nm, b) mesure des plus petits motifs réalisés (224 nm)

Sur ces membranes ultraminesces en  $\text{SiO}_2$  nous avons donc pu réaliser une gamme large de motifs. Comme dans l'étude précédente la synthèse des poches de  $\text{Si-nx}$  obtenues a été caractérisée par AFM. Les résultats pour les motifs microniques ont été comparés à ceux résultats obtenus avec les membranes en  $\text{Si}_x\text{N}_y$ . Nous avons dans un premier temps vérifié l'état des membranes après implantation en les imageant au MEB. Les conditions d'implantations sont les suivantes : énergie de 1 keV et dose  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ .

### ***1-2-2) Observation au MEB de l'état des membranes après implantation***

La Figure V. 20 présente l'état des membranes 8 nm (a) et 40 nm (b) après implantation dans les conditions données ci-dessus :

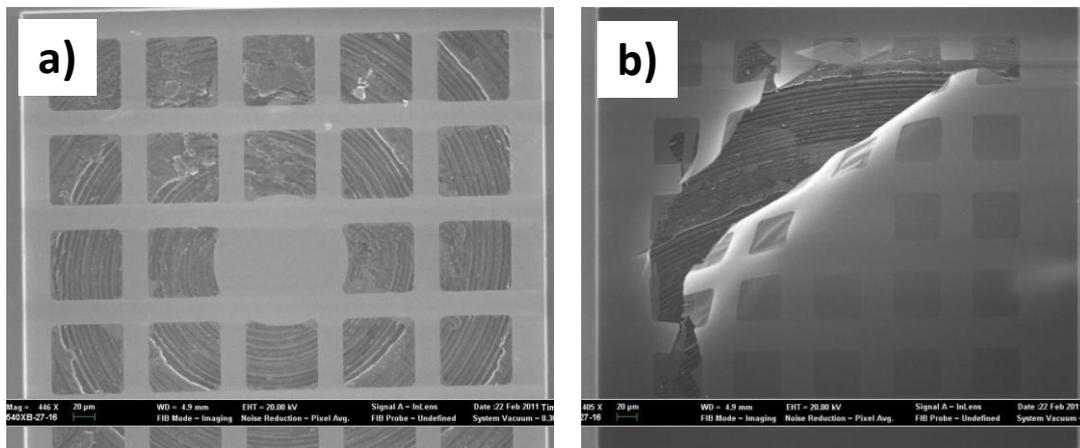


Figure V. 20 : Images MEB après implantation et retrait du masque de la surface de l'échantillon, a) de la membrane en  $\text{SiO}_2$  de 8 nm d'épaisseur, b) de la membrane en  $\text{SiO}_2$  de 40 nm d'épaisseur

Sur ces images nous pouvons constater une destruction totale ou partielle des deux types de membranes. Dans nos conditions actuelles il n'est pas possible de réutiliser les stencils. Il faudra donc trouver d'autres moyens pour manipuler et conserver les masques en bon état dans l'avenir.

### ***1-2-3) Observation au MEB de l'état de la surface implantée à travers une membrane 40 nm***

La Figure V. 21 montre la surface imagée au MEB d'un échantillon implanté à travers une membrane 40 nm avant recuit. Le contraste entre zones implantées et non implantées est bien visible au MEB, les contours sont nets et respectent la géométrie des ouvertures du masque (motifs carrés).

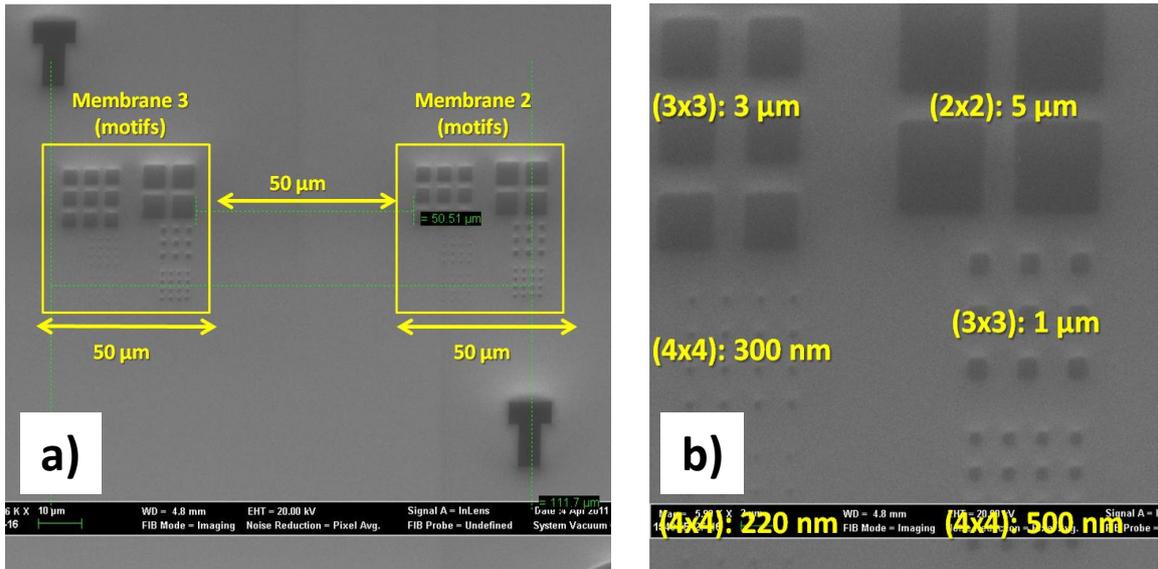


Figure V. 21 : images MEB de la surface de silice implantée à travers un masque en SiO<sub>2</sub> de 40 nm a) à travers les fenêtres n°2 et n°3, b) à travers une seule fenêtre, à plus fort grossissement

Sur l'image de gauche, on observe la bonne reproductibilité des implantations localisées d'une fenêtre à l'autre. L'image de droite présente une image à plus fort grossissement de la surface permettant de visualiser l'implantation réalisée à travers les plus petits motifs. On peut voir que les motifs ultimes (220 nm) ont bien été implantés. Après recuit, ces zones implantées ne sont alors plus visible en optique mais seulement au MEB. C'est pourquoi elles ont été marquées au FIB avec des motifs gravés en forme de « T » pour les repérer.

### I-2-4) Caractérisations AFM des motifs implantés à travers les membranes SiO<sub>2</sub>

Les mesures de topographie par AFM ont été réalisées par Laurence Ressler dans les zones présentées Figure V. 21 et les résultats sont donnés Figure V. 22 ci-dessous :

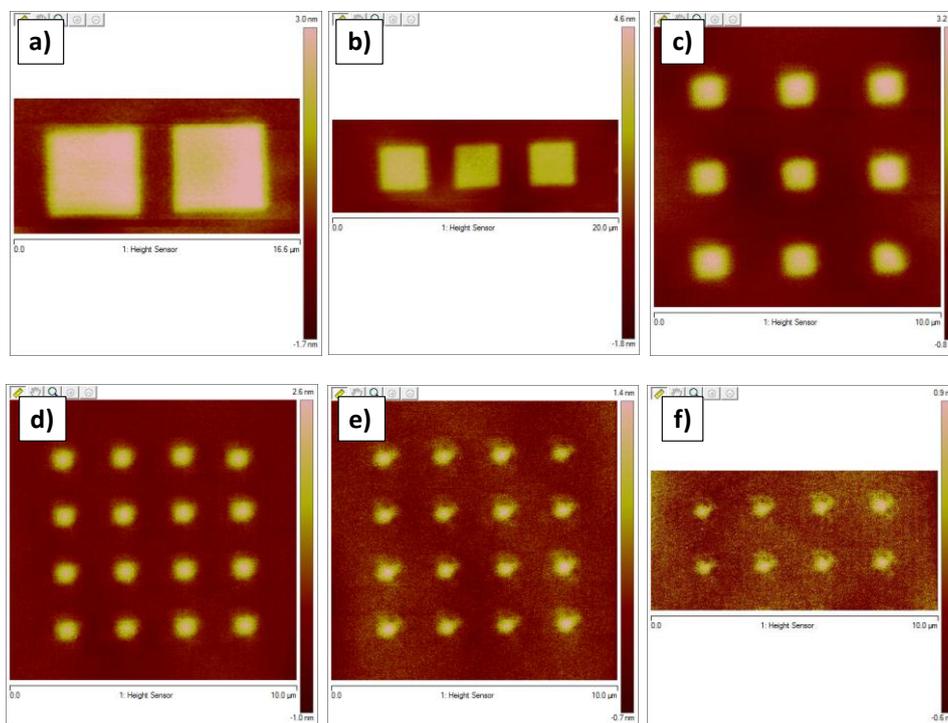


Figure V. 22 : images AFM de topographie réalisées dans les réseaux de motifs implantés par masquage stencil à travers des motifs de tailles : a) 5x5 μm<sup>2</sup>, b) 3x3 μm<sup>2</sup>, c) 1x1 μm<sup>2</sup>, d) 500 x500 nm<sup>2</sup>, e) 300x300 nm<sup>2</sup>, f) 230x230 nm<sup>2</sup> (membrane 40 nm)

Les épaisseurs du gonflement extraites des profils AFM réalisés sur ces images sont résumées dans le Tableau 44 ci-dessous. Les tailles de motifs sur le masque, celles des motifs implantés dans la silice ainsi que la rugosité hors-motifs sont également indiquées. On rappelle les conditions d'implantation : énergie de 1keV, dose de 1x10<sup>16</sup> Si<sup>+</sup>/cm<sup>2</sup>.

Longueur du côté des motifs carrés de la membrane (μm)	Longueur du côté des motifs implantés dans la silice (μm)	Valeur moyenne du swelling maximum	Valeur moyenne de la rugosité hors motifs (Å)
5	5,2	2,9 ± 0,1	1,0
3	3,2	2,9 ± 0,1	1,0
1	1,1	2,6 ± 0,1	1,2
0,5	0,6	2,1 ± 0,1	1,1
0,3	0,4	1,3 ± 0,1	1,1
0,2	0,3	0,9 ± 0,1	1,1

Tableau 44 : Taille des motifs du masque, taille et gonflement maximum des motifs implantés dans la silice et rugosité de la surface en dehors des motifs (membrane 40 nm)

A l'aide de ce tableau, nous avons extrait les courbes présentées ci-dessous en Figure V. 23 donnant respectivement l'évolution du gonflement et l'évolution de la dose effective en fonction de la taille des motifs.

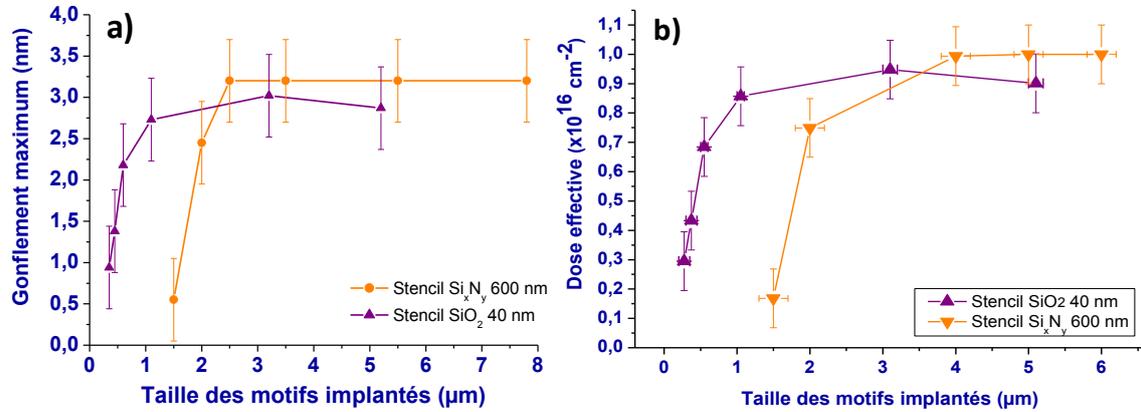


Figure V. 23 : Comparaisons a) du gonflement maximum, b) de la dose effective estimée, en fonction de la taille des poches implantées à travers une membrane en SiO<sub>2</sub> de 40 nm (violet) et une membrane en Si<sub>x</sub>N<sub>y</sub> de 600 nm (orange), pour une énergie d'implantation de 1 keV

On observe Figure V. 23 a) la même allure de décroissance du gonflement maximum après implantation à 1 keV à travers une membrane SiO<sub>2</sub> 40 nm (triangles violets) que celle obtenue précédemment avec l'utilisation des masques en Si<sub>x</sub>N<sub>y</sub> (ronds orange). Cependant, cette décroissance se décale de façon significative vers les faibles tailles de motifs. En effet, la chute du gonflement maximum commence à être marquée pour des motifs de 1µm pour les membranes en SiO<sub>2</sub> contre 2,5 µm pour celles en Si<sub>x</sub>N<sub>y</sub>.

La même tendance est observée sur les courbes de dose effective (b). La perte de dose pour les membranes SiO<sub>2</sub> (triangles pointant vers le bas) devient notable pour des motifs de taille comprise entre 1 µm et 600 nm (doses correspondantes respectivement de  $8,5 \times 10^{15}$  et  $7,0 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup>) contre 2 à 4 µm pour les membranes Si<sub>x</sub>N<sub>y</sub> (triangles pointant vers le haut). La taille minimale de motifs pour former les Si-ncx avec une membrane SiO<sub>2</sub> est de 400 nm (dose effective de  $4,5 \times 10^{15} \pm 1 \times 10^{15}$  Si<sup>+</sup>/cm<sup>2</sup>) alors qu'elle était de 1,5 à 2 µm pour le Si<sub>x</sub>N<sub>y</sub>. Le nombre de Si-ncx par poche est donc très fortement réduit grâce à l'utilisation de ces nouvelles membranes. Avec une densité d'environ  $2 \times 10^{12}$  ncx/cm<sup>2</sup> [3] et une taille de poches de 400 nm on peut estimer à environ 10<sup>3</sup> seulement le nombre de Si-ncx par poche. Gardons cependant en mémoire qu'un ordre de grandeur reste toutefois à gagner pour avoir quelques nanocristaux.

La Figure V. 24 ci-dessous récapitule l'ensemble de nos résultats sur la taille minimale de motifs avec l'augmentation de l'énergie d'implantation et le changement du matériau des membranes stencils :

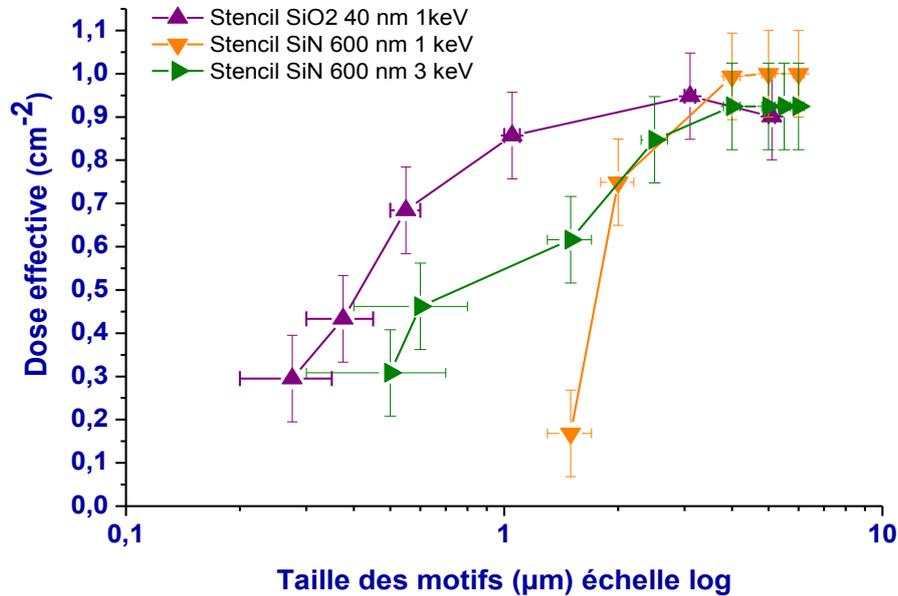


Figure V. 24 : Dose effective en fonction de la taille des motifs implantés, pour deux types de membranes (SiO<sub>2</sub> et Si<sub>x</sub>N<sub>y</sub>) et deux énergies d'implantation dans le cas du Si<sub>x</sub>N<sub>y</sub> (1 et 3 keV), pour une dose programmée de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$

Cette figure récapitulative montre que le changement de matériau (triangles pointant vers le haut) est une solution nettement plus efficace que l'augmentation de l'énergie d'implantation (triangles pointant vers la droite) pour réduire la taille des poches et donc le nombre de Si-nx synthétisés dans l'oxyde de grille.

Pour tenter d'identifier un éventuel effet de l'épaisseur de la membrane sur l'implantation, nous avons étudié aussi à l'AFM l'échantillon produit à partir de la membrane en SiO<sub>2</sub> de 8 nm même si celle-ci a été détruite pendant l'implantation et n'a pas pu être réutilisée. Nous avons pu trouver des zones pour lesquelles les poches de Si-nx ont pu être synthétisées. Les motifs que l'on a pu caractériser ont les tailles effectives suivantes : 3,8 µm, 1,2 µm, 740 nm, 450 nm et 330 nm. La Figure V. 25 ci-dessous regroupe les courbes de dose effective en fonction de la taille des motifs pour ces membranes ainsi que les résultats sur les autres membranes (SiO<sub>2</sub> 40 nm et Si<sub>x</sub>N<sub>y</sub> 600 nm) :

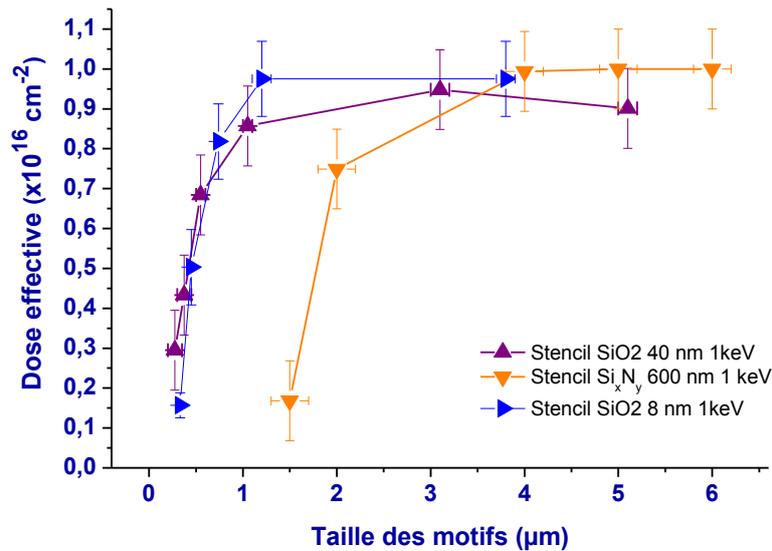


Figure V. 25 : Dose effective en fonction de la taille des motifs implantés à 1keV et pour une dose programmée de  $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$  pour trois types de membranes : SiO<sub>2</sub> 40 nm (triangles vers le haut), SiO<sub>2</sub> 8 nm (triangles vers la droite) et Si<sub>x</sub>N<sub>y</sub> 600 nm (triangles vers le bas)

Cette figure montre la chute de dose effective avec la réduction de la taille des motifs ne dépend pas de l'épaisseur des membranes de SiO<sub>2</sub>. Il semble donc que dans cette gamme d'épaisseur, le choix du matériau de la membrane soit le facteur déterminant de la perte de dose. Ceci semble corroborer l'hypothèse d'une rétention de charge dans la membrane comme cause de cette perte de dose par écrantage électrostatique de ces faisceaux faiblement énergétiques pendant l'implantation (1 à 3keV).

Ces résultats ne sont donc pas encore totalement concluants, c'est pourquoi nous proposons dans la suite une seconde méthode de masquage qui s'affranchit totalement des effets d'écrantage électrostatique par l'utilisation d'un masque métallique percé par lithographie électronique et gravure humide. Même si nous nous écartons de notre objectif, à savoir développer la lithographie Stencil, cette seconde méthode de masquage nous permettra de voir si il existe une réelle limite physique à ce type de synthèse.

## II) Résultats et caractérisations des poches à Si-ncx réalisées par masquage métallique et nanolithographie électronique

### II-1) Présentation de la méthode

Cette méthode consiste à déposer une couche mince de métal directement sur la surface de la silice à implanter puis de définir des motifs dans cette couche métallique par lithographie électronique (e-beam) et gravure humide. Elle a été réalisée en collaboration avec Emmanuelle Daran, ingénieure de l'équipe TEAM du LAAS qui a pris en charge le processus de lithographie électronique. Ce procédé sera détaillé plus précisément dans l'annexe 4. La Figure V. 26 ci-dessous illustre les différentes étapes du masquage métallique, en prenant l'exemple d'une couche mince de chrome :

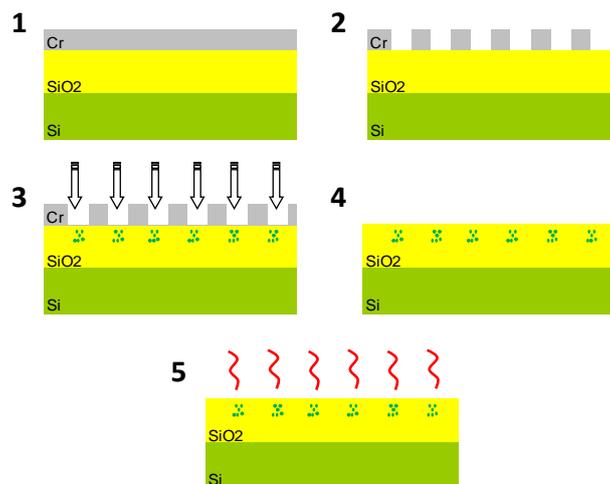


Figure V. 26 : Étapes pour la synthèse de poches locales de Si-ncx par masquage métallique (couche Cr de 20 nm) : l'implantation des ions Si<sup>+</sup> est faite à travers des ouvertures réalisées par e-beam dans la couche de chrome

Nous pouvons décrire brièvement ces étapes de la façon suivante :

- 1) Dépôt d'une couche mince de métal
- 2) Couchage de la résine PMMA
- 3) Insolation des motifs par lithographie électronique
- 4) Développement de la résine et gravure humide du métal par chrome Etch
- 5) Implantation ionique à basse énergie

- 6) Retrait de la couche de métal au chrome Etch
- 7) Recuit de synthèse des Si-ncx

## II-2) Dépôt de la couche métallique et ouverture des motifs

Nous avons tout d'abord déposé une couche de 20 nm de chrome par pulvérisation cathodique sur un échantillon Si/SiO<sub>2</sub> de 10 nm d'oxyde. Cette épaisseur est d'une part opaque aux ions silicium de basse énergie et d'autre part limite l'élargissement du motif lors de la gravure humide qui est isotrope. Nous avons alors réalisé des réseaux de motifs par un processus de lithographie électronique à base de résine PMMA (polyméthacrylate de méthyle). Après insolation et révélation de la résine un bain de « Chrome Etch » permet de percer le métal. La Figure V. 27 ci-dessous est une image MEB présentant une vue d'ensemble des motifs réalisés sur la couche de chrome :

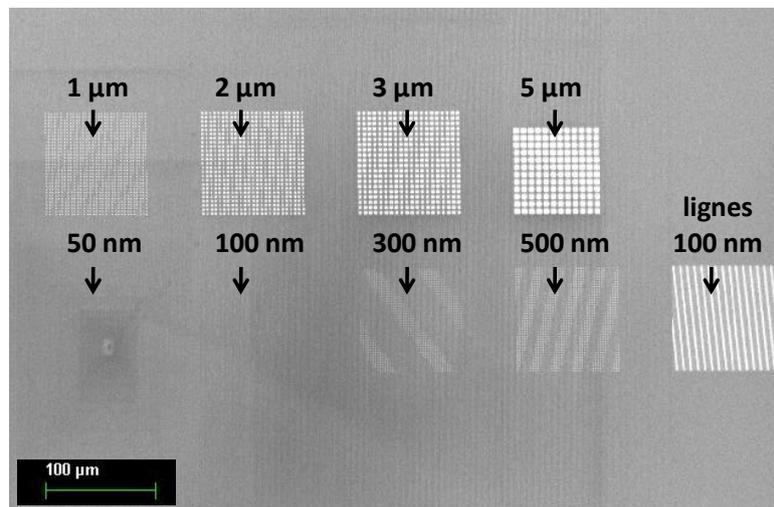


Figure V. 27 : Vue d'ensemble des motifs réalisés dans la couche métallique par lithographie électronique : 8 réseaux de motifs carrés de taille comprise entre 5 µm et 50 nm et un réseau de lignes de 100 nm sur 100 µm

L'étape suivante consiste à vérifier l'ouverture des motifs, qui ne dure que quelques secondes dans le « Chrome Etch », avant de passer à l'étape d'implantation ionique. La Figure V. 28 ci-dessous présente des images MEB de la surface de la structure Cr/SiO<sub>2</sub>/Si après ouverture des motifs :

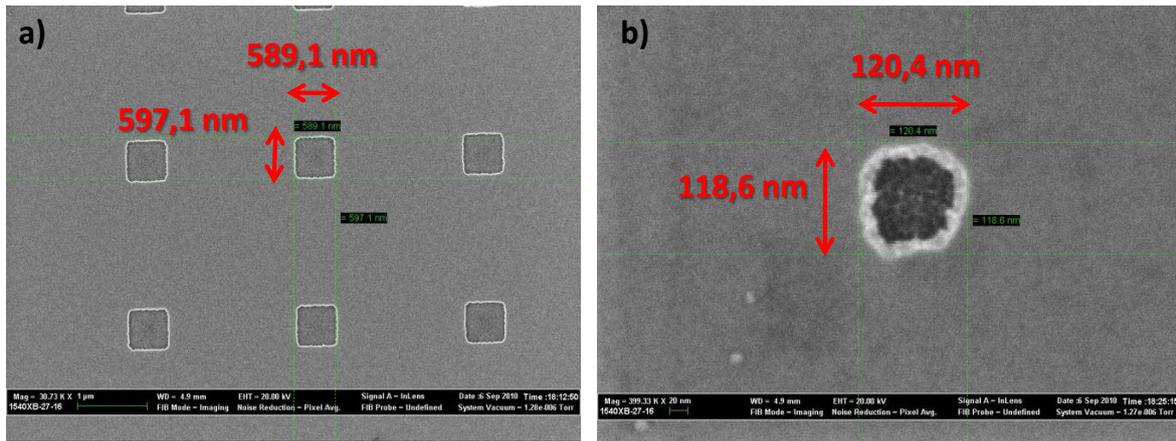


Figure V. 28 : Images MEB a) de motifs de 500 nm, b) d'un motif de 100 nm réalisés par lithographie électronique dans la couche de chrome de la structure Cr/SiO<sub>2</sub>/Si

La différence nette de contraste sur ces images montre que les motifs ont correctement été ouverts par le faisceau d'électrons et la gravure. On remarque que les ouvertures effectives sont un peu plus larges que les valeurs attendues et que ces motifs deviennent circulaires pour les plus petites tailles (visible sur l'image (b) pour des motifs de 100 nm).

### II-3) Implantation ionique, retrait de la couche de chrome et synthèse des Si-ncx

Après implantation ionique à une énergie de 1 keV et à une dose programmée de  $1 \times 10^{16}$  Si<sup>+</sup>/cm<sup>2</sup>, la couche de chrome est à nouveau traitée par gravure humide dans une solution de « chrome etch ». Le retrait intégral de la couche métallique est nécessaire avant le recuit de synthèse des Si-ncx, d'une part pour garantir une surface propre à l'échantillon et d'autre part pour ne pas polluer le four de recuit avec des particules métalliques. Pour cela, nous avons dans un premier temps plongé les échantillons dans une solution de « chrome etch » pendant deux heures. A l'issue de ce traitement, la couche de chrome était encore présente sur les échantillons. De ce fait, nous avons à nouveau trempé les échantillons dans cette solution toute une nuit avant de les nettoyer à l'eau DI et de les sécher. La figure ci-dessous présente une image optique de la surface d'un échantillon ainsi traité :

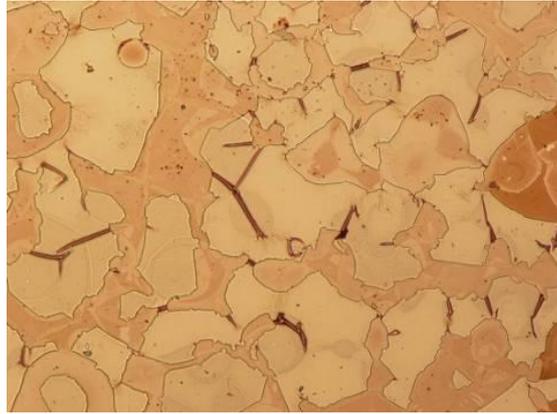


Figure V. 29 : Image optique de la surface d'un échantillon Cr/SiO<sub>2</sub>/Si après traitement au chrome etch pour enlever la couche de chrome : la surface présente de nombreux résidus (contraste plus clair)

Il apparait clairement que de nombreux résidus sont encore présents en surface de l'échantillon après le traitement au chrome etch. Avec le même procédé et une implantation d'ions Ag<sup>+</sup> la couche de chrome s'est dissoute normalement au "chrome etch". Ainsi, les résidus observés en Figure V. 29 sont donc dus à un effet chimique entre le silicium et le chrome pendant l'implantation. Il s'agit très probablement de siliciures de chrome ou de silice très peu solubles dans le Cr etch.

Pour essayer d'améliorer ces résultats, nous avons remis deux échantillons Cr/SiO<sub>2</sub>/Si implantés Si<sup>+</sup> dans le Cr etch, le tout placé dans un bain d'ultrasons (US). Un des échantillons est placé face active (avec le chrome) vers le haut et l'autre face active en bas. Après deux heures dans le bain US et deux autres heures dans le chrome etch sans US, nous avons comparé les résultats. Il en ressort que l'échantillon traité avec la face active vers le haut présente toujours des résidus tandis que l'autre présente une surface quasiment propre. Ainsi, pour enlever la couche de Cr il est nécessaire de placer l'échantillon « tête-bêche » pour faire « tomber » la couche de chrome, celle-ci ne pouvant être réellement dissoute.

Enfin, nous avons réalisé un recuit sous N<sub>2</sub>, pendant 30 minutes à T=1050°C sur des échantillons ainsi traités (surface propre) pour former les Si-nx dans la couche d'oxyde.

#### **II-4) Caractérisation AFM de la synthèse réalisée par masquage métallique**

Nous avons alors réalisé des mesures topographiques de la surface de silice par AFM pour estimer le gonflement maximum pour chaque taille de motifs. La Figure V. 30 ci-dessous présente les images réalisées sur des réseaux de motifs de 300 nm (a), 100 nm (b) et 50 nm (c) :

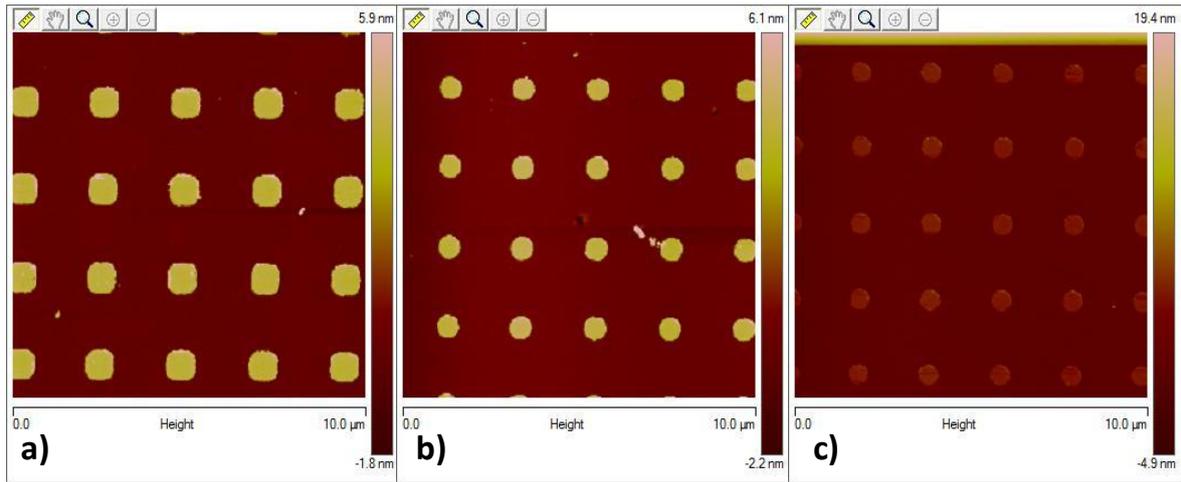


Figure V. 30 : Images topographiques de la surface de silice réalisées par AFM montrant les réseaux de motifs contenant des Si-ncx synthétisées par masquage métallique et ULE-IBS : a) motifs  $300 \times 300 \text{ nm}^2$ , b) motifs  $100 \times 100 \text{ nm}^2$ , c) motifs  $50 \times 50 \text{ nm}^2$

Ces images montrent que les réseaux de motifs ouverts dans la couche de chrome par e-beam sont parfaitement reproduits dans la silice des échantillons Si/SiO<sub>2</sub>, y compris pour les plus petites tailles. Sur les profils extraits de ces images nous avons mesuré le gonflement de la silice dans les zones implantées. L'évolution du gonflement maximum de l'oxyde avec la réduction en taille des motifs est présentée sur la figure suivante :

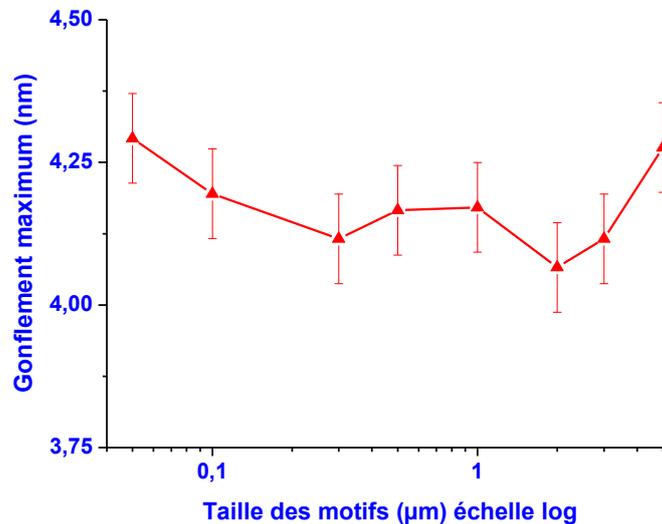


Figure V. 31 : Gonflement maximum en fonction de la taille des motifs réalisés par masquage métallique et ULE-IBS

Cette figure montre que le gonflement de l'oxyde d'environ  $4,2 \pm 0,1 \text{ nm}$  est constant pour toutes les tailles de motifs, dans la gamme étudiée (entre  $5 \text{ μm}$  et  $50 \text{ nm}$ ). Ce résultat indique

clairement que l'utilisation d'une membrane métallique, ici une couche de 20nm de chrome, permet de réduire les motifs jusqu'à 50 nm environ. Le faisceau d'ions n'est apparemment pas écranté pendant l'implantation et la dose effective est égale à la dose programmée. Remarquons que la plus forte valeur de gonflement comparé aux résultats obtenus avec les membranes stencil (4,2 nm contre 3,0 à 3,5 nm) est probablement due au procédé de masquage métallique (Figure V. 26), en particulier lors du retrait du chrome de la surface de silice après implantation.

En conclusion, il devient donc possible de synthétiser des poches de Si-ncx de taille nanométrique, contenant à peine quelques nanocristaux. Il n'existe donc pas de limite réelle pour la synthèse du nanocristal unique dans de la silice.

### **III) Conclusions sur la synthèse locale de poches de Si-ncx**

Au cours de ce chapitre, nous avons montré que la synthèse de poches de Si-ncx par SM-ULE-IBS est rapide, peu coûteuse, reproductible et n'endommage pas la surface de l'oxyde puisqu'elle consiste simplement à poser une membrane sur l'échantillon pendant l'implantation et à la retirer avant le recuit de synthèse des particules. Cette technique a cependant montré ses limites en termes de tailles de poches de Si-ncx. Nous avons pu identifier la raison probable de cette limitation: le matériau isolant des membranes provoque un chargement du masque pendant l'implantation, ce qui a pour conséquence de réduire le nombre d'ions disponibles pour la synthèse.

La réalisation de masques métalliques par lithographie électronique a permis de confirmer cette hypothèse, puisqu'aucune perte de dose n'est observée dans des ouvertures de petite taille (50 nm). Cette technique est pour l'instant la seule susceptible de permettre la synthèse du nanocristal unique dans une couche mince de SiO<sub>2</sub>. Cependant elle présente un certain nombre d'inconvénients comparativement au masquage stencil : elle nécessite l'utilisation systématique de la lithographie électronique (procédé long et coûteux) ainsi que l'utilisation de traitements chimiques relativement difficiles pour dissoudre le masque métallique. Rappelons que les nanocristaux se trouvent à des distances nanométriques sous la surface et qu'ils seraient alors sensibles à la moindre contamination chimique. Les éventuels résidus métalliques encore présents sur la surface de la silice après traitements devront donc être impérativement supprimés pour obtenir des nanocristaux de qualité. Cependant, nous n'avons pas encore réalisé d'analyse chimique de la surface pour quantifier cette pollution métallique.

Ainsi, la synthèse locale de Si-ncx par lithographie stencil reste donc avantageuse car la limitation actuelle de notre lithographie stencil ne semble donc bien être qu'un problème de choix du matériau constitutif de la membrane. Finalement, à l'issue de ces travaux, nous pouvons envisager de

synthétiser le nanocristal unique en testant des membranes métalliques ou semiconductrices de type Silicium, qui sont finalement disponibles au LETI.

## **IV) Réalisation d'un « démonstrateur » : Fabrication de MOSFET à nombre réduit de Si-ncx par couplage du procédé Nanocrystals Inside avec la lithographie Stencil**

### **IV-1) Présentation du banc d'alignement de masques**

Dans la dernière partie de ce chapitre, nous présenterons brièvement la technique utilisée pour combiner le procédé Nanocrystals Inside avec une synthèse de Si-ncx par SM-ULE-IBS. La plaquette ainsi réalisée est en quelque sorte un « démonstrateur » de la faisabilité d'un procédé de fabrication de MOSFET à nombre réduit et contrôlé de Si-ncx.

Une méthode d'alignement de masques stencils a été mise en place il y a quelques années au LPCNO. La photographie du banc d'alignement est présentée sur la figure suivante :

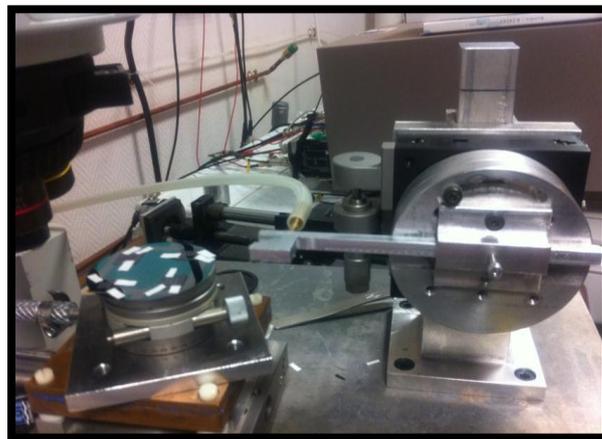


Figure V. 32 : Banc d'alignement de masques stencils du LPCNO

Ce banc d'alignement de masques a été utilisé pour d'autres applications, notamment pour la réalisation d'électrodes. En effet, la réalisation d'électrodes est possible par dépôt métallique à travers un masque stencil avec les ouvertures spécifiques, après alignement et fixation du masque sur l'objet d'étude. L'alignement est rendu possible par la transparence des masques et il est obtenu à l'aide d'une table d'alignement suivant les axes X, Y, Z et  $\theta$ . La Figure V. 33 montre deux exemples d'alignement de masques, réalisés au LPCNO et dédiés à des mesures de transport, a) sur une ligne conductrice de 5

$\mu\text{m}$  de large de nanoparticules d'or auto-assemblées, b) sur une monocouche de graphène :

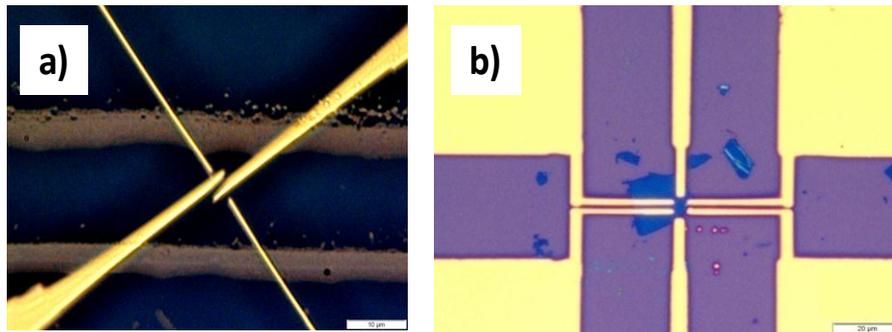


Figure V. 33 : a) réalisation de 4 électrodes sur deux lignes d'or de 5  $\mu\text{m}$  de large (image après évaporation à travers masque et retrait du masque), b) alignement de 6 pads de connexion sur une monocouche de graphène (pendant l'alignement)

#### IV-2) Alignement d'un masque en $\text{Si}_x\text{N}_y$ de l'EPFL sur la zone de grille de MOSFET à Si-ncx issus du procédé Nanocrystals Inside

Nous avons réalisé une plaquette de composants par le procédé Nanocrystals Inside pour laquelle nous avons interrompu la fabrication après l'oxydation de grille. Nous avons alors utilisé le banc d'alignement pour positionner 4 stencils de 600 nm en  $\text{Si}_x\text{N}_y$  sur la plaquette, de façon à aligner les motifs (de 1 à 10  $\mu\text{m}$ ) avec les zones dans lesquelles seront positionnées les grilles en poly-silicium des transistors TCC et TCL. La Figure V. 34 ci-dessous présente en a) les stencils fixés sur la plaquette après alignement, en b) la plaquette sur le porte-échantillon de l'implanteur avant implantation, c) la plaquette à la sortie de l'implanteur.

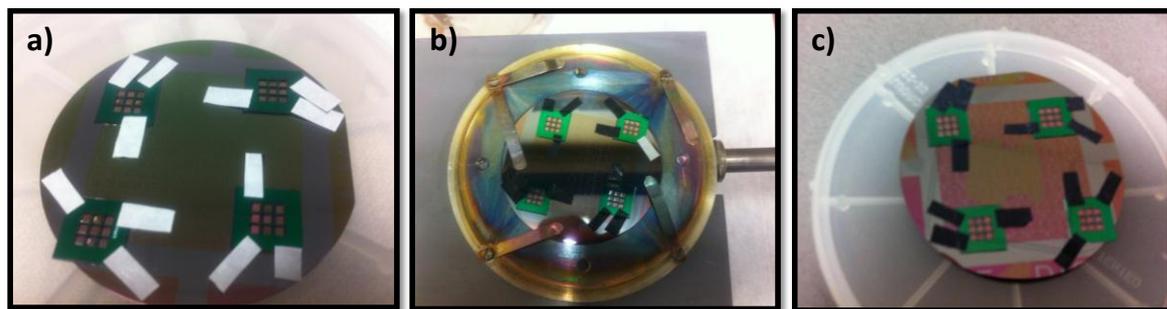


Figure V. 34 : a) Alignement de 4 stencils de l'EPFL en  $\text{Si}_x\text{N}_y$  sur les zones où seront déposées les grilles des futurs MOSFET à Si-ncx, b) et c) avant et après implantation ionique à travers ces masques stencils

Après ces étapes les stencils sont retirés de la plaquette, qui est placée dans le four de recuit pour la synthèse des Si-ncx. Les étapes suivantes sont celles du procédé Nanocrystals Inside. Ainsi, les

transistors réalisés hors-stencils contiendront un plan 2D de Si-nx dans l'oxyde de grille tandis que ceux placés sous les stencils présenteront des poches localisées de Si-nx. Comme nous l'avons vu précédemment, avec ces stencils en Si<sub>x</sub>N<sub>y</sub>, les plus petites poches de Si-nx présentes sous la grille seront de 1,5 à 2 µm. La Figure V. 35 ci-dessous présente l'exemple d'un alignement réalisé dans un TCC d'une puce C1 de la plaquette :

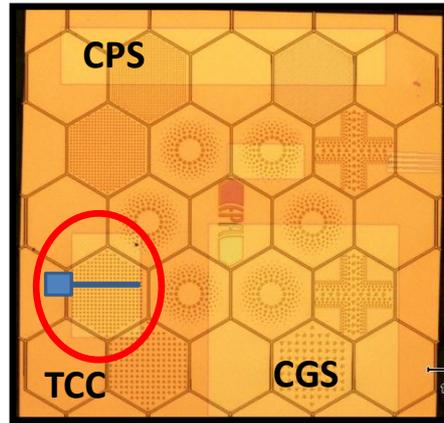


Figure V. 35 : Alignement de motifs triangulaires de 4 µm du stencil (dans l'hexagone entouré en rouge) avec la future grille d'un TCC (schématisée en bleu)

Cette figure permet de voir à travers la membrane à la fois les composants de la puce C1 (capacités CGS et CPS, transistor TCC) et les motifs du stencil (voir Figure V. 2), à savoir des triangles de 1 à 10 µm. La zone sous la grille schématisée en bleu contient des triangles de 4 µm. Nous avons calculé le rapport entre la surface sous la grille qui a été implantée à travers ces motifs et celle non implantés (hors-motifs) : 18 triangles de 4 µm de côté donneront une surface totale implantée de  $1,95 \times 10^{-6} \text{ cm}^2$ , soit 11,5% de la surface totale de la grille d'un TCC. Ainsi, malgré l'utilisation d'un masque qui n'est pas auto-aligné avec les grilles des transistors, nous avons pu réduire le nombre de Si-nx implantés dans des MOSFET localement sur la plaquette de composants. Pour le TCC présenté Figure V. 35, ce premier test permet déjà de réduire de 88,5% la zone implantée par rapport à une implantation sans stencil. Alors, on pourra caractériser par pompage de charge les composants réalisés par combinaison de la synthèse SM-ULE-IBS avec le procédé Nanocrystals Inside.

## Conclusion générale du chapitre

Dans ce chapitre nous avons montré qu'il était possible de réduire significativement le nombre de Si-ncx synthétisé par ULE-IBS à partir d'un masquage stencil, à savoir environ  $10^3$  Si-ncx sur la base d'une densité de  $1 \times 10^{12}$  Si<sup>+</sup>/cm<sup>2</sup>. Cependant, cette technique ne nous a pas encore permis d'atteindre le cristal unique, du fait de la perte de dose inhérente à l'utilisation de membranes isolantes. Nous avons toutefois quantifié cette perte de dose avec la diminution de taille des motifs qui a été attribué à des effets de charges des membranes en nitrure. Le procédé a été amélioré d'abord par l'augmentation de l'énergie d'implantation puis en utilisant des membranes de stencils en silice. Finalement l'origine des difficultés à pu être confirmé par une autre technique de masquage cette fois métallique par lithographie électronique. Elle a en plus montré que, la synthèse locale de Si-ncx par lithographie stencil reste donc avantageuse car la limitation actuelle de notre lithographie stencil ne semble donc bien être qu'un problème de choix du matériau constitutif de la membrane.

Ainsi, plusieurs pistes d'amélioration ont été proposées pour atteindre notre objectif de synthèse de quelques nanocristaux avec des stencils comme l'utilisation de membranes semiconductrices (e.g. Si). L'objectif de la synthèse d'une seul nanocristal dans l'oxyde de grille d'un MOS quoique encore lointaine semble tout à fait possible. Malgré ces limitations nous avons tout de même levé le verrou de la réalisation d'un démonstrateur MOS avec alignement des ouvertures du masque stencil sur les grilles des transistors.

## Références bibliographiques du chapitre 5

- [1] M. G. Ancona, N.S. Saks and D. McCarthy, IEEE Transactions on electron devices Vol. 35, No. 12 (1988)
- [2] N.S. Saks, G. Groeseneken and I. DeWolf, Appl. Phys. Lett. Vol. 68, No.10 (1996)
- [3] C. Dumas, Thèse de doctorat, Université de Toulouse (2008)
- [4] A. Arbouet et al. , Journal of Luminescence Vol. 121 (2006) 340-343.
- [5] M.A.F. Van Den Boogaart, Thèse n°3598: EPFL, IMM, LMISI (2006)
- [6] M. Carrada, Thèse de doctorat, Université de Toulouse (2003)
- [7] C. Bonafos et al. , J. Appl. Phys. Vol. 95, No. 10 (2004)
- [8] C. Dumas et al. , Phys. Stat. Sol. (a) 204, No. 2 (2007)
- [9] M.Lishchynska, V.Bourenkov, M.A.F.van den Boogaart, L.Doeswijk, J.Brugger, J.C.Greer, Microelectronic Engineering, Vol.84 (2007)
- [10] R. Diaz, C. Dumas, J. Grisolia, T. Ondarçuhu, S. Schamm, A. Arbouet, V. Paillard, G. BenAssayag, P. Normand, J. Brugger, Mater. Res. Soc. Symp. Proc. 1160 (2009) 61–66.
- [11] H. Ryssel and I. Ruge, « Ion implantation », J. Wiley & sons editions, Chichester (1986)
- [12] B.E. Deal and Grove, Journal of Applied Physics, Vol. 36 (1965)
- [13] J. Grisolia, C. Dumas, G. BenAssayag, C. Bonafos, S. Schamm, A. Arbouet, V. Paillard, M.A.F. Van den Boogaart, J. Brugger, P. Normand, Superlattices Microstruct. Vol. 44 (2008)
- [14] M. Carrada, N. Cherkashin, C. Bonafos, G. Benassayag, D. Chassaing, P. Normand, D. Tsoukalas, V. Soncini, A. Claverie, Mater. Sci. Eng. B 101 (2003) 204–207
- [15] R. Diaz et al., Nuclear Instruments and Methods B (2011), in press
- [16] M.V. Wolkin, J. Jorne, P.M. Fauchet, G. Allan, C. Delerue, Phys. Rev. Lett. Vol. 82, No. 1 (1999)
- [17] B. Garrido Fernandez et al. , J. Appl. Phys. Vol. 91, No. 2 (2002)
- [18] E. Suzuki et al. , IEEE Trans. Electron Devices, Vol. ED-30 (1983)
- [19] F. R. Libsch and M. H. White, Sol. State Electron, Vol. 33, (1990)
- [20] M. L. French, et al., IEEE Trans. Comp., Packag., Manufact. Technol., Vol. 17, (1994)

## Conclusion générale

Ce travail de thèse s'inscrit à la frontière du « More Moore » et du « More Than Moore », qui envisagent respectivement de poursuivre la réduction des dimensions physiques des mémoires non-volatiles de type Flash associée à l'augmentation de leurs performances et d'augmenter le nombre et le type de fonctionnalités présents sur un circuit intégré. En effet, l'intégration d'objets nanométriques dans les composants permet à court terme de réduire leurs dimensions et à plus long terme de proposer de nouvelles fonctions (e.g. le blocage de Coulomb, SET). Le regain d'attention des industriels pour ce type de composants, illustré par l'introduction sur le marché de la Flexmemory de Freescale, incite à poursuivre des études sur ce type de systèmes. Pour cela, nous avons mis au point un procédé de fabrication de cellules mémoires élémentaires (MOSFET) à grille granulaire formée par un plan de nanocristaux de silicium. Nous avons confirmé que le chargement est majoritairement réalisé dans les Si-ncx, condition nécessaire à la bonne rétention de charge. Nous avons également montré que la technique de synthèse locale par masquage Stencil permettra à court terme la synthèse d'un nombre très réduit de nanocristaux dans l'oxyde de grille à des distances tunnels des électrodes et donc d'aller vers des mémoires à Si-ncx avec des longueurs de grilles bien inférieures à 90 nm. D'autre part, le développement de la technique de pompage de charge que nous avons adaptée à la caractérisation de ces particules enfouies dans l'oxyde devrait permettre de suivre électriquement cette réduction par l'extraction précise des caractéristiques pertinentes des populations de nanocristaux (localisation, nombre, taille...).

Dans un premier temps, nous nous sommes intéressés au bon contrôle de la position du plan de Si-ncx dans l'oxyde ainsi que de leur taille, morphologie et densité en fixant les conditions de synthèse (énergie et dose) et de recuit (atmosphère, température et durée) de notre technique d'implantation à très basse énergie ULE-IBS. Puis, dans un deuxième temps, nous avons mis au point un procédé complet de réalisation de composants MOS contenant ce plan bidimensionnel de Si-ncx dans un oxyde SiO<sub>2</sub> d'épaisseur comprise entre 5 et 10 nm. Cela abouti à un procédé hybride, nommé « Nanocrystals Inside », basé sur l'expertise acquise au CEMES ces dix dernières années pour la réalisation de nanocristaux et sur la modification du procédé DTC4R de l'AIME permettant la réalisation des composants MOS. A l'issue des optimisations et de l'adaptation du procédé, nous avons alors mis au point des capacités et des transistors MOSFET contenant ce plan de nanoparticules. Nous avons ensuite vérifié le fonctionnement de ces composants d'une part en mode « classique » et d'autre part en mode « mémoire ». La bonne qualité de l'interface Si/SiO<sub>2</sub> nous a permis d'obtenir une faible densité de pièges d'interface ( $\approx 10^{10} \text{ cm}^{-2}$ ) par rapport à celle de Si-ncx ( $\approx 1 \times 10^{12} \text{ cm}^{-2}$ ), ce qui garantie donc à la mémoire d'être gouvernée par ces derniers. D'autre part, cette faible densité préserve les composants d'une dégradation de l'interface, synonyme d'une réduction des courants de

fuite et d'une meilleure fiabilité des composants, critère essentiel pour le remplacement des mémoires actuelles.

Pour étudier les caractéristiques « mémoires » des composants réalisés nous avons utilisé une technique originale proposée initialement par T. Ohzone et al. permettant de vérifier d'un point de vue technologique que les composants à Si-n<sub>cx</sub> retiennent la charge électrique. Nous avons alors déterminé les conditions optimales de tensions d'écriture/effacement, de fréquence et de température favorisant un chargement maximal à partir du critère de largeur de la fenêtre mémoire observée. Nous avons pu étudier par la même technique des mesures cyclées d'endurance afin de confirmer que les critères spécifiés par l'ITRS pour les années à venir sont satisfaits par nos mémoires. Enfin, d'un point de vue plus fondamental nous avons observé et analysé des pics de chargements à différentes fréquences, ce qui nous a permis de distinguer les réponses spécifiques des différents types de pièges présents dans nos oxydes, comme les pièges d'interface, les pièges dus aux collisions ionique survivant au(x) recuit(s) thermiques et le plan de Si-n<sub>cx</sub> ; l'injection de charges se produisant dans les n<sub>cx</sub> à basse fréquence et sous polarisation suffisamment élevée. Les mesures d'écriture et d'effacement en température ont permis de montrer que les lieux de chargement sont majoritairement les niveaux confinés des Si-n<sub>cx</sub> (états de volume) et dans une moindre mesure ceux à l'interface avec la matrice (états de surface).

Pour valider définitivement cette hypothèse du chargement dans ces conditions d'injections nous avons utilisé et adapté la technique de pompage de charges 2 niveaux à l'étude de nos composants. Les résultats confirment ceux obtenus par les mesures cyclées citées ci-dessus, à savoir que les charges sont injectées dans les Si-n<sub>cx</sub> à basses fréquences et fortes polarisations tandis que ce sont les pièges d'interface qui sont adressés aux hautes fréquences et à plus faibles polarisations. D'autre part, nous avons ensuite montré que le pompage de charge permettait d'extraire qualitativement et quantitativement toutes les caractéristiques des nanocristaux : distribution dans l'oxyde, taille, densité... Des mesures structurales parallèles réalisées à partir d'observations EF-TEM directement dans les composants testés ont permis de confirmer à la fois que le chargement est effectivement réalisé dans les nanocristaux et que la technique de pompage de charge permet de sonder des pièges lents positionnés au-delà de 2 nm de profondeur dans l'oxyde de grille.

La validation de cette technique pour sonder des Si-n<sub>cx</sub> en profondeur est importante car la technique de pompage de charge possède de nombreux avantages tels que son caractère non destructif (contrairement aux observations EF-TEM) ainsi que sa sensibilité (sonder jusqu'au piège unique). Un autre avantage majeur est qu'elle permet de caractériser le composant en cours de fonctionnement, i.e. en condition réelle d'utilisation. De plus, la position des Si-n<sub>cx</sub> peut être déterminée latéralement et en profondeur. De ce fait, le pompage de charge devient un outil puissant et complet pour « compter » et « localiser » en 3D la position et le nombre de Si-n<sub>cx</sub> présents dans l'oxyde de grille.

Enfin, nous avons continué à développer le masquage Stencil qui permet de réduire le nombre de Si-nx synthétisés et de contrôler leur localisation en profondeur (par l'épaisseur d'oxyde et l'énergie d'implantation), leur position latérale (par la taille et le pas des motifs du masque Stencil) et enfin leur taille et leur densité (par la dose et le recuit).

Les causes probables à l'origine de la limitation de la synthèse de poches de Si-nx de taille nanométrique par SM-ULE-IBS ont de plus été cernées. La synthèse de poches de taille nanométrique a été obtenue par une autre technique utilisant un masquage métallique couplé à la lithographie électronique. Il est fort probable que l'utilisation prochaine de membranes Stencil en silicium dopé permettra d'aboutir aux mêmes résultats. Ceci nous permet de croire que la réalisation des composants mémoires par le procédé Nanocrystals Inside combiné à une implantation ionique à travers ce type de membrane conduira à des MOSFET comportant un nombre très réduit de nanocristaux dans l'oxyde de grille.

Le couplage de cette technique et du pompage de charge nous permettra alors de contrôler la statistique de synthèse des nx en déterminant leur nombre, leur localisation, leur taille et leur densité, ce qui deviendra un enjeu majeur dans les mémoires futures. Ces composants offriront alors nous l'espérons une alternative aux mémoires Flash actuelles avec non seulement la possibilité de réduire l'épaisseur de l'oxyde de grille tout en conservant une forte rétention de la charge électrique dans l'isolant de grille mais aussi en offrant un état chargé de la mémoire associé à un très faible nombre de charges stockées. Ceci participera alors à la diminution de la consommation électrique qui est aussi un paramètre important.

Enfin, il est à noter que ces travaux de recherche sur le procédé « Nanocrystals Inside » développé dans le cadre de cette thèse ont été transférés en enseignement à l'AIME en 2010. Cet enseignement en salle blanche a obtenu le soutien financier du Département de Génie Physique (GP) de l'INSA de Toulouse et permet depuis aux étudiants de 4<sup>ème</sup> année GP d'acquérir des savoirs-faire génériques en salle blanche mais aussi d'aborder des concepts et des pratiques de niveau recherche, à savoir ici fabriquer et caractériser des cellules mémoires à nanocristaux. Enfin, le TP Nanocrystals Inside est désormais financé par le programme européen EURO-DOTS (European Doctoral Training Support in Micro/Nano-electronics, <http://www.eurodots.org>), qui vise à améliorer l'offre et la qualité de la formation dispensée aux étudiants européens en doctorat. Dans ce cadre, il permettra l'acquisition de crédits ECTS. La première formation destinée aux doctorants européens se déroulera à l'AIME en septembre 2012.

# LISTE DES FIGURES

Figure 1 : La mémoire à Si-ncx en technologie 90 nm « Flexmemory » développée par Freescale en collaboration avec GlobalFoundries (à gauche), zoom sur un seul nanocristal de Si de la Flexmemory de 10 nm de diamètre (à droite).....	3
Figure I. 1 : Schéma d'une cellule mémoire Flash à grille flottante continue en poly-silicium.....	10
Figure I. 2 : Les nouvelles voies pour le remplacement des mémoires Flash [1].....	11
Figure II. 1 : Les 4 puces du procédé DTC4R .....	48
Figure II. 2 : Les composants et motifs de la puce C1.....	48
Figure II. 3 : Vue en 3D des étapes de réalisation du MOSFET lors du procédé DTC4R .....	49
Figure II. 4 : Schéma en coupe montrant les différentes couches du TCC finalisé.....	51
Figure II. 5 : Schéma des connexions réalisées par wedge bonding sur la puce C1 .....	51
Figure II. 6 : Les 12 étapes du procédé Nanocrystals Inside pour la réalisation de MOSFET à nanocristaux de Si dans une couche mince d'oxyde de grille.....	52
Figure II. 7 : Evolution du rapport B/A en fonction de la température pour les 2 types d'oxydation thermique et pour un substrat Si <100> .....	55
Figure II. 8 : Comparaisons des temps d'oxydation donnés par le modèle de Deal et Grove pour 3 températures allant de 1000°C à 1100°C (motifs triangles) avec les points expérimentaux obtenus à l'AIME à T=1050°C (motifs étoiles) .....	56
Figure II. 9 : Valeurs expérimentales d'épaisseur d'oxyde dans la gamme 7-10 nm en fonction de la durée d'oxydation à T=1100°C après traitement HF:éthanol à 3% d'HF et en fonction de la présence ou non de plaquette écran.....	61
Figure II. 10 : a) courbe I-V d'une capacité MOS (CPS) d'oxyde de grille 7,3 nm, b) représentation dans le plan F-N de la caractéristique $\ln(J_{FN}/E_{ox}^2) = f(1/E_{ox})$ .....	63
Figure II. 11 : Energie du pic de PL extraite des spectres expérimentaux de PL (Si-ncx par ULE-II) en fonction du diamètre des ncx [12], comparée aux calculs théoriques réalisés par Wolkin et al., sur le gap de l'exciton libre (passivation sous hydrogène), et l'énergie de transition dans un nanocristal passivé sous oxygène, contenant au moins une liaison Si=O [13] .....	65
Figure II. 12 : Spectres de PL obtenus pour différentes doses testées, allant de $4 \cdot 10^{15}$ à $1 \cdot 10^{16}$ $Si^+/cm^2$ , dans des oxydes de 7 nm (gauche) et de 10 nm (droite).....	66
Figure II. 13 : spectres de PL d'échantillons implantés à 1keV à une dose de $7,5 \cdot 10^{15}$ $Si^+/cm^2$ et recuits à des températures comprises entre 850°C et 950°C pendant 30 ou 60 min et dont les épaisseurs d'oxyde sont : a) 7 nm, b) 10 nm .....	67
Figure II. 14 : Spectre de PL d'un échantillon d'épaisseur d'oxyde 7 nm, implanté à 1keV à une dose de $1 \cdot 10^{16}$ $Si^+/cm^2$ recuit à T=1050°C pendant 90 min sous $N_2$ .....	68
Figure II. 15 : Spectre de PL réalisé sur un oxyde à Si-ncx synthétisés par implantation ionique à 1 keV et à une dose de $7,5 \cdot 10^{15}$ $Si^+/cm^2$ suivi d'un double recuit sous $N_2$ pendant 90 min à 1050°C puis sous $N_2+6,5\%O_2$ pendant 60 min à 950°C.....	70

Figure II. 16 : Fenêtre mémoire obtenue pour des capacités MOS d'oxyde de grille de 7 nm d'épaisseur, implantées à 1keV à une dose de $2.10^{16} \text{ cm}^{-2}$ suivi d'un recuit sous différentes atmosphères oxydantes [14].....	71
Figure II. 17 : Spectres de PL des échantillons $M_1$ (bleu) et $M_2$ (rouge) au centre, vue plane et section transverse réalisées sur l'échantillon $M_1$ , respectivement au centre et à droite .....	72
Figure II. 18 : spectres de PL issus d'une série de recuits de passivation réalisés sur l'échantillon $M_1$ .....	74
Figure II. 19 : spectres de PL montrant la forte augmentation d' $I_{PL}$ après recuit de passivation dans le cas d'un substrat de silice amorphe [19] .....	75
Figure II. 20 : Variations du net doping en phosphore : dans l'oxyde de grille (courbe verte) et dans les jonctions (courbe rouge), en fonction de la température (entre 950°C et 1100°C) et pour une durée de pré-dépôt de 10 min .....	79
Figure II. 21 : Simulation de la concentration en phosphore dans l'oxyde de grille en fonction de l'épaisseur de poly-Si, pour un oxyde de grille de 7 nm d'épaisseur (courbe bleue) et de 10 nm d'épaisseur (courbe rouge) .....	81
Figure II. 22 : Mesures C-V réalisées sur des CPS : a) de la série 1, pour des tensions de grille -4V/+4V/-4V et pour des fréquences allant de 100 kHz à 1 MHz, b) de la série 4, pour des tensions de grille -4V/+4V/-4V et des fréquences comprises entre 200 kHz et 1 MHz .....	85
Figure II. 23 : Simulation TCAD montrant l'impact du dopage d'une grille en poly-silicium sur la valeur de la capacité en accumulation : dopage de $10^{19} \text{ cm}^{-3}$ (courbe bleue), $10^{20} \text{ cm}^{-3}$ (courbe verte) et $10^{21} \text{ cm}^{-3}$ (courbe rouge) .....	85
Figure II. 24 : Schémas électrique équivalents correspondant respectivement : a) au modèle 2-éléments série, b) au modèle 2-éléments parallèle, c) au modèle 3-éléments [25] .....	87
Figure II. 25 : Courbes C-V obtenues à partir du modèle 2-éléments parallèle à $f=100 \text{ kHz}$ (noir) et $f=1 \text{ MHz}$ (rouge), ainsi que la courbe reconstruite par le modèle 3-éléments à partir de ces mesures (bleu) : a) dans le cas d'une capacité CPS de la série 1, b) dans le cas d'une capacité CPS de la série 4 .....	88
Figure II. 26 : Caractéristiques $I_D-V_{DS}$ (à gauche) et $I_D-V_{GS}$ (à droite) d'un MOSFET à canal long (TCL) issu du procédé DTC4R ( $t_{ox}=70 \text{ nm}$ ) .....	90
Figure II. 27 : Caractéristiques a) $I_D-V_{DS}$ et b) $I_D-V_{GS}$ d'un transistor TCC de la série 2 .....	92
Figure II. 28 : Caractéristiques a) $I_D-V_{DS}$ et b) $I_D-V_{GS}$ d'un transistor TCL de la série 2 .....	92
Figure III. 1 : Schématisation des différents types de piège dans l'oxyde de structures MOS contenant un plan de Si-ncx.....	99
Figure III. 2 : Différents types de conduction à travers un isolant. La structure exemple est ici de type MOS à silicium de type P et d'isolant $\text{SiO}_2$ . La structure est polarisée positivement [3] .....	100
Figure III. 3 : a) Schéma électrique du montage de T. Ohzone permettant de suivre l'évolution de la fenêtre mémoire dans un transistor à nanocristaux au cours de cycles d'écritures et d'effacements, b) Banc de test réalisé à partir de ce schéma, comprenant une alimentation, un GBF, un oscilloscope et résistance $100 \Omega$ .....	103

Figure III. 4 : a) signaux visualisés sur l'écran de l'oscilloscope : les signaux $V_G$ et $V_S$ en fonction du temps, b) la courbe $V_S=f(V_G)$ en mode XY, permettant de suivre $I_D=f(V_G)$ .....	104
Figure III. 5 : Courbes $I_D-V_G$ extraites de mesures cyclées à basses fréquence (100 Hz) : a) à $V_G = \pm 9V$ et $V_{DS} = 0,15 V$ sur un TCC de la série 2, b) à $V_G = \pm 20V$ et $V_{DS} = 0,15 V$ sur un TCC de la série 1 .....	105
Figure III. 6 : a) Mesures à $T=300K$ de $V_{TW}$ et $V_{TE}$ à $V_G = \pm 20V$ et $V_{DS} = 0,15V$ pour un TCC dans une gamme de fréquences de 1 Hz - 100 kHz, b) fenêtre mémoire $\Delta V_T = V_{TW}-V_{TE}$ correspondante, présentant un maximum local à BF ( $\approx 500$ Hz) .....	107
Figure III. 7 : Maximum locaux de $\Delta V_T$ observés dans la littérature : à gauche pour un oxyde de 50 nm implanté à 25 keV et $3 \times 10^{16} \text{ Si}^+/\text{cm}^2$ (noté #25-3) recuit 30 min sous $N_2$ à $T=900^\circ\text{C}$ [10] ; à droite pour un oxyde de 8 nm implanté à 1 keV et $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ (motifs carrés ouverts) recuit 30 min sous $N_2$ à $T=950^\circ\text{C}$ [13].....	107
Figure III. 8 : Etude en fréquence de la réponse des pièges lents et rapides dans des TCC et TCL avec et sans Si-nx (séries 1 et 2), à l'aide du montage suiveur de source, pour une tension $V_G = \pm 20V$ ou $\pm 10V$ et une tension $V_{DS}=0,2V$ à température ambiante. ....	108
Figure III. 9 : Evolution de la fenêtre mémoire $\Delta V_T$ avec l'augmentation de la tension $V_G$ , pour un TCC de la série 2. ....	110
Figure III. 10 : Test d'endurance d'un TCC de la série 2 pour trois valeurs de $V_G$ ( $\pm 10V$ , $\pm 15V$ et $\pm 20V$ ) à basse fréquence ( $f=75$ Hz), à température ambiante et pour $V_{DS}=0,2V$ .....	110
Figure III. 11 : Endurance en température (de 299K à 358K) d'un TCC de la série 2 extraite des mesures de $V_{TE}$ et $V_{TW}$ en fonction du nombre de cycles E/W .....	112
Figure III. 12 : a) Evolution de $\Delta V_T$ en fonction du nombre de cycles E/W et cyclées en températures entre la température ambiante et $85^\circ\text{C}$ , pour un TCC de la série 2 testé dans les conditions suivantes : $f = 75$ Hz, pour $V_{DS}=0,2V$ et $V_G = \pm 20V$ , b) Evolution de $\Delta V_T$ après une double application du même cycle en température et en endurance qu'en a) pour un second TCC, dans les mêmes conditions .....	113
Figure IV. 1 : Montage expérimental utilisée pour les mesures de pompage de charge .....	120
Figure IV. 2 : Situations énergétiques à l'équilibre pour un transistor NMOS (a) en inversion forte, (b) en accumulation [5].....	120
Figure IV. 3 : Représentation des courants d'émissions et de capture de trous et d'électrons a) dans un transistor MOS, b) sur un diagramme de positions énergétiques [1].....	122
Figure IV. 4 : Différences de temps d'émission hors-équilibre en fonction de la forme du signal de grille : signal trapézoïdal et signal triangulaire.....	123
Figure IV. 5 : Courbes de pompage de charges 2 niveaux : à amplitude constante (à gauche), à amplitude variable (au centre et à droite) .....	125
Figure IV. 6 : Courbe $Q_{CP}=f(\log(f))$ dans le cas d'un signal triangulaire [1] .....	126
Figure IV. 7 : Courbes expérimentales du courant pompé $I_{CP}$ réalisées a) en mode à amplitude constante $\Delta V_G=2V$ , b) en mode à amplitude variable, avec $V_I=cte$ et à $f=1$ MHz, réalisées sur des MOSFETS vierges (sans Si-nx) .....	127
Figure IV. 8 : Variation linéaire du courant pompé en fonction du logarithme du temps en inversion [10].....	128

Figure IV. 9 : Charge recombiningée par cycle $Q_{CP}$ en fonction de la fréquence pour une mémoire SONOS. L'augmentation de la charge à basse fréquence est identifiée comme étant la charge recombiningée par les pièges dans le volume de l'oxyde (i.e. la couche de nitrure) [12] .....	130
Figure IV. 10 : Charge recombiningée a) pour un transistor MOS non irradié, b) pour un transistor MOS irradié au $^{60}\text{Co}$ .....	131
Figure IV. 11 : Densité des pièges près de l'interface tracées en fonction de la distance tunnel dans le cas de pièges dans une couche de nitrure à 1,2 nm de l'interface et de pièges induits dans le volume de l'oxyde par irradiation au $^{60}\text{Co}$ .....	132
Figure IV. 12 : Fonction de remplissage passant rapidement de 1 à 0. Cette fonction prend la valeur de 0,5 en $x_m$ , la profondeur correspondant au type de porteur limitant la recombinaison, avec $x_m = \min(x_e, x_h)$ .....	135
Figure IV. 13 : a) Réseau de courbes $Q_{CP}(f)$ pour différentes valeurs de $\Delta V_G$ , b) Profil de pièges d'interface extraits de courbes $Q_{CP}(f)$ semblables à celles en a) après application de différentes corrections.....	138
Figure IV. 14 : Evolution de la charge recombiningée $Q_{CP}$ en fonction de la fréquence utilisée pour réaliser des mesures de pompage de charge 2 niveaux sur des transistors à isolant de grille en $\text{HfO}_2$ [21].....	141
Figure IV. 15 : Courbes $Q_{CP}(\log(f))$ de transistors $\text{HfO}_2$ contenant une couche interstitielle de $\text{SiO}_2$ : a) lorsque le dépôt de la couche de $\text{HfO}_2$ génère des défauts de volume dans le $\text{SiO}_2$ , b) lorsque le dépôt est optimisé et les seuls pièges restants sont ceux à l'interface $\text{Si}/\text{SiO}_2$ [21].....	141
Figure IV. 16 : Profil $N_t(x)$ des pièges situés entre 0,4 et 1,2 nm de l'interface avec le substrat dans le cas d'un transistor contenant une couche de $\text{HfO}_2$ déposée sur un oxyde $\text{SiO}_2$ de 1,1 nm d'épaisseur [21].....	142
Figure IV. 17 : Coupe schématique d'un composant mémoire à Si-ncx déposé sur un oxyde de 0,8 nm d'épaisseur, b) courbe $Q_{CP}(\log(f))$ obtenus sur ce composant ainsi que sur sa référence sans Si-ncx, à $T=350\text{K}$ .....	143
Figure IV. 18 : a) Réseau de courbes $Q_{CP}(\log(f))$ d'un MOSFET à Si-ncx avec $t_{ox}=1,3$ nm, pour des valeurs de $\Delta V_G$ entre 3 et 6,5V ainsi qu'à 2V pour la référence sans ncx, b) profils en profondeurs extraits à partir de la relation donnée par Maneglia .....	144
Figure IV. 19 : Histogramme de la densité de pièges en fonction de leur diamètre effective.....	145
Figure IV. 20 : Courbes $I_{CP}(V)$ prises pour un grand nombre de fréquences a) comprises entre 400 Hz et 1 MHz sur un TCC vierge (série 4), b) comprises entre 100 Hz et 1 MHz sur un TCC implanté à 1 keV (série 8-1k), à température ambiante et pour $\Delta V_G=2\text{V}$ .....	147
Figure IV. 21 : a) Courbes $I_{CP}(\log(f))$ et b) $Q_{CP}(\log(f))$ obtenues sur un TCC de la série 4, avec $\Delta V_G=2\text{V}$ à 300K .....	148
Figure IV. 22 : a) Courbes $I_{CP}(\log(f))$ et b) $Q_{CP}(\log(f))$ obtenues sur des TCC des séries 8-1k pour des valeurs de $\Delta V_G$ de 2V, 3V, 4V et 5V.....	149
Figure IV. 23 : Variation du potentiel de surface $V_s$ en fonction de la tension de grille $V_G$ .....	154

Figure IV. 24 : Profils en profondeur des pièges sondés dans l'oxyde de grille de transistors TCC vierge de la série 4 testé avec $\Delta V_G=2V$ (motifs ronds, échelle de gauche) et de transistors implantés à 1 keV sous des impulsions de grille $\Delta V_G =3V, 4V$ et $5V$ .....	155
Figure IV. 25 : a) Profil en profondeur des pièges dans l'oxyde obtenu pour un transistor TCC sans ncx (non implanté) de la série 4, b) Structure chimique de l'interface Si/SiO <sub>2</sub> : zone de transition chimique SiO <sub>x</sub> (<2) de quelques angströms puis couche contrainte de l'oxyde (15-25 Å) [5] .....	155
Figure IV. 26 : Profils en profondeur des pièges sondés dans l'oxyde de grille de transistors TCC implantés à 1 keV sous des impulsions de grille $\Delta V_G =3V, 4V$ et $5V$ .....	156
Figure IV. 27 : Histogramme en taille des pièges sondés dans les oxydes de grille des transistors de la série 8-1k.....	157
Figure IV. 28 : Vue du dessus du transistor TCC montrant la grille (longueur effective $\approx 5 \mu m$ ), b) découpe de deux blocs en escalier pour définir la lame (pointillés rouges), c) dressage des deux parois de la lame (rectangles noirs), d) découpe du fond (trait noir horizontal), du côté gauche et demi-découpe à droite, e) micropince tenant la lame et découpe complète du côté droit, f) lame amenée au bord d'un support de la grille de microscopie et fixation par dépôt de platine à l'aide du GIS.....	159
Figure IV. 29 : Images FIB de l'amincissement progressif d'une lame prélevée sur un transistor TCC de la série 8-1k, dont l'épaisseur passe de $2 \mu m$ à $50 nm$ .....	159
Figure IV. 30 : images FIB a) de la lame observée en coupe, b) vue de dessus. L'oxyde de grille de $12,2 nm$ d'épaisseur contenant les Si-ncx est marqué par deux tirets jaunes en a).....	160
Figure IV. 31 : Schémas en coupe, vue du dessus et vue en perspective de la structure des transistors MOS que nous avons réalisés à l'AIME : la coupe en perspective montre que les ouvertures réalisées dans l'oxyde de protection pour réaliser les contacts métalliques (Al) sont situés en-dehors de la zone dans laquelle est prélevée la lame .....	160
Figure IV. 32 : images HRTEM a) d'une section transverse de la couche d'oxyde de grille d'un TCC de la série 8-1k, b) d'une vue plane réalisée dans l'échantillon M <sub>2</sub> (voir chapitre 2) dont la synthèse de Si-ncx est identique à celle des TCC 8-1k.....	161
Figure IV. 33 : Images EFTEM en section transverse réalisée dans l'oxyde de grille d'un MOSFET implantés à 1 keV. Le plan de Si-ncx apparait en contraste blanc dans l'oxyde de grille qui apparait en noir sur cette image filtrée.....	161
Figure IV. 34 : a) Vue plane EFTEM d'un échantillon Si/SiO <sub>2</sub> implanté dans les mêmes conditions que la série 8-1k, b) traitement chimique de l'image (Si en vert et SiO <sub>2</sub> en noir) donnant 57 « objets » .....	162
Figure IV. 35 : Histogrammes en taille des Si-ncx présents dans l'oxyde de grille d'un TCC de la série 8-1k a) selon l'axe majeur, b) selon l'axe mineur .....	163
Figure IV. 36 : Superposition normalisée de l'histogramme issu des mesures EF-TEM donnant la distribution en taille des Si-ncx (bleu) et des histogrammes extraits des mesures de pompage de charge concernant les pièges lents sondés avec $\Delta V_G= 4V$ et $5V$ (courbe rouge) dans le cas d'un TCC de la série 8-1k.....	164
Figure IV. 37 : Courbes $I_{CP}(\log(f))$ et $Q_{CP}(\log(f))$ réalisées sur un TCC de la série 8-1k sous $\Delta V_G=2V$ , à $T=300K$ (en rouge) et ) $T=77K$ (en cyan) .....	166

Figure IV. 38 : Schémas représentant des transistors réalisés par le procédé Nanocrystals Inside et de la position du plan de Si-ncx en fonction de l'énergie d'implantation (1keV, 2 keV ou 3 keV) ..	167
Figure IV. 39 : Sections transverses filtrées en énergie permettant de voir le plan de Si-ncx (contraste blanc) à l'intérieur de l'oxyde de grille (contraste noir) pour chaque série de transistors implantés (à 1 keV, 2 keV et 3 keV) .....	168
Figure IV. 40 : Courbes $I_{CP}(V_i)$ prises pour un grand nombre de fréquences a) comprises entre 20 Hz et 1 MHz sur un TCC vierge implanté à 2 keV (série 8-2k), b) comprises entre 50 Hz et 1 MHz sur un TCC implanté à 3 keV (série 8-3k), à température ambiante et pour $\Delta V_G=2V$ , après application d'une correction de courants de fuite .....	170
Figure IV. 41 : a) Courbes $I_{CP}(\log(f))$ et b) $Q_{CP}(\log(f))$ obtenues sur des TCC des séries 8-1k, 8-2k et 8-3k. La courbe de la série 8-1k à 3V est rajoutée sur la figure b) pour comparaison. ....	171
Figure IV. 42 : Distributions en profondeur des pièges sondés dans l'oxyde de grille de transistors TCC vierge de la série 4 testé avec $\Delta V_G=2V$ (motifs ronds, échelle de gauche) et de transistors implantés à 1, 2 et 3 keV sous des impulsions de différentes amplitudes $\Delta V_G$ entre 2V et 5V .....	174
Figure IV. 43 : Histogramme en taille des pièges sondés dans les oxydes de grille des transistors des séries 8-1k, 8-2k et 8-3k .....	175
Figure IV. 44 : a) Courant pompé $I_{CP}$ et b) charge recombinaison par cycle $Q_{CP}$ en fonction du logarithme de f pour des transistors de la série 2 testés sous des impulsions $\Delta V_G=3V, 4V$ et $5V$ ...	179
Figure IV. 45 : Profils en profondeur extraits des mesures CP réalisées sur des TCC de la série 2 et de la série 8-1k pour des impulsions $\Delta V_G=4V$ et $5V$ .....	179
Figure IV. 46 : Histogramme en taille des ncx de la série 8-1k et des « pièges » de la série 2 .....	181
Figure V. 1 : Schéma des étapes de fabrication de membranes stencils en film mince : a) substrat (wafer Si), b) dépôt de la membrane (e.g. SiN), c) définition des ouvertures dans la membrane, d) définition de la gravure en face arrière, e) libération de la membrane par gravure du substrat [5] .....	187
Figure V. 2 : a) Image optique d'une des membranes rigidifiée d'un stencil de 600 nm d'épaisseur en $Si_xN_y$ de l'EPFL, les motifs sont triangulaires et leur taille varie de 1 $\mu m$ à 10 $\mu m$ , b) Image MEB d'une ouverture submicronique réalisée sur une membrane $Si_xN_y$ par e-beam .....	188
Figure V. 3 : Technique SM-ULE-IBS permettant la synthèse localisée et contrôlée de Si-ncx dans une couche mince de $SiO_2$ .....	188
Figure V. 4 : schémas représentant, a) l'effet du blurring dans le cas d'un faisceau divergent et d'un gap entre substrat et membrane non réduit, b) de la limitation de cet effet dans le cas d'un faisceau directif et perpendiculaire à la surface et d'un gap réduit par la mise en contact du stencil et de l'échantillon .....	189
Figure V. 5 : images optiques, a) d'une zone sur une membrane stencil rigidifiée de 600 nm d'épaisseur contenant des motifs carrés, b) de la surface de silice implantée à travers cette zone à 1 keV et à une dose de $1 \times 10^{16} \text{ cm}^{-2}$ , c) taille du motif implanté en fonction de la taille du motif dessiné sur le masque .....	190
Figure V. 6 : a) image AFM d'un échantillon implanté à 1 keV à une dose programmée de $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ à travers des motifs carrés de taille allant de 1 $\mu m$ à 10 $\mu m$ puis recuit à 1050°C pendant	

30 min sous N <sub>2</sub> , b) image AFM d'un carré isolé de ce réseau de motifs, c) profil en hauteur pris sur l'image AFM précédente montrant un gonflement de 3,2 nm sur la zone implantée.....	192
Figure V. 7 : Evolution du gonflement de l'oxyde implanté à 1keV pour trois valeurs de doses (5x10 <sup>15</sup> , 7,5x10 <sup>15</sup> et 1x10 <sup>16</sup> Si <sup>+</sup> /cm <sup>2</sup> ) et pour trois tailles de motifs (1,5 µm, 2 µm et 4 µm) après un recuit sous N <sub>2</sub> à 1050°C pendant 90 minutes [10].....	193
Figure V. 36 : a) Schémas représentant a) la perte de dose lors d'une synthèse de Si-ncx par SM-ULE-IBS, b) le swelling mesuré, qui est la somme de l'épaisseur liée à la formation des Si-ncx par pénétration dans l'oxyde d'une partie de la dose effective (gonflement en gris foncé) et de l'épaisseur de SiO <sub>2</sub> due à l'oxydation de l'autre partie de la dose effective (couche supplémentaire en gris clair) .....	194
Figure V. 9 : Dose effective implantée en fonction de la taille des fenêtres d'une membrane stencil (ouvertures de 1,5 µm, 2 µm et 4 µm), pour trois doses programmées (5x10 <sup>15</sup> , 7,5x10 <sup>15</sup> et 1x10 <sup>16</sup> Si <sup>+</sup> /cm <sup>2</sup> ).....	195
Figure V. 10 : Spectres de PL obtenus dans des motifs de 2 µm (courbe bleue), 4 µm (courbe noire) et 5 µm (courbe rose) implantés à une dose de 5x10 <sup>15</sup> Si <sup>+</sup> /cm <sup>2</sup> .....	196
Figure V. 11 : Images optiques de la surface de la silice implantée à une dose de 1x10 <sup>16</sup> Si <sup>+</sup> /cm <sup>2</sup> et à une énergie de 1keV, dans une zone contenant des motifs supplémentaires réalisés au FIB sur les membranes rigidifiées de l'EFPL, a) à un grossissement x 20, b) à un grossissement x50. Ces motifs supplémentaires sont des réseaux de carrés 3x3 dont la taille varie entre 5 µm et 500 nm .....	197
Figure V. 12 : Gonflement mesuré au centre de motifs de tailles ≤ 10 µm, pour une énergie d'implantation fixée à 1 keV (courbe bleue), 2 keV (courbe rouge) et 3 keV (courbe verte).....	198
Figure V. 13 : Dose effective implantée dans des motifs en fonction de leur taille, pour une énergie d'implantation de 1 keV (courbe bleue), 2 keV (courbe rouge) et 3 keV (courbe verte).....	199
Figure V. 14 : Profils d'intensité de PL le long de motifs de 10 µm de diamètre obtenus par acquisition de spectres par pas de 200 nm, à trois énergies : implantation à 1keV (motifs ronds), à 2 keV (motifs triangles) et à 3 keV (motifs losanges).....	202
Figure V. 15 : Profils d'intensité de PL le long de motifs de 2 µm de diamètre obtenus par acquisition de spectres par pas de 200 nm, à trois énergies : implantation à 1keV (motifs ronds), à 2 keV (motifs triangles) et à 3 keV (motifs losanges).....	203
Figure V. 16 : images MEB a) de la vue générale d'une grille de microscopie (3 mm de diamètre) contenant au centre les membranes en SiO <sub>2</sub> , b) des 24 membranes en SiO <sub>2</sub> mince dans lesquelles seront définis les motifs ouverts par FIB pour l'implantation localisée .....	204
Figure V. 17 : Schéma des réseaux de motifs définis pour la gravure FIB de la fenêtre n°2 d'une membrane de 8 nm d'épaisseur, avec la taille visée dans ces réseaux en légende .....	205
Figure V. 18 : images MEB des fenêtres n°2 (a) et n°3 (b) d'une membrane en SiO <sub>2</sub> de 8 nm d'épaisseur après ouverture des motifs par gravure FIB.....	206
Figure V. 19 : Images MEB après ouverture des fenêtres, a) vue générale montrant la fenêtre n°1 de tests de gravure et deux fenêtres (n°2 et n°3) contenant des motifs de taille comprise entre 5 µm et 224 nm, b) mesure des plus petits motifs réalisés (224 nm) .....	206

Figure V. 20 : Images MEB après implantation et retrait du masque de la surface de l'échantillon, a) de la membrane en SiO <sub>2</sub> de 8 nm d'épaisseur, b) de la membrane en SiO <sub>2</sub> de 40 nm d'épaisseur .	207
Figure V. 21 : images MEB de la surface de silice implantée à travers un masque en SiO <sub>2</sub> de 40 nm a) à travers les fenêtres n°2 et n°3, b) à travers une seule fenêtre, à plus fort grossissement .....	208
Figure V. 22 : images AFM de topographie réalisées dans les réseaux de motifs implantés par masquage stencil à travers des motifs de tailles : a) 5x5 μm <sup>2</sup> , b) 3x3 μm <sup>2</sup> , c) 1x1 μm <sup>2</sup> , d) 500 x500 nm <sup>2</sup> , e) 300x300 nm <sup>2</sup> , f) 230x230 nm <sup>2</sup> (membrane 40 nm) .....	209
Figure V. 23 : Comparaisons a) du gonflement maximum, b) de la dose effective estimée, en fonction de la taille des poches implantées à travers une membrane en SiO <sub>2</sub> de 40 nm (violet) et une membrane en Si <sub>x</sub> N <sub>y</sub> de 600 nm (orange), pour une énergie d'implantation de 1 keV .....	210
Figure V. 24 : Dose effective en fonction de la taille des motifs implantés, pour deux types de membranes (SiO <sub>2</sub> et Si <sub>x</sub> N <sub>y</sub> ) et deux énergies d'implantation dans le cas du Si <sub>x</sub> N <sub>y</sub> (1 et 3 keV), pour une dose programmée de 1x10 <sup>16</sup> Si <sup>+</sup> /cm <sup>2</sup> .....	211
Figure V. 25 : Dose effective en fonction de la taille des motifs implantés à 1keV et pour une dose programmée de 1x10 <sup>16</sup> Si <sup>+</sup> /cm <sup>2</sup> pour trois types de membranes : SiO <sub>2</sub> 40 nm (triangles vers le haut), SiO <sub>2</sub> 8 nm (triangles vers la droite) et Si <sub>x</sub> N <sub>y</sub> 600 nm (triangles vers le bas).....	212
Figure V. 26 : Étapes pour la synthèse de poches locales de Si-ncx par masquage métallique (couche Cr de 20 nm) : l'implantation des ions Si <sup>+</sup> est faite à travers des ouvertures réalisées par e-beam dans la couche de chrome .....	213
Figure V. 27 : Vue d'ensemble des motifs réalisés dans la couche métallique par lithographie électronique : 8 réseaux de motifs carrés de taille comprise entre 5 μm et 50 nm et un réseau de lignes de 100 nm sur 100 μm .....	214
Figure V. 28 : Images MEB a) de motifs de 500 nm, b) d'un motif de 100 nm réalisés par lithographie électronique dans la couche de chrome de la structure Cr/SiO <sub>2</sub> /Si.....	215
Figure V. 29 : Image optique de la surface d'un échantillon Cr/SiO <sub>2</sub> /Si après traitement au chrome etch pour enlever la couche de chrome : la surface présente de nombreux résidus (contraste plus clair) .....	216
Figure V. 30 : Images topographiques de la surface de silice réalisées par AFM montrant les réseaux de motifs contenant des Si-ncx synthétisées par masquage métallique et ULE-IBS : a) motifs 300x300 nm <sup>2</sup> , b) motifs 100x100 nm <sup>2</sup> , c) motifs 50x50 nm <sup>2</sup> .....	217
Figure V. 31 : Gonflement maximum en fonction de la taille des motifs réalisés par masquage métallique et ULE-IBS .....	217
Figure V. 32 : Banc d'alignement de masques stencils du LPCNO .....	219
Figure V. 33 : a) réalisation de 4 électrodes sur deux lignes d'or de 5 μm de large (image après évaporation à travers masque et retrait du masque), b) alignement de 6 pads de connexion sur une monocouche de graphène (pendant l'alignement) .....	220
Figure V. 34 : a) Alignement de 4 stencils de l'EPFL en Si <sub>x</sub> N <sub>y</sub> sur les zones où seront déposées les grilles des futurs MOSFET à Si-ncx, b) et c) avant et après implantation ionique à travers ces masques stencils .....	220

**Figure V. 35 : Alignement de motifs triangulaires de 4  $\mu\text{m}$  du stencil (dans l'hexagone entouré en rouge) avec la future grille d'un TCC (schématisée en bleu) .....221**

# LISTE DES TABLEAUX

Tableau 1 : Feuille de route de l'ITRS 2009, ainsi que les mises à jour de 2010, concernant l'endurance demandée aux différents types de cellules mémoires Flash entre 2012 et 2024.....	9
Tableau 2 : Evolution de la taille et de la densité des Si-ncx en fonction des conditions de recuit pour une synthèse ULE-IBS après implantation à 1 keV avec une dose de $1 \times 10^{16} \text{ Si}^+/\text{cm}^2$ .....	25
Tableau 3 : Caractéristiques, dénominations et dimensions des composants de la puce C1.....	48
Tableau 4 : a) Recette préalablement utilisée pour les oxydations de grille à 1050°C, b) Recette d'oxydation de grille optimisée pour réaliser des oxydes de grille à 1100°C.....	57
Tableau 5 : Résultats d'oxydations et d'état de la surface en fonction du taux d'HF.....	59
Tableau 6 : Résultats d'oxydation et d'état de la surface en fonction de la durée d'oxydation après traitement HF:éthanol à 5% d'HF .....	60
Tableau 45 : Estimation de la taille des Si-ncx en fonction de la position spectrale $\lambda_{\text{PL}}$ (et de l'énergie d'émission EPL associée) du pic d'émission de PL des ncx, déterminée à partir du polynôme passant par les points expérimentaux de Carine Dumas [12] .....	66
Tableau 8 : Intensité et position spectrale des pics d'émissions de PL de Si-ncx synthétisés par implantation ionique à 1keV à une dose de $7,5 \times 10^{15} \text{ Si}^+/\text{cm}^2$ , suivie d'un recuit à $T=950^\circ\text{C}$ , en fonction de la durée de recuit (30 ou 60 min) et de l'épaisseur d'oxyde (7 ou 10 nm) .....	67
Tableau 46: Paramètres d'implantation et de recuits inertes optimisés pour la synthèse de Si-ncx dans des oxydes d'épaisseur tox de 7 et 10 nm, détectés et suivis par spectroscopie de PL.....	70
Tableau 10 : Conditions de recuits (températures et durées) testées sous atmosphère oxydante à 6,5% d'O <sub>2</sub> sur des oxydes de 7 nm et 10 nm.....	70
Tableau 11 : Synthèse de Si-ncx caractérisée par PL de deux échantillons recuits à l'IMEL, sous simple recuit N <sub>2</sub> (échantillon M <sub>1</sub> ) et sous double recuit (échantillon M <sub>2</sub> ) .....	72
Tableau 12 : Taille et densité des Si-ncx, épaisseurs des oxydes de contrôle et d'injection ( $t_{\text{cont}}$ et $t_{\text{inj}}$ ) et du plan de ncx ( $t_{\text{ncx}}$ ) extraites de mesures TEM pour l'échantillon M <sub>1</sub> .....	72
Tableau 13 : Caractérisation des pics de PL émis par divers échantillons issus de l'échantillon M <sub>1</sub> après différents recuits de passivation .....	74
Tableau 14 : Net doping dans l'oxyde de grille et les jonctions pour deux épaisseurs d'oxyde de grille (70 et 7 nm), calculés avant et après l'étape de redistribution des dopants.....	78
Tableau 15 : Concentration de phosphore dans l'oxyde de grille et les jonctions en fonction des conditions de redistribution, pour un pré-dépôt optimisé à $T=1050^\circ\text{C}$ et $t=5 \text{ min}$ .....	80
Tableau 16 : Paramètres extraits des caractéristiques I-V du transistor MOS (a) et de la caractéristique C-V de la capacité MOS (b) .....	83
Tableau 17 : Description des échantillons testés pour les mesures C-V : capacités CPS préparées par le procédé DTC4R (série 1) et par le procédé Nanocrystals Inside (série 4).....	84
Tableau 19 : Valeurs du gain du transistor et de la mobilité des électrons dans le cas d'un TCL et d'un TCC issus du procédé DTC4R.....	90

Tableau 20 : Valeurs théoriques et expérimentales de paramètres caractéristiques du MOSFET, dans le cas de TCC et TCL .....	91
Tableau 21 : Valeurs de $\beta$ , $\mu_n$ et $V_{TH}$ extraites des caractéristiques $I_D-V_{DS}$ et $I_D-V_{GS}$ de TCC et TCL de la série 2 (Nanocrystals Inside) .....	93
Tableau 22 : Conditions de synthèse des Si-ncx, épaisseur d'oxyde de grille et position du plan de Si-ncx après recuit (série 2) et épaisseur d'oxyde de grille pour la série1 (sans ncx) .....	104
Tableau 23 : Expression des temps d'émissions des trous et des électrons en fonction du type de signal de grille (trapézoïdal ou triangulaire) .....	124
Tableau 24 : Conditions de synthèse des Si-ncx pour les TCC implantés à 1 keV (série 8-1k). La série 4 est une série d'échantillons de référence, sans Si-ncx .....	146
Tableau 25 : Valeurs de $V_{th}$ , $V_{fb}$ et $N_{SS}$ extraites des mesures $I_{CP}(V_i)$ pour les transistors à Si-ncx de la série 8-1k et les transistors vierges de la série 4 .....	147
Tableau 26 : Quantité de charge recombinée et fréquence correspondant aux maxima locaux observés sur les courbes $Q_{CP}(\log(f))$ dans le cas des transistors TCC de la série 8-1k en fonction de l'amplitude $\Delta V_G$ entre 3V et 5V .....	149
Tableau 27 : Synthèse des valeurs calculées et mesurées pour l'extraction des profils en profondeur des pièges contenus dans les oxydes des transistors implantés à 1keV et des transistors vierges. Les références dans la colonne « courbe » renvoient aux courbes Figure IV. 22 b).....	152
Tableau 28 : Mesures d'épaisseurs du plan de Si-ncx, de l'oxyde d'injection et de l'oxyde de contrôle réalisées dans l'oxyde d'un transistor de la série 8-1k .....	162
Tableau 29 : Taille moyenne des Si-ncx de la série 8-1k selon les axes majeurs et mineurs, densité surfacique et taux de recouvrement de ces ncx .....	163
Tableau 30 : Comparaison de la profondeur dans l'oxyde, de la taille moyenne et de la densité surfacique entre les pièges sondés par CP et les observations EF-TEM des Si-ncx.....	164
Tableau 31 : Conditions de synthèse des Si-ncx pour les séries d'échantillons implantées à différentes énergies entre 1 keV et 3 keV. La série 4 est une série d'échantillons de référence, sans Si-ncx .....	168
Tableau 32 : Mesures d'épaisseurs du plan de Si-ncx, de l'oxyde d'injection et de l'oxyde de contrôle réalisées dans l'oxyde de TCC des séries 8-1k, 8-2k et 8-3k.....	169
Tableau 33 : Valeurs de $V_{th}$ , $V_{fb}$ et $N_{SS}$ extraites des mesures $I_{CP}(V_i)$ .....	170
Tableau 34 : Caractéristiques des maxima de charge recombinée (fréquence f et charge recombinée $Q_{CPmax}$ correspondante) en fonction de l'amplitude des impulsions pour les 3 séries de transistors à Si-ncx .....	172
Tableau 35 : Tableau de synthèse des valeurs calculées et mesurées pour l'extraction des profils en profondeur des pièges contenus dans les oxydes des transistors des séries 8-2k et 8-3k.....	173
Tableau 36 : Caractéristiques des pièges sondés par CP pour les trois séries, à savoir leur profondeur dans l'oxyde (notée x ici), leur densité $D_{dots}$ , leur diamètre effectif $D_{eff}$ ainsi que la densité de charge stockée $D_{charge}$ .....	176

<b>Tableau 37 : Conditions de synthèse des Si-ncx pour la série 2 et la série 8-1k et épaisseurs finales après synthèse .....</b>	<b>177</b>
<b>Tableau 38 : Caractéristiques de PL des Si-ncx synthétisés dans l'oxyde de grille des transistors de la série 2 et de la série 8-1k .....</b>	<b>178</b>
<b>Tableau 39 : Augmentation de l'épaisseur totale d'oxyde après implantation à 1 keV dans un oxyde de 10 nm à différentes doses, pour un recuit donné [6] .....</b>	<b>191</b>
<b>Tableau 40 : Valeurs théoriques du gonflement de la surface de silice après implantation en fonction de la dose implantée.....</b>	<b>194</b>
<b>Tableau 41 : Valeurs d'<math>E_{PL}</math> prises au centre et en bord de motifs (4 et 10 <math>\mu\text{m}</math>) après implantation à 1, 2 ou 3 keV et recuit sous <math>\text{N}_2</math> pendant 30 minutes à <math>T = 1050^\circ\text{C}</math>.....</b>	<b>200</b>
<b>Tableau 42 : Intensités maximales du pic d'émission <math>I_{pL}</math> extraites de spectres pris au centre et en bord de motifs de 4 et 10 <math>\mu\text{m}</math>, après implantation à une énergie de 1, 2 ou 3 keV suivie d'un recuit sous <math>\text{N}_2</math> pendant 30 minutes à <math>T = 1050^\circ\text{C}</math>.....</b>	<b>200</b>
<b>Tableau 43 : Durées d'exposition à la gravure par FIB pour l'ouverture complète d'un motif dans une membrane en <math>\text{SiO}_2</math> mince en fonction de l'épaisseur de la membrane et de la surface du motif à ouvrir .....</b>	<b>205</b>
<b>Tableau 44 : Taille des motifs du masque, taille et gonflement maximum des motifs implantés dans la silice et rugosité de la surface en dehors des motifs (membrane 40 nm).....</b>	<b>209</b>

# ANNEXE 1 : Mesures de spectroscopie de photoluminescence des Si-ncx

## Le principe de la spectroscopie de PL

La spectroscopie de photoluminescence (PL) consiste à détecter le signal lumineux émis par un échantillon suite à une excitation lumineuse de longueur d'onde  $\lambda$ . Cette technique non destructive ne nécessite pas de préparation particulière de l'échantillon étudié, ce qui la rend facile à mettre en œuvre.

Dans le cas général d'un semi-conducteur il est nécessaire de faire transiter les électrons de la bande de valence vers la bande de conduction avec un photon d'une énergie supérieure « au gap ». La désexcitation vers le niveau fondamental s'accompagne de l'émission d'un photon ou d'un phonon tout en conservant l'énergie et la quantité de mouvement (Figure 1).

La photoluminescence est due à la recombinaison dite radiative (émission des photons) d'un électron de la bande de conduction et d'un trou de la bande de valence. Pour qu'une telle recombinaison se produise dans le silicium il faut l'intervention d'un phonon (absorption ou émission) pour conserver la quantité de mouvement, le silicium étant à gap indirect. Ce processus est connu comme « transition assistée par phonons ». Ainsi, la probabilité d'une recombinaison radiative à température ambiante est très faible car le nombre de phonons est limité. Une émission de photon du Si se situerait dans l'infrarouge si on tient compte de l'énergie de gap (1.12 eV à température ambiante), mais reste négligeable.

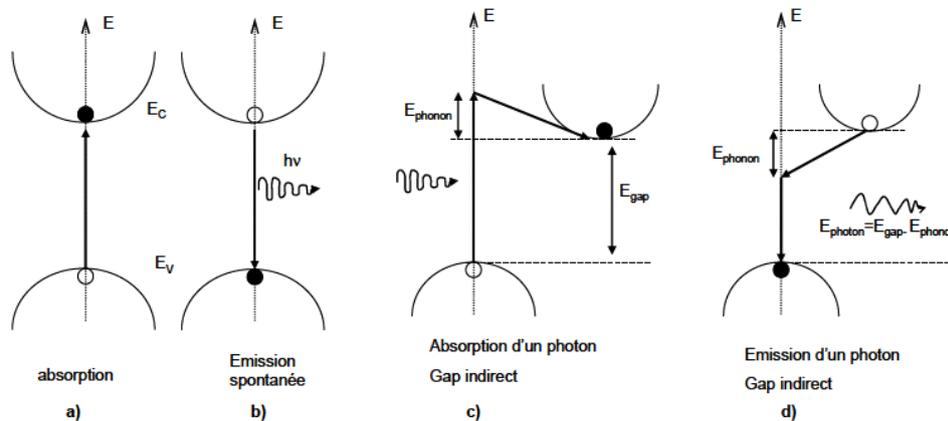


Figure 1 : schémas des transitions principales dans un semi-conducteur : a) mécanisme d'absorption, b) mécanisme d'émission dans le cas d'un gap direct ; c) absorption et d) émission dans le cas d'un gap indirect [1].

Toutefois l'histoire a changé en 1990 quand une photoluminescence intense dans le domaine du visible de nanoparticules de silicium a été mise en évidence. Des nombreux travaux ont été menés sur le sujet, mais l'origine de la photoluminescence des nanoparticules de Si dans le visible est encore sujette à débat. La théorie la plus acceptée est celle du confinement des excitons attribué à la taille des nanocristaux. D'après cette théorie, quand le rayon du nanocristal de silicium est inférieur ou égal au rayon de Bohr de l'exciton, soit 5 nm, les effets de confinement quantique des porteurs apparaissent avec une augmentation du gap [2]. L'énergie de confinement des électrons et des trous, dans un puits sphérique (nanocristal) de diamètre  $d$ , entouré d'une barrière de potentiel infini, est donnée par :

$$E = \frac{4\pi^2\hbar^2}{2d^2} \left( \frac{1}{m_e^*} + \frac{1}{m_h^*} \right)$$

$m_e^*$  et  $m_h^*$  étant la masse effective de l'électron et du trou respectivement.

Ainsi, dans le cas de nanocristaux de Si enfouis dans une couche de SiO<sub>2</sub>, on observe une évolution de l'énergie d'absorption et du pic de photoluminescence (PL) en fonction de la taille des structures [1, 2]. Plus la taille des particules diminue plus la longueur d'onde émise est courte et l'énergie est élevée, la longueur d'onde pouvant varier de 1000 nm à 600 nm.

Ces travaux ont aussi montré que les conditions d'élaboration des nanocristaux de silicium ainsi que les traitements (passivation, oxydation partielle) réalisés sur les échantillons vont jouer un rôle important sur la PL des nanoparticules de Si, ce qui complique la description théorique du mécanisme de photoluminescence du silicium.

### Les mesures de spectroscopie de PL

Les mesures de spectroscopie de la PL des nanocristaux sont réalisées à l'aide du dispositif schématisé ci-dessous :

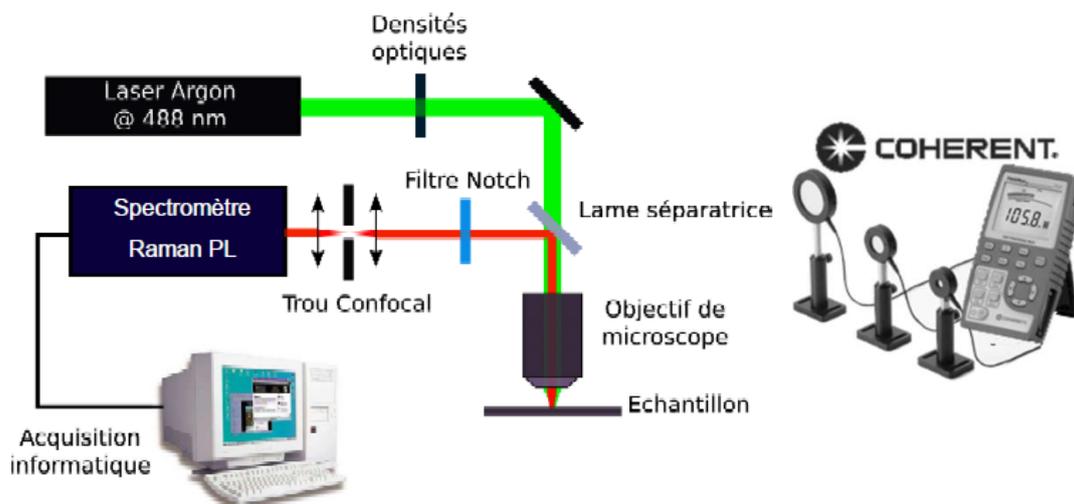


Figure 2 : Dispositif expérimental de spectroscopie de photoluminescence et coffret portable de mesure de puissance

La source d'excitation de l'échantillon est un laser à argon ionisé dont la longueur d'onde utilisée est de 488 nm (2.54 eV). Des miroirs sont placés à la sortie du faisceau laser pour le diriger vers un microscope confocal. Un système de filtres permet de réguler la puissance du faisceau laser sur l'échantillon. Cette puissance, mesurée à l'aide d'un wattmètre placé à l'entrée du microscope confocal est ajustée afin d'optimiser le rendement sans avoir de phénomènes de saturation. Ensuite la lumière est focalisée sur l'échantillon grâce au microscope confocal équipé d'un objectif de grandissement x100 et d'une ouverture numérique de 0.95 travaillant dans l'air. Les résultats de travaux précédents menés par Vincent Paillard et Arnaud Arbouet (CEMES) ont démontré que la puissance optimale pour une expérience de PL de nanoparticules de Si est de 200  $\mu$ W à l'entrée du microscope pour un rayon du spot de  $R \approx 0.61 (\lambda/O.N.) \approx 314$  nm. Dans ces conditions la densité de puissance est de  $6.457 \times 10^8 \text{ W/m}^2 = 6.457 \times 10^{-4} \mu\text{W/nm}^2$ .

Les photons émis par l'échantillon sont filtrés par un filtre coupe bande notch centré sur 488 nm afin de supprimer le faisceau réfléchi du laser. Le signal rentre alors dans le spectromètre et est diffracté par un réseau de 150 traits/mm afin de séparer les différentes longueurs d'onde du spectre. Enfin le système se termine par le compteur de photons, un capteur CCD refroidi à l'azote liquide, qui permet de détecter et d'enregistrer le signal qui est ensuite traité sous le logiciel LabSpec.

Les spectres d'émission de PL par les Si-nx sont caractérisés par trois paramètres : l'intensité maximale ( $I_{PL}$ ), la longueur d'onde (d'émission) du pic en intensité ( $\lambda_{PL}$ ) et la largeur à mi-hauteur FWHM (Figure 3). Du point de vue expérimental deux points importants sont à noter :

- L'étalonnage en énergie afin d'avoir une bonne précision sur la position des pics d'intensité
- L'étalonnage en intensité à partir d'un échantillon de référence pour pouvoir comparer les spectres de différentes sessions

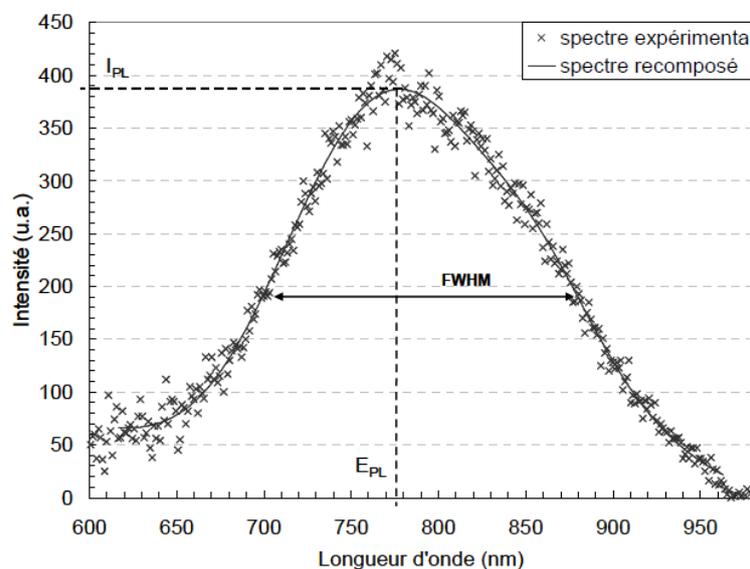


Figure 3 : Spectre de photoluminescence (PL) caractéristique de l'émission de lumière par les Si-nx (allure gaussienne), que l'on peut caractériser par trois paramètres : l'intensité maximale ( $I_{PL}$ ), la longueur d'onde correspondant à ce maximum d'intensité ( $\lambda_{PL}$ ), et la largeur à mi-hauteur (FWHM, Full Width at Half Maximum)

### Cartographies en spectroscopie de PL

De plus, il est possible d'obtenir des cartographies de PL sur les zones implantées localisées par adjonction d'une table XY motorisée, qui peut être contrôlée manuellement et à l'aide de LabSpec. Une caméra placée sur le microscope optique et une lampe permettent d'observer la surface de l'échantillon. Toutefois, les motifs implantés de taille submicronique sont invisibles avec le microscope utilisé. Il faut alors utiliser le FIB pour graver sur la surface des repères (de l'ordre de la centaine de microns) aux abords des motifs. Il est possible de détecter les zones d'intérêt par optique et de procéder aux mesures de PL dans une zone proche contenant le motif. Le marquage FIB et le résultat observé à l'optique sont illustrés ci-dessous Figure 4.

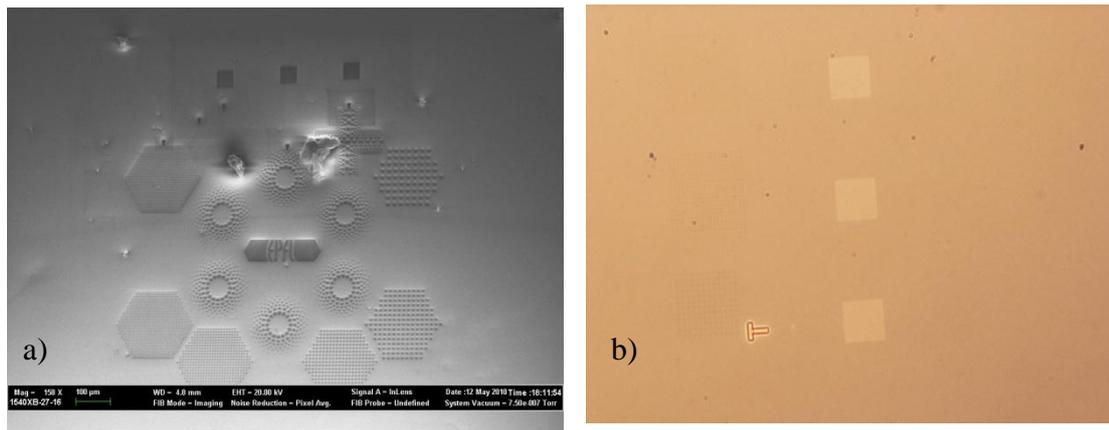


Figure 4 : Exemple d'image MEB d'une surface de silice implantée par SM-ULE-IBS, b) exemple d'observation optique de gravures faites au FIB près de motifs implantés

A partir des images prises au FIB, il est possible de mesurer les distances entre les pavés gravés et les motifs implantés et de se placer sur ces zones à l'aide du joystick. Des cartographies de PL très précises (avec un pas de déplacement jusqu'à 200 nm) peuvent être réalisées grâce à LabSpec. Un spectre de PL est réalisé en chaque point de mesure. Au total ces mesures peuvent durer de quelques minutes à une dizaine d'heures selon la taille de la surface balayée et le temps d'intégration de mesure par spectre.

[1] C. Dumas, Thèse de doctorat, Toulouse (2008)

[2] M. V. Wolkin, J. Jorne, and P. M. Fauchet, G. Allan, and C. Delerue, Physical Review Letters, Vol. 82, No. 1 (1999)

## ANNEXE 2 : Exemple de simulation du dopage des régions de source et de drain (logiciel SILVACO)

a) Définition du maillage :

```
line x loc=0 spac=0.10                y loc=0.0 spac=0.02
line x loc=3 spac=0.20                line y loc=0.5 spac=0.02
line x loc=15 spac=1.50               line y loc=2.5 spac=0.50
line x loc=25 spac=0.5                line y loc=10 spac=2.50
line x loc=30 spac=2.5                line y loc=30 spac=5
```

*Le maillage est plus dense dans les zones d'intérêt : près de la surface du substrat (par rapport au volume) et près de la grille (par rapport aux bords).*

b) Nature de substrat (Si), dopage (Bore,  $1 \times 10^{16} \text{ cm}^{-3}$ ) et orientation cristallographique (100)

```
init silicon c.boron=1.0e16 orientation=100 two.d
```

c) Extraction de la valeur de la résistance et de la résistance carrée

```
extract name="resisca" thickness material="Silicon" mat.occno=1 x.val=0
extract name="reisi_carre" sheet.res material="Silicon" mat.occno=1 x.val=0 \
region.occno=1
```

d) Dépôt de l'oxyde de masquage (450nm)

```
diffus time=25 temp=800 t.final=1100 f.n2=1
diffus time= 40 temp= 1100 f.h2=2.7 f.o2=1.5
diffus time= 30 temp= 1100 f.o2=2.2
diffus time= 10 temp= 1100 f.n2=1.5
diffus time=60 temp=1100 t.final=800 f.n2=1
```

e) Extraction de la valeur calculée de l'épaisseur d'oxyde de masquage

```
extract name="epaisseur_oxy" thickness material="SiO~2" mat.occno=1
x.val=15
```

f) Photogravure n°1 : ouverture de l'oxyde de masquage

```
etch oxide left p1.x=25.0
```

g) Oxydation de grille (T=1100°C, t=40s, e=7,3nm)

```
diffus time=0.66 temp=1100 f.o2=2.5
diffus time=5 temp=1150 f.n2=2
```

- h) Extraction de la valeur calculée d'oxyde de grille  
 extract name="epaisseur\_oxide\_grille" thickness material="SiO~2"  
 mat.occno=1  
 x.val=1  
 extract name="epaisseur\_silicium1" thickness material="Silicon" mat.occno=1  
 x.val=23  
 extract name="epaisseur\_silicium2" thickness material="Silicon" mat.occno=1  
 x.val=27
- i) Dépôt du poly-silicium (300nm)  
 deposit polysilicon thick=0.3 divisions=3
- j) Gravure du Poly-Si (on choisit 6 µm : transistor canal court)  
 etch polysilicon right p1.x=3
- k) Gravure de l'oxyde de grille  
 etch oxide start x=3 y=0.00  
 etch cont x=25 y=0.00  
 etch cont x=25 y=0.50  
 etch done x=3 y=0.50
- l) Diffusion source et drain: pré-dépôt du phosphore à  $1 \times 10^{23} \text{ cm}^{-3}$   
 diffus time=5 temp=1050 f.n2=2 f.o2=0.1  
 diffus time=5 temp=1050 f.n2=2 f.o2=0.1 c.phosphor=1.0e23  
 diffus time=5 temp=1050 f.n2=2 f.o2=0.1
- m) Gravure de la couche d'oxyde de pré-dépôt formée  
 etch oxide start x=3 y=0.00 etch oxide start x=0 y=-0.2  
 etch cont x=25 y=0.00 etch cont x=3 y=-0.2  
 etch cont x=25 y=0.50 etch cont x=3 y=0  
 etch done x=3 y=0.50 etch done x=0 y=0
- n) Diffusion source et drain : redistribution  
 diffus time=5 temp=1050 f.n2=2

*Remarque:* Les valeurs sont paramétrées de façon à simuler une coupe du composant : de la moitié droite de la grille jusqu'à la source, selon l'axe x). Le système étant parfaitement symétrique, on utilise une fonction « miroir » pour obtenir l'ensemble du composant (source, grille et canal, et enfin drain, selon l'axe des x).

## ANNEXE 3 : Préalables à la détermination de paramètres clés des MOSFET

### Détermination de la densité de pièges d'interface $N_{SS}$

L'estimation de la densité de charges  $N_{SS}$  présente à l'interface Si/SiO<sub>2</sub> de la structure MOS nécessite la connaissance des valeurs des paramètres suivants :

- $N_A$  : dopage du substrat (at. /cm<sup>3</sup>)
- $S$  : surface de la capacité (cm<sup>2</sup>)
- $t_{ox}$  : épaisseur de l'oxyde (Å)
- $\Phi_{ms}$  : différence de travaux de sortie (V)

A ces valeurs il faut rajouter la valeur de la permittivité de chacun des matériaux de la structure MOS pour déterminer la valeur théorique de la capacité de la structure MOS, en F/cm<sup>2</sup>, donnée par la relation suivante :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} \quad \text{Équation 1}$$

On obtient également la valeur théorique de la capacité en régime d'accumulation  $C_{max}$  :

$$C_{max} = C_{ox} \cdot S \quad \text{Équation 2}$$

De même, il est possible de déterminer la valeur théorique de la capacité en régime d'inversion  $C_{min}$  :

$$C_{min} = \frac{\epsilon_{ox} \cdot \epsilon_0 \cdot S}{t_{ox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot W_m} \quad \text{Équation 3}$$

Où  $W_m = \left( \frac{4 \cdot \epsilon_{Si} \cdot \epsilon_0 \cdot U_T \cdot \ln\left(\frac{N_A}{n_i}\right)}{q N_A} \right)^{1/2}$  est la largeur de la zone de désertion en faible inversion,

$U_T = kT/q$  et  $n_i$  est la concentration intrinsèque de porteurs de charges.

En régime de déplétion, la capacité évolue en fonction de la tension  $V_G$ , en suivant la relation suivante :

$$C = \frac{C_{ox} \cdot S}{\left( \frac{2 \cdot C_{ox}^2 \cdot V_G}{q \cdot N_A \cdot \epsilon_{Si} \cdot \epsilon_0} + 1 \right)^{1/2}} \quad \text{Équation 4}$$

En combinant les courbes théoriques donnant la capacité de la structure MOS en régimes d'accumulation, de déplétion et d'inversion (respectivement  $C_{\max}$ ,  $C$  et  $C_{\min}$ ), on obtient alors la courbe C-V théorique complète de la structure MOS étudiée.

La tension de bandes plates  $V_{FB}$  est théoriquement égale à la différence des travaux de sortie entre métal et semi-conducteur  $\Phi_{ms}$ , qui est préalablement connue. Quant à la tension de seuil  $V_T$  théorique, elle est donnée par l'expression ci-dessous :

$$V_T = 2U_T \cdot \ln\left(\frac{N_A}{n_i}\right) + 2C_{ox} \cdot \left( q \cdot \varepsilon_{Si} \cdot \varepsilon_0 \cdot U_T \cdot N_A \cdot \ln\left(\frac{N_A}{n_i}\right) \right)^{1/2} \quad \text{Équation 5}$$

D'autre part, à partir de la mesure expérimentale de la courbe C-V d'une capacité MOS, on peut remonter à une estimation satisfaisante de la valeur réelle du dopage  $N_A$  et de la tension de bandes plates  $V_{FB}$ , par la méthode  $C_{\max}/C_{\min}$ . Dans un premier temps, on mesure la valeur minimale  $C_{\min}$  de la courbe C-V. En régime d'inversion forte, si l'on n'est pas en désertion profonde, le potentiel de surface peut être fixé à une valeur de  $2\Phi_f$ . L'expression de  $\Phi_f$  est la suivante :

$$\phi_f(N_A) = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad \text{Équation 6}$$

On a alors l'expression suivante :

$$\frac{1}{C_{\min}} = \frac{1}{C_{ox}} + \frac{1}{C_{S\min}} \quad , \text{ avec } C_{S\min} = \sqrt{\frac{\varepsilon_s \cdot q \cdot N_A}{4 \cdot \phi_f(N_A)}} \quad \text{Équation 7}$$

De ce fait, en connaissant les valeurs de  $C_{ox}$  et  $C_{\min}$ , on peut alors en déduire celle de  $C_{S\min}$ , et grâce à l'utilisation de l'abaque donné ci-dessous, on peut donner une estimation de la valeur réelle du dopage.

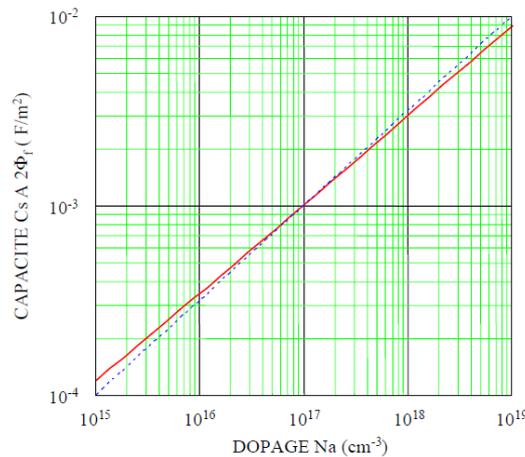


Figure 1 : Détermination du dopage  $N_A$  à partir de la valeur de la capacité  $C_S$ , pour un potentiel de surface  $V_s$  égal à  $2\Phi_f$

Cette valeur expérimentale du dopage est très importante car elle permet de calculer la valeur expérimentale de la tension de seuil  $V_T$  (équation 5), celle-ci dépendant de  $N_A$ . En connaissant le dopage, on peut alors calculer la capacité en condition de bandes plates  $C_{SFB}$ ,

grâce à la formule  $C_{SFB} = \frac{\epsilon_s}{L_D}$ , avec  $L_D = \left( \frac{\epsilon_s \cdot U_T}{q N_A} \right)^{1/2}$ , la longueur de Debye. Ainsi on détermine  $C_{SFB}$  et puisque l'on connaît également  $C_{ox}$ , on peut tirer de l'équation ci-dessous la valeur de  $C_{FB}$ .

$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \frac{1}{C_{SFB}} \quad \text{Équation 8}$$

On déduit alors la valeur de  $V_{FB}$  correspondant à  $C_{FB}$  sur la courbe C-V. En théorie,  $V_{FB} = \Phi_{ms}$ , cependant la valeur de  $\Phi_{ms}$  que l'on entre en paramètre d'entrée dans le programme correspondant à la valeur théorique du dopage. L'expression de la différence des travaux de sortie entre métal et semi-conducteur est définie de la façon suivante :

$$\phi_{ms} = \phi_m - \phi_s = \phi_m - \left( \chi + \frac{E_G}{2} - kT \cdot \ln\left(\frac{N_A}{n_i}\right) \right) \quad \text{Équation 9}$$

Où  $\chi$  est l'affinité électronique du semi-conducteur (c'est-à-dire l'énergie séparant le minimum de la bande de conduction du niveau du vide) et  $E_G$  sa largeur de gap. Ainsi, en utilisant la valeur expérimentale de  $N_A$  dans l'équation ci-dessus, on obtient une différence de travaux de sortie qui n'est pas égale à la valeur théorique. Nous notons cette valeur expérimentale de la différence de travaux de sortie  $\Delta V_{FB|Wf}$ .

La valeur réelle de la tension de bandes plates  $V_{FB}$  est alors définie de la façon suivante :

$$V_{FB} = \Delta V_{FB|Wf} + \Delta V_{FB|Q_{SS}} \quad \text{Équation 10}$$

Où le second terme  $\Delta V_{FB|Q_{SS}}$  est l'écart en tension entre la tension de bande plates et la différence de travaux de sortie. Il correspond à  $Q_{SS}$ , le nombre de charges fixes à l'interface Si/SiO<sub>2</sub> en régime de déplétion/inversion faible. Ces charges fixes sont des impuretés ionisées  $N_A^-$  dans le cas d'un substrat de type P. La densité de ces charges  $N_{SS}$ , exprimée en cm<sup>-2</sup>, s'obtient à partir du second terme de l'équation 10 ci-dessus, selon la relation suivante :

$$N_{SS} = \frac{\epsilon_{Si} \cdot \epsilon_0 \cdot (-\Delta V_{FB|Q_{SS}})}{q \cdot t_{ox}} \quad \text{Équation 11}$$

A l'aide de ces calculs nous sommes en mesure de déterminer la valeur de la densité de charges fixes présentes à l'interface entre l'oxyde mince de grille et le substrat. Les calculs détaillés ci-dessus sont intégrés dans un programme (à l'AIME) et donnent directement la valeur de  $N_{SS}$  à partir des paramètres d'entrée cités précédemment.

## Détermination du gain $\beta$ du transistor ainsi que de la mobilité des porteurs de charge

Les caractéristiques de sortie du transistor MOS sont données par les courbes  $I_D$ - $V_{DS}$  et  $I_D$ - $V_{GS}$ . Nous rappelons ici brièvement les allures de ces courbes et les paramètres que l'on peut en extraire.

L'expression du courant de drain (équation 12) dépend à la fois des tensions  $V_{DS}$  et  $V_{GS}$ , mais également de la tension de seuil  $V_{TH}$  du transistor car les charges mobiles du canal sont dues à la tension de grille en excédent de  $V_{TH}$ . En effet, lorsque  $V_{GS} < V_{TH}$ , les charges créées dans le canal sont essentiellement des charges de déplétion (fixes). Cette expression dépend donc aussi de la mobilité des porteurs libres dans le canal (électrons) et des dimensions du canal, c'est-à-dire la longueur effective du canal  $L_{eff}$ , ainsi que sa largeur, qui est ici notée  $Z$ . L'expression du courant de drain est alors :

$$I_D = \mu \frac{Z}{L} C_{ox} (V_{GS} - V_T - \frac{V_{DS}}{2}) \cdot V_{DS} \quad \text{Équation 12}$$

Pour des faibles valeurs de  $V_{DS}$ , c'est-à-dire lorsque  $V_{DS} \ll |V_{GS} - V_T|$ , l'expression de  $I_D$  se simplifie sous la forme :

$$I_D \approx \frac{C_{ox} Z \cdot \mu_n}{L} \cdot (V_{GS} - V_T) \cdot V_{DS} = g \cdot V_{DS} \quad \text{Équation 13}$$

On obtient donc un régime linéaire dans lequel le courant de drain  $I_D$  varie proportionnellement à la tension  $V_{DS}$ . C'est ce que l'on peut observer sur la caractéristique  $I_D$ - $V_{DS}$  donnée sur la Figure 2 ci-dessous :

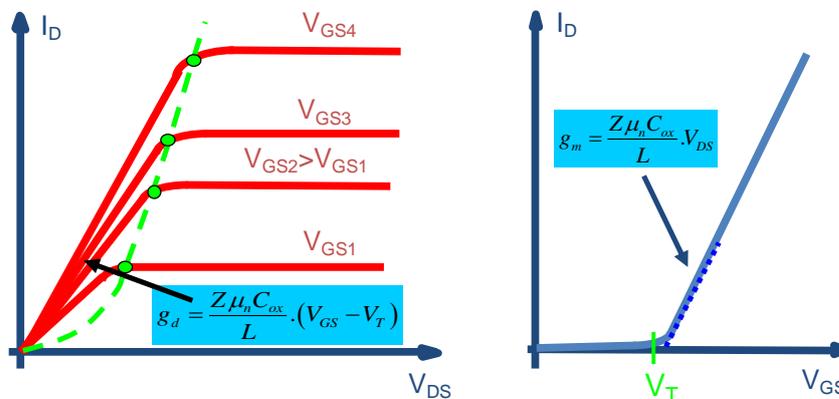


Figure 2 : Caractéristiques  $I_D$ - $V_{DS}$  (à gauche) et  $I_D$ - $V_{GS}$  (à droite) typiques d'un transistor MOS à canal N à enrichissement

Après ce régime linéaire, lorsque la tension de drain s'accroît, la courbe passe par le « point de pincement » (cercles verts sur la figure), à partir duquel apparaît une saturation du courant de drain, due au pincement du canal. La Figure 2, à droite, montre que le transistor est bloqué sous la tension de seuil  $V_{TH}$  et que passé ce seuil (régime d'inversion) le canal d'électrons est formé, le courant  $I_D$  peut alors circuler avec une valeur proportionnelle à la tension de drain  $V_{DS}$ . La pente détermine alors la valeur de la transconductance  $g_m$ .

La conductance  $g_d$  et la transconductance  $g_m$  sont alors les dérivées partielles du courant  $I_D$  respectivement par rapport à  $V_{DS}$  et à  $V_{GS}$  pour  $V_{GS}$  et  $V_{DS}$  constants respectivement. Ainsi, on obtient :

$$\left\{ \begin{array}{l} g_d = \frac{\partial I_D}{\partial V_{DS}} = \frac{Z}{L} C_{ox} \cdot \mu_n \cdot (V_{GS} - V_T) \\ g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{Z}{L} C_{ox} \cdot \mu_n \cdot V_{DS} \end{array} \right. \quad \text{Équation 14}$$

En utilisant les points de pincements des courbes  $I_D$ - $V_{DS}$ , il est possible alors de déterminer la valeur du facteur de gain du transistor  $\beta$ , grâce à la relation suivante :

$$\beta = 2 \cdot \frac{I_{DSAT}}{V_{DSAT}^2} \quad \text{Équation 15}$$

De plus, ce coefficient est également le pré-facteur que l'on retrouve dans les expressions de l'équation 14, c'est-à-dire :

$$\beta = \frac{C_{ox} \cdot Z \cdot \mu_n}{L} \quad \text{Équation 16}$$

Ainsi, en déterminant la valeur de  $\beta$  grâce au couple de valeurs  $I_{DSAT}$  et  $V_{DSAT}$  d'un point de pincement de la caractéristique  $I_D$ - $V_{DS}$ , on peut également déterminer la valeur de la mobilité effective des porteurs minoritaires dans le canal  $\mu_{eff}$ , en utilisant les valeurs de  $Z$ ,  $L$  et  $C_{ox}$ .

## ANNEXE 4 : Lithographie par Faisceau d'électrons ou EBL (Electron Beam Lithography).

La lithographie électronique est une technique bien connue de nanolithographie [1,2]. Elle utilise un faisceau d'électrons focalisés pour insoler une résine électro sensible (du PMMA -Poly-Methyl-Meta-Acrylate- le plus souvent en haute résolution). Le faisceau d'électrons produit par le canon d'électrons est focalisé par une colonne comparable à un microscope électronique à balayage (MEB). Le faisceau d'électron permet à la fois de visualiser des marques d'alignement pour superposer les différents niveaux de masquage et d'insoler la résine avec des conditions de courant, de temps et de position parfaitement contrôlées.

La résolution de l'EBL dépend de la taille du spot, de l'énergie des électrons, de la résine et du substrat à cause des effets de diffusion et de rétro diffusion des électrons et des conditions de « process ». Par rapport à la photolithographie, l'utilisation d'un faisceau d'électrons énergétiques permet de diminuer la longueur d'onde et donc de réduire les effets de diffraction (par exemple  $\lambda_{20\text{keV}}=0.0086 \text{ nm}$ ). Pour produire des structures nanométriques il « suffit » de programmer le déplacement du spot électronique et de fixer le temps d'exposition [3-6]. Les résolutions ultimes atteintes sont de l'ordre de 5 nm à 200 keV et 20 nm à 20 keV. C'est Mme E. DARAN, ingénieure du groupe TEAM du LAAS qui s'est chargée de fabriquer nos échantillons.

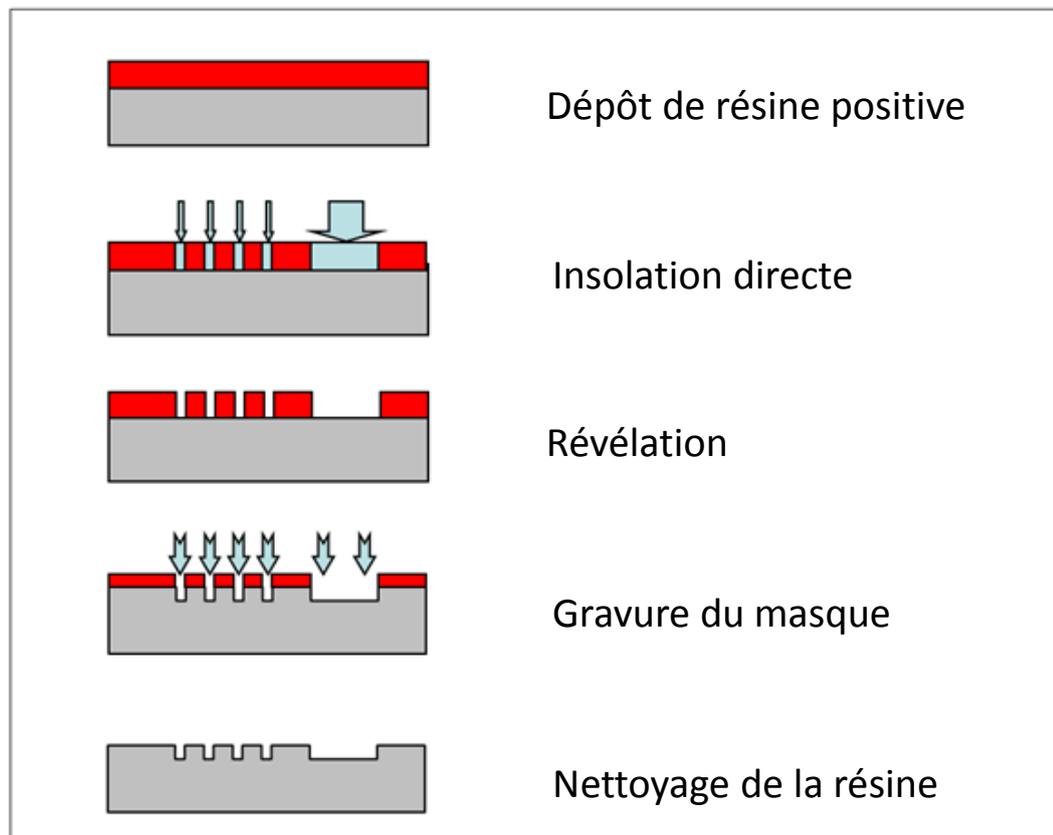


Figure 1 : Schéma détaillé du procédé de fabrication par lithographie électronique

Nous avons travaillé sur la machine E-Beam Raith150 dont les caractéristiques sont les suivantes :

- Energies de 1 à 30 keV
- Résolutions ultime 20 nm
- Taille maximales des échantillons 6 pouces
- Positionnement par interférométrie laser
- Générateur de motifs élaborés et correction d'effets de proximité

Les échantillons sont nettoyés puis une épaisseur contrôlée de PMMA est déposée en surface. Le faisceau électronique insole ensuite la résine pour reproduire un motif. Le motif est composé de 2 types de réseaux de trous : des carrés et des lignes. Un réseau s'étale sur une surface de  $100 \times 100 \mu\text{m}^2$ . Chaque réseau de carrés (notés de 1 à 8 sur la figure ci-dessous) comprend des carrés d'une seule taille, celle-ci variant entre 50 nm et  $5 \mu\text{m}$  d'un réseau à l'autre. Le réseau de lignes (noté n°9 sur la figure ci-dessous) comprend des lignes de 100 nm espacées de 900 nm.

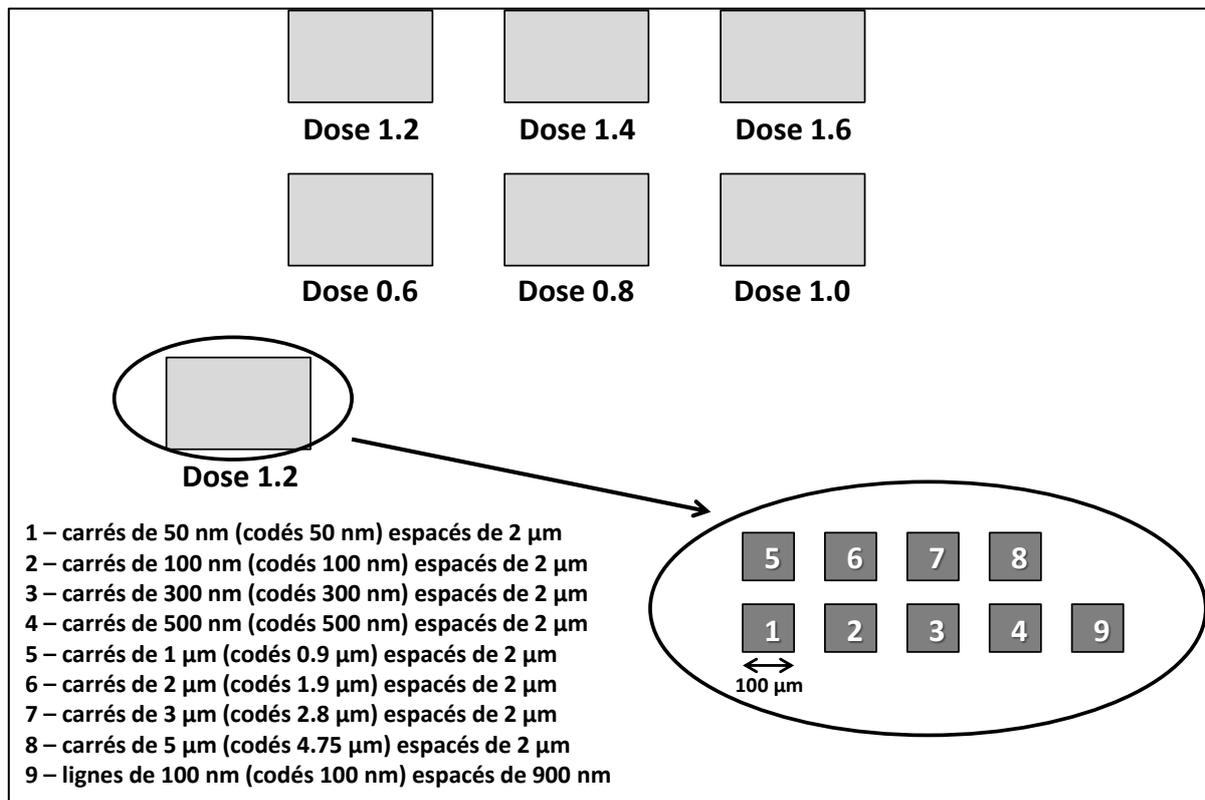


Figure 2 : Schémas de motifs définis pour l'EBL

Pour déterminer la dose d'exposition optimale il est nécessaire de procéder à plusieurs essais. La dose nominale obtenue est égale à  $360 \mu\text{C}/\text{cm}^2$ , alors sur l'échantillon final, le motif est répété sept fois avec différentes doses d'exposition qui encadrent la dose nominale (0.6, 0.8, 1.0, 1.2, 1.4 et 1.6 fois), ce qui correspond à des valeurs comprises entre  $216$  et  $576 \mu\text{C}/\text{cm}^2$ .

- [1] M.A. McCord and M. J. Rooks, SPIE Handbook of Microlithography, Micromachining and Microfabrication, chap. 2 (2000)
- [2] Olivier C. Wells, Book Electron Beam in microelectronics, in Introduction to Electron Beam Technology. Robert Bakish editor, Wiley, (1962)
- [3] Yifang Chen, Alexander S. Schwanecke, V.A. Fedotov, V.V. Khardikov, P.L. Mladyonov, S.L. Prosvirnin, A.V. Rogacheva, Nikolay I. Zheludev and Ejaz Huq, Electron beam lithography for high density meta fish scale operational at optical frequency. Microelectronic Engineering 86, 1081 (2009)
- [4] Seung Woo Lee, Yong-Beom Shin, Ki Seok Jeon, Seung Min Jin, Yung Doug Suh, Sanghyo Kim, Jae Jong Lee and Min-Gon Kim, Electron beam lithography-assisted fabrication of Au nano-dot array as a substrate of a correlated AFM and confocal Raman spectroscopy. Ultramicroscopy 108, 1302 (2008)
- [5] Richard A. Lawson, Cheng-Tsung Lee, Wang Yueh, Laren Tolbert and Clifford L. Henderson Epoxide functionalized molecular resists for high resolution electron-beam lithography Microelectronic Engineering 85, 959 (2008)
- [6] Yasin Ekinci, Harun H. Solak, Celestino Padeste, Jens Gobrecht, Mark P. Stoykovich and Paul F. Nealey, 20 nm Line/space patterns in HSQ fabricated by EUV interference lithography. Microelectronic Engineering 84, 700 (2007)

