



Université  
de Toulouse

# THÈSE

En vue de l'obtention du  
**DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE**

**Délivré par :**

Institut National des Sciences Appliquées de Toulouse (INSA Toulouse)

**Discipline ou spécialité :**

Compatibilité électromagnétique des circuits intégrés

---

**Présentée et soutenue par :**

Mikaël DEOBARRO

**le :** 21 Avril 2011

**Titre :**

Etude de l'immunité des circuits intégrés face aux agressions  
électromagnétiques : proposition d'une méthode de prédiction des couplages  
des perturbations en mode conduit

---

**JURY**

Sylvie JARRIX (Maître de conférence / HDR - Université de Montpellier)  
Denis DESCHACHT (Directeur de recherche CNRS - Université de Montpellier)  
Etienne SICARD (Professeur INSA Toulouse)  
Bertrand VRIGNON (Ingénieur de recherche - Freescale Toulouse)  
Frédéric HOEPPE (Ingénieur de recherche - NEXIO Toulouse)

---

**Ecole doctorale :**

Génie Electrique, Electronique et Télécommunications (GEET)

**Unité de recherche :**

LATTIS

**Directeur(s) de Thèse :**

Sonia BEN DHIA (Maître de conférence / HDR - INSA Toulouse)

**Rapporteurs :**

Sylvie JARRIX, Denis DESCHACHT





## Résumé

Avec les progrès technologiques réalisés au cours de ces dernières décennies, la complexité et les vitesses de fonctionnement des circuits intégrés ont beaucoup été augmentées. Bien que ces évolutions aient permis de diminuer les dimensions et les tensions d'alimentations des circuits, la compatibilité électromagnétique (CEM) des composants a fortement été dégradée. Identifiée comme étant un verrou technologique, la CEM est aujourd'hui l'une des principales causes de « *re-design* » des circuits car les problématiques liées aux mécanismes de génération et de couplage du bruit ne sont pas suffisamment étudiées lors de leur conception.

Ce manuscrit présente donc une méthodologie visant à étudier la propagation du bruit à travers les circuits intégrés par mesures et par simulations. Afin d'améliorer nos connaissances sur la propagation d'interférences électromagnétiques (IEM) et les mécanismes de couplage à travers les circuits, nous avons conçu un véhicule de test développé dans la technologie SMOS8MV<sup>®</sup> 0,25  $\mu\text{m}$  de *Freescale Semiconductor*. Dans ce circuit, plusieurs fonctions élémentaires telles qu'un bus d'E/S et des blocs numériques ont été implémentées. Des capteurs de tensions asynchrones ont également été intégrés sur différentes alimentations de la puce pour analyser la propagation des perturbations injectées sur les broches du composant (injection *DPI*) et sur les conducteurs permettant d'alimenter ce dernier (injection *BCI*). En outre, nous proposons différents outils pour faciliter la modélisation et les simulations d'immunité des circuits intégrés (extraction des modèles de *PCB*, approches de modélisation des systèmes d'injection, méthode innovante permettant de prédire et de corrélérer les niveaux de tension/ de puissance injectés lors de mesures d'immunité conduite, flot de modélisation). Chaque outil et méthode de modélisation proposés sont évalués sur différents cas test. Enfin, pour évaluer notre démarche de modélisation, nous l'appliquons sur un bloc numérique de notre véhicule de test et comparons les résultats de simulations aux différentes mesures internes et externes réalisées sur le circuit.

**Mots Clés :** Compatibilité électromagnétique, Immunité des Circuit Intégrés, Capteur de tension sur puce, Flot de Modélisation et de Simulation, Technologie CMOS, Propagation des perturbations électromagnétiques, Mécanismes de couplage, Prédications des risques de défaillances des circuits intégrés, Injections de perturbations de types *DPI* et *BCI*, Corrélation des tests *DPI* et *BCI*



## Abstract

With technological advances in recent decades, the complexity and operating speeds of integrated circuits have greatly increased. While these developments have reduced dimensions and supply voltages of circuits, electromagnetic compatibility (EMC) of components has been highly degraded. Identified as a technological lock, EMC is now one of the main causes of circuits *re-designs* because issues related to generating and coupling noise mechanisms are not sufficiently studied during their design.

This manuscript introduces a methodology to study propagation of electromagnetic disturbances through integrated circuits by measurements and simulations. To improve our knowledge about propagation of electromagnetic interferences (EMI) and coupling mechanisms through integrated circuits, we designed a test vehicle developed in the SMOS8MV<sup>®</sup> 0.25 $\mu$ m technology from *Freescale Semiconductor*. In this circuit, several basic functions such as I/O bus and digital blocks have been implemented. Asynchronous on-chip voltage sensors have also been integrated on different supplies of the chip to analyze propagation of disturbances injected on supply pins and wires of the component (*DPI* and *BCI* injection). In addition, we propose various tools to facilitate modeling and simulations of Integrated Circuit's immunity (*PCB* model extraction, injection systems modeling approaches, innovative method to predict and correlate levels of voltage / power injected during conducted immunity measurements, modeling flow). Each tool and modeling method proposed is evaluated on different test cases. To assess our modeling approach, we finally apply it on a digital block of our test vehicle and compare simulation results to various internal and external measurements performed on the circuit.

**Keywords:** Electromagnetic compatibility, Immunity of integrated circuits, On-chip voltage sensor, Modeling and Simulation Flows, CMOS Technology, Propagation of electromagnetic interference, Coupling mechanisms, Prediction of Integrated Circuit failure risks, *DPI* and *BCI* injection, Correlation of *DPI* and *BCI* tests



## Remerciements

Cette thèse a été effectuée au sein de la division « *Technology Solutions Organization* » de *Freescale Semiconductor* situé à Toulouse. Les travaux de recherche ont été menés en collaboration avec le laboratoire d'études des systèmes informatiques et automatiques (LATTIS) de l'Institut National des Sciences Appliquées (INSA) de Toulouse.

Je souhaiterais tout d'abord remercier Danielle Fournier-Prunaret, directrice du laboratoire LATTIS, pour m'avoir permis d'effectuer cette thèse.

J'adresse mes sincères remerciements à Etienne Sicard qui me fait l'honneur de présider le jury, ainsi qu'à Sylvie Jarrix et Denis Deschacht qui ont accepté d'être rapporteurs de ce manuscrit de thèse. Je tiens également à remercier Frédéric Hoeppe pour sa participation au jury et l'intérêt qu'il a porté à mes travaux de recherche.

Je souhaite témoigner toute ma reconnaissance à ma directrice de thèse, Sonia Ben Dhia, pour tout le soutien et les conseils qu'elle a pu m'apporter durant mes trois années de thèse. Je voudrais également la remercier pour sa disponibilité, sa confiance et sa perpétuelle bonne humeur. Je la remercie enfin d'avoir corrigé ce mémoire avec autant de célérité et d'application.

Je souhaite remercier Jean-Louis Chaptal de m'avoir accueilli au sein de son équipe à *Freescale* et de m'avoir offert l'opportunité de mener à bien cette thèse dans les meilleures conditions.

Je tiens à remercier mon encadrant industriel, Bertrand Vrignon, de m'avoir permis d'effectuer cette thèse. Je lui suis reconnaissant d'avoir initié et porté ce projet au sein de *Freescale*. Je remercie également toutes les personnes de *Freescale* qui ont pris part à ces recherches : John Shepherd pour son aide et ses précieux conseils, Frédéric Grave pour son support sous *CADENCE*, Nicolas Bouvier pour ses formations sur la téléphonie mobile, Alain Salles et Mathieu Aribaud pour leur support lors des mesures ainsi que Philippe Renaud, Kamel Abouda et Patrice Besse pour leur sympathie.

J'adresse également tous mes remerciements aux membres du LATTIS qui ont pris part à ces recherches : Alexandre Boyer pour ses nombreux conseils, sa sympathie et toutes les discussions enrichissantes que nous avons pu avoir ensemble, Christophe Lemoine pour sa sympathie, son calme et son aide précieuse lors des mesures, Céline Dupoux pour son aide et sa sympathie, ainsi que Samuel Akue Boulingui, Amadou N'Doye, Binhong Li, Rachid Alaoui, Stéphane Baffreau pour leur sympathie et leurs conseils. Je tiens enfin à remercier Joël Breau pour avoir réalisé toutes les tâches administratives avec autant de dévouement.

Je voudrais aussi remercier tous les membres de l'équipe CEM de l'ESEO basée à Anger, Mohamed Ramdani, Richard Perdriau et Ali Alaeldine pour avoir initié ce projet et financé le développement du véhicule de test MIXITY. Je leur suis également reconnaissant pour tous les conseils qu'ils ont pu me donner lors de mes premières années de thèse.

Enfin, je tiens à exprimer toute ma gratitude à ma famille pour leur soutien et leurs nombreux conseils sans lesquels je n'aurais pu réaliser et mener à bien cette thèse.



# Sommaire

<b>SOMMAIRE.....</b>	<b>1</b>
<b>TABLE DES FIGURES.....</b>	<b>9</b>
<b>TABLE DES TABLEAUX.....</b>	<b>17</b>
<b>INTRODUCTION GENERALE.....</b>	<b>21</b>
1. CONTEXTE DE L'ÉTUDE.....	21
2. OBJECTIFS.....	22
3. COMPOSITION DU MANUSCRIT.....	23
<b>CHAPITRE 1 SUSCEPTIBILITE DES CIRCUITS INTEGRES FACE AUX PERTURBATIONS ELECTROMAGNETIQUES.....</b>	<b>27</b>
1. LA COMPATIBILITE ELECTROMAGNETIQUE.....	27
1.1. Définition.....	27
1.2. Historique.....	27
2. SUSCEPTIBILITE ELECTROMAGNETIQUE DES CIRCUITS INTEGRES.....	29
2.1. Sources de perturbations électromagnétiques.....	29
2.1.1. Perturbations permanentes.....	30
2.1.1.1. Communications hertziennes.....	31
2.1.1.2. Radars et sources « champs forts ».....	31
2.1.1.3. Circuits intégrés.....	31
2.1.2. Perturbations transitoires.....	32
2.1.2.1. Charges inductives.....	33
2.1.2.2. Foudre et Impulsion Electromagnétique Nucléaire (IEMN).....	33
2.1.2.3. Décharges électrostatiques (ESD).....	34
2.2. Couplage des perturbations électromagnétiques.....	35
2.2.1. Couplage par rayonnement.....	35
2.2.2. Couplage par conduction.....	36
2.2.2.1. Mode de transmission différentiel.....	36
2.2.2.2. Mode de transmission commun.....	36
2.3. Effets des perturbations électromagnétiques sur les circuits intégrés de technologie CMOS.....	37
2.3.1. Classifications des défaillances des circuits intégrés.....	37
2.3.2. Technologie CMOS.....	38
2.3.3. Susceptibilité des circuits numériques.....	40
2.3.3.1. Erreur statique.....	41
2.3.3.2. Erreur dynamique.....	42

2.3.4.	Susceptibilité des circuits analogiques .....	44
3.	PREDICTION DE LA SUSCEPTIBILITE DES CIRCUITS INTEGRES.....	46
3.1.	<i>Modélisation de l'environnement de test</i> .....	47
3.1.1.	Modèle de câble .....	47
3.1.2.	Modèle de circuit imprimé .....	48
3.1.3.	Modèle de système d'injection .....	49
3.1.4.	Modèle de boîtier.....	50
3.2.	<i>Modélisation de l'architecture interne des circuits intégrés</i> .....	52
3.2.1.	Modèle à l'échelle transistor.....	52
3.2.2.	Modèle empirique.....	52
3.2.3.	Modèle comportemental .....	53
3.2.4.	Macro-modèles .....	54
4.	CONCLUSION.....	55
 <b>CHAPITRE 2 ETUDE DES MECANISMES DE COUPLAGE DES ONDES ELECTROMAGNETIQUES EN MODE CONDUIT SUR UN CIRCUIT INTEGRE .....</b>		<b>59</b>
1.	NECESSITE DE CARACTERISER LA PROPAGATION DES INTERFERENCES EN MODE CONDUIT .....	59
1.1.	<i>Problématiques</i> .....	59
1.2.	<i>Objectifs</i> .....	60
2.	PRESENTATION DU CIRCUIT DE TEST MIXITY .....	60
2.1.	<i>Description de l'architecture interne du circuit</i> .....	60
2.1.1.	Bus d'E/S .....	61
2.1.2.	Bloc numérique .....	61
2.1.3.	Capteurs de tensions asynchrones .....	63
2.1.3.1.	<i>Architecture</i> .....	63
2.1.3.2.	<i>Principe d'acquisition</i> .....	64
2.2.	<i>Caractérisation du capteur de tension</i> .....	65
2.2.1.	Procédure de calibrage du capteur.....	66
2.2.1.1.	<i>Performances en régime statique</i> .....	66
2.2.1.2.	<i>Performances en régime dynamique</i> .....	66
2.2.2.	Tests de fiabilité du capteur .....	68
2.2.2.1.	<i>Effet de la température</i> .....	68
2.2.2.2.	<i>Effet de stress électriques</i> .....	68
2.2.3.	Extraction de la densité de probabilité d'un signal sinusoïdal.....	69
3.	CARACTERISATION NORMALISEE DE L'IMMUNITE DES CIRCUITS INTEGRES EN MODE CONDUIT.....	71
3.1.	<i>Objectifs</i> .....	71
3.2.	<i>Agression normalisée d'un circuit par couplage capacitif</i> .....	71
3.2.1.	Description des tests <i>DPI</i> .....	71
3.2.2.	Influence des éléments du système d'injection <i>DPI</i> .....	72

3.3.	<i>Agression normalisée d'un circuit par couplage inductif</i> .....	73
3.3.1.	Description des tests <i>BCI</i> .....	73
3.3.2.	Influences des éléments des systèmes d'injection <i>BCI</i> .....	74
3.3.2.1.	<i>Influence de la position d'une paire de fils torsadés dans la pince d'injection</i> .....	75
3.3.2.2.	<i>Influence de la distance entre conducteurs et plan de masse</i> .....	76
3.3.2.3.	<i>Influence de la distance entre 2 conducteurs</i> .....	77
3.3.2.4.	<i>Influence de la distance entre la pince d'injection et le véhicule de test</i> .....	78
3.3.2.5.	<i>Influence de la longueur des conducteurs</i> .....	79
3.4.	<i>Comparaison des agressions normalisées par couplage capacitif et inductif</i> .....	81
4.	CARACTERISATION DE LA PROPAGATION DU BRUIT INJECTE PAR <i>DPI</i> ET <i>BCI</i> .....	84
4.1.	<i>Objectifs</i> .....	84
4.2.	<i>Mesures des niveaux de bruits injectés par couplage capacitif et inductif</i> .....	84
4.2.1.	Description des structures sous test.....	84
4.2.2.	Description des expérimentations .....	85
4.2.3.	Mesures sur le bus d'E/S.....	86
4.2.3.1.	<i>Injection DPI sur l'alimentation du bus d'E/S</i> .....	86
4.2.3.2.	<i>Injection BCI sur l'alimentation du bus d'E/S</i> .....	87
4.2.4.	Mesure sur les blocs numériques .....	88
4.3.	<i>Mesure de l'immunité du circuit</i> .....	90
4.3.1.	Descriptions des bancs d'injection <i>DPI</i> .....	90
4.3.2.	Immunité du bus d'E/S.....	91
4.3.3.	Immunité du bloc numérique n°1.....	91
4.4.	<i>Identifications des mécanismes de couplages et des déclenchements des protections DES</i> .....	92
4.4.1.	Etudes des mécanismes de couplage internes au circuit.....	92
4.4.1.1.	<i>Descriptions des cas d'étude</i> .....	92
4.4.1.2.	<i>Analyses des couplages dans le bus d'E/S</i> .....	93
4.4.1.3.	<i>Analyses des couplages dans le bloc numérique</i> .....	94
4.4.2.	Observations des déclenchements des protections DES .....	95
5.	CONCLUSIONS .....	97
<b>CHAPITRE 3 DEVELOPPEMENT D'OUTILS DE SIMULATION DESTINES A LA PREDICTION D'IMMUNITE DES CI</b> .....		<b>101</b>
1.	MODELE DE CIRCUIT IMPRIME.....	101
1.1.	<i>Modélisation d'une piste</i> .....	102
1.1.1.	Démarche de modélisation d'une piste.....	102
1.1.2.	Description de l'outil d'extraction de modèles de pistes <i>PCB</i> .....	106
1.1.3.	Evaluation de l'outil de simulation .....	108
1.2.	<i>Modélisation d'un plan</i> .....	112
1.2.1.	Démarche de modélisation d'un plan.....	113
1.2.2.	Description de l'outil d'extraction des modèles de plans de <i>PCB</i> .....	115

1.2.3.	Evaluation de l'outil de simulation .....	117
2.	MODELE D'INJECTION CONDUITE NORMALISEE .....	119
2.1.	<i>Démarche de modélisation d'un système d'injection conduite</i> .....	119
2.1.1.	Modèle « N-port ».....	119
2.1.2.	Modèle polynomiale .....	120
2.1.3.	Modèle discret.....	120
2.2.	<i>Système d'injection par couplage capacitif</i> .....	121
2.2.1.	Description du système d'injection DPI modélisé .....	121
2.2.2.	Présentation des modèles DPI .....	121
2.2.2.1.	<i>Modèles « N-port » et polynomial</i> .....	121
2.2.2.2.	<i>Modèle discret</i> .....	123
2.2.3.	Evaluation des modèles DPI sur charges passives .....	124
2.3.	<i>Système d'injection par couplage inductif</i> .....	126
2.3.1.	Description du système d'injection BCI modélisé.....	126
2.3.2.	Présentation des modèles BCI.....	127
2.3.2.1.	<i>Modèles « N-port » et polynomial</i> .....	127
2.3.2.2.	<i>Modèle discret</i> .....	128
a.	Pince d'injection .....	129
b.	Ligne de transmission adaptée du JIG .....	131
c.	Couplage entre la pince d'injection et la ligne du JIG.....	133
2.3.3.	Evaluation des modèles BCI sur charges passives .....	137
3.	METHODE GENERALE DE PREDICTIONS DES MESURES NORMALISEES D'INJECTIONS CONDUITES .....	140
3.1.	<i>Démarche de prédiction</i> .....	140
3.2.	<i>Description des outils de prédiction d'injections conduites normalisées</i> .....	142
3.3.	<i>Evaluation des outils de prédiction d'injections conduites normalisées</i> .....	145
4.	CONCLUSION.....	148
<b>CHAPITRE 4 PREDICTION DES COUPLAGES DE PERTURBATIONS ELECTROMAGNETIQUES EN MODE CONDUIT .....</b>		<b>151</b>
1.	OBJECTIFS.....	151
2.	DEMARCHE D'OPTIMISATION DU FLOT DE CONCEPTION DES CIRCUITS INTEGRES .....	151
2.1.	<i>Présentation du flot de conception des circuits digitaux</i> .....	151
2.2.	<i>Flot de modélisation dédié à l'analyse des couplages de bruit en mode conduit</i> .....	154
2.3.	<i>Evaluation du flot de modélisation</i> .....	157
3.	MODELISATION DE L'IMMUNITE D'UN CIRCUIT INTEGRE .....	158
3.1.	<i>Modélisation du circuit MIXITY</i> .....	158
3.1.1.	Modèle d'Entrées/Sorties.....	158
3.1.1.1.	<i>Entrée/Sortie des alimentations</i> .....	158
3.1.1.2.	<i>Entrée/Sortie des signaux</i> .....	159
3.1.1.3.	<i>Impédance d'E/S du bloc numérique</i> .....	160

3.1.2.	Modèle du bloc numérique .....	160
3.1.2.1.	<i>Impédance du cœur</i> .....	160
a.	Impédance de la cellule « critpath » .....	161
b.	Impédance de la cellule « cktree » .....	162
c.	Impédance de la cellule « noisegen25 ».....	164
d.	Impédance de la cellule « digcore1 » .....	165
3.1.2.2.	<i>Impédance de la capacité de découplage « decapblk »</i> .....	166
3.1.2.3.	<i>Couplage substrat du cœur numérique</i> .....	166
a.	Mécanismes et modélisation du couplage substrat .....	166
b.	Modélisation du substrat.....	167
3.1.2.4.	<i>Modèle des rails d'alimentation</i> .....	169
3.1.3.	Modèle du Boîtier .....	170
3.2.	<i>Modélisation de l'environnement de tests d'immunité conduite</i> .....	171
3.2.1.	Modèle de la source d'interférence .....	171
3.2.2.	Modèle du câble et de son connecteur RF .....	172
3.2.3.	Modèle du système d'injection.....	173
3.2.3.1.	<i>Injection par couplage capacitif</i> .....	173
3.2.3.2.	<i>Injection par couplage inductif</i> .....	174
3.2.4.	Modèle du circuit Imprimé .....	176
4.	ESTIMATION DES NIVEAUX DE BRUITS INJECTES EN MODE CONDUIT SUR UN CI .....	178
4.1.	<i>Objectifs</i> .....	178
4.2.	<i>Simulation d'injections DPI et BCI sur un circuit intégré</i> .....	178
4.2.1.	Agression d'un bus d'E/S par DPI et BCI .....	178
4.2.1.1.	<i>Présentation des modèles d'injections complets</i> .....	178
4.2.1.2.	<i>Résultats de simulations des modèles d'injection sur un bus d'E/S</i> .....	179
a.	Injection de bruits par DPI.....	179
b.	Injections de bruits par BCI.....	179
4.2.2.	Agression d'un bloc numérique par DPI .....	180
4.2.2.1.	<i>Présentation du modèle d'injection complet</i> .....	180
4.2.2.2.	<i>Résultats de simulations du modèle d'injection</i> .....	182
4.2.3.	Conclusion.....	184
4.3.	<i>Prédiction des niveaux de bruit couplés à un CI en mode conduit</i> .....	185
4.3.1.	Descriptions des données d'entrée requises par l'outil de prédiction .....	185
4.3.2.	Prédictions d'injections DPI .....	185
4.3.3.	Prédictions d'injections BCI .....	186
4.3.4.	Conclusion.....	187
5.	CONCLUSION.....	189
	<b>CONCLUSION GENERALE.....</b>	<b>193</b>
	<b>REFERENCES .....</b>	<b>199</b>

<b>GLOSSAIRE.....</b>	<b>211</b>
<b>LISTE DES PUBLICATIONS.....</b>	<b>215</b>





## Table des Figures

FIGURE 1-1: NOTIONS DE LA COMPATIBILITÉ ÉLECTROMAGNÉTIQUE.....	29
FIGURE 1-2: SOURCES DE PERTURBATION DE CI .....	29
FIGURE 1-3: OCCUPATION SPECTRALE DES PRINCIPALES SOURCES DE PERTURBATIONS ÉLECTROMAGNÉTIQUES .....	30
FIGURE 1-4: REPRÉSENTATION TEMPORELLE D'UN SIGNAL.....	30
FIGURE 1-5: REPRÉSENTATION FRÉQUENTIELLE D'UN SIGNAL.. ..	30
FIGURE 1-6: EXEMPLE D'UNE IMPULSION RADAR.....	31
FIGURE 1-7: PERTURBATION INDUITE PAR LA COMMUTATION D'UNE ENTRÉE/ SORTIE .....	32
FIGURE 1-8: ILLUSTRATION TEMPORELLE D'UN SIGNAL TRANSITOIRE NORMALISÉ (IEC 61000-4-4) .....	32
FIGURE 1-9: ILLUSTRATION SPECTRALE D'UN SIGNAL TRANSITOIRE NORMALISÉ (IEC 61000-4-4).....	32
FIGURE 1-10: PERTURBATION TRANSITOIRE INDUITE PAR LA COMMUTATION D'UNE CHARGE INDUCTIVE .....	33
FIGURE 1-11: ALLURE D'UNE DÉCHARGE ÉLECTROSTATIQUE TYPIQUE .....	34
FIGURE 1-12: MODES DE COUPLAGE ENTRE UN AGRESSEUR ET UNE VICTIME .....	35
FIGURE 1-13: SCHÉMA DE PRINCIPE D'UN COUPLAGE INDUCTIF .....	35
FIGURE 1-14: SCHÉMA DE PRINCIPE DU MODE DE TRANSMISSION DIFFÉRENTIEL .....	36
FIGURE 1-15: SCHÉMA DE PRINCIPE DU MODE DE TRANSMISSION COMMUN .....	37
FIGURE 1-16: COUPE TRANSVERSALE D'UN TRANSISTOR MOS À CANAL N .....	38
FIGURE 1-17: CARACTÉRISTIQUES D'UN TRANSISTOR MOS (NMOS) .....	39
FIGURE 1-18: SYMBOLE ET SCHÉMA ÉQUIVALENT DES TRANSISTORS MOS .....	39
FIGURE 1-4: STRUCTURE ET CARACTÉRISTIQUE DE TRANSFERT D'UN INVERSEUR .....	40
FIGURE 1-6: MARGES DE BRUIT D'UN CIRCUIT .....	40
FIGURE 1-21: ILLUSTRATION D'UNE ERREUR STATIQUE PROVOQUÉE SUR UN INVERSEUR .....	41
FIGURE 1-22: DÉFAILLANCE D'UNE CHAÎNE D'INVERSEUR PAR NON-RESPECT DE LA MARGE STATIQUE .....	42
FIGURE 1-23: ILLUSTRATION D'UNE ERREUR DYNAMIQUE SUR UN INVERSEUR .....	43
FIGURE 1-24: EFFET DE RECTIFICATION SUR UN TRANSISTOR MOS.....	45
FIGURE 1-25: MIROIR DE COURANT .....	45
FIGURE 1-26: FLOT DE CONCEPTION DES CI .....	46
FIGURE 1-27: ÉLÉMENTS LINÉIQUES D'UNE CELLULE MODÉLISANT UN TRONÇON DE LIGNE.....	47
FIGURE 1-28: EMPILEMENT DE PUCES (TECHNOLOGIE DE TYPE SIP) .....	50
FIGURE 1-29: MULTIPLE CIRCUITS SUR MÊME SUBSTRAT .....	50
FIGURE 1-30: VUE EN COUPE D'UN BOÎTIER DE TYPE QFP (QUAD FLAT PACKAGE) .....	51
FIGURE 2-1 : BLOC D'ENTRÉE DU BUS D'E/S.....	61
FIGURE 2-2 : BLOC DE SORTIE DU BUS D'E/S.....	61
FIGURE 2-3 : ARCHITECTURE DES BLOCS NUMÉRIQUES N°0, 1 ET 3.....	62

FIGURE 2-4 : VUE EN COUPE DE LA STRUCTURE DU CŒUR N°3 .....	62
FIGURE 2-5 : ARCHITECTURE DU CAPTEUR DE TENSION ASYNCHRONE .....	63
FIGURE 2-6 : ARCHITECTURE DE L'ATTÉNUATEUR ET DE L'ÉCHANTILLONNEUR-BLOQUEUR INTÉGRÉS DANS LE CAPTEUR.....	64
FIGURE 2-7 : PRINCIPE D'ACQUISITION DU CAPTEUR DE TENSION ASYNCHRONE .....	65
FIGURE 2-8 : CARACTÉRISTIQUE D'ENTRÉE/SORTIE DU CAPTEUR « MEDIUM VOLTAGE » .....	66
FIGURE 2-9 : PROTOCOLE DE MESURE POUR DÉFINIR LA FONCTION DE TRANSFERT DE L'AMPLIFICATEUR.....	66
FIGURE 2-10 : FONCTION DE TRANSFERT DE L'AMPLIFICATEUR INTÉGRÉ DANS LES CAPTEURS .....	66
FIGURE 2-11 : PROTOCOLE DE MESURE POUR DÉFINIR LA BANDE PASSANTE DES CAPTEURS.....	68
FIGURE 2-12 : FONCTION DE TRANSFERT DU CAPTEUR « MEDIUM VOLTAGE » .....	68
FIGURE 2-13 : PROTOCOLE DE MESURE POUR CALCULER LA DENSITÉ DE PROBABILITÉ D'UN SIGNAL SINUSOÏDAL.....	70
FIGURE 2-14: DENSITÉ DE PROBABILITÉ D'UN SIGNAL SINUSOÏDAL .....	70
FIGURE 2-15 : CALCUL THÉORIQUE D'UNE DENSITÉ DE PROBABILITÉ.....	70
FIGURE 2-16: BANC DE MESURE DPI (IEC 62132-4) .....	71
FIGURE 2-17: COMPARAISON DE CAPACITÉS $C_{DPI}$ .....	72
FIGURE 2-18: TEST BCI ASSERVI EN BOUCLE OUVERTE .....	73
FIGURE 2-19: TEST BCI ASSERVI EN BOUCLE FERMÉE .....	73
FIGURE 2-20: CALIBRAGE DES TESTS BCI.....	74
FIGURE 2-21: PAIRE DE FILS PARALLÈLES.....	75
FIGURE 2-22: PAIRE DE FILS TORSADÉS.....	75
FIGURE 2-23: POSITION DU CONDUCTEUR DANS LA PINCE D'INJECTION .....	75
FIGURE 2-24: INFLUENCE DE LA POSITION DU CONDUCTEUR DANS LA PINCE D'INJECTION .....	75
FIGURE 2-25: COUPLAGE CAPACITIVE ENTRE CONDUCTEURS ET PLAN DE MASSE .....	76
FIGURE 2-26: INFLUENCE DE LA DISTANCE ENTRE UN CÂBLE ET UN PLAN DE MASSE .....	76
FIGURE 2-27: INFLUENCE DE LA DISTANCE ENTRE 2 CÂBLES .....	77
FIGURE 2-28: EFFET DE PROXIMITÉ ENTRE DEUX CONDUCTEURS.....	78
FIGURE 2-29: INFLUENCE DU POSITIONNEMENT DE LA PINCE D'INJECTION SUR LA TRANSMISSION DE COURANT À UN VÉHICULE DE TEST .....	78
FIGURE 2-30: MESURES DU COEFFICIENT DE TRANSMISSION EN FONCTION DU POSITIONNEMENT DE LA PINCE.....	79
FIGURE 2-31: MESURE DU COEFFICIENT DE TRANSMISSION À FRÉQUENCE CONSTANTE .....	79
FIGURE 2-32: INFLUENCE DE LA LONGUEUR DES CONDUCTEURS SUR L'INJECTION DE COURANT RÉALISÉE LORS DE TESTS BCI .....	80
FIGURE 2-33: IMPACT DE LA LONGUEUR DE LA PAIRE DE FILS TORSADÉS SUR L'INJECTION DE COURANT DE TESTS BCI.....	80
FIGURE 2-34: BANCS DE MESURES DPI ET BCI (COMPARAISON SUR CHARGES PASSIVES) .....	81
FIGURE 2-35 : VÉHICULE DE TEST DÉDIÉ À L'INJECTION SUR CHARGE PASSIVE .....	82
FIGURE 2-36: COMPARAISON DPI/ BCI SUR CHARGES PASSIVES.....	82
FIGURE 2-37 : MESURE DE BRUIT SUR LE BLOC D'E/S.....	85
FIGURE 2-38 : MESURE DE BRUIT SUR LE BLOC NUMÉRIQUE.....	85
FIGURE 2-39 : BANC D'INJECTION DPI SUR L'ALIMENTATION D'UN BUS D'E/S.....	85

FIGURE 2-40 : BANC D'INJECTION DPI SUR L'ALIMENTATION D'UN BLOC NUMÉRIQUE.....	86
FIGURE 2-41 : BANC D'INJECTION BCI SUR L'ALIMENTATION D'UN BUS D'E/S.....	86
FIGURE 2-42 : COMPARAISON DES NIVEAUX DE PUISSANCES INJECTÉS PAR DPI SUR L'ALIMENTATION D'UN BUS D'E/S (CONTRÔLE DU NIVEAU DE FLUCTUATION PAR MESURES EXTERNES ET INTERNES) .....	87
FIGURE 2-43 : COMPARAISON DES NIVEAUX DE PUISSANCE INJECTÉS PAR BCI SUR L'ALIMENTATION DU BUS D'E/S (CONTRÔLE DU NIVEAU DE FLUCTUATION PAR MESURES EXTERNES ET INTERNES) .....	88
FIGURE 2-44: INJECTION DPI SUR BLOCS NUMÉRIQUES AVEC $C_{\text{DÉCOUPLAGE}}$ (MESURES EXTERNES) .....	89
FIGURE 2-45 : INJECTION DPI SUR BLOCS NUMÉRIQUES AVEC $C_{\text{DÉCOUPLAGE}}$ (MESURES INTERNES) .....	89
FIGURE 2-46 : INJECTION DPI SUR BLOCS NUMÉRIQUES SANS $C_{\text{DÉCOUPLAGE}}$ (MESURES EXTERNES) .....	89
FIGURE 2-47 : INJECTION DPI SUR BLOCS NUMÉRIQUES SANS $C_{\text{DÉCOUPLAGE}}$ (MESURES INTERNES) .....	89
FIGURE 2-50 : MESURE DE L'IMMUNITÉ DU BUS D'E/S PAR INJECTION DPI .....	90
FIGURE 2-48 : COMPARAISON DES NIVEAUX DE PUISSANCE INJECTÉS PAR DPI SUR LE BLOC NUMÉRIQUE N°1 (MESURES EXTERNES VS. INTERNES AVEC $C_{\text{DÉCOUPLAGE}}$ ).....	90
FIGURE 2-49: COMPARAISON DES NIVEAUX DE PUISSANCE INJECTÉS PAR DPI SUR LE BLOC NUMÉRIQUE N°1 (MESURES EXTERNES VS. INTERNES SANS $C_{\text{DÉCOUPLAGE}}$ ).....	90
FIGURE 2-51 : MESURE DE L'IMMUNITÉ DU BLOC NUMÉRIQUE N°1 PAR INJECTION DPI .....	91
FIGURE 2-52 : IMMUNITÉ DU BUS D'E/S (INJECTION DPI SUR $SSN_{\text{OVDD}}$ ) .....	91
FIGURE 2-53 : NIVEAUX DE BRUITS MESURÉS EN INTERNE À CHAQUE DÉFAILLANCE DU BUS D'E/S (INJECTION DPI SUR $SSN_{\text{OVDD}}$ ) .....	91
FIGURE 2-54 : IMMUNITÉ DU BLOC NUMÉRIQUE N°1(INJECTION DPI SUR $VDD_{\text{CORE}}$ ) .....	92
FIGURE 2-55 : NIVEAUX DE BRUITS MESURÉS EN INTERNE À CHAQUE DÉFAILLANCE DU BLOC NUMÉRIQUE N°1 (INJECTION DPI SUR $VDD_{\text{CORE}}$ ).....	92
FIGURE 2-56 : BANC D'INJECTION DPI PERMETTANT D'ÉTUДИER LES COUPLAGES INTERNES AU BUS D'E/S.....	93
FIGURE 2-57 : BANC D'INJECTION DPI PERMETTANT D'ÉTUДИER LES COUPLAGES INTERNES AU BLOC NUMÉRIQUE N°1.....	93
FIGURE 2-58 : IMMUNITÉ DU BUS D'E/S (INJECTION DPI SUR $SSN_{\text{VDD}}$ ) .....	94
FIGURE 2-59 : NIVEAUX DE BRUIT MESURÉS EN INTERNE À CHAQUE DÉFAILLANCE DU BUS D'E/S (INJECTION DPI SUR $SSN_{\text{VDD}}$ ) .....	94
FIGURE 2-60 : IMMUNITÉ DU BLOC NUMÉRIQUE N°1 (INJECTIONS DPI SUR $OVDD_{\text{CORE}}$ ).....	95
FIGURE 2-61 : NIVEAUX DE BRUITS MESURÉS EN INTERNE À CHAQUE DÉFAILLANCE DU BLOC NUMÉRIQUE N°1 (INJECTION DPI SUR $OVDD_{\text{CORE}}$ )...95	
FIGURE 2-62 : DENSITÉ DE PROBABILITÉ DE L'IEМ MESURÉ À 500 MHz SUR LE RAIL D'ALIMENTATION $SSN_{\text{OVDD}}$ DU BUS D'E/S .....	96
FIGURE 3-1: COUPE TRANSVERSALE D'UNE PISTE.....	102
FIGURE 3-2: MODÈLE DE DEBYE (TANGENTE DE PERTE DU DIÉLECTRIQUE CONSTANTE) .....	104
FIGURE 3-3: MODÈLE DISCRET D'UNE PISTE (1 CELLULE).....	106
FIGURE 3-4: DÉFINITION DE LA MATRICE DE PARAMÈTRES A À PARTIR DE $Z(\omega)$ ET $Y(\omega)$ .....	106
FIGURE 3-5: DÉFINITION DES MATRICES DE PARAMÈTRES Z ET S À PARTIR DE LA MATRICE DE PARAMÈTRES A .....	106
FIGURE 3-6: ALGORITHME DE L'OUTIL D'EXTRACTION DE MODÈLE DE PISTE .....	107
FIGURE 3-7: IMPÉDANCE D'ENTRÉE DE LA LIGNE N°1.....	109
FIGURE 3-8: COEFFICIENT DE RÉFLEXION DE LA LIGNE N°1.....	109

FIGURE 3-9: IMPÉDANCE D'ENTRÉE DE LA LIGNE N°2.....	109
FIGURE 3-10: COEFFICIENT DE RÉFLEXION DE LA LIGNE N°2.....	109
FIGURE 3-11: IMPÉDANCE D'ENTRÉE DE LA LIGNE N°3.....	109
FIGURE 3-12: COEFFICIENT DE RÉFLEXION DE LA LIGNE N°3.....	109
FIGURE 3-13: COEFFICIENT DE TRANSMISSION DE LA LIGNE 3-1.....	111
FIGURE 3-14: COEFFICIENT DE TRANSMISSION DE LA LIGNE 3-2.....	111
FIGURE 3-15: COEFFICIENT DE TRANSMISSION DE LA LIGNE 3-3.....	111
FIGURE 3-16: COEFFICIENT DE TRANSMISSION DE LA LIGNE 3-4.....	111
FIGURE 3-17: COEFFICIENT DE TRANSMISSION DE LA LIGNE 3-5.....	111
FIGURE 3-18: COEFFICIENT DE TRANSMISSION DE LA LIGNE 3-6.....	111
FIGURE 3-19: PAIRE DE PLANS PARALLÈLES ASSIMILABLE À UN GUIDE D'ONDE RECTANGULAIRE .....	113
FIGURE 3-20: ALGORITHME DE L'OUTIL D'EXTRACTION DE MODÈLE DE PLAN .....	116
FIGURE 3-21: CIRCUIT IMPRIMÉ CONÇU POUR L'ÉVALUATION DE L'OUTIL D'EXTRACTION.....	117
FIGURE 3-22: COEFFICIENT DE RÉFLEXION DU PLAN MODÉLISÉ.....	118
FIGURE 3-23: COEFFICIENT DE TRANSMISSION DU PLAN MODÉLISÉ .....	118
FIGURE 3-24: CARACTÉRISTIQUES D'UN CIRCUIT RLC SÉRIE.....	120
FIGURE 3-25 : CARACTÉRISTIQUES D'UN CIRCUIT RLC PARALLÈLE .....	120
FIGURE 3-26: CARACTÉRISATION DU SYSTÈME D'INJECTION DPI .....	121
FIGURE 3-27: COMPARAISON MESURES- SIMULATIONS DES PARAMÈTRES $S_{11}$ ET $S_{21}$ DU MODÈLE POLYNOMIAL DPI.....	122
FIGURE 3-28: MODÈLE DISCRET DU VÉHICULE DE TEST DPI.....	123
FIGURE 3-29: MODULE DU COEFFICIENT DE RÉFLEXION $S_{RF}$ .....	123
FIGURE 3-30: MODULE DU COEFFICIENT DE TRANSMISSION $S_{RF-OUT}$ .....	124
FIGURE 3-31: BANC D'INJECTION DPI SUR CHARGES PASSIVES.....	124
FIGURE 3-32: MODÈLE DISCRET D'INJECTIONS DPI SUR CHARGES PASSIVES.....	125
FIGURE 3-33: RÉSULTATS DE L'ÉVALUATION DES MODÈLES DPI SUR CHARGES PASSIVES.....	125
FIGURE 3-34: SYSTÈME D'INJECTIONS BCI SUR CHARGES PASSIVES .....	127
FIGURE 3-35: CARACTÉRISATION DU SYSTÈME D'INJECTION BCI .....	127
FIGURE 3-36: COEFFICIENTS DE RÉFLEXION ET DE TRANSMISSION DU MODÈLE N-PORT BCI .....	128
FIGURE 3-37: COMPARAISON MESURES-SIMULATIONS DES PARAMÈTRES $S_{11}$ ET $S_{21}$ DU MODÈLE POLYNOMIAL BCI .....	128
FIGURE 3-38: MODÈLE D'EFFET DE PEAU PROPOSÉ PAR WHEELER.....	129
FIGURE 3-39: COMPARAISON MESURES-SIMULATIONS D'INJECTION BCI – VERSION N°1 .....	130
FIGURE 3-40: MODÈLE DISCRET DE LA PINCE DE L'IMPÉDANCE D'ENTRÉE DE LA PINCE (MODÈLE N°1) .....	130
FIGURE 3-41: MODÈLE DISCRET DE LA PINCE D'INJECTION BCI – VERSION N°2 .....	130
FIGURE 3-42: COMPARAISON MESURES-SIMULATIONS DE L'IMPÉDANCE D'ENTRÉE DE LA PINCE EN AMPLITUDE ET EN PHASE (MODÈLE N°2).....	131
FIGURE 3-43: MODÈLE GÉNÉRIQUE DE LA STRUCTURE JIG/ PINCE.....	131
FIGURE 3-44: CARACTÉRISATION DE LA STRUCTURE JIG/ PINCE.....	131

FIGURE 3-45: IMPÉDANCE D'ENTRÉE DU JIG CHARGÉ PAR UN COURT-CIRCUIT .....	132
FIGURE 3-46: IMPÉDANCE D'ENTRÉE DU JIG CHARGÉ PAR UN CIRCUIT-OUVERT.....	132
FIGURE 3-47: MODÈLE DE LA LIGNE DE TRANSMISSION ADAPTÉ DU JIG .....	132
FIGURE 3-48: MODÈLE DU COUPLAGE ENTRE LA PINCE D'INJECTION ET LE JIG ( $K_{\text{COUPLING}}$ ).....	133
FIGURE 3-49: MODULE DU COEFFICIENT DE.....	134
FIGURE 3-50: PHASE DU COEFFICIENT DE TRANSMISSION ENTRE LA PINCE ET LA LIGNE TRANSMISSION ENTRE LA PINCE ET LA LIGNE .....	134
FIGURE 3-51: GÉNÉRATEUR DE THÉVENIN ÉQUIVALENT AU COUPLAGE INDUCTIF DE LA PINCE D'INJECTION SUR LA LIGNE DE TRANSMISSION.....	134
FIGURE 3-52: MODÈLE DU COUPLAGE ENTRE LA PINCE D'INJECTION ET LE JIG (CIRCUIT ÉQUIVALENT AU COUPLAGE).....	136
FIGURE 3-53: COEFFICIENT DE TRANSMISSION ENTRE LA PINCE ET LA LIGNE (AMPLITUDE ET PHASE) .....	137
FIGURE 3-54: BANC D'INJECTION BCI SUR CHARGES PASSIVES .....	137
FIGURE 3-55: RÉSULTATS DE L'ÉVALUATION DES MODÈLES BCI SUR CHARGES PASSIVES .....	138
FIGURE 3-56: SYSTÈME D'INJECTION DPI ASSIMILÉ À UN QUADRIPOLE DE 2 PORTS.....	140
FIGURE 3-57: SYSTÈME D'INJECTION BCI ASSIMILÉ À UN MULTIPÔLE DE 3 PORTS .....	140
FIGURE 3-58: ALGORITHME DES FONCTIONS « DPI.M » ET « BCI.M » .....	143
FIGURE 3-59: ALGORITHME DE LA FONCTION « DPI_BCI.M » .....	144
FIGURE 3-60: PRÉDICTION DPI SUR 50 $\Omega$ .....	146
FIGURE 3-61: PRÉDICTION BCI SUR 50 $\Omega$ .....	146
FIGURE 3-62: PRÉDICTION DPI SUR 1 nF.....	146
FIGURE 3-63: PRÉDICTION BCI SUR 1 nF.....	146
FIGURE 3-64: PRÉDICTION DPI SUR 1 $\mu$ H.....	146
FIGURE 3-65: PRÉDICTION BCI SUR 1 $\mu$ H.....	146
FIGURE 3-66: PRÉDICTION DPI À PARTIR DE BCI SUR 50 $\Omega$ .....	147
FIGURE 3-67: PRÉDICTION BCI À PARTIR DE DPI SUR 50 $\Omega$ .....	147
FIGURE 3-68: PRÉDICTION DPI À PARTIR DE BCI SUR 1 nF.....	147
FIGURE 3-69: PRÉDICTION BCI À PARTIR DE DPI SUR 1 nF.....	147
FIGURE 3-70: PRÉDICTION DPI À PARTIR DE BCI SUR 1 $\mu$ H.....	147
FIGURE 3-71: PRÉDICTION BCI À PARTIR DE DPI SUR 1 $\mu$ H.....	147
FIGURE 4-1: FLOT DE CONCEPTION D'UN CIRCUIT NUMÉRIQUE.....	153
FIGURE 4-2: FLOT DE MODÉLISATION.....	156
FIGURE 4-3 : ENTRÉE D'ALIMENTATION VDD (VUE LAYOUT).....	158
FIGURE 4-4 : ENTRÉE D'ALIMENTATION VDD (VUE SCHÉMATIQUE) .....	158
FIGURE 4-5 : SIMULATION DE L'IMPÉDANCE D'UNE PAIRE D'ALIMENTATION.....	159
FIGURE 4-6 : MODÈLE D'E/S D'ALIMENTATION.....	159
FIGURE 4-7 : E/S DES SIGNAUX (VUE SCHÉMATIQUE) .....	159
FIGURE 4-8 : E/S DES SIGNAUX (VUE LAYOUT).....	159
FIGURE 4-9 : MODÈLE DES E/S DU BLOC NUMÉRIQUE.....	160

FIGURE 4-10 : CELLULE « CRITPATH » DU CŒUR NUMÉRIQUE .....	161
FIGURE 4-11 : CELLULE « CPB11 » DU CŒUR NUMÉRIQUE.....	161
FIGURE 4-12 : ARBRE D’HORLOGE « CKTREE » .....	162
FIGURE 4-13 : CELLULE « CKT16 » INTÉGRÉE DANS « CKTREE » .....	163
FIGURE 4-14 : CELLULE « CKT4 » INTEGEE DANS « CKTREE » .....	163
FIGURE 4-15 : GENERATEUR DE BRUIT « NOISEGEN25 » .....	164
FIGURE 4-16 : CELLULE « BUFI16 » INTÉGRÉE DANS « NOISEGEN25 » .....	164
FIGURE 4-17 : CELLULE « BUFI4 » INTEGEE DANS « BUFI16 » .....	165
FIGURE 4-18 : LAYOUT DU CŒUR NUMÉRIQUE.....	166
FIGURE 4-19 : ANALYSE AC DE LA CELLULE « DECAPBLK » .....	166
FIGURE 4-20 : VUE EN COUPE DU SUBSTRAT DU CIRCUIT MIXITY .....	168
FIGURE 4-21 : CONNEXIONS AU SUBSTRAT DES PLOTS VSS .....	168
FIGURE 4-22 : MODÈLE ÉLECTRIQUE PLOT/SUBSTRAT .....	168
FIGURE 4-23 : MODÈLE DE COUPLAGE SUBSTRAT.....	169
TABLEAU 4-7 : COMPOSANTES DU MODÈLE DE COUPLAGE SUBSTRAT .....	169
FIGURE 4-24 : SCHÉMA DES INTERCONNEXIONS VDD/VSS .....	169
FIGURE 4-25 : MODÈLES ÉLECTRIQUES DES INTERCONNEXIONS.....	170
FIGURE 4-26 : BOITIER TQFP 128 BROCHES .....	171
FIGURE 4-27 : MODELE ELECTRIQUE DES BROCHES.....	171
FIGURE 4-28 : MODÈLE ÉLECTRIQUE DES BROCHES .....	171
FIGURE 4-29: GÉNÉRATEUR DE THÉVENIN ÉQUIVALENT À LA SOURCE DE PERTURBATION.....	172
FIGURE 4-30: CABLES RF .....	172
FIGURE 4-31: PORTS RF POSITIONNÉS SUR LE PCB.....	173
FIGURE 4-32: IMPÉDANCE D’ENTRÉE DU CÂBLE RF.....	173
FIGURE 4-33: MODÈLE DISCRET DU CÂBLE RF CONNECTÉ AU PCB .....	173
FIGURE 4-34: SYSTÈME D’INJECTION DPI.....	174
FIGURE 4-35: MODÈLE DU SYSTÈME D’INJECTION DPI .....	174
FIGURE 4-36: COEFFICIENT DE RÉFLEXION DU MODÈLE DPI.....	174
FIGURE 4-37: COEFFICIENT DE TRANSMISSION DU MODÈLE DPI.....	174
FIGURE 4-38: CARACTÉRISATION DU SYSTÈME D’INJECTION BCI.....	175
FIGURE 4-39: MODÈLE DU SYSTÈME D’INJECTION BCI.....	175
FIGURE 4-40: COEFFICIENT DE RÉFLEXION $S_{11}$ DU MODÈLE BCI.....	175
FIGURE 4-41: COEFFICIENT DE TRANSMISSION $S_{21}$ DU MODÈLE BCI.....	175
FIGURE 4-42: SCHÉMA ÉQUIVALENT D’UNE INJECTION BCI SUR $50 \Omega$ .....	176
FIGURE 4-43: SIMULATION D’INJECTION BCI D’UN SIGNAL SINUSOÏDALE SUR ALIMENTATION CONTINUE .....	176
FIGURE 4-44 : MODÈLE ÉLECTRIQUE DU CIRCUIT IMPRIMÉ.....	177

FIGURE 4-45 : MODÈLE D'INJECTION DPI SUR LE BUS D'E/S DU CIRCUIT MIXITY .....	178
FIGURE 4-46 : MODÈLE D'INJECTION BCI SUR LE BUS D'E/S DU CIRCUIT MIXITY .....	179
FIGURE 4-47 : SIMULATION DPI SUR UN BUS D'E/S.....	179
FIGURE 4-48 : SIMULATION BCI SUR UN BUS D'E/S .....	180
FIGURE 4-49 : MODÈLE DE L'ENVIRONNEMENT DE TESTS DU BLOC NUMÉRIQUE .....	181
FIGURE 4-50 : MODÈLE PASSIF DU BLOC NUMÉRIQUE .....	182
FIGURE 4-51 : IMPÉDANCE DE L'ALIMENTATION VDD DU BLOC NUMÉRIQUE.....	182
FIGURE 4-52 : INJECTIONS DPI SUR BLOC NUMÉRIQUE (INTERNE) .....	183
FIGURE 4-53 : INJECTIONS DPI SUR BLOC NUMÉRIQUE (EXTERNE).....	183
FIGURE 4-54 : PREDICTIONS DPI SUR UN BUS D'E/S .....	186
FIGURE 4-55 : PREDICTIONS DPI SUR UN BLOC NUMERIQUE .....	186
FIGURE 4-56 : PRÉDICTIONS BCI SUR LE BUS D'E/S.....	187



## Table des Tableaux

TABLEAU 1-1: EVOLUTION TECHNOLOGIQUE .....	28
TABLEAU 1-2: CLASSIFICATION DES NIVEAUX DE DEFAILLANCES DES CI INDUITS PAR UNE PERTURBATION ELECTROMAGNETIQUE .....	37
TABLEAU 1-3: BANDES PASSANTES ET MARGES DE BRUIT DES LOGIQUES CMOS ET TTL [GOUEDARD05] .....	44
TABLEAU 1-4: EXEMPLES DE SENSIBILITE DE FONCTIONS ANALOGIQUES [BENDHIA06] .....	44
TABLEAU 1-5: CARACTERISTIQUES DES ELEMENTS PARASITES DE DIFFERENTS BOITIERIS [SICARD06] .....	51
TABLEAU 2-1 : RAPPORT D'ATTENUATION DES CAPTEURS DE TENSIONS IMPLEMENTES DANS MIXITY .....	63
TABLEAU 2-2 : GAINS ET OFFSETS DES CAPTEURS DE TENSION INTEGRES DANS MIXITY .....	66
TABLEAU 2-3 : CARACTERISTIQUES DES STRESS ELECTRIQUES APPLIQUES SUR LES CAPTEURS.....	69
TABLEAU 2-4: DEGRE DE SEVERITE DES TESTS BCI .....	74
TABLEAU 2-5: PARAMETRES DU BANC DE TEST BCI INFLUENT SUR LA TRANSMISSION DE COURANT.....	81
TABLEAU 2-6: COMPARAISON DES METHODES DE MESURE D'IMMUNITE NORMALISE PAR L'IEC.....	83
TABLEAU 2-7 : CARACTERISTIQUES DES DENSITES DE PROBABILITE CALCULEES LORS DES INJECTIONS DPI SUR LE BUS D'E/S .....	96
TABLEAU 3-1: CARACTERISTIQUES DES LIGNES MODELISEES AVEC L'OUTIL D'EXTRACTION .....	108
TABLEAU 3-2: VALEUR DES COMPOSANTES DE CHAQUE MODELE DE LIGNE POUR UNE CELLULE .....	108
TABLEAU 3-3: ERREUR DE PRECISION DES MODELES DISCRETS AVEC ET SANS PERTES DIELECTRIQUE .....	110
TABLEAU 3-4: CARACTERISTIQUES DES LIGNES MODELISEES POUR L'ETUDE PARAMETRIQUE .....	110
TABLEAU 3-5: ERREUR DE PRECISION D'UN MODELE DISCRET SANS PERTES EN FONCTION DE L'IMPEDANCE CARACTERISTIQUE $Z_c$ ET DU RAPPORT W/H D'UNE LIGNE .....	112
TABLEAU 3-6 : EVALUATION ET COMPARAISON DES LOGICIELS PERMETTANT DE CONVERTIR UN FICHER « TOUCHSTONE » EN UNE NETLIST SPICE .....	120
TABLEAU 3-7: ECARTS DE PUISSANCE ENTRE MESURES ET SIMULATIONS DPI SUR CHARGES PASSIVES.....	126
TABLEAU 3-8: ECARTS DE PUISSANCE ENTRE MESURES ET SIMULATIONS DPI SUR CHARGES PASSIVES.....	138
TABLEAU 4-1: ELEMENTS INFLUANT DES ENVIRONNEMENTS DE TESTS DPI ET BCI .....	157
TABLEAU 4-2 : VALEURS DES CAPACITES EQUIVALENTES AUX BLOCS D'E/S DES SIGNAUX ENTRE VDD ET VSS .....	160
TABLEAU 4-3 : ANALYSES AC DE LA CELLULE « CRITPATH ».....	162
TABLEAU 4-4 : ANALYSES AC DE LA CELLULE « CKTREE » .....	163
TABLEAU 4-5 : ANALYSES AC DE LA CELLULE « NOISEGEN25 » .....	165
TABLEAU 4-6 : IMPEDANCE EQUIVALENTE A « DIGCORE1 » ENTRE VDD ET VSS .....	166
TABLEAU 4-7 : COMPOSANTES DU MODELE DE COUPLAGE SUBSTRAT .....	169
TABLEAU 4-8 : COMPOSANTES RESISTIVES ET INDUCTIVES DES INTERCONNEXIONS .....	170
TABLEAU 4-9 : VALEURS DES ELEMENTS RLC DU BOITIER .....	171
TABLEAU 4-10 : COMPOSANTES DISCRETES DE LA LIGNE $CORE_{VDD}$ .....	177
TABLEAU 4-11 : MODELES ELECTRIQUE DES COMPOSANTS DE DECOUPLAGE.....	177

TABLEAU 4-12 : ECARTS DE PUISSANCE CALCULES ENTRE MESURES ET SIMULATIONS D'INJECTIONS DPI SUR LE BLOC NUMERIQUE.....	184
TABLEAU 4-13 : FICHIER TOUCHSTONE REQUIS POUR PREDIRE LES INJECTIONS DPI ET BCI SUR MIXITY .....	185





# Introduction Générale

## 1. Contexte de l'étude

Au cours des dernières décennies, l'industrie de l'électronique a connu une importante évolution, notamment dans le domaine des systèmes embarqués qui se sont fortement développés pour des applications civiles, militaires et spatiales. Les concepteurs ont ainsi été contraints de développer des circuits à forte densité d'intégration faisant cohabiter de multiples fonctionnalités, tout ceci en minimisant les coûts de production. Simultanément, l'effort d'intégration a permis d'améliorer les performances électriques des circuits comme leurs vitesses de fonctionnement et leurs consommations énergétiques. Cette évolution technologique a cependant eu des répercussions néfastes sur la fiabilité des systèmes intégrés dans les équipements. Bien que les tensions d'alimentation des transistors aient été réduites avec ces avancées, leurs marges de bruit ont été diminuées, ce qui a énormément augmenté leur sensibilité aux perturbations électromagnétiques. Parallèlement, l'augmentation du nombre de transistors fonctionnant sur des bandes de fréquences toujours plus larges a amplifié les risques d'interférences entre circuits. En outre, le développement de nouveaux protocoles de communication et systèmes de télécommunications sans fils (radio, téléphonie mobile, systèmes de géolocalisation, etc.) ont multiplié le nombre de sources d'interférences électromagnétiques susceptibles de perturber le fonctionnement des équipements électroniques. Au vu de la sévérité des conditions environnementales, il est donc devenu fondamental pour tout concepteur de maîtriser la compatibilité électromagnétique (CEM) de leur produit en développant des méthodes innovantes pour mesurer, analyser, comprendre et prévoir les performances électromagnétiques de leurs circuits.

Les problèmes de CEM restent à ce jour l'une des principales causes de « *re-design* » des circuits intégrés car la propagation et les mécanismes de couplage du bruit à l'intérieur des circuits ne sont toujours pas suffisamment maîtrisés lors des phases de conception. La plupart du temps, la mesure est le seul moyen de s'assurer que leur sensibilité aux interférences électromagnétiques (IEM) soit conforme aux normes CEM. De plus, les méthodes de mesure normalisées ne sont pas adaptées pour quantifier précisément les niveaux de bruits véhiculés sur la puce et définir réellement la sensibilité des fonctions qui y sont intégrées. Faute de moyens de mesure interne, de moyens de prédiction fiables, le *design* des circuits est donc fréquemment modifié après les phases de qualifications CEM car leur fonctionnement dans des conditions environnementales sévères n'est pas garanti. Pour éviter des surcoûts de production pouvant s'élever jusqu'à 10 % du prix de revient du produit, les concepteurs essaient ainsi depuis peu d'étudier la propagation des IEM à l'intérieur de leur composant. La mise en place de méthodes de modélisation qui permettraient de prédire la susceptibilité d'un bloc interne d'un circuit soumis à un test de qualification CEM normalisé reste aujourd'hui un des verrous technologiques sur lequel se penchent de nombreuses équipes de recherche. De nombreuses méthodes de modélisation ont effectivement été proposées ces dernières années pour anticiper les risques de défaillance des circuits soumis aux IEM. La modélisation à l'échelle transistor et la macro-modélisation sont par exemple des

approches efficaces pour analyser le comportement d'un circuit vis-à-vis d'une perturbation. Mais ces méthodes requièrent une réelle expertise car il n'existe aucune procédure de modélisation et/ou de simulation intégrée dans les outils de CAO (Conception Assistée par Ordinateur) permettant d'appréhender les effets induits par les perturbations électromagnétiques à travers les circuits. En outre, les méthodes de mesure existantes permettent difficilement de valider les modèles développés. Bien que le réseau d'impédance de l'architecture interne d'un circuit puisse par exemple être caractérisé à l'aide de sondes RF, cette technique de mesure est trop coûteuse pour valider un simple modèle [BENDHIA98].

Par conséquent, pour éviter des phases de « *re-design* » onéreuses, il est aujourd'hui capital pour tout concepteur de circuits de développer des procédures de modélisation afin de prédire le comportement de leurs composants face aux IEM. La validation de leur méthodologie de prédiction passe par une meilleure connaissance des mécanismes de couplages et de propagation des ondes au cœur du circuit intégré. Des outils de mesures sur puce permettant d'évaluer avec la plus grande précision la propagation du bruit à travers les circuits peuvent apporter une solution à cette problématique.

## 2. Objectifs

Un des objectifs de l'équipe CEM de la société *Freescale Semiconductor Toulouse* est de développer de nouveaux moyens d'investigations qui permettront à ses *designers* de fiabiliser leurs circuits dans le domaine de la compatibilité électromagnétique. Pour répondre cette problématique, *Freescale* a notamment entamé une étroite collaboration avec le laboratoire LATTIS dont les principales thématiques de recherche visent à proposer de nouvelles méthodes permettant d'améliorer les performances CEM des circuits intégrés (méthodes de mesures innovantes [AKUE09], règles de *design* [VRIGNON-1-05], modélisation d'immunité [NDOYE10], etc.). Dans le cadre de cette coopération, plusieurs axes de recherche ont été définis dont un qui porte sur le développement de système de mesure de bruit sur puce à des fins de modélisation d'immunité des circuits mixtes. Ainsi, cette thèse CIFRE a eu pour but de développer de nouveaux outils de mesure et de modélisation afin d'analyser la propagation d'interférences électromagnétiques à l'intérieur des circuits intégrés.

Un véhicule de test a été développé en technologie CMOS dans lequel plusieurs capteurs de tension asynchrones sont implémentés. Dans un premier temps, nous nous intéresserons à quantifier les niveaux de bruits véhiculés dans notre circuit par injections normalisées de type conduites. Après avoir déterminé par mesures externes et internes la sensibilité des fonctions intégrées dans le circuit, nous développerons plusieurs méthodes et outils de modélisation visant à faciliter la prédiction des couplages de perturbations électromagnétiques en mode conduit sur les circuits intégrés. Nous proposerons ensuite un flot de modélisation qui sera évalué sur différents blocs de notre circuit. Les mesures sur puce réalisées avec les capteurs de tension asynchrones seront finalement utilisées pour analyser la précision des modèles développés et valider le flot proposé.

### 3. Composition du manuscrit

Ce manuscrit est composé de 4 chapitres.

Dans le premier chapitre, nous définirons la notion de compatibilité électromagnétique et rappellerons l'évolution technologique des semiconducteurs. Nous présenterons les principales sources d'interférences, les modes de couplages et les potentielles victimes. Les effets induits par les perturbations électromagnétiques sur les circuits développés en technologie CMOS seront ensuite présentés selon leur nature (numérique ou analogique). Nous effectuerons enfin un état de l'art sur les méthodes de modélisation d'environnements de test et de circuits proposées jusqu'à aujourd'hui.

Dans le second chapitre, nous nous intéresserons à la propagation du bruit à travers les circuits. Pour cela, nous présenterons dans un premier temps le véhicule de test MIXITY, développé en technologie SMOS8MV<sup>®</sup> 0,25  $\mu\text{m}$  à *Freescale*. Ensuite, nous décrirons l'architecture et le principe d'acquisition des capteurs de tensions asynchrones qui ont été intégrés dans ce circuit. Après avoir calibré ces capteurs et évalué leurs performances, nous caractériserons les systèmes d'injection *DPI* et *BCI* que nous utiliserons pour mesurer la sensibilité de notre circuit de test. Cette étude montrera notamment l'influence des éléments constituant ces systèmes d'injection sur leur capacité à transmettre des signaux perturbateurs. Enfin, nous caractériserons la propagation du bruit injecté sur différents blocs de MIXITY par mesure interne et montrerons toute l'utilité d'intégrer des capteurs de tensions sur une puce.

Le troisième chapitre sera consacré aux développements d'outils de modélisation. Nous présenterons premièrement l'outil d'extraction que nous avons développé pour modéliser les pistes et les cavités formées par les plans conducteurs d'un circuit imprimé. Ensuite, nous évaluerons trois approches de modélisation différentes (modèles polynomiale, *N-port* et discret) pour modéliser les systèmes d'injection *DPI* et *BCI* utilisés lors des mesures d'immunité de notre véhicule de test. Cette étude montrera notamment les avantages et inconvénients de chaque méthode et nous permettra de définir l'approche la plus adéquate dans un contexte industriel. Enfin, nous proposerons une approche innovante permettant de prédire et de corréler les niveaux de bruits injectés sur un circuit par couplages inductif et capacitif. Un outil de prédiction basé sur cette approche sera par ailleurs développé et évalué sur charges passives.

Dans le quatrième chapitre, nous proposerons un flot de modélisation visant à faciliter l'analyse de la susceptibilité des circuits intégrés par simulations. Ce flot décrira toutes les étapes à suivre pour modéliser convenablement un circuit et son environnement de test. En vue d'évaluer la procédure proposée, nous l'utiliserons pour prédire les niveaux de bruits injectés par couplages capacitif et inductif sur un bus d'E/S et un bloc numérique de notre véhicule de test. À l'aide des mesures internes réalisées avec les capteurs de tension, nous évaluerons la précision des modèles développés et déterminerons l'efficacité de notre flot de modélisation. Ces investigations nous permettront par ailleurs de définir les besoins de notre environnement logiciel pour simuler des tests de susceptibilité. Enfin, nous évaluerons les outils de prédictions qui auront été présentés dans le troisième chapitre sur ces mêmes blocs. Il sera alors intéressant de comparer les prédictions déduites de

notre approche aux résultats de simulations obtenus avec nos modèles. Ces comparaisons montreront essentiellement l'intérêt d'utiliser notre méthode pour prédire les mesures de susceptibilité électromagnétique de type conduite réalisées sur un circuit intégré.





## CHAPITRE 1

# Susceptibilité des circuits intégrés face aux perturbations électromagnétiques

Dans ce chapitre, nous définirons premièrement la notion de compatibilité électromagnétique. Pour mieux comprendre l'origine des problèmes CEM, nous effectuerons ensuite un bref historique de l'évolution technologique et détaillerons les premières études visant à analyser la susceptibilité des circuits intégrés face aux agressions électromagnétiques. Après avoir détaillé les principales sources d'interférences et leurs modes de couplage, nous présenterons l'impact que peuvent avoir de telles agressions sur les circuits développés en technologie CMOS. Enfin, nous effectuerons un état de l'art sur la modélisation des circuits et de leur environnement de test, et discuterons de l'intérêt de prédire leur susceptibilité aux IEM dès leur phase de conception.

## 1. La compatibilité électromagnétique

### 1.1. Définition

Selon la directive européenne 2004/108/CE, la compatibilité électromagnétique (CEM) est l'aptitude d'un dispositif, d'un appareil ou d'un système à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour d'autres équipements qui se trouvent dans cet environnement. En d'autres termes, les performances CEM d'un circuit ou d'un système sont son émission et sa susceptibilité (ou immunité) face aux perturbations électromagnétiques. Par définition, la susceptibilité d'un circuit décrit son aptitude à être perturbé par un signal issu d'une activité électrique parasite.

### 1.2. Historique

Depuis un demi-siècle, la microélectronique connaît une évolution considérable pour répondre à la fois aux besoins des consommateurs et des industriels. Au cours des quarante dernières années, notre société a effectivement connu un réel bouleversement avec l'émergence de nouvelles technologies. Pour satisfaire à la fois un besoin de confort et d'innovation, l'utilisation des circuits intégrés s'est multipliée à travers nos diverses applications quotidiennes. La fabrication de circuits de hautes performances pour la grande distribution étant onéreuse, les fondeurs ont eu recours à la miniaturisation des circuits intégrés afin de réduire leur coût de production unitaire. C'est ainsi qu'en 1965 G. Moore a proposé une théorie pour prévoir l'évolution de leurs performances à long terme [MOORE65]. Cette loi prédit que le nombre de transistors d'un microprocesseur sur

une puce de silicium double tous les deux ans. Bien que cette loi ne soit qu'empirique, cette prédiction se révèle exacte car entre 1971 et 2001, la densité des transistors sur une surface de silicium a doublé tous les deux ans.

Cette évolution a été possible grâce aux perfectionnements des procédés et des moyens de fabrication permettant des gravures de plus en plus fines. La réalisation de telles gravures implique néanmoins l'utilisation d'outils photolithographiques précis et très coûteux. Selon A. Rock [ROCK03], depuis le passage de l'épaisseur du trait de gravure à 90 nm, le coût de fabrication d'une puce double tous les quatre ans car l'évolution technologique contraint la photolithographie à se rapprocher de ses limites physiques.

Malgré l'augmentation des coûts de production, l'évolution technologique aura grandement contribué à l'amélioration des performances des circuits intégrés. Effectivement, comme le montre le tableau 1-1, la multiplication du nombre de transistors s'accompagne par des gains de performances. Depuis 1970, la vitesse de fonctionnement et la consommation énergétique des circuits intégrés n'ont cessé d'être améliorées. Ceci s'explique notamment par la réduction des dimensions géométriques des transistors « MOS » (*Metal Oxide Semiconductor*) et principalement celles de leur canal dont la longueur était encore supérieure au micron au début des années 80 alors qu'aujourd'hui elle est de l'ordre du nanomètre.

Date	Nom des microprocesseurs	Nombre de transistors	Finesse de gravure (µm)	Fréquence d'horloge	Tensions d'alimentations		Longueur du canal
					E/S	Cœur	
1971	4004	2 300	10	108 kHz	5 V	5 V	10 µm
1985	80386	275 000	1,5	12 MHz	5 V	5 V	1,5 µm
1993	Pentium	3 100 000	0,8 à 0,28	60 à 233 MHz	5 V	5 V	0,8 µm
2004	Pentium 4D « Prescott »	125 000 000	0,09 à 0,065	2,66 à 3,6 GHz	3,3 V	1,8 V	0,12 µm
2006	Core 2™ Duo	291 000 000	0,065	2,4 GHz	2,5 V	1 V	90 nm
2010	Intel Core i7 980X (6 cores)	1 170 000 000	0,032	3,33 GHz	1,2 V	0,8 V	32 nm

**Tableau 1-1: Evolution technologique**

Les premiers travaux visant à étudier le comportement électromagnétique des circuits intégrés et notamment leur susceptibilité sont ainsi apparus dès les années 65. Le développement des armes nucléaires et l'utilisation d'émetteur radio de fortes puissances sont principalement à l'origine de ces études dont l'objectif était de durcir la robustesse des circuits vis-à-vis de ces agresseurs. En effet, le premier simulateur aidant à la modélisation de la susceptibilité des CI fut développé, en 1965, pour étudier les couplages des radiations d'origine nucléaire sur les circuits électriques et systèmes de défense [SPECTRE]. En 1979, un dossier spécial sur la susceptibilité des CI fut publié dans la revue « *IEEE transaction on Electromagnetic Compatibility* », par J.J. Whalen [WHALEN79]. Cette revue est à ce jour reconnue comme l'une des principales références traitant des effets des interférences électromagnétiques sur les CI. Depuis cette période, la susceptibilité des circuits

numériques et analogiques n'a cessé d'être l'objet de nombreuses publications avec l'avancée technologique [BAKOGLU90] [GRAFFI91] [HAUWERMEIREN92]. Ce n'est qu'à partir des années 90 que les premiers résultats d'études sur les technologies CMOS et TTL sont apparues [KENNEALLY90]. Ces études ont ainsi révélé la faible robustesse des circuits CMOS face aux perturbations électromagnétiques.

## 2. Susceptibilité électromagnétique des circuits intégrés

Pour analyser la susceptibilité d'un composant ou d'un système face aux IEM, il est nécessaire d'identifier la source de perturbation, la victime susceptible au signal parasite et le chemin de couplage entre l'agresseur et la victime. La figure 1-1 illustre le schéma de principe généralement utilisé pour ce type d'étude.

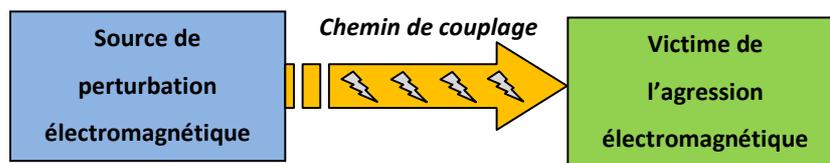


Figure 1-1: Notions de la compatibilité électromagnétique

Les origines et les conséquences d'une agression électromagnétique sont diverses et variées. Les défaillances d'un circuit intégré dépendent à la fois de sa catégorie (analogique, numérique, logique programmable, etc.), du type de perturbation et des modes de couplage et de propagation du signal parasite.

### 2.1. Sources de perturbations électromagnétiques

De nombreuses sources de perturbation sont aujourd'hui identifiées comme étant à l'origine de défaillance de circuits intégrés (figure 1-2). Ces sources sont classées suivant deux familles distinctes : les perturbations artificielles (émetteurs de communications, émetteurs radar et de télémesure, émetteurs de radio navigation, téléphones portables, oscillateurs locaux, récepteurs périphériques, ordinateurs, relais, contacteurs, lignes d'énergies, tubes fluorescents, moteurs, appareils HF et médicaux, etc.) et les perturbations naturelles (foudre, décharges électrostatiques, rayonnements cosmiques, etc.).

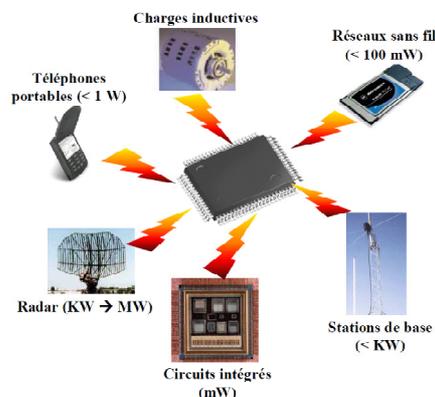


Figure 1-2: Sources de perturbation de CI

Le niveau de puissance et la fréquence sont les principaux critères caractérisant une perturbation électromagnétique (figure 1-3).

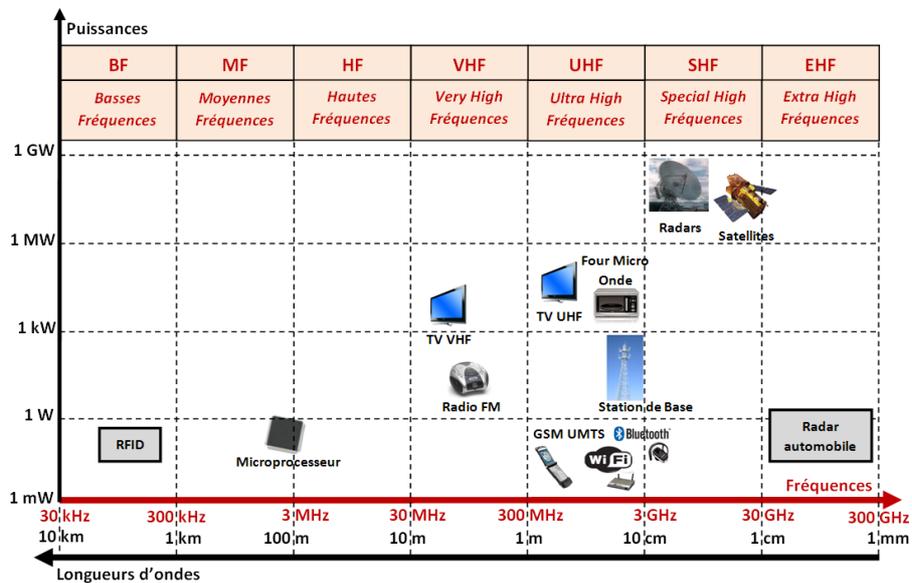


Figure 1-3: Occupation spectrale des principales sources de perturbations électromagnétiques

Deux types d'agressions sont ainsi identifiés : les perturbations permanentes et les perturbations transitoires.

### 2.1.1. Perturbations permanentes [SHNEIDER]

Une perturbation permanente est généralement définie par un signal à fréquence fixe. Comme l'illustrent les figures 1-4 et 1-5, tout signal permanent résulte d'une fonction périodique de fréquence « f » pouvant être représentée sous la forme d'une somme composée d'un fondamental (terme sinusoïdal de fréquence « f »), d'harmoniques (termes sinusoïdaux dont les fréquences sont issues du fondamental) et d'une éventuelle composante continue [FOURIER]. Les signaux appartenant à cette catégorie de perturbations électromagnétiques peuvent être modulés ou non. Les principaux générateurs de ces agressions sont entre autres les communications hertziennes, les radars, les circuits intégrés et les onduleurs.

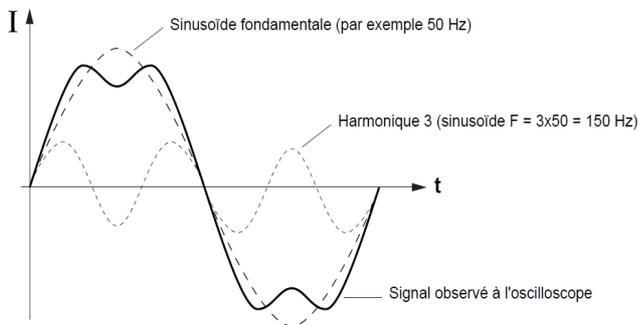


Figure 1-4: Représentation temporelle d'un signal

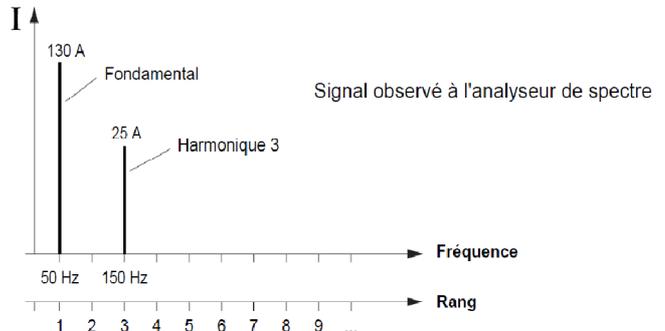


Figure 1-5: représentation fréquentielle d'un signal

### 2.1.1.1. Communications hertziennes

Comme le montre la figure 1-3, les communications hertziennes occupent une large bande spectrale. De nombreuses applications sans fil dédiées à la télécommunication sont utilisées entre 30 kHz et 3 GHz. Parmi les communications longues distances (SHF et EHF), on distingue les radars automobiles et les satellites. Les bandes UHF et VHF sont par ailleurs les plus utilisées. Plusieurs sources destinées à des communications de plus courtes distances y sont recensées. On y trouve, entre autres, les émetteurs radio, les réseaux locaux tels que le Wifi et le Bluetooth, les appareils domestiques comme la télévision, mais également la téléphonie mobile (GSM≈900 MHz, DCS≈1,8 GHz et UMTS € [1,9 GHz ; 2 GHz]) et ses stations de base.

### 2.1.1.2. Radars et sources « champs forts »

A l'inverse des radars dédiés à l'automobile, les sources « champ fort » et les radars (figure 1-6) sont les sources de perturbations les plus puissantes avec certaines armes électromagnétiques émergentes telles que les MFP (Micro-onde de forte puissance). Ils fonctionnent à des fréquences supérieures au Giga Hertz et émettent des puissances pouvant atteindre des dizaines de giga watts. Les applications aéronautiques et militaires sont les plus vulnérables aux énergies émises par ces sources de perturbations.

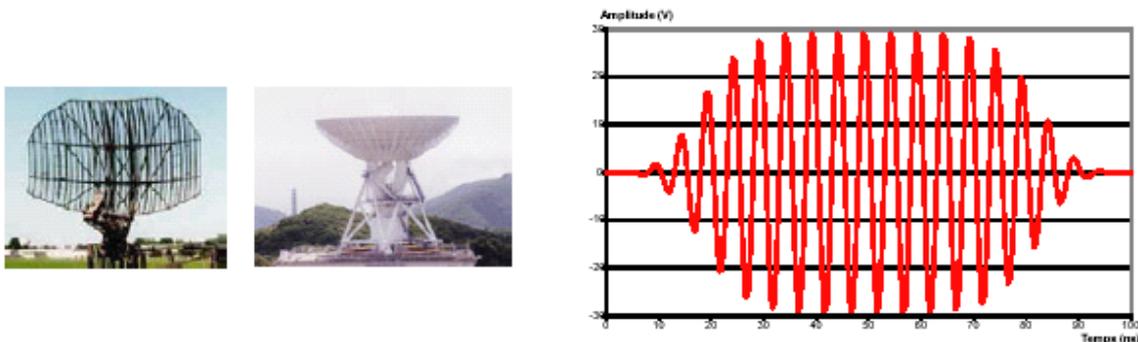


Figure 1-6: Exemple d'une impulsion radar

### 2.1.1.3. Circuits intégrés

Enfin, l'activité interne d'un circuit intégré est souvent à l'origine des défaillances observées dans les systèmes électroniques. La commutation des transistors se traduit par une variation brusque du courant et de la tension aux bornes du circuit. Il en résulte généralement de forts gradients de tension «  $dV/dt$  » et de courant «  $dI/dt$  » qui sont susceptibles de perturber les circuits et systèmes voisins, en mode conduit ou rayonné.

La commutation des portes logiques d'un circuit numérique induit un rayonnement électromagnétique à travers les rails d'alimentation du circuit résultant de la consommation en courant lors des transitions d'états. Par ailleurs, la commutation d'une entrée/sortie (figure 1-7) crée une perturbation de mode conduit qui se traduit par une fluctuation de tension de l'alimentation du circuit.

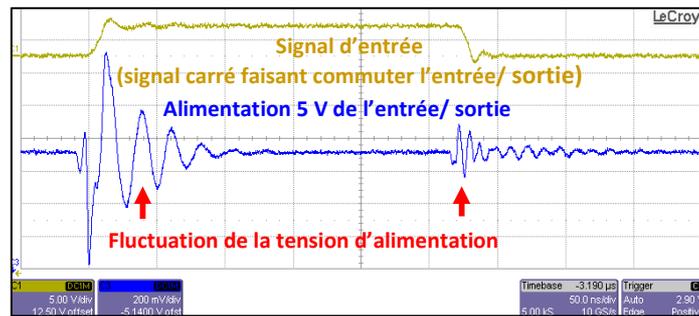


Figure 1-7: Perturbation induite par la commutation d'une entrée/ sortie

Bien que les niveaux de perturbation puissent être faibles en fonction du composant, les perturbations issues de ces sources recouvrent une large bande spectrale. En fonction de leur durée et de leur périodicité, les signaux parasites générés par les circuits intégrés peuvent alors appartenir à deux catégories différentes de perturbations : harmoniques et transitoires.

### 2.1.2. Perturbations transitoires [SHNEIDER]

Une perturbation transitoire se traduit par une surtension impulsionnelle couplée par mode conduit dans les circuits électriques. Les signaux transitoires sont caractérisés par leur amplitude, leur temps de montée, la durée et la périodicité de leur impulsion. En fonction de l'allure du signal transitoire et principalement de son temps de montée, le spectre peut être de large bande allant de 0 à 100 MHz, voire plus. Les figure 1-8 et 1-9 montrent respectivement la répartition temporelle et spectrale d'un signal transitoire normalisé [IEC 61000-4-4] dont les principales caractéristiques sont : un temps de montée égal à 5 ms, une durée d'impulsion égale à 50 ms et une amplitude de la surtension inférieure ou égale à 4 kV.

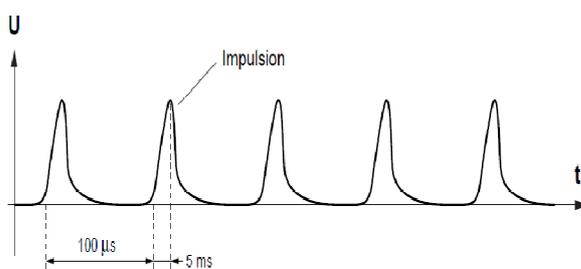


Figure 1-8: Illustration temporelle d'un signal transitoire normalisé (IEC 61000-4-4)

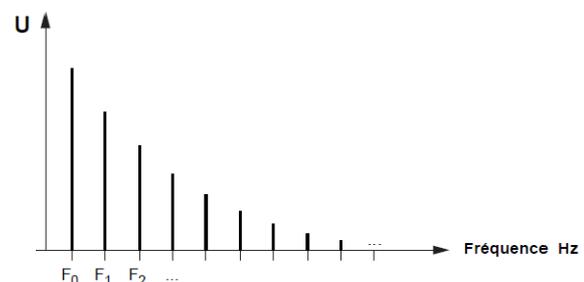


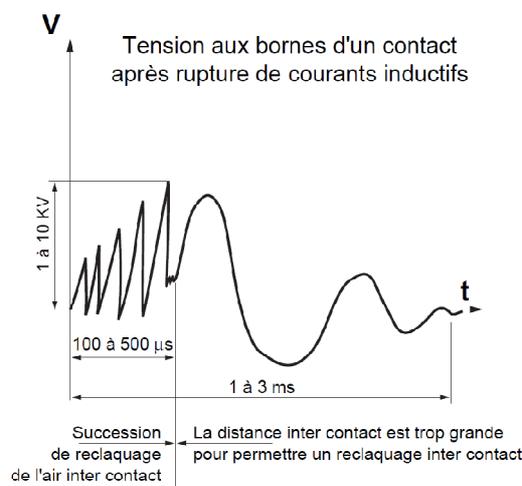
Figure 1-9: Illustration spectrale d'un signal transitoire normalisé (IEC 61000-4-4)

Les sources de perturbations transitoires peuvent être d'origines humaines (intentionnelles ou non) ou naturelles. Les principales agressions identifiées comme transitoires sont les décharges électrostatiques (DES ou ESD en anglais), la foudre, les impulsions électromagnétiques nucléaires (IEMN) et la commutation de dispositifs électriques et électroniques (transistors, charges inductives).

### 2.1.2.1. Charges inductives [SHNEIDER]

Comme nous l'avons présenté précédemment, la commutation d'un interrupteur (transistor, portes logiques, etc.) peut générer une perturbation. Le caractère de la perturbation (harmonique ou transitoire) dépend de la nature de la charge commandée par l'interrupteur.

En régime établi, l'alimentation d'un circuit inductif transfère l'énergie magnétique dans la bobine. L'ouverture du circuit crée une importante surtension aux bornes du contacteur pouvant atteindre plusieurs dizaines de kilovolts, générant ainsi une série de claquages diélectriques. La perturbation transitoire induite se traduit ensuite par une oscillation amortie de la tension d'alimentation à la fréquence propre du circuit (figure 1-10).



**Figure 1-10: Perturbation transitoire induite par la commutation d'une charge inductive**

Les surtensions conduites sur le réseau d'alimentation augmentent avec la vitesse d'ouverture de la commande et dépendent de l'énergie stockée dans le circuit. Ces perturbations s'accompagnent également par un rayonnement électromagnétique relatif au gradient de tension  $dV/dt$ . Le spectre de fréquence des perturbations émises est compris entre quelques kilohertz et plusieurs mégahertz. Ces phénomènes sont par exemple observés dans les circuits de puissance où plusieurs interrupteurs, contacteurs et autres disjoncteurs sont utilisés pour commander l'alimentation des dispositifs électriques.

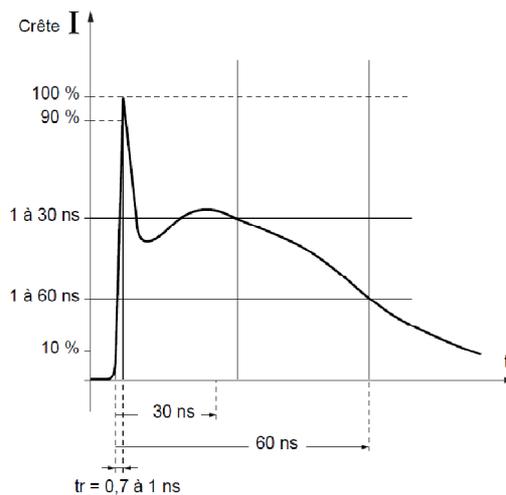
### 2.1.2.2. Foudre et Impulsion Electromagnétique Nucléaire (IEMN)

La foudre est une source de perturbation transitoire d'origine naturelle [DEGAUQUE90]. Elle se produit lors d'une décharge électrostatique entre les nuages et la terre. Le canal ainsi produit entre le sol et les nuages est assimilable à un conducteur éphémère parcouru par un courant qui peut atteindre plusieurs dizaines de kilo ampères en quelques microsecondes. Lors du processus de décharge, le rayonnement le plus énergétique est généré par l'arc électrique de retour. Cet arc produit des impulsions électromagnétiques de plus d'un volt par mètre dans un rayon de plus de 200 km, avec des niveaux de tension moyen s'élevant à 10 kV/ m à moins de 100 mètres.

Une impulsion électromagnétique nucléaire a pour origine l'interaction entre les rayonnements émis par l'explosion d'une bombe atomique et le champ magnétique terrestre. Une telle explosion provoque un déplacement de charges créant un courant électrique. L'amplitude de ce courant est telle que ce type de perturbation perturbe brièvement mais intensément tout système électrique et électronique. Le champ électromagnétique rayonné par ce phénomène est maximal lorsque l'explosion a lieu en haute altitude (*IEMN HA*). Dans un tel cas, l'impulsion émise s'élève à 50 kV/ m pendant 600 ns, dans un rayon de 800 à 2000 km. En revanche, l'effet est plus limité lors d'explosions situées dans la basse atmosphère ou au niveau du sol.

### 2.1.2.3. Décharges électrostatiques (ESD) [SHNEIDER]

Une décharge électrostatique est une impulsion de courant induite par le contact (direct ou indirect) d'un corps chargé avec un objet référencé à une masse. Le transfert de charge brutale crée un arc électrique générant la circulation d'un courant élevé sous une forte différence de potentiel. La figure 1-11 illustre l'allure d'une décharge électrostatique typique [IEC 61000-4-2]. Les principales caractéristiques de ce signal transitoire sont : une faible durée du temps de montée avoisinant 1 ns, une durée d'impulsion égale à 60 ns, une tension très élevée à l'origine de la décharge et une impulsion unique.



**Figure 1-11: Allure d'une décharge électrostatique typique**

L'échange d'électrons est favorisé par la combinaison de matériaux synthétiques ou métalliques et une atmosphère sèche. Les principales sources sont en général non-intentionnelles et d'origine humaine. Nous distinguons trois types d'*ESD* : les décharges produites par le contact avec un être humain, les décharges induites par le contact entre objets métalliques chargés touchant un circuit et les décharges d'un circuit sur un plan de référence lors d'un assemblage. Les effets de telles perturbations sur un circuit intégré peuvent aller du dysfonctionnement jusqu'à sa destruction.

Pour éviter les conséquences induites par ces transitoires énergétiques, plusieurs éléments de protection sont intégrés dans les CI. Des structures non-linéaires tels que des diodes et des transistors sont régulièrement utilisées dans la conception des entrées/ sorties pour prévenir des risques de destruction.

## 2.2. Couplage des perturbations électromagnétiques

Le couplage est le processus par lequel l'énergie émise par une source perturbatrice atteint la victime. Les deux types de couplage existant sont : le couplage par rayonnement et le couplage par conduction illustrés figure 1-12.

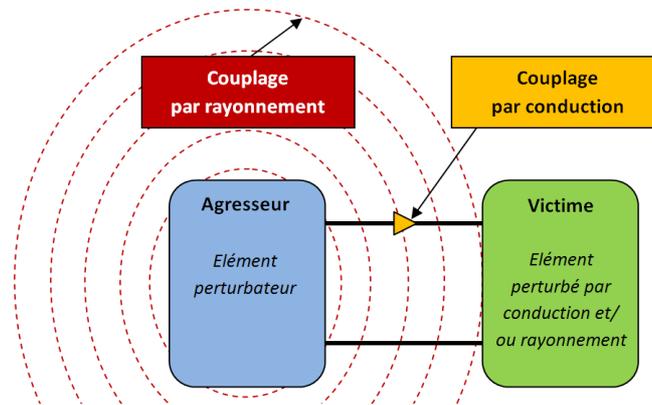


Figure 1-12: Modes de couplage entre un agresseur et une victime

### 2.2.1. Couplage par rayonnement

Les perturbations rayonnées sont généralement couplées à un circuit par effet d'antenne. Plusieurs éléments présents dans l'environnement d'un circuit sont alors à l'origine de ce couplage. Les câbles [TAYLOR65], le boîtier de l'équipement électrique [MURANO04], la carte (ou *PCB* : *Printed Circuit Board*) [SIM97] et le boîtier du circuit [CAGGIANO01] [HAUWERMEIREN92] en sont les principaux acteurs. Leurs caractéristiques géométriques et les propriétés de leur matériau influent sur la propagation de l'onde incidente en fonction de la fréquence. La pénétration de l'onde est notamment modifiée par les éléments parasites et les résonances de ces structures.

Par ailleurs, selon la nature du champ véhiculé par le milieu ambiant (air), le couplage peut être inductif ou capacitif. Un couplage inductif est identifié lorsqu'un champ magnétique résultant d'une importante variation en courant dans un conducteur induit une tension parasite à travers un élément voisin (câble, piste, CI, etc.). Le schéma de principe de ce couplage est illustré figure 1-13.

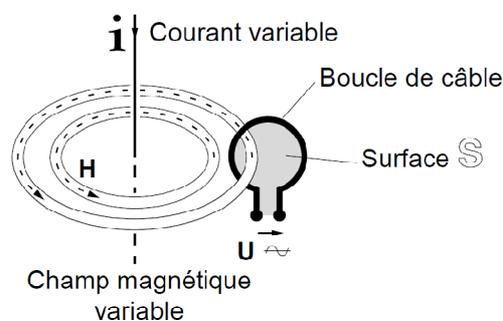


Figure 1-13: Schéma de principe d'un couplage inductif [SHNEIDER]

A l'inverse, la circulation de courant induit par le transfert de charge entre deux éléments présentant une différence de potentiel caractérise un couplage capacitif et génère un champ électrique. Ce courant parasite est d'autant plus élevé que la fréquence de la tension aux bornes de la capacité parasite est élevée. Les interconnexions et les pistes des cartes peuvent par exemple être à l'origine de ce type de couplage puisqu'il existe toujours une capacité non nulle entre deux éléments conducteurs.

Le couplage entre deux éléments conducteurs est également appelé « diaphonie » (ou « *crosstalk* » en anglais). On parle alors de diaphonie inductive ou capacitive suivant la nature du couplage.

## 2.2.2. Couplage par conduction

Outre le couplage par rayonnement, le couplage par conduction est à l'origine de nombreuses défaillances de circuits intégrés. En effet, toute impédance commune entre deux éléments conducteurs peut transmettre un signal parasite et ainsi induire le dysfonctionnement des circuits connectés à leurs bornes. D'autre part, les signaux parasites sont également conduits par différents modes de transmission: le mode commun et le mode différentiel.

### 2.2.2.1. Mode de transmission différentiel

La propagation s'effectue en mode différentiel lorsque la perturbation est transmise à un seul des conducteurs actifs. Comme l'illustre la figure 1-14, le courant de mode différentiel se propage sur l'un des conducteurs, passe à travers l'élément perturbé et revient par un autre conducteur. Ce mode de transmission aussi appelé mode symétrique est le mode de fonctionnement de la plupart des signaux électroniques et des alimentations.

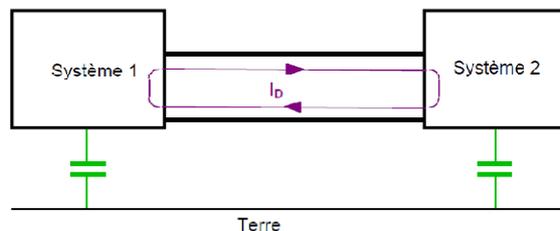


Figure 1-14: Schéma de principe du mode de transmission différentiel

Les signaux parasites conduits par ce mode de transmission peuvent être réduits en diminuant la distance entre les deux conducteurs et en créant ainsi un découplage de la perturbation.

### 2.2.2.2. Mode de transmission commun

La propagation s'effectue en mode commun lorsque le signal parasite est transmis à l'ensemble des conducteurs actifs. A l'inverse du courant de mode différentiel, le courant de mode commun se propage sur tous les conducteurs dans le même sens et revient par la masse à travers les capacités parasites (figure 1-15).

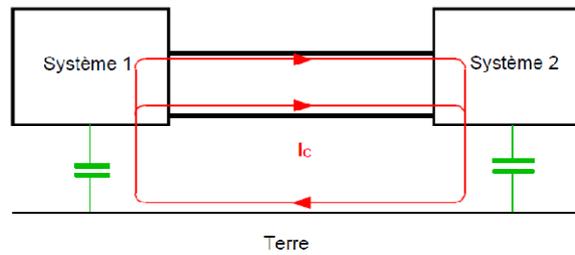


Figure 1-15: Schéma de principe du mode de transmission commun

Les perturbations induites par ce mode de transmission peuvent être réduites en minimisant la distance entre les conducteurs et le plan de masse (ou terre) et en réduisant ainsi la boucle de mode commun formée par ces éléments.

Ayant recensé les principales agressions électromagnétiques et leurs différents modes de couplage, nous allons désormais décrire leurs effets sur les circuits intégrés développés en technologie CMOS.

## 2.3. Effets des perturbations électromagnétiques sur les circuits intégrés de technologie CMOS

### 2.3.1. Classifications des défaillances des circuits intégrés

Selon la norme IEC 62132 [IEC62132], les effets des perturbations électromagnétiques sur les circuits intégrés peuvent être classés en fonction des conséquences induites sur leur fonctionnement. Les niveaux de gravité définis par cette norme sont détaillés dans le tableau 1-2. Nous y distinguons quatre classes différentes allant du fonctionnement nominal à la destruction du circuit.

NIVEAU	OBSERVATIONS
A	Performances normales
B	Dégradations ou pertes de fonctionnalité temporaires, fonctionnement nominal récupérable après suppression de la défaillance
C	Dégradations ou pertes de fonctionnalité temporaires, la récupération du fonctionnement nominal nécessite une remise à zéro (reset) de système sous test
D	Dégradations ou pertes de fonctionnalité permanentes dues à un endommagement du système

Tableau 1-2: Classification des niveaux de défaillances des CI induits par une perturbation électromagnétique

Plusieurs paramètres influent sur la défaillance d'un circuit intégré. Outre les caractéristiques de la perturbation, la technologie et la nature des circuits intégrés ont une influence sur leur sensibilité aux bruits. Une perturbation peut effectivement avoir un impact différent sur le fonctionnement des circuits numériques et analogiques développés en technologie CMOS.

Afin de mieux comprendre le type de défaillances engendrées par les perturbations électromagnétiques sur les circuits intégrés, nous allons désormais présenter la technologie CMOS et détailleront ensuite l'impact des IEM sur des circuits de différentes natures.

### 2.3.2. Technologie CMOS

Le terme CMOS (*Complementary Metal Oxide Semiconductor*) désigne une technologie de circuits électroniques composés de fonctions logiques (OR, AND, NAND, etc.) réalisées à partir d'un assemblage symétrique de transistors MOS à effet de champ. Les circuits CMOS présentent comme avantages d'avoir une faible consommation en courant et un encombrement minime sur une puce.

Pour concevoir de tels circuits, deux catégories de transistors sont alors utilisés: le transistor MOS à enrichissement et le transistor MOS à appauvrissement. Ces deux structures se différencient par leur conduction en l'absence de polarisation. On retiendra essentiellement que les transistors MOS à enrichissement sont les plus utilisés car ils ne consomment aucun courant en l'absence de polarisation et parce qu'ils présentent une forte capacité d'intégration. Ces transistors MOS sont également caractérisés par la charge de leurs porteurs majoritaires. On distingue ainsi deux types de transistors : les transistors MOS à canal N (ou NMOS) et les transistors MOS à canal P (ou PMOS).

Le fonctionnement de ces transistors constitués de 3 ports distincts (grille, drain et source) peut être assimilé à celui d'un interrupteur (ou d'une source de courant) contrôlé(e) en tension. La tension grille-source  $V_{GS}$  régule la création d'un canal entre le drain et la source, et contrôle ainsi l'état passant ou bloqué de la structure. Le canal est la zone de substrat où le courant électrique circule lorsque le transistor est sous tension. La réduction de sa longueur « L » (figure 1-16) favorise le transfert des électrons entre les deux zones de diffusion et augmente ainsi le courant disponible pour une largeur « W » identique.

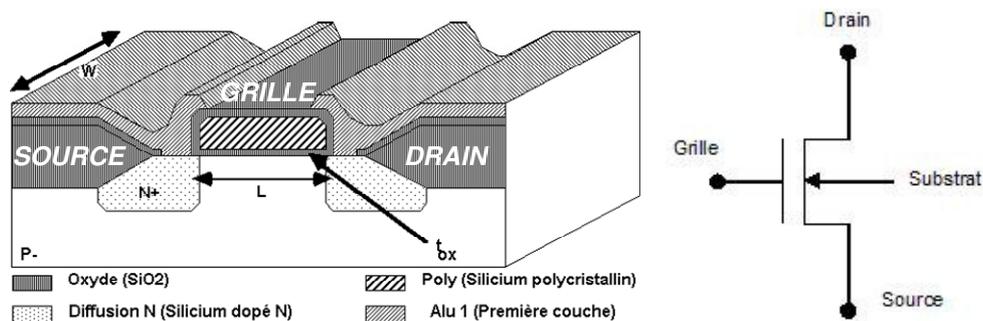


Figure 1-16: Coupe transversale d'un transistor MOS à canal N

Si la tension  $V_{GS}$  est inférieure à la tension de seuil  $V_{TH}$  alors le transistor est bloqué car il ne conduit aucun porteur. Dans le cas contraire (lorsque  $V_{GS}$  est supérieure ou égale à  $V_{TH}$ ), le transistor conduit le courant entre le drain et la source. Quelque soit son type, le transistor MOS se caractérise en mesurant son courant drain-source  $I_{DS}$  en fonction de ses tensions  $V_{DS}$  et  $V_{GS}$ . Illustrés figure 1-17, les trois principaux régimes qui définissent le fonctionnement du transistor sont: le régime bloqué ( $V_{GS} < V_{TH}$ ), le régime linéaire ( $V_{GS} \geq V_{TH}$ ) et le régime saturé ( $V_{GS} \geq V_{TH}$  et  $V_{DS} > V_{GS} - V_{TH}$ ).

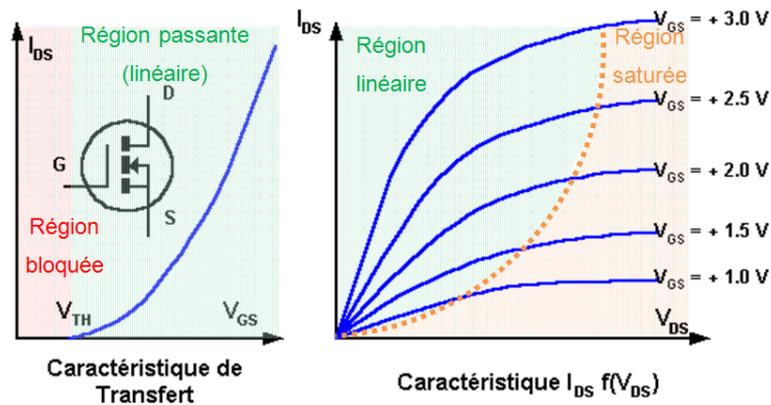


Figure 1-17: Caractéristiques d'un transistor MOS (NMOS)

Suivant le type de transistor (NMOS ou PMOS), ces caractéristiques de transfert sont différentes. Comme l'illustre la figure 1-3, le transistor NMOS est passant ( $R_{DS(ON)} \approx 1 \text{ k}\Omega$ ) lorsque la tension  $V_{GS}$  est égale à 5 V. Si  $V_{GS}$  est égale à 0 V alors celui-ci est bloqué et la résistance drain-source  $R_{DS(OFF)}$  peut être considérée comme infinie. A l'inverse, le transistor PMOS est passant ( $R_{DS(ON)} \approx 1 \text{ k}\Omega$ ) lorsque la tension  $V_{GS}$  est égale à 0 V. Et si  $V_{GS}$  est égale à 5 V alors celui-ci est bloqué en ayant une résistance drain-source  $R_{DS(OFF)}$  considérée comme infinie. Il est important de souligner qu'en réalité, lorsque ces transistors sont bloqués, leur résistance drain-source est de l'ordre de plusieurs millions d'ohms, ce qui entraîne par ailleurs des consommations non-négligeables des circuits constitués de millions de transistors.

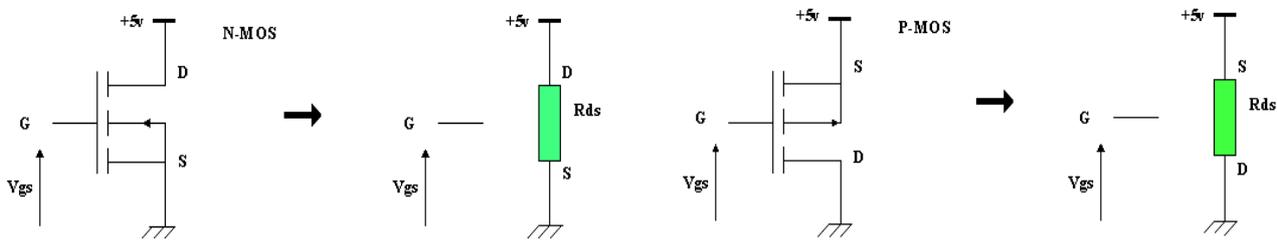


Figure 1-18: Symbole et schéma équivalent des transistors MOS

Grâce à la symétrie de leurs caractéristiques, des fonctions logiques peuvent être développées. L'une des fonctions les plus simples conçue à partir de ces transistors est l'inverseur illustré figure 1-19. Cette fonction est obtenue en montant un transistor de type N et de type P en tête bêche.

Si un niveau haut est appliqué à l'entrée de la structure ( $V_i = V_{DD}$ ), le transistor NMOS est passant et le PMOS est bloqué. La sortie est alors mise à l'état bas ( $V_o = V_{SS}$ ). Inversement, lorsque l'entrée est à l'état bas, le transistor P est passant et le N est bloqué. La sortie est donc à l'état haut.

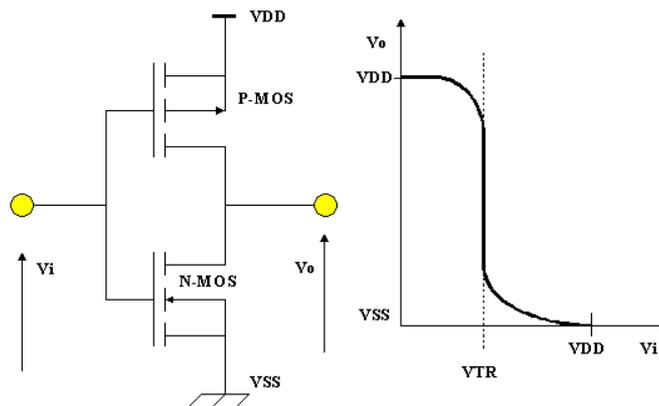


Figure 1-19: Structure et caractéristique de transfert d'un inverseur

### 2.3.3. Susceptibilité des circuits numériques

Comme nous l'avons vu précédemment, l'évolution technologique a permis de réduire considérablement la consommation énergétique et les tensions d'alimentations des circuits intégrés. Cette diminution a eu de fortes répercussions sur leur susceptibilité aux IEM car elle tend notamment à réduire les marges de bruits et les seuils de commutations des circuits numériques.

La marge de bruit caractérise le seuil de susceptibilité des portes logiques intégrées dans un circuit numérique. Cette marge relative à la famille logique (CMOS, TTL, etc.) permet de rendre compte de l'insensibilité d'un circuit aux signaux perturbateurs. Ainsi, plus cette marge est élevée, plus le circuit peut être utilisé dans un environnement pollué. Comme l'illustre la figure 1-6, les grandeurs  $NM_H$  et  $NM_L$  sont respectivement les marges de bruits du niveau haut et du niveau bas. Un niveau de fluctuation parasite couplé à la tension  $S_1$  et supérieure à la marge de bruit modifie le signal d'entrée  $E_2$  (passage dans la région d'incertitude ou provocation d'une transition d'état non souhaitée) et génère alors une erreur logique.

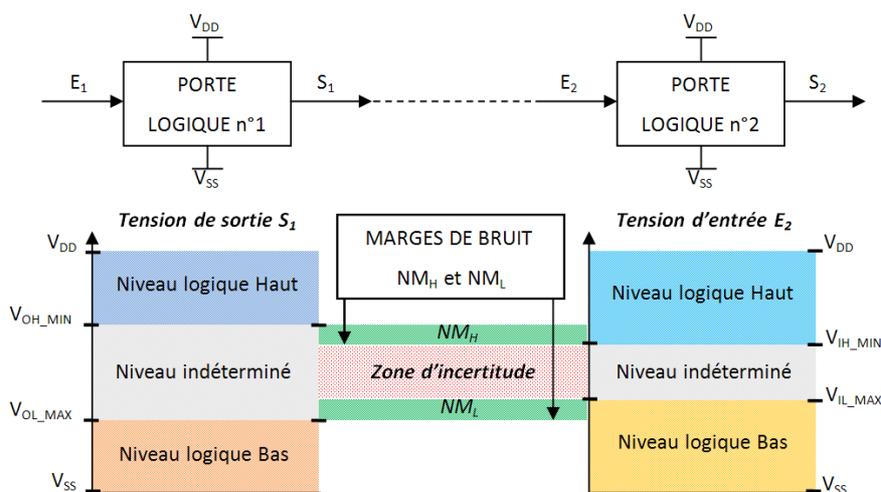


Figure 1-20: Marges de bruit d'un circuit

La réponse d'un circuit numérique à une agression électromagnétique dépend de sa technologie et de l'allure du signal perturbateur. Dans ce cas précis, si la durée du signal agresseur est inférieure au temps de réponse de la porte logique (durée avoisinant le temps de montée/ de descente de la logique), il est nécessaire d'augmenter son amplitude pour générer une défaillance. Le niveau et la durée du signal perturbateur sont donc des facteurs à prendre en considération lorsqu'on analyse la susceptibilité électromagnétique d'un circuit numérique.

Selon le mode de fonctionnement des portes logiques (synchrone ou asynchrone), les défaillances des circuits numériques peuvent alors être caractérisées par des erreurs statiques et dynamiques lorsque la fréquence des perturbations est comprise dans la bande de fonctionnement du composant.

### 2.3.3.1. Erreur statique

Une erreur statique s'identifie par un changement brutal d'un niveau logique, ou par le non-respect de la marge statique, et résulte du couplage d'une perturbation sur un signal logique (entrée ou sortie) ou sur les rails d'alimentation d'une porte ( $V_{DD}$  ou  $V_{SS}$ ). La figure 1-21 illustre les effets d'une agression radiofréquence (RF) couplée au signal d'entrée d'un inverseur. Si l'amplitude de la perturbation RF est suffisamment élevée pour atteindre les seuils de commutation de la porte ( $V_{IH\_MIN}$  et  $V_{IL\_MAX}$ ), l'état logique de sa sortie change de niveau. Ces phénomènes sont appelés « *glitches* ».

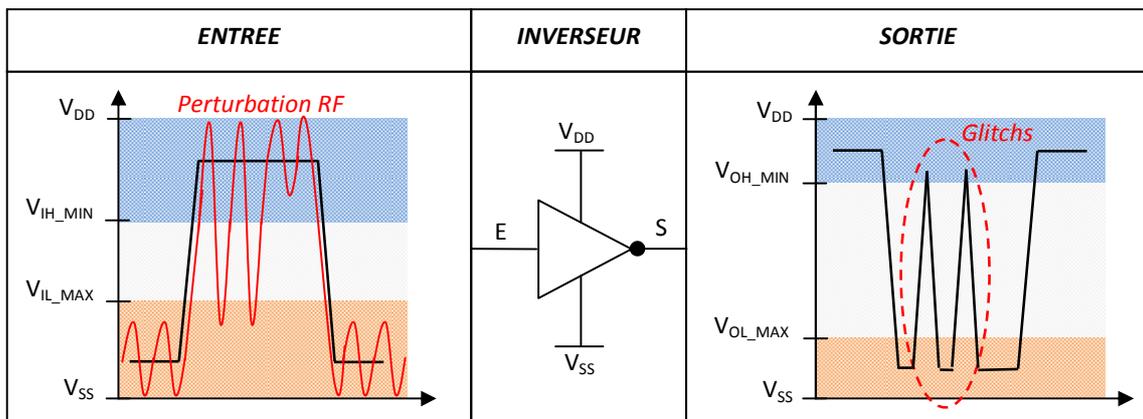


Figure 1-21: Illustration d'une erreur statique provoquée sur un inverseur

D'autre part, si la somme d'une perturbation RF et d'un signal logique ne respectent pas la marge statique d'une chaîne de portes, une erreur statique peut alors apparaître. La figure 1-22 illustre la susceptibilité statique de deux inverseurs en série. Si l'amplitude du bruit présent sur la sortie de l'inverseur n°1 est inférieure à sa marge statique (marge de bruit de l'état haut dans ce cas), aucune erreur n'apparaît en sortie de l'inverseur n°2. Cependant, si le bruit a un niveau et une durée suffisamment élevés pour dépasser la marge statique, un changement d'état non-souhaité apparaît à la sortie de la chaîne d'inverseurs.

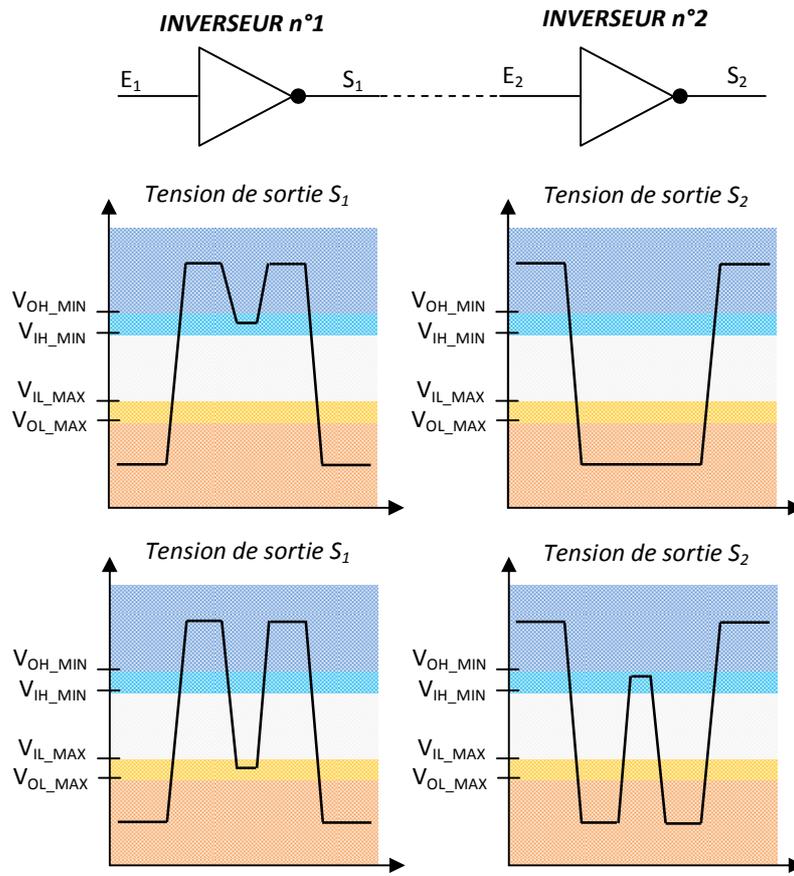


Figure 1-22: Défaillance d'une chaîne d'inverseur par non-respect de la marge statique

Nous pouvons donc en conclure que l'amplitude d'une perturbation « *in-band* » est à l'origine des erreurs statiques induites sur les portes logiques. Néanmoins, même si le niveau de perturbation RF n'est pas suffisant pour générer la défaillance d'un circuit numérique dans sa bande de fonctionnement, des erreurs dynamiques peuvent être appréhendées.

### 2.3.3.2. Erreur dynamique

Une erreur dynamique s'identifie par l'apparition d'un changement d'état indésirable lié à la désynchronisation d'un signal logique (apparitions des fronts retardés ou avancés) résultant d'une perturbation de l'alimentation, d'un signal d'horloge ou d'un signal logique. Comme l'illustre la figure 1-23, l'agression d'un signal logique modifie ses instants de commutation en retardant ou en avançant l'apparition de ces fronts. Ce phénomène appelé « *jitter* » peut créer une désynchronisation d'une porte et ainsi générer des erreurs logiques dans une chaîne de portes logiques [ROBINSON03] [LAURIN95].

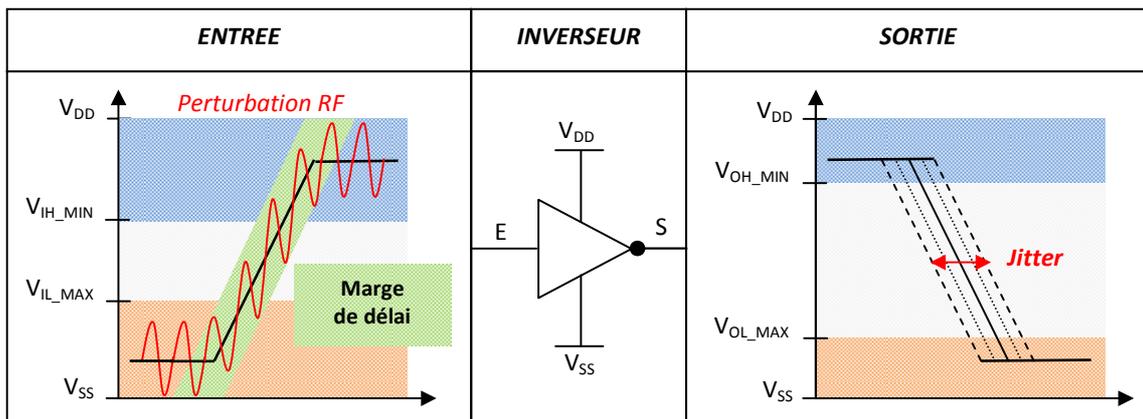


Figure 1-23: Illustration d'une erreur dynamique sur un inverseur

Une marge de délai peut alors être définie pour décrire le fonctionnement dynamique d'une chaîne de porte. Cette marge détermine le délai maximal admissible pour ne pas entraîner une désynchronisation et des changements d'état intempestifs.

Par conséquent, les marges de bruit et de délai définissent la sensibilité des circuits numériques. Indépendamment, la symétrie du seuil de commutation et la bande passante d'une famille logique caractérisent aussi leur susceptibilité au bruit.

En effet, le caractère passe-bas des transistors bipolaires et MOSFET tend à améliorer la susceptibilité des circuits numériques lorsque la fréquence de la perturbation augmente. Nous distinguons ainsi deux types de perturbations : les perturbations « *in-band* » et « *out-of-band* » dont les fréquences sont respectivement inférieures et supérieures à la fréquence de fonctionnement du composant. Les défaillances induites par une perturbation « *out-of-band* » diffèrent de celles présentées précédemment. Plusieurs études [MAURICE97] [FORCIER79] montrent que ce type d'agression perturbe les circuits par des effets de rectification. Ces phénomènes résultent notamment d'effets de redressement induits par les jonctions PN. La détection de l'enveloppe du signal RF par la jonction crée un offset qui modifie les points de fonctionnements et les caractéristiques  $I(V)$  des transistors. En d'autres termes, les non-linéarités translatent l'énergie haute fréquence aux fréquences quasi-continues. Cette translation d'énergie crée un nouveau signal pouvant appartenir à la bande de fonctionnement de la logique et ainsi causer des défaillances dans le circuit. La capacité de rectification d'un transistor dépend essentiellement de ces paramètres technologiques telles que sa capacité de grille (ou de base), sa résistance du canal et sa transconductance [FORCIER79]. Enfin, il est important de souligner que ces effets peuvent se manifester quelque soit la nature du circuit puisque tous les types de transistors sont constitués de jonctions PN (bipolaires ou MOSFET).

Afin de comparer les familles TTL et CMOS, plusieurs caractéristiques de fonctionnement telles que la bande passante et la marge de bruit sont recensées dans le tableau 1-3. Selon [MARDIGUIAN], la bande passante BP d'une famille logique peut être calculée à partir de son temps de montée en fonction de l'équation suivante :  $BP = 0,35/t_m$ , avec  $t_m$  : temps de montée de la famille logique.

FAMILLE LOGIQUE	TEMPS DE MONTEE/ DESCENTE (ns)	BANDE PASSANTE (MHz)	MARGES DE BRUIT	
			Etat Bas (V)	Etat Haut (V)
CMOS 5 V	70/ 70	5	1.2	1.2
CMOS 12 V	25/ 35	12	4	4
HCMOS	3.5/ 3.5	100	0.9	1.4
TTL	10/ 8	35	0.4	0.7
TTL-LS	10/ 4	50	0.4	0.7
TTL-S	3/ 2.5	125	0.3	0.5

Tableau 1-3: Bandes passantes et Marges de bruit des logiques CMOS et TTL [GOUEDARD05]

Nous remarquons que les familles TTL ont des temps de montée globalement inférieurs à ceux des familles CMOS, ce qui élargie les bandes de fréquences dans lesquelles les perturbations sont « *in-band* ». De plus, à l'inverse des familles CMOS, les familles TTL ont des marges de bruit à l'état bas qui sont inférieures à celle de l'état haut. Ainsi, étant donné que leur seuil de commutation n'est pas symétrique et que leur bande passante est supérieure à celle des familles CMOS, nous pouvons en conclure que les circuits de type TTL (-LS : Long Schottky, -S : Schottky) sont les plus sensibles aux perturbations.

### 2.3.4. Susceptibilité des circuits analogiques

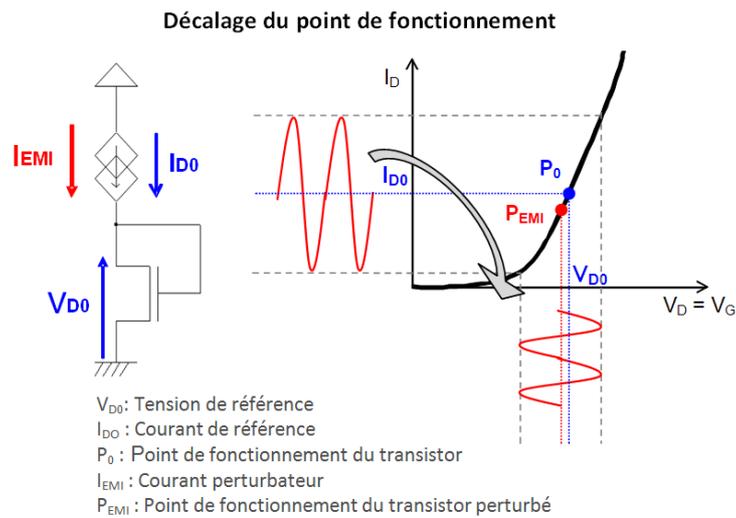
Contrairement aux circuits numériques, les circuits analogiques sont très sensibles aux perturbations électromagnétiques. Leurs défaillances ont néanmoins la particularité d'être temporaires et de disparaître dès que l'agression est supprimée. Dans la bande de fonctionnement des circuits, il faut généralement peu d'énergie pour venir les perturber et ce quelque soit leur fonction (tableau 1-4). Par exemple, une fluctuation d'alimentation de 10 mV suffit pour perturber une boucle à verrouillage de phase.

FONCTION ANALOGIQUE	Boucle à Verrouillage de Phase (PLL)	Comparateur Analogique	Convertisseur Analogique-Numérique (12 bits, $V_{DD} = 2.5 V$ )	Amplificateur RF Faible Bruit
SEUIL DE SENSIBILITE	10 mV	1 mV	600 $\mu V$	10 $\mu V$

Tableau 1-4: Exemples de sensibilité de fonctions analogiques [BENDHIA06]

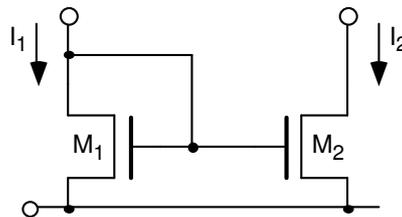
Les défaillances induites s'illustrent par des dégradations de performances [LARSON79] [FIORIO0]. Au-delà de leur fréquence de coupure, les défaillances sont principalement des créations d'offsets résultant des mêmes détections d'enveloppes que ceux présentés précédemment [FIORIO2].

La figure 1-24 illustre l'exemple d'une injection de courant simulée sur un transistor MOS monté en diode où le drain et la source sont communs. La fluctuation de courant  $I_{EMI}$  ajoutée sur le drain du transistor provoque une dérive de son point de fonctionnement ( $P_0 \rightarrow P_{EMI}$ ). Cette dérive résulte d'un offset négatif induit par la perturbation de la tension  $V_{D0}$ .



**Figure 1-24: Effet de rectification sur un transistor MOS**

Ce type de montage est utilisé pour la conception d'amplificateurs et notamment comme élément d'entrée des « miroirs de courant » (figure 1-25). Les miroirs de courant sont fréquemment utilisés pour polariser les blocs fonctionnels analogiques tout en réalisant des fonctions simples telles que des multiplications et des additions.



**Figure 1-25: Miroir de courant**

Essentiels à la conception des systèmes électroniques, les circuits analogiques doivent donc être systématiquement protégés par des filtres pour éviter leur perturbation car ils fournissent souvent des références vitales aux bons fonctionnements d'autres circuits. Par exemple, la perturbation des régulateurs de tension et des boucles à verrouillage de phase peuvent respectivement être à l'origine d'une diminution de l'alimentation et d'apparition de « jitter » sur les horloges d'un circuit intégré.

### 3. Prédiction de la susceptibilité des circuits intégrés

Au cours de ces dernières années, l'évolution technologique a très nettement réduit les marges de bruit des circuits intégrés. La sensibilité aux bruits résultante de cette évolution est une cause récurrente de leur « re-design ». Autrefois qualifié après fabrication (figure 1-26), les performances CEM des composants sont aujourd'hui étudiées dès leur phase de conception afin de réduire leur temps et coût de production. Pour mener à bien ces études, l'utilisation de flots et d'outils de simulations est donc devenue incontournable.

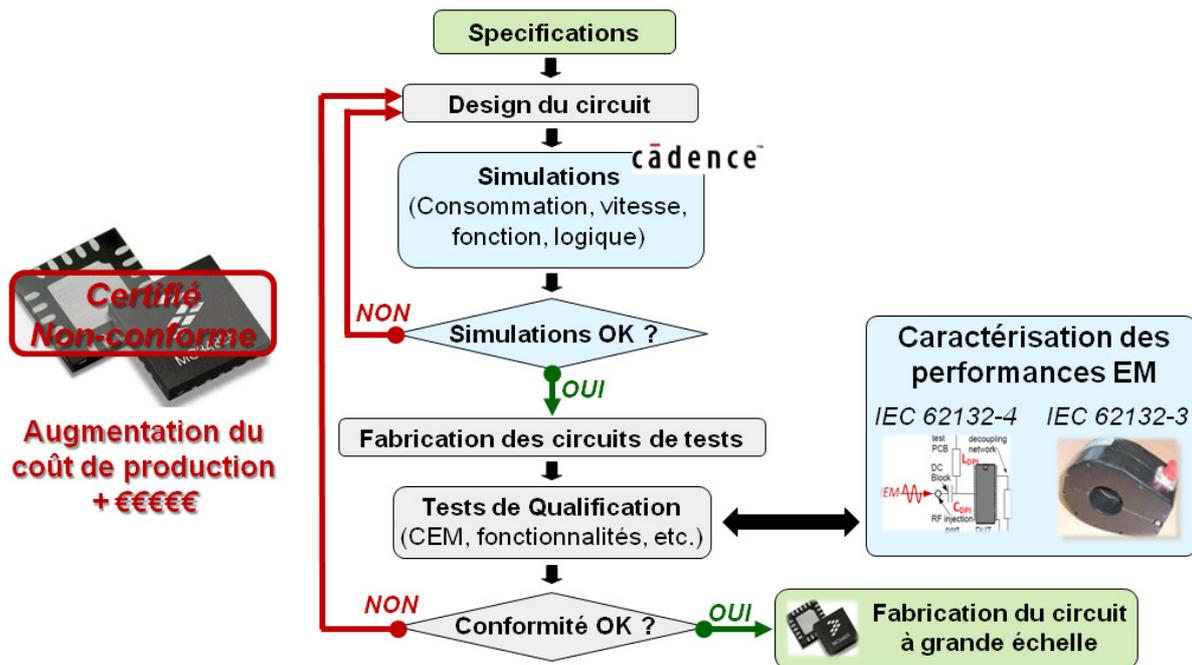


Figure 1-26: Flot de conception des CI

Par ailleurs, la plupart des équipementiers exigent des modèles prédictifs précis car les CI sont soumis à des contraintes CEM très strictes selon leur domaine d'application. L'architecture des CI étant tenue secrète par les fondeurs, ces demandes s'opposent régulièrement à des problèmes de confidentialité. Plusieurs normes et techniques de modélisation telle que [ICEM06] ont ainsi été développées pour étudier rapidement l'émission et l'immunité des CI dans le domaine fréquentiel, tout en répondant aux exigences industrielles. Dans cette partie, nous nous focalisons uniquement sur la modélisation de circuit dont la susceptibilité est mesurée par couplage conduit. Quelque soit la nature du composant, la prédiction de sa susceptibilité aux IEM nécessite une modélisation précise du chemin d'injection sur lequel la perturbation est véhiculée et de la fonction interne agressée.

### 3.1. Modélisation de l'environnement de test

La perturbation RF couplée au circuit agressé est véhiculée à travers plusieurs éléments conducteurs tels que les câbles, la carte d'application, le boîtier du CI ou encore le système d'injection utilisé lors des mesures de susceptibilité. En fonction de leurs propriétés physiques et géométriques, ces éléments peuvent avoir une influence non négligeable sur les caractéristiques de l'onde perturbatrice ainsi que sur la susceptibilité du circuit. Les méthodes de modélisation étant diverses et variées, nous allons réaliser un état de l'art succinct pour chacun de ces paramètres.

#### 3.1.1. Modèle de câble

Similaire à une ligne de transmission, tout câble de longueur « l » peut être décomposé en une succession de cellule d'une longueur inférieure à  $\lambda/10$  (figure1-27). Cette cellule est composée de deux éléments séries L et R et de deux éléments parallèles G et C. R correspond à la résistivité finie du matériau conducteur et caractérise les pertes par effet Joule de la ligne. L'inductance par unité de longueur L est le quotient du flux du champ magnétique induit par le courant traversant le conducteur. La conductance G et la capacité linéique C caractérise respectivement les pertes diélectriques le long de la ligne et l'influence électrostatique entre le conducteur et le potentiel référent le plus proche (masse ou terre). Le nombre « n » de cellule est définie en fonction de la longueur de la ligne et du domaine fréquentiel de validation du modèle :  $(l/n) < \lambda/10$  avec l/n : longueur d'une cellule.

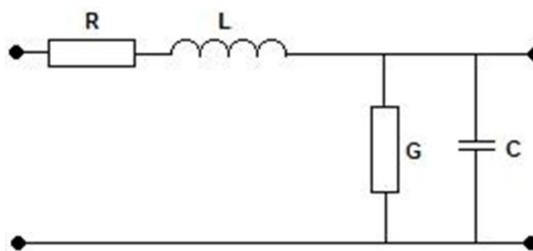


Figure 1-27: Eléments linéiques d'une cellule modélisant un tronçon de ligne

Le calcul analytique, la mesure d'impédance et l'extraction par éléments finis sont les principales méthodes pour déterminer les valeurs des éléments linéiques par unité de longueur [BUCCELA05] [CUVILLIER06]. [IDIR09] montrent que la précision des modèles de ligne dans le domaine fréquentiel et temporel peut être améliorée en prenant en compte les pertes cuivre et diélectrique.

Les pertes cuivre se caractérisent essentiellement par effet Joule. La variation de ces pertes en fonction de la fréquence du courant résulte d'un phénomène électromagnétique appelé effet de peau. A fréquence élevée, cet effet provoque la décroissance de la densité de courant à mesure que l'on s'éloigne de la périphérie du conducteur. La largeur de la zone où se concentrent les courants HF en est ainsi réduite. Cette réduction de section utile induit alors une augmentation de pertes par effet joule résultant de l'augmentation de la résistance du câble. L'effet de peau se modélise par un réseau d'éléments résistifs et inductifs séries mis en parallèles [WHEELER77].

Symbolisés par la conductance et la capacité linéique de la ligne, les pertes diélectriques résultent généralement d'une fuite de courant entre deux conducteurs isolés par des isolants solides ou liquides. Lorsque deux conducteurs sont situés dans le vide, aucun courant de conduction ne peut circuler de l'un à l'autre. C'est approximativement le cas dans l'air qui est très bon isolant s'il n'est pas trop humide. L'effet de ces pertes est donc négligeable lorsque les conducteurs ne sont pas isolés. Il est en revanche nécessaire de considérer ces pertes pour modéliser les types de câble véhiculant de fortes puissances [IDIR09]. Le modèle des pertes diélectriques d'une ligne peut être extrait par logiciel de simulation électromagnétique (méthode d'éléments finis) ou déduit par calcul analytique [VEIJOLA88].

### 3.1.2. Modèle de circuit imprimé

Les propriétés physiques et géométriques d'un circuit imprimé peuvent avoir une influence significative sur le signal perturbateur. Les pistes et différents plans (masse et alimentation) qui le constituent sont notamment les éléments les plus influents sur le courant véhiculé au CI.

Les pistes sont des lignes de transmission de type microruban. Plusieurs études [HAMMERSTAD75] [WHEELER77] [SHNEIDER68] montrent qu'il est possible de calculer les composantes linéiques d'une ligne microruban à partir de sa géométrie. Les équations développées par Hammerstad en 1975 permettent par exemple de développer un modèle de ligne précis en calculant son impédance caractéristique  $Z_C$  en fonction du rapport  $W/h$ , où  $w$  est largeur du conducteur et  $h$  sa hauteur vis-à-vis du plan de masse le plus proche. Les relations entre cette impédance et les composantes linéiques de la ligne sont établies à partir de la vitesse de propagation.

Les pertes induites par ces lignes sont principalement les mêmes que celles présentées précédemment. Plusieurs études montrent l'importance d'inclure ces pertes dans les modèles de piste pour qu'ils soient valides dans les domaines temporel [GORDON92] [SVENSSON01] et fréquentiel [PUCEL68] [HJELLEN97]. Selon [ENGIN04] [ENGIN10], les pertes diélectriques prédominent les pertes cuivre lorsque la fréquence du signal véhiculé à travers la ligne est inférieure au giga hertz car la conductance varie linéairement avec la fréquence, contrairement à la composante résistive de l'effet de peau. Le modèle de Debye est l'une des méthodes d'extraction les plus utilisées pour développer un modèle discret des pertes diélectriques d'une ligne microruban [BRANCH02] [ZONG04] [ZHANG10].

Les plans d'alimentation et de masse d'un *PCB* forment des guides d'onde parallèles susceptibles d'être d'excellents chemins de couplage pour véhiculer du bruit. Le bruit couplé à ces structures peut détériorer l'intégrité des signaux véhiculés sur un *PCB* par mode conduit ou rayonné. Il est donc essentiel de modéliser ces plans lors de la conception d'un circuit imprimé pour minimiser l'effet de ces structures sur les signaux et ainsi réduire les problèmes CEM. Le comportement de ces plans d'alimentation peut être modélisé de trois manières différentes. La première méthode de modélisation est numérique et s'appuie sur l'utilisation des simulateurs électromagnétiques 2D (plan à deux dimensions :  $x, y$ ) et 3D (plan à trois dimensions :  $x, y, z$ ). La seconde est basée sur des modèles SPICE équivalents [KIM02]. Et la troisième s'inspire des modèles de cavité résonante.

Les techniques PEEC [RUEHLI72] (*Partial Element Equivalent Circuit*) et FDTD [YEE66] (*Finite-Difference-Time-Domain*) employées par les simulateurs électromagnétiques sont souvent utilisées pour étudier l'intégrité du signal sur un circuit imprimé. Bien que ces méthodes soient précises, elles requièrent des temps de simulation élevés et d'importants espaces mémoires. Pour s'affranchir des inconvénients des simulateurs électromagnétiques, [KIM02] propose de modéliser les plans d'alimentation des circuits imprimés par une matrice de cellules composées d'éléments discrets. [XU02], [NA02] et [WANG06] proposent également de calculer la matrice d'impédance des réseaux d'alimentation et d'en déduire un modèle discret équivalent. Cette technique utilise un modèle de cavité résonante dont les principales composantes sont déduites à partir des modes de propagation, la géométrie et l'angle de perte diélectrique du *PCB*. La particularité de ces méthodes est de développer des modèles précis et simulables par tous simulateurs SPICE, dans les domaines temporel et fréquentiel.

### 3.1.3. Modèle de système d'injection

Le système d'injection utilisé pour injecter un courant par couplage capacitif (*DPI*) est relativement simple à modéliser puisqu'il est seulement constitué d'une capacité  $C_{DPI}$  dont le modèle équivalent se compose d'une capacité  $C$ , d'une inductance  $L$  et d'une résistance  $R$  montées en série. Le profil d'impédance de la capacité d'injection mesurée à l'analyseur de réseau fournit des informations essentielles telles que la fréquence de résonance pour définir la valeur de chaque composante du modèle [ALAEELDINE08].

L'injection de courant par couplage inductif (*BCI*) est en revanche plus difficile à modéliser car le système d'injection est composé d'une pince d'injection et d'un câble. La difficulté réside essentiellement dans la modélisation de la pince où l'effet de peau est important à hautes fréquences et de son couplage sur les conducteurs.

En 1986, [SULTAN86] propose de modéliser l'injection de courant sur un toron de câbles par un générateur de Thévenin pour évaluer l'influence du positionnement de la pince sur la ligne de transmission. La source de tension et l'impédance du générateur équivalent sont définies à partir du calcul des mutuelles d'inductance entre pince et conducteurs. La complexité de ces calculs rend le protocole de modélisation long à mettre en œuvre. Malgré l'accessibilité de cette méthode, la précision du modèle est limitée dans le domaine fréquentiel.

Depuis, de nombreuses études [ORLANDI03] [LAFON08] ont été réalisées afin de trouver un bon compromis entre le temps nécessaire pour développer un modèle d'injection et sa précision. [UWE05] propose par exemple de modéliser la pince d'injection par une table SPICE spécifiant l'impédance de transfert entre la pince et le conducteur, en fonction de la fréquence du signal injecté. Bien que cette technique permette de modéliser le système d'injection rapidement, le modèle développé manque de précision.

Les approches proposées par [GRASSI07] soulignent par ailleurs l'importance de caractériser le système d'injection pour modéliser sa réponse fréquentielle avec précision. Deux approches de modélisation sont proposées et comparées à partir des mesures d'impédance de la structure d'injection. L'approche la plus explicite permet une modélisation par éléments discrets de type  $R$ ,  $L$  et  $C$ . Malgré sa précision, cette méthode

requière des connaissances approfondies des caractéristiques physiques du système d'injection. Pour s'affranchir de cette analyse physique, une méthode de modélisation implicite par boîte noire (*black box modeling*) est alors proposée. La comparaison de ces modèles montrent que quelque soit l'approche utilisée, implicite ou explicite, la réponse fréquentielle de la structure d'injection *BCI* est modélisée avec une excellente précision.

Cet état de l'art met notamment en valeur l'importance de caractériser un système d'injection pour modéliser précisément son comportement électrique dans le domaine fréquentiel.

#### 3.1.4. Modèle de boîtier

Face à l'évolution technologique (miniaturisation des circuits, augmentation des vitesses de fonctionnement, etc.) et notamment à l'augmentation des entrées/ sorties (E/S), le nombre de broches des boîtiers n'a cessé de se multiplier au cours de ces dernières années. Pour minimiser leur encombrement, les concepteurs ont été contraints de développer de nouveaux boîtiers. La première évolution significative est apparue dans les années 80 avec le montage en surface des composants. Dès lors, les premiers boîtiers de types *SOP* (*Small Outline Package*) et *QFP* (*Quad Flat Package*) ont fait leur apparition pour remplacer les boîtiers de type *DIP* (*Dual Inline Package*) soudés sur *PCB* par l'intermédiaire de trous. C'est ensuite au cours des années 90 qu'une nouvelle technique d'assemblage est apparue. Les boîtiers *BGA* (*Ball Grid Array*) à matrice de bille résultant de cette évolution ont la particularité d'intégrer un très grand nombre d'E/S sur des surfaces relativement faibles. Enfin, depuis l'émergence de la téléphonie mobile, deux nouvelles techniques tendent à se développer pour optimiser l'intégration des systèmes électroniques: l'intégration de plusieurs puces dans un même boîtier (figure 1-28) et de plusieurs circuits sur un même substrat (*SIP* : *System-In-Package*, figure 1-29).

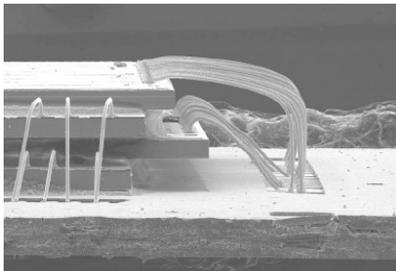


Figure 1-28: Empilement de puces

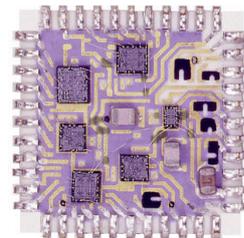


Figure 1-29: Multiple circuits sur même substrat  
(Technologie de type SIP)

Bien que ces méthodes d'intégrations permettent de réduire l'encombrement et le coût de production, la proximité des circuits peut induire de nombreux problèmes d'interférences électromagnétiques.

Par ailleurs, il est important de souligner que les effets parasites des boîtiers ont également été à l'origine de ces évolutions. Les caractéristiques physiques des « *leads* » et fils de « *bondings* » qui les constituent (figure 1-30) peuvent influencer l'intégrité des signaux véhiculés dans le circuit intégré [FAIRCHILD03].

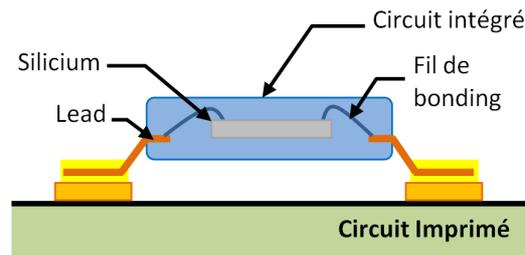


Figure 1-30: Vue en coupe d'un boîtier de type QFP (Quad Flat Package)

Pour évaluer l'impact des boîtiers sur l'intégrité des signaux, plusieurs articles proposent différentes méthodes de modélisation. Les simulateurs électromagnétiques 2D et 3D offrent la possibilité de résoudre les équations de Maxwell appliquées à des géométries complexes des « leads » et « bondings » à partir de techniques de calcul spécifiques telle que la méthode PEEC [RUEHLI72]. Cette méthode basée sur une approximation quasi-statique simplifie la résolution des équations de Maxwell en supposant que la vitesse de propagation de l'onde est infinie dans une structure équipotentielle d'une longueur donnée. Bien que ces solvers électromagnétiques puissent extraire les éléments discrets d'un boîtier [YANG95], les temps de calcul requis sont néanmoins un inconvénient puisqu'ils peuvent atteindre plusieurs jours dans certains cas [KELANDER04]. Pour éviter de consacrer trop de temps à la modélisation d'un boîtier, [LIN97] et [ZHAO08] montrent qu'un modèle discret peut être facilement déduit à partir d'une caractérisation à l'analyseur de réseau puisque le profil d'impédance mesuré donne des informations essentielles (pentes, fréquences de résonance, etc.) à son développement.

Le tableau 1-5 présente différents types de boîtiers et l'ordre de grandeur des inductances équivalentes à leurs éléments conducteurs. Cette analyse comparative montre que l'évolution des boîtiers (*DIL* → *MCSP*) a grandement contribué à la diminution de leur inductance équivalente et a ainsi minimisé leurs effets parasites.

	Boîtier	Capacité (pF)	Inductance (nH)
	Dual Inline Package	1 - 10	5 - 40
	Small Outline Package	1 - 7	1 - 7
	Quad Flat Package	2 - 5	3 - 7
	Ball Grid Array	1 - 10	0,5 - 10
	Mold Chip Scale Package	1 - 15	0,5 - 5

Tableau 1-5: Caractéristiques des éléments parasites de différents boîtiers [SICARD06]

## 3.2. Modélisation de l'architecture interne des circuits intégrés

La modélisation des CI pour analyser leur susceptibilité aux agressions électromagnétiques est une tâche compliquée à réaliser car la complexité de leur architecture et les effets non-linéaires de certaines structures internes complexifient le développement de modèles valides dans le domaine fréquentiel. Par ailleurs, un modèle doit être en mesure de traduire le comportement d'un circuit en fonctionnement nominal ou perturbé, et ce quelque soit le type d'agression (permanente ou transitoire). Afin de faire face à ces difficultés et respecter les contraintes de confidentialité industrielle, les approches visant à modéliser les circuits de différentes natures n'ont cessé de se diversifier au cours des trente dernières années. Les principales méthodes de modélisation existantes à ce jour sont : les modèles à l'échelle transistor, les modèles empiriques, les modèles comportementaux et les macro-modèles.

### 3.2.1. Modèle à l'échelle transistor

Les premiers modèles d'immunité ont été développés en 1979 pour étudier le comportement de circuits analogiques vis-à-vis de perturbation RF [WHALEN79] [LARSON79]. Ces modèles conçus à l'échelle transistor leur permettaient de faire apparaître les effets de rectification induits par l'agression de jonction PN. Bien que leur précision fût satisfaisante, les temps de calcul requis par le simulateur SPICE utilisé étaient trop importants. Suite à ces études, il était donc fondamental de se focaliser sur la minimisation des temps de calculs pour analyser le comportement CEM des circuits. La simplification des modèles d'immunité et l'amélioration des méthodes de résolution utilisée par le simulateur devenaient alors une nécessité. C'est ainsi qu'en 1980 [CHEN80] proposa une approche de modélisation différente afin de simplifier le modèle d'un amplificateur opérationnel (AOP) de type 741 et ainsi réduire les temps de simulation. Constitué de deux transistors, la particularité de ce modèle était d'avoir une précision comparable au modèle complet qui en contenait 25 et de diviser le temps de simulation par 10. Par la suite, [HATTORI98] proposa une nouvelle méthode de résolution appelée « *harmonic balance* » pour étudier l'impact d'une agression sur des transistors bipolaires et des amplificateurs différentiels, en réduisant les temps de simulation.

Malgré les solutions proposées pour optimiser les temps de simulation et l'évolution des vitesses de calcul, cette méthode n'est pas la mieux adaptée pour modéliser des circuits car les critères de confidentialité requis par les industriels ne sont pas respectés. Néanmoins, les concepteurs ont régulièrement recours à cette approche pour simuler le comportement électrique et électromagnétique des CI durant leur phase de conception puisqu'ils ont la possibilité d'utiliser de puissants calculateurs et n'ont aucun souci de confidentialité en interne.

### 3.2.2. Modèle empirique

Cette méthode analytique a été développée pour être en mesure d'étudier facilement et rapidement des défauts induits par des agressions RF dès la phase de conception d'un circuit. Ces modèles ont la particularité de donner une estimation du seuil de susceptibilité d'un circuit sans être contraint d'analyser son activité interne. [ROBINSON03] propose par exemple d'utiliser cette approche pour étudier l'effet du « *jitter* » sur les marges de

délat d'un circuit numérique. Cette technique de modélisation est également utilisée par [LAURIN91] pour prédire les délais induits par des perturbations « *in-band* » sur une chaîne d'inverseurs de type CMOS.

Cette approche empirique est donc adéquate pour modéliser l'immunité d'un CI dont la structure interne est confidentielle puisque le développement d'un modèle nécessite peu d'informations sur son architecture.

### 3.2.3. Modèle comportemental

Similaire à l'approche empirique, le développement de modèles comportementaux ne nécessite aucune connaissance sur l'architecture et l'implantation d'un circuit. Seules des mesures d'impédance et d'immunité sont requises pour concevoir de tels modèles. Selon la méthode utilisée, ces modèles peuvent également traduire les comportements non-linéaires d'un circuit.

Les modèles comportementaux sont apparus dans les années 90 avec le développement du modèle IBIS [IBIS]. Ce modèle décrit le comportement des buffers et des structures de protection des E/S d'un circuit intégré, ainsi que les effets parasites de son boîtier. A l'origine conçus pour étudier l'intégrité des signaux des circuits numériques dans le domaine temporel [TEHRANI96], ces modèles ont par la suite été utilisés pour évaluer le bruit induit par la commutation des E/S [VARMA04]. Bien que ces modèles soient limités dans le domaine fréquentiel, il est important de souligner que les fichiers IBIS sont souvent utiles pour analyser le comportement électromagnétique des E/S puisqu'ils donnent des informations essentielles à leur modélisation (modèle discret du boîtier, comportement électrique des éléments de protection, etc.) [FU07].

Pour évaluer l'impact d'agression RF sur d'autres blocs fonctionnels d'un CI, [CHAHINE06] propose d'utiliser une fonction mathématique déduite à partir d'un réseau neuronal. Cet article montre que l'immunité d'un inverseur CMOS peut être prédite mathématiquement avec une précision satisfaisante qui est inférieure à 3 dB entre 15 MHz et 100 MHz.

Plus récemment, [LAFON09] prédit l'immunité d'un *transceiver* LIN, d'un transistor BC 847 et d'un capteur capacitif à l'aide de boîtes noires. Ces modèles sont déduits par la résolution de fonctions polynomiales dont les vecteurs d'entrée sont les mesures de paramètres S des circuits. Bien que les comparaisons mesures-simulations montrent que l'immunité des circuits est prédite avec précision jusqu'à 3 GHz, le domaine de validité des modèles est limité par l'impédance d'entrée des circuits. Pour que ces modèles soient valides dans le domaine fréquentiel, l'agression RF ne doit pas induire des effets non-linéaires tel que le déclenchement des structures de protection *ESD* (« *Electro Static Discharge* »), puisque les mesures de caractérisation permettant de développer les modèles sont réalisées avec des niveaux de puissance inférieurs à la puissance incidente requise pour perturber le CST.

En revanche, l'utilisation du VHDL AMS est adéquate pour modéliser un CI quelque soit l'impact de l'agression sur son fonctionnement. Ce langage simplifie considérablement la modélisation EMC et garantit les exigences des industriels en terme de confidentialité [PERDRIAU04]. Cette méthode peut également être complémentaire aux simulations SPICE et donc être bien adaptée pour décrire le comportement haut niveau de circuits mixtes et de systèmes complexes [FRANK08].

### 3.2.4. Macro-modèles

La macro-modélisation a initialement été pensée pour simplifier la prédiction du comportement CEM des circuits intégrés et respecter les clauses de confidentialité des industriels. Contrairement aux approches empiriques et comportementales, cette technique est beaucoup plus proche de l'architecture même du composant. Son principe est de modéliser la fonction ou la structure d'un circuit agressée par un réseau d'impédance traduisant son comportement électrique en fonctionnement nominal et perturbé. A ce jour, de nombreuses normes de modélisation telles que LECCS (« *Linear Equivalent Circuit and Current Source* »), IMIC (« *I/O Interface Model for Integrated Circuits* ») et ICIM (« *Integrated Circuit Immunity Model* ») s'inspirent de cette approche pour prédire l'immunité d'un circuit.

Le modèle LECCS est à l'origine utilisé pour modéliser les « *buffers* » des E/S et ainsi évaluer le niveau de courant véhiculé sur les rails d'alimentation d'un CI [WADA08]. Traduisant le comportement fréquentiel de la structure modélisée, l'impédance interne de ce modèle peut fournir une estimation de sa susceptibilité.

Le modèle IMIC proposé en 2001 par la JEITA (« *Japan Electronics and information Technology industries associations* ») est une version évoluée du modèle comportemental IBIS [JEIT01]. Comparé à ce dernier, son principal avantage est d'introduire un modèle discret équivalent aux rails d'alimentation du CI.

Le modèle ICIM est dérivé du modèle ICEM (« *Integrated Circuit Emission Model* ») développé pour étudier l'émission des circuits intégrés. C'est en 2003 que [BAFFREAU03] proposa de s'inspirer de la norme ICEM pour prédire l'immunité d'un circuit numérique. L'idée est de remplacer la source de courant décrivant l'activité interne du circuit par une impédance équivalente de son cœur numérique. Bien que cette proposition soit ingénieuse, le modèle d'immunité déduit est limité à l'étude du comportement du réseau distribué de l'alimentation. Selon le critère de défaillance choisi (signal de sortie, jitter sur l'horloge, *etc.*), l'unique impédance du cœur ne serait pas suffisante pour étudier l'immunité d'un circuit.

## 4. Conclusion

L'évolution technologique a donc grandement contribué à l'amélioration des performances des circuits intégrés mais aussi entraîné une augmentation de leur susceptibilité vis-à-vis des perturbations électromagnétiques. Comme nous l'avons vu dans ce chapitre, la constante diminution des marges de bruit rend les circuits de plus en plus sensibles aux agressions RF. Pour éviter qu'elles aient des conséquences sur leur fonctionnement voire des endommagements irréversibles, il est nécessaire que chaque fondeur se mobilise sur la résolution des problématiques liées à la CEM.

Bien que la compatibilité électromagnétique des composants soit étudiée depuis presque un demi-siècle, les fondeurs ont toujours été perplexes sur l'utilité d'introduire ce type d'étude dans le flot de conception de leurs circuits. Or, au vue de l'avancement technologique (diminution de la technologie CMOS, intégration des circuits dans un même boîtier ou sur un même substrat, effervescence des outils de télécommunication, etc.) et de la sévérité des normes de qualification, ils sont aujourd'hui contraints d'évaluer à la fois la sensibilité et l'émissivité de leurs circuits intégrés. Jusqu'à ce jour, ces études étaient réalisées par mesures, après fabrication du produit. Mais en constatant le nombre de circuits non-conformes aux normes CEM lors des phases de qualifications, il est devenu fondamental d'étudier le comportement électromagnétique des circuits à l'aide de modèle précis, dès leur phase de conception.

En vue de réduire la susceptibilité des circuits intégrés face aux agressions électromagnétiques, nous avons donc conçu un véhicule de test dont l'architecture interne a été élaborée de manière à évaluer plusieurs règles de conception de circuits numériques. Des capteurs de tension y ont été intégrés pour caractériser la propagation des IEM injectées en mode conduit et évaluer la précision des modèles développés.

Nous utiliserons deux approches différentes pour modéliser certains blocs sensibles de notre véhicule de test : la modélisation à l'échelle transistor et la macro-modélisation. La comparaison de ces deux approches nous permettra notamment de définir la plus appropriée au contexte industriel.

Les études réalisées sur ce circuit nous permettront ainsi d'étudier la propagation des perturbations électromagnétiques à l'intérieur du circuit mais également de valider le flot de modélisation et les outils de simulation que nous proposerons dans ce manuscrit.







## CHAPITRE 2

# Etude des mécanismes de couplage des ondes électromagnétiques en mode conduit sur un circuit intégré

Dans ce chapitre, nous analysons la propagation des perturbations électromagnétiques véhiculées à l'intérieur d'un circuit développé en technologie SMOS8MV<sup>®</sup> 0,25  $\mu\text{m}$  dans lequel plusieurs capteurs de tension asynchrones ont été intégrés. Cette méthode de mesure innovante a l'avantage de caractériser précisément les interférences électromagnétiques présentes au cœur du circuit intégré tout en s'affranchissant des limites des mesures externes. Les informations déduites de ces mesures donnent des indications précises sur la sensibilité des blocs implémentés dans notre véhicule de test et permettent d'améliorer nos connaissances sur la propagation des interférences à l'intérieur des CI.

### 1. Nécessité de caractériser la propagation des interférences en mode conduit

#### 1.1. Problématiques

Avec l'évolution technologique, la sensibilité des circuits intégrés a augmenté de telle sorte que les problèmes de compatibilités électromagnétiques sont aujourd'hui récurrents [RAMDANI09]. Pour minimiser les temps de développement et réduire les coûts de production, les concepteurs ont donc été contraints d'anticiper les risques de défaillances des circuits dès leurs phases de conception. Pour cela, de nombreux outils et autres méthodes de prédiction ont été développés ces dernières années [OKUMOTO04] [STEINECKE06] [ICEM06]. Malgré les progrès considérables réalisés en termes de modélisation et de mesure, les techniques mises en œuvre pour caractériser la susceptibilité des circuits sont encore limitées. Les tests d'immunité décrits par les normes demandent effectivement à ce que la sensibilité d'un circuit soit analysée en observant uniquement les niveaux de tension (et/ou de courant) présents à ses bornes. Or, il serait crucial pour tout concepteur de caractériser le bruit véhiculé sur la puce pour que la sensibilité des fonctions perturbées soit réellement définie. Ces informations permettraient par ailleurs de quantifier les effets induits par le boîtier, les interconnexions et le découplage du circuit, ce qui faciliterait alors l'optimisation de son *design* et sa modélisation.

Pour répondre à ces besoins, plusieurs types de capteurs sur puce ont ainsi été proposés ces quinze dernières années. Les résultats publiés par [TAKAMIYA02] et [KRUPPA06] ont montré que ces outils de mesures ont l'avantage de caractériser précisément l'intégrité des signaux, le couplage substrat, les bruits de commutation sur les alimentations et les diaphonies entre interconnexions. Les systèmes intégrés dans ces capteurs peuvent être classés selon deux catégories. La première catégorie considère tous les circuits

permettant de capturer la forme d'onde d'un signal périodique. Généralement basé sur le principe d'échantillonnage des oscilloscopes, ces systèmes sont souvent constitués d'échantillonneurs-bloqueurs spécialement élaborés pour mesurer des signaux rapides sur une large bande de fréquence [BENDHIA99] [SHEPARD01]. La seconde catégorie englobe tous les systèmes permettant de détecter la présence de bruit à l'intérieur d'un CI. Essentiellement constitués de comparateurs, ces circuits ont la particularité de détecter la présence d'un défaut (*jitter* et/ou amplitude) sur un signal sans avoir à reconstituer sa forme d'onde [MUTHAROGLU04] [SCHAUB08].

Bien que ces techniques de mesures aient montré toute leur efficacité pour quantifier les niveaux de puissance émis en mode conduit [VRIGNON05], elles ont jusqu'à présent été très peu utilisées pour analyser la sensibilité des circuits intégrés aux interférences électromagnétiques (IEM) [LAMOUREUX06]. Par conséquent, nous avons décidé d'intégrer plusieurs capteurs de tensions dans un circuit spécialement conçu pour étudier la propagation du bruit injecté en mode conduit.

## 1.2. Objectifs

Au vu de la difficulté de synchroniser la perturbation incidente avec la logique de contrôle des capteurs, nous avons choisi d'implémenter des capteurs de tension asynchrones dans notre véhicule de test pour caractériser la propagation d'IEM injectées sur les alimentations d'un bus d'E/S et d'un bloc numérique. Pour cela, nous décrirons dans un premier temps l'architecture de ces blocs et présenterons le principe d'acquisition de nos capteurs. Nous montrerons ensuite la nécessité de calibrer ces capteurs en analysant leurs performances en régime statique et dynamique. Après avoir caractérisé les systèmes d'injection *DPI* et *BCI* qui seront mis en place pour étudier la sensibilité de notre circuit, nous évaluerons les niveaux de bruit injectés par mesures externes et internes. En fonction des informations déduites de ces mesures, nous montrerons les limites des mesures externes et quantifierons les effets de filtrage et de découplage induit par l'environnement de test et le circuit. Nous étudierons enfin les mécanismes de couplage interne et définirons les sensibilités de chaque bloc agressé.

## 2. Présentation du circuit de test MIXITY

### 2.1. Description de l'architecture interne du circuit

Développé en technologie SMOS8MV<sup>®</sup> 0,25  $\mu\text{m}$  et encapsulé dans un boîtier de type *QFP* (« *Quad Flat Package* ») de 128 broches, le véhicule de test MIXITY a été conçu pour étudier la susceptibilité aux bruits des circuits mixtes et évaluer certaines règles de *design* visant à augmenter leur immunité. Ce circuit intègre plusieurs blocs de nature numérique et analogique tels qu'un bus d'entrée/sorties, quatre cœurs numériques, une boucle à verrouillage et un régulateur. Pour éviter de perturber l'ensemble de ces fonctions lors d'injections d'IEM et minimiser certains mécanismes de couplage, chaque bloc détient sa propre paire d'alimentation. Pour contrôler les niveaux de fluctuation injectés sur les rails d'alimentation de chaque bloc, plusieurs capteurs de tension ont été intégrés dans le véhicule de test.

Dans le cadre de notre étude, nous évaluerons notamment la sensibilité du bus d'E/S et d'un bloc numérique de MIXITY. Pour cela, nous allons détailler l'architecture de ces blocs et celles des capteurs de tension intégrés dans le circuit.

### 2.1.1. Bus d'E/S

Le bus d'E/S est composé d'un terminal d'entrée et de huit terminaux de sortie. Le terminal d'entrée illustré figure 2-1 a pour fonctions de protéger le circuit aux décharges électrostatiques (DES) et de transformer les signaux d'entrée en signaux définis entre 0 et 2,5 V. Ce bloc est constitué de protections DES, de circuits *pull-up/pull-down*, d'un inverseur et de *buffers*. A l'inverse, les terminaux de sortie transforment des signaux définis entre 0 et 2,5 V en signaux dont les niveaux logiques bas et haut sont respectivement équivalents à 0 et 5 V. Comme l'illustre la figure 2-2, ces blocs sont composés de pré-drivers, de *buffers* et de protections DES. Un capteur de tension a été placé sur l'alimentation 5V  $OVDD_{SSNIO}$  au plus proche du bloc d'entrée afin de mesurer le bruit d'alimentation.

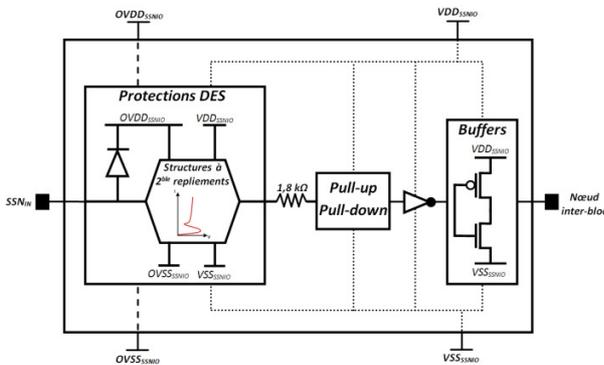


Figure 2-1 : Bloc d'entrée du bus d'E/S

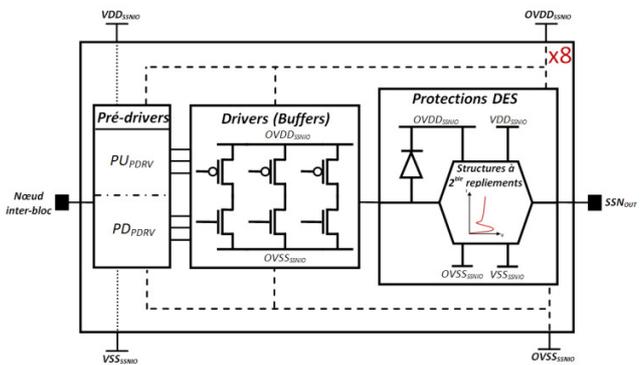


Figure 2-2 : Bloc de sortie du bus d'E/S

### 2.1.2. Bloc numérique

Les blocs numériques «  $core_n$  » intégrés dans MIXITY ont été élaborés pour analyser la propagation du bruit à travers leur rail d'alimentation et étudier les mécanismes de couplages substrats. Chaque bloc est constitué de deux chemins critiques « *critpath* » composés d'une chaîne de *buffers* suivie d'une bascule D, d'un arbre d'horloge « *cktree* » composé de 32 ramifications de *buffers*, de quatre générateurs de bruits « *noisegen25* » semblables à « *cktree* » et d'une capacité de découplage localisée entre  $VDD_{core(n)}$  et  $VSS_{core(n)}$ .

Les quatre cœurs numériques ont également été conçu de manière différente afin d'évaluer des méthodes de découplage et de *design* visant à réduire leur sensibilité aux bruits. A l'exception du cœur n°4 où l'arbre d'horloge détient sa propre paire d'alimentation, les blocs de chaque cœur (chemins critiques, arbre d'horloge et générateurs de bruits) partagent la même paire d'alimentation comme illustré figure 2-3. Les chemins critiques des cœurs n°1 et n°3 détiennent par ailleurs des capacités de découplage distribuées sur leur chaîne de *buffers* entre  $VDD_{core(1-3)}$  et  $VSS_{core(1-3)}$ .

D'autre part, la structure du cœur n°3 a spécifiquement été conçu de sorte à atténuer la propagation de signaux parasites dans le substrat. Pour cela, chaque élément actif de ce cœur a été isolé électriquement du substrat (P<sup>+</sup>) par des couches enterrées de type N et des tranches de diélectriques (figure 2-4).

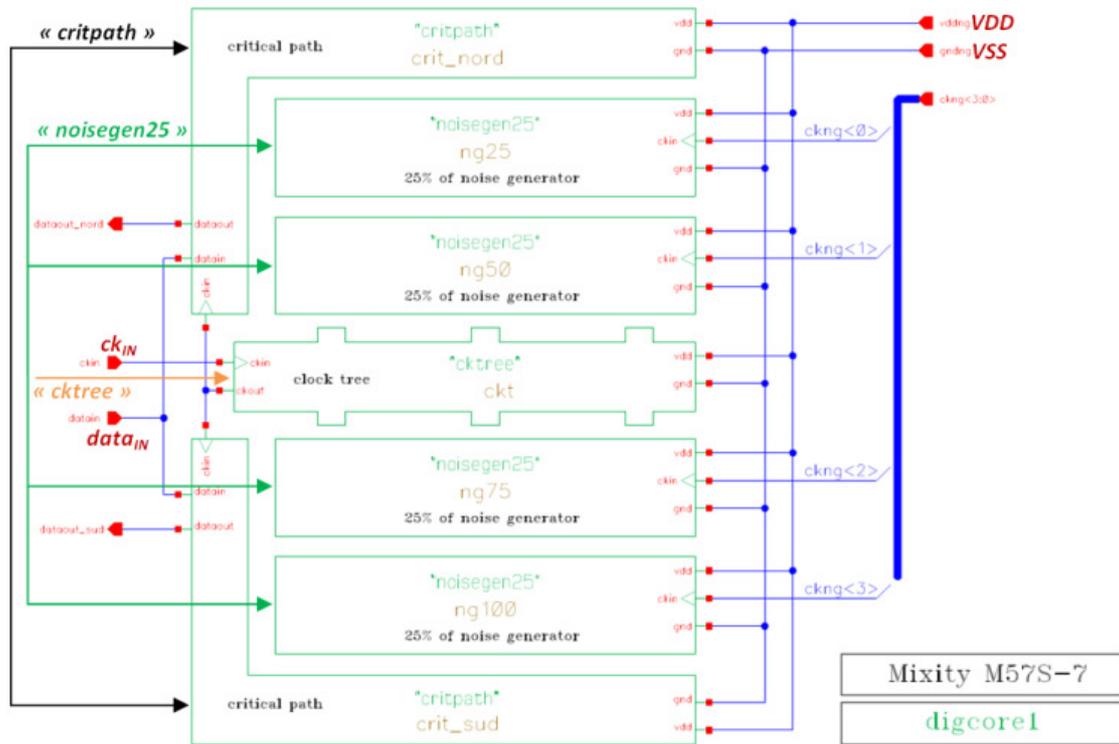


Figure 2-3 : Architecture des blocs numériques n°0, 1 et 3

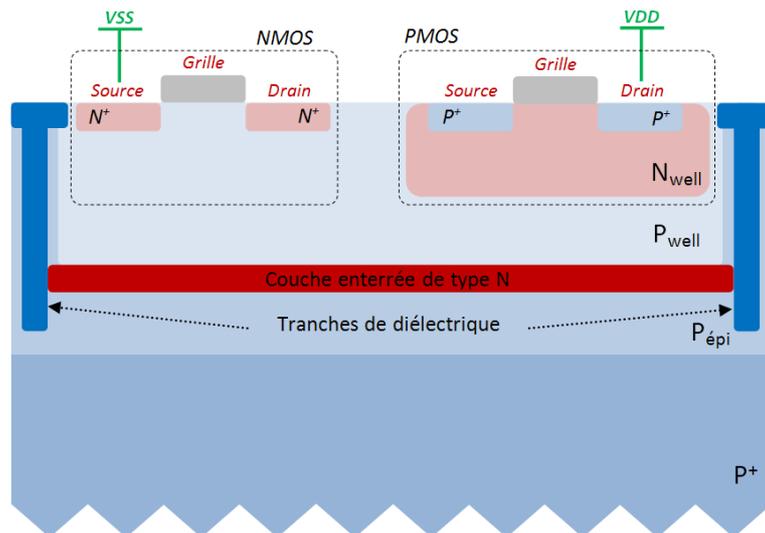


Figure 2-4 : Vue en coupe de la structure du cœur n°3

### 2.1.3. Capteurs de tensions asynchrones

#### 2.1.3.1. Architecture

Les capteurs de tension implémentés dans MIXITY ont été élaborés de manière à être « non-invasifs ». Les trois principaux éléments qui les constituent sont: un atténuateur, un circuit échantillonneur-bloqueur et un amplificateur opérationnel (figure 2-5). Le circuit échantillonneur-bloqueur et l'étage d'entrée de l'amplificateur sont alimentés par une tension  $VDD_{SENS}$  de 2,5 V délivrée par un régulateur de tension interne au circuit. Ce régulateur et l'étage de sortie de l'amplificateur sont alimentés par une tension  $OVDD_{SENS}$  de 5 V.

Pour mesurer les niveaux de fluctuation injectés sur les alimentations du circuit (12 V pour le régulateur, 5 V pour le bus d'E/S et 2,5 V pour les cœurs), plusieurs versions de capteurs ont été développées selon trois gammes de tensions différentes : les capteurs *Low Voltage* (0 - 3,75 V), *Medium Voltage* (0 – 7,5 V) et *High Voltage* (0 – 40 V).

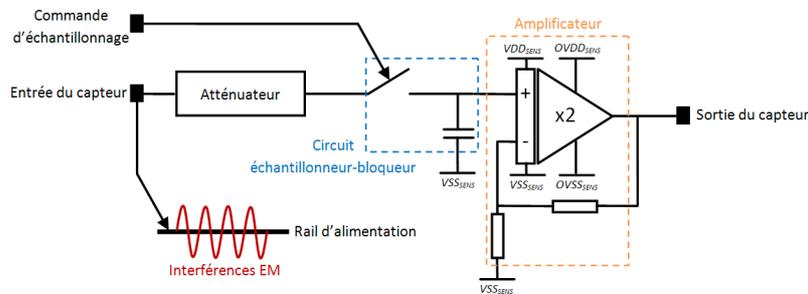


Figure 2-5 : Architecture du capteur de tension asynchrone

Comme l'indique le tableau 2-1, chaque gamme de tension est fixée par le rapport d'atténuation du pont diviseur résistif présent à l'étage d'entrée du capteur (figure 2-6). Pour maintenir constant ces rapports d'atténuation sur une large bande de fréquence, des capacités ont été ajoutées en parallèle du pont diviseur, permettant ainsi de compenser les effets des capacités parasites des résistances et de la cellule d'échantillonnage.

Versions des capteurs	Gamme de tension d'entrée	Rapport d'atténuation
<i>Low Voltage</i>	0 – 3,5 V	2/3
<i>Medium Voltage</i>	0 – 7,5 V	1/3
<i>High Voltage</i>	0 – 40 V	1/16

Tableau 2-1 : Rapport d'atténuation des capteurs de tensions implémentés dans MIXITY

Le circuit échantillonneur-bloqueur est identifié comme étant l'un des éléments les plus critiques du capteur car la gamme de fréquence sur laquelle les mesures sont réalisables en dépend fortement. Pour maximiser la bande passante du capteur, la cellule d'échantillonnage a été conçue à partir de transistors PMOS et NMOS à faibles épaisseurs d'oxyde. Leurs dimensions ont été rigoureusement choisies de manière à ce que leurs résistances  $R_{ON}$  (résistance à l'état passant) et leurs capacités parasites soient minimisées. Une cellule de

compensation a également été utilisée pour réduire les effets d'offsets introduits par les capacités parasites de la cellule d'échantillonnage sur les niveaux de tension mesurés. L'architecture de ce circuit a ainsi été optimisée pour obtenir une bande passante de 2 GHz avec un offset inférieur à 20 mV.

Le dernier élément du capteur est un amplificateur opérationnel de type non-inverseur ayant un gain de 2. Son étage d'entrée rail-à-rail supporte une gamme de tension en mode commun comprise entre 0 V et 2,5 V. L'architecture de son étage de sortie est optimisée de manière à ce qu'il ait une bonne stabilité jusqu'à 2,5 MHz et que ses effets d'offsets parasites soient réduits.

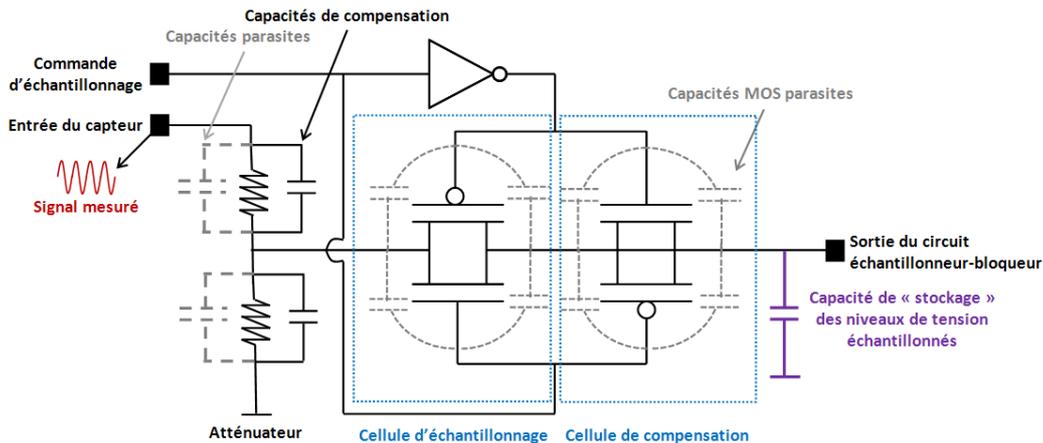


Figure 2-6 : Architecture de l'atténuateur et de l'échantillonneur-bloqueur intégrés dans le capteur

Enfin, la fréquence de la commande d'échantillonnage doit obligatoirement être inférieure à la fréquence de coupure de l'amplificateur pour que les tensions échantillonnées puissent être amplifiées par l'étage de sortie du capteur. Cette condition est essentielle pour extraire convenablement l'amplitude et l'allure du signal mesuré.

### 2.1.3.2. Principe d'acquisition

Pour éviter de synchroniser l'acquisition sur le signal perturbé, l'échantillonnage des signaux est effectué de manière aléatoire. Bien que ce type d'acquisition ne permette pas de reconstruire précisément la forme d'onde du signal mesuré en fonction du temps, plusieurs informations peuvent être déduites à partir des échantillons extraits à la sortie du capteur, en calculant une densité de probabilité.

Comme le montrent la figure 2-7, la commande d'échantillonnage contrôle l'acquisition du capteur. A chaque front descendant de ce signal, le niveau de tension du signal sondé est extrait et mémorisé dans un *buffer* contrôlé par Labview [LABVIEW]. La densité de probabilité (équation 2-1) de l'amplitude du signal mesuré est ensuite calculée dès lors que le nombre de valeurs extraites est suffisamment élevé. L'histogramme ainsi déduit fournit de précieuses informations sur le signal perturbateur telles que sa valeur moyenne, son amplitude pic-à-pic et son allure. Il est alors possible d'analyser les distorsions induites par les éléments non-linéaires du circuit et d'estimer la sensibilité de ce dernier.

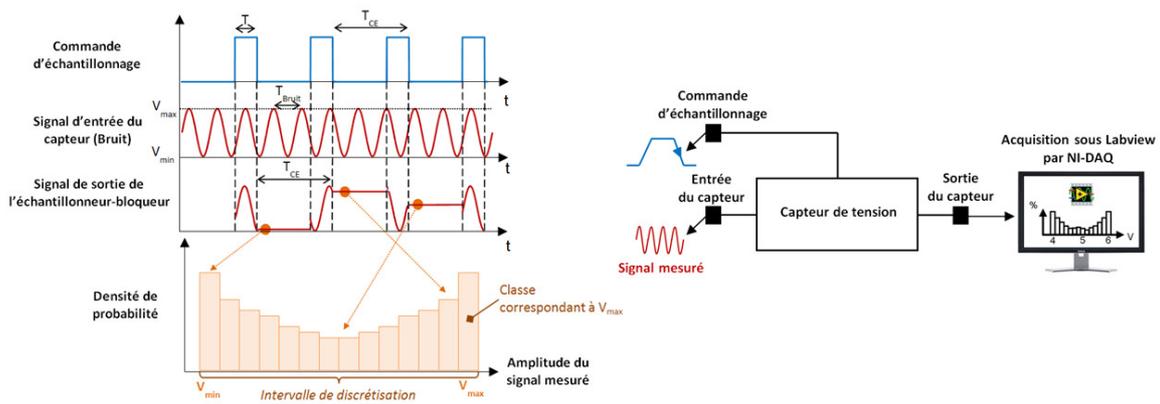


Figure 2-7 : Principe d'acquisition du capteur de tension asynchrone

$$DDP \text{ (Densité De Probabilité)} = \frac{\text{Nombre d'échantillon par classe}}{\text{Nombre total d'échantillon}} \times \frac{\text{Nombre de classe}}{\text{Intervalle de discrétisation}} \quad \text{Equation 2-1}$$

L'intervalle de discrétisation, le nombre de classes et le nombre d'échantillons sont des données essentielles à l'acquisition et au traitement des valeurs échantillonnées. En effet, ces données doivent être optimisées pour calculer convenablement la densité de probabilité du signal mesuré et extraire ses caractéristiques. Si le nombre de classe et le nombre d'échantillons ne sont pas suffisamment élevés ou encore si l'intervalle de discrétisation est trop large, la résolution de l'histogramme est réduite, ce qui complexifie alors l'analyse du signal échantillonné. Il est donc fondamental d'optimiser ces données afin que la résolution de nos mesures soit adéquate pour identifier la forme d'onde et l'amplitude d'un signal. Pour cela, plusieurs études ont montré qu'il était possible de déterminer le nombre de classes à partir d'algorithmes [SHIMAZAKI07] ou de formules analytiques [DECLERCQ96]. Bien qu'elles soient efficaces pour optimiser la résolution des histogrammes, ces méthodes sont inadaptées à nos mesures car elles requièrent une analyse précise de la distribution du signal mesuré et un nombre d'échantillons trop important. Or, nous avons peu d'informations sur le signal mesuré en interne et le temps requis pour extraire les valeurs échantillonnées doit obligatoirement être minimisé pour éviter d'augmenter la durée des tests. Dans le cadre de nos travaux, l'intervalle de discrétisation et le nombre de classes ont donc été définis pour obtenir un bon compromis entre le nombre d'échantillon et la résolution de nos mesures qui est limitée par la sensibilité des capteurs (10 mV).

## 2.2. Caractérisation du capteur de tension

Les effets induits par les capacités parasites de la cellule d'échantillonnage et par l'instabilité de l'amplificateur intégré dans les capteurs peuvent avoir une influence non-négligeable sur la résolution des mesures. Il est donc fondamental de compenser ces effets en calibrant les capteurs afin que les caractéristiques des signaux mesurés soient extraites avec la plus faible erreur de précision. Nous allons ainsi proposer dans cette partie une procédure de calibrage permettant de déterminer les caractéristiques de chaque capteur en régime statique et dynamique. Leur fiabilité sera également analysée en évaluant l'influence de la température et de stress électriques sur leurs performances. Après avoir calibré nos capteurs, nous évaluerons enfin notre méthode d'extraction en mesurant un signal basique.

### 2.2.1. Procédure de calibrage du capteur

#### 2.2.1.1. Performances en régime statique

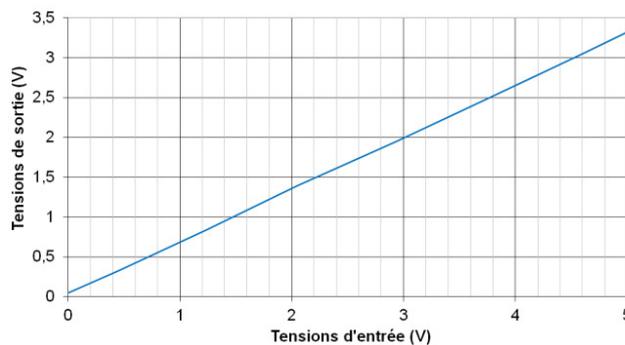
Caractériser les performances d'un capteur en régime statique consiste à déterminer la fonction de transfert entre ses tensions d'entrée et de sortie. Pour cela, nous appliquons à l'entrée du capteur une rampe de tension continue et observons sa réponse en mesurant les niveaux de tensions à sa sortie. Sachant que la fonction de transfert de 1<sup>er</sup> ordre d'un capteur est définie par l'équation 2-2, son gain et son offset peuvent être déduits à partir de la caractéristique d'entrée/sortie.

$$V_{\text{sortie}} = V_{\text{entrée}} \times \text{Gain} + V_{\text{offset}} \quad \text{Equation 2-2}$$

La figure 2-8 illustre la caractéristique d'entrée/sortie du capteur *Medium Voltage* obtenue après avoir appliqué sur son entrée une rampe de tension allant de 0 V à 5 V. Cette caractéristique montre que la réponse du capteur est linéaire car son gain est constant et égale à 0,667 quelque soit la tension mesurée. En observant l'ordonnée à l'origine de cette caractéristique, nous en déduisons également que son offset est égale à 50 mV. Après avoir appliqué la même procédure de calibrage sur les autres versions de capteur, les caractéristiques d'entrée/sortie déduites ont montré qu'ils étaient tous aussi linéaires que le *Medium Voltage*. Le gain et l'offset de chaque capteur sont recensés dans le tableau 2-2.

Version des capteurs	Gain Théorique = $G_{\text{Atténuateur}} \times G_{\text{Amplificateur}}$	Gain mesuré	Offset mesuré
<i>Low Voltage</i>	1,333	1,353	100 mV
<i>Medium Voltage</i>	0,667	0,677	50 mV
<i>High Voltage</i>	0,125	0,134	3 mV

**Tableau 2-2 : Gains et offsets des capteurs de tension intégrés dans MIXITY**



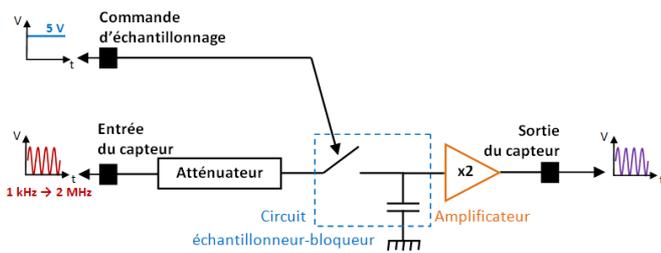
**Figure 2-8 : Caractéristique d'entrée/sortie du capteur « Medium Voltage »**

#### 2.2.1.2. Performances en régime dynamique

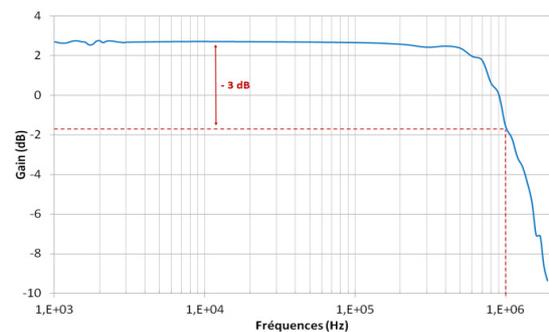
La bande passante d'un capteur est la gamme de fréquence sur laquelle sa sensibilité est constante. Sur cette plage de fréquence, ses caractéristiques (Gain et *offset*) ne subissent aucune variation significative et la densité de probabilité du signal mesuré est extraite sans distorsion. Cette bande passante est essentiellement limitée par la fréquence de coupure du filtre RC équivalent au circuit échantillonneur-bloqueur, où les

composantes résistives et capacitives sont respectivement les résistances  $R_{ON}$  des transistors MOS et la capacité de stockage. Par ailleurs, il est important de rappeler que l'amplification des valeurs échantillonnées ne peut être effectuée que si la fréquence d'échantillonnage est inférieure à la fréquence de coupure de l'étage de sortie de l'amplificateur. Pour définir la fréquence maximale d'échantillonnage et la bande passante du capteur, nous devons donc caractériser les fonctions de transfert de l'amplificateur et de la structure complète du capteur (atténuateur + échantillonneur-bloqueur + amplificateur).

La fonction de transfert de l'amplificateur est définie en calculant le rapport des tensions de sortie et d'entrée du capteur. Pour s'affranchir des cellules d'échantillonnage et de compensation, nous court-circuitons l'échantillonneur-bloqueur en positionnant la commande d'échantillonnage à l'état haut (figure 2-9). Le signal sinusoïdal appliqué à l'entrée du capteur a une amplitude constante et une fréquence qui varie de 1 kHz à 2 MHz. La fonction de transfert déduite des mesures réalisées sur le capteur *Medium Voltage* est illustrée figure 2-10 et montre que la fréquence de coupure de l'amplificateur à - 3 dB est égale à 1 MHz. Les résultats de mesures obtenus avec les autres capteurs ont montré que cette fréquence de coupure ne variait pas d'une version à une autre, ce qui était prévisible car l'amplificateur intégré dans leur architecture est identique. Pour assurer une acquisition de données fiable, nous avons donc choisi une fréquence d'échantillonnage de 9 kHz.

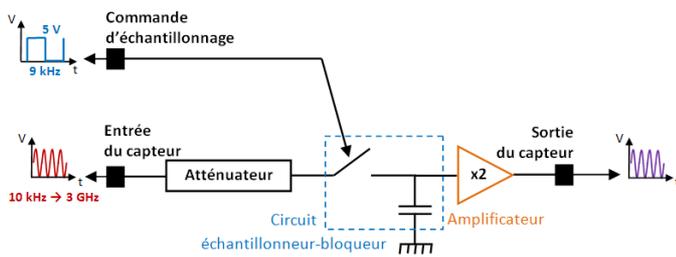


**Figure 2-9 : Protocole de mesure pour définir la fonction de transfert de l'amplificateur**

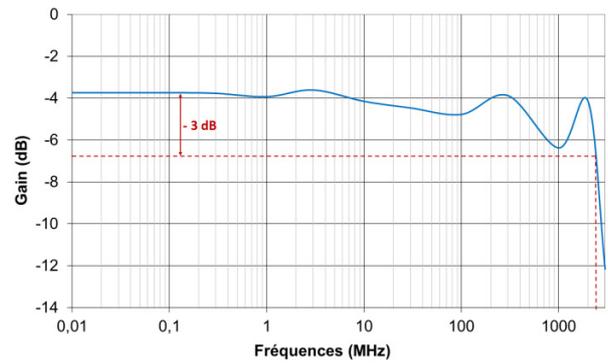


**Figure 2-10 : Fonction de transfert de l'amplificateur intégré dans les capteurs**

Pour déterminer la bande passante du capteur, nous appliquons sur son entrée un signal sinusoïdal d'amplitude constante dont la fréquence varie de 10 kHz à 3 GHz (figure 2-11). La fréquence de la commande d'échantillonnage est fixée à 9 kHz. La fonction de transfert de l'échantillonneur-bloqueur déduite de ces mesures est définie en calculant le rapport entre les tensions de sortie et d'entrée du capteur, à chaque fréquence. La figure 2-12 illustrent la fonction de transfert du capteur *Medium Voltage*. Quelque soit la version du capteur, la bande passante déduite des mesures est de 2,5 GHz. Nous pouvons ainsi considérer que le gain des capteurs est constant sur toute cette plage de fréquence. En dehors de cette bande, les mesures au capteur ne peuvent être réalisées avec précision que si la variation du gain est compensé par *post-processing*.



**Figure 2-11 : Protocole de mesure pour définir la bande passante des capteurs**



**Figure 2-12 : Fonction de transfert du capteur « Medium Voltage »**

## 2.2.2. Tests de fiabilité du capteur

### 2.2.2.1. Effet de la température

Outre sa bande passante et sa résolution, un capteur se caractérise également par sa gamme de température sur laquelle sa sensibilité reste inchangée. Lorsque certaines conditions environnementales telle que la température varie, les valeurs échantillonnées pourraient effectivement être faussées si les variations des caractéristiques du capteur ne sont pas compensées par traitement informatique. Pour évaluer l'effet de la température sur le fonctionnement de nos capteurs, nous mesurons leur caractéristiques d'entrée/sortie et déterminons leur fonction de transfert pour différentes valeurs de températures comprise entre  $-40\text{ }^{\circ}\text{C}$  et  $150\text{ }^{\circ}\text{C}$ . La variation de la température est contrôlée par une enceinte climatique.

Après investigations, nous constatons que les caractéristiques des capteurs ont légèrement été modifiées par les variations de température. En augmentant la température progressivement par pas d' $1\text{ }^{\circ}\text{C}$ , le gain de chaque capteur a diminué linéairement. La valeur des gains des capteurs *Low* et *Medium Voltage* a été réduite d' $1\text{ }\%$  seulement. Pour la version *High Voltage*, cette variation a néanmoins été plus conséquente car le gain du capteur a subi une diminution de  $6\text{ }\%$  par rapport à sa valeur nominale. Leur *offset* a également subi une légère variation de  $0,4\text{ mV}/^{\circ}\text{C}$  avec l'augmentation de la température. Enfin, la fréquence de coupure de l'amplificateur tend aussi à décroître de  $10\text{ kHz}/^{\circ}\text{C}$ . Par exemple, lorsque la température est de  $150\text{ }^{\circ}\text{C}$ , la fréquence de coupure est égale à  $600\text{ kHz}$ .

Au vu des résultats obtenus, nous en concluons que les performances des capteurs sont légèrement sensibles aux changements de température. Par conséquent, si les mesures doivent être réalisées avec précision dans un environnement de tests où les conditions climatiques sont rudes, il sera fondamental de compenser la variation des performances des capteurs obtenue grâce aux motifs de calibration.

### 2.2.2.2. Effet de stress électriques

Lorsque nous injectons des perturbations sur les rails d'alimentation de notre véhicule de test, les capteurs de tension peuvent être exposés à d'importantes fluctuations de tension pouvant accélérer leur vieillissement et ainsi modifier leurs performances. Pour évaluer la robustesse des capteurs implantés dans MIXITY, nous avons

appliqué sur leur entrée des stress électriques pendant 120 minutes et contrôlé leurs performances toutes les 20 minutes (caractéristique d'entrée/sortie et fonction de transfert). Les caractéristiques des stress électriques appliqué sur chaque capteur sont recensées dans le tableau 2-3. Ces stress électriques sont des signaux sinusoïdaux centrés sur les tensions maximales théoriquement tolérées à l'entrée des capteurs. Leurs amplitudes sont égales à 20 % de ces tensions maximales.

Version des capteurs	Caractéristiques des stress électriques		
	Type	Amplitude	Offset
Low Voltage	Sinusoïdal	0,75 V	3,75 V
Medium Voltage	Sinusoïdal	1,5 V	7,5 V
High Voltage	Sinusoïdal	8 V	40 V

**Tableau 2-3 : Caractéristiques des stress électriques appliqués sur les capteurs**

Malgré les 120 minutes de tests, les stress électriques n'ont pas eu d'influence significative sur les caractéristiques des capteurs. La variation de leurs gains n'a effectivement été que d'1 % par rapport à leurs valeurs nominales et leurs *offsets* n'ont varié qu'au maximum de 20 mV. Par conséquent, les perturbations injectées lors des tests d'immunité ont peu de chance de dégrader les performances des capteurs intégrés sur la puce.

### 2.2.3. Extraction de la densité de probabilité d'un signal sinusoïdal

Le protocole de mesure mis en place pour évaluer notre méthode d'extraction est illustré figure 2-13. Notre objectif est de calculer la densité de probabilité d'un signal sinusoïdal. Pour cela, nous appliquons à l'entrée du capteur un signal ayant une fréquence de 10 MHz et une amplitude pic-à-pic de 5 V. La fréquence de la commande d'échantillonnage est de 9 kHz. La densité de probabilité du signal mesuré est calculée avec 2000 échantillons. Pour que la résolution de l'histogramme soit convenable par rapport au nombre d'échantillons extraits des mesures, le nombre de classes est défini à 100 et l'intervalle de discrétisation est compris entre 0 V et 5,2 V.

Les résultats illustrés figures 2-14 montrent que l'intervalle de discrétisation, le nombre de classes et le nombre d'échantillons ont été convenablement choisis car la résolution des histogrammes est suffisante pour caractériser les signaux mesurés. La densité de probabilité calculée à partir des échantillons extraits des mesures est distribuée entre les deux extremums du signal sinusoïdal appliqué à l'entrée du capteur. Par ailleurs, cette densité de probabilité est en accord avec celle définie théoriquement par les équations 2-3 et 2-4, où «  $x$  » est la tension du signal mesuré, «  $x_{norm}$  » sa tension normalisée, «  $x_0$  » sa valeur moyenne et «  $A_0$  » l'écart de tension entre ses valeurs moyennes et maximales (figure 2-15). Nous en concluons donc que notre méthode d'extraction est adaptée pour caractériser les signaux mesurés sur un circuit intégré.

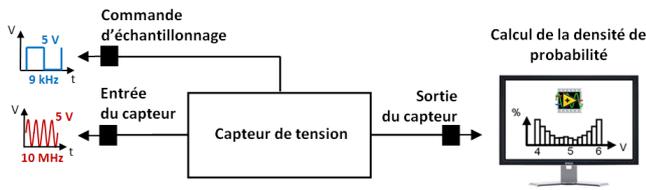


Figure 2-13 : Protocole de mesure pour calculer la densité de probabilité d'un signal sinusoïdal

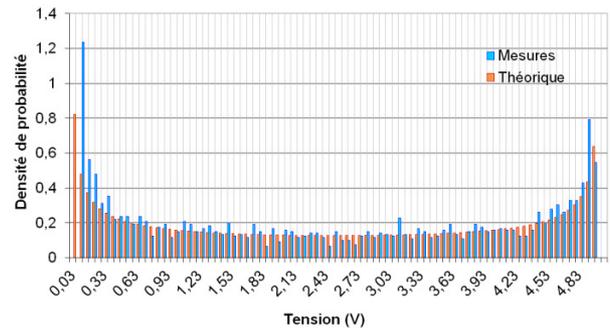


Figure 2-14: Densité de probabilité d'un signal sinusoïdal

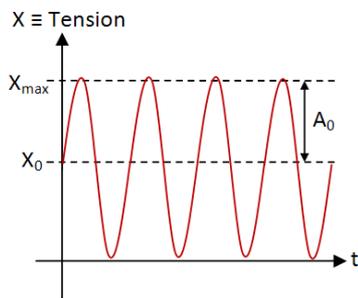


Figure 2-15 : Calcul théorique d'une densité de probabilité

$$DDP_{Théorique} = \frac{1}{\pi \sqrt{1-x_{norm}^2}} \times \frac{1}{A_0} \quad \text{Equation 2-3}$$

$$x_{norm} = \frac{x-x_0}{A_0} \quad \text{Equation 2-4}$$

### 3. Caractérisation normalisée de l'immunité des circuits intégrés en mode conduit

#### 3.1. Objectifs

Comme nous l'avons vu dans le chapitre 1, l'immunité d'un circuit peut être évaluée par différentes méthodes de mesures spécifiées par des normes internationales [IEC62132] [ISO] [DO160] et caractérisée par leur méthode de couplage pouvant être rayonnée ou conduite. La sensibilité d'un circuit est définie dans le domaine fréquentiel et est en général déduite en injectant des perturbations permanentes telles que des signaux sinusoïdaux. Les niveaux de courants transmis à un CST dépendent donc de plusieurs éléments des environnements de tests tels que la source de perturbation et le système d'injection.

Avant d'évaluer l'immunité de notre véhicule de test par injections *DPI* et *BCI*, nous allons analyser l'influence des paramètres de ces systèmes d'injection. Ces investigations nous permettront notamment d'optimiser la configuration des bancs d'injection qui seront par la suite mis en place pour étudier la propagation du bruit à travers MIXITY. Ces deux méthodes de mesures seront également comparées en évaluant les niveaux de puissance injectés sur charges passives entre 1 MHz et 1 GHz. A partir des résultats que nous obtiendrons, nous définirons enfin les avantages et inconvénients de chaque méthode.

#### 3.2. Agression normalisée d'un circuit par couplage capacitif

##### 3.2.1. Description des tests *DPI*

Les tests *DPI* (Direct Power Injection) illustrés figure 2-16 sont définis par la norme IEC62132-4. Cette technique se caractérise par un couplage capacitif de l'agression sur le CST. La bande de fréquence sur laquelle les mesures sont réalisées s'étend de 150 kHz à 1 GHz. La puissance maximale injectée varie en fonction du composant sous test et du gabarit défini par le client. Elle peut atteindre jusqu'à 36dBm (4 watts) dans le cas d'un test réalisé sur contrôleur *CAN* (*Controller Area Network*) dédié au domaine de l'automobile.

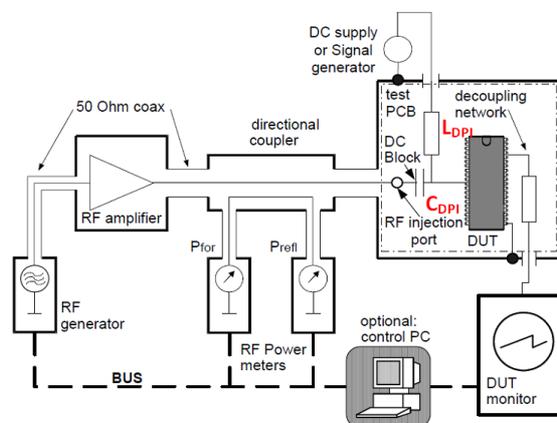


Figure 2-16: Banc de mesure DPI (IEC 62132-4)

La perturbation sinusoïdale générée par le synthétiseur (« *RF generator* ») et l'amplificateur (« *RF amplifieur* ») peut être continue (CW) ou modulée en amplitude (AM). Ce signal est transmis au CST via un « T » de couplage (« *bias-tee* ») constitué d'une capacité  $C_{DPI}$  et d'une inductance  $L_{DPI}$ . La capacité permet le couplage de la perturbation RF sur l'alimentation continue véhiculée à travers l'inductance. Ce système d'injection est utilisé pour agresser des signaux continus ou de fréquences faibles. Pour des mesures réalisées entre 150 kHz et 1 GHz, les valeurs de la capacité  $C_{DPI}$  et de l'inductance  $L_{DPI}$  sont respectivement égales à 6,8 nF et 1  $\mu$ H.

D'autre part, la norme spécifie également l'algorithme décrivant l'asservissement des tests. Cet algorithme pilote les appareils du banc de mesure en fonction de la réponse du circuit. Pour analyser l'immunité du CST entre 150 kHz et 1 GHz, la puissance injectée à chaque fréquence est augmentée jusqu'à atteindre un critère de susceptibilité défini au préalable. Dès lors que ce critère est atteint, les puissances incidentes et réfléchies mesurées par le coupleur et le wattmètre sont enregistrées pour finalement tracer la caractéristique  $P(f)$  décrivant la sensibilité du CST.

Pour conclure, la méthode *DPI* est l'une des techniques les plus performantes et adéquates pour étudier l'immunité des circuits intégrés car elle a l'avantage d'avoir une injection localisée bien maîtrisée

### 3.2.2. Influence des éléments du système d'injection *DPI*

Comme le montre la figure 2-17 (coefficient de transmission  $S_{21}$  mesuré avec un analyseur de réseau), la valeur de la capacité  $C_{DPI}$  influe sur le courant transmis au CST. Plus la capacité est faible, plus la bande spectrale sur laquelle le courant est injecté est déplacée à hautes fréquences. Lorsqu'une capacité de 4,7 pF est utilisée, le domaine de validité du banc d'injection *DPI* est ainsi étendu jusqu'à 4 GHz. Par ailleurs, pour des broches de composant véhiculant des signaux hautes fréquences, l'inductance du bias-tee est remplacée par une résistance d'une centaine d'Ohms.

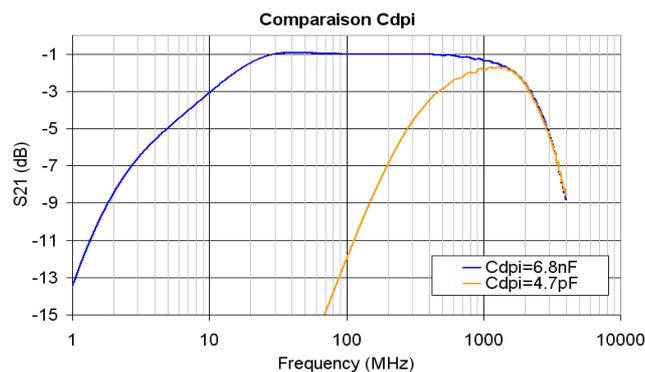


Figure 2-17: Comparaison de capacités  $C_{DPI}$

La puissance transmise entre le point d'injection (« *RF injection port* ») et l'entrée du CST dépend alors de la bande passante de cette capacité. Sachant que chaque élément du chemin d'injection influence sur la transmission du signal RF, les câbles et le circuit imprimé (*PCB* : « *Printed Circuit Board* ») utilisés sont adaptés 50  $\Omega$  pour éviter d'éventuelles pertes énergétiques.

### 3.3. Agression normalisée d'un circuit par couplage inductif

#### 3.3.1. Description des tests BCI

Contrairement aux tests *DPI*, la technique de mesure *BCI* (« Bulk Current Injection ») a la particularité de perturber le CST par un couplage inductif de l'agression. Cette technique est à l'origine pensée pour étudier l'immunité d'équipements dédiés aux applications militaires, aéronautiques et automobiles [LEVER90], entre 10 kHz et 400 MHz. Face aux exigences des clients et aux avantages que présente cette méthode, les mesures *BCI* sont utilisés depuis une vingtaine d'années par les fabricants de semiconducteurs pour étudier l'immunité de leurs circuits entre 150 kHz à 1 GHz, pendant leur phase de qualification.

Les tests *BCI* illustrés figures 2-18 et 2-19 sont définis par la norme IEC 62132-3. Les principaux éléments caractérisant un banc de mesure *BCI* sont la cage de Faraday et son plan de masse, les sondes d'injection [FCC] et de mesure, les câbles sur lesquels le courant perturbateur est injecté et le réseau stabilisé d'impédance de ligne (RSIL) pouvant être utilisé pour tenir compte du câblage d'un véhicule.

Les mesures *BCI* peuvent être asservies de deux manières différentes : en boucle fermée ou ouverte. Ces asservissements consistent respectivement à contrôler la défaillance du CST en fonction de la puissance incidente transmise à la pince d'injection (figure 2-18) ou du courant injecté sur les conducteurs à l'aide de la sonde de mesure (figure 2-19). Deux graphiques caractérisant l'immunité d'un CST peuvent ainsi être déduits à l'issu de ces tests, l'un dépendant de la puissance incidente ( $P_{INC}(f)$ ) et l'autre du courant mesuré sur les conducteurs ( $I_{BCI}(f)$ ).

Soulignons également qu'il est vivement conseillé d'analyser le comportement du CST à l'aide d'une interface optique pour éviter le couplage de l'onde rayonnée par la pince d'injection sur les conducteurs utilisés pour observer la détection du critère d'immunité.

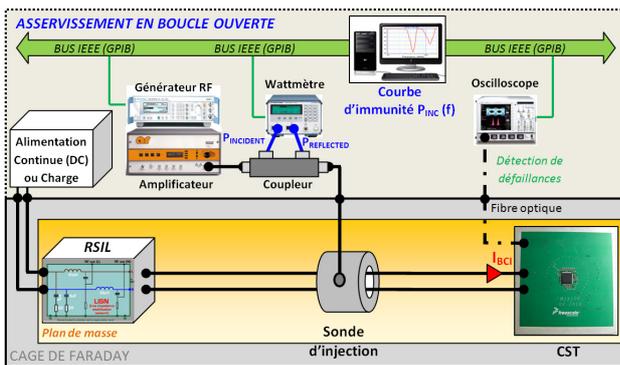


Figure 2-18: Test BCI asservi en boucle ouverte

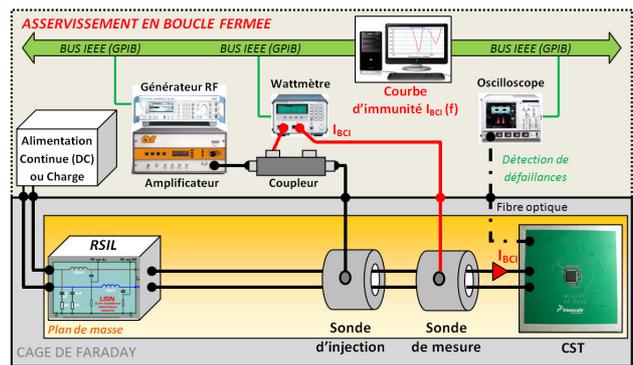


Figure 2-19: Test BCI asservi en boucle fermée

Comme pour les tests *DPI*, le courant injecté par le synthétiseur et l'amplificateur peut être continu (CW) ou modulé en amplitude (AM). Le niveau de courant injecté est néanmoins défini selon cinq degrés de sévérité différents (tableau 2-4) allant de 50 mA à 300 mA. Le cinquième et dernier degré correspond à un niveau supérieur à 300 mA qui peut être déterminé librement par l'utilisateur. Par exemple, une application *CAN* peut être testé jusqu'à 400 mA en fonction des exigences du client.

Degré de sévérité des tests BCI	Niveau de courant (CW) sans perte d'insertion
I	50 mA
II	100 mA
III	200 mA
IV	300 mA
V	Valeur spécifique définie par l'utilisateur de la norme

Tableau 2-4: Degré de sévérité des tests BCI

Pour les tests des circuits intégrés, l'amplitude du signal perturbateur doit être constante et limitée en fonction d'un des degrés de sévérité quelque soit la forme de l'onde (CW ou AM). Comme l'indique la norme IEC, cette amplitude est définie à l'aide d'un outil de calibrage appelé « JIG » (figure 2-20). Le calibrage des tests BCI consiste à déterminer la puissance délivrée par la source RF pour atteindre le niveau de courant désiré sur 50 ohms. Grâce au caractère adapté du « JIG » et de la charge sur laquelle le courant est injecté, la puissance maximale  $P_{LIMIT}$  peut être définie en limitant les pertes d'insertion sur toute la bande de fréquence. La caractéristique  $P_{LIMIT}(f)$  représente alors le gabarit d'immunité que doit respecter le CST.

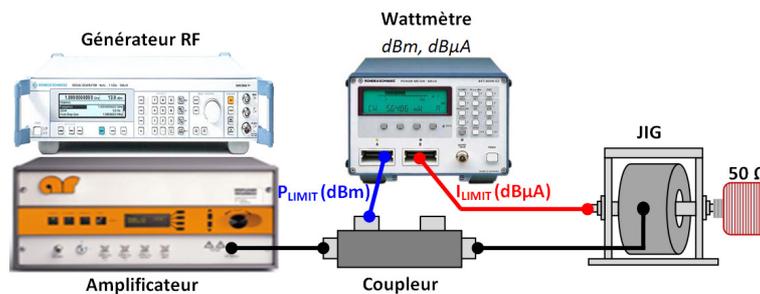


Figure 2-20: Calibrage des tests BCI

La mesure BCI est ainsi une technique adéquate pour analyser l'immunité puisqu'elle permet un couplage inductif et localisée de la perturbation RF qui s'apparente aux types d'agression que peuvent subir les torons de câbles des systèmes électroniques et autres circuits intégrés dans leurs applications respectives.

### 3.3.2. Influences des éléments des systèmes d'injection BCI

Notre expérience nous a montré que les tests BCI peuvent parfois être difficiles à mettre en œuvre pour évaluer la sensibilité d'un circuit. Hormis la nature du CST, plusieurs paramètres du banc de mesure peuvent effectivement avoir des influences non négligeables sur la transmission de courant et les résultats ainsi obtenus. Par conséquent, une étude approfondie a été réalisée pour recenser les paramètres influant sur l'injection de courant. Les lignes de transmission utilisées pour l'étude sont illustrées figure 2-21 et 2-22. Chaque investigation est réalisée de 1 MHz à 1 GHz, avec et sans rappel de masse aux extrémités du conducteur de référence (GND). Les principaux résultats de cette étude sont présentés dans les parties suivantes.



Figure 2-21: Paire de fils parallèles

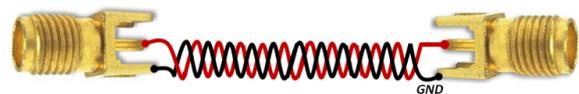


Figure 2-22: Paire de fils torsadés

### 3.3.2.1. Influence de la position d'une paire de fils torsadés dans la pince d'injection

L'influence du positionnement des conducteurs dans la pince d'injection est évaluée en mesurant le coefficient de transmission entre son entrée et l'une des extrémités du câble. Les conducteurs utilisés pour cette analyse sont des paires de câbles torsadés et parallèles d'une longueur de 115 cm placés à 5 cm d'un plan de masse. Le coefficient de transmission  $S_{21}$  est mesuré à l'aide d'un analyseur de réseau vectoriel dont les ports 1, 2 et 3 sont respectivement connectés à l'entrée de la pince d'injection et aux extrémités de la ligne de transmission. Deux configurations sont analysées : l'une où les conducteurs sont placés au centre de la sonde et l'autre où ils sont situés en périphérie de la pince d'injection (figure 2-23).

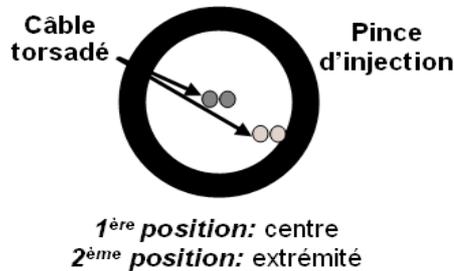


Figure 2-23: Position du conducteur dans la pince d'injection

Les résultats de la figure 2-24 montrent que le positionnement d'une paire de fils torsadés de 115 cm dans une pince d'injection n'a pas d'influence significative sur la transmission de courant jusqu'à 1 GHz. Les résultats de l'investigation complémentaire réalisée avec la paire de fils séparés sont identiques. Nous observons néanmoins qu'un rappel de masse aux extrémités du conducteur de référence permet d'accroître la transmission de courant lorsque la ligne est chargée par 50  $\Omega$ .

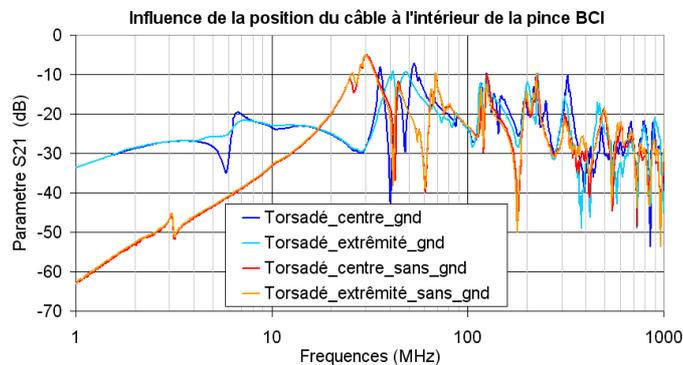


Figure 2-24: Influence de la position du conducteur dans la pince d'injection

L'écart de puissance injecté sur la ligne avec et sans rappel de masse apparaît essentiellement entre 1 MHz et 30 MHz. Au-delà de 30 MHz, cet écart n'est plus aussi significatif à cause du couplage capacitif résultant de la position de la ligne au-dessus du plan de masse. Afin de mieux comprendre ce phénomène, les deux investigations suivantes sont focalisées sur les influences de la distance entre ces deux éléments et l'écart entre les deux fils de la ligne de transmission.

### 3.3.2.2. Influence de la distance entre conducteurs et plan de masse

L'influence de la distance entre la paire de fil et le plan de masse est étudiée en mesurant le coefficient de transmission entre l'entrée de la pince d'injection et une paire de câbles torsadés de 115 cm. Les distances choisies pour cette étude sont de 0 et 5 cm. La figure 2-25 illustre le couplage capacitif et la boucle de courant résultants de la présence des câbles au-dessus d'un plan de masse.

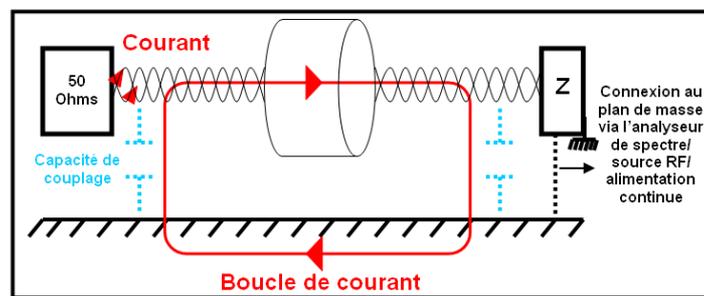


Figure 2-25: Couplage capacitive entre conducteurs et plan de masse

Les résultats de mesure (figure 2-26) montrent l'effet passe-haut des capacités de couplage induites entre les câbles et le plan de masse. Plus la distance entre ces deux éléments est grande, plus la fréquence de la première résonance de la ligne est élevée. Par ailleurs, lorsqu'aucun rappel de masse n'est réalisé aux extrémités du conducteur de référence, le niveau de courant transmis diminue avec l'augmentation de cette distance. Ces phénomènes s'expliquent notamment par la diminution de la valeur de la capacité équivalente.

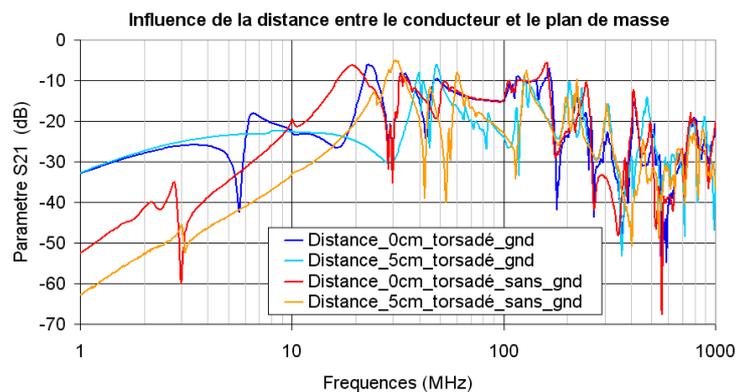


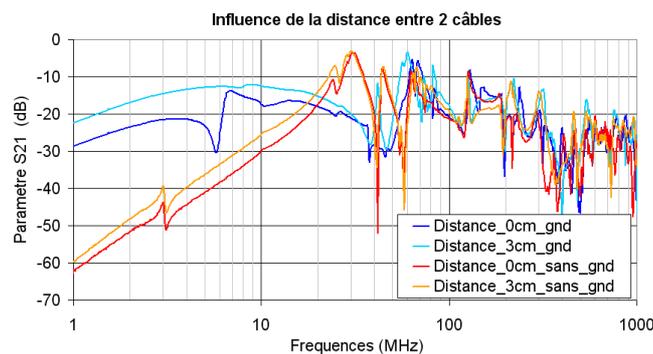
Figure 2-26: Influence de la distance entre un câble et un plan de masse

Nous en concluons que la transmission de courant entre une pince d'injection et une ligne chargée par  $50 \Omega$  est optimisée lorsque la paire de fils est placée au plus proche du plan de masse.

### 3.3.2.3. Influence de la distance entre 2 conducteurs

L'objectif de cette investigation est d'identifier la cause des écarts de puissance mesurés aux bornes d'une charge lorsque celle-ci est connectée à une ligne de transmission constituée d'une paire de fils parallèles et torsadés. L'influence de la distance entre deux conducteurs parallèles sur l'injection de courant est ainsi analysée en mesurant, comme précédemment, le coefficient de transmission. La distance entre la ligne de transmission et le plan de masse est de 5 cm et les écarts choisis entre les conducteurs sont de 0 et 3 cm.

Les résultats de mesure de la figure 2-27 montrent que plus les fils de la ligne sont distants l'un de l'autre et plus le niveau de puissance mesuré est important. Cette différence s'élève à plus ou moins 7 dB lorsqu'une connexion au plan de masse est réalisée aux deux extrémités du conducteur de référence. Nous pourrions supposer que l'injection de courant n'est pas symétrique entre les deux conducteurs de la ligne, ce qui impliquerait que le rayonnement de la pince est déséquilibré lorsque le courant est injecté sur une paire de fils parallèles. Cependant, nous avons vu précédemment que la position des conducteurs dans la pince n'a aucune influence sur la transmission d'énergie.



**Figure 2-27: Influence de la distance entre 2 câbles**

La diaphonie capacitive induite par la différence de polarité des conducteurs peut néanmoins expliquer cet écart [YUEDONG09]. La valeur de la capacité mutuelle résultant de cette diaphonie est d'autant plus élevée que la distance entre les conducteurs est grande. Si les conducteurs sont suffisamment proches l'un de l'autre une fuite de courant apparaît par le diélectrique qui les sépare. Cependant, l'air est un isolant quasi-parfait s'il n'est pas trop humide. Il paraît donc difficile à concevoir qu'il existe un couplage capacitif entre ces conducteurs.

Par conséquent, la dernière hypothèse pouvant expliquer cet écart est l'effet de peau existant entre les conducteurs. Dans une ligne composée de deux fils (aller et retour du courant), il peut se produire un effet de proximité à haute fréquence entre les deux conducteurs [CIRINO09]. Similaire et confondu à l'effet de peau, le courant véhiculé à travers la ligne a tendance à circuler seulement sur les parties des conducteurs en vis-à-vis (figure 1-39). Cet effet totalement dépendant de la géométrie de l'ensemble (section des conducteurs, distance

entre conducteurs, distance entre conducteurs et un plan de masse, etc.) induit des pertes d'énergie le long de ligne et explique ainsi les écarts de puissance mesurés entre les deux configurations (figure 2-28).

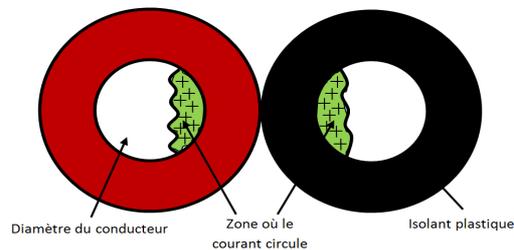


Figure 2-28: Effet de proximité entre deux conducteurs

Bien que l'utilisation d'une paire (ou d'un toron) de fils torsadés soit généralement recommandée pour éviter de créer des boucles susceptibles d'intercepter tout champ électromagnétique voisin à l'application électrique, il est préférable de distancer deux conducteurs ayant une polarité différente pour minimiser l'impact de l'effet de proximité et ainsi optimiser l'injection de courant lors de tests *BCI*.

#### 3.3.2.4. Influence de la distance entre la pince d'injection et le véhicule de test

Pour analyser l'immunité d'un CST dans un cas empirique lors de tests *BCI*, la pince doit être placée sur la ligne de telle sorte que l'injection de courant soit maximale. Nous proposons ainsi d'évaluer l'influence de son positionnement en mesurant le coefficient de transmission entre son entrée et un véhicule de test sur lequel est montée une charge inductive ( $L = 1 \mu\text{H}$ ) ou capacitive ( $C = 1 \text{nF}$ ). L'utilisation de ces charges permet d'étudier la transmission de courant sur une ligne terminée par un circuit ouvert et fermé en fonction de la fréquence du signal perturbateur. La distance entre la pince d'injection et le véhicule de test varie de 5 cm à 115 cm (figure 2-29). Une paire de fils torsadés d'une longueur de 2 mètres ayant un rappel de masse de part et d'autre de son conducteur de référence est utilisée pour cette étude. La distance entre la ligne et le plan de masse est de 5 cm.

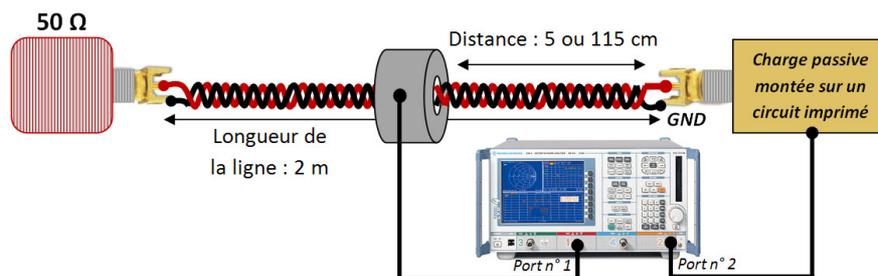


Figure 2-29: Influence du positionnement de la pince d'injection sur la transmission de courant à un véhicule de test

Les résultats de la figure 2-30 montrent que le positionnement de la pince d'injection n'a pas d'influence significative sur le courant transmis entre son entrée et la charge inductive connectée à la paire de fils torsadés, jusqu'à une trentaine de mégahertz. Au-delà de cette fréquence correspondant à la bande passante (BP) des conducteurs ( $BP \approx c / 4 \cdot l$ , avec  $c$  : célérité ( $3.10^8 \text{ m.s}^{-1}$ ) et  $l$  : longueur du câble), le coefficient de transmission mesuré varie en fonction de la fréquence et de la distance entre la pince et le véhicule de test, quelque soit la charge connectée à l'extrémité de la ligne (figures 2-29 et 2-30).

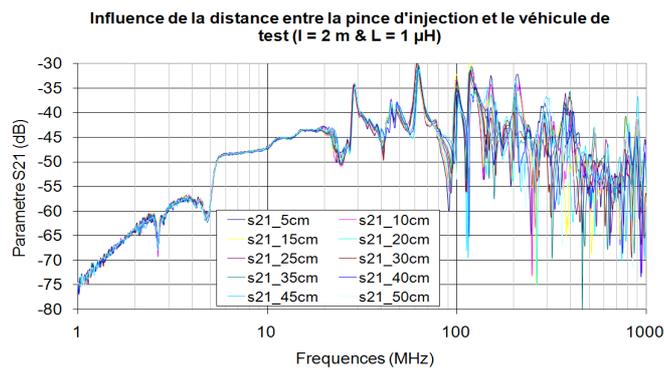


Figure 2-30: Mesures du coefficient de transmission en fonction du positionnement de la pince

La figure 2-31 illustre les résultats de mesure obtenus à fréquence constante (100 MHz, 300 MHz et 1 GHz) en injectant un courant sur la ligne de transmission chargé par une capacité de 1 nF. L'amplitude de l'onde transmise entre la pince et le véhicule de test passe par des minimums et des maximums distancés d'une longueur définie par les propriétés des lignes de transmission [FERRARI]. La distance entre deux minimums ou deux maximums est de  $\lambda/2$  ( $\lambda$  : longueur d'onde ( $=c/f$ ) et  $f$  : fréquence de l'onde). Par exemple, les coefficients de transmission mesurés à 300 MHz et 1 GHz passent respectivement par un minimum (ou maximum) tous les 50 cm et 15 cm.

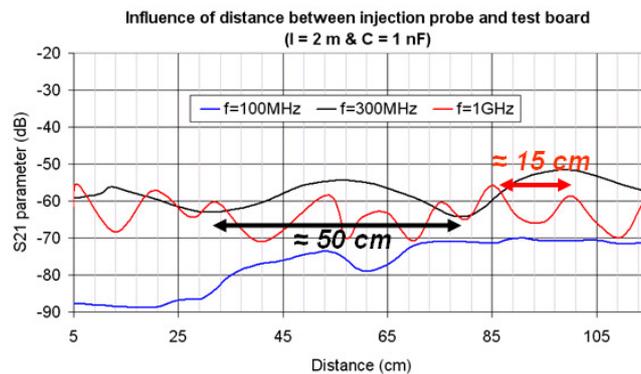


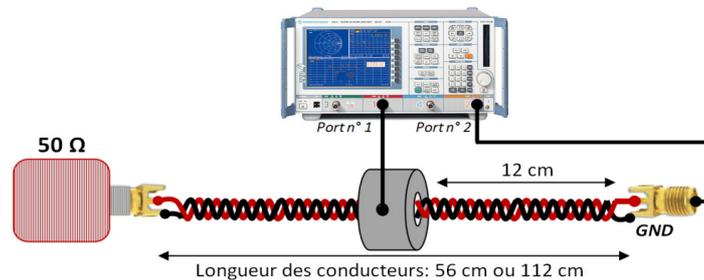
Figure 2-31: Mesure du coefficient de transmission à fréquence constante

Par conséquent, au-delà de la bande passante des conducteurs, il est conseillé de modifier l'emplacement de la pince pour se placer sur un maxima et ainsi injecter un maximum de courant sur la ligne. Bien que l'optimisation de son emplacement soit préconisée dans certaines normes [ISO], cette manœuvre est rarement effectuée en pratique car les tests *BCI* deviendraient manuels et leurs durées seraient alors beaucoup trop élevées.

### 3.3.2.5. Influence de la longueur des conducteurs

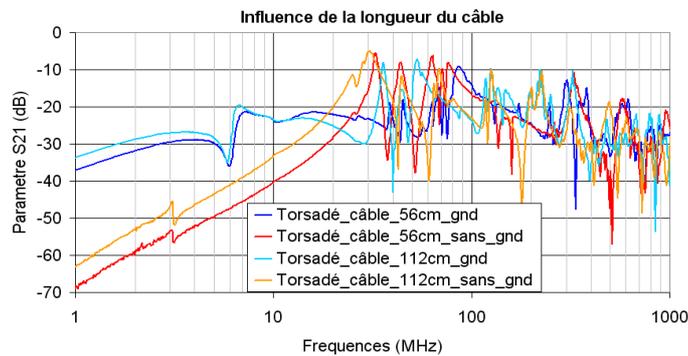
Le but de cette investigation est d'évaluer l'impact que peut avoir la longueur de la ligne sur le courant injecté lors de tests *BCI*. Nous mesurons ainsi le coefficient de transmission entre l'entrée de la pince d'injection et l'une des extrémités d'une paire de câbles torsadés chargé par 50 ohms (figure 2-32). Les conducteurs sont

placés à 5 cm du plan de masse et leurs longueurs définies pour cette étude sont 56 cm et 112 cm. La pince est positionnée à 12 cm de l'extrémité de la ligne connectée à l'analyseur de réseau.



**Figure 2-32: Influence de la longueur des conducteurs sur l'injection de courant réalisée lors de tests BCI**

Les résultats de la figure 2-33 indiquent que la transmission de courant est plus importante lorsque la longueur de câble est grande quelque soit la présence de rappels de masse sur le conducteur de référence. Cet écart s'explique notamment par la différence d'impédance des deux paires torsadées puisque le niveau de courant injecté résulte d'une inductance mutuelle dépendant des inductances équivalentes de la pince et de la ligne [ROUX04]. Plus ces inductances sont élevées, plus l'énergie couplée aux conducteurs est grande. Nous pouvons également constater que la longueur des conducteurs influe sur leurs effets résonnants. La bande de fréquence sur laquelle ces effets interviennent est d'autant plus grande que les conducteurs sont longs.



**Figure 2-33: Impact de la longueur de la paire de fils torsadés sur l'injection de courant de tests BCI**

L'injection de courant peut donc être maximisée en optimisant la longueur des conducteurs de sorte à réduire les effets résonnants de la ligne et ainsi injecter un niveau de courant conséquent sur une large bande spectrale. Pour réaliser les tests de qualification d'un circuit intégré, la longueur des câbles est généralement définie par le client.

Pour résumer les résultats de ces investigations, le tableau 2-5 recense les effets de chaque paramètre d'un banc de mesure BCI sur la transmission de courant entre la pince d'injection et les conducteurs ainsi que leur degré d'influence.

Paramètres influents sur l'injection de courant	Degré d'influence	Détails
Position des conducteurs dans la pince d'injection	-	Quelque soit la position des conducteurs dans la pince d'injection, le coefficient de transmission mesuré reste inchangé
Distance entre deux conducteurs	+++	La diaphonie capacitive entre deux conducteurs de polarité différente est d'autant plus élevée que la distance qui les sépare est petite.
Distance entre conducteurs et plan de masse	+++	Le couplage capacitif entre conducteurs et plan de masse induit un effet de filtre passe-haut sur la propagation de courant
Distance entre pince d'injection et véhicule de test	++	Le courant transmis entre la pince d'injection et une carte de test est influencé par la position de la pince d'injection au-delà de la bande passante des conducteurs
Longueur des conducteurs	+++	L'impédance des conducteurs (inductances et capacités séries) varie en fonction de leurs longueurs. La longueur de la ligne influe ainsi sur le courant injecté.

Tableau 2-5: Paramètres du banc de test BCI influent sur la transmission de courant

Suivant l'application, le système ou le CI testé, les mesures BCI peuvent donc être difficiles à mettre en œuvre puisque le courant injecté est influencé par de nombreux paramètres. Les résultats de cette étude montrent pourquoi les courbes d'immunités résultantes de ces mesures sont souvent différentes d'un banc de tests à un autre, un constat qui est fréquemment établi entre un fournisseur et son client.

### 3.4. Comparaison des agressions normalisées par couplage capacitif et inductif

Ayant étudié l'influence des paramètres des bancs de mesures DPI et BCI, il est désormais intéressant de comparer les niveaux d'énergie injectés par de tels systèmes sur des charges élémentaires. Pour déterminer la différence de puissance transmise entre ces deux méthodes d'injection conduite, nous réalisons une étude sur charges passives.

La figure 2-34 illustre les bancs de mesures utilisées pour cette étude. Les chemins d'injection vers la charge sont identiques. Seul le système d'injection (DPI ou BCI) diffère d'un banc de mesure à un autre. La perturbation de type « CW » est générée par synthétiseur et un amplificateur. La charge passive sur laquelle l'agression est injectée est montée sur une carte de test spécialement conçue pour cette investigation.

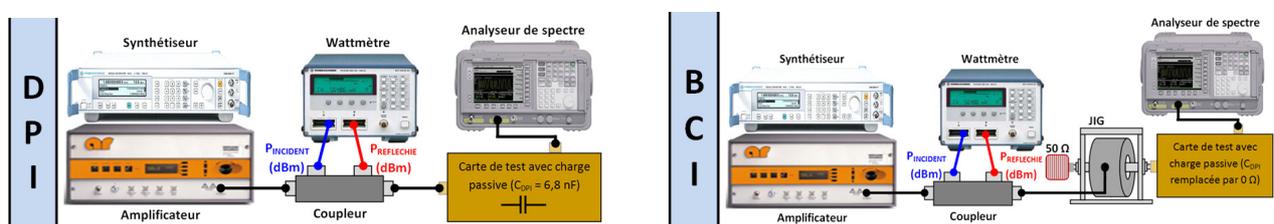


Figure 2-34: Bancs de mesures DPI et BCI (comparaison sur charges passives)

Comme l'illustre la figure 2-35, le véhicule de test est similaire à un « T » de couplage et permet l'injection d'une perturbation RF sur une charge quelconque. L'agression est respectivement couplée à l'aide d'une

capacité ou d'une résistance  $0 \Omega$  pour des mesures de type *DPI* et *BCI*. Un pont diviseur ayant un rapport 1/20 est monté en parallèle de la charge pour mesurer la puissance injectée à l'analyseur de spectre. L'utilisation de cette carte permet ainsi de quantifier les puissances injectées sur une charge passive sans modifier le chemin d'injection et sans détériorer l'outil de mesure utilisé lors de ces tests. A noter que pour maximiser l'injection de courant lors des mesures *BCI*, nous utilisons une pince montée sur l'outil de calibrage adapté appelé JIG.

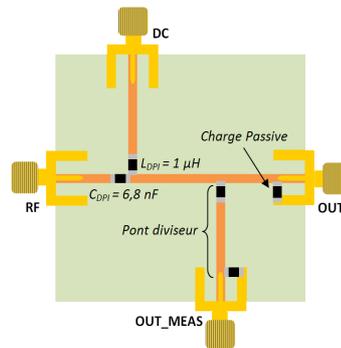


Figure 2-35 : Véhicule de test dédié à l'injection sur charge passive

La puissance injectée aux bornes de la charge est mesurée selon la puissance transmise  $P_{INCIDENT}$  aux systèmes d'injection (*Bias-tee* ou pince). Mesurée à l'aide d'un coupleur et d'un wattmètre, la puissance cible injectée est constante et égale à 15 dBm. L'étude est réalisée de 1 MHz à 1 GHz sur une charge adaptée ( $50 \Omega$ ), un circuit ouvert et un court-circuit ( $1 \mu\text{H}$  ou  $1 \text{nF}$  selon la fréquence du signal perturbateur).

Les résultats illustrés figures 2-36 indiquent qu'il existe un écart d'environ 10 dB entre les puissances mesurées sur charges passives lorsque 15 dBm sont injectés par couplages inductif (*BCI*) et capacitif (*DPI*). Quelque soit la charge, cette différence est plus ou moins constante de 1 MHz à 1 GHz.

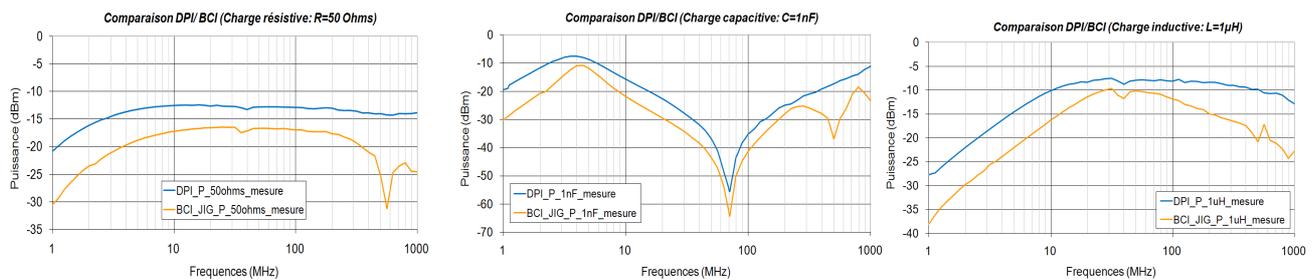


Figure 2-36: Comparaison DPI/ BCI sur charges passives

L'écart de puissance mesurée s'explique notamment par les pertes liées au couplage de la perturbation RF. Les mesures sur charge adaptée montrent qu'environ 47 % de l'énergie transmise est perdue par couplage inductif alors que seulement 20 % de pertes sont induites par couplage capacitif. Ces pertes peuvent être de différentes natures. Les pertes d'injection d'une mesure *DPI* se caractérisent essentiellement par effet Joule (matériau de la capacité) et effet de peau (piste et connecteur de la carte de test). Bien que des pertes par effet Joule existent également dans l'enroulement de la pince d'injection et les conducteurs sur lesquels le courant est injecté, les pertes induites lors d'une mesure *BCI* sont principalement de nature magnétique (pertes par courant

de Foucault et par hystérésis) puisque le système d'injection similaire à un transformateur est constitué d'un matériau ferromagnétique. La puissance nécessaire pour perturber un composant est donc plus importante lors des tests *BCI* que *DPI*.

Le tableau 2-6 résume les principales caractéristiques de ces méthodes de mesure normalisée et recense leurs avantages et inconvénients déduits à partir de cette étude comparative et des investigations présentées précédemment.

<b>Méthode normalisée</b>	<b>Couplage</b>	<b>Fréquence</b>	<b>Avantages</b>	<b>Inconvénients</b>
<i>Direct Current Injection (DPI)</i>  <i>IEC 62132-4</i>	Conduit (Capacitif)	150 kHz – 1 GHz	<ul style="list-style-type: none"> <li>✓ Faible perte d'injection</li> <li>✓ Puissance d'injection requise faible</li> <li>✓ Méthode économique</li> <li>✓ Facile à mettre en œuvre</li> <li>✓ Domaine de validité fréquentiel modulable</li> </ul>	<ul style="list-style-type: none"> <li>✓ Influence du chemin d'injection</li> </ul>
<i>Bulk Current Injection (BCI)</i>  <i>IEC 62132-3</i>	Conduit (Inductif)	150 kHz – 1 GHz	<ul style="list-style-type: none"> <li>✓ Injection sur plusieurs conducteurs</li> <li>✓ Tests de plusieurs broches simultanément</li> <li>✓ Technique d'injection semblable aux agressions subies dans une application</li> </ul>	<ul style="list-style-type: none"> <li>✓ Perte d'injection élevée</li> <li>✓ Puissance d'injection requise élevée</li> <li>✓ Nécessite une cage de Faraday</li> <li>✓ Mise en œuvre complexe</li> </ul>

**Tableau 2-6: Comparaison des méthodes de mesure d'immunité normalisé par l'IEC**

Nous pouvons donc en conclure que la méthode *DPI* est la plus appropriée pour étudier l'immunité d'un circuit intégré car celle-ci est économique et simple à mettre en œuvre. Malgré ces avantages, les équipementiers demandent souvent à leur fournisseur d'évaluer le comportement de leurs CI par la méthode *BCI* puisque celle-ci est plus représentative des agressions que subissent réellement leurs applications, notamment dans le domaine de l'automobile et de l'aéronautique.

## 4. Caractérisation de la propagation du bruit injecté par *DPI* et *BCI*

### 4.1. Objectifs

Caractériser la propagation du bruit à travers un CI est devenu un challenge pour tout fondeur car ces informations sont essentielles pour améliorer la compatibilité électromagnétique de leur circuit. Les méthodes de mesures existantes sont adéquates pour évaluer le comportement d'un circuit vis-à-vis d'une perturbation externe, mais ne permettent pas de caractériser précisément les niveaux de fluctuation à l'entrée de certains blocs sensibles du circuit. Cette information cruciale permettrait aux concepteurs d'optimiser leur design afin de les rendre plus robustes aux IEM.

Les capteurs de tension asynchrones présentés précédemment vont ainsi nous permettre d'étudier la propagation du bruit à l'intérieur d'un circuit intégré. Les mesures internes donneront effectivement des indications précises sur les niveaux de bruit injectés sur le silicium par couplages capacitifs et inductifs. Il sera par ailleurs intéressant de comparer les résultats de ces mesures à ceux obtenus par mesures externes pour évaluer les effets de filtrage induits par le boîtier et le circuit. Nous en profiterons également pour analyser les mécanismes de couplage pouvant intervenir à l'intérieur de notre véhicule de test et identifier le déclenchement des protections DES. Nous montrerons enfin toute l'efficacité des capteurs de tension pour valider les modèles électriques du circuit que nous pourrions élaborer en vue d'évaluer sa sensibilité aux bruits par simulation.

### 4.2. Mesures des niveaux de bruits injectés par couplage capacitif et inductif

#### 4.2.1. Description des structures sous test

Les structures du circuit MIXITY que nous avons agressées lors de nos investigations sont le bloc d'entrée/sorties et le bloc numérique n°1 illustrés figures 2-37 et 2-38.

Le bloc d'E/S est alimenté par les deux paires d'alimentation  $SSN_{OVDD}/SSN_{OVSS}$  (5 V) et  $SSN_{VDD}/SSN_{VSS}$  (2,5 V). Ses signaux d'entrée et de sortie sont respectivement nommés  $SSN_{DATA-IN}$  et  $SSN_{DATA-OUT}$ . Les niveaux de bruits injectés sur le rail d'alimentation  $SSN_{OVDD}$  peuvent être mesurés en interne par un capteur *Medium Voltage*.

Les buffers d'E/S et le cœur du bloc numérique sont alimentés par les deux paires d'alimentation  $OVDD_{CORE}/OVSS_{CORE}$  (5 V) et  $VDD_{CORE}/VSS_{CORE}$  (2,5 V). Ses signaux d'horloge, d'entrée et de sortie sont respectivement nommés  $CORE_{CK-IN}$ ,  $CORE_{DATA-IN}$  et  $CORE_{DATA-OUT}$ . Les niveaux de bruits injectés sur le rail d'alimentation  $VDD_{CORE}$  peuvent être mesurés en interne par un capteur *Low Voltage*.

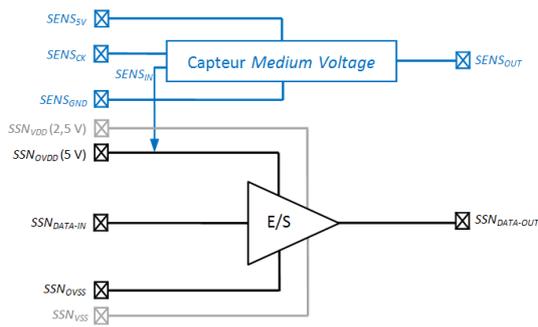


Figure 2-37 : Mesure de bruit sur le Bloc d'E/S

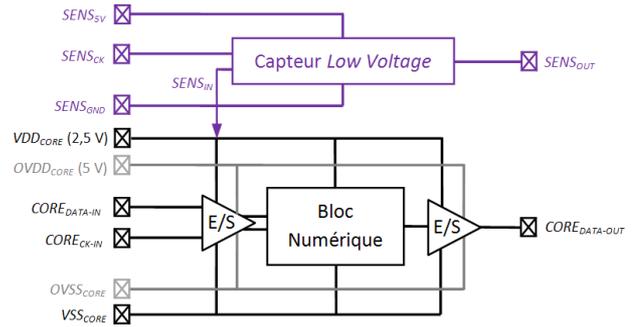


Figure 2-38 : Mesure de bruit sur le bloc numérique

#### 4.2.2. Description des expérimentations

Pour étudier la propagation du bruit véhiculé sur les alimentations du bus d'E/S et des blocs numériques, notre véhicule de test est monté dans un boîtier *TQFP* (*Thin Quad Flat Package*) de 128 broches et soudé sur un circuit imprimé 4 couches spécialement conçu pour les tests CEM, selon la norme IEC 62132. Comme l'illustrent les figures 2-39 à 2-41, les perturbations sont injectées sur les broches d'alimentation  $VDD_{CORE}$  et  $SSN_{OVDD}$  du circuit par couplage capacitif (système d'injection *DPI* : *bias-tee*) ou inductif (système d'injection *BCI* : pince d'injection, câbles, RISL, cage de Faraday, etc.) selon les normes IEC 62132-3/4. Délivrés par des générateurs de signaux basses fréquences, les signaux d'entrées de chaque bloc ( $SSN_{DATA-IN}$ ,  $CORE_{DATA-IN}$  et  $CORE_{CK-IN}$ ) sont des signaux carrés compris entre 0 V et 5 V. Les interférences électromagnétiques (IEM) injectées sur le circuit sont de type permanentes (signaux *CW*) et ont une fréquence qui varie de 1 MHz à 1 GHz pour les injections *DPI*, et de 1 MHz à 400 MHz pour les injections *BCI*. Les niveaux de perturbations sont contrôlés à l'aide d'un wattmètre mesurant les puissances incidentes et réfléchies au circuit imprimé. Dans le cadre de cette étude, nous déterminons les puissances incidentes au *PCB* permettant de faire fluctuer de 10 % les tensions d'alimentations  $VDD_{CORE}$  (2,5 V) et  $SSN_{OVDD}$  (5 V) par rapport à leur valeur nominale. Le niveau de puissance maximal injecté sur les plages de fréquences est de 45 dBm. A l'extérieur du composant, les tensions sont mesurées sur les broches d'alimentation de chaque bloc à l'aide d'un oscilloscope large bande de 3 GHz et d'une sonde active de 2,5 GHz. Les mesures internes sont réalisées à partir des capteurs de tensions asynchrones connectés aux différents rails d'alimentation.

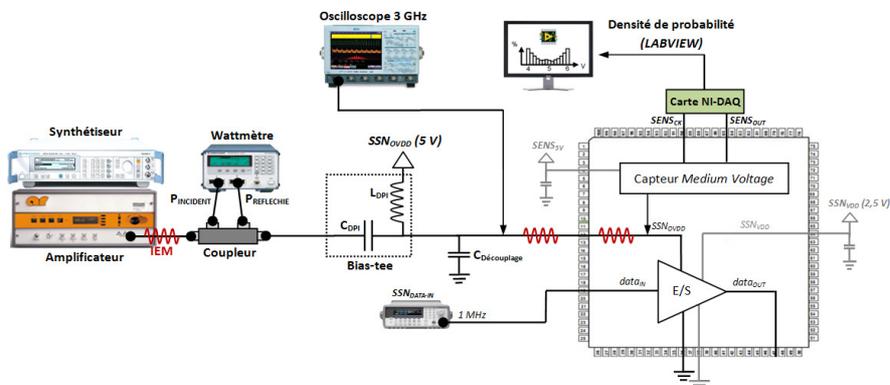


Figure 2-39 : Banc d'injection DPI sur l'alimentation d'un bus d'E/S

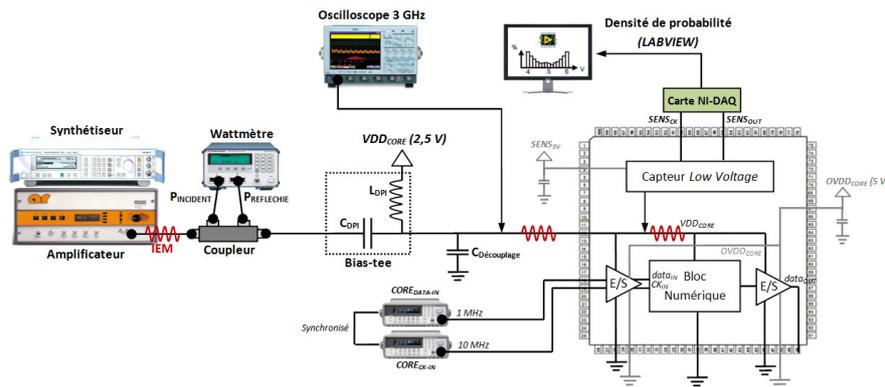


Figure 2-40 : Banc d'injection DPI sur l'alimentation d'un bloc numérique

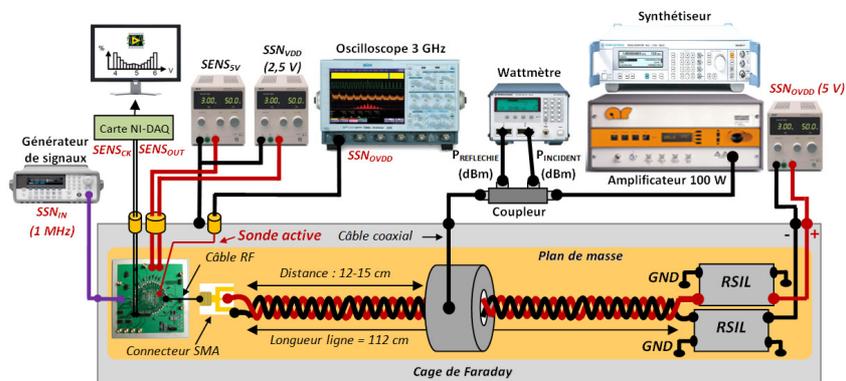


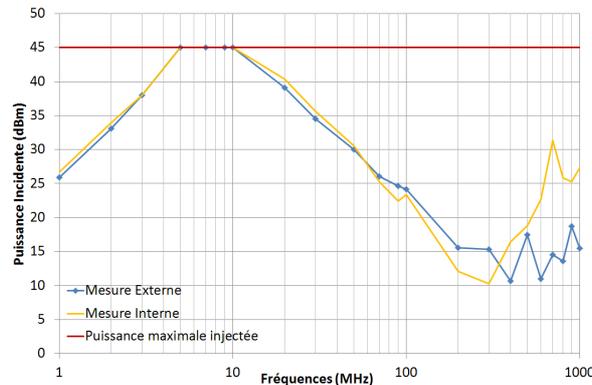
Figure 2-41 : Banc d'injection BCI sur l'alimentation d'un bus d'E/S

### 4.2.3. Mesures sur le bus d'E/S

#### 4.2.3.1. Injection DPI sur l'alimentation du bus d'E/S

La figure 2-42 présente les niveaux de puissance incidents devant être délivrés à notre circuit pour faire fluctuer de 10 % l'alimentation 5 V du bus d'E/S sondée à l'extérieur et à l'intérieur du composant (soit +/- 0,5 V). Entre 1 MHz et 100 MHz, aucun écart significatif n'est à signalé entre mesures externes et internes. Néanmoins, au-delà de 100 MHz, les niveaux de puissance requis pour atteindre le niveau de fluctuation souhaité sont différents selon le point de contrôle de la tension  $SSN_{OVDV}$  (sur la broche du boîtier ou sur le rail d'alimentation interne). Sur cette plage de fréquences, il est effectivement nécessaire d'injecter davantage de puissance lorsque la tension d'alimentation est mesurée à l'intérieur du circuit. Ces résultats montrent donc qu'il existe un effet de filtrage entre la broche d'entrée du circuit et le rail d'alimentation sur lesquels les perturbations sont véhiculées. Bien que ces effets soient probablement induits par le boîtier, nos moyens de mesures ne nous permettent pas d'identifier précisément les éléments pouvant être à l'origine des écarts observés entre mesures externes et internes. Des modèles électriques de l'environnement de test et du circuit devront donc être développés pour évaluer l'influence des éléments du circuit.

Au vu des résultats obtenus, nous constatons que les mesures externes ne sont pas suffisantes pour analyser la sensibilité d'un circuit car, à hautes fréquences, les niveaux de bruit mesurés sur ses interconnexions sont inférieurs à ceux mesurés sur les broches de son boîtier. Nous pouvons donc en conclure que la susceptibilité aux bruits des fonctions intégrées dans les circuits est souvent sous-estimée par les techniques de mesures externes spécifiées par les normes.

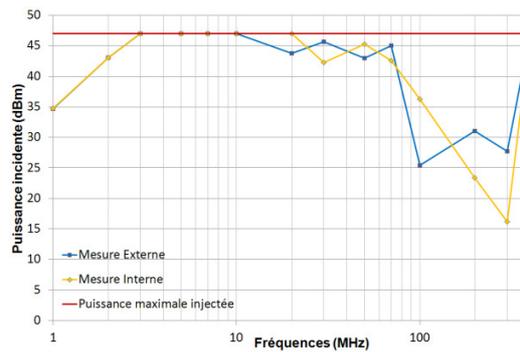


**Figure 2-42 : Comparaison des niveaux de puissances injectés par DPI sur l'alimentation d'un bus d'E/S (Contrôle du niveau de fluctuation par mesures externes et internes)**

#### 4.2.3.2. Injection BCI sur l'alimentation du bus d'E/S

La figure 2-43 illustre les niveaux de puissance injectés par BCI sur la broche  $SSN_{OVDD}$  du bus d'E/S permettant d'obtenir une fluctuation de 10 % de l'alimentation 5 V. Comme précédemment, les niveaux de puissance requis pour atteindre un tel niveau de fluctuation diffèrent à partir de 100 MHz, selon le point de contrôle. Cependant, contrairement aux constats établis lors des injections DPI, ces résultats ne montrent pas d'effets de filtrage significatifs entre 100 MHz et 400 MHz. Les niveaux de puissance requis pour atteindre notre critère sont en effet plus importants lorsque la tension est contrôlée sur la broche d'alimentation du circuit que sur ses interconnexions.

Il nous est donc difficile de tirer des conclusions à partir de ces résultats, d'autant plus que lors de nos investigations, les tensions mesurées ont été fortement bruitées par le rayonnement de la pince d'injection. La configuration de notre environnement étant tellement complexe, nous avons eu beaucoup de mal à définir les niveaux de fluctuations présents à l'entrée et à l'intérieur du circuit. En effet, plusieurs éléments de cet environnement tels que le circuit imprimé, la sonde active ou encore les câbles permettant d'extraire les valeurs échantillonnées par le capteur ont été parasités par le rayonnement de la pince à travers la cage de Faraday. Par conséquent, il serait nécessaire d'optimiser le banc d'injection de manière à ce que tous les éléments de l'environnement susceptibles d'être bruités par les rayonnements soient protégés. Plusieurs conditions pourraient alors être respectées pour améliorer la qualité de nos mesures : utiliser des câbles blindés pour extraire les niveaux de tensions mesurées par le capteur, protéger le circuit imprimé et la sonde active par un boîtier métallique, réaliser les mesures dans une chambre anéchoïque, etc.



**Figure 2-43 : Comparaison des niveaux de puissance injectés par BCI sur l'alimentation du bus d'E/S (Contrôle du niveau de fluctuation par mesures externes et internes)**

#### 4.2.4. Mesure sur les blocs numériques

Pour évaluer au mieux la sensibilité des blocs numériques intégrés dans MIXITY, nous avons agressé leur alimentation  $VDD_{CORE(n)}$  par injections localisées de type *DPI*. Les investigations réalisées sur ces blocs ont eu pour objectifs : d'évaluer l'influence de leur architecture sur leur sensibilité, d'analyser les effets induits par la capacité de découplage externe sur les niveaux de bruits injectés et de comparer les niveaux de fluctuations mesurés à l'entrée et à l'intérieur du circuit. Pour cela, nous avons déterminé comme précédemment les niveaux de puissance à injecter pour obtenir une fluctuation de 10 % de leur tension d'alimentation (soit +/- 0,25 V). Les figures 2-44 à 2-47 comparent la sensibilité de chaque bloc numérique avec et sans capacité de découplage lorsque la tension d'alimentation  $VDD_{CORE}$  est contrôlée en externe et en interne.

Le premier constat que nous pouvons établir est que la sensibilité des blocs numériques est quasi-identique car les niveaux de puissance requis pour atteindre le critère défini sur leur tension d'alimentation ne diffèrent pas de manière significative d'un bloc à un autre. Bien que le bloc numérique n°0 soit le moins sensible lorsqu'une capacité de découplage est positionnée à l'entrée du composant, les différences de sensibilité entre chaque cœur ne sont pas assez importantes pour valoriser l'une des règles de *design* (capacité localisée, capacités distribuées, paire d'alimentation différente pour l'arbre d'horloge, isolation substrat) implémentées dans MIXITY. Les résultats montrent effectivement que la capacité distribuée sur la chaîne de buffers du cœur n° 1 et l'isolation substrat du cœur n°3 n'ont pas de réelles influences sur la sensibilité aux bruits des blocs numériques. Les effets de découplage induits par la capacité localisée entre la paire d'alimentation  $VDD_{CORE}/VSS_{CORE}$  de chaque bloc sont donc probablement prépondérants. Pour évaluer la cohérence de cette hypothèse, il serait préférable de vérifier les effets induits par ces éléments de protection par simulations.

En revanche, la capacité de découplage présente à l'entrée du circuit a une réelle influence sur la susceptibilité aux bruits de ce dernier. Les niveaux de puissance requis pour atteindre notre critère sont effectivement beaucoup moins importants lorsque  $C_{\text{Découplage}}$  n'est pas soudée sur le circuit imprimé. Les perturbations injectées sur notre véhicule de test sont fortement découplées par cette capacité entre 1 MHz et 100 MHz. Par exemple, à 10 MHz, la puissance incidente est de - 5 dB sans capacité et d'environ 45 dB avec capacité. Au-delà de 100 MHz, l'influence de  $C_{\text{Découplage}}$  n'est plus aussi significative mais reste tout de même

satisfaisante car il est nécessaire d'injecter 5 à 10 dB de plus pour perturber l'alimentation des blocs numériques lorsque celle-ci est présente.

Si nous analysons désormais les niveaux de puissance injectés sur le bloc numérique n°1 (figures 2-48 et 2-49), nous distinguons entre 200 MHz et 1 GHz des effets de filtrages semblables à ceux observés sur le bus d'E/S. Sur cette plage de fréquences, il est effectivement nécessaire d'injecter davantage de puissance lorsque la tension est contrôlée sur le rail d'alimentation du bloc que sur la broche du circuit. Ayant établi le même constat sur les autres cœurs, avec et sans capacité de découplage, nous en concluons que ces effets doivent obligatoirement être considérés pour définir précisément la susceptibilité aux bruits d'un circuit intégré.

Pour conclure, ces investigations nous ont montré toute l'importance de mesurer les niveaux de bruit véhiculé à l'intérieur du circuit. Les mesures aux capteurs nous ont révélé qu'il existait d'importants effets de filtrage à hautes fréquences, entre la broche du boîtier et le bloc agressé. Il est donc fondamental d'évaluer la sensibilité des fonctions intégrées dans un circuit par mesures internes car de tels phénomènes ne peuvent être observés par les techniques de mesures externes spécifiées par les normes. Afin d'avoir davantage de précision sur ces effets de filtrage, nous analyserons l'influence de certains éléments du circuit par simulation dans le chapitre 4.

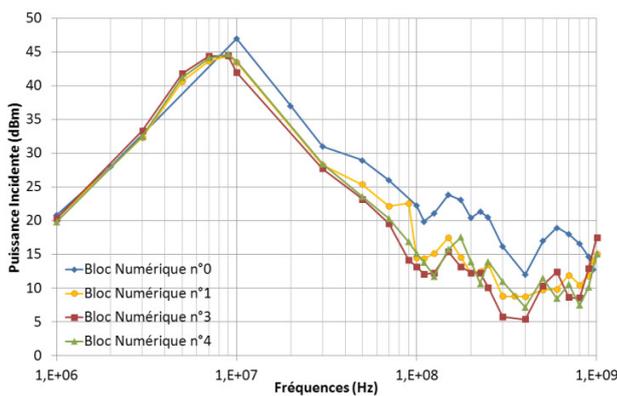


Figure 2-44: Injection DPI sur blocs numériques avec  $C_{\text{Découplage}}$  (mesures externes)

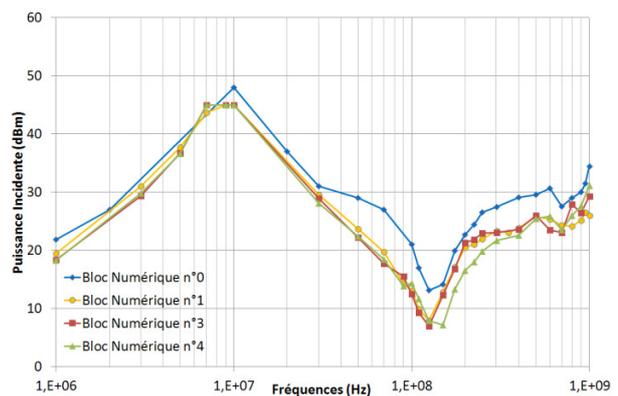


Figure 2-45 : Injection DPI sur blocs numériques avec  $C_{\text{Découplage}}$  (mesures internes)

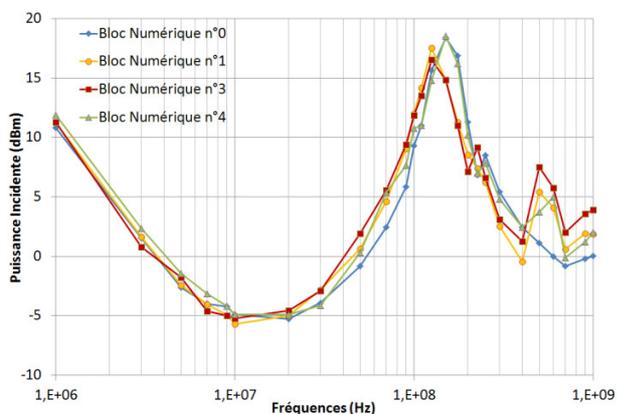


Figure 2-46 : Injection DPI sur blocs numériques sans  $C_{\text{Découplage}}$  (mesures externes)

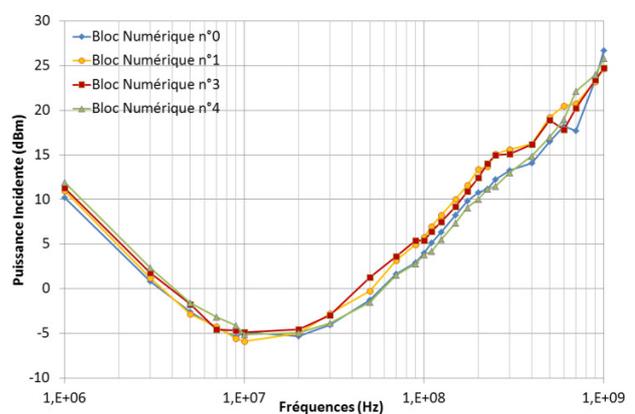


Figure 2-47 : Injection DPI sur blocs numériques sans  $C_{\text{Découplage}}$  (mesures internes)

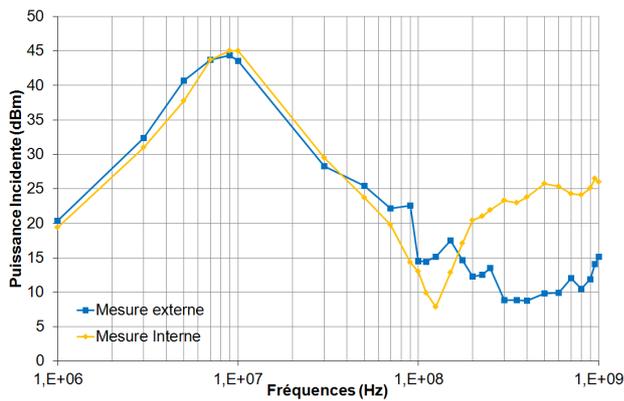


Figure 2-48 : Comparaison des niveaux de puissance injectés par DPI sur le bloc numérique n°1 (Mesures externes vs. Internes avec  $C_{D\acute{e}couplage}$ )

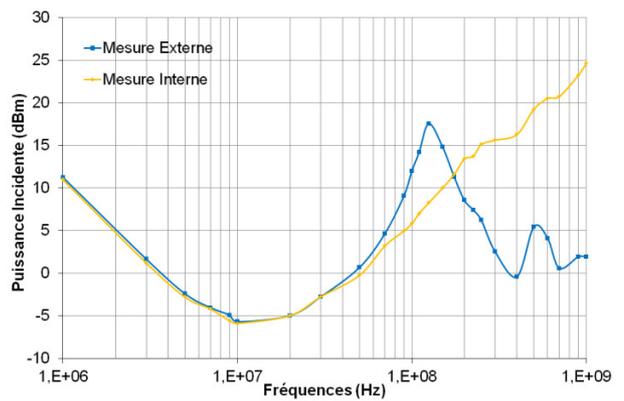


Figure 2-49: Comparaison des niveaux de puissance injectés par DPI sur le bloc numérique n°1 (Mesures externes vs. Internes sans  $C_{D\acute{e}couplage}$ )

### 4.3. Mesure de l'immunité du circuit

#### 4.3.1. Descriptions des bancs d'injection DPI

La susceptibilité aux bruits du bus d'E/S et du bloc numérique n°1 est évaluée par injection DPI entre 1 MHz et 1 GHz, comme illustrés figures 2-50 et 2-51. A chaque fréquence, nous déterminons la puissance incidente à injecter sur les alimentations  $SSN_{OVDD}$  et  $CORE_{VDD}$  pour perturber le fonctionnement des blocs. Dès qu'une défaillance est observée, nous mesurons en interne (utilisation des capteurs *Low* et *Medium Voltage*) le niveau de fluctuation couplé aux alimentations. Nous considérons ces blocs comme étant perturbés si l'amplitude des niveaux logiques et les caractéristiques temporelles de leur signal de sortie sont dégradées. Les critères de défaillance ainsi définis sont : un niveau de bruit supérieur à 10 % de la valeur nominale de l'alimentation du *buffer* de sortie (soit +/- 0,5 V) et un *jitter* supérieur à la moitié de la période du signal d'horloge (soit 50 ns). Les signaux d'entrée  $SSN_{DATA-IN}$  et  $CORE_{DATA-IN}$  sont des signaux carrés 0-5 V ayant une fréquence d'1 MHz. Et le signal d'horloge  $CORE_{CK-IN}$  est un signal carré 0-5 V de 10 MHz. Les signaux de sortie sont contrôlés à l'aide d'un câble SMA (*SubMiniature Type A*) connecté à un oscilloscope large bande de 3 GHz. Enfin, le niveau de puissance incident injecté est au maximum de 45 dBm.

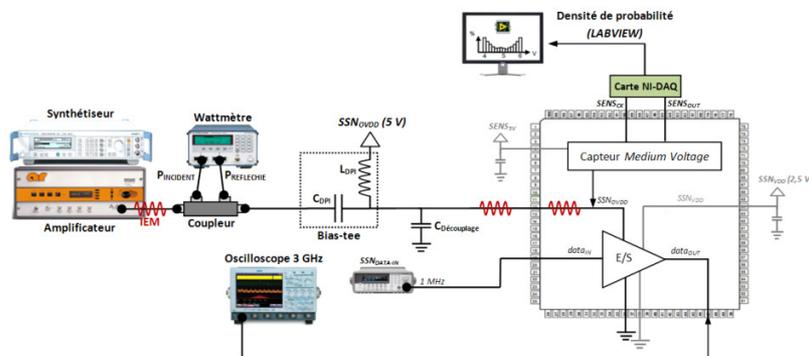


Figure 2-50 : Mesure de l'immunité du bus d'E/S par injection DPI

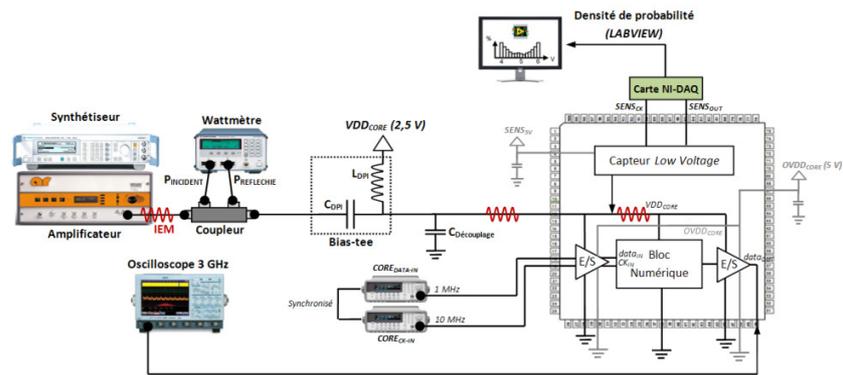


Figure 2-51 : Mesure de l'immunité du bloc numérique n°1 par injection DPI

### 4.3.2. Immunité du bus d'E/S

La courbe d'immunité déduite des mesures DPI (figure 2-52) montre que la sensibilité du bus d'E/S varie en fonction de la fréquence. Ce bloc a une forte sensibilité aux bruits sur différentes plages de fréquences, notamment à basses fréquences puis entre 100 MHz et 300 MHz. Les perturbations injectées sur l'alimentation  $SSN_{OVDD}$  ont essentiellement dégradé les niveaux logiques du signal de sortie. Pour comprendre ces résultats, il est intéressant de les comparer aux niveaux de fluctuation pic-à-pic mesurés en interne sur le rail d'alimentation (figure 2-53). Entre 100 MHz et 500 MHz, les niveaux de bruits véhiculés sur l'alimentation du bus d'E/S corrélient au pic de sensibilité observé sur la courbe d'immunité. Ces résultats montrent donc que sur cette plage de fréquences, la sensibilité du bus d'E/S est liée aux niveaux de bruits couplés à son alimentation  $SSN_{OVDD}$  lorsque le critère de défaillance est établi sur ses signaux de sortie.

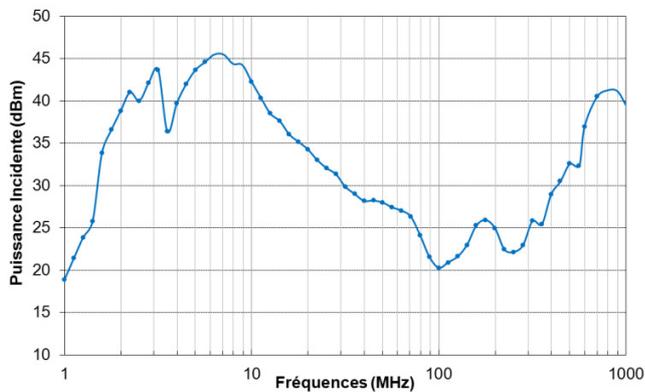


Figure 2-52 : Immunité du bus d'E/S (Injection DPI sur  $SSN_{OVDD}$ )

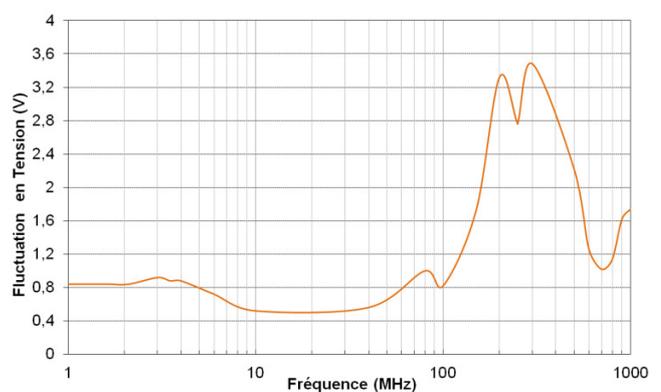


Figure 2-53 : Niveaux de bruits mesurés en interne à chaque défaillance du bus d'E/S (Injection DPI sur  $SSN_{OVDD}$ )

### 4.3.3. Immunité du bloc numérique n°1

Les résultats de mesures illustrés figure 2-54 indiquent que le bloc numérique n°1 de MIXITY est très peu sensible aux bruits entre 5 MHz et 10 MHz. Au-delà de 10 MHz, sa susceptibilité aux bruits augmente jusqu'à atteindre un pic à 450 MHz. Contrairement aux dégradations observées lors de la perturbation du bus d'E/S, les défaillances relevées lors de ces mesures sont de natures différentes selon la fréquence du signal perturbateur.

Aux alentours d'1 MHz, les défaillances résultent d'une dégradation des caractéristiques temporelles du signal de sortie. En revanche, au-delà de quelques MHz, les IEM véhiculées sur le rail d'alimentation  $VDD_{CORE1}$  entraînent une dégradation des niveaux logiques du signal de sortie.

Illustrés figure 2-55, les niveaux de bruits mesurés en interne sur le rail d'alimentation  $VDD_{CORE1}$  montrent qu'à 450 MHz la tension d'alimentation est faiblement bruitée car le niveau de fluctuation pic-à-pic est inférieur à 100 mV. Le bloc numérique étant fortement sensible aux bruits à cette fréquence, nous en concluons que les dégradations du signal de sortie ne sont pas uniquement induites par la perturbation du fonctionnement du cœur numérique. Entre 200 MHz et 1 GHz, les mécanismes de dégradation pourraient alors être liés à la perturbation du *buffer* de sortie intégré dans le bloc numérique. Si le bruit injecté sur l'alimentation  $VDD_{CORE1}$  parvient à être couplé à l'alimentation  $OVDD_{CORE}$  des *buffers* d'E/S, il est effectivement possible que le fonctionnement du *buffer* de sortie soit perturbé. Pour identifier l'origine de ces défaillances et vérifier notre hypothèse, nous allons donc étudier les mécanismes de couplage dans le bloc numérique et le bus d'E/S, à l'aide des capteurs de tension intégrés dans notre circuit.

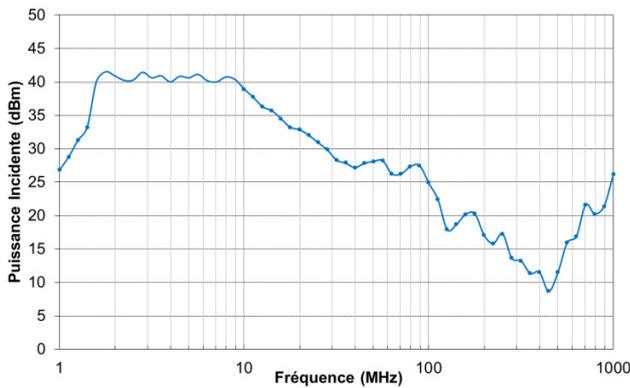


Figure 2-54 : Immunité du bloc numérique n°1 (Injection DPI sur  $VDD_{CORE}$ )

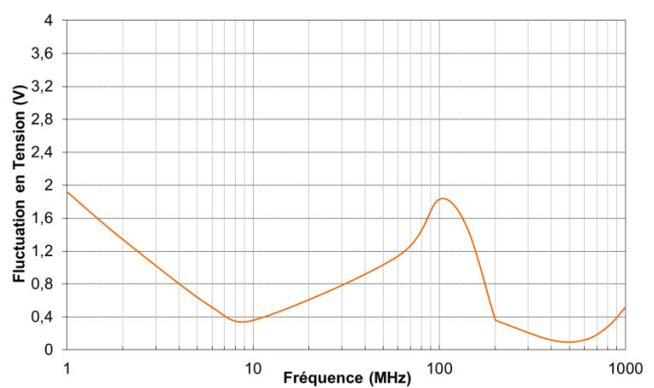


Figure 2-55 : Niveaux de bruits mesurés en interne à chaque défaillance du bloc numérique n°1 (Injection DPI sur  $VDD_{CORE}$ )

## 4.4. Identifications des mécanismes de couplages et des déclenchements des protections DES

### 4.4.1. Etudes des mécanismes de couplage internes au circuit

#### 4.4.1.1. Descriptions des cas d'étude

Les études réalisées précédemment ont montré que la sensibilité d'un cœur numérique n'est pas uniquement liée à son propre fonctionnement mais dépend également de celui des *buffers* d'E/S. Pour comprendre les phénomènes de couplage pouvant avoir lieu à travers ces blocs, nous avons imaginé deux cas d'étude. Illustré figure 2-56, le premier cas d'étude consiste à venir perturber l'alimentation  $SSN_{VDD}$  (2,5 V) du bus d'E/S et à mesurer les niveaux de bruits couplés en interne à son alimentation  $SSN_{OVDD}$  (5 V). Semblable à ce premier cas d'étude, le second consiste à perturber l'alimentation  $OVDD_{CORE}$  (5 V) des *buffers* d'E/S intégrés

dans les blocs numériques de MIXITY et à contrôler les niveaux de bruits couplés en interne à l'alimentation  $VDD_{CORE1}$  (2,5 V) du cœur numérique n°1 (figure 2-57).

Pour chaque cas d'étude, nous allons donc dans un premier temps définir les niveaux de puissance à injecter pour dégrader les caractéristiques des signaux de sortie du bus d'E/S et du bloc numérique n°1. Les critères de défaillances seront identiques à ceux définis précédemment (jitter de 50 ns au maximum et niveau de bruit supérieur à 10 % de la valeur nominale de l'alimentation du *buffer* de sortie). Après avoir déduit la courbe d'immunité, nous réinjecterons les niveaux de puissance requis pour induire des défaillances entre 1 MHz et 1 GHz, et mesurerons à chaque fréquence les niveaux de bruit couplés aux alimentations qui n'auront pas été agressés directement par les injections *DPI*.

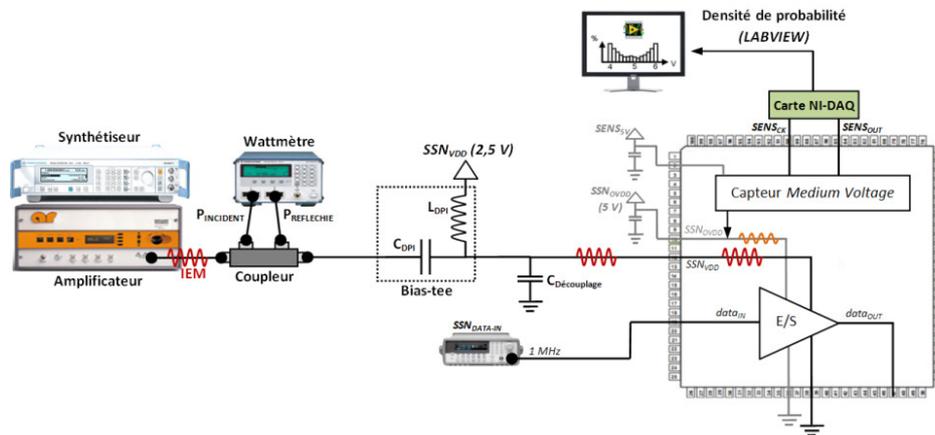


Figure 2-56 : Banc d'injection DPI permettant d'étudier les couplages internes au bus d'E/S

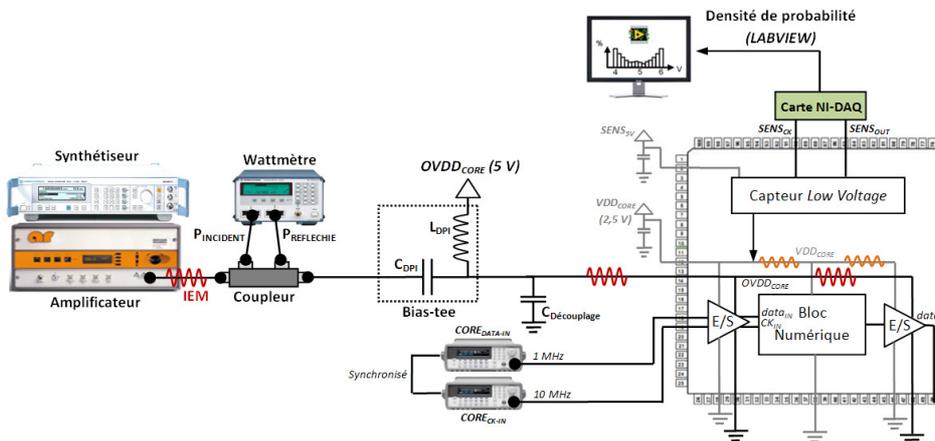


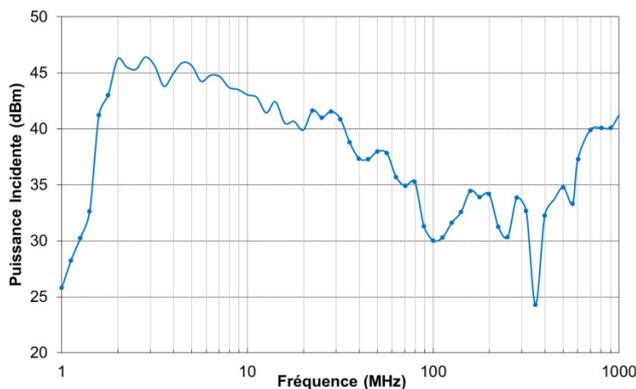
Figure 2-57 : Banc d'injection DPI permettant d'étudier les couplages internes au bloc numérique n°1

#### 4.4.1.2. Analyses des couplages dans le bus d'E/S

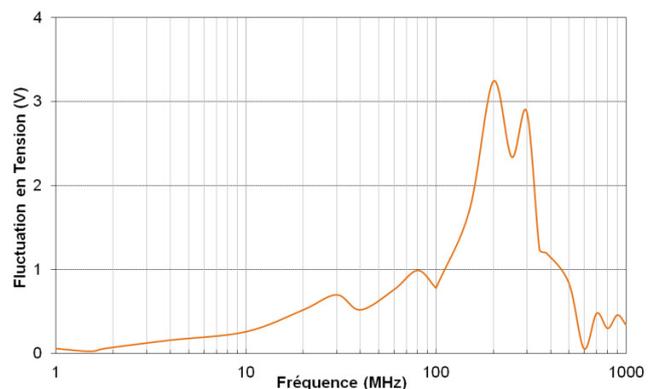
La courbe d'immunité déduite des injections *DPI* réalisées sur l'alimentation  $SSN_{VDD}$  du bus d'E/S est illustrée figure 2-58. Après avoir réinjecté les niveaux de puissance relevés lors de ces tests, nous avons mesuré les niveaux de bruits couplés à l'alimentation  $SSN_{OVDD}$  à l'aide du capteur *Medium Voltage*. Illustrés figure 2-59,

les résultats de ces mesures montrent que le bruit mesuré en interne sur le rail d'alimentation  $SSN_{OVDD}$  augmente avec la fréquence du signal perturbateur, jusqu'à atteindre des amplitudes pic-à-pic de 3 V à 200 MHz. Par conséquent, il existe incontestablement des mécanismes de couplage entre les alimentations  $SSN_{OVDD}$  et  $SSN_{VDD}$  d'un *buffer* d'E/S. Nous en concluons donc que ces mécanismes sont probablement à l'origine des dégradations induites sur le signal de sortie du bloc numérique, entre 300 MHz et 600 MHz (figure 2-52). Au vu des résultats obtenus, ces couplages sont certainement de nature capacitive car ils interviennent sur une plage de fréquence bien définie. Pour évaluer l'exactitude de nos hypothèses, nous pourrions évaluer les niveaux de bruits présents sur chaque alimentation d'un *buffer* d'E/S par simulations.

Enfin, comme nous l'avons vu dans la partie 4.3.2, l'immunité du bus d'E/S est liée au niveau de perturbation véhiculé sur l'alimentation  $SSN_{OVDD}$ , à hautes fréquences. Etant donné les niveaux de bruits couplés à l'alimentation  $SSN_{OVDD}$  lorsque nous agressons par *DPI* la broche  $SSN_{VDD}$  (figure 2-59), nous en déduisons que les mécanismes de couplages entre les deux alimentations entraînent les défaillances observées entre 100 MHz et 500 MHz (figure 2-58).



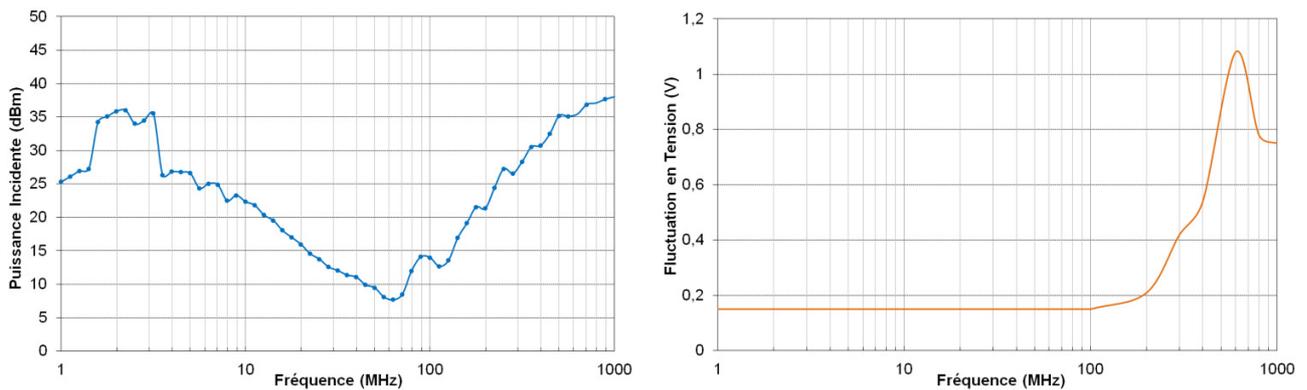
**Figure 2-58 : Immunité du bus d'E/S (Injection DPI sur  $SSN_{VDD}$ )**



**Figure 2-59 : Niveaux de bruit mesurés en interne à chaque défaillance du bus d'E/S (Injection DPI sur  $SSN_{VDD}$ )**

#### 4.4.1.3. Analyses des couplages dans le bloc numérique

La courbe d'immunité illustrée figure 2-60 est déduite des mesures *DPI* réalisées sur l'alimentation  $OVDD_{CORE}$  du bloc numérique n°1 de MIXITY. Lors de ces tests, nous avons relevé les niveaux de bruits présents sur l'alimentation  $VDD_{CORE1}$  à l'aide du capteur *Low Voltage*. Les niveaux de fluctuations mesurés à chaque défaillance du circuit (figure 2-61) sont constants et égales à 150 mV entre 1 MHz et 100 MHz. Au-delà de cette plage de fréquence, le niveau de bruit augmente avec la fréquence jusqu'à atteindre une amplitude pic-à-pic de 1,1 V à 600 MHz. Un tel niveau de bruit mesuré en interne sur l'alimentation  $VDD_{CORE1}$  prouve donc une fois de plus qu'il existe un couplage non-négligeable entre les alimentations  $OVDD_{CORE}$  et  $VDD_{CORE}$  d'un *buffer* d'E/S intégré dans un bloc numérique.



**Figure 2-60 : Immunité du bloc numérique n°1 (Injections DPI sur OVDD<sub>CORE</sub>)**      **Figure 2-61 : Niveaux de bruits mesurés en interne à chaque défaillance du bloc numérique n°1 (Injection DPI sur OVDD<sub>CORE</sub>)**

#### 4.4.2. Observations des déclenchements des protections DES

Au cours des investigations précédentes, plusieurs phénomènes inattendus ont été observés entre 300 MHz et 1 GHz. En mesurant le bruit injecté en interne sur le bus d'E/S et le bloc numérique n°1 de MIXITY, nous nous sommes effectivement aperçus que les densités de probabilité calculées ne correspondaient plus à celles de signaux sinusoïdaux. Afin de mieux comprendre comment de tels phénomènes pouvaient intervenir, nous avons analysé les densités de probabilité des signaux injectés sur l'alimentation  $SSN_{OVDD}$  du bus d'E/S (figure 2-39) à différentes fréquences et différents niveaux de puissances. Pour faciliter notre étude, la tension du signal d'entrée  $SSN_{DATA-IN}$  a été fixé à 5 V et le niveau de puissance du signal perturbateur a été augmenté progressivement.

A titre d'exemple, la figure 2-62 illustre les densités de probabilité calculées à 500 MHz pour différents niveaux de puissance allant de 0 dBm à 23 dBm. Le tableau 2-7 donne les principales caractéristiques de ces densités de probabilité telles que les amplitudes  $V_{max}$  et  $V_{min}$  correspondant aux DDP maximales. Lorsque nous augmentons la puissance du signal perturbateur jusqu'à 20 dBm, le niveau de fluctuation mesuré en interne augmente progressivement sans que nous notions de réelles distorsions du signal mesuré. Cependant, au-delà de 20 dBm, l'amplitude pic-à-pic du signal mesuré diminue jusqu'à tendre vers une valeur continue de 5,25 V (tension mesurée pour 23 dBm). Des effets de redressement sont par ailleurs observés lorsque nous injectons 21 dBm sur notre circuit car la probabilité de mesurer  $V_{max}$  (5,23 V pour 21 dBm) est beaucoup plus importante que celle d'extraire un échantillon correspondant à la tension  $V_{min}$  (4,77 V pour 21 dBm). Etant donné que ces phénomènes non-linéaires ne peuvent pas être justifiés par un simple couplage entre les paires d'alimentation, nous en avons conclu que ces effets étaient induits par le déclenchement des protections de décharges électrostatiques.

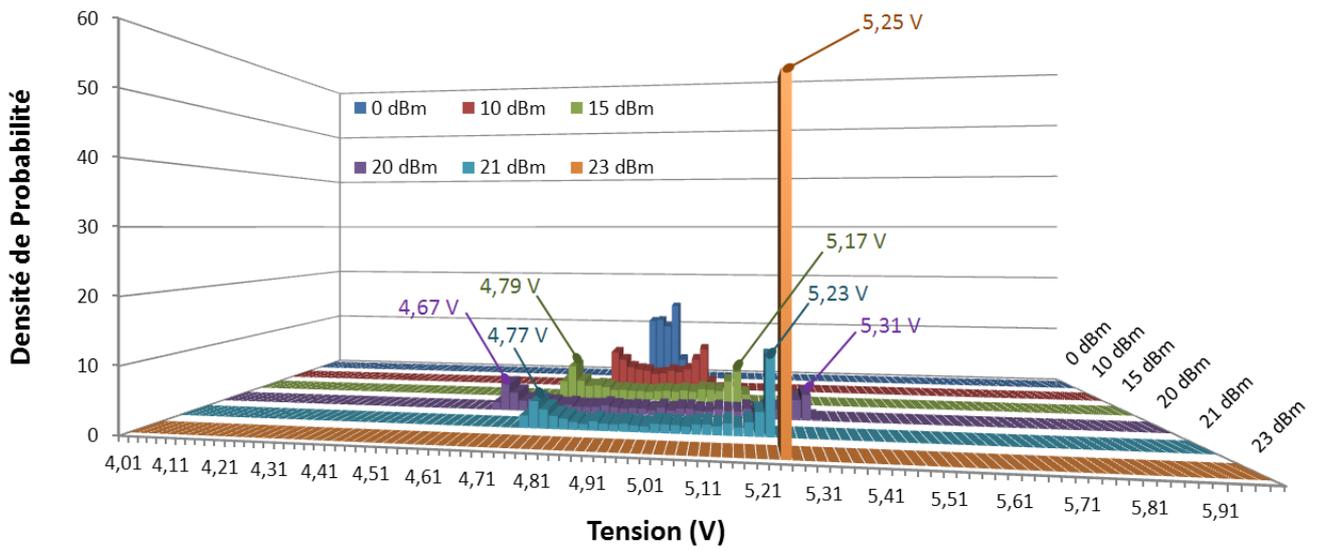


Figure 2-62 : Densité de probabilité de l'IEM mesuré à 500 MHz sur le rail d'alimentation SSN<sub>OVDD</sub> du bus d'E/S

Puissance Incidente Injectée	Tensions aux DDP max		Valeur de la DDP aux tensions $V_{min}$ et $V_{max}$		Ecart relatif entre les extremums de DDP ( $DDP_{Vmin}$ et $DDP_{Vmax}$ )
	$V_{min}$	$V_{max}$	$DDP_{Vmin}$	$DDP_{Vmax}$	
0 dBm	4,97 V	5,01 V	11,36	14,24	20,2 %
10 dBm	4,87 V	5,09 V	6,38	7,32	12,8 %
15 dBm	4,79 V	5,17 V	5,5	5,3	3,63 %
20 dBm	4,67 V	5,31 V	4,26	3,96	7 %
21 dBm	4,77 V	5,23 V	4,065	11,59	64,9 %
23 dBm	5,25 V		50,53		

Tableau 2-7 : Caractéristiques des densités de probabilité calculées lors des injections DPI sur le bus d'E/S

## 5. Conclusions

Dans ce chapitre, nous avons proposé d'étudier la propagation d'interférences électromagnétiques à travers un véhicule de test développé en technologie SMOS8MV<sup>®</sup> 0,25  $\mu\text{m}$ , à l'aide de capteurs de tension asynchrones. Ces capteurs ont l'avantage d'avoir une surface réduite, une bande passante relativement large (2 GHz), une bonne linéarité et une bonne robustesse aux stress électriques. Pour quantifier les niveaux de bruits véhiculés sur les rails d'alimentations de différents blocs, plusieurs versions de capteurs ont ainsi été implémentées à l'intérieur du circuit. Ces versions se différencient par la gamme de tension tolérée à l'entrée des capteurs. Leur principe d'acquisition est basé sur le calcul d'une densité de probabilité permettant de définir précisément l'amplitude et l'allure du signal mesuré.

Après avoir calibré chaque version de capteurs pour compenser leurs erreurs de mesures, nous avons caractérisé les systèmes d'injections *DPI* et *BCI* utilisés lors de nos investigations. Cette étude nous a permis de constater que la mise en œuvre des tests *BCI* est complexe et difficilement reproductible car de nombreux paramètres du système d'injection influent sur le courant transmis au circuit (longueur du câble sur lequel la perturbation est injectée, distance entre la pince d'injection et le circuit imprimé, etc.). Bien que ces tests ne soient pas les plus adéquates pour évaluer la sensibilité d'un circuit, ils restent appréciés par les systémiers car ils permettent de qualifier une application dans des conditions environnementales proches de la réalité. A l'inverse, les tests *DPI* sont faciles à mettre en œuvre et très reproductibles car le système d'injection n'est constitué que deux éléments : une capacité d'injection et une inductance (ou une résistance selon le signal perturbé). Malgré les avantages et inconvénients de chaque test, nous avons donc décidé d'évaluer la susceptibilité de notre circuit par injections *DPI* et *BCI*.

La sensibilité du bus d'E/S et des blocs numériques intégrés dans le véhicule de test a été analysée en contrôlant les niveaux de bruits injectés à l'entrée (mesures externes avec sonde et oscilloscope) et à l'intérieur (mesures internes avec capteur de tension) du composant. Les résultats de cette étude ont montré qu'à hautes fréquences des effets de filtrage induits par certains éléments du circuit réduisaient les niveaux de bruits véhiculés sur la puce. Ces observations nous ont donc permis de constater toute l'efficacité des mesures sur puce mais aussi de confirmer les limites des mesures externes normalisées. En outre, lorsque nous avons étudié l'immunité de ces blocs en définissant un critère de défaillance sur leur signal de sortie, les niveaux de bruit mesurés lors des injections d'IEM ont révélé qu'il existait des mécanismes de couplages entre les alimentations des *buffers* d'E/S intégrés dans le circuit. En analysant de plus près ces mécanismes, nous avons par ailleurs identifié le déclenchement des protections DES implémentées sur les paires d'alimentations des E/S.

Au vu des multiples informations déduites de ces investigations, nous en concluons donc que les capteurs de tensions intégrés dans notre véhicule de test offrent la possibilité de quantifier les niveaux de bruits injectés sur une puce, mais également de caractériser précisément la propagation des IEM à travers un circuit. Par conséquent, nous pourrions désormais imaginer d'intégrer un réseau de capteur dans les circuits de test développés par les concepteurs afin d'évaluer avec précision la sensibilité des fonctions implémentées et les mécanismes de couplage interne au CI (couplages parasites entre bloc, diaphonie, couplage substrat, etc.).







## CHAPITRE 3

# Développement d'outils de simulation destinés à la prédiction d'immunité des CI

Pour comprendre l'origine de la susceptibilité d'un circuit intégré face à une agression RF transmise en mode conduit, il est fondamental d'identifier et de modéliser convenablement le chemin d'injection sur lequel le courant perturbateur est véhiculé. Ayant comme principal objectif de perfectionner les analyses CEM dès la phase de conception d'un produit, nous proposons différents outils de simulation permettant de modéliser les éléments du chemin d'injection influant sur la transmission d'énergie. Dans ce chapitre, nos travaux se focalisent premièrement sur la modélisation des environnements de tests mis en œuvre pour analyser la sensibilité aux bruits de MIXITY (systèmes d'injection normalisés de type conduit (*DPI* ou *BCI*) et des circuits imprimés dédiés aux analyses de performances CEM). Nous proposons également un outil de simulation dédié aux prédictions des mesures *DPI* et *BCI* conduites sur un circuit intégré. Ces outils ont été développés pour aider les *designers* à prédire l'immunité d'un CI rapidement avec précision.

### 1. Modèle de circuit imprimé

Le circuit imprimé sur lequel le CST est monté est l'un des éléments du chemin d'injection dont l'influence sur l'énergie transmise est des plus significatives (influences des composants de découplage, pertes des pistes et des plans conducteurs, désadaptation, etc.). Tout d'abord, il est important de souligner que la désadaptation de ce dispositif vis-à-vis de la source perturbatrice induit une forte perte d'énergie lors d'une injection de courant normalisée en mode conduit. Le niveau de puissance réfléchi vers le générateur peut effectivement être très important en fonction de la fréquence du courant injecté. Outre l'impact de son impédance d'entrée, les propriétés physiques et géométriques de ses éléments conducteurs (pistes et plans) induisent d'importantes pertes en puissance qui peuvent être de différentes natures. Les pertes cuivre par effet de peau, les pertes diélectriques et les pertes rayonnées sont les plus significatives en fonction de la fréquence du signal. Selon le domaine de validité fréquentiel, il paraît donc indispensable de prendre en considération ces pertes pour modéliser le comportement électrique d'un circuit imprimé avec précision. Pour atteindre cet objectif, nous proposons deux outils de simulation permettant de développer des modèles précis de *PCB* essentiels à la prédiction de l'immunité d'un circuit intégré.

## 1.1. Modélisation d'une piste

### 1.1.1. Démarche de modélisation d'une piste

Afin de développer un outil d'extraction de modèles de piste suffisamment précis en régime sinusoïdal, il est au préalable nécessaire d'étudier la physique du conducteur et son processus de propagation.

Une piste de circuit imprimé est un ensemble de deux conducteurs parallèles dans lesquels la propagation s'effectue dans la direction de leur longueur. Une telle structure conductrice est identifiée comme une ligne de transmission de type microruban. Cette ligne se caractérise par deux dimensions fondamentales qui sont l'épaisseur « h » du diélectrique et la largeur « w » de la piste supérieure (figure 3-1).

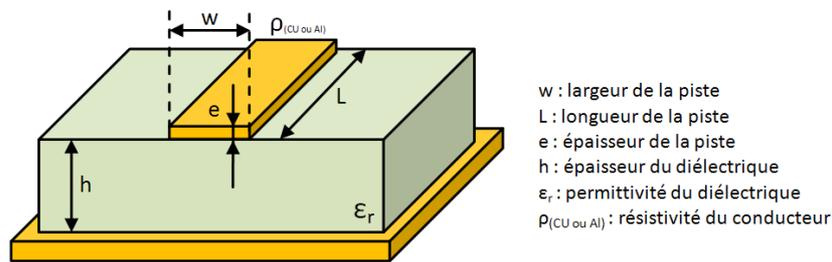


Figure 3-1: Coupe transversale d'une piste

Le mode de propagation d'une ligne microruban est considéré comme étant quasi TEM (*Transverse Electromagnétique*) car les champs électrique E et magnétique H ne sont pas exactement orthogonaux. La vitesse de propagation d'une ligne dépend théoriquement de la permittivité relative  $\epsilon_r$  du diélectrique (équation 3-1). Dans le cas d'un microruban, la vitesse de propagation dépend d'une permittivité effective relative à la géométrie du conducteur et à la permittivité du matériau qui le sépare de la masse, car les lignes de champ traversent des milieux différents (air et diélectrique).

$$V_p = \frac{\text{célérité } (3.10^8 \text{ m.s}^{-1})}{\sqrt{\epsilon_r}} \text{ avec } \epsilon_r = \epsilon_{eff} \text{ pour une ligne microruban} \quad \text{Equation 3-1}$$

En régime sinusoïdal, la différence de potentiel mesurée à un instant « t » entre les deux conducteurs peut ne pas être identique en tous points selon la longueur de la ligne. Pour éviter ces phénomènes de propagation, la longueur de la ligne doit être plus petite que la longueur d'onde  $\lambda$  des signaux mis en jeu. Nous admettons ainsi que pour toutes pistes de dimensions supérieures à  $\lambda/10$ , le phénomène de propagation devra être pris en compte.

Pour éviter que ces phénomènes aient un impact sur la précision de nos modèles, toute ligne de longueur « L » est décomposée en une succession de cellules d'une longueur inférieure à  $\lambda/10$ . Comme nous l'avons vu précédemment (figure 1-50), chaque cellule est composée d'éléments discrets de nature résistive, capacitive et inductive. Afin d'être en mesure de développer des modèles de ligne précis en régime sinusoïdal, nous allons désormais étudier le comportement de chacun de ces éléments dans le domaine fréquentielle.

La fonction de transfert d'une ligne de transmission en fonction de la fréquence angulaire ( $\omega = 2 \times \pi \times f$ ) est donnée par l'équation 3-2, où «  $\gamma$  » et «  $x$  » sont respectivement la constante de propagation et la longueur de la ligne [SVENSSON01]. La constante de propagation (équation 3-3) caractérise l'atténuation et le déphasage par unité de longueur d'une ligne.

$$H(\omega) = e^{-\gamma x} \quad \text{Equation 3-2}$$

$$\gamma = \sqrt{Z(\omega) \cdot Y(\omega)} \quad \text{Equation 3-3}$$

Les matrices d'impédance  $Z(\omega)$  et d'admittance  $Y(\omega)$  dépendent des caractéristiques géométriques et des pertes de la ligne. L'impédance et l'admittance par unité de longueur d'une cellule peuvent être définies par les équations suivantes.

$$Z(\omega) = R(\omega) + j\omega L(\omega) = R_{piste} + R_s(\omega) + j\omega(L_{piste} + L_s(f)) \quad \text{Equation 3-4}$$

$$Y(\omega) = G(\omega) + j\omega C(\omega) = j\omega C(\omega) \cdot \epsilon_r(\omega) \quad \text{Equation 3-5}$$

D'après l'équation 3-4, l'impédance  $Z(\omega)$  est de nature résistive et inductive. Son caractère résistif exprimé par  $R(\omega)$  est la somme de la résistance par unité de longueur  $R_{piste}$  et de la résistance d'effet de peau  $R_s(\omega)$ . Les pertes induites par effet de peau apparaissent lorsque l'épaisseur de peau  $\delta_s$  (équation 3-5) équivaut à l'épaisseur «  $e$  » du conducteur, soit à la fréquence  $f_s$  (équation 3-6). Sachant que la fréquence maximale d'injection de tests d'immunité conduit est de 1 GHz [IEC62132-3] [IEC62132-4], l'épaisseur de peau maximale est égale à 2,087 mm pour un conducteur en cuivre ( $\rho_{Cu \text{ ou } Al} = 1,72 \cdot 10^{-2}$  et  $\mu_{Cu} = 1$ ). Nous pouvons ainsi en conclure que ces pertes sont négligeables dans le cadre de nos études car les pistes de circuits imprimés n'ont jamais une telle épaisseur. Par conséquent, la nature résistive de  $Z(\omega)$  dépend uniquement de la résistance linéique  $R_{piste}$ .

$$\delta_s = \sqrt{\frac{2 \times \rho_{Cu \text{ ou } Al}}{\omega \times \mu_0 \times \mu_r}} \quad \text{avec } \mu_0, \mu_r: \text{perméabilité du vide et du matériau} \quad \text{Equation 3-6}$$

$\rho_{Cu \text{ ou } Al}$ : résistivité du matériau

$$f_s = \frac{\rho_{Cu}}{e^2 \times \pi \times \mu_0 \times \mu_r} \quad \text{Equation 3-7}$$

Le caractère inductif exprimé par  $L(\omega)$  résulte également de deux composantes continue et alternative respectivement définies par  $L_{piste}$  et  $L_s(f)$ .  $L_{piste}$  est l'inductance par unité de longueur et  $L_s(f)$  symbolise la variation d'inductance induite par l'effet de peau. Etant donné que cet effet est négligeable pour une piste de circuit imprimé, l'inductance  $L(\omega)$  est donc constante à hautes fréquences et égale à la composante linéique  $L_{piste}$ . Nous en déduisons ainsi que  $L(\omega) = L(\infty) = L_{piste}$ .

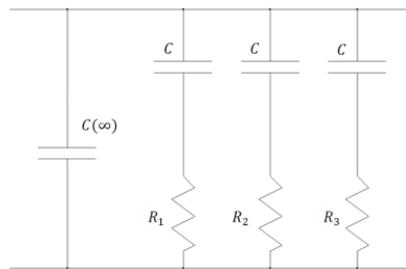
Selon l'équation 3-5, l'admittance  $Y(\omega)$  dépend de la capacité  $C(\omega)$  et de la permittivité relative du diélectrique  $\epsilon_r(\omega)$ . Les pertes induites par le diélectrique résultent essentiellement des pertes de relaxation du matériau [BUR85]. Pour décrire le comportement du substrat dans le domaine fréquentiel, nous utilisons le modèle de Debye dont la forme générale est donnée par l'équation 3-8, où  $\epsilon_k$  et  $\tau_k$  sont la force et la constante

de temps du mécanisme de relaxation du matériau. Cette approche permet de garantir la causalité du modèle tout en admettant que la tangente de perte  $\tan \delta(\omega)$  du diélectrique soit constante sur une large bande de fréquence. L'admittance d'une cellule peut alors être exprimée par l'équation 3-9.

$$\epsilon_r(\omega) = \epsilon_\infty + \sum_{k=1}^K \frac{\epsilon_k}{1+j\omega\tau_k} = \epsilon'_r(\omega) - j\epsilon''_r(\omega) \text{ avec } \tan \delta(\omega) = \frac{\epsilon''_r(\omega)}{\epsilon'_r(\omega)} \quad \text{Equation 3-8}$$

$$Y(\omega) = C(\omega) \cdot \tan \delta(\omega) \cdot \omega + j\omega C(\omega) \quad \text{Equation 3-9}$$

A partir de ces équations, nous pouvons en déduire un modèle discret de l'admittance  $Y(\omega)$  (figure 3-2). Constitué d'éléments résistifs et capacitifs, les principales caractéristiques de ce modèle sont la constante  $C(\infty)$  et les rapports  $R_k C$  qui représentent respectivement la valeur haute-fréquence de la capacité  $C(\omega)$  et les constantes de temps  $\tau_k$ .



**Figure 3-2: Modèle de Debye (tangente de perte du diélectrique constante)**

Afin que la démarche de modélisation des pertes substrat soit plus explicite notamment pour définir la valeur de chaque élément du modèle de Debye, nous allons étudier un cas simple où le nombre de branche R-C de la figure 3-2 est minimisé. La constante K de l'équation 3-8 est donc définie comme étant égale à 1 pour rendre unitaire le nombre de branche R-C parallèles à  $C(\infty)$ . L'admittance équivalente du modèle ainsi obtenue est donnée par l'équation 3-10.

$$Y(\omega) = j\omega C(\infty) + \frac{j\omega C}{1+j\omega R_1 C} \quad \text{Equation 3-10}$$

Si la tangente de perte du matériau est égale à  $\tan \delta$  à la pulsation  $\omega_1$ , les expressions de la capacité  $C$  et de la résistance  $R_1$  peuvent être exprimées par les équations 3-11 et 3-12, en ayant au préalable réalisé une analogie entre les équations 3-9 et 3-10.

$$C = 2 \cdot C(\infty) \cdot \tan \delta \quad \text{Equation 3-11}$$

$$R_1 = \frac{1}{\omega_1 \cdot C} \quad \text{Equation 3-12}$$

Sachant que la capacité linéique  $C_{piste}$  est égale à la somme de la capacité haute-fréquence  $C(\infty)$  et des capacités  $C$ , les valeurs de chaque élément du modèle de Debye peuvent donc être calculées à la pulsation  $\omega_1$  désirée. Un tel modèle permet ainsi de simuler le comportement du diélectrique à une fréquence donnée.

Néanmoins, pour développer un modèle valide sur une large bande de fréquence, il est nécessaire de maintenir la tangente de perte du matériau constante sur plusieurs décades. [ENGIN04] montre qu'il est possible de rendre constant cette propriété du diélectrique avec une précision de plus ou moins 20%, en faisant varier la constante de temps  $\tau_k$  de 10% d'une branche R-C à une autre et en échelonnant  $\tan \delta$  avec un facteur  $k$  égale à 0,9 lorsque la constante  $K$  est supérieure à 1. Chaque branche étant associée à une pulsation  $\omega_k$ , un modèle de pertes substrat large bande peut être déduit à partir des équations 3-12, 3-13 et 3-14. Le domaine de validité fréquentiel du modèle ainsi obtenu est compris entre  $\omega_1$  et  $\omega_{K-1}$ .

$$C = k^2 \cdot C(\infty) \cdot \tan \delta \text{ avec } k = 1 \text{ si } K = 1 \text{ et } k = 0,9 \text{ si } K > 1 \quad \text{Equation 3-13}$$

$$R_k = \frac{1}{\omega_k C} \text{ avec } \omega_{k+1} = 10\omega_k \text{ et } k = 1, 2, \dots, K \quad \text{Equation 3-14}$$

$$C(\infty) = \frac{C_{piste}}{1 + Kk^2 \tan \delta} \quad \text{Equation 3-15}$$

Pour calculer les composantes linéiques  $L_{piste}$ , et  $C_{piste}$ , nous utilisons les formules d'Hammerstad [HAMMERSTAD75]. La permittivité efficace du diélectrique  $\epsilon_{eff}$  et l'impédance caractéristique  $Z_c$  de la ligne sont calculées en fonction du rapport entre la largeur «  $w$  » de la piste et l'épaisseur «  $h$  » du substrat (équations 3-16 et 3-17).

Si  $w < h$  :

$$Z_c = \frac{60}{\sqrt{\epsilon_{eff}}} \ln \left( \frac{8h}{w} + \frac{w}{4h} \right) \text{ avec } \epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[ \left( 1 + 12 \frac{h}{w} \right)^{-\frac{1}{2}} + 0,04 \left( 1 - \frac{w}{h} \right)^2 \right] \quad \text{Equation 3-16}$$

Si  $w > h$  :

$$Z_c = \frac{120\pi / \sqrt{\epsilon_{eff}}}{\frac{w}{h} + 1,393 + 0,667 \ln \left( \frac{w}{h} + 1,444 \right)} \text{ avec } \epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left( 1 + 12 \frac{h}{w} \right)^{-\frac{1}{2}} \quad \text{Equation 3-17}$$

A partir de l'impédance caractéristique ainsi obtenue et des équations 3-1, 3-18 et 3-19, nous en déduisons la valeur des composantes  $L_{piste}$  et  $C_{piste}$  pour une cellule d'une longueur  $L/n$  inférieure à  $\lambda/10$  ( $L$ : longueur de la piste,  $n$ : nombre de cellule nécessaire pour éviter les phénomènes de propagation). La composante  $R_{piste}$  d'une cellule est en revanche directement calculée à partir des propriétés physiques de la ligne et de l'équation 3-20.

$$L_{piste} = \frac{L}{n} \times \left( \frac{Z_c}{V_p} \right) \quad \text{Equation 3-18}$$

$$C_{piste} = \frac{L}{n} \times \left( \frac{1}{(Z_c \times V_p)} \right) \quad \text{Equation 3-19}$$

$$R_{piste} = \rho_{Cu \text{ ou } Al} \times \left( \frac{L/n}{w \times e} \right) \quad \text{Equation 3-20}$$

En suivant cette démarche, un modèle discret de piste de circuit imprimé peut donc être développé et validé sur la bande de fréquence désirée (figure 3-3). Néanmoins, au vu de sa complexité et du nombre de connaissances requises, il était inconcevable d'introduire une telle démarche de modélisation dans le flot de

simulation des circuits intégrés. Il a donc fallu imaginer un outil d'extraction de modèles de piste suffisamment précis et rapide pour prédire la susceptibilité d'un circuit dès sa phase de conception.

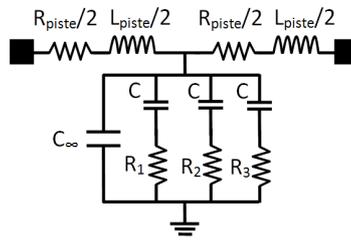


Figure 3-3: Modèle discret d'une piste (1 cellule)

### 1.1.2. Description de l'outil d'extraction de modèles de pistes PCB

Pour parvenir à extraire un modèle de piste rapidement une fonction spécifique a été développée sous *MATLAB*. La figure 3-6 illustre l'algorithme de cette fonction.

Les informations requises pour modéliser une piste de circuit imprimé sont : la géométrie du conducteur, les caractéristiques des matériaux (résistivité du conducteur, tangente de perte et permittivité relative du diélectrique) et le domaine de validité fréquentiel (fréquence minimum, fréquence maximum et nombre de points). A partir de ces informations, la fonction délivre à l'utilisateur le nombre de cellules et les valeurs de chaque élément R, L, C qui les constitue, pour développer un modèle discret d'une piste simulable sous *Spice*.

Par ailleurs, l'utilisateur a également la possibilité d'extraire les matrices de paramètres S sous la forme d'un fichier *Touchstone* [TOUCHSTONE02] et de paramètres Z sous la forme d'un fichier texte. Ces options lui permettent notamment d'évaluer plus facilement la précision de son modèle en comparant ses résultats de simulation à des mesures de caractérisation réalisées à l'analyseur de spectre.

Afin de calculer les matrices de paramètres S et Z, nous considérons qu'un modèle de piste composé de  $n$  cellules représente  $n$  quadripôles mis en cascade. Comme l'illustre la figure 3-4, la matrice de paramètres A est ensuite déduite à partir de l'impédance  $Z(\omega)$  et de l'admittance  $Y(\omega)$  de chaque quadripôle. L'utilisation des paramètres A n'est pas anodine puisque ces paramètres ont la particularité d'être appropriés au calcul de la matrice chaîne de plusieurs quadripôles en cascade [WANG07]. Ce procédé est donc répété  $n$  fois pour définir la matrice de paramètres A du modèle de piste complet. Ce n'est finalement qu'à partir de cette matrice que les paramètres Z et S [FRICKEY94] du modèle sont déduits (figure 3-5).

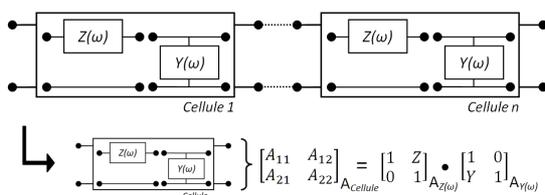


Figure 3-4: Définition de la matrice de paramètres A à partir de  $Z(\omega)$  et  $Y(\omega)$

$$\begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}_{A_{Modèle}} = \begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}_{A_{Cellule 1}} \cdot \begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}_{A_{Cellule \dots}} \cdot \begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}_{A_{Cellule n}}$$

$$\begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}_{A_{Cellule}} = \begin{bmatrix} 1 & Z \\ 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix}_{A_{Y(\omega)}}$$

$$\begin{bmatrix} A_{11} & \Delta A \\ A_{21} & A_{22} \end{bmatrix}_{Z_{Modèle}} \rightarrow \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}_{S_{Modèle}}$$

Figure 3-5: Définition des matrices de paramètres Z et S à partir de la matrice de paramètres A

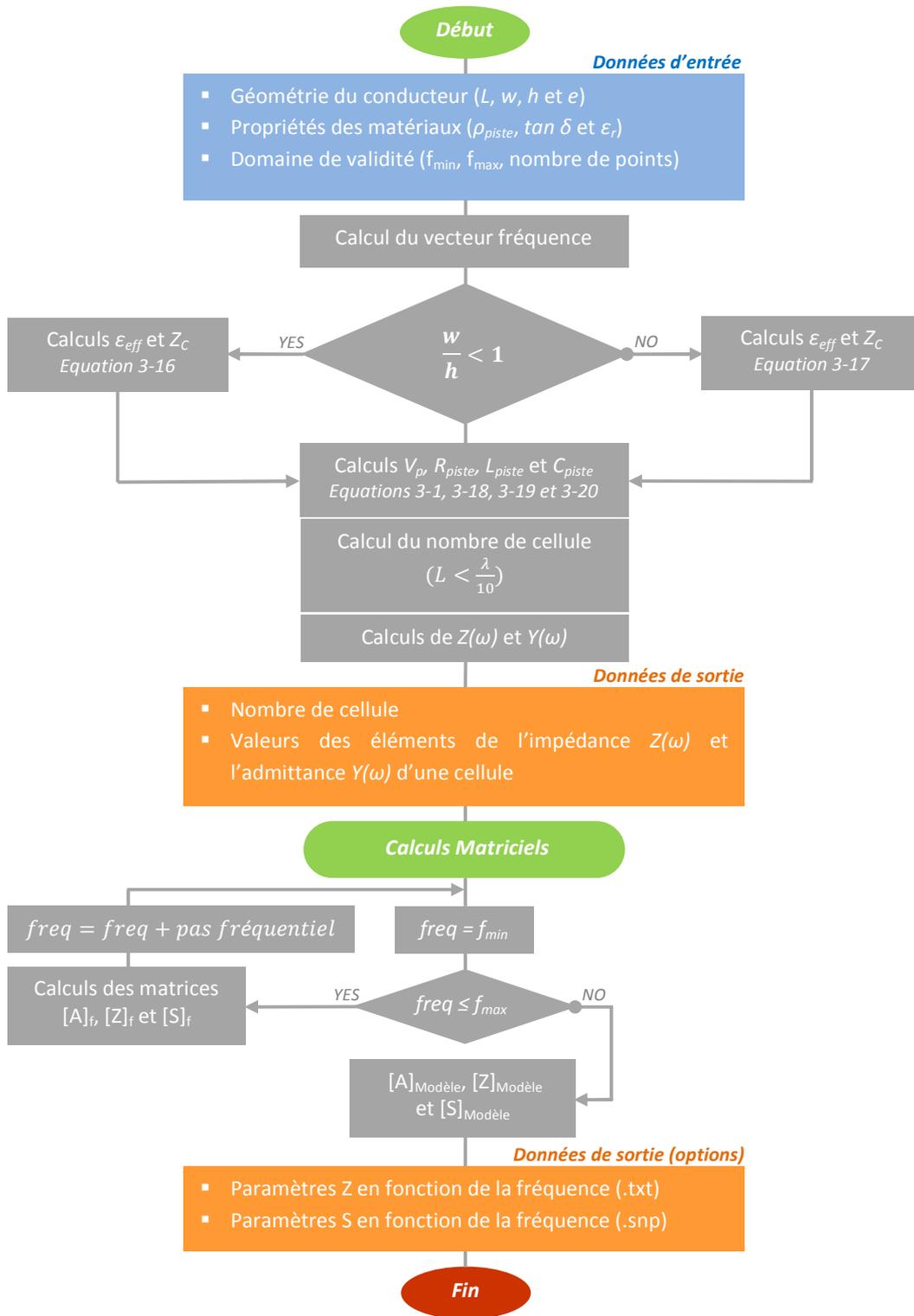


Figure 3-6: Algorithme de l'outil d'extraction de modèle de piste

### 1.1.3. Evaluation de l'outil de simulation

Pour valider l'outil décrit précédemment, il est nécessaire d'évaluer sa capacité à fournir des modèles de piste précis quelque soit les propriétés du PCB. Pour cela, nous avons conçu trois lignes adaptées 50 Ω ayant des géométries différentes. Ces ligne ont ensuite été modélisées et simulées sous ADS (*Advanced Design System*) [ADS]. Le tableau 3-1 recense les caractéristiques physique et géométrique de chaque piste et de leur substrat respectif. Contrairement aux lignes n°1 et n°3, la ligne n°2 peut être segmentée en 3 tronçons (T1, T2 et T3) de longueurs différentes.

	L	W	e	ρ (cuivre)	tan δ	h	ε <sub>r</sub>
<b>Ligne n°1</b>	75 mm	2,5 mm	0,035 mm	1,72.10 <sup>-5</sup> Ω.mm <sup>-1</sup>	0,02	1,6 mm	5,1
<b>Ligne n°2</b>	T1: 27 mm T2: 57 mm T3: 27 mm	1,1 mm				0,8 mm	4,9
<b>Ligne n°3</b>	30 mm	0,9 mm				0,4 mm	4,9

**Tableau 3-1: Caractéristiques des lignes modélisées avec l'outil d'extraction**

Le domaine de validité fréquentiel choisi pour extraire les modèles est compris entre 1 MHz et 2 GHz, soit un domaine de validité défini sur 4 décades (constante K = 5). A partir de ces informations, le nombre de cellules et les valeurs des composantes discrètes par cellule nous sont transmises par l'outil d'extraction (tableau 3-2).

		Nombre de cellules	R <sub>piste</sub>	L <sub>piste</sub>	C <sub>piste</sub>	C <sub>∞</sub>	C	R <sub>1</sub> (R <sub>k+1</sub> =R <sub>1</sub> /10 <sup>k</sup> )
<b>Ligne n°1</b>		5	4,91 mΩ	5,1 nH	1,77 pF	1,5 pF	54 fF	2,943 MΩ
<b>Ligne n°2</b>	<b>T1</b>	2	6,03 mΩ	4,9 nH	1,475 pF	1,25 pF	45 fF	3,5 MΩ
	<b>T2</b>	4	6,365 mΩ	5 nH	1,557 pF	1,31 pF	47,28 fF	3,36 MΩ
	<b>T3</b>	2	6,03 mΩ	4,9 nH	1,475 pF	1,25 pF	45 fF	3,5 MΩ
<b>Ligne n°3</b>		3	5,46 mΩ	2,783 nH	1,486 pF	1,26 pF	45,35 fF	3,5 MΩ

**Tableau 3-2: Valeur des composantes de chaque modèle de ligne pour une cellule**

Afin d'évaluer la précision de l'outil et de montrer l'intérêt de prendre en considération les pertes diélectrique dans un modèle de piste de PCB, l'impédance d'entrée Z<sub>11</sub> et le coefficient de transmission S<sub>21</sub> de chaque modèle discret conçu à partir des informations du tableau 3-2 (avec et sans perte diélectrique), sont comparés à ceux d'un modèle de ligne issu des librairies d'ADS et aux mesures de caractérisation réalisées à l'analyseur de réseau. Les modèles discrets sans pertes diélectrique ne sont développés qu'à partir du nombre de cellule et des composantes linéiques (R<sub>piste</sub>, L<sub>piste</sub> et C<sub>piste</sub>) de chaque ligne.

Illustrés de la figure 3-7 à 3-12, les résultats de cette étude montrent que les modèles discrets avec pertes substrat ont une bonne précision de 1 MHz à 2 GHz, puisque les écarts observés entre simulations et mesures des paramètres Z<sub>11</sub> et S<sub>21</sub> sont relativement faibles.

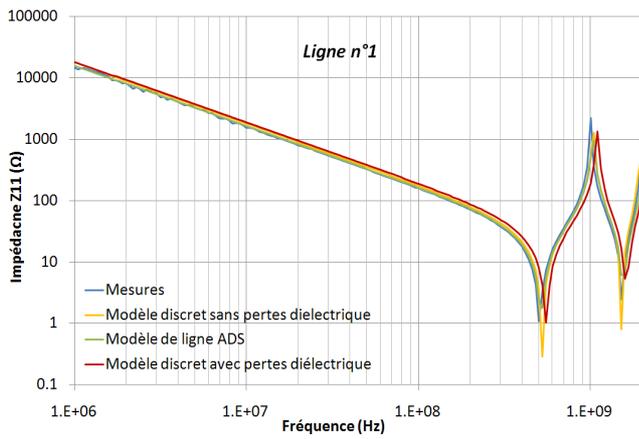


Figure 3-7: Impédance d'entrée de la ligne n°1

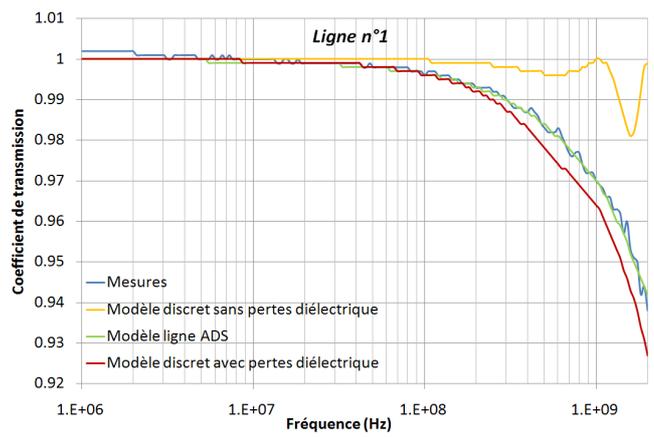


Figure 3-8: Coefficient de réflexion de la ligne n°1

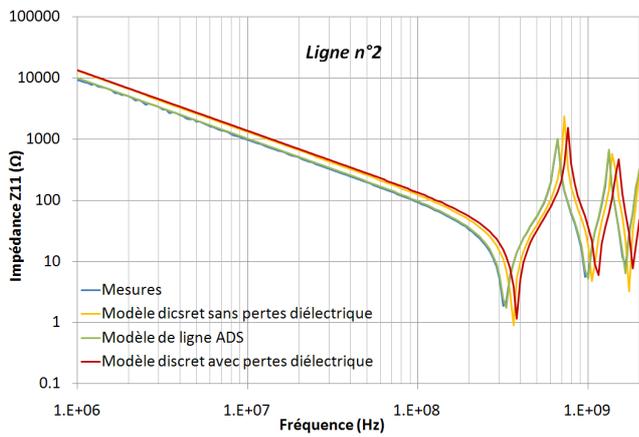


Figure 3-9: Impédance d'entrée de la ligne n°2

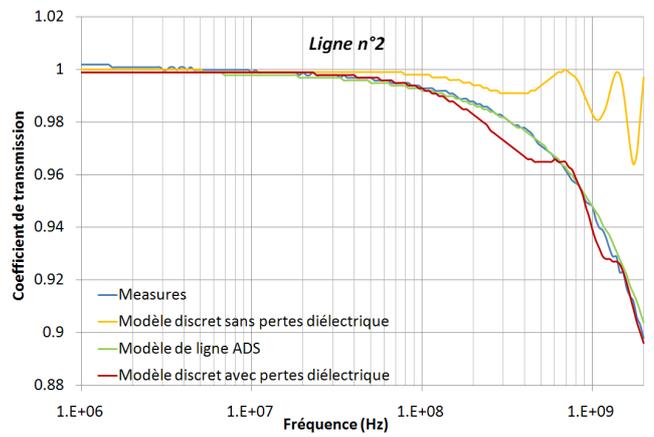


Figure 3-10: Coefficient de réflexion de la ligne n°2

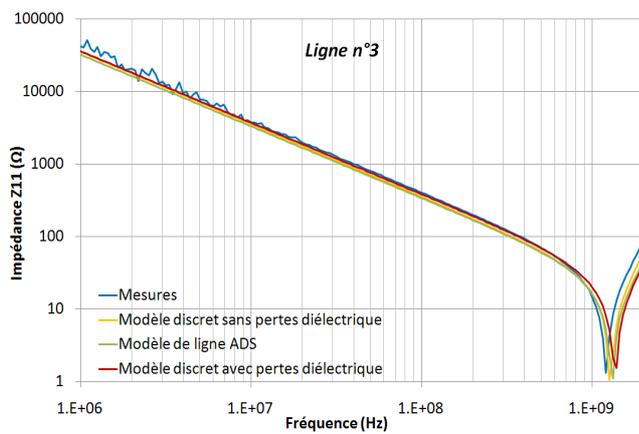


Figure 3-11: Impédance d'entrée de la ligne n°3

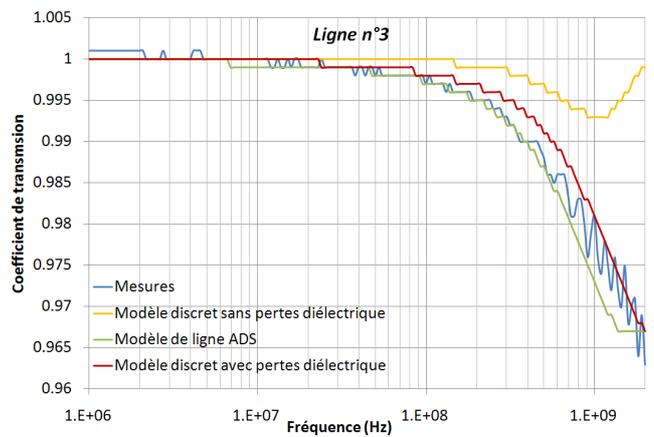


Figure 3-12: Coefficient de réflexion de la ligne n°3

Pour évaluer la précision des modèles discrets, nous calculons le pourcentage d'erreur des coefficients de transmission simulés en fonction de ceux mesurés. Nous nous focalisons principalement sur le coefficient de transmission car le bon transfert d'énergie d'un modèle de ligne est essentiel pour prédire le comportement CEM d'un CI.

En comparant les erreurs de précision des modèles discrets avec et sans pertes (tableau 3-3), nous constatons que les erreurs moyennes de transmission sont inférieures à 2 % jusqu'à 2 GHz, et ce quelque soit la présence de pertes. Nous pouvons donc en conclure qu'en-dessous du gigahertz, un modèle discret sans perte diélectrique est suffisant pour simuler le comportement d'une ligne adaptée 50 Ω. Néanmoins, nous observons que les erreurs de précision de ces modèles sont maximales à 2 GHz. Il devient donc indispensable d'inclure les pertes substrat dans tous modèles de pistes adaptés lorsque leur domaine de validité fréquentiel est défini au-delà du gigahertz.

Erreur	Ligne n°1		Ligne n°2		Ligne n°3	
	Avec perte diélectrique	Sans perte diélectrique	Avec perte diélectrique	Sans perte diélectrique	Avec perte diélectrique	Sans perte diélectrique
<b>Moyenne</b>	0,24 %	0,72 %	0,25 %	1,21 %	0,12 %	0,48 %
<b>Maximum</b>	1,45 % à 1,51 GHz	6,5 % à 2 GHz	1,12 % à 417 MHz	11 % à 2 GHz	0,71 % à 914 MHz	3,73 % à 2 GHz

**Tableau 3-3: Erreur de précision des modèles discrets avec et sans pertes diélectrique**

Pour s'assurer que ce constat puisse également être établi sur des pistes désadaptées, une étude complémentaire est réalisée en modélisant plusieurs pistes dont les caractéristiques sont basées sur celles de la ligne n°3. Cette ligne a été choisie car ces caractéristiques géométriques s'apparentent le plus à celles utilisées pour développer des circuits imprimés. Les principaux paramètres qui peuvent avoir une influence sur les pertes substrat sont les caractéristiques du diélectrique et le rapport « w/h » de la piste. Etant donné que la permittivité et la tangente de perte du diélectrique varient faiblement d'un PCB à un autre, seules les influences de la largeur « w » et de l'épaisseur du substrat « h » sont étudiées. Les caractéristiques des lignes modélisées pour cette étude sont énumérées dans le tableau 3-4. Le domaine de validité fréquentiel est le même que précédemment.

	W	h	Divers
<b>Ligne n°3-1</b>	0,5 mm	0,4 mm	L = 30 mm, e = 0,035 mm $\rho_{\text{cuivre}} = 1,72 \cdot 10^{-5} \Omega \cdot \text{mm}^{-1}$ $\tan \delta = 0,02, \epsilon_r = 4,9$
<b>Ligne n°3-2</b>	1,5 mm		
<b>Ligne n°3-3</b>	0,9 mm	0,8 mm	
<b>Ligne n°3-4</b>		0,2 mm	
<b>Ligne n°3-5</b>	0,2 mm	0,8 mm	
<b>Ligne n°3-6</b>		0,4 mm	

**Tableau 3-4: Caractéristiques des lignes modélisées pour l'étude paramétrique**

Illustrés de la figure 3-13 à 3-19, les résultats de cette étude paramétrique montrent que quelque soit les caractéristiques de la ligne, l'écart entre le coefficient de transmission d'un modèle avec ou sans pertes diélectrique est faible voire quasi nul.

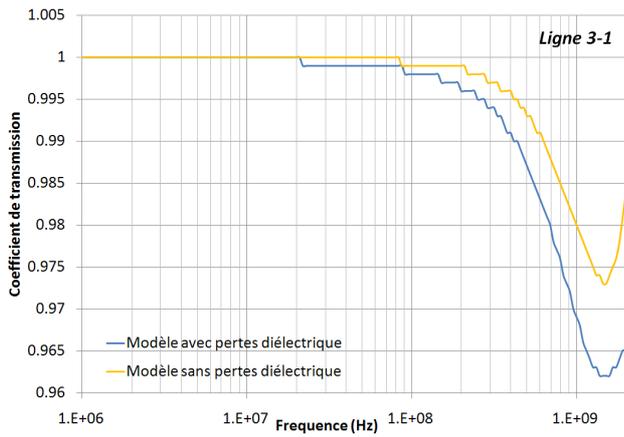


Figure 3-13: Coefficient de transmission de la ligne 3-1

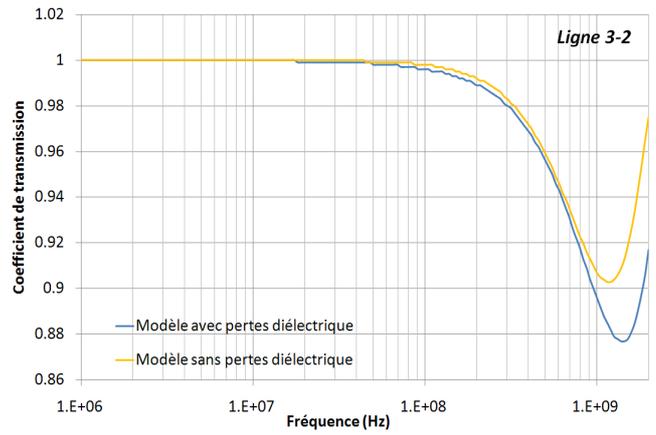


Figure 3-14: Coefficient de transmission de la ligne 3-2

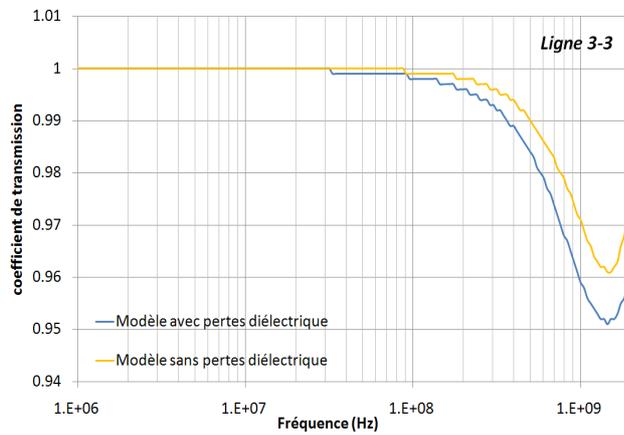


Figure 3-15: Coefficient de transmission de la ligne 3-3

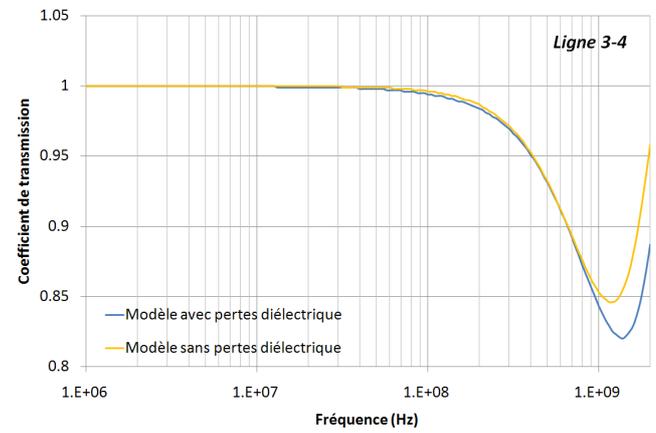


Figure 3-16: Coefficient de transmission de la ligne 3-4

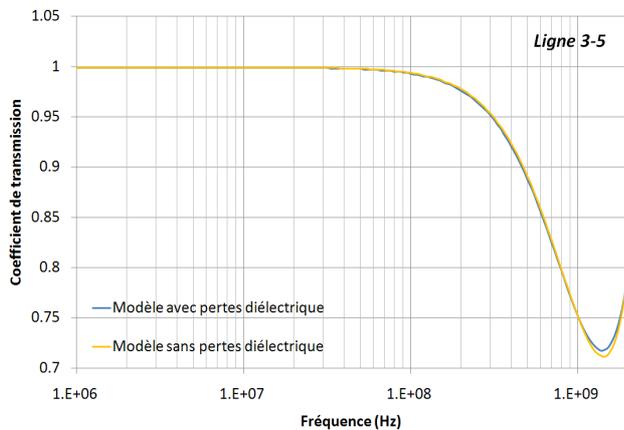


Figure 3-17: Coefficient de transmission de la ligne 3-5

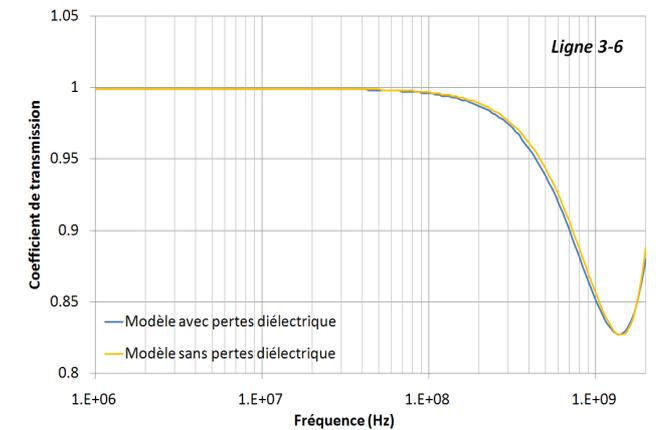


Figure 3-18: Coefficient de transmission de la ligne 3-6

Pour quantifier cet écart, le pourcentage d'erreur est calculé pour chaque ligne (tableau 3-5). Contrairement aux calculs précédents, l'erreur de précision est cette fois-ci calculée en fonction du coefficient de transmission du modèle avec pertes diélectrique. Ce modèle est défini comme référence car il est doté d'une bonne précision quelque soit les propriétés du *PCB* (tableau 3-3).

Selon les informations du tableau 3-5, l'erreur de précision d'un modèle sans perte reste inférieurs à 1% jusqu'à 1 GHz, quelque soit le rapport « *w/h* » et l'impédance caractéristique  $Z_c$  de la ligne. En outre, on remarque que lorsque le rapport « *w/h* » est inférieur à 1, le pourcentage d'erreur d'un modèle sans perte diélectrique ne dépasse pas 1 % jusqu'à 2 GHz.

		<i>Ligne 3-1</i>	<i>Ligne 3-2</i>	<i>Ligne 3-3</i>	<i>Ligne 3-4</i>	<i>Ligne 3-5</i>	<i>Ligne 3-6</i>
<b>Erreur</b>	<i>Moyenne</i>	0,27 %	0,5 %	0,26 %	0,5 %	0,12 %	0,13 %
	<i>Maximum</i>	1,96 % à 2 GHz	6,5 % à 1,91 GHz	1,77 % à 2 GHz	8 % à 2 GHz	0,97 % à 1,44 GHz	0,9 % à 2 GHz
<b><math>Z_c</math></b>		60,56 $\Omega$	30,57 $\Omega$	63,83 $\Omega$	26,72 $\Omega$	115 $\Omega$	91 $\Omega$
<b><i>W/h</i></b>		1,25	3,75	1,125	4,5	0,25	0,5

**Tableau 3-5: Erreur de précision d'un modèle discret sans pertes en fonction de l'impédance caractéristique  $Z_c$  et du rapport *W/h* d'une ligne**

Nous pouvons donc en conclure que les caractéristiques d'une piste de circuit imprimé n'ont aucune influence sur ses pertes diélectrique lorsque la fréquence des signaux sinusoïdaux mis en jeu est inférieure à 1 GHz. Par conséquent, il n'est pas nécessaire de complexifier les modèles de *PCB* en y incluant ces pertes lorsque l'objectif des simulations est de prédire l'immunité conduite d'un CI dans le domaine fréquentiel, selon les normes IEC 62132-3/4.

Bien que la prise en compte des pertes diélectriques dans des modèles de pistes ait été remise en cause pour étudier l'immunité d'un CI jusqu'à 1 GHz, l'outil d'extraction proposé reste très utile à tout utilisateur non-initié à la CEM puisqu'il leur permet de développer un modèle de ligne pourvu d'une excellente précision sur une bande de fréquence de leur choix. Cet outil à l'avantage d'être efficace pour modéliser un des éléments essentiels du chemin d'injection en quelques minutes seulement, et répond ainsi aux contraintes temporelles régulièrement subies lors des phases de conception des circuits intégrés.

## 1.2. Modélisation d'un plan

Les circuits imprimés multicouches sont constitués de plusieurs plans conducteurs communément utilisés pour alimenter les circuits intégrés. En outre d'être d'excellents chemins de couplage, les guides d'onde formant les plans d'alimentation émettent des champs électriques et magnétiques qui peuvent être à l'origine d'interférences électromagnétiques sur des structures voisines au *PCB*. Au vu de l'influence que peuvent avoir ces larges plans conducteurs, il est donc primordial de prendre en considération leurs effets dans la modélisation des circuits imprimés.

### 1.2.1. Démarche de modélisation d'un plan

L'une des méthodes les plus appropriées pour modéliser ces structures conductrices est d'utiliser les modèles de cavité qui ont à l'origine été développés pour analyser le comportement d'antennes microstrip [CARVER81]. Associés à la méthode de segmentation, les modèles de cavités sont adéquates pour caractériser le comportement d'un guide d'onde ayant une forme rectangulaire, circulaire ou encore triangulaire [LO79].

Les plans d'alimentation et de masse séparés d'un diélectrique d'épaisseur  $h$  forment un système d'alimentation distribué qui peut être considéré comme un guide d'onde rectangulaire de longueur  $a$  et de largeur  $b$  (figure 3-19). De part sa géométrie, ce guide d'onde s'apparente à une cavité résonnante où le rayonnement électromagnétique s'effectue dans un mode magnétique transversal (mode TM). Cette propriété induit notamment que la composante  $H_z$  du champ magnétique est nulle.

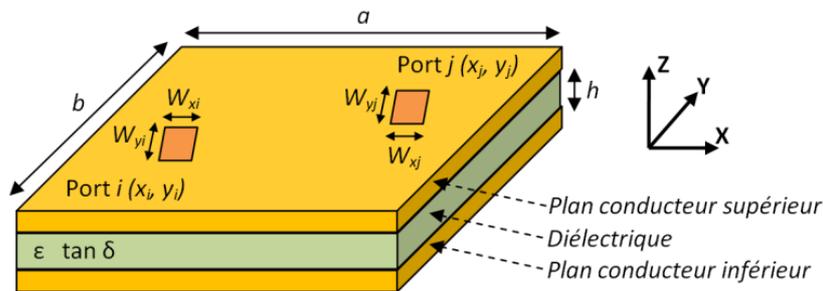


Figure 3-19: Paire de plans parallèles assimilable à un guide d'onde rectangulaire

Pour modéliser le comportement de la cavité entre deux ports, une matrice d'impédance peut être calculée en fonction des propriétés géométriques et physiques des conducteurs, du diélectrique et de chaque port présent sur les surfaces métalliques. En supposant que les parois métalliques du système d'alimentation sont des conducteurs électriquement parfait et que leurs extrémités sont des conducteurs magnétiquement parfait, l'impédance de transfert entre le port  $i$  et  $j$  est définie selon l'équation 3-21 où la tension  $V(x_j, y_j)$  et le courant  $I(x_i, y_i)$  dépendent respectivement du champ électrique  $E(x_j, y_j)$  et du champ magnétique  $H(x_i, y_i)$ .

$$Z_{i,j} = \frac{V_{x_j y_j}}{I_{x_i y_i}} \quad \text{Equation 3-21}$$

La distance entre chaque plan étant généralement inférieure à la plus petite longueur d'onde mis en jeu ( $\lambda_{\min} = c/f_{\max}$  avec  $c = 3 \cdot 10^8 \text{ m.s}^{-1}$  et  $f_{\max} = 1 \text{ GHz}$ ), la distribution du champ électrique à l'intérieur du guide d'onde peut être caractérisée par les équations d'Helmholtz 2D (équation 3-22) en fonction de sa composante  $E_z$ .

$$\frac{\partial E_z}{\partial x} + \frac{\partial E_z}{\partial y} + k^2 E_z = 0 \quad \text{Equation 3-22}$$

avec  $k^2 = k_x^2 + k_y^2$

Pour résoudre cette équation différentielle, nous appliquons la méthode de séparation des variables et les conditions aux limites de Dirichlet qui consiste à poser  $E_z(x, y) = X(x)Y(y)$  et  $E_z(0, y) = E_z(a, y) = E_z(x, 0) = E_z(x, b) = 0$ . Nous en déduisons ainsi que la composante  $E_z$  du champ électrique s'exprime selon l'équation 3-23.

$$E_z(x, y) = E_0 \sin\left(\frac{n\pi}{a}x\right) \sin\left(\frac{m\pi}{b}y\right) \quad \text{Equation 3-23}$$

avec  $E_0$ : constante,  $k_x = \frac{m\pi}{a}$ ,  $k_y = \frac{n\pi}{b}$  et  $m = n = 1, 2, 3, \dots$

A partir de l'équation 3-23 et des équations de Maxwell [MAXWELL], nous calculons les composantes  $E_x(x, y)$ ,  $E_y(x, y)$  du champ électrique (équations 3-24 et 3-25) et  $H_x(x, y)$ ,  $H_y(x, y)$  du champ magnétique (équations 3-26 et 3-27).

$$E_x(x, y) = -\frac{y}{k^2} \left(\frac{m\pi}{a}\right) E_0 \cos\left(\frac{m\pi}{a}x\right) \sin\left(\frac{n\pi}{b}y\right) \quad \text{Equation 3-24}$$

$$E_y(x, y) = -\frac{y}{k^2} \left(\frac{n\pi}{b}\right) E_0 \sin\left(\frac{m\pi}{a}x\right) \cos\left(\frac{n\pi}{b}y\right) \quad \text{Equation 3-25}$$

$$H_x(x, y) = -\frac{j\omega\varepsilon}{k^2} \left(\frac{n\pi}{b}\right) E_0 \sin\left(\frac{m\pi}{a}x\right) \cos\left(\frac{n\pi}{b}y\right) \quad \text{Equation 3-26}$$

$$H_y(x, y) = -\frac{j\omega\varepsilon}{k^2} \left(\frac{m\pi}{a}\right) E_0 \cos\left(\frac{m\pi}{a}x\right) \sin\left(\frac{n\pi}{b}y\right) \quad \text{Equation 3-27}$$

En fonction des équations des champs électrique et magnétique ainsi obtenues, nous en déduisons la matrice d'impédance entre les ports  $i$  et  $j$  respectivement positionnés aux coordonnées  $(x_i, y_i)$ ,  $(x_j, y_j)$  et de dimensions  $(w_{xi}, w_{yi})$ ,  $(w_{xj}, w_{yj})$ . Comme l'indique l'équation 3-28, cette matrice est définie par une double somme indexées par le nombre de modes  $n$  et  $m$  qui se propagent à travers la cavité.

$$Z_{ij}(\omega) = \frac{j\omega\mu h}{ab} \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{C^2 N_{mni} N_{mnj}}{k_{mn}^2 - k^2} \quad \text{Equation 3-28}$$

avec  $C = 1$  si  $m = n = 0$ ,  $C = 2$  si  $m, n \neq 0$ ,  $C = \sqrt{2}$  si  $m$  ou  $n = 0$

$$N_{mni} = \cos\left(\frac{m\pi}{a}x_i\right) \cos\left(\frac{n\pi}{b}y_i\right) \operatorname{sinc}\left(\frac{m\pi}{2a}W_{xi}\right) \operatorname{sinc}\left(\frac{n\pi}{2b}W_{yi}\right)$$

$$N_{mnj} = \cos\left(\frac{m\pi}{a}x_j\right) \cos\left(\frac{n\pi}{b}y_j\right) \operatorname{sinc}\left(\frac{m\pi}{2a}W_{xj}\right) \operatorname{sinc}\left(\frac{n\pi}{2b}W_{yj}\right)$$

$$k_{mn}^2 = \left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2$$

$$k(\omega)^2 = \omega \sqrt{\varepsilon_0 \varepsilon_r \mu_0} \left(1 - j \frac{\tan \delta + r(\omega)/h}{2}\right) \text{ où } r(\omega) = \sqrt{\frac{2}{\omega \mu \sigma}} : \text{effet de peau}$$

Grâce aux équations 3-21 et 3-28, nous sommes désormais en mesure de fournir plusieurs informations sur les effets induits par le bruit injecté sur un plan d'alimentation. L'impédance d'entrée de chaque port nous permet, par exemple, de calculer les surtensions créées par une injection de courant tandis que l'impédance de transfert nous informe sur le niveau de bruit transmis entre 2 ports.

Bien que cette matrice puisse nous fournir des informations essentielles pour traduire les effets induits par un circuit imprimé, nous pouvons en conclure que la démarche de modélisation des plans conducteurs d'un PCB est longue et complexe. Pour faciliter leur modélisation, un outil d'extraction similaire à celui présenté précédemment a donc été développé.

### 1.2.2. Description de l'outil d'extraction des modèles de plans de PCB

Afin d'extraire un modèle de plan rapidement et sans connaissances fondamentales en électromagnétisme, nous avons développé une fonction sous *MATLAB* dont l'algorithme est illustré figure 3-20.

Les informations requises pour modéliser un plan de circuit imprimé sont : le domaine de validité fréquentiel du modèle (fréquence minimum, fréquence maximum et le nombre de points), le nombre de modes de propagation, la longueur et la largeur du plan conducteur, l'épaisseur du diélectrique qui sépare le plan d'alimentation et le plan de masse, les coordonnées et les dimensions des ports à travers lesquels le courant injecté circule, la permittivité et la perméabilité du vide, la permittivité relative et la tangente de perte du diélectrique, la perméabilité relative et la résistivité des conducteurs.

A partir de ces informations, les vecteurs  $var\_som\_i$ ,  $var\_som\_j$  et  $var\_som\_ij$  sont définis selon les variables  $N_{mni}$ ,  $N_{mnj}$ ,  $r(\omega)$ ,  $k(\omega)$  et  $k_{mn}^2$  calculées pour chaque mode de propagation et chaque fréquence. Les  $n$  éléments ( $n = \text{nombre de point en fréquence} * m * n$ ) de chaque vecteur sont ensuite additionnés pour calculer les différents paramètres  $Z$  de la matrice d'impédance de sortie, en fonction de la fréquence du signal mis en jeu. Les sommes  $som\_i$ ,  $som\_j$  et  $som\_ij$  permettent respectivement de calculer les impédances complexes  $Z_{ii}$ ,  $Z_{ij}$  et  $Z_{ji}$ . Enfin, les calculs matriciels réalisés par la fonction se résument simplement à la transformation des paramètres  $Z$  en paramètres  $S$ , selon les équations 3-29 à 3-32.

$$S_{11} = \frac{((Z_{11}-Z_0) \times (Z_{22}+Z_0) - Z_{12} \times Z_{21})}{((Z_{11}+Z_0) \times (Z_{22}+Z_0) - Z_{12} \times Z_{21})} \quad \text{Equation 3-29}$$

$$S_{12} = \frac{(2 \times Z_0 \times Z_{12})}{((Z_{11}+Z_0) \times (Z_{22}+Z_0) - Z_{12} \times Z_{21})} \quad \text{Equation 3-30}$$

$$S_{21} = \frac{(2 \times Z_0 \times Z_{21})}{((Z_{11}+Z_0) \times (Z_{22}+Z_0) - Z_{12} \times Z_{21})} \quad \text{Equation 3-31}$$

$$S_{22} = \frac{((Z_{11}+Z_0) \times (Z_{22}-Z_0) - Z_{12} \times Z_{21})}{((Z_{11}+Z_0) \times (Z_{22}+Z_0) - Z_{12} \times Z_{21})} \quad \text{Equation 3-32}$$

Comme pour la fonction dédiée à l'extraction des modèles de pistes, l'utilisateur a la possibilité d'extraire la matrice d'impédance sous forme de fichier texte ou les paramètres  $S$  équivalents sous forme de fichier touchstone.

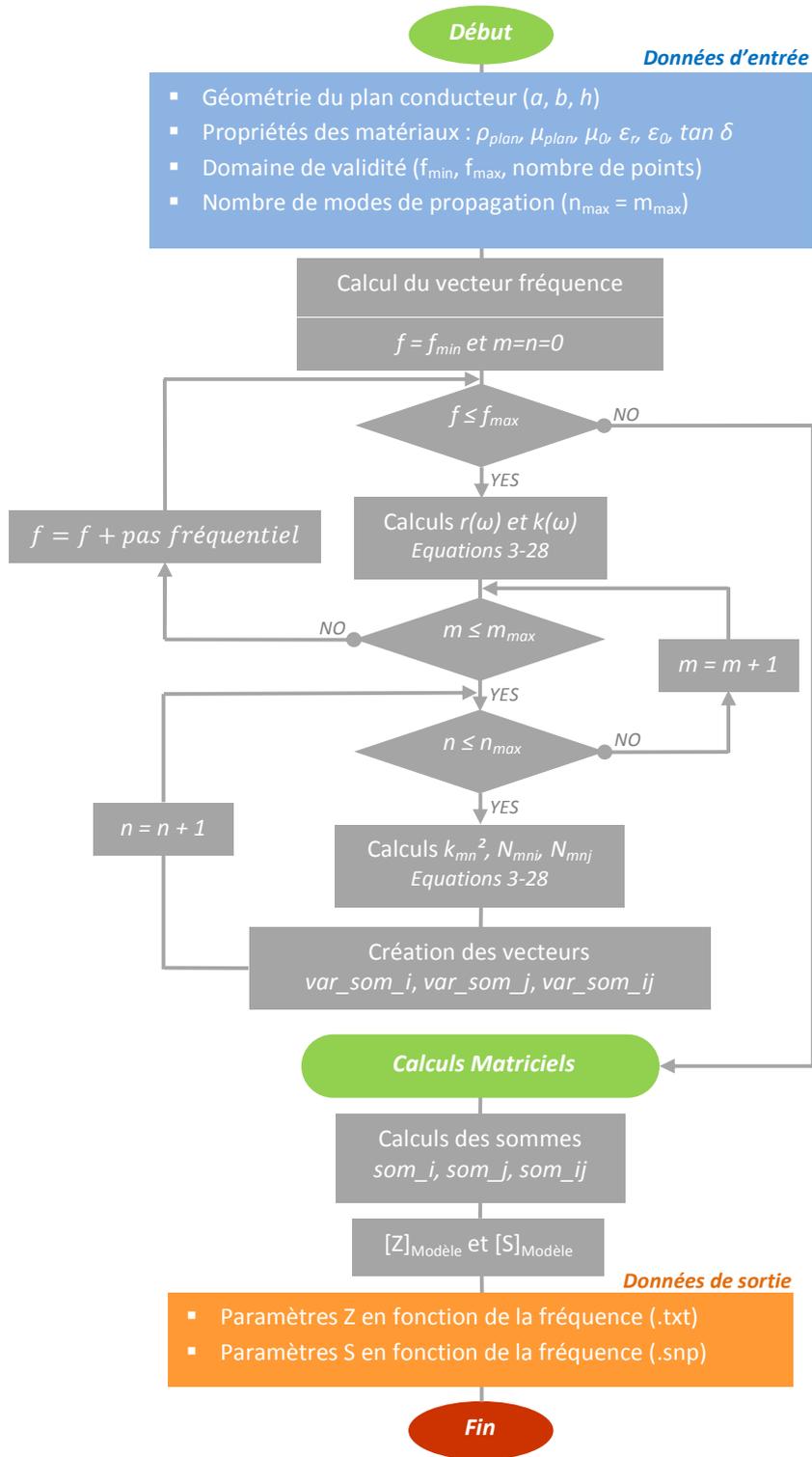
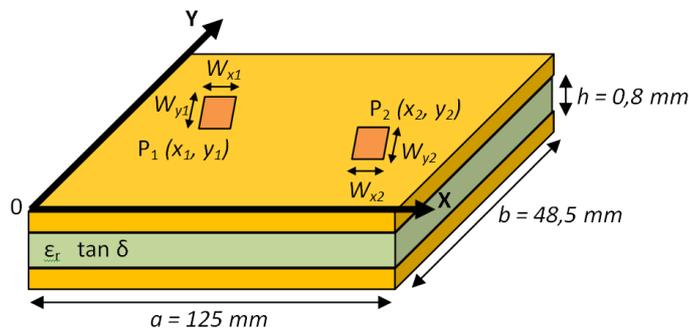


Figure 3-20: Algorithme de l'outil d'extraction de modèle de plan

### 1.2.3. Evaluation de l'outil de simulation

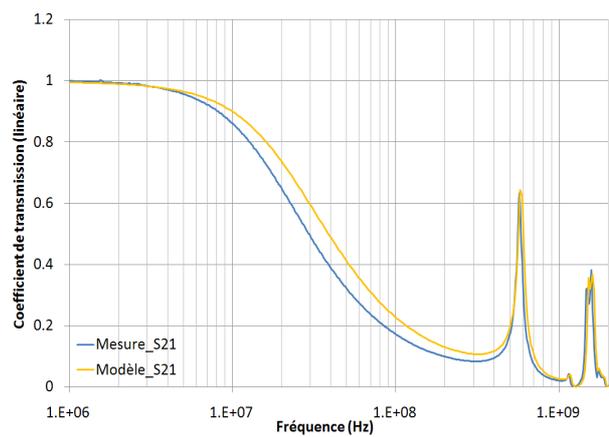
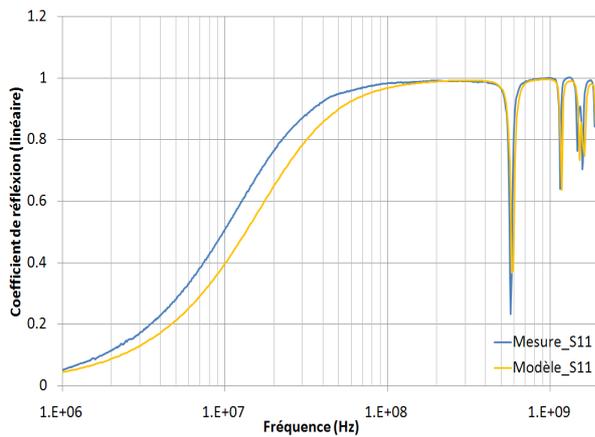
Le circuit imprimé illustré figure 3-21 a spécialement été conçu pour évaluer la précision des modèles de plan extraits à partir de l'outil présenté précédemment. Les matériaux utilisés pour la conception de cette carte sont du *FR4 (Flame Resistant 4)* pour le substrat et du cuivre pour les plans conducteurs. Les propriétés géométriques et physiques du *PCB* sont les suivantes :  $a = 125$  mm,  $b = 48,5$  mm,  $h = 0,8$  mm,  $\epsilon_r = 4,2$ ,  $\tan \delta = 0,02$ ,  $\mu_{\text{plan}} = 1$ ,  $\sigma = 1,72 \cdot 10^{-5} \Omega \cdot \text{mm}$ . Deux connecteurs *RF (radiofréquence)* de type *SMA (SubMiniature version A)* ont été positionnés sur la carte de test pour réaliser la caractérisation des plans à l'analyseur de réseau. Les coordonnées des ports  $P_1$  et  $P_2$  dans le plan 2D X-Y sont :  $P_1 (20$  mm ;  $33$  mm) et  $P_2 (95$  mm ;  $10$  mm). Le diamètre de l'âme centrale de ces ports est d'environ  $0,762$  mm. Le domaine de validité fréquentiel du modèle est défini entre  $1$  MHz et  $2$  GHz. Le nombre de mode est déterminé de manière à avoir un bon compromis entre la précision du modèle et le temps de calcul requis pour l'extraire.



**Figure 3-21: Circuit imprimé conçu pour l'évaluation de l'outil d'extraction**

Après investigation, plusieurs modifications ont dû être apportées à la fonction afin de minimiser les temps de calcul requis lorsque le nombre de modes est important. Effectivement, la définition des vecteurs  $var\_som\_i$ ,  $var\_som\_j$  et  $var\_som\_ij$  pour chaque fréquence occupe un tel espace mémoire que le temps de calcul nécessaire pour extraire un modèle augmentent fortement. Par conséquent, le calcul des sommes  $som\_i$ ,  $som\_j$  et  $som\_ij$  est désormais réalisée directement dans la boucle de fréquence pour éviter de stocker un trop grand nombre de données. Cette modification permet par exemple de calculer la matrice d'impédance d'un plan à une fréquence donnée en moins d'une minute, pour un nombre de mode défini à 500.

Dans notre cas d'étude, un nombre de modes fixé à 50 est suffisant pour obtenir un modèle doté d'une bonne précision entre  $1$  MHz et  $2$  GHz. Les figures 3-22 et 3-23 illustrent les comparaisons mesures-simulations des coefficients de réflexion  $S_{11}$  et de transmission  $S_{21}$ . Le peu d'écart observés entre mesures et simulations nous indiquent que l'outil d'extraction a la capacité de traduire précisément le comportement électrique d'un plan conducteur.



**Figure 3-22: Coefficient de réflexion du plan modélisé**    **Figure 3-23: Coefficient de transmission du plan modélisé**

A partir des informations générées par la fonction, l'utilisateur a deux possibilités pour simuler l'influence de deux plans conducteurs séparés d'un diélectrique. La première est d'utiliser le fichier *touchstone* généré par la fonction en créant un modèle comportemental de type « boîte noire ». La seconde, et certainement la plus adéquate, est de déduire la capacité équivalente de ces plans en vis-à-vis, à partir de l'allure de l'impédance d'entrée calculée à chaque port ( $Z_{11}$  et  $Z_{22}$  de la matrice d'impédance  $[Z]_{\text{modèle}}$ ). L'introduction de cette capacité dans un modèle discret du chemin d'injection permet ainsi de prendre en considération l'influence qu'un plan de *PCB* peut avoir sur un signal *RF* transmis à un CI.

Cet outil répond donc à toutes nos attentes puisqu'en ayant amélioré le code initialement développé, nous sommes désormais en mesure d'extraire rapidement un modèle de plan conducteur doté d'une excellente précision sur une bande de fréquence de notre choix.

## 2. Modèle d'injection conduite normalisée

Bien qu'un circuit imprimé puisse avoir une influence significative sur le signal véhiculé à un *CST*, le système d'injection reste l'élément le plus influent puisqu'il définit le niveau de bruit couplé au signal agressé. Pour parvenir à évaluer l'immunité d'un circuit intégré par simulation, il est donc fondamental de bien modéliser les systèmes d'injection utilisés lors des mesures normalisées.

D'après l'état de l'art réalisé sur la modélisation des systèmes d'injection (chapitre 1), nous constatons que de nombreuses méthodologies ont été proposées ces dernières années pour simuler des mesures d'immunité normalisées de type conduites. Nous proposons ainsi d'évaluer trois approches différentes pour modéliser les systèmes d'injection définis par les normes IEC 62132-3 et IEC 62132-4. L'objectif de cette étude est de définir la méthode de modélisation la plus appropriée pour modéliser des injections normalisées dans un contexte industriel.

Pour cela, nous présenterons premièrement les approches de modélisation utilisées. Les modèles proposés seront de nature comportementale (« N-port » et polynomiale) ou discrète. Ensuite, les systèmes d'injection seront modélisés en fonction de chaque méthode proposée. Pour chaque système d'injection, nous évaluerons les modèles développés selon trois critères : leur précision, leur complexité et leur rapidité d'élaboration. Leur domaine de validité fréquentiel étant défini selon la bande de fréquence spécifiée par les normes *IEC*, nous focaliserons nos évaluations entre 1 MHz et 1 GHz. Ces évaluations seront enfin réalisées en comparant mesures et simulations.

### 2.1. Démarche de modélisation d'un système d'injection conduite

#### 2.1.1. Modèle « N-port »

Un modèle « N-port » n'est autre qu'un modèle équivalent à une boîte noire. Cette approche de nature comportementale a la particularité de retranscrire précisément le comportement électrique d'un système à partir d'une simple mesure de caractérisation réalisée à l'analyseur de réseau.

Les deux étapes à suivre pour développer un tel modèle sont la mesure de la matrice de paramètres *S* du système et l'importation du fichier *touchstone* résultant sous *CADENCE* [*CADENCE*]. Ce logiciel offre effectivement la possibilité d'utiliser des instances spécifiques pouvant être liées aux fichiers *touchstone* et ainsi de simuler le comportement d'un système en régime fréquentiel.

Bien que cette démarche ait l'avantage de développer des modèles rapidement, cette technique de modélisation nécessite l'utilisation d'un logiciel dont la licence est payante. Par conséquent, nous proposons une méthode alternative en traduisant le comportement électrique d'un système d'injection par une netlist *SPICE*.

### 2.1.2. Modèle polynomiale

Semblable au modèle présenté précédemment, un modèle polynomiale est de nature comportementale et a l'avantage d'être simulable par la plupart des simulateurs électriques. Cette approche a été imaginée pour convertir le fichier touchstone caractérisant un système en une netlist *SPICE*, et ainsi s'affranchir de l'utilisation d'instances spécifiques propres à *CADENCE*. Malgré la complexité de cette conversion, plusieurs logiciels proposent ce type d'outil. Selon le *benchmark* réalisé par F. LAFON (tableau 3-6), le logiciel le plus performant permettant une telle conversion est *IdeM* [IDEM]. Conçu par l'école polytechnique de Turin, ce logiciel permet de générer un modèle *SPICE* d'un système en calculant un polynôme d'ordre « n » à partir de son fichier touchstone. La précision du modèle extrait dépend essentiellement de l'ordre de ce polynôme.

Outils/ Logiciels	Précision Temporelle/ Fréquentielle	Application large bande	Accessibilité	Support technique
<i>IdeM</i>	+++	+++	++	+++
<i>CST MOR</i>	+	+	+++	++
<i>Simlab SLSpice</i>	+	+ / -	+++	++
<i>EM WONDER (EMtoSpice)</i>	+	-	++	
<i>Sigrity</i>	+	-	+++	

Tableau 3-6 : Evaluation et comparaison des logiciels permettant de convertir un fichier « touchstone » en une netlist *SPICE*

### 2.1.3. Modèle discret

La modélisation par éléments discrets consiste à modéliser un système passif par un réseau d'impédance équivalent à sa structure physique. La mesure des matrices S et Z du système donne des informations essentielles pour sa modélisation. L'allure de  $Z(f)$  fournit notamment des indications précises sur les circuits résonnants du modèle. Sachant qu'il existe deux types de circuits résonnants, l'un série (figure 3-24) et l'autre parallèle (figure 3-25) [SHEPHERD07], tout système passif peut ainsi être modélisé par un circuit constitué d'éléments discrets de type *RLC*.

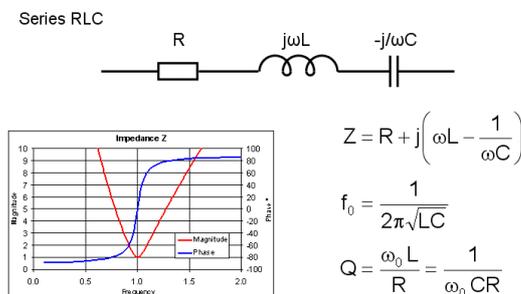


Figure 3-24: Caractéristiques d'un circuit RLC série

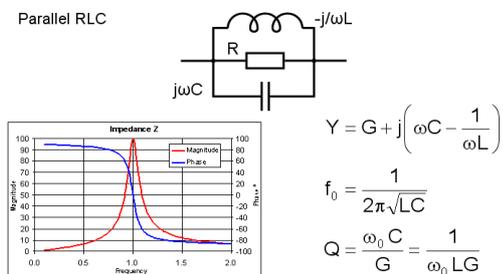


Figure 3-25 : Caractéristiques d'un circuit RLC parallèle

Malgré l'avantage d'être l'une des méthodes de modélisation les plus concrètes qu'il soit, sa mise en œuvre peut s'avérer longue et complexe en fonction du dispositif à modéliser et de son domaine de validité fréquentiel. Notons par exemple qu'il est parfois nécessaire de prendre en considération tous les éléments parasites d'un système pour que son modèle soit précis quelque soit la fréquence des signaux mis en jeu [WOODY83]. Par conséquent, il est préférable d'être au préalable bien informé sur la structure physique du système avant d'entamer cette démarche de modélisation.

## 2.2. Système d'injection par couplage capacitif

### 2.2.1. Description du système d'injection DPI modélisé

Dans l'objectif de proposer une méthode de modélisation appropriée au système d'injection DPI et en adéquation avec les flots de simulation des designers, nous proposons d'évaluer chaque technique sur le véhicule de test présenté dans la partie 3.4 du chapitre 2 (figure 2-35). Ce circuit est constitué d'un « T » de couplage dont la valeur de la capacité d'injection  $C_{DPI}$  est de 6,8 nF et celle de l'inductance  $L_{DPI}$  est de 1  $\mu$ H. Les entrées RF et DC permettent respectivement de véhiculer le courant RF et un signal continu. La charge passive sur laquelle le courant est injecté est positionnée sur le port SMA nommé OUT. La sortie OUT\_MEAS permet de mesurer le niveau de puissance injecté sur la charge par l'intermédiaire d'un pont diviseur. Comme nous l'avons vu dans le chapitre 1, l'utilité de ce pont diviseur est d'éviter que l'impédance d'entrée de l'appareil de mesure vienne modifier la valeur de l'impédance sur laquelle le courant est injecté.

### 2.2.2. Présentation des modèles DPI

#### 2.2.2.1. Modèles « N-port » et polynomial

Pour modéliser le système d'injection présenté ci-dessus, nous mesurons premièrement les matrices S et Z entre les ports RF (P1), DC (P2) et OUT (P3), en ayant au préalable déconnecté le pont diviseur du chemin d'injection (figure 3-26). Le pont diviseur sera pris en compte uniquement lorsque le modèle complet sera évalué sur charges passives.

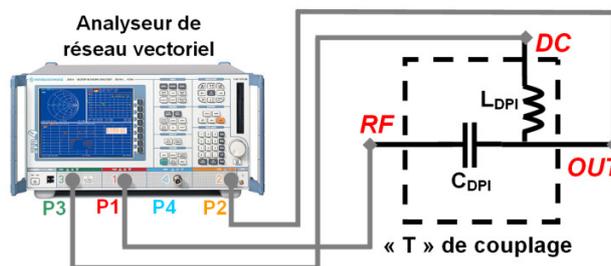


Figure 3-26: Caractérisation du système d'injection DPI

A partir de ces mesures, les modèles « N-port » et polynomial sont déduits assez rapidement. Sachant que le modèle « N-port » retranscrit précisément le comportement électrique et physique du circuit, nous n'illustrerons pas la comparaison entre mesures et simulations des paramètres S du système.

Cependant, pour le modèle polynomial, il est essentiel que le nombre de pôle soit optimisé de manière à obtenir une bonne précision de 1 MHz à 1 GHz. Après investigation, nous constatons que le nombre de pôle requis pour développer un modèle polynomial précis est de 15. La figure 3-27 montre qu'il existe peu d'écart entre mesures et simulations des coefficients de réflexion  $S_{11}$  (port *RF*) et de transmission  $S_{21}$  (entre le port *RF* et *OUT*) du système d'injection *DPI*. Les simulations réalisées sur le port *DC* ayant été aussi précises, nous pouvons en conclure que l'impédance de ce système est correctement modélisée par l'approche polynomiale.

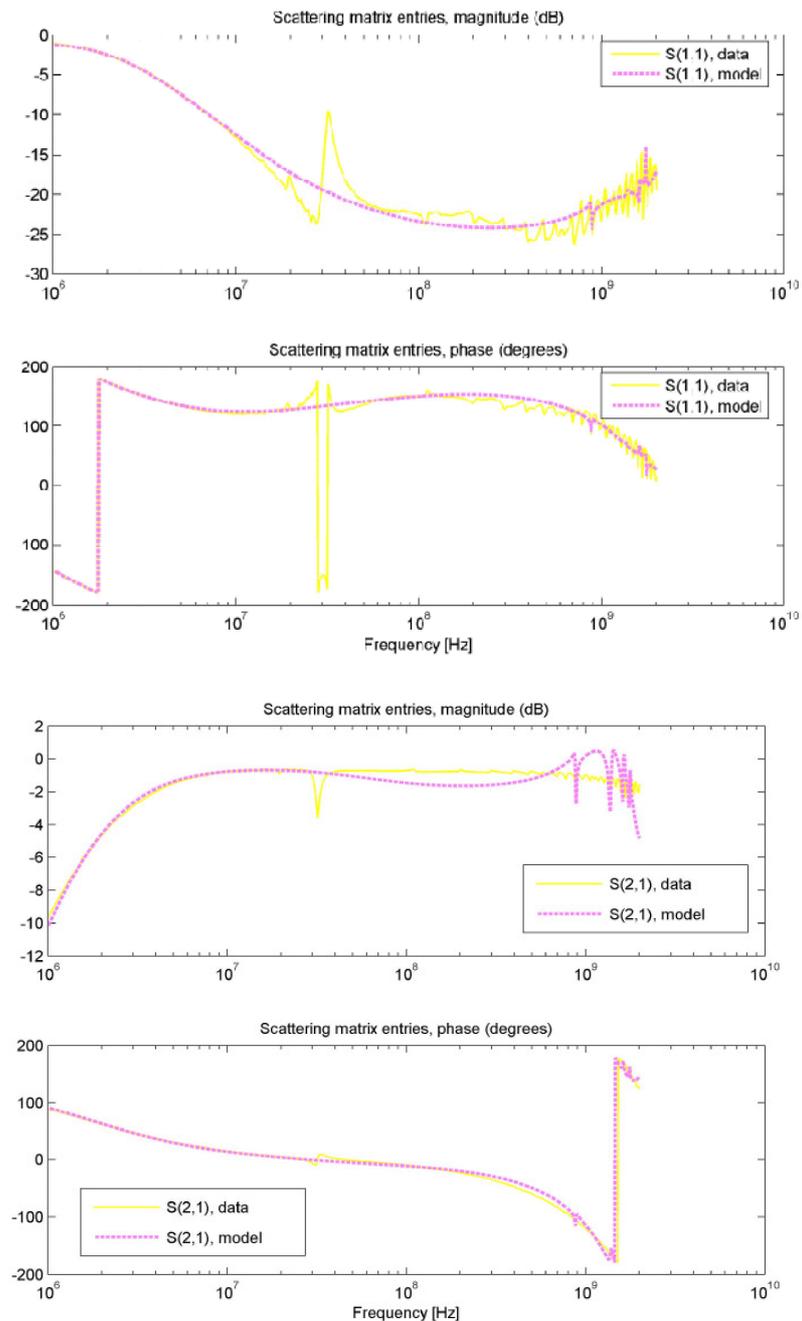


Figure 3-27: Comparaison mesures- simulations des paramètres  $S_{11}$  et  $S_{21}$  du modèle polynomial DPI

### 2.2.2.2. Modèle discret

Le modèle discret du véhicule de test développé à partir des mesures d'impédance est illustré figure 3-28. Chaque élément du circuit pouvant avoir une influence significative sur le signal transmis entre chaque port est modélisé afin d'optimiser la précision des simulations d'injections DPI. Les principaux éléments pris en compte sont : les connecteurs, les pistes, la capacité  $C_{DPI}$ , l'inductance  $L_{DPI}$  et le pont diviseur.

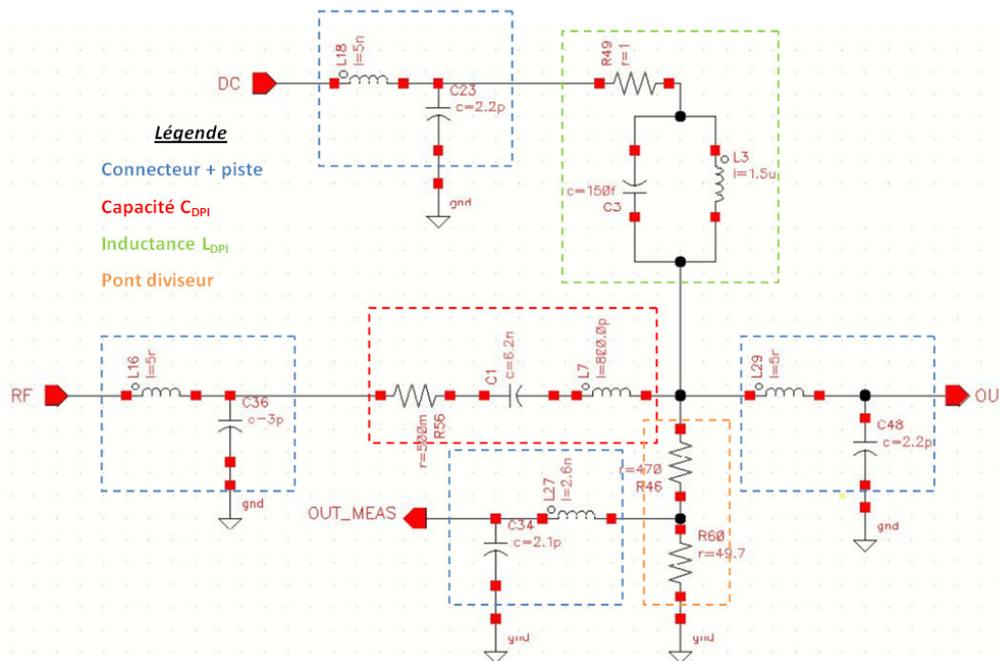


Figure 3-28: Modèle discret du véhicule de test DPI

Déduites des courbes d'impédances extraites des mesures à l'analyseur de réseau, les valeurs des différentes composantes du modèle sont ensuite réajustées de manière à ce que ses coefficients de réflexion et de transmission corrélient aux mesures de paramètres S. Afin de donner un aperçu des résultats ainsi obtenus, les figures 3-29 et 3-30 illustrent les comparaisons mesures-simulations des paramètres  $S_{RF}$  et  $S_{RF-OUT}$ . Ces résultats montrent une excellente corrélation entre les mesures et simulations des différents coefficients.

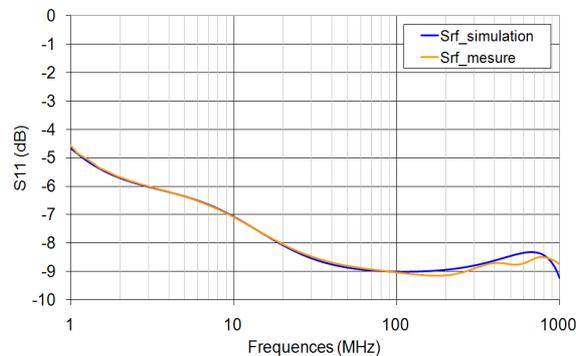


Figure 3-29: Module du coefficient de réflexion  $S_{RF}$

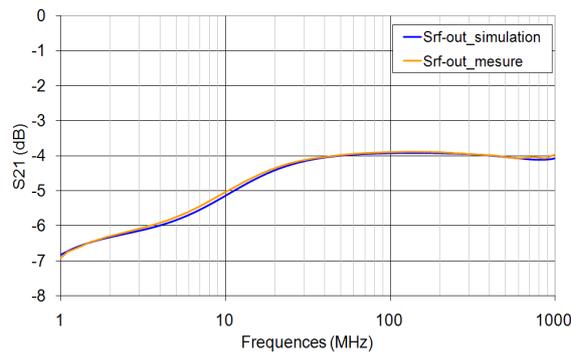


Figure 3-30: Module du coefficient de transmission  $S_{RF-OUT}$

Ayant établi le même constat pour l'amplitude et la phase de chaque paramètre S, nous en déduisons que la structure physique du système d'injection DPI a correctement été modélisée par éléments discrets. Par conséquent, nous pouvons en conclure que les trois modèles proposés sont fonctionnels et dotés d'une bonne précision jusqu'à 1 GHz. Il est donc désormais nécessaire d'évaluer leur comportement électrique en simulant une injection sur charges passives.

### 2.2.3. Evaluation des modèles DPI sur charges passives

Les mesures DPI sont réalisées sur le véhicule de test présenté précédemment (figure 2-35) en fonction de la norme IEC 62132-4. La bande de fréquence sur laquelle les mesures sont effectuées est comprise entre 1 MHz et 1 GHz. La puissance injectée est constante et égale à 15 dBm. Comme l'illustre la figure 3-31, la perturbation RF est générée par un synthétiseur de signaux et un amplificateur RF de 100 W. Les niveaux de puissances incidents et réfléchis au circuit sont mesurés à l'aide d'un wattmètre associé à un coupleur directionnel, tandis que la puissance aux bornes de la charge est mesurée avec un analyseur de spectre. Pour ne pas détériorer cet analyseur qui ne tolère aucun signal continu sur son entrée RF, l'entrée DC du circuit de test est court-circuitée à la masse. En d'autres termes, le signal RF transmis au CST n'est couplé à aucun signal continu.

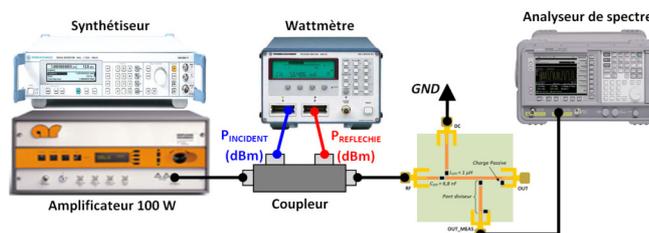


Figure 3-31: Banc d'injection DPI sur charges passives

Afin d'évaluer la précision des modèles DPI sur un court-circuit, un circuit ouvert et une charge adapté, les charges passives utilisées sont une résistance de 50  $\Omega$ , une capacité de 1 nF et une inductance de 1  $\mu$ H. Dans le cadre de cette étude, les éléments parasites des charges passives ont été fixés de manière arbitraire. Comme le montre la figure 3-32, la source RF et l'impédance d'entrée de l'analyseur de réseau sont respectivement modélisés par un générateur de Thévenin et une résistance de 50  $\Omega$ .

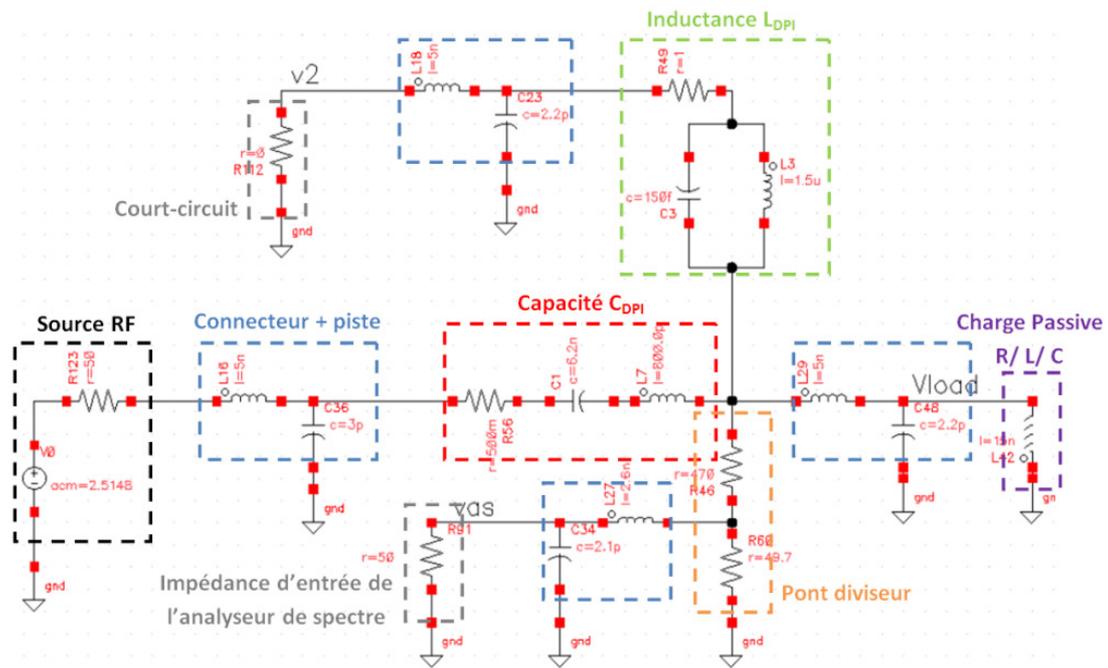


Figure 3-32: Modèle discret d'injections DPI sur charges passives

Le premier constat que nous pouvons établir au vu des résultats de la figure 3-33 est que quelque soit l'approche utilisée pour modéliser le système d'injection DPI, nous sommes en mesure de prédire le niveau de puissance injectée sur différentes charges passives jusqu'à 1 GHz.

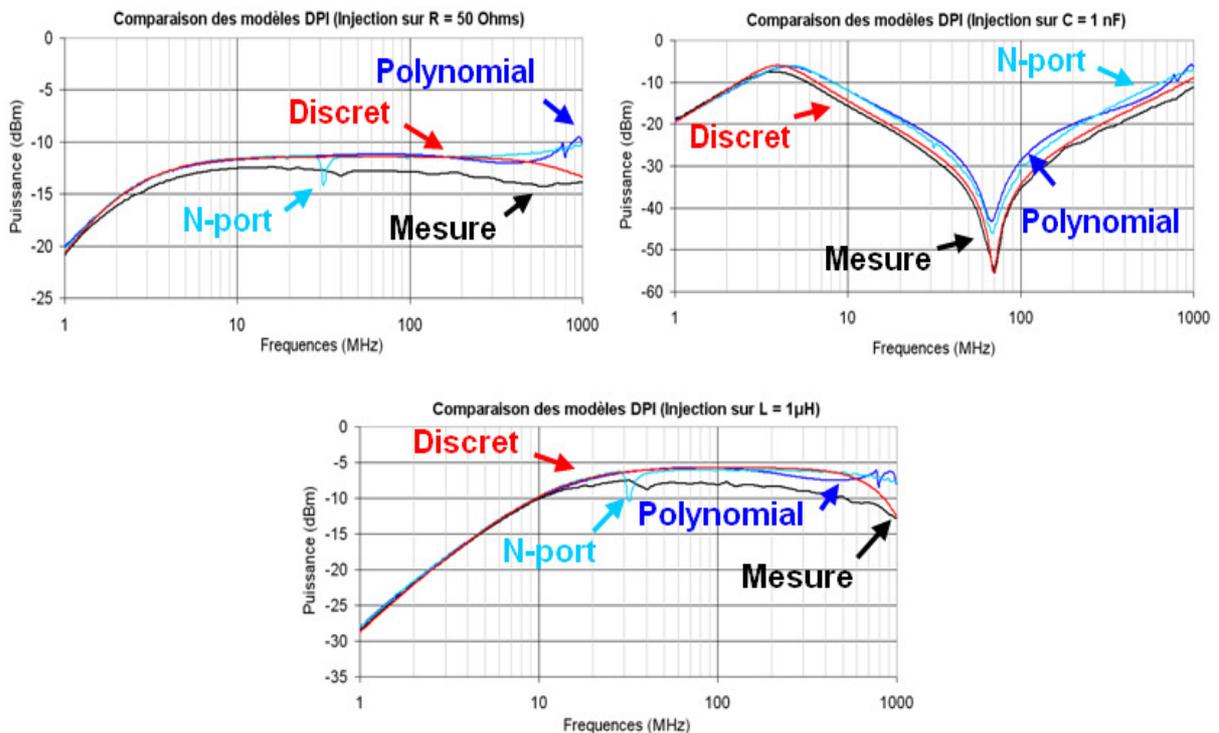


Figure 3-33: Résultats de l'évaluation des modèles DPI sur charges passives

Pour déterminer le modèle le plus performant en terme de précision, nous calculons les écarts de puissance moyens et maximums entre simulations et mesures. Les résultats de cette analyse sont recensés dans le tableau 3-7. Le modèle discret est le plus précis puisque l'écart moyen de puissance n'excède pas 1,42 dB quelque soit la charge. La précision des modèles « *N-port* » et polynomial reste tout de même convenable car les écarts calculés sont en moyenne inférieurs à 4 dB.

Ecart de puissance		<i>N-port</i>		<i>Polynomial</i>		<i>Discret</i>	
		Moyen	Maximum	Moyen	Maximum	Moyen	Maximum
Charge	50 Ω	2 dB	5,82 dB à 31,62 MHz	1,4 dB	4,39 dB à 955 MHz	1,2 dB	2,19 dB à 355 MHz
	1 nF	3,44 dB	10,98 dB à 70,79 MHz	3,86 dB	13,66 dB à 70,79 MHz	1,29 dB	3,01 dB à 61,66 MHz
	1 μH	1,54 dB	5,19 dB à 1 GHz	1,44 dB	6,1 dB à 955 MHz	1,42 dB	3,54 dB à 562 MHz

**Tableau 3-7: Ecarts de puissance entre mesures et simulations DPI sur charges passives**

Plusieurs causes sont à l'origine des différences de précisions observées entre modèles. Premièrement, il est important de souligner que les câbles utilisés lors des mesures n'ont pas été pris en compte lorsque le système d'injection a été caractérisé pour développer les modèles « *N-port* » et polynomial. Ceci explique notamment la dégradation de la précision de ces deux modèles à hautes fréquences. Le même constat ne peut en revanche être établi pour le modèle discret puisque ses composantes ont été réajustées pour compenser les effets induits par les câbles.

Nous pouvons donc en conclure que la modélisation par éléments discrets est la démarche la plus adéquate pour traduire le comportement électrique d'un système d'injection *DPI*. Contrairement aux approches « *N-port* » et polynomial, la proximité de cette méthode vis-à-vis de la composition physique d'un circuit nous donne une certaine liberté pour ajuster la précision d'un modèle.

## 2.3. Système d'injection par couplage inductif

### 2.3.1. Description du système d'injection *BCI* modélisé

Comme nous l'avons vu dans le chapitre I, les principaux éléments d'un système d'injection *BCI* sont la pince d'injection et les câbles sur lesquels la perturbation *RF* est injectée. Pour optimiser le couplage de l'agression sur une ligne de transmission et ainsi maximiser les niveaux de puissance injectés sur charges passives, nous remplaçons les conducteurs par l'outil de calibrage utilisé lors des mesures *BCI* normalisées. La précision de chaque modèle est évaluée en utilisant le véhicule de test dont nous disposons pour simuler une injection *DPI*, à la seule différence où la capacité  $C_{DPI}$  est remplacée par une résistance de 0 Ω. Le système que nous modélisons est alors constitué d'une pince d'injection et d'un JIG sur lequel sont connectés une charge 50 Ω et un véhicule de test dédié à cette étude (figure 3-34).

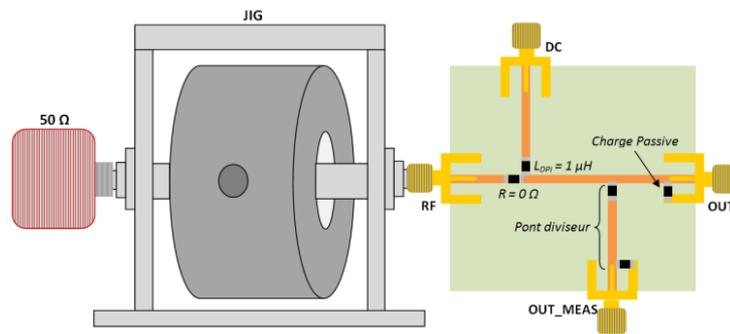


Figure 3-34: Système d'injections BCI sur charges passives

La modélisation d'un tel système doit obligatoirement être réalisée par étape puisque les éléments qui le constituent sont nombreux. Nous nous focaliserons donc dans un premier temps sur la modélisation de la pince et du JIG. Ensuite, nous n'aurons plus qu'à récupérer le modèle discret du véhicule de test pour prédire les niveaux de puissance injectés sur charges passives et ainsi évaluer chaque modèle BCI développé.

### 2.3.2. Présentation des modèles BCI

#### 2.3.2.1. Modèles « N-port » et polynomial

Pour développer les modèles « N-port » et polynomial, nous caractérisons le système d'injection constitué de la pince, du JIG et de la charge 50 Ω. Les mesures des matrices de paramètres S et Z sont réalisées entre l'entrée de la pince et l'une des extrémités du JIG (figure 3-35).

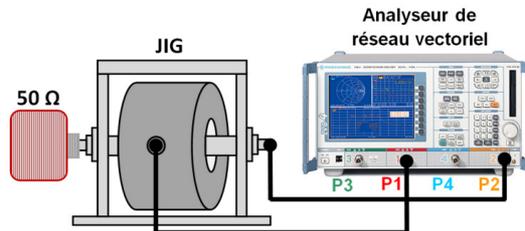


Figure 3-35: Caractérisation du système d'injection BCI

Bien que le modèle « N-port » retranscrive précisément les propriétés physiques d'un circuit passif, nous comparons les mesures et les simulations des paramètres  $S_{11}$  et  $S_{21}$  de ce système afin d'être certain que le couplage inductif entre la pince et la ligne de transmission du JIG soit simulable par cette approche.

Les résultats illustrés figure 3-36 ne montrent aucun écart entre mesures et simulations de l'amplitude des différents paramètres S jusqu'à 1 GHz. Ayant établi le même constat pour la phase des paramètres  $S_{11}$  et  $S_{21}$ , nous en concluons que l'impédance de la structure puis le couplage entre la pince et le JIG sont correctement modélisés par le modèle « N-port ». Malgré cela, il sera néanmoins nécessaire d'évaluer le couplage entre la pince et le JIG en simulant et mesurant une injection sur charges passives.

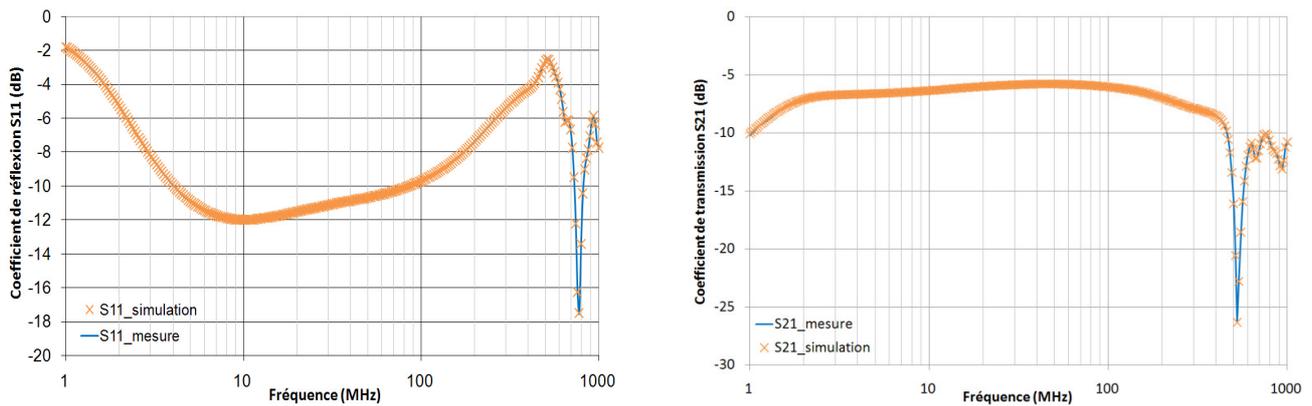


Figure 3-36: Coefficients de réflexion et de transmission du modèle *N-port BCI*

Le modèle polynomial du système d'injection *BCI* est développé à partir du fichier « *touchstone* » extrait des mesures de paramètres *S*. Le nombre de pôles est fixé à 15 pour obtenir un modèle aussi précis que celui développé pour le système d'injection *DPI*. Comme précédemment, nous évaluons la capacité de ce modèle à traduire le comportement physique du système en effectuant une comparaison mesures-simulations des coefficients de réflexion et de transmission (figure 3-37). Les faibles écarts observés entre mesures et simulations indiquent que l'approche polynomiale permet de modéliser la structure physique d'un système d'injection *BCI* avec autant de précision que la démarche « *N-port* ».

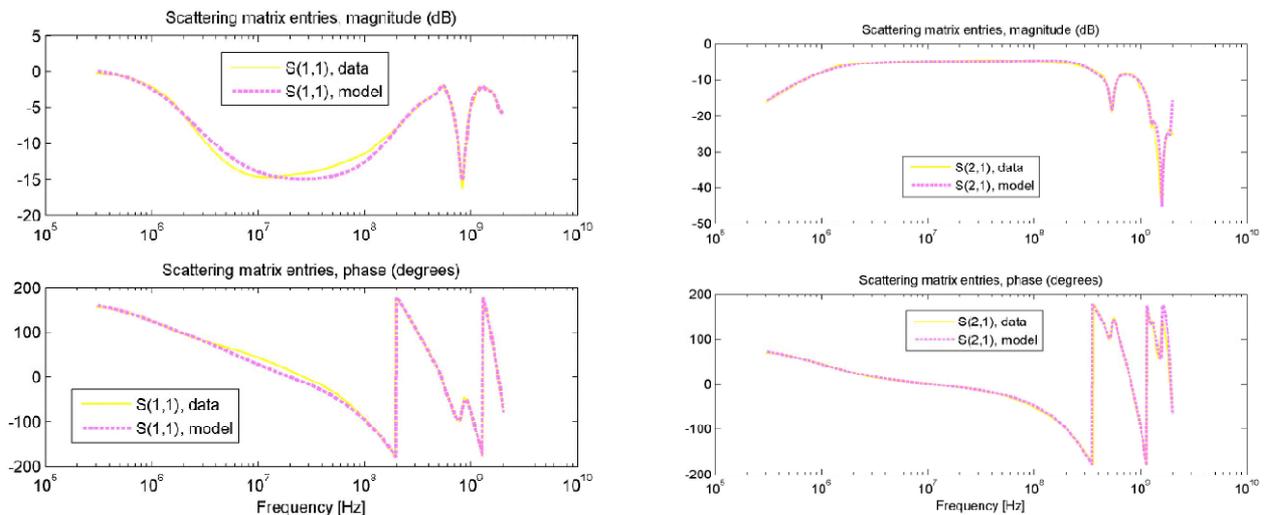


Figure 3-37: Comparaison mesures-simulations des paramètres  $S_{11}$  et  $S_{21}$  du modèle polynomial *BCI*

### 2.3.2.2. Modèle discret

Pour développer un modèle discret du système d'injection *BCI*, nous modélisons chaque élément qui le constitue ainsi que leurs interactions. Nous focalisons donc notre étude sur les modélisations de la pince d'injection, de la ligne de transmission adaptée (*JIG*) et des mécanismes de couplage existant entre ces deux modules.

a. Pince d'injection

La pince d'injection FCC F140 [FCC] utilisée dans le cadre de notre étude est constituée d'un connecteur de type N et d'une spire d'environ 12 cm entourant un noyau magnétique. Pour développer un modèle précis jusqu'à 1 GHz, les pertes induites par les propriétés physiques et géométriques de ces éléments ne peuvent être négligées car d'importantes variations d'impédance en résultent. Selon [LAFON08], les principales causes de ces modifications sont l'effet de peau de la spire et la variation de la perméabilité du noyau en fonction de la fréquence. Dans le cadre de nos travaux, nous considérons uniquement les pertes induites par effet de peau. Compte tenu des outils de simulation étant à notre disposition, nous proposons deux démarches de modélisation différentes pour prendre en considération les variations d'impédance résultantes de l'effet de peau.

Le premier modèle proposé s'inspire de la méthode de Wheeler [SEN98] qui consiste à modéliser la non-linéarité d'un conducteur par un réseau d'éléments résistifs et inductifs mis en parallèle. Comme l'illustre la figure 3-37, chaque branche du réseau est constituée d'une résistance et d'une inductance montée en série dont les valeurs sont déduites du nombre de branche  $n$ , d'un coefficient  $x$  égale à  $\sqrt{10}$  et de l'impédance mesurée à l'analyseur de spectre. Le nombre de branches définit le nombre de décades sur lesquelles le modèle sera valide. Sachant que nous souhaitons développer un modèle précis entre 1 MHz et 1 GHz, trois branches suffiront. Les valeurs des différentes composantes RLC du modèle discret de la pince sont calculées à partir de la courbe d'impédance mesurée (figure 3-38) et des équations 3-33 à 3-35, où  $\Delta f = f_2 - f_1$  et  $\Delta Z_{11} = Z_{11,2} - Z_{11,1}$ .

$$R = Z_{11}(f_{\text{résonance}})$$

Equation 3-33

$$L = \frac{\Delta Z_{11}}{\Delta f} \times \frac{1}{2\pi}$$

Equation 3-34

$$C = \frac{1}{2\pi\Delta f} \times \left( \frac{1}{Z_{11,2}} - \frac{1}{Z_{11,1}} \right)$$

Equation 3-35

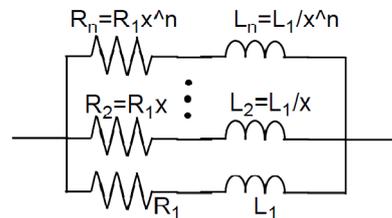
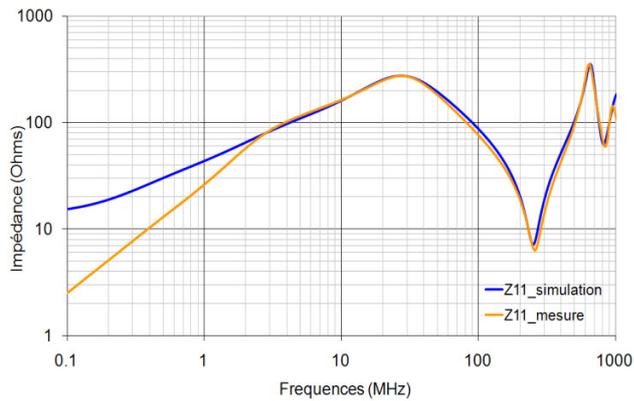
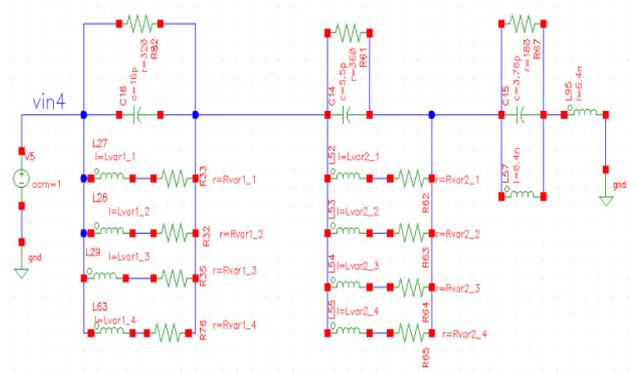


Figure 3-38: Modèle d'effet de peau proposé par Wheeler

Entre 1 MHz et 1 GHz, l'impédance d'entrée de la pince présente trois résonances situées à environ 26 MHz, 631 MHz et 932 MHz. Pour chacune d'entre elle, nous en déduisons un circuit résonant de type RLC et développons ainsi le modèle de pince illustré figure 3-40. Les résultats (figure 3-39) montrent que les impédances d'entrée simulée et mesurée ne corrélient pas entre 100 kHz et 2 MHz. L'effet de peau de la pince ayant correctement été modélisé, cet écart est probablement dû à la variation de perméabilité de la ferrite qui n'a pas été prise en compte dans le modèle. Bien que le domaine de validité du modèle ait été défini entre 1 MHz et 1 GHz, nous proposons une méthode alternative afin que les différences observées entre mesure et simulation de l'impédance ne soient pas aussi importantes à basses fréquences.

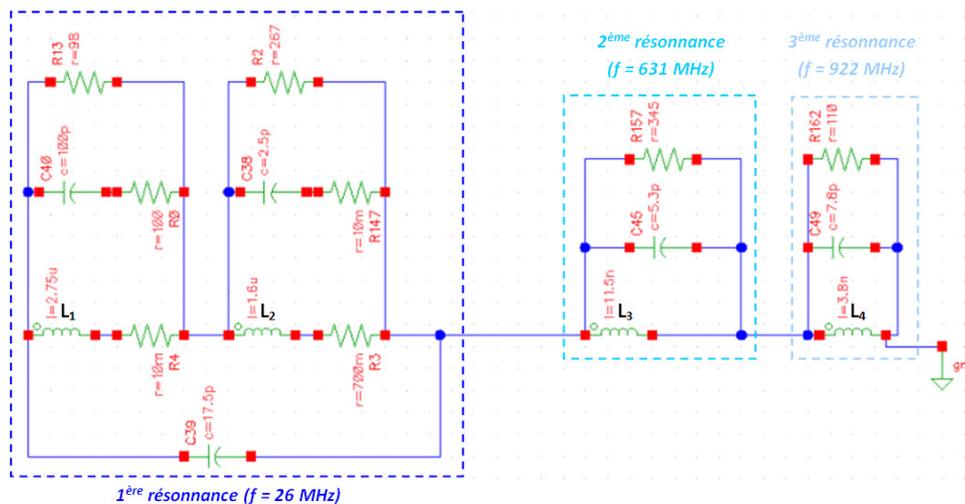


**Figure 3-39: Comparaison mesures-simulations de l'impédance d'entrée de la pince (Modèle n°1)**



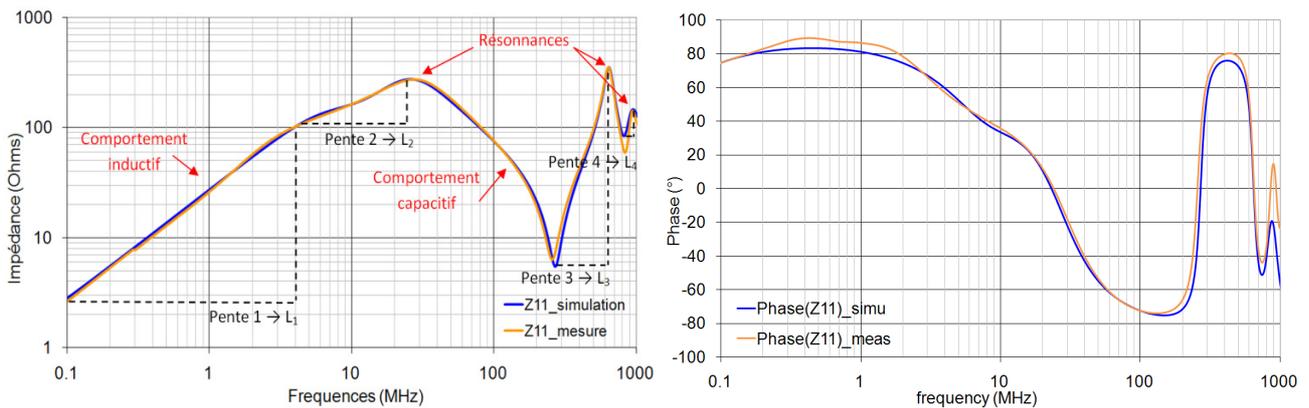
**Figure 3-40: Modèle discret de la pince d'injection BCI – version n°1**

Pour modéliser la pince avec une précision satisfaisante, nous suggérons donc d'utiliser uniquement les mesures d'impédance réalisées à l'analyseur de réseau. Les composantes RLC du modèle illustré figure 3-41 sont déduites des différentes pentes et résonances de la mesure d'impédance.



**Figure 3-41: Modèle discret de la pince d'injection BCI – version n°2**

Contrairement au modèle précédent, la variation du comportement inductif de la pince entre 100 kHz et 26 MHz est traduite par deux circuits résonants. Comme le montre la figure 3-42, aucun écart significatif n'est observé entre simulations et mesures de l'impédance d'entrée, que cela soit pour l'amplitude ou la phase. Bien que le calcul des composantes RLC ne s'appuie pas concrètement sur les propriétés physiques et géométriques de la pince, la structure physique de cet élément est modélisée avec une excellente précision.

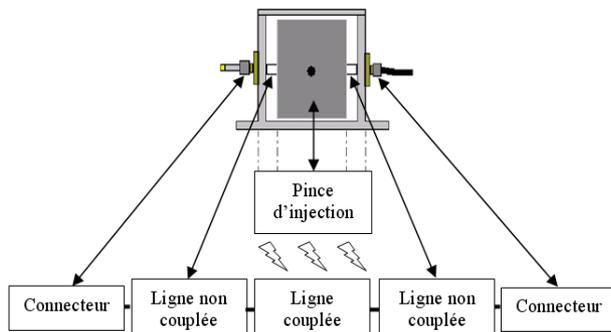


**Figure 3-42: Comparaison mesures-simulations de l'impédance d'entrée de la pince en amplitude et en phase (Modèle n°2)**

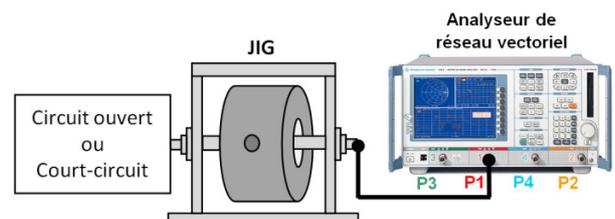
Au vu des résultats obtenus, nous pouvons en conclure que cette méthode de modélisation peut s'avérer adéquate si nous avons peu d'informations sur le dispositif d'injection.

*b. Ligne de transmission adaptée du JIG*

Le JIG est assimilable à une ligne de transmission dont les principales composantes linéiques sont inductives et capacitives. Pour déterminer la valeur de chacune d'entre elles, nous proposons de diviser la structure en une succession d'éléments. Illustrés figure 3-43, ces éléments sont : les connecteurs de type N, les tronçons de ligne non couplés et ceux couplés à la pince d'injection. La modélisation du JIG nécessite alors l'application d'une méthode bien particulière afin que l'impédance de chacun de ces modules soit précisément calculée.



**Figure 3-43: Modèle générique de la structure JIG/ pince**



**Figure 3-44: caractérisation de la structure JIG/ pince**

Premièrement, nous déduisons la valeur des composantes inductives et capacitives de la structure en mesurant l'impédance d'entrée sur l'une des deux extrémités (figure 3-44) de la ligne de transmission. Selon la composante que nous souhaitons définir, nous connectons la deuxième extrémité de la ligne à un circuit ouvert ou fermé. Les valeurs de l'inductance et de la capacité linéique du JIG sont ensuite calculées à partir des équations 3-34 et 3-35. Les mesures d'impédance sur court-circuit (figure 3-45) et circuit-ouvert (figure 3-46)

nous permettent ainsi de déduire que l'inductance  $L_{JIG}$  et la capacité  $C_{JIG}$  sont respectivement égales à  $4,58 \mu\text{H}$  et  $17\text{pF}$ .

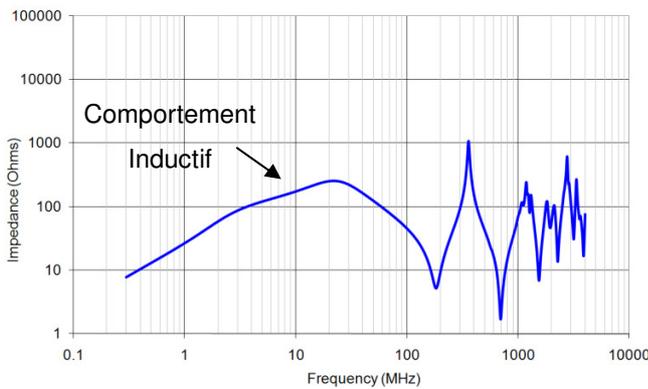


Figure 3-45: Impédance d'entrée du JIG chargé par un court-circuit

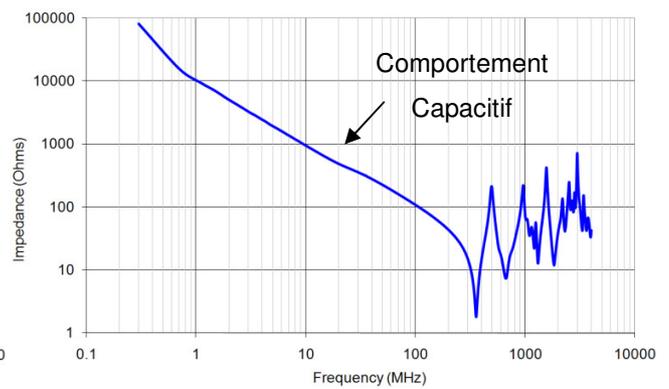


Figure 3-46: Impédance d'entrée du JIG chargé par un circuit-ouvert

Pour calculer la valeur des paramètres linéiques équivalents à chaque élément recensé figure 3-43, nous déterminons les composantes des connecteurs en les ayant au préalable caractérisés, et celles des tronçons de ligne non-couplés et couplé en fonction des équations 3-36 à 3-39, où  $h$  est la distance ligne-masse et  $d$  le diamètre du conducteur.

$$C_{\text{ligne non couplée}} (\text{F/m}) = \frac{2\pi\epsilon}{\ln\left(\frac{4h}{d}\right)} \quad \text{Equation 3-36}$$

$$L_{\text{ligne non couplée}} (\text{H/m}) = \frac{\mu}{2\pi} \ln\left(\frac{4h}{d}\right) \quad \text{Equation 3-37}$$

$$C_{\text{ligne couplée}} = C_{JIG} - 2(C_{\text{ligne non couplée}} + C_{\text{connecteur}}) \quad \text{Equation 3-38}$$

$$L_{\text{ligne couplée}} = L_{JIG} - 2(L_{\text{ligne non couplée}} + L_{\text{connecteur}}) \quad \text{Equation 3-39}$$

Les composantes des connecteurs déduites des mesures de caractérisation sont :  $L_{\text{connecteur}} = 1,5 \text{ nH}$  et  $C_{\text{connecteur}} = 1,3 \text{ pF}$ . Compte tenu des dimensions du JIG [FCC] et des composantes par unité de longueur déduites des équations 3-36 et 3-37, les paramètres linéiques des segments de ligne couplé ( $l_{\text{ligne non couplée}} = 0,89 \text{ cm}$ ) et non-couplé ( $l_{\text{ligne couplée}} = 6,35 \text{ cm}$ ) à la pince d'injection sont :  $L_{\text{ligne non couplée}} = 8,36 \text{ nH}$ ,  $C_{\text{ligne non couplée}} = 1,67 \text{ pF}$ ,  $L_{\text{ligne couplée}} = 4,56 \mu\text{H}$  et  $C_{\text{ligne couplée}} = 11,6 \text{ pF}$ . Le modèle de JIG ainsi déduit est illustré figure 3-47.

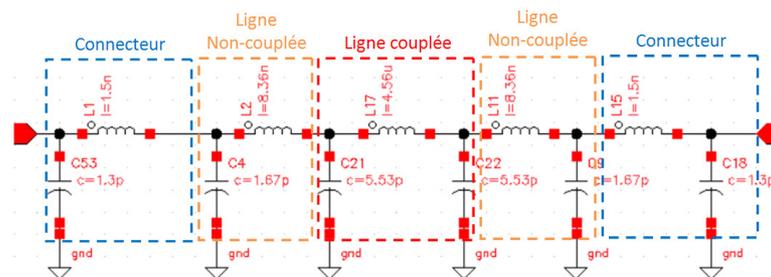


Figure 3-47: Modèle de la ligne de transmission adapté du JIG

c. Couplage entre la pince d'injection et la ligne du JIG

Les effets induits entre la pince d'injection et le conducteur du JIG sont principalement de nature inductive. Pour modéliser l'interaction magnétique existant entre ces deux éléments, nous utilisons une instance spécifique de CADENCE appelée «  $K_{coupling}$  ». Cette instance est un facteur de couplage dépendant d'une mutuelle  $M_{1,2}$  entre deux inductances  $L_1$  et  $L_2$  (équation 3-40). La valeur de ce facteur est définie de sorte optimiser la précision du modèle dont les performances sont analysées en comparant mesure et simulation du coefficient de transmission entre la pince et la ligne.

$$K_{coupling} = \frac{M_{1,2}}{\sqrt{L_1 L_2}}$$

Equation 3-40

Bien que l'interaction entre la pince et la ligne soit essentiellement inductive, nous incluons un léger couplage capacitif entre ces deux éléments afin de minimiser les écarts observés entre simulations et mesures lors de nos investigations. Suite aux diverses simulations réalisées avec le modèle illustré figure 3-48, la valeur du facteur de couplage «  $K_{coupling}$  » est fixé à 0,98 et celle du couplage capacitif à 2 pF.

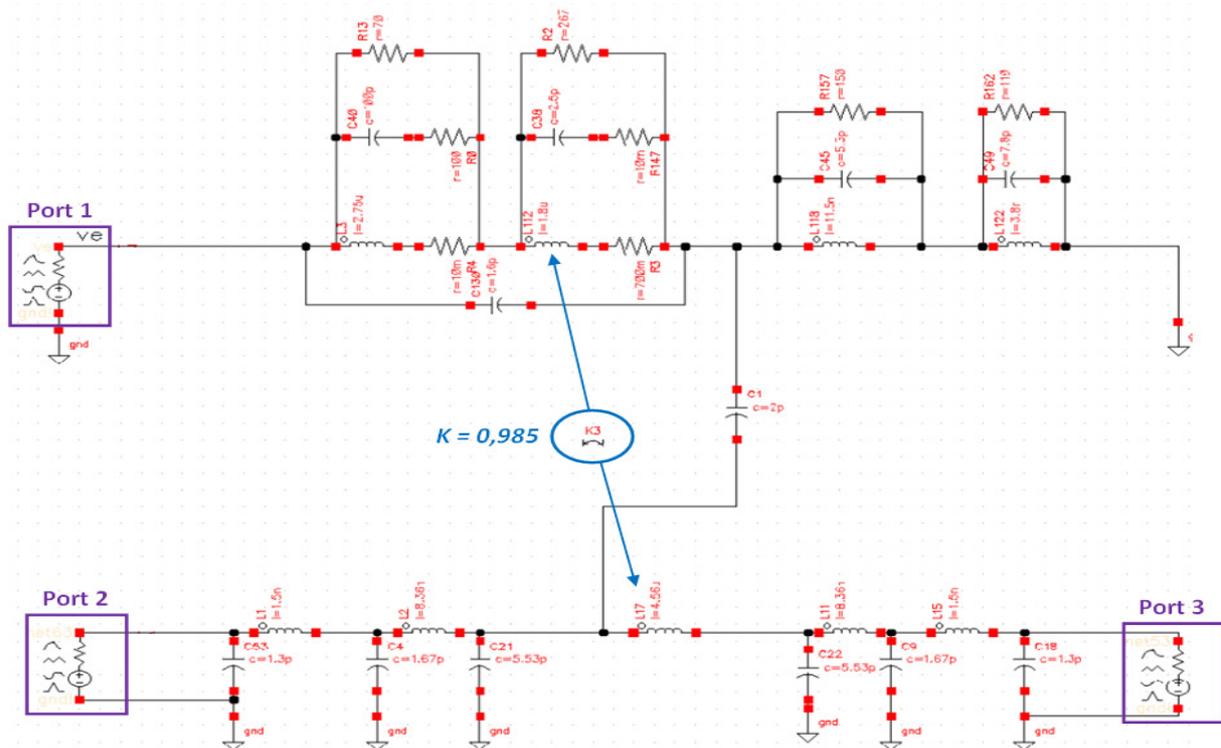
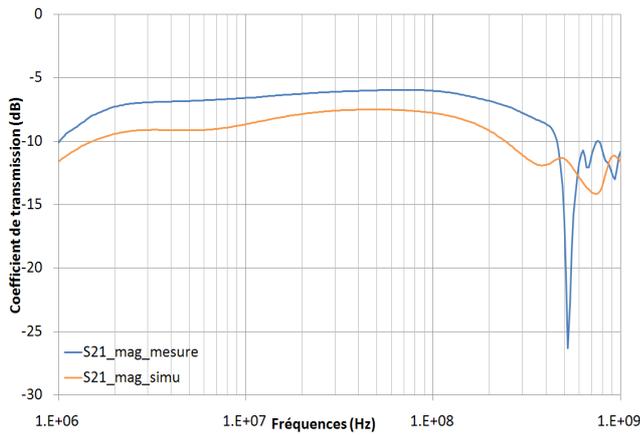
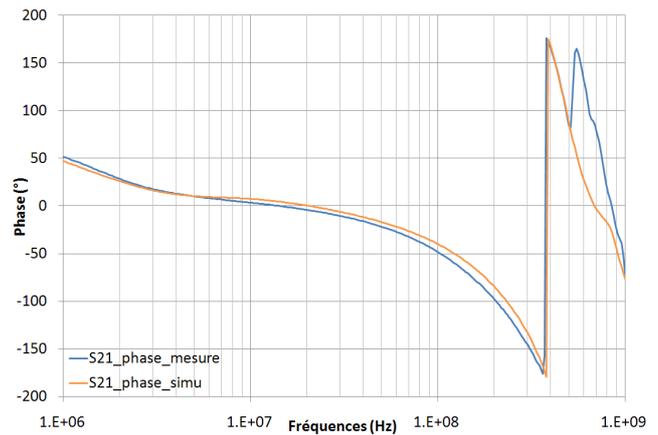


Figure 3-48: Modèle du couplage entre la pince d'injection et le JIG ( $K_{coupling}$ )

Les résultats illustrés figure 3-49 et 3-50 montrent que le modèle de couplage développé offre une précision convenable puisque les écarts entre mesure et simulation du coefficient de transmission sont inférieurs à 4 dB jusqu'à 500 MHz. Malgré ces résultats satisfaisants, la précision du modèle n'est pas suffisamment élevée sur la bande de fréquence définie par notre domaine de validité. Nous proposons ainsi une méthodologie différente pour modéliser le couplage entre la pince et la ligne.

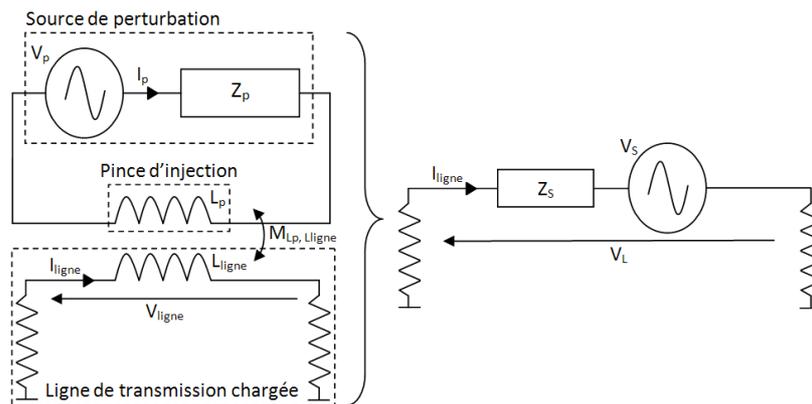


**Figure 3-49: Module du coefficient de transmission entre la pince et la ligne**



**Figure 3-50: Phase du coefficient de transmission entre la pince et la ligne**

Selon [SULTAN86], l'injection de courant sur un conducteur peut être modélisée par un générateur de Thévenin dont les paramètres  $V_S$  et  $Z_S$  sont déduits des impédances et des courants de chaque élément du système d'injection (figure 3-51).



**Figure 3-51: Générateur de Thévenin équivalent au couplage inductif de la pince d'injection sur la ligne de transmission**

Nous proposons ainsi d'utiliser cette approche pour modéliser le couplage inductif entre la pince d'injection et la ligne de transmission. Notre objectif est de déterminer les relations entre les courants ( $I_p$ ,  $I_{ligne}$ ) et les tensions  $V$  induites à travers ces deux éléments. D'après la figure 3-50, la tension  $V_{ligne}$  et  $V_p$  peuvent être définies par les équations 3-41 et 3-42, où  $M$  est la mutuelle entre les inductances  $L_p$  et  $L_{ligne}$ . Les tensions induites sur la ligne et la pince, respectivement appelées  $V_L$  et  $V_G$ , sont exprimées par l'équation 3-43, où  $Z_{S(L ou G)}$  et  $V_{S(L ou G)}$  sont les composantes de leur générateur de Thévenin respectif.

$$V_{ligne} = j\omega L_{ligne} I_{ligne} - j\omega M I_p \quad \text{Equation 3-41}$$

$$V_p = (Z_p + j\omega L_p) I_p - j\omega M I_{ligne} \quad \text{Equation 3-42}$$

$$V_{L ou G} = Z_{S(L ou G)} I - V_{S(L ou G)} \quad \text{Equation 3-43}$$

La tension  $V_L$  résultante de l'injection de courant sur un conducteur dépend de l'impédance  $Z_{S(L)}$  et de la tension  $V_{S(L)}$  définies par les équations 3-44 et 3-45, où le facteur  $F_{P(L)}$  est exprimé par l'équation 3-46.

$$Z_{S(L)} = j\omega L_{Ligne} - F_P Z_M \quad \text{Equation 3-44}$$

$$V_{S(L)} = F_P V_P \quad \text{Equation 3-45}$$

$$F_{P(L)} = \frac{Z_M}{Z'_P} \text{ avec } Z_M = j\omega M \text{ et } Z'_P = Z_P + j\omega L_P \quad \text{Equation 3-46}$$

Si nous considérons que le courant  $I$  inclus dans l'équation 3-43 est le courant  $I_{Ligne}$  circulant à travers le conducteur, nous en déduisons la tension  $V_L$  exprimée par l'équation 3-47.

$$V_L = j\omega L_{Ligne} I_{Ligne} - Z_M I_P \quad \text{Equation 3-47}$$

Pour déterminer la tension  $V_G$  induite sur la pince d'injection, nous appliquons la même démarche. Les composantes  $Z_{S(G)}$  et  $V_{S(G)}$  sont premièrement définies à partir du facteur  $F_{P(G)}$  qui dépend de  $Z_{Ligne}$  et non de  $Z'_P$ . Puis l'expression de  $V_G$  (équation 3-48) est ensuite déduite en fonction du courant  $I_P$  circulant dans la pince d'injection.

$$V_G = (j\omega L_P + Z_P) I_P - Z_M I_{Ligne} \quad \text{Equation 3-48}$$

Selon les équations 3-47 et 3-48, les tensions  $Z_M I_P$  et  $Z_M I_{Ligne}$  traduisent les effets du couplage inductif entre la pince d'injection et la ligne de transmission. En considérant que l'impédance  $Z_M$  est principalement inductive, nous proposons de modéliser le couplage entre chaque élément en utilisant un circuit constitué d'une inductance, d'une résistance et de sources de tensions contrôlées en courant (CCVS) et en tension (VCVS). Le modèle ainsi obtenu est illustré figure 3-52. La valeur des éléments discrets et du gain des différentes sources utilisées sont définis de sorte à optimiser la précision du modèle. Pour obtenir une précision convenable jusqu'à 1 GHz, d'autres éléments complémentaires sont ajoutés au modèle de couplage telle qu'une source de courant contrôlée en courant positionnée sur la composante inductive du segment de ligne couplé à la pince d'injection.

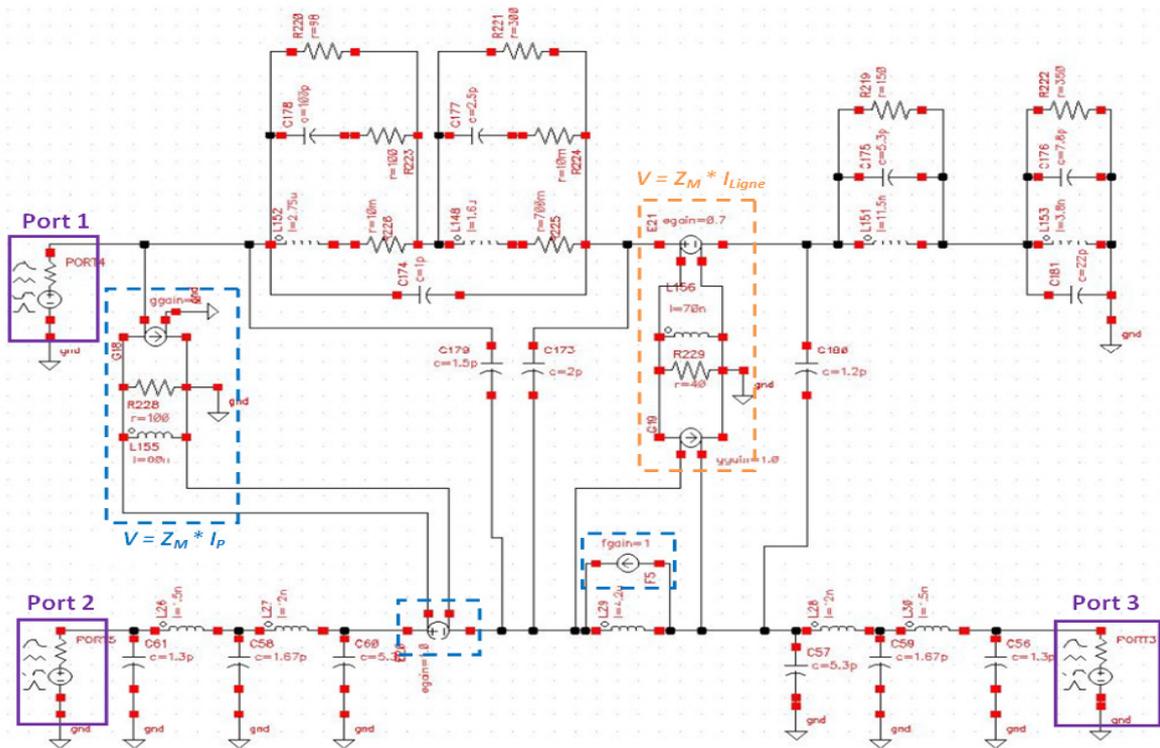


Figure 3-52: Modèle du couplage entre la pince d'injection et le JIG (Circuit équivalent au couplage)

Les résultats illustrés figure 3-53 montrent que le modèle de couplage proposé ci-dessus nous offre une meilleure précision que celui présenté précédemment. Bien que la phase du coefficient de transmission ait légèrement été dégradée, l'écart entre l'amplitude mesurée et simulée est inférieur à 3 dB jusqu'à 400 MHz. Entre 400 MHz et 1 GHz, la précision du modèle a également été améliorée puisque les écarts mesure-simulation sont moins importants qu'auparavant, notamment à 500 MHz où la résonance observée en mesure est désormais traduite par notre modèle.

Au vu des différents résultats obtenus, nous en concluons que l'utilisation de sources contrôlées en tension ou en courant paraît être adéquate pour modéliser précisément jusqu'à 1 GHz le couplage inductif entre chaque élément du système d'injection *BCI*. Ainsi, nous retiendrons uniquement le modèle discret proposé figure 3-52.

Cette première phase de validation étant concluante, nous allons désormais évaluer et comparer les performances des modèles *BCI* proposés en simulant une injection de courant sur charges passives.

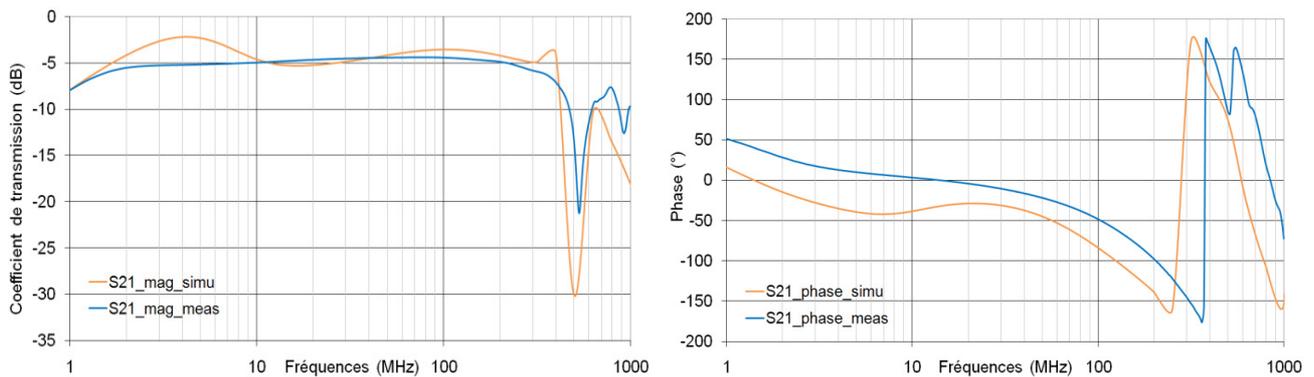


Figure 3-53: Coefficient de transmission entre la pince et la ligne (amplitude et phase)

### 2.3.3. Evaluation des modèles *BCI* sur charges passives

L'évaluation des modèles *BCI* est réalisé à partir du système d'injection présenté figure 3-34, principalement constitué du JIG et du véhicule de test dédié à l'injection sur charge passive. Asservie en boucle ouverte, les mesures sont effectuées en fonction de la norme IEC 62132-3. Entre 1 MHz et 1 GHz, nous injectons une puissance constante et égale à 15 dBm sur les mêmes charges passives que celle utilisées dans la partie 2.2.3. Comme l'illustre la figure 3-54, la perturbation RF est générée par un synthétiseur de signaux et un amplificateur RF de 100 W. Les niveaux de puissances incidents et réfléchis au circuit sont mesurés à l'aide d'un wattmètre associé à coupleur directionnel. Toujours dans l'optique de ne pas détériorer l'analyseur de spectre utilisé pour mesurer la puissance injectée aux bornes des charges passives, nous court-circuitons l'entrée *DC* du circuit de test et connectons la deuxième extrémité du JIG à une charge de puissance 50  $\Omega$ .

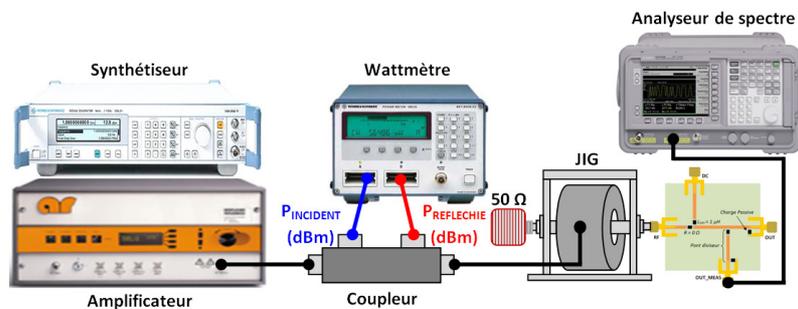


Figure 3-54: Banc d'injection *BCI* sur charges passives

La nature des modèles (*N-port*, polynomial ou discret) utilisés lors des simulations est identique pour le système d'injection *BCI* et le véhicule de test. Pour évaluer la précision de chaque modèle proposé, nous comparons les résultats de ces simulations aux différentes mesures *BCI* effectuées sur charge passive. Illustrées figure 3-55, ces résultats nous indiquent à première vue que quelque soit la nature du modèle, le niveau de puissance injecté par *BCI* est prédit avec une précision convenable jusqu'à 1 GHz. Afin d'avoir davantage d'informations sur les performances de chaque modèle, nous calculons les écarts de puissance moyens et maximums entre simulations et mesures, pour chaque type de charge.

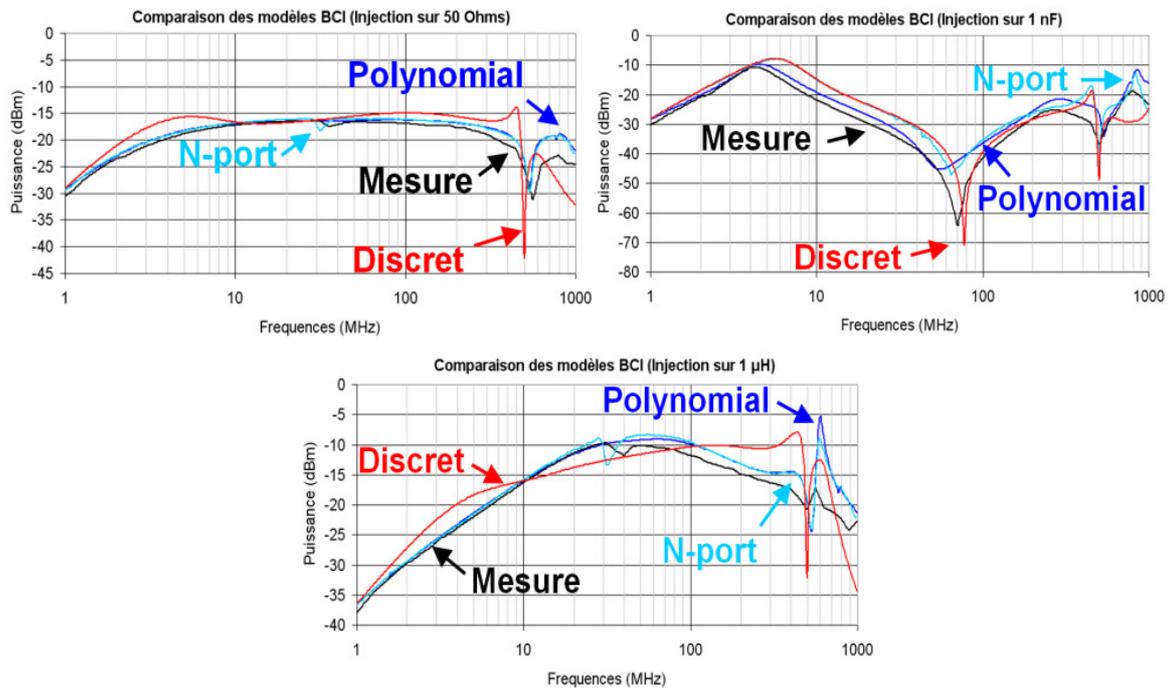


Figure 3-55: Résultats de l'évaluation des modèles BCI sur charges passives

Selon les résultats recensés dans le tableau 3-8, les performances des modèles proposés sont satisfaisantes car les écarts moyens calculés sont inférieurs à 5 dB quelque soit le type de charge sur laquelle l'injection BCI est réalisée. Néanmoins, contrairement aux modèles DPI évalués dans la partie 2.2.3, les approches comportementales offrent cette fois-ci de meilleures précisions que la modélisation par éléments discrets. Ce constat était pour le moins prévisible puisque la qualité des résultats obtenus lors de la première phase de validation du modèle discret était inférieure à celles des modèles N-port et polynomial.

Ecart de puissance		N-port		Polynomial		Discret	
		Moyen	Maximum	Moyen	Maximum	Moyen	Maximum
Charge	50 Ω	1,05 dB	6,8 dB à 575 MHz	0,99 dB	7,46 dB à 575 MHz	2,24 dB	16,72 dB à 501 MHz
	1 nF	4,78 dB	19,67 dB à 70,79 MHz	3,1 dB	22,02 dB à 70,79 MHz	4,6 dB	17,83 dB à 77,62 MHz
	1 μH	1,58 dB	9,94 dB à 603 MHz	1,49 dB	13,92 dB à 603 MHz	3,01 dB	11,73 dB à 1 GHz

Tableau 3-8: Ecarts de puissance entre mesures et simulations DPI sur charges passives

Nous pouvons ainsi en conclure que selon la complexité du système d'injection conduite, la précision des modèles développés diffère en fonction de la démarche de modélisation utilisée. Pour un système d'injection purement passif et ne faisant intervenir aucun phénomène de couplage, la modélisation par élément discret est la plus adéquate car un modèle précis peut être élaboré rapidement sans réelles difficultés. Cependant, si la structure utilisée pour une injection de courant est complexe et constituée de plusieurs éléments distincts, les approches comportementales seront probablement plus appropriées.

Bien que ces travaux nous aient apportés des résultats très intéressants, il sera nécessaire d'évaluer la capacité de ces différentes démarches de modélisation à traduire avec précision le comportement électrique de systèmes d'injections conduites utilisés lors des mesures de qualification de CI. La simulation de telles mesures nous permettra notamment d'analyser l'aptitude des modèles d'injection à coupler une perturbation RF sur un signal quelconque.

### 3. Méthode générique de prédictions des mesures normalisées d'injections conduites

A ce jour, les spécifications des clients requièrent régulièrement d'évaluer la sensibilité des circuits intégrés par *DPI* et *BCI*. Au vu des résultats concluants obtenus précédemment, nous sommes confiants quant à la possibilité d'évaluer la susceptibilité des CI par simulations, lors des phases de *design*. Cependant, simuler des injections *DPI* et *BCI* sur un circuit demande encore beaucoup trop de temps car notre processus de simulation n'est pas optimisé à ce type d'analyse. Par conséquent, nous allons proposer une approche innovante qui nous permettra de prédire précisément le niveau de puissance injecté aux bornes d'un CST, et ainsi d'éviter l'accumulation de simulations longues et complexes.

#### 3.1. Démarche de prédiction

La méthode de prédiction proposée s'appuie sur le calcul d'un gain en tension  $G_V$  équivalent à une fonction de transfert entre la source RF et la charge sur laquelle nous injectons une perturbation. Pour réaliser ce calcul, nous assimilons respectivement les systèmes d'injection *DPI* et *BCI* à un quadripôle de deux ports et à un multipôle de trois ports. Comme le montrent les figures 3-56 et 3-57, les systèmes d'injections et la charge sont respectivement caractérisés par leur matrice de paramètres S et les coefficients de réflexion  $\Gamma_{Charge}$ .

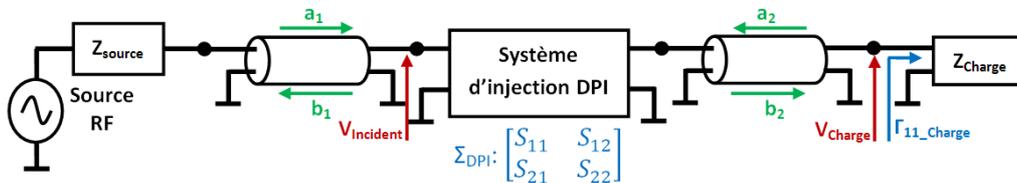


Figure 3-56: Système d'injection *DPI* assimilé à un quadripôle de 2 ports

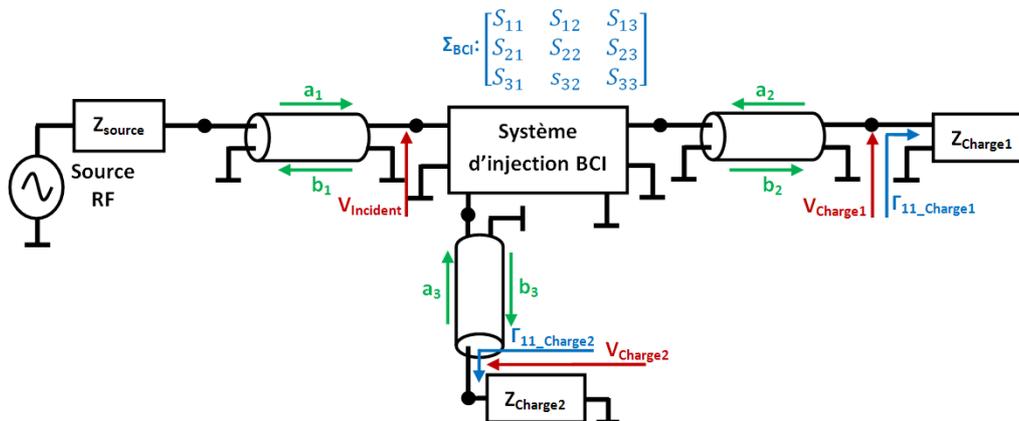


Figure 3-57: Système d'injection *BCI* assimilé à un multipôle de 3 ports

En fonction des équations des ondes incidentes et réfléchies définies par [KUROKAWA65], nous déterminons la tension incidente au système d'injection (équation 3-49) et la tension aux bornes de la charge équivalente au CST (équation 3-50).

$$V_{Incident} = a_1 \sqrt{Z_0} \quad \text{avec } Z_0 = 50 \Omega \quad \text{Equation 3-49}$$

$$V_{Charge} = \sqrt{Z_0}(a_2 + b_2) = b_2(1 + \Gamma_{Charge})\sqrt{Z_0} \quad \text{avec } Z_0 = 50 \Omega \quad \text{Equation 3-50}$$

Pour faciliter le calcul du gain en tension  $G_V$ , nous exprimons les ondes  $a_1$ ,  $a_2$  et  $a_3$  en fonction de l'onde  $b_2$  dont l'expression dépend du nombre de ports du système d'injection. Les équations 3-51 et 3-52 expriment respectivement les ondes réfléchies au port n°2 d'un quadripôle à 2 et 3 ports.

$$b_2 = a_1 \frac{S_{21}}{(1 - S_{22}\Gamma_{Charge})} \quad \text{Equation 3-51}$$

$$b_2 = a_1 \frac{\left( \frac{S_{21}}{(1 - S_{22}\Gamma_{Charge1})} + \frac{S_{23}S_{31}\Gamma_{Charge2}}{(1 - S_{22}\Gamma_{Charge1})(1 - S_{33}\Gamma_{Charge2})} \right)}{\left( 1 - \frac{S_{23}S_{32}\Gamma_{Charge1}\Gamma_{Charge2}}{(1 - S_{22}\Gamma_{Charge1})(1 - S_{33}\Gamma_{Charge2})} \right)} \quad \text{Equation 3-52}$$

A partir des équations 3-49 à 3-52, nous en déduisons les expressions des gains en tensions entre la source RF et une charge équivalente à un CST pour chaque type de tests (équations 3-53 et 3-54). Les gains en tensions sont calculés en fonction de la fréquence du signal incident au système d'injection puisque les paramètres S et autres coefficients de réflexion sont mesurés dans le domaine fréquentiel.

$$G_{VDPI} = \frac{V_{Charge}}{V_{IncidentDPI}} = \frac{S_{21}(1 + \Gamma_{Charge})}{1 - S_{22}\Gamma_{Charge}} \quad \text{Equation 3-53}$$

$$G_{VBCI} = \frac{V_{Charge1}}{V_{IncidentBCI}} = \frac{\left( \frac{S_{21}}{(1 - S_{22}\Gamma_{Charge1})} + \frac{S_{23}S_{31}\Gamma_{Charge2}}{(1 - S_{22}\Gamma_{Charge1})(1 - S_{33}\Gamma_{Charge2})} \right)}{\left( 1 - \frac{S_{23}S_{32}\Gamma_{Charge1}\Gamma_{Charge2}}{(1 - S_{22}\Gamma_{Charge1})(1 - S_{33}\Gamma_{Charge2})} \right)} (1 + \Gamma_{Charge1}) \quad \text{Equation 3-54}$$

Sachant que lors des tests d'immunité conduite, la puissance incidente est mesurée sur 50  $\Omega$  en fonction d'une tension efficace et que la puissance aux bornes d'une charge dépend de la résistance de son impédance, les puissances  $P_{Incident}$  et  $P_{Charge}$  peuvent donc être exprimées par les équations 3-55 et 3-56. Ainsi, nous sommes théoriquement en mesure de prédire les niveaux de puissance injectés sur différentes charges.

$$P_{Incident} = \frac{V_{Incident efficace (DPI ou BCI)}^2}{50} \quad \text{Equation 3-55}$$

$$P_{Charge} = \frac{V_{Charge}^2}{Re(Z_{Charge})} \quad \text{Equation 3-56}$$

Le niveau de tension  $V_{Charge}$  requis pour que le fonctionnement d'un CST soit défaillant est théoriquement identique quelque soit le type de tests. Par conséquent, en calculant le rapport entre les gains  $G_{V-DPI}$  et  $G_{V-BCI}$ , le niveau de puissance RF à injecter lors de tests DPI peut être déduit à partir de la courbe d'immunité déduite des

simulations (ou des mesures) *BCI* et inversement. La corrélation entre chaque test peut alors être réalisée en fonction de l'équation 3-57. Par contre, si nous considérons que le niveau de tension délivré par la source est constant, la tension aux bornes de la charge sur laquelle le signal RF est injecté peut être prédite selon l'équation 3-58.

$$\frac{G_{V_{DPI}}}{G_{V_{BCI}}} = \frac{V_{Incident_{BCI}}}{V_{Incident_{DPI}}} \quad \text{Equation 3-57}$$

$$\frac{G_{V_{DPI}}}{G_{V_{BCI}}} = \frac{V_{Charge_{DPI}}}{V_{Charge_{BCI}}} \quad \text{Equation 3-58}$$

Afin qu'une prédiction d'immunité puisse être réalisée rapidement à partir des équations 3-53 à 3-58, différents outils de simulation similaires à ceux présentés précédemment ont été développés.

### 3.2. Description des outils de prédiction d'injections conduites normalisées

Pour faciliter la prédiction et la corrélation des mesures *DPI* et *BCI*, trois fonctions appelées « *DPI.m* », « *BCI.m* » et « *DPI\_BCI.m* » ont été développées sous *MATLAB*. Comme l'indiquent les algorithmes de ces fonctions illustrés figures 3-58 et 3-59, les principales informations requises pour réaliser une prédiction sont les paramètres *S* caractérisant les systèmes d'injection et les charges, ainsi que les niveaux de tensions  $V_{Cible}$  définis dans un domaine fréquentiel. Pour rappel,  $V_{Cible}$  détermine soit la tension  $V_{Charge}$  que nous souhaitons atteindre aux bornes d'un CST, soit la tension qui doit être délivrée par la source RF pour obtenir un niveau tension  $V_{Charge}$  donné.

L'importation des tensions  $V_{Cible}$  est réalisée à partir de la fonction « *my\_read\_immunity.m* ». Celle-ci permet de créer une matrice  $[V_{Cible}, freq3]$  à partir d'informations insérées dans un fichier texte. Par ailleurs, une fonction « *my\_read\_snp.m* » a également été développée afin d'importer les paramètres *S* recensés dans un fichier touchstone et nécessaires aux calculs des gains en tension.

Les matrices  $[G_{V_{DPI}}, freq1]$  et  $[G_{V_{BCI}}, freq2]$  définissant les gains en tensions sur une bande de fréquence donnée sont calculées à partir des fonctions « *calcul\_gain\_g2p\_tension.m* » et « *calcul\_gain\_g3p\_tension.m* ». Pour simplifier la résolution des équations 3-53 et 3-54 incluses dans ces fonctions, le numérateur et le dénominateur de chaque expression est calculé séparément.

Après avoir importé toutes les informations requises pour déterminer les gains en tensions essentiels à nos prédictions, les matrices  $[G_{V_{DPI}}, freq1]$ ,  $[G_{V_{BCI}}, freq2]$  et  $[V_{Cible}, freq3]$  sont ensuite ré-échantillonnées en fonction d'un vecteur « *freq* » commun dont les extremums dépendent des fréquences maximales et minimales des vecteurs « *freq1* », « *freq2* » et « *freq3* ». Suite à ces ré-échantillonnages, les valeurs des tensions  $V_{Charge}$  ou  $V_{Incident}$  sont calculées pour chaque fréquence définie par le vecteur « *freq* », selon le type de tests d'injections conduites que nous souhaitons prédire. Les résultats ainsi déduits sont enfin insérés dans un fichier texte à l'aide du script « *my\_immunity\_prediction.m* ».

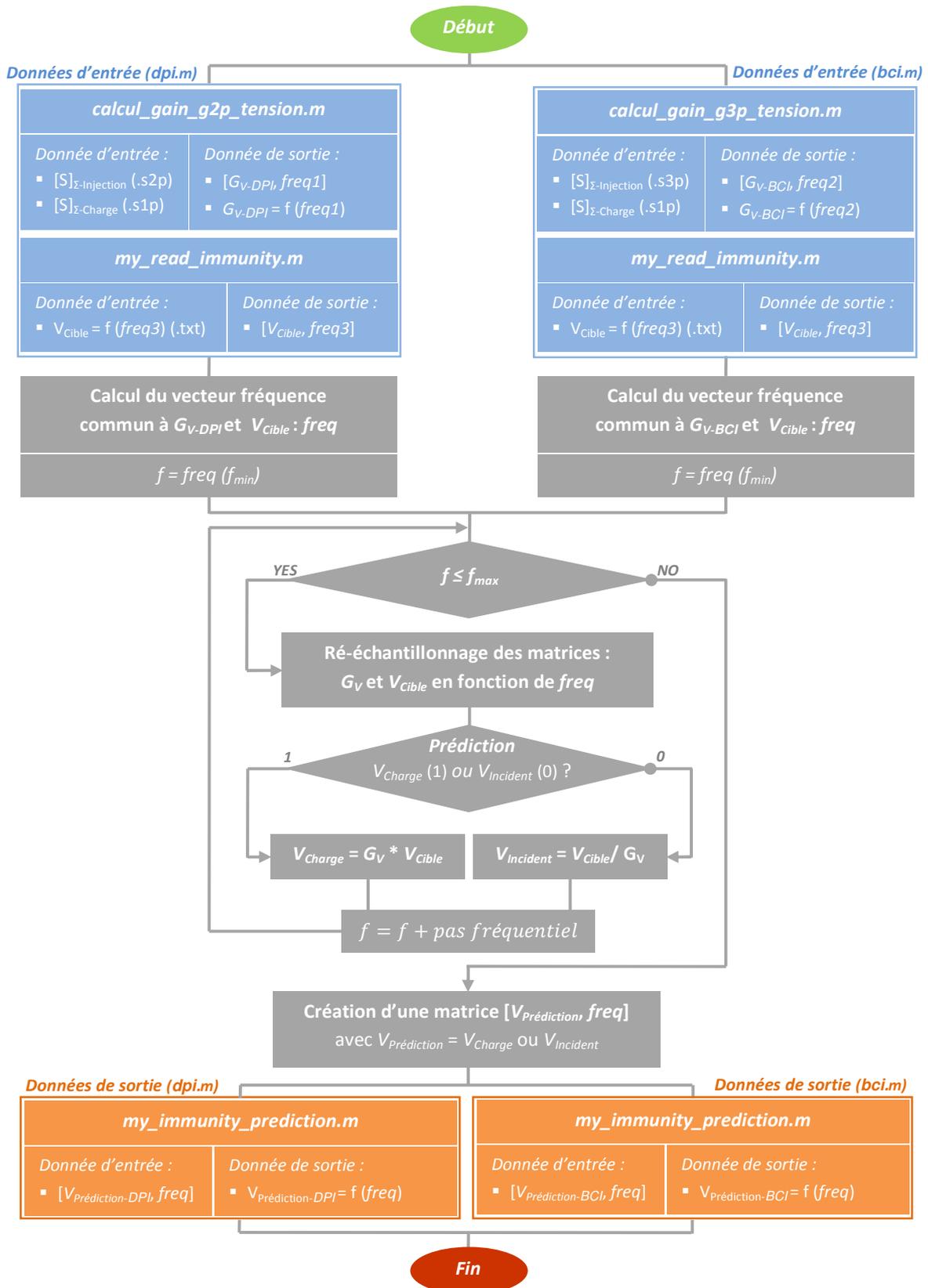


Figure 3-58: Algorithme des fonctions « dpi.m » et « bci.m »

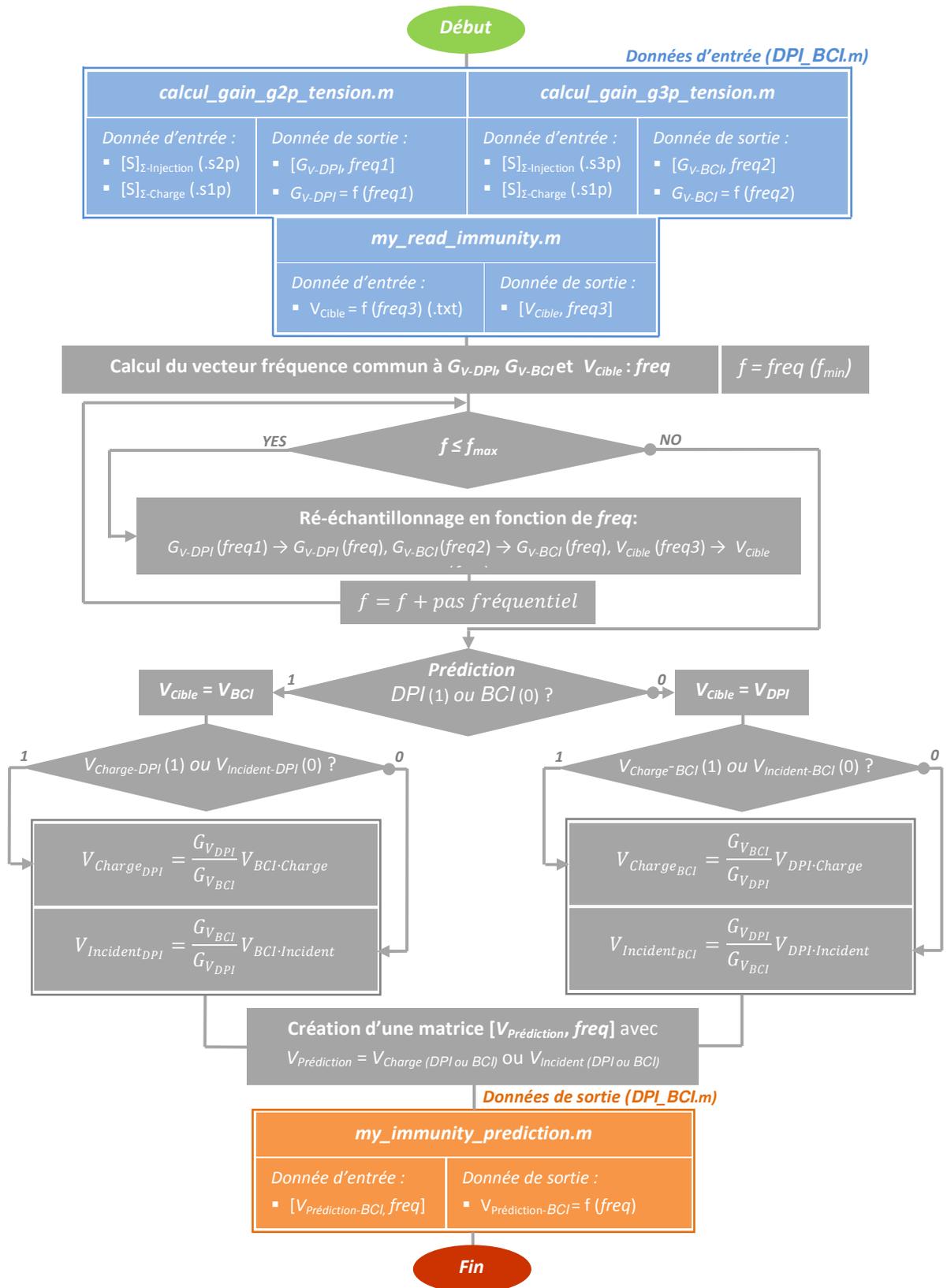


Figure 3-59: Algorithme de la fonction « DPI\_BCI.m »

### 3.3. Evaluation des outils de prédiction d'injections conduites normalisées

Les outils de prédiction présentés précédemment sont évalués à partir des bancs d'injections conduites illustrés figures 3-30 et 3-53, où le véhicule de test sur lequel les charges sont positionnées a été simplifié. L'inductance  $L_{DC}$  et le pont diviseur ont effectivement été retirés pour cette étude. Par ailleurs, la source RF délivre désormais des signaux sinusoïdaux ayant une puissance constante et égale à 10 dBm sur une bande de fréquence définie entre 1 MHz et 1 GHz. Cependant, la capacité  $C_{DPI}$  et de la charge résistive respectivement utilisées pour des injections *DPI* et *BCI* restent identiques. Les valeurs des charges passives sur lesquelles les signaux RF sont injectés sont toujours de 50  $\Omega$ , d'1 nF et d'1  $\mu$ H.

Notre analyse va se dérouler en deux étapes distinctes. Nous allons premièrement évaluer la précision des fonctions « *DPI.m* » et « *BCI.m* » à prédire le niveau de puissance injecté sur charge passive. Ensuite, nous corrèlerons les niveaux de puissance injectés aux bornes de ces charges par *DPI* et *BCI*. En d'autres termes, nous prédirons les tensions  $V_{Charge-DPI}$  atteintes aux bornes de 50  $\Omega$ , 1 nF et 1  $\mu$ H à partir des tensions  $V_{Charge-BCI}$  obtenues par injections *BCI*, et inversement. La précision des outils développés sera estimée en comparant chaque prédiction à leur mesure respective.

Les figures 3-60 à 3-65 illustrent les niveaux de puissances atteints aux bornes de chaque charge passive par injection de type *DPI* et *BCI*. Les faibles écarts observés entre prédictions et mesures nous indiquent que la précision des outils « *DPI.m* » et « *BCI.m* » proposés est très satisfaisante. En effet, les niveaux de puissance injecté par *DPI* et *BCI* aux bornes des charges résistives et inductives sont prédits avec une erreur inférieure à 5 dB. Néanmoins, faute de ne pas avoir utilisé la même capacité d'1 nF lors des mesures *DPI* et de son coefficient de réflexion à l'analyseur de réseau, nous ne pouvons pas établir un constat aussi bon sur une charge capacitive, puisque les erreurs de prédiction sont bien plus importantes au-delà de 100 MHz. Malgré cela, nous nous réjouissons des performances des outils développés car les résultats obtenus sur charges passives sont très encourageants en vue de prédire l'immunité d'un circuit intégré.

Les figures 3-66 à 3-71 illustrent les résultats des corrélations réalisées entre les mesures *DPI* et *BCI* sur charges passives. Etant donné les très faibles erreurs de prédiction observées pour chaque test, l'outil de corrélation « *DPI\_BCI.m* » permet de prédire avec une excellente précision les niveaux de puissance injectés sur charges passives. Nous pouvons ainsi en conclure que la démarche proposée est adéquate pour corréler des injections conduites normalisées sur des charges résistives, capacitatives et inductives.

Il sera désormais très intéressant d'évaluer la capacité de ces approches innovantes à prédire et corréler l'immunité conduite d'un circuit intégré. En effet, selon les tensions de déclenchement des structures *DES* (« *Décharge Electrostatique* ») implémentées sur silicium, l'impédance d'entrée mesurée sur ses broches peut présenter des comportements non-linéaires en fonction de l'amplitude du signal RF qui y est injectée. Or, sachant que les gains calculés par nos outils s'effectuent à partir de paramètres S mesurés à l'aide d'analyseur de réseau injectant une puissance bien inférieure à celles requises pour déclencher ces structures, nos outils de prédiction pourraient présenter certaines limites d'utilisation.

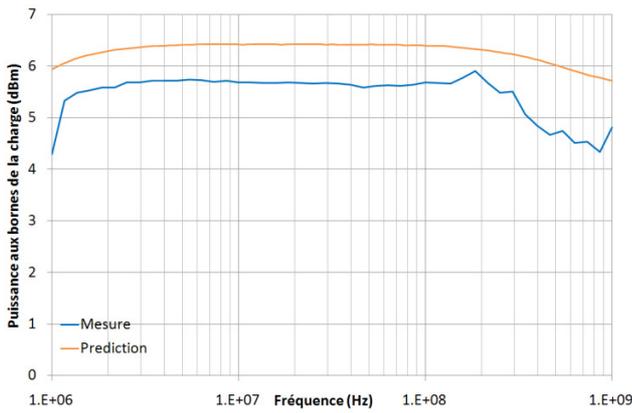


Figure 3-60: Prédiction DPI sur 50 Ω

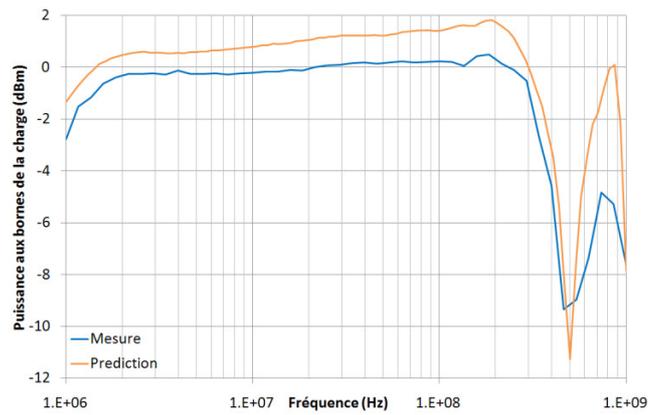


Figure 3-61: Prédiction BCI sur 50 Ω

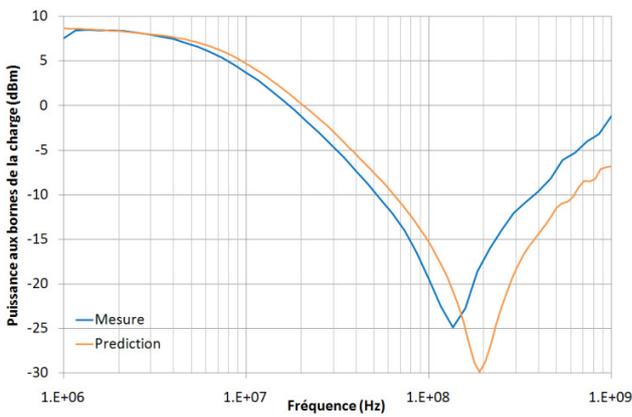


Figure 3-62: Prédiction DPI sur 1 nF

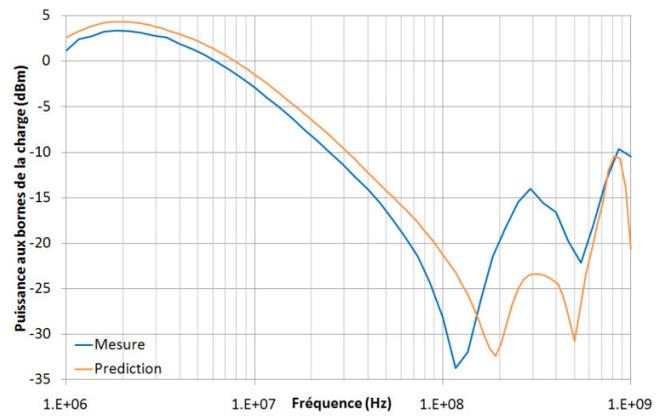


Figure 3-63: Prédiction BCI sur 1 nF

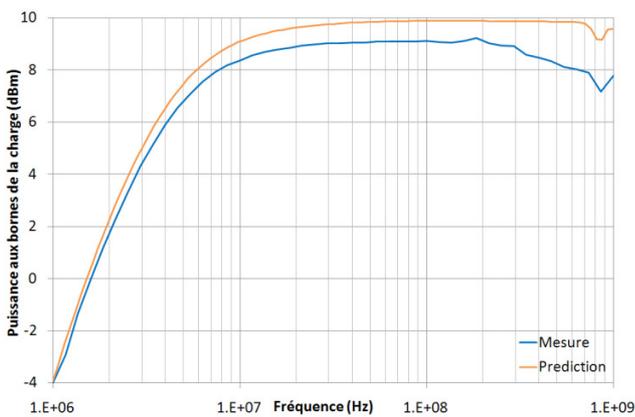


Figure 3-64: Prédiction DPI sur 1 μH

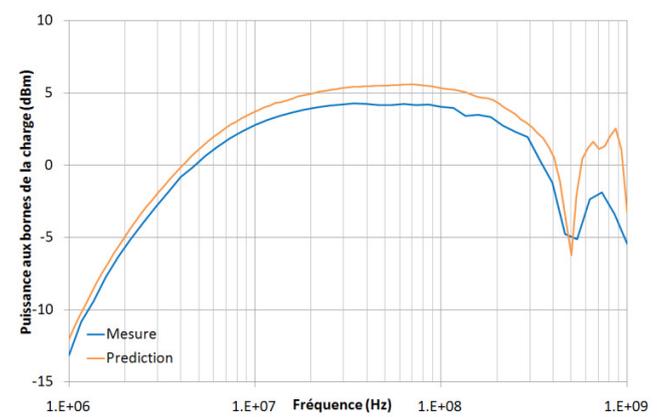


Figure 3-65: Prédiction BCI sur 1 μH

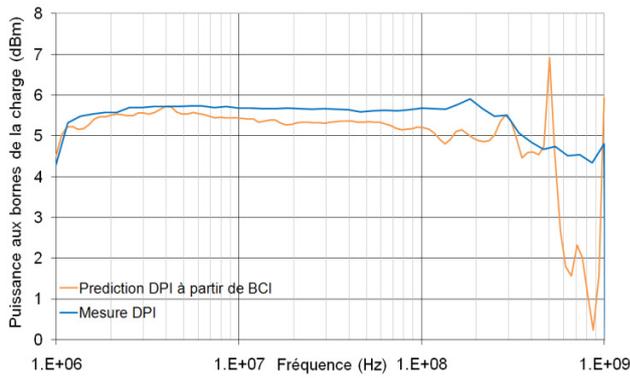


Figure 3-66: Prédiction DPI à partir de BCI sur 50 Ω

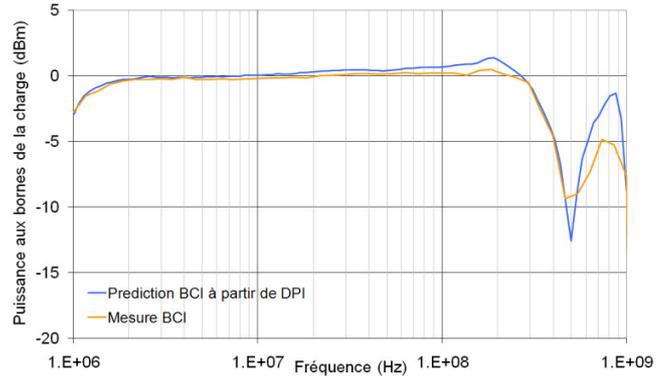


Figure 3-67: Prédiction BCI à partir de DPI sur 50 Ω

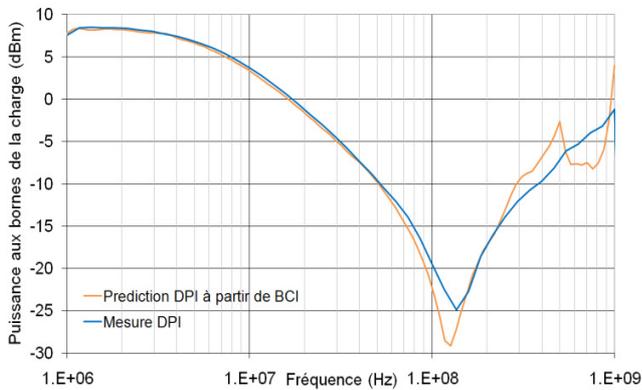


Figure 3-68: Prédiction DPI à partir de BCI sur 1 nF

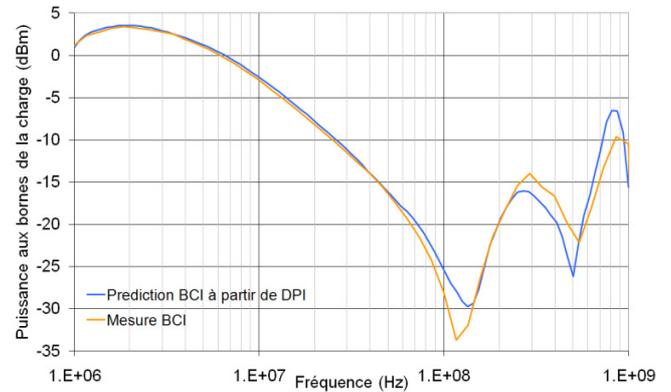


Figure 3-69: Prédiction BCI à partir de DPI sur 1 nF

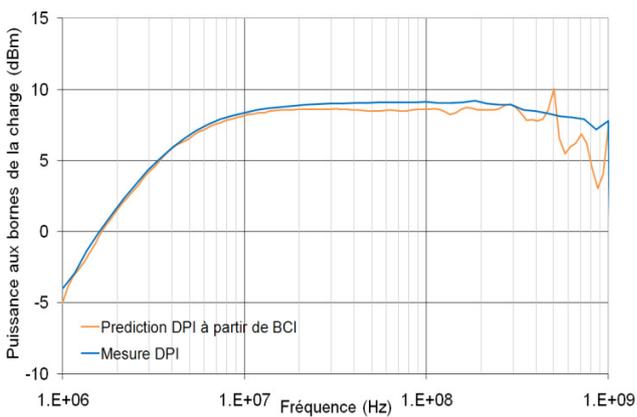


Figure 3-70: Prédiction DPI à partir de BCI sur 1 μH

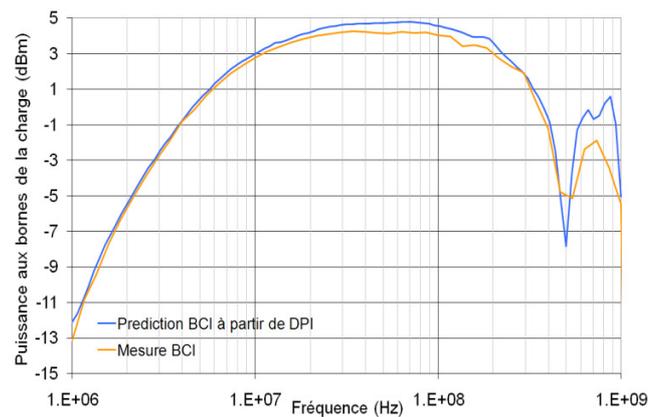


Figure 3-71: Prédiction BCI à partir de DPI sur 1 μH

## 4. Conclusion

Dans ce chapitre, nous avons proposé différents outils de simulation afin d'être en mesure d'évaluer précisément l'immunité des circuits intégrés dès leur phase de conception. Pour analyser convenablement la susceptibilité d'un CI par simulation, nous avons vu qu'il est fortement recommandé de modéliser avec précision tous les éléments du chemin d'injection qui peuvent avoir une influence significative sur les perturbations RF transmises au circuit. Nous nous sommes ainsi focalisés sur la modélisation des circuits imprimés et des systèmes d'injection utilisés lors des mesures normalisées d'immunité de type conduite.

Dans un premier temps, nous avons développé deux outils de simulation dédiés à la modélisation des circuits imprimés. Ces outils permettent de modéliser les éléments influents d'un *PCB* (pistes et plans) à partir d'informations dont tout utilisateur est en mesure d'obtenir telles que leurs propriétés physiques et géométriques. L'évaluation de ces outils sur des cas tests nous a montré leur capacité à extraire des modèles de pistes et de plans dotés d'excellentes précisions sur un domaine de validité fréquentiel défini par l'utilisateur. Ces outils ont la particularité d'extraire des modèles de pistes et de plans en quelques minutes seulement, et font ainsi face aux fortes contraintes de temps endurées lors des phases de conception.

Nous avons ensuite proposé et évalué trois démarches différentes pour modéliser les systèmes d'injection *DPI* et *BCI*. Les modèles déduits de ces approches ont été nommées « *N-port* », polynomial et discret. Suite à l'évaluation de chaque modèle sur charges passives, nous avons constaté des divergences de leur précision selon la nature du système d'injection (capacitif ou inductif). Pour un système d'injection *DPI* qui est de nature capacitive, la modélisation par éléments discrets aura permis de simuler avec une excellente précision une injection conduite sur charges passives. Les modèles « *N-port* » et polynomial ont néanmoins été préférés au modèle discret pour modéliser une injection par couplage inductif. Effectivement, bien que la précision obtenue avec un modèle discret *BCI* est convenable jusqu'à 500 MHz, nous avons pu apprécier la complexité de modéliser un tel système par cette approche, à cause des propriétés physiques de chaque élément et de leur interaction.

Enfin, nous avons proposé une démarche innovante permettant de prédire les niveaux de tensions (ou de puissance) injectés ou à injecter sur un circuit lors de mesures d'immunité conduites normalisées. En se basant sur le calcul d'un gain en tension entre la source RF et la charge, nous déterminons et corrélons les niveaux de tensions injectés par *DPI* et *BCI*. Suite à l'évaluation des outils de prédiction développée à partir de cette approche, nous avons constaté qu'une prédiction et une corrélation des niveaux injectés par couplage capacitif et inductif est réalisable sur charge adapté, circuits ouvert et fermé. Les résultats obtenus sur charges passives ont par ailleurs été très satisfaisants, ce qui nous laisse espérer qu'ils seront tout aussi bons sur un circuit intégré.

Par conséquent, nous allons désormais évaluer tous ces outils, en simulant les mesures d'immunité conduites réalisées sur le circuit intégré conçu dans le cadre notre projet, afin de valider définitivement leur utilisation dans un flot de simulation.





## CHAPITRE 4

# Prédiction des couplages de perturbations électromagnétiques en mode conduit

Afin d'évaluer l'immunité d'un circuit dès sa phase de conception, nous présentons dans ce chapitre une méthode de prédiction permettant de caractériser la propagation du bruit injecté sur un circuit par couplage capacitif ou inductif. Le flot de modélisation proposé et la méthode de prédiction présentés dans le chapitre précédent sont appliqués sur différentes fonctions élémentaires du circuit de test développé en technologie SMOS8MV<sup>®</sup> 0,25  $\mu\text{m}$ . Pour valider les méthodes mises en œuvre, nous évaluons les erreurs de simulations/prédictions en fonction des résultats de mesures obtenus lors des injections de bruits réalisés par *DPI* et *BCI* sur notre véhicule de test.

### 1. Objectifs

Pour réduire les coûts de conception des circuits intégrés, il est aujourd'hui primordial d'évaluer leurs performances électriques et leurs compatibilités électromagnétiques dès leur phase de conception. Bien que les logiciels de simulations électriques aient été considérablement perfectionnés avec l'essor des semi-conducteurs, il existe à ce jour très peu d'outils permettant d'analyser les performances CEM des CI. La nécessité d'anticiper les risques de dysfonctionnements liés aux perturbations électromagnétiques devenant ainsi de plus en plus critique, nous allons proposer une méthode de prédiction permettant de caractériser par simulation la propagation des interférences électromagnétiques au cœur d'un circuit en mode conduit.

Après avoir rappelé le flot de conception d'un circuit numérique, nous détaillerons notre approche de modélisation en décrivant toutes les étapes à suivre pour modéliser les environnements de tests et le bloc numérique interne du circuit de test MIXITY. Pour évaluer notre méthode, nous simulerons des injections *DPI* et *BCI* sur les alimentations de son bus d'E/S et d'un de ses blocs numériques. Cette étape nous permettra également d'évaluer les outils d'extraction et de prédiction présentés dans le chapitre précédent. Nous décrirons enfin les limites de notre méthode et discuterons de l'intérêt de l'inclure dans un flot de simulation d'immunité.

### 2. Démarche d'optimisation du flot de conception des circuits intégrés

#### 2.1. Présentation du flot de conception des circuits digitaux

Le flot de conception d'un circuit est généralement décomposé en deux parties (frontale et dorsale) dans des environnements de conception pouvant différer au niveau logiciel ou matériel. Dans la partie frontale du flot, la solution architecturale du circuit est définie en fonction des contraintes du produit fixées par les spécifications

« système ». Dans la partie dorsale, les masques nécessaires à la fabrication du produit sont dessinés à partir des différents modèles extraits des conceptions logiques et physiques. Pour concevoir un circuit, trois types d'actions sont également requises : le développement des logiciels (programmes d'applications et systèmes d'exploitation), le développement de la partie matérielle (cellules standards, bibliothèques, librairies de simulation, etc.) et la conception des interfaces logicielles/ matérielles.

Comme l'illustre la figure 4-1, le flot de conception d'un CI est établi selon cinq niveaux d'abstraction [JERRAYA02] allant du niveau système au niveau physique en passant par des niveaux comportementaux (architecture et « RTL ») et logique. Au niveau système le fonctionnement du circuit est spécifié par un cahier des charges où plusieurs informations essentielles à son développement sont recensées telles que la technologie, la surface, la consommation ou encore le coût du produit. Au niveau architecture, le circuit est modélisé par des langages de hauts niveaux afin d'évaluer les performances de l'architecture choisie en fonction des besoins de l'application définie par les spécifications. La synthèse du modèle architecturale conduit ensuite au troisième niveau d'abstraction généralement appelé *RTL (Register Transfer Level)*. A ce niveau, le comportement et l'implémentation du circuit sont décrits sous forme d'éléments séquentiels et de différentes combinaisons logiques. Le code source résultant de cette description est par la suite synthétisé en équations logiques booléennes détaillant le circuit sous forme de portes logiques. Une *netlist* « logique » du circuit est ensuite générée à partir des bibliothèques de cellules de base pré-caractérisées (cellules logiques combinatoires de base et complexe: *NAND, NOR, AND, NAND-NOR, AND-NOR*, etc. et cellules séquentielles : *flip-flop, latch*, compteur, etc.). Pour atteindre le niveau physique constituant le dernier niveau d'abstraction, cette *netlist* doit subir une synthèse physique qui s'effectue en deux étapes distinctes. La première étape, appelée synthèse électrique, consiste à transformer la schématique logique du circuit en une schématique au niveau transistor. La seconde, nommée synthèse topologique, traduit la schématique au niveau transistor en un *layout* où les cellules de base du circuit sont réparties et interconnectées sur la surface spécifiée par le cahier des charges.

Après avoir effectué différents types de vérifications (respect des règles de *design*, vérifications électriques : présence de court-circuits et nœuds flottants, extraction des composantes électriques parasites, vérifications temporelles et fonctionnelles, analyses de la diaphonie et de l'intégrité des signaux, etc.) sur les *netlists* « logique » et « électrique » extraites de ce *layout*, ce dernier peut enfin être utilisé pour dessiner les masques. Il est important de souligner que les vérifications n'interviennent pas uniquement au cinquième et dernier niveau d'abstraction. A partir du niveau *RTL*, les principales caractéristiques du circuit sont constamment vérifiées telles que sa fonctionnalité, sa logique ou encore ses performances temporelles et électriques. Bien que l'intégrité des signaux et le bruit dans le substrat fassent également l'objet de diverses analyses au niveau physique, force est de constater que les performances CEM d'un circuit ne sont pas suffisamment étudiées dans son flot de conception. La sensibilité aux bruits des circuits étant en outre de plus en plus importante, il devient fondamental d'y inclure des vérifications spécifiques afin d'estimer leur immunité aux bruits et leur émissivité.

Dans le cadre de notre projet, nous nous intéresserons essentiellement à l'immunité des CI. Les vérifications réalisées à partir de la méthode de prédiction que nous allons proposer interviendront au niveau

physique afin de prendre en compte chaque élément parasite du circuit pouvant influencer sur sa susceptibilité aux bruits.

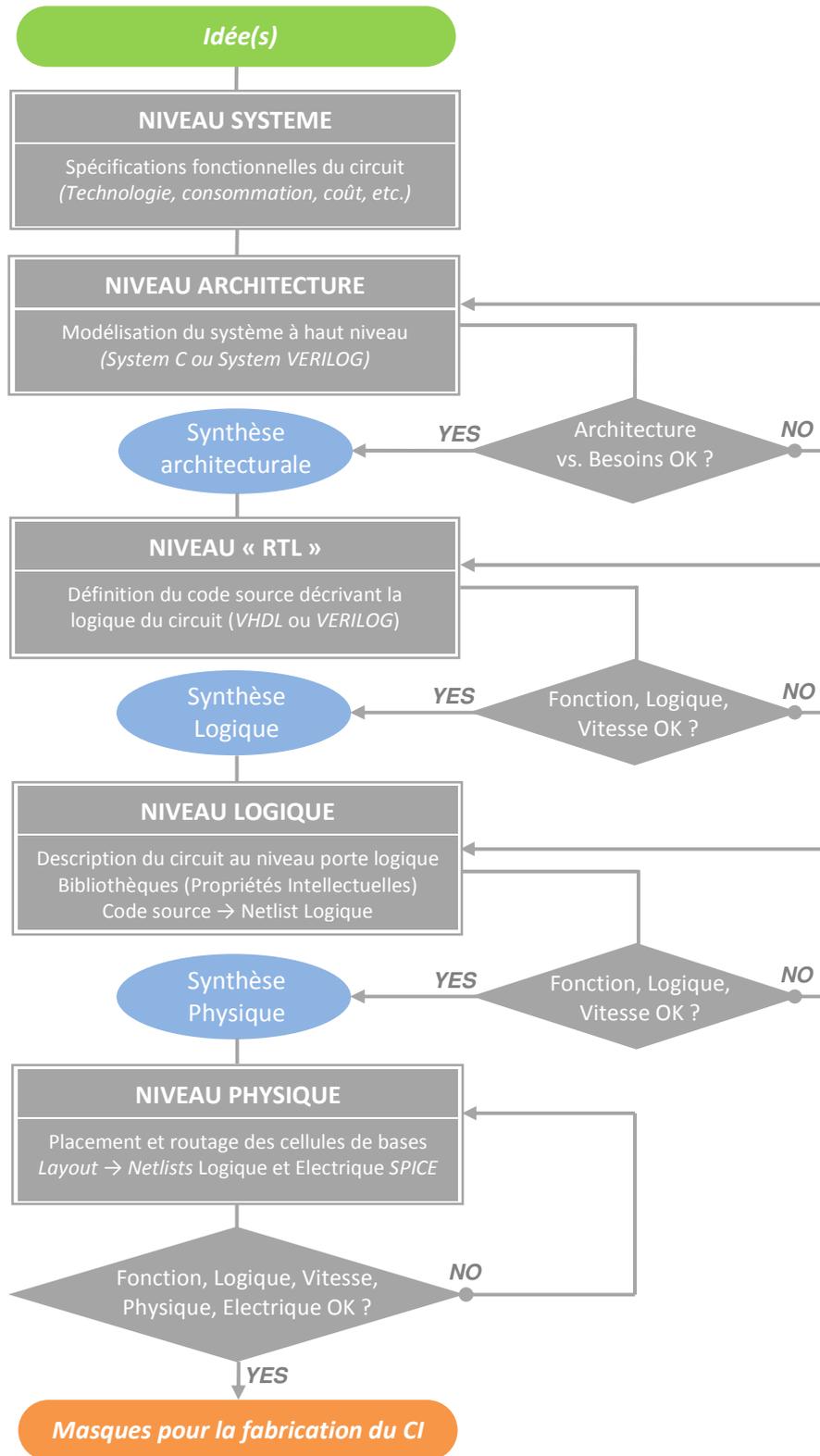


Figure 4-1: Flot de conception d'un circuit numérique

## 2.2. Flot de modélisation dédié à l'analyse des couplages de bruit en mode conduit

Le flot de modélisation illustré figure 4-2 est proposé dans l'optique de guider les concepteurs à développer rapidement un modèle d'immunité permettant de caractériser la propagation du bruit couplé en mode conduit d'un circuit intégré dès sa phase de conception. Ce flot se décompose en deux étapes distinctes. La première consiste à modéliser en parallèle l'environnement de tests d'immunité et le(s) bloc(s) sensible(s) du circuit. La seconde étape se résume à la simulation du modèle d'immunité complet et à la mise en forme des résultats.

Au préalable, il sera donc nécessaire de se munir du cahier des charges du circuit et des spécifications CEM décrivant la nature du système d'injection et les caractéristiques du signal perturbateur (puissances, fréquences et forme d'onde). Les informations de ces spécifications permettront notamment de définir le domaine de validité fréquentiel du modèle d'immunité, de paramétrer le générateur de Thévenin équivalent à la source de perturbation et de configurer les paramètres de notre simulateur.

Par ailleurs, pour développer un modèle d'immunité d'un circuit intégré ayant la capacité de reproduire précisément son fonctionnement nominal et perturbé, une étude approfondie de son architecture sera requise au niveau physique de son flot de conception. Cette pré-étude aura pour buts d'analyser les différents couplages qui pourraient avoir lieu sur le silicium (ex : entre interconnexions et/ou différents blocs), d'évaluer les blocs les plus sensibles du circuit mais également de définir un critère de défaillance.

Après avoir recensé tous les éléments influant de l'environnement de tests d'immunité, le modèle de cet environnement pourra être développé à partir de la librairie des systèmes d'injection et des outils d'extraction présentés dans le chapitre précédent. Les paramètres Z et S de ce modèle devront être vérifiés par comparaisons mesures-simulations, pour évaluer sa précision sur la bande de fréquence définie par le domaine de validité. Selon les résultats obtenus lors de cette étape, un réajustement de ses composantes pourra être requis pour minimiser ses erreurs de précision.

La modélisation du circuit pourra être scindée en deux étapes. Premièrement, nous proposons de tenir compte des effets parasites de son boîtier en modélisant les éléments influant de ce dernier (*pin*, *lead* et *bonding*) par un circuit passif dont les composantes pourront être extraites à partir de la méthode PEEC implémentée dans le logiciel IC-EMC [ICEMC]. Dans un second temps, nous proposons de modéliser le(s) bloc(s) sensible(s) du circuit en fonction de la complexité de son (leur) architecture. Les modèles au niveau transistor de nos bibliothèques seront adéquats si les cellules présentes dans l'architecture du bloc ne sont pas trop nombreuses et si la durée requise pour simuler sa *netlist* est acceptable (ex : Bus d'entrée/ sortie [DEOBARRO10]). L'influence des interconnexions et autres phénomènes de couplage pourront être pris en compte en effectuant une extraction RC après le placement et le routage des cellules. Cependant, si le bloc sensible est constitué de plusieurs sous-fonctions ayant des architectures complexes tels que les circuits à cœurs digitaux [ALAELDINE-2-08] [LOECKX09] ou encore les boucles à verrouillage de phase [YAN09], un macro-modèle ou un modèle comportemental sera plus approprié. Ces modèles auront l'avantage de n'utiliser qu'un réseau de distribution passif (*Passive Distribution Network : PDM*) assemblé à une *netlist* constituée des

quelques cellules de bases requises pour traduire le comportement interne du circuit et ainsi analyser ses principaux signaux (alimentations, entrée/sortie, horloge, *reset*, etc.). Notons que le choix d'inclure ces cellules de bases dans le modèle dépendra également du ou des critère(s) de défaillance qui aura ou auront été défini(s). Les composantes du modèle du *PDN* pourront être extraites à partir des profils d'impédances simulées aux bornes des blocs inclus dans le modèle du CI (ex : pad, structures de protection *ESD*, etc.), des caractéristiques des interconnexions (propriétés physique et géométrique) et des couplages internes recensés dans l'étude préliminaire (ex : diaphonies inductive et capacitive, couplage substrat, etc.) [KOO09]. Enfin, quelque soit la méthode de modélisation choisie, les performances électriques et la fonctionnalité du modèle ainsi développé devront être vérifiées par diverses simulations.

Après avoir élaboré un modèle d'immunité dont les performances électriques et la fonctionnalité sont en accord avec les spécifications, la susceptibilité aux perturbations électromagnétiques du circuit pourra alors être évaluée par simulation sur la bande de fréquences définie par les normes CEM. Ces analyses étant effectuées en fonction de vecteurs fréquentiel et temporel, la stratégie du simulateur devra être optimisée de sorte à extraire les caractéristiques du signal perturbateur tout en minimisant les temps de simulation.

Si les courbes d'immunité résultantes de ces simulations ne respectent pas les gabarits spécifiés par les normes, le design du circuit devra être revu afin que sa sensibilité aux interférences soit minimisée. Différentes règles de conception CEM pourront alors être appliquées : implantation de filtres et placements appropriés des blocs [ARMSTRONG99], capacité de découplage [MUTHANA07] [MUTHANA08], distribution de l'alimentation [VRIGNON05], etc. Par ailleurs, il est également important de souligner que l'environnement de tests et notamment le *design* du *PCB* [CURTIS98] [MONTROSE04] aura une influence considérable sur les performances CEM du CI. Bien que les spécifications nous informent sur les charges typiques qui y seront connectées, le *PCB* utilisés lors des mesures n'est généralement pas identique à celui qui est introduit dans l'application du client, puisque les clauses de confidentialité signées par les deux parties limitent la divulgation de ces informations. Par conséquent, l'immunité aux bruits du CI ne pourra être évaluée qu'à partir d'un modèle équivalent au *PCB* développé dans le cadre des tests de qualification.

En vue d'évaluer le flot de modélisation proposé, nous allons désormais l'appliquer sur différentes fonctions élémentaires (Bus d'entrées/sorties et Cœur digital) de notre circuit de test MIXITY. Après avoir détaillé l'environnement de tests d'immunité mis en place pour mesurer la sensibilité de ces fonctions, nous présenterons les modèles d'immunité développés dont les précisions seront analysées par différentes comparaisons mesures-simulations.

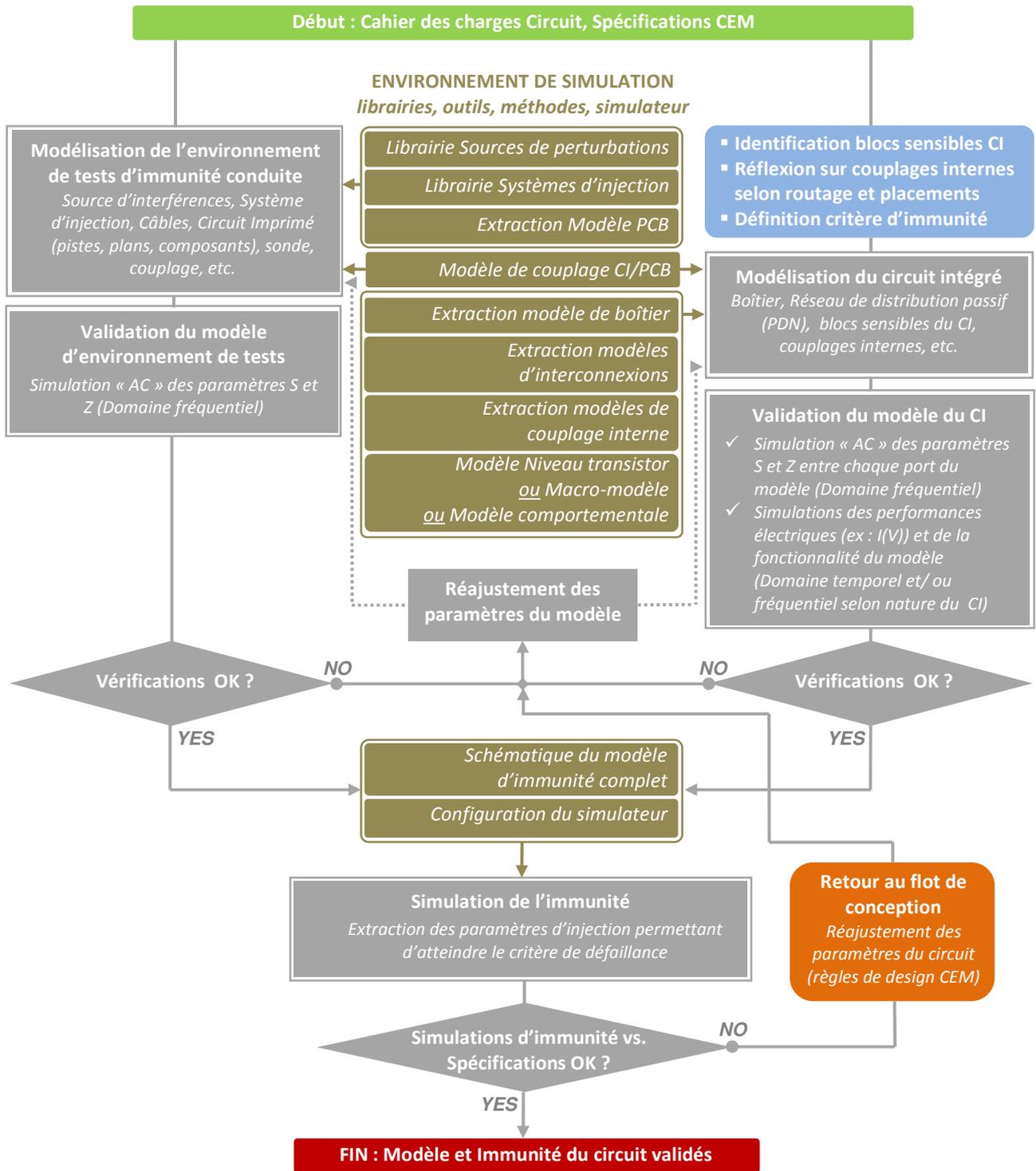


Figure 4-2: Flot de modélisation

### 2.3. Evaluation du flot de modélisation

Dans le chapitre 2, nous avons caractérisé par différents moyens de mesure le bruit injecté sur les alimentations du bus d'E/S et du bloc numérique n°1 du circuit de test MIXITY. En vue d'évaluer le bruit véhiculé à travers le circuit par simulation, nous allons donc modéliser chacun de ces blocs et leurs environnements de tests, en utilisant le flot de simulation proposé précédemment.

Pour rappel, le bruit est injecté en mode conduit par couplage capacitif ( $C_{DPI} = 6,8 \text{ nF}$ ) ou par couplage inductif (pince d'injection *BCI FCC-F140*), entre 1 MHz et 1 GHz. Les signaux injectés sur les broches d'alimentations  $SSN_{OVDD}$  (bus d'E/S) et  $VDD_{core1}$  (bloc numérique n°1) sont sinusoïdaux. La puissance maximale injectée par notre source de perturbation est de 45 dBm. Les niveaux de puissances incidents et réfléchis sont mesurés à l'aide d'un wattmètre associé à un coupleur directionnel. Les tensions externes et internes au composant sont respectivement mesurées à l'aide d'une sonde active connectée à un oscilloscope de bande passante 3 GHz et des capteurs de tension intégrés sur les rails d'alimentation. Les fluctuations maximales tolérées sur chaque alimentation sont fixées à 10 % de leur valeur nominale, soit +/- 0,5 V pour  $SSN_{OVDD}$  et +/- 0,25 V pour  $VDD_{core1}$ . Dès que de tel niveau de tension sont atteints à l'extérieur et à l'intérieur du composant, nous mesurons la puissance incidente au circuit imprimé.

Pour faciliter nos travaux de modélisation, nous identifions tous les éléments de nos environnements de tests pouvant avoir une influence sur le signal perturbateur transmis au circuit et sur la sensibilité de ce dernier. Essentielles pour notre flot de simulation, ces informations sont recensées selon le type de test dans le tableau 4-1. Les éléments influant sont : la source d'interférences constituée d'un synthétiseur de signaux et d'un amplificateur RF, les systèmes d'injection *DPI* (capacité  $C_{DPI}$ ) et *BCI* (pince d'injection couplée aux conducteurs torsadés véhiculant l'alimentation de notre circuit, Réseau Stabilisé d'Impédance de Ligne, cage de Faraday), le(s) câble(s) RF spécifiquement utilisé(s) pour les injections et le circuit imprimé (les pistes par lesquels les signaux fondamentaux du circuit sont transmis, plan d'alimentations, capacités de découplage et inductances *chokes* «  $L_{DPI}$  » implantées sur chaque chemin d'injection). Le coupleur présent sur le chemin d'injection n'est pas pris en considération car il est adapté 50  $\Omega$ .

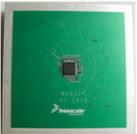
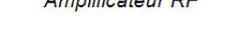
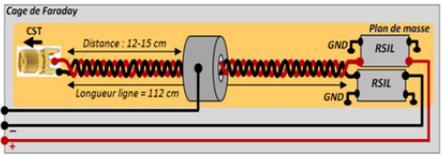
	Source de perturbation	Système d'injection	Câble(s) RF	Circuit Imprimé
D P I	Synthétiseur 	$C_{DPI} = 6,8 \text{ nF}$ 		
B C I	Amplificateur RF 	Cage de Faraday Distance : 12-15 cm Longueur ligne = 112 cm 		

Tableau 4-1: Eléments influant des environnements de tests DPI et BCI

### 3. Modélisation de l'immunité d'un circuit intégré

Pour étudier la propagation de bruit couplé à notre circuit par simulation, nous nous focaliserons premièrement sur la modélisation du circuit MIXITY. Nous modéliserons ensuite tous les éléments influant des environnements de tests qui ont été recensés précédemment (tableau 4-1).

#### 3.1. Modélisation du circuit MIXITY

Notre objectif est d'analyser la propagation des perturbations électromagnétiques couplées en mode conduit par simulations. Pour cela, nous allons proposer un modèle équivalent au réseau de distribution passif de notre circuit incluant les effets du boîtier, des rails d'interconnexions, du substrat et de chaque élément intégré dans le bloc numérique agressé (entrées/sorties, capacité de découplage localisé, cœur numérique « *digcore1* »).

Premièrement, nous déterminerons les composantes discrètes équivalentes aux éléments de ce bloc par simulations AC tels que les E/S des alimentations et des signaux. Nous proposerons ensuite un modèle de couplage substrat dont les composantes seront définies par mesures et par approximation. Enfin, après avoir calculé les éléments inductifs et résistifs des interconnexions, nous développeront un modèle discret du boîtier.

##### 3.1.1. Modèle d'Entrées/Sorties

###### 3.1.1.1. Entrée/Sortie des alimentations

Les alimentations du circuit sont véhiculées par l'intermédiaire d'un bloc d'entrée dont les dimensions sont de  $116 \mu\text{m} \times 435 \mu\text{m}$ . Comme l'illustre la figure 4-3, ces entrées sont constitués de plots d'accès sur lesquels les fils de *bonding* sont connectés et de rails métalliques permettant de transmettre les signaux d'alimentation aux différents blocs du circuit.

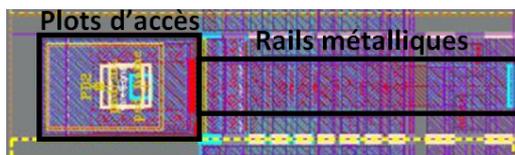


Figure 4-3 : Entrée d'alimentation VDD (vue layout)

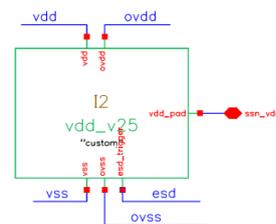


Figure 4-4 : Entrée d'alimentation VDD (vue schématique)

En vue d'étudier la propagation des interférences sur le rail d'alimentation d'un cœur numérique, nous développons un modèle équivalent à une paire d'alimentation incluant ces blocs d'entrée. Pour cela, nous effectuons une analyse AC aux bornes de la paire d'alimentation *VDD/VSS* de l'instance « *vdd\_v25* » illustrée figure 4-4, en ayant au préalable réalisé une extraction des éléments parasites RC des interconnexions. A partir du profil d'impédance résultant des simulations (figure 4-5), nous en déduisons que la valeur de la capacité de couplage  $C_{PAD}$  entre les entrées *VDD* et *VSS* est égale à 2,32 pF.

Pour affiner le modèle de cette paire d'alimentation, nous calculons également la valeur des composantes résistives  $R_{PAD}$  des plots d'accès en utilisant l'équation 4-1, où  $R_C$  est la résistance par carré,  $l$  la longueur et  $w$  la largeur du tronçon métallique.

$$R_{PAD} = R_{Carré} \times \frac{l}{w} \tag{Equation 4-1}$$

Les dimensions et la résistance par carré d'un plot d'accès étant respectivement de  $82 \mu\text{m} \times 60 \mu\text{m}$  et de  $14 \text{m}\Omega$ , nous en déduisons que la valeur de  $R_{PAD}$  est de  $19 \text{m}\Omega$ . Les plots d'accès des entrées  $VDD$  et  $VSS$  étant identiques, le modèle d'une paire d'alimentation peut donc être défini par un circuit RC comme illustré figure 4-6.

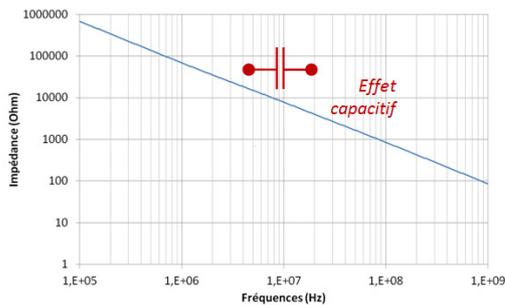


Figure 4-5 : Simulation de l'impédance d'une paire d'alimentation

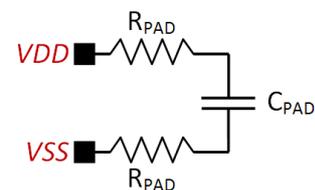


Figure 4-6 : Modèle d'E/S d'alimentation

### 3.1.1.2. Entrée/Sortie des signaux

Les signaux d'entrée ( $SSN_{IN}$ ,  $CORE_{DIN}$ , etc.), de sortie ( $SSN_{OUT<n>}$ ,  $CORE_{DOUT}$ , etc.), d'horloge ( $CORE_{CK-IN}$ ) et de commande ( $AC_N$ ,  $SEL_N$ , etc.) du circuit sont véhiculés par l'intermédiaire des blocs d'entrée et de sortie illustrés figure 4-7. En plus de protéger le circuit aux décharges électrostatiques, ces blocs permettent de remettre en forme chacun des signaux afin qu'ils soient interprétables par les différentes fonctions intégrées sur le silicium.

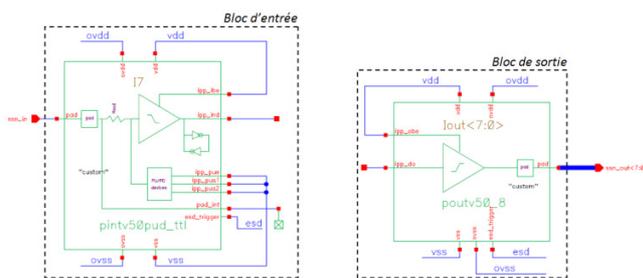


Figure 4-7 : E/S des signaux (vue schématique)

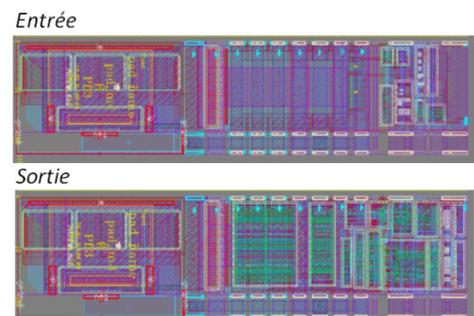


Figure 4-8 : E/S des signaux (vue layout)

Pour connaître la contribution de ces blocs sur les perturbations couplées à l'alimentation d'un cœur numérique, nous déterminons par simulations la valeur des capacités  $C_{IN}$  et  $C_{OUT}$  entre  $VDD$  et  $VSS$ . A partir des résultats des analyses AC, nous déduisons les valeurs des capacités  $C_{IN}$  et  $C_{OUT}$  pour différents niveaux logiques (tableau 4-2).

La valeur des capacités extraites entre  $VDD$  et  $VSS$  diffère selon la fonction du bloc. Pour un bloc d'entrée, la capacité  $C_{IN}$  déduite est de 0,86 pF quelque soit le niveau logique, tandis que pour un bloc de sortie la capacité  $C_{OUT}$  est de 0,94 pF pour un niveau haut et de 1,27 pF pour un niveau bas. Cette variation en fonction du niveau logique s'explique essentiellement par la différence d'impédance des pré-drivers ( $PU_{PDRV}$  et  $PD_{PDRV}$ ) inclus dans le bloc de sortie.

Bloc	Niveau logique d'entrée	Capacité extraite de l'analyse AC
ENTREE	Etat haut : $V_{IN} = 5\text{ V}$	$C_{IN} = 0,86\text{ pF}$
	Etat bas : $V_{IN} = 0\text{ V}$	$C_{IN} = 0,86\text{ pF}$
SORTIE	Etat haut : $V_{IN} = 2,5\text{ V}$	$C_{OUT} = 0,94\text{ pF}$
	Etat bas : $V_{IN} = 0\text{ V}$	$C_{OUT} = 1,27\text{ pF}$

Tableau 4-2 : Valeurs des capacités équivalentes aux blocs d'E/S des signaux entre  $VDD$  et  $VSS$

### 3.1.1.3. Impédance d'E/S du bloc numérique

Le bloc numérique du circuit MIXITY est constitué d'une entrée d'alimentation, de deux entrées ( $data_{IN}$  et  $ck_{IN}$ ) et de deux sorties ( $data_{OUT-NORD}$  et  $data_{OUT-SUD}$ ). Connaissant la valeur des composantes discrètes équivalente à chaque type d'entrée/sortie ( $C_{PAD} = 2,32\text{ pF}$ ,  $C_{IN} = 0,86\text{ pF}$ ,  $C_{OUT} \approx 1\text{ pF}$ ), la capacité équivalente à toutes les E/S est d'environ 6 pF entre la paire d'alimentation  $VDD/VSS$ . Le modèle électrique illustré figure 4-9 peut alors être inséré dans le modèle du circuit entre les nœuds  $VDD$  et  $VSS$  correspondant aux plots d'alimentation.

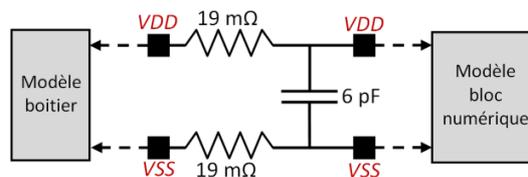


Figure 4-9 : Modèle des E/S du bloc numérique

## 3.1.2. Modèle du bloc numérique

Notre objectif étant de caractériser les perturbations électromagnétiques couplées à l'alimentation d'un cœur numérique, nous allons modéliser son réseau de distribution passif qui inclue les rails métalliques véhiculant la paire d'alimentation, sa capacité de découplage localisée et l'impédance équivalente à l'ensemble des cellules qui y sont connectées.

### 3.1.2.1. Impédance du cœur

Le cœur numérique « *digcore1* » de notre circuit est composé de quatre générateurs de bruits « *noisegen25* », d'un arbre d'horloge « *cktree* » et de deux cellules « *critpath* » intégrant plusieurs inverseurs en cascade. Pour déterminer l'impédance équivalente au cœur entre  $VDD$  et  $VSS$ , nous allons effectuer diverses analyses AC sur chaque cellule qui le constitue. La capacité du cœur déduite de ces analyses sera finalement validée en réalisant une simulation AC de la cellule « *digcore1* ».

a. Impédance de la cellule « critpath »

La cellule « critpath » est composée d'une chaîne de 9 cellules « cpb11 », suivies d'une bascule D (Flip Flop) permettant de synchroniser les signaux d'entrée du circuit sur les fronts du signal d'horloge  $ck_{IN}$  (figure 4-10). Chaque instance « cpb11 » est constituée de 4 capacités de découplage « decap\_6 » distribuées sur une chaîne de 11 buffers « clkbuf\_2 » non-inverseurs (figure 4-11). Le chemin « critpath » est ainsi constitué d'une chaîne de 99 buffers « clkbuf\_2 » dont le temps de propagation a été estimé à 21,9 ns.

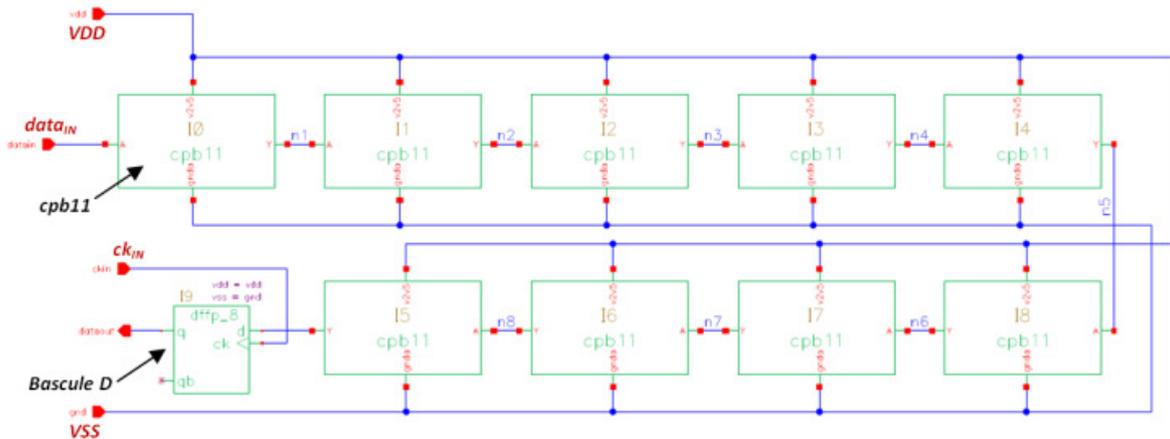


Figure 4-10 : Cellule « critpath » du cœur numérique

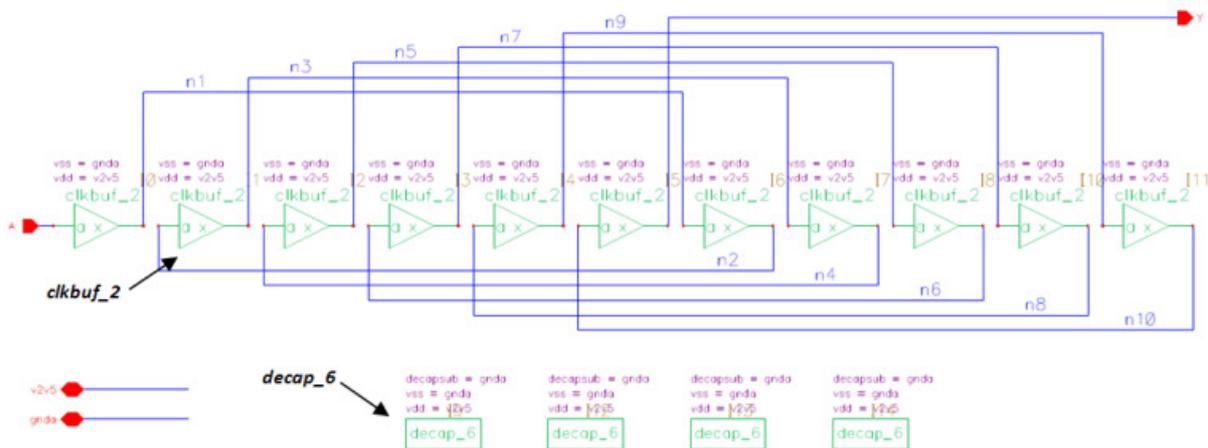
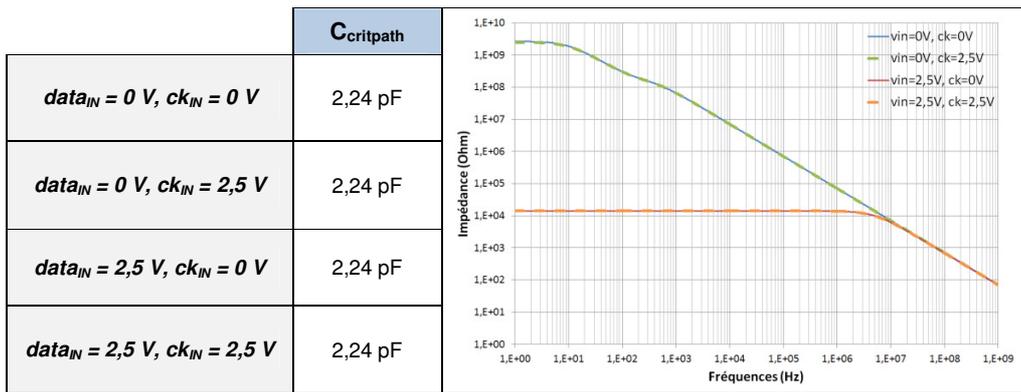


Figure 4-11 : Cellule « cpb11 » du cœur numérique

Pour déterminer l'impédance équivalente de la cellule « critpath » entre  $VDD$  et  $VSS$ , nous effectuons diverses analyses AC sur une cellule polarisée, en faisant varier les niveaux logiques de ces signaux d'entrée et d'horloge. Les résultats recensés dans le tableau 4-3 montrent que la capacité  $C_{critpath}$  extraite entre  $VDD$  et  $VSS$  reste inchangée et égale à 2,24 pF quelque soit l'état des signaux d'entrée et d'horloge de la cellule. Bien qu'il existe un effet résistif à basse fréquence, nous le considérons comme négligeable puisque le domaine de validité de notre modèle est défini entre 1 MHz et 1 GHz.

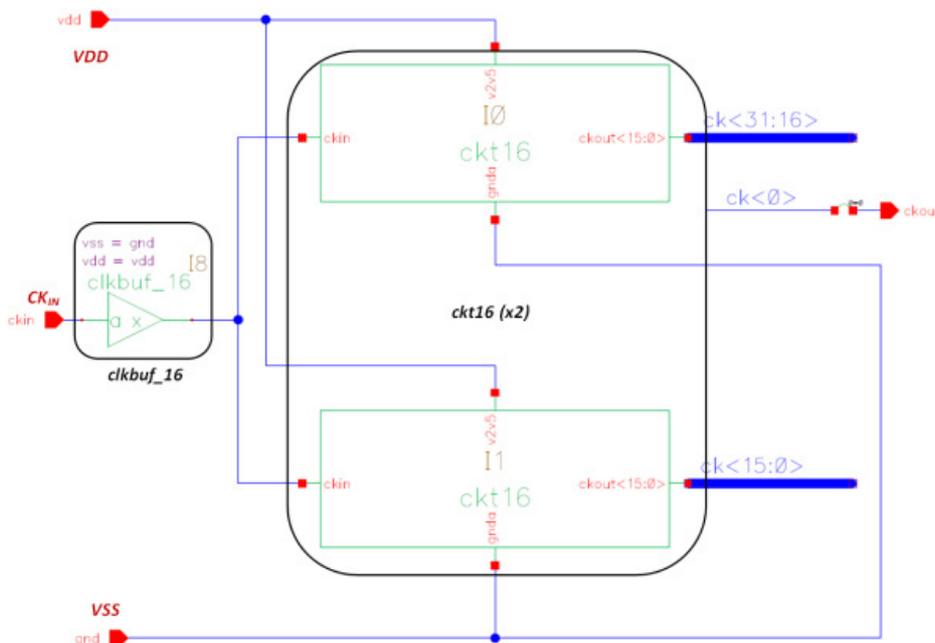


**Tableau 4-3 : Analyses AC de la cellule « critpath »**

*b. Impédance de la cellule « cktree »*

Réalisé sur 4 étages, l'arbre d'horloge « cktree » compte 32 ramifications finales chargées par des inverseurs « inv16 » (figure 4-12 à 4-14). Chacune de ces branches est constituée de buffers « clkbuf\_16 » non-inverseurs. Au total, la cellule « cktree » est composée de 43 buffers « clkbuf\_16 » et de 32 inverseurs « inv\_16 ». Pour réduire le bruit de commutation des buffers sur l'alimentation VDD, plusieurs capacités de découplage « decap\_6 » ont également été distribuées dans l'architecture de l'arbre d'horloge.

Le tableau 4-4 donne les valeurs des composantes capacitives extraites des analyses AC effectuées sur la cellule « cktree », en fonction du niveau logique du signal d'horloge ck<sub>IN</sub>. La capacité C<sub>cktree</sub> est égale à 4,82 pF pour un niveau bas et à 4,97 pF pour un niveau haut. Malgré cette faible variation, nous pouvons en conclure que l'influence du signal d'horloge ck<sub>IN</sub> sur la capacité équivalente de la cellule « cktree » extraite entre VDD et VSS est négligeable.



**Figure 4-12 : Arbre d'horloge « cktree »**

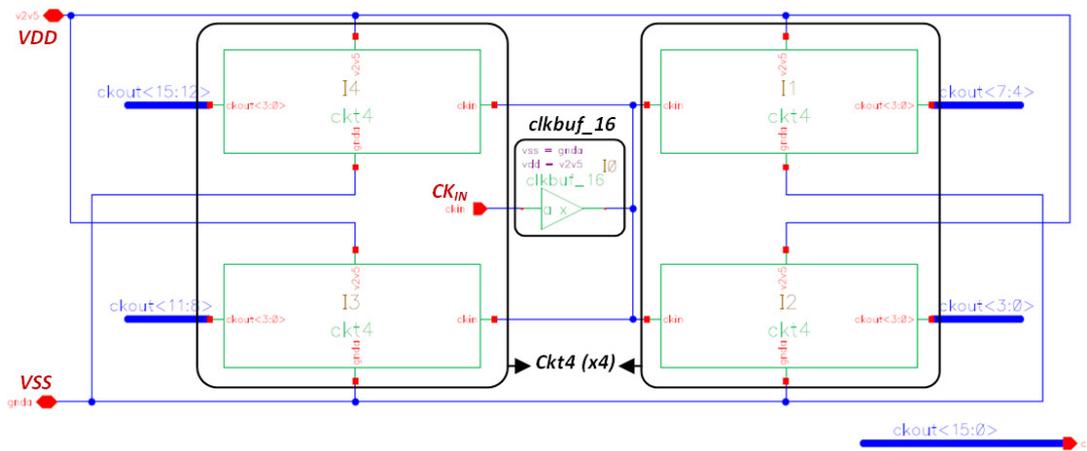


Figure 4-13 : Cellule « ckt16 » intégrée dans « cktree »

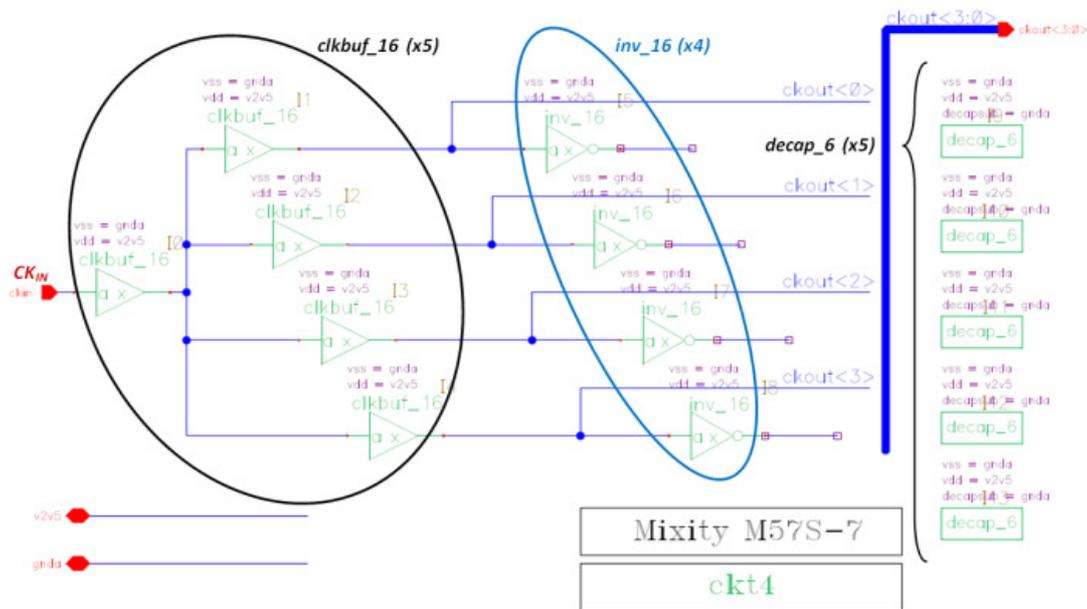


Figure 4-14 : Cellule « ckt4 » intégrée dans « cktree »

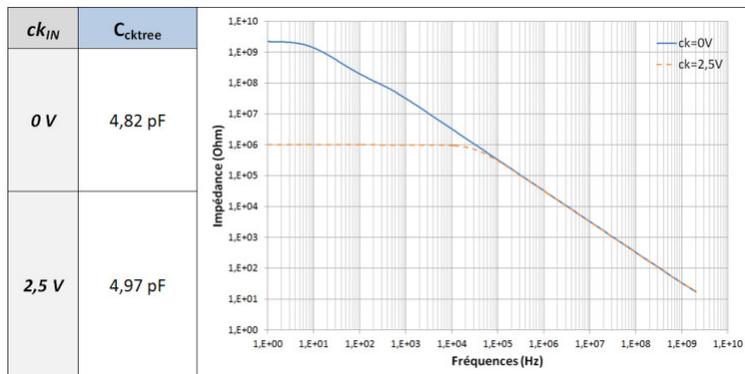


Tableau 4-4 : Analyses AC de la cellule « cktree »

c. Impédance de la cellule « *noisegen25* »

Le générateur de bruit « *noisegen25* » a spécifiquement été conçu pour étudier les couplages substrat en évaluant les niveaux de bruit induits par les commutations des buffers véhiculés sur l'alimentation *VDD*. Semblable à celle de l'arbre d'horloge, son architecture est établie sur 4 étages. Son nombre de branches finales est de 96, faisant un total de 129 buffers « *clkbuf\_16* » et de 96 inverseurs « *inv16* » (figure 4-15 à 4-17).

Le tableau 4-5 donne les résultats des analyses AC réalisées sur la cellule « *noisegen25* » en fonction du niveau logique du signal  $ck_{IN}$ . Les capacités  $C_{noisegen25}$  extraites de ces analyses sont égales à 14,5 pF lorsque  $ck_{IN}$  est à un niveau bas et à 14,9 pF lorsque  $ck_{IN}$  est au niveau haut. Au vue de cette faible variation, nous établissons le même constat que les études précédentes, à savoir que le niveau logique de l'horloge a très peu d'influence sur la capacité équivalente de la cellule « *noisegen25* » extraite entre *VDD* et *VSS*.

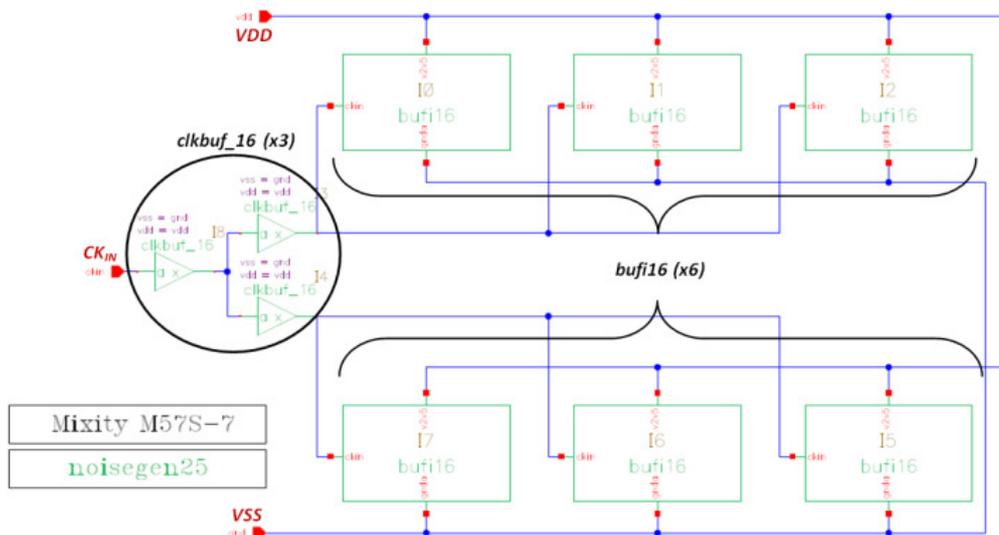


Figure 4-15 : Générateur de bruit « *noisegen25* »

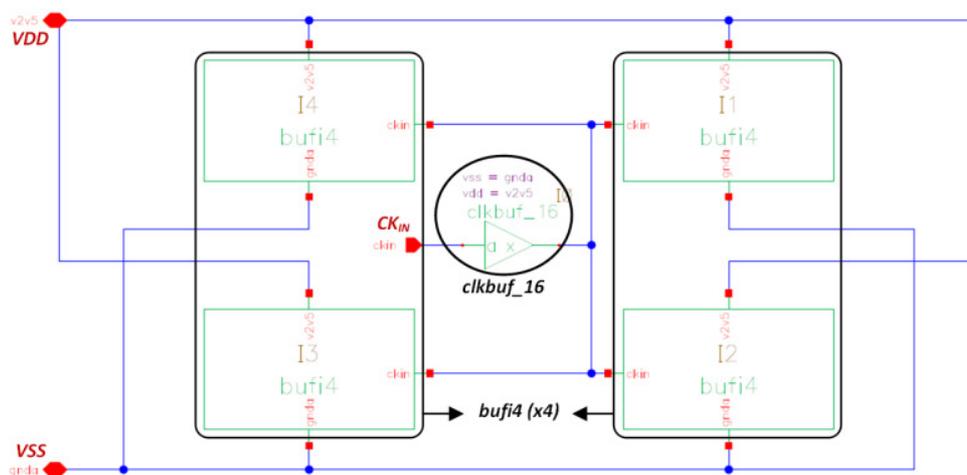


Figure 4-16 : Cellule « *bufi16* » intégrée dans « *noisegen25* »

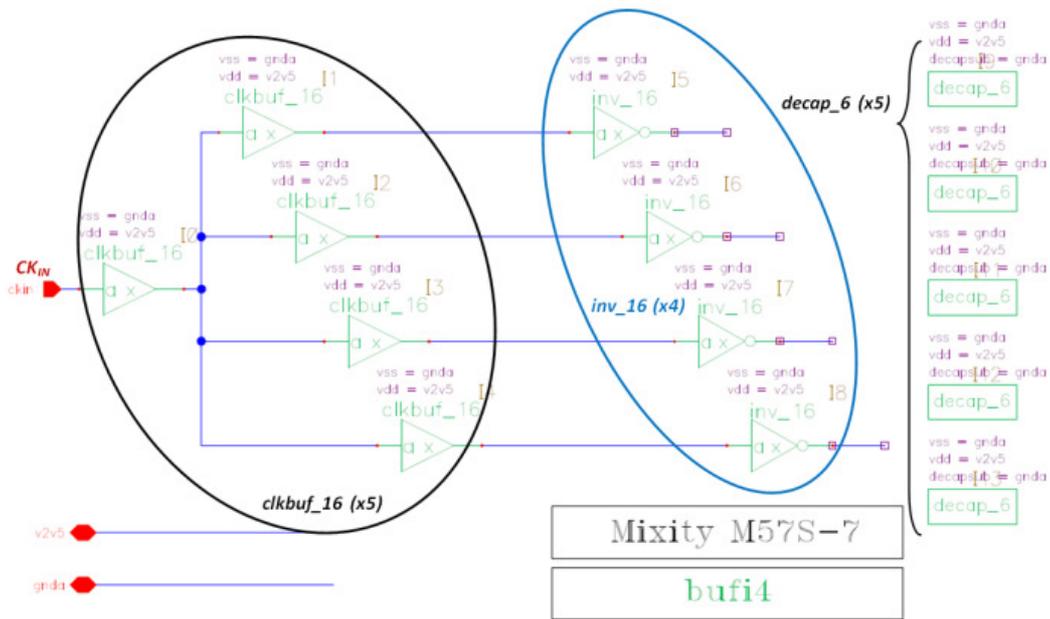


Figure 4-17 : Cellule « bufi4 » intégrée dans « bufi16 »

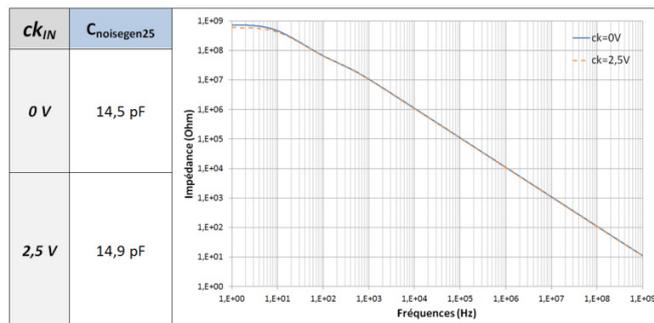


Tableau 4-5 : Analyses AC de la cellule « noisegen25 »

d. Impédance de la cellule « digcore1 »

La capacité équivalente du cœur « digcore1 » entre VDD et VSS peut être déduite théoriquement à partir des composantes capacitives extraites des analyses AC précédentes. Pour calculer la valeur de  $C_{digcore1}$ , nous utilisons l'équation 4-2, où  $n_{critpath}$  et  $n_{noisegen25}$  sont respectivement le nombre de cellules « critpath » et « noisegen25 » intégrées dans la cellule « digcore1 ». Pour rappel, le cœur « digcore1 » est composé de 2 cellules « critpath », 4 générateurs de bruit « noisegen25 » et d'un arbre d'horloge « cktree ».

$$C_{digcore1} = n_{critpath} \times C_{critpath} + n_{noisegen25} \times C_{noisegen25} + C_{cktree} \quad \text{Equation 4-2}$$

Le tableau 4-6 donne les valeurs de  $C_{digcore1}$  déduites de cette équation et d'analyses AC effectuées sur la cellule « digcore1 », en fonction des niveaux logiques des signaux d'entrée  $data_{IN}$  et d'horloge  $ck_{IN}$ . Contrairement aux valeurs des capacités extraites par analyses AC, nous observons une variation d'environ 2 pF des capacités extraites par calcul selon le niveau logique du signal d'horloge. Par conséquent, nous pouvons

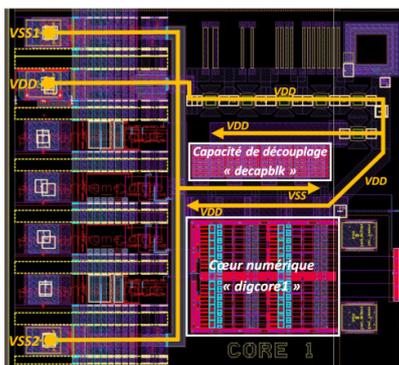
en conclure que le modèle d'impédance d'un cœur constitué d'une chaîne de buffers suivie d'une bascule D de type *Flip Flop* peut être défini par l'analyse AC de sa cellule polarisée, avec une erreur inférieure à 3%. Cette erreur étant négligeable, nous retiendrons que la capacité équivalente à la cellule « *digcore1* » entre *VDD* et *VSS* est égale à 67,3 pF.

Niveaux logiques des signaux d'entrée (état '0' = 0V, état '1' = 2,5V)		Impédance « <i>digcore1</i> » déduite par analyses AC de chaque bloc	Impédance « <i>digcore1</i> » déduite par analyses AC globales
<i>data<sub>IN</sub></i>	<i>ck<sub>IN</sub></i>	$C_{digcore1-analyses\ AC}$	$C_{digcore1-analyses\ AC\ globales}$
0	0	67,3 pF	67,19 pF
0	1	69,05 pF	67,35 pF
1	0	67,3 pF	67,28 pF
1	1	69,05 pF	67,44 pF

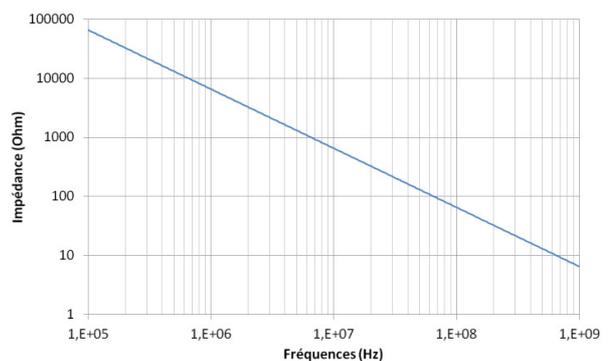
**Tableau 4-6 : Impédance équivalente à « *digcore1* » entre *VDD* et *VSS***

### 3.1.2.2. Impédance de la capacité de découplage « *decapblk* »

Comme le montre le *layout* illustré figure 4-18, l'alimentation du cœur numérique est protégée par une capacité de découplage « *decapblk* » constituée de 592 capacités MOS « *decap\_6* » de 133 fF, fixant sa valeur nominal à 78,7 pF. Sachant que la valeur d'une capacité MOS varie en fonction de sa polarisation [SICARD05], nous réalisons une analyse AC d'une cellule « *decapblk* » polarisée entre *VDD* et *VSS*. Les résultats de cette analyse (figure 4-19) montrent que la valeur de la capacité de découplage est réduite à 24,39 pF lorsque celle-ci est polarisée. Par conséquent, nous retiendrons uniquement cette valeur pour modéliser le réseau de distribution passif du cœur numérique puisque notre objectif est de développer un modèle de notre circuit en fonctionnement.



**Figure 4-18 : Layout du cœur numérique**



**Figure 4-19 : Analyse AC de la cellule « *decapblk* »**

### 3.1.2.3. Couplage substrat du cœur numérique

#### a. Mécanismes et modélisation du couplage substrat

Les perturbations électromagnétiques peuvent se propager dans le substrat d'un circuit selon trois régimes différents, en fonction de leur fréquence : le régime quasi-statique (substrat résistif), le régime quasi-diélectrique

(comportement capacitif : jonction PN) et le régime hautes-fréquences (variation de la résistivité du substrat en fonction de la fréquence : effet de peau) [VALORGE06]. La propagation à travers le substrat de courants et de tensions parasites, respectivement induits par de forts champs électriques et par le bruit d'alimentation, dépendent ainsi des caractéristiques technologiques et du layout du circuit intégré. Pour minimiser ces mécanismes de couplage, il existe plusieurs moyens d'isolation tels que les anneaux de garde [PARTHASARATHY02], les couches enterrées [ARAGONES99] ou encore les caissons d'isolation [BLALACK02].

Différentes méthodes de modélisation ont été développées pour étudier au mieux les mécanismes de couplage à travers le substrat d'un circuit intégré. Les trois principales techniques identifiées sont : les méthodes par éléments finis telle que celle intégrée dans CADENCE [QRC], les méthodes numériques basées sur la résolution des équations de Poisson [VERGHESE93] ou sur l'utilisation des fonctions de Green [GHARPUREY96] et les méthodes d'approximation basées sur le principe de superposition [MILIOZZI96], sur un diagramme de Voronoi [WEMPLE95] ou encore sur des expressions empiriques déterminant les composantes résistives du substrat [SU93].

De plus, pour simplifier la caractérisation de la propagation des courants et des tensions parasites dans le substrat, il est au-préalable nécessaire de poser certaines conditions [CLEMENT03]. Premièrement, les jonctions liées aux caissons doivent toujours être polarisées en inverse afin d'éviter d'éventuels court-circuits au niveau des alimentations. Les réactions et autres comportements spécifiques aux semiconducteurs ne doivent également pas être pris en compte (couche d'inversion, zone de déplétion, effet de « *latch-up* », etc.). Enfin, les effets inductifs doivent être négligés en considérant que la longueur d'onde maximale est nettement inférieure à la taille du circuit. Les propriétés résistives et capacitives du substrat sont ainsi les seules caractéristiques considérées pour modéliser le couplage de bruit dans cette structure.

#### b. Modélisation du substrat

Pour tenir compte d'éventuelles fuites de courants parasites à travers le substrat, nous allons identifier les principales composantes résistives et capacitives de la structure de notre circuit pouvant avoir une influence sur la propagation du bruit couplé à l'alimentation du cœur numérique.

Développé en technologie SMOS8MV<sup>®</sup>, le substrat du circuit MIXITY est constitué d'une couche de silicium faiblement dopé  $P_{\text{épi}}$  déposée par épitaxie sur un *wafér* fortement dopé  $P^+$  (figure 4-20). Si nous supposons que les lignes de courant sont unidirectionnelles et verticales, le courant se propage alors à travers les résistances  $R_{\text{épi}}$  et  $R_{\text{sub}}$  associées en série. La résistivité de chaque couche étant proportionnelle à leur niveau de dopage [SIN99], nous considérons que la valeur de la résistance  $R_{\text{épi}}$  est prépondérante à celle de la résistance  $R_{\text{sub}}$ .

Les inverseurs inclus dans le cœur « *digcore1* » sont conçus de manière standard et ne sont pas isolés électriquement par des couches enterrées de type N et des anneaux de garde. Les transistors NMOS polarisés par  $V_{SS}$  sont intégrés dans des puits  $P_{\text{well}}$  fortement dopé. Les transistors PMOS polarisés par  $V_{DD}$  sont réalisés dans des caissons  $N_{\text{well}}$  dont la propriété isolante est relativement faible. Etant donné les

caractéristiques de ces structures, l'effet des couplages capacitifs induits par les jonctions  $P_{well}-N_{well}$  peut être considéré dans le modèle du substrat par une capacité nommée  $C_{N-well}$ .

La vue en coupe de la structure montre par ailleurs que la couche  $P^+$  de la puce (équivalente à une équipotentielle) et le plan de masse du circuit imprimé sont en vis-à-vis et séparés par divers matériaux non-conducteurs (oxyde, colle, air, etc.). Par conséquent, une capacité  $C_{SUB-PCB}$  résultante du couplage entre ces deux éléments peut également être considérée dans le modèle.

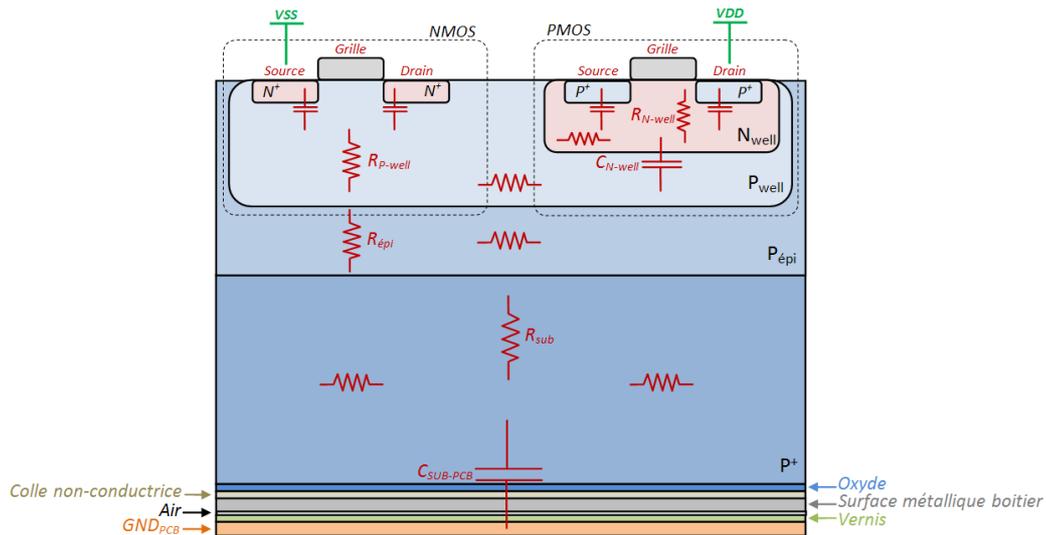


Figure 4-20 : Vue en coupe du substrat du circuit Mixity

Bien que chaque cœur numérique ait sa propre paire d'alimentation, leurs plots de masse sont tous connectés à la couche d'épithaxie  $P_{épi}$  (figure 4-21). Selon [CLEMENT03], lorsque la distance entre 2 plots/contacts est inférieure à 4 fois l'épaisseur de la couche d'épithaxie, le courant passe aussi bien par la couche dopée  $P_{épi}$  que par la couche fortement dopée  $P^+$ . Sachant que l'épaisseur de la couche d'épithaxie est de  $3,6 \mu m$ , et que la distance entre deux plots est d'environ  $150 \mu m$ , le chemin de couplage entre deux plots de masse peut alors être modélisé par le schéma électrique illustré figure 4-22. Ces composantes résistives connectées aux plots  $VSS$  compléteront ainsi le modèle de couplage « substrat » que l'on introduira dans le modèle de notre circuit.

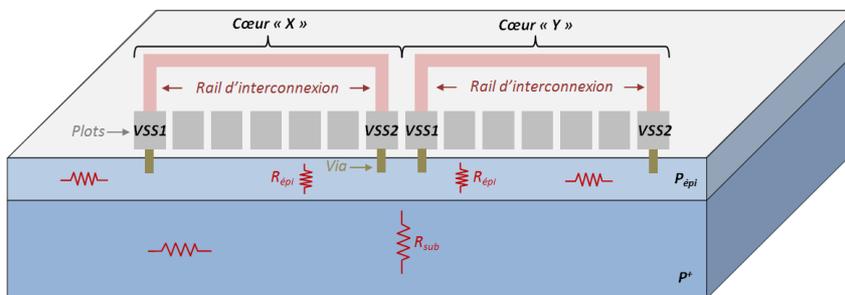


Figure 4-21 : Connexions au substrat des plots VSS

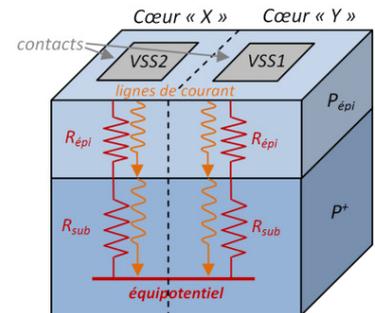
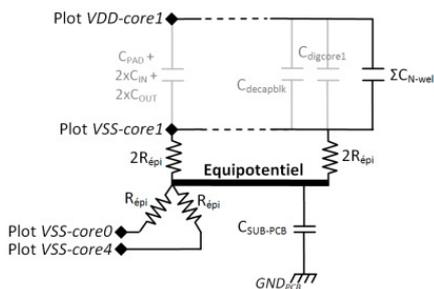


Figure 4-22 : Modèle électrique plot/substrat

Cette structure faiblement isolée augmente donc la possibilité que les courants parasites puissent être véhiculés au substrat par différents chemins de couplages. Suite à cette étude, nous proposons de considérer uniquement les composantes  $C_{N-well}$ ,  $R_{épi}$  et  $C_{SUB-PCB}$  pour modéliser le couplage « substrat », comme l'illustre le schéma électrique de la figure 4-23. Les valeurs de ces éléments résistifs et capacitifs recensées dans le tableau 4-7 ont été déduites par approximations et par plusieurs mesures (mesures *DC* et d'impédance) réalisées entre les broches d'alimentation du circuit. La résistivité de la couche épitaxiée est modélisée par deux résistances égales à  $2R_{épi}$  entre  $VSS_{core1}$  et le nœud équipotentiel, afin que son effet résistif soit distribué sur le modèle électrique de l'interconnexion  $VSS_{core1}$ .



Eléments	Valeurs
$\Sigma C_{N-well}$	28 pF
$R_{épi}$	5 $\Omega$
$C_{SUB-PCB}$	800 pF

Figure 4-23 : Modèle de couplage substrat

Tableau 4-7 : Composantes du modèle de couplage substrat

### 3.1.2.4. Modèle des rails d'alimentation

La paire d'alimentation *VDD/VSS* du bloc numérique est véhiculée dans le circuit par plusieurs interconnexions routées à différents niveaux de métallisation. Afin d'inclure l'effet de ces rails dans notre modèle, nous allons calculer les valeurs des composantes inductives et résistives de chaque tronçons d'interconnexions compris entre les plots d'alimentation et le cœur numérique (figure 4-24). Les effets capacitifs des rails seront négligés car l'influence des capacités  $C_{decapblk}$ ,  $C_{digcore1}$  et  $C_{N-well}$  associées en parallèle est prépondérante entre 1 MHz et 1 GHz.

Plot VDD	R E/S	Tronçon 1 Métal 1	Tronçon 2 Métal 3	Tronçon 3 Métal 4	Tronçon 4 Métal 4	Tronçon 5 Métal 4	Tronçon 6 Métal 3
	$C_{PAD} + 2XC_{IN} + 2XC_{OUT}$					Métal 3 Cdecapblk	Cdigcore1
Plot VSS1	R E/S	Tronçon 1 Métal 1	Tronçon 2 Métal 2	Tronçon 3 Métal 2	Tronçon 4 Métal 4	Tronçon 5 Métal 4	

Figure 4-24 : Schéma des interconnexions *VDD/VSS*

$$L_{rail} (H) = \frac{\mu_0 \mu_r}{2\pi} \times L \times \ln \left( \frac{8h}{w} + \frac{w}{4h} \right)$$

Equation 4-3

Les valeurs des résistances et des inductances d'interconnexions sont respectivement déduites des équations 4-1 et 4-3, où  $R_{carré}$  est la résistance par carré du métal,  $\mu_r$  est la perméabilité du métal ( $= 1,257 \cdot 10^{-6}$  H/m),  $\mu_0$  la perméabilité du vide,  $w$  la largeur du métal,  $L$  la longueur du conducteur et  $h$  sa hauteur par rapport au substrat. Le tableau 4-8 donne la valeur des éléments  $R_{rail}$  et  $L_{rail}$  pour chaque tronçon d'interconnexion.

		Métal		Géométries des conducteurs			Composantes Modèle	
		Niveau	$R_{carré} (m\Omega)$	L	W	h	$R_{rail} (m\Omega)$	$L_{rail} (nH)$
VDD	T1	1	82,5	230	35	1,55	542	0,08
	T2	3	59	72,69	49	4,05	87,5	0,02
	T3	4	14	574	28,03	5,55	287	0,12
	T4	4	14	126,73	53,6	5,55	33	0,03
	T5	4	14	210	53,6	5,55	55	0,05
	T6	3	59	455	63	4,05	426	0,13
VSS	T1	1	82,5	230	35	1,55	542	0,08
	T2	2	54	63	35	2,55	97	0,02
	T3	2	54	471	35	2,55	727	0,13
	T4	4	14	126,73	53,6	5,55	33	0,03
	T5	4	14	210	53,6	5,55	55	0,05
VDD/C <sub>decapblk</sub>		3	59	455	63	4,05	426	0,13

Tableau 4-8 : Composantes résistives et inductives des interconnexions

A partir des résistances et des inductances parasites calculées pour chaque tronçon d'interconnexion, nous en déduisons le schéma électrique illustré figure 4-25.

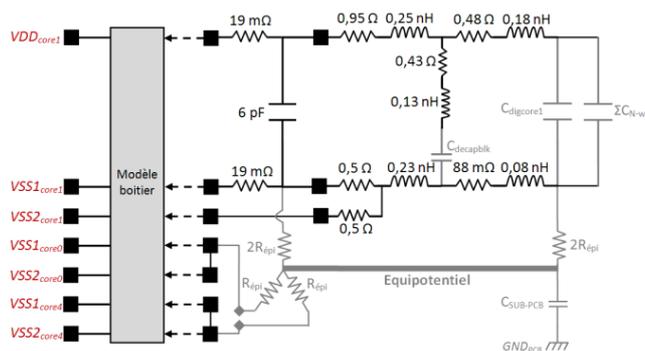


Figure 4-25 : Modèles électriques des interconnexions

### 3.1.3. Modèle du Boîtier

Le circuit MIXITY est monté dans un boîtier TQFP de 128 broches (figure 4-26). Le modèle électrique de ce boîtier est développé à partir de l'outil d'extraction proposé dans le logiciel IC-EMC [ICEMC]. Basé sur la méthode PEEC, cet outil délivre la valeur des composantes inductives, résistives et capacitives de chaque broche du boîtier, à partir de ses principales caractéristiques telles que ses dimensions, l'espace entre chaque broche, le diamètre des fils de *bondings*, la géométrie du *PCB*, etc.

Les figures 4-27 et 4-28 illustrent les schémas électriques des broches  $VDD_{core1}$ ,  $VSS1_{core1}$ ,  $VSS2_{core1}$ ,  $VSS1_{core0}$ ,  $VSS2_{core0}$ ,  $VSS1_{core4}$  et  $VSS2_{core4}$  qui alimentent les blocs numériques du circuit MIXITY. Les couplages capacitifs et inductif entre chaque broche sont respectivement modélisés par une capacité  $C_{coupling}$  et un facteur  $K_{coupling}$  exprimé par l'équation 4-4, où  $M_{1,2}$  est la mutuelle d'inductance existant entre deux éléments inductifs  $L_1$  et  $L_2$ . Le tableau 4-9 donne les valeurs des composantes passives ( $R_{pkg}$ ,  $L_{pkg}$ ,  $C_{pkg}$ ) et des facteurs de couplages pour chaque broche du boîtier que nous considérerons dans le modèle du bloc numérique.

$$K_{coupling} = \frac{M_{1,2}}{\sqrt{L_1 L_2}}$$

Equation 4-4

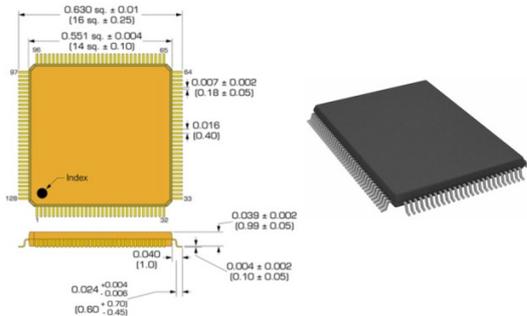


Figure 4-26 : Boîtier TQFP 128 broches

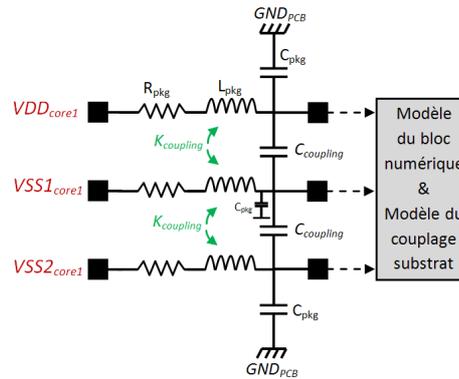


Figure 4-27 : Modèle électrique des broches

$VDD_{core1}$ ,  $VSS1_{core1}$  et  $VSS2_{core1}$

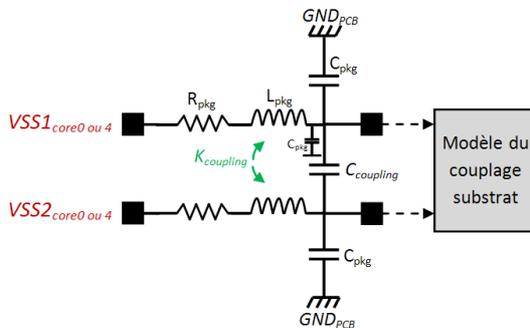


Figure 4-28 : Modèle électrique des broches

$VSS1_{core 0 \text{ ou } 4}$  et  $VSS2_{core 0 \text{ ou } 4}$

Broche	$R_{pkg}$ (mΩ)	$L_{pkg}$ (nH)	$C_{pkg}$ (fF)	$K_{coupling}$	$C_{coupling}$ (pF)
$VDD_{core1}$	240	5,3	237	0,3	0,15
$VSS1_{core1}$	250	5,5	238		
$VSS2_{core1}$	260	5,57	239	0,3	0,15
$VSS1_{core0}$	340	7	276	0,37	0,19
$VSS2_{core0}$	350	7,4	276		
$VSS1_{core4}$	268	5,7	245	0,3	0,15
$VSS2_{core4}$	257	5,5	237		

Tableau 4-9 : valeurs des éléments RLC du boîtier

### 3.2. Modélisation de l'environnement de tests d'immunité conduite

#### 3.2.1. Modèle de la source d'interférence

Le modèle de la source d'interférence n'est autre qu'un générateur de Thévenin dont les paramètres  $V_G$  et  $Z_G$  sont configurés en fonction des spécifications CEM et de la source de perturbation constituée d'un synthétiseur de signaux et d'un amplificateur RF. Le générateur de Thévenin utilisé pour nos simulations d'immunité est illustré figure 4-29. Celui-ci est composé d'une source de courant alternatif (*AC : Alternating Current*) et d'une résistance 50 Ω équivalente à l'impédance de sortie de l'amplificateur. La source de courant alternatif délivre des signaux sinusoïdaux d'amplitudes  $V_G$  dont les fréquences varient entre 1 MHz et 1 GHz.

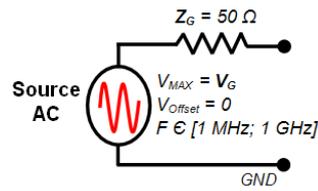


Figure 4-29: Générateur de Thévenin équivalent à la source de perturbation

La tension  $V_G$  dépend de la puissance incidente  $P_{INC}$  mesurée au wattmètre. Sachant que cette puissance est définie sur  $50 \Omega$  en fonction d'une tension efficace  $V_{INC-efficace}$ , la tension  $V_G$  du générateur peut alors être calculée à partir des équations 4-5 à 4-7.

$$P_{INC}(dBm) = 10 \log \left( \frac{P_{INC}(Watt)}{1.10^{-3}} \right) \quad \text{Equation 4-5}$$

$$V_{INC-efficace} = \sqrt{P_{INC}(Watt) \times 50} \quad \text{Equation 4-6}$$

$$V_G = V_{INC-efficace} \times \sqrt{2} \quad \text{Equation 4-7}$$

Bien que la puissance incidente soit mesurée en sortie de la source d'interférence constituée d'un synthétiseur de signaux et d'un amplificateur, nous considérons que la tension maximale délivrée par la source AC est égale à 56,2 V (valeur relative à  $P_{INCmax} = 45$  dBm). Après investigations, nous constatons effectivement que l'erreur induite en négligeant la chute de tension aux bornes de la résistance  $Z_G$  équivalente à l'impédance de sortie de l'amplificateur est négligeable au vu des niveaux de puissance que nous injectons.

### 3.2.2. Modèle du câble et de son connecteur RF

Le modèle du câble RF illustré figure 4-30 est déduit du profil d'impédance mesurée à l'analyseur de réseau. Comme nous avons pu le voir dans la partie 2.1.3 du chapitre 3, les pentes et les résonances mesurées donnent en effet des indications précises sur les valeurs des composantes linéiques d'un modèle discret. Pour définir ces valeurs, nous utilisons les équations 4-8 et 4-9 où  $Z_n$  est l'impédance,  $F_n$  la fréquence et  $F_{res}$  la fréquence de résonance.



Figure 4-30: Câbles RF

$$C_{câble} = \left( \frac{1}{(2 \times \pi \times \Delta Z)} \right) \times \left( \left( \frac{1}{F_2} \right) - \left( \frac{1}{F_1} \right) \right) \quad \text{Equation 4-8}$$

$$L_{câble} = \frac{1}{(C_{câble} \times (2 \times \pi \times F_{res})^2)} \quad \text{Equation 4-9}$$

Afin de prendre en compte le connecteur positionné sur le circuit imprimé (figure 4-31), nous mesurons l'impédance d'entrée du câble connecté au PCB, en ayant pris le soin de déconnecter les pistes qui sont en contact avec le port RF. Les valeurs des composantes linéiques  $L_{Câble}$  et  $C_{Câble}$  définies à partir du profil d'impédance mesurée entre 1 MHz et 1 GHz (figure 4-32) et des équations précédentes sont respectivement égales à 14 nH et 8,12 pF.

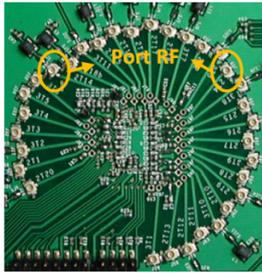


Figure 4-31: Ports RF positionnés sur le PCB

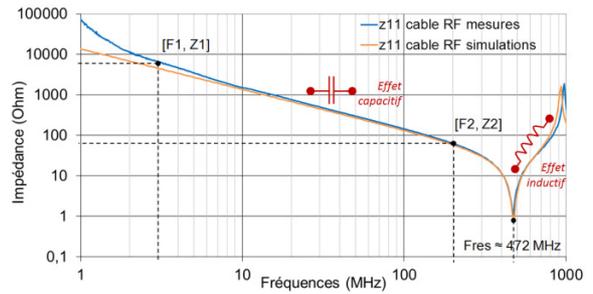


Figure 4-32: Impédance d'entrée du câble RF

Pour minimiser les phénomènes de propagation et ainsi développer un modèle discret valide jusqu'à 2 GHz, nous décidons de distribuer le modèle du câble de longueur  $l_{Cable}$  en une succession de cellules en «  $\pi$  » d'une longueur inférieure à  $\lambda/10$ . Sachant que la longueur du câble RF est de 95 mm, le nombre de cellules requis pour satisfaire nos conditions est de 7. Les composantes capacitives  $C_{Cell-\pi}$  et inductives  $L_{Cell-\pi}$  de chaque cellule sont donc respectivement égales à 1,16 pF et 2 nF. Pour améliorer la précision du modèle, une composante résistive  $R_{Cell-\pi}$  de 330 m $\Omega$  a été ajoutée à chaque cellule. Le modèle ainsi déduit est illustré figure 4-33. Les comparaisons mesures-simulations de la figure 4-32 montrent que ce modèle est doté d'une excellente précision jusqu'à 1 GHz qui est la fréquence maximale de notre domaine de validité.

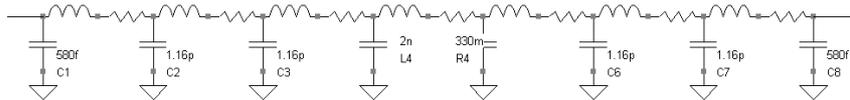


Figure 4-33: Modèle discret du câble RF connecté au PCB

### 3.2.3. Modèle du système d'injection

Dans le chapitre 3, nous avons présenté différentes méthodes pour modéliser les systèmes d'injection *DPI* et *BCI*. Nos investigations ont montré que les modèles discrets et « N-port » étaient les plus appropriés pour simuler respectivement des injections par couplage capacitif et inductif sur charges passives. Nous allons donc désormais utiliser ces méthodes pour modéliser les systèmes d'injection *DPI* et *BCI* utilisés lors de nos mesures d'immunité du circuit MIXITY. Les simulations que nous réaliserons à partir de ces modèles permettront notamment d'évaluer la précision de ces approches à simuler des injections sur circuit.

#### 3.2.3.1. Injection par couplage capacitif

Le système d'injection DPI utilisé lors de nos mesures est constitué d'une capacité  $C_{DPI}$  de 6,8 nF dont chaque extrémité est connectée à un port *SMA* (figure 4-34). Le modèle de ce système est déduit des matrices de paramètres  $Z[2;2]$  et  $S[2;2]$  mesurées entre chaque port. Les valeurs des composantes du modèle (figure 4-35) ainsi déduites sont :  $C_{DPI-model} = 6,5$  nF,  $L_{DPI-model} = 2$  nH et  $R_{DPI-model} = 45$  m $\Omega$ , où  $L_{DPI-model}$  et  $R_{DPI-model}$  traduisent les effets parasites des ports *SMA* et de la capacité  $C_{DPI}$ .



Figure 4-34: Système d'injection DPI



Figure 4-35: Modèle du système d'injection DPI

Les comparaisons mesures-simulations de l'amplitude des coefficients de réflexion et de transmission du système d'injection (figures 4-36 et 4-37) indiquent que le modèle *DPI* proposé est doté d'une précision très satisfaisante entre 1 MHz et 1 GHz. Ayant établi le même constat pour les phases de ces coefficients, nous en déduisons que la structure physique de ce système d'injection est correctement modélisé.

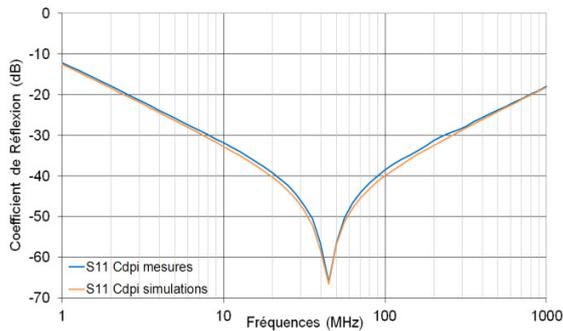


Figure 4-36: Coefficient de réflexion du modèle DPI

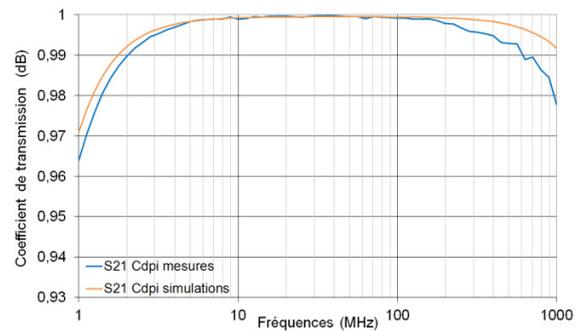


Figure 4-37: Coefficient de transmission du modèle DPI

### 3.2.3.2. Injection par couplage inductif

Les mesures *BCI* réalisées sur le circuit MIXITY sont asservies en boucle ouverte. En plus d'être composé d'une pince d'injection couplée à une paire de conducteurs torsadés, ce système est constitué de nombreux éléments pouvant avoir une influence sur le niveau de courant injecté au CST tels que la cage de Faraday, les RSIL, les câbles coaxiaux et RF ou encore la piste de *PCB* par laquelle la perturbation est véhiculée. Les éléments à modéliser étant nombreux, nous avons choisi de développer un modèle « *N-port* » de ce système d'injection. Pour cela, il a été nécessaire de positionner un connecteur *SMA* au plus proche de l'empreinte du CI afin de mesurer la matrice  $S[3;3]$  requise pour développer un tel modèle. Pour ne pas influencer les impédances du système mesurées, le circuit a été dessoudé du *PCB*. La caractérisation réalisée à l'analyseur de réseau s'est donc effectuée comme illustré figure 4-38. Les ports 1 (*P1*), 2 (*P2*) et 3 (*P3*) de l'analyseur ont respectivement été connectés à l'entrée de la pince d'injection, aux conducteurs d'alimentation et sur le port *SMA* connecté sur l'empreinte de la broche du CI agressé.

Le fichier *touchstone* (.s3p) résultant de cette mesure est ensuite importé dans notre environnement de simulation (*CADENCE*) et lié à une instance nommée « n3port ». Les paramètres *S* liés à cette instance étant mesurés dans le domaine fréquentiel, aucun signal continu ne peut être véhiculé entre les ports 2 et 3 équivalents aux extrémités de la paire torsadée. Par conséquent, un « *T* » de couplage a dû être inséré sur le port n°2 de l'instance pour qu'une perturbation puisse être convenablement couplée au signal continu alimentant un CST. Comme l'illustre la figure 4-39, les valeurs de ses composantes ont respectivement été fixées à 1 mF et 1 mH, de sorte à ce que leur présence n'ait aucune influence sur le niveau de perturbation véhiculé au CST.

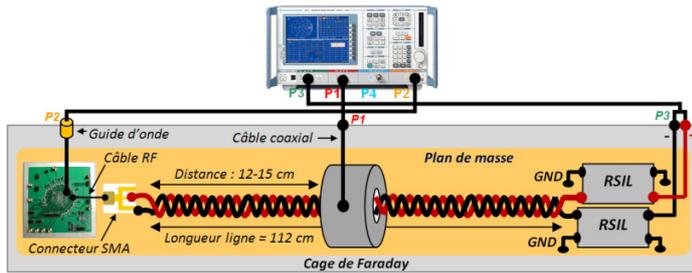


Figure 4-38: Caractérisation du système d'injection BCI

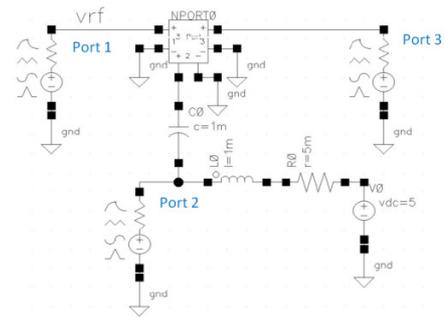


Figure 4-39: Modèle du système d'injection BCI

Pour s'assurer que ce « T » de couplage soit non-invasif, les coefficients de réflexion  $S_{11}$  et de transmission  $S_{21}$  du modèle ont été simulés avec et sans circuit LC. Les résultats de simulations illustrés figure 4-40 et 4-41 montrent que les amplitudes des impédances d'entrée et de transfert du modèle d'injection n'ont pas été influencées par la présence du circuit LC connecté au port n°2. Ayant établi le même constat pour la phase de chaque coefficient simulé, nous pouvons en conclure que le « T » de couplage inséré dans le modèle d'injection BCI n'aura aucune influence sur le niveau de courant véhiculé au CST.

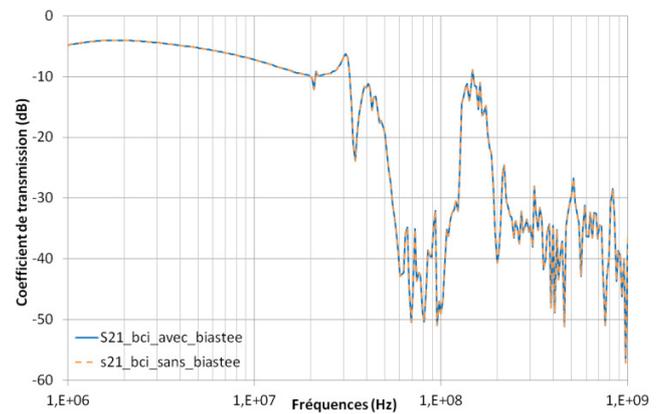
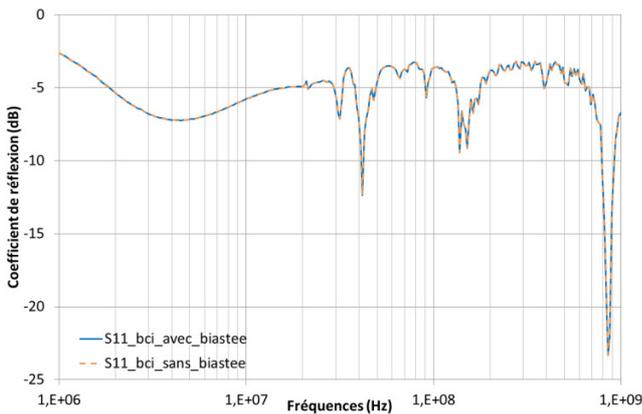


Figure 4-40: Coefficient de réflexion  $S_{11}$  du modèle BCI

Figure 4-41: Coefficient de transmission  $S_{21}$  du modèle BCI

Pour vérifier la fonctionnalité du modèle, nous évaluons désormais sa capacité à coupler un signal perturbateur de type sinusoïdal sur un signal continu alimentant une charge adapté  $50 \Omega$  (figure 4-42). Etant donné qu'aucun signal continu (DC : Direct Current en anglais) ne peut être transmis entre chaque port de l'instance « n3port », il n'est pas nécessaire d'introduire dans le schéma la source d'alimentation normalement positionnée sur le port n°3. Par ailleurs, sachant qu'une source de tension est similaire à un court-circuit lors de simulations AC, nous la remplaçons par une résistance de  $1 \text{ M}\Omega$  pour éviter de court-circuiter le port n°3 de l'instance « n3port » à la masse, et ainsi s'affranchir d'éventuels problèmes de convergences lors de nos simulations. Les signaux alternatifs et continus sont générés par des générateurs de Thévenin dont les principales caractéristiques sont :  $V_{Grf} = V_{RF} = 10 \text{ V}$ ,  $F_{RF} = 50 \text{ MHz}$ ,  $Z_{Grf} = Z_{RF} = 50 \Omega$ ,  $V_{Gdc} = V_{DC} = 5 \text{ V}$  et  $Z_{Gdc} = Z_{DC} = 5 \text{ m}\Omega$ . Les signaux mesurés lors des simulations sont la tension  $V_{rf}$  présente en sortie de la source d'interférence et la tension  $V_{load}$  aux bornes de la charge résistive alimentée par le signal continu.

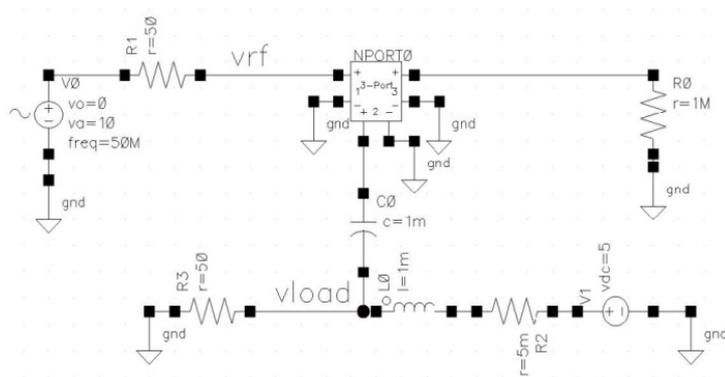


Figure 4-42: Schéma équivalent d'une injection BCI sur 50 Ω

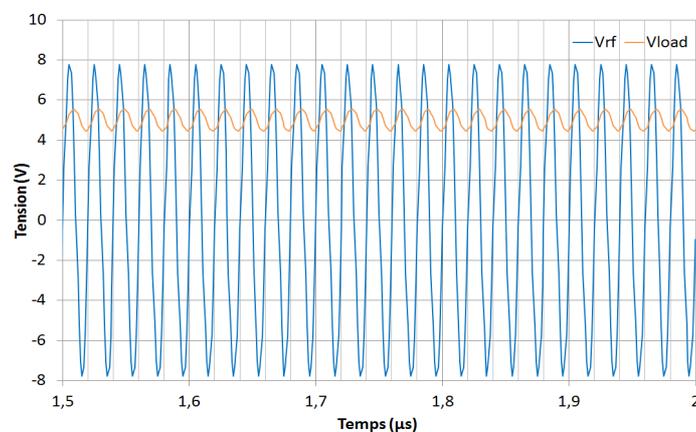


Figure 4-43: Simulation d'Injection BCI d'un signal sinusoïdale sur alimentation continue

Les résultats illustrés figure 4-43 montrent que le signal sinusoïdal mesuré aux bornes de la charge a une composante continu de 5 V et une fréquence de 50 MHz. La fonctionnalité du modèle BCI est donc valide pour simuler les tests d'immunité du circuit MIXITY, puisque le modèle proposé a la capacité de coupler un signal perturbateur sur un signal continu.

### 3.2.4. Modèle du circuit Imprimé

Le circuit MIXITY est monté sur un PCB de type FR4 contenant 4 couches. La figure 4-44 illustre le modèle électrique de la carte. Ce modèle inclut les principaux éléments du circuit imprimé pouvant avoir une influence sur les signaux transmis au CST, tels que les composants de découplage, les pistes et les plans d'alimentation. Les modèles d'inductance « *choke* » et de capacité de découplage ont été déduits de leurs impédances mesurées à l'analyseur de réseau. Les pistes et les plans d'alimentation ont été modélisés à l'aide des outils d'extraction présentés dans le chapitre précédent, pour un domaine de validité fréquentiel compris entre 1 MHz et 1 GHz.

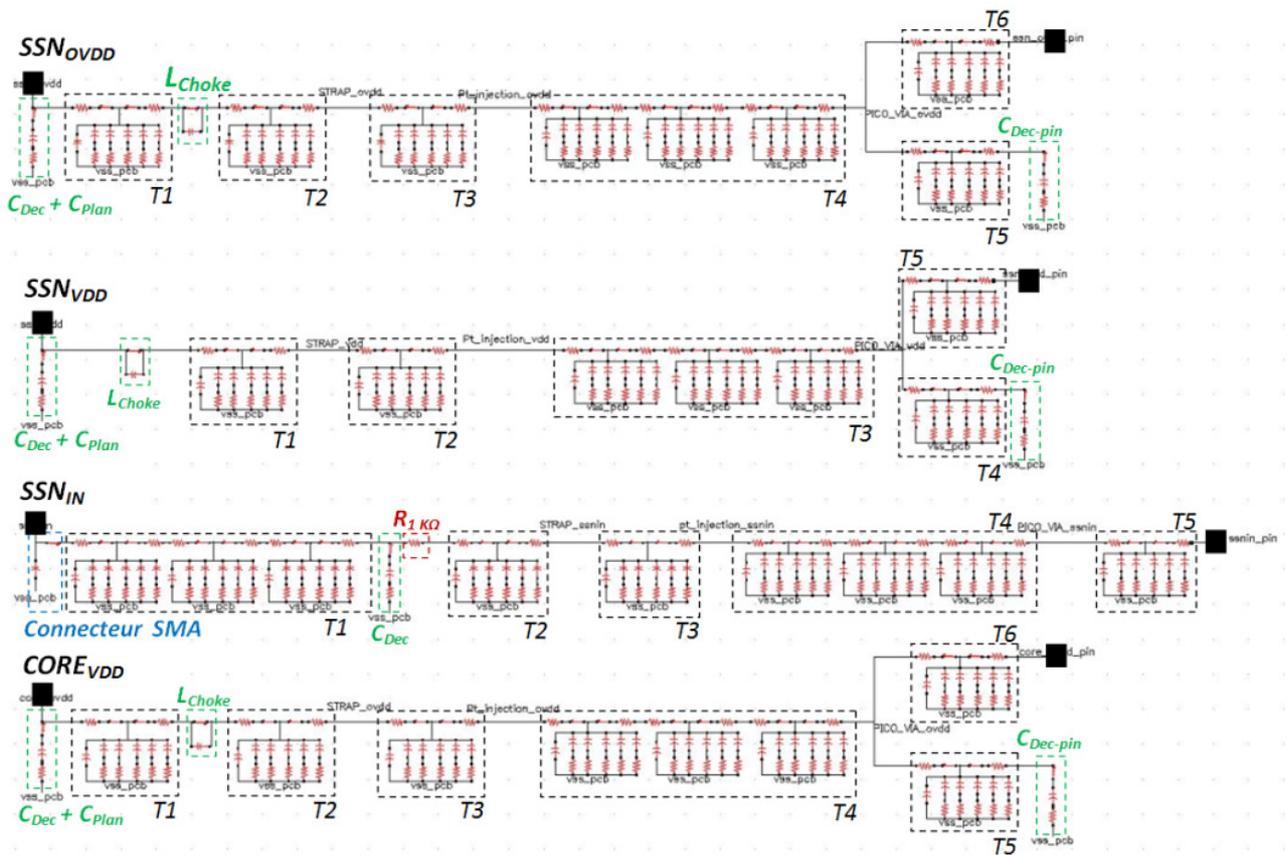


Figure 4-44 : Modèle électrique du circuit imprimé

A titre d'exemple, le tableau 4-10 donne les valeurs des composantes discrètes par cellule pour chaque tronçon de piste  $T_{(n)}$  du chemin «  $CORE_{VDD}$  ». Ces données ont été calculées à partir des caractéristiques physiques extraites du *layout* du PCB disponible à l'annexe 1. Les valeurs des composantes  $C_{Dec+Plan}$ ,  $C_{Dec-pin}$  et  $L_{Choke}$  calculées à partir des profils d'impédance sont recensées dans le tableau 4-11.

Signal		$R_{piste}$ ( $m\Omega$ )	$L_{piste}$ ( $nH$ )	$C_{\infty}$ ( $pF$ )	$C$ ( $fF$ )	$R_1$ ( $M\Omega$ ) ( $R_{k+1}=R_1/10^k$ )
$CORE_{VDD}$	T1	4,34	1,26	0,16	5,98	2,65
	T2	4,22	1,23	0,16	5,82	2,73
	T3	9,35	2,72	0,35	12,9	1,23
	T4	3,93	1,79	0,55	19,96	7,97
	T5	8,31	1,74	0,15	5,46	2,91
	T6	14,6	3,07	0,26	9,64	1,65

Tableau 4-10 : Composantes discrètes de la ligne  $CORE_{VDD}$

Composant de découplage		$C_{Dec+Plan}$	$L_{Choke}$	$C_{Dec-pin}$
Modèle discret	R	100 $m\Omega$	/	100 $m\Omega$
	L	1 $nH$		925 $nH$
	C	800 $nF$	1 $pF$	98 $nF$

Tableau 4-11 : Modèles électrique des composants de découplage

## 4. Estimation des niveaux de bruits injectés en mode conduit sur un CI

### 4.1. Objectifs

Dans le but de valider le flot de modélisation proposé dans la partie 2.2, nous allons caractériser par simulations les niveaux de puissance à injecter par couplages capacitifs et inductifs, pour faire fluctuer de 10% les tensions d'alimentations du bus d'E/S et du bloc numérique de MIXITY. En plus d'évaluer les précisions de nos modèles, les comparaisons que nous allons réaliser entre les simulations et les différentes mesures effectuées sur ces blocs (chapitre 2) nous permettront d'approfondir nos connaissances sur les mécanismes de couplage du bruit à l'intérieur du circuit.

Nous évaluerons ensuite l'outil de prédiction présenté dans le chapitre 3 à partir de notre véhicule de test. Pour cela, nous allons comparer les mesures *DPI* et *BCI* effectuées sur le circuit aux diverses prédictions déduites des gains en tensions  $G_{V-DPI}$  et  $G_{V-BCI}$ . En fonction des résultats que nous obtiendrons, nous discuterons enfin de l'intérêt d'intégrer cet outil dans notre environnement de simulation.

### 4.2. Simulation d'injections *DPI* et *BCI* sur un circuit intégré

#### 4.2.1. Agression d'un bus d'E/S par *DPI* et *BCI*

##### 4.2.1.1. Présentation des modèles d'injections complets

Les modèles complets permettant de simuler des injections de type *DPI* et *BCI* sur l'alimentation du bus d'E/S de MIXITY sont respectivement illustrés figures 4-45 et 4-46. Principalement développés à partir des outils d'extraction et des méthodes de modélisation présentées dans le chapitre 3, ces modèles intègrent le bloc « *SSNIO* » disponible dans la librairie de notre environnement de simulation. Ce bloc est constitué de deux entrées d'alimentation ( $OVDD_{SSNIO}$  et  $VDD_{SSNIO}$ ), d'un bloc d'entrée et d'un bus de huit sorties. L'instance « *SSNIO* » est équivalente à un modèle à l'échelle transistor du bus d'E/S auquel nous avons ajouté, par extraction RC, les éléments parasites résistifs et capacitifs des interconnexions.

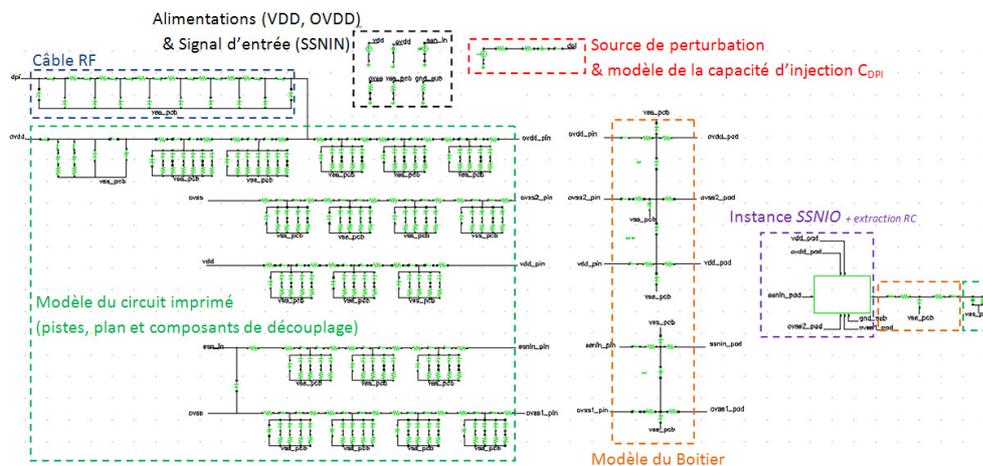


Figure 4-45 : Modèle d'injection *DPI* sur le bus d'E/S du circuit MIXITY

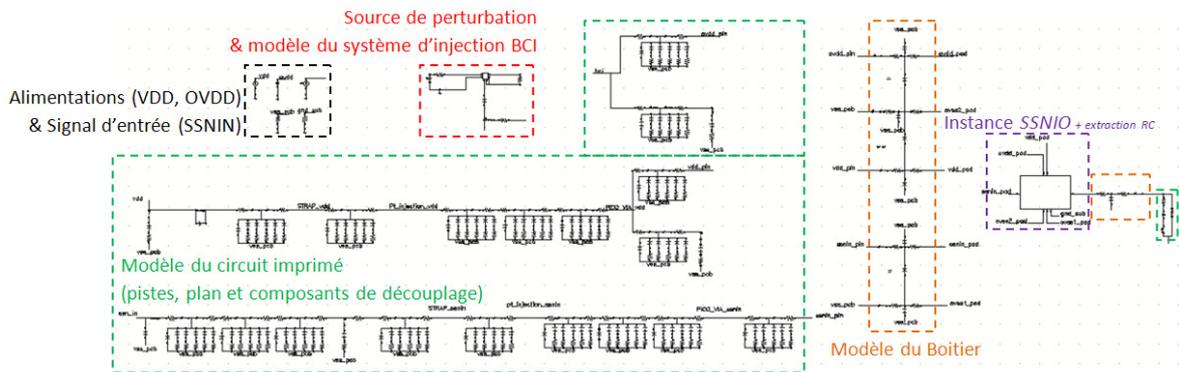


Figure 4-46 : Modèle d'injection BCI sur le bus d'E/S du circuit MIXITY

4.2.1.2. Résultats de simulations des modèles d'injection sur un bus d'E/S

a. Injection de bruits par DPI

Comme l'illustre la figure 4-47, les résultats de simulation DPI corrént bien aux mesures internes effectués sur notre circuit avec une erreur inférieure à 5 dB jusqu'à 1 GHz. Nous pouvons donc en conclure que les méthodes de modélisation et les outils d'extraction proposés sont efficaces pour caractériser le bruit injecté par couplage capacitif sur un bus d'E/S. Nous en déduisons par ailleurs qu'un bloc sensible peut être modélisé à l'échelle transistor si son architecture n'est pas trop complexe puisque le temps requis pour simuler l'injection d'une perturbation sur le bloc « SSNIO » est de quelques minutes seulement, et ce quelque soit la fréquence du signal perturbateur.

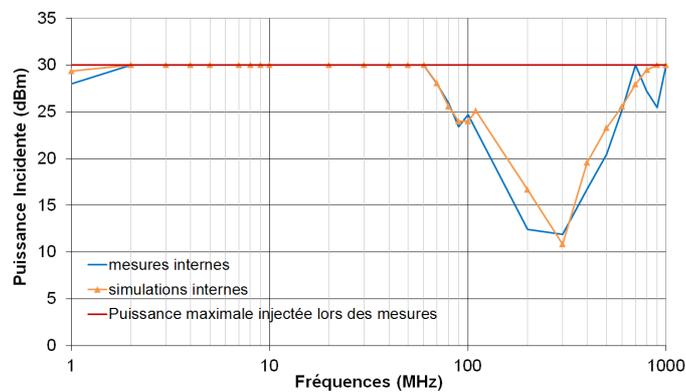


Figure 4-47 : Simulation DPI sur un bus d'E/S

b. Injections de bruits par BCI

En observant les résultats de simulations BCI illustrés figure 4-48, il est nécessaire d'être très prudent quant aux conclusions que nous pourrions tirer. En effet, malgré l'excellente corrélation mesures-simulations observée à basses fréquences, nous notons des écarts significatifs à partir de 30 MHz. Nous pourrions alors imaginer que les modèles proposés ne soient pas suffisamment efficaces pour estimer précisément le niveau de bruit véhiculé par couplage inductif sur le rail d'alimentation du bus d'E/S.

Cependant, comme nous l'avons vu dans le chapitre 2, il y a de fortes chances pour que les résultats de mesures *BCI* aient été faussés par le rayonnement de la pince d'injection dans la cage de Faraday. Il est donc difficile d'évaluer la précision de nos modèles en effectuant de telles comparaisons.

Si nous observons néanmoins la courbe déduite des simulations, nous pouvons constater les effets induits par certains éléments de notre environnement de test tels que la capacité de découplage et la paire de conducteurs torsadés sur laquelle nous injectons les perturbations. Bien que nous ayons des doutes sur la précision de nos mesures, nous remarquons par ailleurs un comportement similaire des deux courbes (mesures et simulations) à partir de 100 MHz, où le couplage des perturbations sur l'alimentation du bus d'E/S est plus important.

Malgré cela, nous ne pouvons pas véritablement tirer de conclusions sur notre approche de modélisation qui puissent être justifiées car il nous est impossible de quantifier la précision de nos modèles d'injections *BCI*. Sachant que les comparaisons mesures-simulations sont notre seul moyen de valider définitivement nos modèles, nous en concluons qu'il serait préférable de relancer une batterie de tests en optimisant la configuration du banc d'injection, de sorte à minimiser le couplage des ondes rayonnées sur les éléments de notre environnement de mesures (circuit imprimé, câbles, sonde).

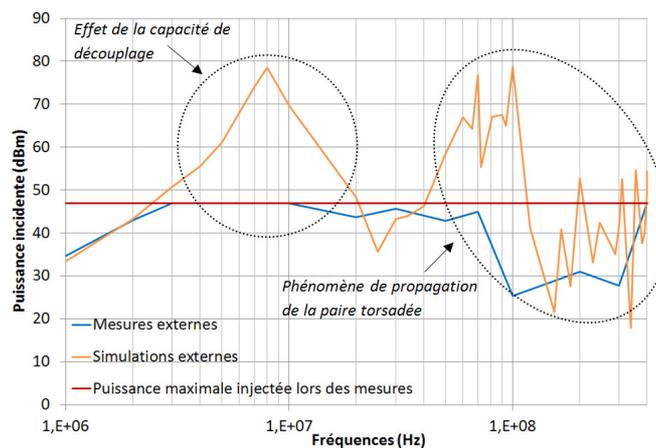


Figure 4-48 : Simulation BCI sur un bus d'E/S

## 4.2.2. Agression d'un bloc numérique par DPI

### 4.2.2.1. Présentation du modèle d'injection complet

Les modèles complets de l'environnement de tests et du bloc numérique du circuit sont respectivement illustrés figures 4-49 et 4-50. Les injections *DPI* sur le bloc numérique (environnement de test + bloc sensible du circuit) sont simulées à l'aide du logiciel IC-EMC. Contrairement à l'étude faite sur le bus d'E/S, nous choisissons de ne pas utiliser les *netlists* du circuit et les différents outils de simulation que propose *CADENCE*, pour se placer dans le contexte d'un client qui simule un modèle d'immunité. Pour s'assurer que le modèle passif du bloc numérique soit valide, nous avons donc comparé les courbes d'impédance mesurées et simulées aux bornes de la paire d'alimentation  $VDD_{core1}/VSS1_{core1}$  du circuit. Comme le montre la figure 4-51, les résultats de simulations

corrèlent aux mesures entre 1 MHz et 100 MHz. Au-delà de 100 MHz, l'erreur de précision est d'environ 50 %. Cet écart était pour le moins prévisible car nous avons réalisé diverses approximations lors de la modélisation du circuit. Or, si nous analysons le profil d'impédance et l'architecture de notre modèle, nous constatons que la résonance située à 129 MHz est essentiellement induite par l'association en série des éléments inductifs du boîtier et de la capacité équivalente au bloc numérique. Les capacités du cœur numérique ayant été extraites à partir des *netlists* du circuit (cf. partie 3), nous réévaluerons uniquement les éléments inductifs du boîtier. En réajustant  $L_{VDD_{core1}}$  à 9 nH,  $L_{VSS1_{core1}}$  à 8,5 nH et  $L_{VSS2_{core1}}$  à 8,57 nH, nous réduisons ainsi l'erreur de précision de plus de 10 %. Un second modèle du circuit peut alors être considéré avec ces nouvelles valeurs. Bien que l'impédance de notre modèle ait été améliorée, il sera intéressant de comparer les simulations d'injections *DPI* sur le bloc numérique avec et sans valeurs réajustées. Ces comparaisons nous donneront notamment des indications sur la nécessité de modéliser le *PDN* du circuit avec une faible erreur de précision.

Lors de nos investigations, nous avons également remarqué que les composants de découplage pouvaient avoir une forte influence sur les niveaux de bruits véhiculés au circuit. Les éléments passifs traduisant le comportement et les effets parasites de ces composants sont effectivement susceptibles de résonner avec d'autres composantes du modèle complet telles que celles du bloc numérique. Ainsi, pour quantifier l'influence que peuvent avoir ces éléments sur les perturbations injectées au circuit, nous proposons de simuler un troisième modèle dans lequel nous modifions uniquement les composantes passives de l'inductance *choke* ( $L_{L_{choke}} = 1 \mu\text{H}$ ,  $C_{L_{choke}} = 4 \text{ pF}$ ,  $R_{L_{choke}} = 230 \Omega$ ).

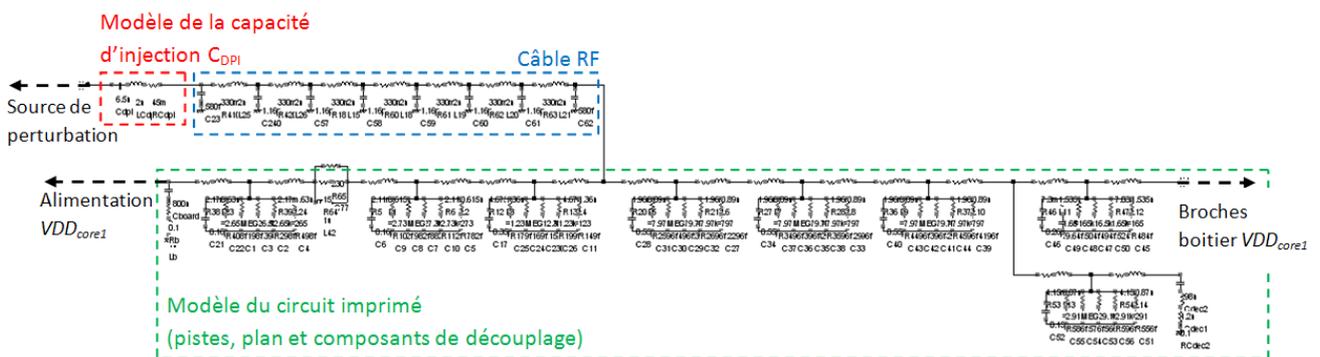


Figure 4-49 : Modèle de l'environnement de tests du bloc numérique

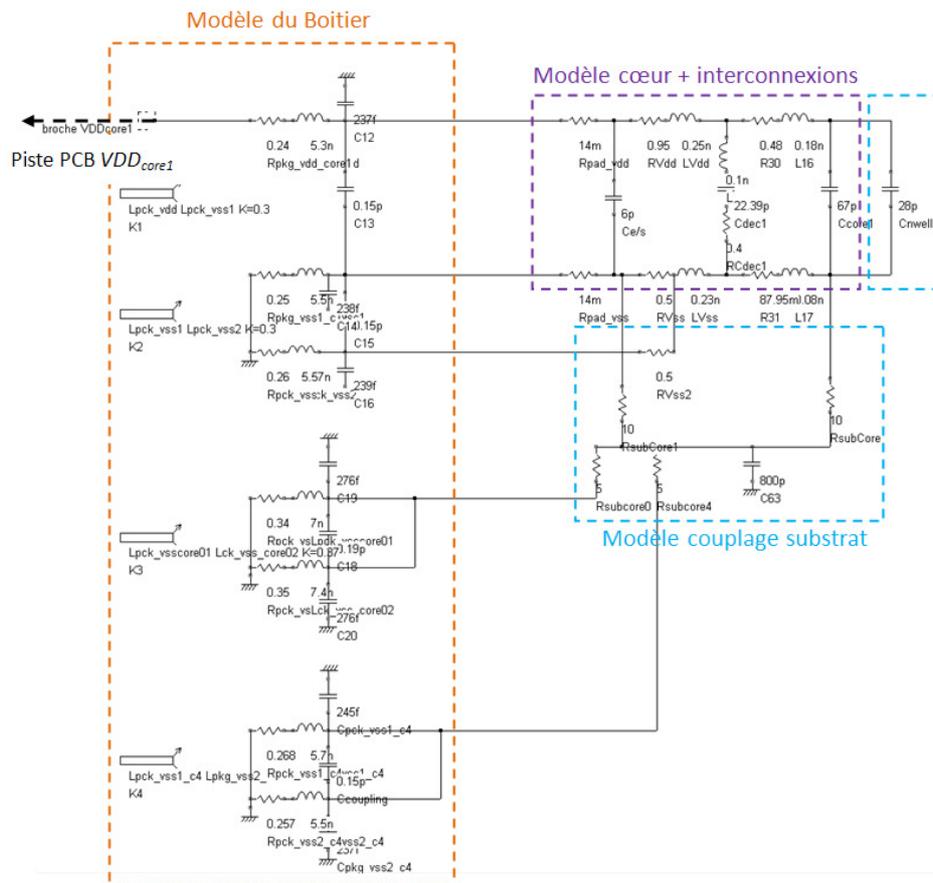


Figure 4-50 : Modèle passif du bloc numérique

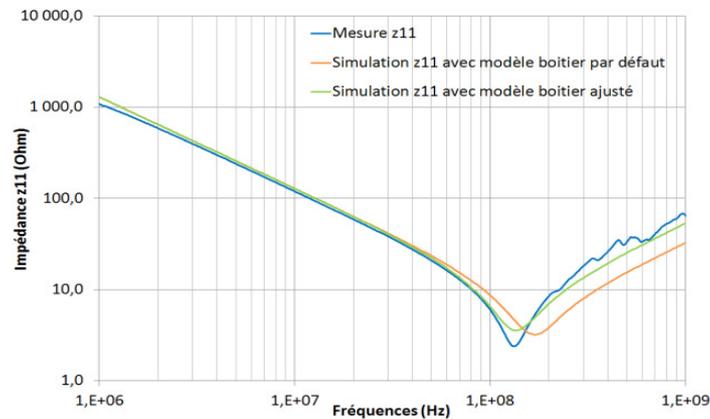
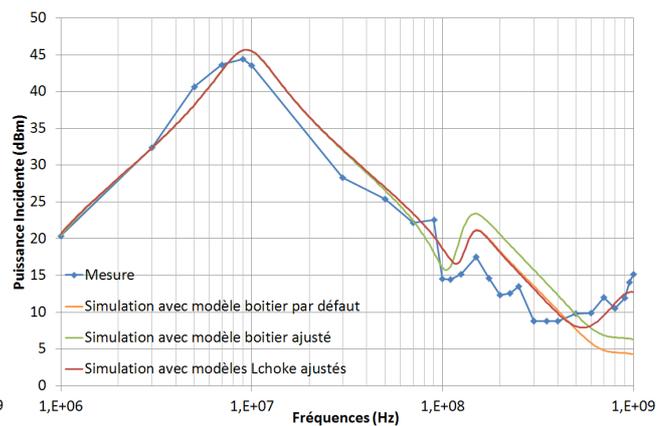
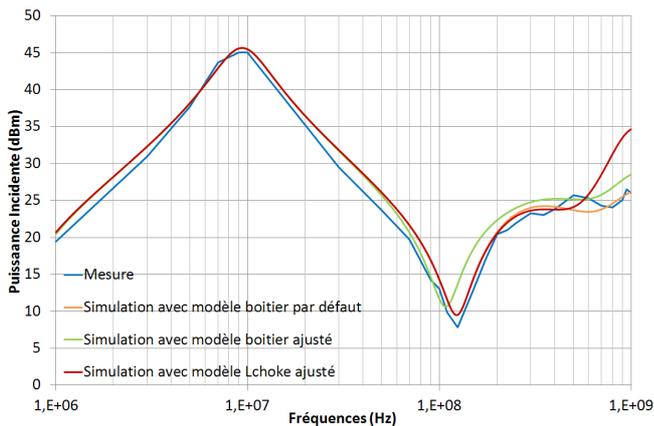


Figure 4-51 : Impédance de l'alimentation VDD du bloc numérique

#### 4.2.2.2. Résultats de simulations du modèle d'injection

Comme nous l'avons vu dans le chapitre 2, les analyses effectuées sur le bloc numérique montrent que le couplage du bruit véhiculé au circuit est maximal à 129 MHz. Au-delà de cette fréquence de résonance, le niveau de puissance requis pour atteindre notre critère diffère suivant l'endroit où nous mesurons la tension

d'alimentation (externe ou interne). Pour justifier ces écarts, nous déterminons par simulation la puissance incidente qui doit être délivrée par la source de perturbation, pour faire fluctuer de 10 % la tension d'alimentation  $VDD_{core1}$  à l'intérieur (nœud  $VDD_{core1}$  de la capacité  $C_{digcore1}$ ) et à l'extérieur du circuit (entrée de la broche  $VDD_{core1}$  du boîtier). Les résultats illustrés figures 4-52 et 4-53 ne montrent aucun écart significatif entre mesures et simulations. Par déduction, nous en concluons que les fluctuations de tension produites par les injections *DPI* sont filtrées par le découplage interne à partir de 129 MHz. Essentiellement induits par l'effet passe-bas du boîtier et de la capacité équivalente au bloc numérique, ces phénomènes de découplage sont donc à l'origine des écarts de puissance observés lors des mesures internes et externes au-delà de 200 MHz.



**Figure 4-52 : Injections DPI sur bloc numérique (interne)**      **Figure 4-53 : Injections DPI sur bloc numérique (externe)**

Pour évaluer la précision de nos modèles, nous calculons les écarts de puissance moyen et maximum entre mesures et simulations (tableau 4-12). Puisque l'écart de puissance moyen calculé est au maximum de 3,78 dB, nous pouvons en conclure que la méthode de modélisation adoptée est efficace pour évaluer les niveaux de bruits injectés en mode conduit sur un CI.

Si nous comparons les résultats de simulations obtenus avec le modèle par défaut et celui où nous avons réajusté les éléments du boîtier, nous constatons que ces modifications n'ont pas véritablement amélioré la précision de nos simulations. Au contraire, bien que l'erreur de précision induite par l'impédance de notre modèle ait été réduite de plus de 10 %, les écarts de puissance moyens ont légèrement été augmentés à la suite de nos réajustements. Par conséquent, nous en concluons qu'il n'est pas nécessaire d'ajuster les composantes d'un *PDN* avec la plus grande précision notamment lorsque celui-ci est précédé d'un modèle d'environnement de test. Comme nous allons le voir, les effets induits par certains composants de découplage externes sur le bruit transmis au circuit peuvent effectivement être bien plus importants.

Les modifications apportées au modèle d'inductance *choke* influent essentiellement entre 500 MHz et 1 GHz. Les niveaux de puissance requis pour atteindre notre critère (fluctuation de 10 % de la tension d'alimentation) sont plus importants à hautes fréquences, après avoir réajusté le modèle de l'inductance. La sensibilité d'un circuit est donc fortement influencée par les composants de découplage qui l'entourent. Par ailleurs, si nous comparons les résultats de simulations obtenus avec ce modèle et celui par défaut, nous

constatons qu'ils divergent suivant l'emplacement du point de contrôle de la tension  $VDD_{core1}$ . Lorsque la tension d'alimentation est sondée à l'extérieur du circuit, les écarts de puissance moyens définis entre mesures et simulations sont réduits d'environ 1,5 dB en modifiant le modèle d'inductance *choke*. Lorsque le niveau de bruit injecté est contrôlé sur le rail d'alimentation du cœur numérique, les écarts entre mesures et simulations augmentent entre 500 MHz et 1 GHz. Par conséquent, nous en concluons que les modèles des composants de découplage devront être ajustés en fonction des erreurs de précision tolérées et spécifiées par le domaine de validité défini pour élaborer nos modèles.

Ecart de puissance	Modèle par défaut		Modèle avec éléments inductifs du boîtier modifiés		Modèle avec éléments parasites d'inductance choke réajustés	
	Moyen	Maximum	Moyen	Maximum	Moyen	Maximum
$VDD_{core1}$ sondée en interne	1,16 dB	≈ 5 dB à 40 MHz	1,81 dB	6,16 dB à 125 MHz	2,25 dB	8,65 dB à 1 GHz
$VDD_{core1}$ sondée en externe	3,64 dB	10,85 dB à 1 GHz	3,78 dB	8,86 dB à 1 GHz	2,21 dB	5,85 dB à 200 MHz

**Tableau 4-12 : Ecarts de puissance calculés entre mesures et simulations d'injections DPI sur le bloc numérique**

### 4.2.3. Conclusion

Lors de cette étude nous avons constaté toute la difficulté d'évaluer la sensibilité d'un circuit par simulation. Bien que le temps requis pour simuler une injection en mode conduit sur le bus d'E/S ait été acceptable, notre processus de simulation est apparu limité pour ce type d'analyse. Les niveaux de puissances injectés pour atteindre le niveau de fluctuation désiré sur l'alimentation du bus ont été définis dans le domaine temporel, en augmentant pas à pas l'amplitude du signal perturbateur. Pour simuler les injections entre 1 MHz et 1 GHz, des balayages en fréquence et en amplitude ont été nécessaires. La multiplication des simulations temporelles induite par ces balayages a donc augmenté considérablement le temps de simulation global. Par ailleurs, le traitement des résultats de simulation a été fastidieux car pour chaque fréquence et chaque amplitude du signal perturbateur, le signal agressé devait être affiché afin de quantifier sa fluctuation. Les temps de simulation requis pour déduire la sensibilité d'un CI sur une large bande de fréquence ont donc été très importants. Par conséquent, il serait nécessaire d'élaborer un flot de simulation optimisé aux analyses d'immunité.

Simuler la *netlist* d'un circuit ayant une architecture complexe nécessite également d'importants temps de simulation pouvant atteindre quelques jours [VRIGNON-2-05]. Les simulations des modèles élaborés à l'échelle transistor étant longues et complexes, nous favoriserons ainsi l'utilisation de macro-modèles incluant le *PDN* des circuits tels que ceux développés pour évaluer la sensibilité du bloc numérique. Cette approche a la particularité d'être très flexible puisqu'en étant proche de la structure physique nous avons la liberté de modéliser uniquement les éléments du circuit pouvant avoir une influence sur sa sensibilité. Lorsque nous avons simulé les injections *DPI* sur le bloc numérique, nous avons obtenus de bons résultats aussi bien en termes de temps de simulation que de précision, ce qui nous permet d'en conclure que le flot de modélisation proposé dans la partie 1 est valide.

### 4.3. Prédiction des niveaux de bruit couplés à un CI en mode conduit

#### 4.3.1. Descriptions des données d'entrée requises par l'outil de prédiction

Notre objectif est d'évaluer la méthode de prédiction présentée au chapitre 3. Pour cela, nous allons prédire les niveaux de puissance à injecter sur les alimentations du bus d'E/S et du bloc numérique de MIXITY pour obtenir une fluctuation de 10 % de leur tension nominale sondée sur les broches du boîtier (mesure dite « externe »).

Pour utiliser notre outil de prédiction, il est nécessaire d'extraire par mesure les fichiers *touchstone* caractérisant le CST et les principaux éléments de nos environnements de tests. Le tableau 4-13 donne une description détaillée de chaque fichier *touchstone* utilisé pour prédire les injections *DPI* et *BCI* sur notre véhicule de test. Assimilé à un quadripôle de 2 ports, le système d'injection *DPI* caractérisé au *VNA* est constitué du câble RF, de la capacité d'injection  $C_{DPI}$  et du circuit imprimé par lequel la perturbation est véhiculée. Présenté dans la partie 3.2.3.2, le système d'injection *BCI* est assimilable à un quadripôle de 3 ports et est composé de la cage de Faraday, du RSIL, de la pince d'injection couplée à la paire torsadée, du câble RF et des éléments du *PCB* par lesquels le signal perturbateur est transmis.

Élément caractérisé	Environnement de test			Circuit sous test	
	Système d'injection <i>DPI</i>	Système d'injection <i>BCI</i>	Alimentation	Bus d'E/S	Bloc numérique
Nombre de port(s)	2	3	1	1	1
Détails	câble RF + $C_{DPI}$ + chemin d'injection du <i>PCB</i> (piste/plan/composant de découplage)	cage de Faraday + RSIL + câbles torsadés + pince d'injection + câble RF + chemin d'injection du <i>PCB</i> (piste/plan/composant de découplage)	Alimentation continue utilisée lors des mesures <i>BCI</i>	Mesures de $S_{11}$ entre sur la broche $OVDD_{SSNIO}$	Mesures de $S_{11}$ entre sur la broche $VDD_{core1}$
Nom du fichier	<i>dpi_mixity.s2p</i>	<i>bci_mixity.s3p</i>	<i>alim.s1p</i>	<i>s11-ssnovdd.s1p</i>	<i>s11-vddcore1.s1p</i>

Tableau 4-13 : Fichier *touchstone* requis pour prédire les injections *DPI* et *BCI* sur *MIXITY*

Afin que notre outil soit en mesure de prédire les niveaux de puissance à injecter pour atteindre les critères définis sur les tensions d'alimentation du circuit, nous devons lui fournir un fichier texte dans lequel doit être inscrit en deux colonnes distinctes le niveau de fluctuation (en Volt) que l'on souhaite obtenir aux bornes du circuit, en fonction de la fréquence (en Hertz).

A partir des 5 fichiers *touchstone* présentés ci-dessus et des deux fichiers texte relatifs aux critères de tension définis dans le cadre de notre étude (10 % de  $OVDD_{SSNIO}$  et 10 % de  $VDD_{core1}$ ), nous allons désormais prédire des injections *DPI* et *BCI* sur notre véhicule de test.

#### 4.3.2. Prédictions d'injections *DPI*

Les prédictions d'injections *DPI* sur le bus d'E/S illustrées figure 4-54 ont été déduites à partir de l'outil de prédiction présenté dans le chapitre 3. Ces prédictions sont très satisfaisantes car l'écart de puissance vis-à-vis

des mesures est en moyenne égal à 2,38 dB et est au maximum de 11,5 dB à 500 MHz. Ces faibles écarts montrent donc que notre outil permet de prédire avec une précision relativement fine des injections *DPI* sur l'alimentation d'un bus d'E/S (niveaux de perturbations injectées aux bornes du composant).

Sur la figure 4-55, nous comparons les prédictions d'injections *DPI* sur le bloc numérique aux résultats de mesures et de simulations présentés précédemment. A noter que les simulations sont celles obtenus avec le modèle par défaut. En calculant les écarts de puissance moyens et maximums entre les mesures et les prédictions, nous constatons que notre outil est tout aussi efficace pour prédire les injections sur l'alimentation du bloc numérique que sur le bus d'E/S. En effet, cet écart n'est qu'en moyenne de 2,8 dB et est au maximum de 11,04 dB à 1 GHz. En outre, si nous comparons ces chiffres à ceux obtenus lors de nos simulations, nous constatons que les prédictions réalisées avec notre outil sont légèrement plus précises. Par conséquent, nous en concluons que l'outil de prédiction développé est efficace pour estimer précisément les niveaux de puissance à injecter par *DPI* sur un circuit, pour atteindre un critère de tension donné.

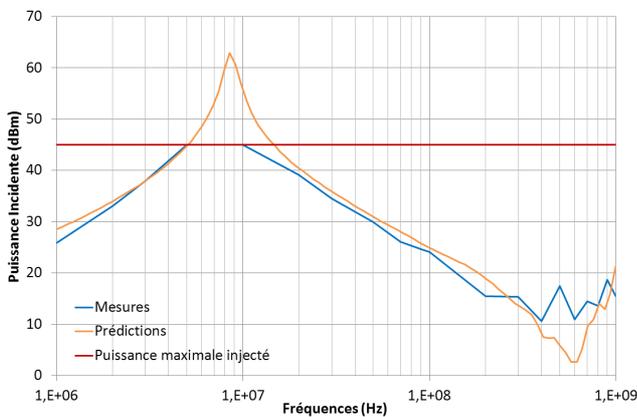


Figure 4-54 : Prédiction DPI sur un bus d'E/S

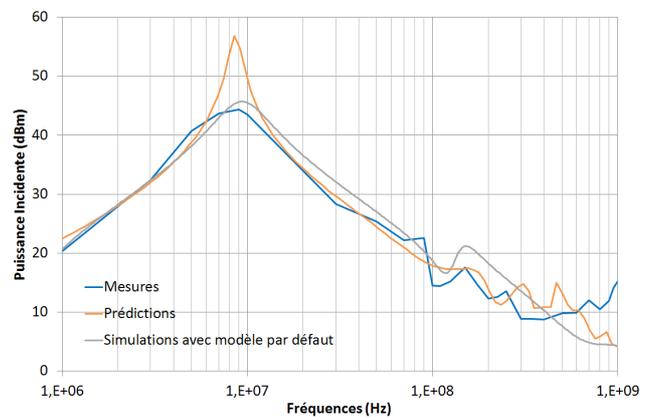


Figure 4-55 : Prédiction DPI sur un bloc numérique

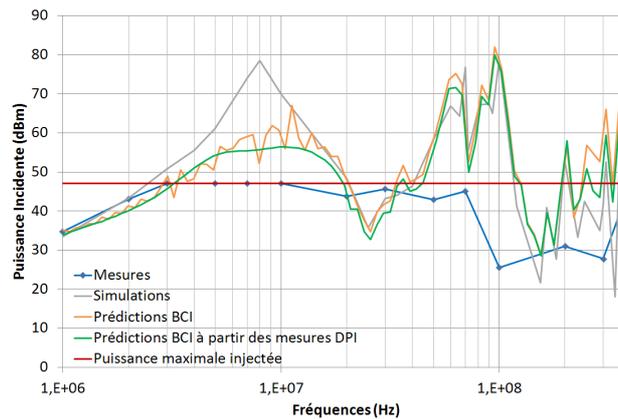
### 4.3.3. Prédiction d'injection BCI

Pour prédire les niveaux de puissance injectés par *BCI* sur le bus d'E/S pour atteindre notre critère de tension, nous procédons de deux manières différentes. Ces puissances sont premièrement estimées à partir du fichier texte donnant les niveaux de fluctuation (critère de tension) que nous souhaitons atteindre, afin d'évaluer l'efficacité de notre outil à prédire des mesures *BCI*. Ensuite, nous réalisons nos prédictions à l'aide des résultats de mesures *DPI* obtenus sur le bus d'E/S. Ce second et dernier procédé permet d'analyser la capacité de notre méthode à corrélérer les résultats (courbes d'immunité) déduits de tests *DPI* et *BCI*.

La qualité de nos mesures *BCI* ayant été remise en cause, nous comparons uniquement nos prédictions aux résultats de simulations présentés dans la partie 4.2.1.2.b, afin d'évaluer leurs précisions. Le premier constat que nous pouvons établir à partir des résultats illustrés figure 4-56 est que les niveaux de puissance prédits à l'aide de notre outil sont relativement proches de ceux déduits par simulations de nos modèles. En effet, mis à part entre 5 MHz et 10 MHz, aucun écart significatif est à noter entre prédictions et simulations. Nos

prédictions semblent donc être convenables car quelque soit la fréquence d'injection la sensibilité du circuit paraît être bien estimée.

Nous pouvons également constater que les deux procédures utilisées pour prédire les niveaux de puissance à injecter par *BCI* permettent d'obtenir des résultats assez similaires. Sur toute la bande de fréquence, la sensibilité du circuit estimée par corrélation *DPI/BCI* est effectivement identique aux prédictions *BCI* à quelques dB près. Nous concluons ainsi que nos méthodes de prédictions sont efficaces pour estimer des injections *BCI* à partir d'un critère de défaillance ou des résultats de mesure *DPI*.



**Figure 4-56 : Prédictions BCI sur le bus d'E/S**

#### 4.3.4. Conclusion

Les prédictions effectuées sur le bus d'E/S de MIXITY ont montrées toute l'efficacité de notre outil à donner une estimation précise des niveaux de bruit injectés aux bornes d'un circuit sur une large bande de fréquence, car quelque soit le type d'injection (*DPI* ou *BCI*) les erreurs de prédiction sont tout à fait acceptables. Il est important de souligner que ces prédictions ont été réalisées sans aucuns modèles d'environnement de test et de circuit. La méthode mis en œuvre pour développer cet outil est donc adéquate pour analyser rapidement l'immunité d'un circuit intégré avant de s'engager dans d'éventuelles procédures de test pouvant être difficiles à mettre en œuvre.

Par ailleurs, il serait tout à fait envisageable d'intégrer notre méthode de calcul dans notre environnement de simulation afin que les perturbations véhiculées à l'intérieur d'un circuit puissent être estimés dès sa conception. Si nous connaissions par exemple le niveau de tension requis pour perturber un circuit, nous pourrions très rapidement prédire les niveaux de fluctuation que nous devrions obtenir aux bornes de son bloc sensible en fonction de la fréquence, et inversement. Il suffirait alors d'extraire par simulations les paramètres *S* entre ces deux ports (entrée circuit et nœud critique) et d'en déduire les gains en tension indispensables aux prédictions. Aux moyens de quelques simulations, nous pourrions par la même occasion analyser les effets des découplages internes induits par certains éléments du circuit tels que le boîtier et les capacités de découplage localisées. Outre les multiples avantages dont nous bénéficierions en intégrant cette approche dans nos outils

de simulation, nous pourrions minimiser les temps de simulation pour prédire les niveaux de tension injectés à l'intérieur d'un circuit, en s'affranchissant complètement d'analyses temporelles.

Cependant, nous n'avons pas eu l'opportunité d'évaluer cet outil sur un circuit ayant des comportements non-linéaires. Selon la nature du circuit et les niveaux de bruit injectés à ses bornes, nous sommes effectivement conscients que notre méthode de prédiction pourrait avoir certaines limites. Par conséquent, il serait désormais très intéressant d'évaluer la capacité de notre approche à prédire les niveaux de bruit injectés sur des circuits non-linéaires tels que des oscillateurs, des régulateurs ou des amplificateurs. Cette étude permettrait alors de valider définitivement notre approche, en vue qu'elle soit intégrée dans un flot de simulation d'immunité.

## 5. Conclusion

Dans ce chapitre, deux méthodes ont été présentées et évaluées pour définir les niveaux de perturbations électromagnétiques couplées à un circuit intégré en mode conduit.

Nous avons premièrement proposé un flot de modélisation permettant d'évaluer l'immunité d'un CI dès sa phase de conception. Ce flot présente toutes les étapes à suivre pour modéliser les éléments de l'environnement de test et du circuit pouvant avoir une influence sur les perturbations transmises au CST. Après avoir étudié sa structure et analysé tous les éventuels couplages internes, le circuit a été modélisé en considérant uniquement son *PDN*. Ce réseau d'impédance comprend le boîtier, les interconnexions, les E/S, le bloc sensible et les effets induits par le substrat du circuit. Les environnements de tests *DPI* et *BCI* mis en œuvre pour agresser notre circuit ont été modélisés à partir des outils d'extraction et des méthodes de modélisation présentés dans le chapitre 3. Grâce à la précision de nos modèles, les niveaux de bruit injectés par *DPI* et par *BCI* sur les alimentations  $OVDD_{SSNIO}$  et  $VDD_{core1}$  de MIXITY ont pu être estimés avec des erreurs de simulations très acceptables. Le flot de modélisation a ainsi été validé et pourrait désormais être intégré dans une procédure de simulation dédiée aux analyses d'immunité.

Cependant, nous avons constaté lors de ces travaux que le processus de simulation utilisé n'était pas suffisamment optimisé pour ce type d'analyse. La multiplication des simulations temporelles et la mauvaise gestion des balayages en fréquence et en amplitude nous ont distinctement montré les limites et les besoins de nos outils. C'est pourquoi il serait aujourd'hui primordial de développer un flot de simulation dédié aux analyses d'immunité qui intégrerait plusieurs fonctions permettant à la fois de minimiser les temps de simulation et de faciliter le traitement des résultats.

Ensuite, nous avons évalué la méthode de prédiction présentée dans le chapitre 3. Pour cela, plusieurs injections *DPI* et *BCI* ont été prédites sur les alimentations du bus d'E/S et du bloc numérique. La qualité de nos prédictions a pu mettre en évidence toute l'efficacité de notre méthode. Les niveaux de puissance injectés sur le circuit ont effectivement été prédits avec une erreur inférieure à 3 dB sur toute la bande de fréquence et ce, sans avoir développé aucun modèle d'immunité. D'autre part, les prédictions *BCI* réalisées à partir des mesures *DPI* ont montré qu'il était possible de corrélérer les niveaux de puissance (ou de tension) injectés par couplage capacitif et inductif sur un CST. Bien que certaines investigations complémentaires soient requises pour évaluer précisément les erreurs de prédictions (optimisation du banc d'injection *BCI* pour minimiser les couplages à l'intérieur de la cage), nous restons confiants quant à la qualité de nos résultats car nos prédictions sont similaires à nos simulations. Néanmoins, il serait désormais nécessaire d'analyser les limites de notre approche en l'appliquant sur plusieurs circuits intégrés de différentes natures (numérique et analogique), ce qui nous permettra alors de valider définitivement notre méthode de prédiction.







## Conclusion Générale

Malgré les nombreux avantages que présentent les systèmes électroniques embarqués (miniaturisation des systèmes, augmentation des vitesses de fonctionnement, diminution des consommations, multiplication des fonctionnalités intégrées dans les circuits, etc.), ils sont devenus de plus en plus sensibles aux perturbations électromagnétiques. La forte densité d'intégration et le rapprochement des circuits dans les équipements sont notamment à l'origine des problèmes d'interférences électromagnétiques auxquels sont confrontés les concepteurs. Dans ce contexte, il leur est aujourd'hui fondamental d'étudier et de prédire la propagation des IEM à l'intérieur de leur circuit pour anticiper leur défaillance et éviter d'éventuelles phases de « *re-design* » onéreuses.

Notre projet de recherche s'est inscrit dans le cadre d'une thèse CIFRE entre l'équipe Systèmes Embarqués Critiques du laboratoire LATTIS et *Freescale Semiconductor*. Pour mieux appréhender les problèmes d'interférences électromagnétiques dès les phases de *design* des circuits intégrés, l'étude présentée dans ce manuscrit s'est articulée autour de deux axes principaux :

- ✓ La caractérisation des interférences électromagnétiques véhiculées à travers un circuit, à l'aide de capteurs de tension asynchrones (mesure des niveaux de bruits et analyse des mécanismes de couplage internes),
- ✓ Le développement d'outils de simulation et d'une méthode de prédiction permettant d'évaluer les couplages des perturbations électromagnétiques en mode conduit sur les circuits intégrés.

Dans le premier chapitre, nous nous sommes premièrement intéressés à l'évolution technologique et à l'apparition des premières études visant à analyser la compatibilité électromagnétique des circuits. Bien que l'effort d'intégration ait permis d'améliorer considérablement les performances électriques des circuits et de multiplier leurs fonctionnalités, nous avons vu que leurs performances électromagnétiques ont été fortement dégradées. Pour mieux comprendre l'origine et les conséquences des perturbations électromagnétiques sur les circuits intégrés, nous avons ensuite identifié les principales sources d'interférences et leurs modes de couplage, puis décrit les dysfonctionnements engendrés dans les circuits numériques et analogiques. Cette étude a essentiellement montré que les effets induits par les IEM pouvaient être différents selon les caractéristiques du signal perturbateur et la nature du circuit. Enfin, nous avons réalisé un état de l'art sur toutes les méthodes de modélisation qui ont été proposées jusqu'à ce jour pour analyser la susceptibilité aux bruits des circuits intégrés. Cette première partie aura donc permis de montrer qu'il est aujourd'hui impératif de développer de nouveaux outils de mesures et de modélisation pour analyser la propagation du bruit à travers les circuits.

Le deuxième chapitre a été consacré à l'analyse des IEM injectées par *DPI* et *BCI* dans le véhicule de test MIXITY développé en technologie SMOS8MV® 0,25 µm. Après avoir décrit l'architecture des principaux blocs intégrés dans le circuit, nous avons présenté les capteurs de tension asynchrones utilisés pour analyser la

propagation du bruit sur la puce lors de tests *DPI* et *BCI*. Les performances électriques de ces capteurs ont été évaluées en régime statique et dynamique pour définir leur fonction de transfert et ainsi compenser leur erreur de mesure. Les tests de fiabilité réalisés sur ces capteurs ont montré que la température et les stress électriques pouvant être appliqués sur leur entrée n'avaient que très peu d'influence sur leurs performances. Pour déterminer l'amplitude et l'allure des signaux mesurés sur la puce à l'aide de ces capteurs, nous avons développé un principe d'acquisition basé sur le calcul de densités de probabilité. Nous avons par ailleurs vu que ce principe d'acquisition n'était efficace que si le nombre d'échantillons extraits des mesures, l'intervalle de discrétisation et le nombre de classe définis pour calculer les DDP étaient optimisés.

Afin de maîtriser le chemin d'injection dans sa totalité (du générateur de perturbations au cœur du circuit), nous avons tout d'abord évalué l'influence des éléments des systèmes d'injection *DPI* et *BCI* sur leurs coefficients de transmission. Ces investigations ont montré combien il était important d'optimiser les paramètres des bancs d'injection pour mesurer l'immunité d'un circuit sur une gamme de fréquence bien définie. Les éléments de ces systèmes d'injection peuvent effectivement avoir une influence significative sur les niveaux de perturbations transmis au CST, notamment lorsqu'un circuit est agressé par injections *BCI*. Lors de nos mesures, nous avons pu constater toute l'efficacité d'utiliser les capteurs de tensions pour définir la susceptibilité aux bruits des blocs intégrés dans le circuit. Les mesures des IEM véhiculées sur les alimentations du bus d'E/S et des blocs numériques de MIXITY nous ont effectivement permis de caractériser les niveaux de bruit injectés sur le silicium mais également d'analyser les mécanismes de couplage internes. L'utilisation de tels capteurs offre donc la possibilité de caractériser précisément la propagation du bruit à travers un circuit tout en s'affranchissant des limites des méthodes de mesures externes normalisées. Les *designers* auront donc un réel intérêt à utiliser de tels outils de mesure car ils pourront définir précisément la sensibilité des fonctions implémentées sur une puce, valider leurs méthodes de modélisation et ainsi anticiper les défaillances des circuits dès leurs phases de *design*.

Dans le troisième chapitre, nous avons présenté les outils de simulation qui ont été développés au cours de notre projet pour modéliser les principaux éléments des environnements de tests et prédire les niveaux de bruits injectés aux bornes d'un circuit. Lors des phases de *design* d'un circuit, le temps est régulièrement compté pour respecter les délais qui ont été fixés. Pour faciliter l'analyse d'immunité des circuits intégrés, nous avons ainsi développé deux outils permettant d'extraire les modèles de pistes et de plans conducteurs d'un circuit imprimé à partir de leurs caractéristiques géométriques et physiques. Ces outils offrent la possibilité à un utilisateur de modéliser les éléments conducteurs d'un *PCB* sans avoir de connaissances fondamentales en CEM. D'autre part, nous avons également évalué différentes méthodes pour modéliser les systèmes d'injection *DPI* et *BCI*. Ces investigations ont eu pour but de définir les approches les plus appropriées au contexte industriel. Nous avons ainsi remarqué que la modélisation par éléments discrets est la plus adéquate pour modéliser un système d'injection purement passif tel que celui utilisé lors des tests *DPI*. Cependant, nous avons préféré les approches comportementales pour modéliser un système d'injection complexe constitué de plusieurs éléments tel que celui des tests *BCI*. Enfin, nous avons proposé une méthode de prédiction innovante pour prédire et corrélérer les niveaux de bruits injectés sur un circuit lors de tests *DPI* et *BCI*. Cette méthode est basée sur le calcul d'une fonction de transfert entre la source d'interférence et le circuit sous test, en assimilant les systèmes d'injection à

des multi-pôles. L'outil de prédiction développé à partir de cette approche a été évalué en définissant les niveaux de puissance injectés sur charges passives. Ces investigations ont montré que notre méthode permet de déterminer et de corrélérer avec précision les niveaux de bruits injectés sur une charge par *DPI* et *BCI*.

Dans le quatrième et dernier chapitre, nous avons proposé un flot de modélisation visant à faciliter l'évaluation de l'immunité des circuits intégrés pendant leur phase de conception. Ce flot décrit les étapes à suivre pour modéliser les éléments influents des environnements de tests (*PCB*, système d'injection, etc.) et des circuits intégrés (boîtier, interconnexions, substrat, etc.). Cette méthode ne requiert aucun résultat de mesure d'immunité car tous les paramètres du modèle sont essentiellement déduits du schéma électrique du *PCB* utilisé lors des tests et de simulations *post-layout* du circuit agressé. Cette procédure de modélisation a été évaluée en modélisant des injections *DPI* et *BCI* sur le bus d'E/S et un bloc numérique de notre véhicule de test. Grâce aux mesures de bruit internes et externes, nous avons évalué la précision des modèles développés. L'erreur de simulation étant relativement faible vis-à-vis des mesures, nous avons alors pu valider le flot de modélisation proposé. Lors de nos simulations, nous avons cependant remarqué que le processus de simulation utilisé n'était pas suffisamment optimisé pour ce type d'analyse. La multiplication des simulations temporelles et la mauvaise gestion des balayages en fréquence et en amplitude ont effectivement montré les besoins de notre environnement logiciel. Suite aux divers constats établis lors de nos travaux, nous avons récemment déposé un brevet proposant un flot de simulation dédié aux analyses d'immunité qui intègre plusieurs fonctions permettant à la fois de minimiser les temps de simulation et de faciliter le traitement des résultats. Ce brevet est à ce jour en cours d'approbation. Enfin, nous avons évalué l'outil de prédiction présenté dans le troisième chapitre en déterminant les niveaux de puissance à injecter sur notre circuit pour que l'amplitude du bruit véhiculé à ses bornes atteigne un niveau de tension donné. Les résultats de prédiction obtenus ont montré que notre approche de prédiction était adéquate pour quantifier les niveaux de bruits injectés sur un circuit lors de tests *DPI* et *BCI*, en quelques minutes seulement. Bien qu'il soit désormais nécessaire d'évaluer notre outil de prédiction sur des circuits ayant des comportements non-linéaires, cette technique de calcul pourrait être intégrée dans nos outils logiciel car celle-ci a la particularité de s'affranchir d'analyses temporelles pour évaluer les niveaux de tensions sur les nœuds critiques d'un circuit, ce qui permettrait alors de minimiser les temps de simulation.

Pour conclure, cette thèse s'est essentiellement focalisée sur la caractérisation des interférences électromagnétiques véhiculées à l'intérieur des circuits intégrés par mesures et simulations. Pour répondre aux besoins des *designers* de *Freescale*, de nouvelles méthodes de mesures et de prédictions ont ainsi été proposées comme les capteurs de tensions asynchrones intégrés sur puce et le flot de modélisation. Les outils développés au cours cette thèse devront désormais être implantés dans l'environnement logiciel utilisé par les *designers* pour faciliter l'analyse des performances CEM des circuits pendant leurs phases de conception. Etant donné les limites de notre approche pour simuler des injections sur un circuit, il serait également capital de développer un flot de simulation pour optimiser les temps de simulation. Par ailleurs, l'outil de prédiction proposé devra être évalué sur des circuits non-linéaires tels que des oscillateurs, des régulateurs ou des amplificateurs pour finaliser sa validation. Notre méthode de calcul pourrait également être améliorée en vue de prédire les niveaux d'interférences électromagnétiques injectées sur un circuit en mode différentiel. Enfin, notre étude

pourrait désormais être complétée en développant un nouveau véhicule de test dans lequel nous pourrions intégrer un réseau de capteurs placés sur les nœuds les plus sensibles du circuit (rails d'alimentation et de masse, entrées sensibles, tension de référence, etc.), ce qui permettrait par exemple d'améliorer nos connaissances sur les mécanismes de couplage entre des blocs de différentes natures (analogique et numérique).





## Références

- [ADS] Advanced Design System, [www.agilent.com/find/eesof-ads](http://www.agilent.com/find/eesof-ads)
- [AKUE09] S. Akue Boulingui, « Etude du couplage électromagnétique entre circuits intégrés par émulation du perturbateur-Application en téléphonie 3 G », Thèse, 2009
- [ALAELDINE08] A. Alaeldine, « Contribution à l'étude des méthodes de modélisation de l'immunité électromagnétique des circuits intégrés », Thèse, page 35, Oct. 2008
- [ALAELDINE-2-08] A. Alaeldine, R. Perdriau, M. Ramdani, J. L. Levant, M. Drissi, « A direct power injection model for immunity prediction in integrated circuits », IEEE Transactions on Electromagnetic Compatibility, Vol. 50, n°1, Feb. 2008
- [ARAGONES99] X. Aragones, J. L. Gonzalez, A. Rubio, "Analysis and solutions for switching noise coupling in mixed-signal ICs", Kluwer academic publishers, 1999
- [ARMSTRONG99] K. Armstrong, "Review of EMC design rules, a brief tour of some of the major issues", The Institution of Electrical Engineers, 1999
- [BAFFREAU03] S. Baffreau, « Susceptibilité des microcontrôleurs aux agressions électromagnétiques », Thèse, Dec. 2003
- [BAKOGLU90] H. Bakoglu, « Circuit, interconnections and packaging for VLSI », Addison-Wesley, ISBN 0-201-06008-6, 1990
- [BENDHIA98] S. Ben Dhia, « Une nouvelle méthodologie de caractérisation de l'intégrité du signal en CMOS submicronique profond », Thèse, 1998
- [BENDHIA99] S. Ben Dhia, F. Caignet, E. Sicard, M. Roca, "On-chip sampling in CMOS Integrated Circuits", IEEE Transactions on Electromagnetic Compatibility, Vol. 41, n° 4, Nov. 1999
- [BENDHIA06] S. Ben Dhia, « De l'intégrité du signal à la compatibilité électromagnétique, habilitation à diriger des recherches », Jui. 2006
- [BLALACK02] T. Blalack, Y. Leclercq, C. P. Yue, "On-chip RF isolation techniques", BCTM, 2002
- [BOYER07] A. Boyer, « Méthode de Prédiction de la compatibilité électromagnétique des systèmes en boîtier », Thèse, pages 61-69, 2007

- [BRANCH02] K. M. C. Branch, J. Morsey, A. C. Cangellaris, A. E. Ruehli, "Physically consistent transmission line models for high-speed interconnects in lossy dielectrics", IEEE Transactions on advanced packaging, vol. 25, n°2, May 2002
- [BUCCELA05] C. Buccella, M. Feliziani, G. Manzi, F. Maradei, "Prediction of Voltage and Current Propagation in Twisted Wire Pairs (TWPs) by a Circuit Model", IEEE International Symposium on Electromagnetic Compatibility, 2005
- [BUR85] A. J. Bur, « Dielectric properties of polymers at microwave frequencies: A review », Polymer, Vol. 26, pages 963-977, Jul. 1985
- [CADENCE] Cadence Design System, [www.cadence.com](http://www.cadence.com)
- [CAGGIANO01] M. F. Caggiano, J. Ou, S. Bulumulla, D. Lishner, « RF electrical Measurements of fine Pitch BGA Packages », IEEE Transactions on Components and packaging technologies, vol. 4, n°2, Jun. 2001
- [CARVER81] K. R. carver, J. W. mink, "Microstrip Antenna Technology", IEEE Transactions on antennas and, Vol. Ap-29, n° 1, Jan. 1981
- [CHAHINE06] I. Chahine, M. Kadi, E. Gaboriaud, A. Louis, B. Mazari, "Using Neural Networks for Predicting the Integrated Circuits Susceptibility to Conducted Electromagnetic Disturbances", Proceedings, 18th Int. Zurich Symposium on EMC, Munich, 2007
- [CHEN80] G. K. C. Chen, J. J. Whalen, "Macromodel predictions for EMI in bipolar operational amplifiers", IEEE Transactions on Electromagnetic Compatibility, Vol. 22, n°4, Nov. 1980
- [CIRINO09] A. W. Cirino, H. de Paula, R. C. Mesquita, E. Saraiva, "Cable Parameter Variation due to Skin and Proximity Effects: Determination by means of Finite Element Analysis", 35th Annual Conference of IEEE Industrial Electronics, Nov. 2009
- [CLEMENT03] F. J. R. Clément, « Technology impact on substrate noise », Substrate noise coupling in mixed-signal ASICs, European mixed-signal initiative for electronic system design, 2003
- [CUVILLIER06] J. Cuvillier, Enseignement de la CEM, « Les couplages », Université de Nantes, Jan. 2005
- [CURTIS98] J. D. Curtis, I. Sfraus, « Follow these 18 Rules for Better EMC Design », IEEE, 1998
- [DECLERCQ96] D. Declercq, A. Quinquis, "Le signal aléatoire", Hermes, ISBN 2-86601-551-7, 1996
- [DEGAUQUE90] P. Degauque, J Hamelin, « Compatibilité Electromagnétique : bruits et perturbations radioélectriques », Edition Dunod, 1990

- [DEOVARRO10] M. Deobarro, B. Vrignon, S. Ben Dhia, J. Shepherd, "On-chip sampling and EMC modeling of I/Os switching to evaluate conducted RF disturbances propagation", APEMC symposium, Apr. 2010
- [DO160] Standard for environmental test of avionics hardware published by RTCA, Incorporated, Environmental Conditions and Test Procedures for Airborne Equipment, 1980
- [ENGIN04] A. E. Engin, M. Wolfgang, J. Werner, S. Grit, R. Herbert, "Time-domain modeling of lossy substrates with constant loss tangent", 8th IEEE Workshop on Signal Propagation on Interconnects, May 2004
- [ENGIN10] A. E. Engin, « Extraction of Dielectric constant and loss tangent using new rapid plane solver and analytical Debye modeling for printed circuit boards », IEEE transactions on microwave theory and techniques, Vol. 58, n°1, Jan. 2010
- [FAIRCHILD03] S. Clark, *Fairchild Semiconductor*, « IC package design's effects on signal integrity », pages 9-23, 2003
- [FCC] Fisher Custom Communications, Injection Probe, <http://www.fischercc.com/>
- [FERRARI] P. Ferrari, Phénomènes de propagation en radiofréquences, Cours Electronique, IUT1 Grenoble, [http://www.geea.org/IMG/pdf/COURS\\_ELN2\\_premier\\_semestre.pdf](http://www.geea.org/IMG/pdf/COURS_ELN2_premier_semestre.pdf)
- [FIORI00] F. Fiori, V. Pozzolo, "Modified Gummel-Poon model for susceptibility prediction," IEEE Transaction on Electromagnetic Compatibility, vol. 42, pages 206-213, May 2000
- [FIORI02] F. Fiori, P. S. Croveti, « Linear Voltage Regulator Susceptibility », IEEE Symposium on Industrial Electronics, Jul. 2002
- [FORCIER79] M. L. Forcier, R. E. Richardson, "Microwave-Rectification RFI Response in Field-Effect Transistors", IEEE Transactions on Electromagnetic Compatibility, vol. 21, n°4, Nov. 1979
- [FOURIER] Transformée de Fourier, [http://fr.wikipedia.org/wiki/Transform%C3%A9e\\_de\\_Fourier](http://fr.wikipedia.org/wiki/Transform%C3%A9e_de_Fourier)
- [FRANK08] F. Frank, M. L. Zitzmann, G. Steinmair, R. Weigel, "Methods for Circuit-Based Automotive EMC Simulation incorporating VHDL-AMS Models", 19th International Zurich Symposium on Electromagnetic Compatibility/Asia-Pacific Symposium on Electromagnetic Compatibility, 2008
- [FRICKEY94] D. A. Frickey, "Conversion between S, Z, Y, h, ABCD and T parameters which are valid for complex source et load impedance", IEEE transactions on microwave theory and techniques, Vol. 42, n°2, Feb. 1994

- [FU07] Y. Fu, G. Lorenzo Giuliattini Burbui, T. Hubing, "An improved model for representing current waveforms in CMOS circuits", Proceedings, 18th Int. Zurich Symposium on EMC, Munich, 2007
- [GHARPUREY96] R Gharpurey, R. G. Meyer, "Modeling and analysis of substrate coupling in integrated circuits", IEEE Solid State Circuits, Vol. 31, n°3, pages 344-353, 1996
- [GORDON92] C. Gordon, T. Blazeck, R. Mittra, "Time-Domain simulation of multiconductor transmission lines with frequency-dependent losses", IEEE transactions on computer-aided design, vol. 11, n°11, Nov. 1992
- [GOUEDARD05] N. Gouédard, « Susceptibilité des composants aux agressions électromagnétiques », Thèse, page 30, 2005
- [GRAFFI91] S. Graffi, G. Masetti, D. Golzio, « New Macromodels and measurements for analysis of EMI effects in 741 op-amp circuits, IEEE transactions on Electromagnetic Compatibility, vol. 33, n°1, pages 25-34, Feb. 1991
- [GRASSI07] F. Grassi, F. Marliani, S. A. Pignari, "Circuit modeling of injection probes for bulk current injection", IEEE Transactions on Electromagnetic Compatibility, Vol. 49, n° 3, Aug. 2007
- [HAMMERSTAD75] E. O. Hammerstad, "Equations for Microstrip Circuit Design", 5th European Microwave Conference, 1975
- [HATTORI98] Y. Hattori, T. Kato, H. Hayashi, H. Tadano, H. Nagase, "Harmonic Balance simulation of RF injection effects in analog circuits", IEEE Transactions on Electromagnetic Compatibility, Vol. 40, n°2, May 1998
- [HAUWERMEIREN92] L. V. Hauwermeiren, M. Herreman, M. Botte, D. De Zutter, "Characterization and modeling of packages by time-domain reflectometry approach", IEEE Transactions on Components, Hybrids and Manufacturing Technologies, vol. 15, n°4, Aug. 1992
- [HJELLEN97] G. A. Hjellen, « Including dielectric loss in printed circuit models for improved EMI/EMC predictions », IEEE Transactions on Electromagnetic Compatibility, vol. 39, n°3, Aug. 1997
- [IBIS] Input/Output Buffer Information Specification, IBIS modeling cookbook, Sep. 2005
- [ICEMC] E. Sicard, A. Boyer, User's Manual of IC-EMC, [www.ic-emc.org](http://www.ic-emc.org)
- [ICEM06] IEC 62433, Part 2, EMC of integrated circuits for EMI behavioral simulation, ICEM-CE, ICEM conducted emission model, IEC standard, 2006
- [IDEM] Identification of Electrical Macromodels, <http://www.emc.polito.it/software/IdEM/>

- [IDIR09] N. Idir, Y. Weens, J. J. Franchaud, "Skin Effect and Dielectric Loss Models of Power Cables", IEEE Transactions on Dielectrics and Electrical Insulation, Vol. 16, n° 1, Feb. 2009
- [IEC62132] IEC 62132, Part 1, Integrated circuits, Measurement of electromagnetic immunity, 150 kHz to 1 GHz, General conditions and definitions, 2001
- [IEC62132-3] IEC 62132, Part 3, Integrated circuits, Measurement of electromagnetic immunity, 150 kHz to 1 GHz, Bulk current injection (BCI) method, 2007
- [IEC62132-4] IEC 62132, Part 4, Integrated circuits, Measurement of electromagnetic immunity 150 kHz to 1 GHz, Direct RF power injection method, 2006
- [IEC 61000-4-2] IEC 61000, Part 4-2, Electromagnetic compatibility (EMC), Testing and measurement techniques, Electrostatic discharge immunity test, 1<sup>st</sup> edition, 2001
- [IEC 61000-4-4] IEC 61000, Part 4-4, Electromagnetic compatibility (EMC), Testing and measurement techniques, Electrical fast transient/burst immunity test, 2<sup>nd</sup> edition, 2004
- [ISO] Organisation Internationale de Normalisation, ISO 11452, partie 7, Véhicules routiers -- Méthodes d'essai d'un équipement soumis à des perturbations électriques par rayonnement d'énergie électromagnétique en bande étroite -- Partie 7: Injection directe de puissance aux fréquences radioélectriques (RF), 2003
- [JEIT01] Japan Electronics and information Technologie industries associations, <http://www.jeita.or.jp/english/>
- [JERRAYA02] A. A. Jerraya, « Conception logique et physique des systèmes monopuces », Hermes Science publications, 2002
- [KELANDER04] I. Kelander, A. N. Arlsan, L. Hyvönen, S. Kangasmaa, "Modeling of 3D packages using EM simulators", 8th IEEE Workshop on Signal Propagation on Interconnects, May 2004
- [KENNEALLY90] D. J. Kenneally, D. D. Wilson, S. Epshtein, "RF upset susceptibilities of CMOS and low power Shottky 4-bit magnitude comparators", IEEE International Symposium on Electromagnetic Compatibility, Aug. 1990
- [KIM02] J. H. Kim, M. Swaminathan, « Modeling of multilayered power distribution planes using transmission matrix method", IEEE Transactions on advanced packaging, vol. 25, n°2, May 2002

- [KOO09] J. Koo, L. Han, S. Herrin, R. Moseley, R. Carlton, D. G. Beetner, D. Pommerenke, "A Nonlinear Microcontroller Power Distribution Network Model for the Characterization of Immunity to Electrical Fast Transients", IEEE Transactions on Electromagnetic Compatibility, Vol. 51, n° 3, Aug. 2009
- [KRUPPA06] J. Kruppa, D. Hesidencz, « High Speed, High Bandwidth on-chip current and voltage sensor », IEEE sensors 2006, Oct. 2006
- [KUROKAWA65] K. Kurokawa, "Power Waves and the Scattering Matrix", IEEE Transactions on Microwave Theory and Techniques, Mar. 1965
- [LABVIEW] National Instrument, Labview, <http://www.ni.com/labview/f/>
- [LAFON08] F. Lafon, Y. Benlakhrouy, F. De Daran, « Modélisation d'une pince d'injection pour le test BCI sur ligne de transmission multi conducteur », U.R.S.I., Comité National français de Radioélectricité Scientifique, 2008
- [LAFON09] F. Lafon, F. De Daran, M. Ramdani, R. Perdriau, M. Drissi, « Modélisation de l'immunité de circuits intégrés en, contexte industriel », Conférence CEM 2010, Limoge, 2010
- [LAMOUREUX06] E. Lamoureux, « Etude de la susceptibilité des Circuits Intégrés Numériques aux agressions hyper-fréquences », Thèse, pages 213 à 217, 2006
- [LAURIN91] J. J. Laurin, S. G. Zaky, K. G. Balmain, « EMI induces failures in crystal oscillators », IEEE Transactions on Electromagnetic Compatibility, Vol. 33, n°4, Nov. 1991
- [LAURIN95] J. J. Laurin, S. G. Zacky, K. G. Balmain, « On the prediction of digital circuit susceptibility to radiated EMI », IEEE Transactions on Electromagnetic Compatibility, vol. 37, pages 528-535, 1995
- [LARSON79] C. E. Larson, J. M. Roe, "A modified Ebers-Moll transistor Model for RF interference analysis", IEEE Transactions on Electromagnetic Compatibility, vol. 21, n°4, Nov. 1979
- [LEVER90] P. H. Lever, "Development of a system level bench test for the automotive industry", Seventh International Conference on Electromagnetic Compatibility, Aug. 1990
- [LIN97] F. Lin, M. K. Iyer, H. Ma, K. S. tan, "Accurate Package Modeling Based on S-Parameter Measurements", 49th ARFTG Conference Digest-Spring, Jun. 1997
- [LO79] Y. T. Lo, D. Solomon, W. F. Richards, "Theory and Experiment on Microstrip Antennas", IEEE Transactions on antennas and, Vol. 0-27, n° 2, Mar. 1979

- [LOECKX09] J. Loeckx, G. G. E. Gielen, "Generic and accurate whitebox behavioral model for fast simulation of analog effects in nanometer CMOS digital logic circuits", IEEE Transactions on Electromagnetic Compatibility, Vol. 51, n°2, May 2009
- [MARDIGUIAN] M. Mardiguian, Manuel Pratique de Compatibilité Electromagnétique, Edition Prana Recherche et Développement, 2003
- [MAURICE97] O. Maurice, J. Pigneret, "Digital circuit susceptibility characterization to RF and microwave disturbances", RADECS 97. Fourth European Conference on Radiation and its Effects on Components and Systems (Cat. No.97TH8294), Sep. 1997
- [MAXWELL] Equations de Maxwell, [http://fr.wikipedia.org/wiki/%C3%89quations\\_de\\_Maxwell](http://fr.wikipedia.org/wiki/%C3%89quations_de_Maxwell)
- [MILIOZZI96] P. Miliozzi, L. Carloni, E. Charbon, A. Sangiovanni-Vincentelli, « Subwave : a methodology for modeling digital substrate noise in mixed signal ICs », IEEE custom integrated circuits conference, 1996
- [MONTROSE04] M. I. Montrose, L. Enxiao, E. P. Li, "Analysis on the Effectiveness of Printed Circuit Board Edge Termination Using Discrete Components Instead of Implementing the 20-H Rule", International Symposium on Electromagnetic Compatibility, Aug. 2004
- [MOORE65] G. E. Moore, "Cramming more components onto integrated circuits", Electronics, vol. 38, n°8, Apr. 1965
- [MURANO04] K. Murano, F. Xiao, Y. Kami, « An Immunity/ Susceptibility test Method using electromagnetic wave of rotating polarization », IEEE Transactions on Instrumentation and Measurements, vol. 53, n°4, Aug. 2004
- [MUTHANA07] P. Muthana, A. E. Engin, M. Swaminathan, R. Tummala, V. Sundaram, B. Wiedenman, D. Amey, K. H. Dietz, S. Banerji, "Design, Modeling, and Characterization of Embedded Capacitor Networks for Core Decoupling in the Package", IEEE Transactions on advanced packaging, Vol. 30, n° 4, Nov. 2007
- [MUTHANA08] P. Muthana, A. E. Engin, M. Swaminathan, R. Tummala, V. Sundaram, B. Wiedenman, D. Amey, K. H. Dietz, S. Banerji, "Improvements in Noise Suppression for I/O Circuits Using Embedded Planar Capacitors", IEEE Transactions on advanced packaging, Vol. 31, n° 2, May 2008
- [MUTHAROGLU04] A. Muhtaroglu, G. Taylor, T. Rahal-Arabi, "On-die droop detector for analog sensing of power supply noise", IEEE Journal of Solid-State Circuits, Vol. 39, n° 4, Apr. 2004

- [NA02] N. Na, J. Choi, M. Swaminathan, J. P. Libous, D. P. O'Connor, "modeling and simulation of core switching noise for ASICs", IEEE Transactions on advanced packaging, vol. 25, n°1, Feb. 2002
- [NDOYE10] A. N'Doye, « Contribution à la modélisation de l'immunité conduite des circuits intégrés et étude de l'impact du vieillissement sur leur compatibilité électromagnétique », Thèse, 2010
- [OKUMOTO04] T. Okumoto, M. Nagata, K. Taki, "A built-in technique for probing power-supply noise distribution within large-scale digital integrated circuits", IEEE Symposium on VLSI Circuits, 2004
- [ORLANDI03] A. Orlandi, "Circuit model for bulk current injection test on shielded coaxial cables", IEEE Transactions on Electromagnetic Compatibility, Vol. 45, n° 4, Nov. 2003
- [PARTHASARATHY02] V. Parthasarathy, R. Zhu, V. Khemka, T. Roggenbauer, A. Bose, P. Hui, P Rodriguez, J. Nivision, D. Collins, Z. Wu, I. Puchades, M. Butner, « A 0,25  $\mu\text{m}$  CMOS based 70 V smart power technology with deep trench for high-voltage isolation », Freescale, 2002
- [PERDRIAU04] R. Perdriau, M. Ramdani, J. L. Levant, A. M. Trulleman, « EMC Evaluation in Integrated Circuits Using VHDL-AMS », IEEE International Symposium on Industrial Electronics, 2004
- [PUCEL68] R. A. Pucel, D. J. Massé, C. P. Hartwing, « Losses in Microstrip », IEEE Transactions on microwave theory and techniques, vol. MTT 16, n°6, Jun. 1968
- [QRC] CADENCE QRC Extraction, <http://www.cadence.com/rl/Resources/datasheets>
- [RAMDANI09] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. Hubing, M. Coenen, O. Wada, "The electromagnetic compatibility of integrated circuits - past, present and future", IEEE Transactions on Electromagnetic Compatibility, Vol. 51, n° 1, Feb. 2009
- [ROBINSON03] M. P. Robinson, K. Fisher, I. D. Flintoft, A. C. Marvin, "A simple Model of EMI- Induced timing jitter in digital circuits, its statistical distribution and its effect on circuits performance", IEEE transactions on Electromagnetic Compatibility, vol. 45, n°3, Aug. 2003
- [ROCK03] A. Rock, "5 commandments, *the rules engineers live by weren't always set in stone* by Philipp E. Ross", IEEE spectrum, page 33, Dec. 2003
- [ROUX04] Circuits couplés par mutuelle d'inductance,  
<http://www.ponge.com/telechargements/electro16.pdf>

- [RUEHLI72] A. E. Ruehli, "Inductance calculation in a complex integrated circuit environment", IBM Journal of research and development, vol. 16, n°8, pages 470-481, Sep. 1972
- [SCHAUB08] J. D. Schaub, F. H. Gebara, T. Y. Nguyen, I. Vo, J. Peña, D. J. Acharyya, "On-chip jitter and oscilloscope circuits using an asynchronous sample clock", 34th European Solid-State Circuits Conference, Sep. 2008
- [SEN98] B. K. Sen, R. L. Wheeler, "Skin Effects models for Transmission Line Structures using Generic SPICE Circuit Simulators", IEEE 7th topical Meeting on Electrical Performance of Electronic Packaging, Oct. 1998
- [SHEPARD01] K. L. Shepard, Y. Zheng, "On-chip oscilloscopes for noninvasive time-domain measurements of waveforms", International Conference on Computer Design, Aug. 2001
- [SHEPHERD07] RF Basics training, Mar. 2007
- [SHIMAZAKI07] S. Shimazaki, S. Shinomoto, "A recipe for optimizing a time-histogram", Advances in Neural Information Processing Systems, Vol. 19, pages 1289-1296, 2007
- [SHNEIDER] Groupe Shneider, « Manuel didactique sur la compatibilité électromagnétique »
- [SHNEIDER68] M. V. Shneider, « Microstrip line for microwave integrated circuits », Dec. 1968
- [SICARD05] E. Sicard, S. Ben Dhia, « Basics of CMOS cell design », page 314, 2005
- [SICARD06] E. Sicard, S. Ben Dhia, M. Ramdani, "Electromagnetic Compatibility of Integrated Circuits, *Techniques for low emission and susceptibility*", Springer, page 217, 2005
- [SIM97] J. D. Sim, F. S. Galbraith, N. Davenport, "Perceived susceptibility of Microcontrollers", IEEE Symposium on EMC, Aug. 1997
- [SPECTRE] Virtuoso Spectre Circuit Simulator, [http://www.cadence.com/products/rf/spectre\\_circuit](http://www.cadence.com/products/rf/spectre_circuit)
- [STEINECKE06] T. Steinecke, D. Hesidenz, E. Miersch, "EMI modeling and simulation in the IC design process", 17th International Zurich Symposium on Electromagnetic Compatibility, 2006
- [SU93] D. K. Su, M. J. Loinaz, S. Masui, B. A. Wooley, « Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits », IEEE solid-state circuits, Vol. 28, n°4, pages 420-430, Apr. 1993
- [SULTAN86] M. F. Sultan, « Modeling of bulk current injection setup for susceptibility threshold measurements », IEEE, 1986
- [SVENSSON01] C. Svensson, G. E. Dermer, « Time domain modeling of lossy interconnects », IEEE Transactions on advanced packaging, vol. 24, n°2, May 2001

- [TAKAMIYA02] M. Takamiya, M. Mizuno, K. Nakamura, "An on-chip 100 GHz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator", IEEE International Solid-State Circuits Conference (ISSCC), 2002
- [TAYLOR65] C. D. Taylor, R. S. Satterwhite, C. W. Harrison, "The response of a terminated Two-wire transmission Line Excited by a Non-uniform Electromagnetic Field", IEEE Transactions on antennas and Propagation, Nov. 1965
- [TEHRANI96] P. F. Tehrani, Y. Chen, J. Fang, « Extraction of transient behavioral model of digital buffers from IBIS », Electronic components and technology conference, 1996
- [TOUCHSTONE02] Touchstone® File Format Specification, Rev 1.1, 2002  
[http://vhdl.org/ibis/connector/touchstone\\_spec11.pdf](http://vhdl.org/ibis/connector/touchstone_spec11.pdf)
- [UWE05] S. Uwe, T. Gervin, K. Heiko, J. Werner, "Modeling of bulk current injection method for a coaxial cable", EMC Component Symposium, 2005
- [VALORGE06] O. Valorge, « Bruit d'alimentation et couplage par le substrat dans les circuits mixtes », Jan. 2006
- [VARMA04] A. Varma, S. Lipa, A. Glaser, M. Steer, P. Franzon, "Simultaneous Switching Noise in IBIS models", International Symposium on Electromagnetic Compatibility, Aug. 2004
- [VEIJOLA88] T. Veijola, M. Valtonen, "Dispersive transmission line model for nonlinear time domain circuit analysis", 1988 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.88CH2458-8), Jun. 1988
- [VERGHESE93] N. K. Verghese, S. Lee, D. J. Allstot, "A unified approach to simulating electrical and thermal substrate coupling interactions in ICs", IEEE international conference on CAD, 1993
- [VRIGNON05] B. Vrignon, S. Bendhia, E. Lamoureux, E. Sicard, « Characterization and modeling of parasitic emission in deep submicron CMOS », IEEE Transactions on Electromagnetic Compatibility, Vol. 47, n°2, pages 382-385, May 2005
- [VRIGNON-1-05] B. Vrignon, « Caractérisation et optimisation de l'émission électromagnétique de systèmes sur puce », Thèse, 2005
- [VRIGNON-2-05] B. Vrignon, « Caractérisation et optimisation de l'émission électromagnétique de systèmes sur puce », Thèse, page 120, 2005
- [WADA08] O. Wada, K. Lokibe, A. Ohsaki, Y. Toyota, R. Koga, "EMC Macro-modeling of CMOS Inverter Using LECCS-I/O Model with Additional Current Source", IEEE International Symposium on Electromagnetic Compatibility, Aug. 2008

- [WANG06] C. Wang, J. Mao, G. Selli, S. Luan, L. Zhang, J. Fan, D. J. Pommerenke, R. E. Dubroff, J. L. Drewniak, "An efficient approach for power delivery network design with closed-form expressions for parasitic interconnect inductances", IEEE Transactions on advanced packaging, vol. 29, n°2, May 2006
- [WANG07] X. Wang, L. Hedrich, "Hierarchical Symbolic Analysis of Analog Circuits Using Two-Port Networks", 6th WSEAS International Conference on Circuits, Systems, Electronics, Control & Signal Processing, Cairo, Dec. 2007
- [WEMPLE95] I. W. Wemple, A. T. Yang, "Integrated Circuit substrate coupling models based on Voronoi tessellation", IEEE Transactions on CAD, Vol. 14, n°12, Dec. 1995
- [WHALEN79] J. Whalen, « Predicting RFI Effects in Semiconductor devices at Frequencies above 100 MHz », IEEE Transaction on Electromagnetic Compatibility, vol. 21, Nov. 1979
- [WHEELER77] H. A. Wheeler, "Transmission-Line Properties of a Strip on a Dielectric Sheet on a Plane", IEEE Transactions on Microwave theory and technique, Vol. MTT 25, n°8, Aug. 1977
- [WOODY83] J. A. Woody, « Modeling of parasitic effects in discrete passive components », RADC.TR.83-32, Georgia Institute of Technology, Feb. 1983
- [XU02] M. Xu, T. H. Hubbing, « Estimating the power bus impedance of printed circuit boards with embedded capacitance », IEEE Transactions on advanced packaging, vol. 25, n°3, Aug. 2002
- [YAN09] X. Yan, X. Kuang, N. Wu, "An Accurate and Fast Behavioral Model for PLL Frequency Synthesizer Phase Noise/Spurs Prediction", IEEE Custom Integrated Circuits Conference (CICC), 2009
- [YANG95] Z. Yang, D. Moore, J. Ewanich, "IC package modeling and characterization for RF applications", Microelectronics Communications Technology Producing Quality Products Mobile and Portable Power Emerging Technologies Conference record, Nov. 1995
- [YEE66] K. Yee, "Numerical solution of initial boundary value problems involving Maxwell's equations in isotropic media". IEEE Transactions on Antennas and Propagation Vol. 14, pages 302–307, 1966
- [YUEDONG09] L. Yuedong, S. Dongli, "Investigation of crosstalk between wires using PEEC", International Conference on Microwave Technology and Computational Electromagnetics, pages 176-179, 2009

- [ZHANG10] J. Zhang, J. L. Drewniak, D. J. Pommerenke, M. Y. Koledintseva, R. E. DuBroff, W. Cheng, Z. Yang, Q. B. Chen, A. Orlandi, "Causal *RLGC*(f) Models for Transmission Lines From Measured S-Parameters", IEEE Transactions on Electromagnetic Compatibility, Vol. 52, n° 1, Feb. 2010
- [ZHAO08] J. Zhao, E. K. Chan, "Signal Power Integrity and Design Consideration in Package Modeling", 10th Electronics Packaging Technology Conference, Dec. 2008
- [ZONG04] L. Zong, L. C. Kempel, M. C. Hawley, "Dielectric properties of polymer materials at a high microwave frequency", Antennas and Propagation Society International Symposium, Jun. 2004

## Glossaire

<b>AC</b>	<i>Alternative Current</i>
<b>ADS</b>	Logiciel <i>Advanced Design System</i>
<b>AM</b>	<i>Amplitude Modulation</i>
<b>AOP</b>	Amplificateur Opérationnel
<b>BCI</b>	<i>Bulk Current Injection</i>
<b>BGA</b>	<i>Ball Grid Array</i>
<b>Bondings</b>	Fils reliant les broches du boîtier aux circuits intégrés sur silicium
<b>BP</b>	Bande Passante
<b>Buffer</b>	En électronique, un buffer est un montage spécifique destiné à amplifier le courant de sortie d'un circuit, permettant de raccorder plus d'utilisateurs sur la sortie de ce circuit. En informatique, buffer est le terme anglais équivalent à mémoire tampon, une zone de mémoire virtuelle (ou de disque dur) utilisée pour stocker temporairement des données, notamment entre deux processus ou deux pièces d'équipement ne fonctionnant pas à la même vitesse
<b>CAN</b>	<i>Controller Area Network</i>
<b>CAO</b>	Conception Assistée par Ordinateur
<b>CCVS</b>	Sources de tensions contrôlées en courant
<b>CEM</b>	Compatibilité Electromagnétique
<b>CI</b>	Circuit Intégré
<b>CIFRE</b>	Convention Industrielle de Formation par la Recherche
<b>CMOS</b>	<i>Complementary Metal Oxyde Semiconductor transistor</i>
<b>CST</b>	Circuit Sous Test
<b>CW</b>	<i>Continuous Wave</i>
<b>DC</b>	<i>Direct Current</i>
<b>DCS</b>	<i>Digital Cellular System</i>

<b>DDP</b>	Densité de Probabilité
<b>DIL</b>	<i>Dual InLine Package</i>
<b>DIP</b>	<i>Dual Inline Package</i>
<b>DPI</b>	<i>Direct Current Injection</i>
<b>EHF</b>	<i>Extra High Frequency</i>
<b>ESD (ou DES)</b>	<i>Electrostatic Discharge</i> (ou Décharges électrostatiques)
<b>E/S</b>	Entrée/Sortie ( <i>I/O : Input/Output</i> )
<b>FDTD</b>	<i>Finite-Difference-Time-Domain</i>
<b>Flip Flop</b>	Bascule D qui est munie d'une entrée d'horloge sensible aux fronts
<b>FR4</b>	<i>Flame Resistant 4</i> (Matériau couramment utilisé pour concevoir un circuit imprimé)
<b>GND</b>	<i>Ground</i> (Masse de l'alimentation dont la valeur est égale à 0 V)
<b>GSM</b>	<i>Global System for Mobile Communication</i>
<b>HF</b>	Hyper-fréquence
<b>IBIS</b>	<i>Input/Output Buffer Information Specification</i>
<b>ICIM</b>	<i>Integrated Circuit Immunity Model</i>
<b>ICEM</b>	<i>Integrated Circuit Emission Model</i>
<b>IEC</b>	<i>International Electrotechnical Commission</i>
<b>IEM</b>	Interférences Electromagnétiques
<b>IEMN</b>	Impulsion Electromagnétique Nucléaire
<b>IMIC</b>	<i>I/O Interface Model for Integrated Circuits</i>
<b>JEITA</b>	<i>Japan Electronics and Information Technology industries associations</i>
<b>JIG</b>	Outil de calibrage utilisé lors de tests <i>BCI</i>
<b>Jonction PN</b>	Une jonction PN est créée par la mise en contact d'un semi-conducteur dopé N et d'un semi-conducteur dopé P

<b>Leads</b>	Pistes métalliques à l'intérieur des boîtiers de composants qui permettent de relier les fils de <i>bonding</i> aux circuits intégrés sur silicium
<b>LECCS</b>	<i>Linear Equivalent Circuit and Current Source</i>
<b>LIHA</b>	<i>Local Injection Horn Antenna</i>
<b>LIN</b>	<i>Local Interconnect Network</i>
<b>MCSP</b>	<i>Mold Chip Scale Package</i>
<b>MFP</b>	Micro-onde de forte puissance
<b>MOS</b>	<i>Metal Oxide Semiconductor transistor</i>
<b>MOSFET</b>	<i>Metal Oxide Semiconductor Field-Effect Transistor</i>
<b>Netlist</b>	Fichier décrivant la topologie d'un circuit
<b>NFS</b>	<i>Near Field Scan</i>
<b>NMOS</b>	Transistor MOS à canal N
<b>PCB</b>	<i>Printed Circuit Board</i> (Circuit imprimé)
<b>PDN</b>	Réseau de distribution passif ( <i>Passive Distribution Network</i> )
<b>PEEC</b>	<i>Partial Element Equivalent Circuit</i>
<b>PMOS</b>	Transistor MOS à canal P
<b>QFP</b>	<i>Quad Flat Package</i>
<b>RF</b>	Radio Fréquence
<b>RSIL</b>	Réseau Stabilisé d'Impédance de Ligne
<b>RTL</b>	<i>Register Transfer Level</i>
<b>SHF</b>	<i>Special High Frequency</i>
<b>SIP</b>	<i>System-In-Package</i>
<b>SMA</b>	<i>SubMiniature Type A</i>
<b>SMOS8MV<sup>®</sup></b>	Technologie <i>SMARTMOS 8 Medium Voltage</i> de <i>Freescale Semiconductor</i>
<b>SOP</b>	<i>Small Outline Package</i>

<b>SPICE</b>	<i>Simulation Program with Integrated Circuit Emphasis</i>
<b>TEM</b>	Mode de propagation <i>Transverse Electromagnetic</i> (Electromagnétique Transverse)
<b>(G)TEM</b>	Cellule ( <i>Giga Hertz</i> ) <i>Transverse Electromagnetic</i>
<b>TM</b>	Mode de propagation <i>Transversal Magnetic</i> (Magnétique Transverse)
<b>TQFP</b>	<i>Thin Quad Flat Package</i>
<b>TTL</b>	<i>Transistor-transistor logic</i>
<b>UHF</b>	<i>Ultra High Frequency</i>
<b>UMTS</b>	<i>Universal Mobile Telecommunication System</i>
<b>VCVS</b>	Sources de tensions contrôlées en tension
<b>VNA</b>	<i>Vectorial Network Analyzer</i> (Analyseur de réseau vectoriel)
<b>VHDL AMS</b>	<i>Very High Speed Integrated Circuit Hardware Description Language – Analog and Mixed Signal</i>
<b>VHF</b>	<i>Very High Frequency</i>
<b>WBFC</b>	<i>Workbench Faraday Cage</i>

## Liste des Publications

### ▪ Distinction:

**M. Deobarro**, B. Vrignon, S. Ben Dhia, A. Boyer, "Use of on-chip sampling sensor to evaluate conducted RF disturbances propagated inside an integrated circuit", Best Student Paper, EMC Compo 09 international symposium, Toulouse, France, Nov. 2009

### ▪ Revue Internationale:

S. Ben Dhia, A. Boyer, B. Vrignon, **M. Deobarro**, T.V. Dinh, "On-chip noise sensor for integrated circuits susceptibility investigations", Revue IEEE, *Soumis en Mars 2011*

### ▪ Brevet:

B. Vrignon, **M. Deobarro**, J. Shepherd, « Flot de simulation dédié aux analyses de susceptibilité des circuits intégrés faces aux agressions électromagnétiques », Brevet déposé en Février 2011 (*en cours d'approbation*)

### ▪ Conférences Internationales à comité de relecture:

**M. Deobarro**, S. Ben Dhia, B. Vrignon, J. Shepherd, "Comparison of bulk current injection models", EMC Zurich 2009 Symposium, Zurich, Jan. 2009

**M. Deobarro**, B. Vrignon, S. Ben Dhia, A. Boyer, "Use of on-chip sampling sensor to evaluate conducted RF disturbances propagated inside an integrated circuit", EMC Compo 09 international symposium, Toulouse, France, Nov. 2009

**M. Deobarro**, B. Vrignon, S. Ben Dhia, J. Shepherd, "On-chip sampling and EMC modeling of I/Os switching to evaluate conducted RF disturbances propagation", Asia-Pacific EMC (APEMC) symposium, IEEE conference, China, Beijing, Apr. 2010

S. Ben Dhia, A. Boyer, **M. Deobarro**, B. Vrignon, "IC immunity modeling process validation using on-chip measurements", LATW symposium, IEEE Latin American Test Workshop, Brazil, Mar. 2011

B. Vrignon, **M. Deobarro**, S. Ben Dhia, A. Boyer, "Bulk Current Injection modeling and validation on passive loads and an active circuit", APEMC symposium, IEEE conference, Korea, Jeju Island, May 2011

### ▪ Conférences Francophones à comité de relecture:

**M. Deobarro**, B. Vrignon, S. Ben Dhia, "Modeling of conducted disturbance injection to develop a simulation flow in integrated circuit design stage", TELECOM'09, Morocco, Agadir, Mar. 2009

▪ **Tutoriaux:**

A. Boyer, S. Ben Dhia, **M. Deobarro**, "Introduction to the modeling and simulation of electromagnetic compatibility of integrated circuits", One day Tutorial, Asia-Pacific EMC (APEMC) symposium, IEEE conference, China, Beijing, Apr. 2010

▪ **Formations:**

**M. Deobarro**, "Bulk Current Injection and Direct Power Injection tests modeling", Training for designers, Freescale Semiconductor, Toulouse, France, Oct. 2008

**M. Deobarro**, "Introduction to immunity modeling and on-chip sampling", Freescale Semiconductor, China, Beijing, Apr. 2010

**M. Deobarro**, "IC's Immunity prediction: Characterization, Simulation and Validation", Freescale Semiconductor, Toulouse, Nov. 2010



