

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : Nano électronique et nano technologies

Arrêté ministériel : 7 août 2006

Présentée par

Ludovic FOURNEAUD

Thèse dirigée par **Bernard FLECHET** et
codirigée par **Thierry LACREVAZ**

préparée au sein du **Laboratoire IMEP-LAHC**, site de Chambéry
dans l'**École Doctorale EEATS**

Caractérisation et modélisation des performances hautes fréquences des réseaux d'interconnexions de circuits avancés 3D : Application à la réalisation d'imageurs de nouvelle génération

Thèse soutenue publiquement le **11 Décembre 2012**,
devant le jury composé de :

Mr Francis CALMON

Professeur à l'INSA Lyon,

Président

Mr Noel TANGUY

Professeur à l'université de Bretagne Occ.,

Rapporteur

Mr Tuami LASRI

Professeur à l'université Lille 1,

Rapporteur

Mr Thierry LACREVAZ

Maître de conférences à l'université de Savoie,

Co-directeur de thèse

Mr Bernard FLECHET

Professeur à l'université de Savoie,

Directeur de thèse

Mr Laurent DUSSOPT

Ingénieur de recherche CEA-LETI,

Invité

Mr Jean CHARBONNIER

Ingénieur de recherche CEA-LETI,

Invité



Remerciements

Je tiens tout d'abord à remercier mon directeur de thèse, Bernard Flechet, pour m'avoir fait confiance durant ces trois années de thèse. Je tiens particulièrement à saluer l'humanité dont il fait preuve envers ses collaborateurs, son savoir vivre, son sérieux, sa vivacité d'esprit ainsi que son expérience des plus enrichissantes qu'il n'hésite pas à faire partager lors de discussions très animées.

Je remercie également Thierry Lacrevez, sans qui ce travail ne serait pas ce qu'il est aujourd'hui. Ta gentillesse, ton courage et ta disponibilité sont un exemple pour tous et devrait être une source d'inspiration pour tes futurs doctorants. Passionnées et créatives, j'ai beaucoup apprécié nos conversations scientifiques, toujours riches en rebondissement, d'autant plus en chaussettes, autour d'un verre de Saké lors d'une certaine conférence au Japon (Cette semaine passée avec toi au pays du soleil levant restera comme l'un de mes plus beaux périples).

Je n'oublie évidemment pas mes collègues doctorants ou ex-doctorants, mes amis « Bousiers », Benjamin le prophète, Yann le pragmatique, Pierre le philosophe, Damien l'artiste, Mélanie, Romain, Maher, Jonathan, Sébastien, Benjamin Blampey, Julie, avec qui j'ai partagé non seulement de grands débats mais également de grands moments de détente festive; tous ces petits instants de fraternité indispensables à l'épanouissement personnel et professionnel.

Je remercie bien chaleureusement les membres de l'équipe CHIPI, Cédric pour ses conseils (quand rien ne va on devient astucieux), Greg pour avoir tenté de manger le plus gros hamburger du monde et le nouveau, Philippe, pour ta patience lors de nos discussions en fin de rédaction.

Merci aux autres du laboratoire, Emilie, Florent, Stéphane, Sylvain et ceux que j'oublie pour leur bonne humeur et leur gentillesse.

Je remercie tout naturellement l'ensemble des personnes qui composait mon jury de thèse pour leurs remarques et de l'intérêt qu'elles ont porté à mon travail. Certaines venaient de loin, je leur en suis très reconnaissant.

Je tiens également à saluer tous les collaborateurs du projet 3D-IDEAS pour les échanges scientifiques lors des diverses réunions et particulièrement Jean et Perceval que j'ai parfois beaucoup sollicité.

Je tiens à remercier Leïla ma compagne pour son soutien moral dans la dernière ligne droite, qui a su me supporter quand je ne parlais que de mon travail et m'alléger de certaines lourdeurs logistiques en fin de thèse.

Enfin, un grand merci à ma famille, mes amis, Marco, Djé, Buns, Jul, Joh et les autres qui m'ont tant apporté et qui m'ont permis de devenir ce que je suis.

Sommaire

<i>Introduction générale</i>	0
<i>Chapitre 1 : Contexte des travaux - Les interconnexions en intégration 3D et leurs enjeux pour la conception d'un imageur</i>	12
1 Introduction	18
2 Pourquoi l'intégration 3D ?.....	19
2.1 Limites de la loi de Moore.	19
2.2 Système sur puce (SoC)	21
2.3 Système SIP (System In Package)	22
2.4 L'intégration 3D.....	23
3 Conception d'un imageur en intégration 3D (projet ANR 3D-IDEAS).....	24
3.1 Les imageurs en technologie d'intégration 3D.....	25
3.2 Le projet 3D-IDEAS	26
4 Les problèmes liés aux interconnexions de type TSV dans l'intégration 3D.....	27
4.1 Impact des TSV sur l'intégrité des signaux.....	28
4.2 Difficultés rencontrées pour la caractérisation des TSV.....	29
4.3 Etat de l'art sur les modèles électriques de TSV	32
5 Mon travail de thèse.....	35
<i>Chapitre 2 : Extraction des paramètres électriques d'une interconnexion</i>	40
1 Introduction	46
2 Rappels des outils d'analyse utilisés en hyperfréquence	48
2.1 La matrice S (Scattering Parameters)	49
2.2 Les matrices de transfert	50
2.2.1 Matrices T.....	51
2.2.2 Matrices ABCD.....	51
2.3 Les matrices impédance et admittance.....	52
2.3.1 La matrice impédance Z.....	52
2.3.2 La matrice admittance Y	53
3 Méthode de de-embedding classique en 3D-IC.....	53
3.1 Etape de modélisation	54

3.2	Etape d'épluchage	57
3.3	Méthode d'extraction de l'exposant de propagation de la RDL	58
3.4	Extraction de l'impédance caractéristique de la ligne de RDL.....	60
3.5	Epluchage final : extraction de la matrice ABCD d'un bloc de TSV	61
3.6	Limitation de la méthode de de-embedding à l'extraction d'un bloc de TSV seul	62
4	Méthode de de-embedding innovante applicable à l'extraction de TSV	63
4.1	Modélisation	65
4.2	Validation de la méthode.....	68
4.2.1	Extraction des paramètres électriques d'une ligne coplanaire	68
4.2.2	Validation de l'hypothèse	72
4.3	Extraction des paramètres électriques des TSV	73
4.3.1	CDT 3TSV HR.....	74
4.3.2	CDT 1TSV LR.....	78
5	Conclusion.....	82
	<i>Chapitre 3 : Modélisation analytique large bande de fréquence des interconnexions de type TSV et Cu-pillar</i>	84
1	Introduction	90
2	Calcul de la résistance linéique interne d'un TSV.....	92
2.1	Approche classique.....	92
2.2	Technique de Vujovic : processus de calcul rigoureux	94
2.3	Proposition d'une nouvelle relation de résistance linéique interne d'un TSV.....	97
3	Calcul de l'inductance et de la résistance linéiques de 1, 2 et 3 TSV	100
3.1	Inductance interne	100
3.1.1	Théorie : processus de calcul	100
3.1.2	Comparaisons des différentes techniques.....	104
3.2	Inductance externe.....	105
3.3	Résistance et inductance linéiques totales pour 3 TSV en architecture type-H	108
4	Calcul de la capacité et de la conductance linéiques pour 1, 2 et 3 TSV	111
4.1	Capacité linéique : expression générique	111
4.2	Capacité linéique pour 3 TSV type-H en configuration GSG	113
4.3	Conductance linéique	115
4.3.1	Théorie : processus de calcul	116

4.3.2	Conductance linéique pour 1,2 et 3 TSV	116
5	Validations des modèles analytiques développés.....	118
5.1	Comparaison des modèles analytiques à des simulations	118
5.2	Comparaison des modèles analytiques aux résultats de mesures.....	121
6	Application des modèles développés au cas des Cu-pillar	124
7	Conclusion.....	128
	<i>Chapitre 4 : Applications du modèle électrique analytique RLCG</i>	132
1	Introduction	138
2	Outil et grandeurs caractéristiques permettant l'analyse des performances des interconnexions au travers de leurs modèles électriques associés	139
2.1	Le diagramme de l'œil	139
2.2	Le délai de propagation	142
2.3	Le temps de montée.....	143
3	Limites du modèle RC classique	144
3.1	Présentation du Modèle RC	144
3.2	Comparaison des performances du modèle RC à celles du modèle analytique développé au chapitre 3, validité du modèle RC	148
3.2.1	Comparaison des modèles dans le cas des TSV MD/BR pour des débits de 10 Gbits/s et 1 Gbits/s.....	150
3.2.2	Comparaison des modèles dans le cas des TSV HD/HR pour des débits de 10 Gbits/s et 1 Gbits/s.....	153
3.2.3	Comparaison des modèles dans le cas de TSV MD/HR pour un débit de 10 Gbits/s.	154
3.2.4	Comparaison des modèles dans le cas d'une chaîne de TSV MD/BR pour un débit de 10 Gbits/s	155
4	Etudes prédictives sur la stratégie de routage des signaux numériques à l'aide du modèle analytique développé au chapitre 3.....	158
4.1	Cas d'un substrat basse résistivité (BR)	159
4.2	Cas d'un substrat haute résistivité (HR).....	161
5	Conclusion.....	162
	<i>Conclusion générale</i>	168
	<i>Annexes</i>	178
	<i>Références</i>	196

Introduction générale

"Si l'on ne se compare à personne, on devient ce que l'on est."

Jiddu Krishnamurti, extrait de "se libérer du connu",

Médaille de la paix de l'ONU 1984

En 1966, l'archéologue, anthropologue, épigraphiste et écrivain américain Michael D. Coe publie "*The Maya*". Dans son livre l'auteur suggère "que l'Armageddon frapperait les peuples dégénérés du monde et toute la création le dernier jour du 13^e baktun^{*}. Par conséquent ... notre univers actuel serait annihilé en décembre 2012 lorsque le grand cycle du compte long^{**} atteindra son terme". Cette interprétation hypothétique peu réjouissante, de la fin du calendrier de la civilisation précolombienne, sera soutenue par certains spécialistes jusque dans les années 1990 et diffusée par des médias en quête de sensations fortes. Les théories ultérieures proposent non pas la fin du monde mais l'avènement de grands changements et l'entrée dans un cinquième "compte long", associé à un nouveau monde, dont les caractéristiques restent encore floues même si en 2009, le film apocalyptique à gros budget "2012" de R. Emmerich, nous rappelle que tout est possible (le meilleur comme le pire).

Nous sommes en fin d'année 2012.

Force est de constater -heureusement- qu'aucune analyse scientifique ne prévoit les événements surréalistes présentés dans le film d'Emmerich; il semble peu probable que dans les quelques mois à venir, l'humanité disparaisse dans des cataclysmes planétaires. Il reste cependant sûr que les limites de la compréhension et de l'anticipation scientifique n'en demeure pas moins un terreau fertile à l'imaginaire et au sensationnel.

Les hypothèses de grand changement, plus modérées quant à elles ne sont pas nouvelles; le philosophe Héraclite d'Ephèse ne disait-il pas déjà au VII^e siècle avant notre ère "*Rien n'est permanent, sauf le changement*", ne reste alors à chacun que le privilège de fixer la nature et les limites du "grand". L'éveil des consciences, conséquence directe de l'évolution technologique avec notamment l'accès mais aussi la diffusion de l'information à grande échelle, est à mon sens le grand changement dans notre société.

Connectivité, partage, échange et WEB 2.0 font aujourd'hui partie intégrante de la société. Les individus deviennent les yeux, les oreilles et la voix du monde comme autant de capteurs connectés à la toile de l'internet. Pas moins de 2,27 Milliards d'internautes dans le

* Baktun: unité supérieure du calendrier équivalente à 144 000 jours.

** Compte long: type de datation dont le départ est le 11 août 3114 av-JC

monde en 2012 peuvent être acteurs et spectateurs de l'information. Ainsi, en quelques clics chacun peut aisément savoir que le système économique et financier est en faillite, maintenu en coma artificiel par l'injection de masses monétaires colossales, voir les manifestations en Grèce, en Espagne ou dans tout autre pays du monde, suivre en temps réel la création occidentale d'une poudrière au Moyen-Orient pour le contrôle des ressources,...: l'information est accessible et la conscience mondiale grandit.

Cet accès aux NTIC* a fortement participé à l'avènement de cette nouvelle société mondialisée dans laquelle mobilité et instantanéité sont les faire valoir alors qu'information et conscience les enfants maudits. Ainsi, les notebooks et les Smartphones plus particulièrement, permettent à la population de toujours rester connectée, trouver l'information adéquate au moment voulu ou immortaliser les moments "Buzz" afin de les partager sur la toile avec le reste du monde. A titre d'information la France compte 19 Million d'utilisateurs de Smartphone en 2011. Ces nouveaux comportements nécessitent des appareils électroniques légers et portables pour un transport facilité (dans une poche ou un sac), équipés de caméras pour capturer des événements importants, d'antenne WIFI et ou de la 3G, pour partager rapidement et en haut débit vidéos et photos sur le Net, du bluetooth, d'une capacité mémoire impressionnante, d'un processeur puissant garantissant un fonctionnement rapide des applications disponibles et d'une batterie permettant des utilisations de plusieurs heures. Les préoccupations des fabricants, dans un contexte économique très compétitif, sont alors intimement liées aux utilisateurs et proposent des appareils aux performances toujours plus élevées.

Cette augmentation des performances des différents composants d'un appareil électronique est déterminée depuis les années 70 par la miniaturisation des transistors (brique élémentaire de l'électronique), corollaire de la loi de Moore, imposant une densification de l'intégration toujours plus agressive. Ainsi, les contraintes imposées sur cet élément primaire qu'est le transistor et le nombre en constante évolution de fonctions logiques dans les puces ont assujetti les interconnexions reliant les fonctionnalités aux lois de la miniaturisation et de la densification. Depuis quelques années, ces lois, fixées par le modèle des années 70, deviennent de plus en plus difficiles à respecter et chaque pas vers la miniaturisation impose de lever des verrous technologiques, et économiques.

* NTIC: Nouvelles Technologies de l'Information et de la Communication

Aujourd'hui, les puces d'un système complet sont majoritairement reliées entre elles par des pistes de cuivre dont la densité est toujours plus élevée et réalisées en technologie planaire. Ainsi, les dimensions de ces lignes diminuent mais celles-ci doivent supporter des densités de courant toujours plus fortes et véhiculer des fréquences de signaux toujours plus hautes. Temps de retard, consommation et fiabilité sont autant de paramètres qui vont se dégrader en dépit du paradigme de l'électronique, établi depuis plus de 40 ans, liant la densité d'intégration à l'augmentation des performances.

Récemment, les concepteurs ont envisagé la microélectronique d'un œil nouveau en adoptant une approche tridimensionnelle de l'intégration nommée intégration 3D. Ainsi, pour faire face aux contraintes précédemment citées l'intégration 3D des systèmes se base sur un empilement direct et dans la verticalité de puces pouvant être parfois très hétérogènes comme le schématise la figure 0-1. Dans le cas d'un imageur par exemple il devient envisageable d'empiler une puce « processeur » sur une puce « mémoire » elle-même positionnée sur une puce de capteur optique au lieu de concevoir une très grande puce 2D intégrant toutes les fonctions nécessaires au circuit, très difficile et coûteuse à réaliser.

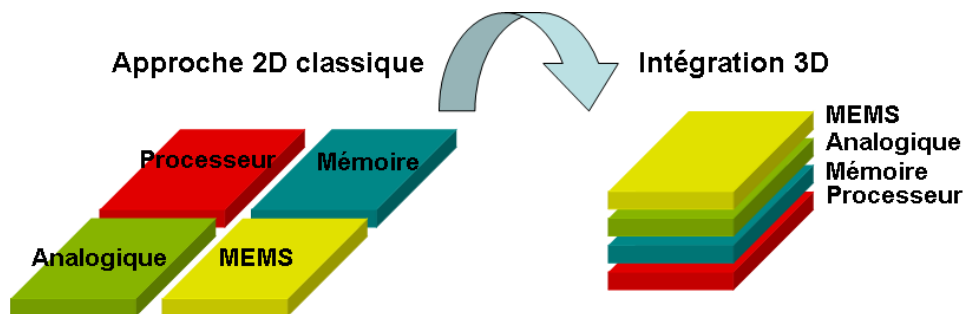


figure 0- 1: Empilement de puces pour une intégration 3D

Les avantages majeurs apportés par l'intégration 3D sont une réduction globale des longueurs d'interconnexions (les chemins pour connecter les différentes fonctions sur une puce peuvent être plus directs et éviter l'encombrement lié à la conception 2D) ainsi que l'opportunité d'assembler des puces réalisées séparément et fortement hétérogènes (de nœuds technologiques très différents). Il en résulte aussi un gain en termes de coût de fabrication et de rendement (un défaut sur une grande puce 2D la condamne au rebut). D'autre part la mise en boîtier intermédiaire n'est plus nécessaire et, au sein d'une même puce, il n'est plus obligatoire d'utiliser la technologie la plus avancée d'une fonctionnalité exigeante aux autres fonctionnalités si le cahier des charges ne l'impose pas. A terme, cette approche permet donc

une augmentation globale de l'intégration, de la fiabilité (grâce à l'utilisation de puces réalisées avec des technologies matures), de meilleures performances électriques, une baisse de la consommation, un encombrement et des coûts de fabrication réduits. L'intégration 3D devient donc l'alternative évidente permettant de satisfaire les exigences de l'utilisateur actuel à savoir nomadisme, performances, faible coût et ultra portabilité.

La démocratisation de l'intégration 3D présuppose le développement et la maîtrise de différentes étapes technologiques, que l'on peut qualifier de clefs :

- Amincir des substrats. Une fois aminci à quelques dizaines de microns, une puce devient fragile et difficile à manipuler et il devient nécessaire de coller celle-ci sur d'autres supports, plus rigides pour les manipulations.

- Disposer de techniques de collage inter-puce permettant le maintien mécanique, la réalisation de contacts électriques inter-puce avec, par exemple, des piliers de cuivres ainsi que des processus d'isolation et de réalisation de lignes de redistribution du signal (RDL).

- Aligner avec une grande précision les différentes puces.

- Disposer de techniques de gravure dans le silicium fiables permettant de perforer ce substrat. Les parois des trous ainsi réalisés sont ensuite oxydées pour l'isolation puis un processus de métallisation permet la création des "Through Silicon Vias" ou TSV. Ces nouvelles interconnexions intra-puce traversant le silicium sont l'élément stratégique de l'intégration 3D et permettront la connexion électrique d'une puce vers les autres et vers l'extérieur.

La figure 0-2 illustre ces différentes étapes technologiques à la base de la réussite d'une intégration 3D.

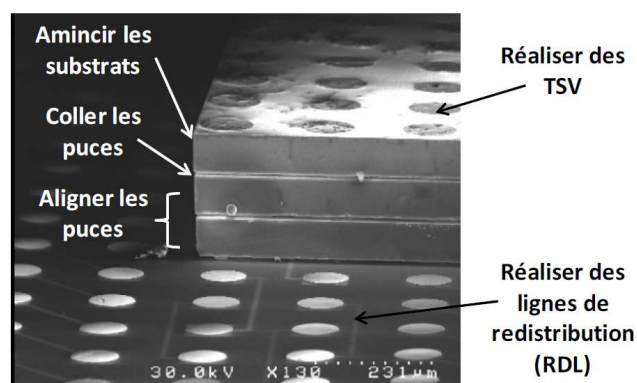


figure 0- 2: L'intégration 3D et ses différentes étapes technologique, illustration avec 3 puces empilées (image SEM, IBM Tokyo Research Laboratory)

Ainsi l'intégration 3D amène une grande quantité d'options technologiques à maîtriser mais pas seulement. Lors du flot de conception, les designers n'ont actuellement que des outils dédiés à la microélectronique 2D. Par conséquent, il est difficile de développer des systèmes viables en intégration 3D sans le développement de kits de dessin (design kits) adaptés regroupant des modèles pour effectuer des simulations, une liste de règle de dessin, des briques de base,... le tout intégré dans un logiciel de CAO*. C'est dans ce contexte bien particulier que s'inscrit le travail de cette thèse, à savoir le développement d'outils adaptés à l'utilisation des interconnexions 3D (TSV, piliers de cuivre,...) en raison de l'absence actuelle de modèles disponibles. En d'autres termes, les « technologues » savent fabriquer des structures 3D mais les concepteurs (designers) ont des difficultés à prédire les comportements et les performances de systèmes électroniques en intégration 3D.

Les travaux de thèse synthétisés dans ce manuscrit se sont intégrés dans un projet ANR de label P-NANO nommé 3D-IDEAS** dont l'objectif a été d'étudier la faisabilité d'une conception d'imageur en intégration 3D. Ainsi, ce projet réunit de nombreux autres partenaires comme le CEA-LETI, STMicroelectronics, l'INL et l'INESS dont les contributions de chacun reposent sur leurs compétences propres à leurs domaines d'activités. L'IMEP-LAHC a donc relevé le défi que représentent la caractérisation expérimentale et la modélisation électromagnétique d'interconnexions 3D (comme les TSV et les piliers de cuivre) afin de proposer des modèles électriques équivalents puis des analyses et des outils de prédiction précis des performances de transmission de signaux rapides ou à haute fréquence au sein des empilements 3D de l'imageur. Ces études tentent donc de combler le manque en termes d'outils, dans le flot de conception, pour l'extraction et la simulation de l'influence des interconnexions destinées à l'intégration 3D.

Le manuscrit est structuré en quatre chapitres et chacun tente de répondre aux problématiques citées précédemment.

Le premier chapitre situe le contexte de l'intégration 3D et plus particulièrement les enjeux du projet ANR 3D-IDEAS afin de concevoir un imageur de nouvelle génération, schématisé en figure 0-3. Il situe également les limites des méthodes de caractérisation hyperfréquences traditionnelles des interconnexions dans le contexte de leur utilisation sur des

* CAO: Conception assistée par Ordinateur

** IDEAS: 3D Integration and DEsign technology for imager Applications and Systems

structures typiques en intégration 3D. Il propose enfin un état de l'art des différents modèles électriques équivalents aux interconnexions TSV déjà existants dans la littérature et il expose les effets de ces interconnexions 3D sur l'intégrité des signaux numériques.

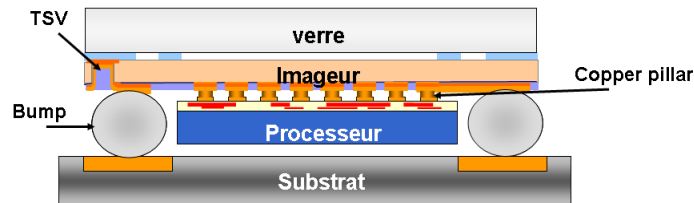


figure 0- 3: Exemple d'architecture d'un imageur en conception 3D

Le chapitre 2 s'attache à présenter les différentes méthodes de caractérisation à haute fréquence d'interconnexions et particulièrement celles développées au sein du laboratoire. Une méthode de caractérisation se résume à extraire, généralement sur une très large gamme de fréquence, les paramètres électriques d'un composant situé au cœur d'une structure mesurée (structure de test), comme le présente la figure 0-4 dans le cas d'un TSV (ici l'objectif est de caractériser un seul des TSV et non pas l'ensemble, la difficulté étant qu'il n'est pas possible de scinder physiquement le dispositif). Faces aux problématiques que représente la caractérisation d'un TSV (mise en péril des hypothèses des méthodes classiques), une nouvelle méthode innovante de "de-embedding" ou d'épluchage sera proposée et présentée.

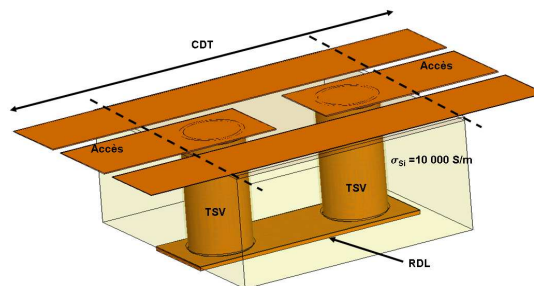


figure 0- 4: Exemple d'un dispositif de mesure typique en intégration 3D destinée à la caractérisation d'un TSV enfoui

Cette méthode nommée DUMMC (De-embedding Using Modification of Material Characteristics) utilise la modification des caractéristiques du substrat (ici du Silicium) en fonction d'une commande extérieure (éclairage) pour extraire les paramètres électriques d'une partie d'une structure mesurée. Le fait de pouvoir agir avec une commande sur les caractéristiques du silicium permet d'obtenir un double jeu d'équations (mesures) sur un même

et unique dispositif mesuré (avec et sans commande). Cette méthode, intégrée dans une procédure de de-embedding peut être utilisée dans le cas de l'intégration 3D et présente l'avantage de ne faire que très peu d'hypothèses et ne nécessite qu'un nombre réduit de dispositifs additionnels, souvent nommés de calibrage (supprimer l'effet des accès d'une ligne par exemple est réalisable avec un seul dispositif additionnel). Enfin, après validation de la méthode en comparant aux résultats obtenus par des méthodes classiques, des modèles électriques de TSV issus des mesures seront présentés.

Le chapitre 3 propose quant à lui des modèles de TSV destinées aux designers. Afin de prédire le comportement des interconnexions 3D, 3 blocs élémentaires sont définis et modélisés. En effet, comme montré sur la figure 0-5, un bloc de 1 TSV seul, un bloc de 2 TSV (Masse et Signal) et un bloc de 3 TSV (Masse Signal Masse) ainsi que leurs caractéristiques physiques (topologies et caractéristiques matériaux) serviront de base aux développements des modèles.

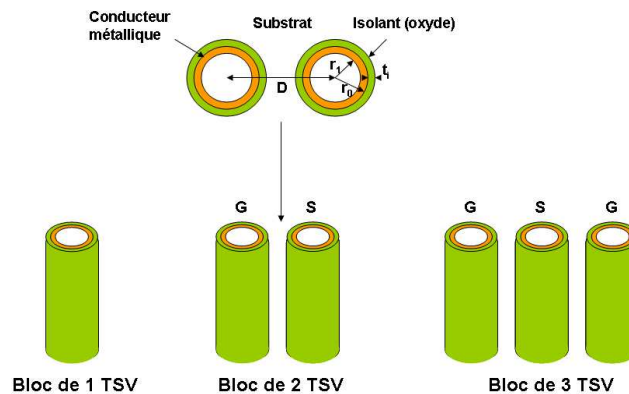


figure 0- 5: Présentations des blocs de TSV étudiés dans le chapitre 3

Les problématiques majeures liées aux modélisations étaient de prendre en compte les phénomènes physiques liés à la conductivité du substrat et à la montée en fréquence des signaux véhiculés dans les TSV afin d'obtenir des équations prédictives et les plus rigoureuses possibles. Le choix d'appréhender les interconnexions 3D comme une ligne de transmission a permis d'établir des expressions littérales permettant de relier les paramètres RLCG* linéiques en fonction des données topologiques, des caractéristiques des matériaux et de la fréquence.

* RLCG : écriture simplifiée de R, L, C, G avec R pour résistance, L pour l'inductance, C pour la capacité et G pour la conductance.

Des comparaisons entre les paramètres RLCG extraits par les simulations, les mesures et les modèles des différents blocs pour différents types de substrats ont permis de valider en tant qu'outil prédictif les expressions développées. Enfin, l'utilisation de ces relations pour le cas des piliers de cuivre met en avant leur simplicité d'utilisation et leur caractère générique.

Le chapitre 4 met en exergue l'impact des réseaux d'interconnexions 3D sur l'intégrité des signaux véhiculés par ceux-ci. Dans un premier temps l'utilisation de l'outil qualitatif qu'est le diagramme de l'œil et l'observation quantitative des réponses indicielles permet d'identifier les limitations d'un modèle RC simple (mais très utilisé par les concepteurs) face aux modèles RLCG plus rigoureux, dans différentes configurations (conductivité du substrat et débit transférés). Les différences sont présentées pour le cas d'un bloc de 3 TSV puis d'une chaîne de 11 blocs de 3 TSV. Une étude sur la stratégie de routage en intégration 3D est aussi présentée comme exemple d'utilisation des modèles et elle met également en avant des conclusions sur les stratégies à employer pour optimiser les performances des canaux de transmission selon les substrats à disposition.

La figure 0-6 synthétise l'ensemble des travaux de thèse :

- Le premier chapitre présente le contexte et la problématique des travaux de thèse.
- Le deuxième chapitre livre des méthodes de caractérisation des TSV afin d'extraire le comportement de ces interconnexions au sein des structures mesurées.
- Le troisième chapitre propose les équations littérales associées aux paramètres RLCG des différents blocs de TSV et compare les résultats obtenus à ceux extraits des simulations et des mesures.
- Enfin le quatrième chapitre compare dans un premier temps le nouveau modèle RLCG du chapitre 3 au modèle RC communément utilisé par les designers puis donne une application concrète avec une étude sur le routage des signaux dans le cas de l'intégration 3D.

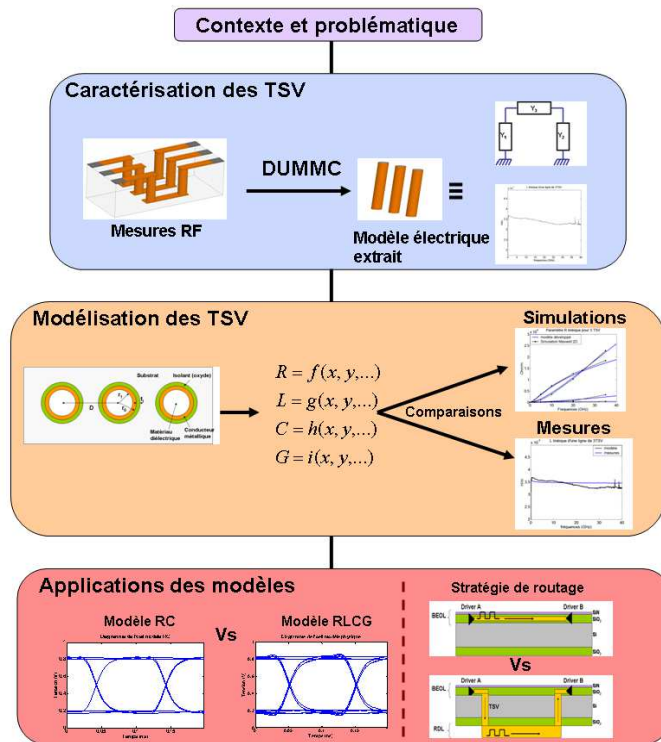


figure 0- 6: Organigramme résumant les travaux menés

Chapitre 1

Contexte des travaux - Les interconnexions en intégration 3D et leurs enjeux pour la conception d'un imageur

"Dans le futur, vous serez trop occupé à regarder le téléphone pour répondre à la télévision."

Ray Smith, président de Telecom Bell Atlantic

Ce premier chapitre a pour but de présenter le contexte des travaux de recherche de cette thèse et de fixer leurs objectifs.

Dans un premier temps nous justifions l'évolution possible des technologies d'intégration en microélectronique vers une solution nouvelle, nommée intégration 3D. Nous présentons tout d'abord les difficultés technologiques rencontrées dans les approches actuelles 2D consistant à poursuivre une intégration toujours plus poussée. Nous montrons alors que la voie offerte par l'intégration 3D permet de contourner en grande partie ces difficultés, tout en améliorant les performances et les coûts de fabrication des circuits. Pour illustrer concrètement ces tendances nous nous appuyons dès cette première partie sur le cas d'une application réelle, la réalisation d'imageurs pour des produits de communications tels que les téléphones portables ou tablettes nécessitant de lourds et hauts débits d'information associés à de faibles consommations d'énergie du fait du caractère embarqué. Ces imageurs sont l'exemple typique de l'intérêt de l'intégration 3D puisqu'il s'agit d'associer des circuits aux fonctionnalités différentes : un capteur optique, un processeur de calcul et de la mémoire.

Dans une deuxième partie nous mettons en évidence toute la problématique des réseaux d'interconnexion lors d'une intégration 3D de circuits. En effet ceux-ci vont impacter très fortement les performances globales de l'empilement 3D des puces. De nouveaux types d'interconnexions sont créés, à savoir les vias traversant les substrats de silicium (TSV), les lignes de redistribution en face arrière des puces (RDL) et les piliers (Pillars) permettant de connecter les puces entre elles. Ces interconnexions restent mal connues et nous justifions nos travaux sur le besoin de développer des outils de caractérisation de ces interconnexions sur une large bande de fréquence étant donnée la gamme étendue de signaux qu'elles peuvent véhiculer. D'autre part il est nécessaire de modéliser ces interconnexions, c'est à dire établir des modèles électriques équivalents permettant aux concepteurs de prédire les performances des circuits 3D et d'optimiser ces dernières à l'aide de différentes stratégies : choix de matériaux et des architectures d'interconnexion, de routage dans les réseaux d'interconnexion, ou de techniques d'empilement des puces et cela en fonction des différentes applications visées. Ces trois importantes étapes, la caractérisation, la modélisation et l'analyse de l'intégrité des signaux dans les nouvelles interconnexions issues de l'intégration 3D établissent le plan de travail des recherches présentées dans ce mémoire.

1	Introduction	18
2	Pourquoi l'intégration 3D ?.....	19
2.1	Limites de la loi de Moore.	19
2.2	Système sur puce (SoC)	21
2.3	Système SIP (System In Package)	22
2.4	L'intégration 3D.....	23
3	Conception d'un imageur en intégration 3D (projet ANR 3D-IDEAS).....	24
3.1	Les imageurs en technologie d'intégration 3D.....	25
3.2	Le projet 3D-IDEAS	26
4	Les problèmes liés aux interconnexions de type TSV dans l'intégration 3D.....	27
4.1	Impact des TSV sur l'intégrité des signaux.....	28
4.2	Difficultés rencontrées pour la caractérisation des TSV.....	29
4.3	Etat de l'art sur les modèles électriques de TSV	32
5	Mon travail de thèse.....	35

1 Introduction

Ce chapitre a pour but de présenter la situation actuelle et les tendances liées à la problématique d'intégration en microélectronique. Pour illustrer ces évolutions nous nous appuyons souvent sur un exemple concret qui a guidé les travaux de cette thèse de doctorat, à savoir le projet ANR P-NANO « 3D-IDEAS* », dédié à la conception d'un nouveau type d'imageur utilisant les technologies d'intégration 3D de circuits sur silicium.

La poursuite de la loi de Moore basée sur la réduction de la taille minimum des dispositifs pour améliorer la vitesse et la densité d'intégration dans les circuits intégrés planaires, est de plus en plus difficile à maintenir en raison d'obstacles majeurs d'ordre économique et physique. L'intégration 3D, consistant à empiler directement les uns sur les autres des circuits intégrés et exploitant la dimension verticale pour la connectivité de ces circuits, donne l'opportunité de continuer à atteindre les niveaux des performances prévus par l'extrapolation de la loi de Moore. Néanmoins, cette approche 3D consiste à une rupture technologique car il est nécessaire d'employer d'une part une approche technologique différente mais aussi un décalage important de paradigme de conception, pour s'orienter vers la mise à l'échelle équivalente et la diversité fonctionnelle par des approches non conventionnelles. Ainsi, pour exemple, le projet ANR 3D-IDEAS est un projet de recherche industrielle visant à développer et appliquer de nouvelles approches de technologies de conception dans le but d'exploiter la technologie 3D pour une application imageur.

La contribution de l'IMEP LAHC dans ce projet ANR est centrée sur la caractérisation et la modélisation des interconnexions utilisées dans la chaîne alimentaire de l'imageur. En effet, les contraintes architecturales et physiques définies par l'environnement 3D nécessitent de définir avec précision l'impact des nouveaux types d'interconnexions présents en intégration 3D. La figure 1-1 schématise deux de ces interconnexions nouvelles, les TSV et les piliers de cuivre (copper-pillar) qui introduisent sans nul doute de l'atténuation, de la diaphonie et des retards supplémentaires lors de la transmission des signaux dans les nouveaux circuits 3D.

* 3D Integration and DEsign technology for imager Applications and Systems

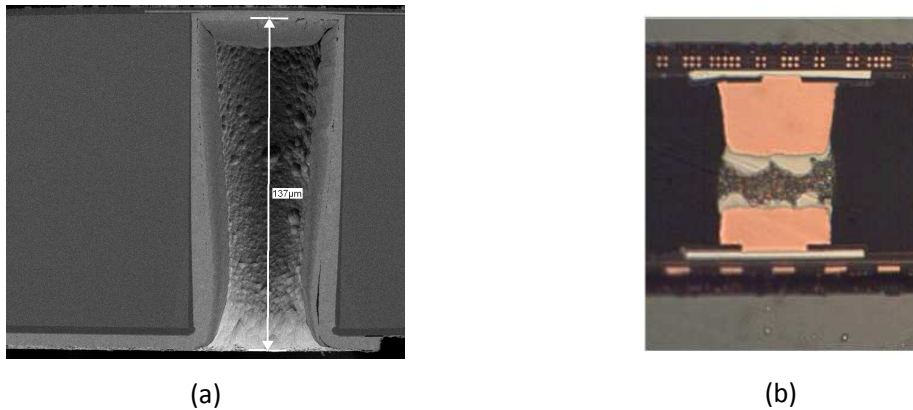


figure 1- 1 : Exemple des nouvelles interconnexions présentes dans l'intégration 3D: (a) TSV moyenne densité, (b) Pilier de Cuivre

Le travail de la thèse s'est donc articulé autour des besoins du projet afin de proposer des modèles physiques, génériques, simples d'utilisation afin d'apporter des outils prédictifs aux designers. Ces modèles doivent permettre d'appréhender les comportements de différentes interconnexions tenant compte des caractéristiques physiques des substrats, des dimensions des TSV sur une large gamme de fréquences afin d'également anticiper sur l'analyse des performances d'applications futures, à très haut débit, comme le HDMI ou Wide I/O dans les appareils intelligents [Kimmich, 2011]

2 Pourquoi l'intégration 3D ?

2.1 Limites de la loi de Moore.

Depuis l'avènement du premier microprocesseur, commercialisé par Intel en 1971, l'industrie de l'électronique n'a de cesse de faire progresser les performances des circuits, de réduire les coûts de développement et de fabrication, de réduire la consommation des circuits et de les miniaturiser. Ces caractéristiques majeures évoluent de concert car la densification des transistors a permis de réduire les coûts de fabrication tout en augmentant la vitesse de fonctionnement des circuits intégrés.

En 1975, Moore propose une loi empirique, linéaire, prédisant deux fois plus de transistors par microprocesseur tous les deux ans. La figure 1-2 met en exergue l'évolution des processeurs en fonction des années et permet de révéler un facteur 10^5 entre les processeurs des années 1975 et ceux des années 2010. Par conséquent, les appareils électroniques sont devenus de plus en plus performant et de moins en moins coûteux.

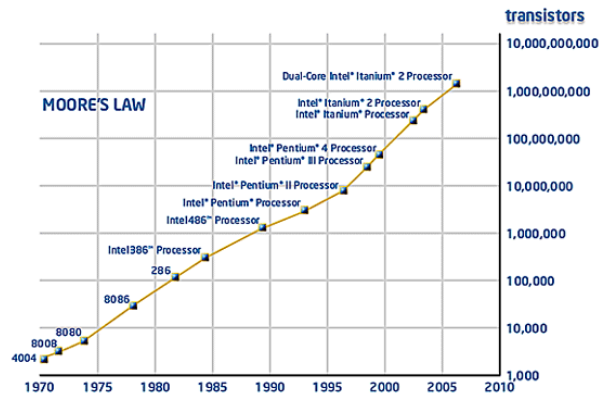


figure 1- 2 : Illustration de la loi de Moore [Intel]

Cependant, dans une puce l'augmentation du nombre de transistors du Front-End-Off-Line* (FEOL) a fortement impactée les interconnexions qui ont vu leurs longueurs et leur densité considérablement augmenter. Ainsi, pour les circuits intégrés de très haute densité d'aujourd'hui, il est courant d'observer des longueurs totales d'interconnexions de l'ordre de 10 km. Les conséquences immédiates de cette évolution sur les interconnexions du Back-End-Off-Line† (BEOL) se traduisent par une augmentation des pertes, du retard et de la diaphonie (liée au couplage entre les connexions).

La figure 1-3 illustre une vue en coupe d'un circuit logique en technologie CMOS 45 nm et montre l'association de la couche FEOL (constituée de composants actifs) et de la couche BEOL (constituée de composants passifs)

* Front End Off Line : Portion active du circuit principalement constituée de transistors.

† Back End Off Line : Portion du circuit chargée de relier électriquement les transistors entre eux et l'extérieur.

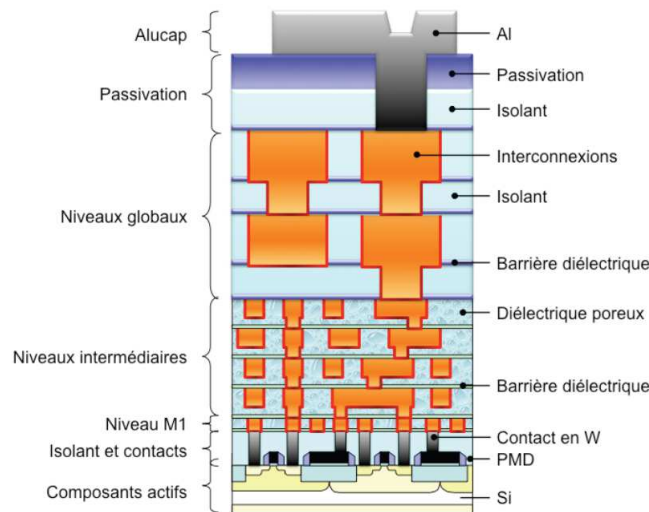


figure 1- 3 : Schéma d'un empilement FEOL et BEOL en technologie CMOS 45 nm [Cadix, 2010]

Pour la génération présentée, on observe un BEOL composé de sept niveaux de lignes d'interconnexions englobant le métal 1 ("M1" le plus dense) chargé de relier les transistors entre eux, quatre niveaux intermédiaires (ou semi globaux), et enfin deux niveaux globaux connectés au niveau métallique final (Alucap). Il est important de signaler qu'entre deux générations successives, la longueur de la grille du transistor est réduite et le nombre de transistors et de niveaux métal augmentent.

2.2 Système sur puce (SoC)

Dans une volonté d'ajouter toujours plus de fonctionnalités dans les systèmes électroniques, les fonctions peuvent être assemblées à même la carte du circuit imprimé ou sous forme de systèmes sur puces (SoC) [Belleville, 2006]. Les SoC sont maintenant présents dans toutes les applications de la vie quotidienne (Téléphone, TV, PC, GPS,...) et la conception de l'ensemble des composants se fait à partir du même nœud technologique ce qui implique des procédés de fabrications compatibles. Ainsi cette technique de conception permet d'obtenir des systèmes complexes (tant que les fonctionnalités sont technologiquement homogènes) d'une grande fiabilité, performants et difficiles à copier.

Cependant, cette méthode d'assemblage de fonctionnalités reste onéreuse (à titre d'exemple, pour la technologie 65 nm il est inutile de développer un SoC pour une production inférieure à quelques dizaine de millions d'exemplaires par an) et limitée d'un point de vue

technologique car il devient difficile de mettre un grand nombre de fonctions sur un même design. L'augmentation des fonctionnalités dans la couche FEOL couplées à la densité d'intégration (loi de Moore) génère petit à petit une augmentation de la consommation des circuits intégrés principalement liée à la densification résultante au niveau BEOL. De plus, la densité de courant présente au niveau BEOL devient également de plus en plus grande et difficile à maîtriser mettant en péril l'intégrité mécanique des interconnexions à cause de l'électromigration [Wang, 2001], et peut entraîner une baisse de la fiabilité des composants électroniques.

Outre les performances, le coût de développement des nœuds technologiques est un facteur limitant pour la pérennisation de la loi de Moore et l'augmentation des fonctionnalités. A titre d'exemple, le coût d'une machine de lithographie en 32 nm est de l'ordre de la centaine de millions d'euros. Par conséquent, dans une course à la miniaturisation et la performance, les idées proposant des alternatives mettant en jeu des technologies matures viennent au cœur des débats.

2.3 Système SIP (System In Package)

Les SIP associent dans un même boîtier des éléments technologiquement très hétérogènes: circuits intégrés, MEMS, batterie, composants RF, Antennes,... Les éléments ne peuvent pas être fabriqués sous forme de systèmes sur puce car leurs conceptions n'est que rarement issue du même nœud technologique. Le procédé consiste donc à réaliser les composants indépendamment les uns des autres, de les assembler puis de réaliser la connectique pour les relier électriquement. Les avantages résident dans la simplicité de conception et le bas coût des masques à réaliser. Cependant le coût de production unitaire est élevé, et l'ajout de connectiques à posteriori détériore la fiabilité et les performances. L'utilisation des SIP est donc très intéressante pour une mise sur le marché rapide ou quand les quantités prévues rendent incertaine la rentabilité d'un SoC [Belleville, 2006].

Le concept 3D voit le jour à la première génération de SIP utilisant la méthode par wire-bonding pour connecter les éléments entre eux (cf figure 1-4-a) mais pour limiter l'encombrement des fils et augmenter les performances, la méthode appelée flip chip a émergé. Cette méthode présentée figure 1-4-b s'affranchit des traditionnels fils d'or et consiste à connecter directement la face active de la puce sur le substrat par l'intermédiaire de billes métalliques.

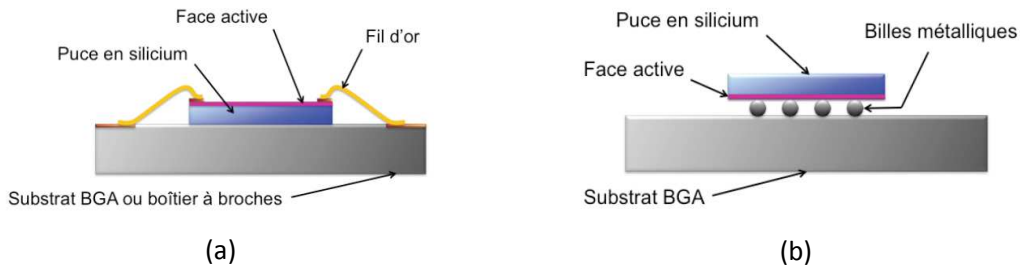


figure 1- 4 : Puces connectées par wire-bonding (a) et par flip-chip (b) [Roullard, 2011]

Les limitations du SIP sont principalement l'encombrement et les pertes de performances liées aux connexions dans le cas du wire-bonding et l'impossibilité d'empiler des puces dans le cas du flip-chip.

L'intégration 3D naît donc d'une volonté des industriels de combiner le principe de superposition du wire-bonding aux performances du flip-chip.

2.4 L'intégration 3D

Comme nous l'avons présenté dans l'introduction de ce mémoire, les bénéfices potentiels avancés par l'intégration 3D associe les concepts de multifonctionnalité, d'augmentation des performances des interconnexions, faible facteur de forme, packaging réduit, augmentation du rendement et de la fiabilité, intégration hétérogène flexible et réduction des coût globaux.

Le principal avantage est de pouvoir concevoir des systèmes hautement complexes par l'intégration de différents types de puces ou fonctionnalités dans un seul boîtier ou sous systèmes compacts [ICT, 2007] afin de profiter des bénéfices de technologies hautement spécialisées. Parallèlement, cette approche augmente les performances des interconnexions en diminuant la puissance consommée, le retard et les pertes d'intégrité des signaux grâce à des longueurs de connectique fortement réduites pour le transport des signaux et la distribution de puissance.

A terme, l'intégration 3D pourrait également voir apparaître de nouvelles solutions liées aux connexions verticales telles que des filtres, des interrupteurs verticaux,... L'intégration 3D permet donc de fabriquer des applications robustes, faible consommation, avec de faibles facteurs de forme.

La figure 1-5 présente quelques méthodes existantes ou tendances prédites dans le packaging pour l'empilement de puces.

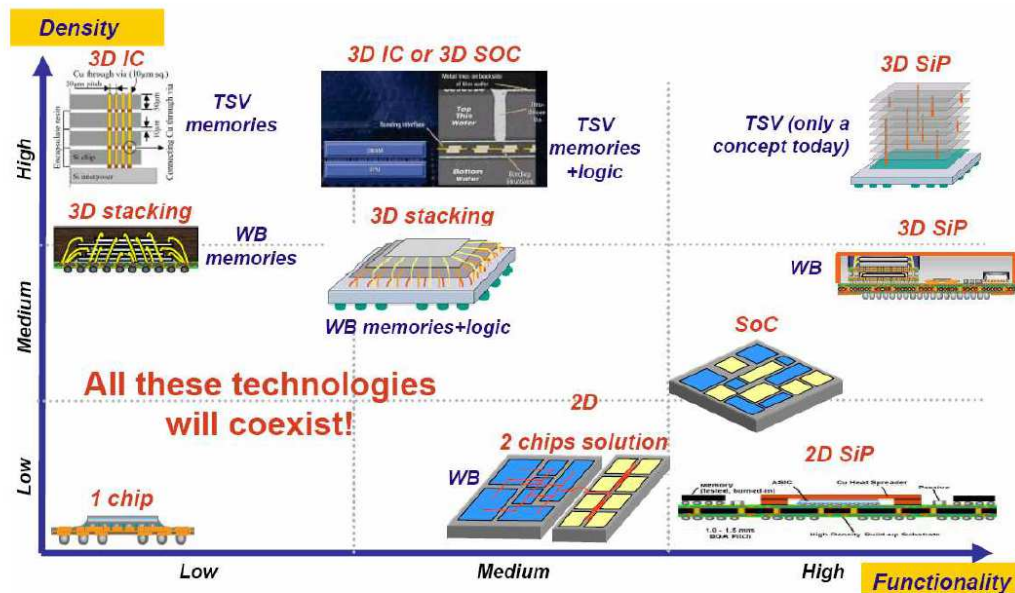


figure 1-5 : Quelques tendances présentes dans le packaging [Hong, 2007]

Nous pouvons observer que les méthodes Soc et SiP 2D sont présentes dans les niveaux d'intégration bas. Les techniques de wire bonding (WB) offrent le concept d'intégration de moyenne densité mais que l'émergence des interconnexions 3D de type TSV, copper pillar, bump (microbilles métalliques) permettent d'atteindre des niveaux de haute densité et à terme, également de fonctionnalités.

3 Conception d'un imageur en intégration 3D (projet ANR 3D-IDEAS)

L'intégration 3D semble être une voie prometteuse pour le développement de nombreuses applications en électronique et particulièrement dans les applications intégrant des capteurs d'images CMOS car leurs performances peuvent être fortement améliorées et leurs tailles réduites. Les avancées technologiques concernant ces imageurs suscitent un fort intérêt car les capteurs d'images CMOS sont devenus les candidats privilégiés pour les systèmes

d'imageurs nomades présent dans les téléphones mobiles (représente 75% du marché global des imageurs), les caméras digitales, les webcams et les lecteurs de code barre. De nouvelles applications voient le jour dans le domaine de l'automobile avec les systèmes d'assistance à la conduite. Maintenant, le marché des imageurs est conséquent et devient un secteur privilégié de la recherche technologique d'où la nécessité de développer les concepts de l'intégration 3D pour devenir le plus compétitif possible en terme de performance et de miniaturisation.

3.1 Les imageurs en technologie d'intégration 3D

Le capteur d'image en intégration 3D est un vieux concept, longtemps considéré comme un projet de recherche exotique, cantonné au laboratoire de recherche en raison de la nécessité d'utiliser des procédés de fabrication non matures. Cependant, grâce à l'avènement de procédés de réalisation réalistes comme les technologies wafer bonding et TSV, l'intérêt grandissant des industriels de l'électronique pour le développement d'applications commercialisables se fait sentir. L'université Tohoku au Japon et le MIT aux USA ont majoritairement contribué au développement de ces nouveaux types d'imageurs.

Le premier prototype d'imageur en technologie 3D est attribué à T. Nishimura de Mitsubishi Electric Corporation en 1987 [Nishimura, 1987]. Inspiré par cette publication, l'université de Tohoku a utilisé ce concept pour la réalisation en intégration 3D de cellules neuromorphiques en imitant la vision biologique en 2001 (figure 1-6).

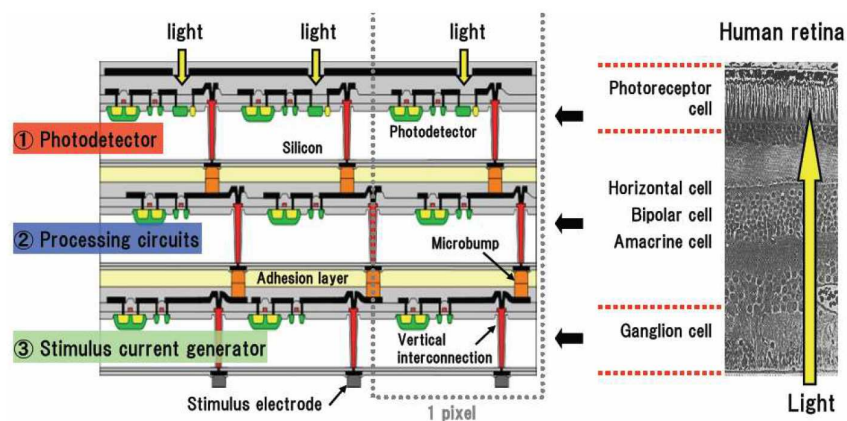


figure 1- 6 : Rétine artificielle [Kurino, 2001]

Le groupe de recherche le plus actif est probablement le laboratoire Lincoln du Massachusetts Institute of Technology (MIT) aux USA qui, grâce à d'importants supports

financiers de la DARPA, ont développé de nombreux projets portant sur la technologie 3D appliquées aux capteurs d'images donnant lieu à de nombreuses publications depuis 2005 dont une fait l'état de l'art sur les capteurs d'images CMOS [Suntharalingam, 2005].

L'université de Yale travaille également sur les techniques de report de puces et plus particulièrement sur l'alignement et elle a démontré la viabilité de la technologie 3D en 2007 [Culurciello, 2007].

Cet engouement généralisé pour le développement de l'intégration 3D appliquée aux imageurs à donné lieu au projet ANR 3D-IDEAS en 2009 initié par STMicroelectronics en collaboration avec le CEA-Leti, l'InESS, l'INL et l'IMEP-LAHC.

3.2 Le projet 3D-IDEAS

Ce projet de recherche a pour objectif de développer les différentes étapes de fabrication de la chaîne d'intégration 3D, du design à l'application innovante d'imageur dans le but d'exploiter rapidement le plein potentiel de cette technologie. Les différents partenaires de ce projet mettent donc en commun leurs compétences dans les domaines de la technologie d'intégration, le flow de conception et de l'application imageur. Dans les principaux objectifs de fabrication, nous pouvons retrouver des défis liés au développement des modules technologiques pour l'empilement du processeur et du bloc mémoire. La principale avancée réside dans l'élaboration d'une technologie stable pour la réalisation de TSV avec une densité relâchée (pour les densités moyennes l'espacement est au minimum de 50 μm) dans le cadre d'un empilement puce sur substrat à basse température compatible avec l'application d'un verre nécessaire à la réalisation d'un prototype d'imageur. Une prospection est aussi attendue dans le cadre des techniques nécessaires à l'intégration 3D de haute densité (espacement de 10 μm). Grâce aux informations recueillies et aux prototypes fabriqués, des caractérisations RF jusqu'à 40 GHz doivent être effectuées et couplées à des simulations aux hautes fréquences. Ces études RF permettent à terme de développer des modèles compacts utilisables au niveau designer. Ces modèles doivent être capables d'appréhender le comportement électrique des TSV, en tant qu'interconnexion, et donner une description correcte de la propagation des signaux. De plus, il doit être possible de déterminer le couplage entre le TSV et le substrat afin de comprendre l'impact du silicium sur les performances des interconnexions.

Le principal challenge pour le flow de conception 3D réside dans l'extension des approches de dessin et de simulation déjà existantes pour la 2D vers la 3D. Le travail proposé

incorpore la développement d'un flow de conception physique défini par le test et l'alignement de structures pour l'optimisation des technologies, la création de kits de dessin 3D tenant compte de la technologie et de l'élaboration des DRC/LVS* aussi bien au niveau de l'architecture, des modèles thermiques, des modèles d'interconnexion, des méthodes de positionnement 3D,...

In fine, les avancées doivent être combinées pour dans un premier temps, dessiner et simuler l'empilement d'une matrice de pixel et un processeur CMOS (empilement de deux éléments) puis dans un second temps effectuer un empilement de 3 éléments en ajoutant une mémoire dédiée. Les connexions entre l'imageur et le processeur sont faites de TSV moyenne densité et de piliers de cuivre (Copper-pillar) comme le présente la figure 1-7.

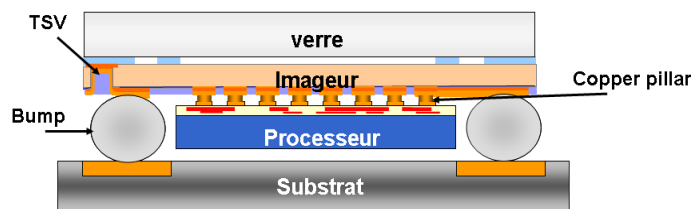


figure 1- 7 : Schéma de l'empilement d'un imageur et d'un processeur en intégration 3D

La participation de l'IMEP-LAHC est associée au flow de fabrication afin de caractériser et modéliser les TSV de moyenne densité jusqu'à 40 GHz afin d'appréhender le comportement des signaux entre l'imageur et le processeur.

4 Les problèmes liés aux interconnexions de type TSV dans l'intégration 3D

Les TSV sont un nouveau type d'interconnexion et ils présentent la spécificité d'être enfouis dans le substrat, dans notre cas du Silicium, comme l'illustre la figure 1-8. Ces interconnexions vont présenter des caractéristiques électriques propres qui vont fortement influencer sur la propagation des signaux. La caractérisation de ces vias traversant est donc l'enjeu majeur pour la compréhension de son comportement et leur modélisation est une nécessité pour les designers afin de prédire la viabilité des systèmes en termes de communication.

* DRC: Design Rule Checking et LVS: Layer Versus Schematic; outils de vérification du Layout pour s'assurer qu'il correspond au circuit électrique qui a été spécifié et qu'il peut être fabriqué sans erreur.

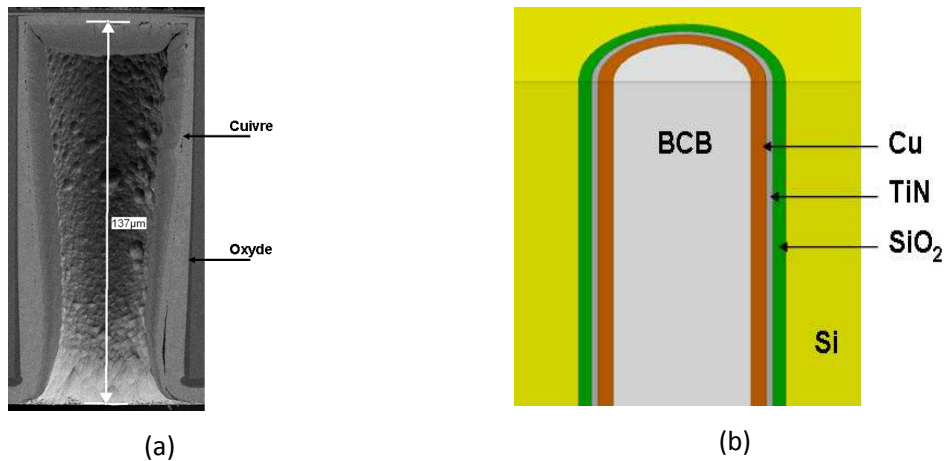


figure 1- 8 : Présentation d'un TSV de moyenne densité: (a) Coupe MEB du TSV, (b) Schéma détaillé d'un TSV

4.1 Impact des TSV sur l'intégrité des signaux

De manière générale l'impact d'une interconnexion de type TSV est définie, comme tout autre interconnexion, par différents effets sur les signaux. En effet, leur environnement et topologies, telles que les caractéristiques matériaux, la proximité de composants, l'architecture (épaisseur, longueur), sont autant de paramètres propres à une interconnexion qui vont influencer la forme du signal transmis (temps de montée, retard, amplitude...). Ainsi, un TSV dans son environnement influencera de manière non négligeable sur l'intégrité du signal qu'il véhicule.

Les phénomènes observables sont caractérisés par l'atténuation, la diaphonie, le temps de montée et le retard.

- **L'atténuation** d'une interconnexion se manifeste par la réduction de l'amplitude du signal véhiculé dans le conducteur. Il est évident que si le nombre de connexions est élevé dans un environnement très agressif en termes de pertes, la détection du signal ne peut se faire qu'au prix d'une dépense conséquente en énergie d'alimentation.
- **Le temps de montée** se mesure sur un front montant du signal et correspond au temps que met ce signal à passer de 10% à 90% de sa valeur maximale de tension. Pour un échelon idéal se temps est nul mais dans les systèmes réels le temps de passage de l'état 0 à l'état 1 d'un bit n'est pas instantané et doit être évalué. Un temps de montée trop long peut être responsable d'une perte de

l'information (un bit peut ne pas être détecté), défini comme interférence inter-symbole (IES) sur un diagramme de l'œil, créant ainsi des dysfonctionnements.

- **Le retard** correspond au temps qui s'écoule entre les passages à 50% de la valeur maximale du signal entre l'entrée et la sortie de la ligne. Il affecte directement les performances du circuit en limitant sa vitesse maximale de fonctionnement et donc sa fréquence de traitement.
- **La diaphonie** se manifeste par le parasitage d'une ligne dite victime par une ligne adjacente propageant un signal pouvant être qualifié d'agresseur (figure 1-9). Cet effet résulte d'un couplage électromagnétique et peut s'avérer très important, entraînant le déclenchement de portes logiques de manière fortuite, donc un dysfonctionnement du circuit.

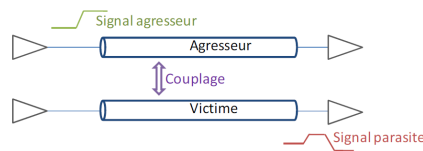


figure 1- 9 : Erreur logique générée par diaphonie

Afin de définir la viabilité d'un système il est donc nécessaire de caractériser les interconnexions afin d'établir un modèle comportemental de celles-ci. Les modèles comportementaux traduisent les phénomènes physiques amont tels que la propagation, le couplage capacitif, le couplage inductif, l'effet de peau, les courants de Foucault,... responsables de la dégradation des performances d'un système. Ainsi, La caractérisation et la modélisation donnent accès à des matrices de paramètres électriques dites $[R][L][C][G]$, traduisant le comportement physique d'un réseau d'interconnexions sur une large bande de fréquences, avec les termes propres à chaque ligne sur la diagonale de la matrice et les termes de couplage en dehors de cette diagonale. Ces matrices incluent l'ensemble des caractéristiques des interconnexions et pourront mettre en évidence les phénomènes d'atténuation, de dispersion, de retard, de diaphonie sur les signaux véhiculés.

4.2 Difficultés rencontrées pour la caractérisation des TSV

L'extraction d'un modèle RLCG équivalent d'un TSV à partir d'une mesure hyper-fréquence 2 ports n'est possible qu'à partir de méthodes dites de de-embedding. En effet, la mesure d'une interconnexion enfouie dans un environnement de propagation non uniforme

n'est que rarement possible et les TSV n'échappent pas à cette règle. En fait, le caractère enfouis de ce type de liaison rend même une mesure directe impossible car elle nécessite des accès de part et d'autre du via (figure 1-10). Or une partie du TSV se situe dans le substrat et les stations sous pointes actuelles ne permettent que des mesures sur la même surface du wafer servant de substrat.

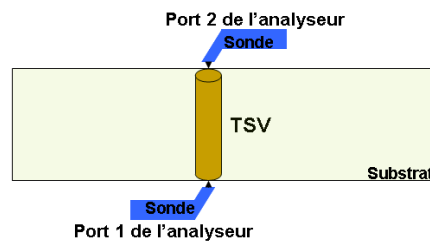


figure 1- 10 : Illustration de la mesure directe d'un TSV impossible à réaliser actuellement

Par conséquent, seule une mesure indirecte est possible et elle s'effectuera sur une structure typique, constituée en deux accès coplanaires, situés sur la même face du substrat, connectés aux TSV et ces derniers devant être reliés par une ligne enfouie en face arrière du substrat (cf. figure1-11).

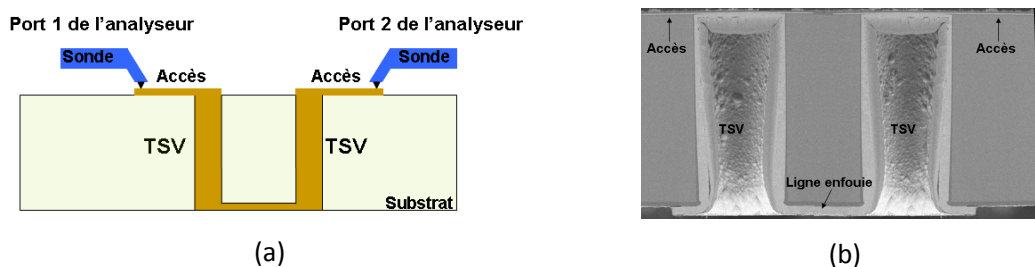


figure 1- 11 : Illustration de la mesure indirecte d'un TSV seul par la mesure d'une structure de test incluant un pont de TSV (a); vue en coupe MEB de la structure (b)

A partir des matrices de diffusion [S] issues de la mesure de la structure de test complète ainsi réalisée il est donc nécessaire, ensuite, de s'affranchir (étape de de-embedding ou d'épluchage) de l'effet des accès et de la ligne enfouie en face arrière pour obtenir le comportement intrinsèque d'un TSV. Le challenge dans cette procédure de « de-embedding » est donc d'obtenir avec la plus grande précision possible la matrice [S] de diffusion ou la matrice [T] de transfert du TSV seul. Dans la littérature, aucune méthode permettant le de-embedding de manière rigoureuse d'un TSV n'est proposée et la manière de déterminer les paramètres RLCG de cette interconnexion reste généralement floue. Ainsi, les modèles électriques d'un TSV

seul ne sont que très rarement extraits sauf dans de rares cas tels que la référence [Cadix, 2008]. Dans cette publication, les TSV sont réalisés en technologie haute densité (diamètre 3 μm) et, après l'étape de-embedding des accès, la matrice impédance de l'ensemble constitué des deux TSV reliés par la ligne en face arrière est considérée comme la mise en cascade de deux blocs identiques du fait de la symétrie. Il est donc difficile d'en déduire avec rigueur les paramètres RLCG d'un TSV.

Ainsi dans la littérature scientifique, les paramètres RLCG d'un TSV sont généralement extraits par simulation électromagnétique ou à partir de modèles physiques simplistes, ceux-ci étant comparés aux paramètres S mesurés [Wee Ho, 2009] et [Chung, 2010] sur une structure de test complexe incluant au moins deux TSV.

- Les méthodes type TRL permettent d'extraire les paramètres S d'un élément enfoui, dans le cas d'une structure symétrique ou d'accès aux caractéristiques connues. L'inconvénient de ces méthodes est que la connaissance seule des paramètres S du dispositif testé ne permet pas d'extraire ses éléments RLCG. Il est nécessaire de connaître l'impédance référence associée à ces paramètres S et cette dernière est fixée par les dispositifs additionnels de de-embedding, qui est inconnue. Cette méthode est la plus utilisée et des variantes existent mais chacune d'elles ne permet que d'extraire des matrices S normalisées à une impédance de référence mal définie.

- La méthode proposée par [Schieck, 1996] permet d'extraire rigoureusement l'exposant d'une interconnexion enfouie dans un environnement d'accès symétrique. En d'autres termes, comme le présente la figure 1-11, la structure de test est symétrique mais l'élément central est la ligne enfouie en face arrière et non le TSV. Cette méthode pourra donc être utilisée pour caractériser cette ligne en face arrière.

- Les méthodes proposées par [Winkel, 1996], [Williams, 1995] et [Vandamme, 2001] permettent d'extraire les impédances caractéristiques d'une ligne d'interconnexion enfouie en utilisant des approximations, en particulier le caractère localisé de certains éléments présents dans la structure de test complète. Or dans notre cas ces hypothèses ne sont pas toujours valides et ne peuvent être utilisées afin d'extraire les paramètres RLCG d'un TSV. De plus certaines de ces méthodes nécessitent de nombreux dispositifs additionnels pour effectuer le de-embedding. Ces derniers sont coûteux en surface silicium et ils ne sont pas toujours réalisables techniquement en intégration 3D. Le chapitre 2 présentera de manière explicite la méthode

développée par [Vandamme, 2001] mais que nous avons modifiée pour répondre à nos besoins et pour tenter de satisfaire nos contraintes liées aux particularités de l'intégration 3D. Les limitations dans son utilisation en intégration 3D seront donc exposées.

En conclusion, l'intégration 3D impose le développement de méthode de de-embedding spécifiques dans lesquelles les hypothèses sur les dimensions seront respectées mais également des procédures efficaces permettant à terme d'extraire les caractéristiques d'un TSV isolé. Le chapitre 2 est dédié à la présentation d'une méthode de de-embedding n'utilisant qu'un seul dispositif additionnel et elle repose sur la modification, à l'aide d'une commande et appliquée à la demande, des caractéristiques électriques du substrat. Cette variation volontaire des caractéristiques électriques du substrat de silicium offre la possibilité de doubler le jeu d'équations obtenues avec des mesures effectuées sur un même dispositif (N équations sans application de la commande, N équations avec application de la commande) et permet de résoudre un système d'équations à N' inconnues avec $2N$ équations indépendantes, où $N < N' < 2N$. Elle reste la seule méthode permettant d'extraire de manière rigoureuse les caractéristiques d'un TSV seul.

4.3 Etat de l'art sur les modèles électriques de TSV

A mesure que les techniques de fabrication se développent, répondant ainsi au défi technologique de l'intégration 3D, la nécessité de proposer des modèles compacts de TSV se fait sentir afin que les designers aient à disposition les outils adéquats pour la prédiction des performances de leurs applications. Ainsi, quelques références, utilisant des modèles basés sur des expressions littérales compactes, voient le jour. Dans ce contexte de modélisation, il apparaît différentes approches comme l'approche comportementale [Wai Leung, 2005] et [Ryu, 2006] n'ayant pas de justifications théoriques mais qui ont commencé à poser les premiers jalons d'une modélisation des TSV (cf. figure 1-12). La modélisation des blocs de TSV se présente comme la mise en série et en parallèle d'éléments électriques localisés mais elle trouve rapidement ses limites lors d'une montée en fréquence pour les signaux à transmettre et ne prend pas en compte, par exemple, les courants de Foucault dans le silicium plus ou moins conducteur.

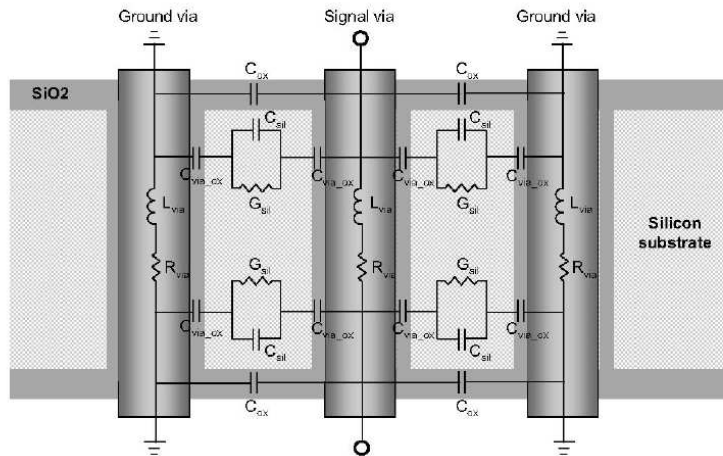


figure 1- 12 : Modèle équivalent de TSV proposé par Ryu at al [Ryu, 2006]

Des modèles empiriques [Iosavid, 2009] principalement développés pour la basse fréquence sont ensuite apparus pour permettre de prédire précisément le comportement des signaux lents véhiculés dans les TSV. Des modèles plus physiques [Cadix, 2009] extraits de formules physiques, pour un TSV relié à une masse située à l’infini, s’appuient sur une représentation du TSV par une ligne de transmission (figure 1-13 (a)) et font apparaître des composants électriques répartis ou linéiques. Ces modèles ne s’appliquent qu’à des TSV de haute densité dans des substrats non conducteurs cependant ils tiennent compte des phénomènes de déplétion entre l’oxyde et le substrat semiconducteur. Les paramètres RLC présentés jusqu’à 20 GHz (le G n’étant pas défini) donnent une première vision de la complexité de la modélisation d’un TSV dans son environnement (figure 1-13 (b)).

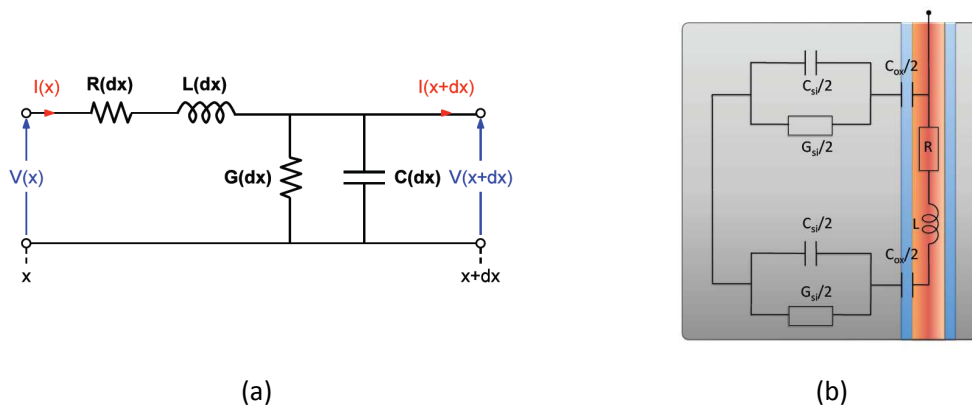


figure 1- 13 : Modèle équivalent d’1 TSV proposé par Cadix at al : En termes de modèle RLCG linéique global (a) ; Mise en évidence des différents paramètres contributeurs au RLCG(b)

Il est maintenant communément admis qu'en vue d'établir un modèle large bande il est nécessaire de définir une structure où le conducteur signal et le conducteur masse sont parfaitement identifiés. Ainsi, les deux références majeures dans le domaine des modélisations sont [Xu, 2010] et [Kim, 2011] et ils considèrent 2 TSV (masse/signal) comme bloc élémentaire.

Le papier de [Xu, 2010] est l'un des plus abouti en termes de modélisation avec la prise en compte de l'effet de peau, des courants de Foucault dans le silicium, des effets de couplage, dans les paramètres RLCG. La méthode utilisée dans ce papier est une approche électromagnétique basée sur la résolution des équations de diffusion de helmholtz, des équations de Poisson en passant par les potentiels vecteurs et scalaires pour la détermination des courants de Foucault dans l'espace (en coordonnées cylindro-polaires). Il en résulte des solutions pour les différents paramètres très complexes d'un point de vue mathématique avec l'utilisation des fonctions de Bessel et de Hanckel difficiles à utiliser par un non initié. En d'autres termes, cette approche est large bande, précise pour des conductivités des substrats silicium allant jusqu'à 10 S/m mais elles présentent l'inconvénient de ne pas être compactes. En effet, elles restent difficiles à implémenter dans un outil de simulation par un designer et relèvent plus de la prouesse théorique. Ce modèle RLCG présente l'avantage d'être utilisable dans le cas de TSV à base de nanotubes de carbone mais ne restent valables que dans le cas de deux TSV. La figure 1-14 présente une illustration des différents paramètres présents dans les équations RLCG de cette référence.

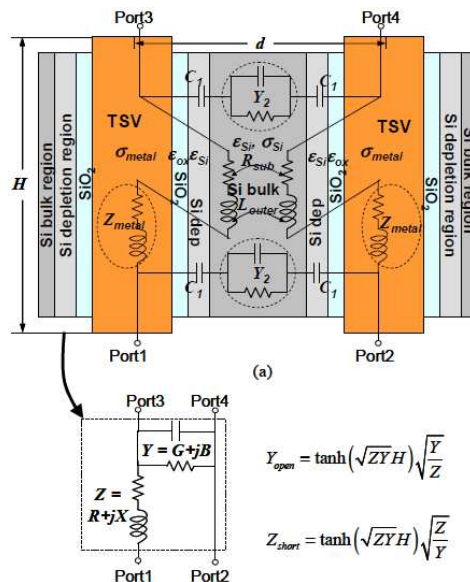


figure 1- 14 : Modèle équivalent de 2 TSV proposé par Xu at al [Xu, 2010]

En conservant une approche avec des éléments électriques localisés, la référence [Kim, 2011] analyse une structure de 2 TSV (Masse/Signal) et présente les expressions littérales mathématiques des différents éléments de la structure. L'approche utilisée dans ce papier, repose sur les équations RLCG bien connues d'une ligne bifilaire et d'une ligne coaxiale adaptées au cas des TSV. Les modèles ne tiennent pas compte de la conductivité du silicium dans les paramètres R et L (absence d'éventuels courants de Foucault) et l'exactitude des résultats restent contestables. En effet, cet article présente les équations des TSV mais également des lignes de transmission et des Bumps afin de recréer les paramètres S de la chaîne complète jusqu'à 20 GHz. Ainsi, aucune comparaison sur les différents paramètres indépendants du TSV n'est effectuée et les erreurs liées à la modélisation ne sont pas définies car noyées dans les paramètres S. L'avantage des différents paramètres présentés réside dans leur simplicité, les formules restent compactes et aisément utilisables. Cependant le bloc présenté est uniquement constitué de deux TSV car les formules de ligne bifilaire utilisées pour le calcul de capacité ou d'inductance ne sont plus utilisables pour d'autres architectures.

Dans le chapitre 4, nous nous inspirerons de cette approche afin de comparer les modèles issus de ces expressions littérales connues à ceux obtenus avec notre approche présentée au chapitre 3.

Actuellement, aucun modèle de TSV n'apparaît comme générique. D'une part il est nécessaire de définir plusieurs blocs élémentaires pour effectuer les calculs réalistes (en général 2 TSV minimum) et d'autre part les effets du substrat sont rarement pris en compte pour de faibles valeurs de leur conductivité. Il est donc nécessaire de définir de nouveaux blocs élémentaires tels qu'un bloc de 3 TSV et des équations physiques et compactes, de deux TSV qui présentent de manière claire la prise en compte de l'effet de la conductivité du substrat et des courants de Foucault. Dans le cadre de blocs de 2 ou 3 éléments, les formules définies doivent être génériques et applicables à des copper-pillar.

5 Mon travail de thèse

Le travail présenté dans ce manuscrit tente donc de lever le verrou lié aux méthodes de de-embedding afin d'extraire rigoureusement des modèles de types RLCG pour différents blocs de TSV. Ainsi, dans le chapitre 2 nous présenterons une méthode originale développée au cours de la thèse, permettant de procéder à un de-embedding avec un minimum de dispositifs

additionnels et applicable à l'intégration 3D pour l'extraction de paramètres électriques des TSV sur une large gamme de fréquences.

Par la suite, le chapitre 3 présente la méthodologie utilisée pour le calcul de formules littérales compactes, destinées à l'extraction de valeurs des éléments RLCG des modèles des différents blocs de TSV. En effet, le travail s'articule autour de la modélisation fine des TSV en tenant compte de tous les paramètres géométriques, des paramètres matériaux (permittivité et conductivité) pour des blocs de 2 et 3 TSV. Tout au long de la démarche mathématique, les valeurs des paramètres RLCG sont comparées à celles obtenues par simulation ou par d'autres techniques de modélisation. Cette étape sert de validation comme le présente, pour un cas précis, la figure 1-15. Par ailleurs, les modèles développés tiennent compte de l'effet des courants de Foucault, de l'effet de peau et ils sont valides sur une large bande de fréquence (DC-40GHz).

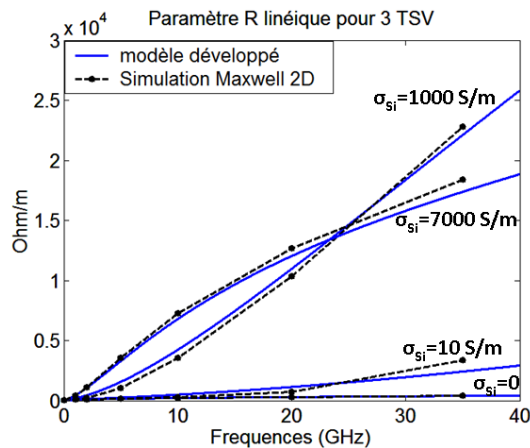


figure 1- 15 : Comparaison entre R linéique extrait par simulation électromagnétique avec celui extrait avec notre approche théorique développée au chapitre 3, tenant compte des courants de Foucault pour différentes conductivité de Silicium, dans le cas de 3TSV

Ainsi, au chapitre 4, nous analysons l'influence des TSV sur l'intégrité des signaux transmis à l'aide d'un processus de simulation intégrant nos modèles de TSV et permettant de générer tout type de signaux. Les résultats obtenus avec nos modèles fins sont comparés à ceux issus des modèles simples inspirés de la référence [Kim, 2011] pour justifier l'intérêt d'utiliser des modèles plus complexes pour des TSV de haute et moyenne densité dans des substrats conducteurs ou quasi isolants. Nous intégrerons ensuite nos modèles dans des chaînes complètes d'interconnexions (RDL/TSV/BEOL) représentatives d'un réseau de connexion d'un circuit 3D afin d'appréhender l'impact réel de différentes interconnexions dans différents

environnements 3D, en particulier lors de la transmission de signaux numériques à très haut débit (typiquement ceux des applications multimédia embarquées pour lesquelles l'intégration 3D de puces semble incontournable). Nous en déduisons la meilleure stratégie à suivre en termes de routage des connexions intra et inter puces afin d'optimiser la qualité des signaux transmis.

Chapitre 2

Extraction des paramètres électriques d'une interconnexion

" La Matrice est universelle. Elle est omniprésente. Elle est avec nous ici, en ce moment même... Elle est le monde, qu'on superpose à ton regard pour t'empêcher de voir la vérité. »"

Matrix (1999) Wachowski

Ce chapitre est dédié à la méthodologie de caractérisation à haute fréquence des éléments essentiels d'interconnexions rencontrés dans les empilements 3D de puces, à savoir les TSV traversant les substrats de silicium et les lignes de redistribution RDL situées en face arrière de ces substrats de silicium. Ces éléments d'interconnexion seront pour nous les « Dispositifs Sous Test (DST) ».

Du fait de la complexité des architectures rencontrées en intégration 3D, du fait de la complexité de l'environnement de test nous montrons dans un premier temps la nécessité de développer un protocole de mesure spécifique pour extraire les caractéristiques électriques intrinsèques de nos DST. On parle alors de procédure d'épluchage ou de de-embedding. Il s'agit d'extraire les caractéristiques intrinsèques des DST à partir de mesures réalisées sur une Cellule de Test (CDT) spécifique dans laquelle sont forcément enfouis nos DST.

Après une présentation de nos objectifs et un bref rappel des principaux outils d'analyse des quadripôles en hyperfréquence, ce chapitre continue par une présentation détaillée de la principale méthode de-embedding, que nous avons adaptée, pour caractériser des composants en intégration 3D. Néanmoins nous montrons que cette technique traditionnelle d'épluchage est difficilement utilisable, voire inappropriée, dans le cas de certaines architectures 3D.

La troisième partie du chapitre est donc consacrée à la présentation d'une nouvelle méthode d'épluchage que nous avons entièrement développée. Afin de valider et situer ses performances nous présentons une campagne de comparaison des résultats obtenus par cette technique avec ceux issus de plusieurs autres techniques de référence sur un dispositif de test simple et bien connu, une ligne d'interconnexion en surface. Cette analyse nous permet aussi de situer les limites de validité de notre méthode de caractérisation.

La dernière partie du chapitre est dédiée aux résultats de caractérisation sur différentes architectures de TSV et de lignes de RDL rencontrées en intégration 3D. Nous montrons la possibilité d'extraire des modèles électriques équivalents à ces éléments d'interconnexion possédant un réel sens physique et nous montrons en particulier le fort impact de la conductivité du substrat de silicium sur le comportement des TSV. Ce dernier point constitue une réelle plus value car il a, jusqu'à présent peu été modélisé et quantifié dans la littérature scientifique.

1	Introduction	46
2	Rappels des outils d'analyse utilisés en hyperfréquence	48
2.1	La matrice S (Scattering Parameters)	49
2.2	Les matrices de transfert	50
2.2.1	Matrices T.....	51
2.2.2	Matrices ABCD.....	51
2.3	Les matrices impédance et admittance.....	52
2.3.1	La matrice impédance Z.....	52
2.3.2	La matrice admittance Y	53
3	Méthode de de-embedding classique en 3D-IC.....	53
3.1	Etape de modélisation	54
3.2	Etape d'épluchage	57
3.3	Méthode d'extraction de l'exposant de propagation de la RDL	58
3.4	Extraction de l'impédance caractéristique de la ligne de RDL.....	60
3.5	Epluchage final : extraction de la matrice ABCD d'un bloc de TSV	61
3.6	Limitation de la méthode de de-embedding à l'extraction d'un bloc de TSV seul	62
4	Méthode de de-embedding innovante applicable à l'extraction de TSV	63
4.1	Modélisation	65
4.2	Validation de la méthode.....	68
4.2.1	Extraction des paramètres électriques d'une ligne coplanaire	68
4.2.2	Validation de l'hypothèse	72
4.3	Extraction des paramètres électriques des TSV.....	73
4.3.1	CDT 3TSV HR.....	74
4.3.2	CDT 1TSV LR.....	78
5	Conclusion.....	82

1 Introduction

Dans le domaine électrique et des hyperfréquences, la caractérisation d'une interconnexion se définit comme l'extraction d'un modèle électrique équivalent à cette interconnexion à partir de mesures. Par exemple, il s'agit d'extraire en fonction de la fréquence, son impédance caractéristique et son exposant de propagation ou les éléments répartis R, L, C et G de son modèle équivalent issus de l'équation des télégraphistes et cela à partir de la mesure de la matrice de diffusion [S] de cette interconnexion sur une large gamme de fréquence à l'aide d'un analyseur de réseau vectoriel (VNA). En pratique, cette interconnexion, que l'on peut nommer Dispositif Sous Test (DST), se situe généralement au sein d'un environnement de test complexe ne permettant pas à l'expérimentateur d'en extraire directement ses paramètres par une seule mesure. En effet cette interconnexion est enfouie dans une Cellule De Test (CDT) afin de la relier au système de mesure (dans le cas général on trouve la présence de plots de contact, de tronçons de lignes d'accès, câbles, connecteurs...). L'utilisateur est alors dans l'obligation d'utiliser une ou des méthodes dites d'épluchage ou de "de-embedding" pour se soustraire de l'influence de l'environnement et obtenir alors les caractéristiques intrinsèques du DST, pour nous l'interconnexion, à partir de celles de la CDT.

Il est essentiel de préciser, dans le cadre d'une mesure en hyperfréquence, qu'une première procédure de calibrage de l'appareil, l'analyseur de réseau vectoriel (VNA), est effectuée. Cette procédure permet de définir l'impédance de référence de mesure (généralement 50 Ohms) et se réalise à l'aide d'éléments étalons (charges coaxiales, substrat de calibrage...) et de logiciels intégrés au VNA. Lors de mesures sur des dispositifs intégrés en surface cette étape de calibrage permet de placer les plans de mesure à l'extrémité des sondes de test et de s'affranchir des erreurs engendrées par la connectique entre le VNA et ces sondes de test. Nous supposons donc par la suite que cette étape de calibrage est réalisée et par conséquent nos plans de mesure sont situés aux extrémités des sondes.

Typiquement, l'environnement de test d'un DST est complexe car il est enfoui, c'est à dire constitué de plots de contact et de lignes d'accès nécessaires à l'acheminement du signal RF depuis les sondes jusqu'à l'objet considéré, comme le schématise la figure 2-1.

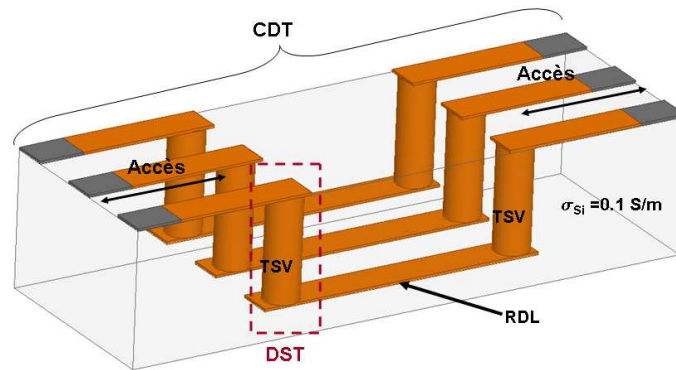


figure 2-1 : Exemple d'un DST enfoui dans une structure de test en intégration 3D

Toute la difficulté d'un de-embedding réside dans une bonne connaissance des propriétés électriques de cet environnement de test du DST et pour se faire des cellules de test additionnelles (CDA) seront nécessaires. Ils serviront à extraire les éléments parasites liés à cet environnement de test du DST et par conséquent à corriger les mesures obtenues sur la cellule de test (CDT) afin de « mesurer » les propriétés du DST seul, étape que nous avons nommée « épluchage » ou « de-embedding ». Le nombre et les caractéristiques de ces dispositifs additionnels dépendent de la méthode de de-embedding utilisée ou selon les cas la méthode de de-embedding choisie dépendra du nombre de dispositifs additionnels disponibles. La figure 2-2 présente l'extraction des paramètres électriques d'un DST.

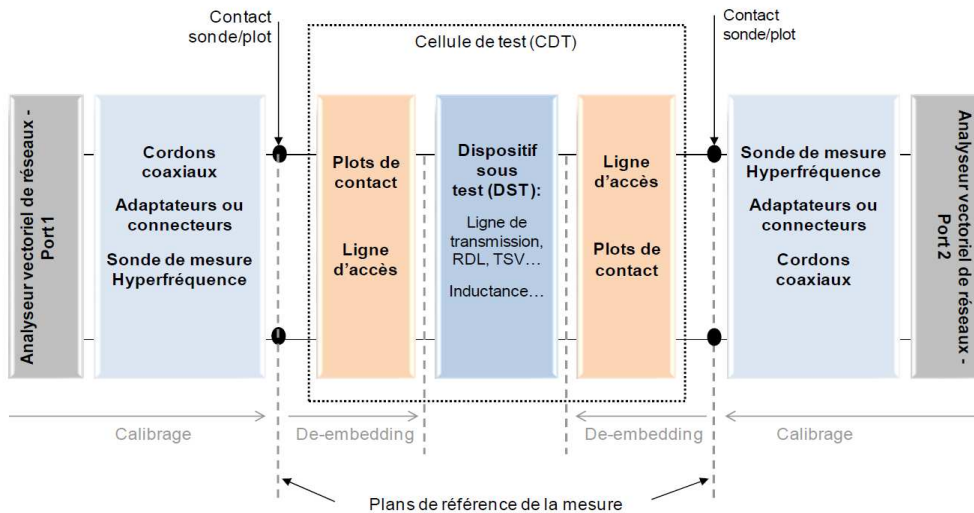


figure 2-2 : Calibrage et de-embedding d'un dispositif sous test (DST) enfoui dans une cellule de test (CDT)

De nombreuses procédures de de-embedding existent ; certaines méthodes ne s'appliquent qu'à des lignes de transmission et ne permettent d'extraire que leur constante de propagation [Schieck, 1996]. D'autres s'attachent à extraire l'impédance caractéristique d'une ligne d'interconnexion [Winkel, 1996]. Mais, l'une des plus connues reste la méthode [Vandamme, 2001] assurant l'extraction des paramètres électriques de tout type de DST (interconnexions, composants passifs ou actifs...) quel que soit le type d'accès utilisé et l'environnement de test du DST. Il va sans dire aussi que chaque laboratoire développe ses propres méthodes, adaptées à leurs problématiques et répondant aux exigences de leurs mesures. Ainsi, la méthode développée par E. Vandamme nécessite 4 dispositifs additionnels (CDA), fût simplifiée au sein du laboratoire et ne requiert que 2 CDA.

Appliquées à la caractérisation d'interconnexions très intégrées et enfouies dans le silicium, les méthodes de de-embedding traditionnelles ne sont que très rarement utilisables en raison de la complexité et du coût de réalisation des cellules de test additionnelles CDA ainsi qu'à des caractéristiques matériaux mettant fortement en péril les hypothèses présentes dans les théories associées à ces méthodes. Dans ce chapitre, deux méthodes « traditionnelles » utilisées au sein du laboratoire seront présentées et nous montrerons aussi leurs domaines de validité pour l'extraction d'une interconnexion de type TSV dans un environnement 3D-IC. Afin de répondre aux exigences de notre environnement sous test, une méthode innovante, ne faisant intervenir qu'une seule cellule CDA additionnelle, sera alors présentée. Les résultats de caractérisation obtenus seront comparés à ceux issus des autres méthodes d'épluchage dans un cas d'une ligne d'interconnexion intégrée et enfouie. Enfin, l'extraction des paramètres électriques des TSV dans un environnement 3D très complexe, rendue possible grâce à cette nouvelle méthode sera présentée.

2 Rappels des outils d'analyse utilisés en hyperfréquence

Le but de ce court paragraphe est consacré à quelques rappels sur les fondements et aux principaux outils mathématiques rencontrés dans l'analyse des quadripôles pour le domaine des hyperfréquences. Ces outils sont nécessaires à la compréhension et à l'utilisation des méthodes de de-embedding que nous présenterons.

Tous les termes des matrices, ondes, courants, tensions,...qui suivent, sont de nature complexe.

2.1 La matrice S (Scattering Parameters)

La matrice S est une matrice d'onde. La figure 2-3 donne sa définition dans le cas d'un quadripôle*, sa généralisation étant alors évidente.

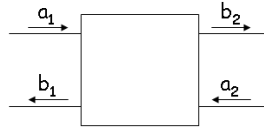


figure 2-3 : Quadripôle caractérisé par des ondes entrantes et sortantes à ses bornes

La matrice reliant les ondes émergentes b_1 et b_2 aux ondes incidentes a_1 et a_2 s'écrit de la façon suivante:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (2-0)$$

D'où:

$$b_1 = S_{11}a_1 + S_{12}a_2$$

$$b_2 = S_{21}a_1 + S_{22}a_2$$

Les paramètres S_{ij} sont appelés "paramètres S".

Ainsi chacun de ces paramètres possède une signification particulière:

- S_{11} est le facteur de réflexion à l'entrée (la sortie étant adaptée)
- S_{21} est le facteur de transmission entrée → sortie (la sortie étant adaptée)
- S_{22} est le facteur de réflexion en sortie (l'entrée étant adaptée)
- S_{12} est le facteur de transmission sortie → entrée (l'entrée étant adaptée)

Notons que lorsque la transmission de i vers j est la même que de j vers i, le quadripôle est réciproque. Lorsque les facteurs de réflexion sur i et j sont égaux le quadripôle est dit symétrique. Rappelons aussi qu'un composant passif est toujours réciproque en l'absence de matériaux particuliers comme les ferromagnétiques.

* Structure électronique dont on considère l'entrée entre deux bornes et la sortie entre deux bornes

Les informations fournies par les VNA* sont toujours sous forme de paramètres S et permettent d'appréhender facilement le comportement d'une structure sous test mais un des inconvénients des matrices S est par exemple qu'elles ne sont pas cascadables. Cependant, de la connaissance d'une matrice S et des impédances d'entrée, d'autres formes de matrices pourront être associées au quadripôle par des relations de passage. Ces relations de passage sont définies précisément dans la référence [Pozar, 2005] et sont très utiles dans le domaine des hyperfréquences car elles permettent une plus grande liberté en terme de modélisation, et par conséquent d'associer différents quadripôles.

2.2 Les matrices de transfert

Ces matrices ABCD ou T sont généralement utilisées pour cascader des quadripôles comme le présente la figure 2-4. Elles permettent de relier les grandeurs d'entrée du quadripôle à ses grandeurs de sortie. Ainsi, la matrice globale d'une cascade de quadripôle est simplement le produit des matrices de transfert.

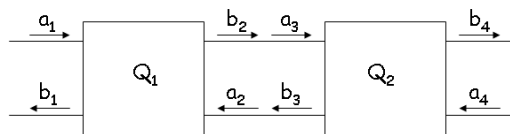


figure 2-4 : Cascade de 2 quadripôles

La condition de mise en cascade réelle imposée par la figure 2-3 est $a_3=b_2$ et $a_2=b_3$. Il est donc aisé de comprendre que sous forme matricielle S il est impossible d'obtenir ces égalités. En effet, au regard des matrices S des quadripôles Q_1 et Q_2 présentées en figure 2-5, les conditions de mise en cascade en termes matriciels sont $a_3=b_1$ et $a_4=b_2$ ou $a_1=b_3$ et $a_2=b_4$ et ne correspondent pas à la condition réelle.

$$\begin{matrix} \begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \\ Q_1 \end{matrix} \quad \begin{matrix} \begin{bmatrix} b_3 \\ b_4 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_3 \\ a_4 \end{bmatrix} \\ Q_2 \end{matrix}$$

figure 2-5 : Paramètre S de deux quadripôles

* Analyseur de réseau vectoriel

2.2.1 Matrices T

Il est possible de modifier la matrice S d'un quadripôle afin d'en extraire une matrice T (figure 2-6) sans avoir connaissance des impédances de référence. C'est à dire que cette matrice T reste définie en termes de rapport d'ondes, comme la matrice S.

$$\begin{matrix} [S] & & [T] \\ \begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} & \longrightarrow & \begin{bmatrix} b_1 \\ a_1 \end{bmatrix} = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} \begin{bmatrix} a_2 \\ b_2 \end{bmatrix} \end{matrix}$$

figure 2-6 : Passage d'une matrice S à une matrice T

La matrices T peuvent donc être manipulées pour cascader les quadripôles mais ne donnent aucune information sur les impédances (référence, entrée et sortie). Un de-embedding effectué à l'aide de ces matrices ne permettra d'extraire qu'une information partielle sur le DST comme nous pourrons le constater dans la suite du chapitre avec la méthode de [Schieck, 1996].

2.2.2 Matrices ABCD

Une autre approche consiste à définir un quadripôle en termes d'ondes de courant et de tension comme le présente la figure 2-7. Cette fois la notion d'impédance apparaît et les termes des matrices ne sont plus de simples rapports d'ondes.

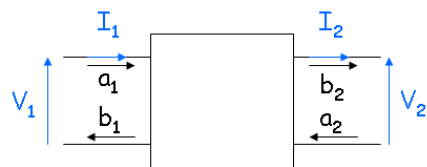


figure 2-7 : Quadripôle caractérisé sous forme de courants et tensions à ses bornes

Il est alors possible de définir une matrice dite ABCD liant le courant et la tension d'entrée au courant et à la tension de sortie:

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \tag{2-1}$$

Ces matrices nécessitent une connaissance des impédances de référence au niveau des ports 1 et 2 pour être calculées. Le principal avantage de ces matrices est qu'elles permettent de remonter à tous les paramètres électriques du DST exprimés sous forme d'impédance et dans le cas d'une ligne de transmission à son impédance caractéristique et à sa constante de

propagation. Dans ce dernier cas de la ligne de propagation, en utilisant la forme matricielle (2-2), nous avons :

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cosh(\gamma l) & Z_c \sinh(\gamma l) \\ Y_c \sinh(\gamma l) & \cosh(\gamma l) \end{bmatrix} \quad (2-2)$$

Avec γ la constante de propagation, Y_c et Z_c l'admittance et l'impédance caractéristique de la ligne et l la longueur de la ligne.

Il est également aisé, par des formules de passage, de passer d'une matrice ABCD à une matrice Z ou Y mais il est important de préciser que seule la connaissance des impédances d'entrée/sortie des quadripôles permettront le passage des matrices ABCD vers les matrices S ou T et vice et versa.

2.3 Les matrices impédance et admittance

2.3.1 La matrice impédance Z

Il s'avère souvent plus simple d'utiliser la matrice Z plutôt que la matrice ABCD pour la mise en équation de quadripôles présentant des impédances séries.

Dans ce cas l'expression matricielle est la suivante:

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}$$

La matrice Z est alors intéressante dans le cas d'une modélisation d'un quadripôle. En effet, elle permet de mieux appréhender les comportements d'un DST. En pratique, si le DST est réciproque, ce qui est souvent le cas lorsque les éléments ne sont pas ferromagnétiques, Z_{12} et Z_{21} sont égaux. Il en résulte naturellement un modèle en T à seulement 3 éléments pour caractériser le quadripôle, comme le présente la figure 2-8.

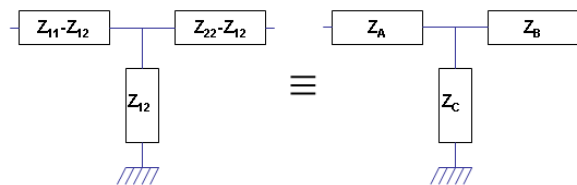


figure 2-8 : Modèle en T d'un quadripôle passif et réciproque

Ce modèle en T est une des pierres angulaires des modélisations électriques des dispositifs sous test passifs et permet d'identifier des éléments séries et parallèles. En pratique, des formules de passage seront utilisées pour directement transformer des matrices ABCD en modèles en T.

2.3.2 La matrice admittance Y

De la même manière que pour la matrice Z, il s'avère plus intéressant de traiter un quadripôle ayant des éléments parallèles en terme de matrice Y. Dans ce cas la matrice est la suivante:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix}$$

Si le dispositif est réciproque, Y_{12} et Y_{21} sont égaux et il en résulte un modèle π à 3 éléments pour caractériser le quadripôle, comme présenté en figure 2-9.

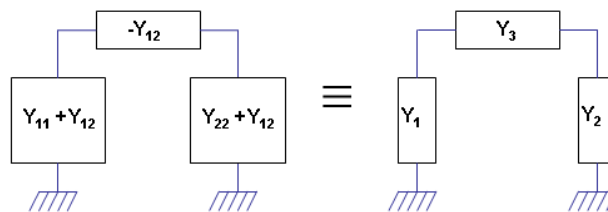


figure 2-9 : Modèle en π d'un quadripôle passif et réciproque

Le modèle en T, comme le modèle en π représente un élément majeur de la modélisation et sera très largement utilisé pour les méthodes de de-embedding. Le passage d'une matrice ABCD vers un modèle en π ou T se fait aisément grâce à des formules de passage (Annexe 2-1)

3 Méthode de de-embedding classique en 3D-IC

La méthode décrite dans ce paragraphe pour caractériser des éléments d'interconnexion de type TSV en intégration 3D est inspirée de la méthode de de-embedding de E. Vandamme. Cette méthode ne nécessite que deux CDA (cellules de test additionnelles), un "Open" et un "Thru". Notons bien que dans ce paragraphe le DST est composé de deux blocs de trois TSV connectés en face arrière du substrat par une ligne de redistribution (RDL) de type

coplanaire (CPW) comme le présente la figure 2-10. Des lignes d'accès, elles mêmes aussi de type CPW, sont réalisées en face avant du substrat pour la connexion aux sondes de test avec une longueur 200 μm , incluant les plots de contact (pads). Les TSV sont réalisés en medium densité avec un diamètre de 60 μm et ils ont une hauteur de 120 μm . La ligne de RDL est longue de 60 μm . D'autres structures, identiques, mais de longueurs de RDL différentes sont également à disposition. Tous ces dispositifs sont fabriqués dans un environnement de Silicium fortement dopé présentant une conductivité d'approximative de 10 000 S/m.

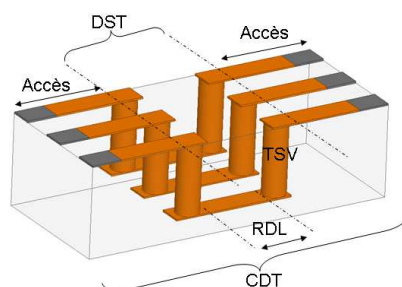


figure 2-10: CDT typique d'un environnement 3D-IC pour caractériser des TSV

Le but de la procédure est d'extraire les caractéristiques électriques des deux blocs de 3 TSV, qui jouent le rôle de DST. Une première étape de la procédure de de-embedding est de modéliser le DST et les accès. Une deuxième étape permet d'éliminer l'influence des accès par épiluchage. Enfin nous concluons sur les limites de la méthode dans le cas de l'extraction des caractéristiques d'un seul des deux blocs de 3 TSV.

3.1 Etape de modélisation

Le de-embedding commence par une étape de modélisation des accès. Pour ce faire, la mesure de deux CDA est nécessaire. Après calibrage du VNA (référence de 50 Ohms en bout de sonde), les paramètres S issus de la mesure seront transformés en matrice ABCD puis en modèle en T ou en π selon le dispositif. Les deux cellules CDA sont les pads RF (plots de contact) et un "Thru", présentés en figure 2-11.

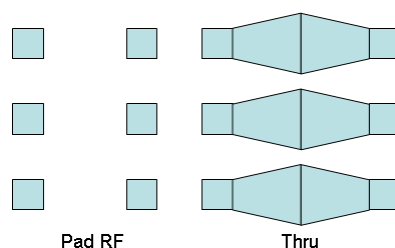


figure 2-11 : Cellules de test additionnelles (CDA)

Il est important de souligner que les Pads RF sont les mêmes que ceux du "Thru" et de la CDT. De même le "Thru" est exactement égal à l'association des deux lignes d'accès CPW de la CDT.

L'objectif est donc d'extraire les informations de la moitié du "Thru" pour connaître les caractéristiques des accès.

Ainsi comme le montre la figure 2-12, deux modèles peuvent être extraits de la mesure de chacun des CDA « Pads RF » et « Thru ».

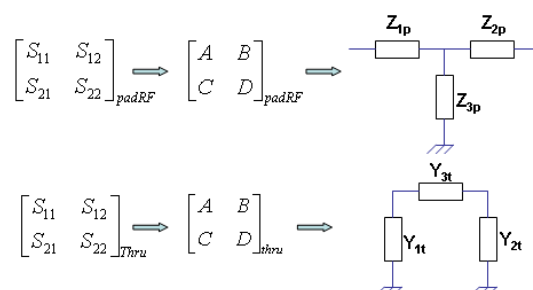


figure 2-12 : Modèles des cellules de test CDA additionnelles « Pads RF » et « Thru »

Z_{3p} est l'impédance de couplage entre les points centraux et les masses dans le motif « Pad RF ». Le dispositif est parfaitement symétrique, il n'y a pas de couplage entre les pads du port 1 et les pads du port 2 et la faible longueur d'un pad RF rend les impédances série négligeables. Nous pouvons donc nous intéresser uniquement à l'impédance Z_{3p} pour l'injecter dans le modèle en π du dispositif « Thru ». En effet, nous pouvons considérer que les admittances Y_{1t} et Y_{2t} contiennent toutes les deux l'information de couplage des pads RF. Par conséquent, comme le présente la figure 2-13, les admittances Y_{1t} et Y_{2t} sont composées d'une admittance Y_p qui représente le couplage des Pad RF avec la masse et une admittance Y_1 pour le couplage entre la ligne centrale du "Thru" avec la masse. Notons que dans le cas d'une structure symétrique, $Y_{1t} = Y_{2t}$.

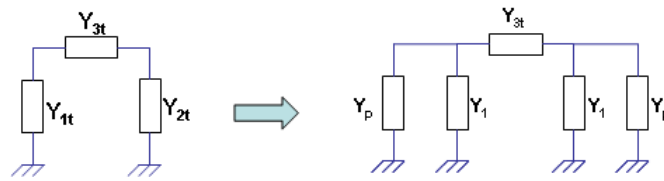


figure 2-13 : Mise en évidence de l'influence des pad RF dans le modèle en π du Thru

Avec: $Y_p = \frac{1}{Z_{3P}}$

Ainsi, l'admittance Y_1 peut aisément être déduite de la formule (2-3)

$$Y_1 = Y_{1t} - \frac{1}{Z_{3p}} \quad (2-3)$$

L'architecture centrale en π de ce nouveau modèle de "Thru " peut être modifiée grâce aux formules issues du théorème de Kennelly permettant le passage d'un montage étoile vers un montage triangle et réciproquement (annexe 2-2). Appliqué à notre cas, les formules (2-4) et (2-5) permettent le passage du modèle en π vers le modèle en T.

$$Z_{3a} = \frac{2}{2Y_1 + Y_{3t}} \quad (2-4)$$

$$Z_{1a} = \frac{2Y_3}{Y_1(Y_{3t} + 2Y_1)} \quad (2-5)$$

La figure 2-14 illustre la modification du modèle "Thru" afin d'obtenir un modèle propice à la division, puis l'extraction du modèle en π de chacun des deux accès.

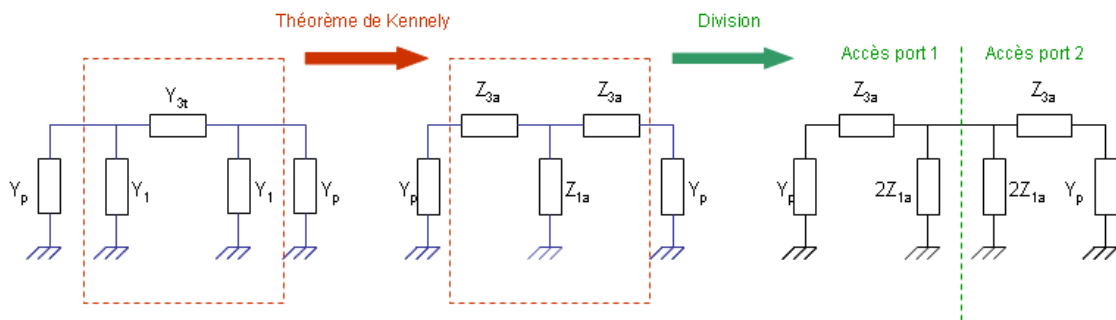


figure 2-14: Passage du modèle Thru vers le modèle en π des lignes d'accès

Ainsi, par la mesure de ces deux CDA il a été possible d'extraire le modèle en π de chacun des accès afin de procéder à l'épluchage du CDT. Il est important de préciser que dans

cette méthode l'hypothèse d'éléments localisés est sous jacente à l'ajout et à la division de structures. En effet, il sera nécessaire de vérifier la véracité de cette hypothèse lors de l'utilisation de cette méthode en comparant la longueur des dispositifs à celle de la longueur d'onde afin de s'assurer de l'absence de propagation. Un des critères largement admis est que la longueur d'onde doit être 10 fois supérieure à la longueur du dispositif. La figure 2-15 présente cette vérification pour le "Thru" utilisé dans nos mesures.

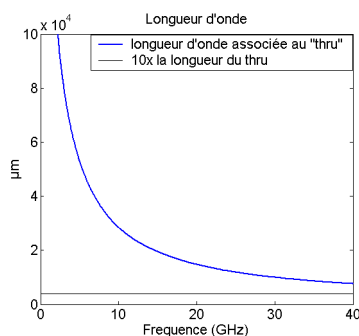


figure 2-15: Comparaison entre la longueur d'onde et 10 fois la longueur physique du "Thru"

Il est intéressant de noter que la longueur d'onde est nettement supérieure à 10 fois la longueur du dispositif ce qui valide les hypothèses.

3.2 Etape d'épluchage

La CDT peut être représentée comme une cascade de quadripôles. Le comportement de chacun de ces quadripôles est modélisé par des matrices ABCD comme le présente la figure 2-16.

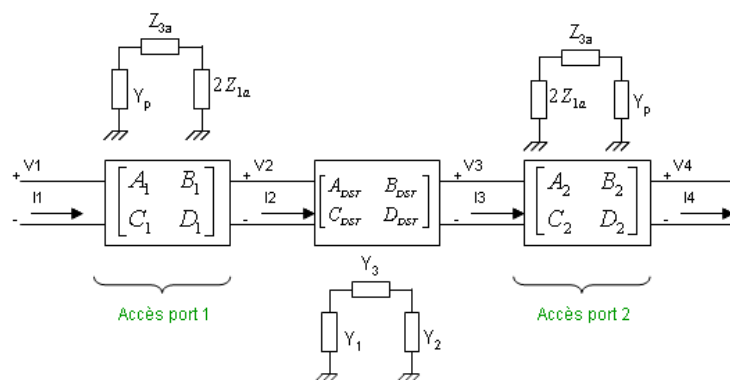


figure 2-16 : Modélisation de la CDT sous forme de quadripôles

Précédemment les paramètres électriques des accès ont été déterminés et il a également été rappelé que la matrice ABCD de la CDT n'est autre que le produit matriciel des matrices ABCD accès et DST comme le définit l'équation (2-6) :

$$ABCD_{CDT} = ABCD_{accès1} * ABCD_{DST} * ABCD_{accès2} \quad (2-6)$$

Il est alors aisé d'extraire les paramètres électriques de la structure qui nous intéresse (DST) à partir de l'équation (2-7).

$$ABCD_{DST} = ABCD_{accès1}^{-1} * ABCD_{CDT} * ABCD_{accès2}^{-1} \quad (2-7)$$

Ainsi, un modèle électrique en π , en T, ou de tout autre forme, peut être défini à partir de la matrice ABCD du DST. Dans le cas d'une ligne de transmission, l'extraction de la matrice ABCD permet d'en extraire son impédance caractéristique et son exposant de propagation. Cependant, dans le cas qui nous concerne, après épluchage, la matrice DST contient les informations des deux blocs de 3 TSV associés à la RDL, ce qui était notre premier objectif ici.

Néanmoins le but ultime sera d'extraire la matrice ABCD d'un seul des deux blocs de TSV. Pour ceci il paraît évident que la connaissance de la matrice ABCD de la RDL qui connecte les deux blocs de 3 TSV sera requise. Comme nous allons le voir dans le paragraphe suivant il est relativement aisé d'obtenir l'exposant de propagation de cette ligne de RDL mais il est beaucoup plus délicat d'extraire son impédance caractéristique, et par conséquent sa matrice ABCD.

3.3 Méthode d'extraction de l'exposant de propagation de la RDL

Ce paragraphe présente une procédure simple et précise afin d'extraire l'exposant de propagation de la RDL reliant les deux blocs de TSV. Cette méthode est un moyen efficace de valider d'autres méthodes de-embedding mais elle ne se suffit pas à elle-même car elle ne donne aucune information sur l'impédance caractéristique de cette ligne de RDL. Elle fut développée dans la référence [Schieck, 1996].

Afin de déterminer l'exposant de propagation de la ligne de RDL, la méthode nécessite deux CDT identiques mais de longueur de ligne centrale différente (L1 et L2) comme le présente la figure 2-17.

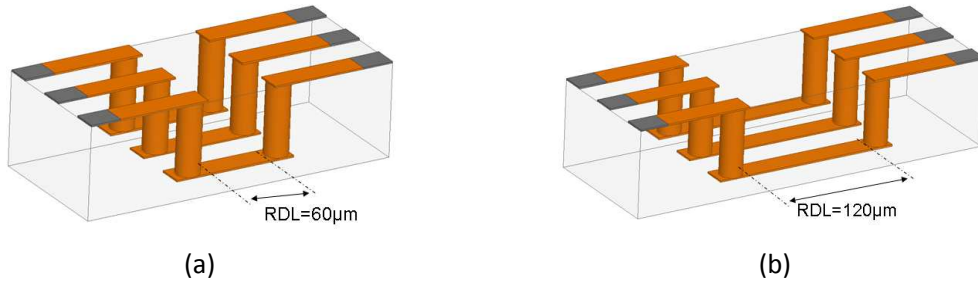


figure 2-17 : (a) CDT₁ de petite longueur de ligne RDL ; (b) CDT₂ de grande longueur de ligne RDL

Ainsi, les matrices [S₁] et [S₂] obtenues respectivement par la mesure de la CDT₁ et du CDT₂, des matrices de transfert [T₁] et [T₂] associées à chacun des dispositifs pourront aisément être déterminées.

Les matrices [T₁] et [T₂] obtenues sont semblables*, elles ont donc la même trace et le même déterminant.

Nous obtenons les relations suivantes:

$$[T_1] = [G]^{-1} [T_{L1}] [H] \text{ et } [T_2] = [G]^{-1} [T_{L2}] [H] \quad (2-8)$$

Les matrices [T_{L1}] et [T_{L2}] représentent les caractéristiques des tronçons de lignes RDL supposées adaptées. En effet, les termes de désadaptations liés aux accès et TSV sont contenus dans les matrices [G] et [H]. En d'autres termes seuls les termes de propagation sont contenus dans les matrices [T_L] (équations (2-9)).

$$[T_{L1}] = \begin{bmatrix} e^{-\gamma L1} & 0 \\ 0 & e^{-\gamma L1} \end{bmatrix} \text{ et } [T_{L2}] = \begin{bmatrix} e^{-\gamma L2} & 0 \\ 0 & e^{-\gamma L2} \end{bmatrix} \quad (2-9)$$

avec L1 et L2 respectivement la longueur de RDL des CDT1 et CDT2 et γ son exposant de propagation.

Ainsi en manipulant les équations (2-8) il est aisé d'arriver aux équations (2-10).

$$\text{Trace}([T_{L2}] [T_{L1}]^{-1}) = \text{Trace}([T_2] [T_1]^{-1}) = e^{\gamma \Delta L} + e^{-\gamma \Delta L} = 2 \cosh(\gamma \Delta L) \quad (2-10)$$

avec $\Delta L = L2 - L1$.

On en déduit donc l'équation (2-11):

* Deux matrices A et B sont dites semblables si il existe une matrice N tel que $[B] = [N]^{-1} [A] [N]$

$$\gamma = \frac{\text{acosh}\left(\frac{\text{Trace}([T_2][T_1]^{-1})}{2}\right)}{\Delta L} \quad (2-11)$$

Les valeurs d'exposant de propagation calculées par cette méthode sont très fiables et servent souvent de référence.

3.4 Extraction de l'impédance caractéristique de la ligne de RDL

Les paragraphes 3.1 et 3.2 ont présenté une méthode d'épluchage dérivée de la procédure Vandamme permettant d'éliminer l'effet des accès aux 2 blocs de 3 TSV (reliés par une ligne de RDL) en utilisant seulement deux dispositifs additionnels CDA. Néanmoins il apparaît que pour extraire les paramètres électriques d'un seul bloc de 3 TSV la connaissance de la matrice ABCD de la RDL doit être connue. Pour cela, il est essentiel de connaître son impédance caractéristique en plus de son exposant de propagation. Par conséquent, l'utilisation d'une structure de plus grande longueur de RDL est indispensable. Dans ce cas, comme le présente la figure 2-18, la grande structure devient la CDT, la RDL devient le DST et la petite structure la CDA.

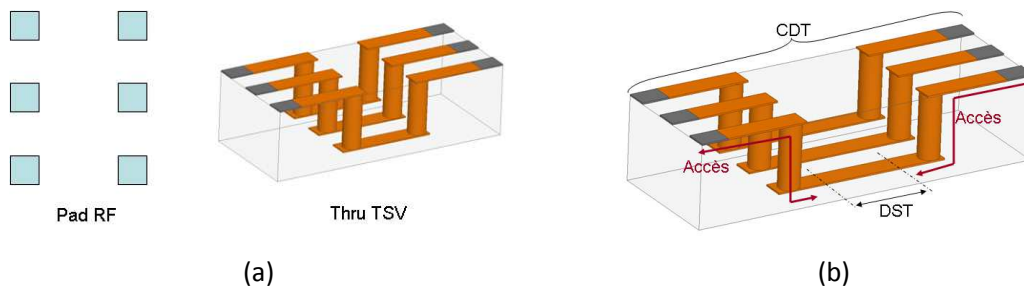


figure 2-18: (a) Dispositifs additionnels; (b) CDT

La méthode de Vandamme modifiée que nous avons présentée permet d'extraire cette impédance caractéristique de la ligne RDL sous test mais le modèle utilisé par Vandamme pour décrire l'environnement de test suppose que les effets de propagation sur le CDA « Thru TSV » sont négligeables (aspect localisé de la CDA). Pour que cette hypothèse soit respectée il est habituel de considérer que la longueur du dispositif CDA doit être 10 fois plus petite que la longueur d'onde. La figure 2-19 compare la longueur d'onde et la longueur du dispositif en fonction de la fréquence.

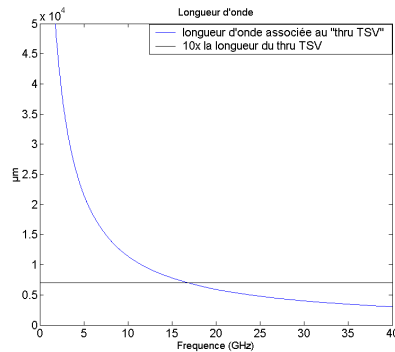


figure 2-19 : Comparaison entre la longueur d'onde et la longueur du "Thru TSV"

Au regard de la courbe, l'hypothèse est valable en dessous de 15 GHz pour un CDA typique mais au delà de 15 GHz l'hypothèse sur cet aspect localisé n'est plus valide. Par conséquent, il sera très difficile d'évaluer la qualité du résultat d'extraction de l'impédance caractéristique de la RDL et par conséquent celui obtenu pour la caractérisation d'un bloc de TSV.

3.5 Epluchage final : extraction de la matrice ABCD d'un bloc de TSV

On rappelle que notre objectif final est d'obtenir la matrice ABCD d'un seul bloc de TSV, notre DST ultime, comme le souligne la figure 2-1 du paragraphe 3.2

A ce stade de la technique de de-embedding de Vandamme nous sommes dans la situation suivante :

- A la suite de l'étape décrite au paragraphe 3.1 nous connaissons la matrice ABCD des accès, elle est notée $[ABCD]_{\text{accès}}$.

- A la suite des étapes décrites aux paragraphes 3.3 et 3.4 nous connaissons:

- ◆ la matrice ABCD de la ligne de RDL car nous connaissons son exposant de propagation et son impédance caractéristique, elle est notée $[ABCD]_{\text{RDL}}$
- ◆ la matrice ABCD du demi-CDA constitué de l'accès relié à un bloc TSV et à un morceau de RDL (elle est notée $[ABCD]_{1/2\text{CDA}}$).

Un simple calcul matriciel nous permet alors de déterminer la matrice ABCD d'un seul bloc de TSV, notre objectif initial. Cette matrice est notée $ABCD_{\text{1blocTSV}}$ et elle est obtenue par :

$$[ABCD]_{\text{blocTSV}} = [ABCD]_{\text{accès}}^{-1} * [ABCD]_{1/2\text{CDA}} * [ABCD]_{\text{RDL}}^{-1}$$

Cette étape marque la fin de la procédure d'épluchage. L'obtention de la matrice ABCD d'un seul bloc de TSV offre la possibilité de modéliser ce dernier avec un modèle électrique équivalent qui peut être de type en T ou pi, ou en ligne de transmission.

3.6 Limitation de la méthode de de-embedding à l'extraction d'un bloc de TSV seul

La procédure complète de de-embedding de Vandamme modifiée que nous venons de présenter est régulièrement utilisée et appliquée. Utilisée dans les bonnes conditions, c'est à dire en respect des hypothèses qu'elle nécessite sur les architectures des CDT et CDA présents, elle est très efficace et performante. Néanmoins, elle présente quelques points faibles :

- Une limite d'utilisation en fréquence liée à une hypothèse contraignante sur la longueur de la cellule de test (CDT) et des cellules additionnelles (CDA) vis à vis des longueurs d'onde de travail.
- Une modélisation de l'environnement de test basée sur un découpage de ce dernier en éléments localisés (plots de contact, ligne d'accès...) qui n'a pas toujours un caractère générique
- Un grand nombre de cellules de test additionnelles (CDA), coûteux, et encombrant sur la surface de silicium généralement mise à disposition.

Dans certaines conditions de travail, en intégration 3D, ces limites d'utilisation de la méthode de Vandamme sont trop contraignantes, voir réhébitoraires, pour espérer caractériser des structures enfouies dans un environnement microélectronique 3D, en particulier pour des TSV. Par conséquent, nous avons préféré développer une méthodologie spécifique de caractérisation pour remonter aux informations électriques d'éléments d'interconnexion tels que les TSV et les lignes RDL.

4 Méthode de de-embedding innovante applicable à l'extraction de TSV

Cette méthode, que nous avons nommée « De-embedding Using Modification of Materials Characteristics (DUMMC) » développée dans le cadre de cette thèse, est une procédure générique, utilisant les propriétés des matériaux pour permettre le de-embedding. En effet, une modification des propriétés physiques du matériau diélectrique (substrat) de la cellule de test (CDT), par exemple une exposition à un rayonnement lumineux dans le cas d'un substrat en Silicium ou par l'application d'un fort champ électrique dans le cas d'un substrat ferroélectrique en PZT, permet à l'utilisateur d'en déduire la matrice ABCD d'une structure sous test.

Dans le cas de nos architectures de test, cette méthode DUMMC nous permettra d'obtenir la matrice ABCD de la structure constituée de la moitié de la CDA (figure 2-20) et par conséquent de remonter à l'impédance caractéristique de la ligne RDL qui relie les blocs de TSV puis à la matrice ABCD d'un seul bloc de TSV.

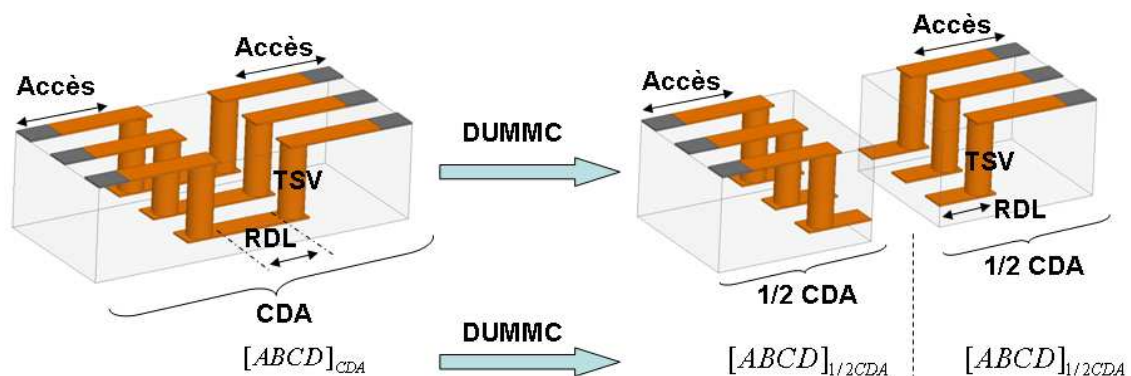


figure 2-20: Illustration de l'extraction des paramètres électrique de la moitié de la CDA par la méthode DUMMC

L'organigramme de la figure 2-21 présente les différentes étapes et leur chronologie pour atteindre notre objectif.

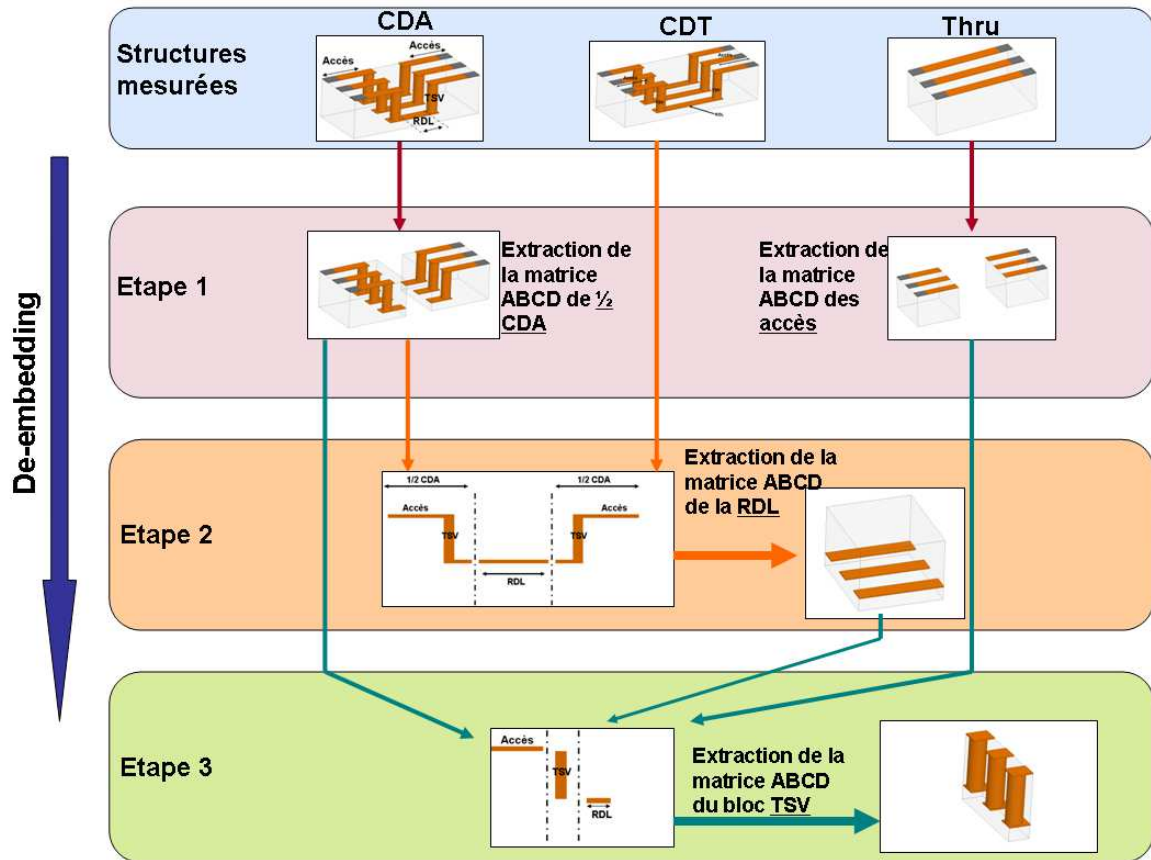


figure 2-21 : Procédure de de-embedding pour extraire les paramètres électriques d'un bloc TSV

Cette méthode présente les avantages suivants:

- Elle ne nécessite qu'une seule cellule de test additionnelle (CDA).
- Seule la moitié de la longueur de la CDT doit être petite devant la longueur d'onde
- Elle peut être utilisée dans le cadre de DST issus des technologies de l'intégration 3D
- Elle limite le nombre de poses de pointe RF (source d'erreur lors des extractions).

La seule limite de cette méthode est que le matériau diélectrique de la cellule sous test doit réagir, sous la forme d'une modification de sa permittivité, conductivité ou perméabilité, lorsqu'une contrainte extérieure lui est appliquée (lumière, polarisation électrique,...).

Dans le cadre de l'intégration 3D de circuits intégrés les substrats utilisés sont majoritairement en Silicium. De part ses propriétés, ce matériau semi-conducteur est fortement sensible au rayonnement électromagnétique dans les longueurs d'onde infra rouge et en dessous. Les modifications, créées par la source extérieure, sur la conductivité du silicium

peuvent avoir un fort impact sur les paramètres S d'un dispositif mesuré. La figure 2-22 présente l'influence de la lumière blanche de l'ampoule d'un microscope sur les paramètres S d'une ligne de transmission de type "thru" présentée en figure 2-11.

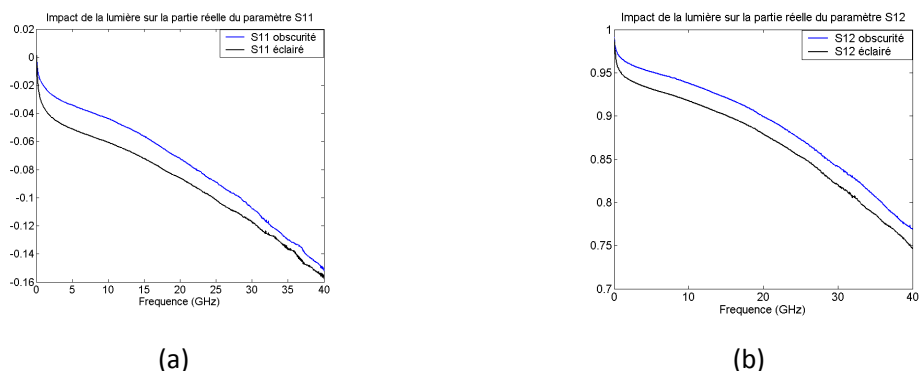


figure 2-22 : Impact de la lumière sur les paramètres [S] d'une ligne coplanaire; (a) partie réelle de S_{11} ; (b) partie réelle de S_{12}

Nous pouvons constater que la modification de la matrice S d'une ligne de transmission sur silicium est conséquente entre les cas d'une mesure en obscurité et sous rayonnement. Dans le cas de la méthode DUMMC nous allons tirer avantage de cette modification pour effectuer le de-embedding.

4.1 Modélisation

Dans un cas général, un quadripôle symétrique peut être modélisé par un modèle en T pour lequel apparaissent deux impédances séries identiques et une impédance parallèle. Cependant, nous pouvons également définir ce quadripôle par l'association de deux modèles en T identiques (par symétrie) comme le présente la figure 2-23.

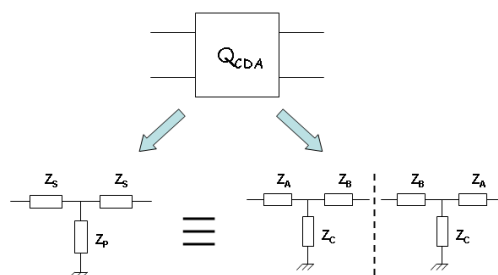


figure 2-23 : Modélisation d'un quadripôle sous forme d'un modèle en T ou de l'association de deux modèles en T

La matrice ABCD du quadripôle peut être vue comme l'association de deux modèles en T qui représenteront les caractéristiques électriques des deux demi-structures identiques que nous cherchons à identifier.

Les équations (2-12) présentent comment passer d'un modèle à l'autre.

$$Z_s = \frac{Z_B Z_C + Z_A (Z_B + Z_C)}{Z_B + Z_C}$$

$$Z_p = \frac{Z_C^2}{2(Z_B + Z_C)}$$
(2- 12)

Si les paramètres Z_s et Z_p sont facilement extraits et connus par la mesure du quadripôle, il est aisé de s'apercevoir que les paramètres Z_A , Z_B et Z_C ne peuvent pas être déduits directement. En effet, les équations (2-12) amènent à un système à deux équations et 3 inconnues.

Cependant, nous avons vu qu'une perturbation extérieure (la lumière dans notre cas) modifiait les caractéristiques du diélectrique (Silicium) de la structure. Cette modification nous permet donc de mesurer un « second » quadripôle, en tout point identique au premier mais dont les caractéristiques diélectriques ont changé (et cela sans même lever les pointes de mesure RF). De cette deuxième mesure, un nouveau modèle apparaît dans le cas d'un état éclairé. Au final, avec et sans rayonnement, nous obtenons un plus grand nombre d'équations mais aussi un plus grand nombre d'inconnues comme le présente la figure 2-24. En supposant que les éléments série des demies structures en T ne sont pas modifiés entre les phases avec et sans rayonnement, nous obtenons un jeu d'équations indépendantes suffisant (4 équations) pour déterminer les inconnues, dont le nombre se réduit à 4.

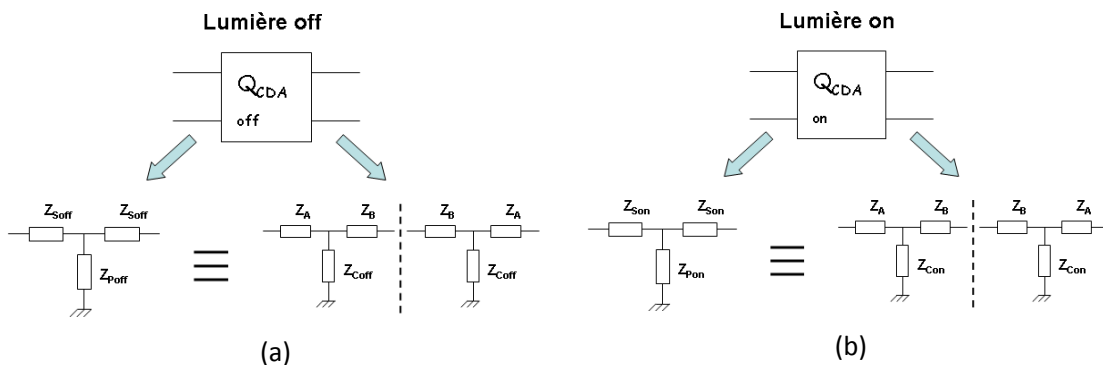


figure 2-24 : Modélisation d'une structure additionnelle sous forme d'un modèle en T ou de l'association de deux modèles en T; (a) Sans lumière (off); (b) avec lumière (on)

Les paramètres Z_{soff} , Z_{poff} , Z_{son} et Z_{pon} sont obtenus de manière directe, à partir des mesures. Ce sont elles qui nous donnent le jeu de 4 équations indépendantes.

Pour les demi-structures modélisées en T, nous considérons que seule l'impédance parallèle Z_C a été notablement impactée par la modification des caractéristiques du matériau servant de substrat. A contrario, les impédances Z_A et Z_B n'ont pas été modifiées. En effet, il est rationnel d'émettre l'hypothèse suivante: Z_C représente l'impédance parallèle de la demi-structure. Elle définit ainsi majoritairement les propriétés de couplage capacitif entre le signal et ses masses. Par conséquent, elle est pleinement impactée par les caractéristiques du substrat, lui-même modifié par le faisceau lumineux. Les impédances Z_A et Z_B quant à elles représentent les paramètres séries, ainsi elles définissent majoritairement les caractéristiques métalliques des conducteurs eux même impactés mais de manière très négligeable par l'éclairement. Cette hypothèse reste valide dans les cas suivants:

- pour des structures de transmission
- tant que la longueur de ces structures de transmission est petite devant la longueur d'onde.

La validation expérimentale de cette hypothèse sera présentée dans le paragraphe 4.2.

La modification des propriétés du substrat permet de définir un système de 4 équations à 4 inconnues:

$$\left\{ \begin{array}{l} Z_{soff} = \frac{Z_B Z_{Coff} + Z_A (Z_B + Z_{Coff})}{Z_B + Z_{Coff}} \\ Z_{poff} = \frac{Z_{Coff}^2}{2(Z_B + Z_{Coff})} \\ Z_{son} = \frac{Z_B Z_{Con} + Z_A (Z_B + Z_{Con})}{Z_B + Z_{Con}} \\ Z_{pon} = \frac{Z_{Con}^2}{2(Z_B + Z_{Con})} \end{array} \right. \quad (2-13)$$

Ce système peut être résolu analytiquement et donne 2 couples de solutions des 4 paramètres initialement inconnus. La première difficulté est de choisir le couple réaliste de la solution. En effet, le choix du couple valide évolue en fonction de la fréquence et nécessite de définir des critères de sélection. Ces solutions peuvent être trouvées en annexe 2-3 ainsi qu'une méthode pour sélectionner le couple adéquat en fonction de la fréquence. Après sélection des solutions,

nous obtenons donc les paramètres du modèle en T de la demi-structure avec éclairage et sans éclairage (équations 2-14).

$$\begin{aligned}Z_A &= f(Z_{Soff}, Z_{Poff}, Z_{Son}, Z_{Pon}) \\Z_B &= g(Z_{Soff}, Z_{Poff}, Z_{Son}, Z_{Pon}) \\Z_{Coff} &= h(Z_{Soff}, Z_{Poff}, Z_{Son}, Z_{Pon}) \\Z_{Con} &= h'(Z_{Soff}, Z_{Poff}, Z_{Son}, Z_{Pon})\end{aligned}\tag{2-14}$$

A partir des paramètres Z_A , Z_B , Z_{Coff} , il est donc maintenant possible de définir la matrice ABCD associée à la demi-structure.

Nous appliquerons donc cette méthodologie pour déterminer la matrice ABCD du demi CDA présenté en figure 2-17 (Thru TSV) pour en déduire, après épluchage de la CDT, la matrice ABCD d'un seul bloc de TSV situé entre les lignes d'accès et la ligne de redistribution RDL. Nous en déduisons aussi l'impédance caractéristique de la ligne de redistribution de RDL enfouie en face arrière du substrat, comme le présente le paragraphe suivant.

4.2 Validation de la méthode

4.2.1 Extraction des paramètres électriques d'une ligne coplanaire

Afin de valider cette méthode, il convient de la confronter aux méthodes présentées dans les paragraphes précédents sur un cas bien connu. Le dispositif considéré dans cette partie sera une ligne coplanaire dont l'impédance caractéristique sera extraite par la méthode DUMMC et comparée à celle extraite par la méthode Vandamme modifiée (cf paragraphe 3.1). L'exposant de propagation quant à lui sera comparé à celui extrait par la méthode Schieck (cf paragraphe 3.3). Notons que l'exposant de propagation est constitué d'une partie réelle, appelée constante d'atténuation, notée α (Neper/m) et d'une partie imaginaire, appelée constante de phase, notée β (rad/m).

Afin de réaliser le de-embedding, pour la méthode DUMMC, une courte ligne de transmission sera nécessaire (deux accès placés aux extrémités de la ligne coplanaire de 60 μm de long) qui jouera le rôle de CDA ainsi qu'une ligne plus grande (ligne coplanaire de 240 μm de long) qui sera notre CDT sur laquelle nous pourrons procéder au de-embedding pour caractériser la partie CPW de la ligne (DST).

La figure 2-25 présente le modèle équivalent de la structure CDA en accord avec la modélisation présentée dans le paragraphe précédent.

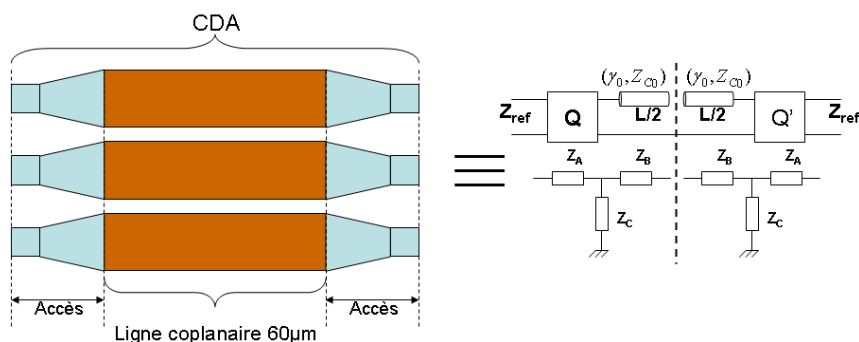


figure 2-25 : Modélisation du CDA

A partir d'une mesure sous éclaircissement et sans éclaircissement, nous pouvons donc extraire deux modèles équivalents, comme le présente la figure 2-26. Notons que nous considérons les impédances séries inchangées dans chacun des cas en accord avec l'hypothèse du paragraphe 4.1.

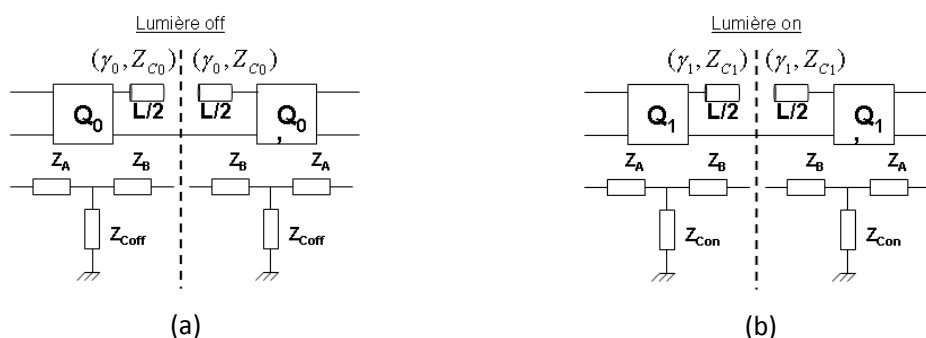


figure 2-26 : Modélisation du CDA dans les deux cas: (a) CDA sans éclaircissement; (b) CDA sous éclaircissement

A partir de la mesure de la CDA, dans ces deux configurations et grâce aux formules (2-13) et (2-14), les caractéristiques électriques de la demi-structure de la CDA sont alors connues. Ainsi, nous pourrions procéder au de-embedding de la CDT (accès associés à une ligne coplanaire de 240 µm). La figure 2-27 présente le modèle associé à la CDT.

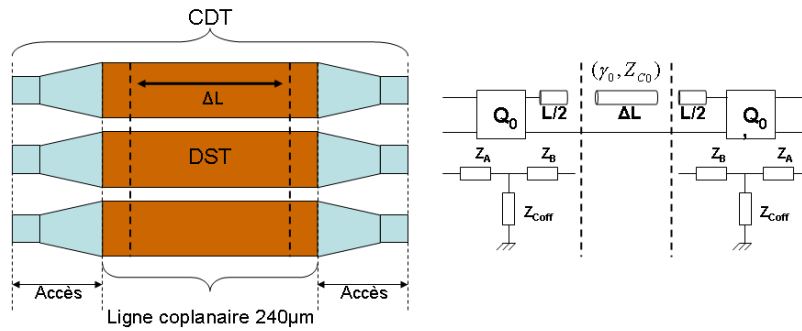


figure 2-27: Modélisation du CDT

Le modèle est composé comme l'association en cascade des deux demi-CDA et d'une ligne coplanaire de longueur ΔL égale à la différence de longueur de ligne entre le CDT et le CDA soit $180 \mu\text{m}$ ($240 \mu\text{m} - 60 \mu\text{m}$).

En pratique pour remonter à la matrice $[ABCD]$ de la ligne coplanaire CPW qui joue le rôle de DST on utilise la formule (2-15) suivante.

$$ABCD_{DST} = ABCD_{1/2CDA}^{-1} * ABCD_{CDT} * ABCD_{1/2CDA}^{-1} \quad (2-15)$$

A partir de la matrice $ABCD$ du DST il est aisé de remonter aux paramètres caractéristiques de la ligne de transmission avec la formule (2-16).

$$ABCD_{DST} = \begin{bmatrix} \cosh(\gamma_0 \Delta L) & Z_{c0} \sinh(\gamma_0 \Delta L) \\ \frac{1}{Z_{c0}} \sinh(\gamma_0 \Delta L) & \cosh(\gamma_0 \Delta L) \end{bmatrix} \quad (2-16)$$

avec γ_0 l'exposant de propagation complexe et Z_{c0} l'impédance caractéristique complexe.

La figure 2-28 présente une comparaison de l'extraction de l'impédance caractéristique, obtenue avec les deux méthodes de de-embedding.

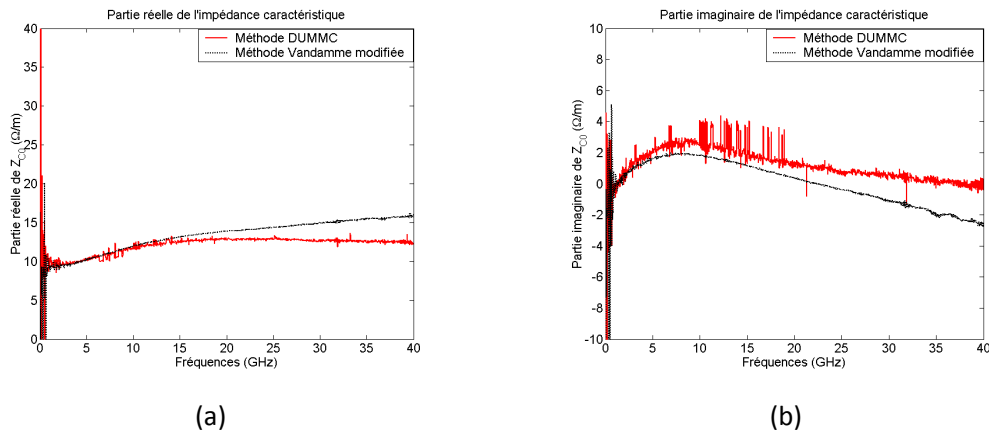


figure 2-28 : Impédance caractéristique du DST extraite par deux méthodes de de-embedding: (a) Partie réelle; (b) Partie imaginaire

Nous pouvons constater que les deux méthodes donnent des résultats très proches dans la partie basse du spectre fréquentiel. Cependant, nous pouvons également constater que plus on monte en fréquence et plus les résultats obtenus divergent.

L'évolution fréquentielle de l'impédance caractéristique des lignes de transmission est bien connue équation (2-17).

$$Z_{c0} = \sqrt{\frac{R + jL\omega}{G + jC\omega}} \quad (2-17)$$

Ainsi nous pouvons constater que lorsque ω tend vers l'infini l'équation (2-17) devient:

$$Z_{c0} = \sqrt{\frac{L}{C}} \quad (2-18)$$

Par conséquent, la partie réelle de l'impédance caractéristique tend vers une constante et la partie imaginaire vers zéro. Cette simple analyse nous permet de conclure sur la précision de la méthode DUMMC qui permet une extraction précise répondant aux critères théoriques. Cette précision vient des différents aspects, en termes de modélisation et de mesure. En effet, elle ne nécessite qu'un seul dispositif additionnel et limite ainsi l'erreur générée par une multitude de poses de pointe. La contrainte sur la longueur du CDA vis à vis de la longueur d'onde est deux fois plus lâche que dans la méthode Vandamme modifiée.

La figure 2-29 présente maintenant l'exposant de propagation extrait par trois méthodes différentes.

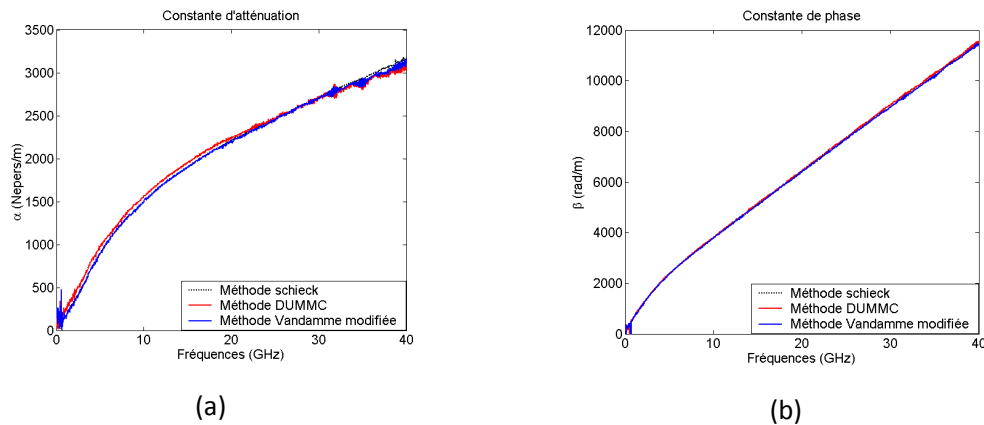


figure 2-29 : Exposant de propagation du DST extrait par trois méthodes de de-embedding: (a) Partie réelle; (b) Partie imaginaire

Nous pouvons constater une grande corrélation entre les extractions obtenues avec les différentes méthodes de de-embedding. Ces résultats permettent de situer la méthode DUMMC comme un excellent candidat pour le de-embedding de tout type de structure de propagation sur Silicium en utilisant qu'une seule cellule CDA de test additionnelle. Cette méthode permet également d'utiliser des CDA deux fois plus longues que dans les méthodes classiques. Par conséquent, cette méthode sera utilisée dans le cas de l'extraction de paramètres électriques d'un TSV.

4.2.2 Validation de l'hypothèse

La méthode DUMMC repose sur l'hypothèse que la modification des propriétés physiques du substrat n'influence pas les impédances séries Z_A et Z_B de la demi-structure. Afin, de valider cette hypothèse nous avons utilisé la méthode Vandamme modifiée pour extraire les paramètres du modèle en T de la demi-structure dans un cas éclairé et dans le cas non éclairé. La figure 2-30 présente les variations sur les impédances Z_A et Z_C induites par la modification des caractéristiques du substrat dans le cas de la ligne de $60 \mu\text{m}$.

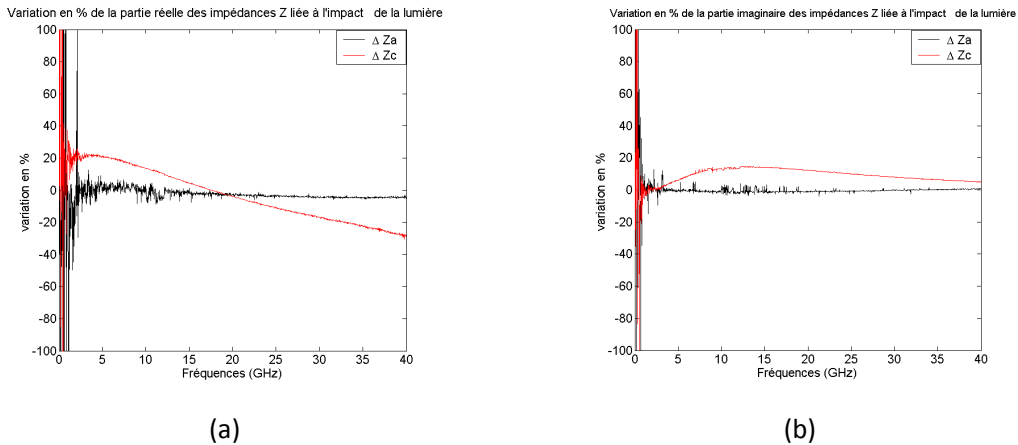


figure 2-30 : Variation en % de la valeur des impédances du modèle en T induite par l'éclairement du substrat: (a) Partie réelle; (b) Partie imaginaire

Pour plus de clarté, seule les variations de Z_A et Z_C sont tracées et nous pouvons constater que l'hypothèse est vérifiée. En effet, l'impact de la lumière est très majoritairement visible sur l'impédance parallèle Z_C . Nous pouvons également constater qu'à très basse fréquence l'extraction de l'impédance série est fortement bruitée en raison d'une variation trop faible des paramètres S entre les deux états d'éclairement en dessous de 1 GHz. La variation visible sur la partie réelle de Z_A à très basse fréquence a donc pour origine principale le « bruit d'extraction ». Les résultats sur Z_B sont identiques aux résultats sur Z_A et présentent des variations moyennes inférieures à 3%. Cette analyse peut être trouvée de manière détaillée dans la publication [Fourneaud-2010].

4.3 Extraction des paramètres électriques des TSV

L'extraction des paramètres des TSV nécessite de réaliser l'ensemble de la procédure de de-embedding. En effet, une première étape consiste à l'extraction des caractéristiques électriques de la RDL puis une deuxième étape porte sur l'extraction des paramètres électriques des TSV. Dans cette partie, nous allons extraire les paramètres électriques de TSV dans deux architectures d'intégration différentes et avec des conductivités du silicium différentes (un cas faible conductivité ≈ 0.1 S/m et un cas haute conductivité $\approx 10\,000$ S/m). Les deux architectures sont présentées en figure 2-31.

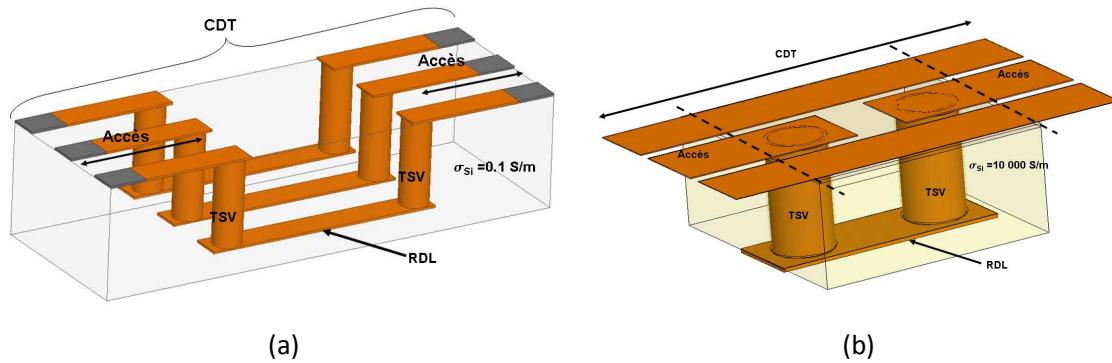


figure 2-31 : Deux structures de test d'architecture différente et de conductivité de substrat différente : (a)CDT 3TSV HR (High Resistivity); (b) CDT 1TSV LR (Low Resistivity)

La même procédure d'extraction sera utilisée dans les deux cas mais il est évident que les caractéristiques électriques des TSV extraites seront différentes. Pour effectuer le de-embedding nous utilisons dans chacun des cas des cellules CDA additionnelles possédant les mêmes caractéristiques que les CDT mais avec des longueurs de RDL plus courte.

4.3.1 CDT 3TSV HR

La première étape consiste à extraire les paramètres électriques de la demi-structure de CDA. Dans ce cas le CDA est une structure identique à celle présentée en figure 2-31 (a) avec une ligne de RDL de 60 μm de long alors que le CDT possède une longueur de RDL de 240 μm de long. La méthode DUMMC est utilisée afin de définir les paramètres électriques de la demi-structure comme le présente la figure 2-32.

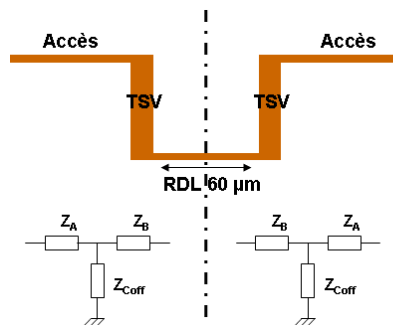


figure 2-32 : Vue en coupe du CDA et modèle électrique équivalent extrait par la méthode DUMMC

Ainsi grâce aux modèles électriques équivalents de la demi-CDA il est possible d'en extraire sa matrice ABCD. La CDT quant à elle peut être définie comme la cascade des matrices ABCD de la demi-CDA entre lesquelles s'insère la matrice ABCD de la RDL, comme le présente la figure 2-33.

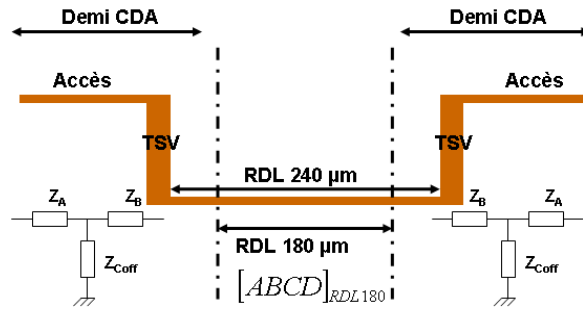


figure 2-33 : Vue en coupe du CDT composé des demi CDA associés à une RDL de 180 μm

Le de-embedding va permettre d'extraire la matrice ABCD d'une RDL de longueur équivalente à la différence entre les longueurs de RDL du CDA et du CDT (240 μm-60 μm-180 μm). Ainsi, à partir de la matrice ABCD de la RDL extraite par la formule (2-19) nous pouvons extraire l'impédance caractéristique et l'exposant de propagation à partir de la formule (2-20).

$$ABCD_{RDL} = ABCD_{1/2CDA}^{-1} * ABCD_{CDT} * ABCD_{1/2CDA}^{-1} \quad (2-19)$$

$$ABCD_{DRDL} = \begin{bmatrix} \cosh(\gamma_0 \Delta L) & Z_{C0} \sinh(\gamma_0 \Delta L) \\ \frac{1}{Z_{C0}} \sinh(\gamma_0 \Delta L) & \cosh(\gamma_0 \Delta L) \end{bmatrix} \quad (2-20)$$

Avec $\Delta L=180 \mu\text{m}$.

La figure 2-34 présente la partie réelle et la partie imaginaire l'impédance caractéristique de la ligne de RDL que nous obtenons après cet épluchage.

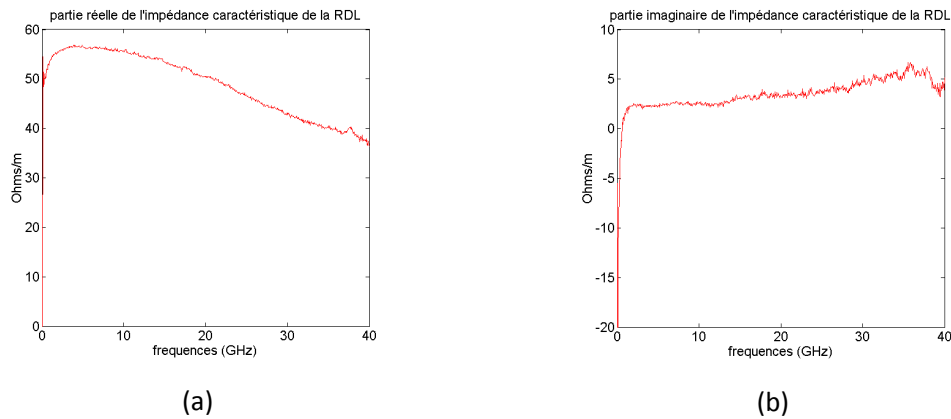


figure 2-34 : Impédance caractéristique de la RDL extraite par la méthode DUMMC: (a) Partie réelle; (b) Partie imaginaire

La figure 2-35 quant à elle compare l'exposant de propagation extrait par cette méthode et celui extrait par la méthode proposée par Schieck décrite au chapitre 1.3.3.

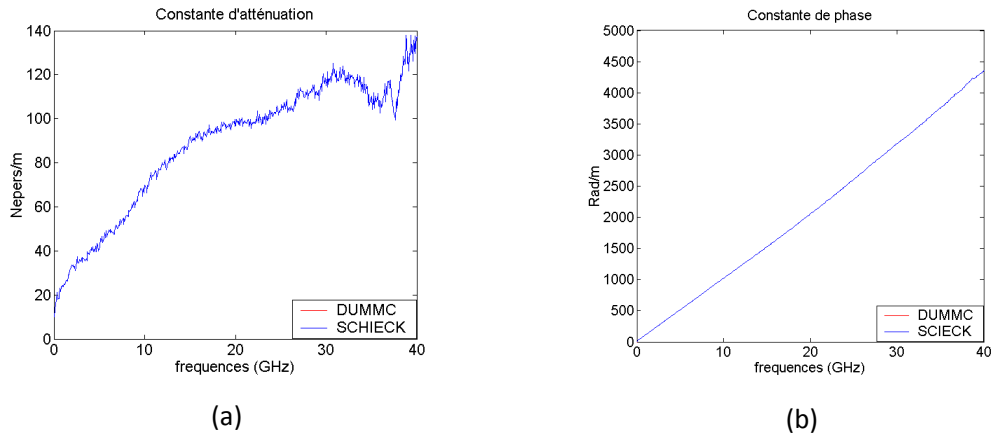


figure 2-35 : Exposant de propagation de la RDL extraite par la méthode DUMMC et la méthode Schieck: (a) Partie réelle; (b) Partie imaginaire

Les extractions effectuées sur la constante de propagation donnent des résultats identiques avec les deux méthodes.

La connaissance de l'impédance caractéristique et de la constante de propagation nous permet de créer la matrice ABCD de la ligne de RDL de n'importe quelle longueur par la formule (2-20). Ainsi nous allons pouvoir extraire les caractéristiques électriques des TSV. Pour ce faire nous allons considérer la matrice ABCD de la demi-CDA. En effet, elle est constituée de la cascade de 3 matrices dont deux sont connues (ligne d'accès et RDL) comme le présente de manière schématique la figure 2-36.

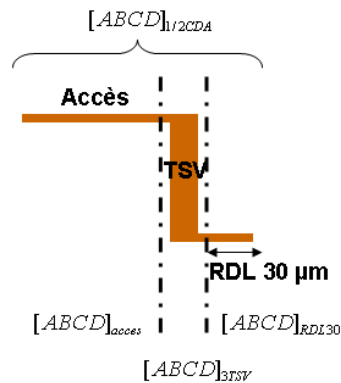


figure 2-36 : Représentation schématique de la matrice du demi-CDA comme l'association de 3 matrices ABCD

La matrice ABCD de la RDL de longueur 30 µm est calculée avec la formule (2-20) avec $\Delta L=30 \mu\text{m}$ et la matrice ABCD de la ligne d'accès peut aisément être extraite grâce à l'utilisation de la méthode DUMMC sur un nouveau dispositif additionnel comme un "Thru" mais il est

évident que toute autre méthode de de-embedding traditionnelle peut être utilisée pour l'extraction des paramètres du "Thru" comme par exemple la méthode de de-embedding présentée au chapitre 3.1.

On peut alors extraire la matrice ABCD du bloc 3TSV avec la formule (2-21).

$$ABCD_{3TSV} = ABCD_{acces}^{-1} * ABCD_{1/2CDA} * ABCD_{RDL30}^{-1} \quad (2-21)$$

Enfin, à cette matrice ABCD peuvent être associés, pour décrire le DST, des modèle en π , en T, ou même un modèle de ligne de transmission.

Nous choisissons de considérer les trois TSV comme une ligne de transmission définie par ses paramètres linéiques RLCG comme le présente la figure 2-37.

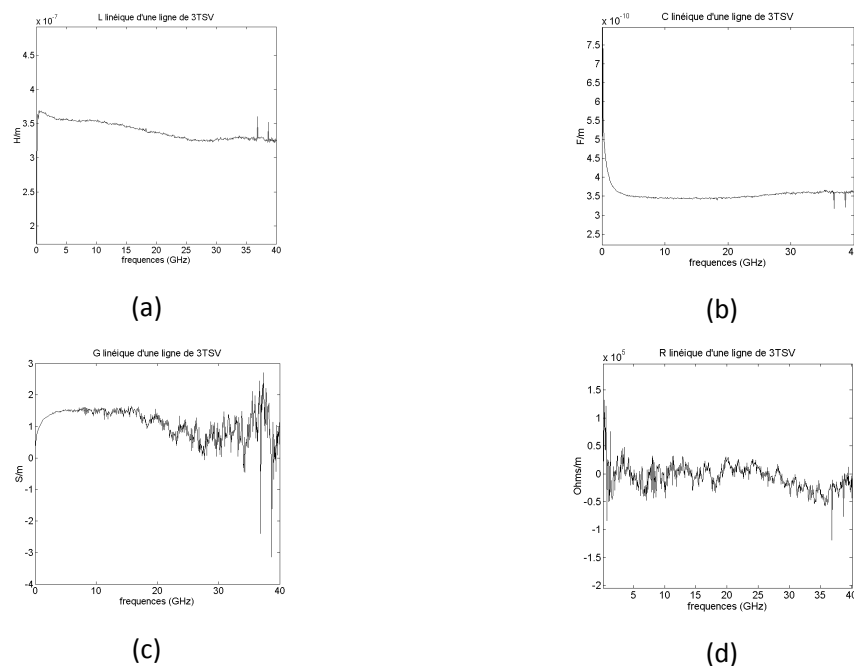


figure 2-37: Paramètres électriques d'une ligne de 3 TSV: (a) Inductance linéique, (b) Capacité linéique, (c) Conductance linéique, (d) Résistance linéique

Nous pouvons constater des extractions très précises pour les paramètres inductif et capacitif avec des allures bien connues. L'extraction de la conductance linéique est également précise jusqu'à 20 GHz mais la courbe est très bruitée au delà. La résistance linéique quand à elle est très fortement bruitée et ne permet pas d'extraire une valeur fiable. En effet, la résistance DC de

3TSV médium densité de $120\mu\text{m}$ de hauteur est de l'ordre de $5.10^{-3} \Omega$; lors d'une mesure de la chaîne globale, son impact en terme résistif reste mineur et ne nous permet pas d'en extraire son influence.

4.3.2 CDT 1TSV LR

Dans ce cas, nous utilisons la même procédure mais l'architecture du DST et les caractéristiques du substrat ont changé. En effet, seule la piste de cuivre centrale plonge dans le substrat (TSV), les masses restent en surface (BEOL) et la conductivité du substrat est élevée (de l'ordre de $10\ 000\ \text{S/m}$). De la même manière que précédemment, la première étape est d'extraire les caractéristiques électriques de la demi-cellule additionnelle (CDA) afin de procéder à l'épluchage d'une structure plus longue, comme le résume la figure 2-38.

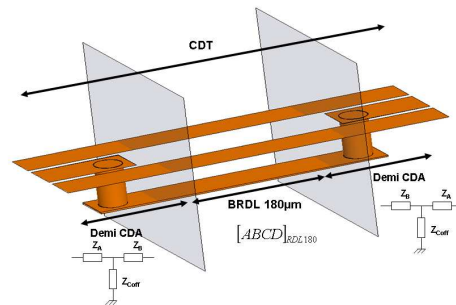


figure 2-38 : Représentation schématique de l'extraction de la matrice ABCD de la RDL

Ainsi, nous pouvons évaluer la matrice ABCD de la RDL, grâce à la formule (2-19). La longueur de la RDL est égale à la différence de longueur de RDL de la CDA et de la CDT, soit $180\ \mu\text{m}$. Enfin, La formule (2-20) donne les caractéristiques électriques de la RDL à partir de sa matrice ABCD. La figure 2-39 donne une comparaison des exposants de propagation extraits par la méthode DUMMC et la méthode [Schieck, 1996].

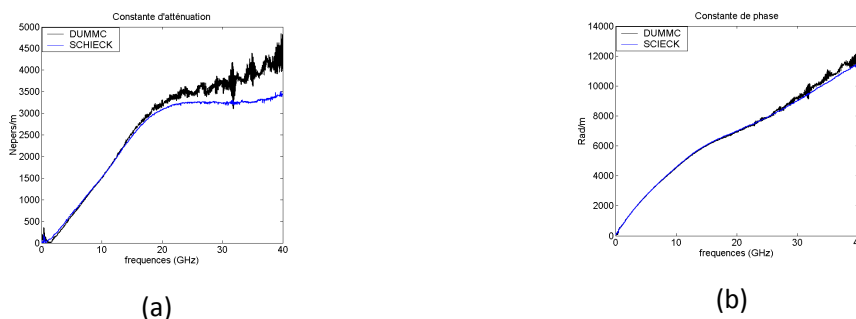


figure 2-39 : Exposant de propagation de la RDL extraite par la méthode DUMMC et la méthode Schieck: (a) Partie réelle; (b) Partie imaginaire

L'extraction de l'exposant de propagation à l'aide des deux méthodes (DUMMC et Schieck) donne des résultats similaires jusqu'à 15 GHz. En effet, l'allure de la constante d'atténuation est linéaire et conforme aux résultats attendus dans le cas d'une ligne de transmission. Cependant nous pouvons constater qu'au delà de 15 GHz la constante d'atténuation change de comportement et un écart important peut être constaté sur les résultats d'extraction obtenus avec les deux méthodes.

Afin de vérifier ce comportement contraire à celui d'une ligne de transmission, nous allons donc procéder à l'extraction de l'exposant de propagation par la méthode Schieck en ajoutant une troisième structure de longueur de RDL de 540 μm . Ainsi, nous pouvons extraire l'exposant de propagation dans trois cas distincts:

- RDL60/RDL240
- RDL60/RDL540
- RDL240/RDL540

La figure 2-40 présente les exposants de propagations extraits dans chacun des cas.

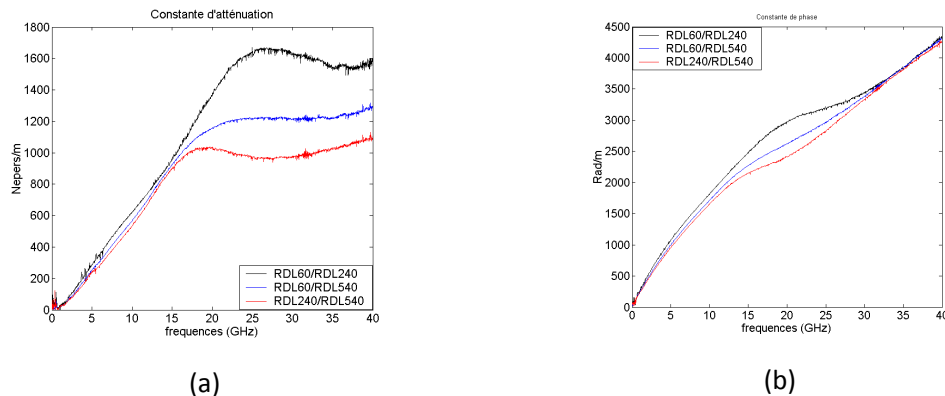
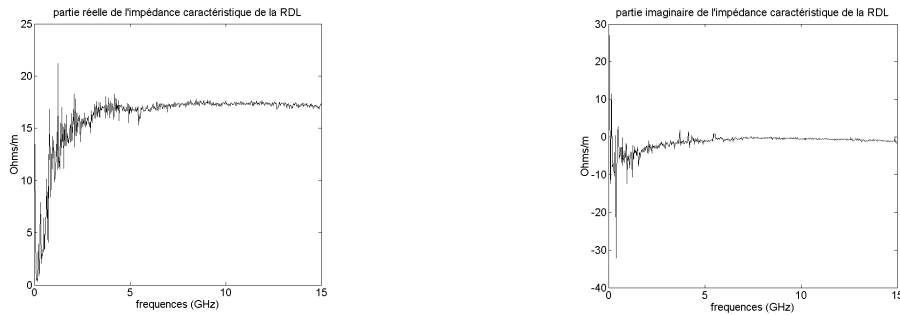


Figure 2-40 : Exposant de propagation de la RDL extraite par la méthode Scieck pour différentes longueurs de ligne: (a) Partie réelle; (b) Partie imaginaire

La méthode [Schieck, 1996] permet d'extraire l'exposant de propagation d'une ligne quelles que soient les longueurs de lignes mises en jeu. Dans ce cas nous pouvons encore constater des extractions semblables jusqu'à 15 GHz mais au delà de cette fréquence les résultats présentés sont différents. La conclusion de cette étude, nous laisse supposer l'apparition de modes d'ordre supérieur au delà de 15 GHz et nous impose également de mettre en doute l'hypothèse associant la RDL à une ligne de transmission au delà de cette fréquence. En effet, de part son architecture particulière (ligne centrale en bas et ligne de masse en haut) et la

conductivité du substrat très élevée, il n'est pas évident d'affirmer que le comportement de cette interconnexion soit conforme à celui d'une ligne de transmission véhiculant un mode de type TEM.

Dans la suite de l'extraction, nous limiterons donc notre étude à 15 GHz. Par conséquent, la figure 2-41 présente l'impédance caractéristique de la RDL jusqu'à 15 GHz.



(a)

figure 2-41 : Impédance caractéristique de la RDL extraite par la méthode DUMMC: (a) Partie réelle; (b) Partie imaginaire

Ainsi, comme le schématise la figure 2.42, nous définissons à nouveau la matrice ABCD de la demi-CDA comme l'association de 3 matrices ABCD : celles des lignes d'accès, du TSV et de la RDL

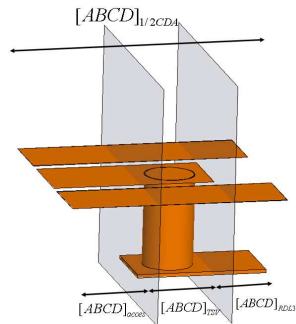


figure 2-42: Représentation schématique de la matrice de la demi-CDA comme l'association de 3 matrices ABCD

La matrice ABCD de la RDL de 30 μm de long est calculée grâce à la formule (2-20). La matrice ABCD d'accès est extraite après mesure d'un "thru" grâce aux méthodes précédemment évoquées. Enfin, la matrice ABCD de la demi-CDA étant connue, la matrice ABCD puis le modèle électrique équivalent du TSV est calculé avec la formule (2-21).

Contrairement au cas de 3 TSV, de part sa structure, nous ne pouvons pas identifier ce bloc TSV à une ligne de transmission. En effet, sa structure n'est pas homogène dans la direction de la propagation, ce qui ne nous permet pas de définir le TSV et ses masses en termes de paramètres RLCG linéiques. Par conséquent, nous définirons cette structure élémentaire en termes de modèles localisés en π ou en T. Ainsi la résistance et l'inductance totales seront issues de l'admittance série du modèle en π et la capacité et conductance totales seront issues de l'impédance parallèle du modèle en T. Les résultats sont présentés figure 2-43.

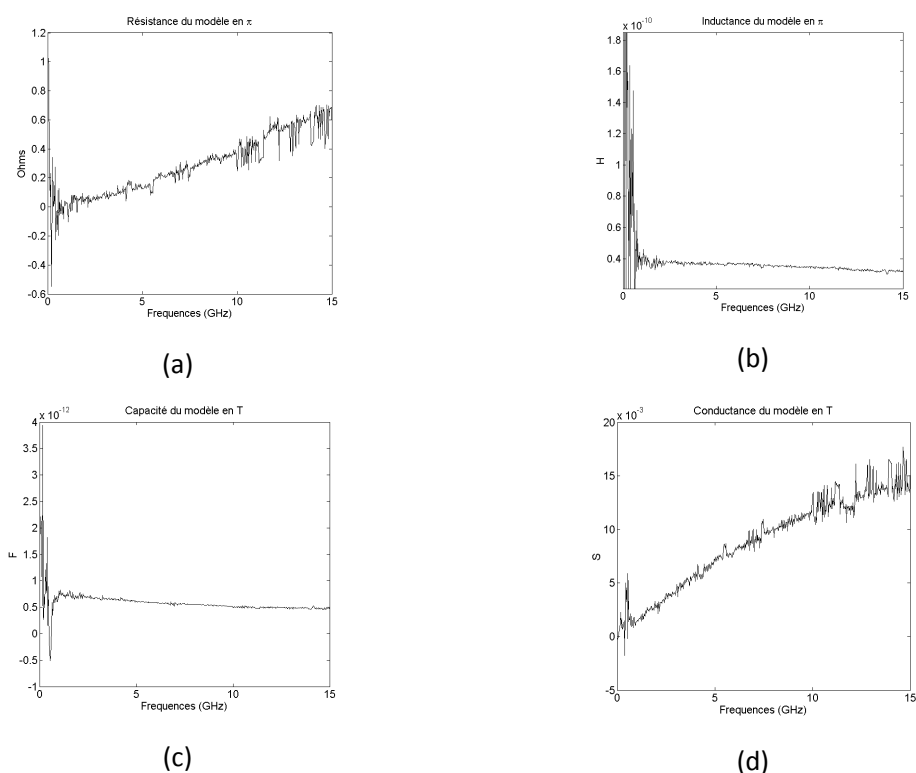


figure 2-43: Paramètres électriques des modèles en π et en T d'1 TSV: (a) Résistance, (b) Inductance, (c) Capacité, (d) Conductance

Nous pouvons constater que les paramètres extraits ont des comportements en accord avec ceux observés habituellement, à savoir une augmentation de la résistance avec la fréquence et une diminution de l'inductance avec la fréquence du fait de l'effet de peau, une augmentation de la conductance avec la fréquence du fait des pertes diélectriques dues au silicium et une capacité quasiment constante en fréquence. Nous pouvons également noter une bonne extraction de la résistance en raison d'un niveau de pertes métalliques élevé dans le semiconducteur. En effet, ces pertes élevées sont intimement liées à la forte conductivité du Silicium car celui-ci sera le siège de courants de Foucault induits par le champ magnétique

rayonné par le TSV. Ce courant va à son tour induire un courant dans le TSV s'opposant au courant circulant dans le TSV et ainsi augmenter les pertes. Cette répercussion de la forte conductivité du Silicium sur le paramètre R sera détaillée dans le chapitre 3.

5 Conclusion

Dans ce chapitre nous avons pu détailler quelques méthodes de de-embedding couramment utilisées au laboratoire afin d'en établir les limites dans le cas d'une utilisation en intégration 3D. Ces limites sont liées à une architecture innovante et complexe avec plusieurs niveaux de métal, des interconnexions traversant les substrats (TSV) et des matériaux à forte conductivité. Ces architectures rendent difficiles la conception de dispositifs additionnels et nécessitent l'utilisation de méthodes adaptées au manque de CDA. Les fortes conductivités de silicium et la présence de TSV amènent l'utilisateur aux limites des techniques de de-embedding classiques et appellent à une innovation prudente mais permanente.

C'est dans ce contexte difficile qu'à été réalisé l'extraction des paramètres électriques des TSV. Cette extraction est possible grâce à l'élaboration d'une méthode de de-embedding innovante permettant de définir les caractéristiques d'une interconnexion et plus particulièrement d'un TSV, avec un nombre minimum de CDA, un substrat silicium parfois fortement conducteur et des longueurs de dispositifs additionnels plus longues que ne l'autorisent les méthodes conventionnelles. La méthode DUMMC utilise une modification des caractéristiques du substrat pour effectuer l'épluchage d'un CDT et fût appliquée à l'extraction d'une ligne coplanaire pour validation [Fourneaud2010], à l'extraction de lignes enfouies de type RDL puis à l'extraction de TSV medium densité enfouis dans un substrat silicium HR [Fourneaud2011] et LR [Fourneaud2012]. Dans chacun des cas la modification du substrat a été effectuée grâce au fort impact de la lumière, sur les caractéristiques du silicium et, par ricochet, sur les paramètres S mesurés.

La méthode d'extraction est générique et peut être utilisée pour tout type de TSV. Elle nous a permis d'appréhender le comportement de ces interconnexions dans les différents substrats à disposition. Par conséquent, l'extraction des paramètres électriques des TSV pourra nous servir de référence pour la validation de modèles analytiques et de simulations.

Chapitre 3

Modélisation analytique large bande de fréquence des interconnexions de type TSV et Cu-pillar

" Les sciences n'essaient pas d'expliquer, elles essaient à peine d'interpréter, elles font principalement des modèles. Par modèle, on entend une construction mathématique qui, par l'addition de quelques interprétations verbales, décrit les phénomènes observés.

La justification d'une telle construction mathématique est uniquement et précisément

qu'elle est censée marcher."

John von Neumann

Ce chapitre propose dans sa partie résultat des modèles électriques large bande de fréquence d'interconnexions verticales de circuits intégrés 3D de type TSV (through silicon vias) et piliers de cuivre (copper pillar). La partie développement et analyse exposera la méthodologie qui a permis d'établir ces modèles dont les éléments R, L, C et G témoignent respectivement d'effets résistif, selfiques, capacitifs et conductifs inhérents à tout circuit électrique.

L'objectif du travail présenté ci-après était de proposer des modèles électriques à destination des designers (concepteurs alimentant le flot de fabrication microélectronique) de circuits 3D qui puissent aussi être intégrés dans tout simulateur de fonctionnement de circuits électroniques (simulateur comme par exemple ADS : advanced design system).

Ces modèles ont été développés avec des exigences d'ergonomie (facilité, simplicité, rapidité) d'utilisation et de précision. Ainsi, des formules analytiques mathématiques des éléments RLCG des modèles ont été établies à partir d'une description physique (architecture, géométrie, propriétés électriques des matériaux) des TSV et copper pillar. L'avantage d'utiliser les formules analytiques mathématiques proposées réside dans le fait que ces dernières permettent de se soustraire aux analyses longues et fastidieuses des logiciels de modélisations électromagnétiques tout en étant paramétrable par la géométrie des interconnexions et par les propriétés électriques des matériaux constituant ces dernières. La précision de ces modèles repose sur des analyses électromagnétiques appropriées aux cas des interconnexions visées, mais aussi sur la prise en compte des effets à haute fréquence engendrés par le silicium, matériau omniprésent dans les circuits 3D.

Le début du chapitre exposera le contexte à partir duquel les résultats ont été établis. Les paragraphes suivants présenteront les processus de calcul qui ont permis d'aboutir aux expressions mathématiques analytiques des éléments RLCG des modèles. La conclusion synthétisera le travail réalisé et donnera des perspectives aux résultats obtenus. Enfin, une liste des formules analytiques est proposée en annexe 3-5, elle sera directement utilisable par les « designers ».

1	Introduction	90
2	Calcul de la résistance linéique interne d'un TSV.....	92
2.1	Approche classique.....	92
2.2	Technique de Vujovic : processus de calcul rigoureux	94
2.3	Proposition d'une nouvelle relation de résistance linéique interne d'un TSV.....	97
3	Calcul de l'inductance et de la résistance linéiques de 1, 2 et 3 TSV	100
3.1	Inductance interne	100
3.1.1	Théorie : processus de calcul	100
3.1.2	Comparaisons des différentes techniques.....	104
3.2	Inductance externe.....	105
3.3	Résistance et inductance linéiques totales pour 3 TSV en architecture type-H	108
4	Calcul de la capacité et de la conductance linéiques pour 1, 2 et 3 TSV	111
4.1	Capacité linéique : expression générique	111
4.2	Capacité linéique pour 3 TSV type-H en configuration GSG	113
4.3	Conductance linéique	115
4.3.1	Théorie : processus de calcul	116
4.3.2	Conductance linéique pour 1,2 et 3 TSV	116
5	Validations des modèles analytiques développés.....	118
5.1	Comparaison des modèles analytiques à des simulations	118
5.2	Comparaison des modèles analytiques aux résultats de mesures.....	121
6	Application des modèles développés au cas des Cu-pillar	124
7	Conclusion.....	128

1 Introduction

Les modèles électriques d'interconnexions développés durant ce travail de thèse de doctorat et présentés dans ce chapitre constituent des outils de prédiction destinés aux designers afin qu'ils puissent appréhender le comportement des signaux véhiculés dans des TSV ou des « copper pillar ». Ces modèles s'appuient sur un schéma électrique générique composé des éléments RLGC linéiques d'une ligne de transmission (cf. figure 3-1).

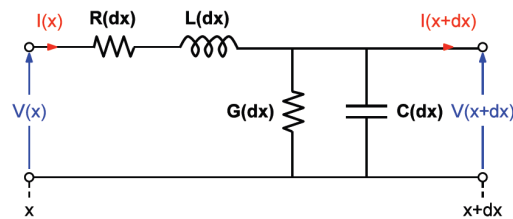


figure 3-1 : Modèle RLCG d'une ligne de transmission

Ces éléments ont la caractéristique d'être paramétrables par les données physiques de l'interconnexion : sa géométrie, les caractéristiques électriques des matériaux qui la composent,... Les expressions mathématiques qui témoignent du comportement électrique de ce type de modèle sont voulues simples d'utilisation tout en conservant une précision équivalente à celle des outils de modélisation électromagnétique (E.M.) de type HFSS ou Maxwell 2D. Par ailleurs, il est important de souligner que les principaux inconvénients de ces outils commerciaux résident dans le coût des licences, le temps de formation à leur utilisation et parfois leurs temps de calcul. Outre les questions de coût, il est donc pratique pour des concepteurs non expérimentés face aux logiciels de modélisation E.M. et au domaine de la haute fréquence (HF), d'avoir à disposition des modèles électriques simples d'emploi, précis et permettant d'obtenir rapidement des résultats en ce qui concerne le comportement électrique du type d'interconnexions étudiées.

La mise en œuvre de modèles de ce type passe par la nécessité d'avoir des éléments RLGC dont l'évolution est décrite au moyen d'expressions mathématiques littérales qui sont fonction de l'architecture (géométrie et matériaux intégrés) de l'interconnexion 3D à étudier et de la fréquence de fonctionnement. Les architectures ciblées en particulier sont celles qui constituent des associations de TSV ou de « copper pillar » (piliers de cuivre) pour lesquelles un modèle électrique large bande de fréquence a été établi en tenant compte des caractéristiques

matériaux, des géométries et de certains phénomènes physiques tels que l'effet de peau et les courants de Foucault.

Dans ce travail nous considérons un bloc de 1 TSV seul, un bloc de 2 TSV (Masse et Signal) et un bloc de 3 TSV (Masse Signal Masse). Ces derniers sont examinés selon l'architecture appelée « type H » comme le présente la figure 3-2.

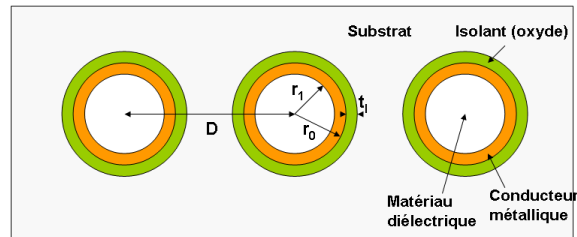


figure 3-2 : 3TSV en configuration électrique GSG type-H; vue en coupe

Afin d'analyser le comportement HF des TSV, il est indispensable de se placer dans des configurations électriques typiques. La configuration électrique GSG (ground-signal-ground) s'avère être la plus appropriée afin de se placer dans un cas de figure offrant un comportement TEM ou quasi-TEM des champs, bien connue et propice à la propagation des signaux HF.

Les TSV peuvent être pleins ou creux en fonction de la technologie utilisée; nous traiterons donc le cas général de TSV creux (pour le cas de TSV pleins $r_1=0$).

Les formules développées seront applicables pour toutes dimensions et tous matériaux. Dans le cas qui nous intéresse (figure 3-2) :

- Le substrat est du silicium (en gris),
- L'isolant est du SiO_2 (en vert),
- Le conducteur est du cuivre (en orange)
- Le matériau diélectrique au centre est du BCB (Benzocyclobutene) (en blanc).
- r_0 est le rayon externe du TSV et r_1 est le rayon interne.
- t_i est l'épaisseur d'isolant
- D la distance entre 2 TSV centre à centre.

Le matériau BCB sert uniquement à garder l'intégrité mécanique du TSV et n'a pas de conséquences sur les caractéristiques électromagnétiques de la structure en raison des faibles dimensions et des fréquences auxquelles nous travaillons. En effet, pour des dimensions de TSV

creux* de moyenne densité avec $r_1=30\mu\text{m}$ et rempli de BCB ($\epsilon=2.6$), la fréquence de coupure d'apparition du premier mode de propagation TE_{11} est de l'ordre de 1850 GHz [Polar, 2005]. Cette fréquence se situe bien au delà de notre domaine d'investigation qui s'arrête à 40GHz.

Dans la suite de ce travail nous allons considérer une approche quasi-TEM, par conséquent nous n'avons pas de composantes des champs électromagnétiques selon le sens de propagation. Compte tenu de l'hypothèse quasi TEM, les champs E.M. H et E peuvent être traités indépendamment l'un de l'autre. Par ailleurs, cette hypothèse valide la constitution d'un modèle RLCG linéique basé sur les caractéristiques physiques (géométrie, matériaux impliqués, propriétés électriques de ces derniers) de la structure intégrant l'association de TSV.

2 Calcul de la résistance linéique interne d'un TSV

Les approches utilisées dans le calcul des résistances négligent l'effet de proximité [Er-Ping Li, 2012]. En d'autres termes, la distribution de courant dans un TSV n'est pas impactée par la présence de conducteurs adjacents.

2.1 Approche classique

De manière générale, la méthode utilisée pour calculer la résistance linéique est d'utiliser une première formule simple et bien connue dans le cas statique (3-1) puis une deuxième formule lorsque l'effet de peau n'est plus négligeable (3-2).



figure 3-3 : Représentation de la répartition du courant dans un conducteur creux : (a) TSV en statique ; (b) TSV avec effet de peau

Si nous considérons la conductivité du métal homogène sur toute la section (σ_{cu} qui dans notre cas sera du cuivre) et que l'effet de peau est négligeable (figure 3-3 (a)), nous

* Considéré dans ce cas comme un guide cylindrique

pouvons déterminer une formule de conductance linéique interne G puis de résistance linéique interne* R:

$$G = \sigma_{Cu} \int_{r_1}^{r_0} r.dr. \int_0^{2\pi} d\theta \quad (3-0)$$

D'où:

$$R_{DC} = \frac{1}{G} = \rho_{Cu} \cdot \frac{1}{\pi(r_0^2 - r_1^2)} \quad (3-1)$$

Ainsi la formule (3-1) de R n'est valide que lorsque $(r_0 - \delta) < r_1$.

Compte tenu de l'expression bien connue donnant la profondeur de peau par rapport à la surface d'un conducteur:

$$\delta = \sqrt{\frac{2}{\omega \sigma_{Cu} \mu}}$$

Lorsque l'effet de peau n'est plus négligeable, comme présenté dans la figure 3-3 (b), la formule (3-1) doit être modifiée.

Ainsi pour $(r_0 - \delta) > r_1$ la formule (3-2) doit être utilisée :

$$R_{HF} = \rho_{Cu} \cdot \frac{1}{\pi(r_0^2 - (r_0 - \delta)^2)} \quad (3-2)$$

Les indices DC et HF sont utilisés pour définir respectivement le cas « statique » et le cas « hautes fréquences ».

La détermination de la résistance linéique dans le cas de l'approche classique nécessite donc de prendre une décision en ce qui concerne le choix de la bonne formule à utiliser. De ce fait, un algorithme de traitement des cas doit être développé. Ceci rend cette approche peu ergonomique.

La figure 3-4 présente la résistance linéique dans le cas d'un TSV de dimensions $r_0=34 \mu\text{m}$, $r_1=32 \mu\text{m}$ et de conductivité de cuivre $\sigma_{Cu}=5.10^7 \text{ S/m}$.

* Nous utilisons le terme interne pour définir les effets uniquement liés au métal du conducteur

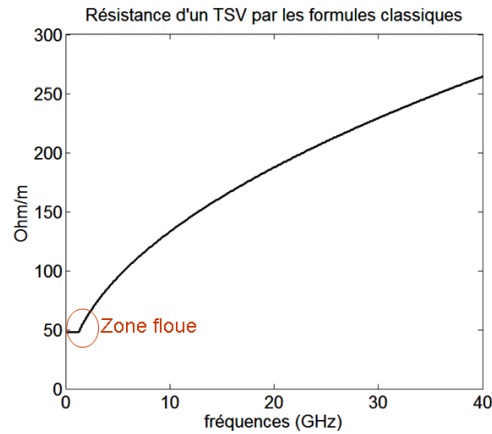


figure 3-4 : Résistance linéique interne d'un TSV avec les formules classiques

Les formules (3-1) et (3-2) présentent le défaut de ne pas donner de résultats satisfaisants dans ce que l'on peut appeler la zone floue (cf. figure 3-4). En effet, cette zone correspond au passage d'une répartition homogène du courant dans le conducteur (statique) à une répartition localisée en périphérie (effet de peau). Le passage d'une condition à l'autre est brutale et ne donne pas de résultats fiables autour de $(r_0 - \delta) = r_1$.

2.2 Technique de Vujovic : processus de calcul rigoureux

Dans les références [Schelkunoff, 1934] et [Lovric, 2011], un calcul rigoureux de l'impédance interne complexe d'un tube est donné (formule (3-3)).

$$Z = \frac{\bar{k}}{2\pi\sigma_{Cu}R_0} \frac{I_0(\bar{k}_e)K_1(\bar{k}_i) + I_1(\bar{k}_i)K_0(\bar{k}_e)}{I_1(\bar{k}_i)K_1(\bar{k}_e) - I_1(\bar{k}_e)K_1(\bar{k}_i)} \quad (3-3)$$

Avec :

- I_0 et I_1 , valeurs complexes des fonctions de Bessel modifiées de première espèce, respectivement à l'ordre 0 et 1.
- K_0 et K_1 , valeurs complexes des fonctions de Bessel modifiées de seconde espèce, respectivement à l'ordre 0 et 1.

Tels que : $\bar{k} = ke^{-j\frac{\pi}{4}} = \sqrt{\omega\sigma_{Cu}\mu e^{-j\frac{\pi}{4}}}$ et $\bar{k}_e = \bar{k}r_0$ et $\bar{k}_i = \bar{k}r_1$

Cette formule rigoureuse peut être écrite de différentes manières, également avec des fonctions de Bessel [Vujevic, 2009] ou avec des fonctions de Kelvin de première et deuxième espèces [Mingli, 2004].

Toutes ces fonctions sont définies par des séries infinies qui convergent rapidement pour de faibles arguments de la fonction. En d'autres termes, pour de faibles valeurs de fréquence, les amplitudes des arguments des fonctions de Bessel sont faibles et la formule rigoureuse de l'impédance interne peut être employée. Cependant, si les amplitudes des arguments des fonctions de Bessel sont grandes des difficultés dans la convergence apparaissent. Ce qui apparait généralement aux hautes fréquences mais également pour de fortes valeurs de perméabilités et de grandes dimensions de conducteur. La figure 3-5 présente la partie réelle de l'impédance extraite dans le cas d'un TSV de dimensions $r_0=34\mu\text{m}$, $r_1=32\mu\text{m}$ et de conductivité de cuivre $\sigma_{\text{Cu}}=5.10^7 \text{ S/m}$.

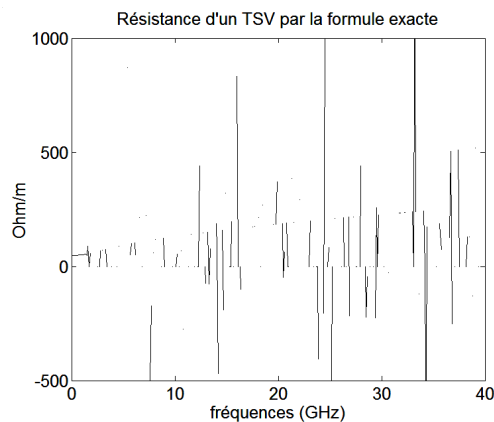


figure 3-5 : Résistance linéique interne d'un TSV extraite par la formule rigoureuse (dite exacte) de l'impédance interne d'un TSV

Nous pouvons constater que la formule est précise jusqu'à 1GHz mais ne converge pas au delà. Nous pouvons néanmoins visualiser une allure générale de la résistance à haute fréquence mais ceci reste insatisfaisant.

Afin de pallier ces problèmes de convergence, de nombreuses formules approximées ont été développées avec plus ou moins de succès. En effet, des bornes de validations ont été définies ainsi que les formules approchées associées. Vujevic et al, dans les références [Lovric, 2011] et [Vujevic, 2009] ont décrit des algorithmes permettant de calculer l'impédance interne dans de très nombreux cas. Les bornes de validité sont établies sur k_e et k_i . L'algorithme relativement complexe est présenté en annexe 3-1.

La figure 3-6 compare la résistance extraite de la formule rigoureuse (dite « exacte » sur la figure) et celle extraite par les formules de Vujevic pour le cas d'un TSV de dimensions $r_0=34\mu\text{m}$, $r_1=32\mu\text{m}$ et de conductivité de cuivre $\sigma_{\text{Cu}}=5.10^7 \text{ S/m}$.

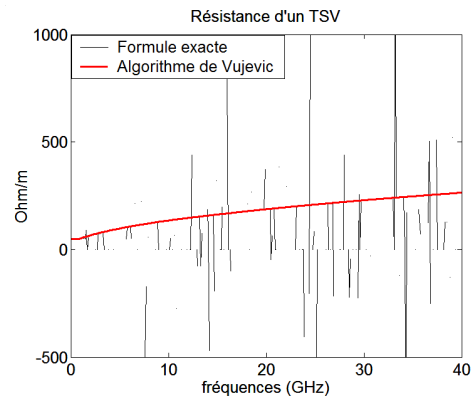


figure 3-6 : Comparaison de la résistance linéique d'un TSV extraite par la formule rigoureuse (dite exacte) de l'impédance interne d'un tube métallique et l'algorithme de Vujevic

Nous pouvons constater que l'algorithme de Vujevic donne de très bons résultats et s'affranchit des problèmes de convergence. Cependant, les critères de validité des différentes formules utilisées dans cet algorithme doivent être, dans certains cas, très finement ajustés. Malgré cela, pour certains cas très critiques (tels que des dimensions de conducteur très faibles), les formules donnent des résultats très approximatifs dont leur validité est difficile à évaluer. Les principaux inconvénients de cet algorithme sont donc :

- la mise en œuvre de routines ou programmes aidant à la décision sur le choix de la bonne formule à utiliser si on souhaite automatiser les calculs. On notera que les formules possibles proposées dans l'algorithme apparaissent en nombre important.
- la difficulté à fixer, par tâtonnements, les critères de validité des formules. En pratique, de nombreux tests conditionnels sous forme de « if » par exemple sont nécessaires dans les routines ou programmes.

Il est également important de souligner que même si dans ce chapitre seule la grandeur « résistance linéique interne » du TSV est traitée, les formules présentées en annexe 3-1 permettent aussi d'établir des valeurs d'impédance interne. Par conséquent, l'inductance interne d'un TSV peut également être évaluée à partir de cet algorithme : cette partie ne sera traitée que dans le paragraphe 3.

Sans être un outil suffisamment ergonomique (pour les designers entre autres) mais compte tenu de ses bonnes performances dans les cas qui nous concernent, l'algorithme de Vujevic sera donc utilisé comme référence (ou « point de comparaison ») par rapport auquel il sera nécessaire de confronter nos développements en ce qui concerne les paramètres résistifs et inductifs internes du TSV.

2.3 Proposition d'une nouvelle relation de résistance linéique interne d'un TSV

Dans cette partie nous définissons une équation de résistance linéique compacte, permettant de donner des résultats aussi précis que ceux extraits par l'algorithme de Vujevic tout en gardant la simplicité de l'approche classique. Il est important de souligner la nécessité d'établir une unique (donc générique) expression de résistance linéique traitant à la fois les cas DC et HF (faculté d'être large bande).

Ainsi, en partant de l'approche classique, le travail doit se porter essentiellement sur la borne inférieure r_1 de l'intégrale de l'équation (3-0), clé de la solution au problème posé : unicité de la relation et large bande fréquence. Pour les prochains développements, nous noterons r_{\min} la borne inférieure de l'intégrale. Ceci donne lieu alors à la relation (3-4), exprimant la résistance linéique interne d'un TSV, paramétrée par r_{\min} et obtenue à partir de la relation (3-0).

$$R_{\text{int}} = \rho_{Cu} \cdot \frac{1}{\pi(r_0^2 - r_{\min}^2)} \quad (3-4)$$

Si on se réfère à la méthode classique, dans le cas DC $r_{\min}=r_1$ et dans le cas HF $r_{\min}=r_0-\delta$. Or, si l'on souhaite traiter à la fois ces deux cas, la fonctionnalité visée nécessite de trouver une fonction mathématique permettant de passer implicitement la borne inférieure de l'intégrale du cas DC au cas HF. On rappellera que dans la méthode classique, ce passage se fait au moyen d'un algorithme (routine ou programme) aidant à la décision sur le choix de la bonne formule par un test sur la valeur de r_{\min} .

La formule (3-5) qui a été développée durant ce travail de thèse, permet de prendre en compte les différents cas en fonction de l'effet de peau et de mieux satisfaire à l'évolution réelle observée au niveau de la zone floue (figure 3-4).

$$r_{\min} = r_0 - (r_0 - r_1) \sqrt[3]{\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3} \quad (3-5)$$

Cette fonction joue le rôle d'interrupteur:

- Quand δ est petit (cas DC) nous obtenons : $\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3 = \left(\frac{\delta}{r_0 - r_1}\right)^3$ par conséquent $r_{\min}=r_0-\delta$
- Quand δ est grand (cas HF) nous obtenons $\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3 = 1$ par conséquent $r_{\min}=r_1$

La racine cubique, associée au cube de la tangente hyperbolique, est choisie de manière à refléter au mieux la réalité en accord avec la formule (3-3) dite « exacte » présentée au paragraphe 2.2. La figure 3-7 présente l'allure de la formule (3-5) centrée sur la zone floue.

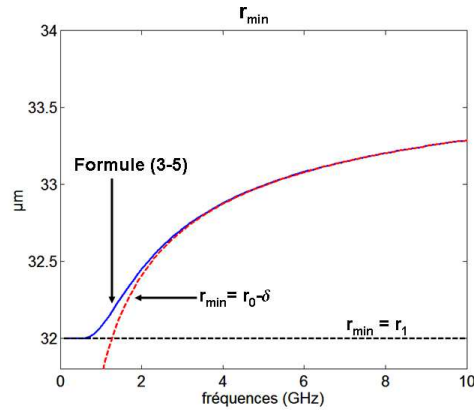


figure 3-7: Illustration de l'intérêt de la formule (3-5), r_{\min} est déterminé quels que soient les cas : DC ou HF

La courbe bleue de r_{\min} présente bien les caractéristiques souhaitées et nous permet de calculer simplement la résistance d'un TSV avec une unique formule de résistance interne (3-4).

Les figures 3-8 présentent une comparaison des valeurs de résistance extraites à partir de la formule rigoureuse dite « exacte », de l'algorithme de Vujovic, de la formule (3-4) et des formules issues de l'approche classique. La figure 3-8 (b) s'attache également à comparer les courbes dans la zone floue, pour le cas d'un TSV de dimensions $r_0=34 \mu\text{m}$, $r_1=32 \mu\text{m}$ et de conductivité de cuivre $\sigma_{\text{Cu}}=5.10^7 \text{ S/m}$.

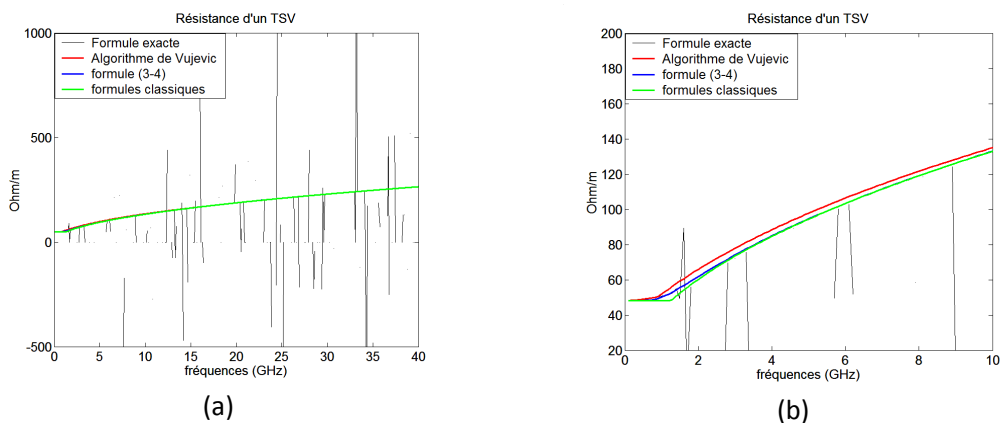


figure 3-8 : Extraction de la résistance d'un TSV par différentes méthodes : (a) Extraction de 0-40GHz ; (b) Extraction autour de la zone floue

Nous pouvons constater une assez bonne corrélation entre toutes les méthodes en rappelant toutefois que certaines sont plus simples d'utilisation, la formule (3-4) par exemple. Nous pouvons également noter une meilleure précision de la formule (3-4) si l'on compare ses aptitudes par rapport à celles de l'algorithme de Vujevic. En effet, l'algorithme a tendance à surestimer légèrement la résistance linéique dans la zone de transition.

Il est également possible de comparer les résistances linéiques internes extraites dans le cas d'un TSV plein de haute densité comme le présente la figure 3-9. Dans ce cas $r_0=4 \mu\text{m}$, $r_1=0 \mu\text{m}$.

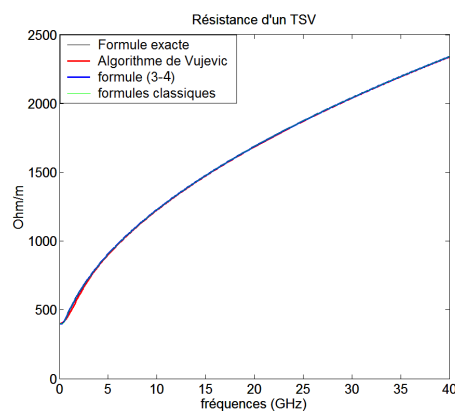


figure 3-9 : Extraction de la résistance linéique interne d'un TSV par différentes méthodes dans le cas d'un TSV plein de haute densité

Il est important de rappeler que dans le cas de l'algorithme de Vujevic seule la formule rigoureuse dite « exacte » est utilisée. Par conséquent notre formule (3-4) donne des résultats très proches de ceux donnés par la formule exacte.

La formule (3-4) est donc une formule unique, compacte et simple d'utilisation qui permet de déterminer avec une grande précision les pertes métalliques d'un tube sur toute la bande de fréquence. Elle tient compte de la zone de transition en accord avec les valeurs estimées par la formule rigoureuse.

Il est important d'ajouter que le terme résistif calculé ne représente que les pertes liées au cuivre. Par conséquent, R_{int} ne peut pas être considéré comme la résistance linéique totale. En effet, elle ne tient pas compte des pertes liées à la présence de courants de Foucault induits dans le substrat qui impactent la résistance linéique. La résistance linéique totale sera donc traitée dans le paragraphe suivant lors du calcul de l'inductance linéique. On verra notamment que la résistance linéique liée au courant dans le substrat est déduite du calcul de l'inductance.

3 Calcul de l'inductance et de la résistance linéiques de 1, 2 et 3 TSV

L'inductance d'une ligne de transmission peut être définie comme le rapport du flux de liaison λ sur le courant I comme présenté par l'équation (3-6).

$$L = \frac{\lambda}{I} \quad (3-6)$$

Le flux de liaison λ est exprimé en Weber-turns (Wbt) et le courant total I en Ampères par mètre (A/m). Afin de calculer l'inductance linéique totale des TSV, il est indispensable de calculer non seulement l'inductance externe induisant un couplage magnétique entre les conducteurs mais également l'inductance interne (cf. figure 3-10). On notera que cette dernière sera la plus délicate à calculer car elle est impactée par l'effet de peau donc variera avec la fréquence. Ainsi le calcul de l'inductance linéique se détermine en deux parties: le calcul de l'inductance interne et le calcul de l'inductance externe.

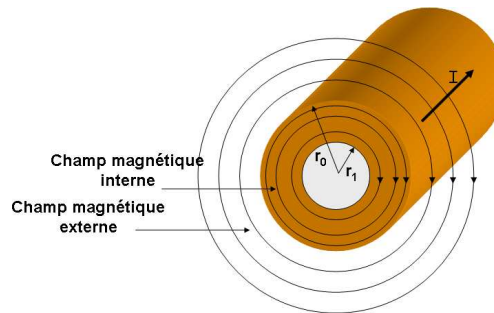


figure 3-10 : Schéma des lignes de champs magnétiques concentriques internes et externes au TSV

3.1 Inductance interne

3.1.1 Théorie : processus de calcul

Contrairement aux équations définies dans le paragraphe 2-2 qui permettent de calculer l'impédance interne d'un TSV de laquelle la résistance et l'inductance linéiques internes peuvent être déduites, l'équation (3-4) du paragraphe 2-3 ne permet d'extraire que la résistance linéique. Il est donc nécessaire de calculer individuellement l'inductance interne du TSV. Les références [Grygsby, 2001], [Grainger, 1994] et [Hawary, 1995] établissent une méthodologie de calcul, issue de la référence [Grover, 2009], appliquée au cas d'un conducteur plein sans prise en

compte de l'effet de peau. La formule (3-5) présentée dans le paragraphe 2.3 va donc être utilisée dans les calculs de l'inductance interne afin de prendre en compte l'impact de l'effet de peau dans le cas général d'un tube.

La figure 3-11 présente les paramètres géométriques et électriques internes du TSV à partir desquels les différentes expressions analytiques mathématiques de l'inductance interne linéique ont été établies.

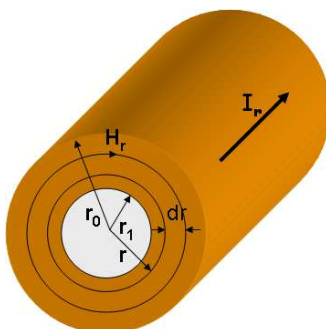


figure 3-11 : Schéma des champs magnétiques concentriques internes et externes au TSV

On peut considérer I_0 l'amplitude du courant en un point de la surface. La répartition du courant est homogène sur toute la surface en basse fréquence mais va changer lorsque l'effet de peau va commencer à apparaître. Ainsi nous pouvons déterminer le courant total I_t sur la section pour chaque point de fréquence avec la formule (3-8).

$$I_t = \int_{r_{\min}}^{r_0} I_0 \cdot r \cdot dr \int_0^{2\pi} d\theta \quad (3-7)$$

Par conséquent:

$$I_t = \pi I_0 (r_0^2 - r_{\min}^2) \quad (3-8)$$

Avec:

$$r_{\min} = r_0 - (r_0 - r_1) \sqrt[3]{\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3} \quad (\text{Formule 3.5 établie au paragraphe 2.2})$$

Nous pouvons également définir le courant I_r d'une fraction de la surface dS du TSV. Cette fraction de surface dS est définie de r_1 à r .

$$I_r = \pi I_0 (r^2 - r_{\min}^2)$$

Il est alors aisé d'établir une relation de passage entre le courant de la surface totale et le courant d'une surface quelconque comme le ratio I_r/I_t . Par conséquent, le courant I_r peut être exprimé en fonction du courant total avec la formule (3-9).

$$I_r = \frac{(r^2 - r_{\min}^2)}{(r_0^2 - r_{\min}^2)} I_t \quad (3-9)$$

La loi d'ampère définit l'intensité du champ magnétique H_r constant à n'importe quel point du cercle (cf. figure3-11) comme le définit la formule (3-10).

$$\oint H_r dS = I_r \quad (3-10)$$

Par conséquent nous pouvons exprimer le champ magnétique en fonction du courant I_r , formule (1-11).

$$H_r = \frac{I_r}{2\pi r} \quad (3-11)$$

En injectant l'équation (3-9) dans l'équation (3-11) nous obtenons l'expression du champ magnétique d'une surface quelconque dS en fonction du courant total de section du TSV.

$$H_r = \frac{(r^2 - r_{\min}^2)}{2\pi r(r_0^2 - r_{\min}^2)} I_t \quad (3-12)$$

Il est alors aisé de remonter à la densité de flux magnétique B_r en multipliant le champ par la perméabilité complexe.

$$B_r = \mu H_r = \mu \frac{(r^2 - r_{\min}^2)}{2\pi r(r_0^2 - r_{\min}^2)} I_t \quad (3-13)$$

Dans le cas d'un matériau non magnétique $\mu = \mu_0 = 4\pi 10^{-7}$.

La différentielle de flux $d\Phi$ contenue dans un anneau d'épaisseur dr est définie comme le produit de la densité de flux par l'épaisseur de l'anneau considéré [Grygsby, 2001], [Grainger, 1994] et [Hawary, 1995].

Ainsi :

$$d\Phi = B_r dr = \mu \frac{(r^2 - r_{\min}^2)}{2\pi r(r_0^2 - r_{\min}^2)} I_t . dr \quad (3-14)$$

De plus la différentielle de flux de liaison $d\lambda$ est le produit de la différentielle de flux par la fraction de courant liée à ce flux [Grygsby, 2001], [Grainger, 1994] et [Hawary, 1995]. De

manière générale, la fraction de courant liée à cette différentielle de flux est définie par une fraction de la surface qui est indépendante de l'effet de peau.

$$d\lambda = \frac{(r^2 - r_1^2)}{(r_0^2 - r_1^2)} d\Phi = \mu \frac{(r^2 - r_{\min}^2)(r^2 - r_1^2)}{2\pi r(r_0^2 - r_{\min}^2)(r_0^2 - r_1^2)} I_t \cdot dr \quad (3-15)$$

La différentielle de flux de liaison doit maintenant être intégrée de r_{\min} à r_0 afin de calculer le flux de liaison total en prenant en compte l'effet de peau.

Par conséquent:

$$\lambda = \int_{r_{\min}}^{r_0} d\lambda$$

Ainsi:

$$\lambda = \frac{\mu I_t}{2\pi(r_0^2 - r_{\min}^2)(r_0^2 - r_1^2)} \int_{r_{\min}}^{r_0} \frac{(r^2 - r_{\min}^2)(r^2 - r_1^2)}{r} dr \quad (3-16)$$

Après résolution de l'intégrale:

$$\lambda = \frac{\mu I_t}{2\pi(r_0^2 - r_{\min}^2)(r_0^2 - r_1^2)} \left[\frac{r_0^4 - r_{\min}^4}{4} - \frac{(r_0^2 - r_{\min}^2)(r_1^2 + r_{\min}^2)}{2} + r_1^2 r_{\min}^2 \ln\left(\frac{r_0}{r_{\min}}\right) \right] \quad (3-17)$$

Enfin L'inductance interne peut être aisément calculée en utilisant la formule (3-18)

$$L_{\text{int}} = \frac{\lambda}{I_t} \quad (3-18)$$

Nous pouvons donc revenir à une forme bien connue avec la formule (3-19)

$$L_{\text{int}} = \frac{\mu}{2\pi} A \quad (3-19)$$

Avec :

$$A = \frac{1}{(r_0^2 - r_{\min}^2)(r_0^2 - r_1^2)} \left[\frac{r_0^4 - r_{\min}^4}{4} - \frac{(r_0^2 - r_{\min}^2)(r_1^2 + r_{\min}^2)}{2} + r_1^2 r_{\min}^2 \ln\left(\frac{r_0}{r_{\min}}\right) \right]$$

et

$$r_{\min} = r_0 - (r_0 - r_1) \sqrt[3]{\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3}$$

Nous pouvons constater que si nous nous plaçons dans un cylindre plein ($r_1=0$), non magnétique ($\mu=\mu_0$) et sans effet de peau ($\delta \rightarrow \infty$ donc $r_{\min}=r_1=0$) nous retrouvons la formule d'inductance interne bien connue:

$$L_{\text{int}} = \frac{\mu_0}{8\pi}$$

Cette équation, dans ce cas bien particulier, ne dépend ni des dimensions ni de la conductivité du métal.

3.1.2 Comparaisons des différentes techniques

Comme présenté dans les paragraphes 2.2 et 2.3, les formules précises et approchées permettent de calculer l'impédance interne d'un tube (dans notre cas le TSV). Le rapport de la partie imaginaire de l'impédance sur la pulsation ω va donc dans les deux cas permettre d'établir la valeur de l'inductance linéique interne d'un TSV. Afin de valider la relation (3-19) une comparaison est effectuée et présentée figure 3-12 pour deux types de TSV:

- Cas1 : $r_1=32 \mu\text{m}$, $r_0=34 \mu\text{m}$ et $\sigma_{\text{cu}}=5.10^7 \text{ S/m}$ (TSV moyenne densité).
- Cas2 : $R_1=0 \mu\text{m}$, $R_0=4 \mu\text{m}$ et $\sigma_{\text{cu}}=5.10^7 \text{ S/m}$ (TSV haute densité).

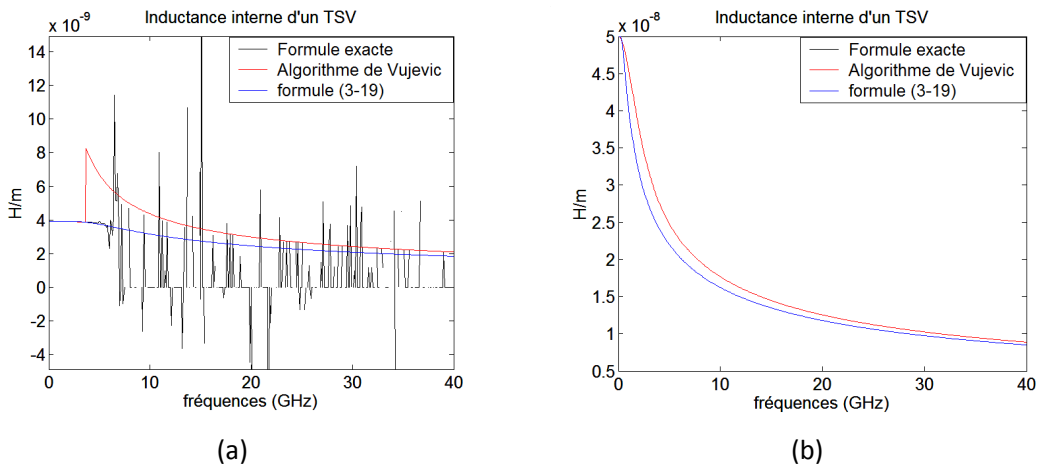


figure 3-12: Extraction de l'inductance interne linéique dans deux cas de TSV : (a) TSV de moyenne densité, (b) TSV Haute densité.

Nous pouvons constater que la formule (3-19) permet d'extraire aisément l'inductance interne du TSV avec une bonne précision. Dans le cas des formules de l'algorithme de Vujevic, nous pouvons constater que nous avons une discontinuité dans la zone de transition DC/HF (statique/effet de peau) qui ne semble pas de réalité physique. Dans le cas d'un TSV haute densité l'algorithme de Vujevic utilise la formule rigoureuse dite « exacte » sur toute la bande de fréquence par conséquent elle est confondue avec la courbe de la formule exacte et la discontinuité a disparu. Nous pouvons également constater que la formule (3-19) sous estime légèrement la valeur de l'inductance. Celle-ci reste cependant très acceptable autant par son

comportement que par sa valeur en absolue. L'inductance interne linéique est communément négligée dans les calculs d'inductance de structure car sa valeur est négligeable devant celle de l'inductance externe. Pourtant, elle permet de prendre en compte l'effet de peau des conducteurs et d'obtenir un comportement d'exponentielle décroissante (et non une valeur constante) en accord avec l'évolution fréquentielle observée en mesure.

3.2 Inductance externe

Dans ce cas nous allons considérer que le courant est concentré sur le contour du TSV. L'intensité du champ magnétique H_r , à chaque point du cercle de rayon r (figure 3-13), en accord avec la loi d'Ampère, est fixée par relation (3-20).

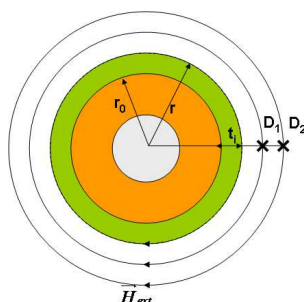


figure 3-13 : Schéma des champs externes au TSV

$$H_r = \frac{I_t}{2\pi r} \quad (3-20)$$

Cette équation donne une expression simple et réaliste du champ H_r dans un environnement non magnétique et non conducteur. Cependant, en 3D IC les champs magnétiques externes font réagir le substrat de silicium compte tenu de sa conductivité. Le substrat de silicium, sous l'influence de H_r , est alors le siège de courants de Foucault qui à leur tour vont influencer le champ magnétique H_r . Ceci se traduit par une diminution de l'amplitude du champ magnétique et une augmentation des pertes pour un déplacement radial vers l'extérieur du TSV. Ce transfert d'énergie du champ magnétique vers le substrat sous forme de courants de Foucault n'est pas pris en compte dans la relation (3-20). Afin de prendre en compte l'atténuation du champ magnétique externe liée à la présence de la conductivité du silicium, nous modifierons l'expression du champ et utiliserons une exponentielle décroissante, solution de l'équation de Helmholtz, caractérisant communément l'atténuation des ondes dans le sens de

propagation. Dans cette approche phénoménologique, l'exponentielle traduit la décroissance de l'amplitude du champ dans le sens radial comme le présente la formule (3-21).

$$H_{ext} = \frac{I_t}{2\pi r} e^{-kr} \quad (3-21)$$

Avec : $k = \sqrt{-j\omega\sigma_m\mu}$ et σ_m la conductivité du substrat.

Ainsi la densité de champ magnétique externe devient:

$$B_{ext} = \mu \frac{I_t}{2\pi r} e^{-kr} \quad (3-22)$$

Par conséquent, la différentielle de flux dans une couronne de rayonnement, d'épaisseur dr est définie par:

$$d\phi = B_r dr = \frac{\mu I_t}{2\pi r} e^{-kr} dr \quad (3-23)$$

Le flux de liaison découle du courant total circulant dans le conducteur, il en résulte la possibilité d'établir un ratio de surface (la couronne) égal à 1. On en déduit donc que $d\lambda = d\phi$.

Ainsi:

$$d\lambda = d\phi = \frac{\mu I_t}{2\pi r} e^{-kr} dr \quad (3-24)$$

Si nous souhaitons connaître le flux de liaison total contenu dans une couronne entre D_1 et D_2 il suffit d'intégrer la différentielle de flux entre ses deux distances. Dans notre cas, le TSV est entouré d'une couche d'oxyde et nous allons considérer que le couplage magnétique s'effectue vers un autre TSV situé à une distance D , lui aussi entouré d'oxyde (un TSV ayant les mêmes caractéristiques) de potentiel plus bas ou à la masse. Par conséquent, nous devons prendre en compte les différentes épaisseurs traversées par le champ magnétique dans notre calcul ainsi que les conditions de passage d'un matériau vers un autre. La relation (3-25) présente l'intégrale effectuée dans le cas d'un TSV en accord avec la description faite sur la figure 3-13.

$$\lambda_{ext} = \frac{\mu I_t}{2\pi} \left[\int_{r_0}^{r_0+t_i} \frac{1}{r} dr + \int_{r_0+t_i}^{D-(r_0+t_i)} \frac{e^{-k(r-(r_0+t_i))}}{r} dr + \int_{D-(r_0+t_i)}^D \frac{1}{r} e^{-k(D-2(r_0+t_i))} dr \right] \quad (3-25)$$

La première intégrale témoigne du passage du champ dans l'oxyde et son expression est simple et bien connue compte tenu du fait que la conductivité est nulle.

La deuxième intégrale représente le passage du champ dans le substrat tenant compte du matériau précédent. En effet, la décroissance de l'exponentielle commence après le passage de l'oxyde d'où l'expression $r-(r_0+t_i)$ dans l'exposant.

Enfin la troisième intégrale est similaire à la première mais dans ce cas l'exponentielle est une constante car son amplitude a une valeur constante égale à celle obtenue en sortie de substrat.

Il est important de noter qu'il n'existe pas de formule analytique pour la deuxième intégrale il est donc nécessaire de faire une résolution numérique.

Ainsi la formule (3-26) nous donne la formule de l'inductance externe en divisant le flux par le courant total.

$$\underline{L}_{ext} = \frac{\mu}{2\pi} \left[\ln\left(\frac{r_0 + t_i}{r_0}\right) + \ln\left(\frac{D}{D - (r_0 + t_i)}\right) \cdot e^{-k(D-2(r_0+t_i))} + \int_{r_0+t_i}^{D-(r_0+t_i)} \frac{e^{-k(r-(r_0+t_i))}}{r} dr \right] \quad (3-26)$$

Le premier constat est que l'inductance extraite est complexe en raison de l'exponentielle intégrée dans l'équation (3-21) or il est bien connu qu'une inductance est par définition réelle.

Cette variable complexe est indispensable car elle contient à la fois les termes de pertes par courant induit dans le substrat et les termes inductifs.

Si nous nous ramenons à un terme d'impédance externe nous pouvons définir l'équation (3-27).

$$Z_{ext} = j\omega \underline{L}_{ext} = j\omega L'_{ext} + \omega L''_{ext} \quad (3-27)$$

Avec $\underline{L}_{ext} = L'_{ext} - jL''_{ext}$

Par identification nous pouvons aisément remonter au terme inductif réel et au terme résistif lié aux pertes dans le substrat.

Ainsi nous pouvons définir en (3-28) l'inductance externe et la résistance substrat linéique:

$$\begin{aligned} L_{ext} &= L'_{ext} \\ R_{sub} &= \omega L''_{ext} \end{aligned} \quad (3-28)$$

Ainsi à partir du calcul du champ magnétique H_r nous avons pu prendre en compte une décroissance radiale de sa contribution au terme inductif L_{ext} . Nous avons pu mettre en évidence des pertes résistives R_{sub} découlant de l'apparition de courants de Foucault induits dans le silicium. Ces pertes viennent s'ajouter à celles dues aux conducteurs intégrant un TSV que l'on a modélisées par la résistance linéique R_{int} au paragraphe 2.3.

3.3 Résistance et inductance linéiques totales pour 3 TSV en architecture type-H

Les calculs pour l'inductance et la résistance linéiques de deux TSV peuvent être trouvés en annexe 3-2

Dans le cas de 3 TSV type H, pour atteindre notre objectif, nous mettrons à profit la loi d'ohm. Pour ce faire nous allons considérer les potentiels par unité de longueur V_1 , V_2 et V_3 pour respectivement le conducteur 1, 2 et 3. De la même manière les courants par unité de longueur sont définis par I_1 , I_2 et I_3 . La figure 3-14 présente de manière schématique la ligne (ou interconnexion) composée de 3TSV ainsi que les paramètres d'espacement.

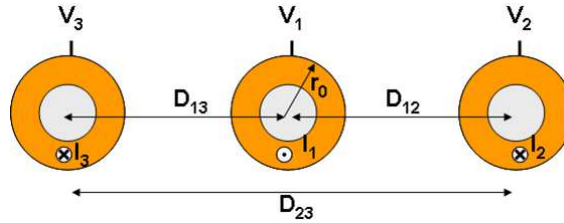


figure 3-14 : Vue en coupe d'une interconnexion 3D composée de 3TSV H-type

Le système d'équations associé à cette ligne est présenté en (3-28)

$$\begin{cases} V_1 = Z_{11}I_1 + Z_{12}I_2 + Z_{13}I_3 \\ V_2 = Z_{22}I_2 + Z_{21}I_1 + Z_{23}I_3 \\ V_3 = Z_{33}I_3 + Z_{31}I_1 + Z_{32}I_2 \end{cases} \quad (3-29)$$

Avec :

- Z_{11} , Z_{22} et Z_{33} les impédances internes des conducteurs 1, 2 et 3 en fonction des géométries
- Z_{12} , Z_{13} , Z_{21} , Z_{23} , Z_{31} et Z_{32} les impédances de couplage respectivement du conducteur 2 et 3 sur le conducteur 1, du conducteur 3 et 1 sur le conducteur 2 et du conducteur 1 et 2 sur le conducteur 3.

Les impédances Z_{ii} sont définies par la résistance et l'inductance interne de chaque TSV (dans notre cas nous allons considérer que les trois TSV sont identiques).

Ainsi :

$$Z_{\text{int}} = Z_{11} = Z_{22} = Z_{33} = R_{\text{int}} + j\omega L_{\text{int}} \quad (3-30)$$

Avec R_{int} et L_{int} définis par les relations (3-4), (3-5) et (3-19)

Dans la suite du problème, nous allons considérer que les distances D_{12} et D_{13} sont égales à D par conséquent $D_{23}=2D$

La configuration présentée en figure 3-14 impose implicitement l'existence de deux impédances distinctes de couplage; l'une représentative de l'espacement associé à la distance D et l'autre à celui de la distance $2D$. En effet, les caractéristiques des TSV étant identiques, les distances entre TSV étant égales excepté pour la distance entre le conducteur 2 et 3 nous obtenons alors:

$$Z_{12} = Z_{21} = Z_{13} = Z_{31} = Z_D \quad (3-31)$$

Et

$$Z_{23} = Z_{32} = Z_{2D} \quad (3-32)$$

Les impédances de couplage sont définies par l'expression des impédances externes au moyen des relations:

$$Z_D = -(R_{subD} + j\omega L_{extD}) \quad (3-33)$$

$$Z_{2D} = -(R_{sub2D} + j\omega L_{ext2D}) \quad (3-34)$$

Avec R_{subD} et L_{extD} définis par les relations (3-26) et (3-28).

La résistance R_{sub2D} et l'inductance L_{ext2D} sont issues des relations (3-26) et (3-28) en substituant la variable de distance D par $2D$. Notons également que l'impédance de couplage est de signe opposé à l'inductance complexe externe d'un TSV car selon les conventions utilisées pour le calcul développé au paragraphe 3.2, le champ magnétique est émis par le TSV alors que dans le cas du couplage celui-ci est reçu par le conducteur.

Ainsi de manière plus explicite, les impédances (3-32) et (3-33) peuvent être exprimées par les relations (3-35) et (3-36).

$$Z_D = -j\omega \frac{\mu}{2\pi} \left[\ln\left(\frac{r_0 + t_i}{r_0}\right) + \ln\left(\frac{D}{D - (r_0 + t_i)}\right) \cdot e^{-k(D-2(r_0+t_i))} + \int_{r_0+t_i}^{D-(r_0+t_i)} \frac{e^{-k(r-(r_0+t_i))}}{r} dr \right] \quad (3-35)$$

$$Z_{2D} = -j\omega \frac{\mu}{2\pi} \left[\ln\left(\frac{r_0 + t_i}{r_0}\right) + \ln\left(\frac{2D}{2D - (r_0 + t_i)}\right) \cdot e^{-k(2D-2(r_0+t_i))} + \int_{r_0+t_i}^{2D-(r_0+t_i)} \frac{e^{-k(r-(r_0+t_i))}}{r} dr \right] \quad (3-36)$$

Une autre simplification peut-être apportée pour les courants. En effet, étant dans la configuration électrique GSG nous pouvons définir le courant de manière suivante :

$$I_1 = I \text{ et } I_2 = I_3 = -\frac{I}{2}$$

Nous pouvons donc simplifier le système (3-29) comme le présente le système (3-37).

$$\begin{cases} V_1 = Z_{\text{int}} I - Z_D I \\ V_2 = -Z_{\text{int}} \frac{I}{2} + Z_D I - Z_{2D} \frac{I}{2} \\ V_3 = -Z_{\text{int}} \frac{I}{2} + Z_D I - Z_{2D} \frac{I}{2} \end{cases} \quad (3-37)$$

Nous pouvons à présent définir la différence de potentielle $V=V_1-V_2$ et en déduire la relation (3-37).

$$V = \frac{3}{2} Z_{\text{int}} I - 2Z_D I + Z_{2D} \frac{I}{2} \quad (3-38)$$

Si nous considérons $V=ZI$ alors par identification nous obtenons l'impédance du système :

$$Z = \frac{3}{2} Z_{\text{int}} - 2Z_D + \frac{1}{2} Z_{2D} \quad (3-39)$$

En injectant les (3-30), (3-33) et (3-34) dans l'expression (3-39) nous obtenons l'équation (3-40)

$$Z = R + j\omega L = \frac{3}{2} (R_{\text{int}} + j\omega L_{\text{int}}) + 2(R_{\text{sub}D} + j\omega L_{\text{ext}D}) - \frac{1}{2} (R_{\text{sub}2D} + j\omega L_{\text{ext}2D}) \quad (3-40)$$

Par identification nous pouvons en déduire les relations de résistance et d'inductance linéiques pour 3TSV H-type en configuration électrique GSG.

Ainsi :

$$R_{3TSV} = \frac{3}{2} R_{\text{int}} + 2R_{\text{sub}D} - \frac{1}{2} R_{\text{sub}2D} \quad (3-41)$$

$$L_{3TSV} = \frac{3}{2} L_{\text{int}} + 2L_{\text{ext}D} - \frac{1}{2} L_{\text{ext}2D} \quad (3-42)$$

Les relations de résistance et d'inductance linéiques développées prennent en compte les spécificités de ces 3 TSV à savoir les distances entre TSV et les caractéristiques électriques des matériaux environnants. De plus, ces relations ont été développées pour le cas particulier où les dimensions des trois TSV sont identiques et où l'architecture présente une symétrie par rapport au TSV situé au centre. Nous pouvons constater que ce résultat n'est pas intuitif car une analyse hâtive nous laisserait conclure que l'impédance linéique de 3 TSV H-Type en configuration électrique GSG serait 3/2 fois l'impédance linéique d'un TSV. Or cette déduction n'est vraie que dans le cas d'une architecture dite équilibrée (Chaque TSV de la structure doit avoir une influence identique sur les autres TSV à proximité). Dans notre cas la distance entre tous les TSV n'est pas égale (condition indispensable pour une structure équilibrée), seul le

montage triangle permet d'avoir des espacements entre TSV identiques. En annexe 3-2 nous pouvons trouver le cas particulier de cette configuration GSG triangle.

4 Calcul de la capacité et de la conductance linéiques pour 1, 2 et 3 TSV

Pour évaluer la capacité entre des conducteurs intégrés au sein d'un matériau de permittivité complexe ϵ , il est nécessaire de déterminer dans un premier temps la tension et le champ électrique entre ces conducteurs. Nous montrerons ensuite que la conductance peut être aisément déduite de l'expression générale d'une capacité définie comme complexe.

4.1 Capacité linéique : expression générique

Nous allons considérer un cylindre creux de rayon extérieur r_0 , dans un matériau de permittivité ϵ réelle (figure 3-15). Nous supposons une quantité de charge $q+$ en C/m uniformément répartie sur le cylindre conducteur. Afin de simplifier les calculs, le conducteur sera considéré parfait afin de s'affranchir du champ électrique interne (celui-ci n'ayant qu'une faible influence sur la capacité totale, l'hypothèse prise est largement vérifiée).

La quantité de charge $q+$ produit un champ électrique radial avec des surfaces concentriques équipotentielles.

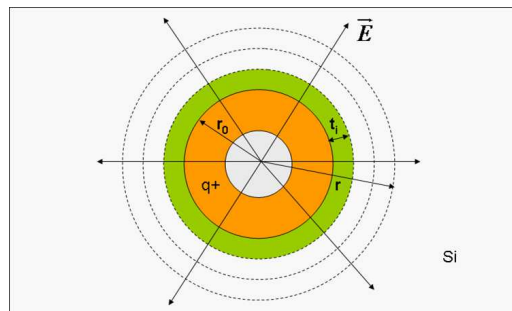


figure 3-15: Schéma des lignes de champ électrique issues d'un TSV

Le théorème de Maxwell-Gauss (3-43) définit la densité de champ électrique sortant d'une surface fermée comme égale au total des charges contenues dans le volume délimité par cette surface.

$$\oiint_S \vec{D} \cdot d\vec{S} = \sum Q_{int} \quad (3-43)$$

Ici, nous avons $\sum Q_{\text{int}} = q$ avec q le nombre de charges par mètre; ainsi la densité de champ électrique peut être définie en n'importe quel point P séparé d'une distance r du centre du conducteur par:

$$D_P = \frac{q}{2\pi r}$$

Par conséquent, l'intensité du champ électrique peut s'exprimer simplement par l'expression (3-44):

$$E_P = \frac{q}{2\pi r \epsilon} \quad (3-44)$$

La différence de potentiel entre deux points P_A et P_B , à des distances respectivement r_A et r_B du centre du conducteur, est définie par l'intégration du champ E entre ces deux points.

$$V_{A-B} = \int_{r_A}^{r_B} E_P . dr = \int_{r_A}^{r_B} \frac{q}{2\pi \epsilon r} . dr = \frac{q}{2\pi \epsilon} \ln\left(\frac{r_B}{r_A}\right) \quad (3-45)$$

Dans notre cas nous allons donc intégrer le champ traversant la couche d'oxyde puis le champ traversant le substrat sur une distance D (D étant la distance séparant le conducteur du TSV de celui sur lequel le champ électrique va aboutir en convergeant). Ainsi, la différence de potentiel s'exprime par la formule (3-46)

$$V_{A-B} = \int_{r_0}^{r_0+t_i} E_{P_{ox}} . dr + \int_{r_0+t_i}^D E_{P_S} . dr \quad (3-46)$$

Après intégration nous obtenons :

$$V_{A-B} = \frac{q}{2\pi \epsilon_i} \ln\left(\frac{r_0+t_i}{r_0}\right) + \frac{q}{2\pi \epsilon_S} \ln\left(\frac{D}{r_0+t_i}\right) \quad (3-47)$$

Notons que dans la première partie de l'intégrale nous utilisons la permittivité de l'isolant notée ϵ_i et dans la deuxième la permittivité du substrat de silicium notée ϵ_S . A partir de cette différence de potentiel il est alors aisé de définir la capacité linéique du TSV en utilisant la relation très connue : $C=q/V$.

$$C_{A-B} = \frac{2\pi \epsilon_i \epsilon_S}{\epsilon_S \ln\left(\frac{r_0+t_i}{r_0}\right) + \epsilon_i \ln\left(\frac{D}{r_0+t_i}\right)} \quad (3-48)$$

Cette formule exprime donc la capacité linéique d'un TSV par rapport à un conducteur à un potentiel (une masse par exemple) quelconque situé à une distance D . Lorsque celui-ci est

également entouré d'isolant comme pour le cas d'un TSV il est nécessaire d'intégrer le champ dans cette couche de matériau. L'expression de la capacité devient alors:

$$C_{A-B} = \frac{2\pi\epsilon_i\epsilon_s}{\epsilon_s \ln\left(\frac{(r_0+t_i)(D-r_0)}{r_0(D-r_0-t_i)}\right) + \epsilon_i \ln\left(\frac{D-r_0-t_i}{r_0+t_i}\right)}$$

4.2 Capacité linéique pour 3 TSV type-H en configuration GSG

Le calcul de la capacité linéique et de la conductance linéique de 2 TSV est présenté en annexe 3-4.

Dans cette partie nous définissons la structure de type-H en configuration électrique GSG ainsi que la topologie du champ électrique comme le présente la figure 3-16.

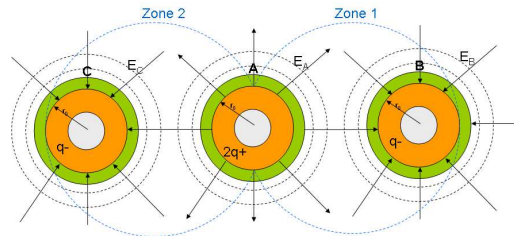


figure 3-16: Champ électrique produit par 3 TSV

Dans cette configuration, nous avons 3 potentiels (V_A, V_B, V_C). Dans une alimentation GSG en phase, certaines simplifications peuvent être effectuées. En effet, le TSV B et le TSV C sont au même potentiel de masse par conséquent $V_B=V_C=0$. Dans cette configuration nous n'aurons donc pas de couplage capacitif entre ces deux conducteurs.

Le champ électrique est donc limité à la zone 1 pour le couplage capacitif entre le conducteur A et le conducteur B et à la zone 2 pour le couplage entre A et C.

Afin de calculer la capacité de couplage entre A et B, il est nécessaire de calculer la tension V_{AB} de la zone 1. Pour simplifier les calculs nous définirons les espacements centre à centre des TSV, noté D, comme identique pour les couples A/B et A/C. Par conséquent, la distance entre le TSV B et le TSV C est égale à 2D. Les caractéristiques des TSV sont identiques pour chaque conducteur.

Pour garder une homogénéité entre courants (ceux pris au paragraphe 3.3) et charges il est indispensable d'avoir deux fois plus de charges dans le conducteur central A (Signal) que

dans les conducteurs latéraux B et C (ground). En effet, la relation entre les courants dans la configuration électrique GSG est la suivante : $I_B = I_C = -I_A/2$. Ainsi, en terme de charge gardons le même rapport en définissant $2q+$ charge dans le conducteur A et $-q$ dans les conducteurs B et C. Comme le présente les équations suivantes liant les charges aux courants, les rapports sont conservés:

$$I_A = \frac{2dq}{dt} \quad I_B = \frac{-dq}{dt} \quad I_C = \frac{-dq}{dt}$$

Par conséquent :

$$I_B = -\frac{I_A}{2} \quad \text{et} \quad I_C = -\frac{I_A}{2}$$

Nous pouvons maintenant définir l'expression des différents potentiels en fonction du champ électrique. Cependant, nous allons nous attacher à calculer le champ électrique dans la zone 1.

D'après le théorème Maxwell-Gauss nous pouvons définir un champ électrique émis respectivement par le conducteur A et le conducteur B en un point P quelconque de la zone 1. Ainsi en accord avec les conditions initiales définies sur les charges nous obtenons les équations (3-49).

$$E_{PA} = \frac{q}{\pi r \epsilon} \quad \text{et} \quad E_{PB} = \frac{-q}{2\pi r \epsilon} \quad (3-49)$$

Nous obtenons donc l'expression des potentiels de chaque TSV en tenant compte des différents matériaux par les équations (3-50) et (3-51)

$$V_A = \int_{r_0}^{D-r_0} E_{PA} dr = \int_{r_0}^{r_0+t_i} E_{PAox} dr + \int_{r_0+t_i}^{r_0+t_i+t_s} E_{PASub} dr + \int_{r_0+t_i+t_s}^{D-r_0} E_{PAox} dr \quad (3-50)$$

$$V_B = \int_{r_0}^{D-r_0} E_{PB} dr = \int_{r_0}^{r_0+t_i} E_{PBox} dr + \int_{r_0+t_i}^{r_0+t_i+t_s} E_{PBsub} dr + \int_{r_0+t_i+t_s}^{D-r_0} E_{PBox} dr \quad (3-51)$$

Par conséquent, après intégration, les potentiels peuvent être exprimés par les relations (3-51) et (3-52)

$$V_A = \frac{q}{\pi \epsilon_i} \ln\left(\frac{r_0 + t_i}{r_0}\right) + \frac{q}{\pi \epsilon_s} \ln\left(\frac{r_0 + t_i + t_s}{r_0 + t_i}\right) + \frac{q}{\pi \epsilon_i} \ln\left(\frac{D - r_0}{r_0 + t_i + t_s}\right) \quad (3-52)$$

$$V_B = \frac{-q}{2\pi \epsilon_i} \ln\left(\frac{r_0 + t_i}{r_0}\right) + \frac{-q}{2\pi \epsilon_s} \ln\left(\frac{r_0 + t_i + t_s}{r_0 + t_i}\right) + \frac{-q}{2\pi \epsilon_i} \ln\left(\frac{D - r_0}{r_0 + t_i + t_s}\right) \quad (3-53)$$

Comme présenté dans les paragraphes précédents, les indices i et s sont utilisés pour respectivement « isolant » et « substrat ». La variable t définit l'épaisseur d'un matériau. On notera que la figure 3-4-1 présentée en annexe 3-4 expose précisément les différentes variables spatiales.

Nous pouvons dès à présent calculer la différence de potentiel $V_1 = V_A - V_B$ de la zone 1 et réarranger l'équation afin de l'exprimer en fonction de l'espacement centre à centre des TSV.

$$V_1 = \frac{3q}{2\pi\epsilon_i} \ln\left(\frac{(r_0 + t_i)(D - r_0)}{r_0(D - r_0 - t_i)}\right) + \frac{3q}{2\pi\epsilon_s} \ln\left(\frac{D - r_0 - t_i}{r_0 + t_i}\right) \quad (3-54)$$

Nous pouvons alors définir la capacité linéique C_1 de la zone 1 par l'équation (3-55)

$$C_1 = \frac{q}{V_1} = \frac{2\pi\epsilon_i\epsilon_s}{3\epsilon_s \ln\left(\frac{(r_0 + t_i)(D - r_0)}{r_0(D - r_0 - t_i)}\right) + 3\epsilon_i \ln\left(\frac{D - r_0 - t_i}{r_0 + t_i}\right)} \quad (3-55)$$

De part la symétrie de la structure la capacité C_2 de la zone 2 est identique à celle définie par l'expression (3-55). De plus dans une configuration électrique GSG, la capacité linéique totale n'est autre que la somme des capacités C_1 et C_2 .

Ainsi nous obtenons :

$$C_{3TSV} = 2C_1 = \frac{4\pi\epsilon_i\epsilon_s}{3\epsilon_s \ln\left(\frac{(r_0 + t_i)(D - r_0)}{r_0(D - r_0 - t_i)}\right) + 3\epsilon_i \ln\left(\frac{D - r_0 - t_i}{r_0 + t_i}\right)} \quad (3-56)$$

Il est important de préciser que cette équation (3-56) n'est valable que dans le cas de la configuration électrique GSG. La démarche reste identique pour des configurations différentes bien que parfois il peut être plus difficile d'aboutir à des relations simples d'utilisation. On notera que trois signaux indépendants (configuration signal-signal-signal) ne permettent pas de définir une expression de capacité linéique car il est toujours nécessaire de connaître les relations qui lient les courants entre eux pour l'obtenir.

4.3 Conductance linéique

Le calcul de la conductance linéique découle des résultats obtenus précédemment lors du calcul de la capacité linéique. Il est souvent simple de calculer la capacité d'un dispositif. En revanche un calcul indépendant et direct de la conductance peut s'avérer complexe. Ainsi, ce paragraphe traite d'une méthode simple permettant d'établir l'expression de la conductance linéique à partir de celle de la capacité. Elle est similaire à la méthode détaillée au paragraphe

3.2 donnant l'expression de la résistance liée aux pertes dans le substrat à partir de l'expression de l'inductance linéique.

4.3.1 Théorie : processus de calcul

Si nous prenons une capacité complexe \underline{C} quelconque:

$$\underline{C} = \epsilon C_0 = (\epsilon' - j\epsilon'')C_0$$

Avec C_0 une capacité réelle dépendant uniquement de la géométrie (dans l'air).

La permittivité étant complexe, nous pouvons maintenant déterminer une admittance complexe liée à cette capacité complexe:

$$Y = j\omega\underline{C} = j\omega\epsilon' C_0 + \omega\epsilon'' C_0$$

Par identification avec la formule générale d'une admittance:

$$Y = j\omega C + G$$

Nous retrouvons bien la formule de la capacité C (réelle) et la formule de la conductance G (réelle) avec:

$$C = \epsilon' C_0 \quad \text{et} \quad G = \omega\epsilon'' C_0$$

De manière plus générale, les formules (3-57) mettent en évidence les formules de capacité et de conductance à partir des éléments d'une capacité complexe.

$$C = C' \quad \text{et} \quad G = \omega C'' \quad (3-57)$$

Avec C' la partie réelle de la capacité complexe et C'' la partie imaginaire.

4.3.2 Conductance linéique pour 1,2 et 3 TSV

Dans les cas de 1, 2 ou 3 TSV la même méthode peut être utilisée c'est pourquoi nous ferons la démonstration pour 3 TSV. Ainsi nous allons considérer les permittivités complexes pour les différents matériaux.

$$\underline{\epsilon} = \epsilon_0 \left(\epsilon' - j \left(\epsilon'' + \frac{\sigma}{\omega\epsilon_0} \right) \right) \quad \text{où} \quad \epsilon'' = \epsilon' \cdot \tan \delta$$

Avec ϵ' la permittivité relative, $\tan(\delta)$ tangente de pertes et σ la conductivité du matériau considéré.

Afin de simplifier les écritures nous engloberons la conductivité dans l'expression de la partie imaginaire de la permittivité:

$$\underline{\varepsilon}_s = \varepsilon_0 (\varepsilon'_s - j\varepsilon''_s) \quad \text{où} \quad \varepsilon''_s = \varepsilon'_s \tan \delta + \frac{\sigma_s}{\omega \varepsilon_0}$$

$$\underline{\varepsilon}_i = \varepsilon_0 (\varepsilon'_i - j\varepsilon''_i) \quad \text{où} \quad \varepsilon''_i = \varepsilon'_i \tan \delta + \frac{\sigma_i}{\omega \varepsilon_0}$$

Si nous considérons les permittivités complexes alors, C_{3TSV} déterminée au paragraphe 4.2 est complexe également.

L'expression (3-58) de la capacité linéique de 3 TSV devient alors:

$$\underline{C}_{3TSV} = C'_{3TSV} - jC''_{3TSV} = \frac{4\pi \underline{\varepsilon}_i \underline{\varepsilon}_s}{3(\underline{\varepsilon}_s \ln(a) + \underline{\varepsilon}_i \ln(b))} \quad (3-58)$$

Avec:

$$a = \frac{(r_0 + t_i)(D - r_0)}{r_0(D - r_0 - t_i)} \quad \text{et} \quad b = \frac{D - r_0 - t_i}{r_0 + t_i}$$

Nous pouvons donc considérer l'admittance associée:

$$\underline{Y}_{3TSV} = j\omega \underline{C}_{3TSV} = j\omega C'_{3TSV} + \omega C''_{3TSV} = j\omega C_{3TSV} + G_{3TSV} \quad (3-59)$$

Avec

$$C_{3TSV} = C'_{3TSV} \quad G_{3TSV} = \omega C''_{3TSV}$$

Et

$$C'_{3TSV} = \text{Re} \left[\frac{4\pi \underline{\varepsilon}_i \underline{\varepsilon}_s}{3(\underline{\varepsilon}_s \ln(a) + \underline{\varepsilon}_i \ln(b))} \right] \quad \text{et} \quad C''_{3TSV} = \text{Im} \left[\frac{4\pi \underline{\varepsilon}_i \underline{\varepsilon}_s}{3(\underline{\varepsilon}_s \ln(a) + \underline{\varepsilon}_i \ln(b))} \right] \quad (3-60)$$

Les formules (3-60) nous permettent d'obtenir les formules de capacité (3-61) et de conductance (3-62) linéiques suivantes:

$$C_{3TSV} = \frac{4}{3} \pi \frac{(\varepsilon_s'^2 + \varepsilon_s''^2) \varepsilon_i' \ln(a) + (\varepsilon_i'^2 + \varepsilon_i''^2) \varepsilon_s' \ln(b)}{(\varepsilon_s' \ln(a) + \varepsilon_i' \ln(b))^2 + (\varepsilon_i'' \ln(b) + \varepsilon_s'' \ln(a))^2} \quad (3-61)$$

$$G_{3TSV} = \frac{4}{3} \pi \omega \frac{(\varepsilon_s'^2 + \varepsilon_s''^2) \varepsilon_i'' \ln(a) + (\varepsilon_i'^2 + \varepsilon_i''^2) \varepsilon_s'' \ln(b)}{(\varepsilon_s' \ln(a) + \varepsilon_i' \ln(b))^2 + (\varepsilon_i'' \ln(b) + \varepsilon_s'' \ln(a))^2} \quad (3-62)$$

La même méthode est utilisée sur les formules de capacité pour 1 et 2 TSV développées en annexe 3-4 et permet d'obtenir les formules suivantes.

$$C_{2TSV} = \pi \frac{(\varepsilon_s'^2 + \varepsilon_s''^2) \varepsilon_i' \ln(a) + (\varepsilon_i'^2 + \varepsilon_i''^2) \varepsilon_s' \ln(b)}{(\varepsilon_s' \ln(a) + \varepsilon_i' \ln(b))^2 + (\varepsilon_i'' \ln(b) + \varepsilon_s'' \ln(a))^2} \quad (3-63)$$

$$G_{2TSV} = \pi\omega \frac{(\epsilon_s'^2 + \epsilon_s''^2)\epsilon_i'' \ln(a) + (\epsilon_i'^2 + \epsilon_i''^2)\epsilon_s'' \ln(b)}{(\epsilon_s' \ln(a) + \epsilon_i' \ln(b))^2 + (\epsilon_i'' \ln(b) + \epsilon_s'' \ln(a))^2} \quad (3-64)$$

$$C_{1TSV} = 2\pi \frac{(\epsilon_s'^2 + \epsilon_s''^2)\epsilon_i' \ln(a) + (\epsilon_i'^2 + \epsilon_i''^2)\epsilon_s' \ln(b)}{(\epsilon_s' \ln(a) + \epsilon_i' \ln(b))^2 + (\epsilon_i'' \ln(b) + \epsilon_s'' \ln(a))^2} \quad (3-65)$$

$$G_{1TSV} = 2\pi\omega \frac{(\epsilon_s'^2 + \epsilon_s''^2)\epsilon_i'' \ln(a) + (\epsilon_i'^2 + \epsilon_i''^2)\epsilon_s'' \ln(b)}{(\epsilon_s' \ln(a) + \epsilon_i' \ln(b))^2 + (\epsilon_i'' \ln(b) + \epsilon_s'' \ln(a))^2} \quad (3-66)$$

Cette méthodologie est simple et permet d'obtenir des expressions de conductance à partir du calcul de capacité en tenant compte des caractéristiques des matériaux en terme de permittivité et de conductivité.

5 Validations des modèles analytiques développés.

Les différents éléments RLGC dont les expressions ont été établies aux paragraphes précédents donnent lieu à des modèles dit analytiques que nous proposons d'éprouver en les comparant à ceux obtenus de la modélisation E.M. et de la mesure.

5.1 Comparaison des modèles analytiques à des simulations

Dans ce paragraphe, des modélisations E.M. sont effectuées à l'aide du logiciel Maxwell 2D afin d'obtenir des paramètres RLCG linéiques. Les dispositifs modélisés sont 3 TSV en configuration électrique GSG architecture type H. Nous nous plaçons dans le cas de TSV de densité moyenne. Par conséquent nous utiliserons des dimensions typiques de TSV avec le rayon interne $r_1=30 \mu\text{m}$, le rayon externe $r_0=34 \mu\text{m}$ (ce qui correspond à une épaisseur de cuivre de $4 \mu\text{m}$). La conductivité du cuivre est de $4,5 \cdot 10^7 \text{ S/m}$. L'espacement D centre à centre entre deux TSV consécutif est de $162 \mu\text{m}$ et l'épaisseur d'oxyde est de $1,7 \mu\text{m}$. Les caractéristiques matériaux sont définies par la partie réelle de la permittivité que nous avons fixé à 5 pour l'oxyde et 10 pour le silicium. Nous considérons l'oxyde sans perte et nous allons nous attacher à effectuer différentes modélisations pour différents types de silicium. En effet, le challenge pour les modèles analytiques RLGC réside dans la prise en compte des effets liés à la conductivité du silicium tels que les courants de Foucault. Par conséquent, nous considérons un premier silicium purement diélectrique de conductivité $\sigma_{\text{cu}}=0$ et de $\tan(\delta)=0,1$, un deuxième silicium de conductivité 10 S/m , un silicium de conductivité 1000 S/m puis un silicium de conductivité 7000 S/m .

La figure 3-17 présente les différentes courbes de résistances et d'inductances linéiques dans les différents cas de conductivité du silicium sur une large bande de fréquences.

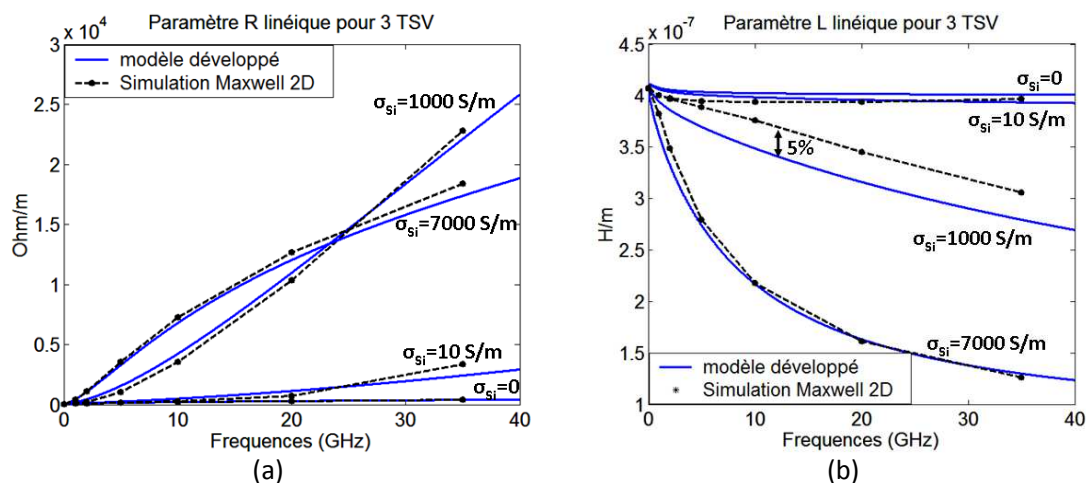


figure 3-17 : Caractéristiques linéiques séries de 3 TSV architecture H-type en configuration électrique GSG : (a) Résistance linéique, (b) Inductance linéique

Nous pouvons constater une très bonne corrélation entre les valeurs de résistances et d'inductances extraites avec les modèles analytiques développés et celles extraites de modélisation E.M. Il est évident que pour des résultats très proches, l'avantage de modèles analytiques réside dans le temps de calcul. En effet, celui-ci demeure très important dans le cas de logiciels commerciaux tel que Maxwell 2D. Nous pouvons également constater que les courbes peuvent avoir des allures différentes en fonction de la conductivité du substrat. Compte tenu de la bonne concordance des courbes, on peut remarquer alors que les phénomènes électriques à l'origine de ces changements d'allure ont été parfaitement pris en compte dans les modèles physiques proposés.

La conductivité du silicium est un acteur majeur dans l'évolution des pertes résistives. En effet, plus la conductivité du substrat augmente et plus les courants de Foucault sont importants. Ainsi, chaque conducteur génère un champ magnétique dans le substrat et celui-ci induit un courant de Foucault dans le conducteur adjacent, de sens opposé au courant propre du conducteur, contribuant ainsi à faire augmenter la résistance globale. Cette conclusion est toute fois partiellement juste car même si la tendance à l'augmentation des pertes en fonction de l'augmentation de la conductivité du substrat est clairement visible elle dépend également de la fréquence à laquelle on travaille.

Un contre exemple peut être constaté avec le changement d'allure, peu intuitif, dans le comportement aux hautes fréquences, pour les conductivités de substrat élevées. Par exemple, la résistance pour une conductivité élevée (7000 S/m) à une fréquence de 30 GHz, est plus faible que la résistance pour une conductivité moyenne (1000 S/m). Ceci est dû à la combinaison du paramètre fréquentiel et de la conductivité du substrat. En effet, plus la conductivité et la fréquence sont élevées et plus la décroissance exponentielle du champ magnétique dans le substrat est brutale (le champ magnétique est donc confiné autour du TSV lui donnant naissance). Par conséquent à la fréquence de 30 GHz, la densité de courant induit dans le conducteur adjacent est moins importante pour une conductivité de substrat de 7000 S/m que pour une conductivité 1000 S/m.

L'inductance quand à elle diminue d'autant plus que la conductivité du substrat est élevée. En effet, plus la conductivité augmente et plus la quantité de champ magnétique induite est faible en raison du couplage avec le silicium. Le flux diminue avec une décroissance exponentielle dans le sens radial créant, par transfert d'énergie vers le substrat et les conducteurs, les courants de Foucault.

La figure 3-18 présente la capacité linéique et la conductance linéique dans le cas de 3 TSV.

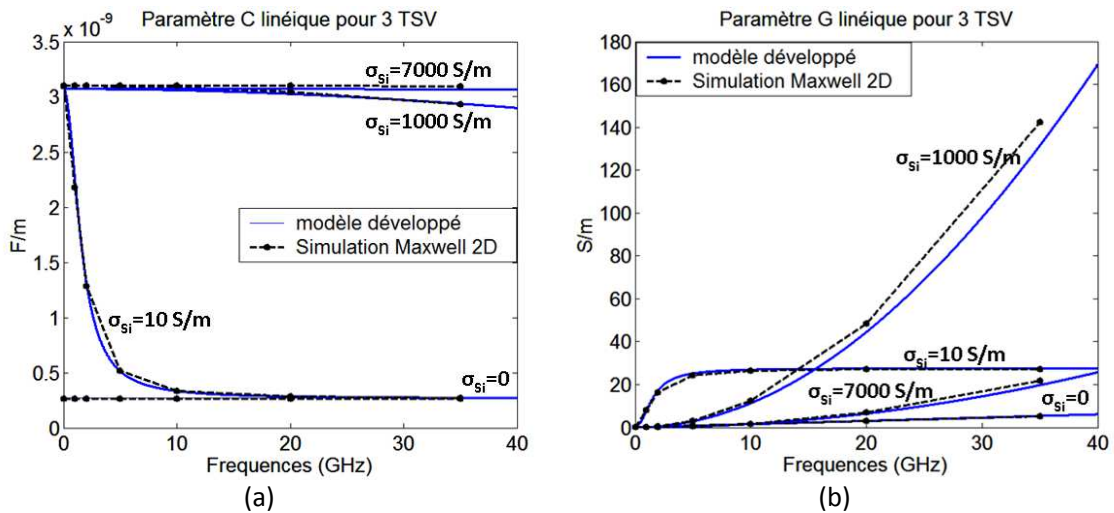


figure 3-18 : Caractéristiques linéiques parallèles de 3 TSV architecture H-type en configuration électrique GSG: (a) Capacité linéique, (b) Conductance linéique

Nous pouvons constater une très bonne corrélation entre les valeurs de capacité et de conductance extraites avec les modèles analytiques et celles extraites par simulation. L'impact

de la conductivité du silicium est bien pris en compte comme en témoignent les différentes allures des courbes en fonction de la fréquence.

Dans le cas de la capacité linéique nous pouvons constater que la conductivité du silicium joue un rôle prépondérant. En effet, dans le cas d'un silicium purement diélectrique, la capacité linéique est proportionnelle à la distance entre les conducteurs. En d'autres termes, elle est égale à la mise en série de deux capacités d'oxyde et une capacité de substrat.

A contrario, lorsque le silicium est fortement conducteur, la capacité de substrat disparaît et seules les capacités d'oxyde subsistent encore. Par conséquent, la capacité linéique globale augmente.

Dans le cas intermédiaire (10 S/m) l'évolution de la capacité est liée à la diminution de l'impact de la conductivité à mesure que la fréquence augmente (l'impact de la conductivité est défini par la formule de permittivité du paragraphe 4.3.2 et est proportionnelle à l'inverse de la pulsation). Ainsi, à basse fréquence, nous passons d'une capacité linéique totale égale à la mise en série des capacités d'oxyde (la conductivité du silicium court-circuitant la capacité de substrat) à une capacité linéique totale équivalente à la mise en série des deux capacités d'oxyde et la capacité substrat à haute fréquence.

Dans le cas de la conductance, plus la conductivité du substrat augmente et plus le courant de conduction est important ce qui a pour conséquence d'augmenter les valeurs de conductance. Cependant, comme pour la résistance, pour les très fortes conductivités (7000 S/m), les valeurs de conductance diminuent. En effet, le substrat blinde les conducteurs ce qui a pour effet d'atténuer voire de supprimer le couplage entre les conducteurs et donc le courant conduction.

5.2 Comparaison des modèles analytiques aux résultats de mesures

Dans ce paragraphe nous allons comparer les paramètres RLCG extraits de la mesure par la méthode DUMMC présentée au chapitre 2 paragraphe 4-3-1 dans le cas de 3 TSV type H par rapport à ceux établis grâce aux modèles analytiques. Par défaut, nous utiliserons les données standard issues des spécifications technologiques (dimensions, propriétés électriques des matériaux, etc) fournies par les designers pour comparer les paramètres. Cependant il est important de préciser que les données standard fournies par les designers peuvent parfois être différentes des données réelles. Ces variations viennent principalement des processus de

fabrication qui ne permettent pas toujours d’obtenir avec exactitude les épaisseurs de cuivre ou d’oxyde de TSV et des caractéristiques électromagnétiques des matériaux qui ne sont que très rarement connues avec précision (Dans notre cas nous avons du silicium HR (Haute Résistivité) ce qui donne une conductivité comprise entre 0 et 5 S/m).

Les données dimensionnelles utilisées pour la structure 3TSV traitée dans ce chapitre 3 sont issues des mesures réalisées au microscope (électronique à balayage) effectuées sur la structure et celles fournies par les designers: $r_0=34 \mu\text{m}$, $r_1=30 \mu\text{m}$, $D=135 \mu\text{m}$, $t_i=2,1 \mu\text{m}$ Les données matériaux sont prises de la littérature et modifiées afin d’être le plus proche possible des extractions provenant des mesures.

La permittivité relative de l’oxyde est de 4 et sa tangente de perte est de 10^{-3} . Le silicium a une permittivité relative de 11,7 et une conductivité de 0,55 S/m ce qui rentre dans les spécificités du Silicium HR.

La conductivité du cuivre est prise égale à $4,5 \cdot 10^7$ S/m.

La figure 3-19 compare les paramètres linéiques extraits par la mesure à ceux établis au moyen des modèles analytiques.

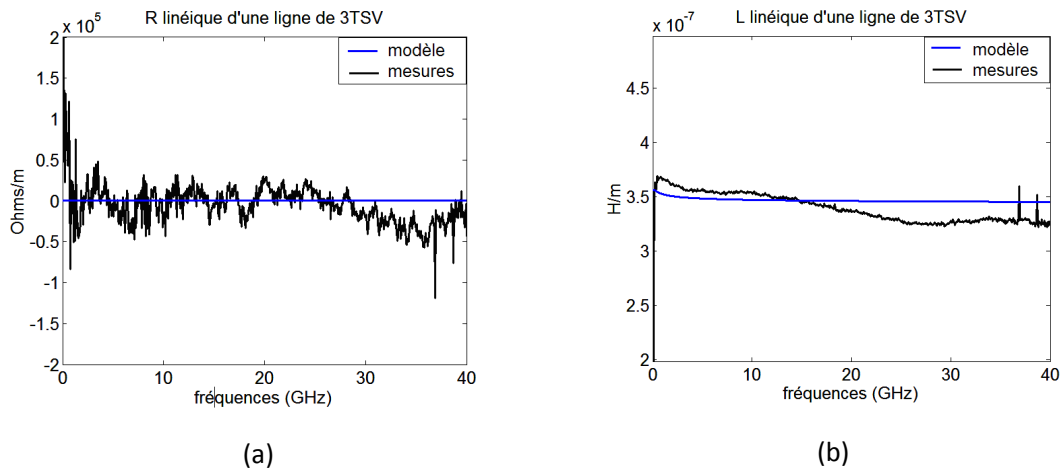


figure 3-19 : Comparaison des paramètres R et L linéiques extraits de la mesure à ceux extraits par les modèles analytiques : (a) Résistances linéiques, (b) Inductances linéiques

Comme il a été précisé dans le chapitre 2, la résistance extraite de la mesure ne permet pas de tirer de conclusion sur sa valeur réelle. En effet, les pertes résistives dans ce cas, viennent principalement du conducteur et restent extrêmement faibles. Ainsi nous constatons que les valeurs obtenues des équations littérales sont noyées dans le bruit d’extraction. Cependant nous pouvons noter une bonne corrélation entre les valeurs d’inductance extraites de la mesure

et celles obtenues du modèle analytique. Notons une légère différence d'allure provenant certainement du processus d'extraction de la mesure, des écarts entre les données réelles et celles standards utilisées pour les modèles. Notons également qu'en pratique, des discontinuités existent entre les lignes d'accès et les TSV, les TSV peuvent ne pas être parfaitement cylindriques,... Toutes ces incertitudes d'ordre structurelles peuvent se répercuter sur l'extraction des paramètres des TSV après la procédure de de-embedding et principalement à haute fréquence.

La figure 3-20 compare la capacité et la conductance linéique extraites de la mesure à celles établies au moyen des modèles analytiques.

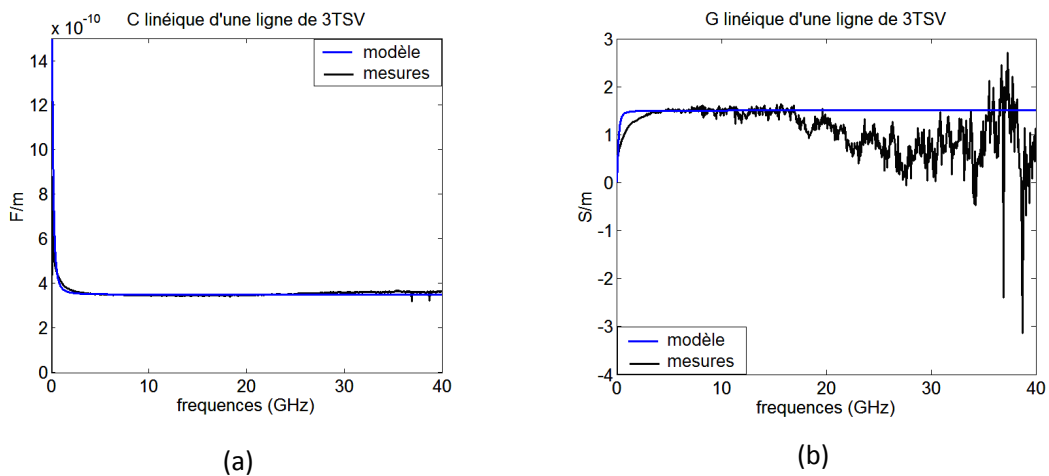


figure 3-20 : Comparaison des paramètres C et G linéiques extraits de la mesure à ceux obtenus par les modèles analytiques : (a) Capacités linéiques, (b) Conductances linéiques

La capacité linéique obtenue à partir du modèle analytique présente une forte corrélation avec celle extraite de la mesure. Dans le cas de la conductance, à basse fréquence, nous pouvons constater une montée légèrement plus brutale avec le modèle analytique que celle issue de la mesure. Nous pouvons également voir qu'à haute fréquence, la conductance extraite de la mesure est fortement bruitée et qu'en moyenne sa valeur chute légèrement alors que la conductance issue du modèle est constante. Cette légère décroissance, comme dans le cas de l'inductance, est très certainement liée aux écarts entre les données réelles et celles standards utilisées pour les modèles, aux erreurs lors du processus de de-embedding et/ou aux discontinuités structurelles. Il apparaît néanmoins une très bonne corrélation entre les différents paramètres extraits par les modèles et ceux extraits des mesures après la procédure de de-embedding.

6 Application des modèles développés au cas des Cu-pillars

Le but de ce paragraphe est de présenter comment appliquer les modèles électriques RLGC développés pour les TSV aux structures Cu-pillar (pilier de cuivre). Ce qui rend l'utilisation des modèles possible est l'architecture cylindrique des Cu-pillars. En effet, les modèles développés dans les chapitres précédents sont dédiés dans un premier temps aux TSV mais plus généralement à tout type d'interconnexions cylindriques parallèles et situées dans un même plan. D'un point de vue physique, les différences fondamentales entre les TSV et les Cu-pillars résident dans les caractéristiques des matériaux, les dimensions et l'inhomogénéité de la structure. Cependant il existe deux types de piliers de cuivre.

La première famille de Cu-pillar est soit composée de trois couches de métallisation, deux de cuivre et une centrale en SnAg (Sn = étain, Ag= argent), soit par collage direct. Ce type de Cu-pillar est utilisé dans la transmission de signaux puce à puce. La deuxième famille est utilisée pour la transmission de signaux « puce vers substrat ». Dans ce cas, le pilier de cuivre est composé de seulement deux métallisations, une de cuivre (coté puce) et une SnAg (coté substrat). Dans ce chapitre nous nous attacherons à prédire le comportement d'un Cu-pillar de la première famille (figure 3-21) dans lequel 3 métallisations distinctes, de hauteurs différentes, apparaissent.

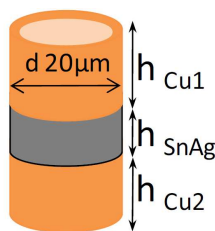


figure 3-21 : Schéma d'un Cu-pillar pour la transmission puce à puce

Une autre particularité des Cu-Pillars réside dans les matériaux environnants qui, selon les processus d'assemblage, peuvent être de l'air ou un matériau de remplissage appelée « underfill » destiné à conserver l'intégrité mécanique. Dans notre exemple, nous utiliserons de l'air et des dimensions typiques de pilier de cuivre haute densité. Par conséquent, nous considérons un diamètre de $20 \mu m$, des hauteurs h_{Cu1} de $17 \mu m$, h_{SnAg} de $15 \mu m$ et h_{Cu2} de $10 \mu m$ pour respectivement la première couche de cuivre, la couche de SnAg et la deuxième couche de

cuivre. Les « copper-pillar » sont des cylindres remplis de métal par conséquent les grandeurs précédemment définies sont telles que : $r_1=0$ et $r_0= d/2=10 \mu\text{m}$. Nous considérons un système de deux piliers de cuivre en configuration électrique SG (Signal-Ground) espacés d'une distance $D= 80 \mu\text{m}$ centre à centre . La conductivité du cuivre est définie à $4,5.10^7 \text{ S/m}$ et celle du SnAg est fixée à 9.10^6 S/m .

Pour le calcul des éléments RLCG du modèle que l'on associe au comportement électrique des deux « copper-pillars », il suffit de calculer indépendamment les éléments RLCG de chaque tronçon de circuit (tronçons Cu_1 , SnAg et Cu_2) puis, après un passage en matrice ABCD, de faire le produit des 3 matrices ABCD obtenues. Ce produit décrit le comportement électrique de tronçons de circuits cascades comme l'illustre la figure 3-22.

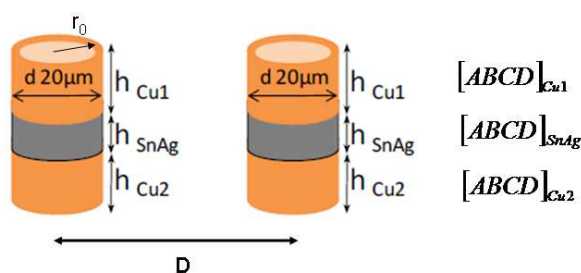


figure 3-22 : Schéma de 2 cu-pillars formant 3 tronçons de circuits (tronçons Cu_1 , SnAg et Cu_2 dont le comportement électrique est décrit par la matrice ABCD associée

Ainsi, les modèles analytiques définis en annexe 3-2 et annexe 3-4 permettent d'établir les éléments RLCG pour les 2 tronçons de circuit en métallisation « cuivre » et ceux pour le tronçon de circuit en métallisation « SnAg ». Chaque tronçon de circuit représente un tronçon de ligne de transmission dont on peut exprimer les grandeurs caractéristiques associées : l'impédance caractéristique et l'exposant de propagation. Elles sont obtenues par les formules de passage (3-67) et (3-68)

$$Z_{\text{Cu}} = \sqrt{\frac{R_{\text{Cu}} + jL_{\text{Cu}}\omega}{G_{\text{Cu}} + jC_{\text{Cu}}\omega}} \quad \text{et} \quad \gamma_{\text{Cu}} = (R_{\text{Cu}} + jL_{\text{Cu}}\omega)(G_{\text{Cu}} + jC_{\text{Cu}}\omega) \quad (3-67)$$

$$Z_{\text{SnAg}} = \sqrt{\frac{R_{\text{SnAg}} + jL_{\text{SnAg}}\omega}{G_{\text{SnAg}} + jC_{\text{SnAg}}\omega}} \quad \text{et} \quad \gamma_{\text{SnAg}} = (R_{\text{SnAg}} + jL_{\text{SnAg}}\omega)(G_{\text{SnAg}} + jC_{\text{SnAg}}\omega) \quad (3-68)$$

Il est alors aisé d'établir une matrice ABCD pour chaque tronçon de circuit grâce aux formules (3-69), (3-70), (3-71) pour les hauteurs correspondantes.

$$ABCD_{Cu1} = \begin{bmatrix} \cosh(\gamma_{Cu} h_{Cu1}) & Z_{Cu} \sinh(\gamma_{Cu} h_{Cu1}) \\ \frac{1}{Z_{Cu}} \sinh(\gamma_{Cu} h_{Cu1}) & \cosh(\gamma_{Cu} h_{Cu1}) \end{bmatrix} \quad (3-69)$$

$$ABCD_{SnAg} = \begin{bmatrix} \cosh(\gamma_{SnAg} h_{SnAg}) & Z_{SnAg} \sinh(\gamma_{SnAg} h_{SnAg}) \\ \frac{1}{Z_{SnAg}} \sinh(\gamma_{SnAg} h_{SnAg}) & \cosh(\gamma_{SnAg} h_{SnAg}) \end{bmatrix} \quad (3-70)$$

$$ABCD_{Cu2} = \begin{bmatrix} \cosh(\gamma_{Cu} h_{Cu2}) & Z_{Cu} \sinh(\gamma_{Cu} h_{Cu2}) \\ \frac{1}{Z_{Cu}} \sinh(\gamma_{Cu} h_{Cu2}) & \cosh(\gamma_{Cu} h_{Cu2}) \end{bmatrix} \quad (3-71)$$

Enfin, en cascade les trois matrices nous obtenons la matrice de deux pilier de cuivre (3-72) qui témoigne de leur comportement électrique.

$$[ABCD]_{2Cupillar} = [ABCD]_{Cu1} * [ABCD]_{SnAg} * [ABCD]_{Cu2} \quad (3-72)$$

De part l'inhomogénéité de la teneur en matériau des deux cu-pillars dans le sens de propagation des signaux, nous ne pouvons pas en extraire des paramètres linéiques. Nous pouvons cependant extraire un modèle en π ou en T témoin du comportement électrique des 2 Cu-pillars à partir de sa matrice ABCD associée. La figure 3-23 présente le modèle en π choisi et les paramètres électriques associés.

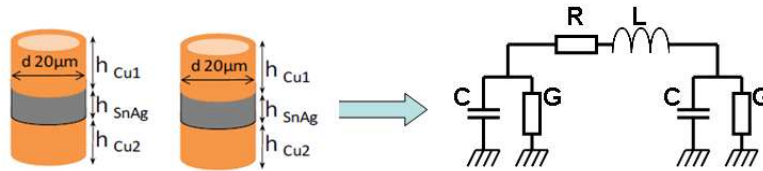


figure 3-23 : Modèle en π associé aux Cu-pillars, extrait de la matrice ABCD calculée

Les figures 3-24 et 3-25 présentent la résistance, l'inductance et la capacité issues du modèle en π . Le matériau englobant les 2 Cu-pillars étant de l'air, la conductance (élément G du modèle présenté en figure 3-23) est nulle. En effet, l'air est considéré comme un très bon isolant.

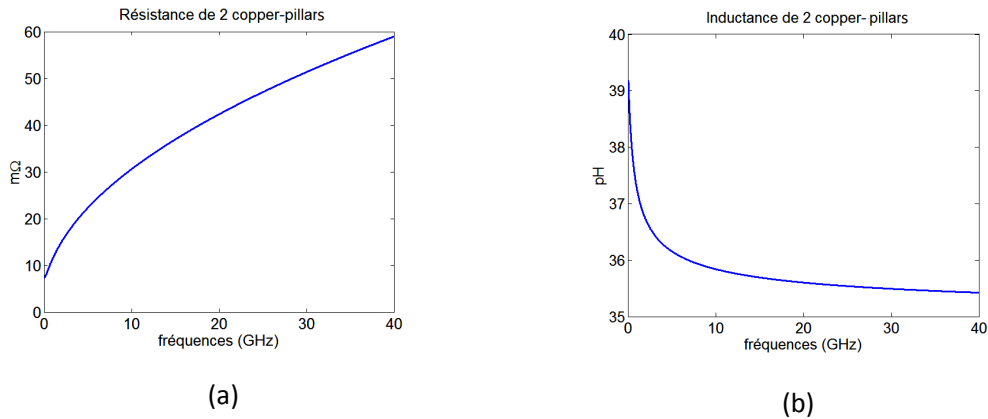


figure 3-24 : Résistance et inductance issues du modèle en π : (a) Résistance, (b) Inductance

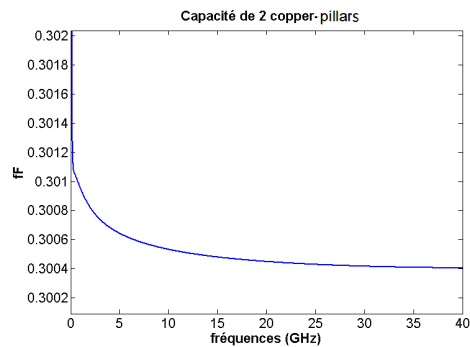


figure 3-25 : Capacité issue du modèle en π

Nous pouvons constater que les valeurs de la résistance et de la capacité sont très faibles. Ceci s'explique aisément d'une part en raison des faibles dimensions des conducteurs et d'autre part par la présence d'un substrat à faible permittivité et sans pertes (l'air), limitant le niveau de couplage entre les Cu-Pillars. Rappelons que précédemment nous avons démontré l'influence majeure de la conductivité du substrat sur la résistance, la capacité, la conductance et l'inductance des interconnexions.

Ces figures illustrent également le caractère très générique des modèles analytiques, initialement développés pour les TSV. En effet, les équations littérales des paramètres électriques RLCG linéiques présentés dans ce chapitre permettent de décrire aisément les comportements électriques des structures de type Cu-pillar, sur une large bande de fréquences. Une simple mise en cascade de matrices ABCD associées à chaque tronçon du Cu-Pillar permet de tenir compte de l'inhomogénéité de la teneur en matériau dans le sens de propagation et d'en extraire un modèle RLCG localisé issu du modèle en π .

7 Conclusion

Dans ce chapitre, des modèles analytiques qui décrivent le comportement électrique de TSV dans différentes configurations ont été présentés.

Les principaux objectifs furent de développer des expressions des éléments qui composent les modèles qui soient :

- paramétrables par les spécificités (caractéristiques électriques des matériaux et dimensions) de l'architecture d'interconnexions 3D considérées.

- simples d'utilisation.

Ces objectifs comportaient des challenges, notamment ceux d'identifier et d'intégrer, dans les modèles, les effets de certains phénomènes électromagnétiques. Ces derniers, liés à la montée en fréquence, s'avèrent être largement ignorés dans les modèles standards. Il s'agit en particulier des courants de Foucault induits dans le silicium et de l'impact de l'effet de peau sur la valeur d'inductance.

Afin de réaliser ces modèles analytiques, nous avons défini des briques élémentaires composées d'un, de deux ou de trois TSV. Les 3 TSV ont été associés en particulier selon l'architecture type H et étudiés en configuration électrique GSG. Les modèles présentés, définis en termes d'éléments RLCG linéiques découlant de la théorie des lignes de transmission, permettent de décrire le comportement électrique d'interconnexions constituées de TSV mais aussi celui d'interconnexions constituées de copper-pillars par extension.

Le principal avantage de travailler avec des éléments RLCG réside dans l'aisance avec laquelle un designer peut définir un bloc élémentaire (interconnexions constituées de TSV par exemple) :

- qui tiendra compte de toutes les caractéristiques d'architecture (géométrie et propriétés électriques des matériaux)

- qui peut se cascader via sa matrice ABCD avec d'autres afin d'étudier et de concevoir des chaînes plus complexes.

Après la comparaison de nos modèles avec à la fois ceux issus de formulations rigoureuses, ceux obtenus des modélisations E.M. et des mesures, nous avons pu les valider et apprécier la prise bonne prise en compte des effets du substrat de silicium. En effet, de part l'environnement agressif des TSV constitué de silicium parfois très conducteur, la prédiction du comportement des pertes résistives ou du couplage capacitif n'est pas toujours intuitif. D'une

part, en présence de forte conductivité, les pertes résistives sont majoritairement dues aux courants de Foucault induits dans le substrat par le champ magnétique et non plus par les conducteurs. D'autre part le couplage capacitif est fortement dépendant des propriétés électriques du silicium force est de constater qu'au-delà de certaines conductivités les pertes liées au champ électrique se voient atténuées à l'image d'un blindage électrique. Les différentes allures des éléments RLGC, variant en fonction des propriétés conductrices du substrat, en accord avec les modélisations, permettent de valider l'aspect générique des modèles présentés. Ainsi ces modèles analytiques permettent de prédire le comportement des blocs élémentaires traités dans le manuscrit pour une large gamme de matériaux.

L'annexe 3-5 présente une synthèse des résultats obtenus en termes de formules mathématiques analytiques qui permettent de calculer les différents éléments RLGC composant le modèle.

Une première perspective à ce travail consiste en la possibilité de faire des études prédictives, grandement facilité par l'ergonomie des modèles présentés, sur le comportement de l'association de blocs élémentaires : interconnexions constituées de 3 TSV cascades avec une ligne de transmission coplanaire intégrée coté BEOL d'un « interposeur ». Un des aspects de cette perspective est abordé de manière non exhaustive dans le chapitre 4.

Une autre perspective repose sur la mise à profit des résultats obtenus pour développer des matrices d'éléments RLGC. Ces matrices permettraient de traduire les comportements électriques des couplages existants entre plusieurs TSV regroupés dans une architecture complexe dont les caractéristiques (géométrie, dimensions et propriétés électriques des matériaux) seraient les paramètres des éléments RLGC.

Enfin, l'étude de configurations électriques particulières (S-S-G, G-S-S-G, etc...) permettrait de proposer des solutions supplémentaires aux designers. Pour une architecture donnée associant plusieurs TSV ou un cahier des charges très spécifiques, les designers auraient le choix d'implémenter la solution la plus performante.

Chapitre 4

Applications du modèle électrique analytique RLCG présenté au chapitre 3

"J'avais raison de ne pas me soucier des applications [de mon théorème] : elles vinrent plus tard."

Jacques Hadamard

Ce dernier chapitre propose la synthèse d'un travail qui avait pour objectif de mettre en application les résultats obtenus au chapitre 3, ceux en particulier sur le modèle électrique RLCG développé.

Une partie de ce travail consistait à mettre en évidence les aptitudes de ce modèle en comparant ses performances à celles d'un modèle classique, le modèle RC. Ce dernier est, à l'heure actuelle, encore très largement utilisé par les concepteurs de circuits intégrés. Les performances de ces modèles sont évaluées lorsque ces derniers doivent décrire le comportement électrique de deux circuits « test » : une ligne de transmission composée de 3 TSV en architecture type H et une association en cascade de plusieurs de ces lignes. Les critères de performance par rapport auxquels la comparaison des deux modèles a été effectuée sont le délai de propagation ainsi que le temps de montée obtenus en sortie des circuits « test » lorsqu'un échelon de tension est injecté en entrée. Un autre critère, assez déterminant aussi, se base sur l'analyse d'un diagramme de l'œil obtenu à la sortie des circuits « test » lorsqu'une séquence binaire aléatoire est injectée en entrée.

La seconde partie du travail présenté porte sur des études prédictives permettant d'établir les performances de chaînes de transmission composées d'interconnexions de la technologie 3D. Il s'agit notamment d'avoir des indications sur la stratégie de routage des signaux à mettre en œuvre pour améliorer les performances de ces chaînes. Ainsi selon l'architecture (couches intégrées, matériaux impliqués, géométrie, dimensions) 3D dans laquelle se trouvent intégrés ces chaînes de transmission, vaut-il mieux : faire transiter les signaux sur un même niveau « métal » ou alors les véhiculer via un autre niveau ? Cette problématique est notamment étudiée dans le cas d'un « interposer » 3D où les niveaux sont respectivement ceux associés aux couches « back end of line » et « redistribution layer », les TSV permettant de passer d'une couche à l'autre.

Après la partie consacrée à l'introduction, ce chapitre présente les différentes grandeurs caractéristiques (délai de propagation, temps de montée) ainsi que l'outil (le diagramme de l'œil) qui ont permis d'établir les performances des circuits ou chaînes de transmission sous analyse. Viennent ensuite, deux paragraphes consacrés respectivement à la comparaison du modèle RLCG développé à celui couramment utilisé et à l'étude de stratégies de routage. La conclusion synthétisera les résultats obtenus en soulignant notamment les points clés, elle sera suivie de perspectives qui pourraient donner suite au travail présenté.

1	Introduction	138
2	Outil et grandeurs caractéristiques permettant l'analyse des performances des interconnexions au travers de leurs modèles électriques associés	139
2.1	Le diagramme de l'œil	139
2.2	Le délai de propagation	142
2.3	Le temps de montée.....	143
3	Limites du modèle RC classique	144
3.1	Présentation du Modèle RC	144
3.2	Comparaison des performances du modèle RC à celles du modèle analytique développé au chapitre 3, validité du modèle RC	148
3.2.1	Comparaison des modèles dans le cas des TSV MD/BR pour des débits de 10 Gbits/s et 1 Gbits/s.....	150
3.2.2	Comparaison des modèles dans le cas des TSV HD/HR pour des débits de 10 Gbits/s et 1 Gbits/s.....	153
3.2.3	Comparaison des modèles dans le cas de TSV MD/HR pour un débit de 10 Gbits/s.	154
3.2.4	Comparaison des modèles dans le cas d'une chaîne de TSV MD/BR pour un débit de 10 Gbits/s	155
4	Etudes prédictives sur la stratégie de routage des signaux numériques à l'aide du modèle analytique développé au chapitre 3.....	158
4.1	Cas d'un substrat basse résistivité (BR)	159
4.2	Cas d'un substrat haute résistivité (HR).....	161
5	Conclusion.....	162

1 Introduction

L'objectif du travail présenté dans ce chapitre consistait à mettre en application les résultats obtenus durant ce travail de thèse et en particulier ceux présentés au chapitre 3. Il s'agissait notamment de mettre en évidence l'intérêt du modèle analytique RLGC développé, en le confrontant au modèle RC encore largement utilisé chez les concepteurs de circuits intégrés. Il s'agissait aussi de promouvoir le modèle analytique RLGC, que nous appellerons également dans ce chapitre " modèle physique", en l'utilisant pour réaliser des études prédictives sur les stratégies de routage des interconnexions 3D. Les résultats de ces études permettent d'indiquer aux concepteurs la pertinence des trajets suivis par les interconnexions au regard de leurs performances compte tenu des signaux propagés.

Actuellement, les designers utilisent un modèle électrique associé aux interconnexions de type TSV qui s'avère être très compact. Ce modèle, de type RC (cf. Figure 4-1), qualifié parfois de filtre RC, est très couramment utilisé dans la plupart des cas.

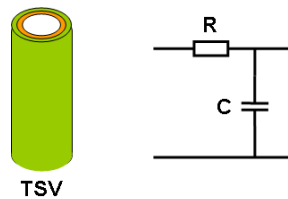


figure 4- 1 : Modèle RC simple associé à un TSV

Néanmoins, il ne tient pas compte de tous les effets électriques inhérents à tout circuit, en particulier lorsque la fréquence augmente. Ceci peut, dans certains cas, idéaliser le comportement des signaux véhiculés. En d'autres termes, une approche pas suffisamment rigoureuse dans la modélisation des interconnexions peut valider à tort la viabilité et les fonctionnalités d'un circuit numérique. Ainsi, un modèle reflétant mal le comportement d'interconnexions peut rendre tout un ensemble d'études prédictives totalement caduques.

Une partie de ce chapitre est alors consacrée à la comparaison du modèle RC classique inspiré de la référence [Kim, 2011] au modèle physique RLCG, développé au chapitre 3. Pour effectuer la comparaison, nous utiliserons des grandeurs caractéristiques telles que le délai de propagation et le temps de montée ainsi qu'un outil d'analyse appelé diagramme de l'œil. A l'issue de cette comparaison, nous identifierons les limites liées à l'utilisation du modèle moins rigoureux en étudiant une chaîne de transmission composée de plusieurs blocs de 3 TSV en

architecture type H. Cette étude met en évidence une dégradation des signaux propagés lorsque nous utilisons un modèle plus sophistiqué : le modèle physique RLCG présenté au chapitre 3. Notez que le délai de propagation et le temps de montée sont obtenus en sortie du dispositif sous test (les modèles) lorsqu'un échelon (ou indice) est injecté en entrée. Le diagramme de l'œil est établi en sortie lorsqu'une séquence binaire aléatoire est appliquée à l'entrée.

Le principal avantage de l'intégration 3D réside dans la liberté quant à la distribution des signaux : Pour aller d'un point A à un point B, il est donc possible dans certains cas de rester sur une couche BEOL (occasionnant de fortes pertes) ou de plonger dans le silicium pour se connecter à une ligne de transmission de la couche RDL (occasionnant de faibles pertes).

Ainsi, dans la dernière partie de ce chapitre, nous proposons des études prédictives qui portent sur les performances des signaux véhiculés selon le routage des interconnexions considéré. Outre les résultats significatifs obtenus, les études prédictives permettent d'illustrer le potentiel et les aptitudes, du modèle analytique RLGC développé : à savoir la bonne prise en compte des phénomènes physiques précisés dans le chapitre 3 et la rapidité de calcul (pour une structure donnée le modèle RLCG permet d'extraire en quelques secondes les paramètres nécessaires à l'étude alors que la simulation EM peut prendre plusieurs heures).

Ce chapitre ne présente qu'un nombre non exhaustif d'études. Il ouvre cependant la voie dans la méthodologie à suivre pour analyser le comportement des signaux véhiculés au sein d'interconnexions 3D et de chaînes d'interconnexions.

2 Outil et grandeurs caractéristiques permettant l'analyse des performances des interconnexions au travers de leurs modèles électriques associés

2.1 Le diagramme de l'œil

Le diagramme de l'œil permet d'une manière très simple d'apprécier et d'estimer la qualité des signaux numériques reçus avant qu'ils atteignent le dispositif de réception. Il s'agit d'une des mesures de base en transmission numérique.

Le diagramme de l'œil constitue donc une représentation synthétique qui vise à observer et à quantifier un ensemble de défauts tels que l'IES (interférence entre symboles), le bruit, la gigue de phase ou surtension (appelée aussi "over shoot").

Les diagrammes de l'œil sont obtenus en sortie du dispositif à tester, lorsqu'une séquence binaire (bit 0 ou 1 associés respectivement à des tensions de 0 et 1 volt dans notre cas) aléatoire est appliquée à son entrée. Les bits représentent les symboles à transmettre et ont une durée T définie comme la durée du symbole. Dans notre cas, les dispositifs à tester peuvent être des interconnexions formant une ligne de transmission ou une chaîne d'interconnexions formant une cascade de lignes de transmission. A fortiori, ces lignes de transmission seront évaluées au travers de leurs modèles électriques associés. Le diagramme de l'œil est alors établi :

- en prélevant des parties d'une durée $2T$ de la séquence binaire aléatoire reçue en sortie du dispositif sous test. Ces parties sont appelées traces ou trajectoires
- en regroupant sur un même graphe un ensemble suffisant de trajectoires (30 dans un cas typique).

L'axe des abscisses du graphe représente l'échelle des temps ; l'axe des ordonnées celle des niveaux de tension en volt. Le dispositif sous test aura un comportement qualifié d'optimal si le diagramme de l'œil produit est tel que présenté figure 4-2:

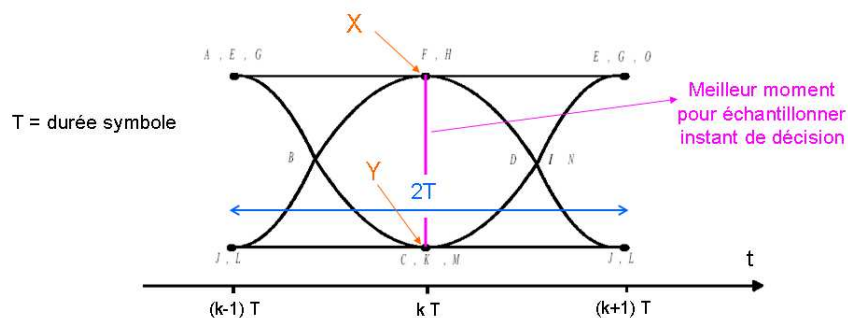


figure 4-2 : Représentation des principales indications présentes sur un diagramme de l'œil

- toutes les trajectoires se superposent parfaitement
- la forme observée doit être le plus proche possible d'un rectangle placé entre 2 droites horizontales.

Les niveaux de tension sont aussi à observer afin de prévoir s'ils seront suffisants pour sensibiliser le circuit de réception.

Ainsi, si on considère une ligne de transmission dans un environnement perturbant (influence de circuits mitoyens et bruits de toute nature), le diagramme que l'on peut obtenir est celui présenté en figure 4-3. Sur cette dernière, on voit nettement apparaître au centre la forme d'un œil qui regroupe des trajectoires qui ont subies des altérations. Certaines de ces

altérations sont typiquement dues à des effets particuliers comme par exemple de la gigue de phase.

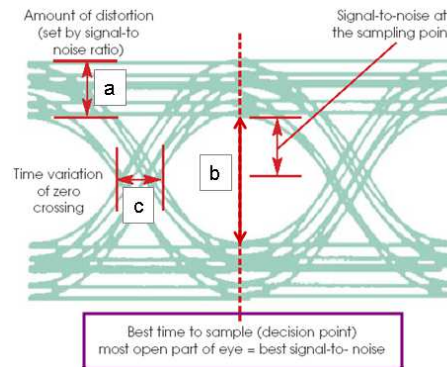


figure 4- 3 : Représentation des principales indications présentent sur un diagramme de l'œil

Ainsi le diagramme de l'œil nous permet de détecter et préciser les phénomènes à l'origine de certaines altérations des trajectoires mais aussi d'estimer, au moyen de certains critères, la qualité du dispositif qui est testé.

La toute première interprétation que l'on peut faire sur le diagramme porte sur l'ouverture de l'œil. En effet, plus l'œil est ouvert ou large, meilleure sera la transmission numérique. En transmission numérique, le prélèvement de l'information (opération d'échantillonnage) au niveau du récepteur doit se produire idéalement à l'instant précis où l'œil est le plus ouvert. Pour un œil tel que décrit en figure 4-2 l'opération d'échantillonnage est facile car l'œil est bien ouvert sur une durée assez longue. Pour le diagramme présenté en figure 4-3, l'opération d'échantillonnage s'avère plus délicate car la partie où l'œil est le plus ouvert à une durée bien plus courte. Ainsi, plus l'œil est fermé et plus l'on s'expose à un grand nombre d'erreur de transmission.

Le diagramme délivre également des indications supplémentaires au regard de la figure 4-3 :

- (a) L'épaisseur de la paupière est un indicateur sur le degré d'interférence entre-symboles (IES). L'IES peut être due, entre autres, à de la dispersion sur les lignes de transmission et à des perturbations (toutes sortes de bruit par exemple) causées par l'environnement. L'IES peut entraîner des difficultés dans la reconnaissance des symboles(ou bits) du signal reçu. Dans ce cas le récepteur peut confondre des niveaux logiques, un 1 à la place d'un 0 par exemple, et délivrer un message différent.

- (b) L'ouverture de l'œil est un critère qui permet de savoir si la détection sera aisée ou non (immunité au bruit), ce sera le meilleur moment pour prélever un échantillon.

- (c) La commissure de l'œil permet de savoir si le signal reçu présente de la gigue de phase (jitter). En d'autres termes, dans le cas d'une transmission numérique pour laquelle la commissure de l'œil est épaisse, les symboles ou bits ne sont pas reçus à intervalles de temps réguliers. Ainsi, dans un système où la synchronisation est essentielle à son bon fonctionnement, les systèmes de transmission haut débit par exemple où le temps alloué à un bit est très court, la commissure doit être fine.

L'overshoot (cf. figure 4-4) se caractérise par une tension plus élevée de l'état haut du symbole que la tension définie à l'entrée du canal. C'est une légère surtension sur un court laps de temps, mais dont les conséquences peuvent être la détérioration du récepteur si celui-ci n'est pas adapté. Par opposition l'undershoot se traduit par une tension plus élevée sur l'état bas du symbole.

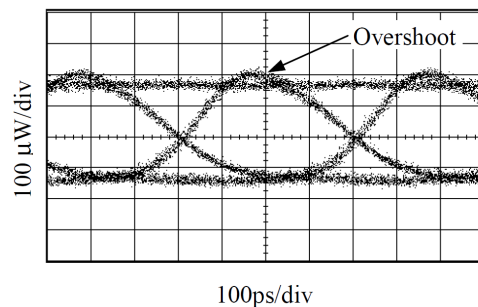


figure 4- 4 : Illustration de l'over shoot sur un diagramme de l'œil

2.2 Le délai de propagation

Le temps de propagation d'un signal entre deux points d'un circuit intégré (entrées/sorties) est principalement conditionné par les retards dus aux interconnexions et le temps de retard généré par la commutation des transistors. Actuellement, le retard est très largement lié aux interconnexions car les délais générés par un transistor de technologie 32 nm est de l'ordre de la centaine de Femtosecondes alors que la forte densité d'interconnexions amène un retard de l'ordre de la nanoseconde comme le présente la figure 4-5.

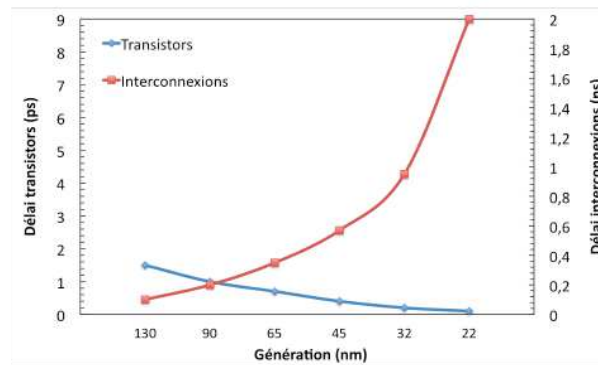


figure 4- 5 : Evolution des délais des interconnexions et des transistors

Il apparait donc que le délai imposé par les lignes de cuivre est nettement prédominant [Mounier, 2007] et ne cesse de croître [Caignet, 2002] impactant directement la rapidité des circuits.

Les délais observés sont donc de bons indicateurs des performances d'une interconnexion et nous permettrons à la fois de comparer la fiabilité des modèles mais également d'appréhender les performances en terme de routage des signaux. En effet, les modèles utilisés doivent prédire le mieux possible le retard engendré par une interconnexion afin d'identifier proprement les performances d'un circuit. Le retard est calculé sur le front de monté à 50% de l'amplitude maximum.

2.3 Le temps de montée

Le temps de montée est la durée que met le signal pour passer de 10% à 90% de sa valeur finale. Par exemple, dans le cas d'une interconnexion dispersive (signaux voyageant à des vitesses différentes), le temps de montée peut être fortement augmenté, impactant sur le temps de détection. Il en résulte donc une latence entre le récepteur et le détecteur. La figure 4-6 donne une illustration de la mesure du temps de montée sur un signal indiciel (avec t_m temps de monté).

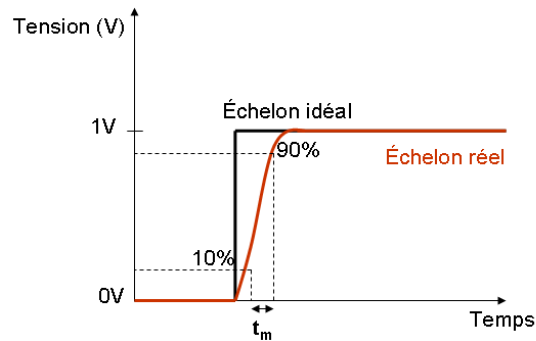


figure 4- 6 : Illustration su temps de montée d'un signal

3 Limites du modèle RC classique

Dans ce paragraphe, nous proposons de comparer le modèle RC (figure 4-1) traditionnellement utilisé pour étudier le comportement d'une interconnexion aux modèles développés dans le chapitre 3, dans le cas de 3TSV type H en configuration électrique GSG. Après une brève présentation des équations utilisées dans le model RC, nous observerons l'impact de ces modèles sur l'intégrité des signaux pour différents critères :

- dimensions de TSV
- caractéristiques substrats
- débit de signaux numériques

Cette étude nous permettra d'identifier les limites d'un model RC.

3.1 Présentation du Modèle RC

Ce modèle définit le paramètre R comme les pertes résistives des conducteurs tenant compte de l'effet de peau et le paramètre C comme la capacité entre les conducteurs. Rappelons que ces modèles ne tiennent pas compte de :

- l'effet inductif des conducteurs (absence de paramètre L)
- les courants de Foucault (absence de résistance de substrat)
- la conductance (absence du paramètre G conductance)

Cette approche simplifiée vient de l'approximation en éléments localisés car les interconnexions sont petites (120 μm de haut).

La résistance est calculée à partir de l'équation de R_{int} linéique définie au paragraphe 2.3 du chapitre 3 que nous rappelons:

$$R_{\text{int}} = \rho_{\text{Cu}} \cdot \frac{1}{\pi \left[r_0^2 - \left(r_0 - (r_0 - r_1) \sqrt[3]{\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3} \right)^2 \right]}$$

Avec

- r_0 le rayon externe
- r_1 le rayon interne
- δ l'épaisseur de peau (Les spécificités sont détaillées au chapitre 3)
- ρ_{Cu} la résistivité du conducteur.

La résistance linéique $R_{3\text{TSV}}$ du bloc de 3 TSV sera donc définie comme suit:

$$R_{3\text{TSV}} = \frac{3}{2} R_{\text{int}} \quad (4-1)$$

Enfin, la résistance R_{RC} du bloc de 3 TSV est exprimée par l'expression suivante:

$$R_{\text{RC}} = \frac{3}{2} R_{\text{int}} * h_{\text{TSV}} \quad (4-2)$$

Avec h_{TSV} la hauteur des TSV.

Le calcul de la capacité est effectué à partir des équations de la capacité linéique d'un câble coaxial et d'une ligne bifilaire, méthodologie utilisée dans la référence [Kim, 2011].

En effet, comme le présente la figure 4-7 le bord extérieur du TSV représente l'âme centrale du câble coaxial et le bord extérieur de l'oxyde est associé à la masse du câble coaxial afin d'associer le modèle coaxial à notre structure:



figure 4- 7 : Illustration de l'équivalence entre la capacité d'oxyde d'un TSV (a) et la capacité d'un câble coaxial (b)

Ainsi, la formule de la capacité linéique d'un connecteur coaxial issue de la référence [Pozar, 2005] peut être utilisée pour calculer la capacité d'oxyde du TSV et définie par:

$$C_{ox} = \frac{2\pi\epsilon_0\epsilon'_i}{\ln\left(\frac{r_0 + t_i}{r_0}\right)}$$

Avec :

- ϵ_0 et ϵ'_i respectivement la permittivité du vide et la permittivité relative de l'oxyde.
- t_i l'épaisseur d'oxyde.

La capacité dans le substrat entre deux TSV peut être considérée comme la capacité d'une ligne de transmission bifilaire comme l'illustre la figure 4-8.

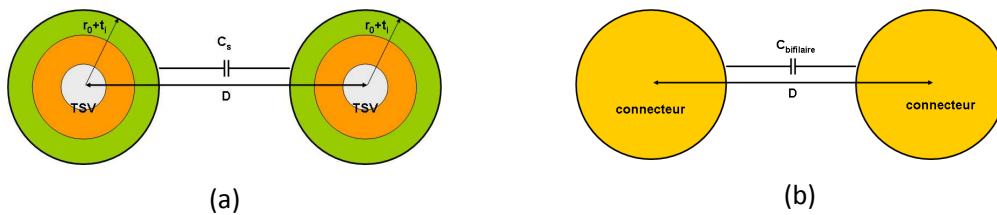


figure 4- 8 : Illustration de l'équivalence entre la capacité dans le substrat entre deux TSV (a) et la capacité d'une ligne bifilaire (b)

Ainsi, la capacité linéique d'une ligne bifilaire issue de la référence [Pozar, 2005] peut être mise à profit pour le calcul de la capacité de substrat entre deux TSV et définie alors par :

$$C_s = \frac{\pi\epsilon_0\epsilon'_s}{\cosh^{-1}\left(\frac{D}{2(r_0 + t_i)}\right)}$$

Avec ϵ'_s la permittivité relative du substrat.

Par conséquent, nous pouvons définir une capacité linéique totale pour deux TSV comme la mise en série de 2 capacités d'oxyde et 1 capacité de substrat comme le présente la figure 4-9.

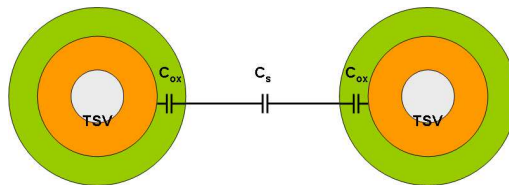


figure 4- 9 : Illustration de l'association en série des capacités d'oxyde et de la capacité de substrat

La capacité linéique totale des deux TSV est donc définie par l'équation suivante:

$$C_{2TSV} = \frac{C_s C_{ox}}{2C_s + C_{ox}}$$

Nous avons vu au chapitre 3 que la capacité linéique totale de 3TSV type-H en configuration électrique GSG était 4/3 de la capacité totale de 2TSV. Ce qui amène à la relation suivante :

$$C_{3TSV} = \frac{4C_S C_{ox}}{6C_S + 3C_{ox}} \quad (4-3)$$

Par conséquent la capacité totale C_{RC} de 3 TSV est obtenue par la l'équation suivante:

$$C_{RC} = \frac{4C_S C_{ox}}{6C_S + 3C_{ox}} * h_{TSV} \quad (4-4)$$

Rappelons que, comme pour l'équation (4-2) h_{TSV} est la hauteur des TSV.

Ainsi à partir de la géométrie des TSV et des caractéristiques des matériaux nous pouvons calculer les paramètres R_{RC} et C_{RC} pour un bloc de 3 TSV. Les modèles de ce type (équation (4-2) et (4-4)), dits localisés, ne permettent pas de prendre parfaitement en compte le temps mis par un signal pour traverser un canal de transmission.

Dans la suite de notre étude nous utiliserons une méthodologie utilisant la cascade des matrices ABCD pour créer les structures. En effet, à partir des équations des paramètres linéiques R_{3TSV} (4-1) et C_{3TSV} (4-3) l'impédance caractéristique et l'exposant de propagation d'un bloc TSV sera calculé comme le présente les formules (4-5).

$$Z_{3TSV} = \sqrt{\frac{R_{3TSV}}{jC_{3TSV}\omega}} \quad \text{et} \quad \gamma_{3TSV} = jR_{3TSV}C_{3TSV}\omega \quad (4-5)$$

Puis nous fabriquons la matrice $ABCD_{RC}$ par les formules standard d'une ligne de transmission dans lesquelles sont injectées les hauteurs de TSV:

$$ABCD_{RC} = \begin{bmatrix} \cosh(\gamma_{RC}h_{TSV}) & Z_{RC} \sinh(\gamma_{RC}h_{TSV}) \\ \frac{1}{Z_{RC}} \sinh(\gamma_{RC}h_{TSV}) & \cosh(\gamma_{RC}h_{TSV}) \end{bmatrix}$$

Cette matrice nous permettra ensuite d'en déduire une matrice S du bloc 3 TSV, extrait du modèle RC simple, afin de procéder aux simulations temporelles. Ainsi la méthodologie pour le calcul des matrices ABCD est identique pour le modèle RC et le modèle du chapitre 3, seuls les paramètres linéiques utilisés dans les deux cas sont différents.

3.2 Comparaison des performances du modèle RC à celles du modèle analytique développé au chapitre 3, validité du modèle RC

Afin d'identifier les limites du modèle RC couramment utilisé, nous proposons de le confronter à un modèle plus sophistiqué. Il s'agit en particulier du modèle analytique RLCG que nous avons développé et présenté au chapitre 3 que nous appellerons également "modèle physique" ou "modèle sophistiqué". Pour être suffisamment significative, cette confrontation sera opérée selon différentes configurations technologiques de TSV exposées ci-après. Les grandeurs et outil (le délai, le temps de montée et le diagramme de l'œil,) présentés au paragraphe 2 permettront d'analyser les performances des deux modèles. Ces performances seront notamment observées lorsque des signaux numériques ou trains binaires seront véhiculés sur un bloc de 3 TSV type H ou sur une cascade de blocs (chaîne de transmission). Ainsi, nous comparons l'aspect prédictif de ces modèles en terme d'intégrité de signal sur des TSV MD (Moyenne densité : diamètre de 64 μ m) et HD (Haute Densité : 10 μ m de diamètre), de hauteur 120 μ m. Le modèle sophistiqué tient compte de la conductivité du silicium, par conséquent, dans chacun des cas de TSV nous prendrons un substrat dit HR (Haute résistivité, soit à avoir une résistivité infinie et donc une conductivité nulle : 0 S/m) et un substrat dit BR (Basse résistivité, soit à avoir résistivité 0,1 m Ω .m et donc une conductivité de : 10000 S/m). Il convient également d'analyser le comportement des modèles pour deux débits binaires qualifiés de bas et haut débits: 1 Gbits/s et 10 Gbits/s. Ainsi, la densité de TSV (MD ou HD), le substrat de silicium (HR ou BR) et le débit (1 Gbits/s ou 10 Gbits/s) constituent des paramètres qui s'avèrent suffisamment représentatifs et pertinents pour appréhender les limitations du modèle conventionnel RC.

La figure 4-10 présente le contexte de l'étude au moyen d'une représentation simplifiée d'un circuit composé d'un bloc de 3 TSV et d'un schéma électrique associé. Le bloc de 3 TSV, qui sera traversé par des trains binaires numériques, est placé entre 2 lignes de transmission dites respectivement BEOL (Back end of line) et RDL (redistribution layer). Cet ensemble constitue un cas typique d'intégration 3D. Il donne lieu alors au schéma électrique présenté figure 4-10 (b), où le bloc de 3 TSV est alimenté par un générateur délivrant des trains binaires aléatoires dont l'impédance interne sera prise égale à l'impédance caractéristique de la ligne de transmission BEOL. Le bloc de 3 TSV sera chargé à sa sortie par une impédance prise égale à l'impédance

caractéristique de la ligne de transmission RDL. Dans le cas de cascade de blocs de 3 TSV (chaîne de transmission), la configuration restera la même sachant que la cascade prendra la place du bloc de 3 TSV.



figure 4- 10: Illustration du contexte et du principe de l'étude: (a) représentation simplifiée des circuits impliqués, (b) schéma électrique associé

Nous précisons que les impédances caractéristiques des lignes de transmissions BEOL (ligne du Back End Off Line) et RDL (Redistribution Layer) ont été obtenues par modélisation E.M à l'aide du logiciel commercial Maxwell 2D. Une vue en coupe des architectures associées aux deux lignes de transmission est présentée en figure 4-11. Des dimensions typiques sont notamment repérées et quantifiées. C'est la description de ces deux vues en coupe et l'insertion des propriétés électriques des matériaux dans le logiciel Maxwell 2D qui a permis à ce dernier de calculer les impédances caractéristiques associées.

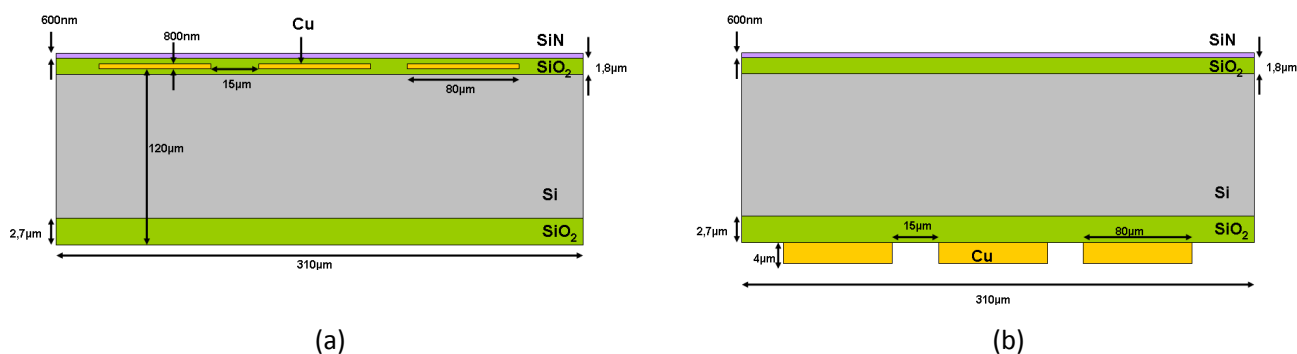


figure 4- 11 : Vue en coupe des lignes de transmission présentes en entrée et en sortie du bloc de 3 TSV : (a) BEOL, (b) RDL

Pour que la technologie reste cohérente entre le bloc de 3 TSV considéré et les lignes de transmissions, nous précisons que les impédances caractéristiques de ces dernières ont été calculées pour les différents types de silicium que traversent les TSV.

En ce qui concerne les caractéristiques géométriques transversales prises pour les TSV, elles sont proposées sur les vues en coupe de la figure 4-12.



figure 4- 12 : Caractéristiques géométriques des TSV : (a) Moyenne densité, (b) Haute densité

L'espacement centre à centre des TSV, en accord avec l'espacement des lignes de transmission RDL et BEOL, est de 95 µm.

3.2.1 Comparaison des modèles dans le cas des TSV MD/BR pour des débits de 10 Gbits/s et 1 Gbits/s

Le premier cas traité est le cas des TSV moyenne densité noyés dans un substrat de forte conductivité dans lesquels nous injectons un signal haut débit de 10 Gbits/s. Ce cas est le moins favorable pour le modèle RC car nous avons la présence de conductivité dans le silicium et de gros TSV.

La figure 4-13 présente le diagramme de l'œil pour chacun des modèles utilisés.

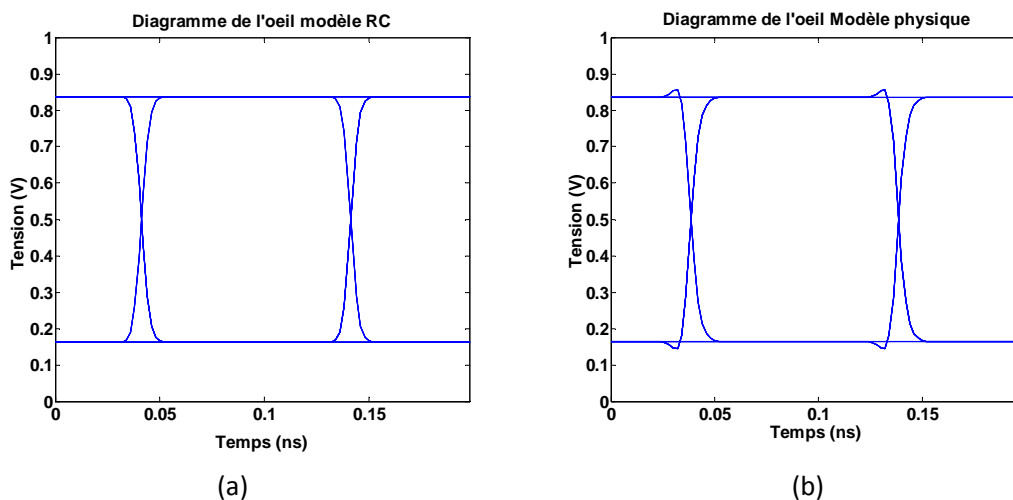


figure 4- 13 : Comparaison des diagrammes de l'œil pour 10 Gbits/s : (a) Modèle RC, (b) Modèle physique

Le premier constat est le faible impact des TSV sur l'intégrité des signaux. En effet, l'œil est bien ouvert en l'absence d'interférence entre symboles car les traces se superposent

parfaitement. Cette faible influence vient des dimensions des TSV qui restent petites. Cependant nous pouvons observer que le modèle analytique prédit de l'over shoot (une surtension de 3%) alors que le modèle RC idéalise la transmission du signal.

La même observation peut être faite pour un débit de 1 Gbit/s comme le présente la figure 4-14.

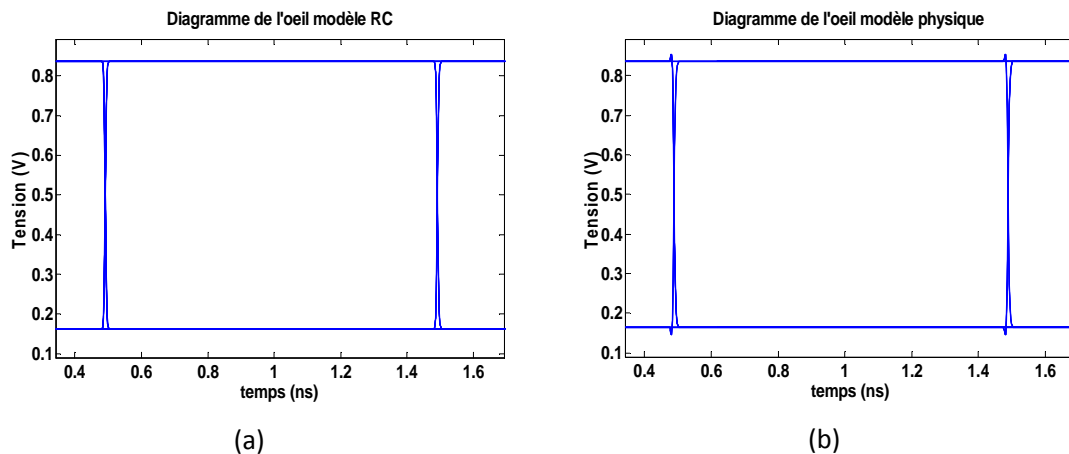


figure 4- 14 : Comparaison des diagrammes de l'œil pour 1 Gbits/s: (a) Modèle RC , (b) Modèle physique

Dans ce cas l'over shoot est moins visible mais bien présent et représente une surtension de l'ordre de 2%.

Ces variations sont évaluées sur une seule ligne de transmission (bloc de 3 TSV) de 120 μm de haut or dans un circuit en conception 3D le signal peut être amené à passer un grand nombre de lignes de transmission de ce type. Par conséquent, cet over shoot n'est pas à prendre à la légère et ne doit pas être négligé. Dans la suite nous présenterons les réponses d'une cascade de nombreux blocs de 3 TSV.

La figure 4-15 présente la réponse indicielle à la sortie des 3 TSV qui permet d'observer les variations sur les délais de propagation ainsi que les temps de montée. A titre de référence, le signal du générateur est aussi représenté.

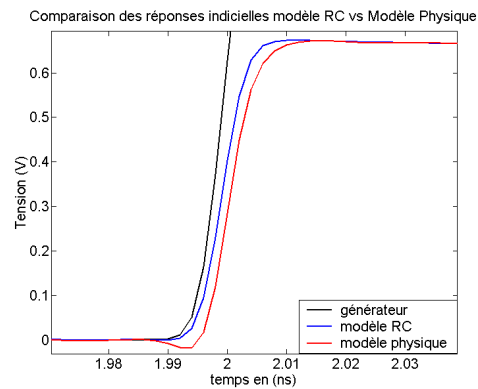


figure 4- 15 : Comparaison de la réponse indicielle pour le modèle RC et le modèle physique

Le premier constat est une bonne corrélation entre les réponses apportées par les deux modèles. Le calcul du temps de montée révèle une différence inférieure à 2%. Cependant, nous pouvons noter que le modèle RC minimise le délai. En effet, si nous prenons le temps de retard associé à la valeur du signal à 50% il apparaît une erreur 100% sur le modèle RC par rapport au modèle analytique. En d'autres termes, selon l'estimation du modèle RC proposé, le signal traverse deux fois plus vite les TSV qu'avec l'estimation du modèle analytique. Le constat sans équivoque sur le délai nous montre une nouvelle limite d'une trop grande simplicité dans les modèles.

Il est important de préciser que le signal délivré par le générateur (échelon en indice) est tronqué sur la figure 4-15 pour une meilleure visibilité des variations. Nous pouvons constater que la variation en valeur absolue sur le délai obtenu par les deux modèles est constante et de l'ordre de 1,5 ps. Nous pouvons également constater un ventre passant sous zéro avec le modèle physique. Ceci est dû aux approximations de simulation numérique lors des transformés de Fourier inverse car la bande de fréquences bornée, nécessite une interpolation pour les fréquences inférieures à 40 MHz et supérieures à 40GHz.

Cette simple étude sur l'intégrité des signaux dans le cas de TSV moyenne densité enfouis dans un silicium de conductivité élevée montre les limites du model RC

3.2.2 Comparaison des modèles dans le cas des TSV HD/HR pour des débits de 10 Gbits/s et 1 Gbits/s

Dans cette configuration des TSV de haute densité sont enfouis dans un substrat fortement résistif. Ainsi la figure 4-16 présente les diagrammes de l'œil lorsqu'un débit de 10 GBits/s est injecté dans le bloc de 3 TSV modélisé par les modèles RC et le modèle physique.

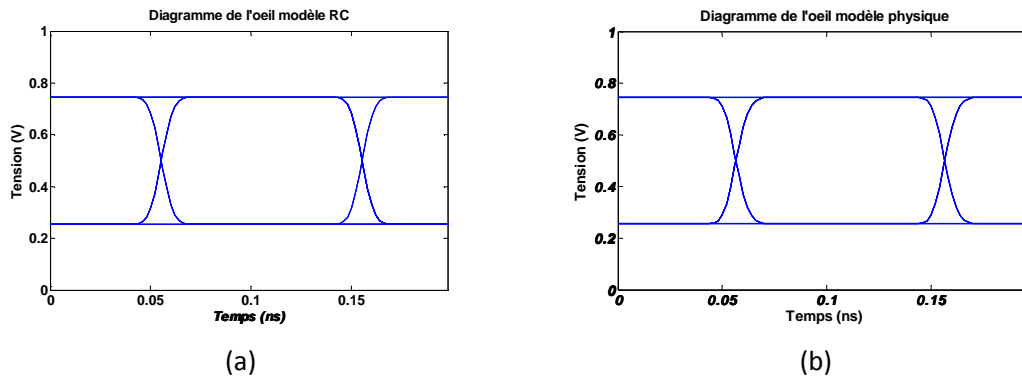


figure 4- 16 : Comparaison des diagrammes de l'œil pour 10 Gbits/s: (a) Modèle RC, (b) Modèle Physique

Dans ce cas nous ne constatons aucune différence entre les deux modèles utilisés. Ceci s'explique aisément : le substrat utilisé dans ces simulations est non conducteur et les dimensions des TSV sont petites. Par conséquent, à la différence du modèle RC, le modèle physique tient compte des effets liés à la conductivité du substrat, cependant, en l'absence de conductivité, les différences entre les deux modèles disparaissent (la résistance du substrat liée courants de Foucault ainsi que la conductance du modèle physique deviennent négligeables). De plus, dans ce cas de figure, les petites dimensions des TSV rendent l'effet inductif peu significatif. Ainsi nous pouvons constater qu'un modèle RC simple est suffisant pour décrire le comportement des TSV de haute densité dans des substrats à très faible pertes. Les diagrammes de l'œil dans le cas d'un débit de 1 GBit/s n'est pas présenté car les résultats et les conclusions sont identiques.

La figure 4-17 présente la réponse indicielle en sortie du bloc de 3 TSV, que l'on observe surtout sur les fronts montants.

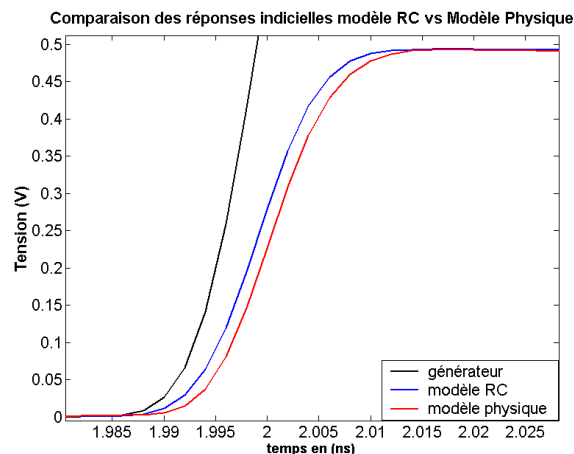


figure 4- 17: Comparaison de la réponse indicielle pour le modèle RC et le modèle physique

Pour les deux modèles, les temps de montées sont identiques (différence < 1%) cependant nous pouvons constater des délais différents. En effet, le décalage sur le délai à 50% de l'amplitude est de l'ordre de 34%. Ainsi, le modèle RC dans ce cas minimise le temps de propagation du signal dans les TSV. En valeur absolue, l'écart de délai de propagation des deux signaux est d'approximativement 1,2ps.

Nous pouvons conclure que dans ce cas précis, le modèle RC peut convenir mais doit être utilisé avec précaution lorsque le signal doit franchir de nombreuses interconnexions car les erreurs sur les retards peuvent biaiser les prédictions.

3.2.3 Comparaison des modèles dans le cas de TSV MD/HR pour un débit de 10 GBits/s

Nous avons constaté auparavant que le modèle RC génère une erreur sur le délai du signal propagé dans les TSV quelle que soit la configuration (HR/HD, LR/HD).

Nous avons également constaté l'apparition d'over shoot dans le cas des TSV de moyenne densité enfouis dans un substrat très conducteur qui disparaît lorsque les TSV sont de haute densité dans un substrat résistif. Cette section propose d'étudier le cas de TSV Moyenne densité enfouis dans du silicium de haute résistivité.

La figure 4-18 compare les diagrammes de l'œil dans le cas de TSV de moyenne densité immergés dans un substrat de haute résistivité.

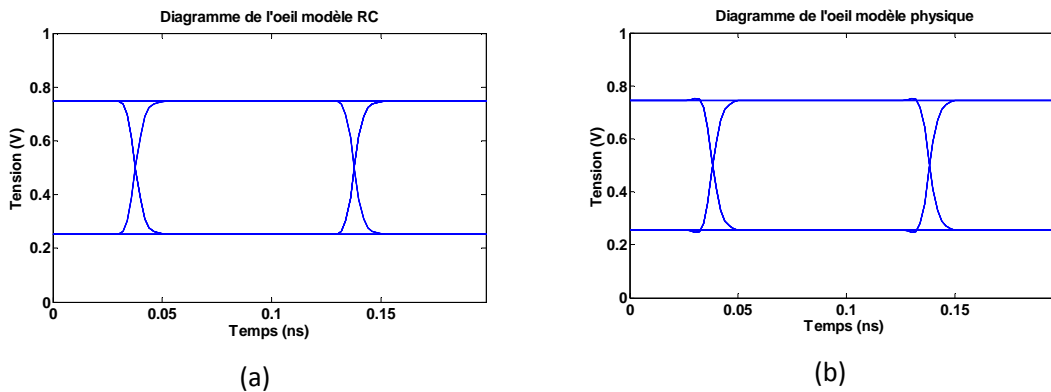


figure 4- 18 : Comparaison des diagramme de l'œil pour 10 Gbits/s dans le cas MD/HR: (a) Modèle RC , (b) Modèle Physique

Dans ce cas nous pouvons remarquer la présence d'over shoot dans le cas du modèle physique. La surtension, est de l'ordre de 1% de la valeur finale stabilisée et principalement liée à la présence d'un paramètre inductif dans le modèle.

En conclusion il paraît évident que l'over shoot ne pourra jamais être pris en compte avec un modèle RC classique. Par conséquent, nous pouvons constater qu'il est indispensable de prendre en compte la conductivité du substrat pour évaluer correctement la surtension.

3.2.4 Comparaison des modèles dans le cas d'une chaîne de TSV MD/BR pour un débit de 10 GBits/s

Dans les études précédentes seul l'impact d'un bloc de 3 TSV H-type en configuration GSG sur l'intégrité d'un signal a été présenté. L'effet des caractéristiques de ce que l'on peut définir comme une ligne de 120 μm de longueur se fait sentir d'autant plus que le diamètre des TSV est grand et que la conductivité du substrat est élevée. Afin de mettre en exergue ces différences, nous allons définir une chaîne de 11 blocs de TSV, 2 blocs TSV étant séparés alternativement par une ligne de BEOL et une ligne de RD (leurs longueurs étant de 100 μm de long) comme le présente la figure 4-19. Les TSV sont de moyenne densité et le substrat est BR (fortement conducteur).

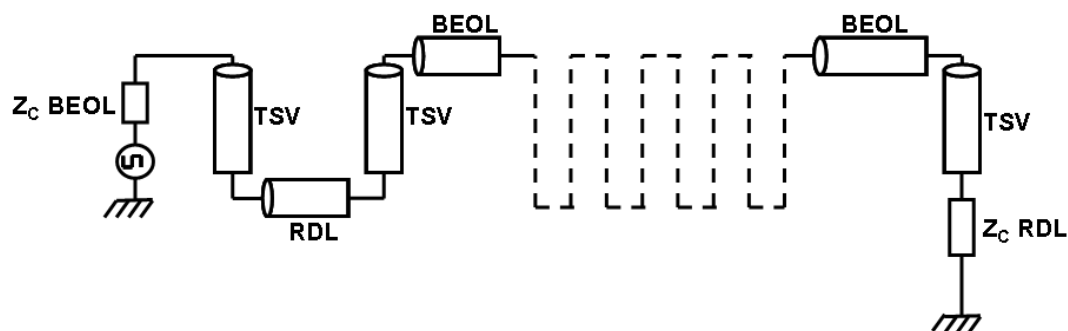


figure 4- 19 : Vision schématique d'une chaîne de 11 blocs TSV

La figure 4-20 compare les diagrammes de l'œil obtenus pour les deux modèles de TSV utilisés (modèle physique et modèle RC).

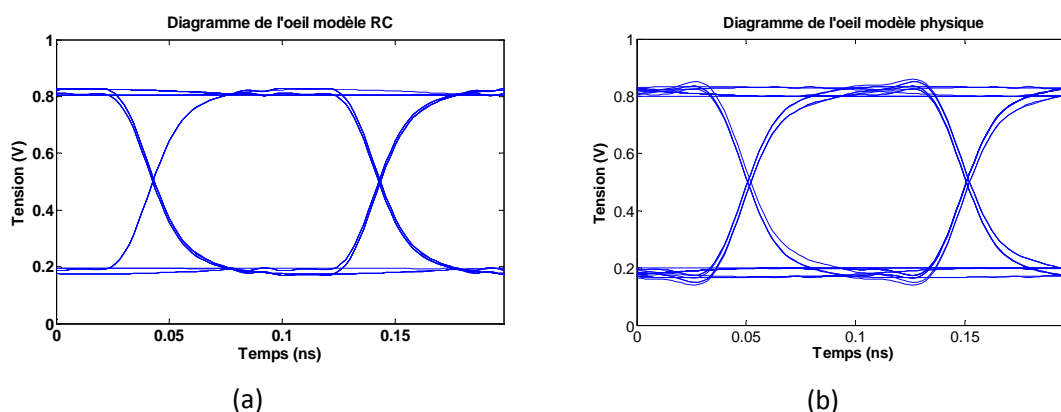


figure 4- 20 : Comparaison des diagrammes de l'œil pour 10 Gbits/s pour le cas d'une chaîne de 11 blocs TSV MD/HR: (a) Modèle RC , (b) Modèle Physique

Au regard des diagrammes de l'œil obtenus, nous constatons que le modèle RC tend à idéaliser la réponse de la chaîne de TSV car l'œil est un peu plus ouvert que dans le cas du modèle physique. D'autre part, dans le cas du modèle physique, la paupière est beaucoup plus épaisse que dans le cas du modèle RC traduisant une IES importante. L'over-shoot est également sous estimé dans le cas du modèle RC, la surtension se révèle être de l'ordre de 10% dans le cas du modèle physique contre 2% dans le cas du modèle RC. La commissure de l'œil présente également des différences notables avec une épaisseur plus importante dans le cas du modèle physique. Ceci est également le résultat d'IES et de gigue de phase.

Les conclusions, suite aux observations de ces diagrammes, amènent à penser que le modèle physique, dans le cas de TSV moyenne densité et d'un substrat BR, appréhende mieux le comportement électrique qu'un modèle RC et devrait ainsi présenter des résultats plus fiables.

La figure 4-21 compare les réponses indicielles obtenues avec les différents modèles dans le cas de la chaîne de TSV.

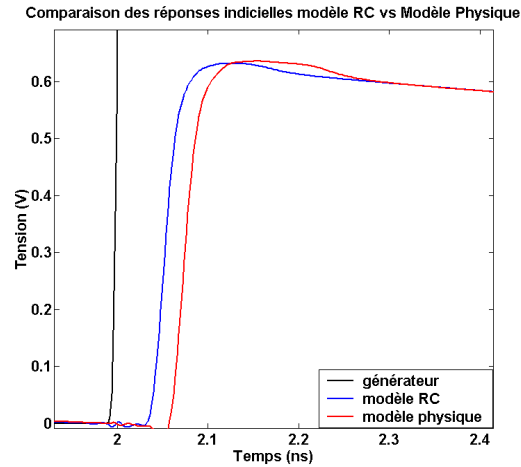


figure 4- 21 : Comparaison de la réponse indicielle pour le modèle RC et le modèle physique dans le cas de la chaîne de TSV

Le premier constat sur les temps de montée est une assez bonne corrélation entre les deux modèles. Cependant, les délais prédits par les deux modèles diffèrent fortement. En effet, nous obtenons une erreur de 30% sur le délai entre la valeur obtenue par le modèle physique et celle obtenue par le modèle RC. En d'autres termes, dans le cas présenté, le modèle RC annonce l'arrivée du signal 22 ps trop tôt et surévalue donc les performances du canal de transmission.

Il apparaît donc au cours de ces différentes simulations que l'utilisation des modèles développés dans le chapitre 3 s'avère indispensable à mesure que l'on augmente la taille des TSV et d'autant plus si le substrat est très conducteur. Il est nécessaire de garder à l'esprit que les conséquences liées à l'utilisation d'un modèle trop simpliste peuvent être désastreuses au vu du grand nombre d'interconnexions présentes dans un système en 3D-IC. Il est cependant utile d'ajouter que le modèle RC peut être suffisant dans le cas de TSV de haute densité (typiquement 4 μm de diamètre et 10 μm de hauteur).

En conclusion, il peut s'avérer indispensable d'utiliser les modèles développés au chapitre 3 (en fonction du niveau d'intégration) et il faut également rappeler que le caractère générique de ces modèles présente l'avantage de ne pas avoir de restrictions en terme de dimensions et de caractéristiques matériaux.

4 Etudes prédictives sur la stratégie de routage des signaux numériques à l'aide du modèle analytique développé au chapitre 3

Dans ce paragraphe nous prenons un exemple d'analyse dans lequel nous souhaitons acheminer un signal numérique d'un driver A à un driver B. Dans le contexte d'intégration 3D deux possibilités s'offrent à nous :

- Rester dans un concept 2D c'est-à-dire prendre le chemin le plus court de la ligne BEOL
- Aller chercher la ligne RDL via les TSV (la ligne RDL étant plus épaisse donc à plus faibles pertes) comme le présente schématiquement la figure 4-22.

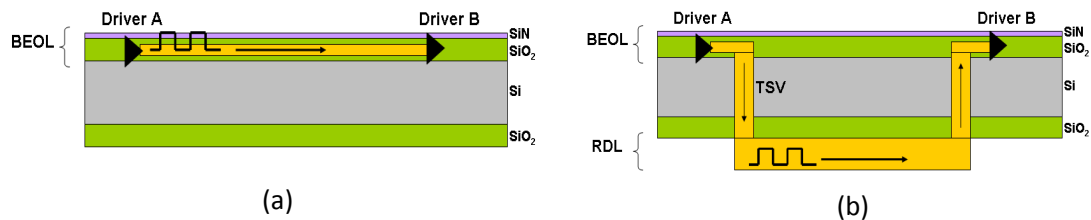


figure 4- 22 : Exemple illustre 2 possibilités de routage des signaux entre deux portes logiques (vue en coupe): (a) routage direct (2D); (b) routage indirect (3D)

Dans notre étude, nous prendrons des dimensions arbitraires mais réalistes. Nous choisissons de définir la distance directe entre le driver A et le driver B comme étant de 700 μm (schématiquement présenté par la figure 4-22 (a)). En ce qui concerne le routage indirect, nous présenterons une première étude avec des TSV de haute densité (4 μm de diamètre et 10 μm de hauteur) puis une analyse pour des TSV moyenne densité (60 μm de diamètre et 120 μm de hauteur). Dans chacun des cas les simulations seront faites pour un substrat BR et un substrat HR sachant que la longueur de RDL est de 500 μm et que la longueur de BEOL entre driver et TSV est de 100 μm .

Dans les simulations de signaux analogiques, les impédances d'entrée et sortie sont typiquement égales à 50 Ω . Dans le cas présenté, nous traitons de signaux numériques; par conséquent la valeur typique de l'impédance du driver d'entrée A est de 25 Ω et l'impédance du driver de sortie B est égale à une capacité de 0,315 fF. Ces valeurs sont tout à fait standard pour les circuits intégrés 3D. Nous considérerons un débit de 10 GBits/s pour les différentes configurations présentées.

4.1 Cas d'un substrat basse résistivité (BR)

Nous proposons dans cette analyse d'identifier l'influence du routage sur l'intégrité des signaux via les diagrammes de l'œil. Ainsi, dans le cas d'un silicium à forte conductivité (BR), est-il préférable de privilégier des connexions par des lignes de BEOL ou de passer par la RDL en utilisant des TSV haute densité ou de densité moyenne? La figure 4-23 montre une comparaison entre le routage direct, le routage indirect par des TSV HD (Haute densité) et le routage indirect par des TSV MD (Moyenne densité).

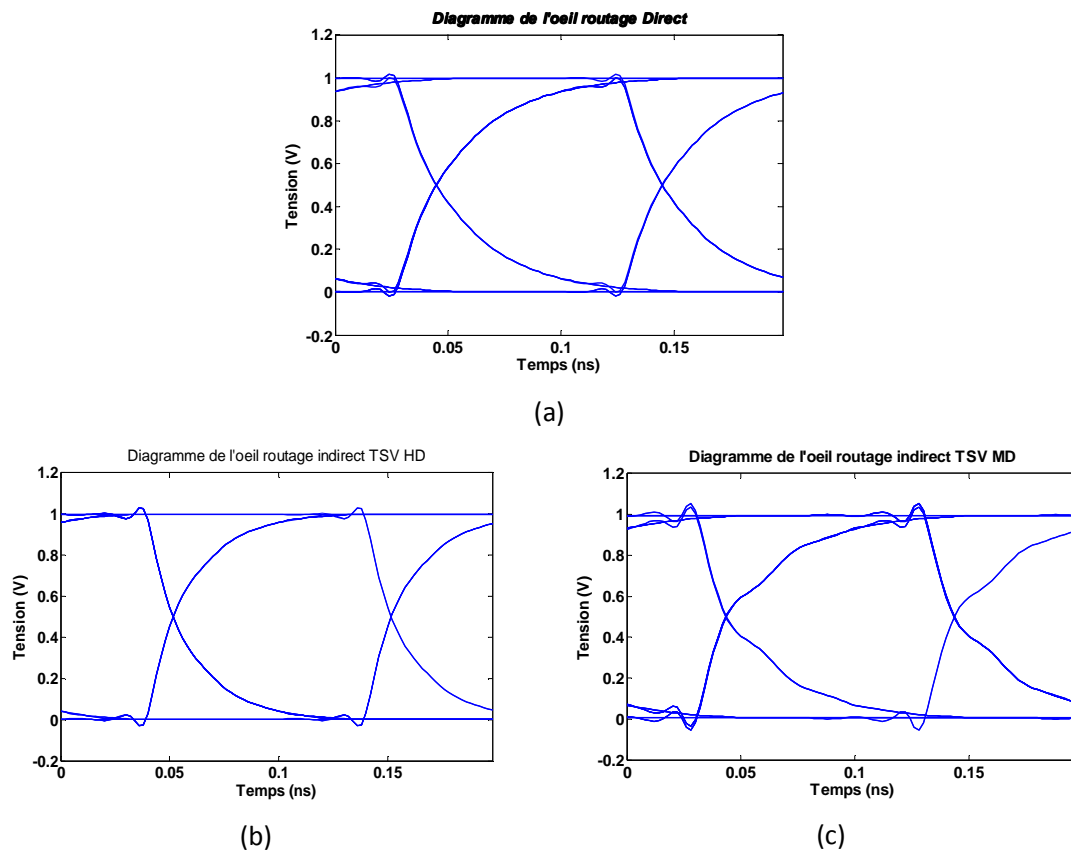


figure 4- 23 : Diagramme de l'œil pour différentes configurations de routage : (a) routage direct; (b) routage indirect avec des TSV HD; (c) routage indirect avec des TSV MD

Nous pouvons constater une grande différence entre les trois diagrammes. En effet, l'utilisation de TSV haute densité pour le routage via la RDL (figure 4-23 (b)) est à privilégier car nous pouvons remarquer une ouverture de l'œil plus importante que dans le cas du routage direct. Ainsi, l'amélioration sur l'ouverture est notable et de l'ordre de 7% supérieure à celle obtenues avec un routage par le canal BEOL seul.

A contrario, le routage d'un signal par les TSV moyenne densité dégrade fortement l'œil, augmente fortement l'over-shoot et l'interférence inter symbole.

La figure 4-24 présente les réponses indicielles dans chacun des cas.

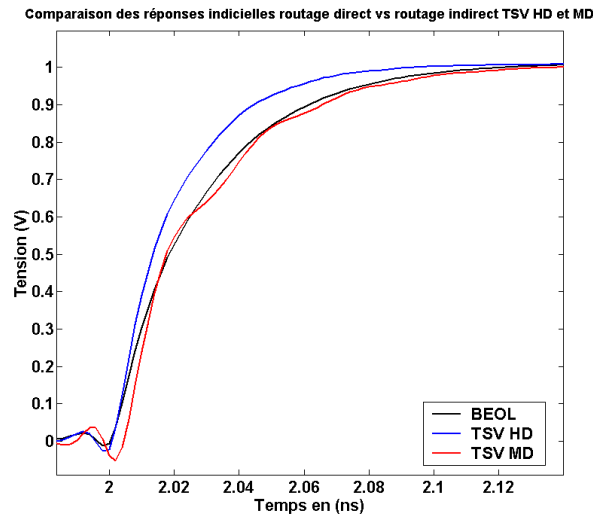


figure 4- 24 : Comparaison de la réponse indicielle pour différentes configurations de routage

Les réponses indicielles amènent aux mêmes conclusions en terme de routage que l'étude des diagrammes de l'œil. En effet, nous constatons une amélioration du temps de montée lors d'un routage par la RDL de l'ordre de 30%, liée à la technologie moins agressive en terme de pertes. Nous pouvons également constater un délai amélioré dans le cas d'un routage par TSV de haute densité de l'ordre de 4 ps (lié à un temps de montée plus court) et un délai comparable avec les TSV de densité moyenne (le temps de vol est supérieur mais compensé par un temps de montée plus court).

Il est alors important de conclure que pour un substrat de forte conductivité, il est préconisé d'utiliser prioritairement les connectiques situées au niveau RDL d'un interposer avec des TSV de haute densité. Cependant le routage par RDL n'est pas à privilégier dans le cas de TSV de densité moyenne en raison d'une forte dégradation du signal.

En pratique l'encombrement de la couche BEOL peut obliger le designer à contourner des obstacles, allongeant les longueurs nécessaires à la connexion de deux portes logiques. L'intérêt de passer par la couche RDL peut alors être de réduire les longueurs; par conséquent, même lors de l'utilisation de TSV moyenne densité, il peut être intéressant de passer par la RDL mais des études sont alors à réaliser au cas par cas.

4.2 Cas d'un substrat haute résistivité (HR)

Nous étudions ici, le routage dans le cas d'un silicium sans conductivité. La figure 4-25 montre une comparaison entre le routage direct, le routage indirect par des TSV HD (Haute densité) et le routage indirect par des TSV MD (Moyenne densité).

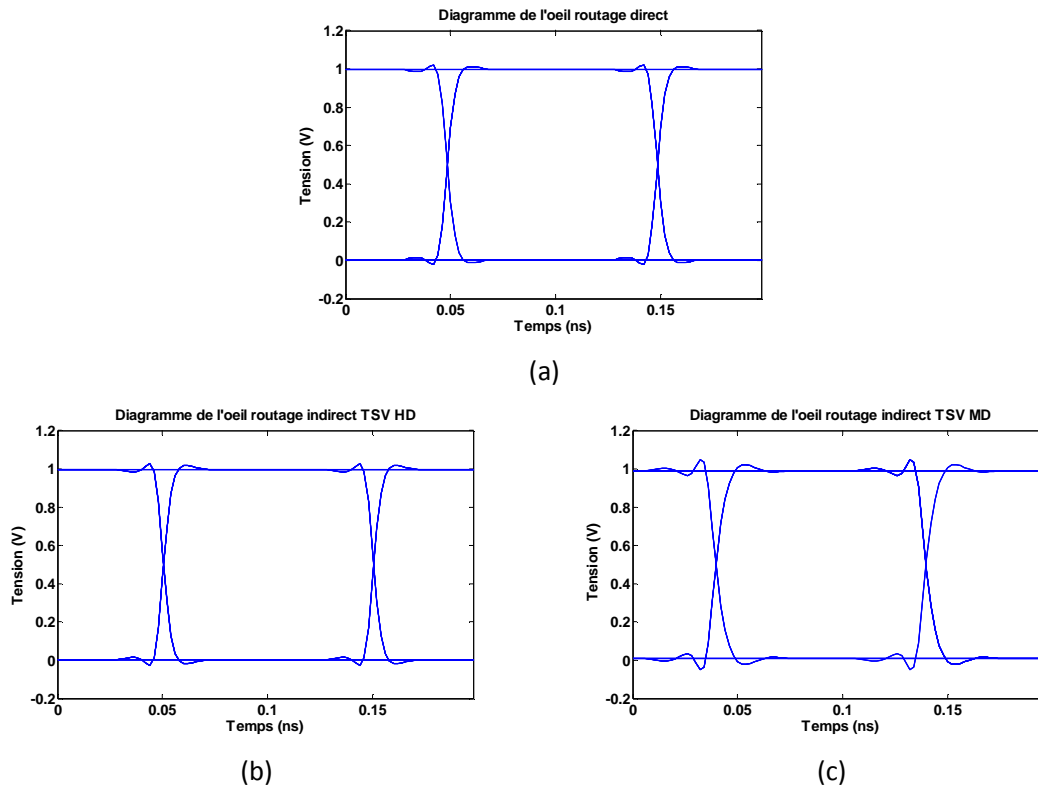


figure 4- 25 : Diagramme de l'œil pour différentes configurations de routage : (a) routage direct; (b) routage indirect avec des TSV HD; (c) routage indirect avec des TSV MD

Nous pouvons observer une faible différence entre les diagrammes de l'œil présentés. En effet, dans le cas d'un routage direct ou indirect, l'intégrité du signal est conservée. Notons cependant, dans le cas d'un routage avec des TSV de moyenne densité, la présence d'un overshoot un peu plus prononcé.

Dans le cas d'un substrat HR, quel que soit la stratégie de routage, l'intégrité des signaux est également conservée mais il faut néanmoins rester vigilant quant à l'over-shoot amené par les TSV de moyenne densité.

La figure 4-26 présente les réponses indicielles dans chacun des cas.

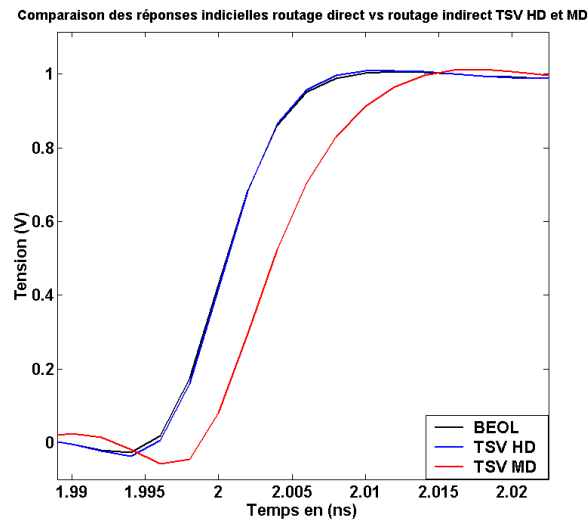


figure 4- 26 : Comparaison de la réponse indicielle pour différentes configurations de routage

La réponse indicielle nous montre clairement qu'il n'y pas de conséquence en terme de délai ou de temps de montée lorsque le signal passe par des TSV haute densité et une RDL. En revanche, la présence de TSV de moyenne densité amène un retard de l'ordre de 4 ps en raison de leurs hauteurs (240 μm de longueur sont ajoutés).

En conclusion dans le cas d'un substrat, HR l'utilisation d'un routage direct présente de bonnes performances. Ainsi, dans le cas de distances équivalentes les performances sont identiques lorsque l'on effectue un routage indirect par des TSV haute densité. L'utilisation de TSV moyenne densité amène une légère dégradation du signal et un retard en raison de dimensions importantes.

Il est important de rappeler, comme il a été dit dans le chapitre précédant, que l'avantage majeur du routage indirect est de prendre des chemins plus court lorsque le niveau BEOL est encombré. Par conséquent, dans le cas d'un substrat HR, le routage par des TSV haute densité est à privilégier. Tout comme le montre l'étude précédente dans le cas de Silicium BR, l'amélioration des performances nécessite une étude au cas par cas lors de l'utilisation de TSV de densité moyenne.

5 Conclusion

Le travail présenté dans ce chapitre consistait à mettre en application les résultats exposés au chapitre 3. Il s'agissait notamment d'utiliser le modèle électrique analytique RLGC

développé en montrant ses aptitudes par rapport à celles du modèle RC généralement utilisé. Il s'agissait d'autre part, de mettre à profit le modèle électrique analytique RLGC pour réaliser une étude qui portait sur la stratégie de routage des signaux électriques.

Dans la première partie du chapitre, les performances des deux modèles (modèle RC et modèle analytique développé et présenté au chapitre 3) qui décrivent le comportement électrique d'un bloc de 3TSV ont été confrontées. Ces performances ont été obtenues à partir d'un diagramme de l'œil et des grandeurs, temps de montée et délai de propagation. Pour être suffisamment significatifs, les résultats obtenus ont été établis pour différentes associations des configurations suivantes :

- Deux circuits différents ont été modélisés, celui d'un bloc de 3 TSV seul et celui d'une chaîne de transmission (association de 11 blocs)
- Les TSV pris étaient de deux types, moyenne et haute densité
- Deux types de substrat de silicium ont été considérés, haute et basse résistivité (HR et BR)
- Deux types de signaux ont été propagés afin d'éprouver les modèles, un échelon de tension et une séquence binaire aléatoire de débits 1 et 10 GBits/s.

Les premières conclusions amenées par l'étude d'un bloc de 3 TSV en configuration GSG (destiné à identifier l'impact de la complexité des modèles d'une interconnexion seule) révèle une bonne prédiction des modèles RC en termes d'intégrité des signaux pour les cas où les TSV sont de haute densité. Cependant ces modèles, dits localisés, ne tiennent pas compte des délais amenés par les interconnexions et idéalisent les performances des systèmes développés.

Il apparaît également de cette étude qu'une bonne prédiction du comportement des systèmes utilisant des TSV de densité moyenne ne peut pas être obtenue par des modèles RC et les erreurs engendrées par une trop grande simplicité sont d'autant plus grandes que la conductivité du substrat et le débit sont élevés. En effet, ces erreurs se traduisent par l'absence d'over-shoot et d'IES dans les diagrammes de l'œil ainsi que des différences notables sur les délais.

Les différences observées sur les performances des modèles lorsqu'ils décrivent le comportement électrique d'un bloc de 3 TSV, deviennent très significatives lorsqu'ils décrivent celui d'une chaîne de transmission composée de plusieurs blocs 3 TSV. Ainsi, après la simulation d'une chaîne de 11 blocs TSV, le modèle physique amène un over-shoot de 10% et un IES important alors que le modèle RC classique ne prédit que 2% d'over-shoot (lié aux lignes RDL et

BEOL) et un très faible IES. La mise en exergue franche de ces limitations permettent de conclure que lors de l'utilisation par exemple "d'interposer" pour une communication puce à puce et donc l'élaboration de réseaux composés de TSV de densité moyenne, les modèles physiques sont indispensables et d'autant plus si le Silicium est BR.

La seconde partie du chapitre était dédiée à présenter l'étude réalisée sur la stratégie de routage. Outre les résultats obtenus, cette étude a permis de mettre à profit la simplicité d'utilisation (facilité et rapidité d'emploi) et la précision du modèle électrique RLGC développé. Les conclusions tirées de cette étude soulignent entre autres, l'importance de l'impact de la conductivité du substrat de silicium au regard du chemin que doivent emprunter les signaux électriques.

En premier lieu, il a été montré que dans le cas d'un silicium HR (haute résistivité), le designer a une grande liberté dans le routage des signaux avec des performances équivalentes entre un chemin suivi restant au même niveau dans la couche BEOL et celui transitant par des TSV et la couche RDL. En d'autres termes, la seule réelle préoccupation est de réaliser les trajets les plus courts possibles. Cependant, il reste préférable de conserver un routage par des lignes du Back End Off Line lorsque le trajet entre les drivers est direct (pas de méandres pour éviter les encombrements). En effet, lorsque l'alternative est l'utilisation de TSV de densité moyenne, les géométries importantes de ces interconnexions augmentent le délai (une plus grande hauteur de TSV impose un chemin total parcouru plus long) et font apparaître une surtension (overshoot). Cette dernière, liée aussi à une longueur plus grande des TSV est aussi due à un diamètre plus important des TSV.

Ensuite, dans le cas d'un silicium BR (basse résistivité), le routage doit être étudié en fonction de la technologie à disposition. En effet, dans le cas de l'utilisation de TSV de haute densité il est préférable de réaliser un routage passant par les lignes de transmission en RDL. Ceci aura comme conséquence immédiate, une amélioration nette des performances comparées à celles d'un routage passant par les lignes de transmission en BEOL uniquement. Dans le cas de l'utilisation de TSV de densité moyenne, le routage par la RDL, via les TSV, dégrade la qualité du signal reçu et doit être évité lorsque le trajet entre drivers peut être direct par la BEOL. Cependant, dans le cas de trajets en BEOL non directs, une étude au cas par cas doit être réalisée pour trouver le meilleur compromis entre :

- un routage par lignes de transmission en BEOL uniquement avec une augmentation des longueurs des chemins liées à un encombrement de la couche BEOL

- un routage en RDL via des TSV de densité moyenne.

Le tableau 4-1 présente la synthèse du paragraphe 4 comme conclusion de l'étude sur le routage

Routage						
	BEOL 2D	TSV HD/RDL	TSV MD/RDL	BEOL 2D	TSV HD/RDL	TSV MD/RDL
Type HR						
Type BR						

tableau 4-1 : Stratégie de routage pour différents substrats et différentes configurations

Le smiley illustre les résultats des études suivantes:

- Temps de montée
- Diagramme de l'œil
- Délai lors de la transmission du signal.

Ainsi, les couleurs sont définies par:

- Vert: Toutes les études montrent de bons résultats.
- Orange: Au moins une des études montre de mauvais résultats.
- Rouge: Toutes les études montrent de mauvais résultats.

Les points d'interrogations présents dans le tableau, expriment le besoin d'une étude au cas par cas pour conclure à une amélioration de la qualité de la chaîne de transmission.

Une perspective à ce travail consisterait à étudier la stratégie de routage à mettre en place lorsque les trajets suivis par les signaux transitent via deux puces empilées l'une sur l'autre dont les caractéristiques électriques des substrats de silicium sont identiques ou pas. Quelles seraient alors les performances d'une chaîne de transmission (association de lignes de transmission) pour les configurations suivantes :

- les deux puces sont dotées du même substrat (HR par exemple)
- Les deux puces ont été réalisées avec des substrats différents (respectivement HR et BR)

L'étude proposée ci-avant ouvre vers une autre perspective d'investigation puisque les trajets suivis par les signaux transients sont forcés par des piliers de cuivre. Ces derniers, qui permettent d'assurer les connexions électriques entre les deux puces empilées, risquent d'impacter les signaux véhiculés. Il serait opportun de quantifier cet impact en fonction des architectures (géométries, dimensions, matériaux impliqués) en vigueur. On note que cette étude pourrait être rapidement réalisée compte tenu du fait que le modèle électrique RLGC développé est aussi utilisable pour décrire le comportement électrique de piliers de cuivre.

Conclusion générale

*"Un être humain vaut beaucoup plus que ses diplômes et je veux rester toute ma vie
une élève."*

**Rigoberta Menchú Tum, membre de l'ethnie maya des Quichés,
Prix Nobel de la paix 1992**

Ces travaux de thèse portaient sur la caractérisation et la modélisation d'interconnexions en technologie 3D dans le but de développer des outils précis et rigoureux pour les designers afin de prédire le comportement des signaux dans un empilement 3D.

Les objectifs de ces travaux étaient:

- La caractérisation expérimentale des TSV sur une large bande de fréquences grâce à des méthodes de de-embedding. Le but de cette caractérisation était d'extraire des modèles comportementaux traduisant l'impact des interconnexions dans un système.
- La modélisation de TSV sous forme d'équations paramétriques, simples d'utilisation, précises et prédictives. Valider les modèles développés grâce à des comparaisons sur les valeurs extraites des équations et celles extraites de simulations et de mesures. Sans oublier de mettre l'accent sur l'aspect générique des formules permettant d'appréhender des structures de type pilier de cuivre.
- L'application des modèles pour la prédiction des performances de canaux de transmission réalisés avec des interconnexions typiques de l'intégration 3D et la présentation de différentes stratégies de routage.

Les travaux s'articulent donc autour de blocs élémentaires de TSV définis par les designers suivant des architectures et des matériaux spécifiques présents dans les structures de test réalisées.

Suite à une présentation du contexte de l'étude dans le premier chapitre, à savoir l'intégration 3D et plus particulièrement le projet 3D IDEAS, une première conclusion jaillit sur la nécessité de répondre aux exigences des nouveaux paradigmes de l'électronique. En effet, il apparaît que les nouveaux types d'interconnexions fabriquées impactent l'intégrité des signaux. De ce fait, les conséquences sur les performances des systèmes doivent être caractérisées, anticipées et maîtrisées. Un état de l'art est alors présenté pour illustrer les limitations rencontrées dans le cadre de la caractérisation et que l'aspect modélisation est au cœur des préoccupations afin de donner des outils de prédiction viables aux designers.

Le deuxième chapitre présente les méthodes d'épluchage disponibles dans la littérature mais aussi quelques unes des méthodes couramment utilisées au sein du laboratoire. L'aspect

enfouï des TSV et les caractéristiques particulières du Silicium à savoir des conductivités parfois très élevées sont autant de freins à l'utilisation des techniques de de-embedding traditionnelles. En effet, les hypothèses, couramment utilisées dans l'épluchage des systèmes en technologie planaire, se voient malmenées et parfois même erronées dans le contexte particulier qu'est le nôtre. Ainsi, la nécessité de développer une technique de caractérisation adéquate à l'environnement 3D s'est fait sentir et une méthode innovante a été développée, permettant de relâcher les contraintes imposées sur les hypothèses et sur le nombre de dispositifs additionnels nécessaires à l'épluchage. La procédure de de-embedding (DUMMC) spécifiquement développée utilise la modification des caractéristiques du substrat pour extraire les paramètres électriques de la moitié d'une structure mesurée. En d'autres termes et dans le cas du silicium, la procédure permet de poser les sondes RF sur un dispositif, d'effectuer une mesure dans l'obscurité puis une mesure dans un état éclairé sans relever les pointes (la présence de lumière crée des photo-porteurs et changent les caractéristiques du substrat) et d'extraire les paramètres électriques de la moitié de la structure considérée.

Cette méthode, a été validée par l'extraction des paramètres électriques d'une ligne de transmission coplanaire. La comparaison des résultats avec ceux obtenus par les méthodes traditionnelles, met en avant, dans le contexte de l'électronique 2D, la possibilité d'effectuer le de-embedding d'une structure avec un seul dispositif additionnel contre l'utilisation de deux voire plus dans des méthodes classiques. Les résultats obtenus mettent en évidence une précision sur les extractions des paramètres électriques des composants, sur une plus large bande de fréquences, grâce à des hypothèses plus lâches.

Une procédure spécifique d'épluchage utilisant la méthode DUMMC, développée dans le contexte de cette thèse, permet alors d'extraire les paramètres électriques de lignes enfouïes (RDL) et de TSV, dans deux configurations différentes en termes d'architecture et de substrat. Les valeurs des paramètres électriques des TSV obtenus sont conformes aux résultats attendus et seront également en adéquation avec les résultats extraits des modèles et des simulations dans le chapitre trois.

Le troisième chapitre s'articule précisément autour de la modélisation des TSV. Dans cette partie les interconnexions de type TSV sont traitées comme des lignes de transmission et par leurs paramètres électriques RLCG linéiques associés. Trois blocs élémentaires sont alors considérés, avec le bloc le plus simple de 1 TSV, un bloc de 2 TSV dont la configuration

d'alimentation est définie par un signal et une masse ainsi qu'un bloc de 3 TSV situés dans le même plan (type-H) dans une configuration de type masse-signal-masse (GSG). L'hypothèse émise de mode quasi-TEM permet de dissocier les calculs effectués sur les champs magnétiques et les champs électriques. Ainsi, à partir des équations de champs, les calculs permettent de développer des équations pour les différents paramètres de la ligne de transmission associée au bloc élémentaire considéré. Les modèles proposés tiennent compte de la géométrie des structures et des caractéristiques matériaux afin de proposer des équations paramétriques.

Le premier point fort des paramètres proposés, est la prise en compte de l'effet de peau dans les conducteurs métalliques à la fois sur la résistance mais également sur l'inductance. Les équations tiennent compte de la montée en fréquence et ne nécessitent pas de routine particulière (par exemple une équation pour la résistance DC et une équation de la résistance en AC nécessitant l'utilisation de condition de passage en fonction de la fréquence considérée).

Le deuxième point fort est la prise en compte des effets du substrat sur les différents paramètres. En effet, la présence de conductivité dans le Silicium génère des courants dans le substrat appelés courants de Foucault. Ces courants sont responsables d'une forte augmentation de la résistance globale et d'une chute de l'inductance linéique. La prise en compte de ces phénomènes est peu répandue dans la littérature et les équations proposées permettent d'appréhender simplement ce phénomène et son impact sur les paramètres.

Le troisième point fort réside dans la bonne modélisation de la conductance et de la capacité linéiques en fonction des différentes épaisseurs et des caractéristiques matériaux que traverse le champ électrique.

Enfin, la simplicité des équations permet à tout designer de créer un bloc élémentaire paramétrable tenant compte des phénomènes physiques et dont le temps de calcul est négligeable devant le temps de simulation nécessaire pour un résultat équivalent.

Les résultats extraits des équations ont été comparés à ceux extraits par simulation pour différentes conductivités de substrats et mettent en avant la précision et l'aspect prédictif de ces modèles. La comparaison faite avec les résultats extraits des mesures montre également une très grande corrélation. Enfin, l'utilisation des équations dans le cas des piliers de cuivre est présentée. Elle met en exergue l'aspect générique et donne une méthodologie à employer pour une utilisation des blocs élémentaires dans le cas de structures hétérogènes.

Le quatrième chapitre s'articule autour de l'utilisation et de l'application des modèles. Afin de garder un œil critique sur le travail réalisé, il était indispensable de comparer des modèles RC simples et couramment utilisés par les designers avec les modèles RLCG développés au chapitre 3. Une première étude a permis de définir les limites des modèles classiques liées à la difficulté de ceux-ci à prendre en compte certains phénomènes tels que les pertes par couplage, l'aspect inductif des connexions ou les courants de Foucault.

La conclusion évidente de cette étude est la tendance à fortement idéaliser les performances d'un canal de transmission dans le cas d'une utilisation des modèles RC standards. Cependant, dans le cas de TSV de haute densité, immergés dans un substrat faiblement conducteur, il apparaît que les modèles classiques sont suffisants et que l'intégrité des signaux véhiculés est conservée.

A contrario, plus la densité de TSV est lâche et plus le modèle RC trouve ses limites; ce constat est d'autant plus vrai que la conductivité du Silicium est élevée. Dans l'étude sur des TSV de densité moyenne (60 μ de diamètre), le modèle RC surestime la qualité du signal en sortie des conducteurs et par exemple ne tient pas compte d'un over shoot de l'ordre de 3% lorsque le silicium est à forte conductivité et cet effet est déjà visible dans le cas d'une seule interconnexion. Dans le cas d'une chaîne plus complexe (11 blocs TSV), il apparaît des variations de l'ordre de 10% sur l'over shoot. De plus, dans ce cas précis, le modèle RC minimise fortement la dégradation du signal en minimisant les interférences inter symboles et en surestimant l'ouverture de l'œil.

Les temps de retards sont également négligés par les modèles RC ce qui peut être bloquant pour la prédiction des performances d'un système.

Toutes les différences décrites sont d'autant plus visibles que le débit du signal véhiculé est élevé. Ceci révèle l'importance d'utiliser des modèles plus sophistiqués dans la prédiction du comportement de systèmes destinés aux applications haut débit.

Ainsi dans l'approche technologique choisie pour la conception d'un imageur en intégration 3D à savoir l'utilisation d'un interposer (TSV de densité moyenne et substrat de conductivité élevé) il est préférable d'utiliser des modèles plus complets pour éviter les désagréments.

Un des points forts de l'intégration 3D réside dans les options de routage possibles pour acheminer un signal d'un point A à un point B. En effet, de manière conventionnelle, les signaux sont véhiculés sur des lignes de haute densité situées au niveau BEOL. En revanche, l'intégration 3D permet d'aller chercher des lignes de densité plus faible au niveau RDL pour augmenter les

performances. Les modèles proposés permettent donc de réaliser une étude sur l'intégrité des signaux en fonction des options de routage choisies, des caractéristiques du substrat et de la densité des TSV.

Les conclusions de l'étude montrent clairement que dans le cas de TSV haute densité les designers ont une grande liberté pour le routage des signaux et peuvent utiliser librement les lignes du niveau RDL. Elle indique également qu'une amélioration des performances est obtenue si l'on privilégie le passage du signal dans les lignes RDL dans le cas de substrat de forte conductivité.

Dans le cas de TSV de densité moyenne les conclusions sont mitigées. En effet, dans le cas d'un trajet direct le passage en RDL par des TSV moyenne densité dégrade le signal il est donc préférable de rester sur les couches de BEOL. Cependant, l'atout de l'intégration 3D est d'éviter l'encombrement au niveau BEOL. Par conséquent, si le trajet pour connecter deux drivers en technologie planaire n'est pas direct (contourne des composants, d'autres pistes,...) il peut être plus avantageux d'aller chercher une ligne au niveau RDL si la longueur du trajet est plus courte.

Suite au travail réalisé, des perspectives apparaissent aussi bien au niveau de la procédure de de-embedding DUMMC présentée au chapitre 2, qu'au niveau de la modélisation analytique des interconnexions exposée au chapitre 3.

En effet, la procédure de de-embedding est une méthode générique si les dimensions des structures mesurées préservent la validité des hypothèses. Basée sur la modification des caractéristiques du substrat, il est envisageable de l'éprouver sur des structures dans lesquelles réside un matériau dont les caractéristiques sont sensibles à des sources de perturbation extérieures (Champ électrique, lumière,...). Par exemple, la procédure de de-embedding pourrait être réalisée sur des dispositifs fabriqués sur PZT ($\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$), matériau connu pour être sensible à un champ électrique statique [Bermond, 2012]. Ainsi, à partir de la mesure d'un dispositif additionnel au repos et de la mesure de ce même dispositif sous l'effet d'un champ électrique statique, l'épluchage d'une structure pourrait être réalisé (cf. figure A).

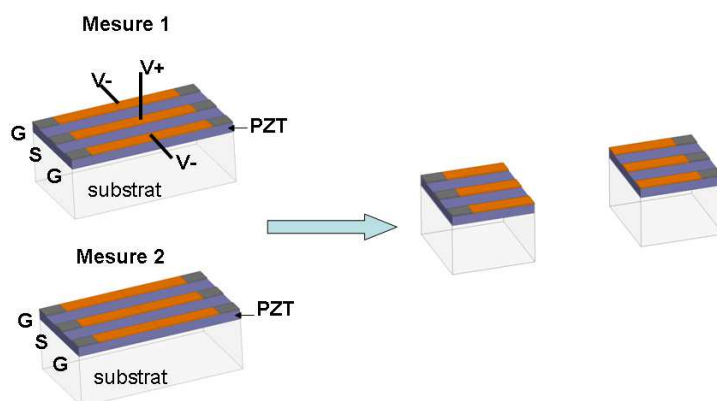


figure A : Procédure de de-embedding par la méthode DUMMC utilisant un champ électrique statique

Dans le contexte de la modélisation, l'étude de nouvelles configurations électriques particulières (S-S-G, G-S-S-G, etc...) permettrait de proposer des solutions supplémentaires aux designers. Pour une architecture donnée associant plusieurs TSV ou un cahier des charges très spécifique, les designers auraient le choix d'implémenter la solution la plus performante. A partir d'architectures "élémentaires" (un bloc de 3 TSV en configuration électrique GSG par exemple) définies, les designers pourraient également associer ces matrices pour extraire la matrice d'un réseau global, composé d'un grand nombre de TSV comme le présente la figure B.

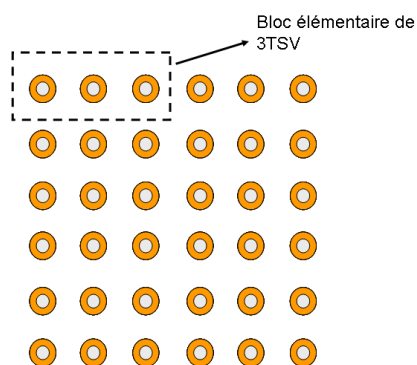


figure B : Réseau global de TSV composé de blocs élémentaires de 3TSV

De nombreuses études sont également envisageables pour le routage des signaux dans des réseaux d'interconnexions 3D. Le chapitre 4 présente une étude non exhaustive à partir des modèles développés. Bien d'autres études peuvent être menées sur des configurations données telles que le passage de signaux haut débit dans des chaînes complexes associant des piliers de cuivre, des TSV et des lignes de transmission BEOL et/ou RDL (cf. figure C).

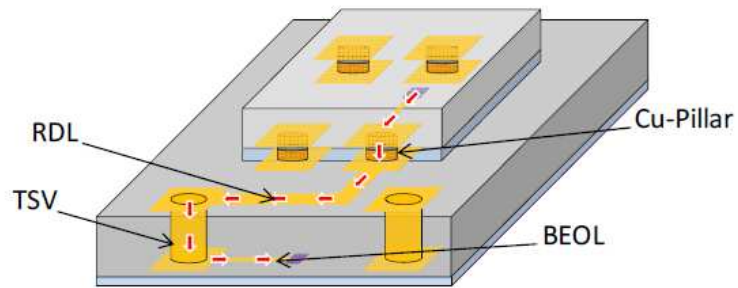


figure C : Chaîne complexe constituée de Cu-pillar, TSV BEOL et RDL

La conductivité du substrat étant un point clef pour les performances des systèmes, des études sur l'impact de l'hétérogénéité des substrats (une puce en silicium haute résistivité connectée à une puce en silicium basse résistivité) sur les performances d'un canal de transmission est également envisageable.

Annexes

Annexes du chapitre 2

Annexe 2-1 : Relation de passage des matrices ABCD vers un modèle en π ou T

Cette annexe présente les relations de passage d'une matrice ABCD vers un modèle en π ou en T, deux modèles largement utilisés pour la modélisation de dispositifs électroniques. Ces relations de passage particulières ainsi que les relations de passage plus classiques peuvent être retrouvées dans la référence [Pozar, 2005].

Ainsi, à partir de la matrice ABCD d'un dispositif, il est aisé d'extraire un modèle en π comme le présente la figure 2-1-1.

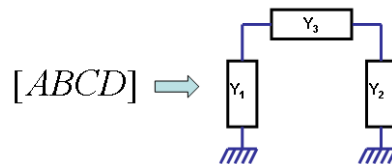


figure 2-1-1 : Passage d'une matrice ABCD vers un modèle en π .

Les relations de passage sont définies par:

$$A = 1 + \frac{Y_2}{Y_3} \quad B = \frac{1}{Y_3} \quad C = Y_1 + Y_2 + \frac{Y_1 Y_2}{Y_3} \quad D = 1 + \frac{Y_1}{Y_3}$$

De manière semblable il est également possible d'extraire un modèle T comme le présente la figure 2-1-2.

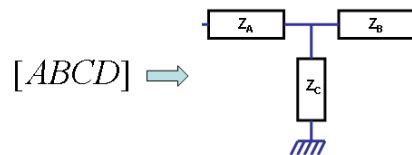


figure 2-1-2 : Passage d'une matrice ABCD vers un modèle en T.

Les relations de passage dans ce cas sont définies par:

$$A = 1 + \frac{Z_1}{Z_3} \quad B = Z_1 + Z_2 + \frac{Z_1 Z_2}{Z_3} \quad C = \frac{1}{Z_3} \quad D = 1 + \frac{Z_2}{Z_3}$$

Annexe 2-2 : Théorème de Kennelly

Le théorème de Kennelly définit en électronique des relations de passage d'un montage en étoile (ou en T) vers un montage en triangle (ou en π). En effet, de la connaissance des impédances d'un des deux systèmes, il est possible de connaître les impédances associées au deuxième système. Dans le domaine des hyperfréquences, les modèles utilisés sont définis par des impédances dans le cas du modèle en T et des admittances dans le cas du modèle en pi par conséquent nous présenterons les relations de passages adaptées à chacun des cas. La figure 2-2-1 présente l'équivalence entre les deux modèles présentés.

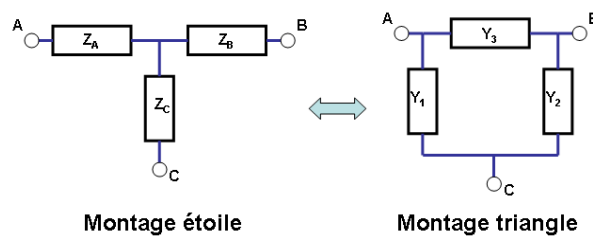


figure 2-2-1 : Passage d'une matrice ABCD vers un modèle en T.

Le passage d'un montage en étoile vers un montage en triangle s'effectue par les relations suivantes:

$$Y_1 = \frac{Z_B}{Z_A Z_B + Z_A Z_C + Z_B Z_C} \quad Y_2 = \frac{Z_A}{Z_A Z_B + Z_A Z_C + Z_B Z_C} \quad Y_3 = \frac{Z_C}{Z_A Z_B + Z_A Z_C + Z_B Z_C}$$

Le passage d'un montage en triangle vers un montage en étoile s'effectue par les relations suivantes:

$$Z_A = \frac{Y_2}{Y_3 Y_2 + Y_3 Y_1 + Y_1 Y_2} \quad Z_B = \frac{Y_1}{Y_3 Y_2 + Y_3 Y_1 + Y_1 Y_2} \quad Z_C = \frac{Y_3}{Y_3 Y_2 + Y_3 Y_1 + Y_1 Y_2}$$

Ces relations de passage permettent à l'utilisateur de manipuler des modèles électriques afin de les simplifier. Dans notre cas, elle sont utilisées pour effectuer le de-embedding par la méthode issue de la référence [Vandamme, 2001].

Annexe 2-3 : Solutions du système d'équation de la méthode DUMMC

Dans cette annexe nous rappelons le système d'équations de la méthode de de-embedding DUMMC exposée dans le chapitre 2.

$$\begin{cases} Z_{soff} = \frac{Z_B Z_{Coff} + Z_A (Z_B + Z_{Coff})}{Z_B + Z_{Coff}} \\ Z_{Poff} = \frac{Z_{Coff}^2}{2(Z_B + Z_{Coff})} \\ Z_{son} = \frac{Z_B Z_{Con} + Z_A (Z_B + Z_{Con})}{Z_B + Z_{Con}} \\ Z_{Pon} = \frac{Z_{Con}^2}{2(Z_B + Z_{Con})} \end{cases}$$

La résolution de ce système d'équation amène à deux jeux de 4 solutions:

◆ Premier jeu de solutions:

$$Z_{A1} = (- (Z_{Poff} Z_{Pon} Z_{soff}) + Z_{Pon}^2 Z_{soff} - Z_{Pon} Z_{soff}^2 - \sqrt{Z_{Poff} Z_{Pon} (Z_{soff} - Z_{son}) (2Z_{Poff} - 2Z_{Pon} + Z_{soff} - Z_{son}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son})^2 + Z_{Poff}^2 Z_{son} - Z_{Poff} Z_{Pon} Z_{son} + Z_{Poff} Z_{soff} Z_{son} + Z_{Pon} Z_{soff} Z_{son} - Z_{Poff} Z_{son}^2}) / ((Z_{Poff} - Z_{Pon}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son}))$$

$$Z_{Coff1} = (2Z_{Poff}^3 - 4Z_{Poff}^2 Z_{Pon} + 2Z_{Poff} Z_{Pon}^2 + 3Z_{Poff}^2 Z_{soff} - 3Z_{Poff} Z_{Pon} Z_{soff} + Z_{Poff} Z_{soff}^2 + \sqrt{Z_{Poff} Z_{Pon} (Z_{soff} - Z_{son}) (2Z_{Poff} - 2Z_{Pon} + Z_{soff} - Z_{son}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son})^2 - 3Z_{Poff}^2 Z_{son} + 3Z_{Poff} Z_{Pon} Z_{son} - 2Z_{Poff} Z_{soff} Z_{son} + Z_{Poff} Z_{son}^2}) / ((Z_{Poff} - Z_{Pon}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son}))$$

$$Z_{Con1} = (2Z_{Poff}^2 Z_{Pon} - 4Z_{Poff} Z_{Pon}^2 + 2Z_{Pon}^3 + 3Z_{Poff} Z_{Pon} Z_{soff} - 3Z_{Pon}^2 Z_{soff} + Z_{Pon} Z_{soff}^2 + \sqrt{Z_{Poff} Z_{Pon} (Z_{soff} - Z_{son}) (2Z_{Poff} - 2Z_{Pon} + Z_{soff} - Z_{son}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son})^2 - 3Z_{Poff} Z_{Pon} Z_{son} + 3Z_{Pon}^2 Z_{son} - 2Z_{Pon} Z_{soff} Z_{son} + Z_{Pon} Z_{son}^2}) / ((Z_{Poff} - Z_{Pon}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son}))$$

$$Z_{b1} = (2Z_{Poff}^2 Z_{soff} - 2Z_{Pon}^2 Z_{soff} + Z_{Poff} Z_{soff}^2 + Z_{Pon} Z_{soff}^2 + 2\sqrt{Z_{Poff} Z_{Pon} (Z_{soff} - Z_{son}) (2Z_{Poff} - 2Z_{Pon} + Z_{soff} - Z_{son}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son})^2 - 2Z_{Poff}^2 Z_{son} + 2Z_{Pon}^2 Z_{son} - 2Z_{Poff} Z_{soff} Z_{son} - 2Z_{Pon} Z_{soff} Z_{son} + Z_{Poff} Z_{son}^2 + Z_{Pon} Z_{son}^2}) / (2(Z_{Poff} - Z_{Pon})^2)$$

◆ Deuxième jeu de solutions:

$$Z_{A2} = (- (Z_{Poff} Z_{Pon} Z_{soff}) + Z_{Pon}^2 Z_{soff} - Z_{Pon} Z_{soff}^2 + \sqrt{Z_{Poff} Z_{Pon} (Z_{soff} - Z_{son}) (2Z_{Poff} - 2Z_{Pon} + Z_{soff} - Z_{son}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son})^2 + Z_{Poff}^2 Z_{son} - Z_{Poff} Z_{Pon} Z_{son} + Z_{Poff} Z_{soff} Z_{son} + Z_{Pon} Z_{soff} Z_{son} - Z_{Poff} Z_{son}^2}) / ((Z_{Poff} - Z_{Pon}) (Z_{Poff} - Z_{Pon} + Z_{soff} - Z_{son}))$$

$$Z_{\text{Coff}2} = \frac{(2Z_{\text{Poff}}^3 - 4Z_{\text{Poff}}^2 Z_{\text{Pon}} + 2Z_{\text{Poff}} Z_{\text{Pon}}^2 + 3Z_{\text{Poff}}^2 Z_{\text{soff}} - 3Z_{\text{Poff}} Z_{\text{Pon}} Z_{\text{soff}} + Z_{\text{Poff}} Z_{\text{soff}}^2 - \sqrt{Z_{\text{Poff}} Z_{\text{Pon}} (Z_{\text{soff}} - Z_{\text{son}})(2Z_{\text{Poff}} - 2Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})(Z_{\text{Poff}} - Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})^2} - 3Z_{\text{Poff}}^2 Z_{\text{son}} + 3Z_{\text{Poff}} Z_{\text{Pon}} Z_{\text{son}} - 2Z_{\text{Poff}} Z_{\text{soff}} Z_{\text{son}} + Z_{\text{Poff}} Z_{\text{son}}^2)}{(Z_{\text{Poff}} - Z_{\text{Pon}})(Z_{\text{Poff}} - Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})}$$

$$Z_{\text{Con}2} = \frac{(2Z_{\text{Poff}}^2 Z_{\text{Pon}} - 4Z_{\text{Poff}} Z_{\text{Pon}}^2 + 2Z_{\text{Pon}}^3 + 3Z_{\text{Poff}} Z_{\text{Pon}} Z_{\text{soff}} - 3Z_{\text{Pon}}^2 Z_{\text{soff}} + Z_{\text{Pon}} Z_{\text{soff}}^2 - \sqrt{Z_{\text{Poff}} Z_{\text{Pon}} (Z_{\text{soff}} - Z_{\text{son}})(2Z_{\text{Poff}} - 2Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})(Z_{\text{Poff}} - Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})^2} - 3Z_{\text{Poff}} Z_{\text{Pon}} Z_{\text{son}} + 3Z_{\text{Pon}}^2 Z_{\text{son}} - 2Z_{\text{Pon}} Z_{\text{soff}} Z_{\text{son}} + Z_{\text{Pon}} Z_{\text{son}}^2)}{(Z_{\text{Poff}} - Z_{\text{Pon}})(Z_{\text{Poff}} - Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})}$$

$$Z_{\text{b}2} = \frac{(2Z_{\text{Poff}}^2 Z_{\text{soff}} - 2Z_{\text{Pon}}^2 Z_{\text{soff}} + Z_{\text{Poff}} Z_{\text{soff}}^2 + Z_{\text{Pon}} Z_{\text{soff}}^2 - 2\sqrt{Z_{\text{Poff}} Z_{\text{Pon}} (Z_{\text{soff}} - Z_{\text{son}})(2Z_{\text{Poff}} - 2Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})(Z_{\text{Poff}} - Z_{\text{Pon}} + Z_{\text{soff}} - Z_{\text{son}})^2} - 2Z_{\text{Poff}}^2 Z_{\text{son}} + 2Z_{\text{Pon}}^2 Z_{\text{son}} - 2Z_{\text{Poff}} Z_{\text{soff}} Z_{\text{son}} - 2Z_{\text{Pon}} Z_{\text{soff}} Z_{\text{son}} + Z_{\text{Poff}} Z_{\text{son}}^2 + Z_{\text{Pon}} Z_{\text{son}}^2)}{(2(Z_{\text{Poff}} - Z_{\text{Pon}}))^2}$$

Les impédances définies précédemment sont associées au modèle en T de la demi-structure considérée. Il est aussi possible d'utiliser ces résultats pour en extraire les admittances d'un modèle en π (Dans les critères de sélection du jeu de sélection les paramètres des deux modèles sont utilisés).

Au regard de ces 2 jeux de solutions, la difficulté est de déterminer lequel des deux est valide. En pratique, la validité des solutions dépend de la fréquence à laquelle on travaille. En effet, pour une étude large bande nous avons une alternance de validité des jeux de solutions. Les figures 2-3-1 présentent l'alternance des solutions dans le cas de la partie réelle de l'inverse de l'impédance parallèle du modèle en T (correspond à la conductance d'un circuit lorsque les paramètres associés sont localisés) et dans le cas de la partie imaginaire de l'inverse de l'admittance série du modèle en π divisée par la pulsation (correspond à l'inductance d'un circuit lorsque les paramètres associés sont localisés); les extractions des mesures d'une ligne de transmission coplanaire.

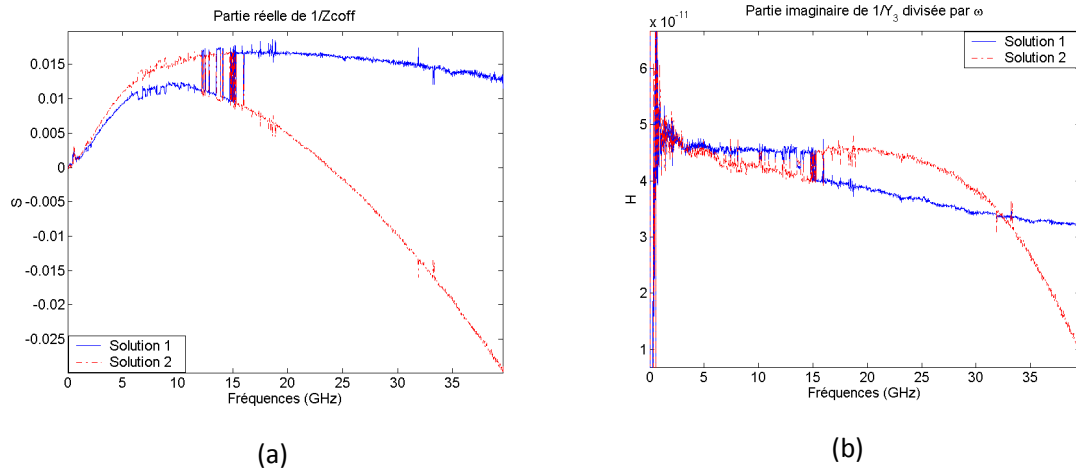


figure 2-3-1 : Alternance des solutions pour (a) le paramètre conductance, (b) le paramètre inductance

Au regard de ces courbes nous pouvons identifier l'alternance des jeux de solutions et l'apparition dans chacun des cas de deux courbes distinctes. Dans les hypothèses de la méthode de de-embedding, les paramètres des demi-structures extraits doivent être localisés par conséquent il est aisé de définir visuellement quelles courbes de la figures 2-3-1 ont une réalité physique. Dans cet exemple, nous constatons qu'une des courbes de la conductance (figures 2-3-1 (a)) devient négative par conséquent elle peut être éliminée pour ne conserver que la courbe correspondant à l'alternance solution1 puis solution 2. D'autre part nous constatons que la courbe correspondant à l'alternance solution 1 puis solution 2 est également valide pour le paramètre inductif (figures 2-3-1 (b)).

Par expérience, des critères de sélection peuvent être définis sur deux paramètres et l'alternance de solutions choisie reste vraie pour tout les autres paramètres extraits. Ainsi, une routine, destinée à une sélection automatique des solutions a également été développée de manière empirique (à partir de la mesure d'un grand nombre de dispositifs), afin de garantir la sélection de la courbe adéquate même dans les cas d'un grand nombre d'alternance.

Après utilisation de la routine développée nous obtenons donc les paramètres physiques de la demi-structure comme le présente les figures 2-3-2.

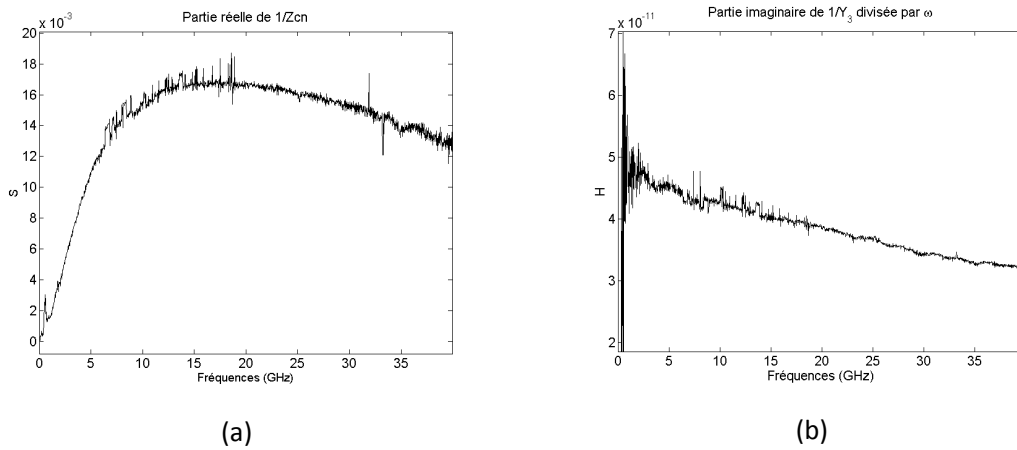


figure 2-3-2 : Sélection de l'alternance de solutions correspondant au comportement physique des paramètres: (a) le paramètre conductance, (b) le paramètre inductance

Annexes du chapitre 3

Annexe 3-1 : Algorithme de Vujevic

L'algorithme de Vujevic est issu de la formule de l'impédance exacte d'un tube et de certaine approximation. Rappelons tout d'abord la formule exacte (3-3) :

$$Z = \frac{\bar{k}}{2\pi\sigma_{Cu}R_0} \frac{I_0(\bar{k}_e)K_1(\bar{k}_i) + I_1(\bar{k}_i)K_0(\bar{k}_e)}{I_1(\bar{k}_i)K_1(\bar{k}_e) - I_1(\bar{k}_e)K_1(\bar{k}_i)} \quad (3-3)$$

Avec :

$$\bar{k} = ke^{-j\frac{\pi}{4}} = \sqrt{\omega\sigma_{Cu}\mu}e^{-j\frac{\pi}{4}}$$

Et

$$\bar{k}_e = \bar{k}r_0 \text{ et } \bar{k}_i = \bar{k}r_1$$

Les bornes de validité sont établies sur k_e et k_i . En effet:

- Si l'amplitude de $k_e < 8$

$$Z = \frac{\bar{k}}{2\pi\sigma_{Cu}R_0} \frac{J_1(\bar{k}_i)Y_0(\bar{k}_e) - Y_1(\bar{k}_i)J_0(\bar{k}_e)}{J_1(\bar{k}_i)Y_1(\bar{k}_e) - Y_1(\bar{k}_i)J_1(\bar{k}_e)} \quad (3-1-1)$$

Avec J_0 et J_1 , valeurs complexes des fonctions de Bessel modifiées de première espèce, respectivement à l'ordre 0 et 1. Y_0 et Y_1 , valeurs complexes des fonctions de Bessel modifiées de seconde espèce, respectivement à l'ordre 0 et 1.

- Si l'amplitude de $k_e \geq 8$ et $(k_e - k_i) \geq 5$

$$Z = \frac{\bar{k}}{2\pi\sigma_{Cu}R_0} \frac{P_0(\bar{k}_e) + jQ_0(\bar{k}_e)}{Q_1(\bar{k}_e) - jP_1(\bar{k}_e)} \quad (3-1-2)$$

$P_0(\bar{k}_e)$, $P_1(\bar{k}_e)$, $Q_0(\bar{k}_e)$, $Q_1(\bar{k}_e)$ sont définies comme suit :

$$P_v(\bar{k}_e) = 1 + \sum_{n=1}^{\infty} (-1)^n \frac{\prod_{m=1}^{2n} [4v^2 - (2m-1)^2]}{(2n)!(8\bar{k}_e)^{2n}}$$

$$Q_v(\bar{k}_e) = 1 + \sum_{n=0}^{\infty} (-1)^n \frac{\prod_{m=0}^{2n} [4v^2 - (2m+1)^2]}{(2n+1)!(8\bar{k}_e)^{2n+1}}$$

Une approximation relativement précise est donnée dans [Lovric] dans le cas de $k_e \geq 8$

$$P_0(\bar{k}_e) = 1 - \frac{0.0703125}{\bar{k}_e^2} + \frac{0.1121521}{\bar{k}_e^4} - \frac{0.572501421}{\bar{k}_e^6}$$

$$P_1(\bar{k}_e) = 1 + \frac{0.1171875}{\bar{k}_e^2} - \frac{0.144195557}{\bar{k}_e^4} + \frac{0.676592588}{\bar{k}_e^6}$$

$$Q_0(\bar{k}_e) = -\frac{0.125}{\bar{k}_e} + \frac{0.0732421875}{\bar{k}_e^3} - \frac{0.227108002}{\bar{k}_e^5} + \frac{1.72772750258}{\bar{k}_e^7}$$

$$Q_1(\bar{k}_e) = \frac{0.375}{\bar{k}_e} - \frac{0.1025390625}{\bar{k}_e^3} + \frac{0.277576447}{\bar{k}_e^5} - \frac{1.99353173375}{\bar{k}_e^7}$$

- Si l'amplitude de $k_e \geq 8$ et $(k_e - k_i) < 5$

$$Z = \frac{j\bar{k} \cos a + j \sin a + e^{-a}}{2\pi\sigma_{Cu}r_0 \cos a + j \sin a - e^{-a}} + F(\bar{k}_e)$$

Où

$$a = \sqrt{2}(k_e - k_i) \quad (3-1-3)$$

Et

$$F(\bar{k}_e) = \bar{c}_1 + \frac{k_e - k_{e1}}{k_{e2} - k_{e1}} (\bar{c}_2 - \bar{c}_1)$$

Avec

$$\bar{k}_{e1} = (1-j) \frac{8}{\sqrt{2}}; \quad \bar{k}_{e2} = (1-j) \frac{5r_0}{\sqrt{2} \cdot (r_0 - r_1)}; \quad \bar{c}_1 = \bar{Z}_A(\bar{k}_{e1}) - \bar{Z}_B(\bar{k}_{e1});$$

$$\bar{c}_2 = \bar{Z}_C(\bar{k}_{e2}) - \bar{Z}_B(\bar{k}_{e2})$$

$\bar{Z}_A(\bar{k}_{e1})$ est calculée avec la formule (3-3-1)

$\bar{Z}_C(\bar{k}_{e2})$ est calculée avec la formule (3-3-2)

$\bar{Z}_B(\bar{k}_{e1})$ et $\bar{Z}_B(\bar{k}_{e2})$ sont calculées par:

$$\bar{Z}_B = \frac{j\bar{k}}{2\pi\sigma_{Cu}r_0} \frac{\cos a + j \sin a + e^{-a}}{\cos a + j \sin a - e^{-a}}$$

Où a est défini en (3-3-3)

Annexe 3-2 : Inductance et résistance linéique pour 2 TSV

Dans ce cas nous pouvons employer les équations de chute de tension inductive. Pour ce faire nous allons considérer les tensions par unité de longueur V_1 et V_2 pour respectivement les conducteurs 1 et 2. De la même manière les courants par unité de longueur sont définis par I_1 et I_2 . La figure 3-2-1 présente une ligne de transmission classique de deux TSV.

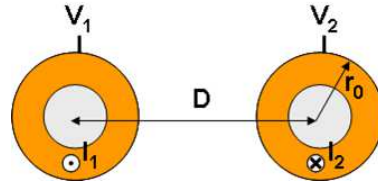


figure 3-2-1 : Schéma d'une ligne de 2 TSV

Ainsi, nous avons les équations:

$$\begin{aligned} V_1 &= Z_{11}I_1 + Z_{12}I_2 \\ V_2 &= Z_{22}I_2 + Z_{21}I_1 \end{aligned} \quad (3-2-1)$$

Avec Z_{11} et Z_{22} les impédances internes des conducteurs 1 et 2 en fonction des géométries et Z_{12} et Z_{21} les impédances de couplage respectivement du conducteur 1 sur le conducteur 2 et inversement.

Les impédances Z_{11} et Z_{22} sont définies par la résistance interne et l'inductance internes de chaque TSV (dans notre cas nous allons considérer que les deux TSV sont identiques).

Ainsi :

$$Z_{11} = Z_{22} = R_{\text{int}} + j\omega L_{\text{int}} \quad (3-2-2)$$

Avec R_{TSV} et L_{int} définis par les équations (3-4), (3-5) et (3-19)

De plus nous pouvons définir les impédances de couplage Z_{12} et Z_{21} par les paramètres inductifs et résistifs externes.

Ainsi :

$$Z_{12} = Z_{21} = -(R_{\text{sub}} + j\omega L_{\text{ext}}) \quad (3-2-3)$$

Avec R_{sub} et L_{ext} définis par les équations (3-26) et (3-28).

Notons que l'impédance de couplage est de signe opposé à l'inductance complexe externe d'un TSV car selon les conventions utilisées, le calcul de l'impédance externe effectuée au chapitre 3-2 est effectué dans le cas d'un champ magnétique sortant du TSV alors que dans le cas du couplage celui-ci entre dans le conducteur.

Dans le cas particulier de deux conducteurs nous avons:

$$I_2 = -I_1 = -I$$

Par conséquent, la différence de potentiel $V (V_1 - V_2)$ entre les deux conducteurs devient:

$$V = V_1 - V_2 = Z_{11} + Z_{22} - 2Z_{12}I \quad (3-2-4)$$

Si nous considérons $V=ZI$ alors par identification nous obtenons l'impédance du système :

$$Z = Z_{11} + Z_{22} - 2Z_{12} \quad (3-2-5)$$

Enfin la résistance linéique et l'inductance linéique de deux TSV peut être déduite de l'équation (3-2-5) en y injectant les équations (3-2-2) et (3-2-3).

$$R_{2TSV} = 2R_{int} + 2R_{sub} \quad (3-2-6)$$

$$L_{2TSV} = 2L_{int} + 2L_{ext} \quad (3-2-7)$$

Annexe 3-3 : Inductance et résistance linéique pour 3 TSV configuration triangle

La figure 3-3-1 présente la configuration triangle. La seule différence avec la configuration H-type est que toutes les distances d'espacement D des TSV sont identiques.

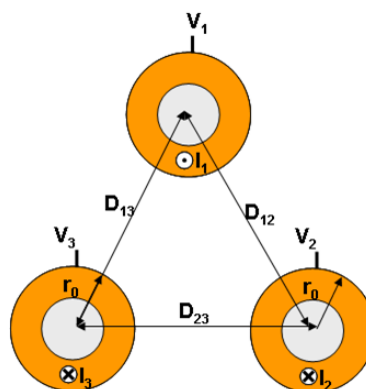


figure 3-3-1 : Schéma d'une ligne de 3 TSV GSG triangle

Ainsi la conséquence sur le système d'équation (3-36) réside dans les impédances de couplage qui seront toutes identiques. Dans ce cas nous obtenons le système (3-3-1)

$$\begin{cases} V_1 = Z_{\text{int}} I - Z_D I \\ V_2 = -Z_{\text{int}} \frac{I}{2} + Z_D \frac{I}{2} \\ V_3 = -Z_{\text{int}} \frac{I}{2} + Z_D \frac{I}{2} \end{cases} \quad (3-3-1)$$

Par conséquent, avec la même méthodologie que celle présentée au chapitre 3-3 nous obtenons la différence de potentiel (3-3-2):

$$V = V_1 - V_2 = \frac{3}{2} Z_{\text{int}} I - \frac{3}{2} Z_D I \quad (3-3-2)$$

Enfin, la résistance linéique et l'inductance linéique deviennent :

$$R_{3\text{TSVtri}} = \frac{3}{2} R_{\text{int}} + \frac{3}{2} R_{\text{subD}} \quad (3-3-3)$$

$$L_{3\text{TSVtri}} = \frac{3}{2} L_{\text{int}} + \frac{3}{2} L_{\text{extD}} \quad (3-3-4)$$

Dans ce cas nous retrouvons une formule intuitive dans laquelle l'impédance d'un TSV en série avec deux TSV en parallèle est égale à 3/2 fois l'impédance d'1 TSV.

Annexe 3-4 : Calcul de la capacité et de la conductance linéique de 2TSV

L'architecture des deux TSV espacés d'une distance D est présenté figure 3-4-1.

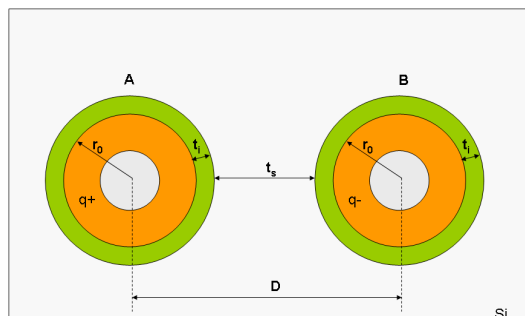


figure 3-4-1 : Schéma d'une ligne de 2 TSV

Dans ce cas nous avons une densité de charge $q+$ dans le TSV A (signal) et une densité de charge $q-$ sur le TSV B (masse). Chaque conducteur génère un champ électrique, nous

pouvons ainsi calculer une tension V_{AB-A} entre les deux conducteurs généré à partir des charges $q+$ et une tension V_{AB-B} provenant des charges $q-$ du conducteur B.

Par conséquent nous pouvons considérer les équations (3-4-1) afin de calculer le champ électrique sortant du conducteur A.

$$V_{AB-A} = \int_{r_0}^{D-r_0} E_A dr = \int_{r_0}^{r_0+t_i} E_{Aox} dr + \int_{r_0+t_i}^{r_0+t_i+t_s} E_{Asub} dr + \int_{R_0+t_i+t_s}^{D-r_0} E_{Aox} dr \quad (3-4-1)$$

Nous pouvons ainsi en déduire après intégration l'équation (3-4-2) du potentiel présent sur le conducteur A

$$V_{AB-A} = \frac{q}{2\pi\epsilon_i} \ln\left(\frac{r_0+t_i}{r_0}\right) + \frac{q}{2\pi\epsilon_s} \ln\left(\frac{r_0+t_i+t_s}{r_0+t_i}\right) + \frac{q}{2\pi\epsilon_i} \ln\left(\frac{D-r_0}{r_0+t_i+t_s}\right) \quad (3-4-2)$$

Enfin nous en déduisons également par analogie l'équation (3-4-3) pour le potentiel du conducteur B.

$$V_{AB-B} = \frac{-q}{2\pi\epsilon_i} \ln\left(\frac{r_0+t_i}{r_0}\right) + \frac{-q}{2\pi\epsilon_s} \ln\left(\frac{r_0+t_i+t_s}{r_0+t_i}\right) + \frac{-q}{2\pi\epsilon_i} \ln\left(\frac{D-r_0}{r_0+t_i+t_s}\right) \quad (3-4-3)$$

Notons que le signe négatif vient des charges de signe opposé au conducteur A.

Nous pouvons alors définir la différence de potentiel V_{AB} par l'équation (3-4-4)

$$V_{AB} = V_{AB-A} - V_{AB-B} \quad (3-4-4)$$

En injectant les équations (3-4-2) et (3-4-3) dans (3-4-4) nous obtenons l'équation complète de la différence de potentiel V_{AB} .

$$V_{AB} = \frac{q}{\pi\epsilon_i} \ln\left(\frac{(r_0+t_i)(D-r_0)}{r_0(D-r_0-t_i)}\right) + \frac{q}{\pi\epsilon_s} \ln\left(\frac{D-r_0-t_i}{r_0+t_i}\right) \quad (3-4-5)$$

Et nous pouvons ensuite obtenir la capacité linéique totale tel que:

$$C_{2TSV} = \frac{q}{V_{AB}} = \frac{\pi\epsilon_i\epsilon_s}{\epsilon_s \ln\left(\frac{(r_0+t_i)(D-r_0)}{r_0(D-r_0-t_i)}\right) + \epsilon_i \ln\left(\frac{D-r_0-t_i}{r_0+t_i}\right)} \quad (3-4-6)$$

La complexité de la formule vient de la présence de l'isolant autour des masses. De plus, le facteur 2, présent dans la formule pour un TSV vient du fait que seul son rayonnement propre est pris en compte; en d'autres termes l'impact de la masse sur le TSV est négligé dans le calcul pour 1 TSV. Par conséquent, il est aisé d'appréhender que la capacité liée à l'impact d'un TSV sur l'autre est défini par la formule (3-4-7).

$$C_{1TSV} = \frac{2\pi\varepsilon_i\varepsilon_s}{\varepsilon_s \ln\left(\frac{(r_0+t_i)(D-r_0)}{r_0(D-r_0-t_i)}\right) + \varepsilon_i \ln\left(\frac{D-r_0-t_i}{r_0+t_i}\right)} \quad (3-4-7)$$

Avec D la distance du centre du TSV au centre du TSV masse. Mais ce résultat doit être divisé par deux pour obtenir la capacité linéique totale.

Annexe 3-5 : Synthèse des formules du chapitre 3

	1TSV	2TSV	3TSV type H
R	$R_{1TSV} = R_{int} + R_{sub}$	$R_{2TSV} = 2R_{int} + 2R_{subD}$	$R_{3TSV} = \frac{3}{2}R_{int} + 2R_{subD} - \frac{1}{2}R_{sub2D}$
L	$L_{1TSV} = L_{int} + L_{ext}$	$L_{2TSV} = 2L_{int} + 2L_{extD}$	$L_{3TSV} = \frac{3}{2}L_{int} + 2L_{extD} - \frac{1}{2}L_{ext2D}$
C	C_{1TSV}	$\frac{1}{2} C_{1TSV}$	$\frac{2}{3} C_{1TSV}$
G	G_{1TSV}	$\frac{1}{2} G_{1TSV}$	$\frac{2}{3} G_{1TSV}$

Avec :

- $$C_{1TSV} = 2\pi \frac{(\varepsilon_s'^2 + \varepsilon_s''^2)\varepsilon_i' \ln(a) + (\varepsilon_i'^2 + \varepsilon_i''^2)\varepsilon_s' \ln(b)}{(\varepsilon_s' \ln(a) + \varepsilon_i' \ln(b))^2 + (\varepsilon_i'' \ln(b) + \varepsilon_s'' \ln(a))^2}$$
- $$G_{1TSV} = 2\pi\omega \frac{(\varepsilon_s'^2 + \varepsilon_s''^2)\varepsilon_i'' \ln(a) + (\varepsilon_i'^2 + \varepsilon_i''^2)\varepsilon_s'' \ln(b)}{(\varepsilon_s' \ln(a) + \varepsilon_i' \ln(b))^2 + (\varepsilon_i'' \ln(b) + \varepsilon_s'' \ln(a))^2}$$

Avec

$$\varepsilon_s' = \varepsilon_0 \varepsilon_{Si} \quad \varepsilon_s'' = \varepsilon_0 \left(\varepsilon_{Si}'' + \frac{\sigma_{Si}}{\omega \varepsilon_0} \right) \quad \varepsilon_i' = \varepsilon_0 \varepsilon_{SiO_2} \quad \varepsilon_i'' = \varepsilon_0 \left(\varepsilon_{SiO_2}'' + \frac{\sigma_{SiO_2}}{\omega \varepsilon_0} \right)$$

$$a = \frac{(r_0+t_i)(D-r_0)}{r_0(D-r_0-t_i)} \quad \text{et} \quad b = \frac{D-r_0-t_i}{r_0+t_i}$$

- $$R_{int} = \rho_{Cu} \cdot \frac{1}{\pi \left[r_0^2 - \left(r_0 - (r_0 - r_1) \sqrt{\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3} \right)^2 \right]}$$

Avec :

$$\delta = \sqrt{\frac{2}{\omega \sigma_{Cu} \mu}}$$

- $L_{int} = \frac{\mu}{2\pi} A$

Avec :

$$A = \frac{1}{(r_0^2 - r_{min}^2)(r_0^2 - r_1^2)} \left[\frac{r_0^4 - r_{min}^4}{4} - \frac{(r_0^2 - r_{min}^2)(r_1^2 + r_{min}^2)}{2} + r_1^2 r_{min}^2 \ln\left(\frac{r_0}{r_{min}}\right) \right]$$

et

$$r_{min} = r_0 - (r_0 - r_1) \sqrt[3]{\tanh\left(\frac{\delta}{r_0 - r_1}\right)^3}$$

- $L_{ext} = \dot{L}_{ext}$
 $R_{sub} = \omega \dot{L}_{ext}''$

Avec

$$\dot{L}_{ext} - j \dot{L}_{ext}'' = \underline{L}_{ext}$$

Et

$$\underline{L}_{extD} = \frac{\mu}{2\pi} \left[\ln\left(\frac{r_0 + t_i}{r_0}\right) + \ln\left(\frac{D}{D - (r_0 + t_i)}\right) e^{-k(D-2(r_0+t_i))} + \int_{r_0+t_i}^{D-(r_0+t_i)} \frac{e^{-k(r-(r_0+t_i))}}{r} dr \right]$$

$$\underline{L}_{ext2D} = \frac{\mu}{2\pi} \left[\ln\left(\frac{r_0 + t_i}{r_0}\right) + \ln\left(\frac{2D}{2D - (r_0 + t_i)}\right) e^{-k(2D-2(r_0+t_i))} + \int_{r_0+t_i}^{2D-(r_0+t_i)} \frac{e^{-k(r-(r_0+t_i))}}{r} dr \right]$$

r_0 et r_1 sont respectivement le rayon externe et interne du TSV, t_i est l'épaisseur d'oxyde, D distance centre à centre entre les TSV, ϵ_s et ϵ_i respectivement les permittivités complexes substrat et oxyde, ρ et σ résistivité et conductivité.

Références

Références bibliographiques

Références

- [Belleville, 2006]** M. Belleville, N. Sillon, "Intégration Système : êtes-vous plutôt SiP ou SoC?", *CEA Technologies*, n°82 oct, 2006
- [Bermond, 2012]** C. Bermond et al., "Etude jusqu'à 60 GHz d'une capacité ferroélectrique de $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ ", *12ème Journée de Caractérisation Microondes et Matériaux*, JCMM, 2012
- [Bertaud, 2012]** T. Bertaud et al., "DC to Radio-Frequency Characterization of ZrO₂ Dielectric for "Metal-Insulator-Metal" Integrated Capacitors", *IEEE Trans. on Components, Packaging and Manufacturing Technology*, Vol. 2, No. 3, March 2012 pp 502-509
- [Cadix, 2008]** L. Cadix et al., "Integration and RF Characterization of High Density Through Silicon vias for 3D chip stacking", *Proceedings of AMC conference*, pp 93-95, San Diego, 2008
- [Cadix, 2009]** L. Cadix et al., " Modelling of Through Silicon Via RF performance and impact on signal transmission in 3D integrated circuits", *Proceedings of 3DIC conference*, pp.1-8, San Francisco, 2009
- [Cadix, 2010]** L. Cadix, "Intégration et modélisation de TSV pour l'intégration 3D de puce", *Thèse de doctorat*, spécialité optique et radiofréquences, Université de Grenoble, 2010
- [Caignet, 2002]** F. Caignet, "Mesure et modélisation prédictive des phénomènes parasites liées aux interconnexions dans les technologies CMOS", *Thèse de Doctorat*, Institut National des Sciences appliquées de Toulouse, spécialité conception de circuits microélectroniques et microsystèmes, 2002

- [Chung, 2010]** Chung Hang John Poh et al., "Extraction of a Lumped Element, Equivalent Circuit Model for Via Interconnections in 3-D Packages Using a single via structure with Embedded Capacitors
- [Culurciello, 2007]** E. Culurciello et al., "Three Dimensional Photodetectors in 3-D Silicon-On-Insulator Technology", *IEEE Electron. Device Letters*, Vol 28, No 2, Feb 2007
- [Er-Ping Li, 2012]** Er- Ping Li, "Electrical Modeling and Design for 3D System Integration: 3D Integrated Circuits and Packaging, Signal Integrity, Power Integrity and EMC", *John Wiley & Sons*, 2012
- [Fourneaud, 2010]** L. Fourneaud et al., "Innovative HF Extraction Procedure of the Characteristic Impedance for Embedded Planar Transmission Line on High Conductive Si Substrate", *IEEE Asia Pacifica Microwave Conference*, dec 7-10, Yokohama, Japan, 2010.
- [Fourneaud, 2011]** L. Fourneaud et al., "Extraction of Equivalent High Frequency Models for TSV and RDL Interconnects Embedded in Stacks of the 3D Integration Technology", *15th IEEE Workshop on Signal Propagation on Interconnect*, May 8-11, Naples, Italy, 2011
- [Fourneaud, 2012]** L. Fourneaud et al., " Refined but Handy Electrical Models of TSV Usable from Low to High Density and for RF or Fast Digital Signals in 3D-IC", *IEEE ECTC conference*, May 29-June 1, San-Diego, 2012
- [Grainger, 1994]** J. J. Grainger, "Power System Analysis", 1st Edition, *McGraw-Hill Science /Engineering/Math*, 1994
- [Grover, 2009]** F. W. Grover, "Inductance Calculation", 1st Edition, *Dover publications*, 2009, réédition de l'édition publiée par D.V. Nostrand Co, 1946

- [Grygsby, 2001]** L. L. Grigsby, "Electric Power Engineering Handbook", 2nd Edition, *CRC Press LLC*, 2001
- [Hong, 2007]** H. Sangki et al., "3D Super-Via for Memory applications", *Micro-Systems Packaging Initiative (MSPI)*, Packaging Workshop, 2007
En ligne: www.Tezzaron.com
- [ICT, 2007]** ICT Work Programme 2007 (*ICT-2007.3.1 call*) p.25
- [Intel]** Source internet : <http://www.intel.com>
- [Iosavid, 2009]** Ioannis Savidis et Eby G. Friedman, "Closed-Form Expressions of 3-D Via Resistance, Inductance and Capacitance", *IEEE Transactions on Electron Devices*, Vol. 56, Issue 9, pp. 1873-1881, 2009
- [Kim, 2011]** Joohee Kim et al., "High-Frequency Scalable Electrical Model and Analysis of a Through Silicon Via (TSV)", *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Vol. 1, Issue 2, pp. 181-195, 2011
- [Kimmich, 2011]** G. Kimmich, "3D For Tablets and Smartphones" D43D, Grenoble, june 30 2011
- [Kurino, 2001]** H. Kurino et al., "Smart Vision Chip Fabricated Using Three Dimensional Integration Technology," *Neural Information Processing Systems 2000*, *MIT Press*, 2001, pp. 720-726
- [Lovric, 2011]** D. Lovric et al., "Accuracy of approximate formulas for internal impedance of tubular cylindrical conductors for large parameters", *Progress In Electromagnetic Research M*, Vol.16, pp 171-184, 2011

- [Mingli, 2004]** W. Mingli et al., "Numerical calculations of internal impedance of solid and tubular cylindrical conductors under large parameters", *IEE Proceedings Generation, Transmission and Distribution*, Vol. 151, No. 1, pp. 67-72, 2004
- [Mounier, 2007]** E. Mounier, "Market and cost analysis for 3D-ICs", *International Conference on 3D Architectures for Semi-Conductor Integration and Packaging*, San Francisco, 2007
- [Nishimura, 1987]** T. Nishimura et al., "Three dimensional IC for high performance image signal processor", *International Electron. Devices Meeting*, 1987, vol. 33, pp. 111-114
- [Pojar, 2005]** D.M. Polar, "Microwave Engineering", Third Edition Wiley, 2005
- [Roullard, 2011]** J. Roullard, "Analyse et optimisation des performances électriques des réseaux d'interconnexions et des composants passifs dans les empilements 3D de circuits intégrés", *Thèse de doctorat*, spécialité optique et radiofréquences, Université de Grenoble, 2011
- [Ryu, 2006]** Chunghyun Ryu et al., "High Frequency Electrical Model of Through Wafer Via for 3-D Stacked Chip Packaging", *IEEE Electronics System integration Technology Conference*, pp. 215-220, 2006.
- [Schelkunoff, 1934]** S. A. Schelkunoff, "The electromagnetic theory of coaxial transmission lines and cylindrical shields", *Bell System Technical Journal*, pp. 532-578, 1934
- [Schieck, 1996]** B. Schieck, "Developpement of automatic Networks Analyzer Calibration Methods" *.Review of radio Science*, 1995-1996, Oxford University Press.

- [Suntharalingam, 2005]** V. Suntharalingam et al., "Megapixel CMOS image sensor fabricated in three-dimensional integrated circuit technology", *IEEE International Solid-state Circuit Conference*, 6-10 Feb, 2005, Vol. 1, pp. 356-357
- [Vandamme, 2001]** P. F. Vandamme et al., "Improved Three-Step De-Embedding Method to accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures" *IEEE Tran. Electron.*, vol. 48, pp. 737-742, April 2001.
- [Vujevic, 2009]** S. Vujevic et al., "A novel algorithm for internal impedance computation of solid and tubular cylindrical conductors", *International Review of Electrical Engineering (IREE)*, Vol. 4, No6, Part B, pp. 1418-1425, 2009
- [Wang, 2001]** P.-C. Wang and R.G. Filippi, "Electromigration threshold in copper interconnects", *Applied Physics Letters* 78, 2001
- [Wai Leung, 2005]** Lydia Lap Wai Leung et al., "Microwave Characterization and Modeling of High Aspect Ratio Through-Wafer Interconnect Vias in Silicon Substrate", *IEEE Transactions. on Microwave Theory and techniques*, Vol. 53, No.8, August 2005
- [Wee Ho, 2008]** Soon Wee Ho et al., "High RF Performance TSV Silicon Carrier for High Frequency Application", *IEEE electronic Components and Technology Conference proceedings*, pp.1946-1952 , 2008
- [Williams, 1995]** D.F. Williams et al., "Line-reflect-Match Calibrations with non ideal microstrip standards", *46 ARFTG Conference Digest*, pp. 35-38, Nov 30-Dec 1, 1995

- [Winkel, 1996]** T-M. Winkel et al., "An Accurate Determination of Characteristic of Lossy Lines on Chips Based on High Frequency S-Parameter Measurement", *IEEE Multi-Chip Module Conference, MCMC 96*, Feb, 1996, California
- [Xu, 2010]** Chuan Xu et al., "Compact AC Modelling and performance Analysis of Through-Silicon Vias in 3-D ICs", *IEEE Transactions on Electron Devices*, Vol. 57, No. 12, Dec 2010