

N° d'ordre 2012 ISAL 0114
Année 2012

Thèse de doctorat en cotutelle France-Québec

Intégration hybride de transistors à un électron sur un nœud technologique CMOS

Présentée devant
L'institut national des sciences appliquées de Lyon

Pour obtenir
Le grade de docteur

Formation doctorale
Dispositifs de l'Electronique Intégrée

École doctorale
Electronique, Electrotechnique, Automatique (EEA)

Par
Nicolas Juvet
(Ingénieur)

Soutenue le 21 Novembre 2012 devant la Commission d'examen

Jury :

A. Beaumont	ATER (MINACOM)
G. BenAssayag	Directeur de Recherche (CEMES), Rapporteur
S. Charlebois	Professeur (UdeS), Rapporteur
D. Drouin	Professeur (UdeS), Co-Directeur
S. Monfray	Ingénieur de Recherche (ST-Microelectronics)
A. Ruediger	Professeur (INRS), Rapporteur
A. Souifi	Professeur (INL), Co-Directeur

Laboratoires de recherche :

Institut des Nanotechnologies de Lyon (INL), site INSA de Lyon

Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Canada

À ma mère, à mon père, à sœur

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	<u>CHIMIE DE LYON</u> http://www.edchimie-lyon.fr Insa : R. GOURDON	M. Jean Marc LANCELIN Université de Lyon – Collège Doctoral Bât ESCPE 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72.43 13 95 directeur@edchimie-lyon.fr
E.E.A.	<u>ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE</u> http://edeea.ec-lyon.fr Secrétariat : M.C. HAVGOUDOUKIAN eea@ec-lyon.fr	M. Gérard SCORLETTI Ecole Centrale de Lyon 36 avenue Guy de Collongue 69134 ECULLY Tél : 04.72.18 60 97 Fax : 04 78 43 37 17 Gerard.scorletti@ec-lyon.fr
E2M2	<u>EVOLUTION, ECOSYSTEME, MICROBIOLOGIE, MODELISATION</u> http://e2m2.universite-lyon.fr Insa : H. CHARLES	Mme Gudrun BORNETTE CNRS UMR 5023 LEHNA Université Claude Bernard Lyon 1 Bât Forel 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cédex Tél : 04.72.43.12.94 e2m2@biomserv.univ-lyon1.fr
EDISS	<u>INTERDISCIPLINAIRE SCIENCES-SANTE</u> http://ww2.ibcp.fr/ediss Sec : Safia AIT CHALAL Insa : M. LAGARDE	M. Didier REVEL Hôpital Louis Pradel Bâtiment Central 28 Avenue Doyen Lépine 69677 BRON Tél : 04.72.68 49 09 Fax :04 72 35 49 16 Didier.revel@creatis.uni-lyon1.fr
INFOMATHS	<u>INFORMATIQUE ET MATHÉMATIQUES</u> http://infomaths.univ-lyon1.fr	M. Johannes KELLENDONK Université Claude Bernard Lyon 1 INFOMATHS Bâtiment Braconnier 43 bd du 11 novembre 1918 69622 VILLEURBANNE Cedex Tél : 04.72. 44.82.94 Fax 04 72 43 16 87 infomaths@univ-lyon1.fr
Matériaux	<u>MATERIAUX DE LYON</u> Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry Ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIERE INSA de Lyon MATEIS Bâtiment Saint Exupéry 7 avenue Jean Capelle 69621 VILLEURBANNE Cédex Tél : 04.72.43 83 18 Fax 04 72 43 85 28 Jean-yves.buffiere@insa-lyon.fr
MEGA	<u>MECANIQUE, ENERGETIQUE, GENIE CIVIL, ACOUSTIQUE</u> Secrétariat : M. LABOUNE PM : 71.70 –Fax : 87.12 Bat. Saint Exupéry mega@insa-lyon.fr	M. Philippe BOISSE INSA de Lyon Laboratoire LAMCOS Bâtiment Jacquard 25 bis avenue Jean Capelle 69621 VILLEURBANNE Cedex Tél :04.72.43.71.70 Fax : 04 72 43 72 37 Philippe.boisse@insa-lyon.fr
ScSo	<u>ScSo*</u> M. OBADIA Lionel Sec : Viviane POLSINELLI Insa : J.Y. TOUSSAINT	M. OBADIA Lionel Université Lyon 2 86 rue Pasteur 69365 LYON Cedex 07 Tél : 04.78.69.72.76 Fax : 04.37.28.04.48 Lionel.Obadia@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

RÉSUMÉ

Cette étude porte sur l'intégration hybride de transistors à un électron (*single-electron transistor*, SET) dans un nœud technologique CMOS. Les SETs présentent de forts potentiels, en particulier en termes d'économies d'énergies, mais ne peuvent complètement remplacer le CMOS dans les circuits électriques. Cependant, la combinaison des composants SETs et MOS permet de pallier à ce problème, ouvrant la voie à des circuits à très faible puissance dissipée, et à haute densité d'intégration. Cette thèse se propose d'employer pour la réalisation de SETs dans le *back-end-of-line* (BEOL), c'est-à-dire dans l'oxyde encapsulant les CMOS, le procédé de fabrication nanodamascène, mis au point par C. Dubuc. Les avantages de ce procédé sont triples : capacité de créer des dispositifs SETs à large marge d'opération, répétabilité élevée, et compatibilité potentielle avec une fabrication en BEOL. Ce dernier point est particulièrement important. En effet, il ouvre la voie à la fabrication de nombreuses couches de SETs empilées les unes sur les autres et formant ainsi des circuits 3D, réalisées au dessus d'une couche de CMOS. Ceci permettrait d'apporter une forte valeur ajoutée aux plaques de CMOS existantes. On présentera les réalisations obtenues par une adaptation du procédé nanodamascène à une fabrication en BEOL, en mettant en avant les limites rencontrées, et les perspectives d'améliorations. Des caractérisations électriques des dispositifs seront aussi présentées. Elles démontrent la fonctionnalité des dispositifs créés, et valident le transfert avec succès de la méthode nanodamascène à une fabrication en BEOL. Elles ont aussi permis d'identifier la présence d'un nombre élevé de pièges au cœur des dispositifs fabriqués. L'étude du potentiel des SETs fabriqués pour la réalisation de circuits hybride SET-CMOS a été faite au travers de simulations. Il a ainsi été possible d'identifier les pistes à privilégier pour les réalisations futures de circuits hybrides.

Mots-clés : MOSFET, transistor à un électron (SET), nanotechnologie, microfabrication, nanodamascène, caractérisation électrique.

ABSTRACT

This study deals with the hybrid integration of single electron transistors (SET) on a CMOS technology node. SET devices possess a high potential, especially regarding energy efficiency, but aren't fit to completely replace CMOS components in electrical circuits. However, this problem can be solved through hybrid combination of SETs and MOS, leading to very low operating power circuits, and high integration density. This thesis investigates the use of the nanodamascene process, developed by C. Dubuc, for back-end-of-line (BEOL) SET fabrication, meaning creation of SETs in the oxide encapsulating CMOS devices. The assets the nanodamascene process presents are quite interesting: fabrication of SETs with a large operation margin, high repeatability, and potential for BEOL fabrication. This last point, in particular, makes this process promising. Indeed, it opens the path to the fabrication of numerous layers of SETs, stacked one upon the other, and forming 3D circuits, created on top of 2D CMOS layer. Thus a high gain to existing CMOS wafers could be generated. Devices created through the use of the nanodamascene process, adapted for BEOL SET fabrication, are presented. Limits and improvement perspectives of the technique's transfer are discussed. Electrical characterizations of the devices are also presented. They have demonstrated the created devices functionality, thus validating the successful adaptation of the nanodamascene process. They have also allowed for the identification of numerous traps located at the heart of fabricated devices. Fabricated SET devices potential for hybrid SET-CMOS circuits was studied through simulations. Possible architectures showing good potential for early hybrid circuits' realization were identified.

Keywords: MOSFET, single electron transistor (SET), nanotechnology, microfabrication, nanodamascene, electrical characterization.

REMERCIEMENTS

Je souhaite en premier lieu remercier mes co-directeurs, les professeurs Kader Souifi et Dominique Drouin. En m'offrant l'opportunité de travailler sous leur direction, ils m'ont permis d'explorer un sujet fascinant. J'ai ainsi pu grandement évoluer tant professionnellement avec l'acquisition d'un nombre important et varié de techniques et connaissances, que personnellement, par les séjours effectués au Canada, et les nombreuses rencontres que j'ai pu faire ces trois dernières années. Enfin, je leur offre toute ma gratitude pour l'aide et les conseils qu'ils m'ont fourni et qui m'ont permis de sortir intact, sinon grandit, des dédales à la fois techniques et administratifs dans lesquels m'ont fait évoluer ma thèse.

Mes remerciements s'adressent aussi à l'ensemble des personnels techniques, professeurs et chercheurs de l'INL et du CRN². Sous leur tutelle, il m'a ainsi été possible d'acquérir de nombreuses techniques liées à la fabrication et à la caractérisation de composants de microélectroniques. Leur professionnalisme, patience et bonne humeur m'ont permis de travailler dans un environnement à la fois sécuritaire, efficace et chaleureux, et ont rendu possible l'accomplissement de ce doctorat.

Enfin, merci à mes post-doctorants, Serge Ecoffey, Arnaud Beaumont, Aurélie Lecestre et Christian Nauenheim pour tout ce qu'ils ont pu m'apporter humainement et techniquement, et pour avoir guidé mes pas au cours de cette thèse. Merci aussi aux étudiants avec qui j'ai pu partager de très bons moments (Bruno, Fred, JP, Damien, Khalil, Mohammed, Marc, Antonin, Alexi). Merci à Gabriel et JF de m'avoir accueilli dans leur bureau à l'UdeS, et pour toutes les longues discussions qu'on a pu y effectuer. Merci à David, Arnaud, Yorrick, Annie et Christiane pour m'avoir accueilli à l'INL. Merci à Simon, Adam et Cléo pour la qualité de leur CMP et leur dévouement. Merci à Rémy pour m'avoir hébergé au cours d'un de mes séjours au Québec et pour m'avoir fait découvrir le swing. Merci à Stéphane Monfray pour les magnifiques images TEM, et surtout pour avoir pris le temps de m'aider quant j'en ai eu besoin. Merci enfin à tous ceux que par manque de place je n'ai pu citer.

Merci à ST-Microelectronics et IBM pour avoir rendu cette thèse possible.

TABLE DES MATIÈRES

CHAPITRE 1	Introduction	1
CHAPITRE 2	Circuits SET-CMOS	9
2.1	Étude théorique des SETs.....	11
2.1.1	Théorie orthodoxe.....	11
2.1.2	Théorie étendue.....	15
2.1.3	Analyse Comportementale des SETs.....	17
2.2	Avantage des circuits hybrides	22
2.2.1	Considérations générales	22
2.2.2	Proposition d'une méthodologie pour la réalisation de circuits hybrides complexes.....	25
2.2.3	Exemples de circuits hybrides	27
2.3	Applications possibles	30
2.3.1	Mémoires à un électron (SEM).....	30
2.3.2	Interface QCA/MOS	33
2.3.3	Circuit FPGA	35
CHAPITRE 3	Intégration Technologique	41
3.1	État de l'art de la fabrication de SET	42
3.1.1	Points quantiques auto-assemblés.....	42
3.1.2	Fabrication par pointe AFM	45
3.1.3	Oxydation.....	46
3.1.4	Évaporation à angle.....	47
3.1.5	Résumé.....	49
3.2	Procédé nanodamascène	50
3.2.1	Description du procédé	52
3.2.2	Influence des différents paramètres du SET	58
3.2.3	Résultats obtenus	66
3.3	Problématiques liées à l'intégration	70
3.3.1	Alignement de l'îlot	70
3.3.2	Fonctionnement de la trigate.....	72
3.3.3	Surgravure des jonctions lors de la CMP.....	76
3.3.4	Difficulté de contrôle de la hauteur du canal	80
3.3.5	Non uniformité de la surface.....	80
3.4	Perspectives d'améliorations	81
3.4.1	Usage de l'ALD	81
3.4.2	Alignement sur le niveau métal 1	86
3.4.3	Contrôle de la hauteur de gravure par CMP	87
CHAPITRE 4	Performances Électriques.....	89
4.1	Description paramétrique des dispositifs.....	90
4.2	Caractérisations électriques des dispositifs	95
4.2.1	Nanofils.....	95
4.2.2	Jonctions tunnels.....	99
4.2.3	SET	108
4.3	Application à la modélisation de circuits hybrides.....	123
4.3.1	Contraintes sur le pitch	124

4.3.2 Simulation de circuits hybrides	127
CHAPITRE 5 Conclusion	137
ANNEXE A - MARSSEA	141
A.1 Fonctionnement	141
A.1.1 Présentation du logiciel	142
A.1.2 Mécanique	144
A.2 Apports	147
A.2.1 Prise en compte des courants Schottky entrant et sortant	148
A.2.2 Calcul du courant Schottky pour chaque probabilité	149
A.2.3 Calcul matriciel des probabilités d'états de l'îlot	151
A.3 Problèmes non résolus	152
A.3.1 Calcul de probabilité des états	152
A.3.2 Différence de hauteur de barrière entre les interfaces	155
A.3.3 Dépendance de la résistivité de barrière à la tension de grille	156

LISTE DES FIGURES

Figure 1-1 Schématisation d'un circuit hybride SET CMOS avec les SETs dans le BEOL réalisée sous SketchUp	1
Figure 1-2 Graphique présentant l'évolution de la densité de puissance des microprocesseurs au fil des ans [Guay, 2012]	2
Figure 1-3 Graphique montrant l'évaluation du SET par l'ITRS. La notation va de 1 à 3 indiquant respectivement des performances moins bonnes et meilleures que le MOS ultime dans le critère correspondant (Anon., 2009)	5
Figure 2-1 Caractéristiques typiques de SETs avec en a) le courant en fonction de la tension drains source pour différentes tension de grille, et en b) le courant en fonction de la tension de grille, faisant clairement apparaître des oscillations de coulomb ; c) exemples de SET types « p » et « n », utilisés pour la création de circuits logiques. Le décalage des oscillations est obtenu par polarisation d'une grille secondaire. Simulations réalisées sous SIMON (Wasshuber et al., 1997).	9
Figure 2-2 Schématisation de la structure d'un SET	10
Figure 2-3 Schématisation d'un SET et indication des différents paramètres considérés. La jonction de gauche a arbitrairement été définie comme étant la source, et celle de droite, le drain. C, R et Q indique respectivement la capacité, la résistance, et la charge aux bornes de la jonction considérée. n_e indique le nombre d'électron dans l'îlot, et n_d et n_s sont respectivement le nombre d'électrons traversant le drain et la source. V est la tension d'alimentation drain-source, et V_g la tension de grille.	12
Figure 2-4 Diagramme de stabilité à gauche (Gautier, 2005), les zones grisées indiquant un blocage de Coulomb, et les chiffres au cœur des losanges, les états possibles de l'îlot. A droite, l'ensemble des paramètres pouvant être extrait du diagramme diamant.	13
Figure 2-5 Calcul de la déformation des jonctions tunnels sous MARSSEA (Beaumont et al., n.d.) à l'aide des équations de Gibson et de Simmons. L'axe des ordonnées représente le niveau d'énergie en eV, et l'axe des abscisses sert pour la représentation spatiale du dispositif.	15
Figure 2-6 Illustration des contributions apportées par les différents modes de conduction.	17
Figure 2-7 Caractérisations $I_d(V_g)$ effectuées sous MARSSEA (Beaumont et al., n.d.) pour différentes tensions d'alimentation à gauche, et pour différentes températures de fonctionnement à droite. On constate une détérioration des oscillations de Coulomb lorsque les valeurs de ces paramètres sont trop élevées.	17
Figure 2-8 Impact de la température sur la capacité totale (droite noire) dans le cas où le critère $E_c > 10k_B T$, et donc impact sur la largeur de l'îlot pour des épaisseurs d'îlots allant de 1nm à 10nm, dans le cas d'un îlot de forme rectangulaire.	18
Figure 2-9 Schématisation d'un SET pull up (a), et d'un SET pull down (b)	19
Figure 2-10 Portes XOR constituée à gauche de transistors MOS, et à droite de SET. Le circuit SET joue sur le comportement périodique des SETs pour réaliser un circuit à grille multiple.	20
Figure 2-11 Illustration de l'impact d'une variation de hauteur sur la caractéristique $I_d(V_g)$ d'un SET, h indiquant la hauteur de l'îlot.	21
Figure 2-12 Illustration d'un additionneur CMOS à gauche (Navi & Kavehei, 2008), et à base de SETs à droite (Ono et al., 2002).	23
Figure 2-13 Exemples de circuits à logique multi-valuée (Inokawa et al., 2004). A gauche le circuit MOS classique (194 transistors), et à droite sa contrepartie hybride (4 SETs et 6 MOSFETs).	23
Figure 2-14 Schématisation de la logique type domino à base de SETs	26
Figure 2-15 Schématisation de la porte universelle réalisée à base d'un SET, d'un MOS, et d'une source de courant I_0 (a). Caractéristiques correspondantes $I_d(V_{in})$ (b) et $V_{out}(V_{in})$ (c). (Inokawa et al., 2001)	27
Figure 2-16 Schématisation du circuit hybride SET-MOS multi-valué (Inokawa et al., 2004).	28
Figure 2-17 Schématisation d'une porte logique hybride XOR à quatre entrées (a), et de son diagramme temporel (b) (Uchida et al., 1999)	28

Figure 2-18 Figures tirées de Bounouar et al. 2012, avec la schématisation d'une cellule mémoire SRAM 1-bit (a), et tableau de consommation correspondant pour des technologies CMOS 65nm et 28nm, et pour des SETs (b). Application au cas d'un circuit hybride (c).	29
Figure 2-19 Schématisation d'une architecture hybride d'une logique reconfigurable. La tension de contrôle (V_{cti}) permet d'obtenir une porte NAND ou une porte NOR (Sui et al., 2010).	30
Figure 2-20 Schématisation de la structure d'une SEM. Le dispositif est similaire à un SET. Une grille de contrôle sert au contrôle de la charge d'un point mémoire situé à proximité de l'îlot. La caractéristique courant de drain en fonction de la tension de grille secondaire, à droite (Xuan, 2010), met en évidence le décalage des oscillations de Coulomb en fonction du nombre de charge (Q) présent dans le point mémoire.	31
Figure 2-21 Figure tirée du manuscrit de thèse de Wei XUAN (Xuan, 2010). Evolution du nombre de charge en fonction du temps lors de l'écriture (en haut à gauche), et en l'absence de tension de grille (en haut à droite). Récapitulatif dans le tableau, des temps d'écriture et de rétention, ainsi que de la variation de courant constatée pour différents nombres de charges.	32
Figure 2-22 Illustration d'une cellule QCA dans l'état d'occupation 1 (à gauche) ou 0 (à droite). Les points noirs définissent la présence d'une charge (Prager, 2010).	33
Figure 2-23 Figures tirées de (Prager, 2010), avec une illustration d'un fil de conduction en QCA (a). Porte NOT (b). Porte majoritaire (c). La sortie est déterminée par la majorité des états. Si une des entrées est fixée à 0 ou à 1, on obtient respectivement une porte ET ou une porte OU.	34
Figure 2-24 Illustration de la chaîne des composants permettant le dialogue entre QCA et CMOS à gauche. Schématisation d'un circuit de lecture de l'état d'un QCA à droite (Prager et al., 2009).	35
Figure 2-25 Forces et faiblesses de différents types d'architecture (Zhu et al., 2009).	35
Figure 2-26 Schématisation à gauche de la structure globale d'une architecture FPGA, et à droite de celle d'une cellule. Architecture tirée de (Zhu et al., 2009).	37
Figure 2-27 Transmission du signal dans une interconnexion locale de longueur L à l'aide d'un SET (a), et d'une longueur nL à l'aide de n SETs en parallèle (b). Schématisation de la transmission du signal dans une interconnexion globale (c). Architecture tirée de (Zhu et al., 2009).	40
Figure 3-1 Image au MEB avec le focus réalisé sur les points quantiques (a), et avec le focus réalisé sur les électrodes (c) ; Image AFM du dispositif (b). Caractérisation électrique courant de drain en fonction de la polarisation de la grille face arrière à 300K pour différentes tensions de polarisation V_{ds} (à droite). Tiré de (Choi et al., 1998).	43
Figure 3-2 Schématisation de la structure à gauche, et image MEB centrée sur le diélectrique au centre. Caractérisations électriques courant de drain en fonction de la tension de grille à 10K et à 295K à droite (Ray, et al., 2008).	44
Figure 3-3 (Li et al., 2004) schématisation de la structure avant et après l'oxydation thermique permettant la formation de l'îlot (en haut) ; image TEM montrant les points quantiques dans la matrice de Si (en bas à gauche) ; caractérisation électrique et simulation correspondante du courant de drain en fonction de la tension de grille à 300K (en bas à droite).	44
Figure 3-4 Schématisation du dispositif SET (a), et de la technique d'oxydation par pointe AFM (b) ; Image MEB d'une pointe AFM avec un nanotube de carbone accroché à son extrémité, destiné à la création de jonction tunnel de moins de 10nm (c) ; caractérisation électrique à 300K courant de drain en fonction de la tension de grille (d), et type diagramme diamant (courant de drain en fonction de la tension de drain en ordonnée, et de la tension de grille en abscisse) (e) ; simulation correspondante (f). Images tirées de (Gotoh et al., 2002).	46
Figure 3-5 Schématisation du SET créé par oxydation (à gauche) ; sa caractérisation électrique $I_d(V_g)$ à 300K (au centre), et son diagramme diamant constitué à partir des données expérimentales (à droite). Images tirées de (Zhang et al., 2004).	47
Figure 3-6 Schématisation du procédé d'évaporation à angle (a) et image MEB du dispositif réalisé (Nakamura et al., 1996). Caractérisations électriques du dispositif à différentes températures à droite (Pashkin et al., 2000). Le fait que les oscillations de Coulomb ne soient pas alignées a été interprété comme dû à la présence de charges parasites.	48

- Figure 3-7 Vue en coupe schématisée d'un SET fabriqué par la méthode de l'évaporation à angle. La surface de contact entre l'îlot et la source/drain est en première approximation proportionnelle aux capacités entre l'îlot et la source/drain. Elle est délimitée par la ligne bleue en pointillée. Comme on peut le constater, elle est fortement augmentée du fait du recouvrement de l'îlot par la source et le drain. _____ 49
- Figure 3-8 Schématisation du résultat de l'intégration de SETs dans le BEOL d'un nœud technologique CMOS, destiné à la réalisation d'une architecture hybride 3D s'inscrivant dans le More Than Moore. Image réalisée sous SketchUp. _____ 51
- Figure 3-9 Schématisation des étapes principales du procédé de fabrication nanodamascène à grille auto-alignée développé dans le groupe de Dominique Drouin avec pour chaque étape une vue la vue de dessus en haut, et la vue en coupe selon (AA') en bas. Étape a) gravure des motifs de grandes dimensions par photolithographie suivie d'un lift-off pour les remplir en partie avec du platine (en grisé sur la figure) avec S la source, D le drain, et G la grille. Étape b) gravure par électrolithographie des motifs les plus fins : canal et box, qui servira à contenir la grille. Étape c) déposition par électrolithographie + lift-off de titane afin de former l'îlot et la grille. Étape d) oxydation du titane déposé pour créer les jonctions tunnel (JT). Étape e) l'échantillon est recouvert de titane. Étape f) grâce à la CMP, seul le titane présent dans les structures gravées demeure. L'épaisseur de l'îlot a de plus été affinée. _____ 52
- Figure 3-10 Illustration d'une partie du masque utilisé lors de la photolithographie pour une cellule SET réalisé dans le groupe de Dominique Drouin. Les éléments insolés sont en gris les structures sacrificielles, et en bleu, les plots, chemins d'amenée et marques d'alignement. Une cellule regroupe potentiellement quatre dispositifs SETs. Pour plus de clarté, un des dispositifs potentiels a été entouré en pointillés rouge. Les structures critiques du SET (îlot, jonctions tunnel et grille) seront fabriquées par la suite dans les rectangles oranges. _____ 53
- Figure 3-11 Design CAD des motifs gravés par électrolithographie à gauche. Image MEB réalisée à l'UdeS d'un zoom sur un des SET à droite. On y retrouve les différentes structures : box, canal (20nm de largeur), structures sacrificielles (lignes et carrés). Le carré lumineux à droite de l'image correspond à une structure métallique du niveau métal 1, qui est situé plus de 350nm sous la surface. _____ 54
- Figure 3-12 Image MEB réalisée à l'UdeS d'un dispositif SET après soulèvement. L'ensemble îlot grille déposé correspond à la structure claire au centre de l'image. La largeur du canal est 20nm, celle de l'îlot est 35nm. _____ 55
- Figure 3-13 Coupes TEM réalisées par ST-Microelectronics sur un dispositif SET (a), avec zoom sur la jonction de gauche (b) et celle de droite (c). Image MEB réalisée à l'UdeS de dispositifs SETs recouverts par une couche de titane (d), et emploi de la CMP pour l'éliminer et dégager les SETs, entourés en pointillés pour plus de clarté (e). Les structures floues visibles sur ces deux images correspondent à des éléments métalliques du niveau métal 1, situé environ 350nm sous la surface. _____ 57
- Figure 3-14 Caractéristiques $I_d(V_d)$ à gauche et $I_d(V_g)$ à droite d'un nMOS réalisée à température ambiante, après fabrication des SETs. Caractéristiques du MOS mesuré indiquées dans le tableau en bas, avec W et L sa largeur et longueur de grille, SS la pente sous le seuil, I_{gate} et I_{sub} les courants de fuite par la grille et le substrat. _____ 58
- Figure 3-15 Simulation des caractéristiques I_{on} et I_{on}/I_{off} en fonction de la tension V_{ds} donnée en (e/C_i), pour un SET ayant les caractéristiques fournies par le Tableau 3-1 _____ 59
- Figure 3-16 Simulation du courant I_{ON} et du rapport I_{ON}/I_{OFF} d'un SET ayant comme paramètres de bases ceux donnés par le Tableau 3-1, et en faisant varier individuellement un de ces paramètres. La courbe en pointillé pour les graphiques a) et d) correspond au rapport des courants I_{ON}/I_{OFF} dans le cas où le courant thermoionique est supprimé (i.e. seuls sont considérés les courants tunnels) _____ 60
- Figure 3-17 Les figures a) à d) regroupent les caractéristiques I_{ON}/I_{OFF} en fonction de I_{ON} pour des SETs ayant les paramètres décrits dans le Tableau 3-4. L'impact des différents paramètres (permittivité (a), section (b), hauteur de barrière (c) et épaisseur de jonction (d)) a été mis en évidence. La figure e) regroupe uniquement les jonctions dont la permittivité est supérieure à 3, la figure f) montre le comportement des SETs dont la permittivité est supérieure à 3, et l'aire de la jonction supérieure à 10nm². Pour chacun de ces graphiques, un point correspond à un SET donné. _____ 64
- Figure 3-18 Image TEM réalisée par ST-Microelectronics, montrant la réalisation d'un SET dans le BEOL d'une plaque de CMOS. Le SET a été fabriqué dans la couche de TEOS. Sont visible sur l'image les différentes couches d'isolant, un contact du niveau métal 1, ainsi qu'une grille de CMOS. _____ 66

- Figure 3-19 Photographie en microscopie optique réalisée à l'UdeS d'une cellule SET. La photographie de droite est un zoom sur la zone centrale encadrée par des pointillés rouges. Les dispositifs SETs sont légèrement visibles. Ils ont été entourés en noir pour les mettre en valeur. Les structures réalisées lors de la fabrication des SETs sont en blanc. Le reste correspond aux structures appartenant au niveau métal 1 ou au niveau des CMOS. _____ 67
- Figure 3-20 Photographie MEB réalisée à l'UdeS du centre d'une cellule SET. Une cellule contient typiquement deux SETs (à gauche et en haut), une MIM (à droite), et un nanofil (en bas). On peut voir dans le fond de l'image les structures des couches inférieures. _____ 68
- Figure 3-21 Image TEM réalisée par ST-Microelectronics en haut à droite, mettant en évidence l'aminçissement des jonctions après CMP. A gauche, Image AFM réalisée par D. Albertini (INL) d'un dispositif SET où sont clairement visibles les différents éléments : canal, îlot, jonctions tunnel et grille (rectangle lumineux à droite de l'image). Analyse topographique du canal en bas à droite, permettant d'en extraire les dimensions de l'îlot et des jonctions tunnels. _____ 69
- Figure 3-22 Schématisation de la forme des marques d'alignement, et de leur positionnement par rapport à la zone d'écriture (a) ; capture d'écran prise lors d'une procédure d'alignement réalisée à l'UdeS sur des marques non métallisées (b), sur des marques métallisées en titane (c), et sur des marques métallisées en platine (d). __ 71
- Figure 3-23 Schématisation de la structure du SET, avec en jaune la partie déposée par soulèvement, et en rouge celle provenant de la couche de métal déposée avant CMP. Les grilles flottantes correspondent aux structures à l'extrémité du box, séparée de la grille par des jonctions tunnel (en noir). Réalisée sous SketchUp. _____ 72
- Figure 3-24 Simulation COMSOL Multiphysics d'un dispositif SET dont la grille est polarisée (en haut à gauche). Paramètres par défaut utilisés dans les simulations pour le SET (en haut à droite). Les paramètres en gras indiquent ceux qui seront variés par la suite. Matrice capacitive du SET (valeurs en Farad) extraite des simulations COMSOL. Gf_S et Gf_D correspondent respectivement à l'élément grille flottante faisant face à la source, et faisant face au drain. La matrice devrait normalement être symétrique. La légère différence existant entre les éléments C_{ij} et C_{ji} provient du maillage trop grossier. Les limites de l'ordinateur utilisé pour réaliser ces calculs n'ont pas permis de l'affiner. Pour la suite, on considèrera que la capacité entre deux éléments i et j est la moyenne des capacités C_{ij} et C_{ji} . _____ 73
- Figure 3-25 Illustration du schéma électrique du SET utilisé sous SIMON (Wasshuber et al., 1997) pour la simulation (à gauche). Pour plus de clarté, toutes les liaisons capacitives n'ont pas été représentées. La liaison entre la grille et les grilles flottantes est faite au moyen d'une jonction tunnel. L'évolution du potentiel de la grille flottante en fonction de la tension de grille est montré à droite. Le graphique indique aussi son état de charge. La courbe rouge en trait plein indique le potentiel de la grille flottante, la courbe noire en pointillé sert de référence et correspond au potentiel de la grille. _____ 74
- Figure 3-26 Evolution des capacités grille-îlot, grille flottante-îlot et capacité de grille totale ; en fonction des différents paramètres du box. Calcul réalisé sous COMSOL Multiphysics. _____ 75
- Figure 3-27 Image AFM réalisée par D. Albertini (INL) d'une structure MIM, et profil de la jonction tunnel à gauche. On observe une différence de hauteur de près de 4nm entre le point le plus bas de la jonction et le reste du canal _____ 76
- Figure 3-28 Illustration de la diminution effective de la capacité de la jonction tunnel en TiO_2 dans le cas où elle est amincie. _____ 77
- Figure 3-29 Image MEB en haut à gauche, de la jonction entre un chemin d'amenée et une pregate. La coupure entre les deux est nettement visible sous la forme d'un trait noir faisant le tour du chemin d'amenée. Image AFM réalisée par C. Nauenheim (UdeS/INRS) d'un dispositif, avec vue 3D en haut à droite, et vue 2D en bas. La vue 3D et le profil de la mesure mettent clairement en évidence la surgravure autour du chemin d'amenée. __ 78
- Figure 3-30 Images AFM réalisées par D. Albertini (INL) de la jonction entre une pregate et un chemin d'amenée. La jonction est de très bonne qualité sur l'image de gauche, aucune coupure n'étant visible par AFM. Toutefois, il semble y avoir des coupures importantes sur l'image de droite, ainsi qu'une dégradation du peigne connectant le reste de la pregate au chemin d'amenée. L'image MEB en dessous réalisée à l'UdeS, illustre le problème de coupure prématurée des pregate lors de CMP trop avancées. _____ 79

- Figure 3-31 Image AFM réalisée par C. Nauenheim (UdeS/INRS) d'un dispositif SET fabriqué dans le BEOL d'une plaque de CMOS. L'effet de damier visible dans l'arrière plan, dont 3 des cases ont été entourés en pointillés, provient d'une rugosité de surface engendrée par des structures des couches sous-jacentes. _____ 81
- Figure 3-32 Schématisation de la procédure de diminution de la largeur de canal par ALD, et du risque de rupture du chemin de conduction dans le cas où la largeur du canal après diminution est du même ordre de grandeur que la rugosité du canal. _____ 82
- Figure 3-33 Illustration par une vue en coupe du canal dans le sens de la longueur, des étapes de fabrication pour le procédé nanodamascène à grille auto-alignée (a à d), et du procédé à déposition d'oxyde par ALD (e-h). Etape a) déposition de l'îlot par électrolithographie et soulèvement, oxydation de l'îlot par plasma O_2 (b), et dépôt d'une épaisse couche de Ti (c). Résultat après CMP (d). Le point de départ est différent ; le canal a été gravé, mais une couche de Ti a été déposée sur la surface juste après. Cette couche de Ti est gravée pour créer l'îlot (e). Dépôt de l'oxyde par ALD (f), et d'une couche de Ti (g). Résultat après CMP (h). _____ 83
- Figure 3-34 Schématisation de l'approche matricielle pour le traitement d'une jonction tunnel à oxydes multiples à gauche. Simulation illustrant la différence entre jonction à un oxyde obtenu par WKB, et jonction à deux oxydes calculé grâce aux fonctions d'Airy. Images tirées de (Govoreanu et al., 2003). _____ 84
- Figure 3-35 Rapport I_{ON}/I_{OFF} en fonction de I_{ON} pour différents paramètres de jonctions. Les points rouges indiquent les résultats obtenus lorsque seule la conduction Fowler-Nordheim a été considérée. Les points bleus prennent en compte la conduction thermoionique en plus de la conduction Fowler-Nordheim. _____ 85
- Figure 3-36 Illustration de différents types de jonctions MIIM en polarisation positive et négative, avec simulation du comportement électrique des MIIM à droite. La différence entre l'asymétrie de la MIIM Step et de la MIIM Resonant est due aux effets de résonance de cette dernière. Images tirées de (Grover & Moddel, 2012). _____ 85
- Figure 3-37 Image prise lors de la procédure d'alignement d'une étape d'électrolithographie réalisée à l'UdeS. _ 86
- Figure 4-1 Illustration de la mesure de la largeur du canal par imagerie MEB (à gauche, réalisée à l'UdeS) et AFM (à droite, réalisée par D. Albertini (INL)). L'image MEB a été effectuée juste après la première électrolithographie. _____ 91
- Figure 4-2 Image MEB réalisée à l'UdeS après CMP d'un SET où les jonctions tunnel peuvent être distinguées par contraste (a). Dépôt de carbone créé lors de l'observation MEB visible par AFM réalisée par C. Nauenheim (UdeS/INRS) (b). Observation AFM réalisée par D. Albertini (INL) d'un SET, avec les jonctions tunnel clairement visible (c). Les épaisseurs des jonctions estimées par analyse du profil du canal sont 10nm et 12nm (e). Vue en coupe TEM réalisée par ST-Microelectronics d'un SET pour lequel la largeur des jonctions a été estimée entre 8nm et 10nm (d). _____ 92
- Figure 4-3 Illustration sous forme graphique de la combinaison des équations (4-18) et (4-19), donnant respectivement les courbes croissantes et décroissantes. Elles permettent de trouver les valeurs de masse effective et de hauteur de barrière, données par leur intersection (Dubuc, 2008). _____ 94
- Figure 4-4 Hauteur de canal et d'îlot mesuré sur une observation TEM réalisée par ST-Microelectronics d'une coupe pour deux SETs distincts. On remarquera une mesure précise de la hauteur, mais aussi une différence de niveau entre le canal (partie de gauche), la jonction tunnel, au centre, et l'îlot (partie de droite) _____ 95
- Figure 4-5 Schématisation en vue de dessus de l'ensemble du circuit électrique dans lequel est compris le nanofil. La résistance de contact indique la résistance entre la pointe et le contact, mesurée en posant deux pointes sur un plot. Une vue de dessus schématisée de la pregate est montrée à droite avec les cotes associées. _____ 96
- Figure 4-6 Graphique réalisé sous Matlab illustrant R en fonction de la hauteur et de la largeur du nanofil. R correspond à la résistance de l'ensemble du dispositif, et a été calculé à l'aide du modèle Fuchs Sondheimer et de Mayadas et Shatzkes. _____ 97
- Figure 4-7 Simulation du comportement $I_d(V_d)$ d'une MIM à 300K. Echelle linéaire du courant à gauche, et échelle logarithmique à droite, avec mise en évidence des contributions au courant total des modes de conduction Schottky (en rouge) et Fowler Nordheim (en bleu). _____ 99
- Figure 4-8 Caractérisation électrique d'une MIM pour différentes cycles de polarisations, faisant clairement apparaître un cycle d'hystérésis pour les polarisations négatives (à gauche). Le courant de drain est donné en valeur absolue. Courant de drain mesuré pour différents dispositifs MIM avec $V_{ds}=2V$ et $V_{ds}=-2V$. On

- remarquera la grande variation de conductivité présente entre les dispositifs en particulier G666E_C3 et G666E_D3 provenant du même échantillon G666E, et entre les différentes polarisations. La hauteur théorique pour G666D est de 7.5nm, et 8nm pour G666E. _____ 100
- Figure 4-9 Caractérisations électriques d'une MIM (en haut à gauche), et simulations correspondantes (1 à 3). Les numéros indiquent la portion de la courbe expérimentale servant de base aux simulations. Le courant mesuré expérimentalement est en noir, le courant total simulé est en bleu, et ses contributions Fowler Nordheim et Schottky sont respectivement en vert et en rouge. Les différents paramètres employés lors des simulations sont indiqués, avec Φ_0 la hauteur de barrière, ϵ_r la permittivité, m^* la masse effective, E_p l'épaisseur de la jonction, et S l'aire de sa section. _____ 101
- Figure 4-10 Image TEM en haut à gauche de la structure de la MIM avec mise en évidence de la rugosité à l'interface. Simulation en bas à gauche de la distribution du champ électrique dans l'oxyde, mettant en évidence les effets de pointes. Caractérisation $I_d(V_d)$ de la MIM mettant en évidence la facilitation du passage du courant dans un sens grâce à l'effet de pointe. D'après (Gaillard et al., 2006). _____ 102
- Figure 4-11 Illustration de l'impact sur la caractéristique $I_d(V_d)$ de la différence de hauteur de barrière entre l'oxyde et les métaux de source et drain pour une MIM. D'après (Huang et al., 2010). _____ 103
- Figure 4-12 Caractéristique $I_d(V_d)$ d'une MIM mettant en évidence hystérésis et asymétrie (a). Diagramme de bande de l'oxyde prenant en compte les pièges (b), et illustration du fonctionnement de la MIM dans l'état OFF et ON (c-d). Le dispositif présenté par l'auteur est une MIM Pt/TiO₂/Pt. D'après (Kim et al., 2011). _____ 104
- Figure 4-13 Illustration du procédé de fabrication d'une MIM par une vue en coupe du canal dans le sens de la longueur. Une couche de titane est tout d'abord déposée, afin de recouvrir la moitié du canal (a). Elle est alors oxydée afin de générer la jonction tunnel (b). Une couche épaisse de titane est alors déposée (c), et l'échantillon est passé à la CMP (d). Ainsi qu'il est illustré, les étapes (b) et (c) sont sources d'asymétrie pour le dispositif, et peuvent être génératrices des problèmes de rugosités, accrochage du niveau de Fermi ou pièges, mentionnés précédemment. _____ 105
- Figure 4-14 Coupe TEM et analyses chimiques correspondantes réalisées par ST-Microelectronics du canal d'un SET. Image TEM (1) avec la zone de canal en Ti analysée entourée en rouge. Les différents éléments sont mis en évidence dans l'image 2, avec l'oxygène en vert, le silicium en bleu, le titane en mauve, et le platine en jaune. Le pourcentage atomique de ces différents éléments a été indiqué suivant le segment [AB]. Les zones vertes au dessus et en dessous de la ligne de Ti sur l'image 2 sont caractéristiques de la présence de TiO₂. Le pic entouré dans l'image 3 est probablement révélateur de la couche de TiO₂. _____ 106
- Figure 4-15 Image TEM en haut à gauche d'une vue en coupe d'un canal mettant en évidence le phénomène de constriction de la jonction tunnel. La coloration de l'image TEM en haut à droite met en évidence la nature des différents matériaux. Leur concentration au niveau d'une des jonctions tunnel (indiquée par le trait jaune) est montrée dans la figure du bas. Le pic de concentration de silicium entouré en pointillé dans la couche d'oxyde. Il est le signe d'une contamination de la jonction par des atomes de silicium. Analyses réalisées par ST-Microelectronics. _____ 107
- Figure 4-16 Caractéristiques $I_d(V_d)$ pour un SET en fonction de la température pour le SET F878-C12. _____ 109
- Figure 4-17 Caractéristiques $I_d(V_g)$ du SET F878-C12 à 78K pour $V_{ds}=200mV$. Les mesures ont été faites sous éclairage (courbe noire) et en obscurité (courbe bleue). _____ 109
- Figure 4-18 Caractéristique $I_d(t)$ pour $V_g=0V$ et $V_{ds}=200mV$ du SET F878-C12 à 78K. _____ 110
- Figure 4-19 Caractéristiques électriques de F878-E10 à 78K : courant de drain en fonction de la tension de drain (1-2) et en fonction de la tension de grille pour $V_{ds}=100mV$ (3). Observation AFM du dispositif réalisée par C. Nauenheim (UdeS/INRS) (4). _____ 111
- Figure 4-20 Caractéristique $I_d(V_d)$ du SET G666E-C3 à 300K. _____ 112
- Figure 4-21 Caractéristiques $I_d(V_d)$ du SET G666I-E3 à 300K. Deux mesures ont été successivement effectuées. _____ 113
- Figure 4-22 Caractérisation $I_d(V_g)$ du SET G666I-E3 à 300K, de -20V à +20V pour $V_{ds}=0,5V$. _____ 114
- Figure 4-23 Caractérisations $I_d(V_d)$ pour le SET G666E-D3 à différentes températures. _____ 116
- Figure 4-24 Caractéristique $I_d(V_d)$ du SET G666E-D3 à 300K. _____ 117

- Figure 4-25 Caractéristique $I_d(V_d)$ à des températures de 2K à 40K (à gauche), et $I_d(V_d, V_g)$ à $T=1.5K$. Mesures effectuées par Jean Philippe Richard à l'Université de Sherbrooke. _____ 118
- Figure 4-26 Présentation des niveaux de courants mesurés en polarisation positive et négative pour différents dispositifs SETs. Les éléments d'une même plaque sont regroupés entre eux. _____ 119
- Figure 4-27 Illustration du procédé de fabrication de SET par une vue en coupe du canal, avec dépôt de l'îlot (1a), oxydation et dépôt d'une couche de Ti (1b) et CMP (1c). De par sa fabrication, le SET ressemble donc à deux MIMs en série tête-bêche. La figure 2 présente le résultat de la modélisation du comportement d'une MIM. Le dessin utilisé pour sa schématisation sert à indiquer le sens de passage préférentiel du courant. Les figures 3 à 5 correspondent à des simulations de MIMs individuelles (courbes rouges et bleues), et d'un SET réalisé par la mise en série de ces deux composants. Figure 3, les MIMs sont identiques, mais placées en opposition. Figure 4, les MIMs sont placées en opposition, mais l'une est beaucoup plus résistive que l'autre. Figure 5, les MIMs sont identiques, mais orientées dans le même sens. _____ 120
- Figure 4-28 Illustration de l'impact des pièges sur le fonctionnement d'un SET. Si seul un électron peut être piégé (a), deux niveaux d'oscillations de Coulomb sont visibles et correspondent chacun à un état de charge. Les oscillations sont décalées l'une par rapport à l'autre. La visibilité des oscillations diminue avec le nombre d'électrons pouvant être piégés. Pour 10 électrons (b), les oscillations sont visibles, mais plus difficilement reconnaissables. Elles sont complètement noyées dans le bruit pour 50 électrons (c). Courant de drain en fonction de la tension de grille pour le SET F878-E10 à 78K. Les courbes rouges et vertes ont été superposées en dessous pour offrir une comparaison de la forme des oscillations. _____ 121
- Figure 4-29 A gauche, $I_d(V_g)$ illustrant le décalage des oscillations de Coulomb en fonction de P . A droite, $I_d(V_g)$ présentant le cas d'un SET dont la hauteur de barrière est invariante avec la polarisation de l'îlot en trait plein, et le cas d'un SET dont la conductivité augmente au fil des cycles en pointillé. _____ 125
- Figure 4-30 Rapport entre l'influence des éléments parasites SET/TSV/FET sur l'îlot d'un SET et celle de sa grille, en fonction de leur éloignement à l'îlot. _____ 126
- Figure 4-31 Schématisation d'un circuit hybride SET-MOS en série. Avec V_{gg} et V_{IN} les sources de tension, et I_d la source de courant. $I_d=1.3nA$ et $V_{gg}=350mV$. _____ 127
- Figure 4-32 Simulation du circuit hybride SET-MOS à 300K dans le cas d'un SET aux caractéristiques démontrées lors de ce projet (SET_A), et d'un dispositif anticipé (SET_B). La tension d'entrée (V_{IN}) et de sortie (V_{OUT}) sont indiquées en fonction du temps. _____ 128
- Figure 4-33 Etude de l'impact sur les tensions de sortie en mode ON et OFF, de la valeur de la capacité des jonctions tunnel du SET (a), de sa capacité de grille (b), de l'amplitude de la source de courant (c) et de la tension de contrôle du nMOS (d). On utilise comme base les paramètres de SET_B. Dans le cas de l'étude de la capacité de grille, l'impact sur la tension d'entrée **VINOFF** a été précisé (sachant que **VINON = 0V**) _____ 129
- Figure 4-34 Schématisation du circuit SET-MOS en parallèle (a), et résultat des simulations à 300K, avec les paramètres de SET_A (b) et SET_B (c). Dans le schéma, V_{ss} et V_{in} sont les sources de tensions et I_1 et I_2 les sources de courant. $I_1=1.3nA$ $I_2=40nA$. Pour SET_A, $V_{ss}=0V$ et pour SET_B, $V_{ss}=110mV$. _____ 130
- Figure 4-35 Schématisation de la porte OU avec I_1 et I_2 les sources de courant, $V_{IN,1}$ et $V_{IN,2}$ les sources de tension (a). Les résultats des simulations à 300K sont présentés en (b) pour le SET_A et en (c) pour le SET_B. Un offset de 1.1V a été mis entre les différents signaux pour plus de visibilité. _____ 132
- Figure 4-36 Schématisation de la mise en série d'un inverseur SET et d'un inverseur CMOS (a). V_{IN} , V_1 , V_2 et V_p sont les sources de tension de ce circuit. nSET et pSET servent à différencier le SET dont le comportement se rapproche d'un pMOS grâce à la polarisation de la grille secondaire par V_p , du SET qui jouera le rôle d'un transistor de type n dans le circuit. Les résultats des simulations sont montrés en (b) pour le SET_A et (c) pour le SET_B. On a utilisé $V_1=310mV$, $V_2=300mV$ pour SET_A, et $V_2=500mV$ pour SET_B. Une étude de l'impact des tensions V_1 et V_2 sur la tension de sortie du circuit en mode ON et OFF est montrée en (d) et (e). _____ 133
- Figure 4-37 Schématisation de l'interconnexion π reliant le SET au MOS avec C_i sa capacité et R_i sa résistance (a). Caractéristiques pour le SET-MOS parallèle (b), série (c), la porte OU (d) et les inverseurs en série (e). La tension d'entrée est V_{IN} (et pour (d) V_{IN1} et V_{IN2}). La tension de sortie est en trait plein avec $V_{OUT,N}$ quant l'interconnexion est négligée, et $V_{OUT,1}$ quant elle est prise en compte. Dans le cas du SET-MOS parallèle et des inverseurs en

série, la tension en sortie du SET a été indiquée ne pointillée avec V_{SET_I} avec interconnexion et V_{SET_N} sans en tenir compte. Dans le cas de d), un offset de 1.1V a été mis entre chaque courbe pour plus de visibilité. _____ 134

LISTE DES TABLEAUX

Tableau 1-1 Illustration de l'évolution des différents paramètres d'un microprocesseur dans différentes conditions avec λ le paramètre illustrant l'évolution des dimensions du dispositif, L_{grille} la longueur de grille, W sa largeur, L_{wire} la longueur moyenne des interconnexions, V_{dd} la tension d'alimentation, C la capacité du dispositif, U_{stor} l'énergie dépensée par le dispositif, f la fréquence, N_{tran}/N_{coeur} le nombre de transistor par cœur, N_{coeur}/A le nombre de cœurs par unité de surface, P_{ckt} l'énergie dissipée par l'ensemble des transistors, P/A la dissipation par unité de surface, et $f N_{tran} N_{coeur}$ la quantité de calcul par unité de temps (Theis & Solomon, 2010).	3
Tableau 1-2 Evaluation de la consommation pour différents circuits logiques hybrides SET/CMOS [Samanta & Sarkar, 2012]. Par comparaison, la consommation dynamique d'une porte CMOS est environ 10uW pour une technologie 65nm (Ben Jamaa et al., 2010).	6
Tableau 3-1 Valeurs par défaut considérées pour les simulations des SETs, avec de gauche à droite l'aire des jonctions tunnel, leur épaisseur, leur hauteur de barrière, leur permittivité, et leur masse effective.	58
Tableau 3-2 Résumé des paramètres optimaux extraits de la Figure 3-16.	62
Tableau 3-3 Recueil non exhaustif de permittivité et de hauteur de barrière pour différents couples métal/oxyde.	63
Tableau 3-4 Paramètres des jonctions tunnel utilisés lors des simulations.	63
Tableau 3-5 Paramètres des SETs présentant les 5 rapports I_{ON}/I_{OFF} les plus élevés dans la figure f), avec $V_{DS}=0.7V$, et $V_G=1.16V$.	65
Tableau 3-6 Indication des paramètres considérés pour les oxydes O1 et O2. L'objectif de l'oxyde O2 étant simplement la coupure du courant thermoïonique, seules comptent sa faible épaisseur et sa hauteur de barrière élevée. C'est pourquoi les valeurs de sa permittivité comme de sa masse effective n'ont pas été indiquées.	85
Tableau 4-1 Hauteurs des nanofils extraites des résistances mesurées. Chaque cellule ne contient qu'un seul nanofil. L'ensemble de ces échantillons a subi en même temps les différentes étapes de fabrication de SET jusqu'à la CMP. Cette dernière a été appliquée individuellement à chaque échantillon.	98
Tableau 4-2 Distinctions principales entre les séries F878 et G666. Les mesures d'épaisseurs ont été tirées de vues en coupe TEM réalisées par ST-Microelectronics. Dans le cas de la méthode de déposition de Ti, la composition moyenne dans un dépôt a été précisée. L'analyse XPS a été réalisée par C. Sarra-Bournet.	108
Tableau 4-3 Caractéristiques physiques démontrées (SET_A) et projetées (SET_B) pour les transistors SET fabriqués par procédé nanodamascène. On utilisera par défaut une hauteur de barrière de 0.3eV, et une permittivité relative de 3. Les autres paramètres sont la hauteur et largeur du canal (h et l), la largeur de l'îlot (L), l'épaisseur de la jonction tunnel (e), et la distance entre l'îlot et la grille (d). Les capacités sont calculées à partir de ces paramètres.	123
Tableau 4-4 Valeurs de distance minimum entre l'élément perturbateur et l'îlot d'un SET pour avoir $P = 10\%$, tirées de la Figure 4-30.	127

LEXIQUE

Terme technique	Définition
BEOL	Etape de la fabrication des plaques de MOS, où les différents composants sont interconnectés. Elle inclue la formation des contacts, des couches d'isolants, et des niveaux métalliques.
Bottom-Up	Procédé de fabrication reposant sur la croissance des éléments souhaités
Blocage de Coulomb	Etat de conduction minimal d'un SET, engendré par répulsion électrostatique entre les électrons de l'îlot, et ceux de la source et du drain.
Box	Surface gravée et destinée à accueillir la grille du SET dans le processus de fabrication nanodamascène à grille auto-alignée
Canal	Chemin conducteur reliant la source au drain. La création d'un SET se fait typiquement par la formation d'un îlot et de jonctions tunnel dans le canal.
Capacité totale	Somme des capacités entre l'îlot et le reste du circuit électrique.
Charges parasites	Charges électriques non nulles et non souhaitées, piégées dans l'oxyde.
Circuit hybride SET-CMOS	Circuits comprenant des dispositifs MOS et SETs interconnectés.
Courant Fowler-Nordheim	Aussi appelé <i>courant fort champs</i> . Décrit l'augmentation du courant dans une jonction tunnel soumise à un champ électrique élevé.
Courant Schottky	Aussi appelé <i>courant thermoïonique</i> . Décrit la conduction due aux électrons de haute énergie.
Diagramme diamant	Diagramme caractéristique des SETs, représentant le courant de drain en fonction des tensions de grille et de drain.
Effet tunnel	Mode de conduction des électrons à

Equation maitresse	travers un oxyde, décrit par la physique quantique. Equation décrivant l'évolution dans le temps d'un système dont les états sont dénombrables.
Ilot	Elément clé conducteur de dimensions nanométriques d'un SET. Il est séparé de la source et du drain par des jonctions tunnels, et de la grille par une jonction capacitive.
Loi de Moore	Conjecture de G. Moore anticipant une multiplication par deux tous les 18 mois du nombre de transistors dans les microprocesseurs
Oscillation de Coulomb	Oscillation périodique de l'amplitude du courant de drain avec la tension de grille. Cette oscillation est caractéristique du comportement d'un SET.
Top-Down	Procédé de fabrication où le dispositif est obtenu par suites d'étapes de gravure/polissages... destinées à former le matériau travaillé pour lui conférer les propriétés souhaitées.

LISTE DES SYMBOLES

Symbole	Définition
C_b	Capacité entre l'îlot et le substrat
C_d	Capacité entre l'îlot et le drain
C_g	Capacité entre l'îlot et la grille
C_s	Capacité entre l'îlot et la source
C_t	Capacité totale de l'îlot
e	Charge d'un électron ($1,6 \cdot 10^{-19} \text{C}$)
E_C	Energie de charge de l'îlot ($e^2/2C_t$)
ϵ_0	Permittivité du vide ($8,85 \cdot 10^{-12} \text{SI}$)
ϵ_r	Permittivité relative
F	Energie libre du système
h	Constante de Planck
I_{OFF}	Courant de drain du dispositif lorsqu'il est bloqué
I_{ON}	Courant de drain du dispositif lorsqu'il est passant
J	Densité de courant
k_B	Constante de Boltzmann
m^*	Masse effective
φ	Hauteur de barrière de la jonction tunnel
R_Q	Résistance quantique de la jonction
T	Température
V_{dd}	Tension d'alimentation
V_{ds}	Différence de potentiel entre le drain et la source
V_g	Tension appliquée à la grille

LISTE DES ACRONYMES

Acronyme	Définition
AFM	Observation microscopique (<i>Atomic Force Microscopy</i>)
ALD	Technique de déposition de matériaux par couches atomiques (<i>Atomic Layer Deposition</i>)
ICP	Procédé de gravure par plasma (<i>Inductively Coupled Plasma</i>)
BEOL	Etape du processus de fabrication des plaques de CMOS (<i>Back-End-Of-Line</i>)
CMOS	Couple de transistors MOS de type <i>p</i> et <i>n</i> disposés symétriquement (<i>Complementary Metal Oxide Semiconductor</i>)
CMP	Procédé de polissage nanodamascène (<i>Chemical Mechanical Planarization</i>)
FEOL	Etape du procédé de fabrication des plaques de CMOS (<i>Front-End-Of-Line</i>)
FPGA	Architecture de circuit intégré (<i>Field Programmable Gate Array</i>)
HPL	Technologie orientée hautes performances (<i>High Performance Logic</i>)
ITRS	Plan de route des industriels de la microélectronique (<i>International Technology Roadmap for Semiconductors</i>)
LOP	Technologie orientée basse consommation (<i>Low Operating Power</i>)
MARSSEA	Logiciel mis au point par A. Beaumont permettant la simulation du comportement de SET à l'aide de l'équation maîtresse (<i>Master equation Approximation Resolution for Simulation of Single Electron Artefacts</i>)
MEB	Microscopie Electronique à Balayage
MIM	Diode consistant en un diélectrique

	en sandwich entre deux métaux (<i>Metal Insulator Metal</i>)
MOSFET	Transistor à effet de champ à grille isolée, appelé aussi MOS (<i>Metal Oxide Semiconductor Field Effect Transistor</i>)
QCA	Dispositif émergent (<i>Quantum Cellular Automata</i>)
SEM	Mémoire à un électron (<i>Single Electron Memory</i>)
SET	Transistor à un électron (<i>Single Electron Transistor</i>)
SRAM	Type de mémoire vive utilisant des bascules pour mémoriser les données (<i>Static Random Access Memory</i>)
TEM	Microscopie électronique en transmission (<i>Transmission Electronic Microscopy</i>)
TEOS	Oxyde de Silicium (TétraEthOxySilane : $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$)
ULK	Diélectrique à très faible permittivité (<i>Ultra Low K</i>)

CHAPITRE 1 Introduction

La présente thèse a pour sujet l'étude et la fabrication de transistors mono-électroniques (*Single Electron Transistor*, SET) dans le *Back End Of Line* (BEOL) de transistors à effet de champs (MOSFET). Cette étape constitue un pas important pour l'introduction des SETs vers l'industrie. En effet, il est communément admis que le SET, tel qu'il est actuellement, est très intéressant du fait de sa faible consommation énergétique, mais ne peut remplacer les MOSFETs, à cause de son faible courant d'attaque. Toutefois, il devient possible, lorsqu'on le combine à des CMOS, de pallier à ce problème, tout en conservant une basse consommation. Ces circuits hybrides SET-CMOS ont fait l'objet de nombreuses études au cours des dernières années, que ce soit au niveau théorique (Mahapatra & Ionescu, 2005), (Zhou et al., 2012) ou au niveau expérimental (Uchida et al., 2003), (Park et al., 2005). Toutefois, les réalisations expérimentales de circuits hybrides n'ont actuellement porté que sur l'intégration de SETs dans le *Front End Of Line* (FEOL), c'est-à-dire au même niveau que les MOSFET. Par opposition au FEOL, une intégration dans le BEOL signifierait, elle, la possibilité de réaliser des circuits hybrides 3D, offrant un fort potentiel d'intégration, et une forte valeur ajoutée potentielle aux plaques de CMOS. L'intérêt de passer de circuits CMOS traditionnels à des circuits hybrides SET-CMOS sera mis en évidence après un court historique de la technologie CMOS.

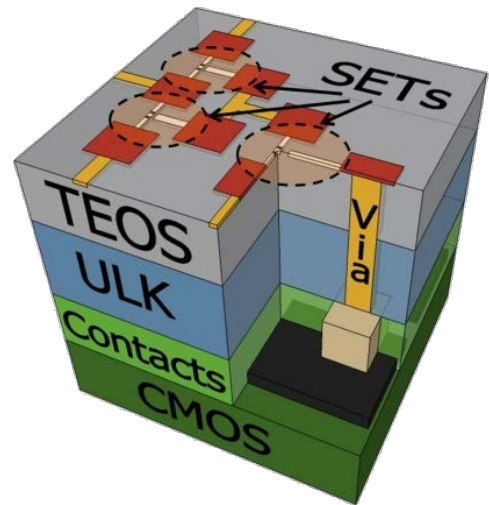


Figure 1-1 Schématisation d'un circuit hybride SET CMOS avec les SETs dans le BEOL réalisée sous SketchUp

Le XX^{ème} siècle a vu la naissance et le développement formidable de l'industrie électronique. L'invention du transistor, composant fondamental de cette industrie, date de 1947. Le développement des circuits intégrés peu après, a permis la création de circuits électroniques de plus en plus puissants sur des surfaces de plus en plus petites. En peu de temps, le MOSFET a fini par dominer le monde de l'électronique, et l'architecture CMOS (combinaison de MOSFET de type p et n) est devenu le moteur de cette industrie. Année après année, les dispositifs CMOS sont plus petits et plus rapides, les industriels recherchant

constamment de nouvelles méthodes pour en diminuer les dimensions afin d'en augmenter la densité d'intégration. La célèbre loi de Moore, prévoyant que le nombre de transistors des microprocesseurs est doublé tous les 18 mois, est souvent utilisée pour décrire ce phénomène.

Mais cette tendance ne pourra probablement pas se maintenir dans le futur. En effet, outre toutes les difficultés liées à la production de dispositifs dont la taille est inférieure à une dizaine de nanomètres, on est aussi confronté à des dissipations d'énergie importantes dues aux fuites. Ce dernier point en particulier constitue un frein à l'augmentation de la densité d'intégration. Comme on peut le voir sur la Figure 1-2, l'évolution de la densité de puissance dans les microprocesseurs a été limitée à environ $100\text{W}/\text{cm}^2$, car les méthodes de refroidissement adaptées à des puissances dissipées supérieures présentent pour l'instant un coût prohibitif.

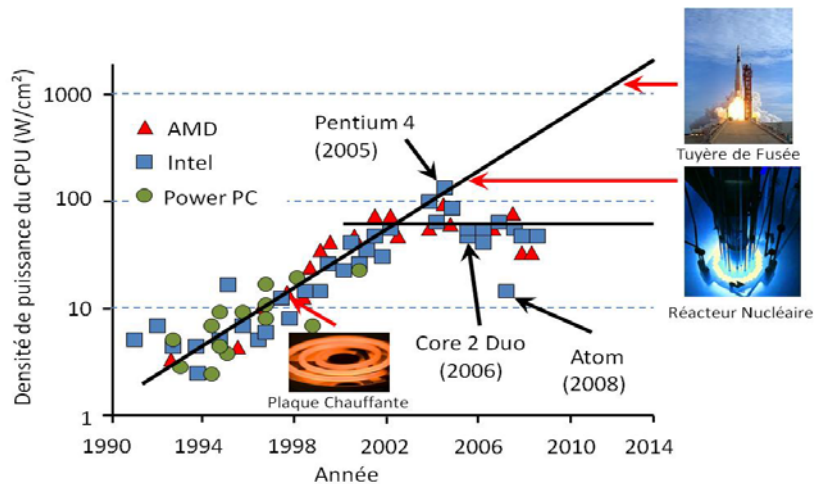


Figure 1-2 Graphique présentant l'évolution de la densité de puissance des microprocesseurs au fil des ans [Guay, 2012]

En théorie, si la diminution de dimensions des transistors avait été effectuée à champ constant, il n'y aurait pas eu d'augmentation de la puissance dissipée. Mais dans la réalité, elle a été effectuée à tension constante, et dans ce cas, à moins de n'augmenter ni le nombre de transistors ni la fréquence, il en résulte une augmentation drastique de la consommation. D'après le Tableau 1-1, le meilleur compromis pour pouvoir continuer à augmenter la densité d'intégration tout en ne touchant pas à la tension d'alimentation (V_{dd}), semble être de l'effectuer à fréquence constante et avec une architecture multi-cœur.

	Champs constant	Vdd constant			
		f maximisé	f constante	f et N_{tran} constants	multi-core
L_{grille}	λ	λ	λ	1	λ
W, L_{wire}	λ	λ	λ	1	λ
Vdd	λ	1	1	1	1
C	λ	λ	λ	1	λ
$U_{\text{stor}} = \frac{1}{2} CV^2$	λ^3	λ	λ	1	λ
f	$1/\lambda$	$1/\lambda$	1	1	1
$N_{\text{tran}}/N_{\text{coeur}}$	$1/\lambda^2$	$1/\lambda^2$	$1/\lambda^2$	1	1
N_{coeur}/A	1	1	1	1	$1/\lambda$
$P_{\text{ckt}} = f U_{\text{stor}} N_{\text{tran}}$	λ^2	1	λ	1	λ
P/A	1	$1/\lambda^2$	$1/\lambda$	1	1
$f N_{\text{tran}} N_{\text{coeur}}$	$1/\lambda^3$	$1/\lambda^3$	$1/\lambda^2$	1	$1/\lambda$

Tableau 1-1 Illustration de l'évolution des différents paramètres d'un microprocesseur dans différentes conditions avec λ le paramètre illustrant l'évolution des dimensions du dispositif, L_{grille} la longueur de grille, W sa largeur, L_{wire} la longueur moyenne des interconnexions, Vdd la tension d'alimentation, C la capacité du dispositif, U_{stor} l'énergie dépensée par le dispositif, f la fréquence, $N_{\text{tran}}/N_{\text{coeur}}$ le nombre de transistor par cœur, N_{coeur}/A le nombre de cœurs par unité de surface, P_{ckt} l'énergie dissipée par l'ensemble des transistors, P/A la dissipation par unité de surface, et $f N_{\text{tran}} N_{\text{coeur}}$ la quantité de calcul par unité de temps (Theis & Solomon, 2010).

Si réussir à diminuer le Vdd permet de régler ce problème, ce dernier point est beaucoup moins évident qu'il n'y paraît. En effet, ce paramètre est hautement lié à la valeur de la « pente sous le seuil » des transistors. Plus cette valeur est faible, et plus il devient possible de réduire la valeur de Vdd, tout en conservant un ratio $I_{\text{ON}}/I_{\text{OFF}}$ élevé. Mais elle possède une limite théorique de 60mV/décade (Skotnicki, 2000) qui ne permettra pas une diminution constante du Vdd. On peut distinguer en ce moment deux tendances dans la conception des circuits et le choix des composants : les circuits basse consommation (*Low Operating Power*, LOP) et les circuits hautes performances (*High Performance Logic*, HPL). Les premiers concernent une technologie spécialement conçue pour minimiser la consommation de puissance dynamique, au prix d'une diminution des performances. Les circuits hautes performances se concentrent sur l'augmentation des capacités d'une puce, ce qui passe par une tendance à la complexification des puces et par l'augmentation du I_{ON} des transistors. Mais la dissipation statique de la puce devient alors particulièrement difficile à contrôler. Les moyens envisagés pour y pallier sont (Anon., 2011) :

- des innovations en design de circuit et en architecture afin d'améliorer la gestion d'énergie : utilisation du parallélisme pour améliorer les performances du circuit, coupure de l'alimentation des transistors non utilisés, ...
- l'utilisation combinée de différents types de transistors : transistors hautes performances avec fortes fuites et transistors basses performances avec faibles fuites.

L'ITRS, une feuille de route prévue par les industriels travaillant dans le domaine de la microélectronique et prévoyant les évolutions et les difficultés à surmonter au cours des années à venir, envisage l'utilisation de nouveaux composants à faible dissipation d'énergie et à dimensions nanométriques pour compléter le CMOS. Il existe présentement de nombreuses recherches portant sur des composants présentant une alternative à la technologie CMOS et ayant le potentiel de continuer la loi de Moore pendant les prochaines décades. Parmi les dispositifs étudiés, quelques uns ont démontré la capacité de prendre la place des CMOS dans les circuits intégrés. Mais, si leurs points forts les rendent très prometteurs, ils possèdent pour la plupart une ou plusieurs faiblesses, ce qui les obligera probablement à avoir besoin des MOS pour fonctionner pleinement. Ils seraient alors intégrés à la technologie CMOS pour lui fournir des capacités uniques, ou pour remplacer des modules CMOS avec des structures spécifiques basés sur de nouveaux dispositifs (Cavin et al., 2012).

Parmi ces composants, un des dispositifs actuellement à l'étude est le SET. Ses avantages sont typiquement des dimensions nanoscopiques (plus ses dimensions sont réduites, et plus son fonctionnement s'en trouve amélioré), un comportement proche du MOS et une faible dissipation d'énergie (plus de 100 fois inférieure à celle d'un MOS). Ce dernier point est d'importance, car il ouvre la voie à l'intégration 3D, dont un des principaux facteurs limitant est l'évacuation de la chaleur (Davis et al., 2005). Par contre, ce même avantage fait qu'il ne possède qu'un faible courant d'attaque, ce qui rend la réalisation de circuits purement à base de SETs peu probable. Il est aussi difficile d'obtenir des SETs à fort gain. De plus, sa grande sensibilité aux charges parasites pourra elle aussi se révéler un problème. Enfin, le fait que ses caractéristiques se détériorent à haute température, et qu'il soit sensible aux capacités parasites constituera probablement un challenge pour son intégration dans des circuits CMOS.

On retrouve ces éléments dans l'évaluation qu'en avait faite l'ITRS (Figure 1-3). On a ainsi une efficacité énergétique bien supérieure, de bonnes perspectives dans la réduction de ses dimensions, une bonne compatibilité avec le MOS et avec son architecture, mais quelques réserves concernant, sa capacité de fonctionnement, ses performances, son gain et sa température d'opération.



Figure 1-3 Graphique montrant l'évaluation du SET par l'ITRS. La notation va de 1 à 3 indiquant respectivement des performances moins bonnes et meilleures que le MOS ultime dans le critère correspondant (Anon., 2009)

Le comportement des SETs se rapprochant de celui des MOS, il est possible de reproduire les architectures MOS à l'aide de SETs. Mais ses caractéristiques uniques permettent aussi une optimisation de l'architecture, offrant une réduction du nombre de composants nécessaires. Ont ainsi été mises au point des applications digitales comme des circuits logiques hybrides à valeur multiple SET/CMOS (Inokawa et al., 2003) et des circuits logiques reconfigurables (Lee et al., 2008), ainsi que des applications analogiques comme des circuits de filtre multi-bandes (Saitoh et al., 2004).

Mais de manière générale, du fait de son faible courant d'attaque, on ne parle en général plus de circuits composés uniquement de SETs, mais de circuits hybrides SET/CMOS. Le MOS permet alors de pallier aux déficiences du SET tout en autorisant la mise en place de ses nouvelles fonctionnalités, et en permettant l'obtention de circuits très basse consommation (Ionescu et al., 2002) (ex : Tableau 1-2). Si des démonstrateurs SET/CMOS ont été fabriqués, ceux-ci n'ont pour l'instant concerné que des SETs réalisés dans le FEOL (Uchida et al., 2003). Cette réalisation est fondamentale, car elle démontre la compatibilité entre SET et

CMOS, mais les SETs dans le même plan que les MOS, limite le gain en termes de densité d'intégration. Toutefois s'il devient possible de réaliser des SETs dans le BEOL d'une plaque de CMOS, la densité d'intégration s'en trouverait fortement augmentée. De plus, ce type de techniques serait en théorie applicable à la réalisation d'étages successifs de SETs dans le BEOL. On serait ainsi en mesure de réaliser des architectures 3D où la majorité des étages seraient composés de SETs, ce qui, du fait de leur faible consommation, diminuerait l'impact du problème lié à la dissipation de la chaleur dans les circuits 3D. Les SETs offriraient alors une forte valeur ajoutée aux plaques de CMOS existantes grâce à la mise en place de ce type d'architectures. Il faudra néanmoins vérifier que les capacités électriques des interconnexions liées aux SETs restent suffisamment petites par rapport à leur courant d'attaque, afin de ne pas avoir de temps de chargement trop élevés, et donc une vitesse de fonctionnement en circuit trop faible. Cela nécessitera donc probablement la mise en place de règles architecturale pour la conception des couches de dispositifs SETs.

Type de circuit	Tension d'alimentation	Nombre de MOS	Nombre de SETs	Puissance dissipée
Porte NOT	0.01V	1	1	0.97nW
Porte AND	0.01V	3	3	1.02nW
Porte OR	0.01V	3	3	1.02nW
Half Adder	0.01V	7	7	6.23nW

Tableau 1-2 Evaluation de la consommation pour différents circuits logiques hybrides SET/CMOS [Samanta & Sarkar, 2012]. Par comparaison, la consommation dynamique d'une porte CMOS est environ 10uW pour une technologie 65nm (Ben Jamaa et al., 2010).

C'est pourquoi au cours de cette thèse nous nous tourneront vers la réalisation de SETs dans le BEOL d'une plaque de CMOS. On s'intéressera principalement à la problématique liée à la fabrication des SETs. On utilisera pour cela une méthode ayant démontré des dispositifs fonctionnant à haute température et étant potentiellement compatible avec une fabrication en BEOL (Dubuc et al., 2007). On espère ainsi être en mesure de produire des dispositifs capables de fonctionner avec des CMOS à haute température, tout en ne les endommageant pas lors de leur fabrication. On utilisera de plus le logiciel MARSSEA (*Master equation Approximate Resolution for Simulation of Single Electron Artefacts*) développé par A.

Beaumont (Beaumont et al., n.d.) pour l'étude des caractérisations électriques. Enfin, ce logiciel servira à la simulation de circuits hybrides SET-CMOS en se basant sur les paramètres mesurés, pour estimer les résultats potentiellement atteignables.

Les objectifs poursuivis dans ce travail s'articuleront en deux parties. Le premier concernera la fabrication des SETs dans le BEOL. On cherchera à transférer avec succès la méthode de fabrication nanodamascène développée par C. Dubuc dans le cadre d'un substrat en Silicium, au cas du BEOL d'une plaque CMOS. On justifiera donc le procédé de fabrication retenu, et on en montrera les résultats. On démontrera aussi que les CMOS résistent au procédé de fabrication. Le deuxième objectif de cette thèse portera sur la caractérisation électrique des dispositifs fabriqués. On étudiera en particulier le comportement des jonctions tunnel, au travers des caractérisations de structures MIM (*Metal Insulator Metal*) afin d'obtenir une bonne compréhension du comportement des SETs. Ces résultats seront par la suite utilisés pour simuler des circuits hybrides, fournissant une idée des caractéristiques attendues, et des modifications nécessaires au procédé de fabrication pour une amélioration des résultats.

Si le procédé nanodamascène développé par C. Dubuc semble pouvoir être relativement bien transféré d'un substrat Silicium à une plaque de CMOS, il nécessitera toutefois quelques ajustements pour tenir compte des problèmes posés par les structures métalliques préexistantes du CMOS lors des différentes étapes de fabrication.

Les pages qui suivent sont organisées en trois chapitres détaillant le fonctionnement des SETs, leur fabrication et leur caractérisation. La première partie présentera ainsi la théorie relative au fonctionnement des SETs, les avantages liés à la formation de circuits hybrides, et finira sur la présentation de quelques applications possibles. Cette partie est particulièrement importante car elle permet de comprendre le comportement particulier de ces dispositifs, mais elle met aussi en lumière les contraintes liées à leur bon fonctionnement, et offre des perspectives en termes d'application pour la création de circuits hybrides. S'en suivra un exposé des réalisations expérimentales. On montrera d'abord au travers d'un état de l'art les différentes techniques de fabrication réalisées à travers le monde, pour enchaîner ensuite sur le

procédé de fabrication développer à l'Université de Sherbrooke pour une fabrication de SET dans le BEOL d'une plaque de CMOS. On discutera alors des difficultés liées au processus de fabrication, pour terminer sur quelques propositions d'amélioration. Enfin, la dernière partie traitera des caractérisations électriques réalisées sur les dispositifs fabriqués. On discutera des résultats et on proposera quelques techniques possibles pour en améliorer les résultats. On passera alors à quelques applications possibles de circuits hybrides, en déterminant à l'aide de simulations les comportements qu'on peut espérer obtenir avec les paramètres obtenus et avec des paramètres réalisables grâce aux améliorations envisagées.

CHAPITRE 2 Circuits SET-CMOS

Un SET a une structure de transistor classique (source, drain et grille). Il existe néanmoins deux différences fondamentales avec un transistor MOS :

- Un balayage de la tension de grille fait osciller la conductivité du dispositif. On parle d'oscillations de Coulomb. Cette propriété particulière est en général utilisée pour créer des circuits nécessitant moins de composants que les circuits CMOS traditionnels. On appelle blocage de Coulomb les zones de conductivité minimum.
- Il n'y a pas d'équivalent immédiat d'un SET à des MOS de type p ou n. Toutefois, l'adjonction d'une seconde grille permet d'obtenir un système équivalent, transformant un SET en un « pSET » ou un « nSET », suivant la tension appliquée à la grille de contrôle (cf. Figure 2-1 c). Cette caractéristique devient particulièrement intéressante si on envisage la création de circuits logiques reconfigurables.

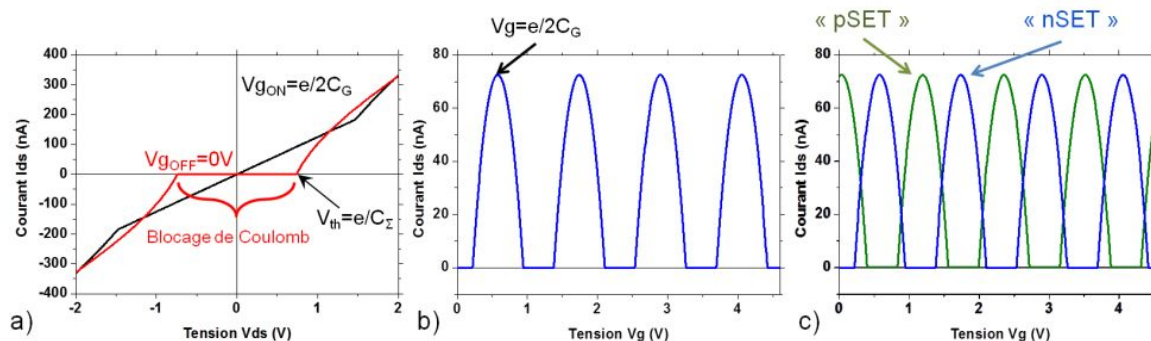


Figure 2-1 Caractéristiques typiques de SETs avec en a) le courant en fonction de la tension drains source pour différentes tension de grille, et en b) le courant en fonction de la tension de grille, faisant clairement apparaître des oscillations de coulomb ; c) exemples de SET types « p » et « n », utilisés pour la création de circuits logiques. Le décalage des oscillations est obtenu par polarisation d'une grille secondaire. Simulations réalisées sous SIMON (Wasshuber et al., 1997).

L'architecture d'un SET comprend un îlot, séparé du drain et de la source par une jonction tunnel, et de la grille par une capacité (cf. Figure 2-2). On cherche typiquement à dimensionner notre dispositif pour qu'un électron présent dans l'îlot empêche l'entrée de nouvelles charges par répulsion coulombienne. Les charges n'ont d'autre choix que de passer une à une dans l'îlot, ce qui vaut son nom au SET. La tension de grille permet d'autoriser ou de bloquer le passage des électrons.

Cet îlot peut être métallique ou semi conducteur. L'avantage d'un îlot semi-conducteur tient dans la discrétisation des niveaux d'énergie engendrée par leurs faibles dimensions. Cette discrétisation a pour effet de renforcer le blocage de Coulomb, élargissant la gamme de température d'opération. Mais en contrepartie, cette discrétisation ajoute un degré élevé de complexité au calcul de fonctionnement du SET, est hautement dépendante de la géométrie de l'îlot, ce qui aura un impact sur la question de la reproductibilité dans la fabrication des dispositifs, et implique une conduction moins importante que dans le cas d'îlots métalliques. Enfin, des îlots en Si ne peuvent être fabriqués dans le BEOL sans endommager les CMOS déjà présents. C'est pour ces raisons qu'il a été décidé de se tourner vers la fabrication de SETs à îlot métallique dans ce projet. En effet, les techniques de fabrication sont maintenant suffisamment matures pour permettre l'obtention de SET métalliques fonctionnant à haute température, et la taille de l'îlot reste pour autant bien supérieure à la longueur d'onde de Fermi dans un métal (quelques dixièmes de nanomètres), assurant une continuité des niveaux d'énergie. Ceci implique que le SET n'est pas en soit un dispositif quantique, le seul effet quantique en jeu étant le passage par effet tunnel des électrons à travers les jonctions tunnel. Son principe de fonctionnement est lié à des interactions électrostatiques.

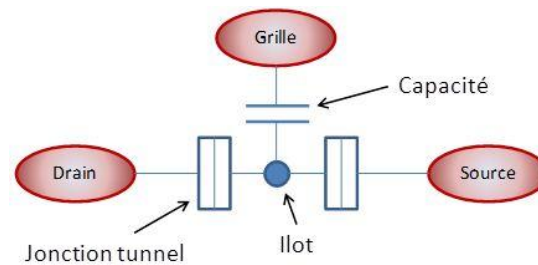


Figure 2-2 Schématisation de la structure d'un SET

On effectuera tout d'abord une étude théorique des SETs en posant les bases mathématiques nécessaires à la compréhension du comportement du dispositif, et en étudiant brièvement les points clés liés à leur comportement. On avancera par la suite les avantages liés à la création de circuits hybrides SET-CMOS, en récapitulant les points clés des SETs, et en fournissant une méthodologie de création de circuit hybrides, ainsi que quelques exemples de circuits basiques. On terminera par trois classes d'application des dispositifs mono-électroniques : une application mémoire, un rôle d'intermédiaire entre les QCA et les CMOS pour des circuits ultra-basse consommation, et enfin, leur utilisation pour la conception de circuits FPGA.

2.1 Étude théorique des SETs

On commencera cette étude par une présentation de la théorie orthodoxe, qui sert de référence à travers le monde pour expliquer le comportement des SETs. Mais cette théorie ne prend pas en compte l'impact de certains modes de conduction dont l'impact a été démontré comme non négligeable dans les dispositifs fabriqués ici (Dubuc et al., 2009). La théorie orthodoxe combinée à ces modes de conduction sera appelée théorie étendue. On passera ensuite à une analyse du comportement des SETs, mettant en avant l'impact des différentes tensions, de la température, leur gain, enfin, un bref rappel de leurs attributs particuliers.

2.1.1 Théorie orthodoxe

Utilisée comme base de modélisation du comportement des SETs, cette théorie repose sur trois hypothèses (Likharev, 1999) :

- Pas de quantification des niveaux d'énergie dans l'îlot.
- Le temps (τ_t) lié au passage par effet tunnel d'un électron à travers une jonction est négligeable devant les autres échelles de temps en jeu (incluant aussi le temps entre deux évènements tunnel). Il est de l'ordre de 1fs. Il est à noter que le temps séparant deux évènements tunnel (τ) est estimé à l'aide de R et C , respectivement la résistance et la capacité de la jonction. On a $\tau = RC$.
- La résistance des jonctions tunnel doit être très supérieure à l'unité quantique de résistance $R_Q = h/e^2 \approx 26 \text{ k}\Omega$ afin d'assurer un bon confinement des électrons dans l'îlot, et d'éviter l'effet de cotunneling.

Les équations servant de base à la théorie orthodoxe sont liées au calcul de l'énergie libre (F) du dispositif. On suppose typiquement qu'un évènement tunnel ne pourra avoir lieu que si l'énergie libre du système diminue. C'est-à-dire en posant E et W l'énergie électrostatique de charge et le travail fourni par les sources de tension, on obtient :

$$\Delta F = \Delta E - \Delta W < 0 \quad (2-1)$$

Si on considère les notations de la Figure 2-3, on trouve en posant $C_t = C_d + C_s + C_g$; avec $F(n_d, n_s)$ indiquant l'énergie libre dans le cas où n_d charges sont sorties par le drain et n_s charges sont rentrées par la source et avec ΔF_i^\pm la variation d'énergie libre pour le passage de plus ou moins une charge à travers la jonction i :

$$\Delta F_d^\pm = F(n_d \pm 1, n_s) - F(n_d, n_s) = \frac{e}{C_t} \left(\frac{e}{2} \mp (ne - V_g C_g + V(C_s + C_d)) \right) \quad (2-2)$$

$$\Delta F_s^\pm = F(n_d, n_s \pm 1) - F(n_d, n_s) = \frac{e}{C_t} \left(\frac{e}{2} \pm (ne - V_g C_g - V C_d) \right) \quad (2-3)$$

La notion d'énergie de charge (E_C) peut être extraite des équations (2-2) et (2-3). En effet, si on suppose le système au repos (i.e. $n = V_g = V = 0$, on voit apparaître le terme $\frac{e^2}{2C_t}$. Dit autrement, cela signifie que pour qu'une charge rentre ou sorte de l'îlot, elle doit posséder une énergie au moins égale à $E_C = \frac{e^2}{2C_t}$. Cette énergie peut lui être apportée par les sources de tension, mais peut aussi être d'origine thermique. On voit ainsi comment une température trop élevée peut faire disparaître le blocage de Coulomb, rendant le transistor non fonctionnel. L'énergie thermique moyenne des électrons est estimée par le terme $k_B T$ avec k_B la constante de Boltzmann, et T la température. On estime qu'un SET sera fonctionnel à une température donnée si la condition suivante est respectée : $E_C > \alpha k_B T$ avec $\alpha > 1$. En théorie, plus α est élevé, et plus les oscillations du SET seront visibles à la température donnée.

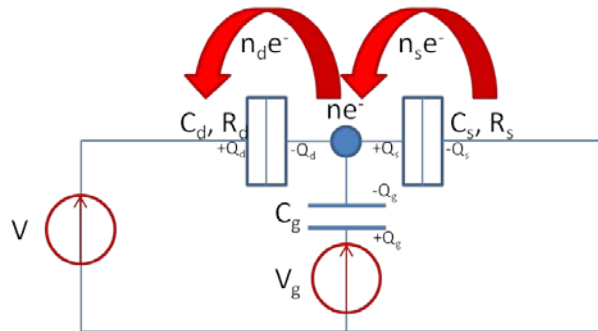


Figure 2-3 Schématisation d'un SET et indication des différents paramètres considérés. La jonction de gauche a arbitrairement été définie comme étant la source, et celle de droite, le drain. C, R et Q indique respectivement la capacité, la résistance, et la charge aux bornes de la jonction considérée. ne^- indique le nombre d'électron dans l'îlot, et n_d et n_s sont respectivement le nombre d'électrons traversant le drain et la source. V est la tension d'alimentation drain-source, et V_g la tension de grille.

On tire de la combinaison des équations (2-1), (2-2) et (2-3) des conditions de stabilité en fonction des tensions V et V_g , qui permettent la construction d'un diagramme communément appelé *diamond diagram* (Figure 2-4). Il permet d'obtenir en fonction de V et V_g l'état d'occupation de l'îlot, et permet de prédire si le dispositif sera bloqué ou non. Ce diagramme est particulièrement intéressant, car non seulement il est caractéristique du comportement d'un SET, mais il permet d'extraire les valeurs expérimentales des capacités.

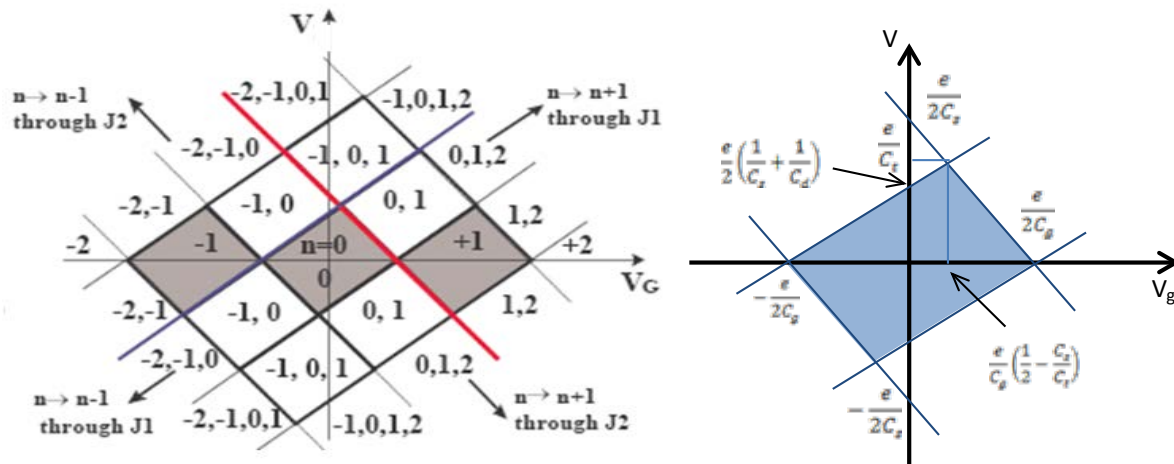


Figure 2-4 Diagramme de stabilité à gauche (Gautier, 2005), les zones grisées indiquant un blocage de Coulomb, et les chiffres au cœur des losanges, les états possibles de l'îlot. A droite, l'ensemble des paramètres pouvant être extrait du diagramme diamant.

Le calcul de l'intensité du courant dans un SET est basé sur le taux de transfert tunnel d'un électron et sur l'utilisation de l'équation maîtresse. Le taux de transfert tunnel est obtenu grâce à la variation d'énergie libre, la température, et la résistance de la jonction (A-6). Ce dernier terme est moins trivial à estimer qu'il n'y paraît. Ce point sera abordé plus en détail dans la partie A.1.2. L'équation maîtresse présuppose qu'un événement tunnel ne dépend que de l'état présent du système, et que ce dernier évolue de manière discrète à des intervalles de temps aléatoires (Grabert & Devoret, 1992). Si on suppose de plus qu'il y a discrétisation des états, on obtient l'équation (2-5).

$$\Gamma(\Delta F) = - \frac{\Delta F}{e^2 R \left(1 - e^{\frac{\Delta F}{k_b T}}\right)} \quad (2-4)$$

$$\frac{\partial p_i(t)}{\partial t} = \sum_{j \neq i} [\Gamma_{ij} p_j(t) - \Gamma_{ji} p_i(t)] \quad (2-5)$$

Avec p_i la probabilité d'occupation de l'état i , et Γ_{ij} le taux de transfert d'un état j vers un état i . En définissant $\overrightarrow{\Gamma}_\alpha(n)$ et $\overleftarrow{\Gamma}_\alpha(n)$ comme étant la probabilité qu'un électron traverse la jonction α respectivement de la gauche vers la droite, et de la droite vers la gauche, et avec l'îlot possédant n électrons, on peut écrire :

$$\Gamma_{n+1,n} = \overrightarrow{\Gamma}_d(n) + \overleftarrow{\Gamma}_s(n) \quad (2-6)$$

$$\Gamma_{n-1,n} = \overleftarrow{\Gamma}_d(n) + \overrightarrow{\Gamma}_s(n) \quad (2-7)$$

Ceci nous permet enfin d'arriver à l'expression du courant traversant le SET :

$$I = e \sum_{n=-\infty}^{+\infty} p_n (\overrightarrow{\Gamma}_d(n) - \overleftarrow{\Gamma}_d(n)) = e \sum_{n=-\infty}^{+\infty} p_n (\overrightarrow{\Gamma}_s(n) - \overleftarrow{\Gamma}_s(n)) \quad (2-8)$$

L'impact de la température est inclus dans ces équations. En effet, plus la température augmente, et plus les probabilités de passage tunnel des électrons pour les différents états, exprimées dans l'équation (A-6), seront semblables, et donc moins le blocage du courant par le SET sera visible¹. C'est-à-dire que la différence entre les courants I_{ON} et I_{OFF} , indiquant respectivement les états ON et OFF du SET, ne sera pas assez prononcée, limitant l'utilisation du SET dans des circuits logiques. On utilise généralement le rapport I_{ON}/I_{OFF} pour décrire la qualité d'un composant logique.

Si la théorie orthodoxe décrit correctement le comportement du SET dans de nombreux cas, elle ne prend néanmoins pas en compte les conductions à température élevée (conduction thermoïonique), ou à forts champs (conduction Fowler Nordheim). Les SETs développés dans ce projet étant en règle générale utilisés dans des conditions où ces deux types de conductions ont une forte importance, il a été nécessaire de les incorporer avec la théorie orthodoxe.

¹ Le SET est bloqué lorsque la probabilité d'un état de l'îlot est bien plus forte que les autres. Il y a alors en effet peu de changement d'états, donc peu de passage d'électrons, ce qui implique une faible conduction.

2.1.2 Théorie étendue

Les deux modes de conduction considérés ici sont la conduction Fowler Nordheim, qui permet de tenir compte de l'abaissement de la résistance des jonctions tunnel sous l'action de champs électriques suffisamment élevés, et la conduction thermoïonique, aussi appelée Schottky, qui prend en compte les électrons ayant suffisamment d'énergie pour passer au dessus des barrières des jonctions tunnel.

Il a été démontré que sous certaines conditions, la conduction Fowler Nordheim ne peut plus être négligée. L'abaissement de la hauteur effective de la barrière peut provenir du champ électrostatique dû à la tension d'alimentation drain-source (Dubuc et al., 2009), mais aussi de celui provenant de la tension de grille (Beaumont et al., 2009). On peut voir dans la Figure 2-5 une illustration de la déformation de la barrière.

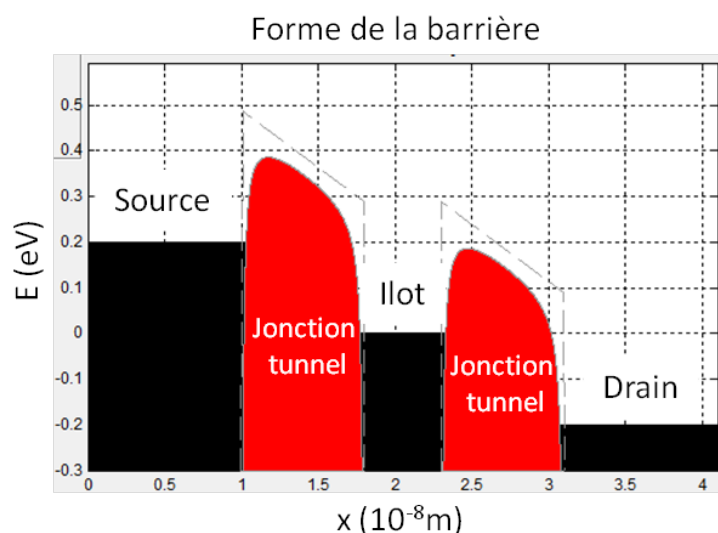


Figure 2-5 Calcul de la déformation des jonctions tunnels sous MARSSEA V3.1.1 (Beaumont et al., n.d.) à l'aide des équations de Gibson et de Simmons. L'axe des ordonnées représente le niveau d'énergie en eV, et l'axe des abscisses sert pour la représentation spatiale du dispositif.

Elle a été réalisée à l'aide d'une combinaison des équations de Gibson qui traitent le cas d'une barrière triangulaire (Gibson & Meservey, 1985), et des équations de Simmons qui sont adaptées au cas d'une barrière quelconque (Simmons, 1963). L'avantage de l'équation (2-9) est qu'elle permet une modélisation réaliste de la barrière, mais en contrepartie, elle ralentit considérablement le calcul lors des simulations.

$$J = \int_0^{E_m} D(E_x) dE_x \cdot \left\{ \frac{4\pi m^2 e}{h^3} \int_0^\infty [f(E) - f(E + eV)] dE_r \right\} \quad (2-9)$$

$$\text{avec } D(E_x) = \exp \left\{ -\frac{4\pi}{h} \int_{s1}^{s2} [2m(V(x) - E_x)]^{\frac{1}{2}} dx \right\} \quad (2-10)$$

Avec $f(E)$ la fonction de Fermi-Dirac, E_m l'énergie maximum des électrons dans l'électrode et $D(E_x)$ la probabilité d'un évènement tunnel pour une charge d'énergie E_x , $s1$ et $s2$ les extrémités de la jonction et V la hauteur de la barrière.

Ce type de conduction concerne en priorité les dispositifs soumis à des tensions importantes et ayant des jonctions tunnels de faible épaisseur

Le courant thermoïonique concerne les électrons ayant une énergie suffisante pour ne pas voir la barrière tunnel. Il devient prédominant pour les dispositifs fonctionnant à haute température, et ayant une faible hauteur de barrière. Il est obtenu grâce à l'équation (2-11)

$$J = A^* T^2 \exp \left(\frac{-e(\varphi_0 - \sqrt{eE/(4\pi\epsilon_r\epsilon_0)})}{k_b T} \right) \quad (2-11)$$

où $A^* = \frac{4\pi q m^* k_b^2}{h^3}$ est la constante de Richardson.

On peut voir dans la Figure 2-6 une illustration des contributions des différents modes de conduction obtenus avec MARSSEA. Il est à noter que bien que n'étant pas concerné par le blocage de Coulomb, le courant thermoïonique est lui aussi indirectement affecté. En effet, l'état de peuplement de l'îlot influe sur les tensions aux bornes des jonctions, ce qui a un impact direct sur leur hauteur de barrière effective. Mais la contribution du courant Schottky aux oscillations est plus faible que celle du Fowler Nordheim, et a donc au final pour effet de diminuer l'amplitude du ratio I_{ON}/I_{OFF} .

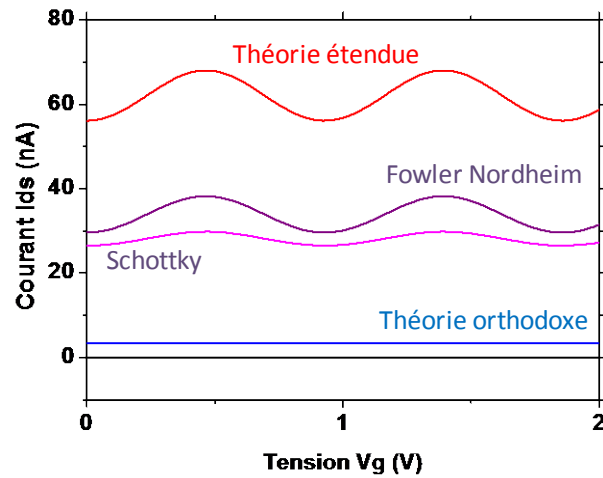


Figure 2-6 Illustration des contributions apportées par les différents modes de conduction.

2.1.3 Analyse Comportementale des SETs

Les caractéristiques physiques du SET influent directement sur l'amplitude des tensions et la température maximum à laquelle il peut être utilisé. Comme on peut le voir sur la Figure 2-7, une tension d'alimentation ou une température trop élevée provoque une dégradation importante des caractéristiques du dispositif. On cherchera de manière générale à respecter les conditions suivantes : $V_{ds} < \frac{e}{2 \cdot \text{Max}\{(C_d+C_b), (C_s+C_g)\}}$ avec C_b la capacité îlot substrat (Tucker, 1992) et $E_C > 10k_B T$.

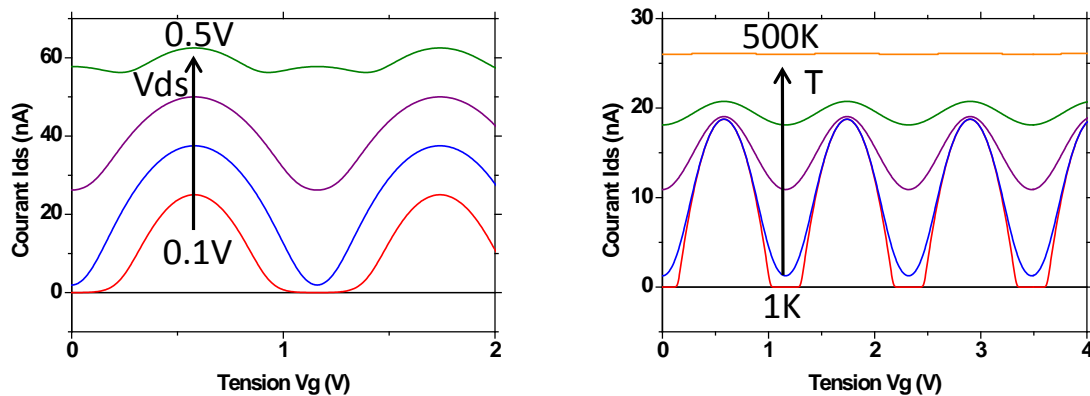


Figure 2-7 Caractérisations $I_d(V_g)$ effectuées sous MARSSEA V3.1.1 (Beaumont et al., n.d.) pour différentes tensions d'alimentation à gauche, et pour différentes températures de fonctionnement à droite. On constate une détérioration des oscillations de Coulomb lorsque les valeurs de ces paramètres sont trop élevées.

La condition sur la température est particulièrement restrictive, car elle impose des contraintes très dures sur les dimensions de l'îlot. La Figure 2-8 illustre cet état de fait, montrant la diminution importante de la capacité totale exigée, et ses répercussions sur les dimensions de l'îlot dans le cas d'un îlot de forme rectangulaire. On voit ainsi qu'un fonctionnement à haute température nécessite de devoir réaliser des dispositifs de très faibles dimensions.

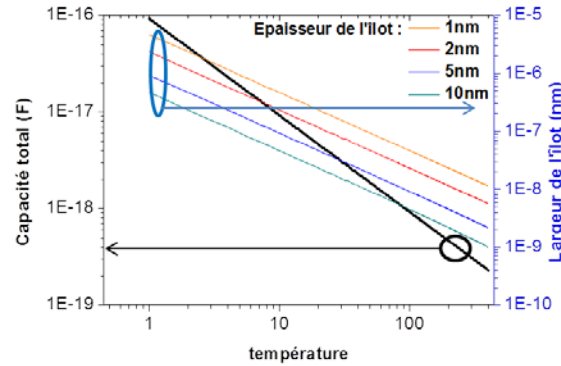


Figure 2-8 Impact de la température sur la capacité totale (droite noire) dans le cas où le critère $E_c > 10k_B T$, et donc impact sur la largeur de l'îlot pour des épaisseurs d'îlots allant de 1nm à 10nm, dans le cas d'un îlot de forme rectangulaire.

Des études ont été réalisées concernant le gain potentiel de dispositifs SETs, en se basant sur la théorie orthodoxe (Mahapatra, 2005). On différenciera ici deux types de SETs : les SETs dit pull up, et les SETs pull down (cf. Figure 2-9). On a ainsi dans le cas d'un pull-up un gain $G_{PU} = \frac{dV_{out}}{dV_{in}} = \frac{C_g}{(C_t + C_g)}$ qui est donc forcément inférieur à 1. Au contraire, le gain pour un pull-down est $G_{PD} = \frac{dV_{out}}{dV_{in}} = \frac{C_g}{C_d}$ et peut donc devenir très supérieur à 1 dans le cas où le SET est correctement dimensionné (exemples de réalisations expérimentales : (Visser et al., 1995), (Sato et al., 1999)). Il peut ainsi devenir très intéressant de rechercher à utiliser principalement des SETs pull-down dans les circuits. Il faut néanmoins garder à l'esprit qu'un C_g trop grand implique une capacité totale élevée, et donc une baisse de la température d'opération. Au contraire, un C_d trop faible aura pour conséquence une baisse de la conductivité du SET. Enfin, ce calcul du gain est effectué à partir d'approximations lors du calcul de l'équation maîtresse. Il ne tient donc pas compte des modes de conductivité thermoionique et Fowler Nordheim. Si le courant thermoionique est censé avoir un impact négatif sur le gain, l'effet de la conduction à fort champ est néanmoins moins clair.

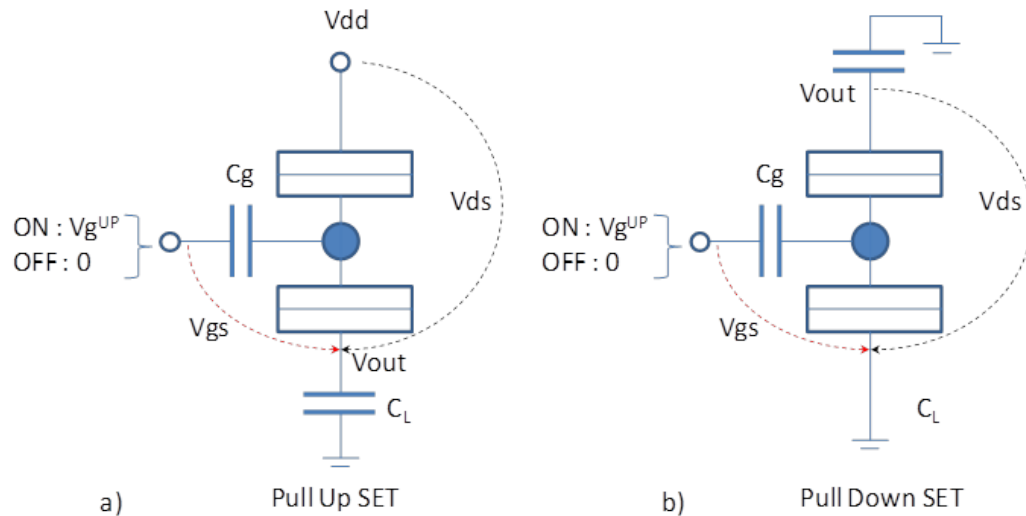


Figure 2-9 Schématisation d'un SET pull up (a), et d'un SET pull down (b)

Pour résumer les attributs principaux des SET sont :

- Une faible dissipation d'énergie. Cet attribut provient du faible courant qui les traverse. Avoir une faible consommation constitue un avantage important en termes de densité potentielle d'intégration, et d'utilisation dans des dispositifs portables, nécessitant de faibles consommations d'énergie. Mais en retour, le SET n'a qu'un faible courant d'attaque, rendant nécessaire l'utilisation de CMOS pour amplifier son signal afin de communiquer avec d'autres dispositifs, excepté quand la capacité de charge est suffisamment faible, ce qui est le cas d'autres SETs.
- La réalisation possible de fonctions logiques avec un nombre réduit de composants. Le comportement périodique des oscillations de Coulomb est utilisé pour cela. On a par exemple la réalisation de circuits logiques SET à grille multiple (Waser, 2012) dont le paramètre important pour le fonctionnement est la somme des $(C_{gi}V_{gi})$, avec C_{gi} étant la capacité de la grille i , et V_{gi} la source de tension associée. Autre exemple, nous avons dans la Figure 2-10 la réalisation de multiple porte XOR, nécessitant deux SETs, contre six transistors MOS.

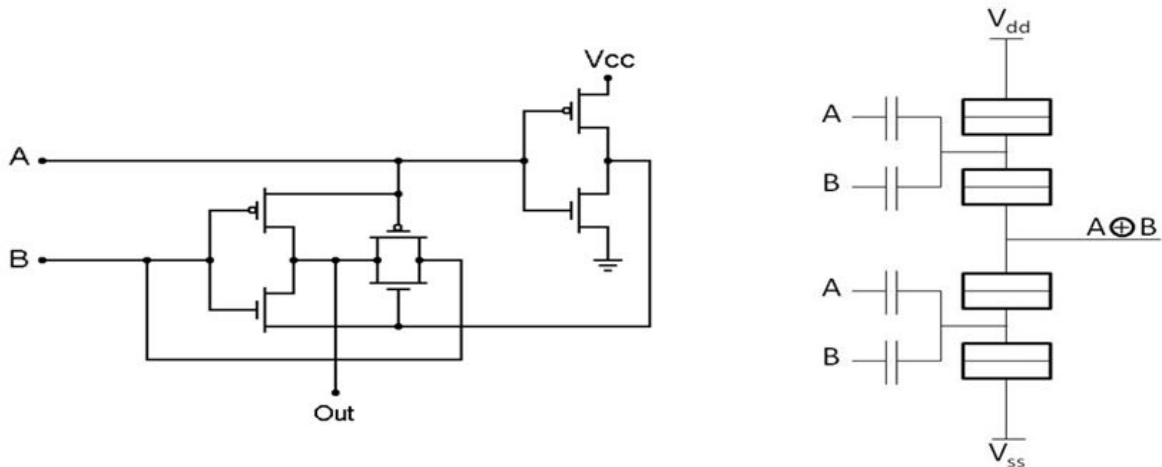


Figure 2-10 Portes XOR constituée à gauche de transistors MOS, et à droite de SET. Le circuit SET joue sur le comportement périodique des SETs pour réaliser un circuit à grille multiple.

- Haute fréquence possible d'opération. La fréquence théorique d'opération pour un SET est donnée par le facteur RC (R et C résistance et capacité de la jonction tunnel). Elle est donc de ce point de vu très élevée : autours de 10THz. Mais le problème vient du faible courant d'attaque des SETs qui limite hautement la fréquence d'opération atteignable en circuit. Plus la capacité de l'interconnexion et/ou du dispositif à contrôler derrière est importante, et moins la fréquence d'opération sera élevée. Par exemple, le temps de chargement d'une interconnexion de 100 μ m de longueur à l'aide d'un SET ayant une impédance de 100k Ω est de l'ordre de 1ns, rendant le SET peu disposé à fonctionner dans des circuits hautes performances (Russer & Fichtner, 2010).
- Gain faible, mais malgré tout, il est possible de réaliser des dispositifs ayant un gain supérieur à 1. Des inverseurs ayant un gain de 1.2 démontrés expérimentalement (Park et al., 2005).
- Sensibilité aux champs électrostatiques. Il est probable que ce soit cet inconvénient, plus que les problèmes liés à la dissipation thermique dans le substrat, qui limite la densité d'intégration des SETs. Le problème provient des couplages capacitifs entre dispositifs adjacents, qui pourraient augmenter la capacité totale du SET, réduisant sa température d'opération, mais qui surtout pourrait se traduire par des effets de grilles parasites, modifiant le comportement du SET. L'espace à prévoir entre les dispositifs doit donc être tel que le couplage capacitif ne provoque qu'une faible répercussion sur le décalage des oscillations de Coulomb.

- Sensibilité aux charges parasites. Ce problème sera probablement un des plus difficiles à contourner. La quantité de charges parasites avait été estimée par Likharev à 10^{10}cm^{-2} (Likharev, 1999) ce qui se traduit, si on considère qu'un piège à moins de 100nm d'un SET le rend défectueux, par une moyenne de 1/10 000 SETs touché par ce problème (Zhu et al., 2009). Les recherches sont actuellement tournées vers une réduction du nombre de défauts (Krupenin et al., 1999) ou vers des architectures immunisées à ce problème (Schmid & Leblebici, 2004).
- Forte dépendance du comportement du dispositif à sa géométrie. Le contrôle lors de la fabrication doit être particulièrement important lors de la fabrication pour assurer une bonne reproductibilité. En particulier pour le procédé étudié dans cette thèse où on recherche une hauteur d'environ 2nm pour l'îlot, à l'aide d'un procédé de CMP, afin d'assurer un fonctionnement à haute température. En effet, pour une variation de seulement un nanomètre (mais qui correspond à 50% de la hauteur visée), l'impact sur les oscillations de Coulomb se révèle considérable (cf. Figure 2-11).

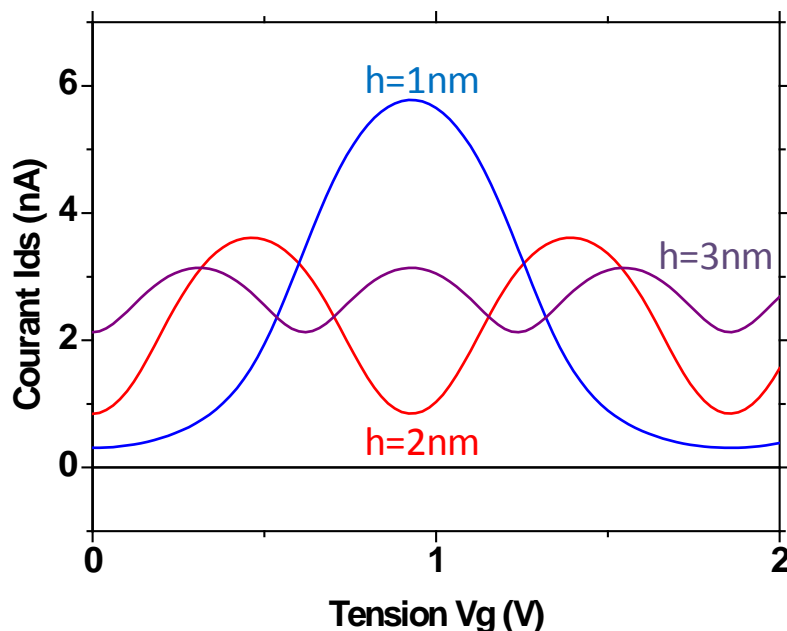


Figure 2-11 Illustration de l'impact d'une variation de hauteur sur la caractéristique $I_d(V_g)$ d'un SET, h indiquant la hauteur de l'îlot.

2.2 Avantage des circuits hybrides

Comme on l'a vu précédemment, s'il est possible d'obtenir avec des SETs un gain supérieur à 1, avoir un gain important reste difficile à réaliser. De plus, le courant d'attaque des SETs est limité, provoquant des délais importants dans le chargement d'interconnexions de grandes tailles. Enfin, la tension en sortie a une valeur théorique maximale de e/C_t (Waser, 2012). L'objectif d'un circuit hybride SET-CMOS est l'emploi du transistor MOS pour pallier ces limitations, à l'aide du gain et du courant d'attaque élevés de ce dispositif.

On étudiera premièrement les caractéristiques générales des SETs, mettant en avant ses forces et faiblesses, et justifiant l'intérêt d'une hybridation avec les CMOS. On passera ensuite à une description d'une méthodologie générale de création de circuits hybrides, et on finira par quelques exemples de circuits basiques.

2.2.1 Considérations générales

Le transistor mono-électronique possède deux avantages principaux qui justifient sa possible intégration dans des circuits CMOS : sa densité d'opération (DO), et sa densité de puissance (DP).

La densité d'opération est typiquement évaluée comme étant le produit de la densité de dispositifs (DD) par la fréquence d'opération (f) (Waser, 2012). Mais dans le cas de technologies différentes, il devient utile d'inclure un facteur dit d'efficacité de dispositifs (η), ce qui nous donne l'équation (2-12). Ce facteur est défini comme étant le nombre de dispositifs nécessaires pour créer une fonction logique à base de CMOS par rapport au nombre de dispositifs nécessaire pour créer cette même fonction à l'aide de la technologie évaluée. On a donc $\eta = 1$ pour les CMOS. Pour des SETs, il est possible d'avoir $\eta > 1$, ce qui offre la possibilité de créer des fonctions logiques avec un nombre plus réduit de dispositifs. On augmente ainsi la densité d'intégration de fonctions logiques atteignable, ou de manière équivalente, on réduit la densité de puissance consommée par la fonction logique.

$$DO = \eta \cdot DD \cdot f \quad (2-12)$$

Voici quelques propositions de circuits présentant un gain en nombre de transistors utilisés :

- Porte XOR (Figure 2-10) : 2 SETs nécessaires contre 6 transistors MOS (Takahashi et al., 2000). $\eta = 3$
- Additionneur (Figure 2-12) : 6 SETs (Ono et al., 2002) contre 28 MOS (Navi & Kavehei, 2008). $\eta = 4.7$. On voit ainsi la possibilité de réaliser des additionneurs proposant une économie de place très intéressante, et une faible longueur d'interconnexions.

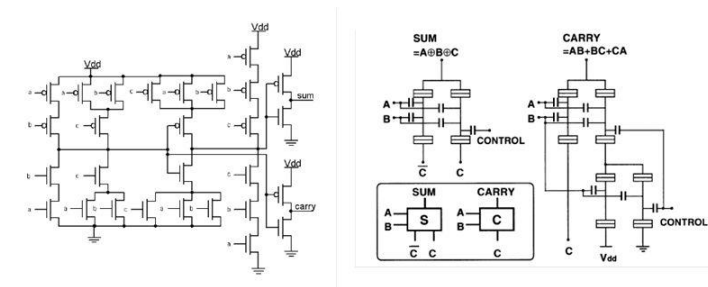


Figure 2-12 Illustration d'un additionneur CMOS à gauche (Navi & Kavehei, 2008), et à base de SETs à droite (Ono et al., 2002).

- Circuits hybrides à logique multi-valuée : l'approche est ici différente, puisqu'elle consiste à utiliser une combinaison de SETs et de CMOS. Par exemple, pour un compteur 7-3 (Figure 2-13), une implémentation hybride est effectuée avec 4 SETs et 6 MOS, contre près de 200 MOS pour un circuit standard (Inokawa et al., 2004). On a cette fois-ci $\eta = 19$, soit un gain très important de composants nécessaires à la fabrication du circuit logique. De manière générale, le SET présente un haut potentiel pour les applications à logique multi-valuée, grâce au caractère périodique de ses oscillations de Coulomb. Il sera donc de ce point de vue, intéressant à intégrer dans des circuits arithmétiques (Waser, 2012).

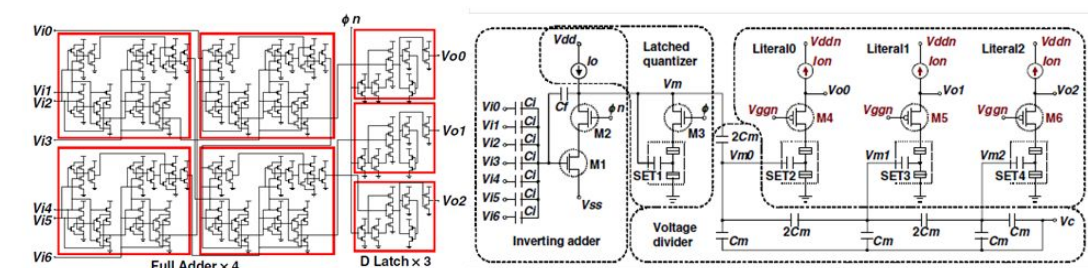


Figure 2-13 Exemples de circuits à logique multi-valuée (Inokawa et al., 2004). A gauche le circuit MOS classique (194 transistors), et à droite sa contrepartie hybride (4 SETs et 6 MOSFETs).

La densité de puissance (DP) est obtenue par le produit de la densité de dispositifs (DD) avec la consommation dynamique de puissance (P_d). Ce dernier paramètre est égal au produit de l'énergie consommée par opération (W_d) par la fréquence (f). Une réduction de la densité de puissance sans toucher à la fréquence passe donc par une réduction de W_d . Mais il est à noter qu'une réduction de W_d implique une diminution du ratio signal sur bruit, limitant la valeur minimum de W_d .

$$DP = DD \cdot P_d = DD \cdot W_d \cdot f \quad (2-13)$$

On différencie deux types de consommation : la consommation pour une logique d'état de charge (*charge state logic*, CSL) et la consommation pour une logique d'état de tension (*voltage state logic*, VSL).

- CSL : la consommation d'énergie s'écrit sous la forme $W_d = e^2 / 2C_t$
- VSL : on a $W_d = C_L V^2 / 2$ avec C_L la capacité de charge. Pour $V = e / C_t$ l'énergie d'un bit est donc C_L / C_t fois plus grand que dans le cas de la CSL.

Cela revient à dire que dans le cas d'un SET, la consommation est liée non pas au changement d'état du dispositif, mais aux pertes de puissances statiques. Typiquement, de faibles énergies de charges engendrent un I_{OFF} élevé, ce qui se répercute en de fortes pertes statiques. Les conditions imposées par l'ITRS pour les applications LOP requièrent de très faibles courants de fuites inférieurs à $1\text{nA}/\mu\text{m}$ ce qui semble réaliste pour un SET. La question du ratio I_{ON}/I_{OFF} est plus problématique, car il est souhaité supérieur à 10^5 . Un tel ratio nécessite en théorie une énergie de charge de l'ordre de $16k_B T$ (Ono et al., 2008). Toutefois, ce calcul ne prend pas en compte le courant thermoïnique, impliquant une valeur effective probablement plus élevée.

2.2.2 Proposition d'une méthodologie pour la réalisation de circuits hybrides complexes

La méthodologie de conception de circuits hybrides proposée ici est basée sur deux constatations. Premièrement, comme on a pu le voir dans la partie 2.1.3, les SETs *pull-down* peuvent avoir un gain supérieur à 1, contrairement aux SETs *pull-up*. Il semble donc judicieux d'utiliser préférentiellement des SETs *pull-down*. Deuxièmement, au vu des tensions d'activation des SETs, il est préférable d'employer un MOS afin d'amplifier le signal, et de charger les grilles des SET. Tout ceci aboutit à un type de design de type domino (*domino type logic*) (Uchida et al., 1999).

Les différents éléments constituant cette architecture (Figure 2-14) sont décrits ci-dessous :

- Utilisation uniquement de SETs *pull-down* dans les arbres logiques
- L'arbre logique SET implémente les opérations logiques. Il est par exemple possible de réaliser une porte ET avec deux SETs en cascades, une porte OU avec deux dispositifs en parallèle, ... L'utilisation d'entrées complémentaire permet la mise en place de toute opération logique. Il faut noter que la tension de sortie de cet arbre logique varie entre la tension d'alimentation et la masse, car seuls des SETs *pull-down* sont présents.
- Les horloges sont réalisées à l'aide d'un SET *pull down*, pour celle connectée à la masse, et d'un SET *pull-up* (l'horloge est alors inversée), ou d'un pMOS, pour celle connectée à la source de tension. Elles permettent une opération cyclique du circuit, lui faisant subir des périodes de précharge et de décharge. Lors de la période de précharge, les dispositifs *pull-up* et *pull-down* sont respectivement activés et désactivés. Cela permet la charge de la capacité quelle que soit l'entrée imposée à l'arbre logique. Puis lors de la décharge, les dispositifs de contrôle d'horloge *pull-up* et *pull down* sont cette fois respectivement désactivés et activés. Suivant l'état de l'arbre logique, la capacité est déchargée ou non.
- Finalement, la tension de sortie est amplifiée afin que son amplitude soit suffisante pour l'activation d'un SET. Elle servira d'entrée pour l'arbre SET suivant.

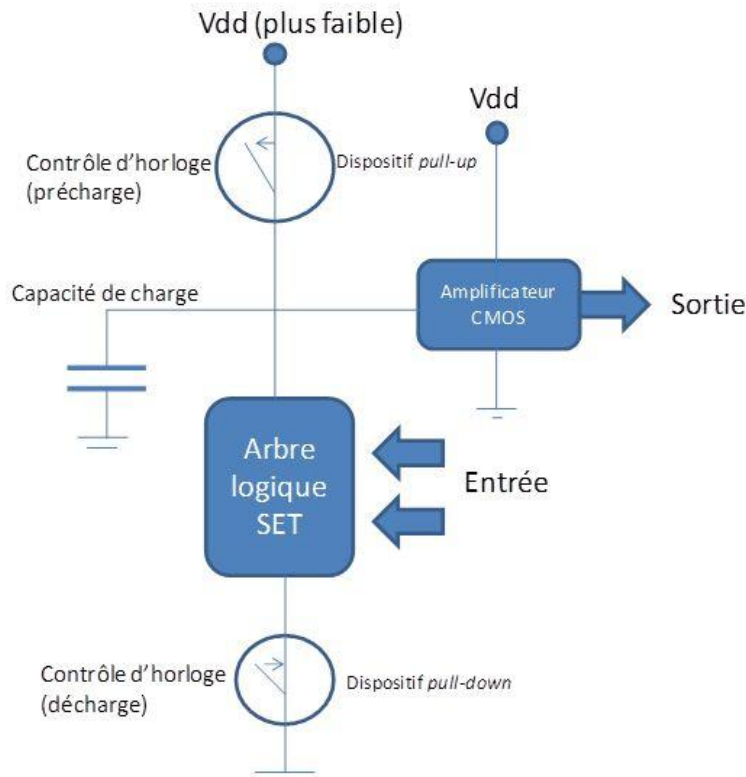


Figure 2-14 Schématisation de la logique type domino à base de SETs

Cette cellule logique est similaire à ce qui avait été accompli pour le CMOS, à la différence près que l'arbre logique est constitué de SETs, que sa tension d'alimentation est plus faible, et que l'utilisation d'un amplificateur est obligatoire pour pouvoir produire une sortie capable de contrôler les SETs des arbres suivants.

L'avantage de ce type d'architecture est la simplicité de sa conception et de son application. Elle permet en effet la mise en place des briques élémentaires nécessaires à l'établissement de tout type de fonction arithmétique. Mais, si son utilisation systématique des MOS assure une bonne transmission du signal, les capacités de charge de ces derniers limiteront la fréquence de fonctionnement du circuit.

2.2.3 Exemples de circuits hybrides

Quelques fonctions simples réalisées à l'aide de circuits hybrides SET-CMOS vont être présentées ici. La liste est non-exhaustive, mais couvre les principaux types de circuits envisagés. On présentera tout d'abord la porte universelle, un des circuits hybrides les plus basiques (1 SET et 1 MOS), et son application au cas de circuits à logique multi-valuée, basée sur l'utilisation du caractère périodique des oscillations de Coulomb. Nous passerons ensuite à un circuit XOR à quatre entrées basé sur le design présenté en 2.2.2, puis au stockage de l'information par les SETs grâce à une mémoire SRAM. Nous finirons par une présentation d'un circuit logique reconfigurable.

La porte universelle est un circuit logique hybride basique comprenant un SET et un MOS en série, alimenté par une source de courant. L'utilisation du MOSFET permet le fonctionnement du SET à une tension V_{ds} autorisant les oscillations de Coulomb. L'avantage de ce circuit est sa grande simplicité de réalisation. Il permet une amplification importante des oscillations du SET par le MOS, ce qui rend possible la transmission du signal à d'autres éléments logiques, ou tout simplement, dans le cas de démonstrateurs expérimentaux basiques : facilite leur observation lors des caractérisations.

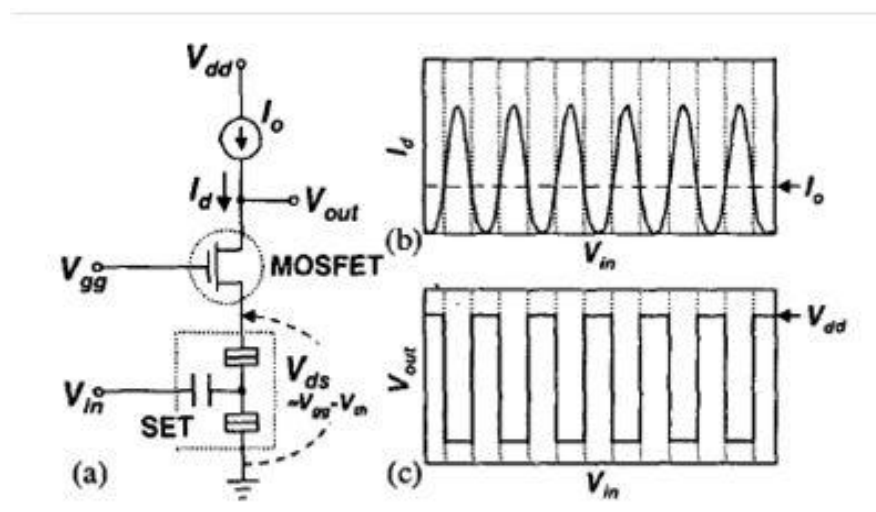


Figure 2-15 Schématisation de la porte universelle réalisée à base d'un SET, d'un MOS, et d'une source de courant I_0 (a). Caractéristiques correspondantes $I_d(V_{in})$ (b) et $V_{out}(V_{in})$ (c). (Inokawa et al., 2001)

Le circuit logique multi-valué présenté dans la partie 2.2.1 correspond à une utilisation de la porte universelle. Le fonctionnement même du circuit repose sur l'emploi d'un pont diviseur de tension, et du caractère périodique du blocage de Coulomb. L'avantage de ce type de circuit est le nombre extrêmement réduit de transistors requis.

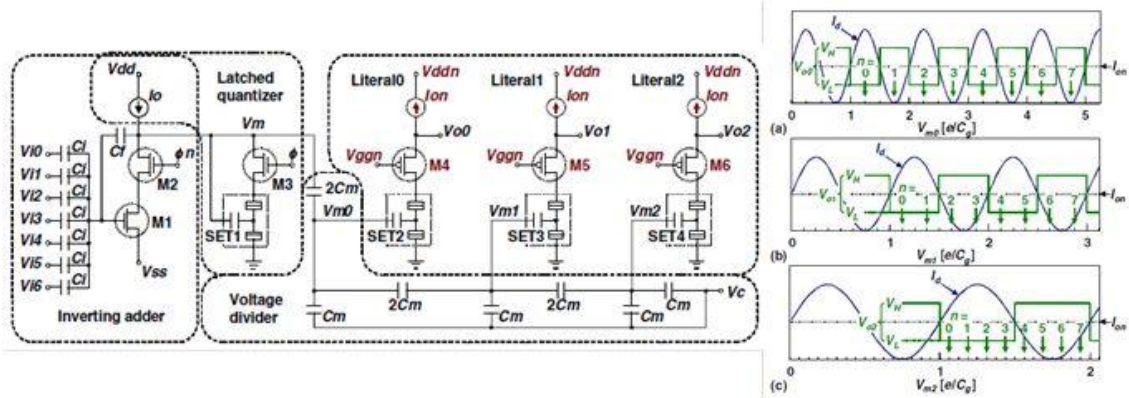


Figure 2-16 Schématisation du circuit hybride SET-MOS multi-valué (Inokawa et al., 2004).

Le circuit XOR à quatre entrées illustre une application possible du design de circuit logique domino présenté en 2.2.2. On y retrouve ainsi les principaux éléments : contrôles d'horloge (réalisés ici à base de SETs), arbre logique uniquement composé de SETs, et amplificateurs CMOS, amplifiant le signal de sortie pour qu'il soit transmis à l'arbre logique suivant.

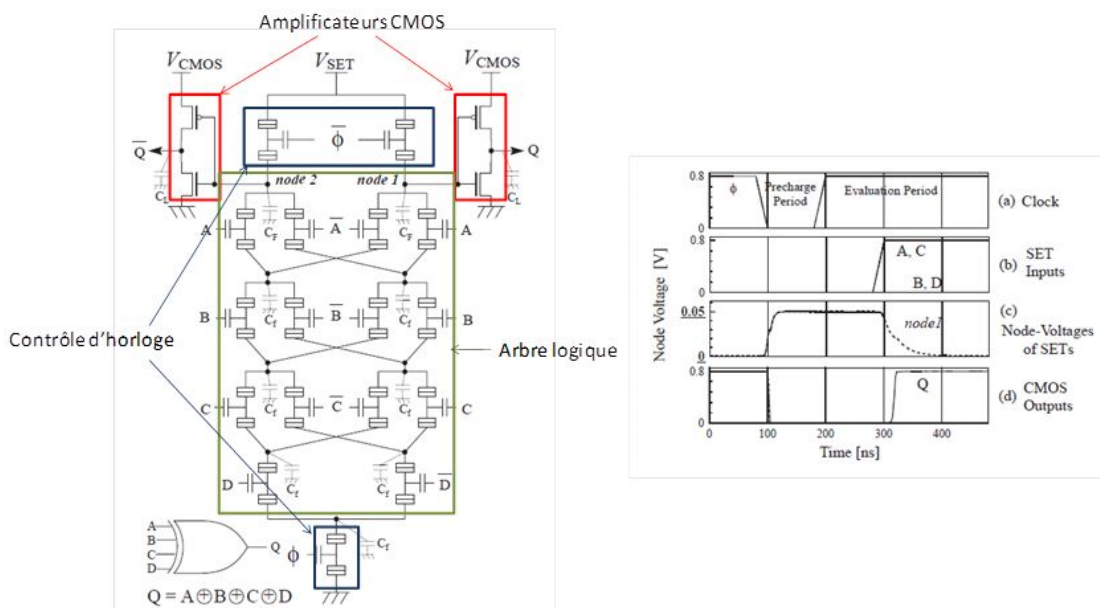


Figure 2-17 Schématisation d'une porte logique hybride XOR à quatre entrées (a), et de son diagramme temporel (b) (Uchida et al., 1999)

Les SETs permettant la mise en place d'architectures équivalentes à celles des MOS, il est donc possible de créer des circuits mémoire SRAM à base de SETs. L'avantage de ces circuits, comme on peut le voir dans la Figure 2-17 (b) est leur consommation extrêmement faible, même comparée à des CMOS 28nm. Le rôle de l'hybridisation avec la technologie MOS sera ici de redresser le signal. La fréquence d'utilisation de ces éléments CMOS, et donc la consommation réelle du dispositif mémoire, sera ainsi dépendante de la qualité des dispositifs fabriqués et de leur température d'utilisation. Mais la consommation globale devrait néanmoins rester bien inférieure aux circuits CMOS classiques, et ainsi, autoriser la création de circuits mémoires très basse consommation.

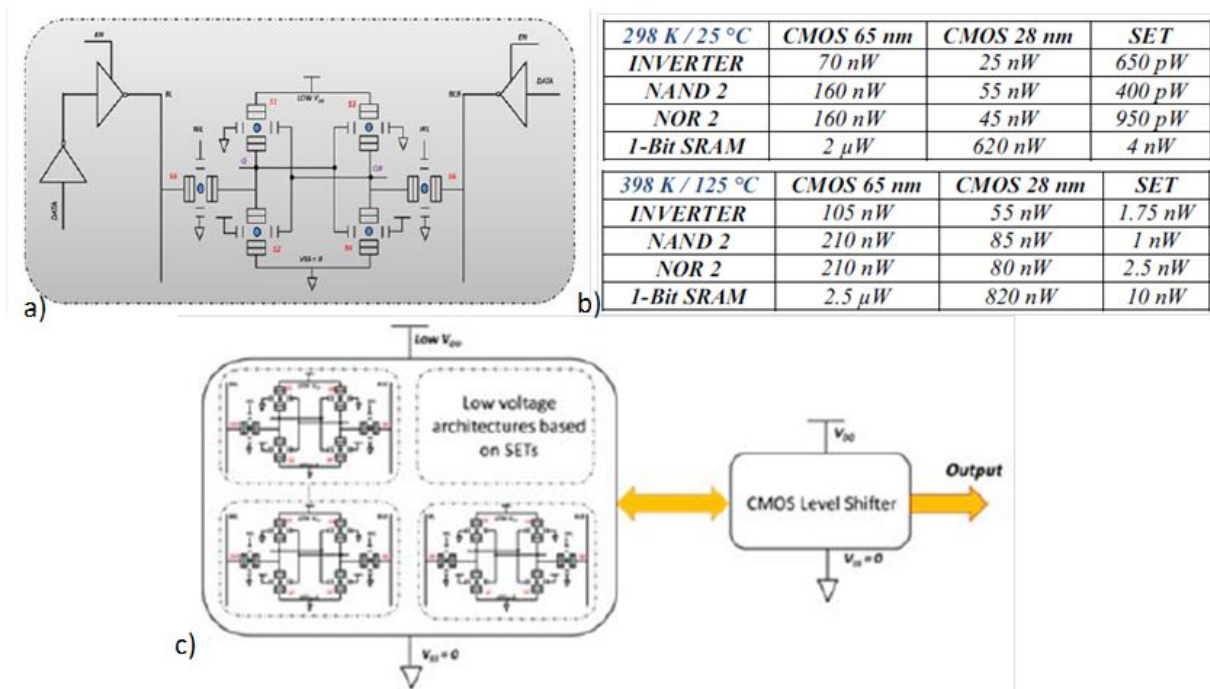


Figure 2-18 Figures tirées de Bounouar et al. 2012, avec la schématisation d'une cellule mémoire SRAM 1-bit (a), et tableau de consommation correspondant pour des technologies CMOS 65nm et 28nm, et pour des SETs (b). Application au cas d'un circuit hybride (c).

Enfin, l'utilisation du caractère périodique des oscillations de Coulomb, ainsi que d'une architecture multi-grille permet l'obtention de circuits logiques reconfigurables. Une tension de contrôle est utilisée pour passer d'un type de logique à l'autre.

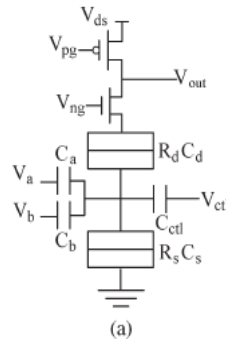


Figure 2-19 Schématisation d'une architecture hybride d'une logique reconfigurable. La tension de contrôle (V_{ctl}) permet d'obtenir une porte NAND ou une porte NOR (Sui et al., 2010).

2.3 Applications possibles

Quelques exemples d'utilisation type pour les SETs sont présentés dans cette section. Nous étudierons tout d'abord brièvement le cas des mémoires à un électron. Nous passerons ensuite aux QCA, pour qui la lecture par les SETs permettrait une intégration dans des circuits CMOS. Et enfin, nous finirons par l'étude de la formation d'un circuit FPGA à l'aide de SETs.

2.3.1 Mémoires à un électron (SEM)

L'architecture d'une SEM (*Single Electron Memory*) est dérivée de celle du SET. Comme on peut le voir avec la Figure 2-20, la seule différence est le remplacement de la grille par un point mémoire, dont la charge est fixée par la grille de contrôle. L'effet du point mémoire sur l'îlot est assimilable à celui de la grille, mais évoluant de manière discrète. Si les capacités en jeu sont correctement définies, il est ainsi possible d'obtenir un dispositif bloquant en l'absence de charges dans le point mémoire, et passant lorsqu'une charge est stockée. La rétention des charges est effectuée par blocage de Coulomb. Elle ne nécessite donc pas a priori de dépense d'énergie, faisant potentiellement de la SEM une mémoire non volatile (Uchida et al., 2003).

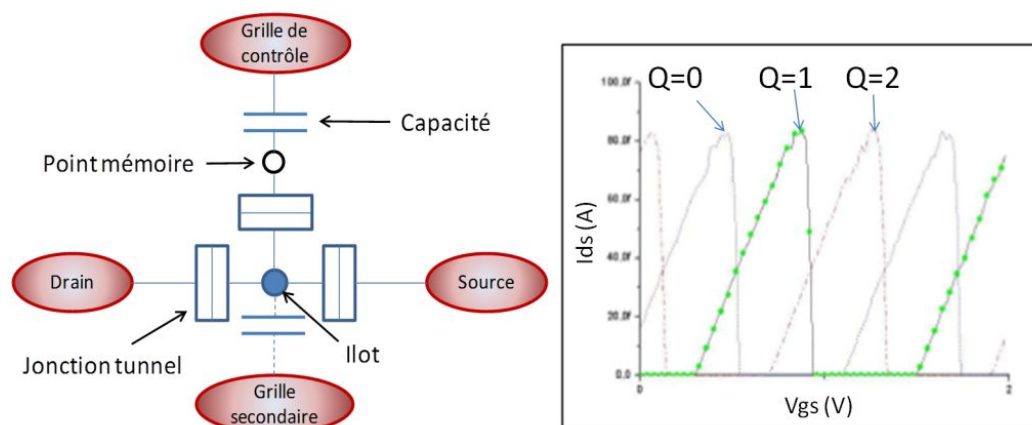


Figure 2-20 Schématisation de la structure d'une SEM. Le dispositif est similaire à un SET. Une grille de contrôle sert au contrôle de la charge d'un point mémoire situé à proximité de l'îlot. La caractéristique courant de drain en fonction de la tension de grille secondaire, à droite (Xuan, 2010), met en évidence le décalage des oscillations de Coulomb en fonction du nombre de charge (Q) présent dans le point mémoire.

Le fonctionnement de la SEM est basé sur le confinement de charges dans le point mémoire. L'écriture se fait par application d'une forte tension sur la grille de contrôle, favorisant l'entrée de charges dans le point mémoire. La lecture se fait typiquement à tension de grille nulle. Il est en théorie possible de développer des dispositifs capable de détecter des niveaux de charges supérieurs à 1, augmentant ainsi grandement la densité d'information stockée. On peut ainsi voir dans la Figure 2-20, à tension $V_g=0V$, une différence du courant de drain en fonction du nombre de charges contenues dans le point mémoire. Toutefois, une telle réalisation demande un très fort contrôle lors de la fabrication, et sera donc plus sensible aux erreurs.

Pour qu'un dispositif puisse être désigné comme une mémoire non volatile, il faut qu'il soit en mesure de garder son information pendant une période minimum de 10 ans. Le temps de rétention d'une SEM est lié aux caractéristiques de la jonction (i.e. hauteur de la barrière, épaisseur et capacité de la jonction). Il existe différents moyens pouvant être mis en œuvre pour augmenter la durée de confinement des charges dans le point mémoire (Xuan et al., 2012) :

- Augmentation de la hauteur de barrière et/ou de l'épaisseur de la jonction. Le confinement de l'électron dans le point mémoire s'en trouve renforcé par diminution de sa probabilité de sortir par effet tunnel ou Schottky.

- Augmentation du rapport entre la capacité liant le point mémoire à l'îlot, et les capacités de source et de drain.

Comme on peut le voir sur la Figure 2-21, il est possible, si le dispositif est correctement dimensionné, d'atteindre des temps de rétention bien supérieur à 10 ans. Cette caractéristique, couplée à la très faible consommation du dispositif, le rend particulièrement attrayant pour la conception de mémoires non volatiles. De plus, son architecture étant très similaire à celle des SETs, il devient possible de l'intégrer au cœur des circuits logiques SETs, permettant l'accès rapide à des zones de mémoires, à des unités de calcul ou à des circuits logiques reconfigurables.

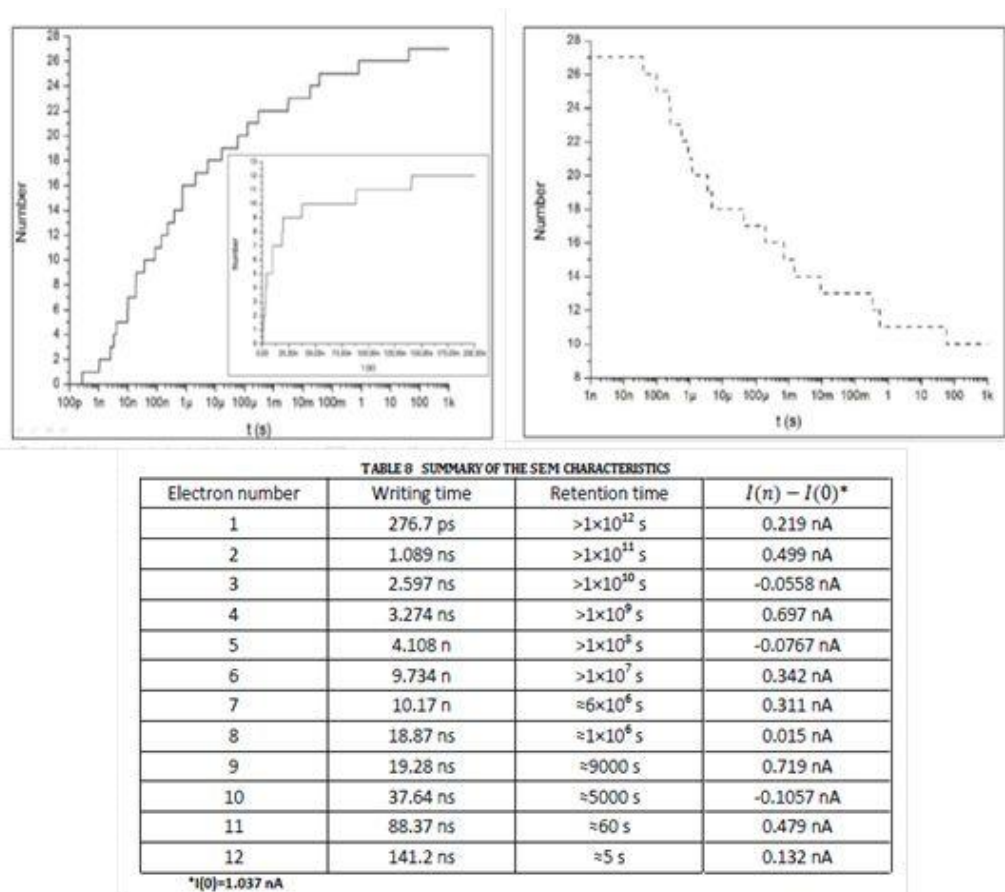


Figure 2-21 Figure tirée du manuscrit de thèse de Wei XUAN (Xuan, 2010). Evolution du nombre de charge en fonction du temps lors de l'écriture (en haut à gauche), et en l'absence de tension de grille (en haut à droite). Récapitulatif dans le tableau, des temps d'écriture et de rétention, ainsi que de la variation de courant constatée pour différents nombres de charges.

2.3.2 Interface QCA/MOS

Le transfert de l'information, dans l'électronique standard s'effectue grâce à un flux d'électrons allant d'un potentiel élevé à une faible tension, dépensant de l'énergie lors de cette opération. De nombreuses recherches sont effectuées afin de réduire cette dissipation d'énergie. Le transistor à un électron, du fait du très faible flux de charges qu'il permet à cause du blocage de Coulomb, peut être considéré comme le dispositif au fonctionnement basé sur les flux, possédant la plus faible dissipation d'énergie. Mais il existe d'autres technologies à fonctionnement alternatif.

Les QCA (*Quantum cellular automata*) en sont un exemple. Ces dispositifs, originellement proposés par (Lent et al., 1993) sont très prometteurs. Leur fonctionnement est basé sur la position d'une charge plutôt que sur le courant. La position des états définit alors les bits « 1 » et « 0 ». La forme la plus simple des QCA consiste en quatre points quantiques formant un carré. Les transferts tunnels sont possibles entre voisins. Deux charges sont ajoutées en excès. Leur répulsion électrostatique définit la position la plus favorable comme étant celle où les charges sont situées dans les coins opposés de la cellule. La cellule elle-même possède deux états stables. Si la cellule est isolée, ces deux états possèdent la même probabilité d'occupation. Mais si d'autres cellules polarisées se trouvent à proximité, l'état le plus favorable est déterminé par les champs électrostatiques émanant de ces cellules, définissant si la cellule est dans l'état « 1 » ou « 0 ».

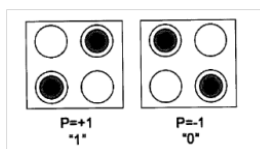


Figure 2-22 Illustration d'une cellule QCA dans l'état d'occupation 1 (à gauche) ou 0 (à droite). Les points noirs définissent la présence d'une charge (Prager, 2010).

Une série de cellules alignées agit comme un fil de conduction, et peut être utilisée pour le transfert d'un état de polarisation. En effet, si l'état d'une cellule est imposé à une des extrémités, toutes les cellules suivantes vont se mettre dans le même état à la façon d'une rangée de dominos, afin de minimiser l'énergie du système. Ce même principe est aussi employé pour la création de portes logiques.

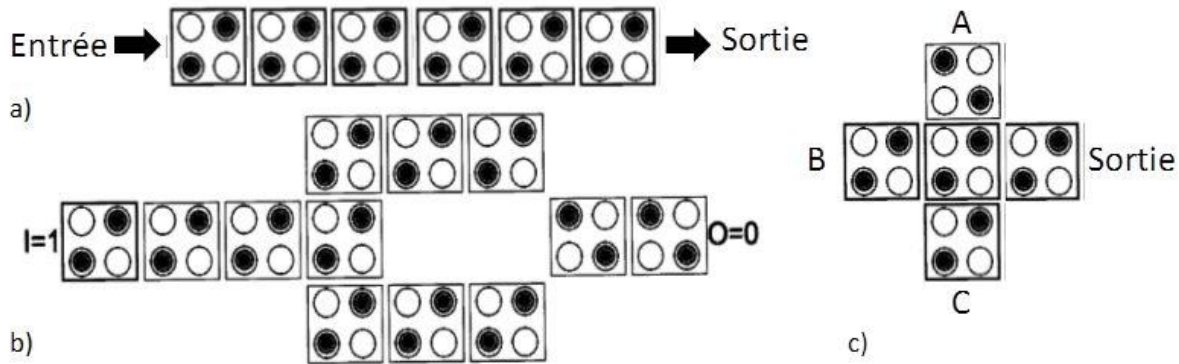


Figure 2-23 Figures tirées de (Prager, 2010), avec une illustration d'un fil de conduction en QCA (a). Porte NOT (b). Porte majoritaire (c). La sortie est déterminée par la majorité des états. Si une des entrées est fixée à 0 ou à 1, on obtient respectivement une porte ET ou une porte OU.

Etant donné qu'il n'y a pas de flux statique de charge, mais que celles-ci échangent seulement leur position entre deux puits quantiques, un circuit QCA idéal devrait, en théorie, opérer près de la limite thermodynamique du transfert d'information. Cette très faible consommation d'énergie ($2 \cdot 10^{-19}$ J par cycle (Heinrich et al., 2002) contre environ 10^{-15} J pour une technologie CMOS 22 nm) en fait un dispositif des plus attrayants. Toutefois, ce dispositif ne peut réaliser aucune amplification de signal, limitant la taille maximale des circuits créés. Enfin, le feedback du signal est possible, rendant le dispositif opérable dans les deux directions. Il est enfin nécessaire de noter que l'énergie d'interaction entre les charges doit être bien supérieure à $k_B T$ pour assurer un état logique stable et défini de la cellule. Les dimensions typiques d'une cellule pour un fonctionnement à température ambiante seraient de moins de 5 nm pour les puits quantiques, et de moins de 25 nm pour les bords de la cellule (Waser, 2012).

Il suffit d'appliquer un champ électrostatique pour définir l'état de la première cellule d'un QCA. Ceci peut se faire aisément à l'aide de dispositifs CMOS. Toutefois, la lecture du résultat est, elle, plus difficile. Il devient nécessaire de discriminer précisément la position d'une charge, à quelques nanomètres près. C'est ici que rentre en jeu le SET. Le SET est extrêmement sensible à la présence de charges à proximité de son îlot, le rendant idéal pour la détection de l'état de QCA. Le signal détecté par le SET peut alors être amplifié à l'aide de transistors MOS. On se retrouverait donc idéalement avec un cœur logique très basse consommation en QCA, contrôlé par des CMOS, et lu par des circuits hybrides SET-CMOS.

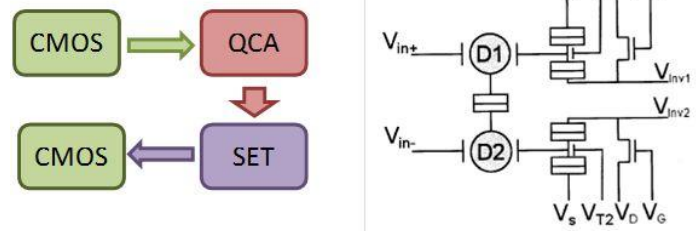


Figure 2-24 Illustration de la chaîne des composants permettant le dialogue entre QCA et CMOS à gauche. Schématisation d'un circuit de lecture de l'état d'un QCA à droite (Prager et al., 2009).

2.3.3 Circuit FPGA

Il existe différentes architectures potentielles pour la création de circuits. Chacune possède ses propres forces et faiblesses. Elles se répartissent généralement entre des architectures très performantes et peu consommatrices en énergie, et des architectures flexibles et d'un faible coût de conception.

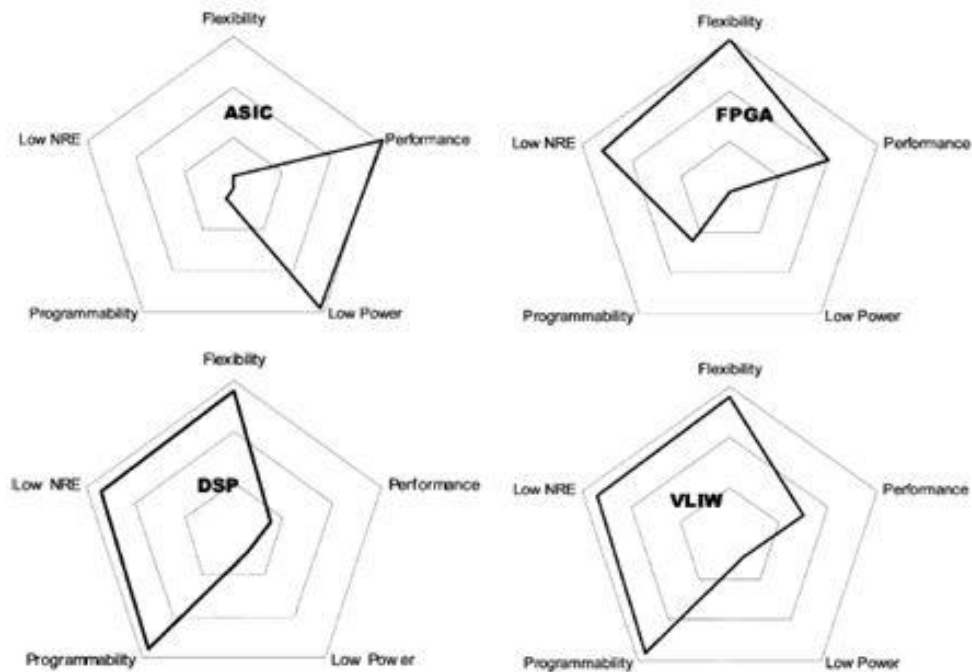


Figure 2-25 Forces et faiblesses de différents types d'architecture (Zhu et al., 2009).

Les considérations suivantes seront utilisées pour les SETs dans la définition de l'architecture circuit la plus adaptée :

- Faible courant d'attaque : cette caractéristique empêche la communication entre SETs sur des distances trop importantes, et implique des temps de chargement non négligeables pour les connexions SET-CMOS. C'est pourquoi nous choisirons en particulier une architecture de type cellulaire.
- Applications possibles des SETs : circuits logiques reprogrammables. Nous rechercherons donc une architecture reprogrammable.

Le choix d'une architecture FPGA (*Field Programmable Gate Array*) semble être la plus intéressante dans le cas où des SETs sont employés. Ses caractéristiques principales sont une très grande modularité, et donc un très faible coût de conception non récurrente (*Non Recurring Engineering Cost*) par rapport aux architectures ASICs (*Application Specific Integrated Circuits*) (Bsoul, 2009). Par contre, l'architecture FPGA est plus lente que l'ASIC. Mais des recherches au niveau de l'architecture et du design CAD devraient permettre de diminuer la distance les séparant (Kuon & Rose, 2007). L'architecture présentée ici est une adaptation d'un circuit FPGA classique au cas d'une utilisation pour des SETs. Elle a été proposée par C. Zhu (Zhu et al., 2009). Elle repose sur un principe différent de celui énoncé en 2.2.2. Le signal n'est cette fois pas amplifié par un amplificateur CMOS entre les différents étages. L'amplification est réalisée périodiquement à l'aide d'inverseur SET. La faisabilité d'un tel système reste encore à démontrer, le gain des inverseurs SETs réalisés expérimentalement demeurant faible, et le design devra donc peut-être être révisé afin d'inclure des amplificateurs MOS.

L'architecture FPGA est une architecture cellulaire interconnectée par des liens locaux et globaux (Figure 2-26). Une cellule est elle-même composée :

- de tables de correspondances (*Look Up Table*, LUT), qui sont des circuits réalisant des fonctions booléennes à n -entrées
- d'une unité de calcul arithmétique réalisant les opérations non-linéairement séparables

- d'une mémoire interne regroupant les différentes configurations, et permettant ainsi un changement d'état rapide de la cellule (i.e. il n'est pas nécessaire d'établir une communication coûteuse en temps avec une mémoire centrale)
- de registres conservant les informations essentielles
- de routeur (*Switch Fabric*, SF) qui permet le choix des connexions avec les autres cellules.

Les délais dans les circuits SET-MOS sont principalement introduits lors du chargement d'interconnexions à forte capacité (i.e. interconnexion de longueur importante), ou lors du chargement des grilles des MOSFETs. On cherchera donc à limiter l'utilisation des MOSFETs et des interconnexions longues distances en utilisant une architecture cellulaire, chaque cellule étant réalisées majoritairement à base de SETs. Les CMOS seront majoritairement utilisés pour amplifier le signal sur les communications longues distances.

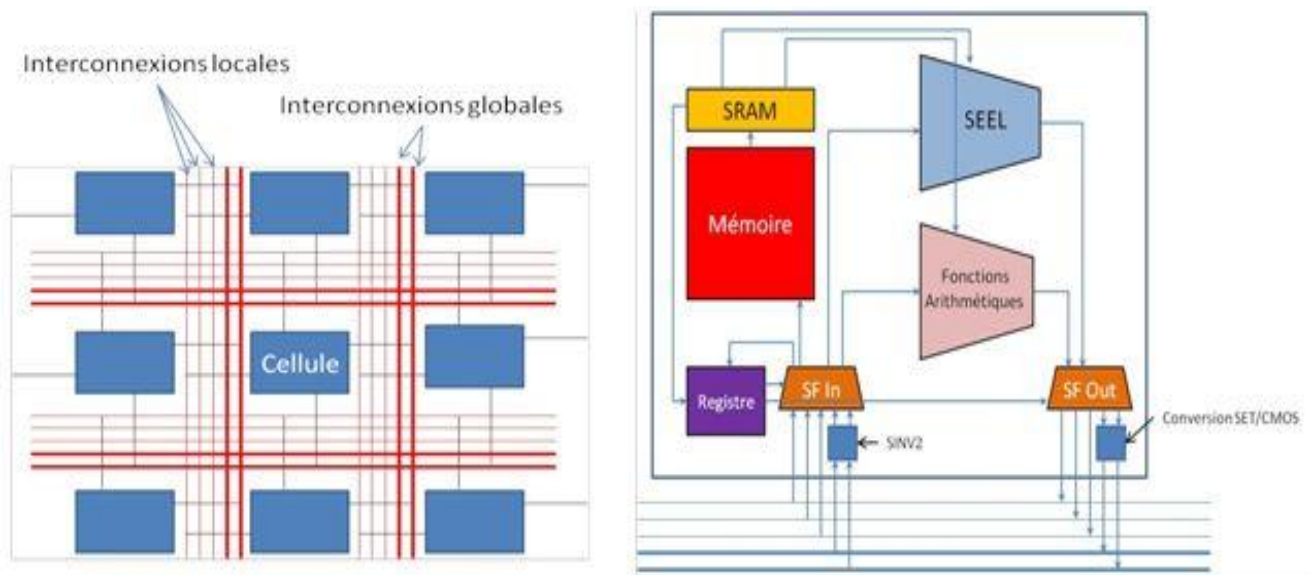


Figure 2-26 Schématisation à gauche de la structure globale d'une architecture FPGA, et à droite de celle d'une cellule. Architecture tirée de (Zhu et al., 2009).

Chaque cellule est équipée d'un nombre k de tables de correspondance reconfigurables à n entrées. Chacune de ces tables peut donc servir à la réalisation d'une fonction booléenne à n -bits définie par avance, et servant à sélectionner une voie parmi $m=2^n$. L'utilisation des SETs permettra une réduction du nombre d'étages nécessaire à l'établissement de la structure grâce à l'utilisation de SETs à multiple grille. Typiquement, si un SET à q grilles est réalisable

(i.e. le facteur de qualité des oscillations de Coulomb est suffisamment élevé pour que q pics périodiquement espacés puissent être correctement distingués entre eux), le nombre d'étapes logiques nécessaire à la création du multiplexeur devient $\lceil \log_{2q}(m) \rceil$. Toutefois, il semble peu réaliste à température ambiante de dépasser $q=3$, la température diminuant le facteur de qualité des oscillations (Figure 2-7).

L'unité de calcul arithmétique a pour objectif la prise en charge des opérations non linéairement séparables. De nombreuses publications traitent des différents types de fonctions réalisables à base de SET (Laegeweg, 2004). Généralement, on recherchera à tirer parti du caractère périodique des oscillations de Coulomb pour réaliser des circuits avec une économie de dispositifs, fournissant un gain en place, en consommation, et en vitesse de fonctionnement.

La mémoire interne permet une reconfiguration rapide de la cellule. Lors du fonctionnement de la cellule, une des configurations gardées en mémoire est déployée afin de paramétrer les différents éléments. Plus le nombre de configurations stockées est important, et moins l'accès à la mémoire globale sera nécessaire, impliquant un gain important en termes de performances. Cette mémoire est composée de deux parties : une matrice de stockage conservant les différentes configurations, et mémoire SRAM à base de SET. Cette dernière a pour rôle la conservation, et la transmission aux différents composants concernés de la configuration utilisée à l'instant t . La cellule SRAM présentée en 2.2.3 est particulièrement adaptée pour cela. La placer au plus près des composants à contrôler permettrait de diminuer la consommation de cette cellule. La technique de fabrication développée dans ce projet autorisant la mise en place d'architectures 3D, il devient envisageable de placer cette cellule mémoire au dessus des composants à commander. Les mémoires à un électron, présentées en 2.3.1 pourrait être employées dans la conception de la matrice de stockage. Ce design a en effet pour avantage une consommation nulle en stockage, et un temps de rétention qui peut être supérieur à 10 ans.

Les interconnexions peuvent être séparées en deux catégories : les interconnexions locales concernant les courtes distances, et pouvant être réalisées à l'aide de SETs, et les

interconnexions globales, mettant en jeu des communications entre des cellules distantes, et nécessitant à cause de leur capacité de charge élevée, l'introduction d'amplificateurs CMOS.

Afin de minimiser les délais, la transmission d'information dans les interconnexions courtes distances est effectuée par des dispositifs SETs en parallèle. Typiquement, pour limiter le phénomène d'embouteillage, on cherchera à ce que l'information soit transmise à la même vitesse pour une cellule située à une distance L et pour une cellule située à une distance nL . Cela revient à dire que si 1 SET est utilisé pour communiquer sur une distance L , nL SETs en parallèles serviront à communiquer sur une distance nL , compensant par l'augmentation de l'intensité fournie, le délai supplémentaire introduit par l'allongement de l'interconnexion. L'idée ici est équivalente à l'emploi d'une largeur de grille supérieure pour un FET, augmentant le courant d'attaque résultant du dispositif, mais aussi sa capacité de charge.

Dans le cas des interconnexions globales, le nombre de SETs à mettre en parallèle devient bien trop important. Il est alors plus intéressant de passer à l'utilisation d'amplificateurs CMOS. Afin de minimiser les délais introduits par la communication entre SETs et CMOS, le signal est tout d'abord amplifié par un inverseur SET (*SINV1*). Le signal arrive ensuite dans le premier inverseur CMOS (*CINV1*). Cet inverseur n'a pas un courant d'attaque aussi important que le second, mais sa faible capacité de charge permet une communication plus rapide avec *SINV1*. Enfin, le signal arrive au second inverseur CMOS (*CINV2*) qui permettra au signal d'avoir un courant suffisant pour être transmis dans l'interconnexion globale sans introduire de délai trop élevé. Mais l'amplitude des tensions manipulées par l'inverseur *CINV2* est trop élevée pour être lue directement par les SETs de la cellule ciblée. Il faudra l'atténuer à l'aide d'un inverseur SET (*SINV2*) aux capacités de grille adaptée pour lire ce signal et pour le rendre lisible par les SETs de la cellule cible.

La sélection des voies d'entrée et de sortie est faite grâce au routeur, dont l'architecture est similaire à celle de la table de correspondance décrite ci-dessus.

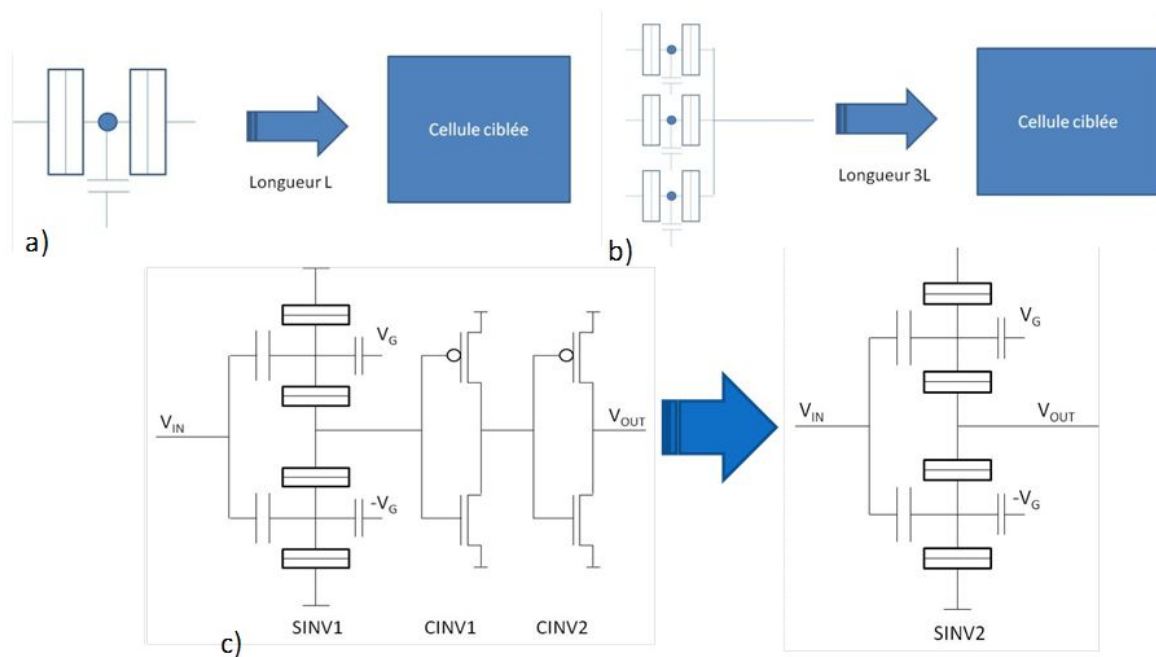


Figure 2-27 Transmission du signal dans une interconnexion locale de longueur L à l'aide d'un SET (a), et d'une longueur nL à l'aide de n SETs en parallèle (b). Schématisation de la transmission du signal dans une interconnexion globale (c). Architecture tirée de (Zhu et al., 2009).

Un des problèmes récurrents avec les SETs est celui des charges parasites. L'estimation faite par Likharev de la densité de piège (Likharev, 1999) donne statistiquement 1/10000 SET fautif. Des recherches sont en cours pour en diminuer la densité. Mais il est déjà possible de s'affranchir de cet effet, soit en identifiant les dispositifs fautifs à l'aide d'une batterie de tests, et en configurant le circuit pour ne pas avoir à les utiliser, soit en employant des circuits de vote majoritaire, placés entre les cellules du circuit FPGA. Ces circuits de votes majoritaires permettront de s'affranchir du bruit causé par les pièges en comparant les résultats de différentes cellules. L'avantage de cette méthode est sa facilité de mise en œuvre. Toutefois, elle implique aussi une perte des performances globales du système, diminuant fortement le nombre de cellules efficaces, utilisées dans un calcul.

CHAPITRE 3 Intégration Technologique

Jusqu'à présent nous n'avons présenté qu'une étude du fonctionnement théorique des SETs. Munis des bases décrivant son fonctionnement, et des possibilités d'applications en termes d'hybridation avec les circuits CMOS, nous allons décrire les efforts d'intégration technologique réalisés.

Ainsi, ce chapitre a pour vocation une étude des possibilités d'intégration des SETs avec les CMOS, en se concentrant sur l'aspect de la fabrication. Nous commencerons cette partie par une revue de l'état de l'art de la fabrication des SETs, mettant en avant les forces et faiblesses de chacun. Les méthodes de fabrication présentées sont uniquement celles ayant démontré des dispositifs fonctionnant au moins à température ambiante. Nous passerons alors à la méthode de fabrication de SET utilisée au cours de ce projet : la méthode nanodamascène de fabrication de SETs à grille auto-alignée. Le procédé sera décrit, l'influence des différents paramètres sur le comportement du SET discutée, et quelques dispositifs réalisés par cette méthode seront montrés. Nous passerons alors aux problématiques liées à cette intégration, tel que les problèmes rencontrés lors des phases d'alignement, le comportement de la grille fabriquée par notre procédé, ainsi que les problèmes liés à un amincissement trop important engendrés par le polissage par CMP (*Chemical Mechanical Planarization*), la difficulté de contrôle de la hauteur des structures lors de cette étape, et enfin, le problème de planéité rencontré sur nos échantillons. Nous finirons par les perspectives d'améliorations de ce procédé, comme l'emploi de la technique de déposition par ALD (*Atomic Layer Deposition*) pour augmenter l'énergie de charge du SET ou posséder un meilleur contrôle sur ses jonctions, l'alignement sur des motifs métalliques du niveau métal 1, facilitant grandement les phases d'alignement lors des électrolithographies, et enfin, des méthodes de contrôle de l'épaisseur gravée lors de l'étape de CMP.

3.1 État de l'art de la fabrication de SET

Ainsi qu'il a été montré précédemment, le fonctionnement à température ambiante d'un SET nécessite que la capacité totale de son îlot soit telle que $E_C = \frac{e^2}{2C_t} > \alpha \cdot k_B \cdot T = \alpha \cdot 26meV$ à 300K avec E_C l'énergie de charge, C_t la capacité totale de l'îlot, et α une constante strictement supérieure à 1 définissant la qualité des oscillations de Coulomb du SET. L'obtention d'une capacité totale suffisamment petite, tout en conservant une conductivité acceptable, et donc une résistance des jonctions tunnel raisonnable, passe par la réalisation d'îlots de taille nanométrique. Différentes stratégies sont envisageables pour cela, chacune amenant ses forces et faiblesses. Nous présenterons les modes de fabrications basés sur différents éléments clés : des points quantiques auto-assemblés, l'utilisation d'une pointe AFM, d'une oxydation et d'une évaporation à angle.

3.1.1 Points quantiques auto-assemblés

La réalisation de SETs par l'utilisation de points quantiques auto-assemblés permet l'obtention d'îlots dont les dimensions sont de l'ordre de 5 à 10nm de diamètre. Les températures d'opération sont donc en général très élevées. Elles présentent néanmoins une incertitude assez élevée quant au positionnement et au nombre d'îlots créés, réduisant le degré de répétabilité du processus de fabrication. En effet, le positionnement influe sur les différentes capacités et résistances, modifiant fondamentalement la réponse du dispositif. Il est toutefois possible de diminuer l'impact de ces inconvénients, par exemple en dimensionnant l'espace entre les électrodes de manière à ce que seul un îlot puisse s'y insérer, ou en définissant précisément le placement de l'îlot par diélectrophorésis (Khondaker et al., 2010).

La réalisation de points quantiques se fait en général par approche *Bottom-Up*. La fabrication du SET passe alors par la croissance et la nucléation d'îlots potentiels, qui seront alors déposés sur l'ensemble de la surface. Les électrodes sont créées par des techniques de lithographie classique. Cette technique a permis la réalisation de nombreux dispositifs SETs à travers le monde. Nous présentons ci-dessous les réalisations de Choi et al. (Choi et al., 1998),

Ray et al. (Ray et al., 2008) et Li et al. (Li et al., 2004) qui ont démontré des dispositifs fonctionnant à température ambiante.

Les dispositifs présentés par Choi et al. (Figure 3-1) possèdent des îlots en silicium. Leur croissance est effectuée à 620°C pendant 15s, et permet la formation de points quantiques dont le diamètre varie entre 7 et 10nm. Les îlots sont ensuite déposés sur le substrat, avec une densité résultante de près de 4.10^{11}cm^{-2} , et donc un écart moyen de 16nm entre îlots. Les électrodes sont déposées par la suite par une électrolithographie suivie d'un soulèvement. Elles sont espacées de 30nm, ce qui implique au plus la présence de 3 îlots dans le SETs. Les capacités extraites des mesures électriques étaient inférieures ou égales à l'atto-farad :

$$\begin{cases} C_D + C_S = 0,3aF \\ C_G = 0,3aF \\ C_B = 1,0aF \end{cases} \Rightarrow C_t = 1,6aF$$

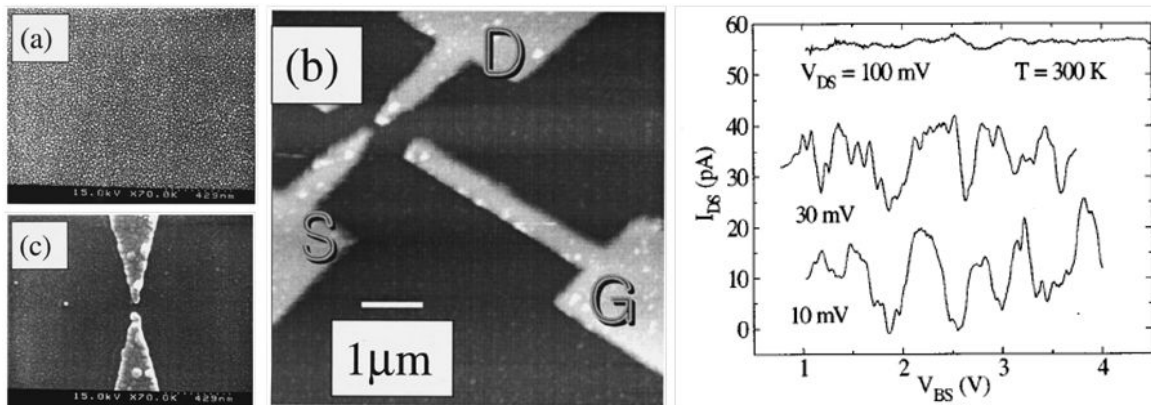


Figure 3-1 Image au MEB avec le focus réalisé sur les points quantiques (a), et avec le focus réalisé sur les électrodes (c) ; Image AFM du dispositif (b). Caractérisation électriques courant de drain en fonction de la polarisation de la grille face arrière à 300K pour différentes tensions de polarisation V_{ds} (à droite). Tiré de (Choi et al., 1998).

Les dispositifs mis au point par Ray et al. (Figure 3-2) ont la particularité de présenter des SETs verticaux. Les points quantiques sont cette fois en or et ont un diamètre d'environ 10nm, ce qui est à peu près l'épaisseur de l'oxyde séparant la source du drain. Les capacités C_D et C_S extraites des différentes mesures électriques varient entre $3,5aF$ et $0,25aF$, ce qui est probablement dû au placement aléatoire de l'îlot entre la source et le drain. De même, la résistance des jonctions tunnels varie entre $1,8G\Omega$ et $0,19G\Omega$. Au contraire, la capacité de grille semble elle plutôt constante : sur 10 dispositifs mesurée, elle est de $8.8 \pm 0.8aF$.

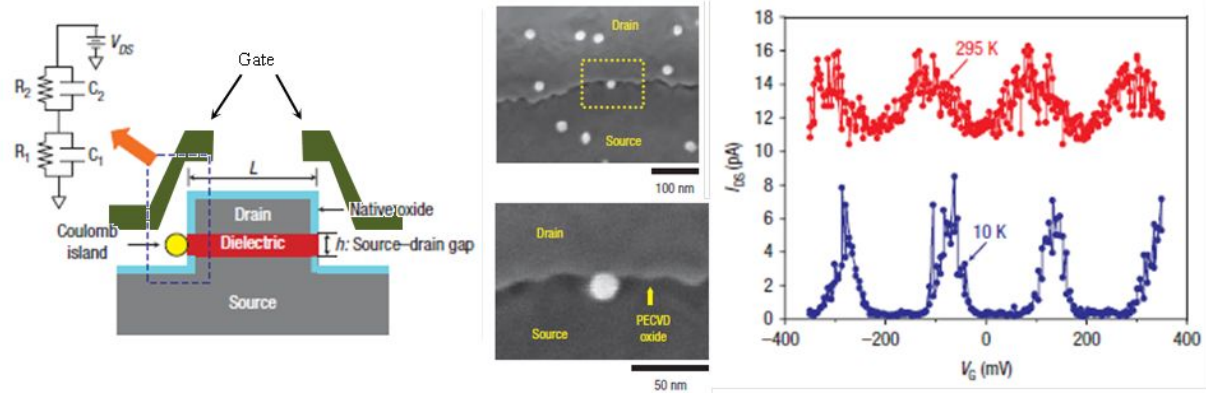


Figure 3-2 Schématisation de la structure à gauche, et image MEB centrée sur le diélectrique au centre. Caractérisations électriques courant de drain en fonction de la tension de grille à 10K et à 295K à droite (Ray, et al., 2008).

La technique démontrée par Li et al. diffère fondamentalement des précédentes, puisque les points quantiques sont cette fois formés au sein même du canal par oxydation thermique. Le canal est initialement réalisé en $\text{Si}_{0.95}\text{Ge}_{0.05}$ par électrolithographie. Une oxydation thermique à 900°C pendant 20 minutes permet une agglomération du germanium, formant ainsi des points quantiques d'un diamètre moyen de 6,1nm, et d'une densité de $6,4 \cdot 10^{11} \text{cm}^{-2}$. Les capacités obtenues sont :

$$\begin{cases} C_D = 0,85 \text{ aF} \\ C_S = 0,75 \text{ aF} \\ C_G = 0,53 \text{ aF} \end{cases} \Rightarrow C_t = 2,13 \text{ aF}$$

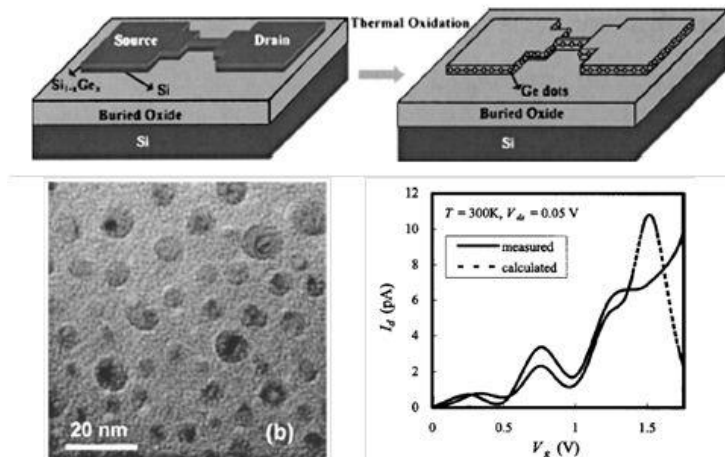


Figure 3-3 (Li et al., 2004) schématisation de la structure avant et après l'oxydation thermique permettant la formation de l'îlot (en haut) ; image TEM montrant les points quantiques dans la matrice de Si (en bas à gauche) ; caractérisation électrique et simulation correspondante du courant de drain en fonction de la tension de grille à 300K (en bas à droite).

Comme on a pu le constater, ces techniques ont en commun la capacité de créer des îlots de diamètres inférieurs à 10nm, ayant pour résultat des capacités totales très faibles, et donc des températures de fonctionnement élevées. Toutefois, la variabilité inhérente au processus de fabrication semble relativement élevée, la maîtrise du nombre et du placement des îlots paraissant encore peu précise, et pourrait se révéler être un frein à une intégration industrielle. On peut noter aussi que si les deux premières techniques peuvent potentiellement être intégrées dans le BEOL d'une puce CMOS¹, ce n'est pas le cas de la troisième, à cause du recuit à 900°C pendant 20 minutes nécessaire à la formation des points quantiques.

3.1.2 Fabrication par pointe AFM

Cette technique emploie une pointe AFM afin de tracer les jonctions tunnel dans le métal. L'application d'une différence de potentiel entre la pointe et la surface permet, grâce à l'humidité présente dans l'air ambiant, l'oxydation du métal, et donc la création des jonctions tunnel (Shirakashi et al., 1998). L'avantage de cette technique est le très grand contrôle qu'elle offre sur les caractéristiques du dispositif. Mais la précision est limitée par les dimensions de la pointe AFM rendant les largeurs des jonctions tunnel supérieures à 15nm (Gotoh et al., 2000). Il est néanmoins possible d'obtenir un meilleur contrôle en faisant croître un nanotube de carbone sur la pointe AFM (Gotoh et al., 2002). Cette technique a permis la création de jonctions tunnel de seulement 6nm de largeur. Les dispositifs créés ont présenté des courants de l'ordre du pico-ampère (pour une tension de drain de 0,3V), et des capacités sub-atto-farad, permettant un fonctionnement à température ambiante :

$$\begin{cases} C_D = 0,3aF \\ C_S = 0,16aF \\ C_G = 0,064aF \end{cases} \Rightarrow C_t = 0.5aF$$

¹ La température utilisée pour la croissance de points quantiques auto-assemblés est trop élevée pour permettre une croissance directement en BEOL. Toutefois, si la croissance est réalisée dans une solution à part, et qu'elle n'est mise en contact avec le BEOL que lors de son retour à température ambiante, elle ne devrait alors pas présenter de problèmes de compatibilité.

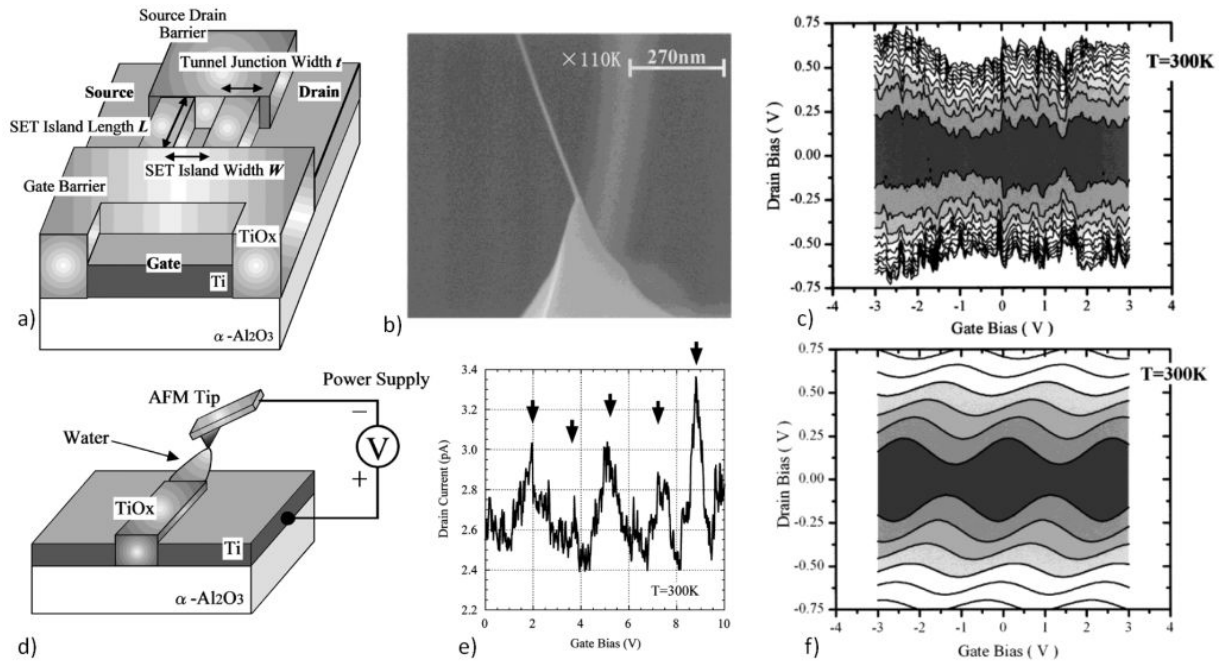


Figure 3-4 Schématisation du dispositif SET (a), et de la technique d'oxydation par pointe AFM (b) ; Image MEB d'une pointe AFM avec un nanotube de carbone accroché à son extrémité, destiné à la création de jonction tunnel de moins de 10nm (c) ; caractérisation électrique à 300K courant de drain en fonction de la tension de grille (d), et type diagramme diamant (courant de drain en fonction de la tension de drain en ordonnée, et de la tension de grille en abscisse) (e) ; simulation correspondante (f). Images tirées de (Gotoh et al., 2002).

Cette technique offre un très grand potentiel en termes de contrôle et de reproductibilité, et il a été démontré que des îlots à très faible capacité totale ont pu être créés. Toutefois, le faible rendement des techniques de fabrication AFM, l'emploi d'une pointe nécessitant potentiellement la croissance d'un nanotube de carbone en son extrémité, ainsi que l'obligation de polariser la zone de métal à oxyder limiteront probablement ses chances d'être industrialisée.

3.1.3 Oxydation

Cette technique emploie une oxydation du canal reliant la source au drain, pour créer l'îlot et les jonctions tunnel (Zhuang et al., 1998). Le fonctionnement de cette opération est basé sur l'utilisation des variations présentes dans la largeur du canal créé par électrolithographie. En effet, ces variations sont amplifiées lors de l'oxydation. Si elle se poursuit suffisamment longtemps, il y a apparition d'une série de points quantiques séparés par des constriction. Néanmoins seul le plus petit semble contrôler le comportement du

dispositif. L'avantage de cette méthode est sa simplicité de mise en œuvre, sans oublier que l'oxydation permet une réduction des dimensions de l'îlot, diminuant ainsi sa capacité totale, et augmentant la température de fonctionnement. Les résultats présentés ici ont été réalisés par Zhuang et al. et démontre la faisabilité d'un SET en silicium réalisé par oxydation fonctionnant à 300K, et ayant une capacité totale de 1,7aF. Mais cette méthode peut potentiellement être appliquée à tout type de matériaux.

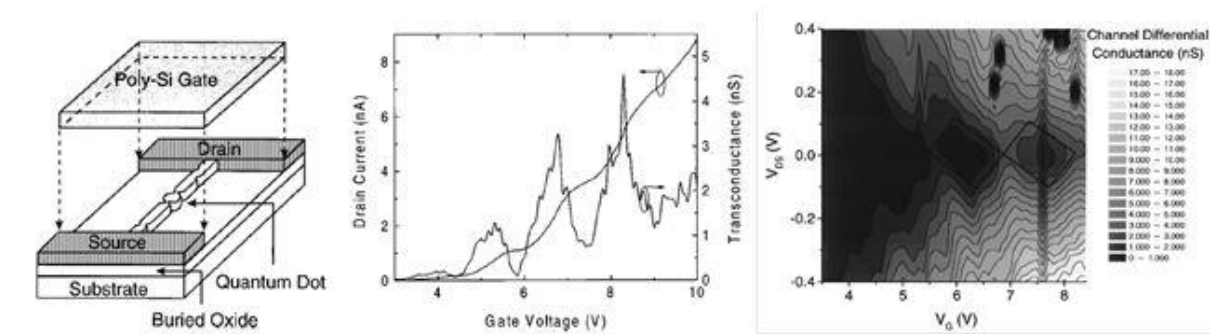


Figure 3-5 Schématisation du SET créé par oxydation (à gauche) ; sa caractérisation électrique $I_d(V_g)$ à 300K (au centre), et son diagramme diamant constitué à partir des données expérimentales (à droite). Images tirées de (Zhang et al., 2004).

La technique de fabrication de SET par oxydation du canal est donc simple à réaliser, et peut être utilisée pour la formation de SET semi-conducteurs comme métalliques. Elle permet de plus l'obtention d'îlots à très faible capacité totale. Toutefois, elle n'offre aucun réel contrôle sur le nombre d'îlots créés, ou sur leurs dimensions. Il est donc peu probable qu'elle puisse être adoptée telle quelle par l'industrie. La technique PADOX, mise au point par Ono et al. (Ono et al., 2000) en est dérivée. Elle est basée sur le fait que l'oxydation se forme préférentiellement au niveau des jonctions entre structures. Il a ainsi pu exercer un certain contrôle sur la localisation de ses jonctions, et donc sur les caractéristiques de son îlot.

3.1.4 Évaporation à angle

L'évaporation à angle a été développée par Dolan et al. (Dolan, 1977). Elle a permis l'obtention de capacités très faibles, et donc la fabrication des premiers SETs. Elle consiste en une série d'évaporations successives, réalisées à différents angles. Ces derniers sont choisis afin de permettre un faible recouvrement des structures, ce qui créera les jonctions tunnel entre

l'îlot et les éléments drain/source. Une oxydation est réalisée après la première évaporation pour créer les jonctions tunnel. Le nombre d'évaporations peut être de deux (George et al., 2009) ou trois (Pashkin et al., 2000). Cette technique a bénéficié d'une longue période de développement, et possède donc une bonne maturité, permettant l'obtention de dispositifs à faibles capacités. Dans l'exemple ci-dessous (Figure 3-6), présentant un SET réalisé en Al/AlO_x, nous avons :

$$\begin{cases} C_D = 0,55 \text{ aF} \\ C_S = 0,84 \text{ aF} \\ C_G = 4,9 \text{ zF} \end{cases} \Rightarrow C_t = 1,4 \text{ aF, avec } R_S = 70 \text{ M}\Omega \text{ et } R_D = 15 \text{ M}\Omega$$

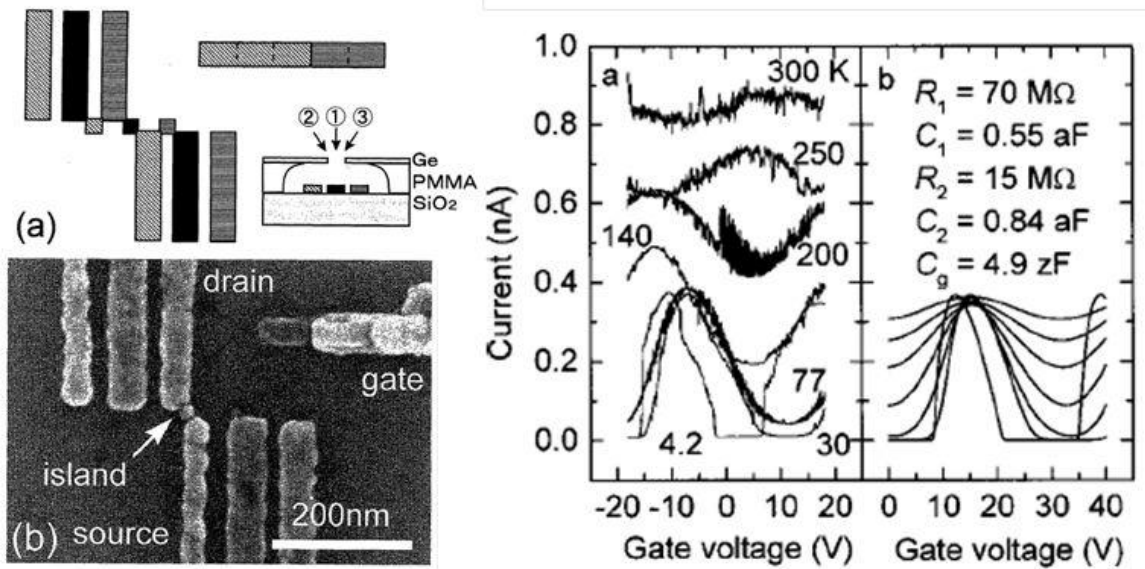


Figure 3-6 Schématisation du procédé d'évaporation à angle (a) et image MEB du dispositif réalisé (Nakamura et al., 1996). Caractérisations électriques du dispositif à différentes températures à droite (Pashkin et al., 2000). Le fait que les oscillations de Coulomb ne soient pas alignées a été interprété comme dû à la présence de charges parasites.

Cette méthode offre un bon compromis entre répétabilité et rapidité. En effet, on peut considérer que les paramètres variables sont la hauteur de la couche de résine utilisée pour l'*undercut* (la PMMA dans la Figure 3-6), l'angle lors de la déposition, et la largeur de l'ouverture. Ils introduisent une certaine marge d'erreur, mais un grand contrôle lors du processus de fabrication peut en diminuer l'impact. Des capacités de quelques atto-farad ont été démontrées, permettant un fonctionnement à température ambiante. Toutefois, elles demeurent assez élevées, du fait du recouvrement des structures (Figure 3-7).

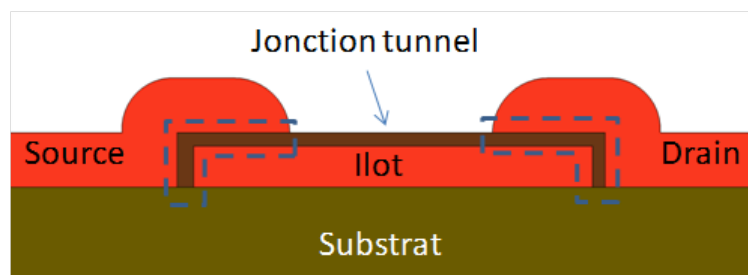


Figure 3-7 Vue en coupe schématisée d'un SET fabriqué par la méthode de l'évaporation à angle. La surface de contact entre l'îlot et la source/drain est en première approximation proportionnelle aux capacités entre l'îlot et la source/drain. Elle est délimitée par la ligne bleue en pointillée. Comme on peut le constater, elle est fortement augmentée du fait du recouvrement de l'îlot par la source et le drain.

3.1.5 Résumé

Toutes les techniques présentées ci-dessus ont permis l'obtention de SETs fonctionnant à température ambiante, et sont donc utilisables pour créer des îlots à très faible énergie de charge. Le tableau ci-dessous résume les caractéristiques principales de chacune.

Procédé	Étape critique	Potentiel de Répétabilité	Taille potentielle de l'îlot	Intégration avec CMOS
Points quantiques	Maitrise de la croissance et du positionnement des points quantique	Faible	Petite	Faible répétabilité problématique
Fabrication par pointe AFM	Contrôle de la zone à oxyder par AFM	Élevé	Moyenne	Utilisation de l'AFM et nécessité de polariser la zone à oxyder problématiques.
Oxydation	Contrôle de l'oxydation du canal	Faible	Petite	Faible répétabilité problématique
Évaporation à angle	Contrôle des angles pour avoir le plus petit recouvrement possible	Moyen	Grande	Envisageable pour une intégration.

En conclusion, de toutes ces techniques, celle présentant à priori le plus de chance d'être intégrée est l'évaporation à angle. Mais le point faible de cette technique concerne la grande surface de recouvrement entre l'îlot et la source ou le drain, ce qui a pour effet une capacité totale de l'îlot plus élevées que nécessaire.

De toutes les méthodes de fabrication présentées ici, celle dont se rapproche le plus la technique utilisée au cours de ce projet est l'évaporation à angle. Mais son avantage par rapport à cette dernière est qu'elle permet non seulement d'éliminer les zones de recouvrement, mais aussi de diminuer l'épaisseur de l'îlot grâce à l'emploi d'une étape nanodamascène. Le SET obtenu a donc une capacité totale bien plus faible, favorisant un fonctionnement à haute température.

3.2 Procédé nanodamascène

Le procédé nanodamascène, initialement développé par C. Dubuc permet l'obtention de SETs fonctionnant à température ambiante. Il se base pour cela sur la combinaison d'étapes d'électrolithographie afin de réaliser des motifs nanométriques, et de CMP, destinées à réduire à quelques nanomètres l'épaisseur de l'îlot. Les dimensions résultantes rendent l'énergie de charge de l'îlot suffisamment élevée pour permettre un fonctionnement à haute température. La réalisation par cette technique d'un SET ayant une énergie de charge de 460meV, soit plus de dix fois la valeur des fluctuations thermiques à 400K a été démontrée expérimentalement (Dubuc et al., 2007). Le blocage de Coulomb a donc bien pu être observé jusqu'à des températures de 400K. L'électrolithographie avait permis d'obtenir des dimensions inférieure à 20nm, et la CMP avait aminci l'îlot, limitant son épaisseur à seulement 2nm.

Cette technique est adaptable à la fabrication de SETs métalliques comme semi-conducteurs (Lee et al., 2010), et permet la production rapide d'un nombre important de transistors. Comme indiqué en 2.1, nous avons choisi de nous tourner ici vers la fabrication de SETs métalliques. Ceci permet :

- L'absence de discrétisation des niveaux d'énergie dans l'îlot. On a ainsi une grande simplification du comportement du dispositif, et une diminution importante de la variabilité des SETs créés, la distribution des niveaux d'énergie dépendant fortement de la forme de l'îlot.
- Contrairement à des SETs en silicium, la fabrication de SETs métalliques grâce à ce procédé offre potentiellement la possibilité d'une fabrication dans le BEOL d'une plaque de CMOS, les températures utilisées ne dépassant pas 200°C.

Ce dernier point est tout particulièrement important car il ouvre la voie à la mise en place d'architectures 3D, avec des empilements de SETs réalisés dans le BEOL (Figure 3-8). En effet, s'il est possible de créer des SETs dans le BEOL, la même méthode de fabrication peut alors être réutilisée, après avoir recouvert d'une couche d'ULK les SETs fabriqués, pour créer le niveau suivant de transistors. Il devient donc envisageable de réaliser facilement un nombre important de niveaux de SETs offrant ainsi une densité d'intégration très élevée, et donc une valeur ajoutée considérable à la plaque de CMOS initiale.

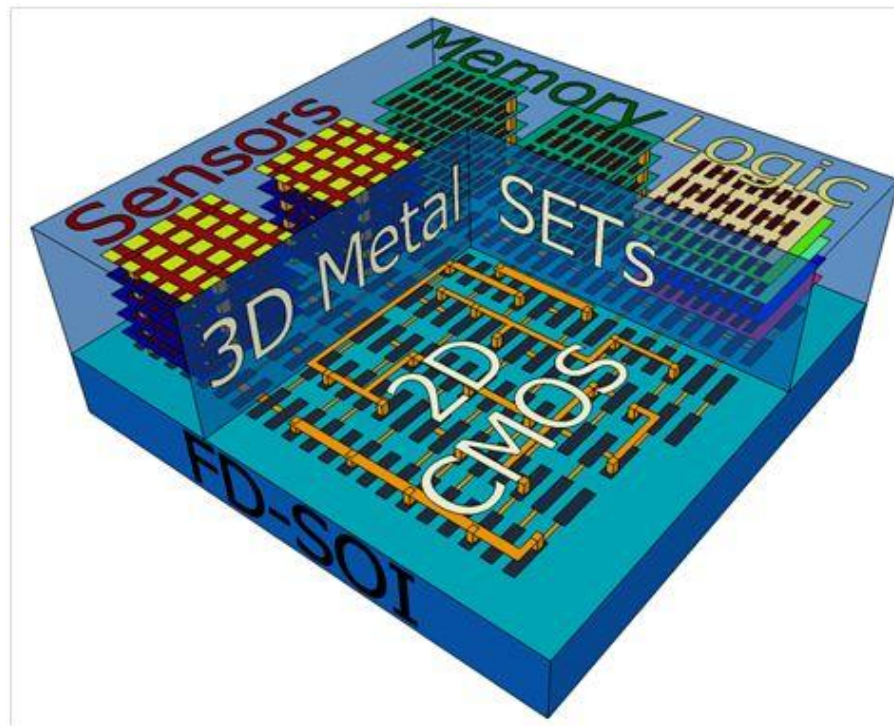


Figure 3-8 Schématisation du résultat de l'intégration de SETs dans le BEOL d'un nœud technologique CMOS, destiné à la réalisation d'une architecture hybride 3D s'inscrivant dans le More Than Moore. Image réalisée sous SketchUp.

3.2.1 Description du procédé

Le procédé de fabrication utilisé dans ce projet a été développé à l'Université de Sherbrooke. Il permet la création d'un SET à grille auto-alignée, cette dernière étant située dans le même plan que le SET, ce qui offre la perspective d'une intégration 3D du dispositif. Le détail des différentes étapes est indiqué dans la Figure 3-9. Le titane a été utilisé pour la fabrication des SETs dans ce projet, mais en théorie, cette technique est applicable à tout métal oxydable.

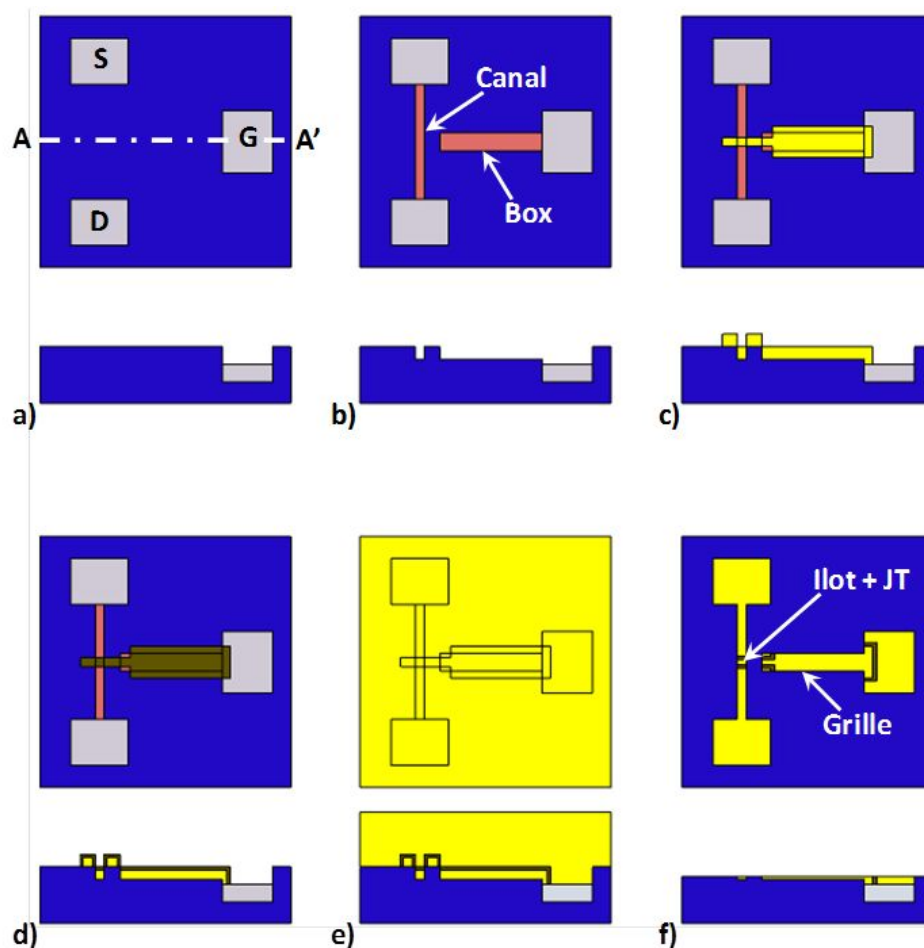


Figure 3-9 Schématisation des étapes principales du procédé de fabrication nanodamascène à grille auto-alignée développé dans le groupe de Dominique Drouin avec pour chaque étape une vue la vue de dessus en haut, et la vue en coupe selon (AA') en bas. Étape a) gravure des motifs de grandes dimensions par photolithographie suivie d'un lift-off pour les remplir en partie avec du platine (en grisé sur la figure) avec S la source, D le drain, et G la grille. Étape b) gravure par électrolithographie des motifs les plus fins : canal et box, qui servira à contenir la grille. Étape c) dépôt par électrolithographie + lift-off de titane afin de former l'îlot et la grille. Étape d) oxydation du titane déposé pour créer les jonctions tunnel (JT). Étape e) l'échantillon est recouvert de titane. Étape f) grâce à la CMP, seul le titane présent dans les structures gravées demeure. L'épaisseur de l'îlot a de plus été affinée.

Ainsi qu'il a été montré, la fabrication du SET par cette méthode peut être divisée en six étapes majeures qui correspondent aux étapes a) à f) de la figure ci-dessus.

Étape a) : la création des motifs non critiques de dimensions supérieures à $2\mu\text{m}$ est faite par photolithographie (cf. Figure 3-10). Ces motifs comprennent les plots de contacts qui serviront aux caractérisations électriques des SETs, les chemins d'amenée qui les relient au SET à proprement parlé, les marques d'alignement UV qui seront utilisées lors des étapes ultérieures de fabrication, et pour finir, les structures sacrificielles qui protégeront les éléments utiles lors de l'étape de CMP et assureront un polissage uniforme. Cette étape permet un gain de temps considérable par rapport à une fabrication en « tout électrolithographie ». Il est possible en effet de réaliser en quelques secondes l'ensemble des cellules qui accueilleront les dispositifs SETs, et de recouvrir uniformément la surface du substrat par des structures sacrificielles, garantissant une très faible différence d'épaisseur gravée lors de la CMP sur l'ensemble de l'échantillon.

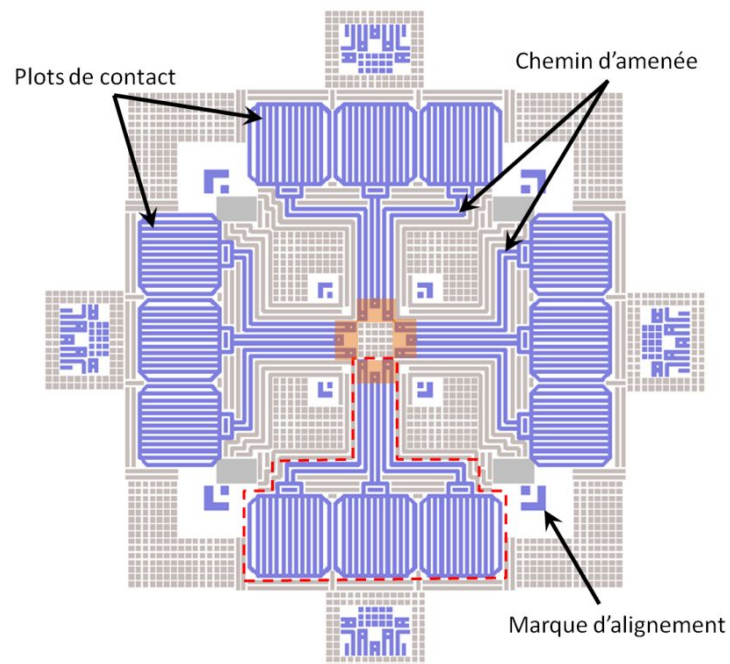


Figure 3-10 Illustration d'une partie du masque utilisé lors de la photolithographie pour une cellule SET réalisé dans le groupe de Dominique Drouin. Les éléments insolés sont en gris les structures sacrificielles, et en bleu, les plots, chemins d'amenée et marques d'alignement. Une cellule regroupe potentiellement quatre dispositifs SETs. Pour plus de clarté, un des dispositifs potentiels a été entouré en pointillés rouge. Les structures critiques du SET (îlot, jonctions tunnel et grille) seront fabriquées par la suite dans les rectangles oranges.

On vise une profondeur de 60nm par gravure plasma ICP (*Inductively Coupled Plasma*). Les structures sont ensuite métallisées par soulèvement. On y dépose 20nm de Platine avec 10nm de titane comme couche d'adhésion (Schmid & Seidel, 2008). Ces métaux amélioreront la visibilité des structures lors des étapes d'électrolithographie.

Etape b) : la création des motifs critiques est réalisée par électrolithographie. Le box qui fera office de réceptacle pour la grille, le canal dont on souhaite la largeur la plus faible possible et les structures sacrificielles fines placées à proximité de ces deux éléments afin de les protéger sont ainsi gravés. Plus la largeur du canal est faible, et plus l'énergie de charge du SET pourra être élevée. On recherche typiquement à atteindre 20nm de largeur. La profondeur de gravure est de 20nm et est faite par ICP. Les structures créées sont alignées sur les motifs réalisés lors de la photolithographie au moyen des marques d'alignement UV.

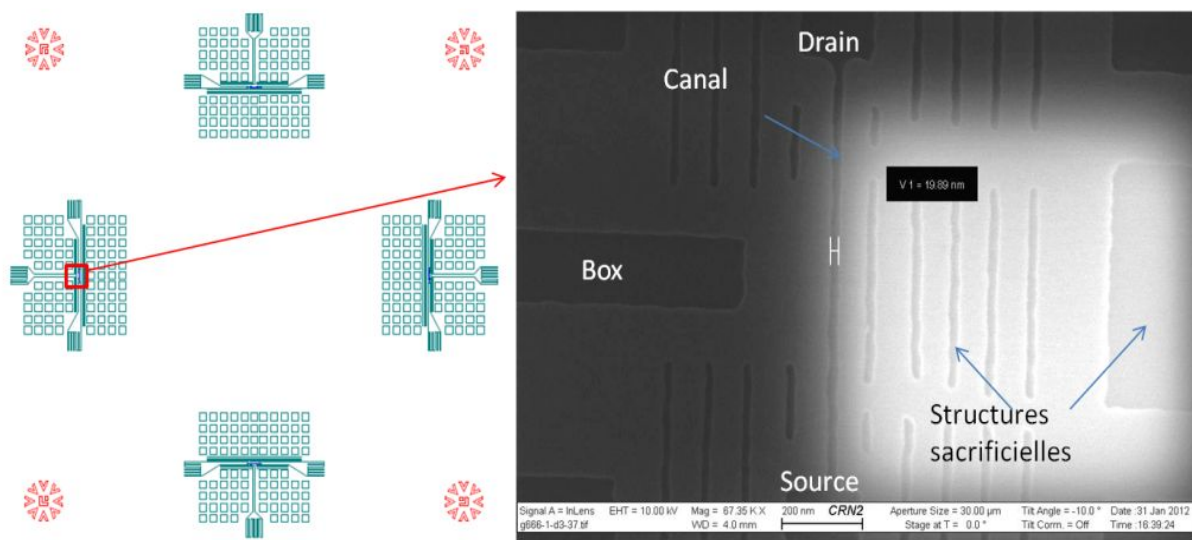


Figure 3-11 Design CAD des motifs gravés par électrolithographie à gauche. Image MEB réalisée à l'UdeS d'un zoom sur un des SET à droite. On y retrouve les différentes structures : box, canal (20nm de largeur), structures sacrificielles (lignes et carrés). Le carré lumineux à droite de l'image correspond à une structure métallique du niveau métal 1, qui est situé plus de 350nm sous la surface.

Étape c) : l'ensemble îlot/grille est créé lors d'un soulèvement réalisé lors d'une électrolithographie. Une épaisseur de 20nm de titane est ainsi déposée. Afin que l'îlot soit correctement aligné avec le box, garantissant un bon fonctionnement de la grille, l'étape d'alignement est cruciale. Il serait en théorie possible de s'aligner sur des marqueurs créés lors de l'étape b), toutefois les structures métalliques des couches inférieures les rendent indétectables. L'alignement est donc seulement effectué sur les marques d'alignement réalisées lors de l'étape a) qui, étant métallisées, sont elles clairement visibles. Malgré l'addition des erreurs d'alignement entre les étapes b) et c), le désalignement entre l'îlot et le box ne dépasse pas 100nm. On en déduit a priori un bon fonctionnement de la grille pour des box de 200nm de largeur.

Comme pour le canal, une faible largeur d'îlot implique une énergie de charge du SET élevée. Toutefois, ce paramètre est moins critique que dans le cas de la largeur de l'îlot : il n'influe en première approximation que sur les capacités entre l'îlot et la grille et entre l'îlot et le substrat. Une distance suffisante séparant ces éléments suffit à compenser une largeur d'îlot trop élevée.

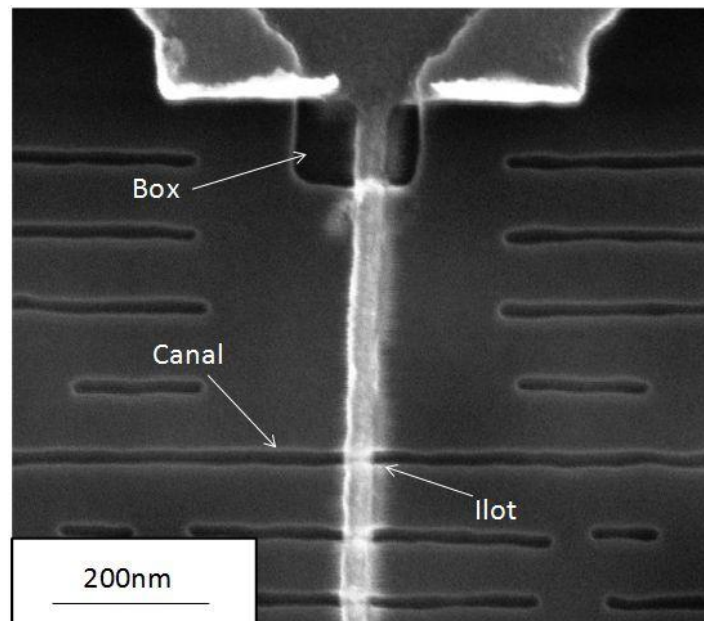


Figure 3-12 Image MEB réalisée à l'UdeS d'un dispositif SET après soulèvement. L'ensemble îlot grille déposé correspond à la structure claire au centre de l'image. La largeur du canal est 20nm, celle de l'îlot est 35nm.

Etape d) : les jonctions tunnel sont créées par oxydation de la ligne d'îlot en Titane. Cette oxydation est réalisée par plasma O_2 . Les conditions utilisées lors de l'oxydation entraînent la formation de TiO_2 (Droulers et al., 2010). La formation de l'oxyde consomme une partie de la ligne de Ti, contribuant à son amincissement. L'épaisseur d'oxyde formé est dépendant du temps d'exposition au plasma.

Etape e) : une couche de titane est déposée. Cette épaisseur doit non seulement être suffisante pour remplir l'ensemble des structures gravées, mais aussi pour qu'il n'y ait pas apparition de coupure après CMP. Il a été déterminé expérimentalement qu'une épaisseur de 150nm était nécessaire.

Etape f) : la CMP permet de ne garder que le Ti présent dans les structures gravées. On élimine ainsi les courts circuits entre les différents éléments. Ceci permet aussi, si on compare à la méthode de fabrication de SETs par évaporation à angle, de ne pas avoir de recouvrement des structures, et donc une amélioration de la valeur d'énergie de charge de l'îlot. De plus, si la CMP est poursuivie, il est alors possible d'amincir le canal afin d'atteindre des valeurs de seulement quelques nanomètres, ce qui résulte en une forte diminution de la capacité totale de l'îlot. C. Dubuc avait déterminé expérimentalement une hauteur finale de 2 nanomètres pour ses dispositifs fonctionnant à haute température. Une coupe TEM réalisée sur des dispositifs aux dimensions relâchées produits dans le cadre de ce projet montre une épaisseur inférieure à 10nm (Figure 3-13). L'efficacité de la CMP dans la réduction de l'épaisseur du SET est donc bien démontrée.

Toute la difficulté de cette étape tient à la production d'un résultat uniforme partout sur l'échantillon, sans rayures ni surgravure de certains motifs, et à l'obtention d'une sélectivité d'à peu près 1:1 entre le SiO_2 et le Ti, afin d'avoir comme résultat une surface plane. Il est nécessaire à la réussite de cette étape d'avoir une surface présentant une densité de structures en Ti de $\frac{1}{2}$. Cette densité est réalisée à l'aide des structures sacrificielles, qui recouvrent l'ensemble de l'échantillon. Il a aussi été déterminé expérimentalement qu'afin d'éviter l'érosion des structures il est nécessaire que leur dimension minimale ne dépasse pas $5\mu m$.

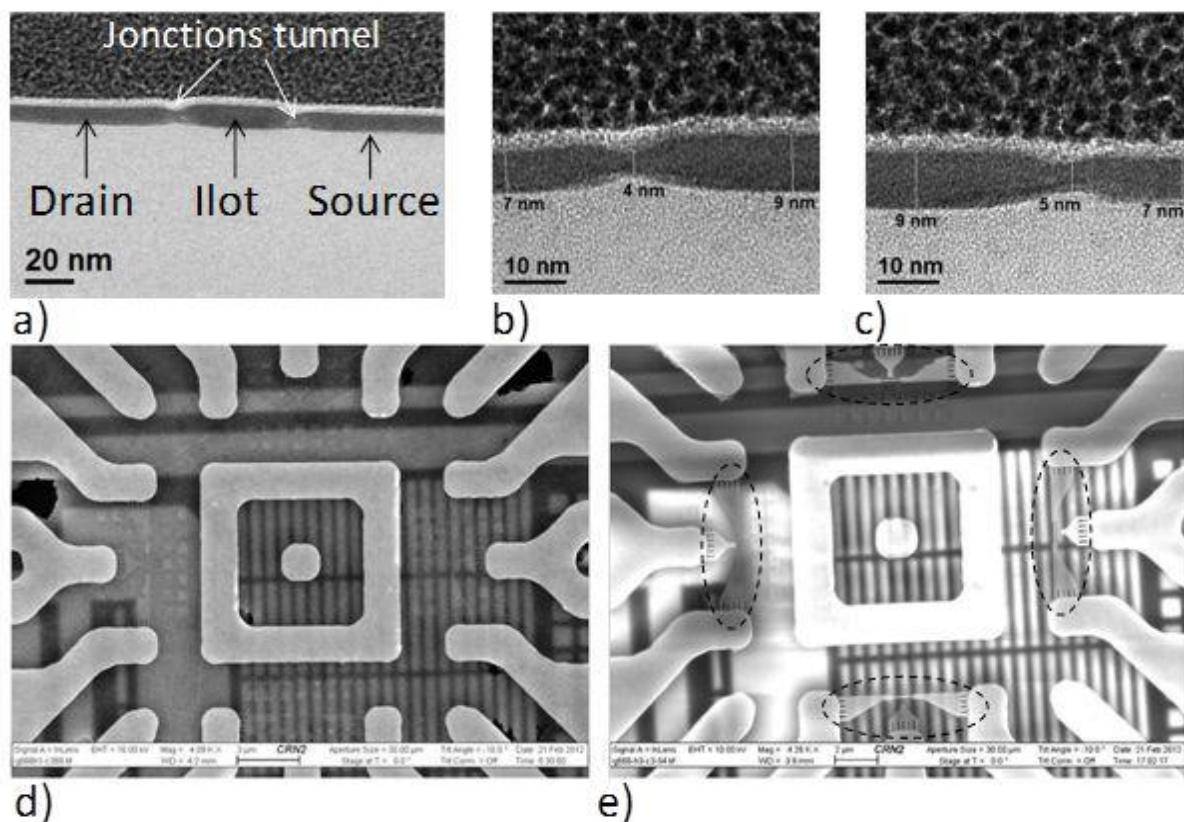


Figure 3-13 Coupes TEM réalisées par ST-Microelectronics sur un dispositif SET (a), avec zoom sur la jonction de gauche (b) et celle de droite (c). Image MEB réalisée à l'UdeS de dispositifs SETs recouverts par une couche de titane (d), et emploi de la CMP pour l'éliminer et dégager les SETs, entourés en pointillés pour plus de clarté (e). Les structures floues visibles sur ces deux images correspondent à des éléments métalliques du niveau métal 1, situé environ 350nm sous la surface.

Il est à noter que cette technique de fabrication est bien adaptée à la réalisation de SETs dans le BEOL d'une plaque de CMOS. En effet, les températures qu'elle met en jeu sont suffisamment faible (moins de 200°C) pour ne pas détériorer les CMOS, et ils ne devraient pas non plus être abîmés par les différentes techniques utilisées (photolithographie, électrolithographie, gravure ICP, CMP, ...). Des caractérisations électriques effectuées sur des MOSFETs après fabrication des SETs a permis de vérifier leur fonctionnement. L'accès aux contacts des MOSFETs, situés au niveau métal 1, a été réalisé à l'aide d'une gravure plasma au CF₄, procédé développé à l'Université de Sherbrooke par B. Lee Sang pour la création d'interconnexions destinées à la mise en place de circuits hybrides 3D SET-CMOS.

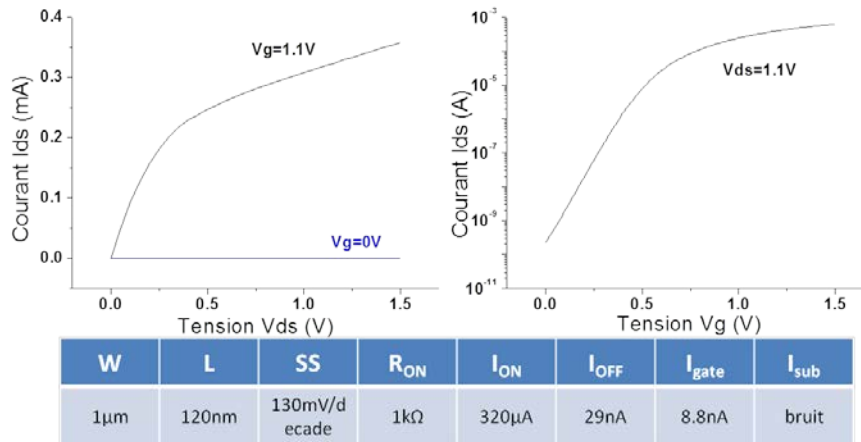


Figure 3-14 Caractéristiques $I_d(V_d)$ à gauche et $I_d(V_g)$ à droite d'un nMOS réalisée à température ambiante, après fabrication des SETs. Caractéristiques du MOS mesuré indiquées dans le tableau en bas, avec W et L sa largeur et longueur de grille, SS la pente sous le seuil, I_{gate} et I_{sub} les courants de fuite par la grille et le substrat.

3.2.2 Influence des différents paramètres du SET

Si au cours de ce projet, l'accent a uniquement été mis sur la réalisation de dispositifs SETs, une étude a été menée sur l'impact des ses différents paramètres, de manière à déterminer quelles seraient les attentes en fonction des paramètres atteignables, et quels seraient les objectifs vers lesquels tendre. Les simulations ont été réalisées à l'aide de MARSSEA, un logiciel développé par A. Beaumont et dont le fonctionnement est basé sur la théorie étendue. Tous les résultats concernent le fonctionnement de SETs à 300K. Lors de cette partie, nous appellerons I_{ON} le courant de drain obtenu lorsque le SET est passant (i.e. $V_G = e/2C_G$) et I_{OFF} le courant de drain du SET lorsqu'il est bloqué (i.e. $V_G = 0$).

Pour la première partie de cette étude, nous utiliserons par défaut des paramètres démontrés expérimentalement par C. Dubuc (Dubuc et al., 2009). La section de la jonction a elle été fixée à 100nm^2 pour correspondre aux dispositifs aux dimensions relâchées qui ont pu être réalisés au cours de ce projet (i.e. largeur de canal de 20nm et épaisseur de 5nm).

Surface jonction	Epaisseur JT	Phi0	Permittivité	m^*
100 nm ²	8 nm	0.3 eV	3	0.44

Tableau 3-1 Valeurs par défaut considérées pour les simulations des SETs, avec de gauche à droite l'aire des jonctions tunnel, leur épaisseur, leur hauteur de barrière, leur permittivité, et leur masse effective.

Nous allons tout d'abord observer l'impact de la tension drain source sur le SET. Comme on peut le voir sur la Figure 3-15, un bon compromis entre un rapport I_{ON}/I_{OFF} et un courant I_{ON} élevé est obtenu pour $V_{DS} = 40\% \left(\frac{e}{C_t} \right)$. Bien que cette valeur ne soit propre qu'à ces paramètres donnés, nous avons choisi de l'utiliser pour définir automatiquement la tension V_{DS} des SETs étudiés ici, afin de pouvoir comparer aussi objectivement que possible des dispositifs possédant différentes énergies de charge.

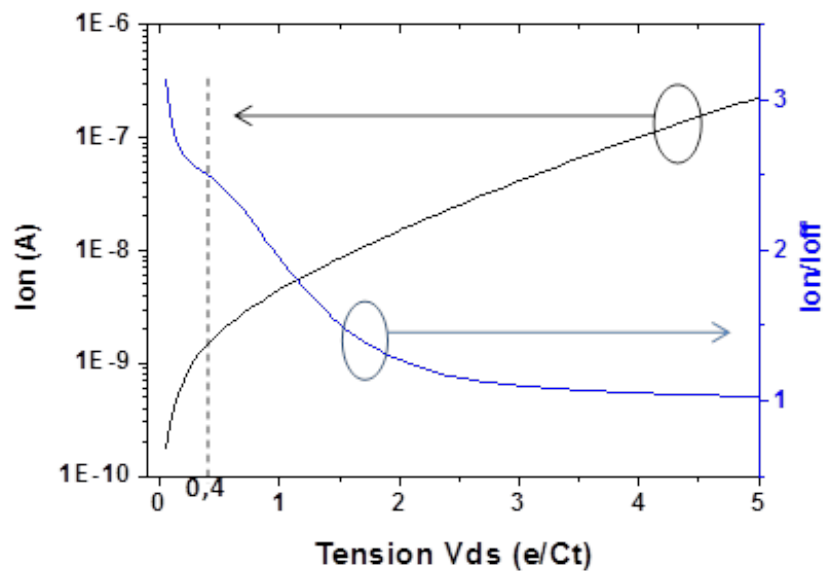


Figure 3-15 Simulation des caractéristiques I_{ON} et I_{ON}/I_{OFF} en fonction de la tension V_{DS} donnée en (e/C_t) , pour un SET ayant les caractéristiques fournies par le Tableau 3-1

L'étude transversale du comportement du SET, basée sur l'étude, à partir d'un jeu de paramètres initial, et de la variation isolée de chacun des paramètres, présentée dans la Figure 3-16 est loin de pouvoir donner un résultat absolu quant au comportement du SET. En effet, la dépendance aux conditions de départ est trop importante. Toutefois, elle permet d'identifier les paramètres les plus critiques, et d'identifier en fonction de ces paramètres, vers quelles caractéristiques il serait préférable de tendre.

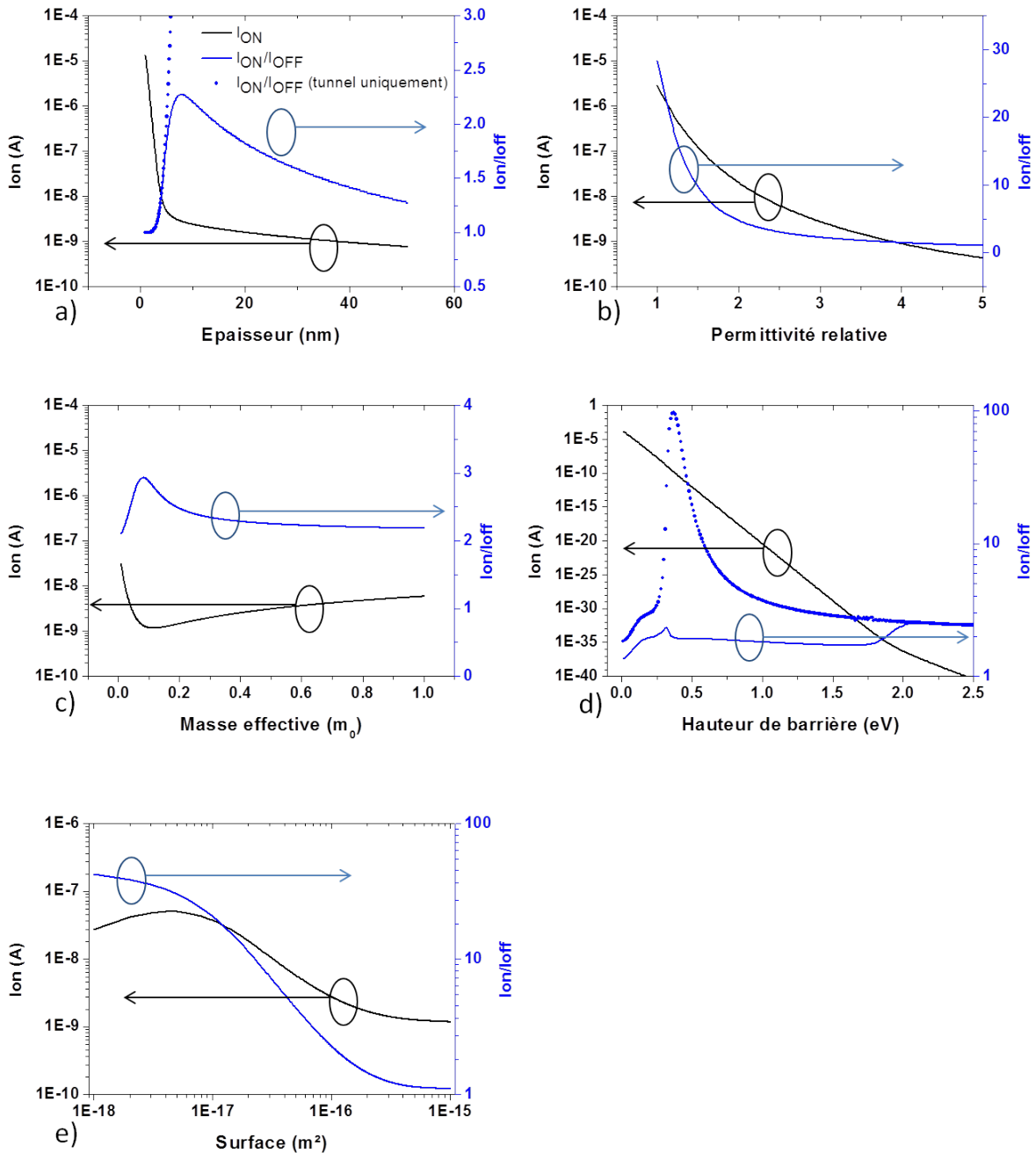


Figure 3-16 Simulation du courant I_{ON} et du rapport I_{ON}/I_{OFF} d'un SET ayant comme paramètres de bases ceux donnés par le Tableau 3-1, et en faisant varier individuellement un de ces paramètres. La courbe en pointillé pour les graphiques a) et d) correspond au rapport des courants I_{ON}/I_{OFF} dans le cas où le courant thermoionique est supprimé (i.e. seuls sont considérés les courants tunnels)

Nous allons commencer par effectuer une analyse individuelle de chaque paramètre, indiquant de manière qualitative l'influence de chacun.

- Épaisseur des jonctions : elle semble être idéalement située entre 7 et 8nm. Cette épaisseur correspond au maximum de I_{ON}/I_{OFF} . Le V_{DS} utilisé est alors de 0,44V. Qualitativement, une épaisseur trop faible implique une faible énergie de charge et donc peu de blocage de Coulomb, alors que dans le cas d'une épaisseur trop élevée, il y a à la fois une très forte diminution du courant I_{ON} , et une perte de la qualité du blocage de Coulomb, due à une prédominance du courant thermoïonique sur le courant tunnel. Une hauteur de barrière plus élevée pourrait permettre d'éviter ce problème, mais diminuerait aussi fortement le courant I_{ON} .
- Permittivité relative : paramètre crucial. Plus elle est faible et plus la qualité du SET sera améliorée. Il est à noter que la forte augmentation de courant constatée provient uniquement de la dépendance de la tension V_{DS} à la capacité totale de l'îlot : $V_{DS} = 40\% \left(\frac{e}{C_t} \right)$.
- Masse effective : elle ne semble avoir qu'un impact modéré sur le fonctionnement du dispositif. On pourra chercher à optimiser ce paramètre suivant les besoins du SET : si un fort courant I_{ON} est souhaité, on essaiera d'avoir une masse effective la plus faible possible. Au contraire, si un blocage de Coulomb efficace est recherché, il existe une valeur optimale de la masse effective, qui dans notre cas tourne autour de $0,09m_0$. Néanmoins, il est peu probable de pouvoir manipuler ce paramètre, et il sera plus certainement une conséquence de l'oxyde utilisé pour la jonction tunnel.
- Hauteur de barrière : ce paramètre intervient dans l'ensemble des équations régissant le fonctionnement du SET. La forme complexe observée est le résultat de son influence sur les conceptions tunnel et thermoïonique. Une barrière trop faible rend le courant de Schottky prépondérant devant le courant tunnel, diminuant l'efficacité du blocage de Coulomb. Au contraire, une barrière trop haute, si elle permet de couper la conduction thermoïonique, rend négligeable la conduction tunnel elle aussi. Il y a en effet une décroissance exponentielle de la conduction avec la hauteur de barrière. Dans notre cas, la valeur optimale de hauteur de barrière semble se trouver autour de 0,3eV.

- Section de la jonction : paramètre clé du fonctionnement du SET. Ce paramètre est un des plus aisément contrôlable, et est aussi un des plus importants, car il influe directement sur l'énergie de charge du dispositif. D'après les simulations effectuées, il faudrait réussir à obtenir des sections inférieures ou égales à 10nm^2 pour obtenir un blocage de Coulomb efficace à 300K. Ceci impliquerait typiquement des couples épaisseur/largeur de canal de (1nm x 10nm) ou (2nm x 5nm), ce qui semble irréaliste avec la méthode de fabrication décrite précédemment. Toutefois, de telles valeurs pourront être atteintes avec les améliorations envisagées (3.4.1), ou tout simplement grâce à la formation d'oxyde natif.

Une observation des rapports de courant $I_{\text{ON}}/I_{\text{OFF}}$ fait apparaître l'importance majeure des paramètres ayant trait à la capacité des jonctions tunnel, c'est-à-dire l'épaisseur des jonctions, leur permittivité relative, et leur section. La masse effective ne semble avoir qu'un rôle mineur à jouer. Par contre, il semble surprenant que la hauteur de barrière n'ait pas plus d'influence. On se serait en effet attendu à ce qu'une hauteur de barrière élevée, coupant le courant thermoïonique, permette au SET d'atteindre un $I_{\text{ON}}/I_{\text{OFF}}$ élevé. D'après la Figure 3-16 d, les courants de nature uniquement tunnel, et combinaison de conduction tunnel et thermoïonique, sont quasi égaux à partir d'une hauteur de barrière de 2eV environ. Ceci implique que la composante thermoïonique devient négligeable pour ces hauteurs de barrières. Mais le rapport $I_{\text{ON}}/I_{\text{OFF}}$ est peu intéressant à ces valeurs là. Toutefois l'origine de cet effet est complexe, et hautement dépendant des valeurs choisies pour les autres paramètres. Il est donc probable que pour d'autres caractéristiques, des rapports $I_{\text{ON}}/I_{\text{OFF}}$ plus intéressants puissent être trouvés pour des valeurs de hauteur de barrière suffisantes pour bloquer le courant thermoïonique.

Si on extrait de ces courbes les paramètres optimaux des jonctions, on trouve :

Epaisseur	Section	Permittivité	Hauteur de barrière	Masse effective
7-8nm	< 100nm^2	< 5	0.3eV	$0.9m_0$

Tableau 3-2 Résumé des paramètres optimaux extraits de la Figure 3-16.

Il est à noter que les deux premiers paramètres sont indépendants du type de l'oxyde formant la jonction, et que la masse effective n'a qu'un faible impact. On concentrera donc nos recherches sur des oxydes à très faible permittivité, et à hauteur de barrière autour de 0.3eV. Toutefois ces paramètres ne sont là que pour donner un ordre d'idée, cette recherche ayant été faite en variant indépendamment les paramètres à partir de conditions initiales. Le Tableau 3-3 fournit les valeurs de quelques couples métal-oxyde trouvés dans la littérature. Le couple Ti/TiO₂ semble correspondre le mieux aux critères fixés. Il est à noter que si on recherchait une hauteur de barrière plus élevée afin de diminuer la valeur du courant thermoïonique, cela impliquerait dans la majorité des cas une très forte augmentation de la permittivité.

Matériau	Permittivité	Hauteur de barrière (eV)	Source
Al/SiO ₂	4	3.2	(Abramov & Novik, 2000)
Nb/Al ₂ O ₃	8-10	0.74	
Au/Al ₂ O ₃	8-10	1.65	
Cr/Cr ₂ O ₃	12	0.06	
Nb/NbO _x	64	0.133	
Al/Al ₂ O ₃		1.2	(Rippard et al., 2002)
Al/Al ₂ O ₃		1.4-1.6	(Hickmott, 2012)
Al/Al ₂ O ₃	7	1.6-2.2	(Wang et al., 2005)
Al/Al _x Ti _y O _z	12	0.8	
Al/TiO ₂		0.3	
Al/ZrO ₂	20-25	0.83	
Ti/TiO ₂	2.9-3.5	0.3	(Chiu et al., 2005) ; (Dubuc et al., 2008)

Tableau 3-3 Recueil non exhaustif de permittivité et de hauteur de barrière pour différents couples métal/oxyde.

Une approche matricielle du problème (variation simultanée de l'ensemble des paramètres) a mis en évidence la possibilité d'atteindre des caractéristiques de fonctionnement très prometteuses pour les SETs (Figure 3-17). Les paramètres utilisés sont indiqués dans le Tableau 3-4.

	Section	Epaisseur	Hauteur de barrière	Permittivité	Masse effective
Valeur min	1nm ²	3nm	0.1eV	1	0.01
Valeur max	101nm ²	13nm	1.01eV	5	1
Pas	10nm ²	1nm	0.05eV	1	0.2

Tableau 3-4 Paramètres des jonctions tunnel utilisés lors des simulations.

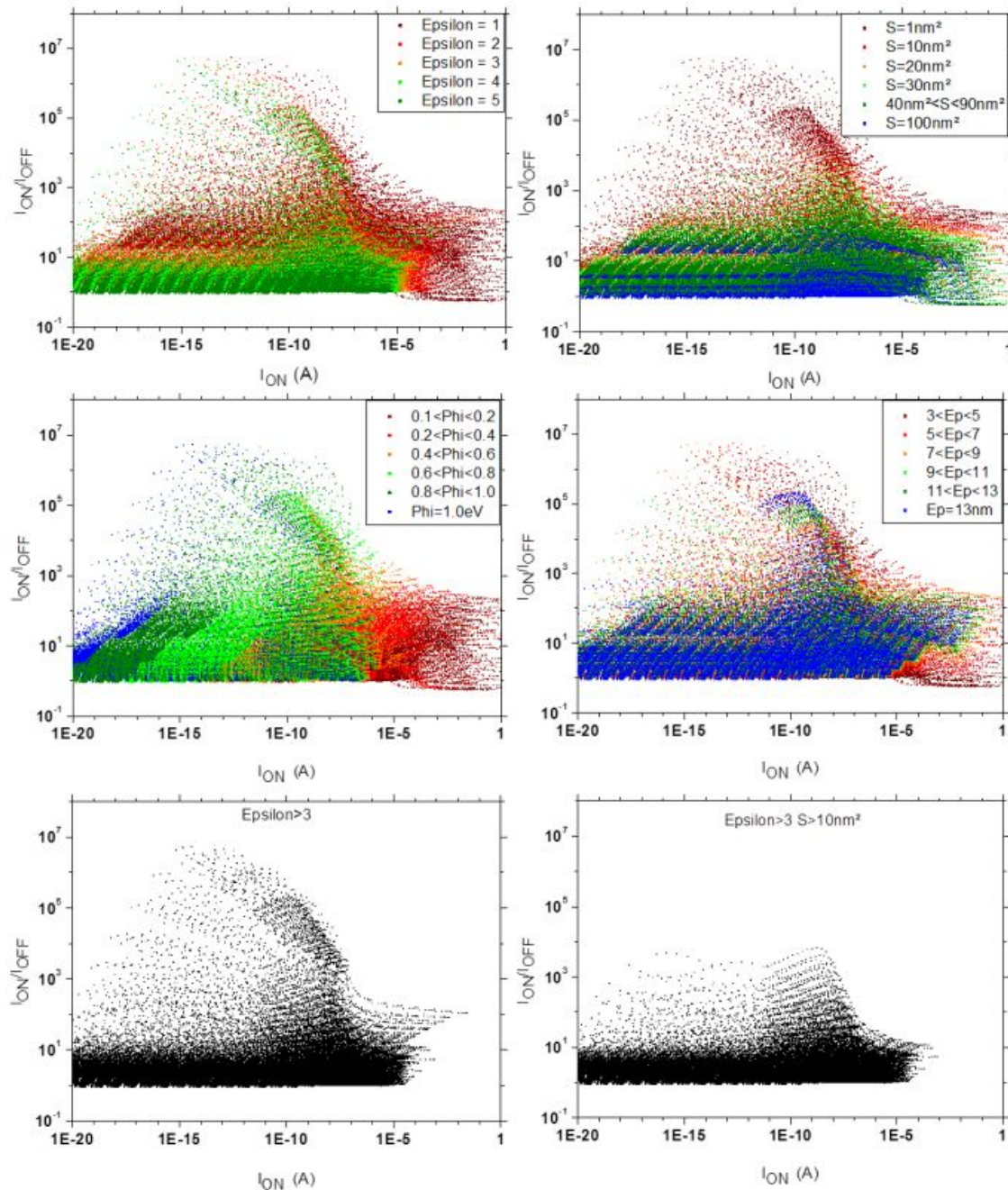


Figure 3-17 Les figures a) à d) regroupent les caractéristiques I_{ON}/I_{OFF} en fonction de I_{ON} pour des SETs ayant les paramètres décrits dans le Tableau 3-4. L'impact des différents paramètres (permittivité (a), section (b), hauteur de barrière (c) et épaisseur de jonction (d)) a été mis en évidence. La figure e) regroupe uniquement les jonctions dont la permittivité est supérieure à 3, la figure f) montre le comportement des SETs dont la permittivité est supérieure à 3, et l'aire de la jonction supérieure à $10nm^2$. Pour chacun de ces graphiques, un point correspond à un SET donné.

Ainsi qu'on peut l'observer sur les figures 3-17 a) à d), il existe une plage de paramètres produisant des résultats très intéressants (i.e. courant de l'ordre du nano-ampère, et rapport I_{ON}/I_{OFF} supérieur à 10^4). Une observation rapide de ces figures montre que pour atteindre ces valeurs, il est préférable d'avoir une faible permittivité, une épaisseur importante, une hauteur de barrière comprise entre 0.4eV et 0.8eV, mais surtout une section de jonction égale, voire inférieure à 10nm^2 . Comme on peut le voir sur les figures e) et d), si augmenter la permittivité diminue les performances atteignables par les SET, c'est l'aire de la jonction qui a l'impact le plus élevé. On voit ainsi qu'une jonction d'aire supérieure à 10nm^2 limite à moins de 10^4 le rapport I_{ON}/I_{OFF} . Le tableau 3-5 regroupe les paramètres obtenus pour les cinq valeurs les plus importantes de I_{ON}/I_{OFF} . On retrouve bien la section la plus petite, l'épaisseur la plus grande, et la permittivité la plus faible, paramètres nécessaires à l'obtention de la plus grande énergie de charge possible pour l'îlot. On retrouve aussi une hauteur de barrière comprise entre 0.4 et 0.8eV.

I_{on} (nA)	I_{on}/I_{off}	Section (nm^2)	Epaisseur (nm)	Phi (eV)	Epsilon (ϵ_0)	m^* (m_0)
1.72	6.70E+03	11	13	0.51	3	0.01
1.02	6.48E+03	11	13	0.56	3	0.01
2.86	6.36E+03	11	13	0.46	3	0.01
0.61	5.98E+03	11	13	0.60	3	0.01
0.36	5.35E+03	11	13	0.65	3	0.01
4.71	5.12E+03	11	13	0.42	3	0.01

Tableau 3-5 Paramètres des SETs présentant les 5 rapports I_{ON}/I_{OFF} les plus élevés dans la figure f), avec $V_{DS}=0.7\text{V}$, et $V_G=1.16\text{V}$.

Cette étude met en valeur le fait que le choix de l'oxyde devrait s'orienter vers des barrières tunnel présentant des hauteurs de barrière de l'ordre de 0.3eV à 0.8eV et à plus faible permittivité possible. Toutefois, les efforts les plus importants doivent être dirigés vers l'obtention de jonctions à la forme parfaitement contrôlée, présentant une section inférieure ou égale à 10nm^2 .

3.2.3 Résultats obtenus

L'objectif de ce travail est la réalisation de dispositifs SETs métalliques dans le BEOL d'une plaque de CMOS. De tels dispositifs ont pu être fabriqués avec succès à l'aide de la méthode nanodamascène. La Figure 3-18 présente une image TEM d'une vue en coupe d'une plaque de CMOS utilisée lors de la fabrication. Le dispositif fabriqué est clairement visible en section, et on observe la présence dans les couches inférieures d'un élément du niveau métal 1, et d'une grille de CMOS. L'îlot est nettement séparé du reste du canal par des jonctions tunnel. Il est à noter que le dispositif présenté sur cette image a été spécialement conçu pour l'observation TEM. C'est-à-dire que son canal possède une largeur non pas de 20nm, mais de 2 μ m, pour pouvoir permettre la réalisation d'une coupe FIB. Ce dispositif est donc non fonctionnel, mais cette vue en coupe servira de référence pour interpréter le comportement des transistors SETs à canal de 20nm.



Figure 3-18 Image TEM réalisée par ST-Microelectronics, montrant la réalisation d'un SET dans le BEOL d'une plaque de CMOS. Le SET a été fabriqué dans la couche de TEOS. Sont visible sur l'image les différentes couches d'isolant, un contact du niveau métal 1, ainsi qu'une grille de CMOS.

La méthode employée a permis une production rapide d'un nombre important de SETs. Lors de ce projet, un compromis a été réalisé entre le nombre de SETs fabriqués par échantillon, et le temps nécessaire à leur production. Typiquement, la fabrication de 36 cellules telles qu'illustrée par la Figure 3-19 et contenant chacune potentiellement 4 dispositifs, nécessite 6 heures d'électrolithographie, la majorité du temps servant à l'alignement des structures. Le temps nécessaire aux autres étapes du procédé de fabrication n'a pas été comptabilisé car il est indépendant du nombre de cellules créées.

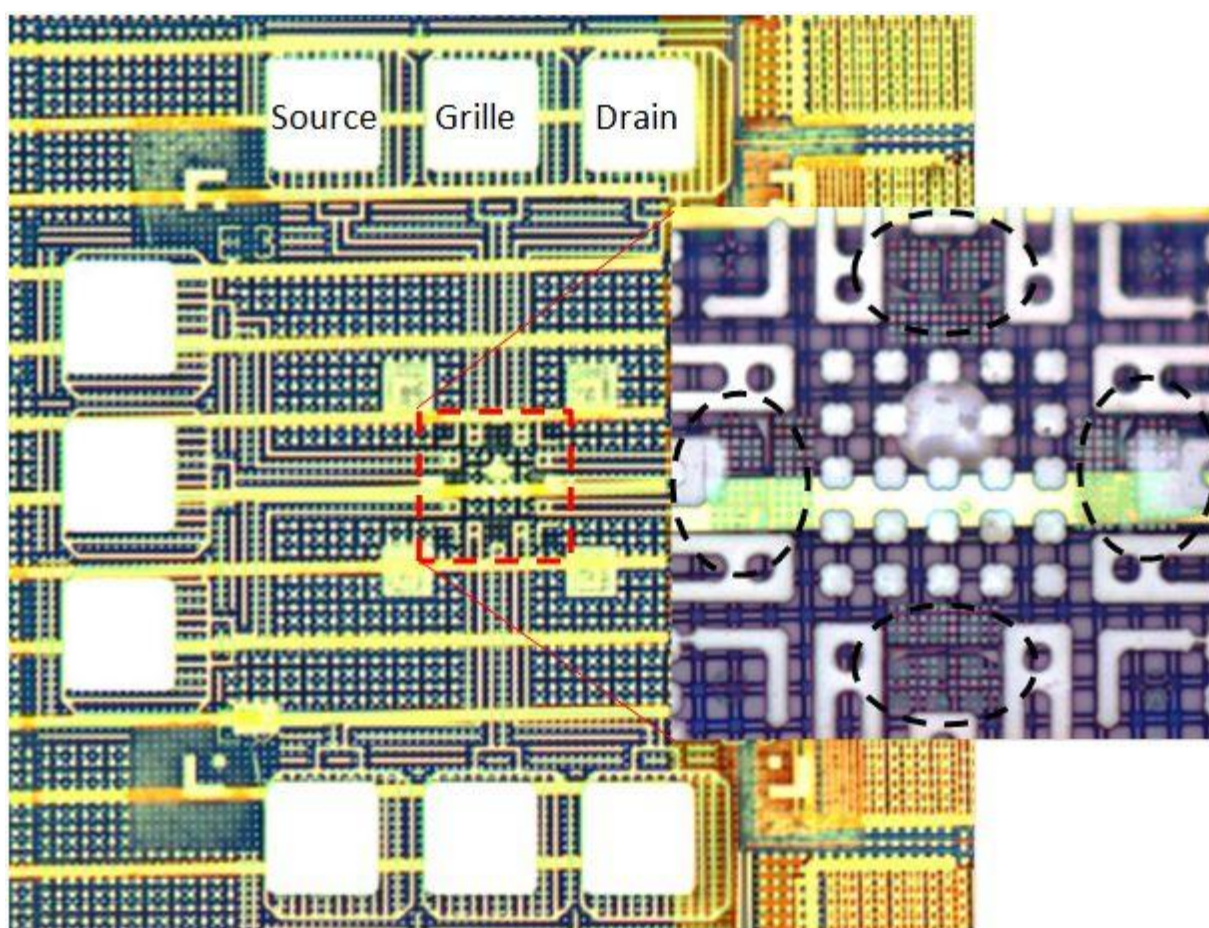


Figure 3-19 Photographie en microscopie optique réalisée à l'UdeS d'une cellule SET. La photographie de droite est un zoom sur la zone centrale encadrée par des pointillés rouges. Les dispositifs SETs sont légèrement visibles. Ils ont été entourés en noir pour les mettre en valeur. Les structures réalisées lors de la fabrication des SETs sont en blanc. Le reste correspond aux structures appartenant au niveau métal 1 ou au niveau des CMOS.

Une variété de dispositifs a été réalisée par cellule, afin de répondre aux besoins des caractérisations électriques. On retrouve ainsi typiquement la présence de 2 SETs, d'un nanofil et d'une diode MIM (*Metal Insulator Metal*). La seule distinction entre ces trois dispositifs intervient lors de la seconde électrolithographie (Figure 3-9 c) : une ligne d'îlots est déposée pour le SET, une plaque de Ti couvrant la moitié du canal est réalisé pour la MIM, et aucune structure n'est créée pour le nanofil. Ainsi après oxydation, le nombre de jonctions tunnel présent pour le SET, la MIM et le nanofil sont respectivement de 2, 1 et 0. L'utilité de ces différentes structures sera présentée plus en détail en 4.2.

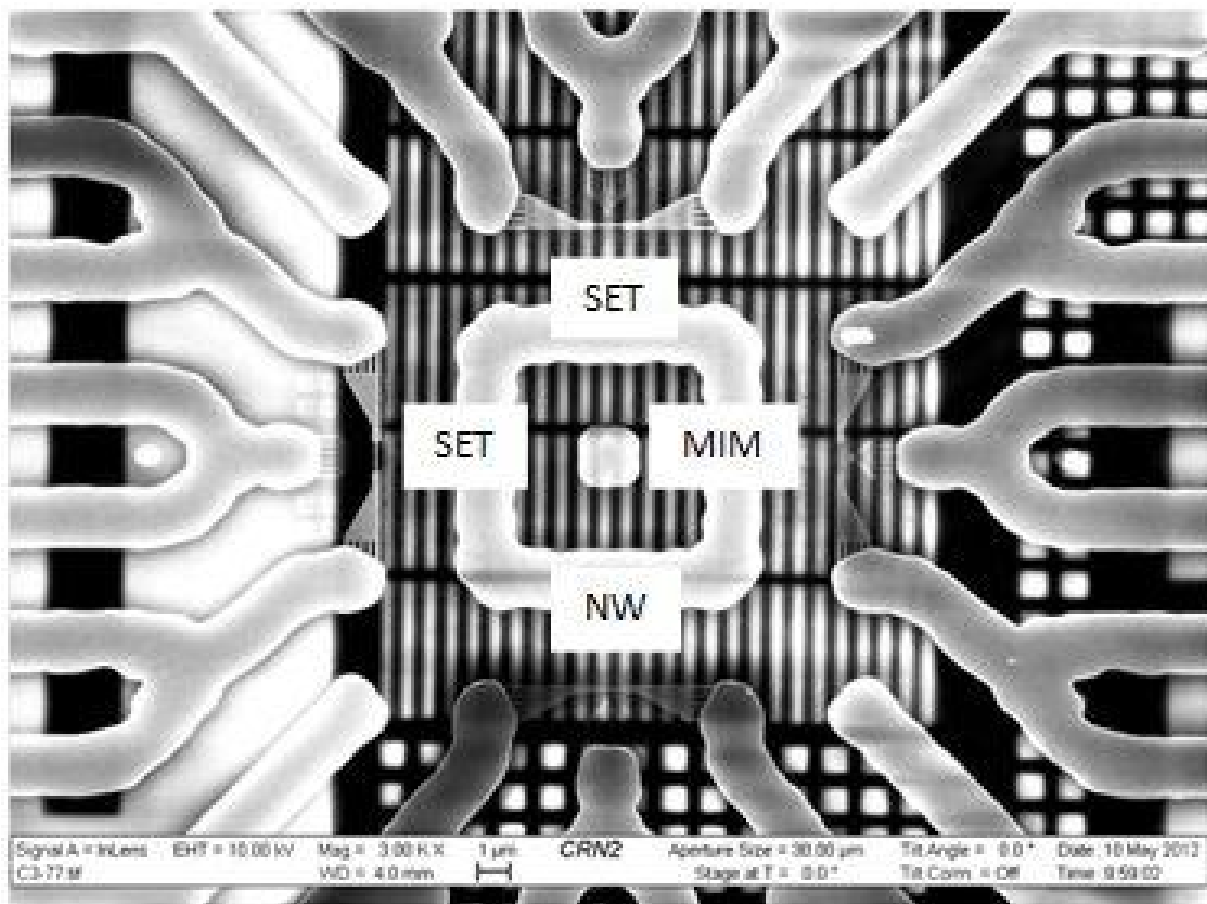


Figure 3-20 Photographie MEB réalisée à l'UdeS du centre d'une cellule SET. Une cellule contient typiquement deux SETs (à gauche et en haut), une MIM (à droite), et un nanofil (en bas). On peut voir dans le fond de l'image les structures des couches inférieures.

Du fait de l'effet de charge créé par l'importante épaisseur d'oxyde recouvrant les CMOS, ainsi que du fort contraste produit par les structures des couches inférieures, l'observation précise de l'îlot et des jonctions tunnel est très difficile à réaliser par microscopie électronique. De plus, une observation à trop fort grossissement engendre la formation d'un dépôt de carbone au niveau de la fenêtre d'observation, dont la présence peut engendrer des courts-circuits, dénaturant le comportement du SET. Mais la sélectivité de gravure des matériaux lors de la CMP n'est pas tout à fait de 1:1, créant un relief caractérisant les différents éléments. En particulier, il a été montré grâce aux vues en coupe du SET que les jonctions tunnel étaient amincies par rapport au reste du canal. Tout ceci rend possible l'observation des différents composants à l'aide de l'AFM (Figure 3-21). Il devient donc possible d'extraire à l'aide de cette technique des informations concernant la largeur du canal, la distance à la grille, et l'épaisseur des jonctions tunnel. Ces données serviront par la suite à l'analyse des caractérisations électriques des dispositifs.

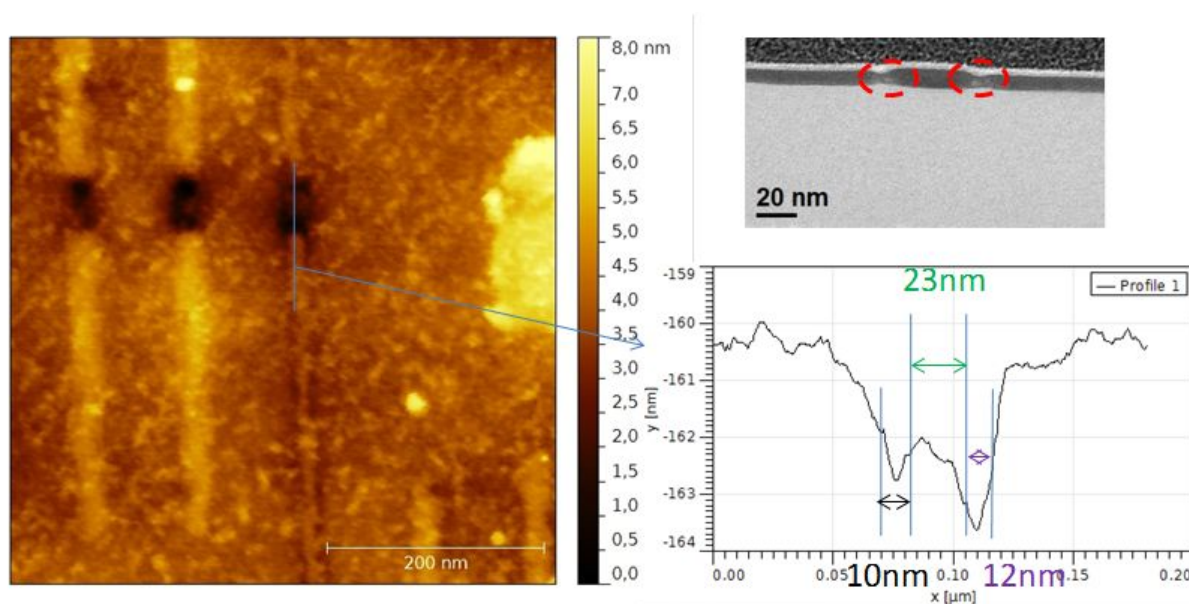


Figure 3-21 Image TEM réalisée par ST-Microelectronics en haut à droite, mettant en évidence l'amincissement des jonctions après CMP. A gauche, Image AFM réalisée par D. Albertini (INL) d'un dispositif SET où sont clairement visibles les différents éléments : canal, îlot, jonctions tunnel et grille (rectangle lumineux à droite de l'image). Analyse topographique du canal en bas à droite, permettant d'en extraire les dimensions de l'îlot et des jonctions tunnels.

3.3 Problématiques liées à l'intégration

La technique de fabrication employée pour l'intégration hybride des SETs sur une plaque de CMOS soulève quelques questions et difficultés. En particulier, nous verrons que la procédure d'alignement lors des électrolithographies, est fortement entravée par la présence de structures métalliques dans les couches sous-jacentes. Nous étudierons aussi quel est le comportement de la grille telle qu'elle est réalisée par la méthode de fabrication à grille auto-alignée. Nous présenterons quelques problèmes survenant lors du processus de CMP : surgravure des jonctions tunnel et des jonctions entre motifs réalisés en photolithographie et électrolithographie, imprécisions dans le contrôle de la hauteur du canal, et enfin le problème de la non planéité du substrat.

3.3.1 Alignement de l'îlot

L'alignement de l'îlot avec le box est un processus critique pour la fabrication du SET à grille auto-alignée. Ainsi qu'on le verra dans la partie 3.3.2, même si l'îlot n'est pas parfaitement centré sur le box, tant qu'il est aligné dessus, la variation de la capacité de grille est faible. Toutefois, si l'îlot n'est plus situé en face du box, la capacité de grille varie alors fortement avec le désalignement, et diminue significativement. Il sera donc nécessaire d'employer des tensions de grille élevée pour observer les oscillations de Coulomb. Afin d'éviter ce problème, un grand soin doit être apporté lors de la procédure d'alignement, et la largeur du box doit refléter la marge d'erreur provenant des différentes étapes d'électrolithographie.

L'alignement de l'îlot avec le box, c'est-à-dire l'alignement entre les deux étapes d'électrolithographie, est réalisé à l'aide de marques d'alignement créées lors de la photolithographie. Ces marques d'alignement sont gravées et remplies d'une couche de métal destinée à les rendre visible malgré les motifs métalliques du niveau métal 1. On utilise pour cela du platine. L'avantage de ce métal est qu'il ne s'oxyde pas à l'air ambiant, et qu'il procure un meilleur contraste que le titane lors des observations au microscope électronique, ce qui facilitera la procédure d'alignement (Figure 3-23 c et d). L'amélioration du contraste

provient probablement du fait que le numéro atomique du platine est très supérieur à celui du titane.

Une mesure du désalignement a été effectuée par observations MEB après soulèvement de l'îlot, de quelques SETs. Pour les dispositifs produits avec des marques de platine, le désalignement était inférieur à 100nm. C'est pourquoi une boîte de 200nm de large a été employée pour l'ensemble des dispositifs produits. Une précision supérieure aurait pu être obtenue si l'alignement de la seconde électrolithographie avait pu être effectué sur la première. Toutefois le procédé de fabrication ne permet pas la métallisation de structures gravées lors de la première électrolithographie, et les motifs gravés mais non métallisés sont indiscernables à cause des éléments métalliques du niveau métal 1 (Figure 3-23 b).

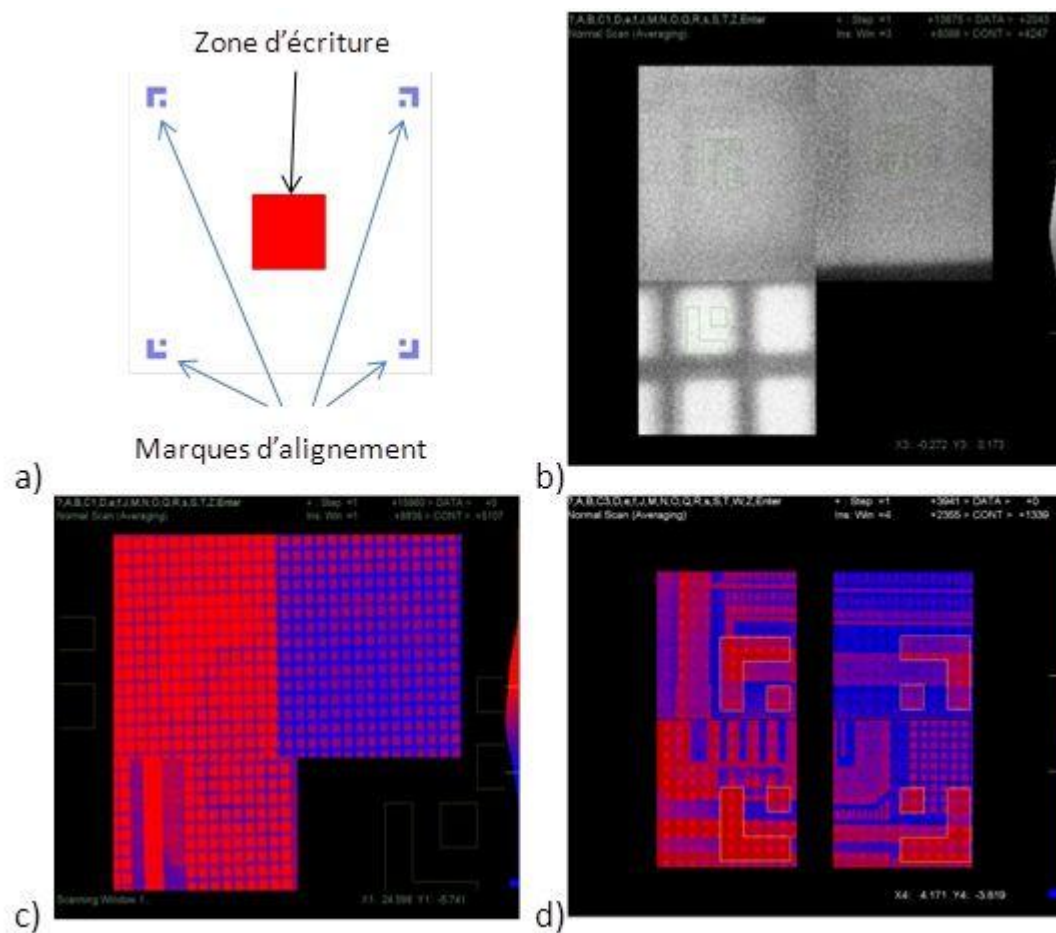


Figure 3-22 Schématisation de la forme des marques d'alignement, et de leur positionnement par rapport à la zone d'écriture (a) ; capture d'écran prise lors d'une procédure d'alignement réalisée à l'UdeS sur des marques non métallisées (b), sur des marques métallisées en titane (c), et sur des marques métallisées en platine (d).

3.3.2 Fonctionnement de la trigate

Le procédé de fabrication nanodamascène à grille auto-alignée implique l'alignement de l'îlot par rapport à un box, qui contiendra la grille. Comme on a pu le voir en 3.3.1, cet alignement implique une certaine marge d'erreur, nécessitant un box bien plus large que l'îlot. La ligne déposée lors de l'étape de soulèvement, et qui servira à la création de l'îlot (Figure 3-9 c) a une longueur suffisante pour déborder dans le box. Ceci permet de s'assurer que, même en cas de désalignement prononcé, elle traversera le canal, créant bien l'îlot désiré. Toutefois, afin d'assurer un bon fonctionnement de la grille, cette ligne est élargie peu après son entrée dans le box, afin de couvrir l'ensemble de la structure (partie en jaune sur la Figure 3-23). Elle est amenée jusqu'aux éléments créés lors de la photolithographie. On s'assure ainsi en théorie d'avoir un bon chemin de conduction entre tous les éléments de la grille.

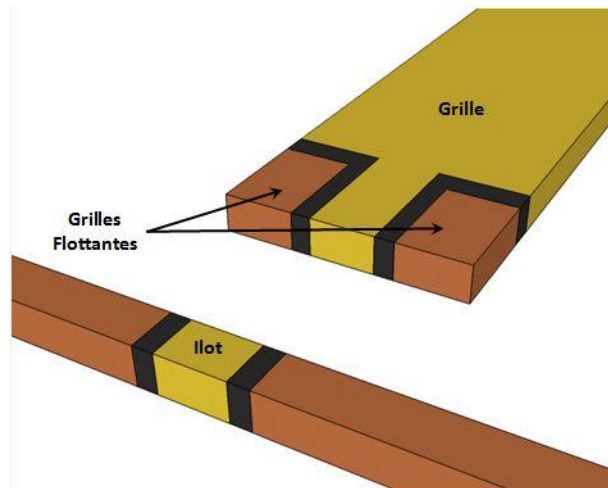


Figure 3-23 Schématisation de la structure du SET, avec en jaune la partie déposée par soulèvement, et en rouge celle provenant de la couche de métal déposée avant CMP. Les grilles flottantes correspondent aux structures à l'extrémité du box, séparée de la grille par des jonctions tunnel (en noir). Réalisée sous SketchUp.

On remarquera que la structure, telle qu'elle a été réalisée, forme deux grilles flottantes à l'extrémité du box. Ces deux grilles flottantes combinées à la grille centrale forment la trigate. On évalue la capacité C_{ij} entre un élément i et un élément j grâce à l'équation (3-14). On obtient donc pour notre système une matrice de capacités à 6 éléments (îlot, source, drain, grille, grille flottante 1, et grille flottante 2).

$$C_{ij} = \frac{\partial Q_i}{\partial V_j} \quad (3-14)$$

Les paramètres du système de base considéré sont indiqués dans la Figure 3-24. Ils correspondent aux SET aux dimensions relâchées, tels qu'ils ont pu être produits au cours de ce projet. On y retrouve aussi la matrice capacitive correspondante.

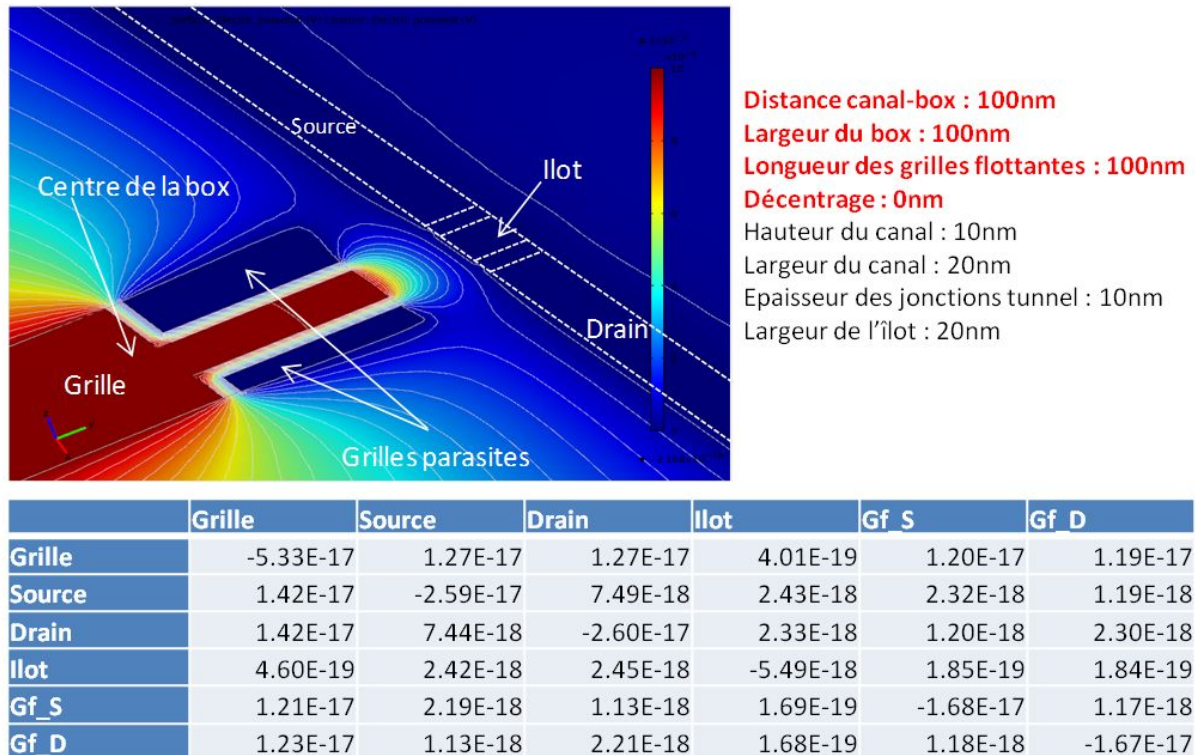


Figure 3-24 Simulation COMSOL Multiphysics d'un dispositif SET dont la grille est polarisée (en haut à gauche). Paramètres par défaut utilisés dans les simulations pour le SET (en haut à droite). Les paramètres en gras indiquent ceux qui seront variés par la suite. Matrice capacitive du SET (valeurs en Farad) extraite des simulations COMSOL. Gf_S et Gf_D correspondent respectivement à l'élément grille flottante faisant face à la source, et faisant face au drain. La matrice devrait normalement être symétrique. La légère différence existant entre les éléments C_{ij} et C_{ji} provient du maillage trop grossier. Les limites de l'ordinateur utilisé pour réaliser ces calculs n'ont pas permis de l'affiner. Pour la suite, on considèrera que la capacité entre deux éléments i et j est la moyenne des capacités C_{ij} et C_{ji} .

Des simulations ont été effectuées avec ces paramètres sous SIMON, un logiciel utile pour la simulation d'une vaste gamme de circuits monoélectroniques utilisant la méthode Monte-Carlo. Bien que SIMON ne puisse prendre en compte les courants thermoïoniques ou Fowler Nordheim, il a été employé ici pour sa modularité et sa souplesse d'utilisation. Il est à noter que la jonction entre la grille et les grilles flottantes a été modélisée par une jonction

tunnel, l'oxyde étant de même nature que celui formant les jonctions tunnel du SET. Les courbes de potentiels montrés dans la Figure 3-25 mettent en évidence la grande similarité entre les potentiels de la grille et des grilles flottantes. Cette quasi égalité vient du passage des charges par effet tunnel de la grille aux grilles flottantes dès que la différence de potentiel dépasse une certaine valeur. C'est pourquoi on considèrera par la suite que la capacité grille-îlot efficace est donnée par la somme de la capacité grille-îlot et des capacités grilles flottantes-îlot.

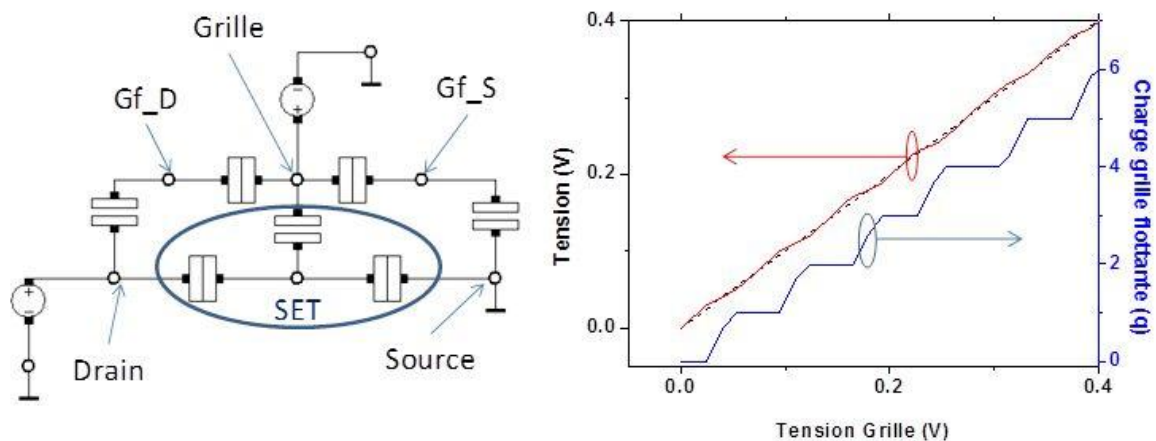


Figure 3-25 Illustration du schéma électrique du SET utilisé sous SIMON (Wasshuber et al., 1997) pour la simulation (à gauche). Pour plus de clarté, toutes les liaisons capacitives n'ont pas été représentées. La liaison entre la grille et les grilles flottantes est faite au moyen d'une jonction tunnel. L'évolution du potentiel de la grille flottante en fonction de la tension de grille est montré à droite. Le graphique indique aussi son état de charge. La courbe rouge en trait plein indique le potentiel de la grille flottante, la courbe noire en pointillés sert de référence et correspond au potentiel de la grille.

Les simulations effectuées à l'aide de COMSOL montrent une forte dépendance de la capacité de grille avec la distance grille canal. L'erreur au niveau de l'alignement de l'îlot ne semble pas avoir une grande influence sur la capacité de grille : capacité pour un îlot parfaitement centré : 0.75aF ; capacité pour un îlot situé à l'extrémité du box : 0.85aF. Enfin, l'influence de la largeur du box sur la capacité de grille est présent, mais moins important qu'on aurait pu l'imaginer : le passage d'un box de 100nm à un box de 200nm n'entraîne qu'une variation de 0.74aF à 0.87aF. Enfin, la longueur de la grille flottante n'a pas d'impact sur la capacité de grille.

On en conclut que, la largeur du box n'ayant qu'un faible impact sur la capacité de grille, il n'est pas nécessaire d'essayer de la réduire autant que possible. Au contraire, il est préférable de la définir suffisamment grande pour que l'îlot soit correctement aligné avec le box. L'augmentation occasionnée au niveau de la capacité peut être rattrapée en augmentant la distance box-canal. Il n'est pas utile d'essayer de réduire au maximum les dimensions des grilles flottantes, car cela n'a pas d'impact sur la capacité de grille totale. Il convient ici aussi de la définir suffisamment grande pour ne pas avoir de problèmes en cas d'éventuel désalignement. Enfin, la variation de la capacité enregistrée en fonction du décentrage, si elle est faible n'en est pas moins problématique car elle implique une variabilité de comportement d'un dispositif à l'autre.

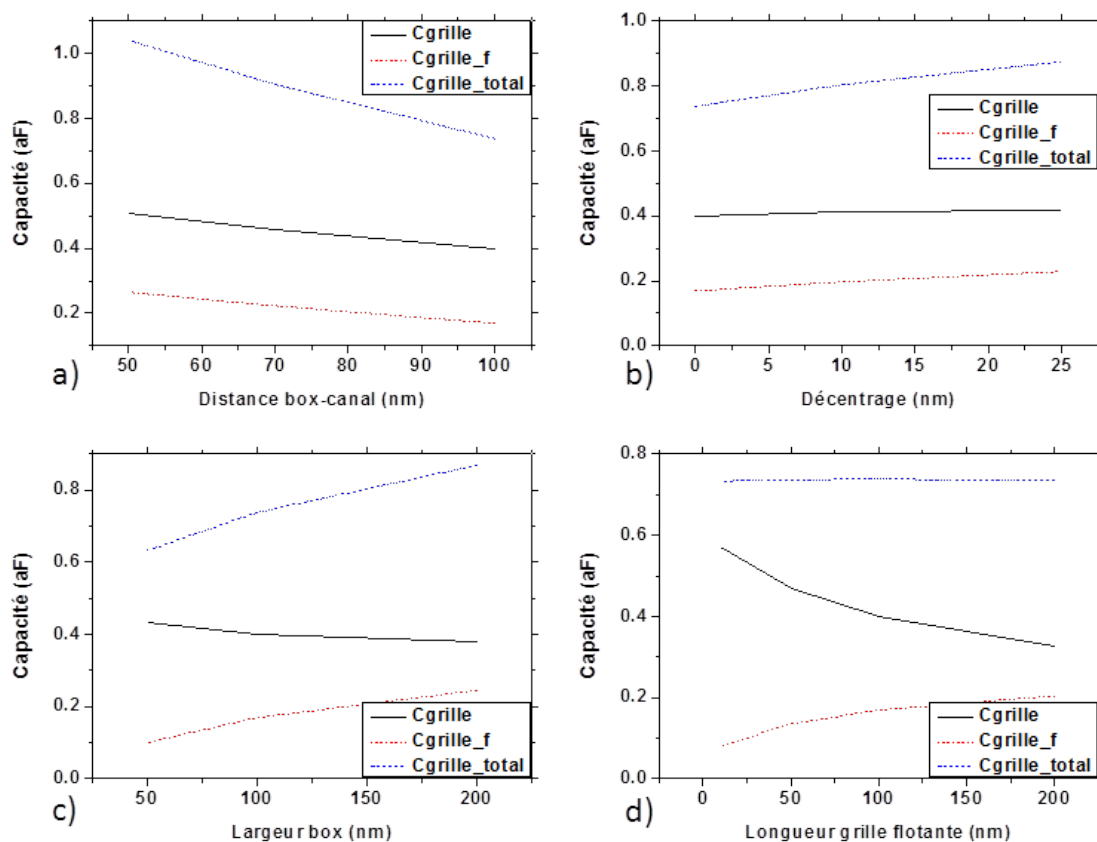


Figure 3-26 Evolution des capacités grille-îlot, grille flottante-îlot et capacité de grille totale ; en fonction des différents paramètres du box. Calcul réalisé sous COMSOL Multiphysics.

3.3.3 Surgravure des jonctions lors de la CMP

La CMP, étape clé du procédé nanodamascène, permettant d'obtenir des structures d'une épaisseur de seulement quelques nanomètres, reste cependant un outil difficile à maîtriser. Les principaux effets secondaires de cette technique, détectés au cours de ce projet, sont une diminution de l'épaisseur des jonctions tunnel, et une tendance à la rupture de la jonction entre les motifs créés par photolithographie, et ceux créés par électrolithographie.

La réalisation d'images AFM des dispositifs fabriqués a permis de mettre en évidence une réduction systématique de l'épaisseur des jonctions tunnel par rapport au reste des structures. Si en général on n'observe qu'une diminution de 1 ou 2nm, il arrive de trouver des dispositifs où la différence de hauteur entre les jonctions tunnel et le reste du canal devient significative (Figure 3-27). Il convient de plus de noter que la profondeur mesurée est probablement inférieure à la profondeur réelle, la pointe AFM pouvant se révéler trop large pour atteindre le fond de la tranchée.

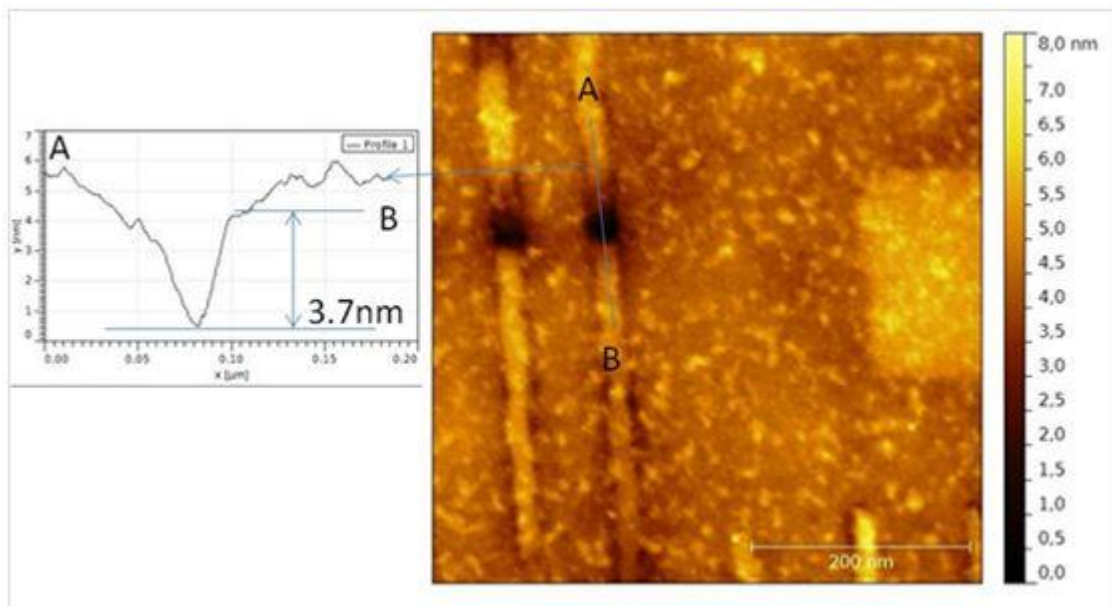


Figure 3-27 Image AFM réalisée par D. Albertini (INL) d'une structure MIM, et profil de la jonction tunnel à gauche. On observe une différence de hauteur de près de 4nm entre le point le plus bas de la jonction et le reste du canal

Cette sélectivité de la gravure est problématique. En effet, si les jonctions tunnel sont moins épaisses que l'îlot, elles limitent sa hauteur minimum atteignable par CMP, car un polissage trop poussé les ferait disparaître, coupant de ce fait le circuit. Cette hauteur minimum limite la valeur de l'énergie de charge que sera capable d'atteindre le SET, et donc la température à laquelle il est capable de fonctionner. La correction de ce problème n'est pas triviale, la CMP ayant naturellement tendance à graver le TiO_2 plus rapidement que le Ti. Une solution serait de remplacer le TiO_2 par de l' Al_2O_3 , dont le taux de gravure est inférieur à celui du TiO_2 à pH élevé (Hsu et al., 2002), ou encore de déposer par ALD une couche de TiO_2 après CMP afin de reconstruire les jonctions.

Toutefois, ainsi que l'illustre la Figure 3-28, l'amincissement des jonctions a comme effet secondaire avantageux une réduction de leur capacité effective. Les dispositifs produits au cours de ce projet étant à dimensions relâchées, la diminution de l'épaisseur des jonctions a donc probablement mené plus souvent à une augmentation de l'énergie de charge des SETs qu'à leur rupture. Il convient de noter que la capacité finale sera déterminée par le diélectrique encapsulant le SET, et donc prenant la place de l'air dans la Figure 3-28. Suivant sa constante diélectrique, l'amincissement de la jonction résultera ultimement en une diminution de la capacité totale si sa permittivité est inférieure à celle du TiO_2 , ou supérieure dans le cas contraire.

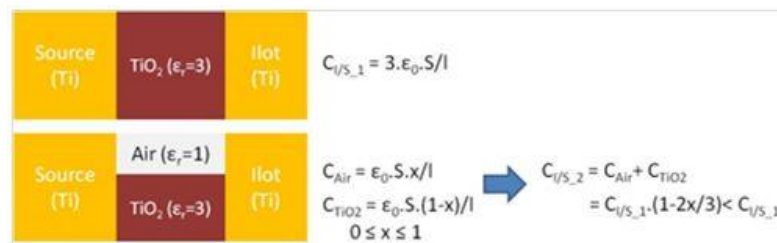


Figure 3-28 Illustration de la diminution effective de la capacité de la jonction tunnel en TiO_2 dans le cas où elle est amincie.

Il a été remarqué par des observations MEB et AFM, que la CMP avait tendance à surgraver les jonctions entre les structures créées lors de la photolithographie, et lors de l'électrolithographie. C'est en particulier la structure *pregate* qui disparaît la première. Cette structure, réalisée lors de l'électrolithographie, sert à connecter le canal aux chemins d'amenée.

L'origine de ce phénomène n'est en soi pas encore très bien comprise. L'hypothèse d'une double gravure, là où se superposent pregate et chemin d'amenée pourrait fournir une explication, toutefois, les chemins d'amenée étant métallisés, elle ne devrait pas exister. D'autres hypothèses ont été émises, comme de trop grandes variations de hauteur au niveau de la couche de Ti déposée avant CMP, qui engendrerait des zones d'érosion, ou des sections de motifs non adaptées.

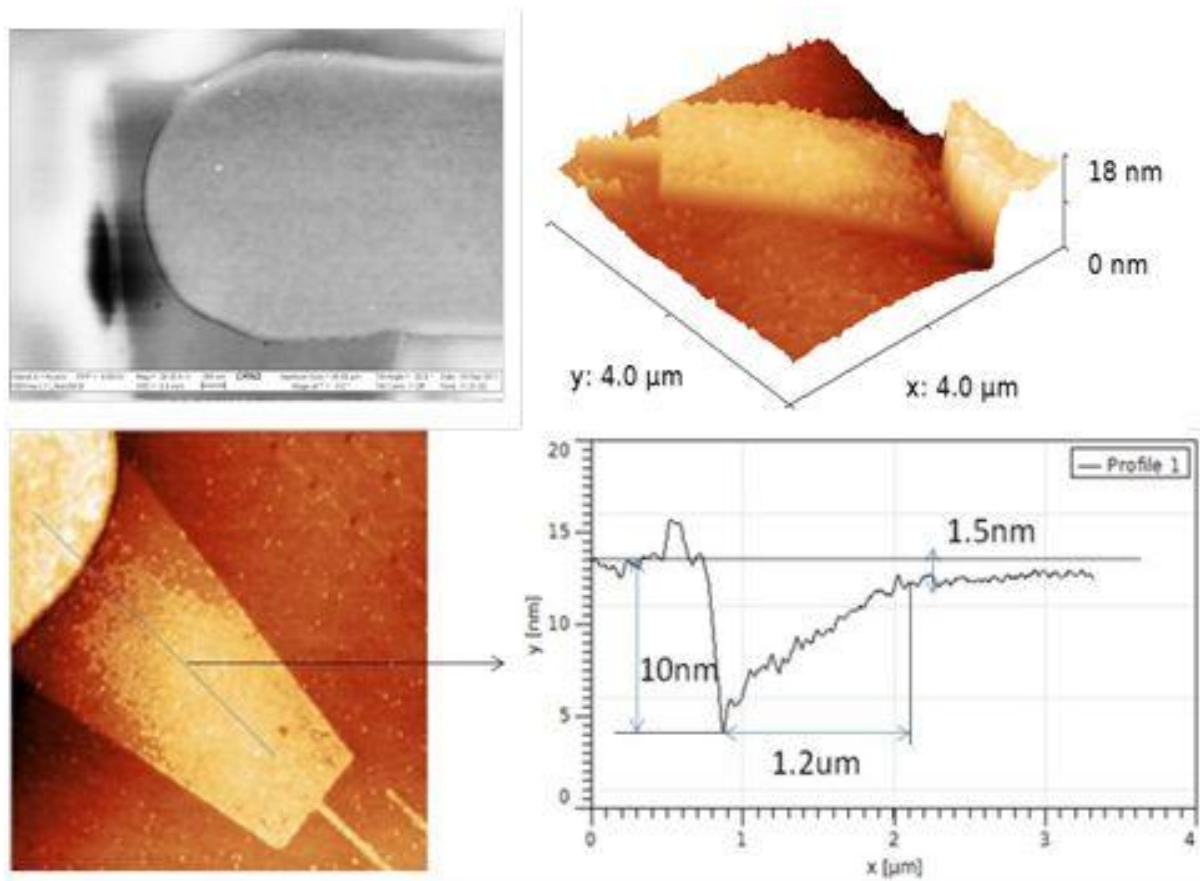


Figure 3-29 Image MEB en haut à gauche, de la jonction entre un chemin d'amenée et une pregate. La coupure entre les deux est nettement visible sous la forme d'un trait noir faisant le tour du chemin d'amenée. Image AFM réalisée par C. Nauenheim (UdeS/INRS) d'un dispositif, avec vue 3D en haut à droite, et vue 2D en bas. La vue 3D et le profil de la mesure mettent clairement en évidence la surgravure autour du chemin d'amenée.

Il a été décidé pour la 2^{ème} génération de SETs réalisés sur des substrats CMOS, d'augmenter l'épaisseur de métal déposé avant CMP, et de diminuer la surface des zones de contact entre la pregate et le chemin d'amenée. Nous sommes ainsi passés d'une épaisseur de 80nm de Ti déposé, à 150nm, rendant la surface du dépôt plus uniforme, et la structure des

pregate a été modifiée, leur extrémité réalisant le contact avec le chemin d'amenée étant transformé en peigne. Ainsi, la surface individuelle de contact avec le chemin d'amenée pour chaque ligne du peigne est réduite, ce qui devrait diminuer les risques de rupture, tout en conservant une surface totale élevée, permettant de conserver une conductivité élevée.

Les dispositifs de la 2nde génération observés ne présentent en général pas ou peu de coupure ou de surgravure au niveau de la jonction chemin d'amenée pregate, signe que ces solutions ont bien fonctionné. Toutefois, le pregate reste le premier élément à disparaître lors de la CMP, et reste donc l'élément limitant dans l'effort de diminution de la hauteur du canal (Figure 3-30) dans le cas de dépôts de titane par évaporation. Les dépôts par évaporation, du fait de leur meilleure conformité, ne semble pas présenter ce problème.

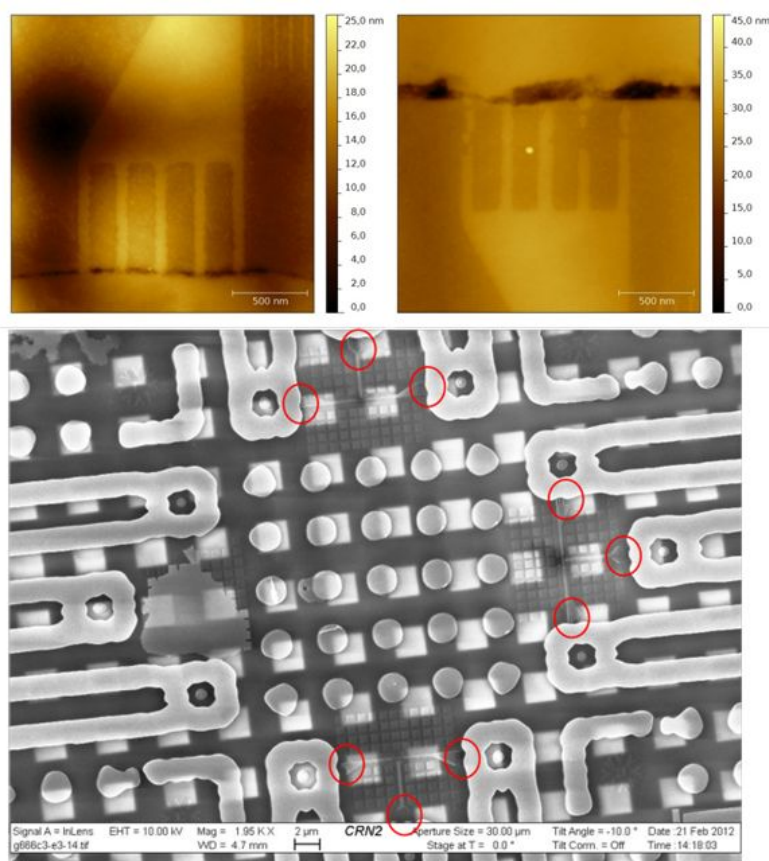


Figure 3-30 Images AFM réalisées par D. Albertini (INL) de la jonction entre une pregate et un chemin d'amenée. La jonction est de très bonne qualité sur l'image de gauche, aucune coupure n'étant visible par AFM. Toutefois, il semble y avoir des coupures importantes sur l'image de droite, ainsi qu'une dégradation du peigne connectant le reste de la pregate au chemin d'amenée. L'image MEB en dessous réalisée à l'UdeS, illustre le problème de coupure prématurée des pregate lors de CMP trop avancées.

3.3.4 Difficulté de contrôle de la hauteur du canal

Idéalement, la CMP devrait être utilisée pour la production de dispositifs de 2 nm d'épaisseur, voir moins. Si un tel degré de contrôle est difficile, il existe plusieurs techniques pour cela, telle que l'utilisation de structures d'arrêt, la mise en place de structure de contrôle de hauteur, ou la mesure de résistivité d'un dispositif simple (type nanofil).

C'est vers cette dernière méthode que s'est tourné le groupe. En effet, cette méthode est la plus facilement applicable à notre processus de fabrication, et ne nécessite que la réalisation de mesures électriques, expérience beaucoup moins coûteuse que des mesures TEM. La mesure de la résistivité de nanofils en Ti permet d'avoir une idée de l'épaisseur restante disponible (Ecoffey et al., 2011) pour le reste des structures. Toutefois, la mesure de résistivité des nanofils présente une variabilité assez importante, dépendant de nombreux paramètres comme la granulosité du métal, la rugosité des parois. Cette technique nécessite donc la mise en place d'un abaque déterminé à partir du métal qui sera utilisé pour la fabrication des SETs.

3.3.5 Non uniformité de la surface

Bien qu'elle ne soit pas très marquée, il existe une légère non-uniformité de surface sur les plaques de CMOS utilisée. Cette non uniformité provient de structures présentes dans les couches sous-jacentes (Figure 3-31). Bien qu'elle soit très faible, les différences de hauteurs rencontrées dépassant rarement 2nm, elles sont potentiellement suffisantes pour fragiliser la structure. La CMP engendrerait alors des coupures dans des dispositifs dont l'épaisseur finale visée est de l'ordre de quelques nanomètres. Ce point sera aussi particulièrement critique lorsque l'on cherchera à créer des empilements de couches de SETs. Il faudra alors vérifier que chaque couche présente bien une bonne planéité, et qu'il n'y a pas eu introduction de défauts de surface à cause des structures créées précédemment. Ceci pourrait être corrigé à l'aide d'une étape de planarisation CMP avant de débiter la fabrication.

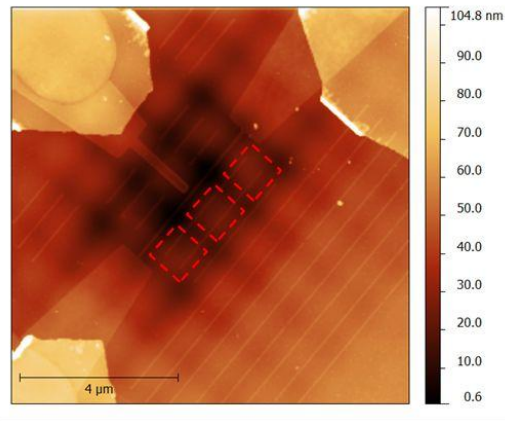


Figure 3-31 Image AFM réalisée par C. Nauenheim (UdeS/INRS) d'un dispositif SET fabriqué dans le BEOL d'une plaque de CMOS. L'effet de damier visible dans l'arrière plan, dont 3 des cases ont été entourés en pointillés, provient d'une rugosité de surface engendrée par des structures des couches sous-jacentes.

3.4 Perspectives d'améliorations

Il existe plusieurs pistes pour améliorer le procédé de fabrication nanodamascène. Nous décrirons ici l'emploi de l'ALD, qui pourra être utilisé pour diminuer la largeur du canal, et donc augmenter l'énergie de charge de l'îlot, ou encore pour avoir un meilleur contrôle sur les jonctions tunnel, ouvrant la voie à une ingénierie de jonction. Nous évoquerons aussi l'utilisation des structures métalliques sous-jacentes pour faciliter et accélérer l'étape d'alignement. Enfin, nous indiquerons quelques procédés pouvant être utilisés pour contrôler plus précisément la hauteur des structures lors de la CMP, et basés sur l'emploi de marques d'arrêt, ou de structures de contrôle.

3.4.1 Usage de l'ALD

La force du procédé de fabrication tel qu'il est défini dans ce manuscrit est qu'il permet l'obtention d'une épaisseur de canal de seulement quelques nanomètres. Toutefois, la production de largeur de canal inférieur à 20nm est très difficile, ce qui limite la section de jonction atteignable, et donc les performances possibles du SET. Les données recueillies dans la partie 3.2.2 indiquent qu'une largeur de canal entre 5 et 10nm produirait de bons résultats à température ambiante. Une amélioration possible serait l'utilisation de l'ALD pour la réduction de la largeur du canal.

En effet, l'ALD a la particularité de pouvoir déposer individuellement et de manière parfaitement isotrope les couches atomiques d'un matériau donné. Il est alors possible de contrôler l'épaisseur déposée au nanomètre près. La technique de fabrication intègrerait donc cette étape après la première électrolithographie (i.e. après avoir gravé les structures de canal et de box). On serait alors capable de réaliser facilement des canaux de moins de 10nm de large. Il y a toutefois une limite imposée à cette technique, liée à la rugosité de la ligne de canal. Comme le met en évidence la Figure 3-32, un canal ne pourra être affiné au-delà de sa rugosité sans entraîner de coupure dans le chemin de conduction. La rugosité de nos structures étant de l'ordre du nanomètre, on ne pourra probablement pas créer des canaux plus fins que 5nm.

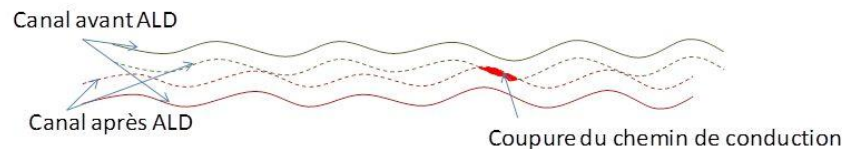


Figure 3-32 Schématisation de la procédure de diminution de la largeur de canal par ALD, et du risque de rupture du chemin de conduction dans le cas où la largeur du canal après diminution est du même ordre de grandeur que la rugosité du canal.

Un autre emploi de l'ALD pourrait être la déposition de l'oxyde réalisant la jonction tunnel. Les caractéristiques de cet oxyde ont une importance capitale sur le fonctionnement du SET, et l'oxydation par plasma O_2 n'en permet qu'un contrôle grossier. L'ALD permettrait une bien meilleure maîtrise de la qualité de l'oxyde et de son épaisseur déposée. Elle autoriserait de plus à pouvoir réaliser des SETs dont l'oxyde et le métal ne sont plus conjugués, offrant une plus grande variété de dispositifs réalisables. Il sera alors envisageable de choisir l'oxyde ayant la hauteur de barrière, et la permittivité adéquate pour le type de dispositif envisagé (i.e. fort courant d'attaque, I_{ON}/I_{OFF} élevé, ...).

Le procédé de fabrication présenté ici diffère du procédé nanodamascène usuel. Cet enchaînement d'étape a été préféré à un simple remplacement de l'étape d'oxydation sous plasma O_2 par dépôt d'oxyde ALD. En effet, il permet une diminution des dimensions de l'îlot, l'oxyde déposé diminuant la largeur du canal, ainsi que la largeur de la zone gravée, tout en permettant au reste du canal de conserver une épaisseur au moins équivalente à celle de l'oxyde déposé après CMP, ce qui permettra d'éviter toute coupure dans le chemin de conduction.

Toutefois, les techniques envisagées pour le dépôt des jonctions par ALD entraînent une capacité minimale plus élevée. En effet, comme on peut le voir sur la Figure 3-33-d, si après CMP avec la méthode de fabrication classique, il est possible d'obtenir une hauteur de 2nm pour les éléments source/drain et pour l'îlot, avec cette méthode une hauteur de 2nm pour l'îlot implique une hauteur de $\{2\text{nm} + (\text{épaisseur de l'oxyde})\}$ pour la source et le drain. La capacité des jonctions s'en trouve donc augmentée.

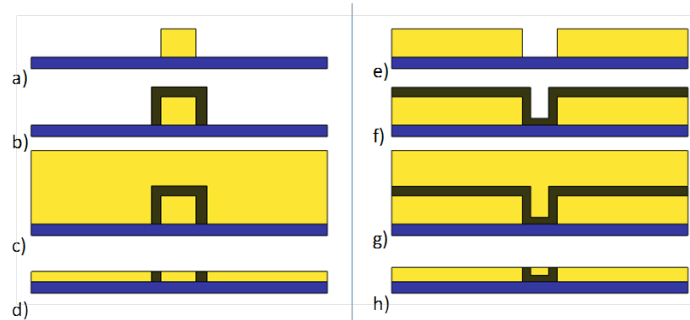


Figure 3-33 Illustration par une vue en coupe du canal dans le sens de la longueur, des étapes de fabrication pour le procédé nanodamascène à grille auto-alignée (a à d), et du procédé à déposition d'oxyde par ALD (e-h). Etape a) déposition de l'îlot par électrolithographie et soulèvement, oxydation de l'îlot par plasma O_2 (b), et dépôt d'une épaisse couche de Ti (c). Résultat après CMP (d). Le point de départ est différent ; le canal a été gravé, mais une couche de Ti a été déposée sur la surface juste après. Cette couche de Ti est gravée pour créer l'îlot (e). Dépôt de l'oxyde par ALD (f), et d'une couche de Ti (g). Résultat après CMP (h).

On peut imaginer pousser le contrôle des jonctions encore plus loin à l'aide de l'ALD, en déposant des oxydes de natures différentes, chacun destiné à remplir une fonction bien précise. Ainsi qu'il a été illustré dans en 2.1.3, la conductivité Schottky a un impact défavorable sur la visibilité des oscillations de Coulomb. Utiliser une hauteur de barrière élevée permettrait la diminution de ce mode de conduction au profit du Fowler-Nordheim, permettant d'atteindre des $I_{\text{ON}}/I_{\text{OFF}}$ élevés. Toutefois, si cette barrière est trop large, l'intensité du courant transmis par le SET devient négligeable. L'idée est ici de combiner :

- Un oxyde à faible permittivité et hauteur de barrière. On obtient ainsi une petite capacité de jonction sans pour autant avoir besoin d'une épaisseur trop élevée. De plus, cette combinaison d'une faible épaisseur et hauteur de barrière évite la diminution trop importante du courant tunnel.
- Un oxyde de permittivité quelconque, mais de hauteur de barrière élevée. Seules quelques couches atomiques seront déposées. L'objectif est de pouvoir diminuer fortement la conduction thermoïonique tout en n'ayant qu'un faible impact sur le courant tunnel.

Le programme MARSSEA tel qu'il est défini présentement ne permet pas la simulation de dispositifs SETs possédant ce type de jonction. Son adaptation nécessiterait quelques modifications :

- Courant thermoïonique : la modification est mineure : il faudra juste être capable de fournir la hauteur de barrière la plus haute entre les deux oxydes, ainsi que le champ appliqué sur ce dernier.
- Résistance tunnel : le problème est cette fois plus complexe et nécessitera un traitement matriciel (cf. Figure 3-34). Le formalisme utilisé est basé sur l'emploi des fonctions d'Airy (Govoreanu et al., 2003) et remplacera le calcul du WKB réalisé jusqu'à présent.

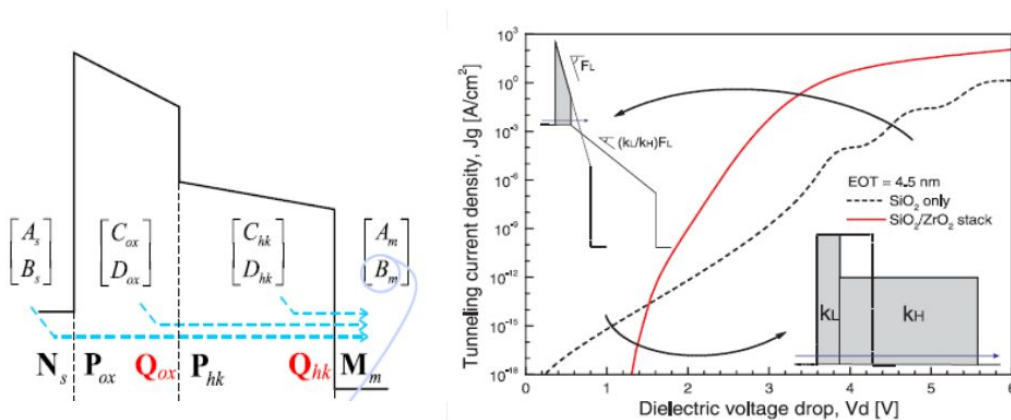


Figure 3-34 Schématisation de l'approche matricielle pour le traitement d'une jonction tunnel à oxydes multiples à gauche. Simulation illustrant la différence entre jonction à un oxyde obtenu par WKB, et jonction à deux oxydes calculé grâce aux fonctions d'Airy. Images tirées de (Govoreanu et al., 2003).

Des simulations effectuées avec MARSSEA ont permis néanmoins d'établir en première approximation que la création d'une hétéro-jonction combinant les oxydes O_1 et O_2 aux caractéristiques indiquées dans le Tableau 3-6, devrait permettre d'obtenir une diminution d'environ six ordres de grandeur du courant thermoïonique, sans pour autant affecter la conductivité tunnel. Il serait alors possible de négliger complètement l'impact du courant thermoïonique. Comme on peut le voir dans la Figure 3-35, les rapports I_{ON}/I_{OFF} obtenus dans ce cas sont très prometteurs, tout en conservant potentiellement la possibilité d'avoir une conductivité élevée.

Oxyde	Section jonction	Epaisseur JT	Phi0	Permittivité	m*
O1	100 nm ²	8 nm	0.3 eV	3	0.44
O2	100 nm ²	0.5 nm	0.7 eV	x	x

Tableau 3-6 Indication des paramètres considérés pour les oxydes O1 et O2. L'objectif de l'oxyde O2 étant simplement la coupure du courant thermoionique, seules comptent sa faible épaisseur et sa hauteur de barrière élevée. C'est pourquoi les valeurs de sa permittivité comme de sa masse effective n'ont pas été indiquées.

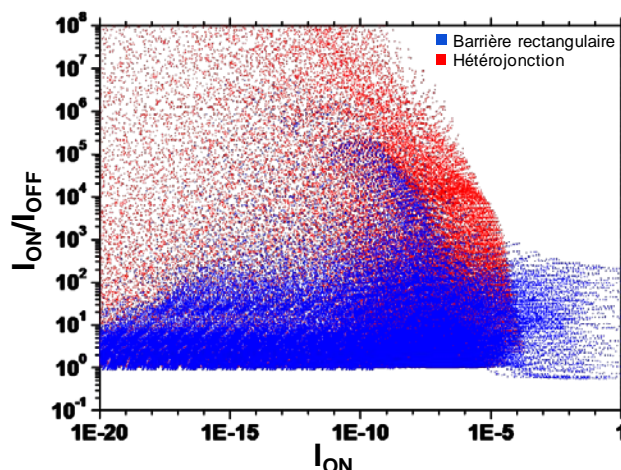


Figure 3-35 Rapport I_{ON}/I_{OFF} en fonction de I_{ON} pour différents paramètres de jonctions. Les points rouges indiquent les résultats obtenus lorsque seule la conduction Fowler-Nordheim a été considérée. Les points bleus prennent en compte la conduction thermoionique en plus de la conduction Fowler-Nordheim.

L'emploi d'une hétérojonction semble créer un comportement asymétrique de la jonction tunnel (cf. Figure 3-36). La caractéristique de l'asymétrie est elle-même très dépendante de l'épaisseur des différentes couches, ce qui implique un grand contrôle de ce paramètre pour pouvoir produire des SETs de manière reproductible. Toutefois, la capacité de maîtriser l'épaisseur de matériau déposé à une échelle inférieure au nanomètre grâce à l'ALD devrait se montrer bien suffisante pour cela.

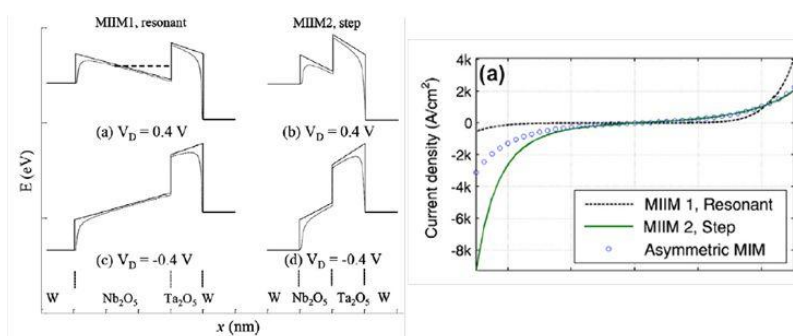


Figure 3-36 Illustration de différents types de jonctions MIIM en polarisation positive et négative, avec simulation du comportement électrique des MIIM à droite. La différence entre l'asymétrie de la MIIM Step et de la MIIM Resonant est due aux effets de résonance de cette dernière. Images tirées de (Grover & Modell, 2012).

3.4.2 Alignement sur le niveau métal 1

L'alignement réalisé lors des différentes électrolithographies est une étape clé, mais difficile à réaliser du fait de la faible visibilité des marques d'alignement, qui sont occultées par les motifs métalliques des couches inférieures. Nous avons pu voir qu'une métallisation de ces marques pouvait les rendre visibles et faciliter cette étape. Toutefois, il existe aussi une autre solution : se baser sur ces éléments pour effectuer l'alignement.

Comme on peut le voir sur la Figure 3-37 il est possible de trouver de nombreux éléments pour effectuer l'alignement. Ils sont d'une suffisante netteté et finesse pour permettre un alignement précis des structures. En particulier, leur très fort contraste améliore grandement la rapidité de la procédure d'alignement. Cette procédure s'inscrit bien dans la perspective d'une intégration hybride SET, l'alignement étant effectué avec les contacts des MOS qui seront reliés aux SETs. La réalisation de ce type d'alignement nécessitera une connaissance complète de la disposition des structures métalliques des niveaux sous-jacents. Des travaux ont été conduits dans ce sens par A. Lecestre à l'UdeS. Les structures créées ont été alignées avec une précision de 100nm.

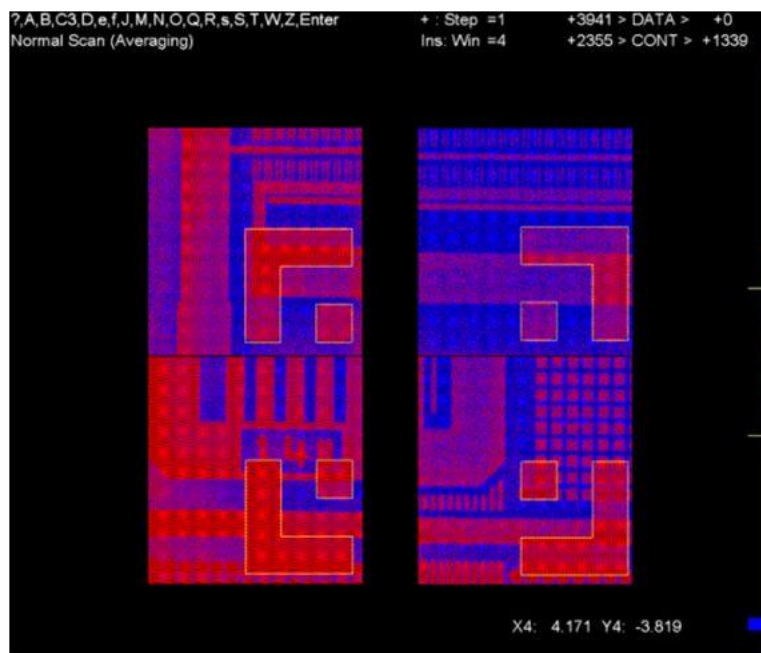


Figure 3-37 Image prise lors de la procédure d'alignement d'une étape d'électrolithographie réalisée à l'UdeS.

3.4.3 Contrôle de la hauteur de gravure par CMP

Actuellement les contrôles effectués lors de la CMP pour estimer l'épaisseur de titane restant se font par microscopie optique et MEB afin pour vérifier à la fois la présence de métal dans les structures lithographiées, et l'absence de courts-circuits ; et par caractérisations électriques de nanofils, desquelles est extraite une hauteur supposée pour l'ensemble des dispositifs adjacents. Toutefois, ces méthodes ne donnent qu'une indication approximative sur la hauteur des dispositifs. Nous proposerons ici deux autres techniques permettant un contrôle plus fin de la hauteur : l'utilisation de structures d'arrêt, et la création de structures témoin de hauteurs différentes.

La gravure effectuée lors de l'étape de CMP est sélective, et dépend de la nature des matériaux. Il existe donc des éléments qui seront peu ou pas affectés par le polissage utilisé ici. C'est par exemple le cas du platine. Si une épaisseur de quelques nanomètres est déposée à proximité des structures à protéger, elles pourraient agir comme élément protecteur et permettre un arrêt de la gravure. On serait ainsi en mesure d'éviter une surgravure et donc une possible coupure du canal. Ces structures peuvent par exemple être déposées au milieu de structures sacrificielles, gravées lors de la première électrolithographie, ou au milieu des pregates. Toutefois, ceci implique la réalisation d'une nouvelle étape d'électrolithographie suivie d'un soulèvement, augmentant significativement le temps de fabrication du dispositif. Il faut aussi noter que l'alignement ne doit cette fois absolument pas être manqué. Si la structure d'arrêt n'est pas déposée au fond d'un élément gravé mais en surface, cela pourrait fortement affecter l'étape de CMP, empêchant un bon dégagement du dispositif (i.e. il resterait toujours une plaque de métal en surface).

Ce procédé présente l'avantage de renforcer le contrôle sur la hauteur du canal lors de la CMP, et donc de limiter les risques de rupture du dispositif, ou au contraire la caractérisation de dispositif à canal trop épais. Mais il implique l'ajout d'une étape d'électrolithographie supplémentaire, et un alignement réussi des structures. Une erreur à ce niveau entraînerait, une impossibilité d'enlever le métal en surface. Elle ne sera donc à considérer qu'au moment où la production de dispositifs très hautes performances de manière reproductible sera visée.

CHAPITRE 4 Performances Électriques

Nous avons présenté au cours du chapitre précédent une technique de fabrication de SET permettant à la fois l'obtention de dispositifs fonctionnant à haute température, mais aussi la réalisation potentielle d'architectures hybrides 3D SET-CMOS. Nous allons maintenant étudier le comportement électrique des dispositifs réalisés.

La première partie va être dédiée à l'impact sur les caractérisations électriques des différents paramètres physiques des éléments constituant le SET, et les moyens utilisables pour les extraire des mesures de courant.

Ce préambule exposé, nous passerons alors à l'étude du comportement électrique des dispositifs. Elle sera centrée, par ordre de complexité croissante, sur les nanofils, les MIMs et enfin les SETs. Les nanofils permettront une estimation des épaisseurs du canal des dispositifs après CMP. Ce paramètre est déterminant, car critique dans le calcul des propriétés des jonctions tunnel, et non mesurable par microscopie sans destruction du dispositif. L'étude des MIMs permettra d'avoir accès au comportement d'une jonction tunnel simple. On sera ainsi en mesure de caractériser son comportement, et d'interpréter les phénomènes observés. Enfin, la mesure des SETs offrira une vision de l'état d'avancement du procédé de fabrication nanodamascène en BEOL d'une puce CMOS. Les réalisations seront mises en avant, et des pistes de résolution des problèmes rencontrés seront présentées.

Pour finir, une étude théorique à l'aide de simulations réalisées sous cadence, servira à estimer le potentiel pour quelques circuits hybrides choisis, de l'utilisation de SETs tels que réalisés au cours de ce projet. On présentera aussi les résultats pour des SETs avec des paramètres plus agressifs, pouvant par exemple être créés grâce à l'ajout d'étapes ALD (cf. 3.4.1). L'objectif de cette partie sera l'orientation du choix des circuits hybrides réalisés pour la prochaine génération de SETs dans cette technologie.

4.1 Description paramétrique des dispositifs

Afin d'interpréter les résultats des caractérisations électriques des SETs, des modélisations seront effectuées en parallèle à l'aide du simulateur MARSSEA (Beaumont et al., n.d.). Ces modélisations sont basées sur l'utilisation des paramètres physiques des SETs. Les paramètres pris en compte sont liés aux jonctions tunnel et capacitives entre l'îlot et les éléments source/drain/grille/substrat. Ils comprennent pour les jonctions tunnel entre l'îlot et la source ou le drain : hauteur et largeur du canal, épaisseur de l'oxyde, constante diélectrique, hauteur de barrière et masse effective ; pour les jonctions capacitives entre l'îlot et la grille : hauteur du canal, largeur de l'îlot, épaisseur, permittivité relative. Il est en théorie possible à partir de ces paramètres de simuler correctement le comportement du SET (cf. A.1.2). Ces paramètres peuvent être soit directement mesurables par observation microscopique, soit extraits des caractérisations électriques de différents dispositifs, à l'aide de modèles mathématiques. Par exemple, la hauteur du canal est extraite de la mesure de résistivité d'un nanofil, et de sa longueur (i.e. longueur du canal). On peut noter que la mesure directe des capacités des jonctions tunnel est impossible du fait de leur très faible valeur. Les paramètres directement mesurables par observation microscopique sont :

- La longueur du canal. Ce paramètre est défini lors de la première électrolithographie. Sa variabilité est d'environ $\pm 20\text{nm}$ pour une longueur de $1\mu\text{m}$, soit une incertitude de 2%. On considèrera pour la suite une longueur constante de $1\mu\text{m}$ pour le canal.
- La largeur du canal. Ce paramètre est plus délicat à mesurer du fait de sa faible dimension. Des images MEB et AFM effectuées sur 8 dispositifs différents ont montré des valeurs allant de 17nm à 23nm. Ces variations proviennent non seulement d'une variabilité introduite lors de l'électrolithographie, mais aussi par une rugosité de surface pouvant atteindre 1-2nm, et une imprécision inhérente aux méthodes de mesure, provoquée dans le cas de la microscopie électronique, par un effet de charge important, et dans le cas de l'AFM, par le diamètre de la pointe. De manière générale, une observation AFM sera préférée aux observations MEB, ces dernières pouvant potentiellement endommager les dispositifs.

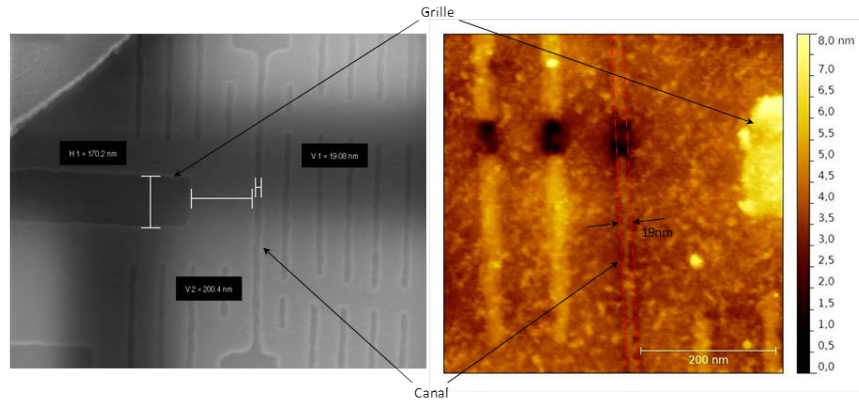


Figure 4-1 Illustration de la mesure de la largeur du canal par imagerie MEB (à gauche, réalisée à l'UdeS) et AFM (à droite, réalisée par D. Albertini (INL)). L'image MEB a été effectuée juste après la première électrolithographie.

- L'épaisseur des jonctions. Elle est facilement mesurable dans le cas de la jonction capacitive îlot grille. Elle est dans ce cas environ égale à 200nm. Mais l'épaisseur des jonctions tunnel est beaucoup plus difficilement estimable. Comme on peut le voir sur la Figure 4-2, elles peuvent être mesurées à l'aide d'observations MEB, mais ces dernières entraînent un dépôt de carbone au niveau de la fenêtre d'observation, dégradant le comportement du dispositif. Le TiO_2 étant surgravé par rapport au Ti lors de la CMP, elles apparaissent clairement lors des observations AFM. Toutefois, leur mesure comporte une marge d'erreur élevée. De plus la valeur de ce paramètre semble varier grandement en fonction de la technique de dépôt du titane, et des paramètres de l'oxydation. Un bon contrôle des paramètres de l'oxydation permet donc d'obtenir l'épaisseur de jonction souhaitée. On utilisera ainsi les mesures AFM pour déterminer une valeur moyenne de départ, qui sera affinée par accord des simulations aux caractéristiques expérimentales. Les épaisseurs de jonctions mesurées vont de 7nm à 15nm, suivant le procédé. Toutefois, les mesures AFM ne permettent pas de distinguer systématiquement les jonctions tunnel. Dans le cas où elles ne sont pas visibles, une valeur de départ de 10nm est utilisée. Enfin, des mesures TEM réalisées sur des vues en coupe du canal permettent d'identifier les jonctions avec fiabilité, mais elles sont très coûteuses et ne peuvent être réalisées que sur des dispositifs ayant un canal de plusieurs micromètres de larges. Elles n'ont donc été utilisées que ponctuellement, afin d'avoir pour certains échantillons des informations complètes sur la nature des jonctions.

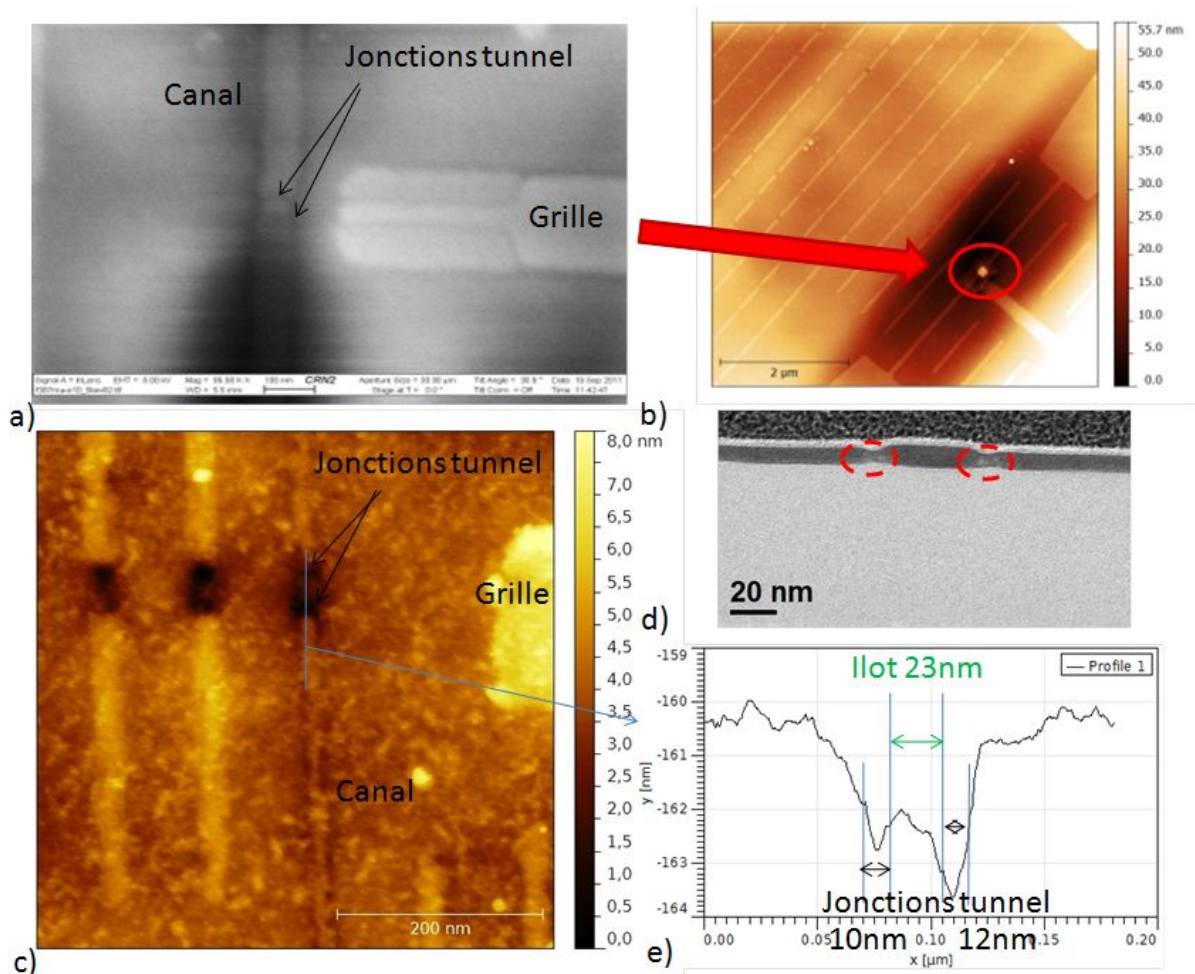


Figure 4-2 Image MEB réalisée à l'UdeS après CMP d'un SET où les jonctions tunnel peuvent être distinguées par contraste (a). Dépôt de carbone créé lors de l'observation MEB visible par AFM réalisée par C. Nauenheim (UdeS/INRS) (b). Observation AFM réalisée par D. Albertini (INL) d'un SET, avec les jonctions tunnel clairement visible (c). Les épaisseurs des jonctions estimées par analyse du profil du canal sont 10nm et 12nm (e). Vue en coupe TEM réalisée par ST-Microelectronics d'un SET pour lequel la largeur des jonctions a été estimée entre 8nm et 10nm (d).

Les paramètres estimés indirectement, à l'aide de caractérisations électriques et de modèles mathématiques sont :

- La hauteur de barrière, la masse effective et la permittivité des jonctions tunnel. Ces trois paramètres peuvent être estimés en accordant les simulations aux caractéristiques électriques expérimentales. Elles peuvent aussi être directement extraites des caractérisations expérimentales d'une MIM, en mesurant séparément des courants Schottky (4-15), et Fowler Nordheim (4-16). En effet, tracer dans le cas

d'un courant Schottky, $\left[\ln \left(\frac{J}{T^2} \right) \text{ vs } \sqrt{E} \right]$ permet l'extraction de la permittivité de l'oxyde de la pente de la droite p_1 donnée par l'équation (4-17), et son ordonnée à l'origine O_1 est fonction de la masse effective et de la hauteur de barrière (4-18). Si on trace pour le courant Fowler Nordheim $\left[\ln \left(\frac{J}{E^2} \right) \text{ vs } E^{-1} \right]$, la pente p_2 de la droite obtenue est fonction de la masse effective et de la hauteur de barrière (4-19). La combinaison des équations (4-18) et (4-19) fournit un système à deux équations et à deux inconnues, permettant de trouver les valeurs de la masse effective et de la hauteur de barrière (cf. Figure 4-3). Le dispositif est considéré en mode de conduction thermoïonique lorsque la caractérisation est effectuée à faible champ et à 400K. Une caractérisation à 300K (ou moins) et à fort champ place en théorie le dispositif en conduction Fowler Nordheim. Les valeurs par défaut pour ces paramètres sont celles qui ont été utilisées par C. Dubuc (Dubuc et al., 2008) : $\varphi_0 = 0.3\text{eV}$; $m^* = 0.4m$ et $\varepsilon_r = 3,5$.

$$J_S = 120 \frac{m^*}{m} T^2 \exp \left(\frac{-q(\varphi_0 - \sqrt{qE/(4\pi\varepsilon_r\varepsilon_0)})}{kT} \right) \quad (4-15)$$

$$J_{FN} = \frac{q^3 m}{16\pi^2 \hbar m^* \varphi_0} E^2 \exp \left(\frac{-8\pi\sqrt{2qm^*/m}}{3hE} \varphi_0^{\frac{3}{2}} \right) \quad (4-16)$$

$$p_1 = \frac{\sqrt{qE/(4\pi\varepsilon_r\varepsilon_0)}}{kT} \quad (4-17)$$

$$O_1 = \ln \left(120 \frac{m^*}{m} \right) - \frac{q\varphi_0}{kT} \quad (4-18)$$

$$p_2 = - \frac{8\pi\sqrt{2qm^*/m}}{3h} \varphi_0^{\frac{3}{2}} \quad (4-19)$$

Avec J_S la densité de courant Schottky, m^* la masse effective et m la masse d'un électron, T la température, q la charge élémentaire, φ_0 la hauteur de barrière de la jonction, E le champ électrique, ε_r la permittivité relative de la jonction, et ε_0 la permittivité du vide, k la constante de Boltzmann, h et \hbar les constantes de Planck usuelle et réduite.

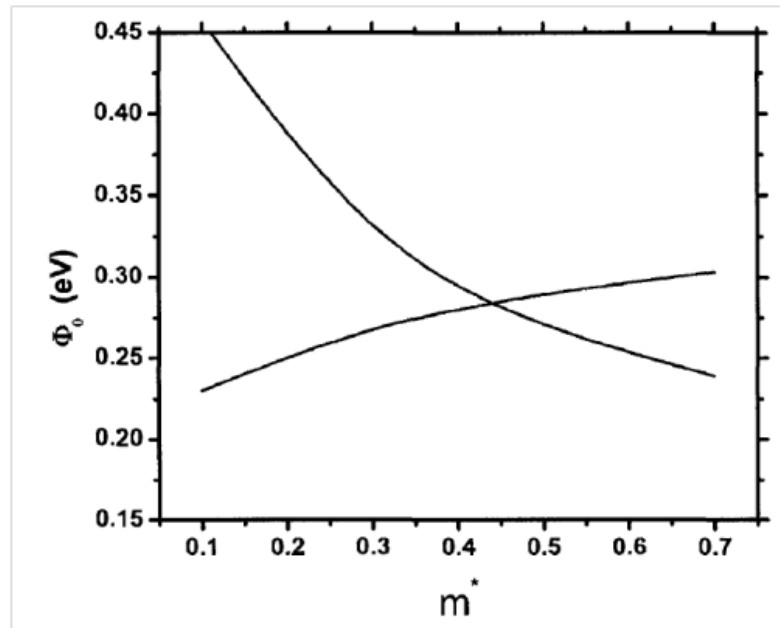


Figure 4-3 Illustration sous forme graphique de la combinaison des équations (4-18) et (4-19), donnant respectivement les courbes croissantes et décroissantes. Elles permettent de trouver les valeurs de masse effective et de hauteur de barrière, données par leur intersection (Dubuc, 2008).

- La hauteur du canal. Elle dépend de la CMP et est très variable d'un échantillon à l'autre. Elle peut être mesurée directement (cf. Figure 4-4), mais entraîne alors une destruction du composant. Elle peut néanmoins être estimée indirectement par caractérisation électrique d'un nanofil. La résistance du nanofil est calculée avec le modèle de Fuchs Sondheimer et Mayadas Shatzkes (FS-MS) (Zhang et al., 2004). Ceci sera expliqué plus en détail en 4.2.1. De par le procédé de fabrication, la hauteur doit être inférieure à 20nm. L'ensemble des mesures effectuées indiquent des hauteurs de canal comprises entre 5 et 10nm. Il est à noter que, si la hauteur de canal mesurée sur un nanofil peut donner un ordre de grandeur pour celle d'un SET adjacent, ainsi qu'il est visible sur la figure ci-dessous, la hauteur de l'îlot et du reste du canal sont distinctes. De plus la jonction tunnel est affinée. Tout ceci rend difficile l'estimation de la capacité de la jonction tunnel avec la méthode des plaques parallèles, en utilisant la hauteur et la largeur du canal. Ce paramètre sera donc lui aussi ajusté, afin de faire correspondre au mieux simulations et caractérisations expérimentales, en prenant comme point de départ la hauteur estimée à l'aide du nanofil.

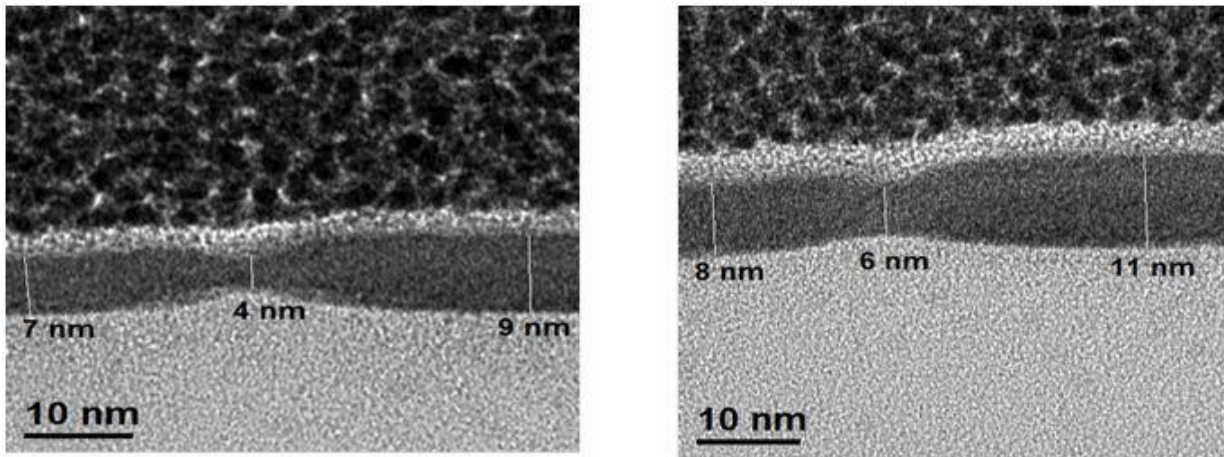


Figure 4-4 Hauteur de canal et d'îlot mesuré sur une observation TEM réalisée par ST-Microelectronics d'une coupe pour deux SETs distincts. On remarquera une mesure précise de la hauteur, mais aussi une différence de niveau entre le canal (partie de gauche), la jonction tunnel, au centre, et l'îlot (partie de droite)

Ainsi l'analyse électrique des nanofils et des MIM est nécessaire pour une évaluation adéquate des caractéristiques des SETs. Les nanofils serviront à estimer l'épaisseur restante dans le canal, et les MIM permettront l'étude des différents paramètres des jonctions tunnel. Ces dispositifs doivent être placés à proximité les uns des autres, afin de s'assurer que les paramètres obtenus sont utilisables pour les SETs. C'est pourquoi lors de la fabrication, les cellules contiennent non seulement des SETs, mais aussi une MIM et un nanofil.

4.2 Caractérisations électriques des dispositifs

4.2.1 Nanofils

Comme indiqué dans la partie 4.1, les caractérisations électriques des nanofils servent de contrôle à la hauteur du canal. Toutefois, pour pouvoir remonter de la résistance mesurée à la hauteur il faudra considérer non seulement le nanofil, mais aussi l'ensemble contacts, chemins d'amenée et pregates. Il faudra aussi employer le modèle de FS-MS (Zhang et al., 2004) afin de tenir compte des rugosités de surface, ainsi que de la taille des grains.

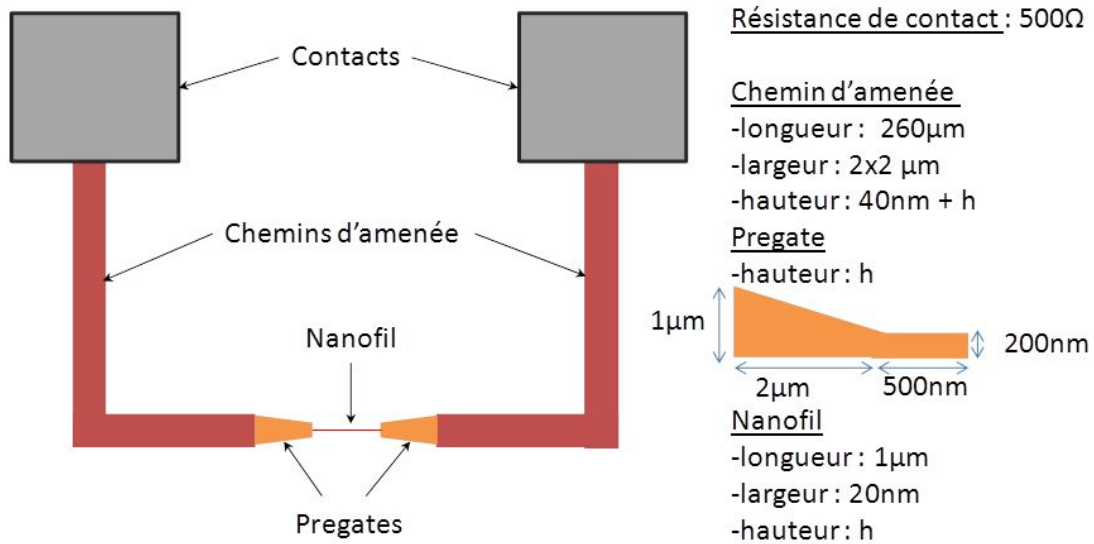


Figure 4-5 Schématisation en vue de dessus de l'ensemble du circuit électrique dans lequel est compris le nanofil. La résistance de contact indique la résistance entre la pointe et le contact, mesurée en posant deux pointes sur un plot. Une vue de dessus schématisée de la pregate est montrée à droite avec les cotes associées.

Le circuit électrique complet des nanofils fabriqués au cours de ce projet est détaillé dans la Figure 4-5. En première approximation, il est possible de considérer que la résistance d'un élément unidimensionnel est $R = \rho \frac{S}{l}$ avec ρ la résistivité du métal, S l'aire de sa section et l sa longueur. Si on calcule l'ensemble des résistances du circuit, en accord avec les dimensions données dans la figure ci-dessus, on obtient :

- Résistances de contact (mesurée par la pose de deux pointes sur un même contact) :
 $R_C = 2 \times 500\Omega$
- Résistance des chemins d'amenée : $R_A = 2 \cdot \rho \frac{260\mu m}{4\mu m \cdot (40nm + h)} = \rho \frac{130}{(40nm + h)}$
- Résistance des pregates : $R_P \approx \rho \frac{13}{h}$
- Résistance du nanofil : $R_N = \rho \frac{1\mu m}{20nm \cdot h} = \rho \frac{50}{h}$

On obtient donc comme résistance totale :

$$R_t = R_C + R_A + R_P + R_N = 1k\Omega + \rho \left[\frac{130}{40nm + h} + \frac{13}{h} + \frac{50}{h} \right] \quad (4-20)$$

Pour une hauteur de canal $h \in [1nm ; 20nm]$, la résistance du nanofil ne représente qu'un pourcentage compris entre 43% et 66% de l'ensemble nanofil + pregate + chemin d'amenée. C'est-à-dire qu'au premier ordre, pour des résistances grandes devant la résistance de contact, le nanofil ne contribue que pour moitié à la résistance totale mesurée. C'est pourquoi les contributions de l'ensemble des éléments ont été prises en compte dans le modèle utilisé par la suite.

Les modèles de Fuchs Sondheimer, pour tenir compte des effets de surface, et de Mayadas et Shatzkes, pour les effets de bordures de grain, ont été utilisés pour simuler le comportement d'un nanofil (Maîtrejean et al., 2006). Nous exprimons ainsi la résistivité comme étant :

$$\rho_{NW} = \rho_0 \left\{ \left[1 - 1.5\alpha + 3\alpha^2 - 3\alpha^3 \ln\left(1 + \frac{1}{\alpha}\right) \right]^{-1} + 0.38\lambda(1 - P) \left(\frac{1}{t} + \frac{1}{w} \right) \right\} \quad (4-21)$$

Avec ρ_0 la résistivité du métal, λ le libre parcours moyen, P la probabilité de diffusion surfacique, t l'épaisseur et w la largeur du nanofil. $\alpha = \lambda R / [d(1 - R)]$, avec d la taille des grains, et R la probabilité de diffusion aux joints de grains. Le résultat est illustré dans la Figure 4-6.

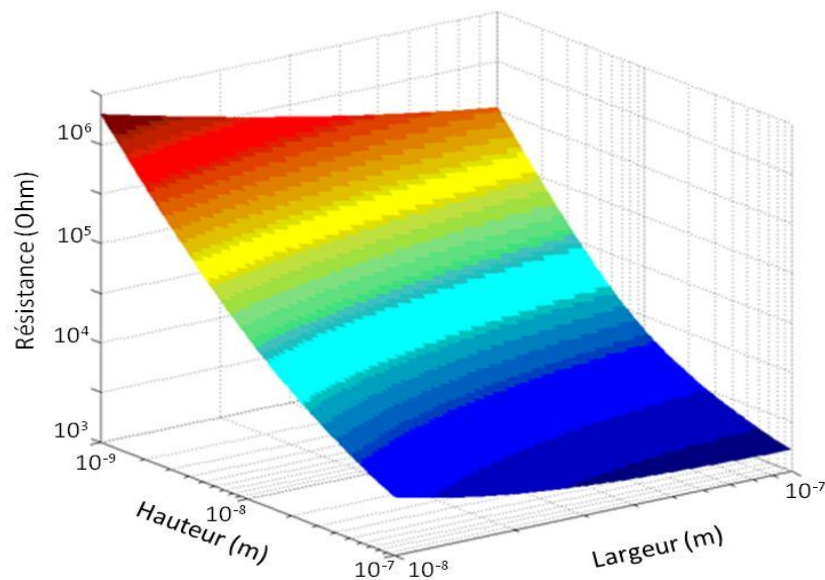


Figure 4-6 Graphique réalisé sous Matlab illustrant R en fonction de la hauteur et de la largeur du nanofil. R correspond à la résistance de l'ensemble du dispositif, et a été calculé à l'aide du modèle Fuchs Sondheimer et de Mayadas et Shatzkes.

Il a ainsi été possible d'extraire la valeur de la hauteur de quelques nanofils. Elles sont regroupées dans le Tableau 4-1. Toutefois, il faut noter que le modèle utilisé emploie un nombre important de paramètres, dont la valeur est difficilement estimable comme par exemple la taille moyenne des grains, le libre parcours moyen, les coefficients de diffusion de la structure et de la surface. Il est donc possible d'obtenir pour une même résistivité des SETs avec des paramètres physiques très différents. Le but n'est donc pas nécessairement d'avoir une idée de la valeur absolue de la hauteur du canal, mais plutôt d'estimer s'il est judicieux de poursuivre ou non la CMP.

Enfin, si la précision donnée à la hauteur n'a pas de sens en tant que valeur absolue, elle est tout à fait justifiable si on considère les différences entre les hauteurs. En effet, tous les échantillons ayant subi simultanément l'ensemble des étapes de fabrication jusqu'à la CMP, il est raisonnable de faire l'hypothèse que les paramètres utilisés dans le modèle ne diffèrent pas ou peu d'un échantillon à l'autre. On peut donc remarquer que, si la différence de hauteur entre des nanofils d'échantillons distincts est conséquente, elle devient négligeable pour des nanofils d'un même échantillon (inférieure au nanomètre). Cela s'explique par le fait que la CMP a été appliquée individuellement à chaque échantillon, impliquant une variabilité plus importante. Mais cela permet aussi de constater la bonne uniformité du procédé de CMP sur la surface d'un échantillon, puisque la différence de hauteur constatée pour des cellules distantes de plusieurs centaines de micromètres est inférieure à 0,5nm.

Echantillon	G666D		G666E		G666H		G666I	
Cellule	C3	C3	D3	D3	E3	C3	D3	
Résistance mesurée	26k Ω	24k Ω	25k Ω	38k Ω	34k Ω	22k Ω	23k Ω	
Hauteur calculée	7.5nm	8.0nm	7.8nm	5.6nm	6.0nm	8.7nm	8.4nm	

Tableau 4-1 Hauteurs des nanofils extraites des résistances mesurées. Chaque cellule ne contient qu'un seul nanofil. L'ensemble de ces échantillons a subi en même temps les différentes étapes de fabrication de SET jusqu'à la CMP. Cette dernière a été appliquée individuellement à chaque échantillon.

4.2.2 Jonctions tunnels

Il a été démontré que sur un même échantillon, l'épaisseur des canaux des dispositifs présente une très faible variabilité. Il est donc peu probable que ce paramètre soit cause de dispersions dans la réponse électrique des dispositifs fabriqués. Nous allons à présent nous tourner vers l'étude des jonctions tunnel obtenues lors du procédé de fabrication nanodamascène. Le dispositif clé pour cela sera la MIM, puisque contrairement au SET, elle ne possède qu'une seule jonction tunnel. Le modèle mathématique employé pour son étude consiste simplement en une somme des courants Schottky et Fowler-Nordheim, calculés sur une barrière tunnel. La jonction tunnel dans le modèle est caractérisée par sa section, son épaisseur, sa permittivité, et sa hauteur de barrière. Les MIM réalisées correspondent à des structures Ti/TiO₂/Ti. Les deux interfaces métal-oxyde étant en Ti/TiO₂, nous considérerons donc pour commencer qu'elles possèdent toutes deux la même hauteur de barrière. Si une modélisation est effectuée en employant les paramètres déterminés expérimentalement par C. Dubuc (Dubuc et al., 2008), le résultat est donc un comportement symétrique entre les polarisations positives et négatives (cf. Figure 4-7).

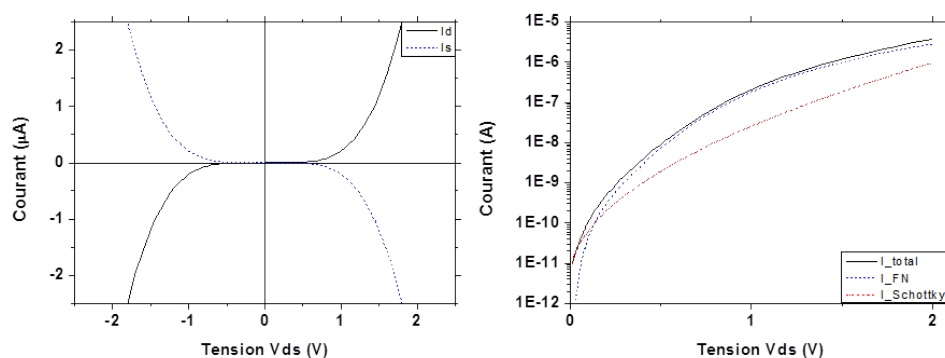


Figure 4-7 Simulation du comportement $I_d(V_d)$ d'une MIM à 300K. Echelle linéaire du courant à gauche, et échelle logarithmique à droite, avec mise en évidence des contributions au courant total des modes de conduction Schottky (en rouge) et Fowler Nordheim (en bleu).

Les mesures expérimentales effectuées sur les MIMs sont présentées en Figure 4-8. La polarisation de ces dispositifs a été effectuée de manière cyclique. Les résultats montrent un comportement très différent des simulations. Les différences fondamentales observées sont :

- Un courant mesuré plus de trois ordres de grandeur plus faible par rapport aux simulations
- Une caractéristique électrique du dispositif présentant une hystérésis
- Une asymétrie entre les courants en polarisation positive et négative
- Une forte variabilité du comportement sur différents dispositifs

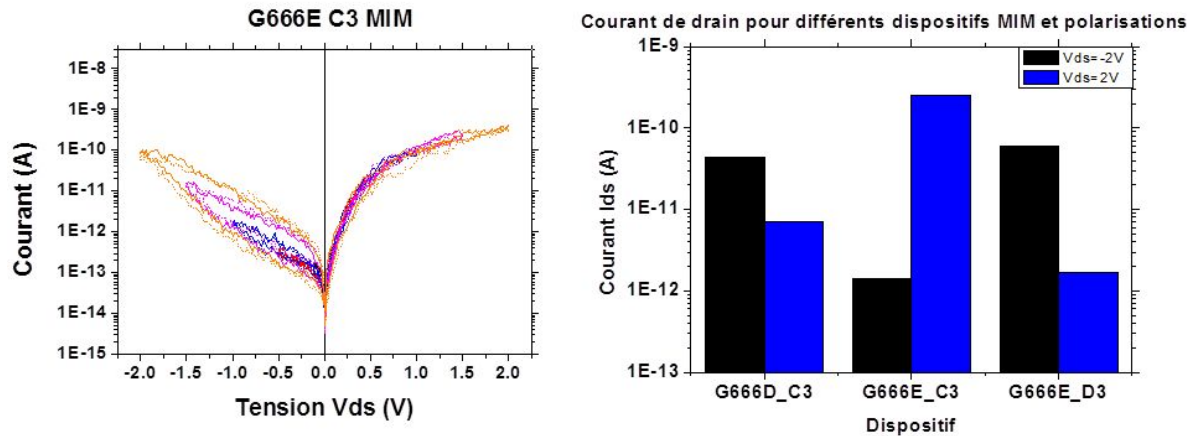


Figure 4-8 Caractérisation électrique d'une MIM pour différents cycles de polarisations, faisant clairement apparaître un cycle d'hystérésis pour les polarisations négatives (à gauche). Le courant de drain est donné en valeur absolue. Courant de drain mesuré pour différents dispositifs MIM avec $V_{ds}=2V$ et $V_{ds}=-2V$. On remarquera la grande variation de conductivité présente entre les dispositifs en particulier G666E_C3 et G666E_D3 provenant du même échantillon G666E, et entre les différentes polarisations. La hauteur théorique pour G666D est de 7.5nm, et 8nm pour G666E.

Contrairement aux nanofils des échantillons G666D et G666E qui présentaient une résistivité très proche, et donc des canaux aux propriétés relativement reproductibles, les caractéristiques électriques des MIMs de ces échantillons varient fortement. Il est donc probable que les propriétés de leurs jonctions tunnel soient à l'origine de ces différences. Des simulations ont été entreprises afin d'étudier les propriétés nécessaires aux jonctions pour l'obtention des caractéristiques électriques d'une MIM (cf. Figure 4-9). Une observation AFM a permis de déterminer une largeur d'environ 20nm (Figure 4-1) pour le canal et 12nm pour la jonction tunnel (Figure 4-2). Cette épaisseur de jonction est bien supérieure à celle visée de 8nm, et est probablement due à une exposition trop longue au plasma O_2 . Ceci peut en parti expliquer la faible intensité du courant mesuré. On considère que la hauteur de canal est similaire à celle du nanofil G666E-C3, soit entre 8 et 9nm.

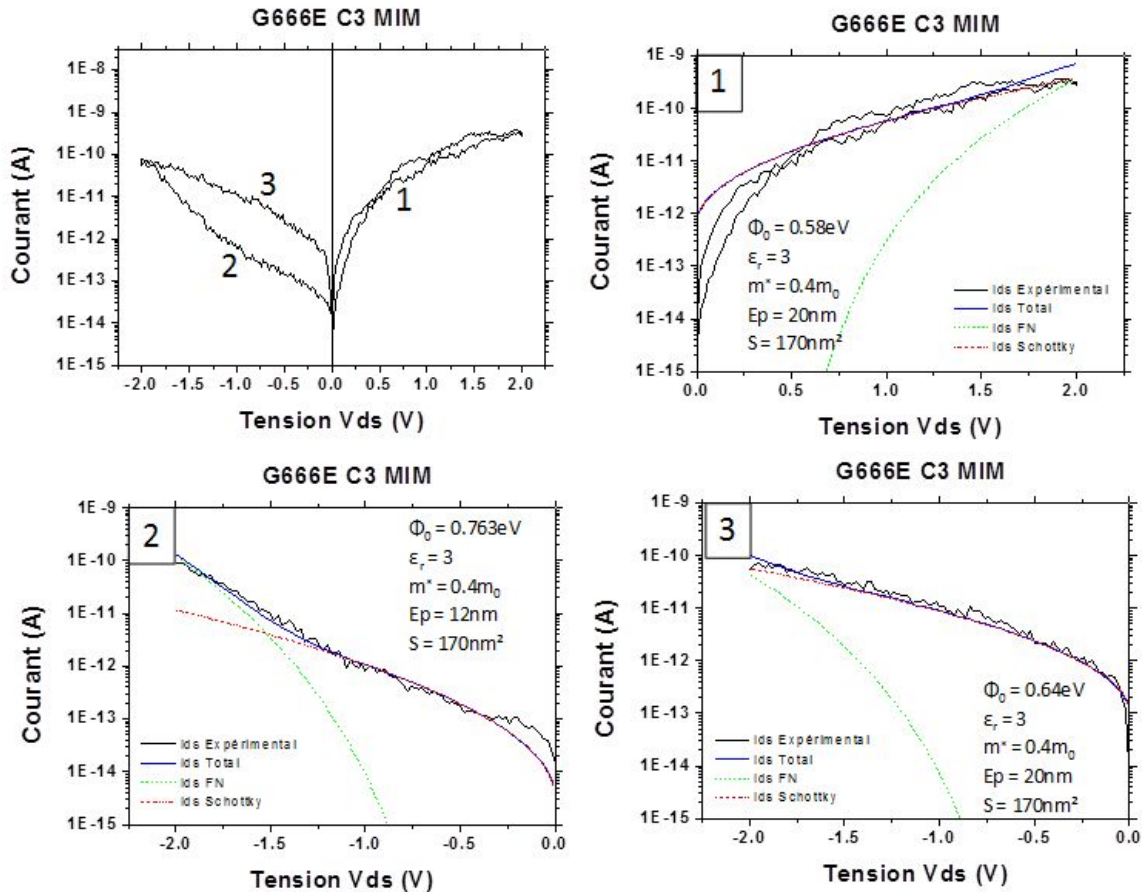


Figure 4-9 Caractérisations électriques d'une MIM (en haut à gauche), et simulations correspondantes (1 à 3). Les numéros indiquent la portion de la courbe expérimentale servant de base aux simulations. Le courant mesuré expérimentalement est en noir, le courant total simulé est en bleu, et ses contributions Fowler Nordheim et Schottky sont respectivement en vert et en rouge. Les différents paramètres employés lors des simulations sont indiqués, avec Φ_0 la hauteur de barrière, ϵ_r la permittivité, m^* la masse effective, E_p l'épaisseur de la jonction, et S l'aire de sa section.

Une similitude entre simulations et résultats expérimentaux n'est possible qu'en faisant varier les paramètres de la jonction. Un bon accord a été obtenu en ne variant que la hauteur de barrière et l'épaisseur de la jonction. On peut noter que la masse effective est similaire à celle identifiée par C. Dubuc (Dubuc et al., 2008). La permittivité relative est quelque peu plus faible, mais reste supérieure au minimum de 2.9 démontré expérimentalement par (Chiu et al., 2005). De plus sa dimension est probablement attribuable à l'affinement de la jonction tunnel par rapport au reste du canal (cf. 3.3.3). La section de 170nm^2 correspond bien à une largeur de canal de 20nm et à une hauteur comprise entre 8 et 9nm . Mais la variation des valeurs d'épaisseur de jonction et de hauteur de barrière ne sont pas simplement explicables avec le modèle employé. Elle pourrait être attribuable à la formation et destruction de chemins

conducteurs en Ti dans l'oxyde par électro-formation, à la manière d'une MEMRistance (Borghetti et al., 2009). Ceci ferait varier l'épaisseur effective de l'oxyde en fonction de la tension. De plus la hauteur de barrière employée est bien supérieure à celle estimée dans la littérature pour une jonction Ti/TiO₂. Enfin, la sous-estimation de la conduction dans la Figure 4-9-2 pour $|V| < 0.3V$ provient probablement de la non prise en compte dans le modèle de la conduction par saut (*hopping*). Ce mode de conduction peut être prédominant à faible polarisation, et permet aux charges de traverser la barrière tunnel en sautant de piège en piège (Campbell et al., 1999).

Plusieurs éléments peuvent conduire à l'apparition d'une asymétrie et/ou d'une hystérésis dans le comportement d'une MIM. Nous avons par exemple :

- La rugosité des interfaces (Gaillard et al., 2006). Elle entraîne l'apparition d'effet de pointe, produisant de forts champs électriques à l'extrémité des protrusions. Comme on peut le voir dans la Figure 4-10, cela permet aux charges accumulées à l'interface rugueuse, de passer plus aisément par effet tunnel à travers l'oxyde. Ce phénomène pourrait constituer une explication du comportement asymétrique d'une MIM.

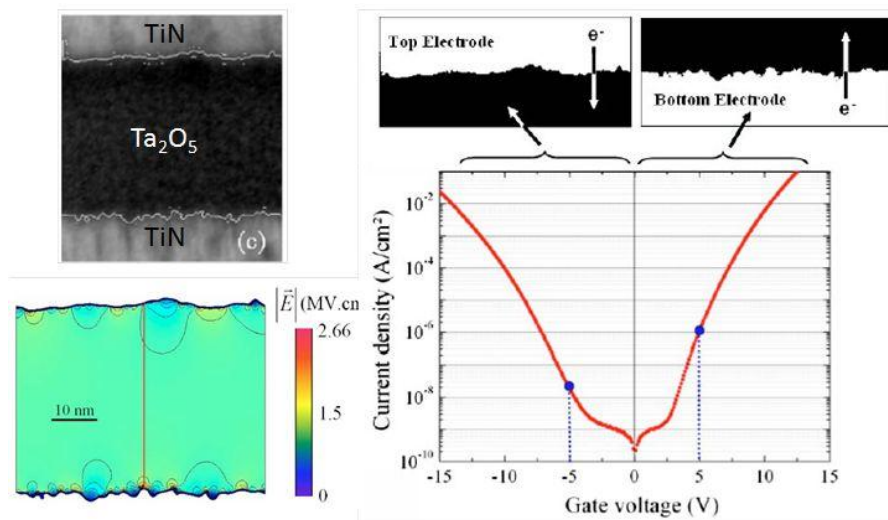


Figure 4-10 Image TEM en haut à gauche de la structure de la MIM avec mise en évidence de la rugosité à l'interface. Simulation en bas à gauche de la distribution du champ électrique dans l'oxyde, mettant en évidence les effets de points. Caractérisation Id(Vd) de la MIM mettant en évidence la facilitation du passage du courant dans un sens grâce à l'effet de pointe. D'après (Gaillard et al., 2006).

- L'accrochage du niveau de Fermi (*Fermi level pinning*) (Huang et al., 2010). Ce phénomène peut par exemple être produit par une insuffisance de la concentration en oxygène de l'oxyde à l'interface avec le métal, fixant ainsi la valeur de la hauteur de barrière. C'est ainsi qu'une MIM Ti/TiO₂/Ti pourrait posséder des hauteurs de barrière différentes au niveau de ses jonctions métal/oxyde malgré le fait que les métaux et oxydes soient identiques. Ce phénomène pourrait lui aussi expliquer l'asymétrie du comportement du dispositif.

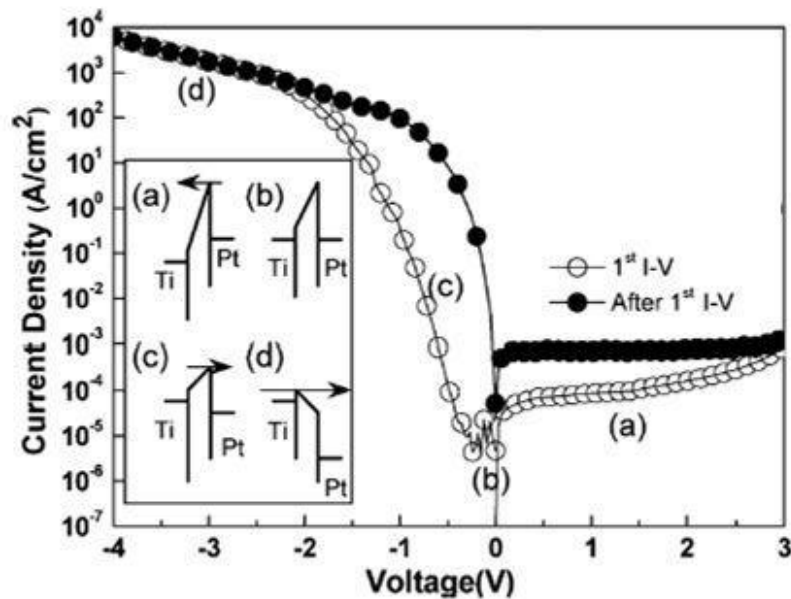


Figure 4-11 Illustration de l'impact sur la caractéristique $I_d(V_d)$ de la différence de hauteur de barrière entre l'oxyde et les métaux de source et drain pour une MIM. D'après (Huang et al., 2010).

- La présence de pièges au niveau d'une des interfaces (Kim et al., 2011). Comme illustré dans la Figure 4-12, cet effet peut non seulement permettre d'expliquer l'asymétrie du comportement du dispositif, mais aussi son hystérésis. Il est basé sur le chargement et le déchargement des pièges, se répercutant sur une variation effective de la hauteur de barrière de l'oxyde.

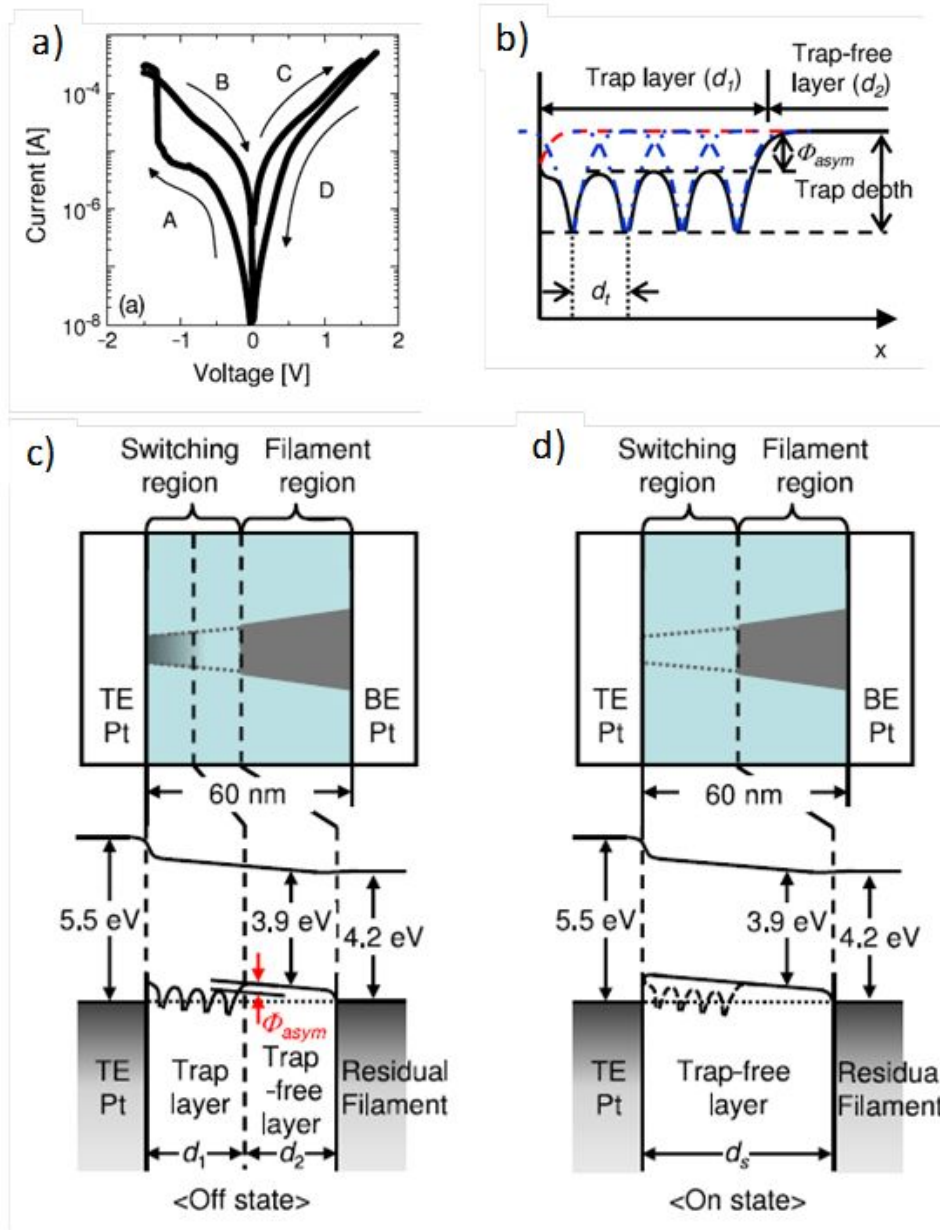


Figure 4-12 Caractéristique $I_d(V_d)$ d'une MIM mettant en évidence hystérésis et asymétrie (a). Diagramme de bande de l'oxyde prenant en compte les pièges (b), et illustration du fonctionnement de la MIM dans l'état OFF et ON (c-d). Le dispositif présenté par l'auteur est une MIM Pt/TiO₂/Pt. D'après (Kim et al., 2011).

Notre procédé de fabrication utilisé pour les MIMs est asymétrique par nature comme le montre la Figure 4-13. Il est donc probable qu'il y ait apparition d'un ou plusieurs des effets décrits précédemment lors de l'élaboration de ces dispositifs. En effet, il est envisageable que des impuretés se déposent dans la première couche de titane déposée (étape a), ou au niveau de l'oxyde de titane après sa formation (étape b). La création de l'oxyde de titane par diffusion de l'oxygène dans la couche de titane est possiblement la source d'un gradient de

concentration en oxygène dans la couche d'oxyde (Yamamoto et al., 2009). Ce gradient de concentration peut être à l'origine d'une différence de hauteur de barrière aux interfaces métal/oxyde (Hobbs et al., 2005). Il est aussi possible que des particules soient piégées dans l'oxyde lors de son exposition à l'air ambiant. Enfin, une certaine rugosité peu apparaître au niveau de l'interface réalisée entre l'oxyde créé et la couche de Ti déposée par la suite (étape c).

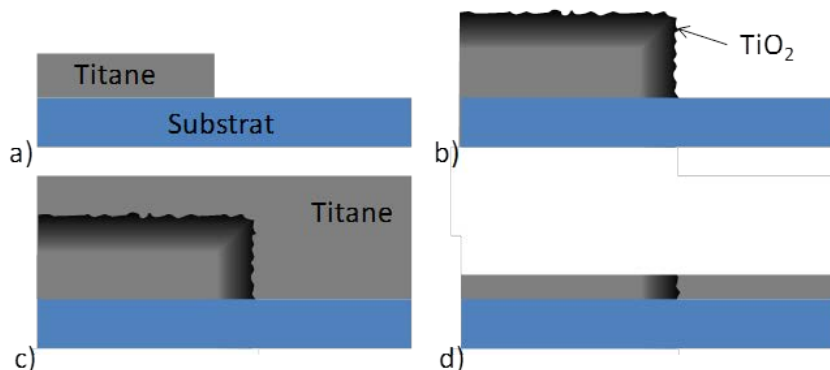


Figure 4-13 Illustration du procédé de fabrication d'une MIM par une vue en coupe du canal dans le sens de la longueur. Une couche de titane est tout d'abord déposée, afin de recouvrir la moitié du canal (a). Elle est alors oxydée afin de générer la jonction tunnel (b). Une couche épaisse de titane est alors déposée (c), et l'échantillon est passé à la CMP (d). Ainsi qu'il est illustré, les étapes (b) et (c) sont sources d'asymétrie pour le dispositif, et peuvent être génératrices des problèmes de rugosités, accrochage du niveau de Fermi ou pièges, mentionnés précédemment.

Il est de plus probable qu'il y ait une interaction entre la couche de substrat en SiO_2 et la couche de titane déposée. On peut ainsi avoir une oxydation du titane en contact avec le SiO_2 . En effet, l'énergie libre de la réaction $\text{Ti} + \text{O}_2 \rightarrow \text{TiO}_2$ étant inférieure à celle de la réaction $\text{Si} + \text{O}_2 \rightarrow \text{SiO}_2$, il a été démontré que le Ti déposé sur du SiO_2 s'oxydait lors de recuits hautes températures, et qu'il était aussi possible que cette oxydation ait lieu à température ambiante (Yokota & Yamada, 1998). La diffusion du silicium dans la couche de titane est elle aussi envisageable (Lau, 1985). Cette technique est à la base utilisée pour former du TiSi_2 en mettant en contact du titane avec du silicium. Ce dernier point pourrait lui aussi être à l'origine d'une introduction de pièges au sein du dispositif. Il semble être confirmé par des analyses chimiques par EDX (*Electron Dispersive X-Ray Spectroscopy*) récentes de ST-Microelectronics sur des images TEM.

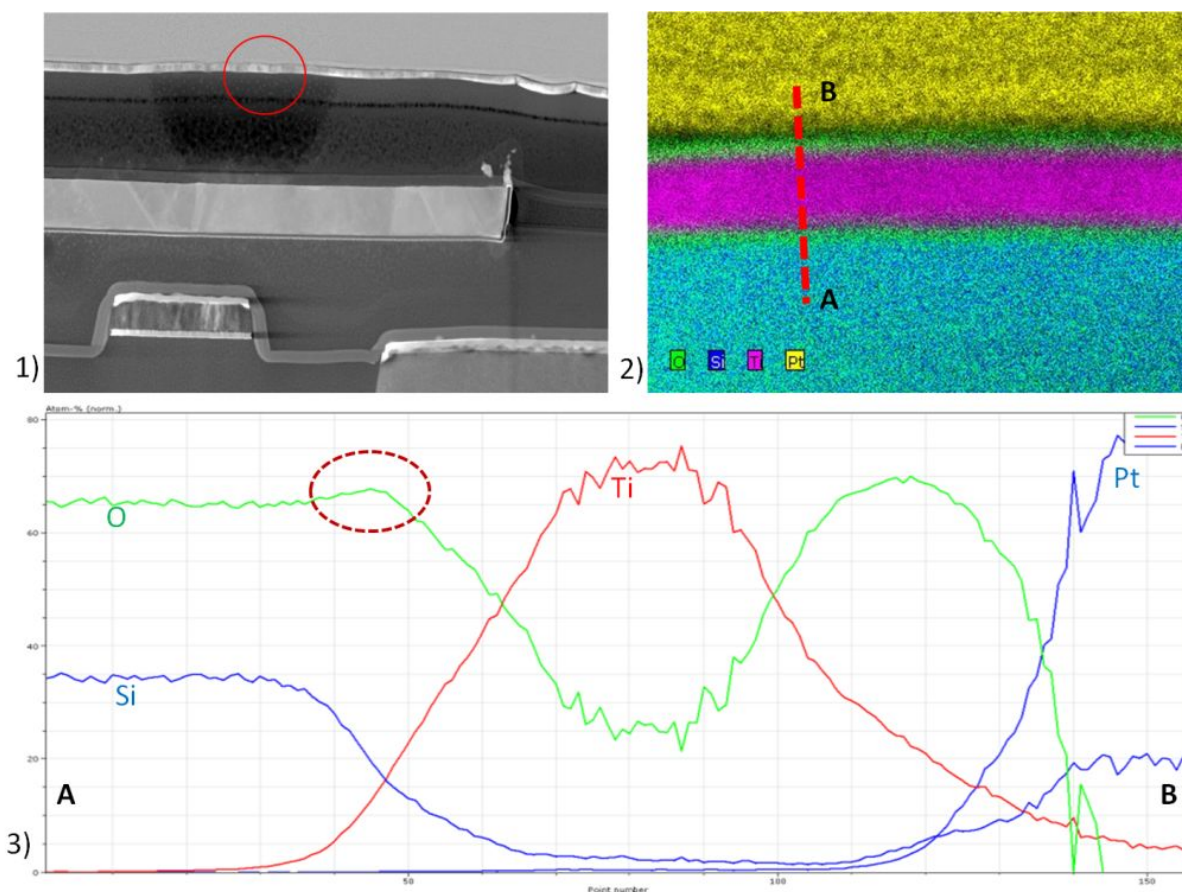


Figure 4-14 Coupe TEM et analyses chimiques correspondantes réalisées par ST-Microelectronics du canal d'un SET. Image TEM (1) avec la zone de canal en Ti analysée entourée en rouge. Les différents éléments sont mis en évidence dans l'image 2, avec l'oxygène en vert, le silicium en bleu, le titane en mauve, et le platine en jaune. Le pourcentage atomique de ces différents éléments a été indiqué suivant le segment [AB]. Les zones vertes au dessus et en dessous de la ligne de Ti sur l'image 2 sont caractéristiques de la présence de TiO_2 . Le pic entouré dans l'image 3 est probablement révélateur de la couche de TiO_2 .

Comme on peut le constater sur la Figure 4-15, il semble y avoir eu une « érosion » des faces supérieures et inférieures des jonctions engendrant la constriction de celle-ci. L'érosion de la face supérieure est attribuable à la gravure préférentielle du TiO_2 par rapport au Ti lors de la CMP. Mais celle de la face inférieure est encore mal comprise. On suppose que les diffusions du silicium en sont à l'origine, limitant la croissance de l'oxyde à proximité de l'interface Ti/SiO_2 , et créant ainsi une structure en forme d'arche. Une analyse chimique de la jonction a pu mettre en évidence la présence de silicium dans le TiO_2 (échantillon F878MD).

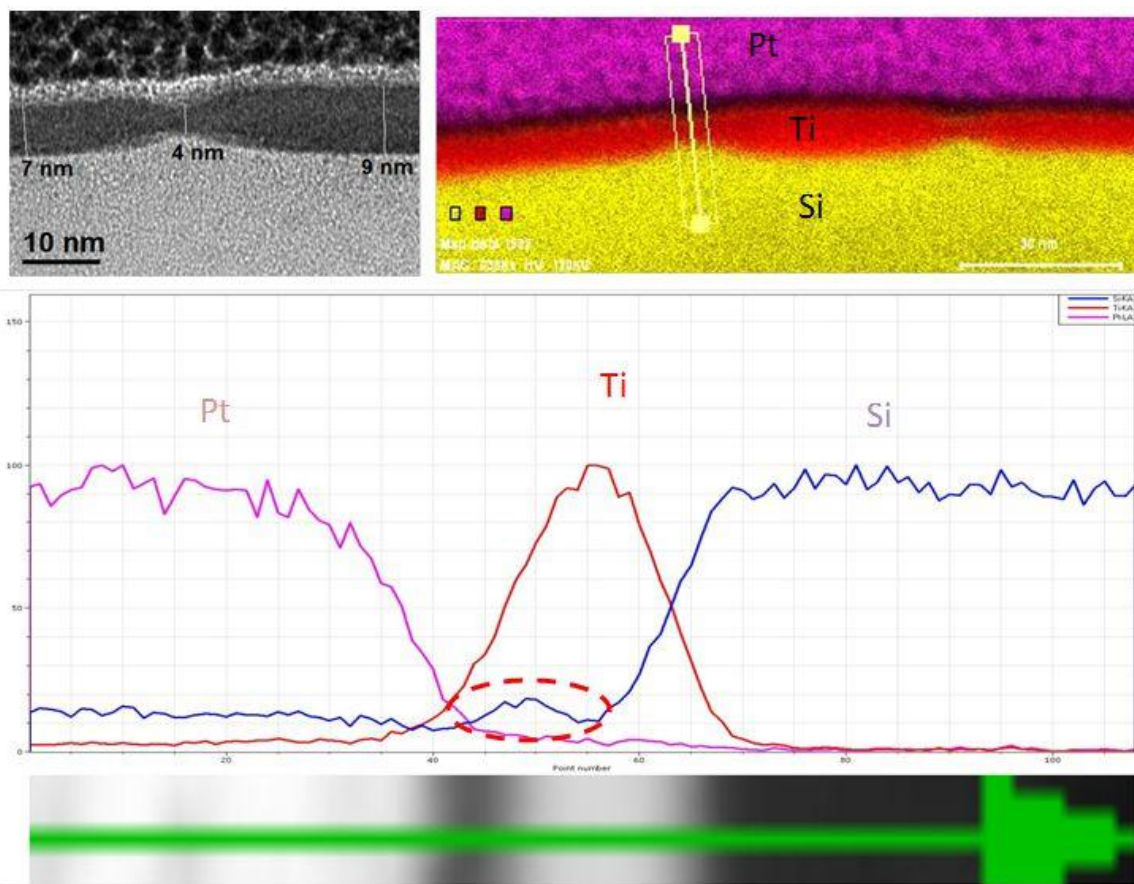


Figure 4-15 Image TEM en haut à gauche d'une vue en coupe d'un canal mettant en évidence le phénomène de constriction de la jonction tunnel. La coloration de l'image TEM en haut à droite met en évidence la nature des différents matériaux. Leur concentration au niveau d'une des jonctions tunnel (indiquée par le trait jaune) est montrée dans la figure du bas. Le pic de concentration de silicium entouré en pointillé dans la couche d'oxyde. Il est le signe d'une contamination de la jonction par des atomes de silicium. Analyses réalisées par ST-Microelectronics.

Nous avons pu observer, à travers l'étude des MIM, la grande variabilité de comportement des dispositifs fabriqués. Nous avons aussi vu que les caractéristiques électriques des MIM, affichant asymétries et hystérésis, ne pouvaient simplement être modélisées à l'aide d'une barrière rectangulaire. L'origine de ces problèmes tient à la nature des jonctions tunnel fabriquées. Il sera probablement nécessaire par la suite d'inclure dans le modèle une hauteur de barrière distincte à chaque interface afin de tenir compte de cet effet. Le problème des pièges devra lui être réglé en renforçant la qualité des jonctions (ex : dépôt de l'oxyde par ALD ou croissance in-situ) et en les protégeant efficacement (ex : couche de passivation). On constate néanmoins que la jonction peut correctement être modélisée à l'aide des modes de conduction Fowler-Nordheim et Schottky. La conduction thermoïonique semble d'ailleurs être prédominante à 300K dans les dispositifs fabriqués. Ces éléments seront pris en compte dans l'interprétation du comportement des SETs.

4.2.3 SET

Cette section présente une synthèse des caractérisations électriques effectuées sur deux séries de transistors SETs : F878 et G666. Les distinctions fondamentales entre ces dispositifs sont indiquées dans le Tableau 4-2. On remarquera que la série G666 implique des capacités de jonctions à priori plus faibles que celles de la série F878.

	Largeur moyenne du canal	Épaisseur d'oxyde estimée	Méthode de déposition du Ti	Ti	O	C
F878	50nm	8nm	Évaporateur Sloan	82%	9%	9%
G666	20nm	15nm	Évaporateur Intelvac	96%	<3%	~1%

Tableau 4-2 Distinctions principales entre les séries F878 et G666. Les mesures d'épaisseurs ont été tirées de vues en coupe TEM réalisées par ST-Microelectronics. Dans le cas de la méthode de déposition de Ti, la composition moyenne dans un dépôt a été précisée. L'analyse XPS a été réalisée par C. Sarra-Bournet.

Comme nous l'avons indiqué dans les sections précédentes, les jonctions tunnel présentent une variabilité importante du fait de la présence de pièges et de leur nature asymétrique. Précisons toutefois que le fonctionnement d'une structure MIMIM à la base du SET diffère de celui d'une simple structure MIM du fait du couplage par l'îlot central. Malgré la dispersion des résultats d'un transistor à l'autre, nous avons pu retenir quelques caractéristiques intéressantes sur certains dispositifs. Ces résultats serviront de base à nos analyses pour dresser des pistes d'amélioration du procédé en matière de reproductibilité.

- **Effet de la température sur les caractéristiques Id-Vd**

La Figure 4-16 présente les caractéristiques Id-Vd du transistor C-12 de la série F878 entre 78K et 300K. On peut noter que ce transistor présente des caractéristiques relativement symétriques avec un seuil de tension qui diminue lorsque la température augmente. A 300K, la structure MIMIM présente un comportement purement ohmique.

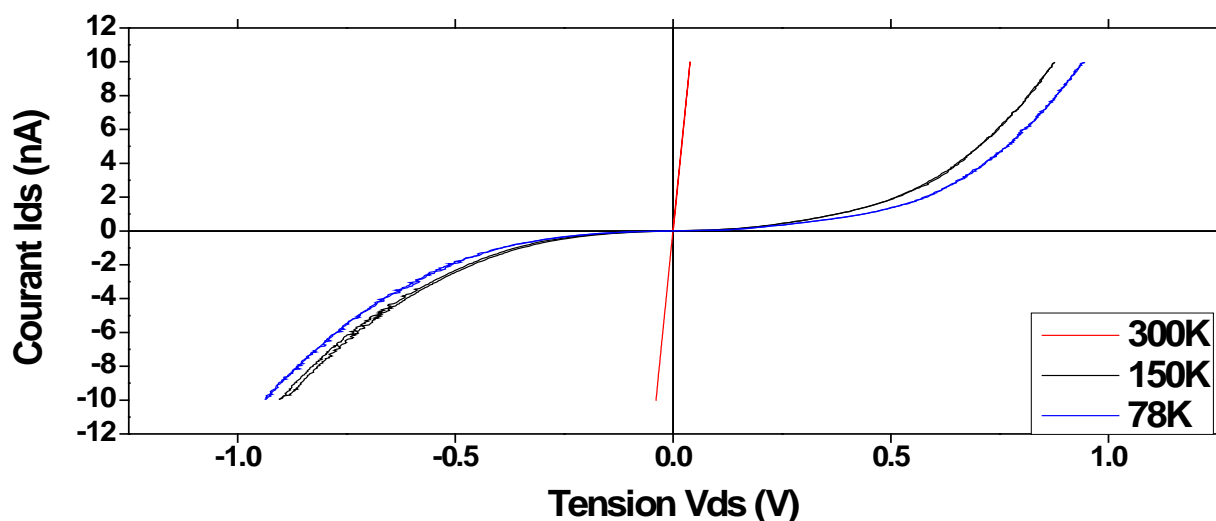


Figure 4-16 Caractéristiques $I_d(V_d)$ pour un SET en fonction de la température pour le SET F878-C12.

- **Effet de la polarisation de grille**

Le point important pour savoir si ce dispositif a un comportement de SET est de vérifier si la grille peut permettre de contrôler le courant à travers la structure MIMIM. Comme le montre la Figure 4-17 qui présente une caractéristique I_d-V_g sur le même dispositif, il n'y a aucun effet de commande de grille jusqu'à 20V. Les mesures ont été effectuées en obscurité, mais également sous éclairage afin de voir si le courant de la structure MIMIM pouvait être sensible à la lumière. On peut conclure de nos mesures que le courant est bien photosensible, mais qu'en revanche, la commande électrique par la grille n'est pas effective.

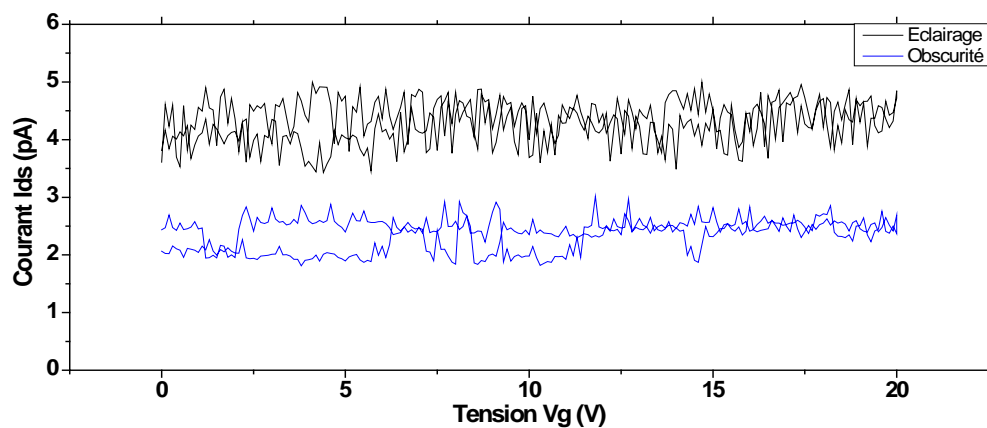


Figure 4-17 Caractéristiques $I_d(V_g)$ du SET F878-C12 à 78K pour $V_{ds}=200\text{mV}$. Les mesures ont été faites sous éclairage (courbe noire) et en obscurité (courbe bleue).

- **Effet des pièges sur les fluctuations de courant de drain**

Après avoir observé le courant à travers la structure MIMIM en fonction de la température puis d'une polarisation sur la grille, il est intéressant de s'attarder sur les variations temporelles de ce courant. Nous avons suffisamment d'éléments à partir des mesures sur les structures MIM pour penser que des pièges pouvaient être présents dans les jonctions tunnel ou à proximité. La Figure 4-18 présente les variations de courant sur le même dispositif que précédemment en fonction du temps pour une très faible polarisation de drain et à $V_g = 0V$. Sur les deux balayages temporels enregistrés, on peut observer des sauts de courant avec une amplitude d'environ 0,6 pA au point de fonctionnement choisi. Ce comportement est très reproductible et a été observé sur plusieurs dispositifs. Ces fluctuations discrètes, plus généralement connues sous le nom de bruit RTS (*Random Telegraphic Signal*) ou bruit télégraphique sont caractéristiques de la présence d'un nombre discret de pièges à proximité du canal de conduction. Compte tenu de la très faible section des jonctions tunnel de nos structures SETs, l'hypothèse de la présence d'un nombre discret de pièges actifs est tout à fait plausible pour interpréter nos observations.

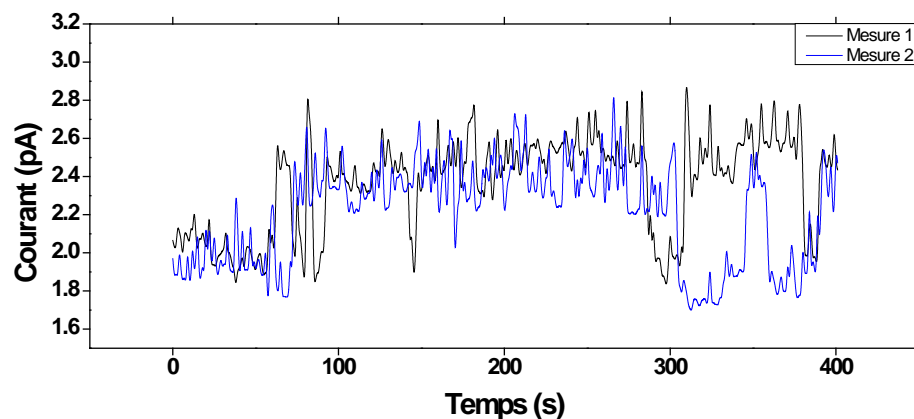


Figure 4-18 Caractéristique $I_d(t)$ pour $V_g=0V$ et $V_{ds}=200mV$ du SET F878-C12 à 78K.

En fonction des conditions de balayage utilisées, de la température et du dispositif étudié, ce bruit RTS peut être très bien mis en évidence et devient prépondérant. Ceci est illustré sur la Figure 4-19 pour le transistor F878-E10 mesuré à 78K.

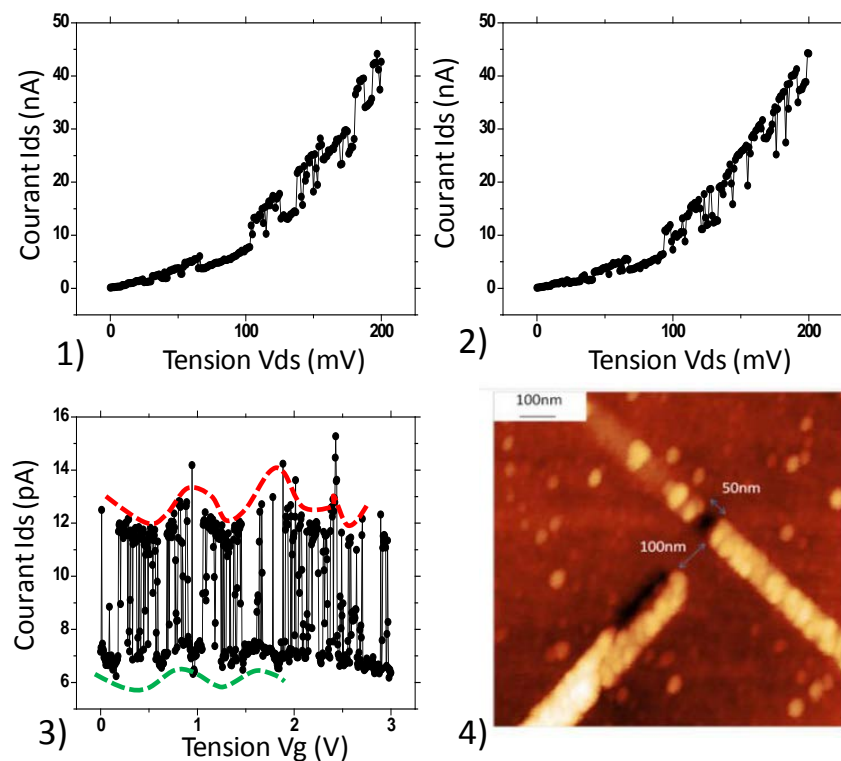


Figure 4-19 Caractéristiques électriques de F878-E10 à 78K : courant de drain en fonction de la tension de drain (1-2) et en fonction de la tension de grille pour $V_{ds}=100\text{mV}$ (3). Observation AFM du dispositif réalisée par C. Nauenheim (UdeS/INRS) (4).

Ce transistor F878-E10 présente un seuil à 78K comme le transistor F878-C12, mais avec un niveau de bruit beaucoup plus important dans nos conditions de mesure. Le bruit est également très visible et prépondérant dans les mesures I_d - V_g présentées dans la Figure 4-19. Ceci est probablement attribuable aux pièges discrets dans les couches TiO_x . Un résultat intéressant pour ce transistor peut également être observé sur les mesures I_d - V_g qui présentent clairement une modulation du courant en fonction de V_g . L'effet de la grille est donc mis en évidence sur ce transistor, bien que le niveau de bruit RTS soit relativement important.

- **Effet des pièges sur l'hystérésis**

Afin d'étudier la reproductibilité des mesures, nous avons fait de nombreuses caractérisations en utilisant des balayages aller-retour. Les résultats présentés dans la suite de cette section sur les SETs concernent la série G666 qui se distingue par rapport à la série F878 par des nanofils de Ti plus étroits et par l'appareil utilisé pour l'évaporation du Ti par faisceau d'électrons.

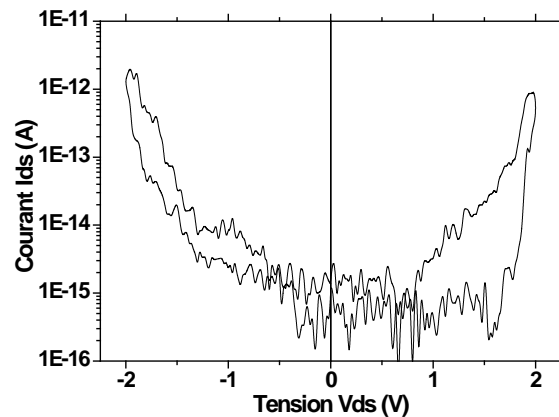


Figure 4-20 Caractéristique $I_d(V_d)$ du SET G666E-C3 à 300K.

La Figure 4-20 présente une caractéristique I_d - V_d aller-retour à 300K entre -2V et +2V sur le dispositif G666E-C3. Ces courbes présentent un décalage entre les balayages aller et retour, caractéristique de mécanismes de chargements. Il est à noter que ce mécanisme est observé sur la plupart des dispositifs mais avec un effet plus ou moins marqué. Nous avons également pu constater que le décalage n'est pas nécessairement identique selon le signe de la polarisation V_d . La présence d'hystérésis sur ces mesures conforte l'hypothèse des mécanismes de piégeage dans les jonctions de nos transistors SET.

Indépendamment de la présence de pièges dans les jonctions, une différence importante entre la série F878 et G666 réside dans l'épaisseur de ces dernières. L'augmentation de l'épaisseur de la jonction qui est estimée à 15 nm pour la série G666 contre 8 nm pour la série F878 explique que les niveaux de courants sont 3 ordres de grandeur plus faibles dans la série G666.

Une différence notable entre les deux séries de SET concerne également les sections des jonctions qui ont été estimées à $10 \times 50 \text{ nm}^2$ et $10 \times 20 \text{ nm}^2$ respectivement pour F878 et G666. Les SET de la série G666 présentent donc à priori des capacités de jonctions beaucoup plus faibles que celles de la série F878, d'autant que les épaisseurs de jonctions sont plus élevées pour G666. Les caractéristiques I_d - V_d du SET G666E-C3 à 300K en échelle linéaire montrent clairement un seuil. Il pourrait être attribué à du blocage de Coulomb.

- **Ionisation des pièges et « débloquer » du courant drain**

Comme précisé en début de section, un nombre important de SETs ont été caractérisés et beaucoup de dispositifs présentent des caractéristiques qui peuvent apparaître comme des courts-circuits ou des circuits ouverts. Toutefois, même sur les dispositifs qui présentent du courant sur la série G666, il faut une polarisation suffisamment élevée pour « débloquer » le courant. La Figure 4-21 permet d'illustrer le phénomène observé sur la série G666 à partir des courbes du SET G666I-E3. Ces mesures sont effectuées avec un balayage en courant et une mesure de tension. Lors d'une première mesure, on observe en courant positif que la tension finit par se stabiliser vers 2,6 V après un « over shoot » alors que le courant continue d'augmenter. Une deuxième mesure permet ensuite d'observer une caractéristique reproductible pour les balayages suivants. Il existe d'abord une zone bloquée, puis une augmentation quasi-linéaire de la tension en fonction du courant injecté.

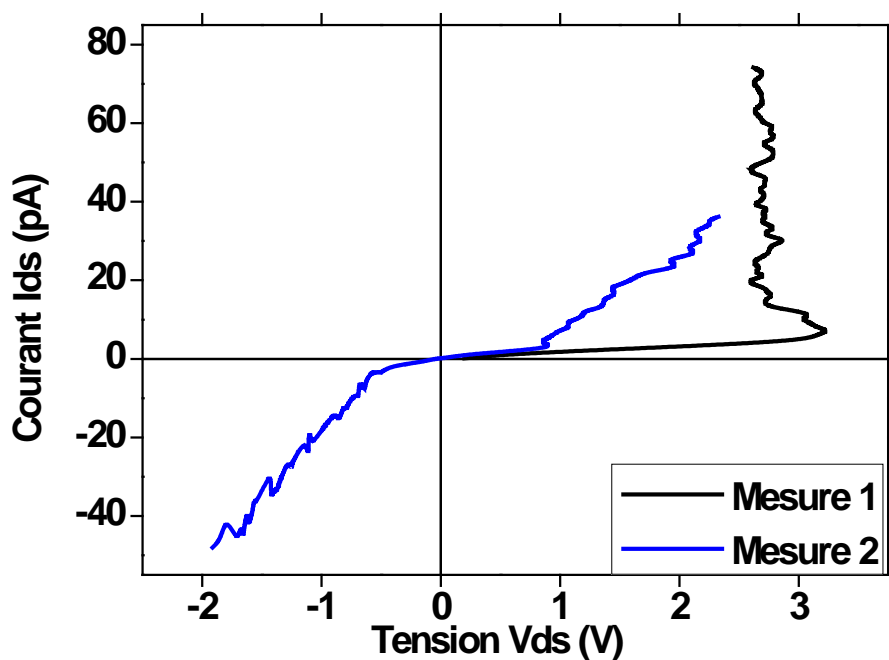


Figure 4-21 Caractéristiques $I_d(V_d)$ du SET G666I-E3 à 300K. Deux mesures ont été successivement effectuées.

Lorsque l'échantillon est mesuré plusieurs jours après une série de mesures, on retrouve la caractéristique de la mesure 1 de la Figure 4-29. Une des hypothèses pour expliquer ces observations serait que l'état occupé d'un ou plusieurs pièges dans les jonctions tunnel pourrait bloquer le courant. Au-delà d'un certain niveau, l'ionisation des pièges permettrait de « débloquer » le courant tant que les pièges restent à un état neutre.

Cette piste devrait encore être validée par des simulations. Nous avons toutefois veillé à utiliser une procédure « d'ionisation » des pièges par application d'un champ électrique suffisant lors de la première mesure sur chaque nouveau dispositif. Le mécanisme étant réversible, la procédure doit être renouvelée si l'échantillon n'est plus mesuré pendant plusieurs heures.

Lorsque l'on mesure les caractéristiques I_d - V_g sur le même transistor, on observe exactement le même phénomène.

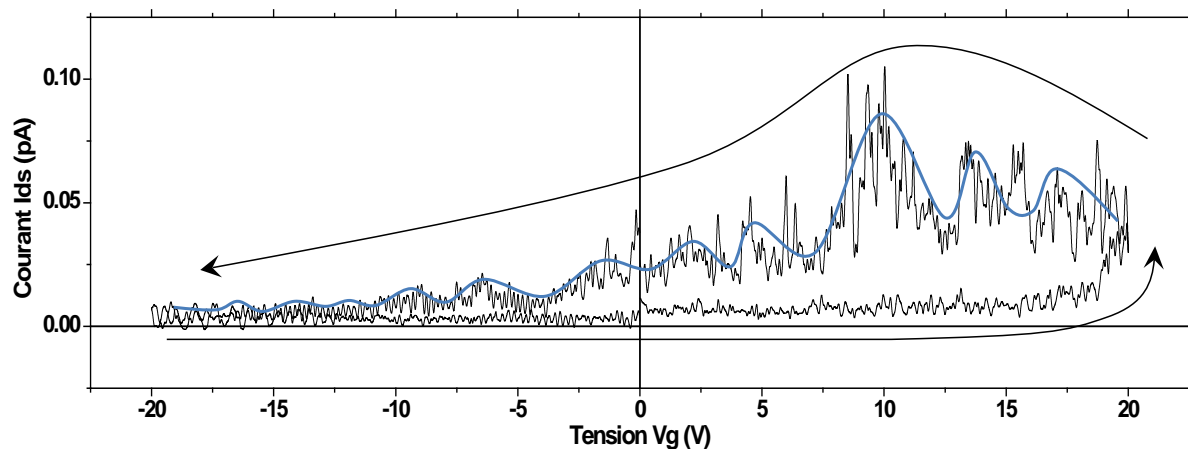


Figure 4-22 Caractérisation $I_d(V_g)$ du SET G666I-E3 à 300K, de -20V à +20V pour $V_{ds}=0,5V$.

La Figure 4-22 montre par exemple que lors d'un balayage jusqu'à $V_g = +20$ V, le courant de drain reste très faible (environ 10 fA pour $V_{ds} = 0,5V$). Nous observons en fait une augmentation du courant au-delà de 19 V, avant d'observer des oscillations en fonction de V_g sur le balayage descendant. Là encore, le phénomène ressemble à un mécanisme de dépiégeage mais qui serait cette fois-ci contrôlé par le champ électrique entre la grille et la source. Ce phénomène est lui aussi reproductible, visible cycle après cycle.

- **Blocage de Coulomb à température ambiante ?**

Nos travaux visent l'intégration de fonctions hybrides SET-CMOS et dans ce contexte, l'obtention du blocage de Coulomb à 300K est un enjeu majeur. La série G666 présente une architecture dimensionnée pour avoir des capacités de jonctions plus faibles avec l'idée d'augmenter la température d'opération par rapport à la série F878. La Figure 4-16 montrait que les SETs de la série F878 avaient un comportement ohmique à 300K, mais qu'une zone de blocage apparaissait très bien à 78K et 150K. N'étant pas en mesure de mettre en évidence une bonne commande du courant par la grille, il n'a pas été possible d'observer clairement des oscillations de coulomb que nous pouvions corrélérer aux dimensions des SETs.

Pour la série G666, les oscillations de la Figure 4-22 ont un pas moyen d'environ 3V, ce qui donne une capacité C_g d'environ 53zF. D'après les dimensions du SET mesurées par AFM, l'épaisseur de jonction serait comprise entre 7nm et 18nm. Par ailleurs, la largeur des lignes de Ti est d'environ 20 nm. Les mesures de résistivité effectuées sur les nanofils de la série permettent d'extraire une épaisseur de Ti d'environ 9nm. Ces données permettent d'estimer les capacités C_d et $C_s = 0,32$ aF. On en déduit alors une estimation de la capacité totale vue par l'îlot de 0,69 aF et une énergie de charge de 0,12 eV, soit une température d'opération théorique de 350K en utilisant le critère de fonctionnement $4k_B T$ (cf. 2.1.1).

Nous nous attendions a priori à observer des effets à plus haute température pour cette série G666. Comme l'illustre la Figure 4-23, le seuil observé sur les courbes I_d - V_d du dispositif G666E-D3 diminue lorsque la température est augmentée de 300K à 400K. Les niveaux de courant étant plus faibles, les mesures présentent du bruit mais il est clair sur cette figure que nous passons d'un comportement bloquant à un comportement pratiquement ohmique à 400K à faible V_d .

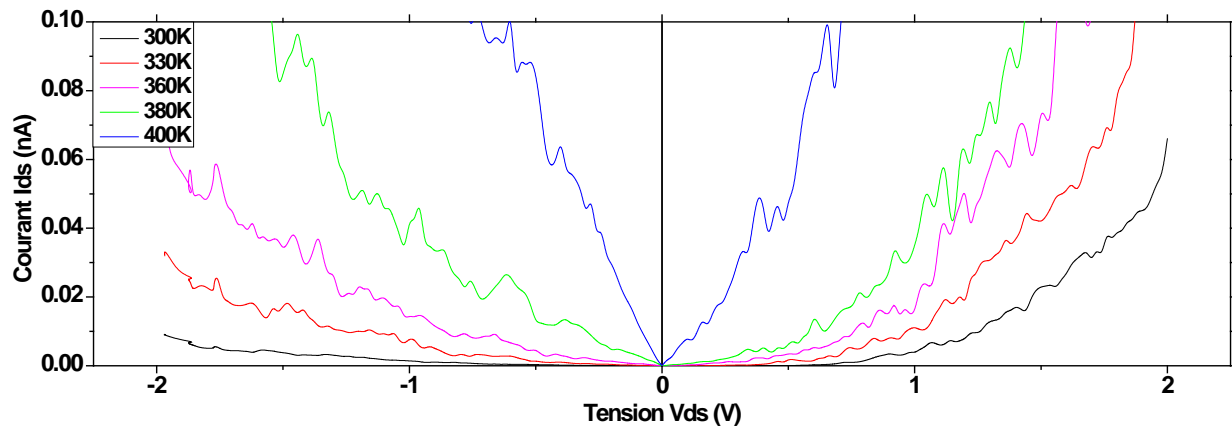


Figure 4-23 Caractérisations $I_d(V_d)$ pour le SET G666E-D3 à différentes températures.

Dans cette gamme de température, nous nous attendons à une forte prédominance du courant thermoionique par rapport au courant tunnel. En traçant $\ln(I/T^2)$ en fonction de T (formule du courant thermoionique) pour une tension $V_d = 1V$, nous pouvons extraire une hauteur de barrière de $0,15eV$. Cette valeur semble faible par rapport au $0,3 eV$ déterminés expérimentalement pour le TiO_x par C. Dubuc et al. (Dubuc et al., 2008). Néanmoins, nous avons un matériau de jonction avec une stœchiométrie non homogène avec une présence significative de pièges. Il paraît normal d'observer dans ce contexte une barrière plus faible.

Un tracé du courant de drain en fonction de V_d et V_g serait un moyen irréfutable de démontrer un effet de blocage de Coulomb dans nos dispositifs de la série G666. Ces tracés permettant de mettre en évidence des structures en diamant n'ont pas été possibles compte-tenu des très faibles niveaux de courant et du niveau de bruit.

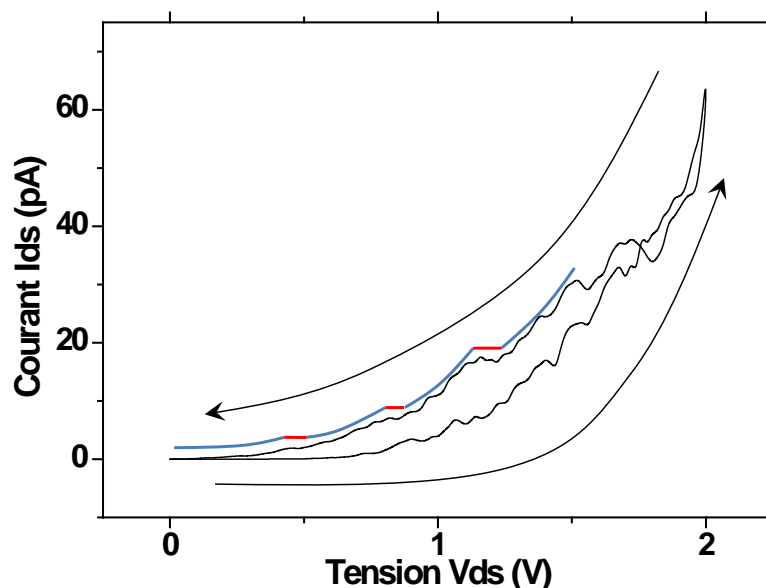


Figure 4-24 Caractéristique $I_d(V_d)$ du SET G666E-D3 à 300K.

La Figure 4-24 montre cependant que dans la courbe retour I_d-V_d du SET G666E-D3, on observe une structure en marche d'escalier avec des pas assez réguliers jusqu'à $V_d = 1,2$ V environ. Ces observations intéressantes doivent encore être exploitées pour bien identifier les mécanismes de transport dans nos SETs. Concrètement, nous pourrions conclure sur les dispositifs G666 si nous avions des niveaux de courant plus élevés. Cela pourrait se faire par une diminution de l'épaisseur des jonctions tunnel qui aurait comme effet d'augmenter la capacité totale de l'îlot et par suite, cela diminuerait la température d'observation du blocage de Coulomb. Un travail d'ajustement est donc encore nécessaire pour trouver un compromis qui permette de trouver un régime de fonctionnement avec des niveaux de courant acceptables (de l'ordre du nA). Il faudra de plus s'efforcer de réduire le nombre de pièges. On pourra à cette fin augmenter le contrôle sur l'oxyde des jonctions, par exemple : en contrôlant les propriétés de l'oxyde grâce à une déposition des jonctions par ALD, ou en réalisant une oxydation in-situ de l'îlot, après avoir éliminé l'oxyde natif à l'aide d'un plasma Argon, et en enchaînant immédiatement sur la déposition de la couche finale de titane. On cherchera aussi à éviter la contamination des jonctions, en déposant une couche de passivation à la surface après CMP.

Récemment, des dispositifs SET utilisant le même procédé ont été réalisés dans notre groupe avec des épaisseurs de jonctions réduites à 3 nm pour des mesures à basses températures, effectuées par Jean-Philippe Richard.

Comme illustré par la Figure 4-25 par le diagramme diamant, ces dispositifs montrent clairement un comportement typique d'un SET, et donc la présence d'un blocage de Coulomb. D'après les $I_d(V_d)$, ce blocage apparaît jusqu'à 25K.

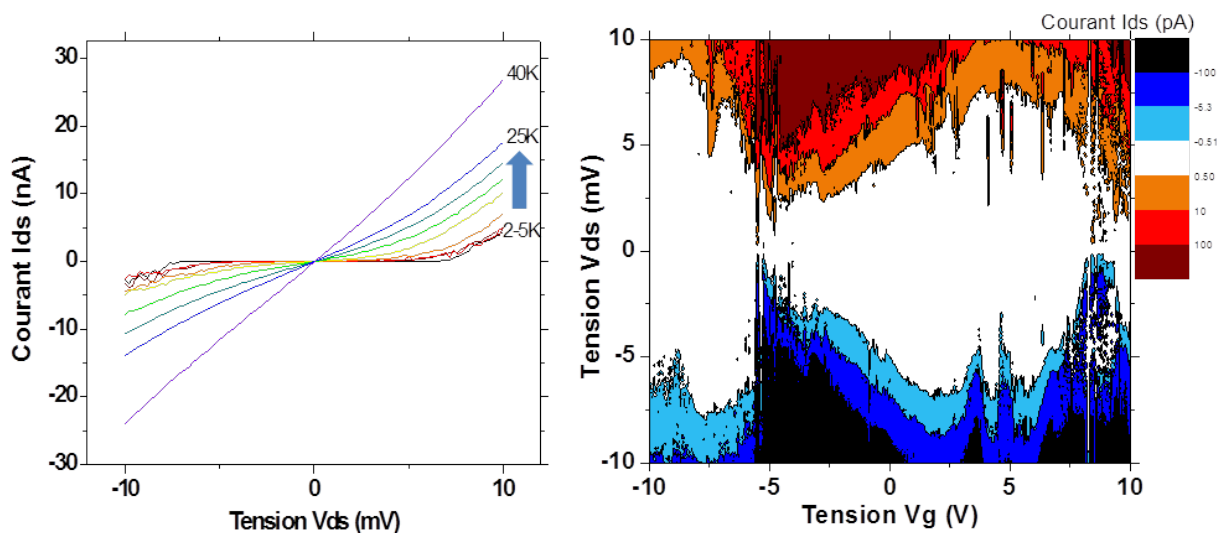


Figure 4-25 Caractéristique $I_d(V_d)$ à des températures de 2K à 40K (à gauche), et $I_d(V_d, V_g)$ à $T=1.5K$. Mesures effectuées par Jean Philippe Richard à l'Université de Sherbrooke.

- **Analyse approfondie des dysfonctionnements des SETs**

Les SETs mesurés pour G666 présentent de faibles niveaux de courant, un signal bruité, de grandes différences de comportement entre chaque dispositif, et surtout une asymétrie de la conduction en fonction de la tension de polarisation de drain.

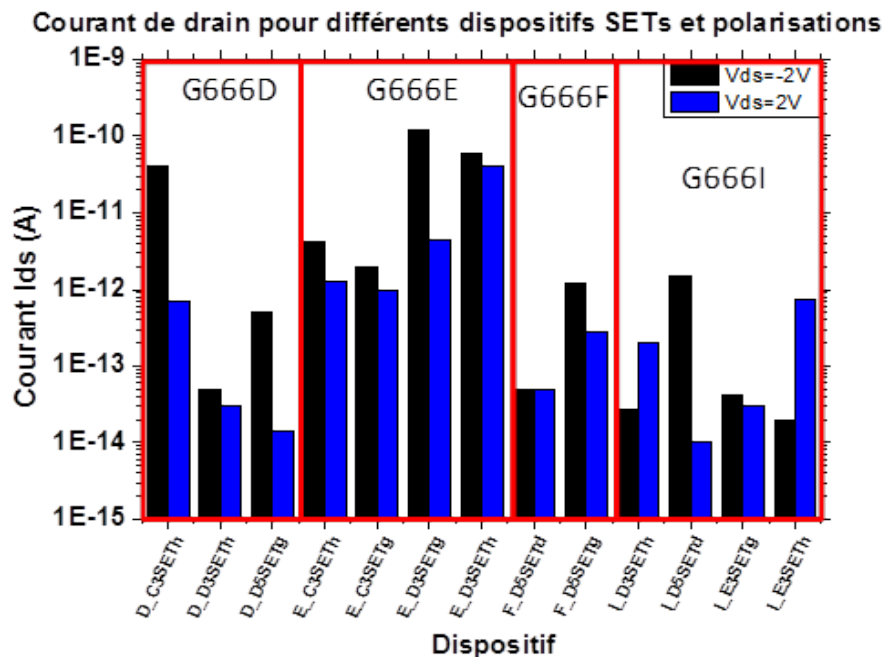


Figure 4-26 Présentation des niveaux de courants mesurés en polarisation positive et négative pour différents dispositifs SETs. Les éléments d'une même plaque sont regroupés entre eux.

Cette asymétrie du comportement est surprenante à priori car le processus de fabrication des SET, tel qu'il est décrit en 3.2 est supposé produire des jonctions tunnel identiques. Or, comme on peut le voir sur la Figure 4-26, la conductivité des SETs présente parfois plus deux ordres de grandeur de différence entre les tensions positives et négatives. Des simulations ont été effectuées sous cadence afin d'en étudier l'origine. Nous avons choisi de modéliser une structure MIMIM par deux MIM en série. Le comportement de la MIM est reproduit à l'aide d'une modélisation basique de l'allure de la caractéristique présentée dans la Figure 4-9.

Comme on peut le voir dans la Figure 4-27-3, dans le cas où les MIMs ont mêmes caractéristiques et sont disposées symétriquement par rapport à l'îlot, le comportement de la structure MIMIM est bien symétrique. Une rupture notable de la symétrie n'apparaît que dans les cas où une des jonctions tunnel est bien plus résistive que l'autre, et donc contrôle la réponse du dispositif (Figure 4-27-4), ou dans le cas où les jonctions tunnel sont « alignées » (Figure 4-27-5). Mais ceci implique que les jonctions sont fondamentalement différentes l'une de l'autre. Autrement dit, les jonctions tunnel fabriquées peuvent présenter une grande variabilité, même lorsqu'elles ne sont séparées que de quelques nanomètres.

L'hypothèse considérée la plus probable serait la présence d'un angle lors du dépôt de Ti, dû au fait que la technique de déposition par évaporation est directionnelle, et au décentrage de l'échantillon par rapport à la source. La légère asymétrie résultante de l'îlot pourrait être à l'origine du comportement distinct des jonctions tunnel. Une autre possibilité pourrait être le piégeage de particules dans les jonctions après leur création dû à leur exposition à l'air avant le dépôt de la couche finale de Ti. Le côté aléatoire de la formation des pièges serait alors à l'origine de la grande variabilité de comportement des jonctions. Il devrait être possible de prévenir cet effet en limitant l'exposition à l'air de l'échantillon après le dépôt de l'îlot. Cela reviendrait par exemple à placer l'échantillon dans une enceinte sous vide, et à faire successivement un nettoyage au plasma argon pour enlever l'oxyde natif, une oxydation par plasma O_2 pour la création des jonctions, et le dépôt de la couche de Ti de 150nm.

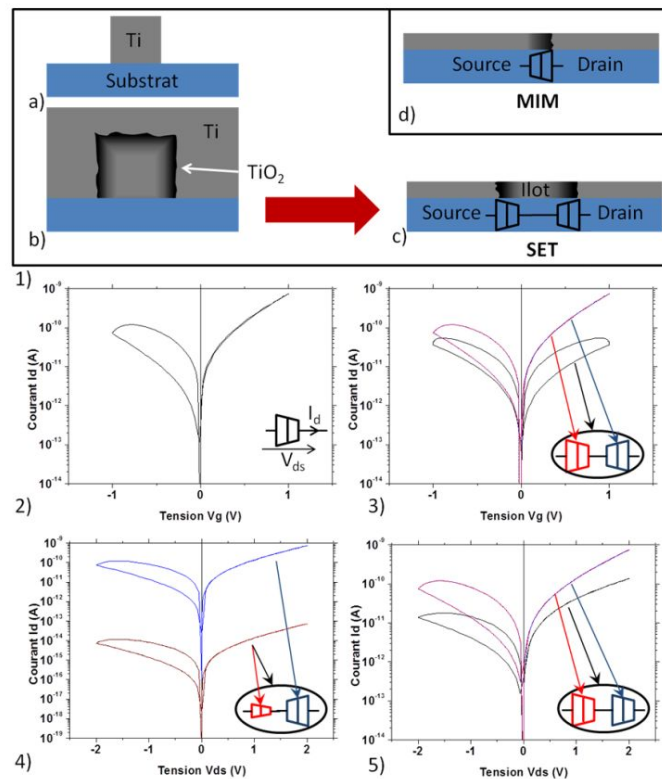


Figure 4-27 Illustration du procédé de fabrication de SET par une vue en coupe du canal, avec dépôt de l'îlot (1a), oxydation et dépôt d'une couche de Ti (1b) et CMP (1c). De par sa fabrication, le SET ressemble donc à deux MIMs en série tête-bêche. La figure 2 présente le résultat de la modélisation du comportement d'une MIM. Le dessin utilisé pour sa schématisation sert à indiquer le sens de passage préférentiel du courant. Les figures 3 à 5 correspondent à des simulations de MIMs individuelles (courbes rouges et bleues), et d'un SET réalisé par la mise en série de ces deux composants. Figure 3, les MIMs sont identiques, mais placées en opposition. Figure 4, les MIMs sont placées en opposition, mais l'une est beaucoup plus résistive que l'autre. Figure 5, les MIMs sont identiques, mais orientées dans le même sens.

Le comportement des jonctions tunnel des SETs est fortement affecté par la présence de pièges. Les phénomènes de chargement/déchargement des pièges ont un double effet sur les SETs : ils affectent le niveau de courant dans le dispositif et provoquent un décalage en tension des caractéristiques. En effet, la modification de l'état de charge des pièges provoque une variation de la hauteur de barrière des jonctions, affectant leur transparence tunnel, et donc la conductivité du SET. Mais les charges piégées à proximité de l'îlot agiront aussi comme des tensions de grille parasites et auront pour effet un décalage des caractéristiques. Le principe est similaire à celui d'une SEM (2.3.1), mais cette fois, sans la possibilité de contrôler l'état de charge du piège.

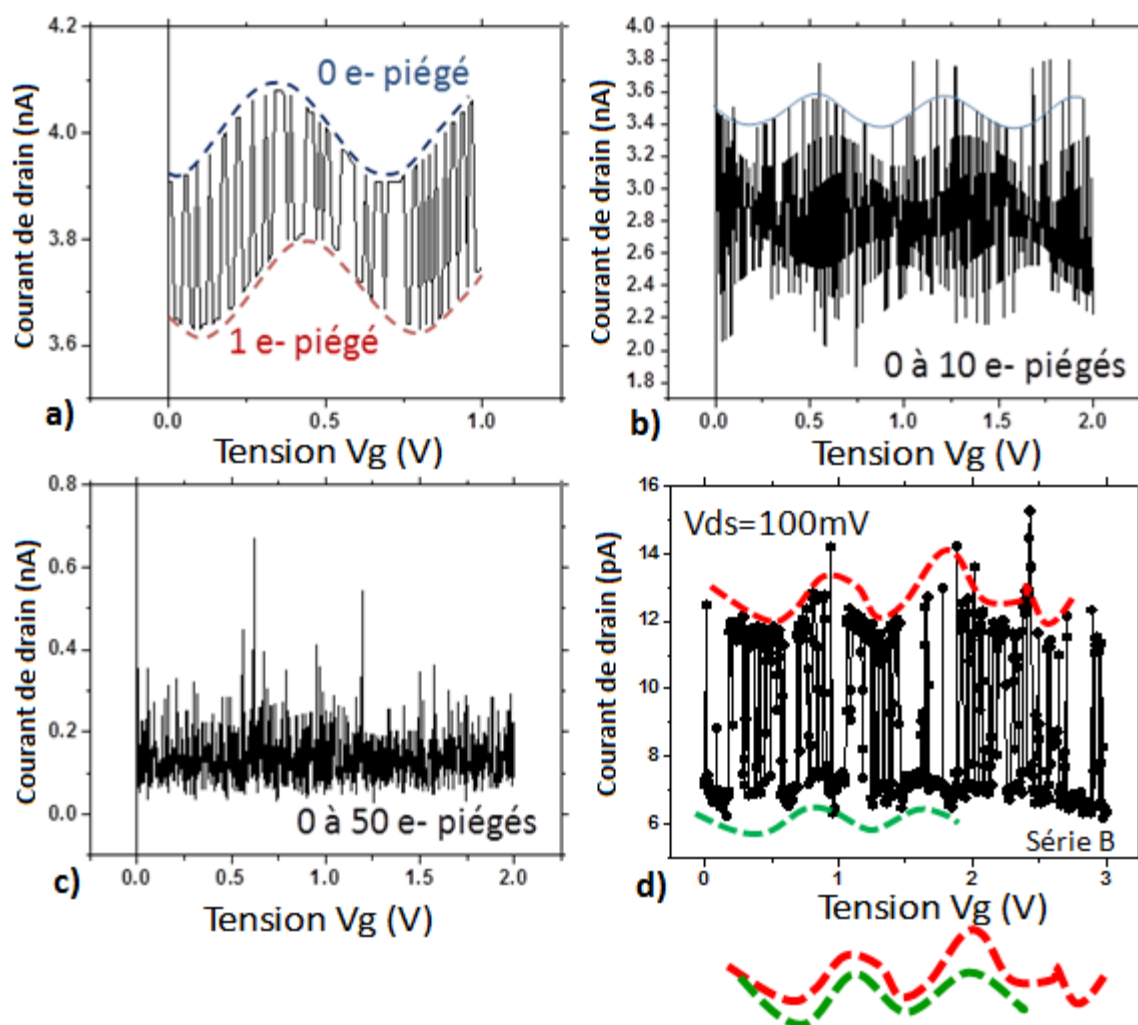


Figure 4-28 Illustration de l'impact des pièges sur le fonctionnement d'un SET. Si seul un électron peut être piégé (a), deux niveaux d'oscillations de Coulomb sont visibles et correspondent chacun à un état de charge. Les oscillations sont décalées l'une par rapport à l'autre. La visibilité des oscillations diminue avec le nombre d'électrons pouvant être piégés. Pour 10 électrons (b), les oscillations sont visibles, mais plus difficilement reconnaissables. Elles sont complètement noyées dans le bruit pour 50 électrons (c). Courant de drain en fonction de la tension de grille pour le SET F878-E10 à 78K. Les courbes rouges et vertes ont été superposées en dessous pour offrir une comparaison de la forme des oscillations.

Des simulations ont été effectuées avec une version modifiée de MARSSEA incorporant l'impact des pièges. Le modèle utilisé prend en compte le nombre d'électrons pouvant être piégés, la probabilité d'occupation des pièges, leur impact sur le potentiel de l'îlot, et sur la hauteur de barrière des jonctions tunnel. Techniquement, à chaque instant, l'état d'occupation des pièges est évalué. La présence d'un électron dans un piège entraîne une augmentation de la hauteur de barrière. Les pièges sont reliés à l'îlot par une capacité parasite C_p . La variation du potentiel entraîné sur l'îlot est donc équivalent à ne/C_p avec ne le nombre d'électrons piégés. On peut observer l'effet des pièges sur le comportement du SET dans la Figure 4-28 a) – c). Si le nombre de pièges actifs à proximité de l'îlot est suffisamment faible, les oscillations de Coulomb peuvent être distinguées. Au contraire, elles deviennent complètement noyées dans le bruit dans le cas où la quantité de pièges devient trop importante.

Le bruit provoqué par les pièges est trop important pour pouvoir observer des oscillations de Coulomb lors des caractérisations $I_d(V_g)$ pour la plupart des dispositifs SETs fabriqués. Toutefois, la descente en température a permis d'observer un signal caractéristique de l'activité d'un nombre réduit de pièges. La Figure 4-28 d) illustre l'exemple d'un tel dispositif. La caractéristique I_d-V_d présente deux conductivités distinctes pour le SET. Les brusques transitions entre ces deux états de conduction sont signes de la présence d'un piège à proximité de l'îlot. Toutefois, il est probable que le passage d'un état à l'autre soit dû, non pas à une variation du blocage de Coulomb, mais plutôt à des changements de résistance des jonctions tunnel. La caractéristique I_d-V_g (Figure 4-19-3) montre aussi ce bruit télégraphique. Cette mesure est assez semblable à la simulation présentée sur la Figure 4-28-a pour 1 seul piège. Il est possible d'identifier une oscillation des plateaux supérieurs et inférieurs. Comme dans le cas des simulations, on constate que ces oscillations sont décalées l'une par rapport à l'autre. Elles sont aussi régulières et de période semblables. Il est donc envisageable qu'elles soient caractéristiques d'oscillations de Coulomb. Il est possible à l'aide de la période des oscillations (ΔV_g), d'estimer la valeur de la capacité de grille (C_g). En effet, à l'aide des équations (2-2) et (2-3), on peut établir que $\Delta V_g = e/C_g$. Si on compare les valeurs de la période des oscillations obtenues dans la Figure 4-19 (0,75V) avec les dimensions physiques extraites de caractérisations AFM, on trouve une capacité de grille similaire pour une épaisseur de 12nm, ce qui peut être cohérent avec nos dispositifs.

Nous avons pu mettre en évidence la bonne réponse des SETs en fonction de la température, ainsi que la présence d'un contrôle de la grille sur le fonctionnement des dispositifs. Toutefois, la présence de pièges, et d'une certaine asymétrie au niveau des jonctions n'a pas permis l'identification claire d'oscillations de Coulomb. Ces problèmes devront être levés avant de s'atteler à l'étude de la fabrication de SETs intégrés à des circuits (influence des interconnexions et des composants adjacents). C'est pourquoi nous avons choisi d'aborder ici cette étude à l'aide de simulations, afin de servir de base aux futurs efforts de fabrication.

4.3 Application à la modélisation de circuits hybrides

Nous allons proposer ici une étude des contraintes d'espacement nécessaire au bon fonctionnement des SETs en circuit, en nous basant sur la réalisation de simulations COMSOL pour l'obtention des valeurs des capacités, et de SIMON pour une estimation de l'impact porté au fonctionnement du SET.

Une étude de circuits hybrides va ensuite être effectuée. Il faut noter que la présence de pièges au cœur des jonctions n'a pas permis la réalisation de SETs suffisamment fiables pour pouvoir former des circuits hybrides avec des transistors MOS. Toutefois, il est possible d'anticiper les résultats qui pourront être obtenus si ce problème parvient à être résolu, à l'aide de simulations en prenant pour bases les paramètres physiques qui ont pu être atteints. Nous présenterons aussi les résultats de circuits hybrides pour des SETs au dimensionnement agressif, que l'on projette pouvoir atteindre à l'aide de l'ALD. Les paramètres de ces deux types de composants sont indiqués dans le Tableau 4-3. Ces simulations permettront d'orienter le choix dans la réalisation future de circuits hybrides.

	h (nm)	l (nm)	L (nm)	e (nm)	d (nm)	C_{JT} (aF)	C_G (aF)
SET_A	5	20	30	8	65	0.33	0.08
SET_B	2	10	30	8	26	0.064	0.08

Tableau 4-3 Caractéristiques physiques démontrées (SET_A) et projetées (SET_B) pour les transistors SET fabriqués par procédé nanodamascène. On utilisera par défaut une hauteur de barrière de 0.3eV, et une permittivité relative de 3. Les autres paramètres sont la hauteur et largeur du canal (h et l), la largeur de l'îlot (L), l'épaisseur de la jonction tunnel (e), et la distance entre l'îlot et la grille (d). Les capacités sont calculées à partir de ces paramètres.

4.3.1 Contraintes sur le pitch

Le fonctionnement d'un SET est basé sur la capacité de la grille à polariser correctement l'îlot. Toute perturbation électrostatique par effet capacitif d'éléments parasites peut ainsi causer un dysfonctionnement du dispositif. C'est pourquoi le fonctionnement correct d'un SET ne peut être assuré que si son isolation est suffisante, ou, dit autrement, si la distance le séparant des autres éléments est supérieure à une valeur donnée. C'est justement celle-ci que nous allons essayer de déterminer, en calculant l'évolution de la perturbation engendrée sur un SET par différents types de dispositifs parasites.

L'introduction des éléments parasites se traduit par l'ajout des capacités C_i et tensions V_i correspondantes. Les C_i sont fonction de la géométrie des éléments, et de leur distance à l'îlot, et V_i indique les tensions utilisées à l'activation des éléments parasites. On les fixera à 0,43V pour les différents éléments, ce qui correspond aux V_{dd} utilisés pour le MOS ultime en circuit basse consommation. Si on pose $P = \frac{\sum C_i V_i}{C_G V_G}$ avec C_G la capacité de grille, et V_G la tension de grille pour mettre le SET dans l'état ON, on observe un décalage des oscillations de Coulomb en fonction de la valeur de P (cf. Figure 4-29). La limite à fixer sur P , et donc sur l'espacement entre les éléments et/ou sur les tensions utilisées, est fonction du facteur de qualité des oscillations de Coulomb. Plus le facteur de qualité est grand, moins on peut se permettre de décalage. Dans l'exemple montré ci-dessous, $P < 25\%$ impliquerait une variabilité de moins de 5% de la conductivité, et $P < 10\%$ une variabilité de moins de 1%. On choisira par la suite le critère $P < 10\%$. Il pourrait aussi être possible de contourner le problème en faisant en sorte d'avoir $C_i V_i = 2C_G V_G$ pour chaque élément parasite. Les oscillations de Coulomb seraient ainsi précisément décalées d'une période en cas de polarisation d'un de ces éléments, ce qui dans les faits est équivalent à l'état sans perturbations. Toutefois, pour que ce principe puisse fonctionner, il faudra s'assurer au préalable que pour le dispositif considéré, la polarisation de l'îlot n'affecte pas la hauteur de barrière des jonctions, ou, dit autrement, que la conductivité du dispositif est invariante au fil des cycles. Ce dernier point est encore mal compris, les résultats expérimentaux présentant des

SETs à conductivité invariante (Beaumont et al., 2009), (Ono et al., 2000) ou variable (Nakamura et al., 1996), (Shirakashi et al., 1998) en fonction des cycles. De plus, afin de répondre à cette condition, des capacités parasites de l'ordre de la capacité de grille seraient nécessaires, impliquant une capacité totale élevée pour l'îlot, et donc une forte baisse de la température de fonctionnement.

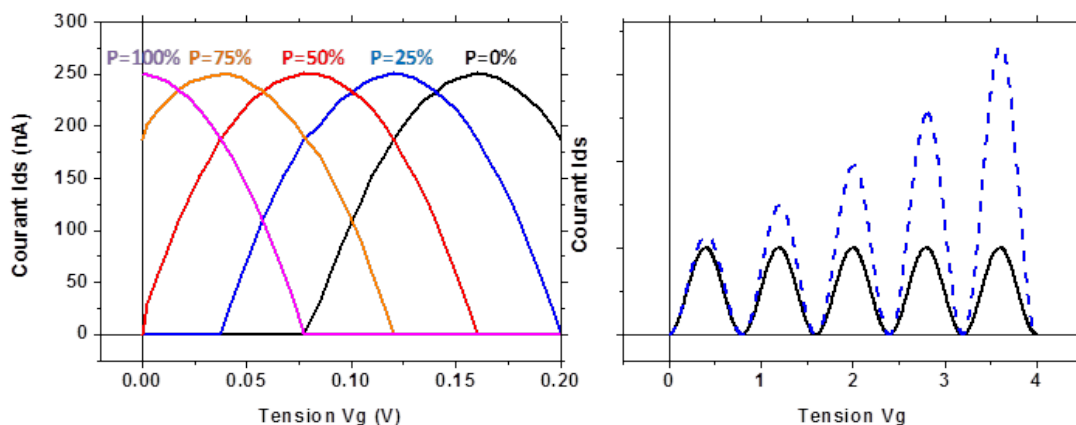


Figure 4-29 A gauche, $I_d(V_g)$ illustrant le décalage des oscillations de Coulomb en fonction de P . A droite, $I_d(V_g)$ présentant le cas d'un SET dont la hauteur de barrière est invariante avec la polarisation de l'îlot en trait plein, et le cas d'un SET dont la conductivité augmente au fil des cycles en pointillé.

Les différents éléments considérés sont :

- Le SET étudié (SET-A), est caractérisé par son îlot $2 \times 10 \times 20 \text{ nm}^3$ en Ti, ses jonctions tunnel $2 \times 10 \times 8 \text{ nm}^3$ en TiO_2 et sa capacité de grille $2 \times 25 \times 20 \text{ nm}^3$ en SiO_2 . Le SET est fabriqué dans une couche de SiO_2 de 100nm d'épaisseur. On considèrera la présence de couches d'ULK au dessus et en dessous. On a choisi une valeur de 1.99 pour leur permittivité, ce qui correspond à la constante diélectrique moyenne prévue par l'ITRS-2011 pour 2022.
- Les SETs parasites. Leur influence sur le SET étudié peut être réduite en première approximation à celle de leur canal polarisé. Ils seront donc caractérisés par un canal de section $2 \times 10 \text{ nm}^2$. L'étude sera portée sur l'espacement entre l'extrémité du canal et le SET-A. Le canal aura une polarisation de 0,26V. Ces SETs ne sont pas directement connectés au SET-A.

- Les FETs. On approximera l'influence d'un FET sur l'îlot à celle de sa grille polarisée à 0,57V ou 0,43V. On travaillera avec une technologie 32nm.
- TSV (*Through-Silicon Via*). On considèrera des TSV de $140 \times 140 \times 600 \text{nm}^3$ (Rousseau, 2009), polarisée à 0,57V ou 0,43V.

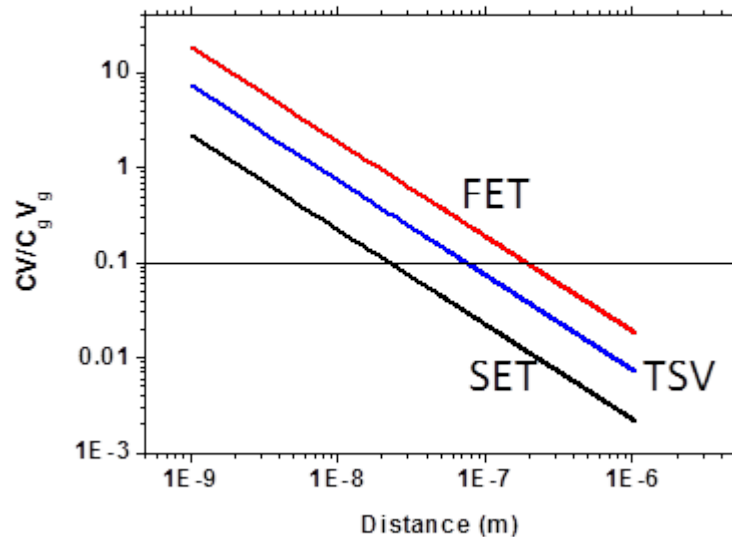


Figure 4-30 Rapport entre l'influence des éléments parasites SET/TSV/FET sur l'îlot d'un SET et celle de sa grille, en fonction de leur éloignement à l'îlot.

Il est possible de voir sur la Figure 4-30 l'influence des différents éléments parasites en fonction de leur éloignement au SET. Dans ce graphique, $CV/C_g V_g$ correspond au terme P décrit plus haut, mais pour un seul élément parasite. Les distances minimales pour chaque élément sont indiquées dans le Tableau 4-4. La valeur totale de P pour un SET correspond à la somme des $CV/C_g V_g$ pour tous les éléments perturbateurs. Ainsi, si seule une TSV se trouve à proximité d'un SET, et que la distance les séparant est de 79nm, on a bien $P < 10\%$ et une influence négligeable sur le comportement du dispositif. Au contraire, si sont disposés autour du SET à la fois une TSV à 79nm, et un FET à 200nm, la valeur totale de P devient 20%, et l'impact de ces composants sur les oscillations de Coulomb du SET est alors conséquent. Il faudra dans ce cas éloigner les structures pour ramener P en dessous de 10%. Par exemple : 150nm pour la TSV, et 390nm pour le FET. Cet outil permet ainsi d'obtenir rapidement une idée des dimensionnements nécessaires au bon fonctionnement du SET. Il est à noter que dans le cas du FET, cette distance est liée à l'épaisseur de l'ULK.

Dispositif perturbateur	SET	TSV	FET
Distance à l'îlot ($CV/CgVg = 10\%$)	23nm	79nm	200nm

Tableau 4-4 Valeurs de distance minimum entre l'élément perturbateur et l'îlot d'un SET pour avoir $P = 10\%$, tirées de la Figure 4-30.

4.3.2 Simulation de circuits hybrides

Nous allons maintenant nous intéresser à la simulation du comportement de différents circuits hybrides, en utilisant les paramètres des SETs donnés dans le Tableau 4-3. Les circuits simulés sont un circuit série SET-MOS, un circuit parallèle SET-MOS, une porte OR, et enfin une mise en série d'un inverseur SET avec un inverseur MOS. Les circuits série et parallèle SET-MOS sont parmi les plus simples, et feront donc probablement parti des premiers réalisés. Ils ne comprennent en effet qu'un transistor SET et un transistor MOS. Au contraire, il est probable que la porte OR et les inverseurs en série ne soient réalisés que plus tard, car ils nécessitent d'être en mesure de créer des transistors aux caractéristiques semblables avec un taux élevé de réussite. Nous utiliserons ici une technologie CMOS 22nm en nous basant sur le modèle PTM HP. Une version verilog de MARSSEA développée par A. Bounouar a été utilisée pour la simulation des SETs (Bounouar et al., 2012).

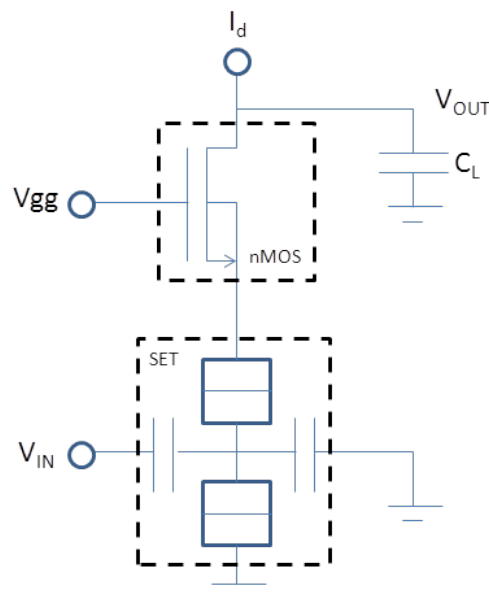


Figure 4-31 Schématisation d'un circuit hybride SET-MOS en série. Avec V_{gg} et V_{IN} les sources de tension, et I_d la source de courant. $I_d=1.3nA$ et $V_{gg}=350mV$.

Les résultats des simulations à 300K pour un signal d'entrée en créneau sont présentés dans la Figure 4-32. On peut observer que, même dans le cas d'un SET dont les paramètres physiques sont tirés des réalisations expérimentales de ce projet, où les dimensions des SETs étaient relâchées, le signal de sortie est aisément mesurable. Il varie alors entre 100mV et 150mV. La réduction des dimensions permet évidemment une forte amélioration de l'amplitude du signal de sortie. Les consommations prévues pour ce circuit sont de 16pW avec SET_A et 74pW avec SET_B.

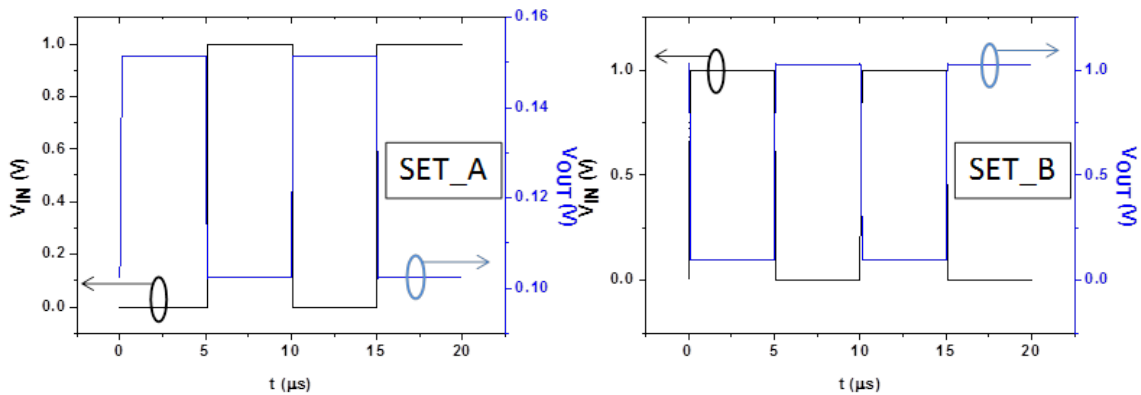


Figure 4-32 Simulation du circuit hybride SET-MOS à 300K dans le cas d'un SET aux caractéristiques démontrées lors de ce projet (SET_A), et d'un dispositif anticipé (SET_B). La tension d'entrée (V_{IN}) et de sortie (V_{OUT}) sont indiquées en fonction du temps.

Une étude de l'impact des différents paramètres du circuit a été réalisée en prenant pour base le transistor SET_B. Elle met en évidence une forte amélioration des performances du dispositif dès que la capacité des jonctions devient inférieure ou égale à 0,3 aF. La diminution de la capacité de grille permet aussi une amélioration du signal de sortie, mais implique une augmentation des tensions d'entrées nécessaire au fonctionnement du circuit, ce qui se traduit par une perte de gain. Dans l'exemple présenté ici, le gain maximum est obtenu pour $C_G=1.4\text{aF}$, soit un gain de 93% et une tension d'entrée de 560mV. Une diminution des capacités des jonctions utilisées devrait pouvoir permettre une augmentation du gain. Les résultats de ces simulations permettent aussi d'identifier les courants et tensions de commande du nMOS optimums pour le SET utilisé. Si on emploie la norme $N = \frac{V_{OUT}^{ON} - V_{OUT}^{OFF}}{V_{OUT}^{ON}}$ on obtient un maximum pour $I_d=1.3\text{nA}$ et $V_{gg}=350\text{mV}$.

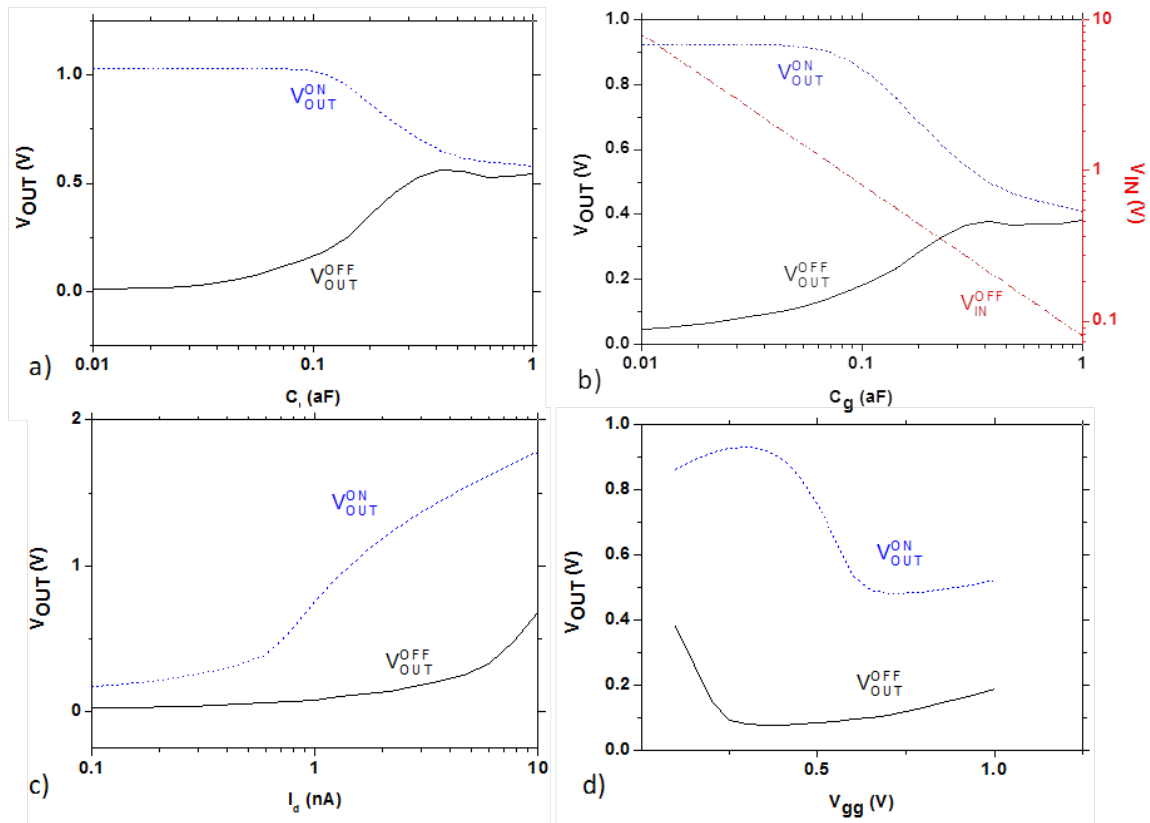


Figure 4-33 Etude de l'impact sur les tensions de sortie en mode ON et OFF, de la valeur de la capacité des jonctions tunnel du SET (a), de sa capacité de grille (b), de l'amplitude de la source de courant (c) et de la tension de contrôle du nMOS (d). On utilise comme base les paramètres de SET_B. Dans le cas de l'étude de la capacité de grille, l'impact sur la tension d'entrée V_{IN}^{OFF} a été précisé (sachant que $V_{IN}^{ON} = 0V$)

La réalisation d'un circuit hybride SET-MOS en parallèle donne elle des résultats bien moins attrayants. En effet, comme le montre la Figure 4-34, si un SET au dimensionnement agressif (Figure 4-34-c) permet d'avoir des caractéristiques électriques convenables, le résultat se dégrade rapidement avec l'augmentation de la capacité des jonctions tunnel. A tel point que, pour un SET aux dimensions réalisées au cours de ce projet, la différence entre l'état ON et l'état OFF du dispositif ne serait probablement pas visible à 300K. La consommation mesurée pour le circuit utilisant SET_B est de 1.6nW, majoritairement dominée par la consommation du nMOS 1.25nW, contre 346pW pour le SET. On peut enfin noter que le temps de réponse de ce dispositif est bien meilleur que celui du circuit précédent (environ 50 fois plus rapide).

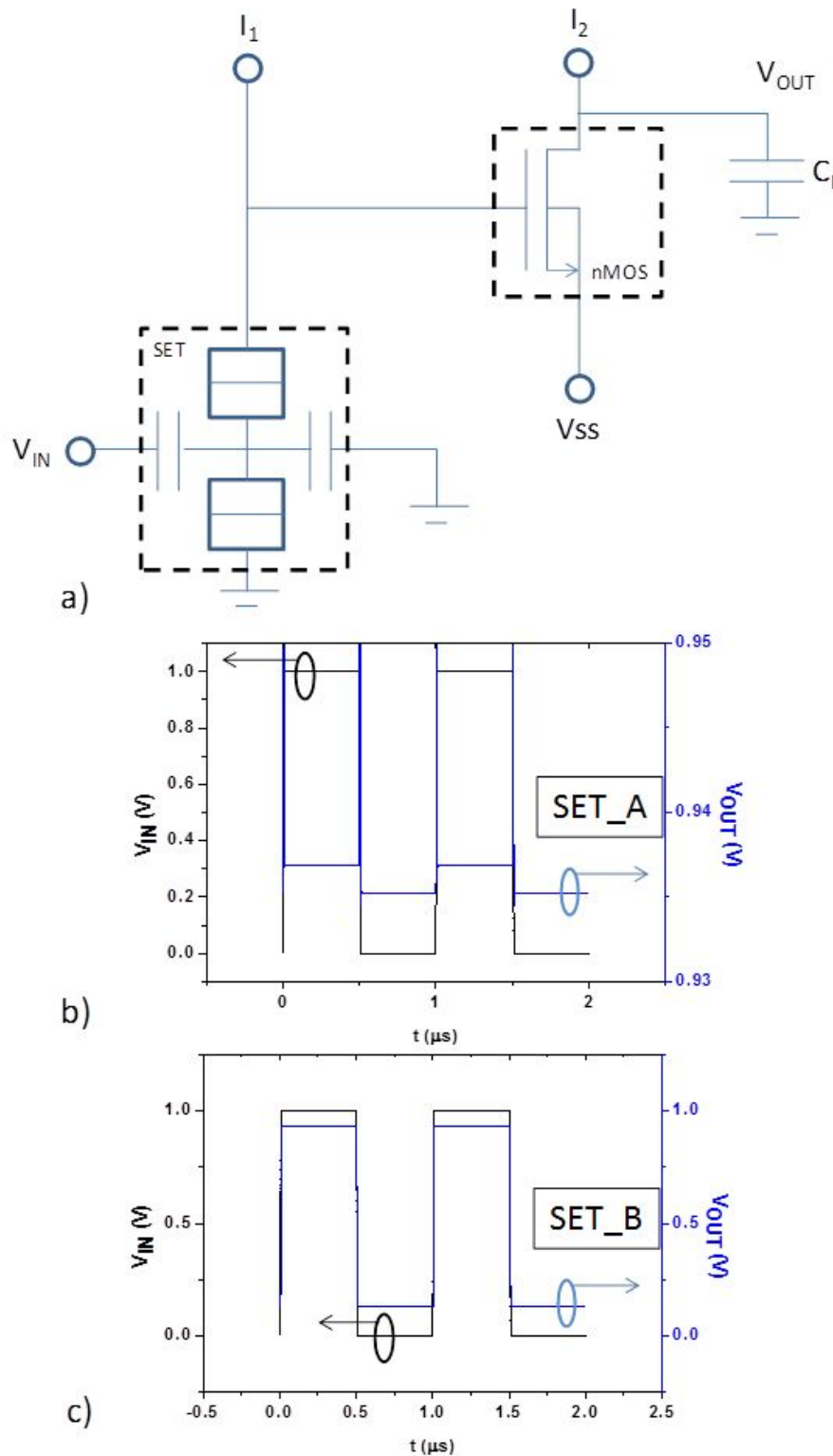


Figure 4-34 Schématisation du circuit SET-MOS en parallèle (a), et résultat des simulations à 300K, avec les paramètres de SET_A (b) et SET_B (c). Dans le schéma, V_{SS} et V_{IN} sont les sources de tensions et I_1 et I_2 les sources de courant. $I_1=1.3nA$ $I_2=40nA$. Pour SET_A, $V_{SS}=0V$ et pour SET_B, $V_{SS}=110mV$.

On considère maintenant des circuits plus complexes : une porte OU formée de deux SETs et d'un nMOS (cf. Figure 4-35), et un circuit constitué de deux inverseurs en série, le premier réalisé à base de SETs et le second à base de MOS (cf. Figure 4-36). L'inverseur SET est calqué sur l'inverseur CMOS, un des SETs étant transformé en transistors de type P par adjonction d'une tension de contrôle sur la seconde grille du dispositif.

La porte OU est basée sur le schéma d'arbre logique SET branché à un amplificateur MOS présenté en 2.2.2. La complexité de réalisation est bien supérieure aux circuits précédents, puisqu'il est nécessaire de produire deux SETs fonctionnels, aux caractéristiques similaires, et connectés entre eux. Les simulations montrent un comportement similaire au circuit SET-MOS en parallèle : pour des SETs du type de ceux fabriqués lors de ce projet, le signal de sortie est à peine discernable (Figure 4-35-b). Il faut réussir à diminuer considérablement les dimensions des jonctions tunnel pour obtenir un signal d'amplitude correcte (Figure 4-35-c). La consommation moyenne pour le circuit à base de SET_B est de 205pW, majoritairement fournie par le MOS (203pW).

Les deux inverseurs en série produisent, eux, de bons résultats, même en utilisant des SETs aux dimensions relâchées. Il a par contre été nécessaire d'utiliser une technologie 180nm pour les CMOS, aucun résultat concluant n'ayant été obtenu en 22nm pour les dimensions utilisées. On peut voir sur les Figure 4-36-b et c que l'étage CMOS amplifie correctement le signal de l'inverseur SET, montant quasiment à la valeur de la tension d'alimentation, et descendant à un potentiel proche de 0. Le gain du circuit est ici bien inférieur à 1. Toutefois, il devrait être possible de l'augmenter en utilisant des capacités de grille plus élevées. Des simulations en fonction des tensions d'alimentation ont permis de mettre en évidence des valeurs optimales pour les deux inverseurs. On a ainsi dans le cas du circuit basé sur SET_B $V_1=310\text{mV}$ et $V_2=500\text{mV}$ (cf. Figure 4-36-d et e). Du fait de l'emploi d'une technologie 180nm, les consommations sont bien plus importantes que précédemment. Dans le cas du circuit constitué de SETs aux dimensions relâchées, on obtient une puissance dissipée de 1.07nW, avec 820pW provenant des SETs et 250nW des CMOS. La consommation importante des SETs par rapport aux MOS provient de leur courant I_{OFF} très élevé : 2.4nA

comparé au courant de 0.87nA des CMOS. Mais dans le cas où les SETs sont optimisés, la consommation totale devient 2.5nW, majoritairement fournie par les CMOS (2.3nW).

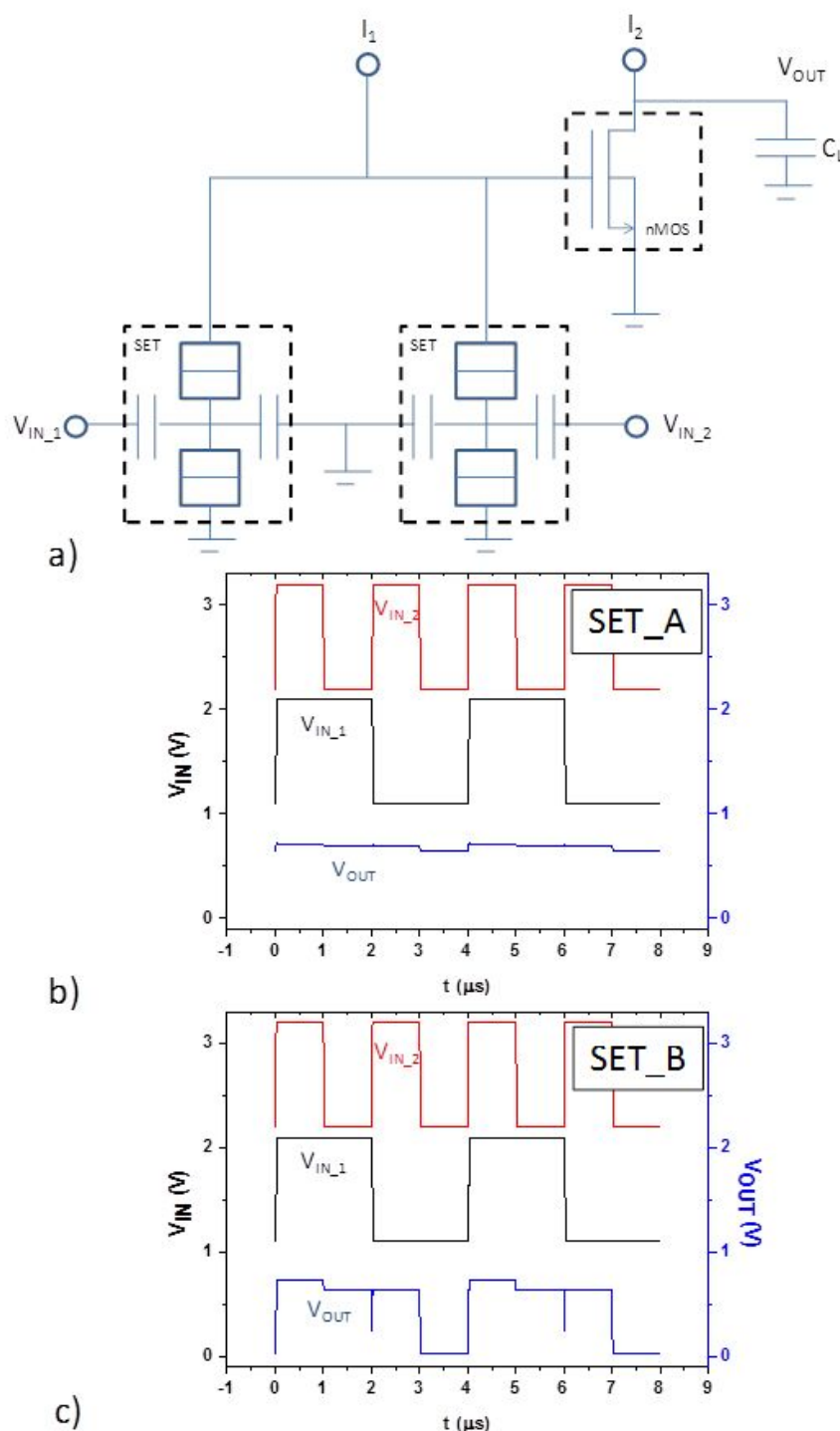


Figure 4-35 Schématisation de la porte OU avec I_1 et I_2 les sources de courant, $V_{IN,1}$ et $V_{IN,2}$ les sources de tension (a). Les résultats des simulations à 300K sont présentés en (b) pour le SET_A et en (c) pour le SET_B. Un offset de 1.1V a été mis entre les différents signaux pour plus de visibilité.

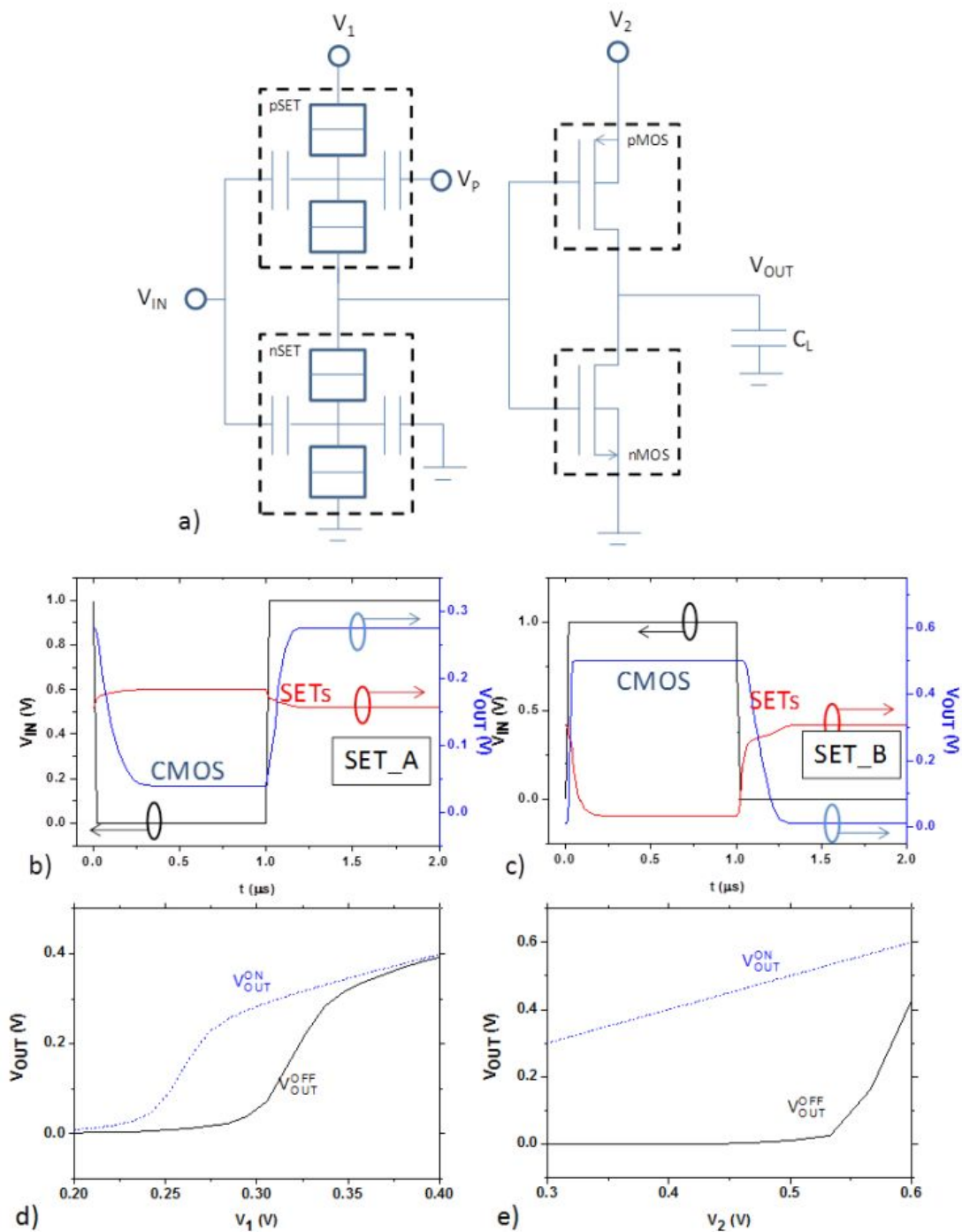


Figure 4-36 Schématisation de la mise en série d'un inverseur SET et d'un inverseur CMOS (a). V_{IN} , V_1 , V_2 et V_P sont les sources de tension de ce circuit. nSET et pSET servent à différencier le SET dont le comportement se rapproche d'un pMOS grâce à la polarisation de la grille secondaire par V_P , du SET qui jouera le rôle d'un transistor de type n dans le circuit. Les résultats des simulations sont montrés en (b) pour le SET_A et (c) pour le SET_B. On a utilisé $V_1=310\text{mV}$, $V_2=300\text{mV}$ pour SET_A, et $V_2=500\text{mV}$ pour SET_B. Une étude de l'impact des tensions V_1 et V_2 sur la tension de sortie du circuit en mode ON et OFF est montrée en (d) et (e).

Des simulations ont aussi été effectuées avec ces circuits en tenant compte de l'effet de l'interconnexion entre le SET et le MOS. On a pour cela modélisé l'interconnexion en utilisant le modèle π (Parekh et al., 2012). On suppose que la liaison entre le SET et le MOS est réalisé par un nanofil de $100 \times 20 \times 2 \text{ nm}^2$ de Ti, connecté au niveau métal1. On remarquera que l'introduction de cette interconnexion produit un retard non négligeable du signal, excepté pour l'inverseur, où le chargement de la grille du CMOS doit être prépondérant devant l'effet de l'interconnexion.

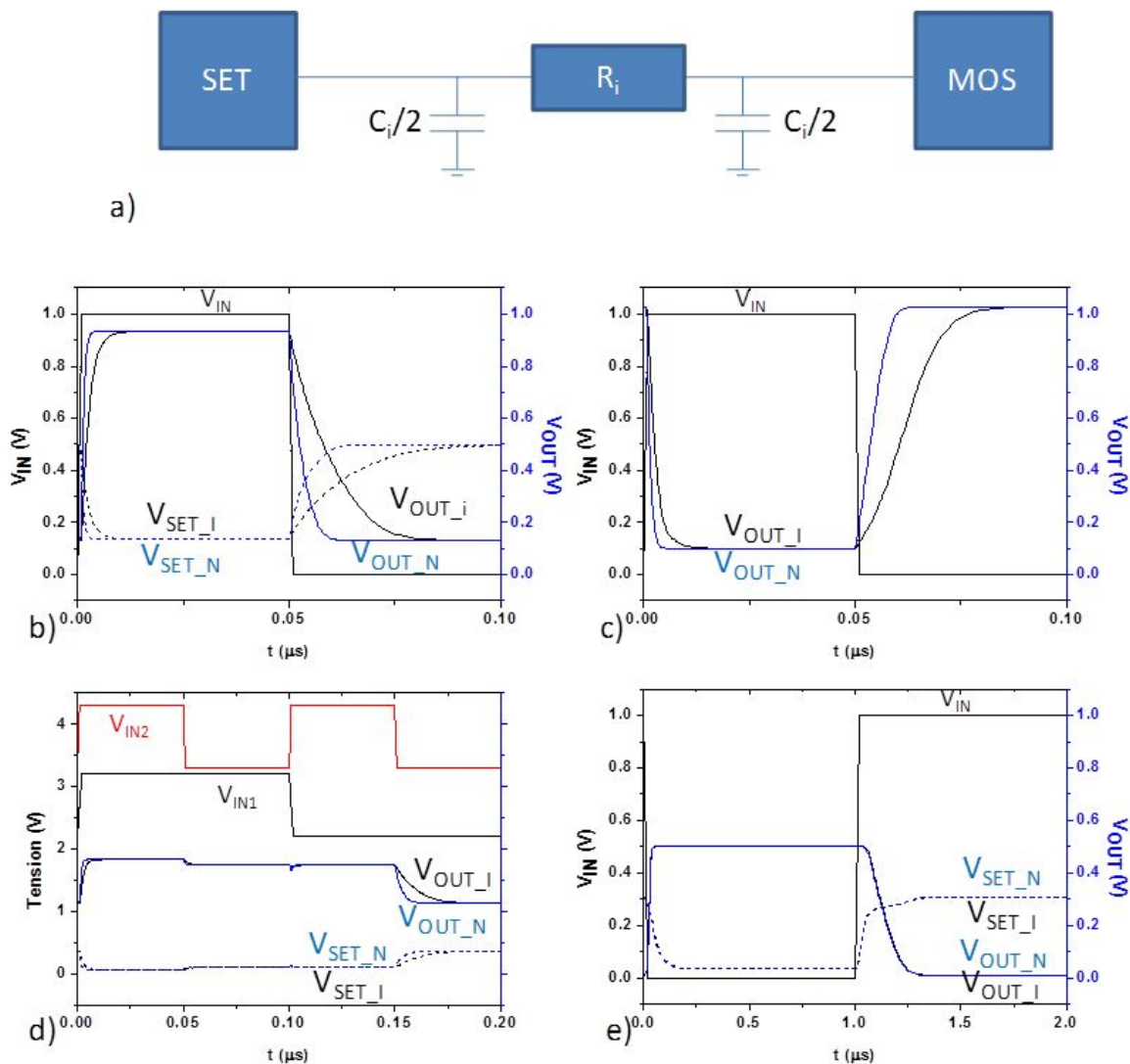


Figure 4-37 Schématisation de l'interconnexion π reliant le SET au MOS avec C_i sa capacité et R_i sa résistance (a). Caractéristiques pour le SET-MOS parallèle (b), série (c), la porte OU (d) et les inverseurs en série (e). La tension d'entrée est V_{IN} (et pour (d) V_{IN1} et V_{IN2}). La tension de sortie est en trait plein avec V_{OUT_N} quand l'interconnexion est négligée, et V_{OUT_I} quand elle est prise en compte. Dans le cas du SET-MOS parallèle et des inverseurs en série, la tension en sortie du SET a été indiquée ne pointillée avec V_{SET_I} avec interconnexion et V_{SET_N} sans en tenir compte. Dans le cas de (d), un offset de 1.1V a été mis entre chaque courbe pour plus de visibilité.

Les circuits présentés ici mettent en évidence qu'il serait plus judicieux d'orienter la fabrication de circuits hybrides vers la réalisation de circuits SET-MOS en série dans un premier temps, et ensuite vers la fabrication d'inverseurs en série. La réalisation d'inverseurs SETs ne pourra en effet intervenir que lorsque la technique de fabrication nanodamascène sera suffisamment mature pour permettre la création de SETs fonctionnels de caractéristiques similaires.

Enfin, dans un troisième temps, lorsque les dimensions des SETs fabriqués auront été suffisamment réduites, par exemple grâce à un emploi judicieux du procédé ALD, il pourra alors être intéressant de se tourner vers d'autres circuits, comme par exemple les circuits SET-MOS en parallèle ou encore la porte logique OU. En effet, à moins de pouvoir réaliser des capacités de jonctions inférieures à 0.3aF , le signal de sortie du dispositif risque de ne pas être discernable.

CHAPITRE 5 Conclusion

L'objectif de ce travail de thèse était de développer un procédé permettant l'intégration de dispositifs SETs dans le back-end-off-line des technologies CMOS. La voie choisie consistait à adapter la technologie nanodamascène développée à l'Université de Sherbrooke dans la filière titane sur oxyde thermique il y a quelques années. Cette technologie a ouvert la voie à une possibilité de développement de SETs métalliques opérationnels à température ambiante, mais il fallait encore pouvoir démontrer la compatibilité du procédé nanodamascène avec un véritable procédé CMOS industriel. La collaboration avec ST Microelectronics nous a donné un cadre permettant de développer une filière d'intégration de SETs métalliques compatibles avec le BEOL des technologies CMOS 65 nm et au-delà. Cette étude présentait plusieurs défis du fait de la nature des matériaux utilisés dans le BEOL. Nous pouvons citer deux défis importants qu'il fallait pouvoir relever :

- Le procédé nanodamascène doit respecter l'intégrité et la fonctionnalité des couches CMOS et des premiers niveaux du BEOL.

En effet, l'hétérogénéité des structures CMOS sur lesquelles les SETs devaient être intégrés imposait une vigilance particulière pour ne pas dégrader les couches sous-jacentes, et en particulier les performances des dispositifs CMOS après le procédé de fabrication des SETs. Les dégradations pouvant être à la fois sur les propriétés mécaniques ou électroniques.

- Obtenir une bonne qualité électronique des dispositifs à base de Titane dans des oxydes déposés.

La qualité diélectrique de la silice déposée qui est utilisée dans le back-end devait être d'une qualité électronique suffisante pour démontrer la fonctionnalité des SETs Titane sur ce type de matériau. Les SETs sont en effet particulièrement sensibles à la présence de charges parasites.

Dans ce contexte, les travaux de recherche ont concerné trois axes incontournables pour ce type de développement : la nanofabrication, les caractérisations et les simulations.

- Concernant la nanofabrication, notre objectif a été atteint puisque nous avons pu au cours de cette thèse démontrer l'intégration de SETs Titane dans le back-end d'une technologie CMOS. De nombreux SETs ont ainsi pu être réalisés et quelques variantes technologiques ont pu être étudiées. Le procédé permet à présent de réaliser des dispositifs isolés en grand nombre de façon simultanée. Ces premières réalisations constituent à notre connaissance une première technologique dans le domaine et ouvre des perspectives intéressantes pour l'intégration 3D de circuits hybrides SET-CMOS.
- Les caractérisations électriques des SETs ont montré en revanche une forte variabilité des paramètres. Des problèmes de qualité électrique des jonctions tunnel semblent également être la cause du dysfonctionnement d'un grand nombre de dispositifs testés. Un important travail de caractérisations poussées sur les nanofils de Ti, les jonctions tunnel (MIMs) et les SETs nous a permis de localiser le principal point bloquant : des mécanismes de piégeage dans les jonctions tunnel ou à proximité. Les travaux de caractérisation ont également été appuyés par un travail de modélisation des dispositifs avec la possibilité de prise en compte de la présence de pièges. L'étape d'oxydation du Ti pour former les jonctions des SETs est donc un point clef qu'il sera nécessaire d'optimiser pour la suite.
- Plusieurs dispositifs SETs de deux séries d'échantillons ont montré des caractéristiques intéressantes. Les épaisseurs de Ti sont de l'ordre de grandeur de 10 nm ou en-deçà. La série avec des nanofils de Ti de largeur 50 nm montre un comportement ohmique des SETs à 300K. La série utilisant des nanofils d'environ 20 nm de large a permis l'observation d'un seuil sur les caractéristiques Id-Vd à 300K de façon répétable. L'augmentation de la température à 400K permet d'obtenir un comportement ohmique du SET. L'utilisation de jonctions d'épaisseurs d'environ 15 nm conduit cependant à des niveaux de courant très faibles et les observations d'oscillations de Coulomb à 300K ne sont pas encore confirmées. Notons toutefois

que des dispositifs réalisés par ailleurs très récemment dans l'équipe, et utilisant des lignes plus larges et des barrières de quelques nanomètres ont permis d'obtenir de façon très claires des oscillations de Coulomb à basses température.

- Sur la base des dimensions que nous avons pu atteindre pour nos dispositifs fabriqués, nous avons réalisé des simulations prédictives de circuits hybrides SET-CMOS. Dans ces travaux, la présence des pièges au sein des jonctions tunnel n'a pas été prise en compte. Des simulations pour des circuits très simples dans des architectures séries ou parallèles nous ont permis d'avoir quelques premiers éléments sur les performances notamment en matière de puissance consommée. Les simulations ont été effectuées dans un véritable environnement CMOS en prenant en compte les perturbations des dispositifs voisins et des éléments d'interconnexions entre les couches CMOS et SET.

Ces premiers travaux technologiques d'intégration de SETs métalliques dans le BEOL ouvrent la voie à l'intégration de fonctions hybrides SET-CMOS. Les perspectives immédiates de cette thèse concernent l'amélioration des jonctions tunnel des SETs. Différentes pistes sont en cours d'exploration pour résoudre ce problème, chacune répondant à une origine possible des pièges. Une première piste consiste à introduire une étape de passivation dès le début du procédé afin d'éviter des risques d'interdiffusions entre la silice déposée du BEOL et les jonctions tunnel des SETs. Une deuxième piste qui devra être explorée concernera le remplacement de l'oxydation du Ti par le dépôt d'un isolant par ALD pour former les jonctions des SETs. L'amélioration de la reproductibilité nécessitera également de passiver les dispositifs, par exemple avec le dépôt d'une couche de protection après le CMP. Cela permettrait de limiter le vieillissement des dispositifs en empêchant l'oxydation du SET, et en limitant les risques de contamination.

Des expériences liées à la croissance par ALD de la jonction tunnel sont déjà en cours. Elles permettront un meilleur contrôle de la qualité des jonctions, ainsi que de son épaisseur. A plus long terme, il pourrait être envisageable de réaliser des jonctions tunnel utilisant des empilements de différents oxydes. Cette approche permettrait par exemple de découpler le contrôle des courants thermoionique et tunnel.

Dans l'optique de réaliser des circuits hybrides, des recherches sont actuellement en cours concernant la fabrication de SETs alignés sur les éléments métalliques du niveau métal 1, et la création de vias dans le BEOL pour réaliser des circuits avec les MOS. Ceci permettra à terme de disposer adéquatement les SETs par rapports aux MOS choisis pour leurs caractéristiques, et de les connecter à l'aide d'un ensemble de chemins d'amenée et de vias.

L'ensemble des travaux réalisés dans le groupe dans le cadre du projet ANR SEDIMOS avec ST Microelectronics nous permet à présent de fixer des premiers objectifs de réalisation de circuits hybrides associant quelques dispositifs dans des cellules simples. En attendant une réelle maturité du procédé pour empiler plusieurs couches de SETs dans un circuit 3D/CMOS, le groupe s'oriente vers la réalisation de circuits avec des SETs aux dimensions relâchées pour garantir une meilleure reproductibilité. Cette approche devrait permettre de pouvoir réaliser dans un premier temps des circuits hybrides SET-CMOS fonctionnant à basse température. L'objectif à plus long terme est d'avoir des résultats plus systématiques à 300K pour avoir une perspective de circuits hybrides SET-CMOS fonctionnant à 300K et plus.

ANNEXE A - MARSSEA

Le programme MARSSEA (*Master equation Approximate Resolution for Simulation of Single Electron Artefacts*), développé par Arnaud Beaumont, a été utilisé tout au long de cette thèse, afin de simuler le comportement des transistors à un électron. Il a été préféré aux autres programmes de simulation de SET existant, car il incorpore les modes de conduction thermoïoniques et forts champs. Il a été démontré que dans le cas des SETs Ti/TiO₂/Ti fabriqués à l'Université de Sherbrooke, ces types de conduction sont non négligeables (Dubuc et al., 2009), les SETs obtenus ayant une faible hauteur et épaisseur de barrière. Ayant ainsi une place centrale au cours de ce travail, il a semblé indispensable de l'introduire au cours de cette annexe.

Sa présentation sera articulée autour de trois axes. Une présentation de son fonctionnement sera effectuée, mettant en valeur ses possibilités et ses rouages internes. On passera ensuite aux modifications qui ont été réalisées personnellement sur ce programme au cours de ce travail, pour finir sur les difficultés théoriques et techniques restantes, qui impliqueront probablement quelques changements ultérieurs dans les modèles utilisés.

Au cours des différentes parties, lorsqu'on parlera d'état de l'îlot, on parlera du nombre d'électrons piégés à l'intérieur de celui-ci.

A.1 Fonctionnement

Nous allons présenter ici les mécanismes internes de MARSSEA permettant la simulation du comportement d'un SET. Une présentation globale des entrées/sorties du logiciel sera tout d'abord effectuée afin de mettre en valeur ses possibilités. On passera alors à l'étude de son fonctionnement interne, mettant en évidence les différentes étapes liées au calcul du comportement du SET.

A.1.1 Présentation du logiciel

Bien que l'interface ne soit pas nécessaire au fonctionnement de MARSSEA, elle offre un bon aperçu des possibilités de ce programme (cf. Figure A-1). On peut dégager cinq parties principales :

- Caractéristiques des jonctions. Cette partie permet de personnaliser les paramètres des différentes jonctions capacitives et tunnel. Il est possible de rentrer soi-même la valeur de la capacité, ou de laisser le programme l'évaluer par la méthode des plaques parallèles, en lui fournissant les données physiques des jonctions (épaisseur, aire de la section et permittivité). Dans le cas des jonctions tunnel, il est aussi nécessaire de rentrer les paramètres ayant trait à la barrière tunnel : hauteur de barrière et masse effective.
- Type de simulation. L'utilisateur peut exécuter au choix une $I_d(V_g)$, une $I_d(V_d)$ ou encore une $I_d(V_d, V_g)$.
- Paramètres de simulation. Il est possible ici de définir la température, la valeur de potentiel des charges parasites. On peut aussi choisir d'effectuer un calcul de la capacité par la méthode des plaques parallèles, utiliser le model WKB pour le calcul de la résistance des jonctions, ou simuler le courant de Schottky. Enfin, on est en mesure de définir les paramètres du métal employé pour le calcul du WKB, ainsi que quelques constantes liées à la précision du calcul, comme le nombre de divisions de la barrière tunnel, ou la plage des états d'occupation de l'îlot considéré (pour des raisons pratiques, le calcul ne sera effectué que sur un nombre limité d'états).
- Potentiels appliqués. Les potentiels employés lors des simulations sont définis dans cette zone.
- Comparaison avec SIMON. Ce module permet d'effectuer une comparaison entre les résultats donnés par MARSSEA et par SIMON, un logiciel lié à l'étude des SETs, basé sur des calculs de type Monte-Carlo.

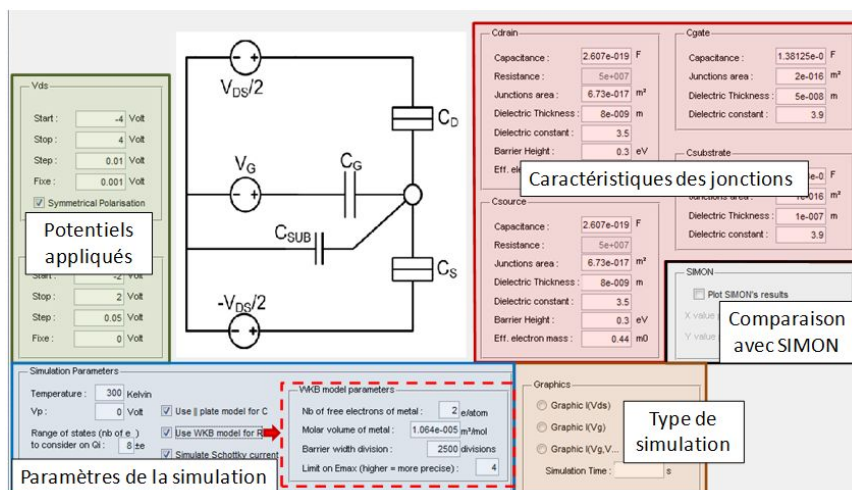


Figure A-1 Capture d'écran de l'interface de MARSSEA V3.1.1 (Beaumont et al., n.d.). Les différentes parties ont été colorées pour plus de visibilité.

Les résultats fournis par MARSSEA offrent un aperçu complet des détails du fonctionnement du SET. On obtient ainsi le résultat principal, c'est-à-dire l' $I_D(V)$ avec les contributions Schottky et Fowler-Nordheim, la valeur des résistances et potentiels moyens des jonctions, la charge moyenne de l'îlot, son état le plus probable, et enfin, la probabilité d'occupation de l'îlot. Ce dernier point est particulièrement intéressant, car il permet d'estimer à l'aide d'un simple coup d'œil, si la plage définie pour les différents états d'occupation possible de l'îlot est assez large (ou au contraire, trop large).

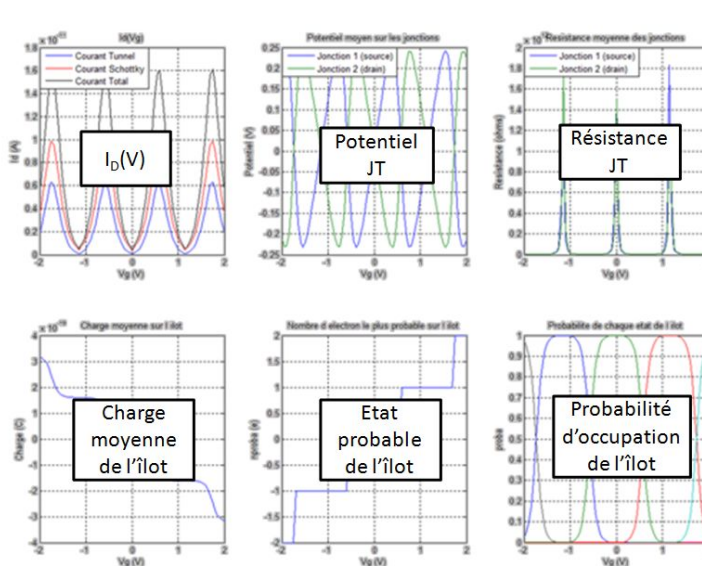


Figure A-2 Résultats typiquement rendu par le logiciel MARSSEA V3.1.1 (Beaumont et al., n.d.) après une simulation d'un SET. L' $I_D(V)$ comporte le courant total, et le détail des contributions Schottky et FN. Le potentiel des jonctions tunnel affiche l'évolution de la valeur du potentiel moyen sur chaque jonction tunnel en fonction de la polarisation. Idem pour la résistance et la charge moyenne de l'îlot. L'état probable de l'îlot indique le nombre d'électron qui aura la probabilité la plus grande d'être présent dans l'îlot aux différentes polarisations. Probabilité d'occupation de l'îlot détail la probabilité d'avoir N électrons dans l'îlot, N appartenant à la plage des différents états d'occupation possible de l'îlot définie par l'utilisateur.

Il faut noter que pour l'instant, MARSSEA ne possède pas la modularité offerte par d'autres programmes, comme SIMON. Seule l'étude d'un SET individuel est possible. Toutefois, il a été transposé sous Cadence, ce qui rend maintenant possible la création de circuits complexes. On est donc non seulement en mesure de générer des circuits comprenant plusieurs SETs, mais aussi des circuits mélangeant SETs et autres composants électroniques. Mais ici encore, les SETs sont traités comme des entités individuelles. Une telle assumption n'est possible que dans le cas où la capacité de l'interconnexion les reliant est bien supérieure aux capacités des jonctions du SET (Yu et al., 1999).

A.1.2 Mécanique

La simulation du comportement d'un SET par MARSSEA est basée sur l'évaluation des probabilités d'évènements tunnel pour chaque état N de l'îlot, et sur leur utilisation dans le calcul des différents états d'occupation de l'îlot. Connaissant ces deux données, il est alors possible de fournir la valeur du courant traversant le SET. On a présenté dans la Figure A-3 les différentes étapes permettant l'obtention du courant pour une polarisation (V_{DS} , V_G) donnée, ainsi que les relations les liant les unes aux autres.

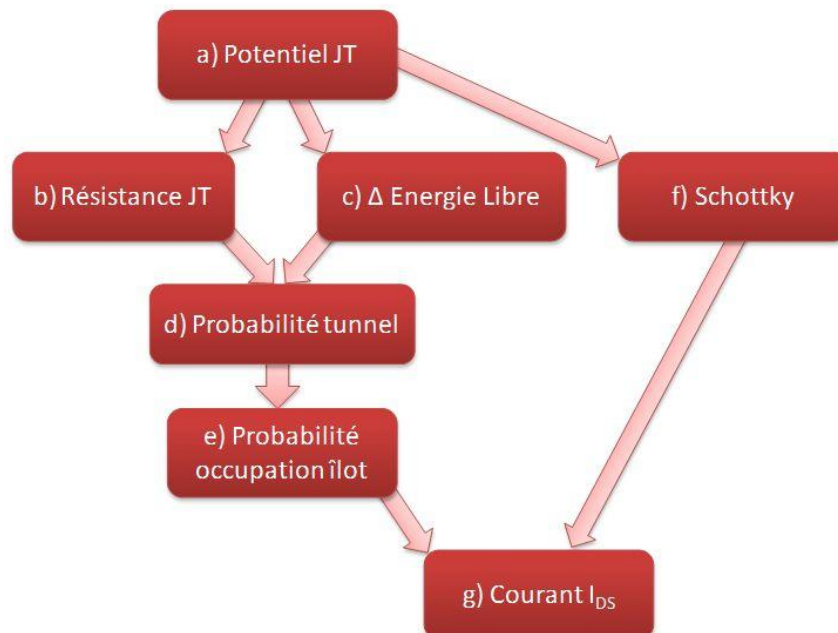


Figure A-3 Schématisation des liens entre les différentes étapes de calcul du courant par MARSSEA V3.1.1 (Beaumont et al., n.d.). Une flèche indique l'utilisation des résultats du pointeur par le pointé.

- a) Potentiel des jonctions tunnel. La première étape est l'évaluation de la différence de potentiel au niveau de chaque jonction tunnel. Elle dépend non seulement des potentiels appliqués au niveau des éléments drain/source/grille, mais aussi du nombre N d'électrons présents dans l'îlot.
- b) Résistance des jonctions tunnel. La résistance des jonctions tunnel peut être une valeur fixe, rentrée par l'utilisateur, ou une valeur calculée par le programme, dépendant des caractéristiques des jonctions et de leur polarisation. Dans ce cas, le programme prend en compte la conductivité Fowler-Nordheim, l'évaluant avec la méthode WKB. On emploie pour cela les équations ci-dessous :

$$I = S \int_0^{E_m} D(E_x) dE_x \cdot \left\{ \frac{4\pi m^2 e}{h^3} \int_0^\infty [f(E) - f(E + eV)] dE_r \right\} \quad (\text{A-1})$$

$$\text{avec } D(E_x) = \exp \left\{ -\frac{4\pi}{h} \int_l [2m(\varphi(x) - E_x)]^{\frac{1}{2}} dx \right\} \quad (\text{A-2})$$

$$\varphi(x) = E_F + \varphi_0 - \frac{1.15\lambda l^2}{x(l-x)} - V \frac{x}{l} \quad (\text{A-3})$$

$$\lambda = \frac{e \cdot \ln(2)}{16\pi\epsilon_0\epsilon_r l} \quad (\text{A-4})$$

$$R = V/I \quad (\text{A-5})$$

Avec I le courant dans la jonction, S l'aire de sa section, E_m l'énergie maximum des électrons dans l'électrode, $D(E_x)$ la probabilité d'un évènement tunnel pour une charge d'énergie E_x , e la charge élémentaire et m sa masse effective, h la constante de Planck, $f(E)$ la fonction de Fermi-Dirac, l l'épaisseur de la jonction, $\varphi(x)$ la hauteur effective de la barrière en x , E_F le niveau de Fermi, φ_0 la hauteur de barrière rectangulaire et V le potentiel appliqué sur la jonction. Si ces équations permettent une évaluation précise de la forme de la barrière (cf. Figure A-4), et donc de la valeur de sa résistance R , les ressources mobilisées lors du calcul sont considérables, ralentissant notablement la réalisation des simulations.

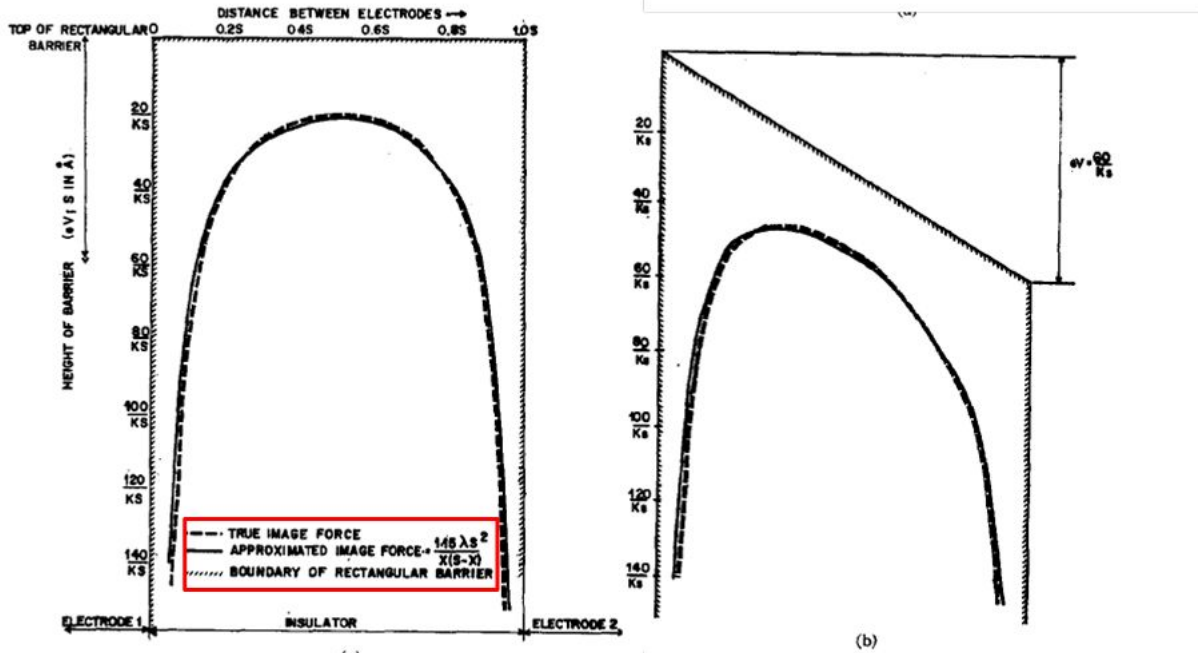


Figure A-4 Illustration de la forme de barrière obtenue à l'aide du modèle utilisé (en pointillé), dans le cas d'une barrière au repos (à gauche) et soumise à une différence de potentiel (à droite). Tiré de (Simmons, 1963)

- c) Variation d'énergie libre des jonctions. La différence de potentiel au niveau des jonctions permet aussi l'obtention de la variation d'énergie libre dans le cas d'un transfert d'une charge à travers la barrière tunnel.
- d) Probabilité tunnel. Connaissant la résistance R de la jonction et la variation d'énergie libre ΔF , il est possible à l'aide de la formule (A-6) d'obtenir la probabilité d'un évènement tunnel.

$$\Gamma(\Delta F) = - \frac{\Delta F}{e^2 R \left(1 - e^{\frac{\Delta F}{k_b T}} \right)} \quad (\text{A-6})$$

- e) Probabilité des différents états d'occupation de l'îlot. A l'aide des probabilités tunnel et du modèle compact développé par Mahapatra (Mahapatra, 2005), on est à même de calculer la probabilité p_N d'avoir N électrons dans l'îlot en utilisant la formule (A-7) avec $\Gamma_{i,j}$ la probabilité de passer de j à i électrons dans l'îlot. Elle a été obtenue en résolvant l'équation maîtresse à état stable (i.e. $\partial p_n / \partial t = 0$).

$$p_N = p_0 \prod_{i=0}^N \frac{\Gamma_{i+1,i}}{\Gamma_{i,i+1}} \quad (\text{A-7})$$

f) Courant Schottky. Le calcul du courant thermoïonique I_S ne nécessite que la connaissance de la différence de potentiel au niveau de la jonction. Il est calculé à l'aide de l'équation (A-8) avec S l'aire de la section de la jonction, m^* la masse effective de l'électron, e sa charge, T la température, φ_0 la hauteur de barrière, V la différence de potentiel aux bornes de la jonction, et l son épaisseur.

$$I_S = S \frac{4\pi e m^* k_b^2}{h^3} T^2 \exp\left(\frac{-e(\varphi_0 - \sqrt{eV/(4\pi\epsilon_r\epsilon_0 l)})}{k_b T}\right) \quad (\text{A-8})$$

g) Le courant total est obtenu par addition du courant Schottky et du courant tunnel, le courant tunnel étant obtenu par l'équation (A-9).

$$I_t = e \sum_{n=-\infty}^{+\infty} p_n(\overrightarrow{\Gamma_d(n)} - \overleftarrow{\Gamma_d(n)}) = e \sum_{n=-\infty}^{+\infty} p_n(\overrightarrow{\Gamma_s(n)} - \overleftarrow{\Gamma_s(n)}) \quad (\text{A-9})$$

Avec $\overrightarrow{\Gamma_d(n)}$ et $\overleftarrow{\Gamma_s(n)}$ les probabilités qu'un électron rentre dans l'îlot en passant respectivement par la jonction îlot/drain et îlot/source ; $\overleftarrow{\Gamma_d(n)}$ et $\overrightarrow{\Gamma_s(n)}$ les probabilités qu'un électron sorte de l'îlot en passant respectivement par la jonction îlot/drain et îlot/source.

$$\Gamma_{n+1,n} = \overrightarrow{\Gamma_d(n)} + \overleftarrow{\Gamma_s(n)} \quad (\text{A-10})$$

$$\Gamma_{n-1,n} = \overleftarrow{\Gamma_d(n)} + \overrightarrow{\Gamma_s(n)} \quad (\text{4-11})$$

A.2 Apports

Quelques corrections mineures ont été apportées au programme de base, permettant une meilleure gestion des courants Schottky, ainsi que le remplacement d'un calcul itératif par un mode de calcul matriciel, évitant de possibles erreurs lors des simulations.

A.2.1 Prise en compte des courants Schottky entrant et sortant

Le calcul du courant Schottky, tel qu'il est effectué par MARSSEA, ne prend en compte que le maximum des courants calculés. Cette approximation est globalement valable, car la conductivité est bien plus grande dans un sens que dans l'autre sur une jonction, et le comportement des deux barrières est quasi équivalent. Toutefois, ce n'est plus vrai si on considère de faibles différences de potentiel, comme illustré dans la Figure A-5. On observe que cela mène à une surestimation du courant thermoïonique.

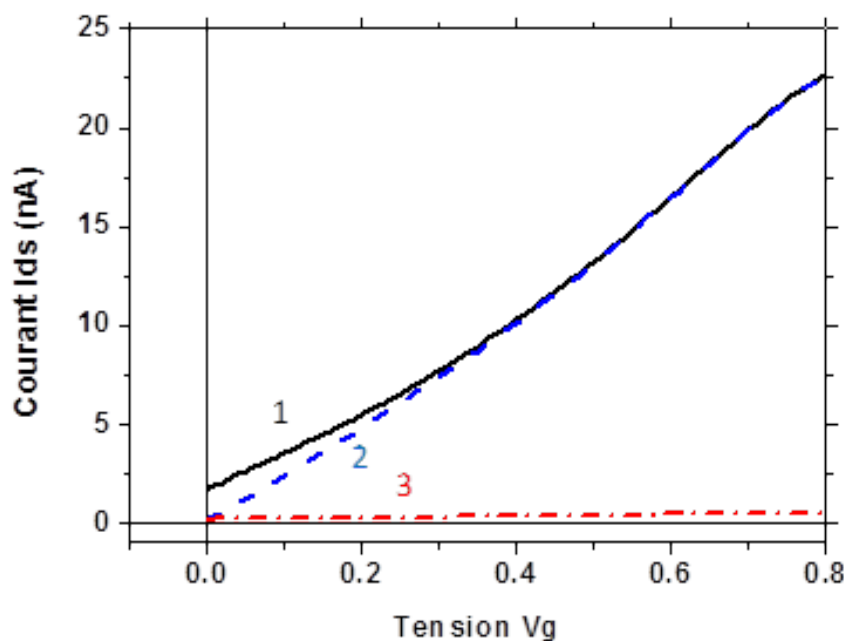


Figure A-5 Illustration des différents modes de calculs pour le courant Schottky, calcul réalisé sous Matlab. (1) version basique de MARSSEA V3.1.1 (Beaumont et al., n.d.), (2) le courant Schottky d'une jonction est la somme du courant dans les deux sens, (3) le courant Schottky du SET est la moyenne du courant pour les deux jonctions, pour $V_{ds}=10\text{mV}$.

Deux modifications ont donc été effectuées. La première consiste à considérer pour une jonction le courant dans les deux sens. On suppose pour cela que les électrons voient d'un côté une hauteur de barrière φ , et de l'autre une hauteur de barrière $\varphi + eV$, ce qui conduit à l'équation (4-12). Ceci permet d'éviter une surestimation du courant lorsque le potentiel d'une jonction est relativement faible.

$$I_S = AT^2 \left[\exp\left(\frac{-e\varphi}{k_b T}\right) - \exp\left(\frac{-e(\varphi + eV)}{k_b T}\right) \right] \quad (4-12)$$

Avec $A = S \frac{4\pi e m^* k_b^2}{h^3}$ et $\varphi = \varphi_0 - \sqrt{eV/(4\pi\epsilon_r\epsilon_0 l)}$.

Pour la seconde, on effectue la moyenne du courant des deux jonctions tunnel. L'impact de cette modification est particulièrement visible à très faible polarisation V_{DS} , lorsque le potentiel de l'îlot devient inférieur à celui des éléments source/drain, ce qui se traduit par des courants de signes opposés, s'annulant en partie (cf. Figure A-6).

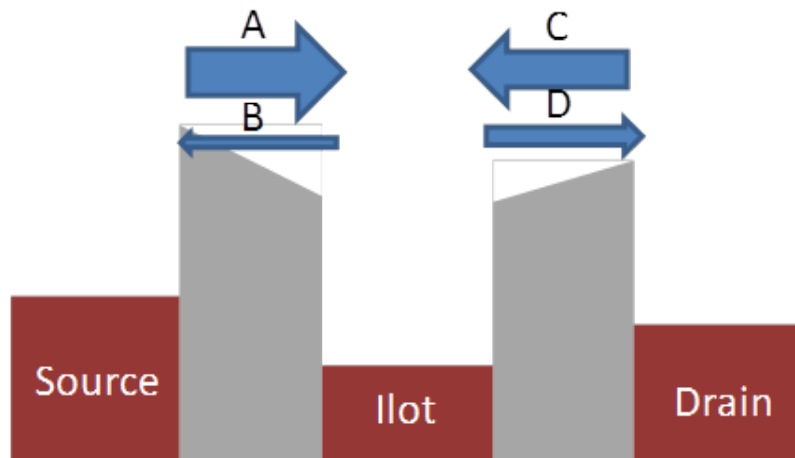


Figure A-6 Schématisation du cas où le potentiel de l'îlot est inférieur à celui de la source et du drain. Les courants Schottky pour chaque jonction sont en opposition. Si on considère le courant total comme étant la moyenne de (A, B, C, D) le résultat obtenu est alors bien inférieur à ce qui était considéré par MARSSEA à la base (i.e. uniquement le courant A).

A.2.2 Calcul du courant Schottky pour chaque probabilité

Le calcul du courant Schottky n'est effectué dans MARSSEA que pour une seule polarisation donnée, qui est le potentiel moyen de la jonction. Comme on peut le voir dans la Figure A-7, cela engendre des artefacts dont le plus évident est une baisse de la conductivité pour une polarisation de $e/2C_G$. Cela vient du fait que l'équation donnant le courant Schottky I_S n'est pas linéaire en fonction de la polarisation V de la jonction, impliquant que $I_S(\bar{V}) \neq \overline{I_S(V)}$. C'est pourquoi l'équation (4-13) a été utilisée pour l'obtention du courant

thermoïonique. Elle a la même forme que l'équation servant au calcul du courant tunnel, réutilisant la probabilité des états d'occupation de l'îlot obtenue grâce aux probabilités d'évènement tunnel et à l'équation maîtresse. Ceci a permis une élimination des artefacts ainsi qu'on peut le voir sur la figure ci-dessous. On remarquera que la moyenne des courants thermoïonique des jonctions est automatiquement réalisée.

$$I_S = e \sum_{n=-\infty}^{+\infty} p_n \left(\frac{\overrightarrow{S_d(n)} + \overrightarrow{S_s(n)}}{2} - \frac{\overleftarrow{S_d(n)} + \overleftarrow{S_s(n)}}{2} \right) \quad (4-13)$$

Avec p_n la probabilité que l'îlot ait n électrons, $\overrightarrow{S_d(n)}$ la probabilité qu'un électron traverse la jonction îlot/drain par effet thermoïonique, de l'îlot vers le drain. Idem pour $\overrightarrow{S_s(n)}$, mais cette fois, de la source vers l'îlot. Le sens est inversé pour $\overleftarrow{S_d(n)}$ et $\overleftarrow{S_s(n)}$.

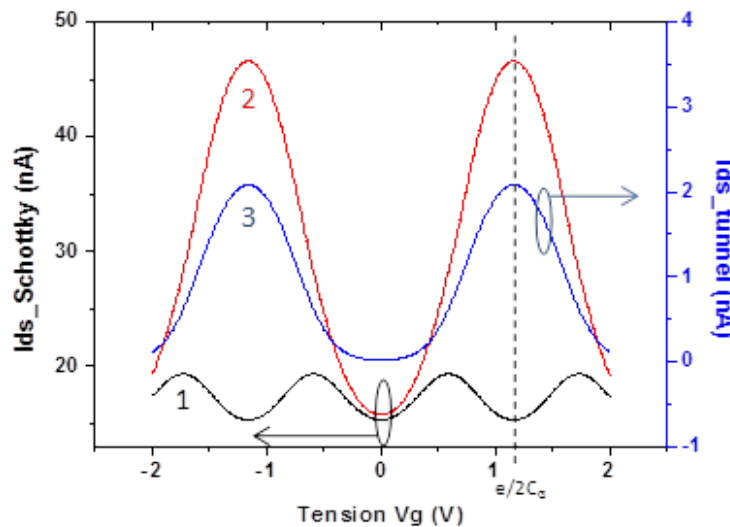


Figure A-7 Illustration de la nécessité d'appliquer le courant Schottky à l'ensemble des états d'occupation de l'îlot pour éviter l'apparition d'artefact, calculé sous Matlab. Courbe $I_d(V_g)$ rendue par MARSSEA V3.1.1 (Beaumont et al., 2009) non modifié (1), lorsque les différents niveaux d'occupation de l'îlot sont pris en compte (2) et comparaison avec le mode de conduction tunnel (3). Le minimum de la courbe (1) observé en $e/2C_G$ est dû à un artefact créé par la méthode de calcul utilisé pour le courant Schottky.

A.2.3 Calcul matriciel des probabilités d'états de l'îlot

Bien qu'elle soit en théorie correct, l'équation (A-7) permettant le calcul de l'état d'occupation de l'îlot présente un problème : si à cause d'une approximation, une probabilité p_i devient nulle, toutes les suivantes seront alors aussi automatiquement égales à 0. Des sécurités peuvent être mises en place, forçant le remplacement de toute valeur nulle par le plus petit nombre réel gérable par le logiciel. Une méthode plus élégante est la réalisation de cette opération par calcul matriciel.

$$\frac{\partial p_n}{\partial t} = p_{n+1}\Gamma_{n,n+1} + p_{n-1}\Gamma_{n,n-1} - p_n(\Gamma_{n+1,n} + \Gamma_{n-1,n}) = 0 \quad (\text{A-14})$$

En effet, l'équation maîtresse (A-14) peut aisément être traduite en écriture matricielle, sous la forme $A.P=B$ avec :

$$A = \begin{bmatrix} -\Gamma_{n-1,n} & \Gamma_{2,1} & 0 & \dots & 0 \\ \Gamma_{2,1} & -(\Gamma_{3,2} + \Gamma_{1,2}) & \Gamma_{2,1} & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \Gamma_{n-1,n-2} & -(\Gamma_{n,n-1} + \Gamma_{n-2,n-1}) & \Gamma_{n-1,n} \\ 1 & \dots & 1 & 1 & 1 \end{bmatrix} \quad P = \begin{bmatrix} P_1 \\ P_2 \\ \dots \\ P_{n-1} \\ P_n \end{bmatrix} \quad B = \begin{bmatrix} 0 \\ 0 \\ \dots \\ 0 \\ 1 \end{bmatrix}$$

La dernière ligne correspond à la contrainte de probabilité $\sum p_i = 1$.

Il suffit alors d'effectuer $P=B/A$ pour avoir les valeurs des différentes probabilités. Un autre avantage de cette méthode est la facilité d'interprétation et de modification de la matrice A des gammas. Toutefois, elle ne pourra être appliquée qu'avec un langage permettant la manipulation d'objet matriciel, et en particulier la division de matrices.

A.3 Problèmes non résolus

Plusieurs points du modèle utilisé par MARSSEA restent néanmoins à éclaircir. Tout d'abord, le calcul de probabilité des états d'occupation de l'îlot est pour l'instant uniquement basé sur l'emploi du courant tunnel et ne tient pas compte des autres modes de conduction. On discutera de la pertinence de ce choix. Ensuite, on a supposé qu'une barrière a la même hauteur à chaque interface oxyde-métal. Comme on a pu le voir en 4.2.2, il est possible que cette assumption soit erronée. Il sera probablement nécessaire de modifier le code pour introduire des barrières asymétriques. Enfin, la dépendance de la barrière avec la tension de grille sera discutée.

A.3.1 Calcul de probabilité des états

Le calcul de probabilité des états est effectué grâce à l'équation maîtresse à état stable (A-15). C'est-à-dire qu'on considère qu'un électron a autant de chances de rentrer dans l'îlot que d'en sortir, pour tout état. Cette équation tient donc compte des probabilités d'évènement tunnel, données par l'équation (A-6). Mais la possibilité qu'un électron rentre ou sorte de l'îlot grâce à un autre mode de conduction n'est pas considérée. Nous évoquerons ici la conduction Schottky car elle semble être prépondérante dans nos dispositifs à cause de leur faible hauteur de barrière, mais ces remarques sont en théorie valables pour tout autre type de conduction (ex : Pool-Frenkel).

Les électrons contribuant à la conduction thermoïonique ont assez d'énergie pour passer au dessus de la barrière tunnel. Il semble logique de considérer que les électrons sortant de l'îlot par cette méthode entraînent une diminution de potentiel de celui-ci, ou, dit autrement un changement d'état de l'îlot. Mais on peut alors se poser la question de savoir si des électrons venant de la source ou du drain sont « vus » par l'îlot et donc entraînent un changement de potentiel de ce dernier (i.e. sont la cause d'un changement d'état). Le problème est donc de savoir si les électrons peuvent se désexciter lorsqu'ils arrivent au niveau de l'îlot. En l'absence de réponse définitive dans un sens ou dans l'autre, deux approches vont être exposées : seuls

les électrons sortant de l'îlot contribuent au changement d'état de celui-ci, et contribution des électrons sortant comme entrant.

a) Electrons sortant

Si on considère que les électrons sortant par effet thermoïonique de l'îlot contribuent au changement d'état de celui-ci, l'équation (A-14) devient :

$$\frac{\partial p_n}{\partial t} = p_{n+1}(\Gamma_{n,n+1} + \Gamma_{n,n+1}^S) + p_{n-1}\Gamma_{n,n-1} - p_n(\Gamma_{n+1,n} + \Gamma_{n-1,n} + \Gamma_{n-1,n}^S) = 0 \quad (\text{A-15})$$

Avec $\Gamma_{n-1,n}^S$ la probabilité qu'un électron sorte de l'îlot par effet thermoïonique, le faisant passer d'un état n à un état $n - 1$. Pour qu'il puisse être comparable à la probabilité d'un évènement tunnel, on le définit comme étant $\Gamma_{n-1,n}^S = I_{S,n}/e$ avec e la charge élémentaire et $I_{S,n}$ le courant thermoïonique obtenu par l'équation (A-8) pour n électrons dans l'îlot.

Il faut noter que, comme dans notre cas le courant Schottky est bien plus important que le courant tunnel, on a $\Gamma^S \gg \Gamma$. Ceci implique à la fois un déséquilibre de la matrice pouvant entraîner des erreurs de calcul lors de la division matricielle, mais surtout, cela a pour conséquence un décalage des oscillations. En effet, la conséquence de notre hypothèse est que, par rapport à la version originale de MARSSEA, un électron a plus de chance de sortir de l'îlot que d'y rentrer, ce qui revient grossièrement à avoir appliqué une tension négative sur la grille. L'observation expérimentale d'un tel décalage, augmentant avec la température, pourrait être un moyen de confirmer cette hypothèse.

b) Electrons entrant & sortant

Si au contraire on choisit de considérer à la fois les électrons sortant et les électrons entrant par effet thermoïonique, on obtient l'équation :

$$\frac{\partial p_n}{\partial t} = p_{n+1}\Gamma_{n,n+1}^* + p_{n-1}\Gamma_{n,n-1}^* - p_n(\Gamma_{n-1,n}^* + \Gamma_{n+1,n}^*) = 0 \quad (\text{A-16})$$

Avec $\Gamma_{n-1,n}^* = \Gamma_{n-1,n} + \Gamma_{n-1,n}^S$. Ceci implique, si $\Gamma^S \gg \Gamma$, que l'état de l'îlot est alors quasi uniquement déterminé par l'effet thermoïonique, entraînant une diminution de l'effet de blocage de Coulomb.

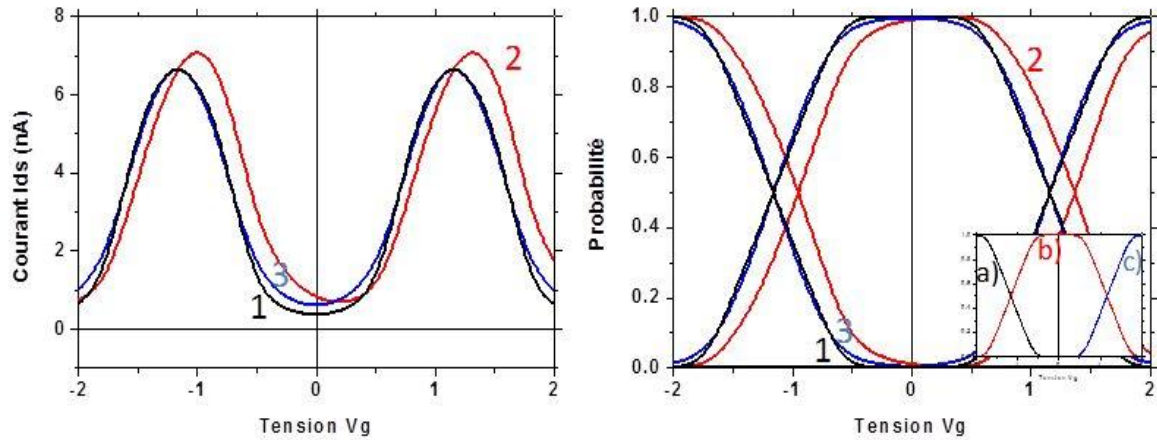


Figure A-8 $I_d(V_g)$ à gauche et probabilité des états en fonction de la tension, à droite, lorsque l'état de l'îlot est calculé normalement (1) avec MARSSEA V3.1.1 (Beaumont et al., 2009), en tenant compte des électrons thermoïoniques sortant (2), et des électrons thermoïoniques entrant et sortant (3). La figure en bas à droite illustre l'évolution des probabilités des états dans le cas général avec en a) la probabilité d'avoir -1 électron dans l'îlot, b) 0 électron dans l'îlot et c) 1 électron dans l'îlot. Calculs effectués sous Matlab.

Enfin, il y a aussi la possibilité que seule une certaine proportion des électrons entrant doivent être prise en compte. On pourrait lier cette considération à la probabilité de désexcitation des électrons, ou au fait que pour une certaine plage d'énergie, les électrons peuvent passer au dessus d'une jonction, mais pas de l'autre (cf. Figure A-9), les forçant à s'arrêter dans l'îlot.

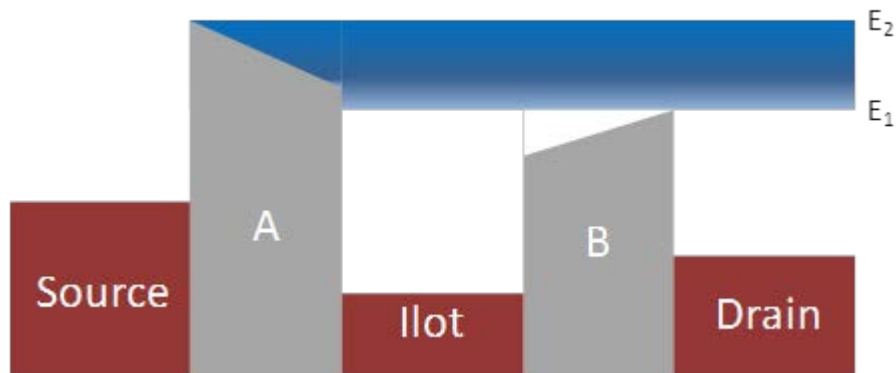


Figure A-9 Schématisation des niveaux d'énergie des différents éléments du SET lorsque $V_G > V_{DS} > 0$. Un électron dont l'énergie est comprise entre E_1 et E_2 pourra passer la jonction B, mais pas la A.

A.3.2 Différence de hauteur de barrière entre les interfaces

Ainsi qu'il a été illustré dans la partie 4.2.2 il est probable que les jonctions tunnel employées possèdent des hauteurs de barrière différentes pour leurs interfaces. Si tel est le cas, les modèles utilisés pour le calcul de la résistance tunnel et pour le courant Schottky ne sont plus valables.

Pour la modification des équations régissant la conduction thermoïonique, en se basant sur les variables indiquées dans la Figure A-10, on pose la constante $V^* = (\varphi_1 - \varphi_2)/e$. On a donc :

$$I_S = AT^2 \left[\exp\left(\frac{-e\varphi_a}{k_b T}\right) - \exp\left(\frac{-e\varphi_b}{k_b T}\right) \right] \quad (\text{A-17})$$

Avec pour $V < V^*$:

$$\begin{cases} \varphi_a = \varphi_1 - \sqrt{e|V - V^*|/(4\pi\epsilon_0\epsilon_r l)} \\ \varphi_b = \varphi_2 + e|V - V^*| - \sqrt{e|V - V^*|/(4\pi\epsilon_0\epsilon_r l)} \end{cases} \quad (\text{A-18})$$

Et pour $V > V^*$:

$$\begin{cases} \varphi_a = \varphi_1 + e|V - V^*| - \sqrt{e|V - V^*|/(4\pi\epsilon_0\epsilon_r l)} \\ \varphi_b = \varphi_2 - \sqrt{e|V - V^*|/(4\pi\epsilon_0\epsilon_r l)} \end{cases} \quad (\text{A-19})$$

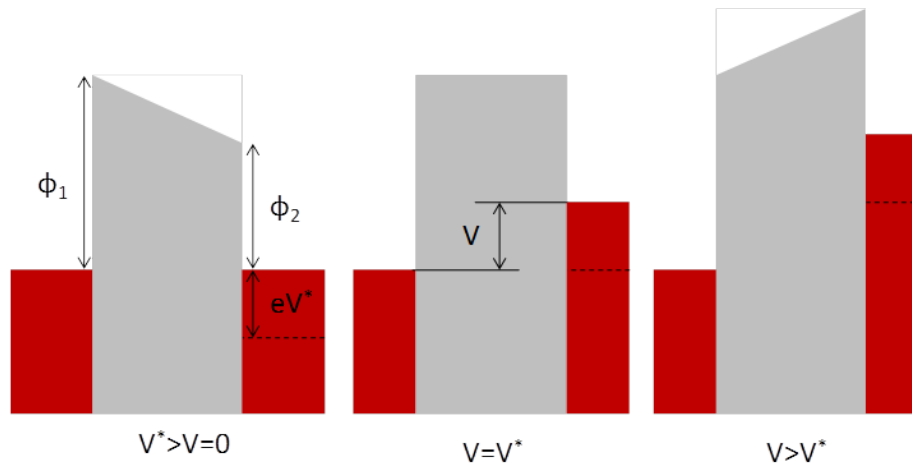


Figure A-10 Schématisation des niveaux d'énergie de la jonction pour différentes tensions de polarisation (V).

De la même manière, il devrait être possible de modifier le modèle WKB utilisé pour calculer la résistance de la barrière, en introduisant le terme V^* dans l'équation (A-3) qui régit la forme de la jonction tunnel. Elle deviendrait donc :

$$\varphi(x) = E_F + \varphi_0 - \frac{1.15\lambda^2}{x(l-x)} - (V + V^*)\frac{x}{l} \quad (\text{A-20})$$

A.3.3 Dépendance de la résistivité de barrière à la tension de grille

L'effet de la tension de grille sur la barrière tunnel est encore mal compris. Son existence a été démontrée expérimentalement (Beaumont et al., 2009), mais les différents paramètres en jeu n'ont pas encore été identifiés avec précision. Il sera néanmoins probablement nécessaire d'introduire cet effet dans MARSSEA si on souhaite pouvoir simuler avec précision le comportement des dispositifs créés. On cherchera pour cela à savoir, à travers des caractérisations de dispositifs expérimentaux, si cet effet est non négligeable dans les gammes de tensions utilisées, et on observera les dépendances avec la capacité de grille, et les paramètres des barrières.

LISTE DES RÉFÉRENCES

- Abramov, I.I. & Novik, E.G., 2000. Parameters of Metal One-Electron Transistors Based on Various Materials. *Physics of Semiconductor Devices*, pp.1014-19.
- Anon., 2009. *Emerging Research Devices*. International Technology Roadmap for Semiconductors.
- Anon., 2011. *Process Integration, Devices, and Structures*. ITRS.
- Beaumont, A., Dubuc, C., Beauvais, J. & Drouin, D., 2009. Room Temperature Single-Electron Transistor Featuring Gate-Enhanced ON-State Current. *IEEE Electron Device Letters*, 30(7), pp.766-68.
- Beaumont, A. et al., n.d. MARSSEA, a simulator for high temperature single electron devices. *to be published*.
- Ben Jamaa, M.H., Mohanram, K. & De Micheli, G., 2010. Power consumption of logic circuits in ambipolar carbon nanotube technology. *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp.303-06.
- Borghetti, J. et al., 2009. Electrical transport and thermometry of electroformed titanium dioxide memristive switches. *Journal of Applied Physics*, 106, p.124504.
- Bounouar, M.A., Beaumont, A., Calmon, F. & Drouin, D., 2012. On the use of nanoelectronic logic cells based on metallic Single Electron Transistors. *Ultimate Integration on Silicon (ULIS), 2012 13th International Conference*, pp.157-60.
- Bsoul, A., 2009. *Reliability and Variation-Aware Placement for Field Programmable Gate Arrays*. Kingston, Canada: Queen's University.
- Campbell, S.A. et al., 1999. Titanium dioxide (TiO₂)-based gate insulators. *IBM Journal of Research and Development*, 43(3), pp.383-92.
- Cavin, R., Lugli, P. & Zhirnov, V., 2012. Science and Engineering Beyond Moore's Law. *Proceedings of the IEEE*, 100, pp.1720-49.
- Chiu, F.C. et al., 2005. Electrical characterization of tunnel insulator in metal/insulator tunnel transistors fabricated by atomic force microscope. *Applied Physics Letters*.
- Choi, B.H. et al., 1998. Fabrication and room-temperature characterization of a silicon self-assembled quantum-dot transistor. *Applied Physics Letters*, 73(21), pp.3129-31.
- Davis, R. et al., 2005. Demystifying 3D ICs: The Pros and Cons of Going Vertical. *IEEE Design & Test of Computers*, 22(6), pp.498-510.
- Dolan, G.J., 1977. Offset masks for lift-off photoprocessing. *Applied Physics Letters*, pp.337-39.
- Droulers, G., Beaumont, A., Beauvais, J. & Drouin, D., 2010. Spectroscopic ellipsometry on thin titanium oxide layers grown on titanium by plasma oxidation. *Journal of Vacuum Science and Technology*.

- Dubuc, C., 2008. *Etudes et fabrication de transistors mono-électroniques à température d'opération étendue*. Sherbrooke: Université de Sherbrooke.
- Dubuc, C., Beaumont, A., Beauvais, J. & Drouin, D., 2009. Current Conduction Models in High Temperature Single Electron Transistor. *Solid State Electronics*, 53, pp.478-82.
- Dubuc, C., Beauvais, J. & Drouin, D., 2007. Single-electron transistors with wide operating temperature range. *Applied Physics Letters*, 90.
- Dubuc, C., Beauvais, J. & Drouin, D., 2008. A Nanodamascene Process for Advanced Single-Electron Transistor Fabrication. *IEEE Transactions on Nanotechnology*, 7(1), pp.68-73.
- Ecoffey, S. et al., 2011. Ultrathin Titanium Passive Devices Fabrication. *2011 11th IEEE International Conference on Nanotechnology*, pp.1689-92.
- Gaillard, N., Pinzelli, L. & Gros-Jean, M., 2006. In situ electric field simulation in metal/insulator/metal capacitors. *Applied Physics Letters*, 89, p.133506.
- Gautier, J., 2005. Single electronics SET operation. In *XI-th Vietnam School Of Physics.*, 2005.
- George, H. et al., 2009. Effects of Visible Light on Al/AlOx Single-Electron Transistors. *2009 IEEE Nanotechnology Materials and Devices Conference*, pp.19-22.
- Gibson, G.A. & Meservey, R., 1985. Properties of Amorphous Germanium Tunnel Barriers. *Journal of Applied Physics*, 58(4), pp.1584-96.
- Gotoh, Y. et al., 2000. Experimental and Simulated Results of Room Temperature Single Electron Transistor Formed by Atomic Force Microscopy Nano-Oxidation Process. *Japanese Journal of Applied Physics*, 39, pp.2334-37.
- Gotoh, Y., Matsumoto, K. & Maeda, T., 2002. Room Temperature Coulomb Diamond Characteristic of Single Electron Transistor Made by AFM Nano Oxidation Process. *Japanese Journal of Applied Physics*, 41, pp.2578-82.
- Govoreanu, B. et al., 2003. A model for tunneling current in multi-layer tunnel dielectrics. *Solid State Electronics*, 47, pp.1045-53.
- Grabert, H. & Devoret, M.H., 1992. *Single Charge Tunneling*. New York: Plenum Press.
- Grover, S. & Moddel, G., 2012. Engineering the current-voltage characteristics of metal-insulator-metal diodes using double-insulator tunnel barriers. *Solid State Electronics*, 67, pp.94-99.
- Guay, P., 2012. *Energy dissipation and transport in nanoscale devices*. [Online] Available at: <http://www.nanotechnologies.qc.ca/blog/industry/energy-dissipation-nanoscale-devices>.
- Heinrich, A.J., Lutz, C.P., Gupta, J.A. & Eigler, D.M., 2002. Molecule Cascades. *Science*, pp.1381-86.
- Hickmott, T.W., 2012. Electroforming and Ohmic contacts in Al-Al₂O₃-Ag diodes. *Journal of Applied Physics*, 111.
- Hobbs, P.C.D., Laibowitz, R.B. & Libsch, F.R., 2005. Ni-NiO-Ni Tunnel Junctions for Terahertz and Infrared Detection. *IBM Research Report*.
- Hsu et al., 2002. The Removal Selectivity of Titanium and Aluminium in Chemical Mechanical Planarization. *Journal of The Electrochemical Society*, 149(3), pp.G204-08.

- Huang, J.-J., Kuo, C.-W., Chang, W.-C. & Hou, T.-H., 2010. Transition of stable rectification to resistive-switching in Ti/TiO₂/Pt oxide diode. *Applied Physics Letters*, 96, p.262901.
- Inokawa, H., Fujiwara, A. & Takahashi, Y., 2001. A Multiple-Valued Logic with Merged Single-Electron and MOS Transistors. *IEEE-IEDM*, pp.147-50.
- Inokawa, H., Fujiwara, A. & Takahashi, Y., 2003. A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors. *IEEE transactions on electron devices*, 50(2), pp.462-70.
- Inokawa, H. et al., 2004. A Single-Electron-Transistor Logic Gate Family and its Application - Part II: Design and Simulation of a 7-3 Parallel Counter with Linear Summation and Multiple-Valued Latch Functions. *IEEE Proceedings of the 34th International Symposium on Multiple-Valued Logic*.
- Ionescu, A. et al., 2002. Few Electron Devices: Towards Hybrid CMOS-SET Integrated Circuits. *IEEE Design Automation Conference, 2002. Proceedings. 39th*, pp.88-93.
- Khondaker, S., Luo, K. & Yao, Z., 2010. The fabrication of single-electron transistors using dielectrophoretic trapping of individual gold nanoparticul. *Nanotechnology*, 21.
- Kim, K.M. et al., 2011. A detailed understanding of the electronic bipolar resistance switching behavior in Pt/TiO₂/Pt structure. *Nanotechnology*, 22(25), p.254010.
- Krupenin, V.A., Presnov, D.E., Zorin, A.B. & Niemeyer, J., 1999. Aluminum Single Electron Transistors with Islands Isolated from a Substrate. *Condensed Matter Mesoscale and Nanoscale Physics*.
- Kuon, I. & Rose, J., 2007. Measuring the Gap Between FPGAs and ASICs. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 26(2), pp.203-15.
- Laegeweg, C.R., 2004. *Single Electron Tunneling Based Arithmetic Computation*. Delft University.
- Lau, C.K., 1985. Method of forming a titanium disilicide. (4, 545, 116).
- Lee, Y.-C., Joshi, V., Orlov, A. & Snider, G., 2010. Si single electron transistor fabricated by chemical mechanical polishing. *Journal of Vacuum Science and Technology B*, 28(6), pp.C6L9-C6L13.
- Lee, C.K., Kim, S.J., Shin, S.J. & Choi, J.B..T.Y., 2008. Single-electron-based flexible multivalued logic gates. *Applied Physics Letters*, 92(9).
- Lent, C., Tougaw, D., Porod, W. & Bernstein, G., 1993. Quantum Cellular Automata. *Nanotechnology*, 4, pp.49-57.
- Likharev, K.K., 1999. Single Electron Devices and Their Applications. *Proceedings of the IEEE*, 87(4), pp.606-32.
- Likharev, K., 1999. Single-Electron Devices and Their Applications. *Proceedings of the IEEE*, 87(4), pp.606-32.
- Li, P.W. et al., 2004. Fabrication of a germanium quantum-dot single-electron transistor with large Coulomb-blockade oscillations at room temperature. *Applied Physics Letters*, 85(9), pp.1532-34.

- Mahapatra, S., 2005. *Hybrid CMOS-SET Devices and Circuits: Modeling, Simulation and Design*. Lausanne: Ecole Polytechnique Fédérale de Lausanne.
- Mahapatra, S. & Ionescu, A.M., 2005. Realization of Multiple Valued Logic and memory by Hybrid SETMOS Architecture. *IEEE Transactions on Nanotechnology*, 4(6), pp.705-14.
- Maîtrejean, S. et al., 2006. Experimental measurements of electron scattering parameters in Cu narrow lines. *Microelectronic Engineering*, 83(11-12), pp.2196-401.
- Nakamura, Y., Chen, C. & Tsai, J.-S., 1996. 100-K Operation of Al-Based Single-Electron Transistors. *Japanese Journal of Applied Physics*, 35(11), pp.1465-67.
- Navi, K. & Kavehei, O., 2008. Low-Power and High-Performance 1-Bit CMOS Full-Adder Cell. *Journal of Computers*, 3(2), pp.48-54.
- Ono, Y., Inokawa, H. & Takahashi, Y., 2002. Binary adders of multigate single-electron transistors: specific design using pass-transistor logic. *IEEE Transactions on Nanotechnology*, 1(2), pp.93-99.
- Ono, Y. et al., 2008. *Nanotechnology, Volume 3: Information Technology*. Weinheim: Wiley-VCH.
- Ono, Y. et al., 2000. Fabrication method for IC-oriented Si single-electron transistors. *Transactions on Electron Devices, IEEE*, pp.147-53.
- Parekh, R., Beaumont, A., Beauvais, J. & Drouin, D., 2012. Simulation and Design Methodology for Hybrid SET-CMOS Integrated Logic at 22-nm Room-Temperature Operation. *IEEE Transactions on electron devices*, 59(4), pp.918-23.
- Park, K.-S. et al., 2005. SOI Single-Electron Transistor With Low RC Delay for Logic Cells and SET/FET Hybrid ICs. *IEEE Transactions on Nanotechnology*, 4(2), pp.242-47.
- Pashkin, Y.A., Nakamura, Y. & Tsai, J.S., 2000. Room-temperature Al single-electron transistor made by electron-beam lithography. *APPLIED PHYSICS LETTERS*, pp.2256-58.
- Prager, A.A., 2010. *Bridging the Gap between CMOS and QCA: The Integration of Single Electron Devices and CMOS Technology*. Thèse de doctorat. Notre Dame: University of Notre Dame.
- Prager, A.A., Orlov, A.O. & Snider, G.L., 2009. Integration of CMOS, single electron transistors, and quantumdot cellular automata. *IEEE Nanotechnology Materials and Devices Conference, 2009*, pp.54-58.
- Ray, V. et al., 2008. CMOS-compatible fabrication of room-temperature single-electron devices. *Nature Nanotechnology*, 3, pp.603 - 608.
- Rippard, W.H., Perrella, A.C., Albert, F.J. & Buhrman, R.A., 2002. Ultrathin Aluminium Oxide Tunnel Barriers. *Physical Review Letters*, 88(4).
- Rousseau, M., 2009. *Impact des technologies d'intégration 3D sur les performances des composants CMOS*. Toulouse: Université Paul Sabatier - Toulouse III.
- Russer, P. & Fichtner, N., 2010. Nanoelectronics in Radio-Frequency Technology. *IEEE Microwave Magazine*, 11(3), pp.119-35.

- Saitoh, M., Harata, H. & Hiramoto, T., 2004. Room-temperature demonstration of integrated silicon single-electron transistor circuits for current switching and analog pattern matching. *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, pp.187-90.
- Satoh, Y. et al., 1999. Voltage Gain in GaAs-Based Lateral Single-Electron Transistors Having Schottky Wrap Gates. *Japanese Journal Applied Physics*, 38, pp.410-14.
- Schmid, A. & Leblebici, Y., 2004. Robust circuit and system design methodologies for nanometer-scale devices and single-electron transistors. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 12(11), pp.1156-66.
- Schmid, U. & Seidel, H., 2008. Effect of high temperature annealing on the electrical performance of titanium/platinum thin films. *Thin Solid Films*, 516, pp.898-906.
- Shirakashi, J.-I., Matsumoto, K., Miura, N. & Konagai, M., 1998. Single-electron charging effects in Nb/Nb oxide-based single-electron transistors at room temperature. *Applied Physics Letters*, 72(15), pp.1893-95.
- Simmons, J.G., 1963. Generalized Formula for the Electric Tunnel Effect between Similar Electrodes Separated by a Thin Insulating Film. *Journal of Applied Physics*, 34(6), pp.1793-803.
- Skotnicki, T., 2000. Transistor MOS et sa technologie de fabrication. *Techniques de l'ingénieur*, E2430.
- Sui, B., Fang, L., Chi, Y. & Zhang, C., 2010. Nano-Reconfigurable Cells With Hybrid Circuits of Single-Electron Transistors and MOSFETs. *IEEE Transactions on Electron Devices*, 57(9), pp.2251-57.
- Takahashi, Y. et al., 2000. Multigate single-electron transistors and their application to an exclusive-OR gate. *Applied Physics Letters*, 76(5), pp.637-39.
- Theis, T. & Solomon, P., 2010. In Quest of the "Next Switch": Prospects for Greatly Reduced Power Dissipation in a Successor to the Silicon Field-Effect Transistor. *Proceedings of the IEEE*, 98(12), pp.2005-14.
- Tucker, J.R., 1992. Complementary digital logic based on the "Coulomb blockade". *Journal of Applied Physics*, 72(9), pp.4399-413.
- Uchida, K., Koga, J., Ohba, R. & Toriumi, A., 2003. Programmable Single Electron Transistor Logic for Future Low-Power Intelligent LSI: Proposal and Room-Temperature Operation. *IEEE Transactions on Electron Devices*, 50(7), pp.1623-30.
- Uchida, K., Matsuzawa, K. & Toriumi, A., 1999. A New Design Scheme for Logic Circuits with Single Electron Transistors. *Japanese Journal of Applied Physics*, 38(7), pp.4027-32.
- Visscher, E.H. et al., 1995. Fabrication of multilayer single-electron tunneling devices. *Applied Physic Letter*, 66(3), pp.305-07.
- Wang, M.T., Wang, T.H. & Lee, J.Y.M., 2005. Electrical conduction mechanism in high-dielectric-constant ZrO₂ thin films. *Microelectronics Reliability*.
- Waser, R., 2012. *Nanoelectronics and Information Technology Advanced Electronic Materials and Novel Devices*. 3rd ed. Aachen: Wiley-VCH.

- Wasshuber, C., Kosina, H. & Selberherr, S., 1997. SIMON - A Simulator for Single-Electron Tunnel Devices and Circuits. *IEEE Transactions on TCAD*, 16(17), pp.937-44.
- Xuan, W., 2010. *Contribution à la modélisation et à la caractérisation de composants à un électron*. Thèse de doctorat. Lyon: INSA de Lyon.
- Xuan, W. et al., 2012. Static and Dynamic Modeling of Single-Electron Memory for Circuit Simulation. *IEEE Transactions on Electron Devices*, 59(1), pp.212-20.
- Yamamoto, O., Alvarez, K., Kituchi, T. & Fukuda, M., 2009. Fabrication and characterization of oxygen-diffused titanium for biomedical applications. *Acta Biomaterialia*, 5(9), pp.3605-15.
- Yokota, K. & Yamada, T., 1998. Preparation of titanium-dioxide films by heating titanium/silicon-dioxide structures on silicon in oxygen. *Mat Res Innovat*, 2, pp.103-09.
- Yu, Y.S., Hwang, S.W. & Ahn, D., 1999. Macromodeling of Single-Electron Transistors for Efficient Circuit Simulation. *IEEE Transactions on Electron Devices*, 46(8), pp.1667-71.
- Zhang, W. et al., 2004. Influence of the electron mean free path on the resistivity of thin metal films. *Microelectronic Engineering - Proceedings of the European workshop on materials for advanced metallization 2004*, 76(1-4), pp.146-52.
- Zhou, Y., Xiong, C. & Lu, C., 2012. A Novel Comparator Circuit of Single Electron and MOS Transistors. *Applied Mechanics and Materials*, 120, pp.516-19.
- Zhuang, L., Guo, L. & Chou, S., 1998. Silicon single-electron quantum-dot transistor switch operating at room temperature. *Applied Physics Letters*, 72(10), pp.1205-07.
- Zhu, C. et al., 2009. Characterization of Single-Electron Tunneling Transistors for Designing Low-Power Embedded Systems. *IEEE Transactions on very large scale integration (VLSI) systems*, 17(5), pp.646-59.

FOLIO ADMINISTRATIF

THESE SOUTENUE DEVANT L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON

NOM : JOUVET

DATE de SOUTENANCE : 21 Novembre

Prénoms : Nicolas

TITRE : Intégration hybride de transistors à un électron sur un nœud technologique CMOS

NATURE : Doctorat

Numéro d'ordre : 2012ISAL0114

Ecole doctorale : EEA

Spécialité : Electronique

RESUME :

Cette étude porte sur l'intégration hybride de transistors à un électron (*single-electron transistor*, SET) dans un nœud technologique CMOS. Les SETs présentent de forts potentiels, en particulier en termes d'économies d'énergies, mais ne peuvent complètement remplacer le CMOS dans les circuits électriques. Cependant, la combinaison des composants SETs et MOS permet de pallier à ce problème, ouvrant la voie à des circuits à très faible puissance dissipée, et à haute densité d'intégration. Cette thèse se propose d'employer pour la réalisation de SETs dans le *back-end-of-line* (BEOL), c'est-à-dire dans l'oxyde encapsulant les CMOS, le procédé de fabrication nanodamascène, mis au point par C. Dubuc. Les avantages de ce procédé sont triples : capacité de créer des dispositifs SETs à large marge d'opération, répétabilité élevée, et compatibilité potentielle avec une fabrication en BEOL. Ce dernier point est particulièrement important. En effet, il ouvre la voie à la fabrication de nombreuses couches de SETs empilées les unes sur les autres et formant ainsi des circuits 3D, réalisées au dessus d'une couche de CMOS. Ceci permettrait d'apporter une forte valeur ajoutée aux plaques de CMOS existantes. On présentera les réalisations obtenues par une adaptation du procédé nanodamascène à une fabrication en BEOL, en mettant en avant les limites rencontrées, et les perspectives d'améliorations. Des caractérisations électriques des dispositifs seront aussi présentées. Elles démontreront la fonctionnalité des dispositifs créés, et valideront le transfert avec succès de la méthode nanodamascène à une fabrication en BEOL. Elles ont aussi permis d'identifier la présence d'un nombre élevé de pièges au cœur des dispositifs fabriqués. L'étude du potentiel des SETs fabriqués pour la réalisation de circuits hybride SET-CMOS a été faite au travers de simulations. Il a ainsi été possible d'identifier les pistes à privilégier pour les réalisations futures de circuits hybrides.

MOTS-CLES : MOSFET, transistor à un électron (SET), nanotechnologie, microfabrication, nanodamascène, caractérisations électriques

Laboratoire (s) de recherche :

Institut des Nanotechnologies de Lyon (INL)

Institut Interdisciplinaire d'Innovation Technologique (3IT)

Directeur de thèse: DROUIN Dominique, SOUIFI Abdelkader

Président de jury : RUEDIGER Andreas

Composition du jury : BEAUMONT Arnaud, BENASSAYAG Gérard, CHARLEBOIS Serge, DROUIN Dominique, MONFRAY Stéphane, RUEDIGER Andreas, SOUIFI Abdelkader