

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : NanoElectronique et NanoTechnologies

Arrêté ministériel : 7 août 2006

N° : ISBN 978-2-84813-190-0

Présentée par

« **Hawraa AMHAZ** »

Thèse dirigée par « **Gilles SICARD** »

préparée au sein du **Laboratoire TIMA**
dans l'**École Doctorale « Electronique, Electrotechnique,
Automatique et Traitement du Signal, EEATS »**

Traitement d'images bas niveau intégré dans un capteur de vision CMOS

Thèse soutenue publiquement le 10 juillet 2012,
devant le jury composé de :

M. Philippe BENECH

Professeur à l'université Joseph Fourier, Président

M. Michel PAINDAVOINE

Professeur à l'université de Bourgogne, Rapporteur

M. Pierre MAGNAN

Professeur à l'université de Toulouse, Rapporteur

M. Antoine DUPRET

Chercheur au CEA LETI de Grenoble, Invité

M. Gilles SICARD

Maître de conférences à l'université Joseph Fourier, Directeur de la thèse



Remerciement :

Ce manuscrit de thèse est le fruit de quatre ans de travail de thèse mené au sein du laboratoire TIMA sous la houlette de Mr. Gilles SICARD. Mes remerciements lui reviennent, naturellement en premier. J'apprécie beaucoup toutes les discussions que nous avons eues ensemble au fil de ces années, les conseils qu'il m'a toujours offerts, aussi bien que son support aux moments difficiles. C'est avec beaucoup de reconnaissance que je lui remercie pour tout ceci et pour plein d'autres moments que nous avons partagés.

Je tiens à remercier Mme Dominique BORRIONE, la directrice du TIMA, de laquelle je ne garde en mémoire que tout sentiment de respect et d'admiration. Je la remercie de m'avoir accueillie dans le laboratoire depuis mon stage de master.

Ensuite, je n'oublierai pas l'équipe du CIME NANOTECH et en premier, Mr Alexandre CHAGOYA, notre père aimable qui a toujours été là pour nous, beaucoup plus que sa mission de travail le demandait. Sa gentillesse, ses mots tendres, et sa tendance à soigner tout le monde m'ont vraiment marqué le cœur. Je remercie encore fortement, Mr Robin ROLLAND pour tout son support, ses conseils et ses aides logistiques durant les manipulations.

Je continue en remerciant tous les membres de TIMA (les « TIMAliens » comme on le dit), pour tous les moments que nous avons partagés. Je note spécialement l'équipe CIS avec qui j'ai passé le plus du temps. Oussama, avec qui j'ai partagé le bureau pour deux ans et plus, Eslam aussi mon collègue de bureau, Hakim mon collègue du domaine avec qui j'ai partagé du travail et des bons souvenirs des conférences que nous avons faites ensemble, Alexandre, le dynamo du groupe, Franck le français 5 étoiles, Florent, Hatem, TugDual, Julien, Mounir et enfin mes compatriotes Taha, Hassan, Amani et Iman, je vous remercie tous pour tous les moments que nous avons partagés ensemble durant les activités du groupe CIS et notamment durant l'activité la plus fréquente : la fameuse « pause café ». De même, je tiens à remercier toute l'équipe administrative de TIMA et spécialement notre voisine Alice.

Finalement, je ne peux que remercier affectueusement, mes parents et ma famille aux quels je dois ma vie entière surtout ma mère qui a sacrifié sa vie personnelle en faveur de notre bonheur et l'âme de mon père qui ne me prive pas de ses soins, même de très loin. Ma sœur Alaa et mes frères Houssein et Mohamad, je vous remercie énormément pour tout. Que vous soyez dans ma vie, rien que ça nécessite beaucoup de remerciement. Et enfin, je termine par remercier une personne qui a toujours été là pour moi dans les moments difficiles et avec qui je partage toute une vie, mon très cher Louay.

Abstract:

The classical image processing is based on the evaluation of data delivered by a vision sensor system as images. The captured light information is extracted sequentially from each photosensitive element (pixel) of the matrix with a fixed frequency called frame rate. These data, once stored, form a matrix of data that is entirely updated at the acquisition of each new image. Therefore, for high resolution imagers, the data flow is huge. Moreover, the conventional systems do not take into account the fact that the stored data have changed or not compared to the previously acquired image. Indeed, there is a high probability that this information is not changed. Therefore, this leads, depending on the "activity" of the filmed scene, to a high level of temporal redundancies. Similarly, the usual scanning methods do not take into account that the read pixel has or not the same value of his neighbor pixel read once before. This adds to the temporal redundancies, spatial redundancies rate that depends on the spatial frequency spectrum of the scene. In this thesis, we have developed several solutions that aim to control the output data flow from the imager trying to reduce both spatial and temporal pixels redundancies. A constraint of simplicity and "Smartness" of the developed readout techniques makes the difference between what we present and what has been published in the literature. Indeed, the works presented in the literature suggest several solutions to this problem, but in general, these solutions require large sacrifices in terms of pixel area, since they implement complex electronic functions in situ.

The operating principles, the emulation in MATLAB, the electrical design and simulations and the experimental results of the proposed techniques are explained in detail in this manuscript.

Keywords: "smart" CMOS image sensor, pixel, dataflow control, readout schemes

Résumé :

Le traitement d'images classique est basé sur l'évaluation des données délivrées par un système à base de capteur de vision sous forme d'images. L'information lumineuse captée est extraite séquentiellement de chaque élément photosensible (pixel) de la matrice avec un certain cadencement et à fréquence fixe. Ces données, une fois mémorisées, forment une matrice de données qui est réactualisée de manière exhaustive à l'arrivée de chaque nouvelle image. De fait, Pour des capteurs à forte résolution, le volume de données à gérer est extrêmement important. De plus, le système ne prend pas en compte le fait que l'information stockée ai changé ou non par rapport à l'image précédente. Cette probabilité est, en effet, assez importante. Ceci nous mène donc, selon « l'activité » de la scène filmée à un haut niveau de redondances temporelles. De même, la méthode de lecture usuelle ne prend pas en compte le fait que le pixel en phase de lecture a la même valeur ou non que le pixel voisin lu juste avant. Cela rajoute aux redondances temporelles un taux de redondances spatiales plus ou moins élevé selon le spectre de fréquences spatiales de la scène filmée. Dans cette thèse, nous avons développé plusieurs solutions qui visent contrôler le flot de données en sortie de l'imageur en essayant de réduire les redondances spatiales et temporelles des pixels. Les contraintes de simplicité et d'« intelligence » des techniques de lecture développées font la différence entre ce que nous présentons et ce qui a été publié dans la littérature. En effet, les travaux présentés dans l'état de l'art proposent des solutions à cette problématique, qui en général, exigent de gros sacrifices en terme de surface du pixel, vu qu'elles implémentent des fonctions électroniques complexes in situ.

Les principes de fonctionnement, les émulations sous MATLAB, la conception et les simulations électriques ainsi que les résultats expérimentaux des techniques proposées sont présentés en détails dans ce manuscrit.

Mots clés : Capteur de vision CMOS « intelligent », pixel, contrôle du flot de données, techniques de lecture

Table des matières :

INTRODUCTION GENERALE	1
CHAPITRE 1: GENERALITES SUR LES CAPTEURS DE VISION	5
I. INTRODUCTION	6
II. L'EVOLUTION TECHNOLOGIQUE	7
III. QU'EST CE QUE C'EST UN APPAREIL PHOTO NUMERIQUE ?	10
<i>III.1. Structure de base des APNs</i>	<i>10</i>
IV. LA PHOTOTRANSDUCTION	13
V. LES CAPTEURS ELECTRONIQUES	15
<i>V.1. Les capteurs CCD</i>	<i>15</i>
<i>V.2. Les capteurs CMOS</i>	<i>18</i>
<i>V.3. Comparatif CCD vs CMOS</i>	<i>18</i>
VI. EVOLUTION DES PIXELS DES CAPTEURS CMOS	19
<i>VI.1. Les capteurs PPS</i>	<i>20</i>
<i>VI.2. Les capteurs APS</i>	<i>20</i>
VII. CARACTERISTIQUES DE LA MATRICE DE PIXELS CMOS	21
<i>VII.1. La taille du pixel et le facteur de remplissage</i>	<i>21</i>
<i>VII.2. La résolution du capteur</i>	<i>22</i>
<i>VII.3. La sensibilité de l'élément photosensible</i>	<i>22</i>
<i>VII.4. La dynamique de fonctionnement des pixels</i>	<i>23</i>
<i>VII.5. Le bruit dans le capteur ; sources et techniques de correction</i>	<i>23</i>
<i>VII.6. Technique de compensation du bruit</i>	<i>26</i>
VIII. CONCLUSION	28
CHAPITRE 2: INTRODUCTION DE LA PROBLEMATIQUE ET ETUDE DE LA LITTERATURE	29
I. INTRODUCTION	30
II. CHAINE DE LECTURE STANDARD DANS UN CAPTEUR DE VISION CMOS	30
<i>II.1. Etat de l'art de la conception des CANs pour les imageurs</i>	<i>34</i>
III. TECHNIQUE DE LECTURE A « AER »	38
IV. ETAT DE L'ART	40
V. LECTURE PAR CONVERSION TENSION - TEMPS	47
VI. LECTURE APRES COMPRESSION SUR PUCE :	48
VII. CONCLUSION	48

CHAPITRE 3: TECHNIQUE DE COMPARAISON AU VOISIN; REDUCTION DES REDONDANCES SPATIALES

LIGNE.....	52
I. INTRODUCTION	52
II. PRINCIPE DE FONCTIONNEMENT	52
<i>II.1. Chaîne de lecture standard</i>	53
III. MODELISATION SOUS MATLAB	55
<i>III.1. Modélisation et émulation</i>	56
IV. IMPLEMENTATION DE LA TECHNIQUE	57
<i>IV.1. Soustracteur de tension à base de capacités commutées</i>	58
<i>IV.2. Simulation du soustracteur</i>	72
<i>IV.3. Variation process du soustracteur</i>	75
<i>IV.4. Layout du soustracteur :</i>	76
<i>IV.5. Le circuit comparateur à contre réaction positive [Maloberti_09]</i>	76
<i>IV.6. Simulation du comparateur</i>	78
<i>IV.7. Variation process et technique de compensation</i>	79
<i>IV.8. Dessin de masque du comparateur :</i>	81
V. SIMULATION ELECTRIQUE DE L'ARCHITECTURE PROPOSEE	81
VI. CONCLUSION	83

CHAPITRE 4: TECHNIQUE DE MOYENNAGE ; REDUCTION DES REDONDANCES TEMPORELLES85

I. INTRODUCTION	86
II. ARCHITECTURE DU SYSTEME SUR PUCE PROPOSEE	86
III. MODELISATION DE LA TECHNIQUE SOUS MATLAB.....	87
IV. PRINCIPE THEORIQUE	90
V. APPLICATION AU PIXEL A REPOSE LOGARITHMIQUE	92
<i>V.1. Mode de faible inversion</i>	93
<i>V.2. Etage de sortie du pixel</i>	94
<i>V.3. Développement du pixel logarithmique</i>	95
<i>V.4. La technique de calibration</i>	95
<i>V.5. L'augmentation de la dynamique de sortie</i>	96
<i>V.6. Pixel de base de la technique de moyennage</i>	100
<i>V.7. Dessin de masque de l'imageur ImaDeM</i>	102
<i>V.8. Conception de la partie numérique</i>	104
<i>V.9. Environnement de test et de mesure :</i>	105
<i>V.10. Résultats expérimentaux du circuit IMADeM</i>	106
VI. APPLICATION AU PIXEL LINEAIRE	106

VI.1. Pixel à capture instantanée	107
VI.2. Les pixels « global shutter » à quatre transistors	107
VI.3. Les pixels « global shutter » à cinq transistors	108
VI.4. Pixel « global shutter » à moyennage	109
VII. RESULTATS EXPERIMENTAUX	111
VII.1. Conclusion.....	113
VIII. DETECTION DE MOUVEMENT	113
IX. CONCLUSION	115
CHAPITRE 5: DETECTION DES EVENEMENTS DANS LES IMAGEURS CMOS.....	117
I. INTRODUCTION	118
II. PROBLEMATIQUE DE LA TECHNIQUE DE REDUCTION DES REDONDANCES TEMPORELLES	118
III. CONCEPTION DU CIRCUIT DETECTEUR D'EVENTEMENT	119
IV. SIMULATION DE LA TECHNIQUE PROPOSEE.....	121
V. ARCHITECTURE GLOBALE DE LA TECHNIQUE DE LECTURE PROPOSEE.....	123
VI. LAYOUT FULL CUSTOM D'UN MACRO-BLOC.....	125
VII. RESULTATS EXPERIMENTAUX	126
VII.1. Conclusion.....	126
VIII. EXPLORATION DU CIRCUIT DETECTEUR D'EVENTEMENT DANS LA REDUCTION DES REDONDANCES SPATIALES.....	127
VIII.1. Introduction.....	127
VIII.2. Modélisation de la technique proposée sous MATLAB.....	128
VIII.3. Conception des blocs analogiques.....	129
VIII.4. Simulation d'un banc de test de l'architecture entière.....	130
VIII.5. Application de la technique de réduction des redondances spatiales à un imageur couleur	132
VIII.6. Conclusion.....	134
CONCLUSION GENERALE ET PERSPECTIVES FUTURES.....	135

Introduction générale

Introduction générale:

Le marché des imageurs CMOS est un des segments qui évoluent très rapidement dans le domaine de l'industrie des semi-conducteurs. Ceci est dû essentiellement à l'adoption croissante des caméras par les appareils de téléphonie mobile et du développement accéléré des appareils photos numériques grand public.

Ces capteurs CMOS viennent remplacer leurs prédécesseurs dits CCD (Charge Coupled Devices) qui ont dominé le marché depuis les années 70 après leur invention par W.Boyle et G.Smith du laboratoire Bell en 1969. A ces jours, les capteurs CMOS constituent un axe de recherche et de développement très important sur lequel de nombreuses équipes de recherche sont focalisées. De nombreuses améliorations, ces dix dernières années, ont permis aux imageurs CMOS de rattraper les performances des imageurs CCD pour les marchés les plus prolifiques. La figure 1, émanant d'un rapport de la société « ICInsights » [ICInsights_11], montre la répartition des ventes dans le marché des imageurs entre les capteurs CCD et CMOS au fil de ces dernières années.

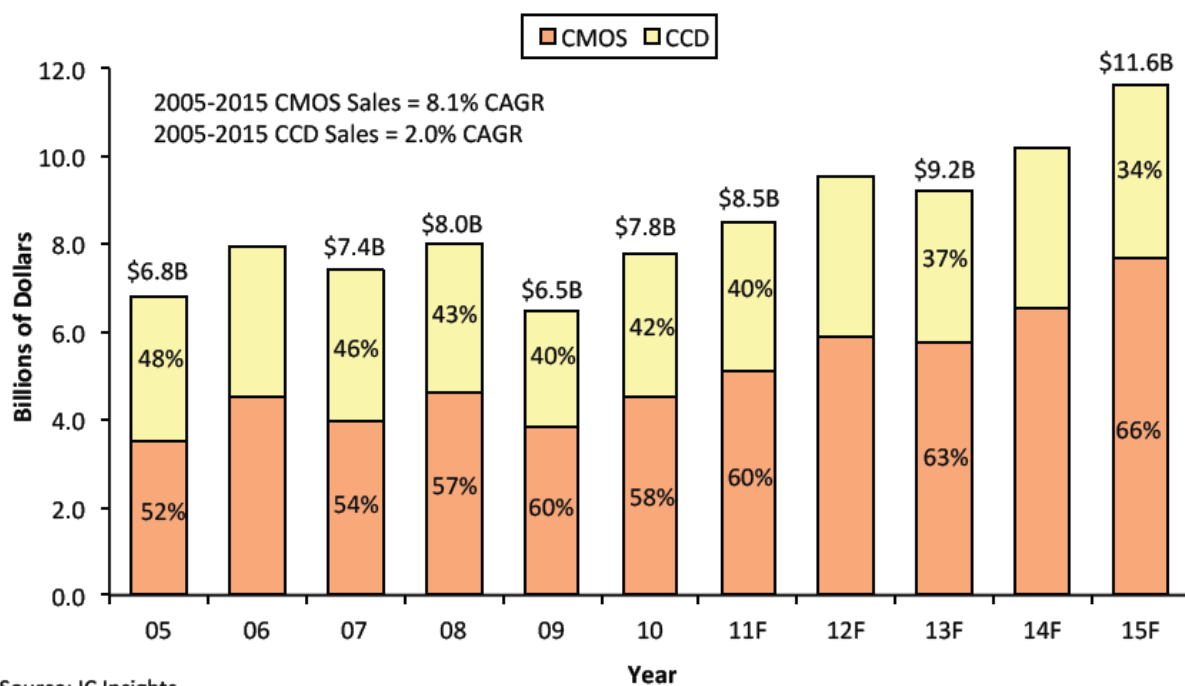
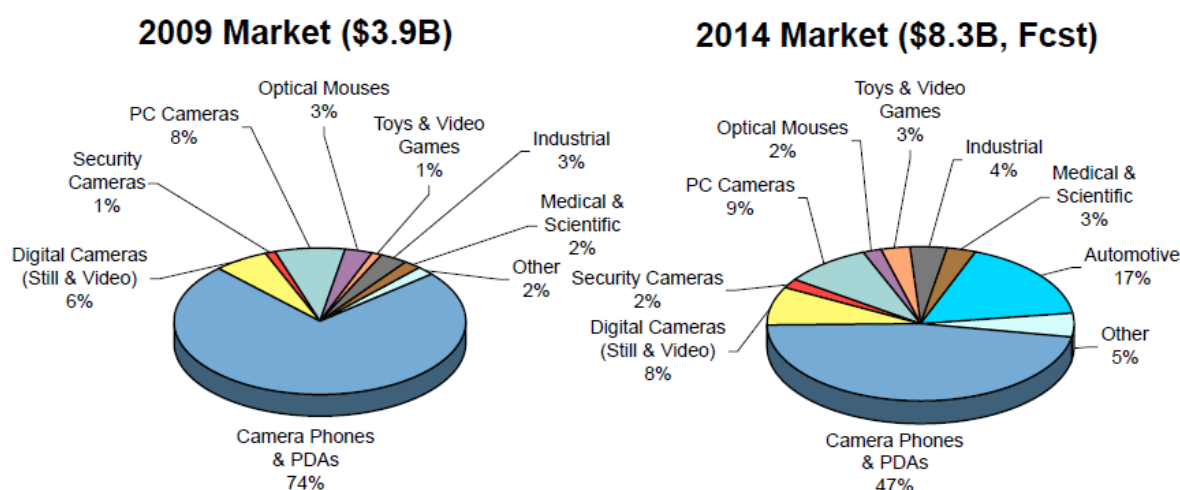


Figure1 : Répartition des ventes dans le marché des imageurs entre les capteurs CCD et CMOS

L'avancement majeur qui a conduit à l'évolution rapide des imageurs CMOS est l'évolution de la technologie CMOS en termes de miniaturisation et de maturation. En soi, l'utilisation des composants CMOS est considérée comme un grand avantage car elle permet l'implémentation potentielle de fonctions de prétraitements et de correction des défauts. En effet, après les premiers capteurs CMOS dits à pixels passifs (PPS pour Passive Pixel Sensor), les capteurs à pixels actifs implémentent la

première fonctionnalité interne au pixel, celle de l'amplification. Cependant, ce premier APS souffrait de plusieurs autres limitations dont la dynamique de fonctionnement, le bruit dû aux variations du procédé de fabrication des circuits ou encore une grande sensibilité envers les variations de température. Les diagrammes de la figure 2, montrent l'évolution du marché entre 2009 et les prévisions pour 2014. Outre l'accroissement fort du marché, on note l'apparition de nouveaux marchés comme l'automobile avec une part de marché très importante alors qu'il ne figurait même pas en soi dans l'étude du marché de 2009 [ICInsights_10].



Source: IC Insights

Figure2 : répartition du marché des capteurs CMOS sur les différents instruments et applications

Le sujet que nous traitons dans cette thèse concerne un aspect des imageurs différent de ceux précités. En fait, vu que les capteurs de vision CMOS sont composés principalement d'un vecteur de pixels à deux dimensions, l'extraction entièrement parallèle des données s'avère techniquement impossible, à cause de la limitation en nombre de plots de la puce ainsi que de la limitation géométrique qui ne permet pas le passage d'un très grand nombre de connexion par-dessus les pixels. Par conséquent, le mode de lecture couramment adopté, par les concepteurs des imageurs CMOS, est un mode séquentiel qui consiste à scanner les informations lumineuses que portent les pixels, une par une, d'une manière exhaustive. Ce mode de lecture, à cause de sa séquentialité, comporte en soi une grande perte en consommation de puissance et en vitesse de lecture. En effet, si on considère une scène statique naturelle, on déduit systématiquement la présence de redondances spatiales définies comme étant des pixels dont la valeur se reproduit à l'identique dans une même image. Ainsi, la lecture de ces régions homogènes en intensité lumineuse conduit à une redondance d'information. Cela se traduit par soit une consommation de puissance excessive, soit une occupation de la largeur de bande du bus de sortie inutile. De plus, si on considère une séquence vidéo, toutes les parties statiques de la scène filmée sont aussi considérées comme redondantes du côté temporel cette fois, parce que les

valeurs des pixels qui représentent ces régions sont invariantes en fonction du temps pour plusieurs images successives.

Pour répondre à cette problématique, les chercheurs du domaine ont proposé et conçu une multitude de techniques de lecture très variées et très intéressantes. Dans la majorité des cas, une circuiterie électronique sophistiquée a été implémentée à l'intérieur du pixel, ce qui mène à complexifier l'architecture interne du pixel, augmente sa surface et réduit son facteur de remplissage ce qui nuit en fin de compte à la qualité des images obtenues. Ainsi, ce travail de thèse propose de concevoir des capteurs intelligents à flot de données réduit, sans affecter la circuiterie interne du pixel et donc sans en accroître sa surface. La contrainte principale que nous nous imposons est la simplicité. Ce manuscrit de thèse résume les travaux menés ces dernières années sur la diminution des redondances spatiales et temporelles des images tout en conservant une architecture d'imageur la plus simple possible afin de proposer des débuts de solutions industriellement fiables.

Ce manuscrit de thèse est structuré de la façon suivante ; Le premier chapitre introduit des généralités sur les appareils photos numériques, les capteurs de vision CCD et CMOS ainsi que les caractéristiques opto-électroniques des capteurs CMOS. Le deuxième chapitre énonce la problématique du flot de données en sortie du capteur CMOS et présente les solutions proposées à cette problématique dans la littérature. Le troisième chapitre introduit la première technique de contrôle du flot de données basée sur la réduction des redondances spatiales présentes dans les scènes naturelles. Le quatrième chapitre décrit une autre technique de lecture ciblant la réduction des redondances temporelles dans les séquences vidéo. L'étude théorique, la modélisation sous MATLAB, la conception analogique et numérique de ces techniques ainsi que les résultats des simulations électriques et les résultats de mesure y sont détaillées. Finalement le cinquième chapitre développe une nouvelle idée de détection d'événements spatiaux et temporels. De même, la conception analogique du circuit ainsi que les résultats de simulation électrique et les résultats expérimentaux de ce circuit y sont montrés. Une conclusion synthétique finalise ce manuscrit et ouvre l'horizon à d'autres perspectives pouvant être menées dans le futur.

Chapitre 1: Généralités sur les capteurs de vision

<i>I. INTRODUCTION :.....</i>	<i>6</i>
<i>II. L'ÉVOLUTION TECHNOLOGIQUE :</i>	<i>7</i>
<i>III. QU'EST CE QUE C'EST UN APPAREIL PHOTO NUMÉRIQUE ?.....</i>	<i>10</i>
<i>IV. LA PHOTOTRANSDUCTION :.....</i>	<i>13</i>
<i>V. LES CAPTEURS ÉLECTRONIQUES :.....</i>	<i>15</i>
<i>VI. ÉVOLUTION DES PIXELS DES CAPTEURS CMOS :</i>	<i>19</i>
<i>VII. CARACTÉRISTIQUES DE LA MATRICE DE PIXELS CMOS :</i>	<i>21</i>
<i>VIII. CONCLUSION :</i>	<i>28</i>

I. Introduction

Le traitement d'images classique est basé sur l'évaluation des données délivrées par un système de capteur de vision sous forme d'images. Ces systèmes conventionnels avec horloge, reçoivent séquentiellement l'information visuelle de la scène, soit de chaque élément photosensible (pixel), soit de chaque ligne ou colonne soit par une lecture parallèle des pixels, mais toujours avec quantification du temps à une certaine vitesse de lecture (frame rate). Chaque matrice de données qui est enregistrée, transmise et qui a besoin d'un post-traitement d'une façon ou d'une autre, porte les informations de tous les pixels sans distinguer si cette information a changé ou pas par rapport à l'image précédente (normalement acquise quelques dixième de seconde avant). Ce délai minime augmente la probabilité du fait que l'image soit inchangée. Cette méthode de lecture nous mène donc, en fonction de la dynamique du contenu de la scène, à un haut niveau de redondance des données. Notons que dans ce cas de lecture, la largeur de la bande de sortie du capteur est partagée également entre tous les pixels de la matrice, les redondants et les actifs ce qui peut être considéré comme une perte en vitesse de lecture et en consommation de puissance.

De nos jours, les applications de vision demandent de plus en plus de résolution temporelle (nombre de trames par seconde) et spatiale (nombre de pixels par surface définie) conduisant à un grand volume de données à la sortie et à des exigences croissantes sur la largeur de bande de transmission, la mémorisation et la puissance de traitement. En parallèle, le coût et la consommation de puissance sont devenus de plus en plus contraignants surtout pour les applications mobiles.

Un autre critère de performance important pour un capteur de vision est sa dynamique de fonctionnement (Dynamic Range DR). Cette grandeur est normalement définie comme étant le rapport entre le plus grand signal traitable et le niveau du bruit dans le noir. Elle est typiquement limitée par la capacité du pixel à intégrer les charges photo-générées et le temps de cette intégration. Les capteurs de vision CMOS conventionnels sont limités à une dynamique entre 65 et 75 dB tandis qu'une scène typique en plein air exige une DR supérieure à 100dB. Avec l'avancement de la technologie CMOS submicronique, la DR est constamment réduite à cause de la réduction continue de la tension d'alimentation. De plus, la réduction du bruit devient de plus en plus difficile à cause des contraintes imposées par les technologies récentes.

En tenant compte de tout ce qui précède, on peut dire que l'approche d'un capteur de vision « idéal » peut se traduire par :

- Une suppression complète de la redondance temporelle : juste le minimum de données nécessaire est transmis.
- Une résolution temporelle infinie : pas de quantification de temps à cause de la lecture séquentielle.

- Une DR suffisamment grande : équivalente ou supérieure à celle de la nature de la scène pour laquelle le capteur va être utilisé.
- Une faible consommation, une surface réduite et un niveau réduit de bruit.

Dans notre groupe de recherche, plusieurs travaux antérieurs ont été menés, et ciblaient l'amélioration de la dynamique de l'imageur en présentant plusieurs méthodes [Labonne_07]: le capteur à fonctionnement continu utilisant un pixel à réponse logarithmique, et plusieurs autres méthodes contribuant à l'adaptation de l'imageur aux changements des conditions lumineuses. Ces travaux visaient, encore, à la conception d'une technique de réduction du bruit dans les imageurs à réponse logarithmique, surtout la grandeur du bruit spatial fixe. Des prototypes ont été fabriqués et testés afin de valider ces méthodes.

Un autre axe de recherche [Zimouche_11] portait sur l'étude de l'influence de la température sur le fonctionnement de différents types de pixels. Plusieurs techniques de compensation de ces effets ont été conçues et implémentées.

De notre côté, nous nous intéressons à l'étude et l'implémentation de nouvelles techniques de lecture visant à réduire le flot de données sortant du capteur. La problématique qui se pose à ce niveau est double, elle adresse la consommation de puissance et la vitesse de lecture. Nous détaillons, au fil des chapitres de ce manuscrit, cette problématique et les solutions que nous proposons pour contribuer à sa résolution. Le premier chapitre introduit des généralités sur les capteurs de vision, l'avancement des techniques d'acquisition d'image des caméras argentiques jusqu'aux appareils numériques sophistiqués. Le deuxième chapitre détaille la problématique de la thèse et les travaux effectués par d'autres groupes de recherche. Les trois chapitres suivants seront dédiés à la présentation des techniques de réduction du flot de données, la conception, les simulations et les mesures des circuits prototypes.

II. L'évolution technologique

Les capteurs en technologie CMOS ont créé un nouveau marché correspondant à l'avènement du multimédia à la fin des années 1990, ceux sont des composants très répandus et très utilisés de nos jours. Leurs caractéristiques optiques, ainsi que leur faible coût potentiel, les ont en effet destinés au marché "grand public". L'association de l'électronique et de l'optique permet aussi d'intégrer des fonctions d'acquisition et de traitement sur le même substrat, ce qui peut conférer une bonne compacité fonctionnelle aux systèmes de vision actuels. Cette intégration fait l'objet de recherches afin de

proposer des solutions offrant de meilleures caractéristiques que les systèmes classiques, composés d'un capteur standard et de périphériques effectuant le traitement. [Navarro_03]



Figure 1.1 : Boyle & Smith pendant le premier essai du capteur CCD au laboratoire Bell

Depuis l'invention du premier imageur électronique (figure1.1), et tout au long de ces quarante dernières années, le domaine de la microélectronique a connu un essor considérable. On peut ainsi désormais concevoir des systèmes électroniques très complexes et très denses entièrement intégrés, dans une seule puce, remplaçant, par la-même, un nombre important de cartes électroniques. Ainsi, Il est dorénavant possible d'intégrer des systèmes électroniques comprenant plusieurs modules appartenant à des domaines électroniques bien différents. Des modules numériques, très denses, tels que des microprocesseurs, DSPs (« digital signal processors ») côtoient des modules analogiques, moins denses, tels que des fonctions d'amplification ou de filtrage. De même, des systèmes analogiques complexes tels que les systèmes de vision ou de phototransduction, côtoient eux aussi des blocs numériques basiques et simples tels que des décodeurs, des convertisseurs analogique numérique ou bien même des circuits implémentant des fonctionnalités de traitement plus complexes. Cette intégration est qualifiée d'intégration « mixte ». La volonté d'associer de plus en plus de fonctions au sein d'une même puce est conjointe à une évolution nécessaire des technologies utilisées en termes de miniaturisation, compatibilité et procédés de fabrication.

Aujourd'hui, le transistor MOS est l'élément principal des évolutions technologiques. Il est donc à la fois acteur mais aussi vecteur de l'évolution car il est à l'origine de la conception des circuits intégrés à très large et ultra large échelle (VLSI, ULSI) et a permis de mener la technologie CMOS au rang incontesté de technologie dominante dans l'industrie du semi-conducteur. Son évolution peut alors être vue à double sens. En réduisant constamment les dimensions géométriques des composants élémentaires, une course à la performance s'est dessinée partout où son utilisation était effective. Mais en désirant des circuits toujours plus performants, l'industrie a elle-même motivé son évolution. C'est

la raison pour laquelle la veille technologique est aujourd’hui primordiale afin de se projeter dans la conception des futurs équipements. C’est en 1965, que l’un des co-fondateurs d’Intel, Gordon Moore prédit, à partir d’une simple observation, que le nombre de transistors intégrés sur une puce de même surface doublerait tous les 18 mois (Figure1.2 (gauche)). A partir de cette observation, il en avait déduit que cette évolution continuerait tant que les limites physiques ne seraient pas atteintes. Cette «Loi de Moore» est toujours considérée comme une référence, bien que depuis une vingtaine d’années, nous pouvons considérer que le nombre de transistors intégrés sur une même puce ne double “que” tous les vingt-six mois (Figure1.2 (droite)). La diminution de la longueur de grille est bénéfique, en termes de conception, pour deux raisons :

- Elle permet de réduire la surface d’intégration, à consommation de puissance égale. Le gain est alors en termes de coût.
- Elle permet d’augmenter la fréquence de fonctionnement des circuits, celle-ci étant inversement proportionnelle à la longueur de grille. Le gain est alors en termes de performances. [Standarovski_05].

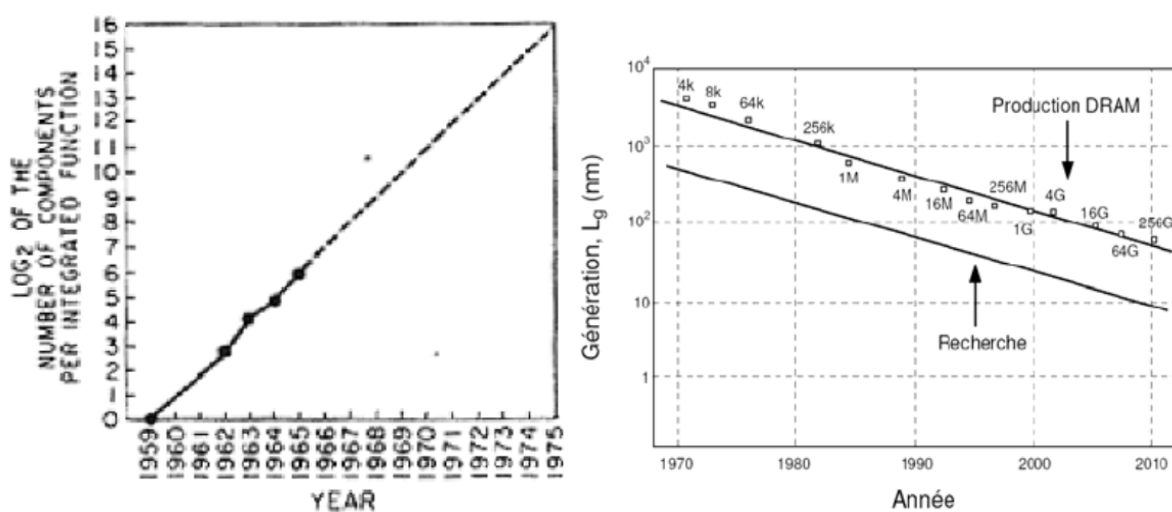


Figure 1.2: à gauche, le graphique original de la loi de G.Moore concernant le nombre de transistors intégrés pour une même fonction au fil du temps (1959-1965). A droite, l’évolution actuelle de la loi de Moore

Tous ces avancements et progrès de la technologie CMOS submicronique ont permis aux systèmes de vision d’être parmi les systèmes sur puce, les plus en évolution ces dernières années. Cette évolution se fait dans différents sens ;

- la miniaturisation des transistors a mené à la minimisation de la taille du pixel et ainsi à l’augmentation du nombre de pixel pour une surface égale.
- L’amélioration du niveau des performances des imageurs CMOS, leurs permettant ainsi de dépasser les capteurs CCD (Charge Coupled Device) pour les applications grand public.

Une description plus détaillée de ce type d'imageurs est présentée dans la suite du chapitre.

Un autre reflet de l'avancé technologique sur le monde des systèmes de vision est l'apparition de ce qu'on appelle « caméra-on-chip » qui, avec l'opportunité de l'accès libre aux pixels qu'offrent les imageurs CMOS, permettent d'offrir des avantages incontestables en termes de vitesse de lecture et de débit en sortie du système, surtout si on compare ces modes de lectures avec ceux des capteurs CCD.

III. Qu'est ce que c'est un appareil photo numérique ?

Une image peut être définie par «la variation d'une intensité lumineuse en fonction de la position sur un plan». D'autre part, un appareil photo est un système qui capture une image et la sauvegarde. Le mot 'capture' veut dire convertir l'information contenu dans une image en des signaux correspondants pouvant être stockés de manière reproductible.

Dans un système conventionnel de photographie argentique, les informations de l'image sont converties en signaux chimiques dans le film photographique et stockées chimiquement au même endroit. Ainsi, le film photographique effectue en même temps le stockage de l'image ainsi que son acquisition. Une autre méthode d'acquisition de l'image consiste en la conversion des informations lumineuses en signaux électriques. Dans ce dernier cas, le capteur d'images sert de système de conversion et non pas de stockage comme dans le cas du film argentique. Ceci est le point de différence le plus important entre les caméras à systèmes électroniques et celles à films argentiques. Par conséquent, les systèmes électroniques d'imagerie ont besoin d'un autre dispositif pour sauvegarder les signaux des images. Deux méthodes basiques ont été adoptées pour effectuer cette sauvegarde : une analogique et une numérique. Les caméras électroniques analogiques de la fin du siècle dernier, sauvegardaient leurs images sur des disques souples via un enregistrement d'une façon électromagnétique. En ce qui concerne les caméras numériques, les signaux de l'image, initialement analogiques sont convertis en des signaux numériques et sauvegardés dans des éléments mémoires numériques tels que disques durs externes, cartes mémoires ou bien mémoires intégrées (RAM).

III.1. Structure de base des APNs

Les appareils photo numériques (APN) sont supposés être des caméras où des capteurs électroniques sont utilisés à la place des films argentiques ; par conséquent, leur structure de base ne diffère pas beaucoup par rapport à celle des appareils photo à film argentique. Pourtant, Il reste toujours des points de différence que nous allons détailler ci-après.

III.1.1. Schéma bloc typique pour un APN

La figure 1.3 montre un schéma bloc typique d'un APN. D'habitude, un APN comprend deux sous systèmes (optique et mécanique), un capteur d'image électronique et un sous système électronique de contrôle, de réglage et de traitement des signaux. Ces traitements se font d'une façon analogique aussi bien que numérique. Un écran LCD, une carte mémoire et des connecteurs utilisés pour communiquer avec d'autres composants sont également présents dans la plupart des APN.

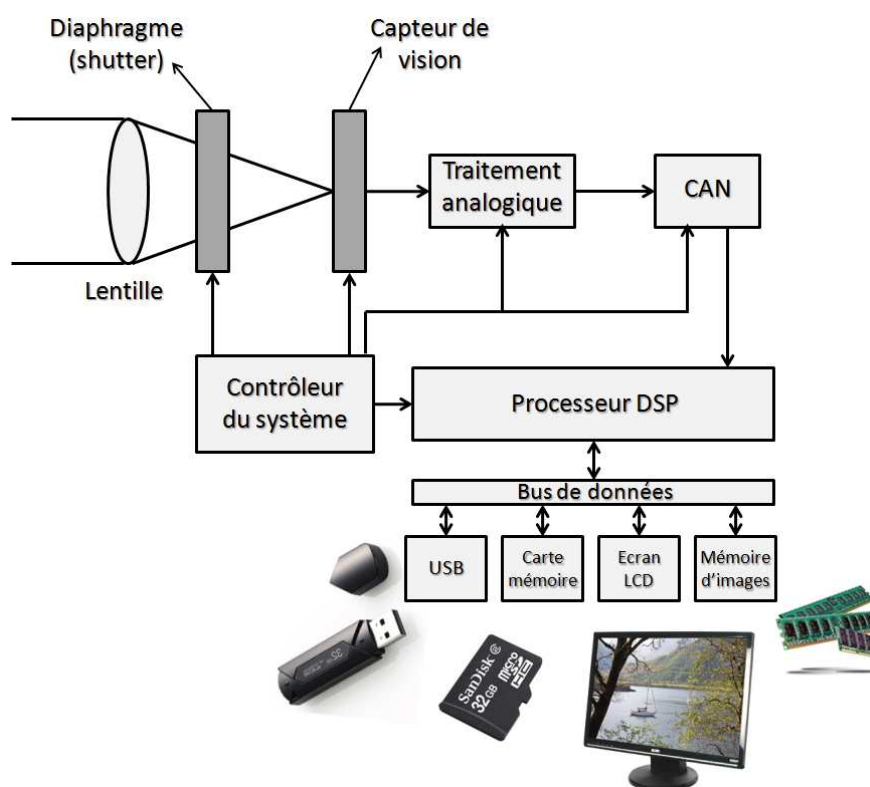


Figure 1.3 : Diagramme bloc d'un APN

III.1.2. L'optique

Le système optique de base des APNs ressemble fortement à celui des caméras à films argentiques à l'exception de la distance focale qui est beaucoup plus courte à cause de la taille réduite des imageurs dans la plupart des cas. Cependant, quelques couches optiques additionnelles sont requises comme, par exemple, le filtre utilisé pour atténuer l'infrarouge afin de ne pas perturber le fonctionnement du capteur très sensible à cette gamme de longueurs d'onde (infrarouge). Egalement, agencé devant du capteur électronique, se trouve un filtre passe bas (OLPF pour « optical low pass filter ») permettant d'empêcher les artefacts moirés.

Dans le cadre de ce sous système optique, plusieurs paramètres semblent essentiels pour régler l'acquisition et trouver le point de projection optimal de l'image sur le capteur. On cite :

- La distance focale : définie comme étant la distance entre le foyer F qui lui est le point de convergence des rayons lumineux incidents de la scène photographiée et le centre optique O qui est le centre de l'objectif (figure1.4). La distance focale est alors choisie en fonction du champ visuel désiré, de la taille du capteur et de sa résolution. L'ajustement du centre optique O de l'objectif par rapport à la distance de l'objet observé permet d'obtenir, lorsque ce paramètre est correctement réglé, une image nette.

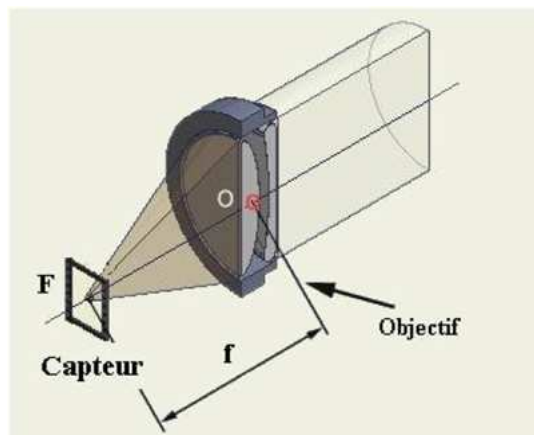


Figure 1.4 : Distance focale d'un objectif [Elouardi_05]

- L'ouverture du diaphragme : en jouant sur le diaphragme (ou iris), la quantité de lumière atteignant le capteur est plus ou moins grande. Elle peut être réglée manuellement ou automatiquement. Le diaphragme peut avoir différentes formes (circulaire, triangulaire, polygonale). On définit le nombre d'ouverture (NO) qui correspond à la quantité de lumière pouvant passer dans l'objectif. Il se calcule en divisant la focale f de l'objectif par le diamètre Φ du diaphragme $NO = f / \Phi$.

Le nombre d'ouverture étant inversement proportionnel au diamètre du diaphragme, plus le diaphragme est ouvert (grand diamètre), plus la quantité de lumière est grande (image lumineuse) et plus le nombre d'ouverture est petit plus la profondeur du champ augmente. La profondeur du champ est la zone de netteté devant et derrière la cible sur laquelle la mise au point est faite. A noter que les objectifs possédant des nombres d'ouvertures faibles sont plus volumineux et plus chers. Les valeurs du nombre d'ouverture les plus utilisées sont : 1, 1.4, 2.8, 4, 5.6, 8, 11, 16, 22 et se notent $f/1$, $f/1.4$, ..., $f/22$ (figure1.5).

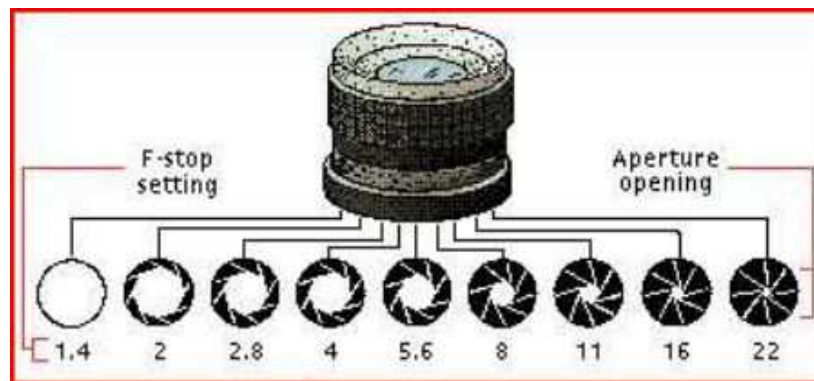


Figure 1.5 : Illustration de l'ouverture du diaphragme avec le NO

Chaque incrément de NO correspond à une réduction de la moitié de la lumière passant dans l'objectif. La surface S de l'ouverture étant proportionnelle au diamètre Φ du diaphragme : $S = (\pi \Phi^2) / 4$, si on multiplie NO par $\sqrt{2}$ (on divise le diamètre par $\sqrt{2}$), alors on réduit la surface S de 2.

- o Le temps d'obturation : est défini comme étant la durée pendant laquelle l'obturateur est ouvert et donc pendant laquelle le capteur est exposé à la lumière. Cette durée est aussi appelée temps d'exposition. Elle représente la durée nécessaire pour que le pixel reçoive le signal lumineux incident et le convertit en paires électron-trou. Ce temps dépend essentiellement de la quantité de lumière reçue. En effet, le produit de l'intensité lumineuse moyenne de la scène par le temps d'exposition doit être globalement constant et calibré par rapport aux caractéristiques de l'élément photosensible. L'exposition est la combinaison d'une certaine ouverture de diaphragme et d'une certaine vitesse d'obturation.

IV. La phototransduction

Comme nous l'avons détaillée précédemment, la phototransduction dans l'imagerie argentique est le processus qui utilise l'énergie d'un photon pour déclencher une réaction chimique sur des plaques photographiques. Dans ce processus, une molécule d'halogénure d'argent est divisée en un atome d'argent métallique et un atome d'halogène. Cependant, dans les capteurs photo électroniques, le phénomène de phototransduction repose sur l'effet que l'absorption d'un photon peut avoir lieu en élevant un électron d'un niveau énergétique plus faible vers un niveau plus élevé. Dans les matériaux semi-conducteurs, la transition de l'électron induite par le photon absorbé se passe de la bande de valence vers la bande de conduction. Cet électron élevé à la bande de conduction laisse derrière lui un trou dans la bande de valence. La phototransduction dans les semi-conducteurs se traduit alors par la génération de paires électrons-trous et donc par un courant électrique appelé courant « photogénéré ». Les propriétés physiques des matériaux semi-conducteurs utilisés pour la phototransduction sont critiques, parce que seuls les photons qui ont une énergie suffisante pour exciter un électron à dépasser

le niveau énergétique de gap du matériau de la bande de valence à la bande de conduction, conduiront à une génération de paires électron-trou significative. Le silicium, entre autre matériaux, possède une bande interdite parfaitement adapté à la phototransduction de la bande visible de lumière dont la longueur d'onde est comprise entre 400 et 700 nm.

Chaque photon, dont l'énergie est supérieure à la largeur de la bande interdite du semi-conducteur utilisé, peut générer, au plus, une paire électron-trou. Le reste de l'énergie du photon est absorbé par la structure réseau du semi-conducteur. Les paires électron-trou peuvent être séparées dans un semi-conducteur en appliquant un champ électrique externe. La structure la plus simple construite de cette façon est celle du photo-conducteur qui se compose d'une dalle de semi-conducteurs soumise à un potentiel extérieur qui y crée un champ électrique. La conductance de ce photo-conducteur dépend du flux des photons frappant les semi-conducteurs exposés. Le photo-conducteur a un mauvais rapport signal sur bruit à cause de la valeur relativement importante du courant qui le traverse même en absence de toute lumière.

Trois autres structures plus élaborées de semi-conducteurs utilisant la génération de paires électron-trou pour mesurer la lumière incidente ont émergé : les photodiodes qui sont en général les éléments les plus utilisés dans la technologie CMOS, les photogates qui sont les plus utilisés en CCD et enfin les phototransistors qui ont un gain plus important que celui des photodiodes mais par contre, gardent un rapport signal sur bruit plus faible.

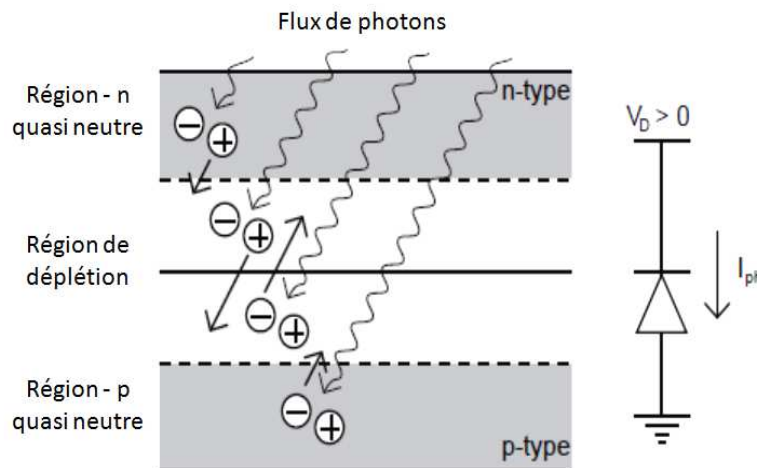


Figure 1.6: illustrant la réaction de la photodiode vis à vis de l'incidence des photons.

Une photodiode, comme le montre la figure 1.6, comporte une jonction pn construite en créant une région dans le semi-conducteur dopée par un élément donneur d'électrons (type n) adjacente à une région dopée par un élément accepteur d'électrons (type p). L'organisation spatiale d'une jonction PN conduit à une région dans le centre dépourvue de charges mobiles appelée zone de déplétion. Les porteurs de charges fixes se trouvant dans cette zone de déplétion créent un champ électrique dirigé de la zone de type n vers la zone de type p. Ce champ électrique construit, en séparant les paires électron-

trou, un flux de courant photogénéré traversant la jonction. Ce courant est proportionnel au flux de photons incident sur la photodiode. La probabilité qu'un photon atteignant le capteur optique génère une paire électron-trou qui contribue alors au photocourant est appelé rendement quantique ou en anglais, « quantum efficiency ». Ce rendement quantique varie avec la longueur d'onde de la lumière incidente et les caractéristiques techniques et géométriques de la photodiode utilisée.

Les « photogates » aussi appelés « Metal Insulator Semiconductor », sont des structures qui utilisent une grille de métal pour produire un champ électrique dans le semi-conducteur. Les électrons qui sont élevés dans la bande de conduction du semi-conducteur sont aspirés vers la grille métallique chargée positivement. Après un certain laps de temps, appelé temps d'intégration, les électrons accumulés sous la porte en métal sont lus. La lecture d'un tableau de « photogates » est réalisée par un cadencement bien précis des signaux d'horloge qui les contrôlent et permettent ainsi de déplacer les charges de l'un à l'autre jusqu'à ce qu'elles atteignent la frontière de la matrice. Le nombre d'électrons dans un tel paquet de charges est proportionnel à la moyenne des photons du flux pendant le temps d'intégration. Aujourd'hui, les structures « photogates » sont très optimisées ; les grilles ne sont pas faites de métal, mais d'une couche de polysilicium mince, qui absorbe et reflète moins de photons. Aussi, les charges ne sont pas recueillies directement sous la grille mais dans un canal que l'on appelle « buried » pour éviter les effets perturbateurs des défauts de réseau, les plus abondants près de la surface du semiconducteur. Une meilleure description des pixels utilisant différents types de photorécepteur, notamment les photodiodes et « photogates » peut être trouvée dans « CMOS imagers : from phototransduction to image processing » [Yadid-Pecht_04]. Aujourd'hui, les photodiodes et « photogates » appartiennent à la structure électronique la plus abondante dans notre monde. Il y a des millions de photodiodes dans chaque téléphone portable muni d'une caméra, ainsi que dans plusieurs autres appareils électroniques (panneaux solaires, ordinateurs portables, caméras de surveillance...).

V. Les capteurs électroniques

V.1. Les capteurs CCD

Comme cité auparavant, la cellule de base du capteur à transfert de charge CCD est la « photogate » basée sur une capacité MOS dont la grille est polarisée. Cette tension de polarisation provoque le dépeuplement en trous de la zone active sous la grille. La lumière incidente traverse la cathode de la capacité MOS (grille) pour générer une paire électron-trou sous la grille du MOS. Cette paire est vite séparée par l'effet du champ électrique existant, attirant ainsi le photoélectron vers la grille et repoussant le trou dans le volume du silicium. Chaque pixel contient une ou plusieurs grilles

et ainsi peut on transiter les charges accumulées d'une capacité à l'autre en créant des puits de potentiel successifs (figure 1.7).

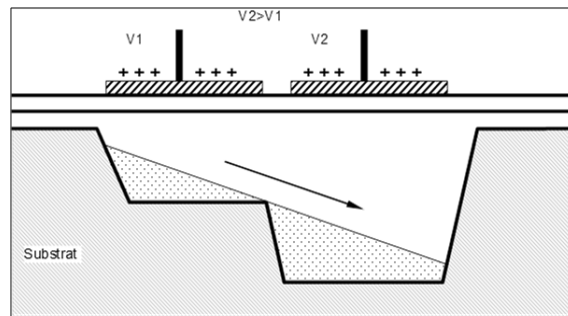


Figure 1.7: Principe de transfert de charge dans un CCD

Si la lecture d'une cellule est simple, la lecture d'un ensemble de cellules dans une grande matrice n'est pas triviale. C'est dans cette phase que l'on fait intervenir un dispositif CCD. La structure d'un CCD permet un déplacement des charges électriques stockées sous les grilles à recouvrement. Ce déplacement des paquets de charge est contrôlé par une horloge à phases multiples. Par conséquent, à la fin d'un temps d'intégration, on active le décalage des paquets de charges jusqu'à l'extrémité de cette chaîne CCD. On peut alors facilement lire la quantité de charge de chaque paquet de façon séquentielle. Dans un capteur CCD matriciel, les capacités MOS forment deux CCDs : un dans le sens vertical et l'autre dans le sens horizontal. Comme le montre la figure 1.8, la lecture d'une image électronique se fait en deux phases : premièrement, un décalage vertical de l'image, cette phase charge la ligne en bas de l'image dans le dispositif CCD horizontal. Deuxièmement, un décalage horizontal : cette phase décale la ligne d'image chargée dans le CCD horizontal vers le détecteur de charge par pixel. Ce détecteur convertit la quantité de charge en une tension selon un facteur de conversion constant [Matou_03]. C'est cette tension que l'on reçoit à la sortie d'un capteur CCD.

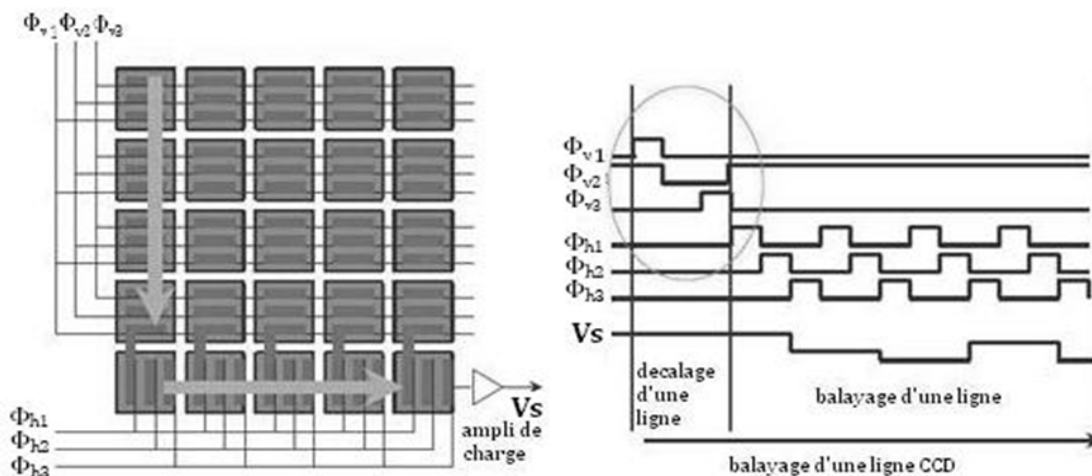


Figure 1.8: Principe de la lecture séquentielle ligne par ligne du capteur CCD

Il existe principalement deux types d'étages de sortie pour les capteurs CCD [Renane_01]; l'étage à grille flottante et l'étage à diffusion flottante. L'étage à grille flottante permet de lire un pixel plusieurs

fois sans pour autant détériorer la valeur de sa tension. Ceci nous permet notamment de sommer plusieurs fois la valeur d'un pixel jusqu'à avoir un niveau de bruit raisonnable. L'inconvénient est qu'il faut sommer un nombre conséquent d'échantillons ce qui a pour conséquence d'alourdir l'acquisition et d'augmenter le temps de lecture. C'est pour cette raison que l'étage à diffusion flottante dont le principe est illustré par la figure 1.9 est bien plus souvent utilisé.

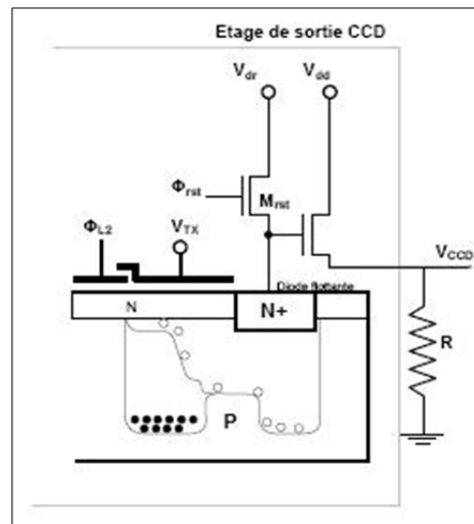


Figure 1.9: Etage de sortie d'un capteur CCD.

Ce type d'étage est dit à diode flottante ou diffusion flottante, car le potentiel de la diode (N+/P) est flottant quand le transistor de reset M_{RST} est ouvert. La capacité de dépeuplement de la diode, préchargée à une tension V_{dr} par le transistor M_{RST} , reçoit, par injection, des charges électriques provenant d'un pixel du CCD. Un étage suiveur permet de lire le signal aux bornes de la diode.

Le signal à la sortie d'un CCD comprend trois phases, à savoir ; une phase reset, une phase de référence et une phase signal. Le signal contenant l'information de la luminosité est proportionnel à la différence ΔV entre le niveau de référence et le niveau du signal. Pour connaître avec précision ce signal de sortie il faut donc mesurer la différence ΔV . Dans ce but, on utilise une technique appelée double échantillonnage corrélé ou CDS (Correlated Double Sampling) détaillé dans des paragraphes suivants.

Cela dit, les capteurs CCD servent de référence pour tous les autres capteurs. En effet, Ils présentent un faible niveau de bruit, une bonne dynamique de fonctionnement, un bon facteur de remplissage, un faible courant d'obscurité et un bon rendement quantique. En revanche, le coût de production est élevé car ils sont fabriqués en technologie CCD dédiée, incompatible avec l'intégration de la circuiterie CMOS dont la fabrication est standard et moins chère. En conséquence les circuits de lecture doivent être extérieurs au capteur. De plus, les capteurs CCD présentent une forte consommation et une vitesse de lecture limitée.

V.2. Les capteurs CMOS

Dans les années soixante, au tout début de l'apparition des capteurs de vision électroniques, les tailles des composants semi-conducteurs à l'époque ne permettaient pas l'insertion de l'électronique de prétraitement dans chaque pixel. C'est à partir des années 1980 que des travaux sur des capteurs d'image CMOS ont commencé à émerger. Ils sont dits capteurs CMOS parce qu'ils sont conçus et fabriqués en technologie CMOS, ce qui permet d'intégrer sur la même puce la matrice photosensible et les circuits de lecture. Ces capteurs CMOS présentent plusieurs autres avantages par rapport aux capteurs CCD : un coût de fabrication inférieur, une vitesse de lecture plus élevée, une possibilité d'accès libre aux valeurs des pixels, une consommation plus faible, ainsi que la possibilité de profiter de l'évolution de la technologie (augmentation régulière de la finesse de la taille des transistors). Cependant les capteurs CMOS présentent un bruit plus fort que les capteurs CCD, et l'implantation des fonctionnalités électroniques dans le pixel diminue le facteur de remplissage du pixel. Avec l'arrivée des technologies submicroniques, l'utilisation des microlentilles et l'amélioration de leurs performances, les capteurs CMOS sont devenus des concurrents sérieux aux capteurs CCD [Loinaz_98, Smith_98], et les ont même dépassés dans les applications grand public. Un des principaux avantages des capteurs CMOS par rapport aux CCDs est le procédé de technologie utilisé pour les fabriquer (CMOS). Cette technologie permet de concevoir des circuits analogiques et numériques sur la même puce.

Les capteurs de vision CMOS sont donc des systèmes sur puce (SoCs), basiquement composés de la matrice de pixels et des circuits de lecture et de traitement (amplificateurs, convertisseur analogique numérique, multiplexeur).

V.3. Comparatif CCD vs CMOS

Nous avons vu au début du chapitre que le principe de base des capteurs des deux technologies (conversion photon-électron) est le même. Pourtant des différences existent entre les capteurs CMOS et CCD.

- La technologie CCD a plus de 40 ans d'existence, ainsi le processus de fabrication est bien maîtrisé. Les effets indésirables comme l'éblouissement de pixels voisins, provoqué par un pixel saturé a quasiment disparu. En plus, la sensibilité de ces capteurs a beaucoup avancé au fil des générations. La technologie CMOS est plus récente et vient de commencer sa phase de maturation.

- La fabrication des capteurs CCD est plus compliquée que celle des capteurs CMOS : le nombre d'étapes dans la fabrication des capteurs CCD est plus important.
- Vue l'incompatibilité de fabrication entre les CCD et les CMOS, les CCD ne possèdent que la fonction capteur d'image (surface photosensible) mais aucun traitement ou conversion de l'information. Par contre les capteurs CMOS peuvent regrouper sur le même circuit, la partie photosensible et également l'électronique nécessaire à la conversion, le stockage, la lecture et le traitement de l'information. Cela permet une réduction du bruit, de la consommation et bien sûr du coût de fabrication.
- La technologie CCD nécessite pour le déplacement des charges dans le silicium, plusieurs horloges et plusieurs alimentations de valeurs élevées. Il en résulte une consommation plus importante que les capteurs CMOS.
- Dans la plupart des capteurs CMOS, les pixels peuvent renseigner à tout moment, sur l'intensité lumineuse qu'ils reçoivent et par conséquent, ils sont potentiellement accessibles à n'importe quel endroit dans n'importe quel ordre. Cette technique (accès libre aux pixels) offre un intérêt de taille : celui de pouvoir sélectionner uniquement la zone contenant l'information utile (ROI : Region Of Interest). D'ailleurs, il existe aussi des modes de lecture partielle de CCD. Mais le principe est dans ce cas moins flexible : le transfert de charges d'un pixel à l'autre impose tout de même de lire des lignes entières

Un débat actuel est de savoir si les capteurs CCD disparaîtront, à terme, au profit des capteurs CMOS. Il semble que les capteurs CCD gardent une avance en ce qui concerne la sensibilité et le rapport signal sur bruit (SNR) pour les capteurs de grande taille utilisés dans certaines applications nécessitant une grande sensibilité (télescopes). Par contre, les capteurs CMOS intégrant des fonctionnalités sur le même circuit sont en pleine évolution tout en conservant leur aspect bas-coût très intéressant dans le marché commercial des caméras.

VI. Evolution des pixels des capteurs CMOS

Dans nos travaux de thèse, nous nous sommes intéressés aux capteurs de vision CMOS parce que, comme nous l'avons dit dans les paragraphes précédents, ils permettent l'intégration de fonctionnalités de prétraitement côte à côte avec l'électronique d'acquisition et de conversion de lumière en signal électrique. Les capteurs CMOS ont évolué dans le temps et se présentent sous deux catégories principales ; les capteurs à base de pixel passif (PPS pour passive pixel sensor) et ceux à base de pixel actif (APS pour active pixel sensor)

VI.1. Les capteurs PPS

Les capteurs PPS sont construits à base d'un pixel passif. Le circuit typique d'un pixel passif comporte une photodiode et un seul transistor, tel qu'illustré dans la Figure 1.10. Le transistor de ce circuit sert simplement d'interrupteur. Au départ, une initialisation « reset » est effectuée en assignant une tension haute à *outBus* de même qu'à *ySel*, ce qui charge la capacité parasite de la photodiode. Une fois le signal *outBus* laissé flottant, la capacité parasite de la photodiode se décharge à un rythme proportionnel au photocourant généré par la lumière incidente à la photodiode, faisant ainsi décroître la tension aux bornes de la photodiode d'une façon linéaire, selon l'équation 1.1

$$\frac{dV}{dt} = \frac{I_{ph}}{C_{ph}} \quad \text{Eq. 1.1}$$

Cette étape est nommée « intégration de la photodiode ». La tension aux bornes de cette dernière peut alors être lue sur *outBus* après ce temps d'intégration. Ce dernier sera déterminé en fonction de la capacité parasite de la photodiode et de la gamme de luminosité visée. Ceci se fait en fermant l'interrupteur à l'aide du signal *ySel*.

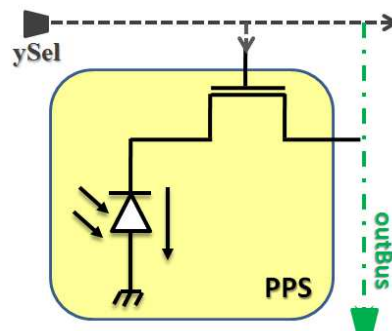


Figure 1.10 : schéma typique d'un pixel passif PPS

Comme la tension lue est analogique, un CAN est nécessaire pour la convertir en numérique. Usuellement, un seul CAN était utilisé pour toute la matrice, prenant en compte la tension de chacun des pixels l'un après l'autre au moment de la lecture. L'avantage de ce type de pixel est sa surface réduite permettant une très haute résolution. Cependant, la transmission directe de la tension du pixel sur des bus de colonnes capacitifs diminue la qualité du signal de sortie. Pour éliminer le bruit ainsi causé, des étapes additionnelles de prétraitement sont nécessaires.

VI.2. Les capteurs APS

La qualité de ces signaux, initialement réduite par le fait de la charge des bus de sortie directement par la capacité parasite de la photodiode juste à travers un interrupteur, est améliorée par l'utilisation d'un amplificateur suiveur à l'intérieur de chaque pixel. Un seul transistor est utilisé pour polariser

tous les amplificateurs d'une colonne de pixels. Le circuit typique d'un pixel actif est illustré à la figure 1.11(a). Dû à la présence du suiveur, deux transistors différents agissant comme interrupteurs pour la commande de reset et la sélection des lignes de pixels pour la lecture sont nécessaires. Comme pour le PPS, une intégration de la photodiode suit son initialisation. Ces étapes sont contrôlées par le signal *rst*, tel que le montre le chronogramme de la figure 1.11(b). La tension aux bornes de la photodiode peut alors être lue sur *outBus* après un temps d'intégration choisi, en fermant l'interrupteur contrôlé par le signal *ySel*.

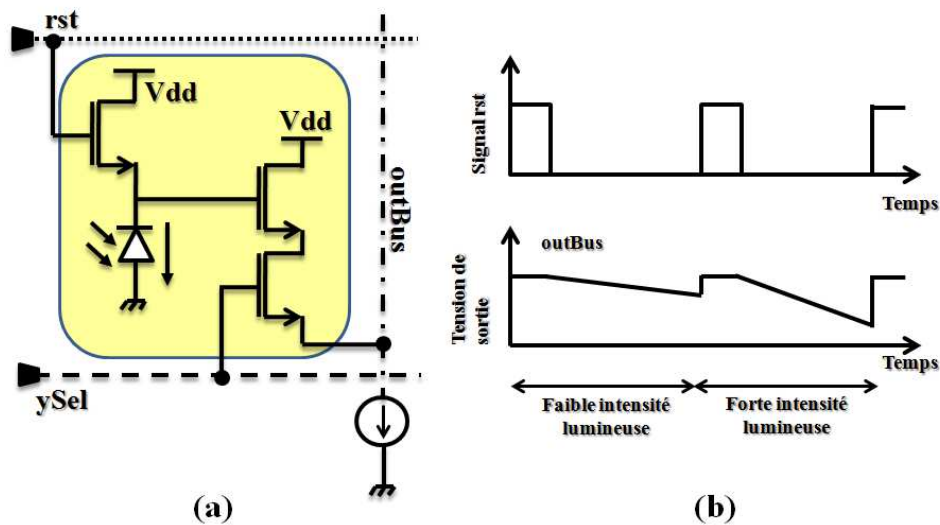


Figure 1.11 : Schéma typique d'un APS (a), avec son diagramme de fonctionnement (b)

Toutefois, le bruit n'est pas totalement éliminé avec ce type de circuit puisque le procédé de fabrication comporte de légères variations menant à la génération des transistors quelque peu différents. Une erreur propre à chacun des pixels, est alors introduite. Des techniques de correction sont développées pour remédier à ses défauts, nous en détaillons quelques unes plus loin dans ce manuscrit.

VII. Caractéristiques de la matrice de pixels CMOS

Un capteur de vision CMOS est alors composé d'une matrice de pixels. Ce dernier est composé d'un élément photosensible et d'une électronique nécessaire à la conversion et au transfert du signal électrique. Plusieurs caractéristiques marquent les capteurs de vision CMOS, parmi les principaux :

VII.1. La taille du pixel et le facteur de remplissage

La taille des pixels est fonction de la surface de l'élément photosensible, de l'architecture électronique du pixel (le nombre de transistors à intégrer au sein du pixel) et de la technologie utilisée dans

l'implémentation. Le facteur de remplissage (« fill factor ») est défini comme étant le rapport entre la surface réellement photosensible du pixel (surface occupée par la photodiode) et la surface de la totalité du pixel. Le choix de la taille des pixels dépend principalement des objectifs du capteur [Chen_00]. De manière générale, la taille des pixels tend à être minimale afin d'intégrer le plus grand nombre de pixels possible dans une matrice de surface donnée (grande résolution spatiale) en gardant un circuit de petite taille (faible coût de fabrication). Pour obtenir une grande dynamique de fonctionnement et un bon rapport signal - bruit, la surface de l'élément photosensible doit être la plus grande possible, ce qui induit un pixel de grande taille.

De plus, afin de limiter le traitement du signal en sortie du capteur, de nombreuses fonctionnalités peuvent être intégrées au sein même du capteur [ElGamal_99], telles que la conversion analogique numérique, l'adaptation aux conditions lumineuses et beaucoup d'autres fonctionnalités de prétraitement. Cela implique un pixel plus gros, mais facilitant le traitement postérieur devenu moins complexe et globalement moins consommant. La surface du pixel dépend donc du compromis fonctionnalités/performances/coût. En fonction de l'architecture du capteur, le facteur de remplissage pouvait atteindre 80 % dans les technologies 2D et quasi 100% en utilisant la technologie BSI (Back Side Illumination) développée par Sony et Samsung ou la technologie 3D. Cette dernière, permettra d'implémenter toute l'électronique de prétraitement sur une puce et seuls les éléments photosensibles sur une autre alors que la première utilise les deux faces de la même plaquette (wafer) pour avoir les éléments photosensibles d'un côté et l'électronique de lecture et de traitement de l'autre. Ceci permet ainsi d'obtenir un facteur de remplissage de 100%.

VII.2. La résolution du capteur

La résolution maximale d'un capteur représente le nombre total de pixels. Plus ils sont nombreux, meilleure est la résolution spatiale et plus petits sont les détails qu'on pourra distinguer dans une image. Les capteurs de vision CMOS les plus performants dépassent, à ces jours, plusieurs millions de pixels.

VII.3. La sensibilité de l'élément photosensible

La sensibilité relative d'un capteur correspond au nombre de photons incidents nécessaires pour passer d'un niveau de gris au suivant. La sensibilité dépend de nombreux paramètres dont :

- La surface réellement active de chaque photo-élément : plus le photosite a une taille importante, plus il collecte de photons par unité de temps et donc meilleure est la sensibilité ;

- Le rendement quantique du photo-détecteur lors de la conversion des photons en paires électron - trou: elle est définie par le rapport électrons produits par photons incidents [Rogalski_95] et traduite par l'équation 'R.Q = (h.v).I/p.q' où h est la constante de Planck, ν la fréquence optique, I le courant photogénéré mesuré, p la puissance lumineuse et q la charge électrique
- Le coefficient de réflexion du matériau : la lumière perdue par réflexion sur le capteur limite le nombre de photons incidents.

Les techniques d'amélioration de la sensibilité des photo-détecteurs sont essentiellement technologiques [Lulé_00] ('pinned photodiodes', ou photo détecteurs intégrés verticalement).

VII.4. La dynamique de fonctionnement des pixels

La dynamique de fonctionnement (« dynamic range », DR) d'un pixel permet d'évaluer sa capacité à convertir, d'une façon significative, en un signal électrique et retransmettre une image comportant à la fois des parties très éclairées et des parties très sombres. Elle s'exprime en décibel et se calcule comme étant le rapport entre le plus grand signal d'entrée non saturé sur le plus petit signal d'entrée détectable :

$$DR = 20 \log \left[\frac{I_{max}}{I_{min}} \right] \quad \text{Eq. 1.2}$$

Plusieurs méthodes, permettent l'optimisation de la dynamique de fonctionnement, la faisant passer de 60dB jusqu'à environ 130dB, notamment le pixel à fonctionnement logarithmique dont nous parlerons plus tard dans le manuscrit.

VII.5. Le bruit dans le capteur ; sources et techniques de correction

VII.5.1. Les types de bruit affectant les capteurs de vision

De multiples facteurs sont générateurs de bruits et dégradent le signal électrique en sortie du capteur. Des études [Cavadore_98] [Degerli_00] [Solhusvik_96] ont été menées pour étudier et modéliser le bruit temporel dégradant les signaux des capteurs de vision. On peut essentiellement distinguer deux types de bruit : le bruit temporel et le bruit spatial.

Le bruit temporel représente tout signal indésirable et dont l'amplitude est aléatoire dans le temps. Il peut avoir plusieurs sources :

- le bruit thermique est dû au mouvement aléatoire des charges dans le conducteur (agitation thermique) ; ces mouvements produisent une variation de potentiel (également aléatoire) aux bornes de ce conducteur. Cette tension résultante, dite tension de bruit, a une valeur exprimée par l'équation suivante :

$$V_{eff} = \sqrt{4kTRB} \quad \text{Eq. 1.3}$$

Où k est la constante de Boltzman ($1,38 \cdot 10^{-23}$ J/K), T la Température (°K), R la partie résistive du composant (Ω) et B la bande passante (Hz). La densité de puissance en courant de ce bruit est alors donnée par:

$$S(f) = \frac{4kT}{R} \quad \text{Eq. 1.4}$$

où k est la constante de Boltzmann, T la température absolue, et R la partie résistive du composant. Elle s'exprime en A^2/Hz .

- le bruit de grenaille ou « shot noise » est dû à la nature granulaire de l'électricité. Il résulte de la fluctuation du nombre de porteurs de charges sous l'effet d'un champ électrique. Il en résulte une variation aléatoire du courant dont la valeur efficace est proportionnelle à la racine carrée du courant qui traverse le semi-conducteur.

$$I_{eff} = \sqrt{2qIB} \quad \text{Eq. 1.5}$$

Où q est la charge élémentaire ($1,6 \cdot 10^{-19}$ C), I le courant moyen (A) et B la bande passante exprimée en (Hz)

La densité spectrale de ce bruit est alors directement proportionnelle à ce courant qui passe et s'exprime en A^2/Hz :

$$S(f) = 2qI \quad \text{Eq. 1.6}$$

- le bruit de scintillement, également appelé bruit 1/f, bruit rose ou « flicker noise », a plusieurs origines, telles que des impuretés dans le matériau qui libèrent aléatoirement des porteurs de charges, ou bien des recombinaisons électron - trou parasites (piégeage des porteurs dans les défauts de l'oxyde du transistor) ainsi que les phénomènes de surface. Il dépend donc principalement des paramètres technologiques. Sa densité spectrale est inversement proportionnelle à la fréquence et suit une loi en $1/f^\alpha$.

Dans les capteurs d'image le bruit temporel est majoritairement dû au bruit de grenaille au niveau du photo-détecteur et aux bruits impactant le suiveur du pixel et l'électronique de traitement (le bruit de grenaille, le bruit thermique et le bruit en $1/f$).

❖ Le bruit spatial fixe (FPN pour Fixed Pattern Noise) :

Ce bruit se manifeste par la variation des valeurs de sortie des pixels sous illumination constante (figure 1.12). Il est essentiellement dû aux dispersions technologiques, entre différentes zones du capteur, lors de la réalisation des plaquettes de silicium. Des éléments identiques, comme les pixels d'un capteur, ont finalement des caractéristiques électriques sensiblement différentes. La valeur du bruit n'est pas prévisible, il faut donc recourir à des méthodes de compensation pour pouvoir les atténuer a posteriori [Elouardi_05]. On distingue deux composantes de ce bruit :

- le bruit spatial fixe pixel est dû principalement aux variations du courant d'obscurité dans la photodiode, ce qui engendre un offset différent pour chaque pixel. De plus, la variation de l'aire de la photodiode vient influencer le gain de conversion et la variation de la taille des transistors de lecture affecte l'offset du signal de sortie. La totalité de toutes ces variations conduit à ce qu'on appelle bruit spatiale fixe pixel.
- le bruit spatial fixe colonne est dû principalement à la variation des courants de polarisation des amplificateurs de lecture présents en pied de chaque colonne (variation des tailles des transistors constituant ces amplificateurs). Comme ce bruit intervient pour tous les pixels de la même colonne, il se traduit par des rayures verticales.

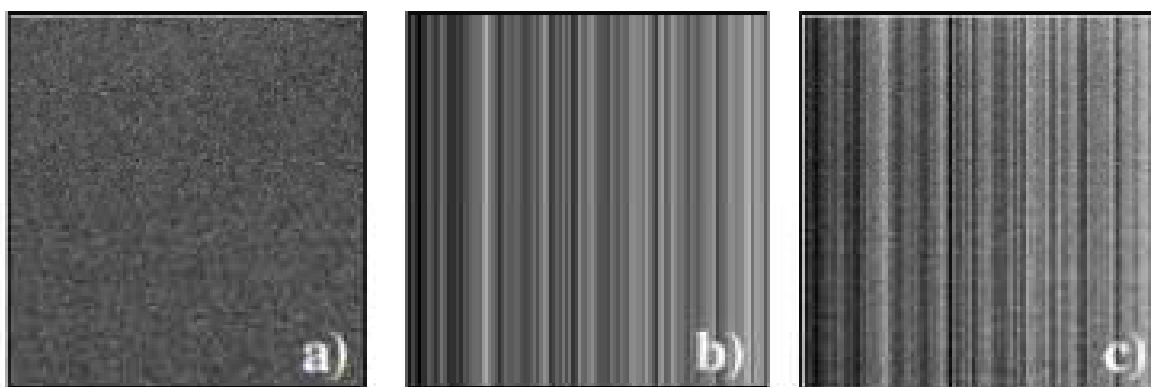


Figure 1.12: Illustration du FPN : a) FPN pixel, b) FPN colonne, c) les deux ensemble

Comme le FPN est fixe dans le temps, des structures simples de réduction du bruit existent. Elles ont pour principe d'effectuer une lecture différentielle pour s'affranchir de l'offset qui cause l'erreur. Plusieurs techniques de réduction du bruit spatial fixe existent alors et dépendent de la structure du capteur.

VII.6. Technique de compensation du bruit

VII.6.1. La technique du Double Echantillonnage Corrélé

La technique du double échantillonnage corrélé (Correlated Double Sampling, CDS) consiste à réaliser deux lectures successives de deux tensions différentes durant la même exposition d'un même pixel (figure 1.13). Les deux échantillons sont corrélés, puisque le bruit et l'offset perturbent de manière identique la décharge. La soustraction de ces deux niveaux permet de compenser le bruit de remise à zéro du pixel présent lors de la précharge de la photodiode, du bruit en $1/f$ et du bruit spatial fixe des pixels [Mendis_97].

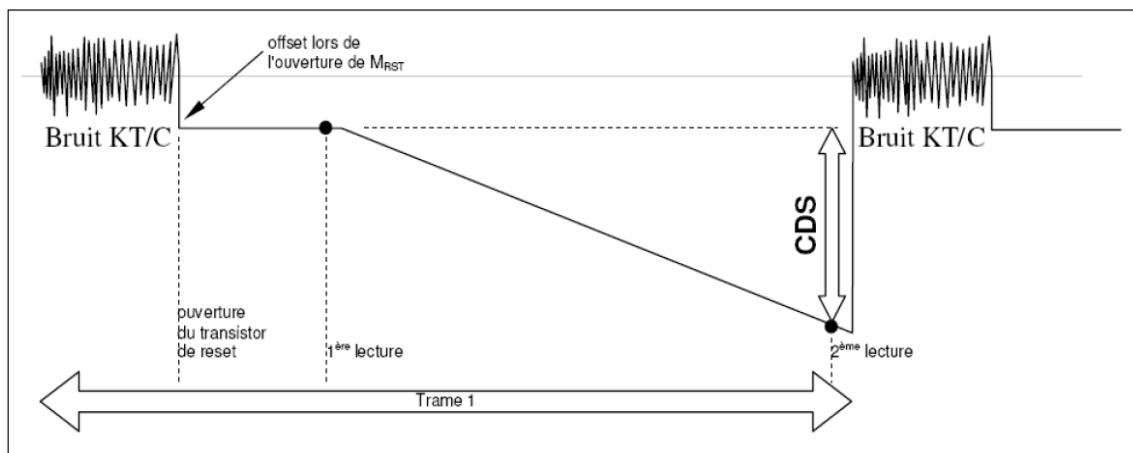


Figure 1.13 : figure illustrant le fonctionnement de la technique CDS de correction de bruit

Malgré son efficacité, cette technique n'est pas utilisée dans la majorité des cas, à cause de la complexité de sa mise en œuvre. En effet, cette technique requiert deux informations : la valeur d'initialisation avant intégration et la valeur en fin d'intégration afin de les soustraire. Deux problèmes se posent : un temps d'intégration potentiellement très long obligeant la mémorisation de la valeur de reset pendant une longue période. Deuxièmement, une réduction drastique du nombre d'images par seconde car chaque ligne procède à son intégration l'une après l'autre. Cette technique nécessite donc la sauvegarde du niveau d'initialisation de chaque pixel dans une mémoire de même taille que la matrice de pixels (solution donc coûteuse en terme de surface, de perte d'informations et de mise en œuvre).

Pour pallier aux problèmes rencontrés dans la mise en œuvre de la CDS, une alternative est très souvent utilisée ; La technique du Double Echantillonnage Non Corrélé « Non-Correlated Double Sampling, NCDS » nommée aussi la technique de « Double Sampling, DS » permet d'éviter cette mémorisation. Son principe est de faire la différence, pour un même pixel, entre le niveau du signal

échantillonné et le niveau de remise à zéro de la trame suivante (figure 1.14). Cette technique permet une lecture successive des deux niveaux et ne requiert donc pas une matrice de mémoire. Par contre, l'erreur causée par un offset non constant comme le bruit temporel n'est ainsi pas corrigé. La soustraction de ces deux niveaux induit éventuellement une addition de ces bruits : la puissance de bruit temporel en sortie est ainsi doublée et ceci perturbe, donc, les mesures. Et c'est pour cela que la NCDS est moins précise. L'offset dû au couplage capacitif est lui éliminé par cette technique de compensation. Malgré cette limitation au niveau de la précision des mesures, il s'avère que, dans la littérature, cette technique est la plus souvent implémentée, sous le nom de technique NCDS, en raison de la facilité de sa mise en œuvre.

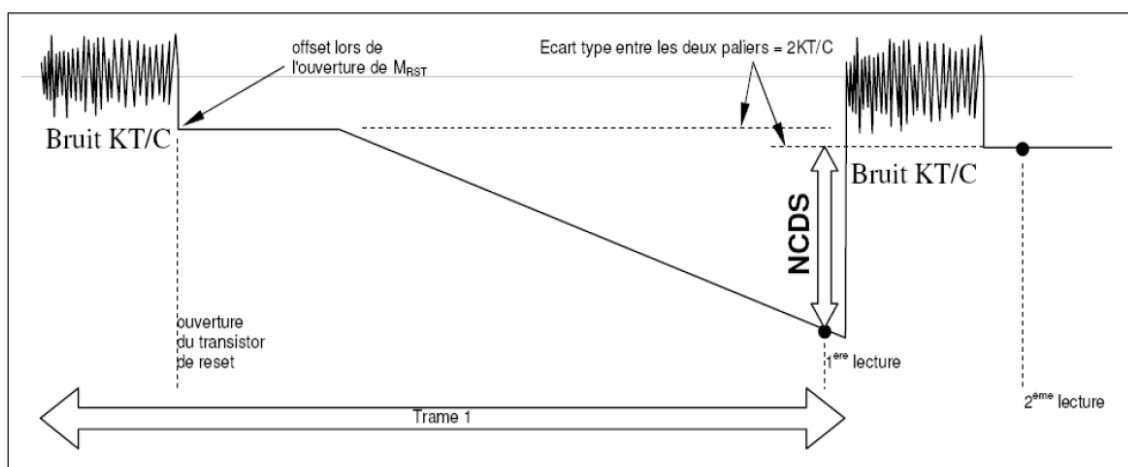


Figure 1.14: Figure illustrant le fonctionnement de la technique NCDS de correction de bruit

VII.6.2. La technique du Double Echantillonnage Delta

La technique du Double Echantillonnage Delta (Double Delta Sampling, DDS) permet de supprimer le bruit spatial fixe colonne. En effet, la sauvegarde de la valeur photogénérée et la valeur de référence s'effectue en pied de colonne dans un système d'échantillonnage blocage appelé amplificateur colonne. Ce système est composé de deux branches symétriques et identiques permettant la mémorisation des deux informations en parallèle. La dispersion sur ces deux branches induit un bruit qui se traduit par un décalage en tension, fixe, en sortie de chaque amplificateur colonne. La technique DDS consiste à court-circuiter les entrées de ces deux branches grâce au signal DDS, puis à mesurer le décalage en tension à leurs sorties. Cependant cette technique ne permet pas de corriger les différences de gain. Cette méthode induit aussi la chute de la vitesse de lecture de la matrice, vitesse divisée par deux, étant donnée qu'elle nécessite deux lectures par pixel (la différence entre le signal et la remise à zéro du pixel, et la différence entre les sorties des deux branches de l'amplificateur une fois qu'ils sont court-circuités). De nombreuses autres méthodes visant à réduire l'influence d'un ou plusieurs types de bruits dégradant le signal des capteurs de vision, ont été présentées. Une méthode de

remise à zéro progressive a été présentée par [Kozlowski_05] afin de supprimer le bruit kT/C . Une méthode visant à supprimer le bruit spatial fixe des pixels a été implémentée pour les flux vidéo [Lim_02], et consiste à utiliser une séquence vidéo pour estimer les différences de gain des pixels. Cette estimation est ensuite utilisée pour réduire le bruit spatial fixe des pixels.

VIII. Conclusion

Dans ce chapitre nous avons introduit des notions de bases sur les appareils photos numériques y compris les différents sous systèmes optique et électronique. Les différents types de capteurs électroniques (CCD et CMOS) utilisés dans ces APNs et leur évolution technologique ont été parcourus. Les caractéristiques optoélectroniques de ces capteurs ont été aussi développées ainsi que les sources de bruit qui les influent avec plusieurs techniques de compensation de ce bruit. Dans le chapitre suivant, nous allons détailler les architectures globales de ces capteurs ainsi que leur mode de lecture conventionnel. Une introduction de la problématique de la thèse ainsi que l'étude de l'état de l'art du domaine seront alors développées.

Chapitre 2: Introduction de la problématique et étude de la littérature

<i>I. Introduction.....</i>	<i>30</i>
<i>II. Chaîne de lecture standard dans un capteur de vision CMOS.....</i>	<i>30</i>
<i>III. Technique de lecture à AER.....</i>	<i>38</i>
<i>IV. Etat de l'art</i>	<i>40</i>
<i>V. Lecture par conversion tension - temps.....</i>	<i>47</i>
<i>VI. Conclusion.....</i>	<i>48</i>

I. Introduction

Dans le chapitre précédent, nous avons introduit deux architectures différentes de capteurs d'images électroniques ; le capteur CCD et le capteur CMOS. Dans notre travail de thèse nous sommes intéressés par le deuxième type : les imageurs conçus et fabriqués en technologie CMOS. La miniaturisation de la technologie a conduit à l'implémentation analogique de plusieurs fonctionnalités, soit au niveau architecture du système soit au niveau interne du pixel. Nous avons aussi déjà présenté le pixel de base utilisé dans les capteurs CMOS, le pixel linéaire à intégration. Certaines de leurs limitations (bruit temporel et spatial, limitation en dynamique) et quelques techniques de compensation et de correction de leurs inconvénients (CDS, NCDS...) ont été détaillées. Il reste à introduire l'architecture globale d'un imageur CMOS, la chaîne de lecture des pixels, le mode de lecture traditionnellement utilisé et enfin les limitations au niveau vitesse de lecture et de consommation de puissance.

II. Chaîne de lecture standard dans un capteur de vision CMOS

La lecture des informations lumineuses extraites des pixels d'un capteur CMOS se fait d'une manière séquentielle, cadencée par un signal d'horloge qui contrôle les signaux de commande du système entier. Plusieurs blocs numériques et analogiques y interviennent. On note parmi les blocs numériques, deux décodeurs dont le rôle est de contrôler l'accès des pixels aux bus de sortie. Ces blocs sont généralement conçus à l'aide d'un langage de description matérielle de haut niveau, puis synthétisés par les outils CAO de synthèse, puis layoutés et enfin importés sur la puce comprenant la partie analogique du circuit. Dans les architectures standards, deux de ces décodeurs sont implémentés sur la puce ; un pour contrôler la sélection d'une ligne et son accès aux bus de sortie verticaux (un par colonne de pixels) et l'autre pour contrôler l'accès sur le bus horizontal unique de sortie. Ce bus transmet les informations lumineuses, une par une d'une manière séquentielle, au convertisseur analogique numérique présent, usuellement, à la fin de cette chaîne de lecture. Le schéma bloc de l'architecture globale du système est montré dans la figure 2.1.

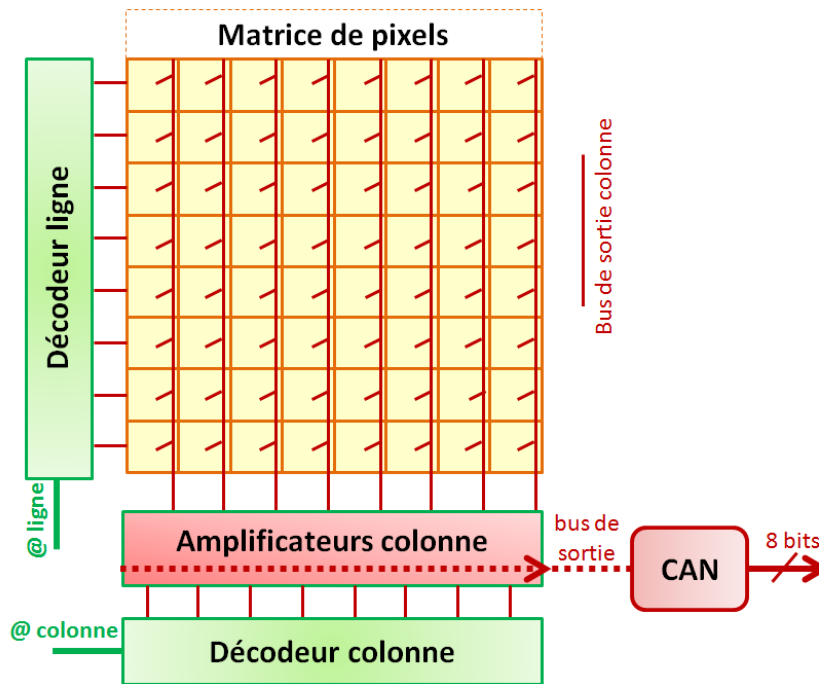


Figure 2.1 : schéma bloc d'un imageur CMOS conventionnel

Sur la figure 2.1, on voit l'emplacement conventionnel de ces deux blocs numériques par rapport à la matrice des éléments photosensibles. Un autre bloc composé de plusieurs composants analogiques est le bloc « amplificateurs colonne ». Il est composé d'une série de circuits échantillonneurs bloqueurs (E/B) et d'amplificateurs suiveurs distribués un par colonne d'où vient son appellation d'« amplificateur colonne ». L'architecture la plus répandue de ce bloc analogique est celle inventée par [Mendis_97]. Elle permet l'exécution d'une opération NCDS en permettant le stockage de deux informations pour chaque pixel en pied de la colonne. Ces deux informations sont une tension portant l'information lumineuse et une autre, indépendante de la luminosité incidente, servant comme valeur de référence. On vient retrancher à cette valeur, la tension de l'intensité lumineuse ce qui permet de corriger l'effet du bruit spatial fixe pixel par la technique CDS. La figure 2.2 montre le schéma bloc de cet amplificateur colonne.

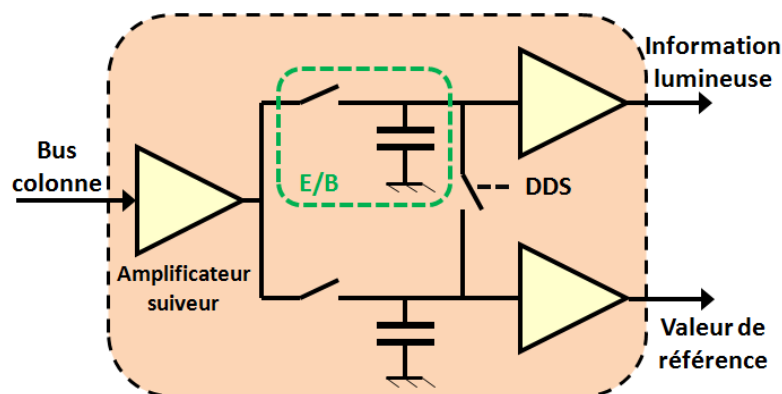


Figure 2.2 : schéma bloc du circuit amplificateur colonne

Le dernier bloc dont il faut parler à ce stade est le convertisseur analogique numérique qui peut prendre plusieurs positions dans l'imageur, soit à la fin de la chaîne de lecture, soit en pied de colonne et finalement, au niveau interne du pixel. La conversion « off chip » n'est plus utilisée dans le cas des imageurs CMOS parce que la technologie CMOS permet facilement son implémentation sur puce. Ce choix est assumé en fonction du cahier des charges, parce que chacune de ces techniques de conversion a ses propres avantages et inconvénients en termes de SNR, vitesse de lecture, consommation de puissance et enfin surface de silicium occupée.

Dans le cas de l'utilisation d'un seul convertisseur pour toute la matrice, les sorties des pixels sont multiplexées à l'aide des décodeurs ligne et colonne pour arriver au CAN. Dans cette situation, le CAN doit fonctionner avec une grande vitesse afin de pouvoir supporter tout le flot de données incident à une vitesse de lecture prédéfinie. Ceci cause une consommation de puissance importante et implique une limitation en vitesse de lecture surtout dans le cas des imageurs de grande résolution spatiale. De plus, le fait d'avoir de grandes distances et plusieurs étages à parcourir par les signaux analogiques avant la numérisation, cumule le bruit sur ces signaux. Ce niveau de bruit dans cette approche de conversion est supérieur à celui perçu dans les deux autres approches (CAN par colonne ou bien numérisation intra-pixel (DPS)). En effet, le signal analogique nécessite un temps d'établissement avant qu'il ne soit échantillonné (limitation commune avec la méthode de conversion en pied de colonne due à la capacité parasite du bus). De ce fait, la vitesse de lecture est limitée pour cette méthode. Cependant, ce type de conversion facilite l'augmentation de la résolution spatiale des imageurs (surface pixel réduite et grand facteur de remplissage). Elle est utilisée dans la plupart des appareils photo commercialisés [ElGamal_05].

Un avantage important de la technique d'implémentation d'un CAN par colonne est que la lecture très rapide des sorties numériques est possible. La vitesse d'extraction des informations de la matrice est proportionnel au « frame rate » (nombre d'images par seconde) désiré et de la taille de l'imageur (en nombre de pixels). Pour cette raison, cette méthode est très utile pour les applications nécessitant une très grande vitesse de lecture et pour les imageurs de grande taille. En plus, la taille du pixel n'est pas affectée par cette technique, ainsi l'imageur peut atteindre une grande résolution spatiale, la même que celle obtenue dans le cas de l'utilisation d'un CAN unique par puce. Des CANs à vitesse moyenne peuvent être utilisés grâce à la conversion ligne par ligne. Le trajet de sortie étant plus court que celui de la structure à CAN unique mais cependant, plus long que celui du DPS (conversion intra-pixel). On s'attend ainsi à un SNR moyen [Park_09], [Lindgren_06].

Dans le cas de conversion intra-pixel, un CAN est implémenté à l'intérieur de chaque pixel (ou bien un groupement de pixels voisins), la conversion se fait alors en parallèle [Fowler_98], [ElGamal_99], [Joo_99], [Rocha_03], [ElGamal_05], [Dubois_08]. Puisque la sortie de chaque pixel est numérique

(digital en anglais) le capteur implémentant cette structure est alors appelé DPS pour « Digital Pixel Sensor » de l'anglais.

Un avantage très important de l'utilisation du DPS est un SNR élevé grâce à la conversion directe et le multiplexage d'un signal numérique qui est plus robuste à une telle sorte d'opération. La lecture n'est plus alors limitée par la capacité des bus de sortie et peut atteindre des grandes valeurs. En plus, le même layout de pixel peut être utilisé dans l'implémentation d'imageurs de tailles très différentes vu que dans ce cas on ne dépend pas des bus et des trajets à traverser par les signaux. D'ailleurs, des CANs à faible consommation sont envisagés dans ce type de conversion parce qu'elle ne nécessite pas vraiment des grandes vitesses de conversion vu que cette dernière se fait en parallèle au sein de tous les pixels. La consommation totale de puissance par cette structure peut être inférieure à celles des deux autres approches [ElGamal_99]. Dans les DPS, l'implémentation de plusieurs algorithmes de traitement d'image comme la détection de contour et la localisation d'un objet peut être accomplie en parallèle et en grande vitesse [Crooks_09]. Ainsi, une grande dynamique d'entrée des pixels peut être atteinte par les pixels du DPS [Yang_99].

Tous ces avantages du DPS sont obtenus au prix d'une surface de pixel extrêmement large qui ne permet pas d'atteindre des grandes résolutions spatiales. Une alternative future pourra être l'implémentation de tels systèmes en technologie 3D qui, pour le moment, manque de maturité. On espère qu'avec les avancés des technologies CMOS ne plus avoir ce type de limitations. Il reste à résoudre le problème du FPN causé par l'addition d'un grand nombre de transistors par pixel, ces transistors subissent et subiront toujours l'effet du mismatch technologique. En effet, ces trois approches de conversions analogiques numériques affectent différemment le bruit spatial fixe du capteur. Dans le cas d'un CAN unique, c'est la circuiterie analogique qui cause le FPN alors que dans les deux autres cas c'est aussi les CANs qui l'induisent. Dans ce cas, le DPS est le pire des trois en termes de FPN.

Récemment, les conversions par colonne et intra-pixel ont attiré l'attention des chercheurs suivant l'application demandée. Dans notre cadre de recherche, nous ne nous intéressons pas au DPS parce que nous nous sommes imposé un cahier de charge strict en termes de surface de pixel et de complexité de la circuiterie interne des pixels. Cependant, l'approche d'un CAN par colonne pourrait être intéressante si nous n'avions pas d'autres approches qui pourront améliorer les performances de la méthode de conversion par CAN unique sur puce. Ces approches vont nous permettre d'implémenter du traitement d'image sur puce sans trop affecter la circuiterie interne du pixel comme c'est le cas du DPS. La résolution du convertisseur utilisé dépendra surtout de la dynamique du signal lumineux en sortie des pixels.

II.1. Etat de l'art de la conception des CANs pour les imageurs

Pour remédier à ces limitations, des travaux ont été faits afin de pouvoir améliorer ces critères, notamment, l'implémentation d'une technique de conversion analogique numérique en pied de chaque colonne. On cite les travaux de [Walker_90] qui reposent sur l'implémentation d'une conversion basée sur l'utilisation d'un registre à approximations successives (RAS) en pied de chaque colonne. Cela implémente l'algorithme de recherche par dichotomie qui permet de retrouver les valeurs numériques des informations lumineuses. Cette solution a des inconvénients majeurs en termes d'occupation de surface sur silicium et de consommation de puissance. Aussi, un CAN à RAS a besoin de 2^N coups d'horloge pour convertir un signal analogique en un signal numérique à N bits comparé à un convertisseur flash ou pipeline qui n'ont besoin que d'un seul ou au maximum de quelques coups d'horloges pour effectuer leurs conversions.

Un autre brevet d'invention a été déposé en 2009 [Zarnowski_09]. Dans ce brevet, les auteurs développent une nouvelle technique de conversion analogique numérique par colonne afin de remédier :

- au bruit induit par le chargement du grand bus de sortie avec des tensions analogiques
- à la composante colonne du bruit spatial fixe par l'utilisation du multiplexage des signaux numériques au lieu du multiplexage des signaux analogiques.

Un autre challenge de ce travail était de surmonter les limitations des travaux précédents, du côté occupation de surface et temps de réponse. Le schéma bloc et le diagramme temporel du fonctionnement de l'architecture proposée sont illustrés à la figure 2.3.

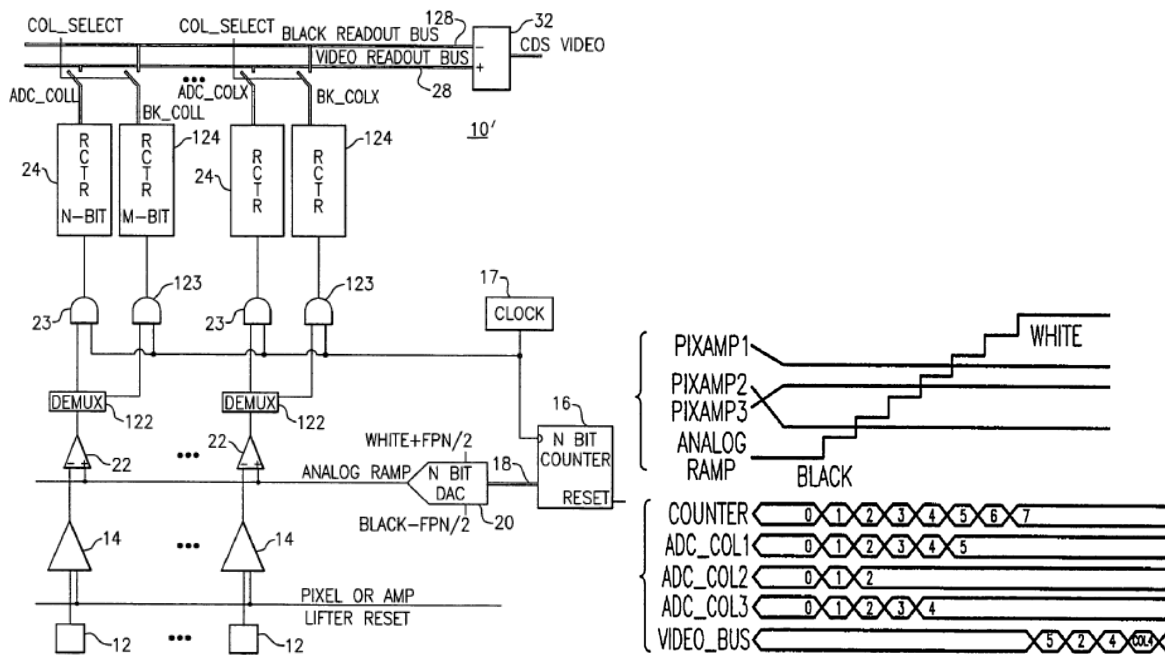


Figure 2.3 : Schéma bloc et chronogrammes de fonctionnement de la technique de conversion proposée par []

Plusieurs autres travaux récents ont été développés dans ce cadre, notamment celui de [Mahmoudi_11]. Cette thèse est centrée sur la conception de nouvelles architectures des blocs composants les convertisseurs analogique numérique delta-sigma. Ceci, a pour but de faire avancer l'état de l'art de ces convertisseurs, pour les imageurs, en termes de minimisation de la surface de silicium occupée et de la consommation de puissance. L'approche proposée est basée sur l'implémentation d'un décimateur en bas de chaque colonne de pixels. A la place de l'utilisation des décimateurs conventionnels, l'utilisation d'un décimateur à réponse impulsionnelle finie avec une génération optimale des coefficients sur puce est proposée. Aussi, pour le modulateur du CAN, des choix ont été assumés au niveau architectural afin de réduire la surface occupée et la consommation de puissance tout en supportant l'effet du mismatch. Deux types de capteurs ont été développés, le DCS (Digital Column Sensor) où la conversion se fait par colonne et le DPS (Digital Pixel Sensor) où la numérisation se fait à l'intérieur du pixel.

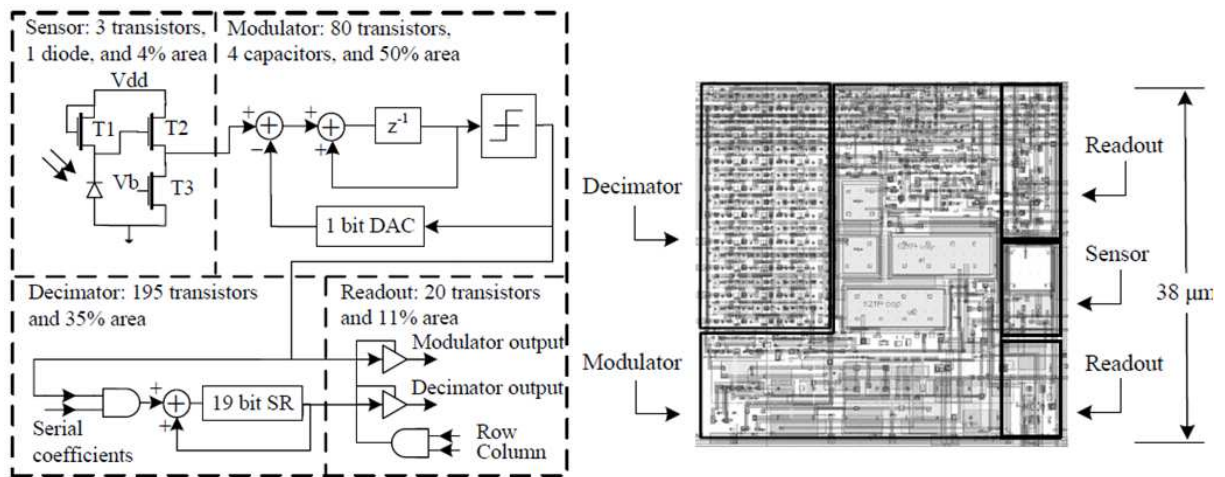


Figure 2.4: Schématique et layout du pixel de base du DPS

Cette conception a été effectuée en technologie CMOS 0,18 μm . Malgré l'utilisation de cette technologie considérée comme avancée, la surface du pixel d'un DPS s'élève à 38x38 μm^2 , avec presque 300 transistors et 4 capacités par pixel (figure 2.4), ce qui nuit à la sensibilité et augmente la composante pixel du bruit spatial fixe. Un premier circuit a été fabriqué et testé, il permet d'obtenir un facteur de mérite comparable à celui de l'état de l'art des CAN delta-sigma, avec une surface réduite des modulateurs.

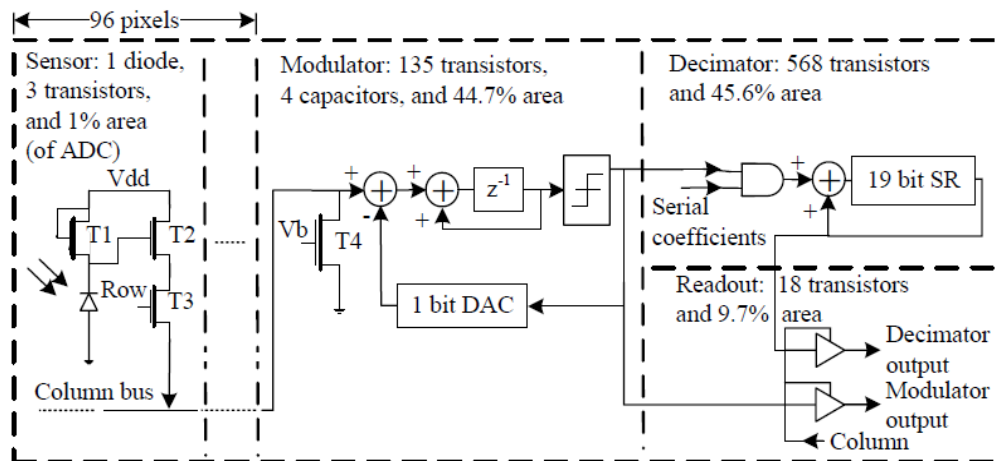


Figure 2.5: Schéma bloc et layout du CAN pour DCS

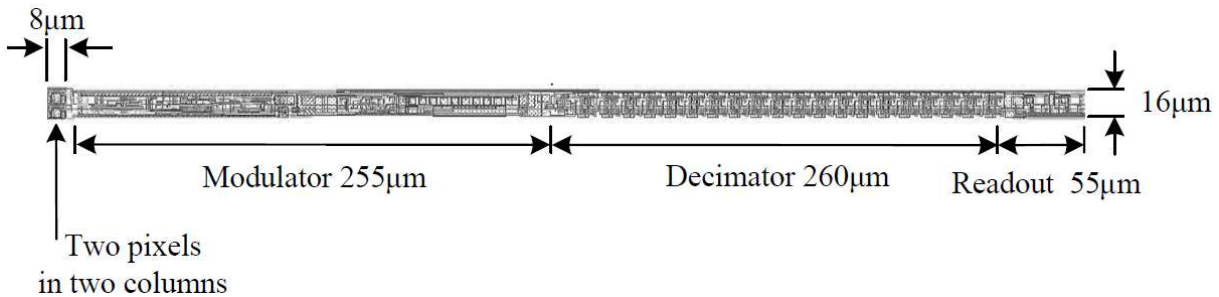


Figure 2.6: layout d'un CAN en pied de colonne

Un autre circuit composé de pixels logarithmiques avec un ADC par pied de colonne utilisable dans des caméras vidéo numériques a été développé (figures 2.5 et 2.6). Les deux imageurs ont un PSNDR de l'ordre de 35 à 40 dB comparable à celui de l'œil humain et mieux que celui des travaux proposés dans la littérature des capteurs logarithmiques. Cette approche est adaptable aux technologies « nanoscale » avancées qui permettent à leur tour une réduction supplémentaire de la surface utilisée et de la consommation de puissance.

Rappelons que, tout de même, l'idée de la conception de nouvelles architectures de conversion analogique numérique afin de l'implémenter en bas de chaque colonne vise à obtenir un gain au niveau de la vitesse de lecture en réduisant le temps de conversion (conventionnellement plus large dans le cas d'une numérisation en série des signaux surtout dans le cas d'imageurs à grande résolution spatiale). Les travaux récents dans ce cadre sont devenus bien nombreux. Plusieurs types et architectures de convertisseurs ont été conçus et étudiés dans le cadre de l'augmentation de la vitesse de lecture des imageurs CMOS. Les CANs à approximations successives [Matsuo_09], les CANs cycliques [Jong_09], à simple rampe [Lee_08], [Quanliang_11] ou à rampes multiples avec pente unique (MRSS) [Soneij_07], ont été étudiés. Les convertisseurs à simple rampe sont les plus souvent utilisés grâce à leur surface limitée par comparaison aux autres types de CANs. Ils sont aussi

compatibles avec l'implémentation par colonne dans les imageurs CMOS d'autant que la génération de la rampe analogique est commune pour l'imageur et utilisée dans toute la ligne de convertisseurs. Pourtant, l'inconvénient le plus important de ce type de CANs est leur temps d'opération de 2^n périodes d'horloge pour 'n' périodes dans le cas des CANs à approximations successives et les CANs cycliques. D'ailleurs, les CANs à rampes multiples avec pente unique ont un temps de conversion plus court sans avoir besoin d'un générateur de tension de référence dans chaque colonne. Cela est dû au fait que la rampe de ce type de CAN, qui s'étend sur toute la dynamique d'entrée en une seule pente, est divisée en 'm' rampes qui couvrent chacune $1/m$ de la dynamique (figure 2.7).

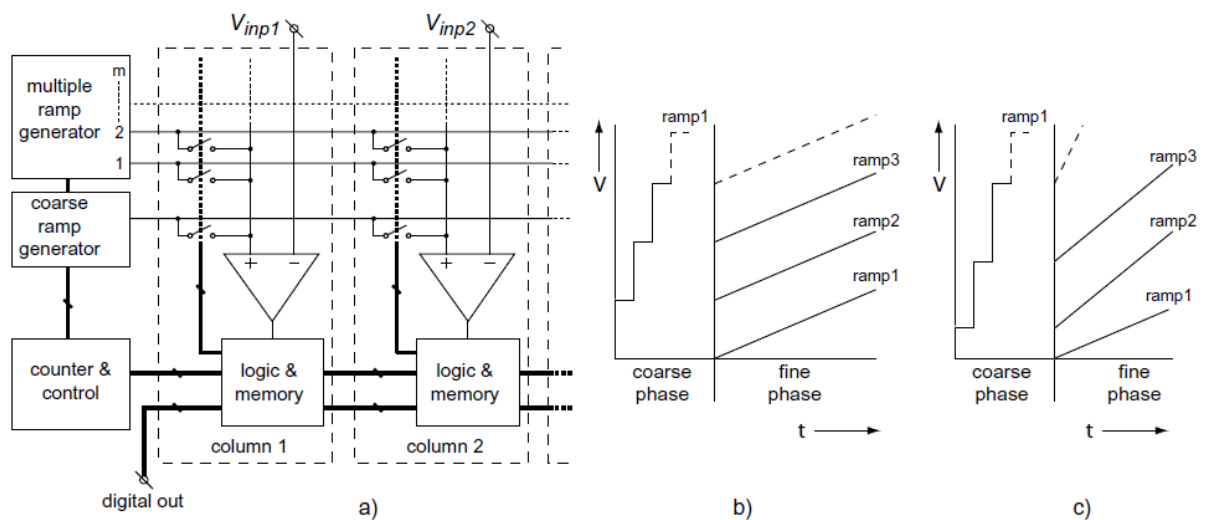


Figure 2.7 : a) Schéma bloc d'un CAN à MRSS b) Diagramme temporel de la phase grossière de conversion c) Diagramme temporel de la phase fine de conversion

Comme chaque comparateur de colonne est connecté à la rampe correspondante (qui inclut forcément la valeur de la tension d'entrée à convertir), toutes les 'm' rampes peuvent être extraites en parallèle, ce qui mène à un temps de conversion réduit comparé à celui des CANs à simple rampe. A la figure 2.7, un schéma bloc d'un CAN à rampes multiples avec pente unique est illustré. La dynamique du générateur de la tension de référence génère en sortie plusieurs rampes de tension. Et chaque circuit colonne possède une série de commutateurs qui lui permettent de connecter une de ces rampes à l'entrée de son comparateur. Comparé à l'architecture des CANs à simple rampe, l'architecture des MRSS nécessite seulement l'addition de quelques commutateurs analogiques en plus ainsi que quelques unités mémoires et circuiteries numériques en bas de chaque colonne. La figure 2.7 (b) montre le diagramme temporel de fonctionnement de cette architecture.

La conversion est distribuée sur deux phases ; la première est une phase grossière de conversion alors que la deuxième est une phase plus précise qui complète la première. Dans la phase grossière, tous les comparateurs sont connectés à une rampe de tension unique et une conversion analogique numérique à pente unique est exécutée. Les résultats de cette conversion grossière sont sauvegardés dans des

mémoires distribuées en bas de chaque colonne. Ensuite, les résultats de cette conversion sont rebouclés sur les commutateurs analogiques qui, à leur tour, connecte la rampe correspondante à la grandeur de la tension d'entrée, à l'entrée de chaque comparateur. La phase précise de conversion est alors effectuée dans ce second temps, lorsque toutes les 'm' rampes sont générées en parallèle.

Ainsi, cette conversion est une conversion à simple rampe (pente unique) standard, mais dans ce cas, nous avons la rampe optimale en entrée de chaque comparateur en fonction de sa tension d'entrée à convertir. Chaque rampe doit couvrir, uniquement, $1/m$ de la dynamique en entrée du CAN, et par conséquent, la conversion peut être beaucoup plus rapide que celle d'un CAN à simple rampe à pente unique. De plus, les résultats de cette conversion précise sont sauvegardés dans les mémoires de chaque colonne. Le résultat final de conversion est alors une combinaison des résultats des deux conversions, la grossière et la précise. Dans [Soneij_07] un prototype d'un imageur implémentant des CANs à MRSS est présenté. En utilisant 8 rampes, ce prototype a un temps de conversion 3,1 fois plus rapide que celui de la conversion à simple rampe. Cependant, cette conversion consomme juste 16% en plus de puissance. Ceci est, cependant, un signe prometteur d'efficacité de cette technique de conversion qui augmentant la vitesse de conversion et le rendement de la puissance consommée de chaque CAN par colonne.

Comme on peut le déduire, la simplicité du circuit interne du pixel ou des amplificateurs colonne (nombre de transistors) et la surface de silicium occupée sont toujours sacrifiées en faveur des exigences en termes de vitesse de lecture, et de consommation de puissance. Nous avons vu cet aspect dans différentes techniques de conversion analogique numérique par colonne et par pixel, et nous allons détailler dans le paragraphe suivant d'autres techniques et d'autres principes et stratégies étudiés dans la littérature dans le but d'accélérer la vitesse de lecture ou de réduire la puissance dissipée dans ce but.

III. Technique de lecture à « AER »

AER pour « Address Event Representation » de l'anglais, est un protocole de lecture asynchrone utilisé surtout dans la communication entre les différents blocs d'un système neuromorphique. De son côté, le terme neuromorphique a été introduit dans la littérature de la conception microélectronique (VLSI) par Carver MEAD vers la fin des années 80 [Mead_89]. Il l'a utilisé pour décrire les systèmes qui imitent les fonctionnalités neuro-biologiques présentes dans le système neuronal humain. Actuellement, le terme neuromorphique est utilisé, à la fois, dans la description des systèmes VLSI analogiques, numériques ou bien même des systèmes mixtes analogiques/numériques qui implémentent des modèles de comportements neuronaux du vivant ainsi que des algorithmes informatiques bio-inspirés. Les applications de ce type de systèmes sont surtout des applications de

perception (visuelle, auditive...), de contrôle, ou bien de détection. La conception neuromorphique, est un nouveau domaine interdisciplinaire qui s'inspire de la biologie, la physique, les mathématiques, l'informatique et l'ingénierie pour produire à la fin un système neuronal artificiel.

Dans la littérature des imageurs, un grand axe de recherche est mené afin de concevoir des systèmes visuels imitant celui de l'œil humain ou animal. Ces travaux envisagent, à long terme, une implantation dans le corps humain d'une rétine artificielle qui permettrait de remédier aux problèmes de vue. Ce type de système doit être adapté au fonctionnement du corps humain pour que l'implant puisse communiquer avec le système nerveux. Il doit donc avoir un mode de lecture neuromorphique imitant celui de l'œil naturel. La communication neuronale humaine est basée sur des impulsions de tension transmise d'un neurone à l'autre appelé potentiel d'action. Ces potentiels d'actions du système nerveux, se propageant par processus des bases ioniques, sont modulés en fréquences d'impulsions. La particularité la plus importante de ce type de communication neuronale est que cette dernière ne se fait que lors de l'occurrence d'un événement. Sur ce même principe de communication, plusieurs imageurs ont été conçus par différentes équipes de recherche internationales.

Dans les appareils photo numériques ou les machines de vision commercialisées, la lecture se fait d'une manière séquentielle et synchrone où une horloge cadence des signaux qui, à leur tour, synchronisent et contrôlent la totalité de la lecture sans aucune relation avec l'occurrence des événements spatio-temporels dans la matrice de pixels. La communication par AER repose, quant à elle, sur la transmission des événements. Notamment, quand un événement survient au niveau d'un certain pixel, ce dernier demande l'accès à un bus de sortie à grande vitesse en envoyant une requête. En même temps il communique son identité, en termes d'adresse, sur ce même bus. Un récepteur, par un protocole de « handshaking » à 4 phases, lit l'adresse envoyée par ce pixel. Par suite, le récepteur envoie une impulsion à son unité de traitement qui porte la même adresse que le pixel en question. Cette technique, établit une connexion virtuelle entre l'unité émettrice (pixels) et l'unité réceptrice sous une topologie de requête-acquittement basée sur une stratégie dédiée de distribution des adresses. L'AER est, alors, une technique de communication dont le principe ressemble à celui du système biologique. Cette technique prend en compte toutes les limitations électroniques qui ne permettent pas d'atteindre l'idéalité du système nerveux humain en termes de nombre de connexions parallèles possibles, de robustesse et de vitesse de fonctionnement. L'AER est considéré comme une méthode de lecture temps réel dans la limite où l'activité du capteur en question est incluse dans la largeur de bande du bus de communication. Dans ce mode de lecture, plusieurs requêtes peuvent arriver simultanément aux unités de traitement créant ainsi des conflits de lecture, ces conflits peuvent être résolus suivant deux principes émergents :

1. Le principe d'arbitrage dans lequel, des critères de priorités sont donnée aux requêtes afin de sélectionner la requête qui aura accès au bus de communication.
2. Le principe ALOHA [Culurciello_06] dans lequel un conflit entre deux requêtes différentes résulte en la suppression des requêtes impliquées dans le conflit.

Chacun de ces modes de résolution des conflits a ses avantages et ses inconvénients, le choix entre l'un et l'autre dépend des spécifications demandées. Dans le travail de [Culurciello_03] une étude comparative entre les différents régimes d'AER est effectuée. La plupart des chercheurs du domaine ont choisi le principe d'arbitrage afin de ne pas perdre d'informations surtout dans le cas de systèmes à grande activité. Durant la dernière décade, Boahen et son équipe [Boahen_04] ont avancée dans la recherche sur l'arbitrage des techniques AER de lecture des imageurs, basé initialement sur l'architecture développée par Sivilotti.

IV. Etat de l'art

Le premier capteur de vision fonctionnant en AER a été développé par Mahowald et Mead [Mahowald_94]. L'objectif de ce travail était d'étudier l'interaction du milieu physique avec le monde informatique (de traitement) à la fois dans les systèmes biologiques et analogiques VLSI en synthétisant un système neuromorphique fonctionnel sur silicium. La rétine proposée dans ce travail, encodait l'information visuelle de différents ordres de grandeur du spectre visible de la lumière ambiante, en utilisant des composants non appariés mais qui sont calibrés comme étape du processus d'encodage de l'information. L'abstraction visuelle créée par cette rétine est appropriée à la transmission sur un canal dont la largeur de bande est limitée. De plus, une méthode générale de communication intra-puce est introduite, celle de la représentation adresse événement (AER) qui est utilisée dans la transmission des données extraites de la rétine. La rétine en silicium qui a été conçue et fabriquée pour démontrer le principe de la technique de communication n'était pas finalement utilisable dans une application réelle. Elle ne détectait que des stimuli à très fort contraste tel qu'une LED clignotante.

En 1995, Alessandro Mortara a publié dans le cadre de sa thèse de doctorat, une nouvelle technique de communication pour les systèmes analogiques de perception. Cette technique est aussi inspirée de la biologie humaine, dans laquelle, les informations générées par un vecteur transmetteur de cellules sont codées via un générateur d'impulsions. Les signaux résultants modulés en fréquence d'impulsion sont transmis à travers un bloc encodeur, non arbitré, vers un bus unique de communication. Ce train d'impulsion est ensuite décodé par un bloc décodeur et accumulé dans un circuit récepteur afin d'établir la communication de l'émetteur au récepteur. La figure 2.8 illustre le schéma bloc de ce système de communication.

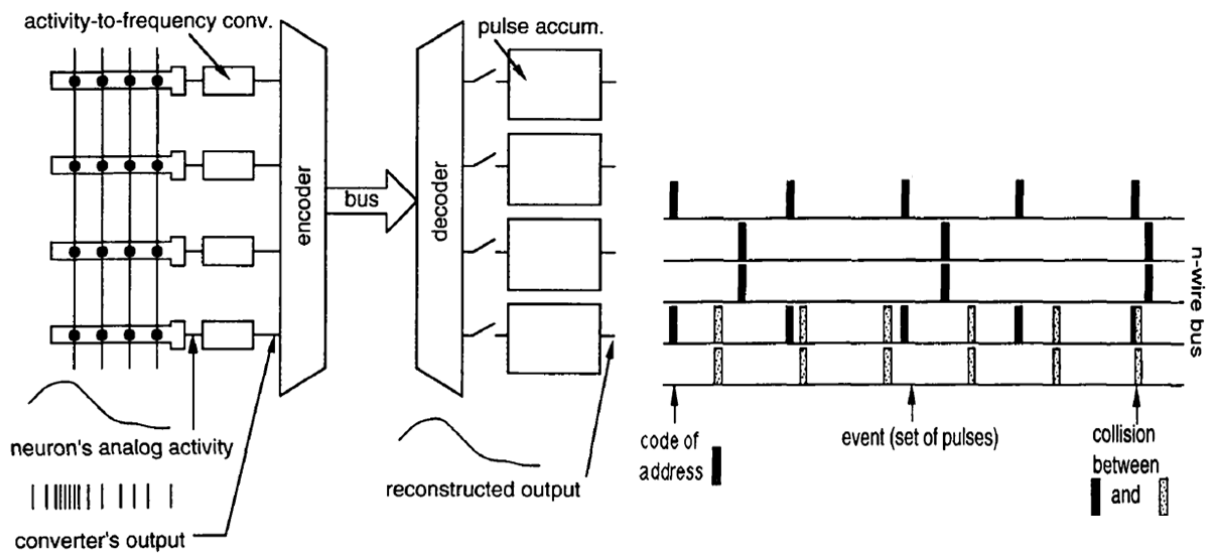


Figure 2.8 : schéma bloc du système de communication de [Mortara_95]

Les auteurs de ce papier [Mortara_95] considéraient que cette technique est la technique la plus proche du mode de communication neuronal. Pourtant, l'implémentation de connexion point-à-point parallèle et en trois dimensions, présent dans le système nerveux humain, s'avère impossible. La modulation des signaux analogiques en fréquence d'impulsions (événements) étant faisable, ces signaux peuvent être multiplexés et transmis sur un seul bus avec un accès à ce bus contrôlé par ordre de priorité aux cellules les plus actives. Suite à cela, [Mortara_97] présente une application de la technique de communication proposée dans un système de vision électronique visant l'extraction de contour et d'orientation dans la rétine. Des résultats expérimentaux ont été illustrés dans ce papier.

Quelques années plus tard, en 2002, Jörg KRAMER a présenté un imageur avec mode de lecture asynchrone [Kramer_02]. Dans ce papier, l'auteur a introduit un nouveau concept de contrôle et de traitement de l'information issue d'un capteur de vision. En effet, le pixel utilisé produit en sortie, à côté du signal lumineux compressé d'une façon logarithmique, deux autres signaux portant des informations sur la variation temporelle positive ou négative du signal lumineux. Ces variations « seuillées » correspondent alors à des contours en mouvements dans la scène filmée. La schématique du pixel proposé ainsi que le diagramme de l'imageur entier sont respectivement données dans les figures 2.9 et 2.10.

Ce pixel est constitué de deux sous circuits ; le premier chargé de l'extraction de l'information lumineuse et de son traitement de base tel que l'étage correcteur différentiateur temporel avec seuillage comprenant les transistors M_{hn} , M_{hp} et la capacité C_{pr} . Le deuxième sous circuit s'occupe de la conversion analogique numérique et de l'interfaçage avec l'électronique de lecture asynchrone.

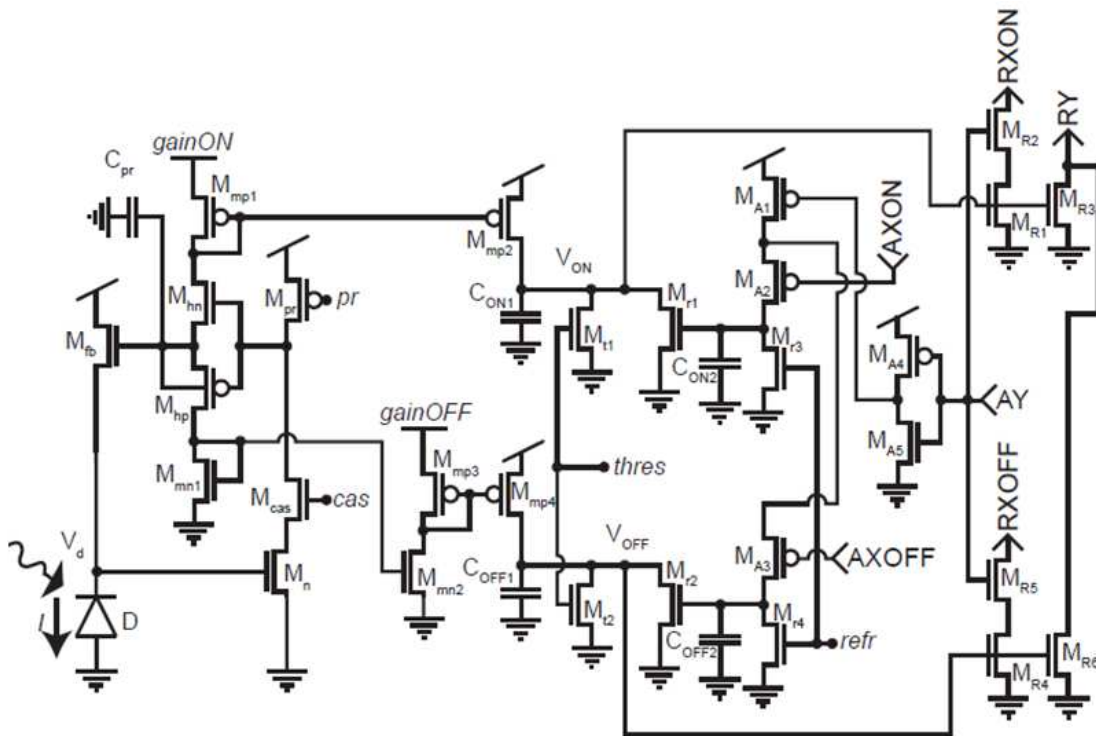


Figure 2.9 : Schématique du pixel proposé par [kramer_02]

Comme le montre la figure 2.10, chaque ligne et chaque colonne possède une adresse binaire qui lui est propre. Ainsi, chaque pixel est codé par une adresse binaire unique. L'arbitrage entre les lignes et les colonnes se fait à travers deux arbres binaires d'arbitrage. Chacun de ces arbres reçoit les requêtes de la matrice et renvoie des acquittements à la ligne considérée après avoir mis son adresse sur le bus de sortie. Un conflit entre plusieurs requêtes arrivant en même temps est résolu par la sauvegarde de ces requêtes en série.

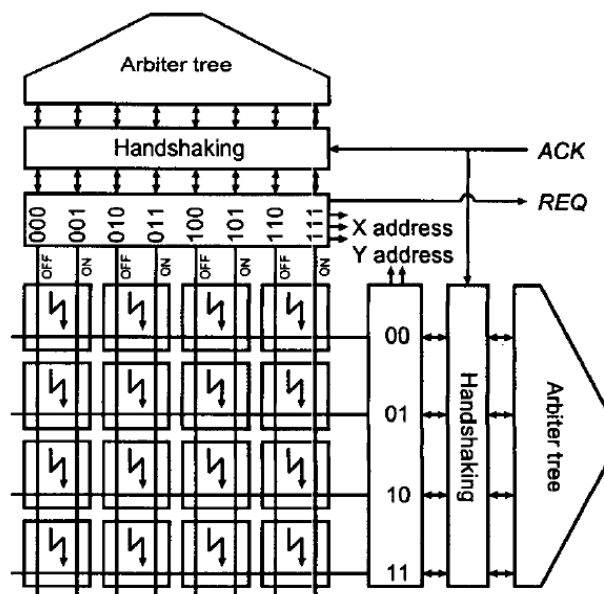


Figure 2.10 : schéma bloc de l'imager proposé par [Kramer_02]

L'arbitrage des lignes précède celui des colonnes et se bloque dès que l'un des pixels de la ligne sélectionnée a envoyé une requête de lecture. Un protocole de lecture de « handshaking » à quatre phases est utilisé afin de garantir la communication des événements aux circuits de lecture. Une détection des contours en mouvement peut facilement être effectuée en utilisant ce mode de lecture.

En se basant sur le travail de Kramer, Patrick Lichtsteiner a développé ses travaux de thèse à l'ETH de Zurich. La première partie du travail visait remédier aux problèmes de mismatch entre les composants constituant la boucle de retour dans le pixel de Kramer. Ce mismatch empêche l'imageur d'atteindre la détection des valeurs de contraste inférieures à 5%. En plus, le circuit conçu par Kramer souffrait d'une asymétrie entre le seuil de détection positive et négative. Ainsi, Lichtsteiner a développé un circuit amélioré par rapport à celui de Kramer en termes de symétrie entre les seuils de détection positive et négative (ON et OFF), de la dynamique du pixel et sa robustesse toujours au prix d'un pixel de surface plus large [Lichtsteiner_04]. Dans un second temps, une nouvelle architecture de pixel a été proposée, [Lichtsteiner_06], [Lichtsteiner_08]. C'était un pixel à capacités commutées auto contrôlé, son schéma bloc, ainsi que son mode opératoire sont illustrés dans la figure 2.11.

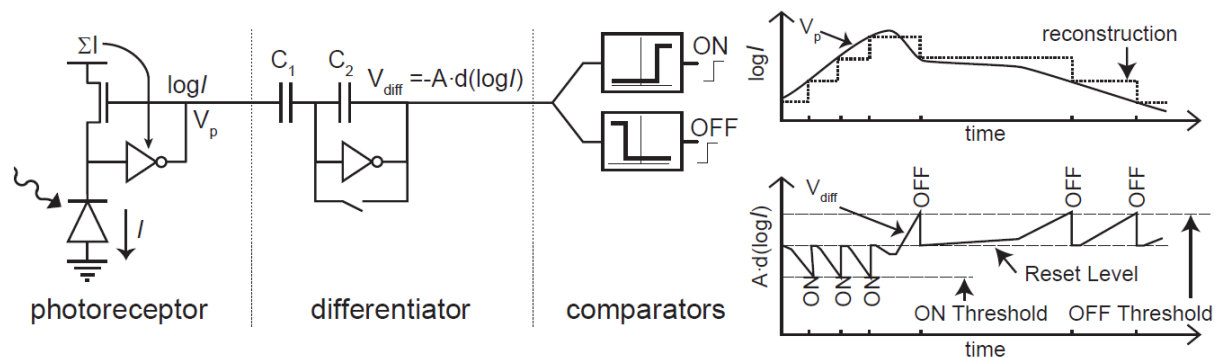


Figure 2.11 : Schéma bloc et mode opératoire du pixel proposé par [Lichtsteiner_06]

Ce pixel est composé d'un photorécepteur logarithmique capacitivement couplé au circuit différentiateur. La boucle de retour dans le photorécepteur permet d'obtenir un gain automatiquement contrôlé du pixel ainsi qu'une réponse rapide aux changements de l'intensité lumineuse. L'inconvénient de ce circuit photorécepteur est le mismatch DC causé par la variation des tensions de seuil des transistors et nécessitant une calibration ultérieure. Le circuit différentiateur suivant permet d'enlever ce mismatch DC parce qu'il n'amplifie que la variation sur le signal de sortie du photorécepteur. En d'autres termes, ce pixel n'est sensible qu'au contraste temporel du signal lumineux. Il a été utilisé pour fabriquer deux prototypes différents, permettant un mode de lecture à AER et une extraction du contraste. La figure 2.11 (droite) montre le mode opératoire du pixel, les tracés de la tension en sortie du photorécepteur V_p , variant en fonction du temps, et celle en sortie du différentiateur V_{diff} . On voit, sur la sortie V_{diff} , les événements survenant sur V_p . Une variation

excédant la valeur de seuil, dans un sens ou dans l'autre, est détectée par le différentiateur et se traduit par une impulsion positive ou négative à sa sortie. Il faut noter que le circuit différentiateur n'est pas un dérivateur. Sa sortie n'est pas proportionnelle à la dérivée instantanée de l'intensité logarithmique.

En conclusion, ce travail de conception vise l'implémentation d'un imageur avec des capacités de traitements intégrées telles que la détection de contraste temporel avec un mode de lecture asynchrone basé sur l'AER. Le choix de ces chercheurs a été d'intégrer tout leur traitement à l'intérieur du pixel ce qui a mené à des pixels de grande surface ($40 \times 40 \mu\text{m}^2$) avec un faible facteur de remplissage (8,1%) et un risque de non appariement entre les différents pixels de la matrice dû à la complexité de la circuiterie interne du pixel (28 transistors et 3 capacités).

Dans le même groupe de recherche à l'institut de la neuro-informatique à l'ETH de Zurich et également sous la direction de Tobi Delbruck, Raphael Barner a publié ses travaux partant de ceux de Lichtsteiner [Barner_11]. Deux différents types de pixels ont été conçus en utilisant une technologie plus avancée (180nm) que celle utilisée par Lichtsteiner (350nm) afin de pouvoir minimiser la surface occupée par le pixel. Le premier pixel est sensé détecter à la fois une variation de l'intensité lumineuse et une variation de la longueur d'onde (couleur) de la lumière incidente en utilisant une photodiode BDJ (buried double junction) pour obtenir la sensibilité dichromatique des couleurs en technologie CMOS. Le mode de lecture de ce pixel est identique à celui de [Lichtsteiner_08] et repose sur la génération et la communication des événements suivant le protocole AER. Le deuxième pixel effectue une détection du contraste inférieur à 0,3% ce qui est considéré comme un grand avancement permettant à l'imageur d'être potentiellement utilisé dans beaucoup d'applications. Pourtant, la complexité de la circuiterie interne du pixel, la surface du pixel ($29 \times 29 \mu\text{m}^2$) et le faible facteur de remplissage restent toujours des limitations considérables du point de vue industriel.

De son côté, Kwabena Boahen et son équipe de recherche ont travaillé durant toute la dernière décade sur l'évolution de la technique AER avec arbitrage. Ce travail a commencé avec le circuit conçu par Massimo Sivilotti qui a abouti à une nouvelle technique de communication appelée « point-to-point » [Boahen_00] avec des arbitres rapides, et faiblement consommant.

Zaghloul et Boahen ont ensuite fait un grand pas en introduisant une rétine modélisant les différents types de cellules (ganglions) présent dans la rétine des mammifères [Boahen_04]. Les résultats expérimentaux de la puce fabriquée montrent sa capacité d'adaptation aux conditions lumineuses grâce au fonctionnement en mode courant sous seuil des transistors du circuit. Un filtrage spatio-temporel linéaire est aussi effectué par cette puce avec une adaptation temporelle et un contrôle du gain de la détection du contraste. La communication des signaux de cette puce se fait aussi sous une représentation AER qui mime celle de la rétine des mammifères en traitant des trains d'impulsions

modulés en fréquence. Néanmoins, l'utilisation de ce circuit conduit à un taux de mismatch très élevé surtout à cause du fonctionnement sous seuil des transistors. Le taux de génération des impulsions par le pixel varie avec une déviation standard de une à deux décades et plus de la moitié des pixels ne génère pas d'impulsion pour les contrastes inférieurs à 50%. En plus, la dynamique de fonctionnement est limitée à 3 ordres de grandeur de luminosité. Elle conduit à une largeur de bande limitée surtout en faible luminosité. De même, cette puce requiert plusieurs tensions de polarisation très proches des tensions d'alimentations ce qui est difficile à générer. Cependant, cet imageur a été conçu pour imiter le fonctionnement rétinale des mammifères et non pas pour être utilisé dans les applications pratiques de tous les jours.

Un an plus tard, Boahen a avancé dans [Boahen_05] que l'hétérogénéité (causée par le mismatch) pouvait être vue comme étant bénéfique car elle introduit des questions réalistes sur des problèmes confrontés par le système nerveux. Toutefois, il s'avère actuellement très difficile de comprendre comment le système nerveux traite positivement le fait d'avoir des neurones qui ne génèrent aucune impulsion alors que d'autres neurones sont 100 fois plus actifs voire plus. Au final, ce système est très intéressant mais présente des difficultés pratiques très importantes.

De leur côté, Barbaro et Ruedi et al. ont proposé deux architectures d'imageurs très intéressantes [Barbaro_02], [Ruedi_03]. Leurs sorties encodent cette fois le contraste spatial et non pas temporel comme le travail de [Lichtsteiner_08]. Les deux imageurs contournent l'aspect de lecture par trame en transmettant des événements par ordre de grandeur du contraste, après un reset global. Ainsi, la lecture peut être interrompue plus tôt dans le cas d'un temps de lecture limité, sans perdre les informations de fort contraste qui transcrivent normalement les contours de la scène. Chaque événement spatial est ensuite suivi par un autre événement indiquant l'orientation du contour. Ces puces sont considérées comme les premières à être utilisables parmi les puces qui implémentent la détection de l'orientation des contours. Le seuil de changement du contraste est contrôlé dynamiquement après le reset pour contrôler correctement l'accès au bus de sortie. Ce dispositif, a un mismatch du contraste très faible de 2% et une large dynamique d'entrée de six décades. Il a été développé pour une utilisation dans une application automobile [Grenet_05]. Il faut aussi signaler à ce stade, l'utilisation d'une technique de lecture à AER sans arbitrage mais qui implémente une détection de conflits qui détruit les requêtes simultanées, impliquées dans ce conflit. Ceci est géré par un mécanisme de contrôle afin de réduire le taux d'occurrence de tels conflits. Ce travail nous semble très important pour le type de traitement intégré qu'il présente. Pourtant, une surface de pixel de $69 \times 69 \mu\text{m}^2$ avec un facteur de remplissage de 9% nous semble critique toujours du point de vue industriel. À noter, qu'une extraction des contours est faisable tout en gardant la circuiterie interne du pixel intacte, nous détaillerons ce travail dans les chapitres suivants. De plus sa consommation de puissance de 300mW est dix fois plus grande de celles

des travaux cités auparavant. Finalement, cette architecture d'imageur proposée par Ruedi et al. malgré sa capacité de détection de contour et de l'extraction du contraste spatial ne présente aucune capacité de détection des variations temporelles ce qui induit un grand taux de redondances temporelles.

Ce sujet de détection du contraste ou changement temporel a été étudié par Udayan Mallik [Mallik_05]. Dans son circuit, il implémente un pixel APS standard plus une conversion analogique numérique intra-pixel, un circuit détecteur de changement, et une FIFO. Cette dernière sauvegarde l'adresse du pixel considéré, son intensité lumineuse et le type d'événement détecté dans le cas d'un changement de valeur ou bien en d'autres termes dans le cas d'une détection de mouvement si la valeur du changement excède le seuil précisé pour chaque pixel. L'utilisation de la FIFO est considérée comme une nouvelle façon de faire l'AER de manière synchrone. En conclusion, le fait de ne sortir que les variations des informations effectue une compression de l'image et facilite le codage des sorties. Plusieurs capacités sont intégrées à l'intérieur du pixel ce qui agrandit la surface utilisée à $25 \times 25 \mu\text{m}^2$ avec un facteur de remplissage de 17%. Cependant la dynamique d'entrée de ce pixel est limitée à 51dB.

Culurciello et al. ont développé plusieurs capteurs de vision qui utilisent la technique de communication à AER pour lire les intensités lumineuses des pixels directement [Culurciello_01], [Culurciello_03], [Culurciello_04]. Ils ont l'avantage de présenter des pixels de surface acceptable mais souffre de l'allocation du bus de sortie en fonction de la luminosité locale de scène à cause de l'absence d'un mécanisme de reset et parce que le délai entre les impulsions encode directement l'intensité lumineuse. Ainsi, un pixel peut mettre un laps de temps indéterminé pour générer son impulsion alors que d'autres qui sont les plus illuminés peuvent saturer le bus. Cependant, ce travail est très intéressant dans le développement d'un nouveau style de lecture rapide à AER sans arbitrage.

D'autre part, Le groupe de Hafliger [Azadmehr_05] a présenté un capteur de vision intégrant deux différents types de pixels ; le pixel statique qui construit la matrice de forte résolution entourée par des pixels dynamiques consommant plus de surface. Les pixels statiques génèrent des impulsions dont la fréquence est proportionnelle à l'intensité lumineuse alors que les pixels dynamiques ne génèrent des impulsions que lorsqu'un changement relatif de la luminosité globale a lieu. Ces impulsions sont transmises hors puce suivant le protocole d'AER. Les pixels dynamiques de l'entourage détectent au début la présence d'un objet en mouvement qui sera scanné en détail par le cœur de l'imageur constitué par les pixels statiques. Ce pixel occupe une surface de $26,8 \times 25,2 \mu\text{m}^2$ avec un FF de 11,3% alors que le pixel dynamique occupe $53,6 \times 50,4 \mu\text{m}^2$ et garde un FF de 50,4%. Cependant, la qualité des images résultantes de cet imageur reste moyenne.

V. Lecture par conversion tension - temps

Le groupe de recherche de John G. Harris ont introduit un nouveau dispositif appelé imageur TTFS (Time To First Spike imager) et ont publié leurs résultats dans [Qi_04], [Luo_04]. Après un reset global, chacun de ces dispositifs émet des événements selon l'intensité lumineuse du pixel ; les pixels les plus brillants génèrent des impulsions avant ceux plus sombres. La valeur de référence peut être modifiée dynamiquement pour assurer que tous les pixels aient fourni leurs impulsions durant un certain temps accordé à une trame. Cet imageur a le grand avantage d'une dynamique d'entrée étendue sur 140dB par pixel, mais par contre souffre d'une large surface de pixel de $37,5 \times 34,8 \mu\text{m}^2$. Un autre inconvénient subit par cet imageur est la grande probabilité de collisions entre les événements dans le cas des scènes uniformes, ce qui rend difficile l'uniformité de l'encodage de ces événements. La schématique du pixel est illustrée dans la figure 2.12 suivante

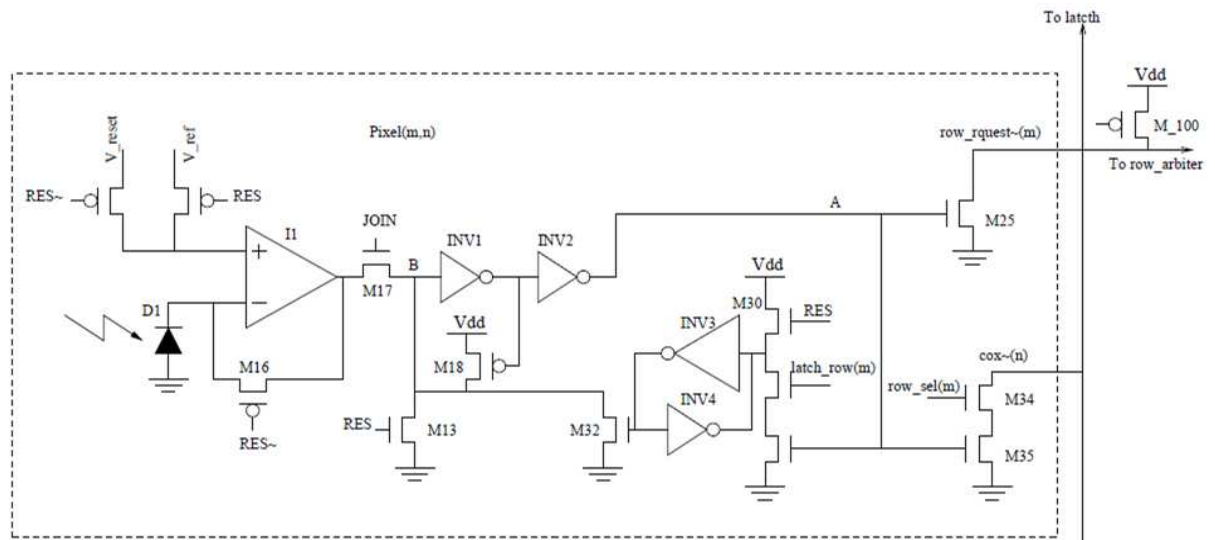


Figure 2.12 : schématique du pixel de l'imageur TTFS [Guo_07]

Finalement, Antoine Dupret et son équipe présente dans leur papier [Dupret_09] une nouvelle technique de lecture en utilisant un pixel à capture instantanée. L'imageur est scannée d'une façon pipeline dans laquelle la lecture se fait d'une manière asynchrone et non séquentielle, en rajoutant un circuit de décision à l'intérieur de chaque pixel. La lecture est précédée par une étape d'ordonnancement des pixels qui vont être lus en second temps. Ce mode de lecture asynchrone permet une lecture très rapide et un gain en consommation de puissance au prix d'un grand nombre de signaux de contrôle de la circuiterie numérique et de l'augmentation de la surface du pixel.

VI. Lecture après compression sur puce :

Un autre angle de vue peut être pris pour traiter la problématique du flot de données excessif en sortie des capteurs de vision CMOS : L'implémentation sur puce d'algorithmes de compression d'images initialement utilisés dans le traitement numérique de l'image pour assurer la compression du volume de données à transporter et à sauvegarder.

Les travaux de [Kawahito_97], [Leon-Salas_07], [Lin_05] et [Luo_02] ont été développés dans ce cadre. [Kawahito_97] implémente un processeur analogique permettant d'exécuter l'opération de DCT (Discrete Cosine Transform). Cette transformation bien connue dans le domaine de la compression numérique de l'image permet de contourner le problème du flot de données excessif en sortie du capteur de vision en effectuant une compression analogique de l'image et en implémentant en addition la conversion analogique numérique sur puce. Le travail présenté réduit la résolution et ainsi la qualité de l'image résultante, tout en augmentant la circuiterie intégrée sur puce. D'un autre côté, [Leon-Salas_07] implémente une autre approche de compression par encodage prédictif suivi par un encodage d'entropie. Le circuit résultant présente une compression sans perte au niveau de la qualité de l'image mais par contre le pixel implémenté en technologie CMOS $0.35\mu\text{m}$, s'étend sur une surface de $34 \times 30\mu\text{m}^2$ et possède une dynamique de fonctionnement limitée à 48dB. D'autres groupes de recherche ont aussi travaillé sur l'implémentation d'une compression d'image par des transformées en ondelettes [Luo_02] [Lin_05]. Cependant les mêmes limitations sur la complexité de l'électronique rajoutée et sur la perte en termes de qualité d'image résultante sont persistantes dans toutes les solutions proposées. Notre cahier de charges nous impose de proposer des techniques plus simples en termes d'architectures et moins contraignantes en termes de qualité de l'image.

VII. Conclusion

Comme expliqué au fil de ce chapitre, les différentes méthodes de lecture ou de traitement présentes dans la littérature souffrent souvent d'une grande surface de pixel ou d'une limitation au niveau de la dynamique d'entrée du capteur. Un tableau récapitulatif des travaux les plus intéressants est donné (tableau1). La plupart de ces techniques se concentrent sur la modification de l'architecture interne du pixel pour lui donner des capacités à effectuer soit des traitements analogiques soit une conversion analogique numérique soit les deux en même temps et tout cela se faisant à l'intérieur du pixel.

Dans notre travail, nous avons ciblé surtout les amplificateurs colonne pour y associer des fonctions de traitements. Celles-ci permettent de contrôler le flot de données résultant de la lecture séquentielle et

d'effectuer quelques prétraitements en introduisant de l'électronique analogique ou numérique au niveau de la puce et non pas à l'intérieur du pixel. Cela est largement bénéfique en termes de surface et répond à nos attentes en termes de contraintes industrielles.

Référence	[Boahen_04]	[Guo_07]	[Lichtsteiner_08]	[Mallik_05]	[Rueidi_03]
Fonctionnalité	Extraction du contraste spatial et temporel Lecture Asynchrone	Conversion tension temps Lecture asynchrone	Extraction asynchrone du contraste temporel	Différence temporelle des intensités par trame	Extraction du contraste et du gradient spatiaux Lecture pare trame
Technologie	0,35µm 4M 2P	0,5 µm	0,35µm 4M 2P	0,5µm 3M 2P	0,5µm 3M 2P
Taille du pixel en (µm ²)	34x40	37,5x34,8	40x40	25x25	69x69
Facteur de remplissage	14%	1,8%	8,1%	17%	9%
Complexité (T=MOS, C = capacité)	38T	30T	26T, 3C	6T, 2C	>50T, 1C
Dynamique d'entrée	~50 dB	140 dB pour un pixel 104 dB pour la matrice entière	120 dB	51 dB	~120 dB
FPN	1-2 décades	Xxx	2,1% du contraste	0,5% de la dynamique entière	2% du contraste
Taille du capteur	96x60	32x32	128x128	90x90	128x128

Tableau1 : Tableau récapitulatif des travaux les plus intéressants de la littérature

Chapitre 3: Technique de Comparaison au Voisin; Réduction des Redondances Spatiales Ligne

<i>I. INTRODUCTION</i>	52
<i>II. PRINCIPE DE FONCTIONNEMENT</i>	52
<i>III. MODELISATION SOUS MATLAB</i>	55
<i>IV. IMPLEMENTATION DE LA TECHNIQUE</i>	57
<i>V. SIMULATION ELECTRIQUE DE L'ARCHITECTURE PROPOSEE.....</i>	81
<i>VI. CONCLUSION</i>	83

I. Introduction

Le domaine de conception des capteurs de vision est un domaine très vaste, permettant aux chercheurs de plonger dans les détails de ce circuit considéré comme le cœur des caméras. En effet, le mode d'extraction des informations lumineuses à partir du capteur ou bien en d'autres termes, le mode de lecture des imageurs, a toujours été un sujet important d'étude et d'exploration de la part des chercheurs. Comme vu au chapitre précédent, le raffinement des méthodes et techniques de lecture a mené à complexifier énormément la circuiterie interne des pixels et par conséquent, à augmenter la surface du silicium utilisé par pixel réduisant ainsi le facteur de remplissage (FF). Cependant, le cahier de charges que nous nous imposons est de proposer et de concevoir des techniques de lecture qui permettent de réduire le flot de données exhaustif sortant du capteur. Les techniques proposées doivent toujours se poser comme solution raisonnable du point de vue industrialisation ce qui se traduit par une simplicité extrême dans le principe et dans la circuiterie, surtout celle implémentée à l'intérieur du pixel parce que c'est cette dernière qui joue un rôle important dans la sensibilité de l'image résultante soit du point de vue surface photosensible, soit mismatch.

Dans ce chapitre, nous introduisons une nouvelle méthode de lecture du capteur d'image, se basant sur le principe de réduction des redondances spatiales. Le grand avantage de ce mode d'opération est qu'il laisse le pixel intact. L'intervention se limite au niveau des amplificateurs colonnes et des bus de sortie. Nous profitons du fait que les informations lumineuses de chaque ligne de pixels sont échantillonnées et stockées pendant tout le temps de la lecture de la ligne dans les amplificateurs colonnes, pour pouvoir comparer chaque pixel à son voisin. Les versions développées ainsi que la modélisation de la technique sur MATLAB et enfin, les designs des blocs analogiques utilisés sont détaillés tout au long de ce chapitre.

II. Principe de fonctionnement

Comme nous l'avons déjà mentionné auparavant, l'état de l'art de ce domaine présente plusieurs solutions plus ou moins raffinées à la problématique du flot de données massif en sortie des capteurs de vision. Les solutions proposées dans la littérature possèdent plusieurs points communs : une surface du pixel importante, une complexité certaine du point de vue fonctionnalités électroniques et une limitation en termes de dynamique et de bruit. Vis-à-vis de cette situation, nous avons choisi de cibler la simplicité électronique fonctionnelle, en essayant de ne rien changer au niveau de la fonctionnalité du pixel en lui-même, ce qui signifie ne rien ajouter à l'intérieur de ce circuit et aussi garder la même chaîne de lecture standard. Ceci nous semblait faisable en implémentant notre technique de contrôle du flot, à l'extérieur du pixel et de l'amplificateur colonne et en profitant du fait que les informations lumineuses sont échantillonnées et bloquées dans les amplificateurs colonne, durant le temps de

lecture d'une ligne. L'idée est de supprimer les redondances spatiales ligne par ligne, et ce en comparant chaque valeur du pixel à celle de son voisin. Le résultat de cette comparaison nous sert à contrôler le convertisseur analogique numérique, considéré comme source principale de consommation de puissance électrique d'un imageur, en lui donnant ou pas l'ordre de conversion. De plus, ce signal est envoyé à la partie numérique de contrôle de l'imageur pour pouvoir notifier que le pixel garde la même valeur que son voisin durant la sauvegarde ou bien l'affichage. Ainsi, avec cette technique, nous avons deux choix ; soit de conserver le même flot de données par unité de temps (débit) mais réduire le temps de lecture d'une trame, soit garder la même vitesse de lecture et réduire alors le débit d'informations. Vu que l'architecture du pixel reste intacte par cette technique de lecture, dans le paragraphe suivant, nous allons détailler la chaîne de lecture standard dans un imageur conventionnel.

II.1. Chaîne de lecture standard

L'unité de base de l'imageur étant le pixel, il reçoit le signal lumineux et effectue la transformation du nombre de photons incidents en courant électrique dit photogénéré et ensuite transforme ce courant en tension analogique. L'architecture la plus reconnue du pixel est celle qui présente un fonctionnement linéaire dû au fait de l'intégration des charges photogénérées. L'architecture et le principe de fonctionnement de ce pixel sont détaillés dans le paragraphe 1.VI.2.

La chaîne de lecture est implémentée en externe par rapport au pixel (figure3.1) ; elle est constituée en premier, par des amplificateurs colonnes qui servent d'échantillonneurs bloqueurs ou en d'autres termes, ils servent de points mémoires analogiques. En effet, chaque bus colonne de sortie transporte les informations des pixels d'une colonne, ligne par ligne, à un amplificateur présent en bas de chaque colonne de la matrice. Dans un second temps, toutes ces informations stockées dans cette ligne d'amplificateurs colonne sont multiplexées à l'aide d'un décodeur colonne, et scannées séquentiellement à travers un bus de sortie vers un convertisseur analogique numérique qui, à son tour, convertit ces informations du domaine analogique en signaux numériques. Ces derniers sont ensuite transportés par des bus de transmission jusqu'à ce que l'image soit à nouveau reconstruite et qu'elle soit prête à subir toutes les étapes postérieures de traitement.

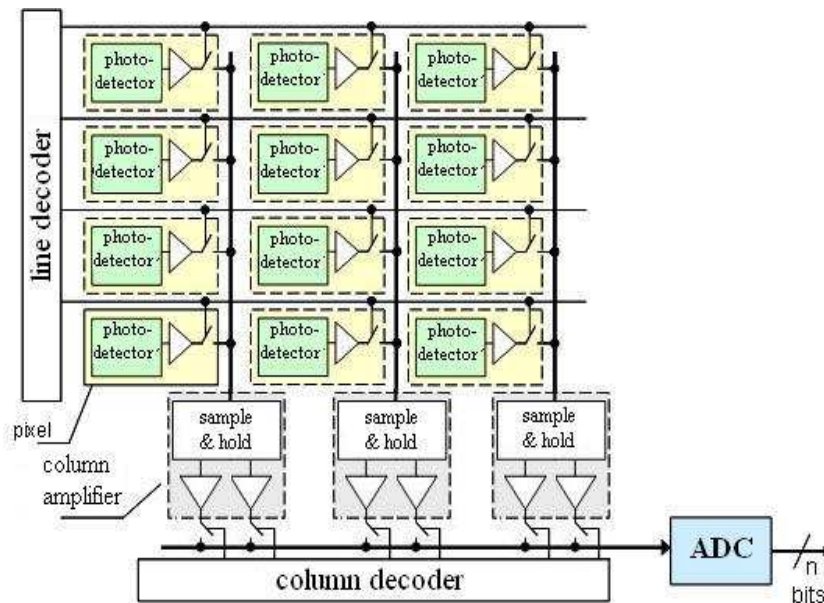


Figure 3.1 : Schéma bloc illustrant la chaîne de lecture des imageurs standards

Dans un imageur conventionnel, l'architecture la plus répandue de l'amplificateur colonne est celle illustrée dans la figure 3.2 et initialement proposée par [Mendis_97]

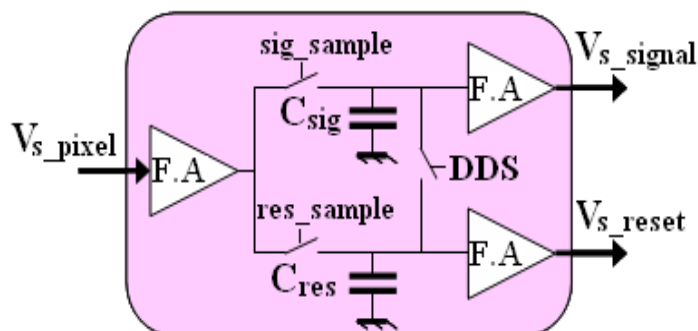


Figure 3.2 : schéma bloc de l'amplificateur colonne

Cette architecture consiste en deux branches parfaitement symétriques. Chacune des deux est composée par un simple système d'échantillonneur bloqueur formé par une capacité et un interrupteur commandé par un signal fourni par le décodeur colonne. De plus, chacune des deux branches comporte aussi un amplificateur suiveur qui sert à charger le bus de sortie et à effectuer l'adaptation d'impédance nécessaire. Chaque amplificateur colonne implémente aussi la technique du Delta Double Sampling, déjà expliquée dans le premier chapitre de ce manuscrit, utilisée pour réduire le bruit spatial fixe colonne.

Dans notre technique de lecture, nous allons profiter du fait d'avoir toutes les valeurs des signaux lumineux de toute une ligne de pixels sauvegardées dans la ligne d'amplificateurs pour effectuer une réduction des redondances spatiales ligne. Cette réduction s'effectue en implémentant un bloc qui compare chaque pixel à son précédent dans l'ordre de lecture. Pour cela, nous avons aussi besoin de doubler le bus de sortie afin de pouvoir extraire simultanément les données des deux amplificateurs

voisins. A noter que, pour le pixel à intégration, une soustraction entre la valeur du reset et la valeur du signal obtenu à la fin de la phase d'intégration doit être accomplie pour effectuer une compensation du FPN. De même, pour le pixel de type logarithmique à fonctionnement continu, nous avons la possibilité d'utiliser la technique de calibration proposée par [Labonne_07] pour compenser l'effet du bruit spatial fixe. Cette méthode de calibration, requiert aussi de soustraire deux valeurs de tension. Par conséquent, et pour ces deux raisons nous avons conçu et implémenter un bloc analogique soustracteur de tension de gain unitaire pour pouvoir ramener aux entrées du comparateur des valeurs compensées les plus représentatives possible des informations lumineuses afin que la comparaison soit la plus précise possible.

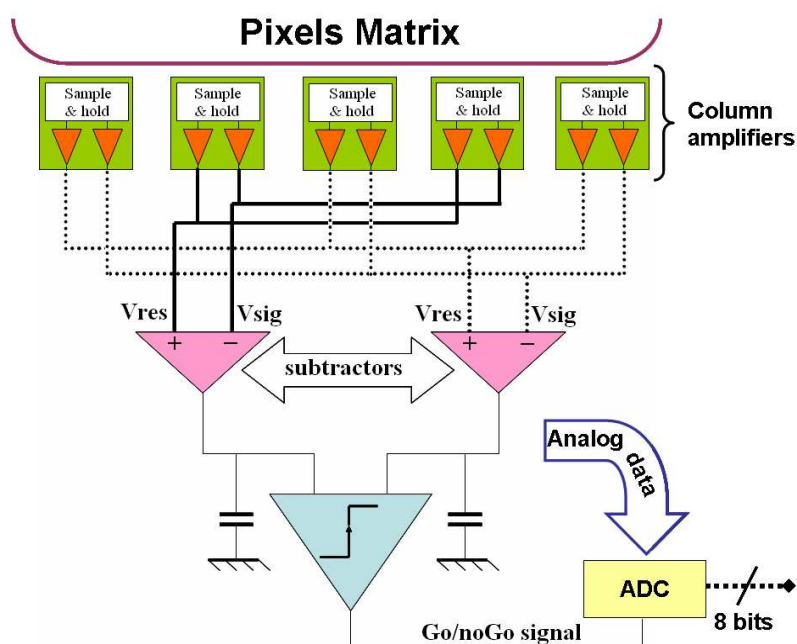


Figure 3.3: schéma bloc de la technique proposée

La figure 3.3 montre un diagramme de la première technique de lecture que nous proposons d'utiliser pour réduire le flot de données en sortie de l'imageur.

III. Modélisation sous MATLAB

La définition de l'entropie d'une source selon Shannon est telle que plus la source est redondante, moins elle contient d'information. Alors, moins on a d'informations, moins on a intérêt à scanner et lire les redondances. On peut parler de deux types possibles de redondances ; les redondances temporelles dont nous parlerons dans le chapitre suivant et les redondances spatiales qui vont être abordées plus profondément dans ce chapitre. En l'absence de contraintes particulières, l'entropie est maximale pour une source dont tous les symboles sont équiprobables, ce qui est le cas dans un système d'imagerie.

III.1. Modélisation et émulation

Avant de commencer la conception et l'implémentation des blocs analogiques de notre architecture, et dans le but d'évaluer le taux de redondances spatiales ligne dans une trame, une modélisation de la technique sous MATLAB a été faite. Ceci veut dire que dans un premier temps, nous cherchons à évaluer, pour une certaine scène, le nombre de pixels qui portent la même valeur du signal lumineux que leur pixel voisin par rapport au nombre total de pixels de l'image. Le voisin, dans notre lexique, est le pixel qui précède dans l'ordre de lecture.

Les résultats obtenus nous semblent très intéressants et significatifs, ils nous ont permis de déduire l'efficacité de la technique que nous proposons. Par exemple, considérons la scène de la branche d'arbre illustrée à la figure 3.4. Cette sorte d'images texturées est l'une des scènes les plus complexes pour de tels types de traitement et pourtant, un taux de redondances spatiales ligne de 20% a été évalué avec un seuil de différence d'un seul bit. 20% de redondances spatiales ligne veut dire 20% de gain en consommation du CAN ou en vitesse de lecture de la trame.

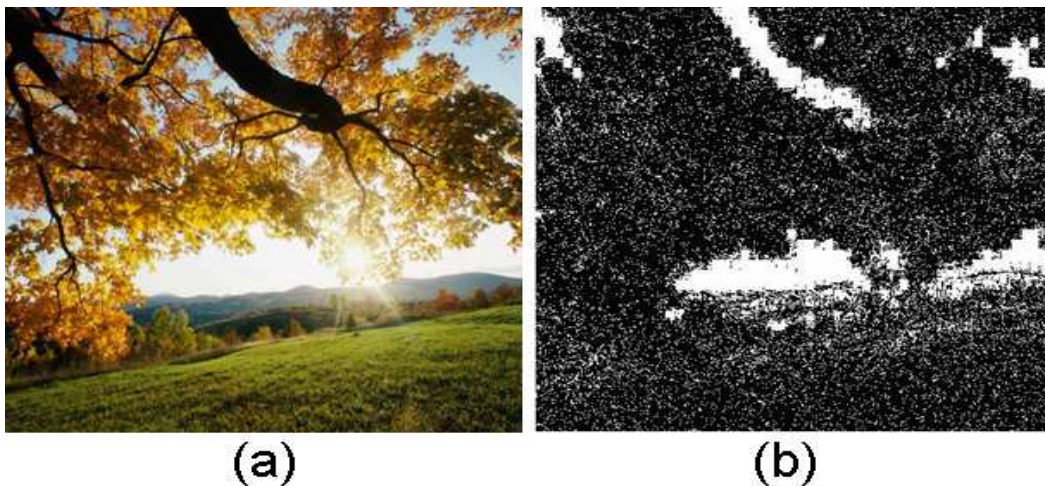


Figure 3.4: (a) la scène originale, (b) l'image résultante après traitement

Dans la figure 3.4, la partie (a) montre l'image originale sujette au traitement par notre algorithme. La partie (b) de la figure nous montre en image binaire le résultat du traitement. Dans cette image binaire, les pixels blancs sont des pixels détectés en tant que pixels redondants. Cela signifie que ce sont des pixels qui portent la même valeur lumineuse que leurs voisins gauches. Alors, ces pixels là ne subiront pas une conversion analogique numérique et ne seront pas représentés par un mot binaire, juste un bit (flag) les représente. Ce dernier annonce que le pixel lu porte la même valeur du pixel précédemment lu. Il contrôle alors le CAN ainsi que les aspects mémorisation numérique et affichage.



Figure 3.5: application de l'algorithme sur une photo prise par une caméra de surveillance

Un autre exemple d'un autre type de scènes est illustré à la figure 3.5. Cette image, typique d'une caméra de surveillance, est moins texturée que la précédente et présente une certaine homogénéité dans différentes zones, ce qui augmente le taux des pixels spatialement redondants. Le résultat du traitement sous MATLAB est montré dans la partie (b) de la figure, notons que les pixels blancs de l'image sont les pixels redondants alors que les noirs sont des pixels qui ont des valeurs différentes de leurs voisins gauches. Au final, dans cette image nous trouvons un taux de redondances spatiales ligne de 60% ce qui montre l'efficacité de notre technique de réduction du flot de données.

IV. Implémentation de la technique

Après avoir validé l'efficacité de la technique de lecture que nous avons proposée, par des émulations MATLAB, nous avons procédé à la conception des blocs analogiques et numériques nécessaires à l'application de la méthode. Il faut rappeler, à ce niveau, que pour appliquer et utiliser ce mode de lecture nous n'avons pas besoin de rajouter de l'électronique à l'intérieur du pixel voire à l'intérieur de la matrice entière. On garde alors, la même architecture standard du pixel et aussi celle de la chaîne de lecture afin de maintenir la surface réduite du pixel ainsi que les caractéristiques électro-optiques déjà obtenues par l'état de l'art. La fonctionnalité de notre technique est implémentée par des blocs rajoutés à l'extérieur de la matrice de pixels, et qui possèdent comme entrées des signaux sortant des amplificateurs colonne et fournissent un signal composé par un seul bit numérique servant de signal de contrôle.

Nous avons utilisé le design kit de la technologie $0.35\mu\text{m}$ d'Austria MicroSystems pour concevoir les deux blocs analogiques principaux dont on a besoin pour réaliser notre technique de lecture. Le premier bloc est le bloc soustracteur utilisé pour effectuer la compensation du bruit spatial fixe. Une large dynamique en entrée avec une forte précision et une linéarité maximale sont exigées par notre application afin d'éviter toute source d'erreur supplémentaire pouvant affecter l'extraction de l'information lumineuse. Le deuxième bloc conçu est celui du comparateur. Ce dernier fournit en

sortie un signal binaire qui peut prendre une des deux valeurs 0V et Vdd selon l'égalité entre le pixel avec son précédent ou pas. Il compare deux valeurs de signaux lumineux, à bruit réduit, de deux pixels voisins. La contrainte principale dans cette conception est le compromis entre la sensibilité du comparateur d'une part et la dispersion entre ses composants et la consommation de puissance d'autre part. Cette dernière est une contrainte très importante à prendre en compte dans la conception du comparateur. Elle doit être raisonnable vis-à-vis du taux de réduction de la lecture des pixels redondants afin de garder le maximum de gain en consommation possible grâce à la méthode de lecture (bon rendement). Notons que le signal lumineux est étendu sur une dynamique de plus de 1V, ce qui rend l'utilisation d'une simple paire différentielle pour effectuer la soustraction impossible, vu que sa dynamique d'entrée est limitée à quelque centaines de mV pour un fonctionnement en zone linéaire.

Cette dynamique de fonctionnement, étalée sur 1V, est généralement convertie en un signal numérique d'au moins 8 bits, ce qui donne un LSB de moins de 4 mV. Par la suite, et pour conserver une bonne qualité de l'image résultante, il faut bien prendre en compte cette valeur du LSB dans notre comparaison et alors faire les designs appropriés pour cette sensibilité.

IV.1. Soustracteur de tension à base de capacités commutées

Après avoir essayé différentes architectures et circuits pour effectuer l'opération de soustraction de deux tensions analogiques, nous avons eu recours aux circuits à capacités commutées qui nous paraissent les plus stables et qui répondent à nos contraintes de dynamique, de sensibilité et de linéarité [Erza_10].

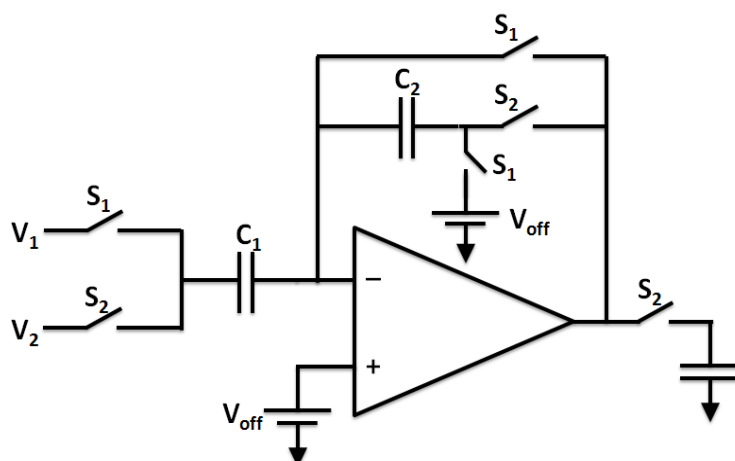


Figure 3.6: schéma bloc du soustracteur à base de capacités commutées

La figure 3.6 montre le schéma bloc du soustracteur à base de capacités commutées que nous avons utilisé dans notre technique pour effectuer l'opération d'extraction de l'information lumineuse avec réduction du bruit spatial fixe pixel. En fait, lorsque les exigences sur les performances sont élevées, la

faisabilité des opérations mathématiques avec des circuits à base de composants passifs (R, C) n'est pas garantie. L'implantation de circuits performants en termes de précision est possible en utilisant la technique des capacités commutées. Cette technique est facilement réalisable avec la technologie standard CMOS. Dans ce cadre, on cite quelques avantages des circuits à capacités commutées (switched capacitor circuits):

1. L'impédance d'entrée quasi infinie des amplificateurs opérationnels, et le commutateur analogique de réalisation simple.
2. Les performances en précision ($\sim 0.2\%$) sont obtenues par appariement des composants et non pas par leur précision absolue. L'ajustement des composants n'est donc pas nécessaire. Grâce à cet appariement, les effets de la température et du vieillissement sont fortement réduits.
3. Les circuits à capacités commutées ont des structures en boucle fermée. Ceci permet des plages d'amplitude maximale et une forte dynamique.

On reviendra sur les performances de l'architecture de soustracteur utilisée dans notre cas, après avoir présenté les équations de transfert de charges qui régissent le fonctionnement de ce circuit.

IV.1.1. Fonctionnement et équations de transfert de charges

L'opération de soustraction effectuée par ce circuit s'accomplit sur une période d'horloge.

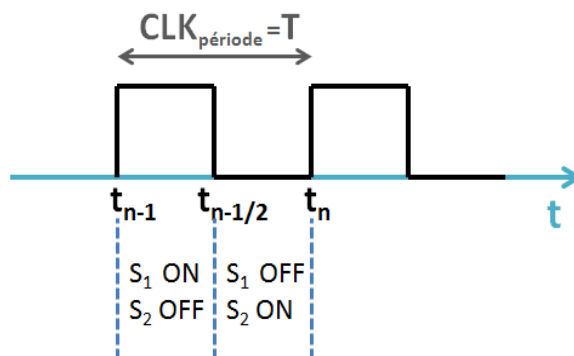


Figure 3.7: chronogramme de fonctionnement du soustracteur

Durant la première demi période les interrupteurs S_1 sont passants et ceux de S_2 sont bloqués. Durant cette phase, le signal V_1 d'entrée est échantillonné et la sortie est maintenue à sa valeur précédente. La partie du circuit mise en opération durant cette phase est illustrée dans la figure suivante (figure3.8).

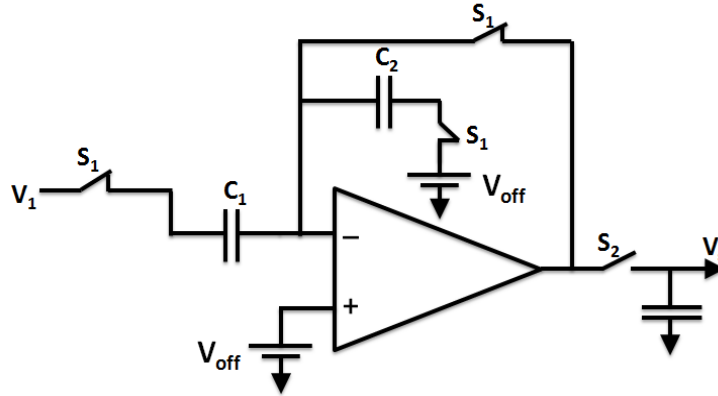


Figure 3.8: schéma bloc du soustracteur durant la première demi période d'échantillonnage

La quantité de charges introduites dans le circuit à cette étape est donnée par les équations suivantes :

$$Q_1 = C1.[V_{off} - V1(t_{n-1/2})] \quad Q_2 = 0 \quad \text{Eq. 3.1}$$

$$Q_{totale} = Q_1 + Q_2 = C1.[V_{off} - V1(t_{n-1/2})] \quad \text{Eq. 3.2}$$

Dans la deuxième demi période d'horloge, les interrupteurs S1 deviennent ouverts laissant le tour aux S2 qui viennent échantillonner le deuxième signal en entrée V2. Durant cette phase, le transfert des charges entre les capacités est effectué ainsi que la mise à jour de la valeur de sortie. La partie du circuit, mise en opération durant cette phase est montrée dans la figure suivante :

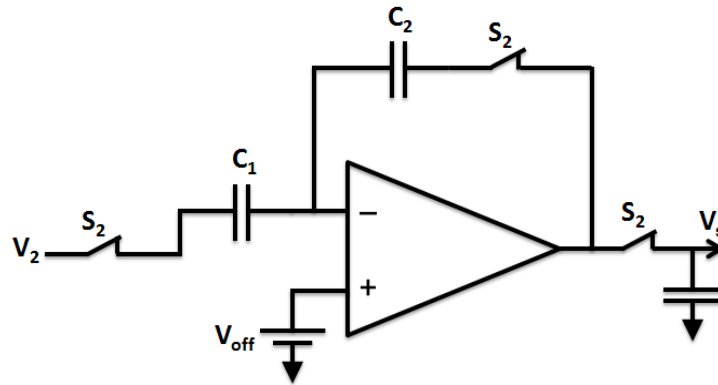


Figure 3.9: Schéma bloc du soustracteur durant la deuxième demi période d'échantillonnage

Les équations de charges régissant la deuxième phase et le transfert de charges sont données ci après

$$Q_1 = C1[V_{off} - V2(t_n)] \quad Q_2 = C2[V_{off} - V_s(t_n)] \quad \text{Eq. 3.3}$$

$$Q_{totale} = (C_1 + C_2) \cdot V_{off} - [C_1 V_2(t_n) + C_2 V_s(t_n)] \quad \text{Eq. 3.4}$$

Ainsi, d'après la loi de conservation de charges électriques dans un circuit électronique, on dit que :

$$Q_{totale}(\varphi_1) = Q_{totale}(\varphi_2) \Rightarrow$$

$$C_2 V_s(t_n) = C1.V1(t_{n-1/2}) - C_1 V_2(t_n) + C2 V_{off} \quad \text{Eq. 3.5}$$

Le signal V_s en sortie du circuit est alors exprimé par:

$$V_s(t_n) = C_1/C_2 [V_1(t_{n-1/2}) - V_2(t_n)] + V_{off} \quad \text{Eq. 3.6}$$

Un élément très important dans la conception des circuits à base de capacités commutées est le commutateur analogique qui, de loin, semble être évident mais de plus près, s'avère poser quelques difficultés à surmonter pour garantir un fonctionnement propre de notre design.

IV.1.2. Les commutateurs analogiques

Le commutateur analogique est un petit composant très répandu dans le monde de l'électronique intégrée. D'importantes études ont été menées afin de pouvoir étudier le fonctionnement de ce circuit qui peut être « par erreur » considéré comme trivial. En effet, plusieurs effets secondaires risquent de nuire au fonctionnement de ce circuit de base.

Les structures en tension à capacités commutées requièrent des commutateurs analogiques performants et ce d'autant plus que la plage en tension admissible est grande et que la tension d'alimentation est faible. Aussi, il est nécessaire, dans un premier temps, d'étudier leurs caractéristiques intrinsèques afin de cerner les limitations inhérentes à la topologie du transistor MOS pour pouvoir ensuite aborder la description de méthodes permettant d'améliorer leurs performances.

IV.1.3. Le transistor MOS en commutateur analogique

La figure 3.10 présente le plus simple des échantillonneurs/bloqueurs (E/B) réalisé en technologie CMOS. Il est composé d'un transistor fonctionnant en commutateur et d'une capacité.

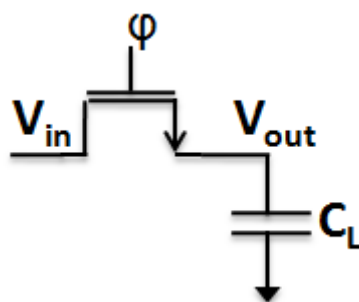


Figure 3.10: Circuit échantillonneur bloqueur de base en technologie CMOS

Son principe de fonctionnement peut être décomposé comme suit pour un transistor NMOS :

1. Lorsque l'horloge est à l'état haut (ϕ_H), le transistor NMOS devient passant ce qui permet de charger ou décharger la capacité. Dans cette phase, la sortie suit la valeur du signal d'entrée tant que le transistor reste en zone ohmique.

2. Lorsque l'horloge passe à l'état bas (ϕ_L), le transistor NMOS isole la capacité du signal d'entrée, ce qui permet de fixer la donnée à un instant donné grâce aux charges conservées dans la capacité isolée.

Ainsi, ce commutateur doit être caractérisé par une conductance minimale admissible permettant au système de charger la capacité de stockage C_L en une durée donnée compatible avec la précision demandée. Le commutateur doit, alors, être dimensionné de façon à respecter le cahier de charge du concepteur en termes de dynamique et de précision souhaitées. L'équation 3.7 traduit la relation qui existe entre la conductance du commutateur, sa taille et sa tension de commande tout en tenant compte de l'effet substrat.

$$g_{on} = \mu C_{ox} \frac{W}{L} [V_{gs} - V_{th0} - \gamma(\sqrt{2\phi_f + V_{in}} - \sqrt{2\phi_f}) - V_{ds}] \quad \text{Eq. 3.7}$$

Avec V_{gs} la tension grille-source, V_{ds} la tension drain-source, V_{th0} la tension de seuil du transistor, γ le paramètre d'effet substrat et ϕ_f le potentiel de Fermi. Ainsi, pour augmenter la conductance du commutateur, il faut augmenter la largeur W du transistor, diminuer sa longueur de canal et utiliser une forte valeur de tension de commande. Il est à noter que l'effet substrat diminue la conductance du commutateur d'autant plus que la différence de potentiel entre le signal d'entrée et le substrat est grande. Ceci met en évidence la dépendance non-linéaire de la conductance du commutateur avec l'amplitude de la tension du signal d'entrée. En outre, ce type de commutateur analogique ne permet pas de balayer la totalité de la dynamique du signal d'entrée à cause de la tension de seuil non nulle. En effet, la conductance du transistor diminue considérablement avec l'augmentation de la valeur du signal d'entrée et de son rapprochement de $(V_{dd}-V_{th})$. C'est ce qui est illustré par la figure 3.11(a) et (b). Cet aspect est d'autant plus critique que le rapport tension de seuil / tension d'alimentation est faible.

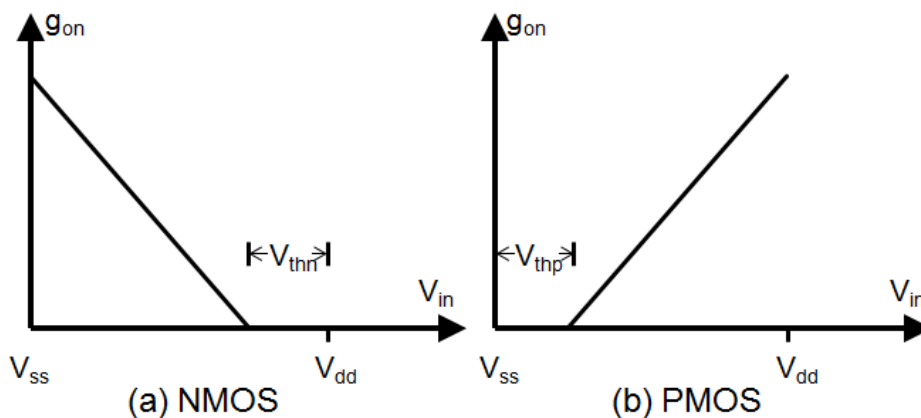


Figure 3.11: Tracé de la conductance du commutateur analogique g_{on} à l'état ON en fonction de l'amplitude du signal d'entrée

Le transistor MOS fonctionnant en zone ohmique est reconnu pour être un commutateur à « zéro offset » [Razavi_00] et doit donc en principe, ne pas générer un décalage DC sur la sortie par rapport à l'entrée.

IV.1.4. Le phénomène d'injection de charges et de clock feedthrough

Cependant, en réalité, on obtient, en sortie, un petit décalage dû au phénomène d'injection de charges et de « clock feedthrough ». Ce phénomène est attribué à l'injection des charges accumulées dans le commutateur analogique (soit au niveau du canal du transistor soit au niveau des capacités parasites entre grille-source et grille-drain) lorsque le commutateur bascule de l'état passant à l'état bloqué. En effet, quand le transistor MOS est passant, il opère dans sa zone ohmique de fonctionnement et sa tension drain-source est quasiment nulle à la fin de la charge de la capacité. Durant cette phase de charge, le canal du transistor MOS dispose d'une certaine quantité de charges dans le canal (figure 3.12), quantité qui est directement liée à la conductance de ce dernier.

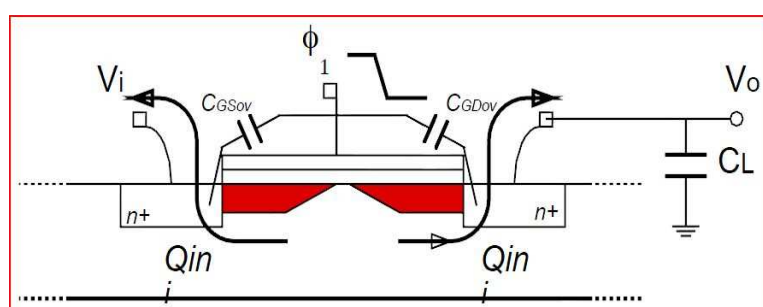


Figure 3.12: Schéma en coupe longitudinale du commutateur analogique NMOS au moment de basculement
Lorsque le transistor bascule à l'état bloqué, deux mécanismes d'injection de charges interviennent :

- Une partie des charges accumulées dans le canal sont ré-injectées dans le circuit via le drain et la source du transistor. En général, les charges qui se transmettent vers la source d'entrée ne provoquent pas de problème alors que celles transmises vers la capacité de stockage induisent une variation de la valeur de tension échantillonnée. Ce fait est dû principalement au temps de transition de l'état Haut - Bas de l'horloge qui est bref par rapport au temps moyen de recombinaison des charges dans le substrat, les charges ré-injectées représentent la totalité des charges du canal. Cette charge accumulée est donnée par l'expression 3.8.

$$Q_{canal} = qWLC_{ox}(V_{gs} - V_{th}) \quad \text{Eq. 3.8}$$

avec $V_{gs} = \phi_H - V_{in}$, $q = 1$ dans le cas du PMOS, $q = -1$ dans le cas du NMOS. L'erreur commise sur la tension aux bornes de la capacité de sauvegarde C_L est donnée par l'équation 3.9.

$$\Delta V_{out_{canal}} = \alpha \frac{WLC_{ox}(V_{gs} - V_{th}v_{in})}{C_L} \quad \text{Eq. 3.9}$$

Où α est le rapport entre les charges injectées sur l'armature haute de la capacité C_L et la totalité des charges accumulées dans le transistor MOS (usuellement considérée de valeur $\frac{1}{2}$). Notons que cette erreur, provoquée par l'injection des charges, est directement proportionnelle à la surface du transistor (W.L) et inversement proportionnelle à la valeur de la capacité de maintien.

En effet, ces mécanismes d'injection de charges sont intrinsèques à la physique du transistor MOS et ils dépendent de l'amplitude du signal d'entrée (via la tension de commande V_{gs} et la tension de seuil V_{thvin}). Par conséquent, l'erreur introduite est non linéaire et d'après les équations précédentes, un compromis entre la taille du transistor MOS, la bande passante et la résolution souhaitée est nécessaire.

– Le deuxième mécanisme d'injection de charge est le « clock feedthrough » dans lequel les charges accumulées dans les capacités C_{ov} entre grille-source et grille-drain du MOS sont elles aussi injectées dans le circuit lors des basculements du signal d'horloge. L'erreur commise sur la tension de sauvegarde est donnée par l'équation (3.10).

$$\Delta V_{out_{ov}} = -\frac{C_{ov}}{C_L + C_{ov}} \Delta V_{clock} \quad \text{Eq. 3.10}$$

On remarque que la tension rajoutée par le clock feedthrough est indépendante du signal d'entrée du commutateur. Il se manifeste, alors, par un offset constant sur toute la dynamique d'entrée. Ainsi, avec l'injection de charges et le clock feedthrough, un bon compromis est à trouver entre la vitesse de fonctionnement et la précision.

La figure 3.13 illustre le résultat de simulation de ce type de commutateur. Elle montre la limitation en dynamique d'entrée et la dépendance entre la tension d'offset dû aux injections de charges et l'amplitude du signal d'entrée. Le signal « sortie_mos » de la figure représente la tension en sortie du commutateur aux bornes de la capacité C_L alors que le signal « sortie_idéale » représente le même signal obtenu dans le cas d'un commutateur idéal. Ainsi, en comparant ces deux signaux, on peut déduire la limitation du commutateur MOS en termes de dynamique d'entrée et de non linéarité de la charge injectée par rapport à la tension d'entrée.

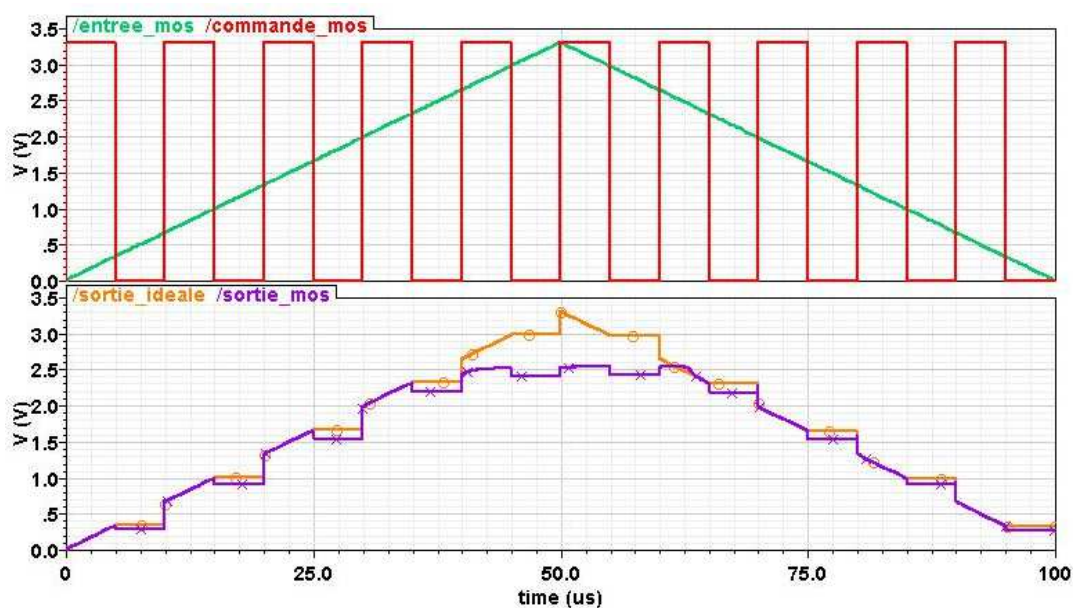


Figure 3.13 : Simulation transitoire d'un circuit échantillonneur bloqueur avec un commutateur composé d'un simple transistor NMOS

IV.1.5. Techniques d'amélioration des performances du commutateur analogique

L'étude précédente a mis en évidence la présence de certains défauts du commutateur analogique :

- La conductance dépend de l'amplitude du signal d'entrée à mémoriser.
- La plage effective de fonctionnement n'est pas « rail-to-rail ».
- L'injection de charges dépend du signal d'entrée d'une façon non linéaire.

5-i. La porte de transmission :

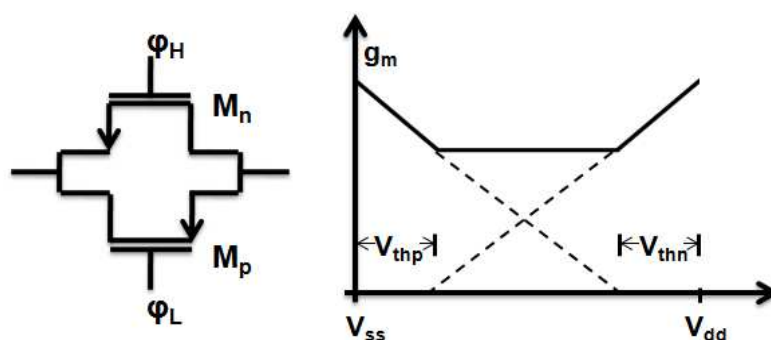


Figure 3.14 : Evolution de la conductance du commutateur analogique à l'état passant en fonction de l'amplitude du signal d'entrée

La porte de transmission permet de bénéficier de la complémentarité du NMOS (M_n) et du PMOS (M_p) pour obtenir une conductance du commutateur moins dépendante du signal d'entrée et pour assurer le fonctionnement du commutateur sur toute la plage du signal d'entrée admissible comme le montre la figure 3.14. En principe, l'utilisation de la porte de transmission devrait permettre une compensation des charges injectées vu que les paquets de charges injectées par le NMOS peuvent être compensés par celles de polarité inverse injectées par le PMOS si

$$W_n L_n C_{ox} (V_{gs} - |V_{thn}|) = W_p L_p C_{ox} (V_{gs} - |V_{thp}|) \quad \text{Eq. 3.11}$$

En réalité, Il s'avère impossible d'équilibrer les tailles des deux transistors et leurs tensions de seuil sur toute la plage d'entrée. Ainsi, un des avantages de cette structure est sa simplicité de mise en place. Toutefois, elle dispose de deux inconvénients majeurs :

- La complémentarité ne permet ni d'obtenir une injection de charges constante indépendante du signal d'entrée ni une annulation du phénomène d'injection de charges sur plus qu'un seul point du signal d'entrée (figure 3.15).
- Lorsque la tension d'alimentation est très faible vis-à-vis des tensions de seuil, il est possible qu'une zone de non-fonctionnement du commutateur existe (ni le NMOS ni le PMOS ne conduisent).

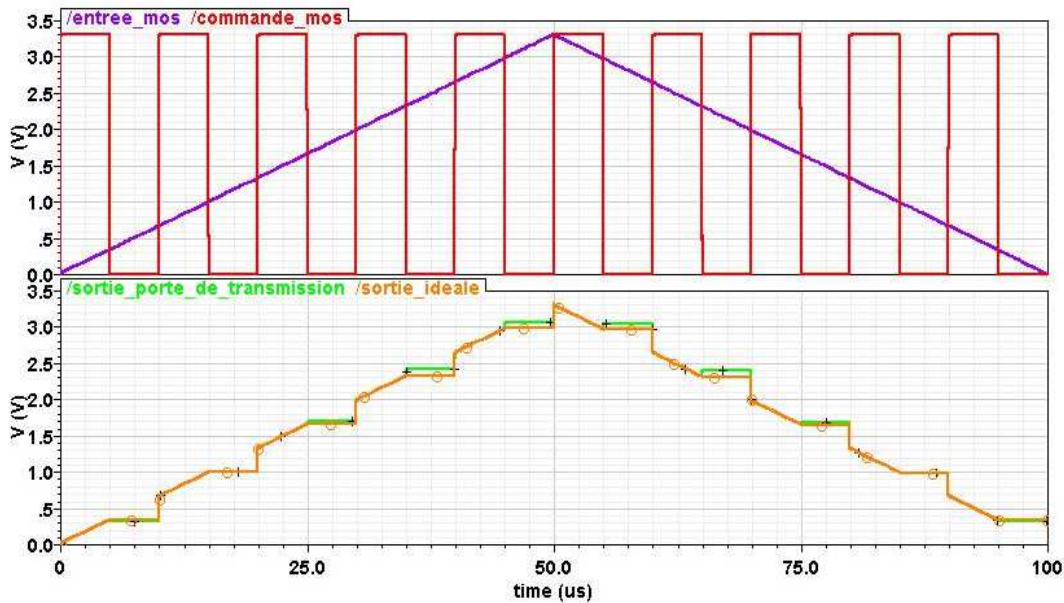


Figure 3.15 : Simulation transitoire d'un circuit échantillonneur bloquant avec un commutateur composé d'une porte de transmission

Ainsi, il est nécessaire d'étudier d'autres approches moins sensibles. Par exemple, en se basant sur l'équation 3.7, le fait d'assurer une tension V_{gs} constante permet d'imposer une conductance indépendante du signal d'entrée au premier ordre. C'est cette idée qui a donné naissance à la technique de bootstrapping, à V_{gs} constant, détaillée dans le paragraphe suivant.

5-ii. La technique du « Bootstrapping »

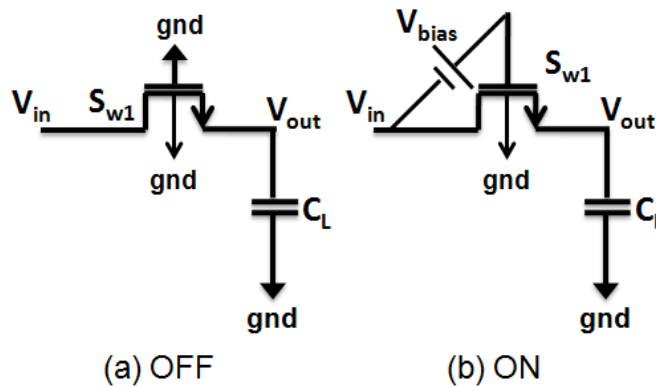


Figure 3.16: Principe de fonctionnement de la méthode du « bootstrapping »

Le schéma de principe général de fonctionnement du « bootstrapping » est représenté sur la figure 3.16. A l'état bloqué, dans le cas du NMOS, la grille est mise à la masse (figure 3.16(a)). Puis à l'état passant, une tension constante V_{bias} est appliquée entre la grille et un des terminaux (drain ou source) (figure 3.16(b)). En général, cette tension est égale à la tension d'alimentation du circuit (V_{dd}) et fait appel à une technique de pompe de charges (charge pump). Ainsi une grande conductance indépendante du signal d'entrée s'établit entre drain et source du transistor. Toutefois, bien qu'une tension de commande constante soit appliquée, à cause de l'effet substrat, la conductance du

commutateur est indépendante du signal d'entrée seulement au premier ordre. Il en va de même pour le phénomène d'injection de charges [Bernal_06]. La figure 3.17 illustre la réaction d'un échantillonneur bloqueur implémentant la technique du « bootstrapping » dans le commutateur vis-à-vis d'une rampe en entrée. On peut déduire la grande conductance du commutateur du fait de l'absence de limitation en dynamique. Ce commutateur est alors opérationnel sur toute la plage de dynamique en entrée.

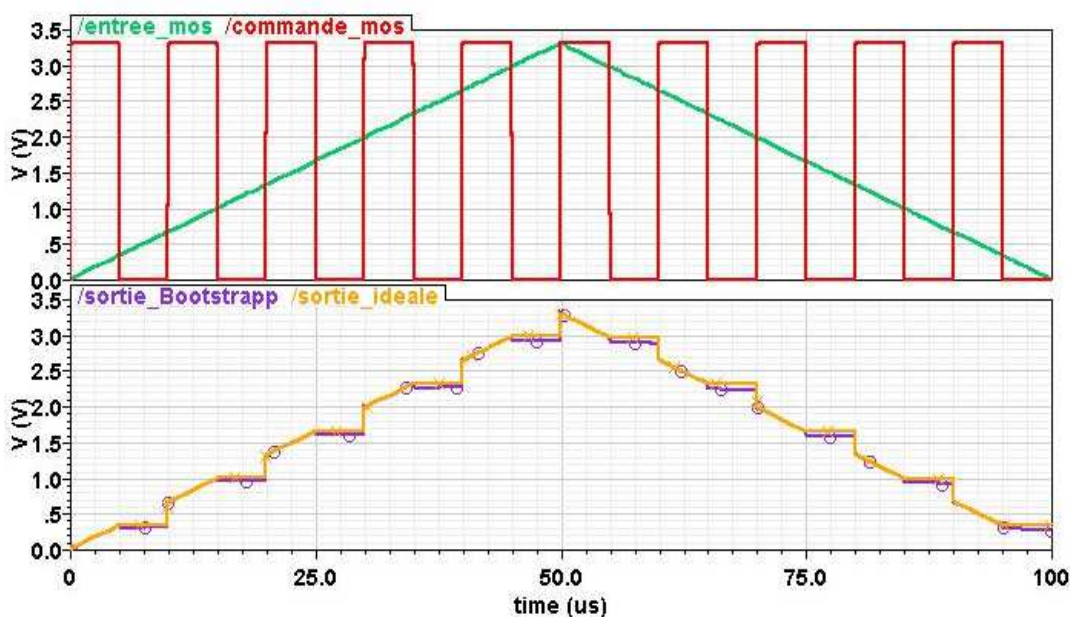


Figure 3.17 : Simulation transitoire d'un circuit échantillonneur bloqueur avec un commutateur implémentant la technique du « Bootstrapping »

5-iii. La technique d'utilisation du transistor fantôme (dummy structure)

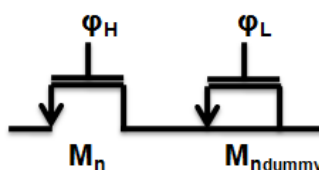


Figure 3.18 : commutateur avec transistor fantôme (dummy)

Cette méthode consiste à rajouter un transistor supplémentaire ou fictif (M_{ndummy} dans la figure 3.18) à côté du commutateur principal. On estime que la quantité de charges injectées par le transistor principal pourrait être absorbée par le transistor fictif afin de créer le canal de ce dernier. Les terminaux du transistor fictif sont court-circuités, afin de ne l'utiliser qu'en tant que capacité qui recueille les charges injectées par le canal et par la grille du transistor principal. Cela évite, ainsi, que ces dernières influencent la tension de sortie. Son impact direct sur le circuit est limité à une charge capacitive supplémentaire. Une équation simplifiée (pour le cas NMOS) du fonctionnement de la structure est donnée par (Eq.3.12).

$$Q_{inj} = Q_{inj} + Q_{inj}^{dummy}$$

$$Q_{inj} = -C_{ox}(\alpha_n W_n L_n |\varphi_H - V_{in} - V_{thn}| - W_{dummy} L_{dummy} |\varphi_H - V_{in} - V_{thn}|) - C_H \left(\frac{C_{ov}}{C_L - C_{ov}} - \frac{2C_{ovdummy}}{C_L + C_{ovdummy}} \right) \Delta V_{clock}$$

Eq. 3.12

Si l'on se place dans le cas où $\alpha_n = 1/2$, alors il faut que le « dummy » ait une taille deux fois plus petite que celle du commutateur analogique. Toutefois, une compensation exacte n'est jamais atteinte car la valeur 1/2 pour α n'est jamais exactement atteinte. En plus, l'appariement entre les transistors MOS n'est pas toujours assuré. La simulation transitoire d'un échantillonneur bloqueur dont le commutateur est composé d'un transistor NMOS avec un transistor « dummy » à côté, est illustrée dans la figure 3.19. Elle montre que nous pouvons avoir un certain niveau de compensation.

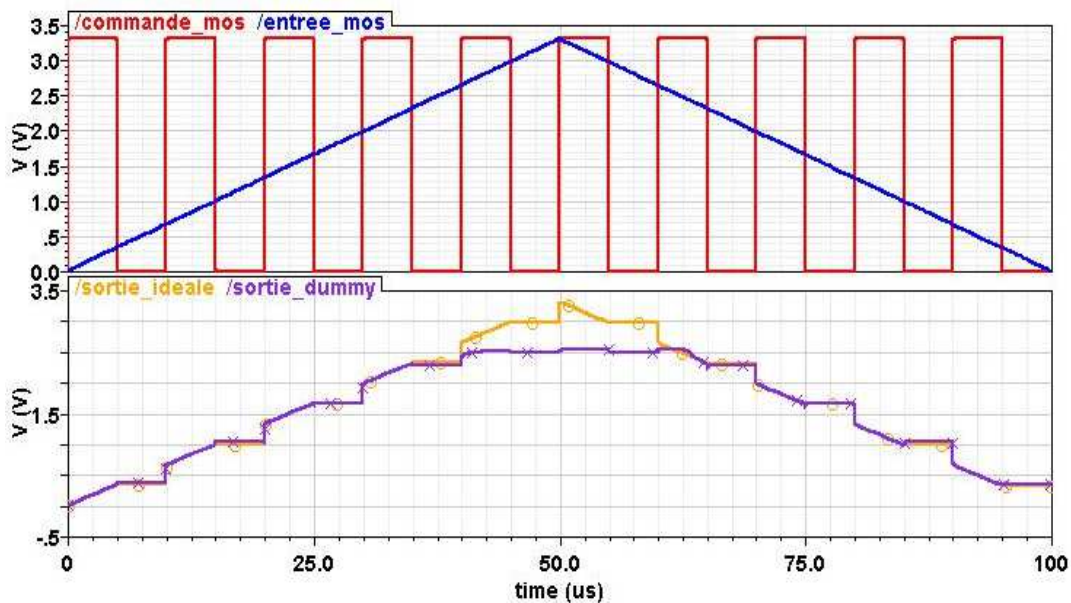


Figure 3.19 : Simulation transitoire d'un E/B avec un commutateur comprenant un transistor « dummy »

5-iv. La technique du « bottom plate sampling » (BPS)

Cette méthode consiste à rendre l'armature "basse" de la capacité C_L flottante avant que le commutateur S_{w1} ne soit ouvert.

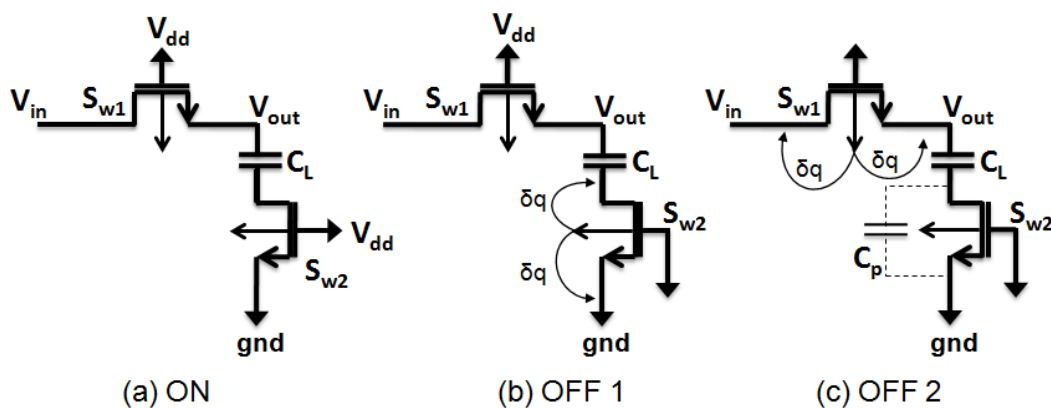


Figure 3.20: Principe de fonctionnement de la technique « bottom plate sampling »

Ceci est assuré par l'utilisation d'un interrupteur supplémentaire S_{w2} qui doit être bloqué juste avant S_{w1} (fig. 3.20). Ainsi, l'injection de S_{w1} n'affecte plus la tension mémorisée aux bornes de la capacité C_L . En plus, lorsque S_{w2} est bloqué, l'impédance vue du côté de la capacité de stockage est en général plus grande, ce qui a pour effet de réduire la quantité de charges injectées dans la capacité (et ce, surtout si le basculement à l'état bloqué de S_{w1} n'est pas rapide). La figure 3.21 montre la réaction d'un commutateur implémentant la technique du « bottom plate sampling » en comparaison avec un commutateur idéal, vis-à-vis d'une rampe en entrée.

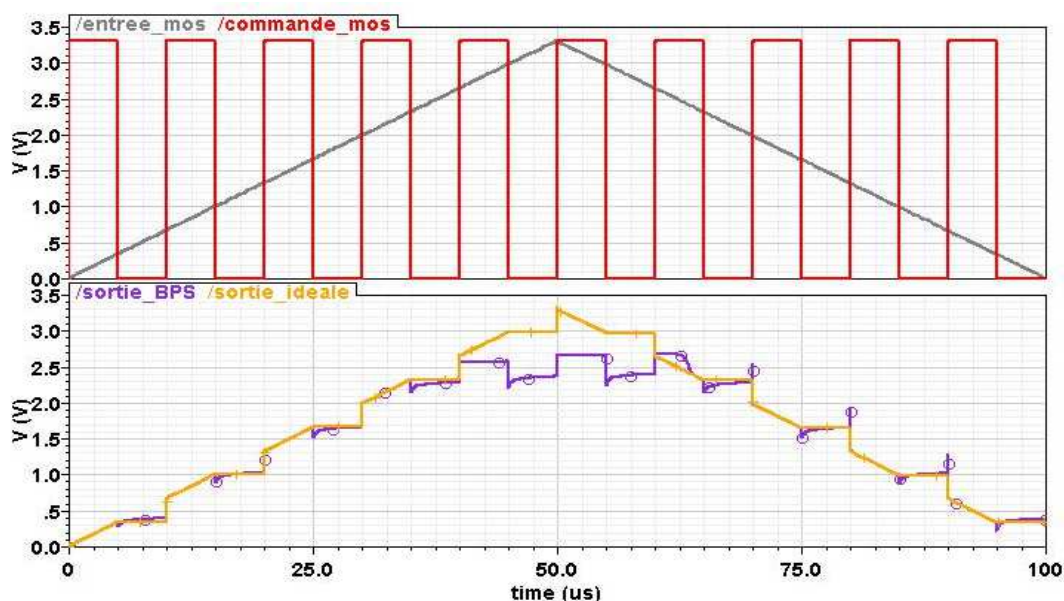


Figure 3.21 : Simulation transitoire d'un échantillonneur bloqueur dont le commutateur implémente la technique « BPS »

A noter que, ce commutateur supplémentaire est toujours connecté au même potentiel et voit toujours la même impédance à ces bornes. La quantité de charges du canal injectées dans l'armature basse de la capacité est toujours la même. Cependant, il réside un petit couplage capacitif entre le signal d'entrée et l'horloge de commande de cet interrupteur qui rend cette injection moins constante (figure 3.21). De même, l'utilisation de la BPS ne permet pas de remédier à la limitation en dynamique d'entrée du commutateur.

IV.1.6. Application à notre cas d'étude

Dans notre cas de circuit à capacités commutées, pour répondre au cahier de charges exigé en termes de linéarité et de précision, nous avons choisi d'utiliser, finalement, une architecture combinée de commutateur qui vise à réduire l'effet de l'injection de charges par la combinaison de :

- l'utilisation de transistor fantôme ou « dummy »
- l'utilisation d'un transistor PMOS complémentaire (porte de transmission)
- la méthode de « Bottom Plate Sampling » adaptée à notre cas d'étude.

Cette méthode, initialement proposée par [Sheu_84] et [Wegmain_87], consiste à rajouter un petit délai temporel entre les signaux de commande de la même phase dans chaque chaîne de commutateurs. Par exemple, si on a trois commutateurs de type S1 : Supposons que les commutateurs S1 sont passants (les signaux de contrôles S1 sont hauts). Quand on veut bloquer ces commutateurs, la méthode propose qu'en premier on ouvre S1₁ puis S1₂ et à la fin S1₃ d'une façon successive (figure 3.22). Ce délai, minime, est créé à l'aide d'une simple chaîne d'inverseurs. Avec cette méthode, les charges injectées en sortie sont très réduites et limitées à celles injectées par le dernier interrupteur seulement. En effet, cette technique évite l'accumulation des charges injectées par tous les commutateurs en sortie. Ceci nous assure d'avoir une meilleure précision sur notre signal sortant du soustracteur.

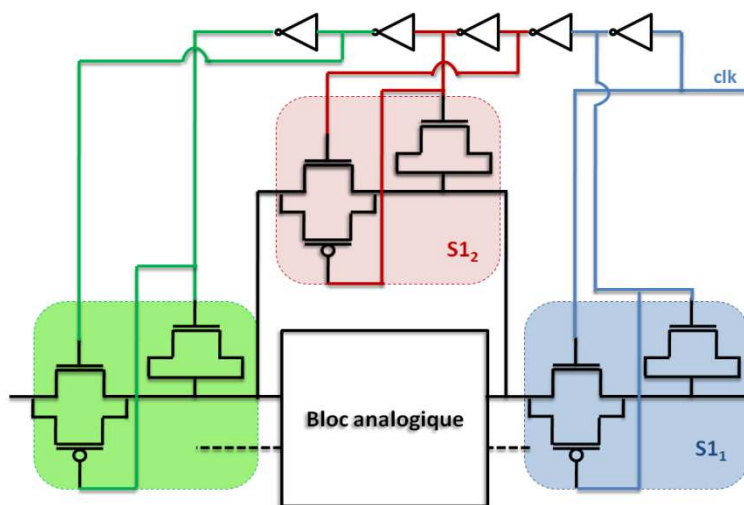


Figure 3.22: schéma de la structure de contrôle des interrupteurs

IV.1.7. Conception de l'amplificateur opérationnel

Après avoir détaillé le commutateur analogique, nous allons introduire l'amplificateur opérationnel utilisé dans notre circuit soustracteur à capacités commutées. Un amplificateur opérationnel idéal est spécifié par les caractéristiques suivantes : un gain différentiel infini ($A_0=\infty$), une impédance de sortie nulle ($R_{out}=0$), une impédance d'entrée infinie ($Z_e=\infty$) et enfin un taux de réjection du mode commun et des tensions d'alimentation infini ($TRMC=\infty$). Toutes ces contraintes ne doivent pas nécessairement être satisfaites par l'amplificateur utilisé dans les circuits à capacités commutées. La résistance de sortie peut être élevée car l'amplificateur est chargé par une capacité quasiment sans fuite qui présente donc une impédance statique infinie. Ce choix conduit à une réelle simplification des montages car éliminant le buffer de sortie traditionnellement utilisé dans les amplificateurs opérationnels, ce qui permet d'accroître la dynamique sans affecter les autres performances. Le gain peut avoir une valeur finie A_0 , mais par contre, la plus grande possible afin de ne pas affecter les équations de transfert des charges. L'impédance d'entrée peut être capacitive et cette capacité doit respecter une certaine contrainte sur sa valeur vis-à-vis des valeurs des autres capacités utilisées dans le circuit. Les taux de

réjection du mode commun et des tensions d'alimentation devront être grands parce que le système est commandé par des horloges qui sont des sources de parasites par nature. L'amplificateur possède une fonction de transfert souvent assez voisine dans les deux phases de fonctionnement « la charge » et « le transfert ». En très grand signal, c'est la vitesse de balayage (slew rate) qui limite les performances du circuit alors qu'en moyen et petit signal, c'est plutôt le temps d'établissement. C'est donc ce temps d'établissement qui doit être optimisé en fonction de la fréquence de fonctionnement désirée du circuit. Le relâchement au niveau de toutes ces contraintes de conception offre une possibilité d'optimisation de la consommation de ce circuit, ce qui est critique pour le rendement de la technique de lecture que nous proposons. Le schéma transistor du circuit utilisé est illustré dans la figure 3.23.

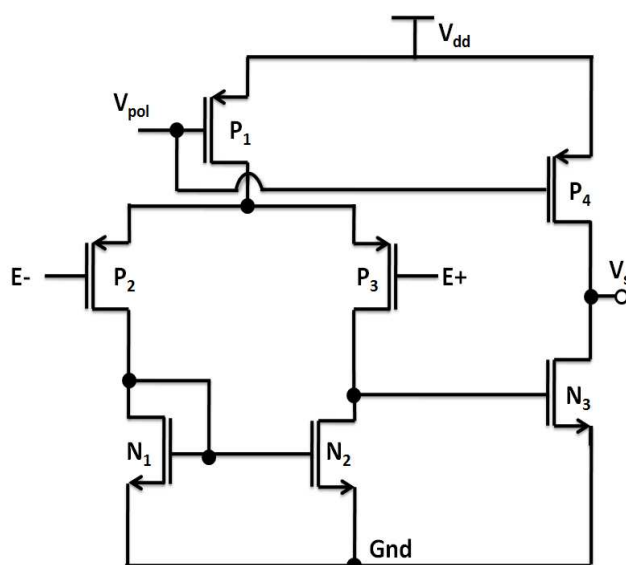


Figure 3.23 : Schéma transistor de l'amplificateur opérationnel utilisé dans le soustracteur

Les dimensions des transistors ont été calculées de façon à respecter la fréquence de fonctionnement demandée, avoir un temps d'établissement convenable, tout en gardant en tête une consommation minimale. Les caractéristiques techniques de l'amplificateur sont données en chiffre dans le tableau 1.

Gain	70dB(3480)
Temps de basculement	28ns
f_c (fréquence de coupure)	1.69MHz
f_T (largeur du bande)	0.8Ghz

Table 1 : Les caractéristiques de l'amplificateur opérationnel

IV.2. Simulation du soustracteur

Ayant étudié et conçu les différentes parties fonctionnelles de notre soustracteur, nous avons rassemblé ces circuits suivant le schéma bloc présenté précédemment et prévu à l'avance pour élaborer notre soustracteur à base de capacités commutées (figure 3.6). La simulation de ce circuit avec le simulateur SPECTRE de cadence nous montre un bon niveau de fonctionnement vis-à-vis de la dynamique des signaux en entrées (étendue sur 3V) qui est bien supérieure à nos exigences. Nous obtenons une très bonne linéarité avec une erreur inférieure à 1%. A ce niveau là, il faut signaler que le fait d'avoir un signal discret en sortie ne nous pose pas de problème vu que notre information lumineuse a déjà été préalablement échantillonnée et stockée dans les capacités de l'amplificateur colonne. Le banc de simulation que nous avons monté est nettement plus exigeant que notre application et pourtant les résultats de simulations répondent complètement à nos attentes.

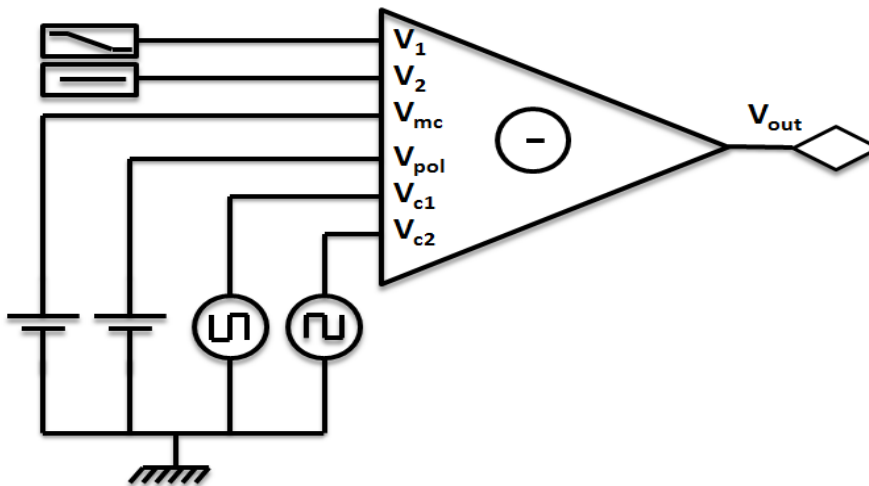


Figure 3.24 : Schéma bloc du banc de simulation du soustracteur

Dans ce banc de test, et comme l'illustre la figure 3.24, nous avons pris en entrée deux signaux analogiques. Le signal sur l'entrée V_1 est une rampe qui varie continuellement et linéairement avec le temps, de 3.3V (pour $t = 0s$) à 0V (pour $t = 100 \mu s$). Tandis que sur l'entrée V_2 une tension constante est appliquée. La valeur de cette tension est prise égale à la valeur de tension de mode commun (V_{off} de l'équation 3.13). Ceci est pour la simple et bonne raison de pouvoir montrer facilement la linéarité du circuit. En effet, nous avons déjà mentionné qu'en sortie de notre circuit nous nous attendons à une tension régie par l'équation suivante:

$$V_{out}(t_n) = \frac{C_1}{C_2} [V_1(t_{n-\frac{1}{2}}) - V_2(t_n)] + V_{off} \quad \text{Eq. 3.13}$$

et tenant en compte que dans notre design nous avons $C_1 = C_2$, alors si la tension $V_2 = V_{off}$, l'équation se réduit à :

$$V_{out}(t_n) = V_1 \left(t_{n-\frac{1}{2}} \right) \quad \text{Eq. 3.14}$$

ce qui rend la figure 3.25 plus significative et lisible en termes de précision et de linéarité du circuit. Les signaux de commande du circuit (signaux de contrôle des interrupteurs), sont des signaux carrés de période $6 \mu\text{s}$ et de rapport cyclique $1/12$ ce qui revient à une impulsion, (ou une des deux phases de fonctionnement du soustracteur), de 500ns . Notons que la sortie du circuit est prête à être manipulée, au plus tard, 50ns après la fermeture des interrupteurs S2.

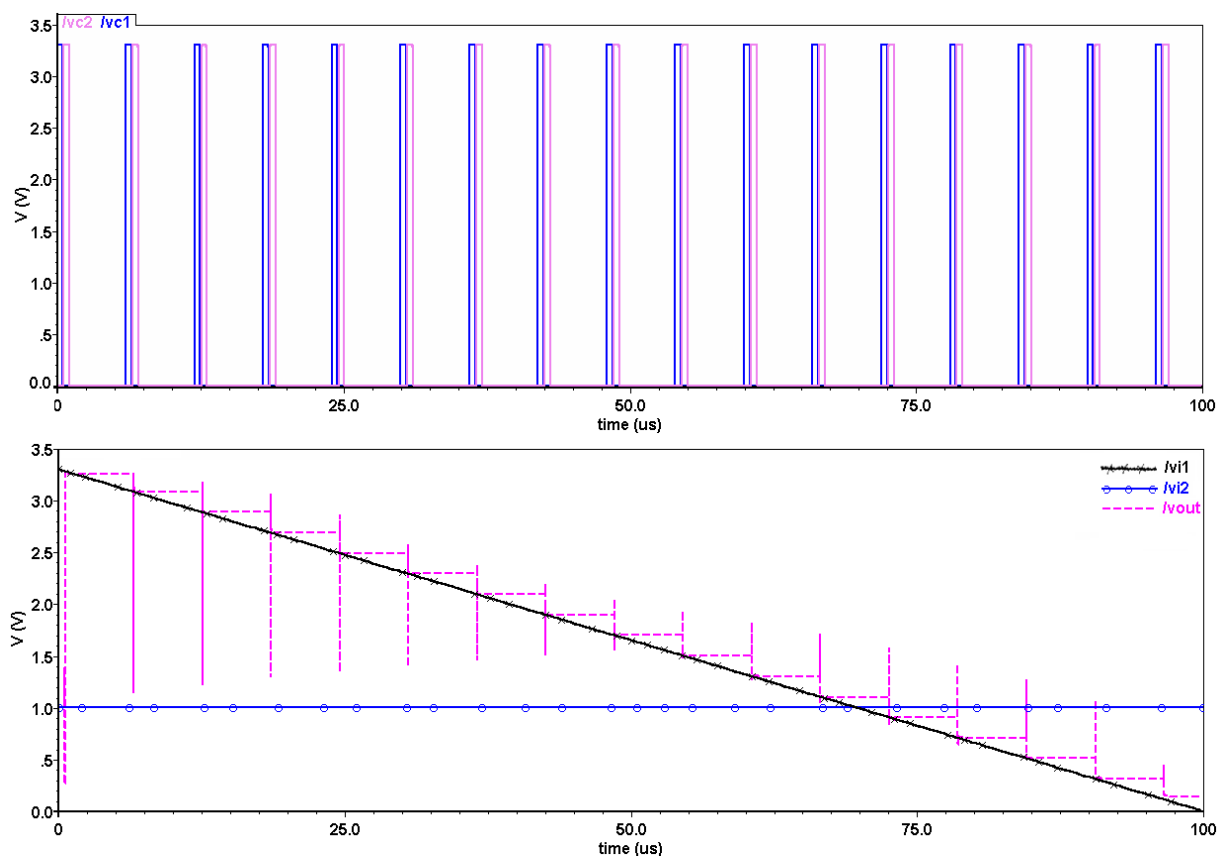


Figure 3.25 : Résultat de simulation du soustracteur sur toute la dynamique d'entrée

La figure 3.25 nous montre la réaction du soustracteur envers une grande dynamique d'entrée (supérieure à 3V). Si on regarde de plus près ce qui se passe sur ces signaux avec une vue zoomée (figure 3.26) sur ce même résultat de simulation, on observe mieux la réaction de notre circuit qui ressemble dans ce cas spécial de simulation à un simple échantillonneur bloqueur qui échantillonne l'information à un certain moment et la sauvegarde pendant toute la durée désirée et qui traduit l'équation 3.14.

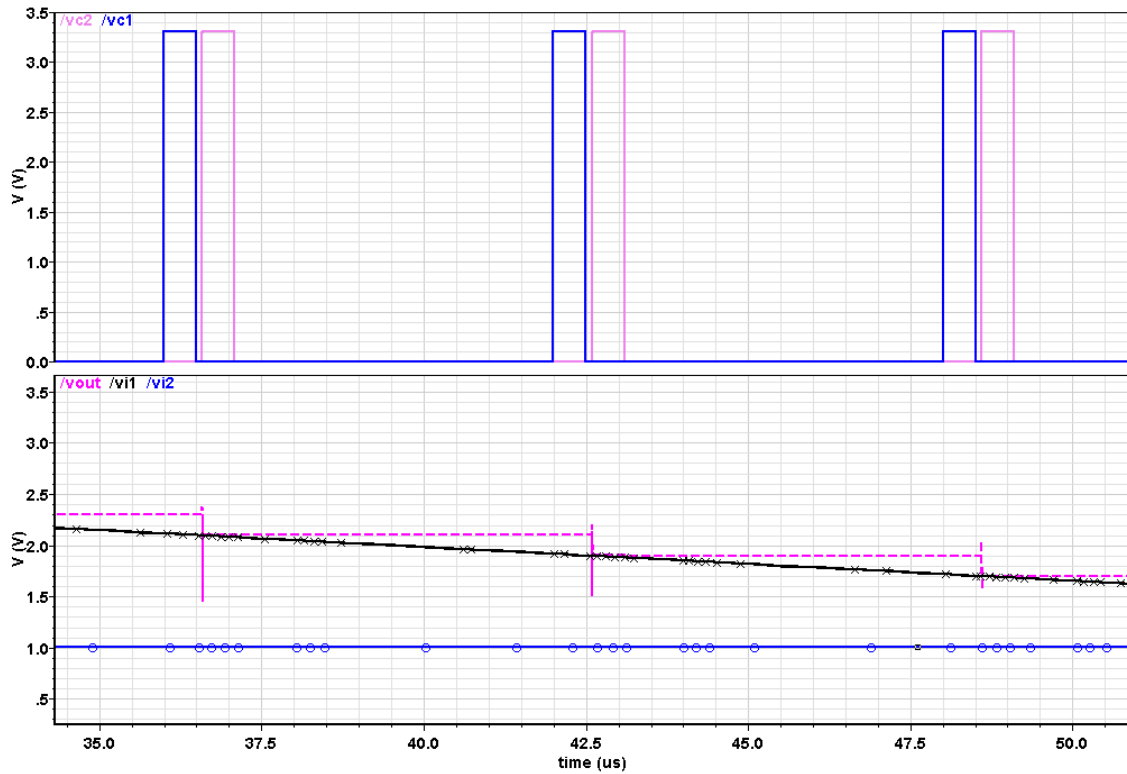


Figure 3.26 : vue zoomée sur le résultat de simulation du soustracteur

La figure 3.26 montre la précision du circuit surtout quant à l'injection des charges par les interrupteurs qui, dans notre cas d'étude, a été réduite à une valeur inférieure à 2mV. De plus un regard encore plus approché montre le temps de réaction du circuit qui est le temps d'établissement de l'amplificateur opérationnel utilisé. La figure 3.27 montre bien ce temps d'établissement qui, à ce point là, est inférieur à une quinzaine de nanoseconde.

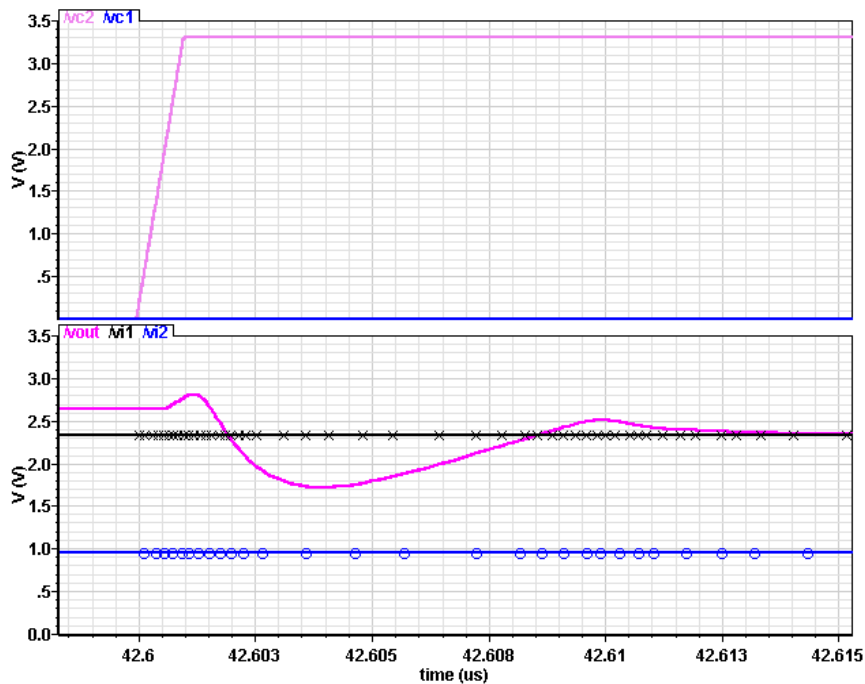


Figure 3.27: Mise en évidence du temps d'établissement en sortie du soustracteur

IV.3. Variation process du soustracteur

Un des avantages les plus importants de l'utilisation des circuits à base de capacités commutées est leur immunité vis-à-vis des variations process. Ces dernières sont dues à des petits défauts dans le processus de fabrication telles que :

- 1- un défaut en photolithographie due à la tolérance dans l'image du masque qui définit la grille ou un défaut dans l'alignement des masques utilisés successivement dans plusieurs étapes de fabrication
- 2- une distorsion de l'angle de la gravure de la grille avec du polysilicium
- 3- un défaut de l'implantation ionique et du traitement thermique et donc la température à laquelle l'implantation ionique est activée

Ces sources de défauts sont des phénomènes aléatoires et la majorité de ceux-ci sont globaux, parce qu'ils affectent approximativement de la même manière, tous les dispositifs sur une puce et toutes les puces dans une plaquette. Ces défauts de fabrication se traduisent par des variations sur les paramètres techniques des composants tels que la longueur ou la largeur du canal d'un transistor, la surface et ainsi la valeur d'une capacité ou d'une résistance et ainsi de suite pour d'autres paramètres. Une simulation MONTE CARLO à 500 itérations de notre circuit en fait la preuve (figure 3.28). Une déviation standard de 1.6 mV nous paraît très raisonnable et acceptable pour notre application.

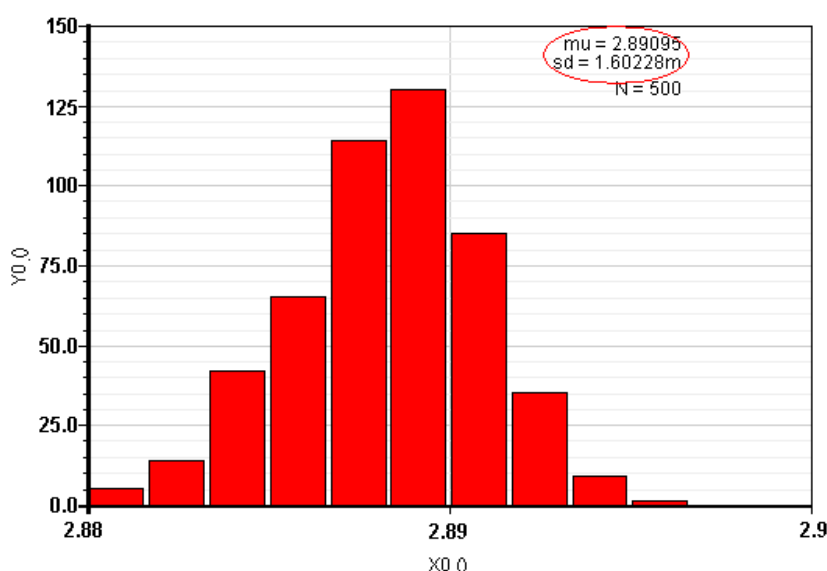


Figure 3.28: Histogramme résultant des simulations MONTE CARLO

IV.4. Layout du soustracteur :

Le dessin de masque du soustracteur a été conçu de manière à obtenir le moins de mismatch possible. Les règles du dessin des masques de la technologie CMOS 0,35 μm d'AMS, ont été respectées. La figure 3.29 montre le layout du soustracteur fabriqué. Il occupe une surface de 236x50 μm^2 . Sa forme rectangulaire allongée vient du fait qu'il doit être implémenté au dessous de la ligne des amplificateurs colonne. Disposant de la largeur de la matrice, nous pouvons donc minimiser sa hauteur tout en respectant les règles de base du layout analogique.

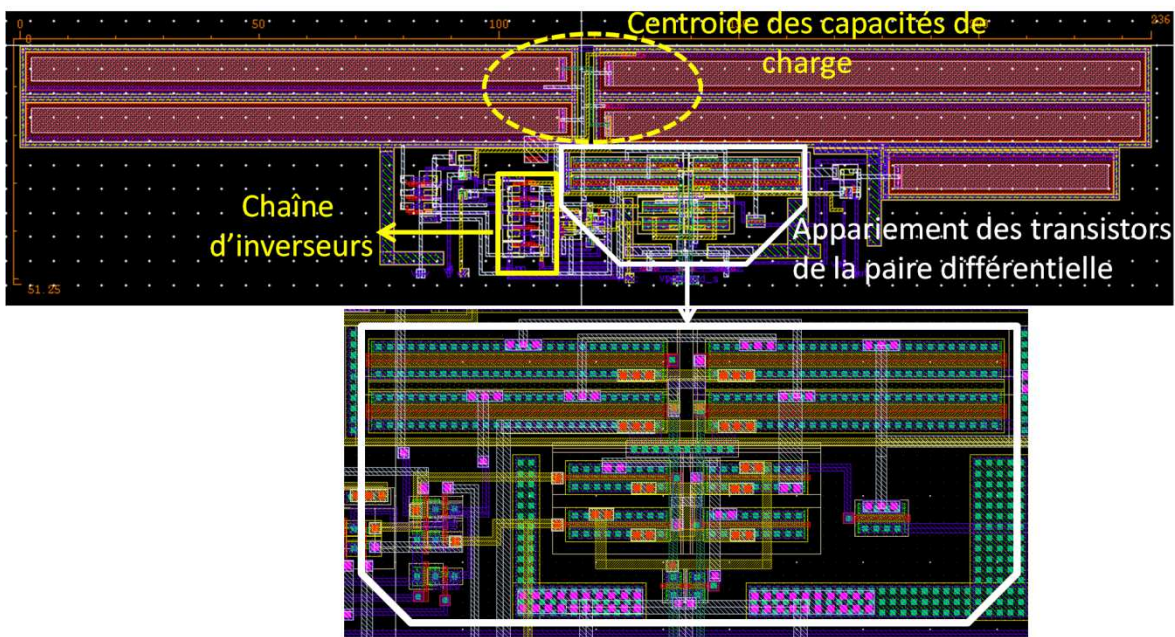


Figure 3.29 : Layout du soustracteur à capacités commutées

La technique d'appariement entre les composants basé sur le principe géométrique de centroïde a été adoptée pour le dessin des masques de la paire différentielle de l'amplificateur opérationnel.

IV.5. Le circuit comparateur à contre réaction positive [Maloberti_09]

Quant à l'opération de comparaison, une simple architecture de comparateur à base de double OTA est utilisée. Cette architecture comprend une rétroaction positive interne utilisée dans trois buts :

- 1- Pouvoir obtenir un comparateur à hystérésis, si on le désire, en manipulant le rapport entre les dimensions des miroirs de courant utilisés comme charges actives de la paire différentielle du circuit.
- 2- Avoir deux sorties (V_{o+} et V_{o-}) qui sont toujours saturées soit à un niveau haut soit à un niveau bas.

3- Diminuer le temps de réaction du circuit.

Le schéma transistor de ce circuit est illustré dans la figure 3.30. Les transistors de ce circuit ont été dimensionnés de façon à adapter le circuit à notre besoin. Le circuit fournit en sortie deux signaux V_{o+} et V_{o-} qui sont toujours saturées soit à un niveau haut soit à un niveau bas. Une porte NAND a été rajoutée pour convertir ces deux signaux analogiques en un signal numérique résultat de comparaison de deux signaux analogiques en entrée du circuit. Ainsi, à sa sortie, ce circuit génère un signal numérique nous indiquant si les deux entrées sont égales ou pas.

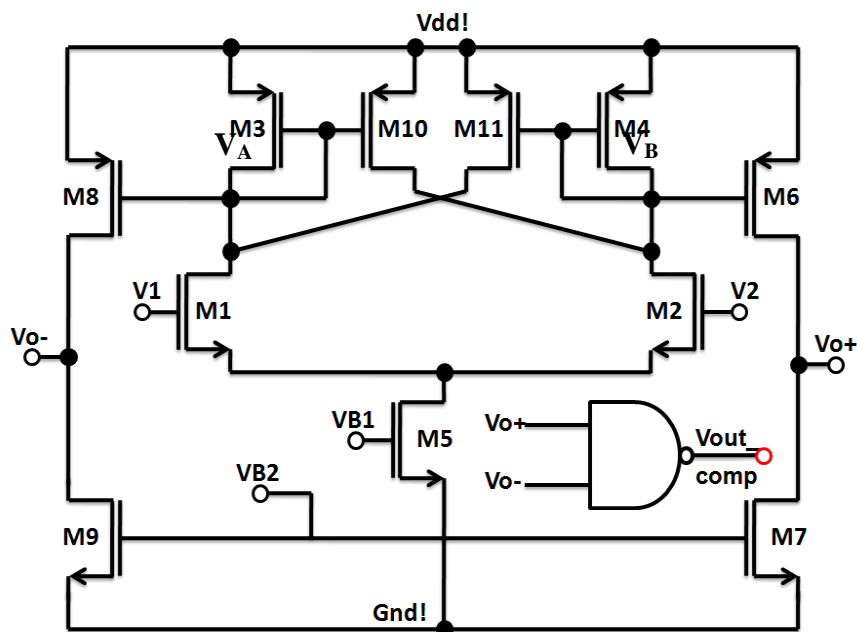


Figure 3.30: Schéma transistor du comparateur

Le dimensionnement des transistors de ce circuit fait que :

- Si $V_1 < V_2$, le courant I_1 qui traverse le transistor M_1 est inférieur à I_2 qui traverse M_2 . Les transistors M_3 et M_{10} sont bloqués, M_4 est saturé alors que M_{11} fonctionne en région linéaire. La tension V_B qui est la tension des drains des transistors M_4 et M_2 et de la grille du transistor M_6 diminue ce qui met ce dernier en marche et ramène la tension V_{o+} à un niveau haut.

De l'autre côté, comme les transistors M_3 et M_{10} sont bloqués dans ce cas là, le transistor M_{11} , grâce à la rétroaction positive interne, laisse passer le courant retiré par M_1 . Ceci sert à mettre la tension V_A à un niveau haut ce qui rend le transistor M_8 bloqué. Alors la sortie V_{o-} se met à un niveau bas. Le résultat est alors un '01' en entrée de la porte NAND et un '1' logique à sa sortie.

- Si maintenant $V_1 > V_2$ c'est exactement l'inverse qui se passe, à cause de la symétrie du circuit. En sortie, on aura un résultat '10', qui encore génère un '1' logique à la sortie de la porte NAND.

- Le troisième et dernier cas est celui de l'égalité entre les deux entrées, dans ce cas, tous les transistors du circuit deviennent passants et les deux sorties V_{O-} et V_{O+} se mettent à un niveau suffisamment haut pour faire passer la sortie de la porte NAND à un niveau bas.

Ainsi, on détecte une égalité entre les deux signaux en entrée de ce circuit.

IV.6. Simulation du comparateur

Le résultat d'une simulation DC de la schématique de ce circuit est illustré dans la figure 3.31:

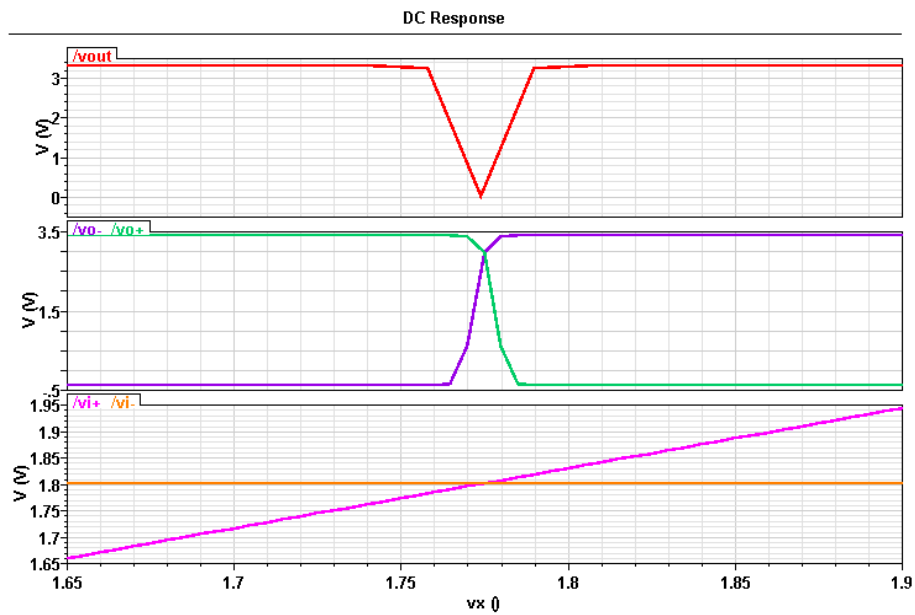


Figure 3.31 : Simulation DC du comparateur en fonction de V_x avec ($V_{i+}=V_x$)

Le temps de réponse de ce circuit est de quelques dizaines de nanosecondes (figure3.32), il peut donc atteindre des fréquences suffisantes pour la lecture des imageurs à vitesse normale.

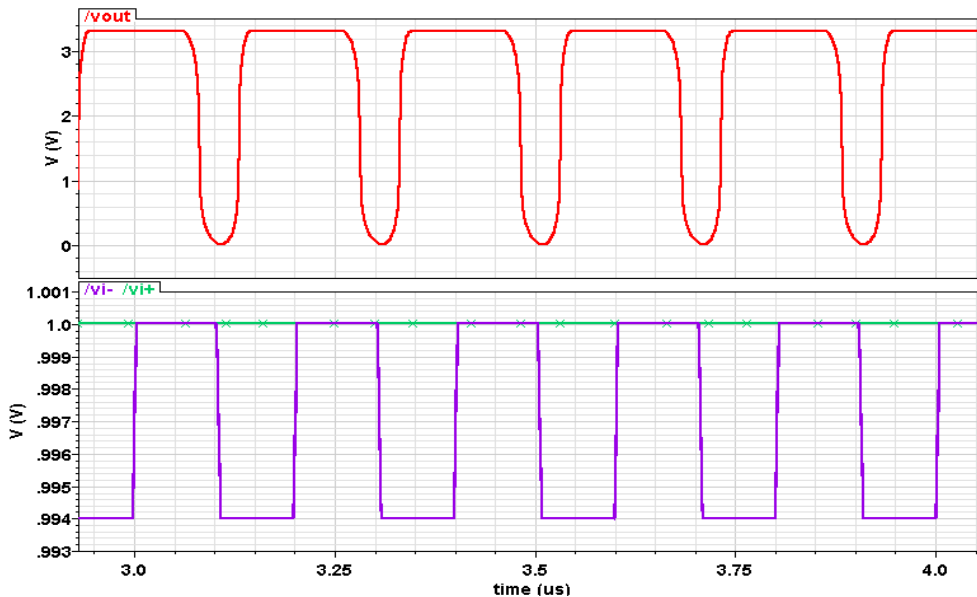


Figure 3.32: Simulation transitoire du comparateur montrant sa vitesse de fonctionnement

IV.7. Variation process et technique de compensation

Vis-à-vis des variations process, ce circuit s’est montré robuste durant les simulations des corners. Une technique de calibration additionnelle peut se rajouter au circuit afin de se méfier aussi bien des variations « mismatch » que des variations process globales. Les variations « mismatch » sont des variations dans le process de fabrication mais qui, cette fois, affectent différemment une même puce. Pour une paire différentielle, ceci s’avère crucial, parce qu’elles peuvent éventuellement affecter la symétrie de ses deux branches et ainsi affecter entièrement le fonctionnement du circuit. La technique de calibration se montre intéressante compte tenu que dans le système d’imager à flot de données réduit, nous n’avons besoin que d’un seul comparateur dans le circuit. Cette technique de correction consiste à rajouter deux transistors (figure 3.33) qui fonctionnent en sources de courant afin de pouvoir compenser le déséquilibre éventuel causé par le « mismatch ». Cette compensation est effectuée à travers l’injection de courant supplémentaire dans les deux branches pour retrouver l’équilibre. Cette technique coûte, alors, deux plots de plus au circuit ainsi qu’une petite surface pour y mettre les deux transistors.

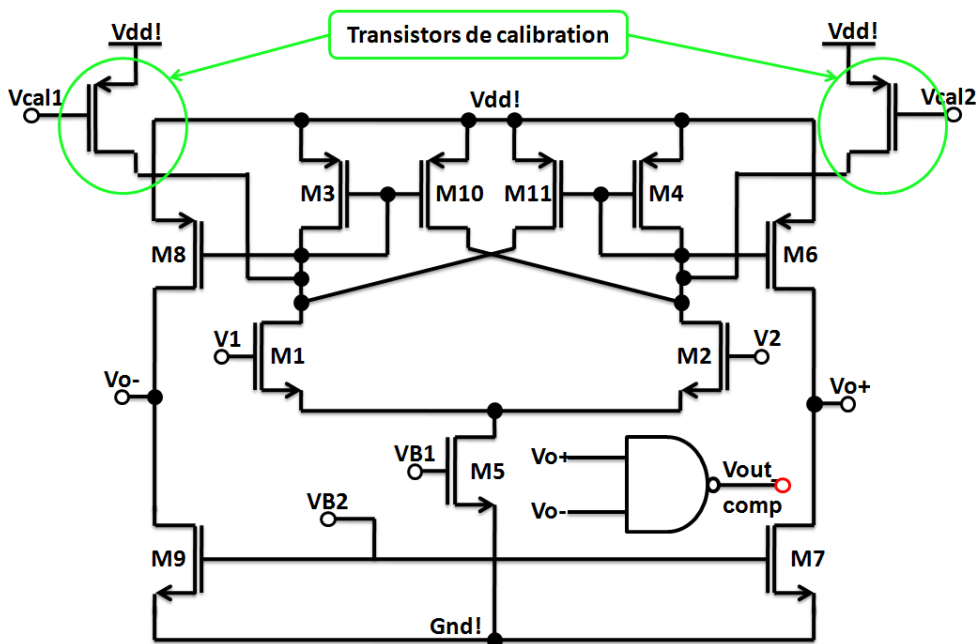


Figure 3.33 : comparateur avec transistors de calibration

Une simulation de cette technique a été faite avec un mismatch injecté volontairement au niveau du transistor M_1 d’entrée de la paire différentielle, base du circuit comparateur. Sa longueur de grille a été augmentée de 10% (variation beaucoup plus grande que celles pouvant être obtenues par le mismatch réel). La figure 3.34 montre la décentralisation de la sortie V_{out} , par rapport à sa position initiale, causée par le mismatch entre les deux branches de la paire différentielle.

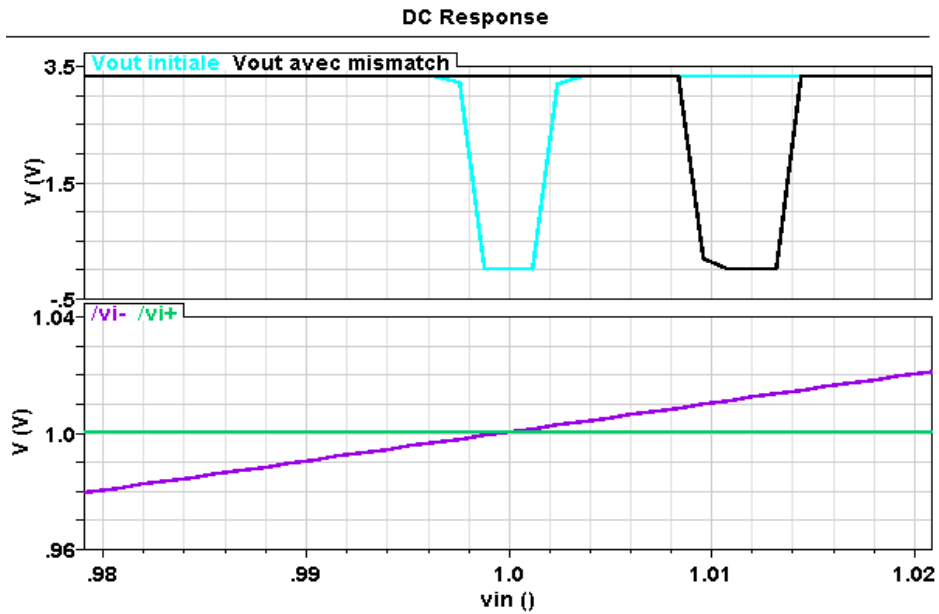


Figure 3.34: simulation DC montrant l'effet d'un mismatch injecté sur le fonctionnement du comparateur

Une calibration a été faite pour remettre le point de fonctionnement à sa position initiale (figure 3.35). Malgré le fait que ce mismatch soit artificiel et qu'il excède largement sa valeur réelle, la technique de compensation par calibration du circuit se montre assez satisfaisante et opérationnelle.

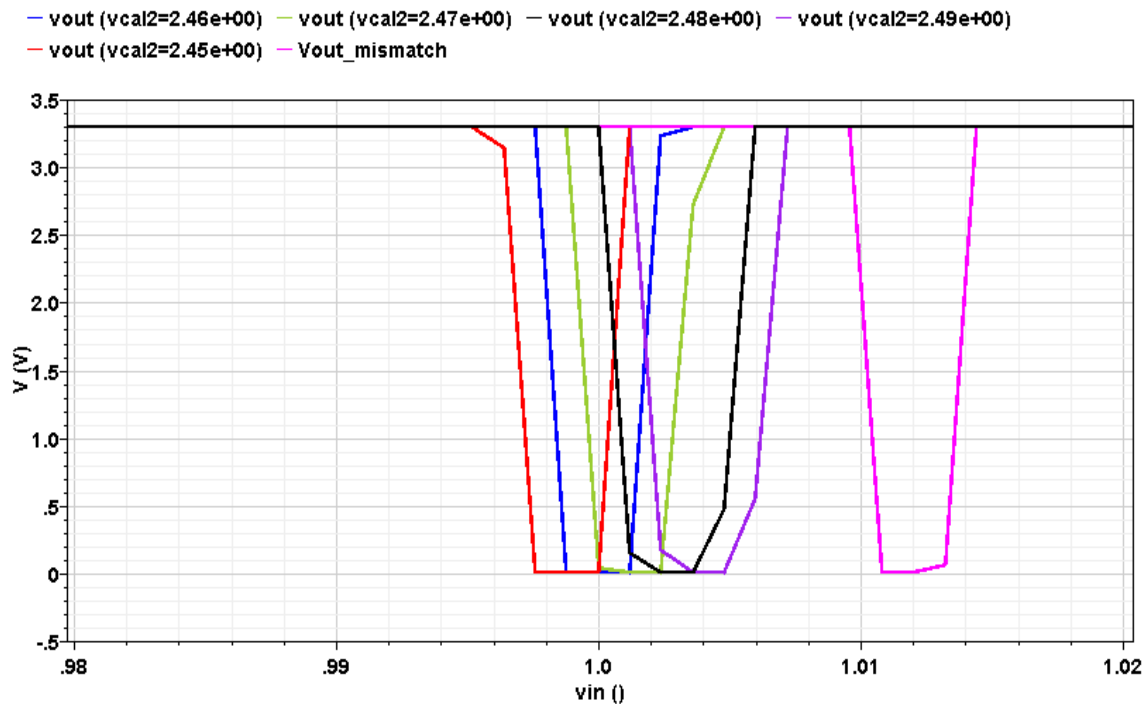


Figure 3.35 : simulation DC paramétriques montrant le fonctionnement de la technique de calibration

D'après la figure 3.35, on déduit qu'avec une valeur de $V_{cal2} = 2.46$ V (tracé en bleu) le circuit retrouve son point de fonctionnement initial. Cette technique de calibration est très utile parce que la technique de lecture que nous proposons n'utilise qu'un seul bloc comparateur. Ainsi, sera-t-il simple de rajouter des pins pour insérer les tensions de calibrations et de régler le fonctionnement du comparateur avant de le mettre en opération dans la technique de lecture.

IV.8. Dessin de masque du comparateur :

Le dessin de masque du comparateur est très crucial. Malgré l'implémentation de la technique de calibration qui permet de corriger l'effet du mismatch sur le fonctionnement du circuit dans cette technique de lecture, ce dessin de masque (figure 3.36) a été conçu avec beaucoup de soin afin de pouvoir l'utiliser dans des circuits où l'implémentation d'une calibration serait impossible (chapitre 5). Ce circuit occupe une petite surface de $23 \times 32 \mu\text{m}^2$ et, dans le cadre de cette technique, sera implémenté en dessous des deux soustracteurs.

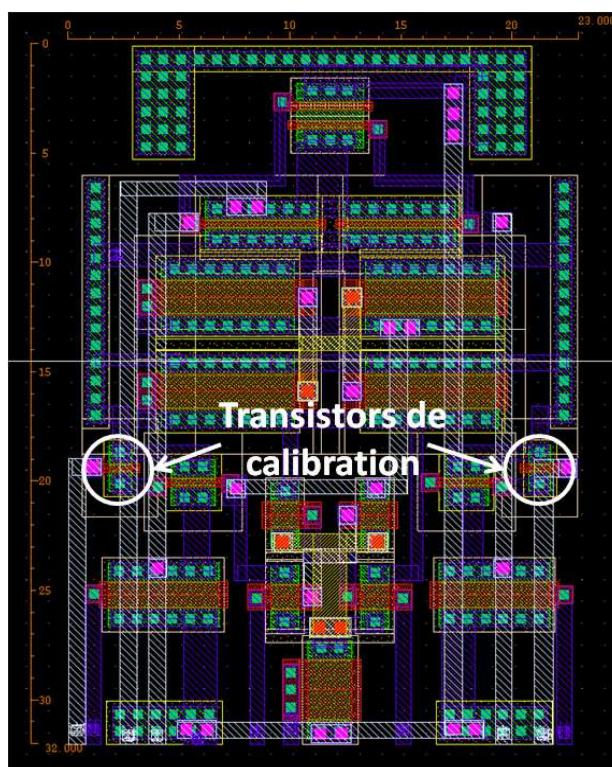


Figure 3.36 : Layout du comparateur implémentant la technique de calibration

V. Simulation électrique de l'architecture proposée

Après avoir conçu les blocs analogiques nécessaires à notre système d'imagerie à flot de données réduit, nous procédons à la simulation d'un banc de test de ce système afin de pouvoir valider son fonctionnement. Cinq pixels fonctionnant en mode d'intégration sont montés avec leurs chaînes de lecture (les amplificateurs colonne) et les deux circuits soustracteurs et un comparateur.

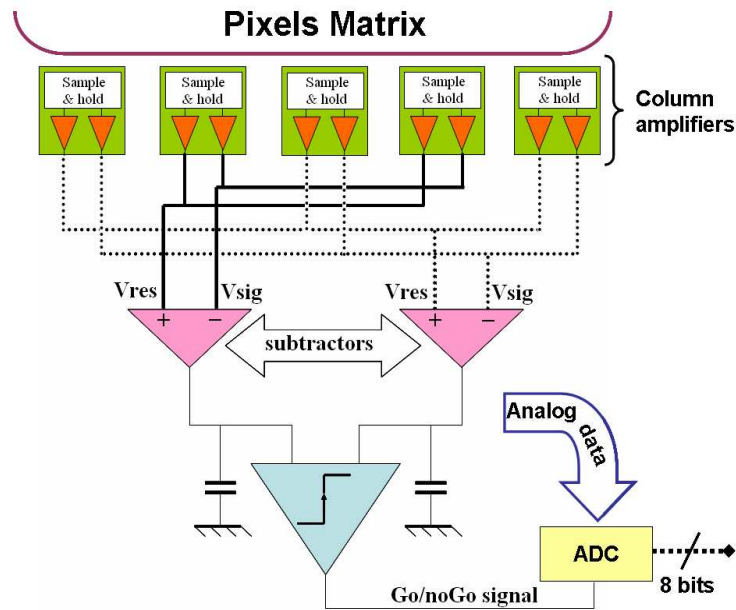


Figure 3.37: Schéma bloc du banc de test de la technique de réduction des redondances spatiales ligne

La figure 3.37 montre le schéma bloc de ce banc de test. Le résultat de simulation est donné à la suite. Nous avons pris pour cette simulation, des courants photogénérés de valeurs successives 50pA pour le premier pixel, 50pA pour le deuxième, 20pA pour le troisième, 90pA pour le quatrième et encore 90pA pour le dernier. Ceci signifie que la sortie du comparateur (V_{out} dans la figure 3.38) doit se mettre à zéro deux fois ; la première est lorsque le deuxième pixel est sélectionné et comparé au premier parce qu'ils ont tous les deux la même valeur. La deuxième est lorsque le cinquième est sélectionné et comparé au quatrième car ces deux derniers ont aussi une même valeur. La figure 3.38 montre le résultat de cette simulation qui répond à nos attentes. 'Xseli' sont les signaux de sélection des amplificateurs colonne alors que les signaux ' $V_{c1,2}$ ' et ' $V_{c1B,2B}$ ' sont les signaux de commande des soustracteurs. O_1 et O_2 sont les sorties des deux soustracteurs alors que V_{out} est la sortie numérique du comparateur. Ce signal est un signal de type « flag » qui contrôle le convertisseur analogique numérique et/ou sert à contrôler la génération des adresses si on vise augmenter la vitesse de lecture du capteur.

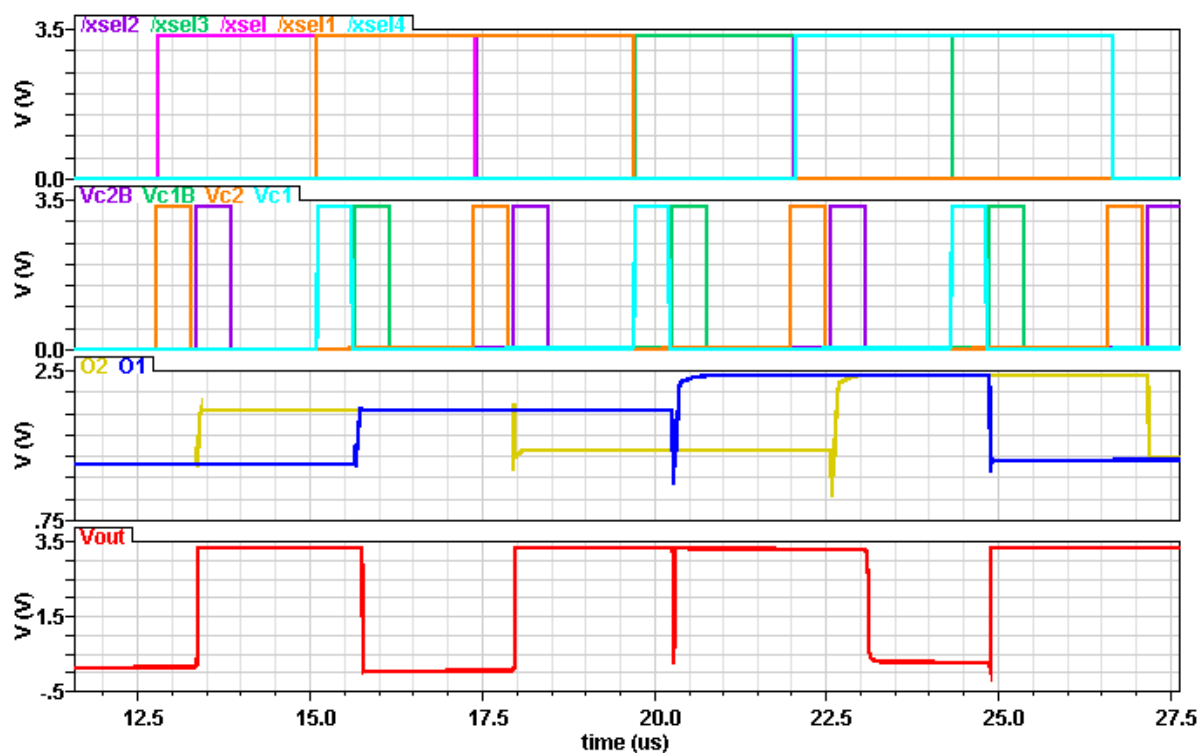


Figure 3.38: Résultat des simulations transitoires du banc de test de la technique de lecture à flot de données réduit

On remarque que la période de lecture de chaque pixel est divisée en deux ; une première demi-période partagée avec le pixel précédent durant laquelle la valeur de l'information lumineuse du pixel en cours de lecture est comparée à son précédent. La deuxième demi période est partagée avec son succédant et durant laquelle la valeur du pixel venant d'être lue sert de référence à son voisin droite. En effet, une fois l'opération de soustraction exécutée, les sorties O_1 et O_2 deviennent prêtes à être comparées. Le résultat de comparaison est ainsi obtenu dans le deuxième quart de période de sélection de chaque pixel.

VI. Conclusion

Dans ce chapitre de la thèse, nous avons présenté une nouvelle architecture conçue pour contrôler le flot de données massif généré par les capteurs de vision CMOS et transmis tout au long des bus de transmission. L'avantage principal de cette technique est le fait qu'elle soit indépendante du type de pixel utilisé. Le gain présenté par cette technique se manifeste par le contrôle de la source principale de consommation qui est le convertisseur analogique numérique considéré comme le bloc le plus gourmand en puissance dans les systèmes d'imageurs CMOS. Cette nouvelle technique de lecture est basée sur le principe de réduction des redondances spatiales lignes.

Après la présentation du principe de fonctionnement de la technique, le résultat des émulations sur Matlab a été présenté pour montrer l'efficacité du mode de fonctionnement proposé en calculant le

taux des redondances spatiales ligne dans différents types de scènes. La conception des blocs analogiques utilisés a été aussi exposée avec les résultats de simulations électriques au niveau transistor de chaque bloc ainsi que d'un banc de test composé de plusieurs pixels avec leurs chaînes de lecture.

Tous les blocs analogiques présentés dans ce chapitre et conçus pour être utilisé dans cette technique de comparaison au voisin gauche, ont été dessinés et fabriqués dans la technologie CMOS 0.35 μ m d'AMS.

Dans le chapitre suivant, nous présentons une autre technique permettant de contrôler le flot de données sortant du capteur en réduisant les redondances temporelles dues à la relecture des pixels qui n'ont pas changés de valeurs entre deux images successives.

Chapitre 4: Technique de Moyennage ; Réduction des Redondances Temporelles

<i>I. INTRODUCTION</i>	86
<i>II. ARCHITECTURE DU SYSTEME SUR PUCE PROPOSE</i>	86
<i>III. MODELISATION DE LA TECHNIQUE SOUS MATLAB</i>	87
<i>IV. PRINCIPE THEORIQUE</i>	90
<i>V. APPLICATION AU PIXEL A REPONSE LOGARITHMIQUE</i>	92
<i>VI. APPLICATION AU PIXEL LINEAIRE</i>	106
<i>VII. RESULTATS EXPERIMENTAUX</i>	111
<i>VIII. DETECTION DE MOUVEMENT</i>	113
<i>IX. CONCLUSION</i>	115

I. Introduction

D'après ce qui a été déjà mentionné dans le chapitre 2, il est clair que toutes les solutions proposées à notre problématique, dans la littérature, souffrent chacune d'un ou plusieurs inconvénients : la complexité de la circuiterie, l'augmentation excessive de la surface du pixel et donc diminution du facteur de remplissage (Fill Factor) et enfin l'augmentation du bruit spatial fixe. On peut rappeler aussi d'autres pénalités que peuvent subir les imageurs, tout en essayant de réduire la quantité des signaux et des informations générés par le capteur, telles que la faible dynamique de fonctionnement et le grand niveau de bruit spatial fixe.

Dans notre cahier de charges, nous avons toujours mis en relief la simplicité de la circuiterie interne du pixel ainsi qu'une surface et un facteur de remplissage raisonnables et acceptables du point de vue industriel. Dans ce cadre là, nous avons conçu une nouvelle technique de lecture basée sur le principe de réduction des redondances temporelles qui existent entre plusieurs trames successives d'une séquence vidéo.

II. Architecture du système sur puce proposé

Dans ce but, la première étape consiste à distribuer la matrice de pixels en macro-blocs composés chacun de plusieurs pixels interconnectés. Chacun de ces blocs fournit des signaux analogiques portant les valeurs des signaux lumineux incidents sur chacun de ses pixels ainsi qu'un signal analogique qui reflète la valeur moyenne de toutes ses informations lumineuses. La totalité de ces signaux est générée continuellement. Une lecture séquentielle complète de la sous matrice de valeurs moyennes est accomplie à travers une ligne d'amplificateurs colonne dédiée à une seule branche. Ces signaux analogiques sont ensuite convertis et stockés dans des éléments de mémoire numérique. Le résultat de comparaison entre deux sous matrices successives de valeurs moyennes conduit à la génération des adresses des pixels qui appartiennent à des blocs ayant changé de valeur moyenne. Ces derniers sont ensuite entièrement scannés, pixel par pixel à travers la ligne d'amplificateurs colonne à double branches classique, et mis à jour dans l'image résultante. Par conséquent, les blocs qui ne changent pas de valeurs lumineuses moyennes d'une image à l'autre, conservent, dans l'image finale, les valeurs qu'ils avaient dans l'image précédente. Le schéma bloc de cette technique est illustré dans la figure 4.1

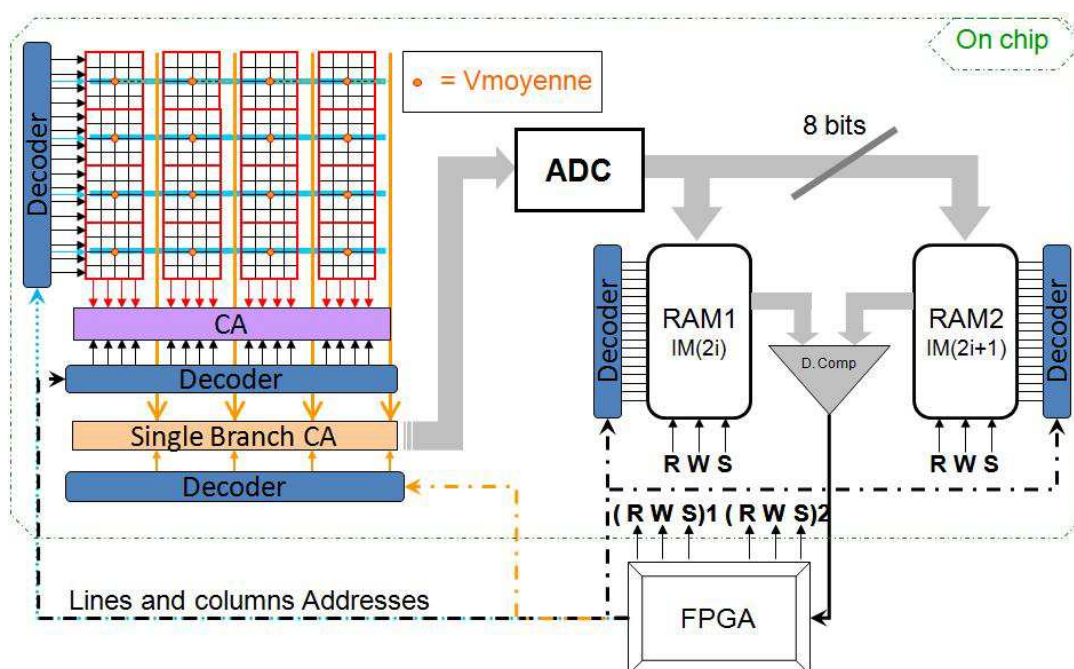


Figure 4.1: Schéma bloc de la technique de lecture

III. Modélisation de la technique sous MATLAB

Afin d'évaluer l'efficacité de notre méthode de lecture proposée et de prévoir la qualité des images à laquelle nous nous attendons, nous l'avons modélisé sur MATLAB. Cette modélisation nous sert aussi pour définir les dimensions du sous-bloc à moyenner. Plusieurs facteurs sont à prendre en compte dans cette décision. Le premier est celui de la résolution de l'imageur sur lequel cette technique va s'appliquer, le deuxième est la qualité voulue de l'image et le troisième est le taux désiré de réduction du flot de données sortant du capteur.

Nous avons appliqué notre algorithme sur deux séries, de 50 images chacune (768 x 576 pixels), extraites de deux séquences différentes de vidéos. Le premier est enregistré par une caméra fixe qui filme un objet en mouvement tandis que le deuxième est enregistré par une caméra en mouvement qui filme une scène statique. Si on prend l'exemple d'un bloc de 4x4 pixels, on s'aperçoit que, pour la première séquence d'images, le taux de réduction du flot de données atteint une valeur de 57% alors que pour la deuxième séquence, il atteint ~65%. De l'autre côté, la qualité de l'image attendue est affectée par un taux d'informations perdues à cause de la lecture incomplète de tous les pixels de l'imageur. En effet, la fonction de moyennage atténue la variation, ce qui se traduit par le fait que pas n'importe quelle variation sur un pixel d'un bloc peut se manifester comme variation sur la valeur moyenne de ce bloc. Ceci induit une perte d'information sur l'image résultante. Le nombre de pixels ayant changé de valeur sans être détectés et scannés à cause de la fonction de moyennage, a été évalué par notre algorithme. Si on reprend notre cas d'étude, le taux d'informations perdues (représenté par IL (Information Loss) dans le tableau 1, définit comme étant le nombre de pixels ayant changé de valeur sans être mis à jour divisé par le nombre total de pixels dans l'imageur) atteint, pour la première

séquence d’images une valeur de 6% et pour la deuxième 4.7%. En général, pour une résolution précise de l’imageur, plus la taille du macro-bloc est grande moins la variation d’un pixel est lisible, pire est le taux des informations perdues. Bien que tous ces chiffres soient totalement dépendants de l’activité de la scène, ils donnent tout de même une idée de ce que pourrait être l’efficacité de notre méthode de lecture. En effet, cette modélisation vise aussi choisir les dimensions correspondantes des sous-blocs en fonction des facteurs que nous avons précités. Un tableau comparatif montre les résultats d’émulation de la technique avec plusieurs tailles de blocs pour la même résolution d’image.

Averaging		2x2	4x4	8x8	16x16
SEQ1 Caméra fixe	MRR	69.48%	63.7%	57.06%	50.3%
SEQ2 Caméra en mouvement	MRR	76.14%	72.75%	69.05%	65.5%
REF		25%	6%	1.5%	0.4%
Dataflow reduction (DFR = MRR – REF)	SEQ1	44.5%	57.7%	55.56%	49.8%
	SEQ2	51.14%	66.75%	67.55%	65%
Information Loss “IL”	SEQ1	2.54%	6.5%	10.08%	12.7%
	SEQ2	1.91%	4.7%	7.18%	9.31%
PSNR (dB)	SEQ1	58.2	54.3	52.4	51.2
	SEQ2	57.7	53.7	51.3	49.4

Tableau 1: Résultats d’émulation de la technique sur MATLAB

Dans ce tableau, le MRR (sigle de Means Redundancy Rate) signifie le taux de redondances des valeurs moyennes des blocs entre deux images successives. Notant que le bloc qui garde une valeur moyenne redondante d’une image à l’autre ne va pas être scanné, il fait alors partie du flot de données réduit. Le terme REF du tableau (sigle de Read Each Frame) exprime le taux des signaux que notre technique de lecture a rajouté au système et qu’on est obligé de scanner avant la lecture de chaque image. Ceux ci sont les signaux des valeurs moyennes générés par les macro-blocs qui font aussi partie du flot de données rajouté au système. Ainsi, le calcul du taux de réduction du flot de données permis par notre technique de lecture, doit tenir compte de ce taux d’informations rajoutés et qui augmente avec la diminution de la taille du macro-bloc. D’où le compromis à faire, dans le choix des dimensions du bloc à concevoir, entre le besoin d’un taux de réduction élevé et une meilleure pertinence de l’image avec un minimum d’informations perdues.

Pour mieux visualiser les chiffres de ce tableau, nous les traçons en courbes qui se montrent plus lisibles (figure 4.2).

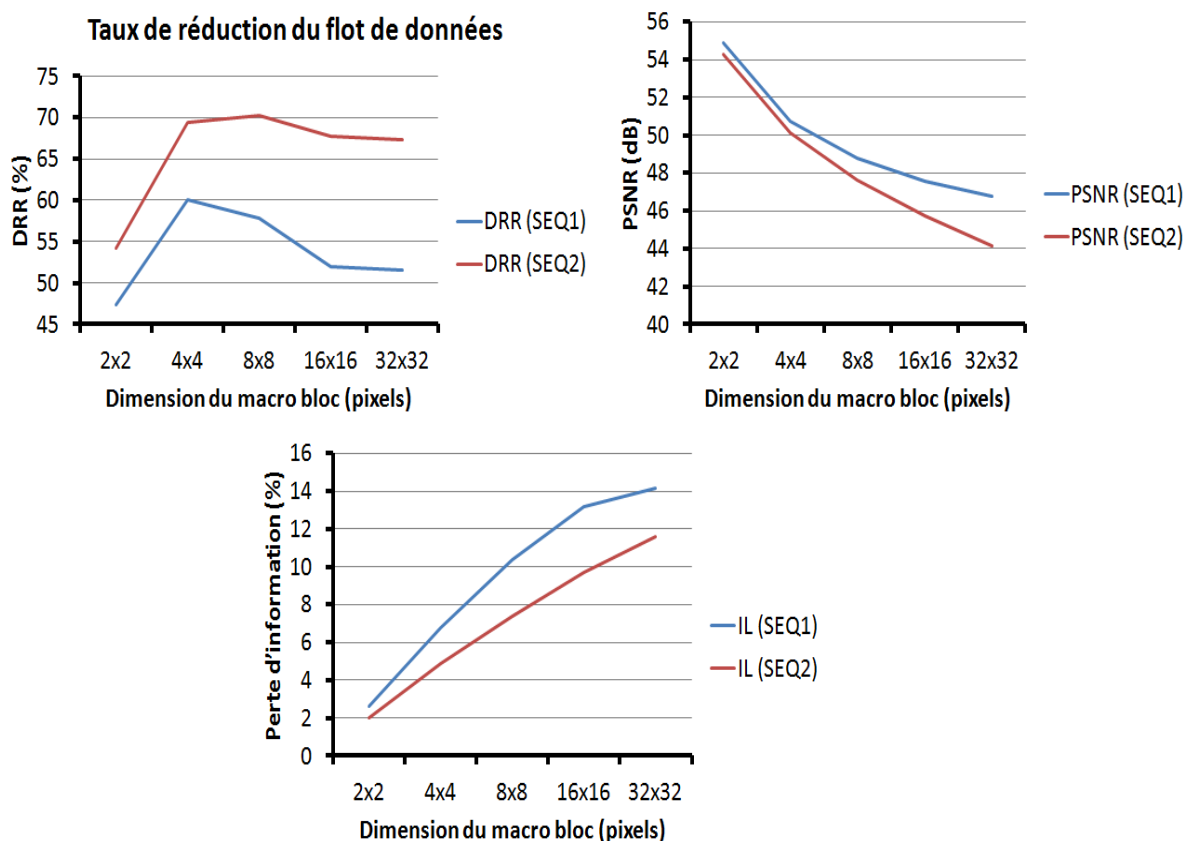


Figure 4.2: Les courbes résultant de l'émulation sous MATLAB

Ces courbes montrent, pour chaque taille du bloc, le taux de réduction du flot de données ainsi que le taux des informations perdues et la qualité de l'image évaluée par le PSNR défini par :

$$PSNR = 10 \cdot \log \left(\frac{d^2}{EQM} \right) \quad \text{Eq. 4.1}$$

Où « d » est la dynamique du signal numérique qui est dans le cas de conversion en 8 bits égale à 255 et EQM est l'erreur quadratique moyenne entre deux images I_0 et I_r de taille $m \times n$ définie par :

$$EQM = \frac{1}{m \cdot n} \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} \|I_0(i, j) - I_r(i, j)\|^2 \quad \text{Eq. 4.2}$$

Les valeurs typiques de PSNR pour des images de bonne qualité varient entre 30 et 40 dB. Même si le PSNR n'est pas considéré comme mesure objective de la qualité visuelle de l'image, il reste quant même utile pour mesurer la proximité de l'image traitée par rapport à l'originale au niveau du signal. Un exemple illustrant les différents types de pertes d'informations, celles dues à la non lecture d'un certain nombre de pixels ainsi que le fait d'avoir des blocs comprenant des pixels changeant de valeur d'une façon équivalente mais dans des sens opposés sans alors changer la valeur moyenne du bloc se manifeste dans la figure 4.3. Un effet « carreaux » est de plus en plus visible lorsque les blocs de moyennage deviennent de plus en plus grands. La figure montre l'image originale à laquelle on s'attendait avec une lecture séquentielle conventionnelle, et deux autres images soumises au traitement de notre modèle de lecture, la première avec un bloc de moyennage de 4x4 pixels et la deuxième avec un bloc de 16x16.

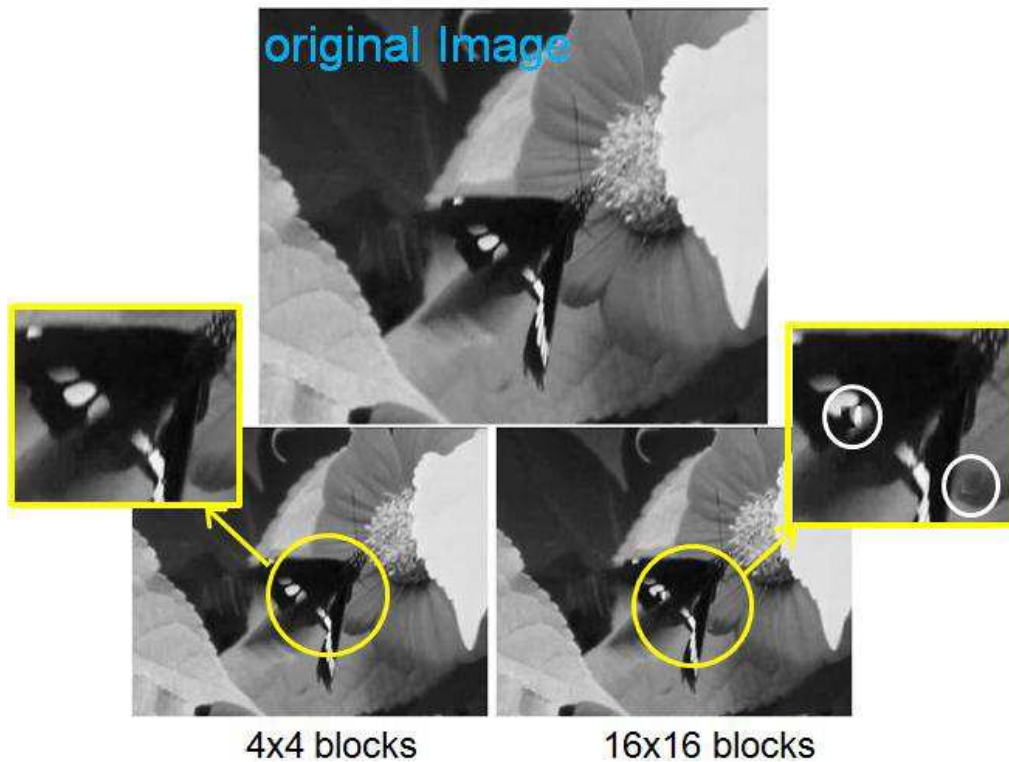


Figure 4.3: Images originale et résultats de traitement

Une fois la modélisation sur MATLAB faite et validant le principe de la méthode proposée, nous avons procédé à la conception du circuit électronique pouvant effectuer la tâche de moyennage désirée. L'étude de la littérature nous a guidé, au début, à choisir le pixel à mode d'opération continu pour remédier à l'implémentation des capacités à l'intérieur du pixel (moyennage par transfert de charges).

IV. Principe théorique

Le principe opérationnel de cette technique de lecture a été vérifié par le moyen de la modélisation MATLAB ainsi que par des simulations électriques qui seront montrées plus tard. Dans ce paragraphe, nous présentons un aspect théorique (mathématique) de cette approche. En effet, nous avons voulu formaliser l'évaluation du taux de redondances de la valeur moyenne d'un macro-bloc dans le cas des valeurs différentes des pixels, et pour ce, il a fallu considérer l'approximation de la probabilité d'avoir, pour un certain bloc, la même valeur moyenne dans deux trames successives. Comme les valeurs de luminosités des pixels varient indépendamment mais toujours dans un même intervalle et d'une façon équiprobable, nous sommes allé vers l'étude du théorème limite centrale qui s'applique dans de tels cas. Notre cas d'étude étant toujours la moyenne de 16 variables (16 pixels d'un bloc 4x4 pour une matrice de 128x128 pixels), chacune de ces 16 variables peut prendre, aléatoirement, n'importe quelle valeur discrète entière de l'intervalle étendu entre [0 et 255] (8 bits standard). La valeur moyenne de toutes ces variables est aussi arrondie pour qu'elle prenne une des valeurs de ce même intervalle et

enfin, il faut noter qu'entre deux tirages successifs (images successives) il n'y a aucune condition ou lien.

De ce fait le théorème central limite peut s'appliquer à notre cas. Ce théorème établit la convergence en loi d'une suite de variables aléatoires vers la loi normale. Intuitivement, ce résultat affirme que toute somme de variables aléatoires indépendantes et identiquement distribuées tend vers une variable aléatoire gaussienne. Le théorème central limite s'énonce comme suit:

Soit X_1, X_2, \dots une suite de variables aléatoires définies sur le même espace de probabilité, suivant la même loi D et indépendantes. Supposons que l'espérance μ et l'écart-type σ de D existent et soient finis ($\sigma \neq 0$). Considérons donc la somme $S_n = X_1 + X_2 + \dots + X_n$. L'espérance de S_n est égale à $n\mu$ et son écart-type vaut $\sigma\sqrt{n}$. De plus, quand n est assez grand (d'habitude >12), la loi normale $\mathcal{N}(n\mu, n\sigma^2)$ est une bonne approximation de la loi de S_n .

Afin de formuler mathématiquement cette approximation, nous allons poser

$$\bar{X}_n = S_n/n = \frac{X_1 + \dots + X_n}{n} \sim \mathcal{N}\left(\mu, \frac{\sigma^2}{n}\right) \quad \text{Eq. 4.3}$$

Si on applique ce théorème sur notre cas d'étude, en prenant comme exemple le cas d'un bloc de 4x4 pixels dont les signaux lumineux sont codés sur 8 bits. Cela nous fait un groupe de 16 échantillons tirés parmi 256 valeurs :

$$E(x) = \mu = \frac{1}{256} \sum_{i=0}^{255} x_i = 127.5 \quad \text{Eq. 4.4}$$

Et l'écart type donné comme étant la racine carré de la variance

$$\sigma = \sqrt{V} = \sqrt{E(X^2) - E(X)^2} = \sqrt{54000} \quad \text{Eq. 4.5}$$

On peut alors dire que \bar{X}_n qui suit une loi normale possède une densité de probabilité exprimée par l'équation suivante :

$$p(X) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{X-\mu}{\sigma}\right)^2} \quad \text{Eq. 4.6}$$

Ainsi, pour calculer la probabilité d'avoir une valeur moyenne redondante malgré la variation des valeurs élémentaires des pixels se traduit par la probabilité que deux événements indépendants ($\bar{X1}, \bar{X2}$) aient une même valeur x :

$$P(\bar{X1} = \bar{X2}) = \int_{-\infty}^{+\infty} p(\bar{X1} = x) \cdot p(\bar{X2} = x) dx = \int_{-\infty}^{+\infty} p^2(x) dx \quad \text{Eq. 4.7}$$

Nous savons que la densité de probabilité d'une loi normale centrée réduite est exprimé par :

$$\varphi(t) = \frac{1}{\sqrt{2\pi}} e^{-\frac{t^2}{2}} \quad \text{Eq. 4.8}$$

Son intégrale sur la totalité de l'espace des réels, de $-\infty$ à $+\infty$, est égale à 1, ce qui mène à l'intégrale de Gausse :

$$\int_{-\infty}^{+\infty} e^{-\frac{t^2}{2}} dt = \sqrt{2\pi} \quad \text{Eq. 4.9}$$

D'où,

$$\int_{-\infty}^{+\infty} p^2(x) dx = \frac{1}{2\sigma\sqrt{2\pi}} = 0,12\% \quad \text{Eq. 4.10}$$

Nous avons donc une probabilité limitée à 0,12% d'avoir une valeur moyenne constante malgré le changement des valeurs de luminosité des pixels du bloc ce qui est considéré comme source principale d'erreur de la technique. On considère que cette valeur est très satisfaisante.

V. Application au pixel à réponse logarithmique

Afin d'améliorer la dynamique d'entrée des capteurs CMOS standards fonctionnant en mode d'intégration, les chercheurs du domaine ont proposé plusieurs techniques telles que l'utilisation d'un long temps d'intégration ou bien un temps d'intégration variable [Schrey_02], [Yadid-Pecht_97] [Yang_99], [Mase_05], [Schanz_00] et [Hosticka_03].

Les inconvénients majeurs de telles solutions sont la grande surface par comparaison au simple pixel à intégration, un long temps d'intégration et/ou un long temps de post-traitement.

Une autre solution, de principe complètement différent, était encore proposée, c'est celle du pixel à fonctionnement continu utilisant un compresseur logarithmique [Loose_01], [Kavadias_00]. Les pixels à fonctionnement continu transforment le courant photogénéré en une tension sans se référer au processus d'intégration. Un transistor connecté en diode, fonctionnant en mode sous le seuil est utilisé afin de créer une tension qui est une fonction logarithmique du courant. La schématique de ce type de pixel ainsi que la simulation DC de la tension de sortie en fonction du courant photogénéré sont illustrés dans la figure 4.4.

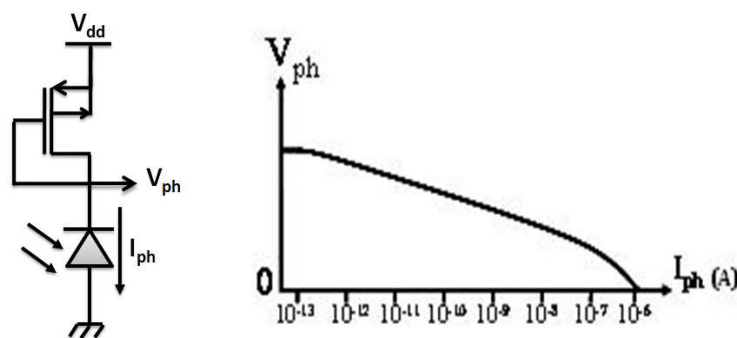


Figure 4.4: Pixel à compresseur logarithmique et la courbe de sa fonction de transfert logarithmique

Le fonctionnement du transistor en mode faible inversion ou bien en mode sous seuil est expliqué dans le paragraphe suivant.

V.1. Mode de faible inversion

Le fonctionnement d'un transistor MOS en mode de faible inversion correspond à un état spécifique (faible inversion) de son canal de grille. Cela correspond, dans le canal, à une concentration de porteurs minoritaires supérieure à la concentration intrinsèque des porteurs dans le silicium n et inférieure au dopage du substrat N_a . Dans ce cas, la différence de potentiel entre la grille et la source du transistor est inférieure à la tension de seuil. Cependant la relation reliant le courant de drain à la différence de potentiel drain-source reste du même type qu'en forte inversion avec une zone de fonctionnement ohmique et une zone saturée.

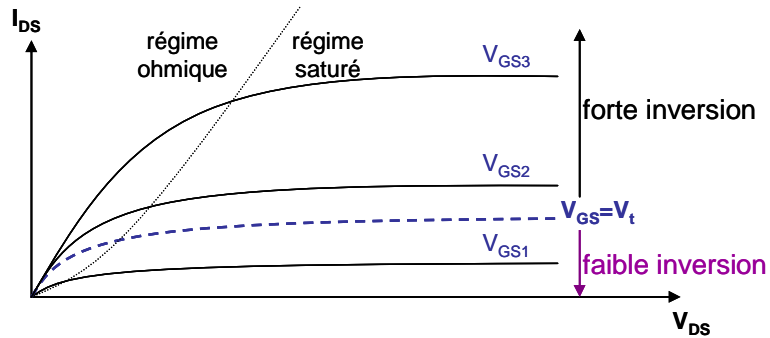


Figure 4.5: Caractéristiques d'un transistor NMOS

Un transistor MOS en régime sous le seuil vérifie une loi exponentielle entre le courant de drain et la tension entre la grille et la source. Cette loi est décrite par la relation suivante :

$$I_D = n \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot U_t^2 \cdot e^{\frac{V_{GB} - V_t}{nU_t}} \cdot \left(e^{\frac{-V_{SB}}{U_t}} - e^{\frac{-V_{DB}}{U_t}} \right) \quad \text{Eq. 4.11}$$

où n est le facteur de correction qui permet de tenir compte des impuretés (compris entre 1,3 et 2), μ la mobilité des porteurs, C_{ox} la capacité d'oxyde de grille, W et L les dimensions du transistor, U_t le potentiel thermique, V_t la tension de seuil, V_{GB} , V_{SB} , V_{DB} les tensions de grille, source et drain du transistor, référencées par rapport au substrat. En posant:

$$I_{D0} = n\mu C_{ox} \frac{W}{L} U_t^2 \cdot e^{\frac{-V_t}{nU_t}} \quad \text{Eq. 4.12}$$

On obtient une nouvelle expression du courant I_D :

$$I_D = I_{D0} \cdot e^{\frac{V_{GB}}{nU_t}} \cdot \left(e^{\frac{-V_{SB}}{U_t}} - e^{\frac{-V_{DB}}{U_t}} \right) \quad \text{Eq. 4.13}$$

Si on considère des transistors PMOS, cette relation devient :

$$I_D = I_{D0} \cdot e^{\frac{-V_{GB}}{nU_t}} \cdot \left(e^{\frac{V_{SB}}{U_t}} - e^{\frac{V_{DB}}{U_t}} \right) \quad \text{Eq. 4.14}$$

En appliquant ces relations au montage en compresseur logarithmique utilisant un transistor PMOS connecté en diode, on peut simplifier l'équation 4.6. En effet la tension V_{SB} est égale à 0V, la tension V_{GB} est égale à la tension V_{DB} et le terme $\exp(V_{DB}/U_t)$ devient donc négligeable devant 1. Le courant I_D peut alors s'exprimer :

$$I_D = I_{D0} \cdot e^{\frac{-V_{GB}}{nU_t}} \quad \text{Eq. 4.15}$$

A partir de cette équation, en décomposant la tension V_{GB} égale à $(V_G - V_{dd})$, et on obtient V_{ph} , la tension aux bornes de la photodiode, en fonction du courant photogénéré I_{ph} :

$$V_{ph} = V_G = V_{dd} - nU_t \ln \frac{I_D}{I_{D0}} = V_{dd} - nU_t \ln \frac{I_{ph}}{I_{D0}} \quad \text{Eq. 4.16}$$

Ce qui explique l'allure logarithmique de la courbe représentative de la tension V_{ph} illustrée dans la figure 4.4. Cette relation logarithmique est donnée par l'équation suivante :

$$V_{ph} = V_{dd} - nU_t \ln \frac{I_{ph}}{I_0} \quad \text{Eq. 4.17}$$

V.2. Etage de sortie du pixel

La tension V_{ph} est ensuite extraite du pixel grâce à un amplificateur suiveur formé du transistor M2 et d'un courant de polarisation I_{pol} , illustré dans la figure 4.6. Tous les pixels d'une colonne partagent le même bus de sortie, V_{s_pixel} . Le signal binaire Y_{sel} , qui pilote le transistor M3, permet de sélectionner le pixel à lire et lui donner accès au bus de sortie V_{s_pixel} .

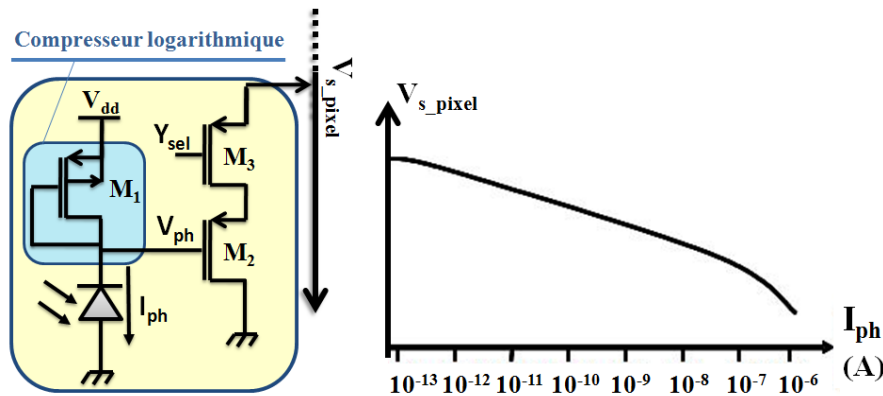


Figure 4.6: Schématisation du pixel logarithmique à 3T avec sa courbe de fonctionnement DC

Lorsque le pixel est sélectionné, la tension théorique de sortie V_{s_pixel} est décrite par l'équation 4.10 (le transistor M_3 rendu passant est considéré comme un interrupteur parfait et n'intervient pas dans l'équation)

$$V_{S_{pixel}} = V_{ph} - V_{GS2} = V_{ph} - \left(V_{T2} + \sqrt{\frac{I_{pol}}{\frac{\mu C_{ox} W}{2} L M_2}} \right) \quad \text{Eq. 4.18}$$

Cette relation permet de remarquer que la sortie du pixel est sensible à la tension aux bornes de la photodiode, affectée par la dispersion du transistor M_1 connecté en diode, mais aussi à des paramètres technologiques tels que la tension de seuil $V_{T,M2}$. Les tensions de seuil des transistors (M_1 et M_2) sont des paramètres très sensibles aux variations technologiques introduites durant la phase de fabrication. Leur dispersion est la composante principale du bruit spatial fixe (FPN) pixel à pixel.

Cette architecture de pixel a le grand avantage de posséder une large dynamique d'entrée étendue sur 120 dB équivalent à six ordres de grandeurs de luminosité avec seulement trois transistors par pixel (figure 4.6).

M_1 étant un transistor PMOS connecté en diode (grille connectée au drain), il effectue la fonction de transformation logarithmique du courant photogénéré. M_2 fait partie d'un amplificateur suiveur PMOS servant à charger le bus colonne de sortie et M_3 est un interrupteur commandé par un signal externe commun à toute une ligne de pixels, ce signal est généré par le décodeur ligne.

V.3. Développement du pixel logarithmique

Même si l'architecture du pixel logarithmique présente l'avantage de la grande dynamique, cette architecture de pixel souffre toujours de deux inconvénients principaux ; le premier est le grand bruit spatial fixe dû à la relation entre la tension de sortie du pixel et la tension de seuil du transistor compresseur logarithmique. Cette tension est sensible aux variations liées aux procédés de fabrication, ce qui se traduit par une différence entre les réponses de deux pixels du même capteur recevant la même luminosité. Le deuxième inconvénient majeur est celui de l'excursion limitée de la tension en sortie, ce qui restreint le nombre de bits du signal numérique obtenu après conversion et cela se traduit par une limitation sur la sensibilité de ce signal numérique, utilisé dans tous les traitements postérieurs. Ainsi, dans le but de limiter l'impact de ces deux inconvénients on utilise deux techniques ; la première est la technique de calibration développée par [Labonne_07] ciblant la réduction du bruit spatial fixe et la deuxième est la technique du double compresseur logarithmique [Mahowald_94] utilisé pour étendre la dynamique de sortie de ce pixel à fonctionnement logarithmique.

V.4. La technique de calibration

Cette technique de calibration est basée sur le principe de fonctionnement de la technique NCDS. Elle consiste à extraire deux niveaux en sortie de chaque pixel, le premier correspondant au signal

photogénéré et l'autre correspondant à une référence de courant fixe à la place de la photodiode. La soustraction de ces deux niveaux permet d'éliminer une composante importante du bruit spatial fixe dû aux variations des tensions de seuil des transistors des pixels. L'extraction du signal de référence se fait à travers le transistor M_4 fonctionnant comme un interrupteur (figure 4.7).

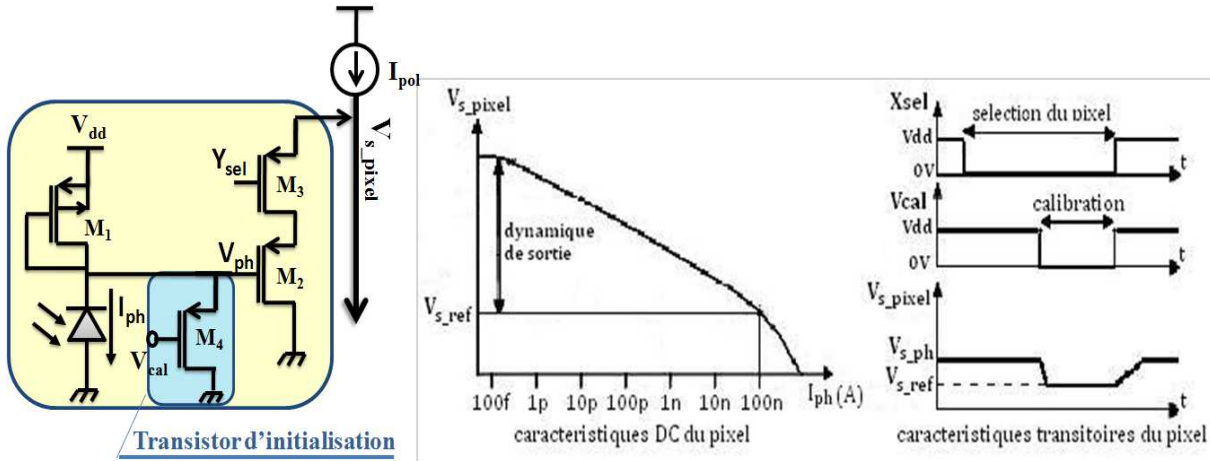


Figure 4.7: Schématisation et fonctionnement transitoire du pixel logarithmique amélioré

Lorsque le signal V_{cal} est au niveau bas, le transistor M_4 est taillé de façon à pouvoir tirer le courant maximal pouvant être convertit correctement par le compresseur logarithmique indépendamment du courant photogénéré. Ainsi, quel que soit le signal lumineux incident à la photodiode, lorsque le signal V_{cal} est au niveau bas, le transistor M_4 impose au nœud photosensible une tension constante prise comme tension de référence par rapport au signal portant l'information lumineuse lors de la lecture. Une opération de NCDS est, ensuite, effectuée afin de réduire le bruit spatial fixe pixel fortement présent dans ce type de pixels. Le fonctionnement de cette technique de calibration est régi par l'équation suivante qui se montre indépendante de la tension V_{T2} :

$$V_{s1_{pixel}} - V_{s2_{pixel}} = \left(V_{p/h1} - V_{T2} + \sqrt{\frac{I_{pol}}{\frac{\mu C_{ox} W}{2} L; M_2}} \right) - \left(V_{p/h2} - V_{T2} + \sqrt{\frac{I_{pol}}{\frac{\mu C_{ox} W}{2} L; M_2}} \right) \quad \text{Eq. 4.19}$$

$$V_{s1_{pixel}} - V_{s2_{pixel}} = V_{p/h1} - V_{p/h2} \quad \text{Eq. 4.20}$$

V.5. L'augmentation de la dynamique de sortie

Afin de remédier à la contrainte de la dynamique de la tension en sortie du pixel logarithmique, nous avons développé un pixel dit à double compresseur logarithmique [Amhaz_10] parce qu'il intègre deux transistors connectés en diode au lieu d'un seul dans le cas du pixel logarithmique simple. Ceci rajoute un seul transistor de plus à la circuiterie intra pixel. La schématisation de ce pixel, inspirée de [Mahowald_94] est donnée dans la figure 4.8. Le concept de notre capteur à grande dynamique de

sortie repose sur le principe d'insérer un second transistor fonctionnant en mode de faible inversion entre la photodiode et le premier transistor de compression logarithmique.

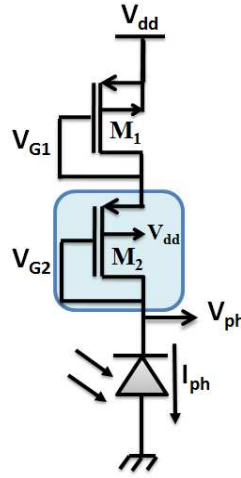


Figure 4.8 : Architecture de base du pixel à grande dynamique de sortie

Ces deux transistors ensemble permettent une meilleure compression de la dynamique. En effet, le courant de drain du transistor M1 est le même que celui de M2 et de la photodiode. Le transistor M1, fonctionnant sous le seuil en mode de faible inversion, son opération est régie par les équations citées précédemment. La tension à sa grille est donnée par la relation suivante :

$$V_{G1} = V_{dd} - nU_t \ln \frac{I_D}{I_{D0}} = V_{dd} - nU_t \ln \frac{I_{ph}}{I_{D0}} \quad \text{Eq. 4.21}$$

Pour le transistor M2, on n'aura pas la même relation du fait que son substrat est polarisé à une tension différente de celle de sa source. En fait, afin de ne pas avoir recours à l'isolation des caissons pour ne pas perdre en surface, on est obligé de polariser tous les substrats de tout les transistors de notre circuit à la même tension de polarisation V_{dd} .

Le courant de drain de M2 est donné par les expressions suivantes :

$$I_D = I_{D0} \cdot e^{\frac{-V_{G2B}}{nU_t}} \cdot \left(e^{\frac{V_{SB}}{U_t}} - e^{\frac{V_{DB}}{U_t}} \right) \quad \text{Eq. 4.22}$$

La tension V_{DB} étant négative et supérieure en valeur absolue à V_{SB} , alors le terme $\exp(V_{DB}/U_t)$ devient négligeable dans l'équation 4.14 et l'expression du courant devient:

$$I_D = I_{D0} \cdot e^{\frac{-V_{G2B}}{nU_t}} \cdot e^{\frac{V_{SB}}{U_t}} \quad \text{Eq. 4.23}$$

Par suite, on obtient :

$$-V_{G2B} + nV_{SB} = nU_t \ln \frac{I_D}{I_{D0}} \quad \text{Eq. 4.24}$$

$$-V_{G2} + nV_{S2} + V_B(1 - n) = nU_t \ln \frac{I_D}{I_{D0}} \quad \text{Eq. 4.25}$$

Or la tension de source de M2 est égale à la tension de grille du premier transistor M1 ($V_{S2} = V_{G1}$) et la tension du substrat est toujours égale à la tension d'alimentation ($V_B = V_{dd}$) alors l'expression finale devient :

$$V_{ph} = V_{G2} = V_{dd} - n(1 + n)U_t \ln \frac{I_D}{I_{D0}} \quad \text{Eq. 4.26}$$

De cette équation, on peut voir l'amélioration attendue de la dynamique de sortie de notre pixel. Cette amélioration se manifeste par la multiplication de la pente de l'allure logarithmique (figure 4.9) par un facteur de $(1+n)$ où n est le facteur de correction qui permet de tenir compte des impuretés, il est compris entre 1,3 et 2. Il faut noter que ce facteur n peut avoir une petite variation entre M1 et M2 au niveau de sa valeur à cause de l'effet de la polarisation du substrat à une tension différente de celle de la source. Dans notre calcul nous avons négligé cette variation.

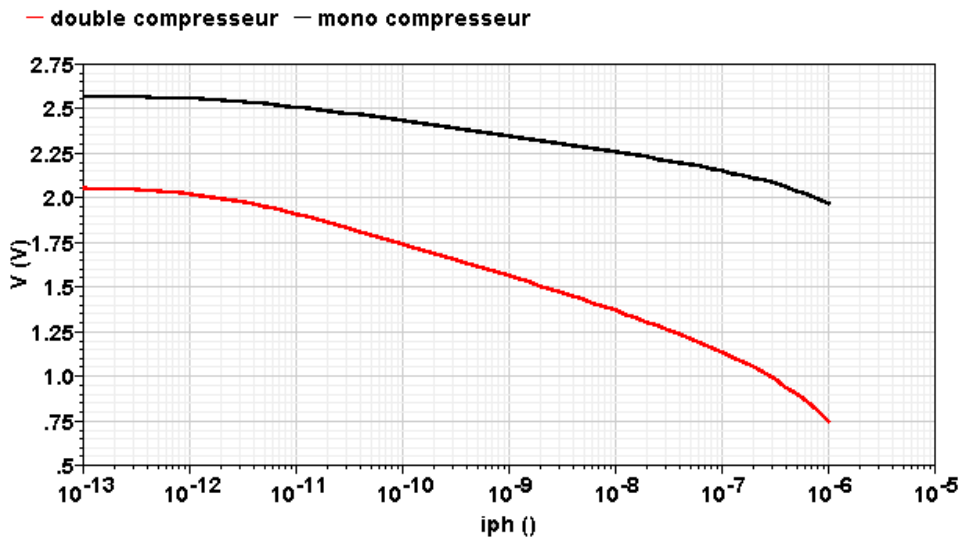


Figure 4.9: Comparaison entre la caractéristique DC d'un pixel logarithmique simple contre celle du pixel à double compresseur logarithmique

Comme dans le cas du pixel logarithmique simple, l'étage de sortie du pixel est constituée par un amplificateur suiveur qui dans notre cas est de type P. Une fois la ligne de pixels est sélectionnée, pour être transmise, la tension photogénérée traverse l'amplificateur suiveur pour être échantillonnée et bloquée au niveau de l'amplificateur colonne (figure 4.10). Dans un second temps, elle sera transmise à travers un amplificateur suiveur de type N vers le bus de sortie.

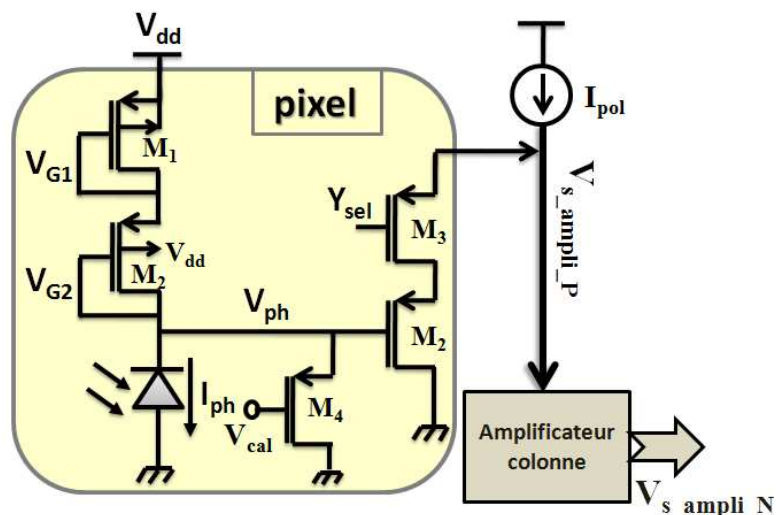


Figure 4.10: Schématique du pixel à double compresseur logarithmique avec son étage de sortie

Comme on est loin d'être dans le cas idéal à cause de la limitation en largeur de l'amplificateur colonne, les amplificateurs suiveurs que nous utilisons (sans amplificateur différentiel) dégradent la dynamique de tension en sortie du pixel. Le résultat de simulation DC des différents signaux à différents niveaux du circuit est illustré dans la figure 4.11.

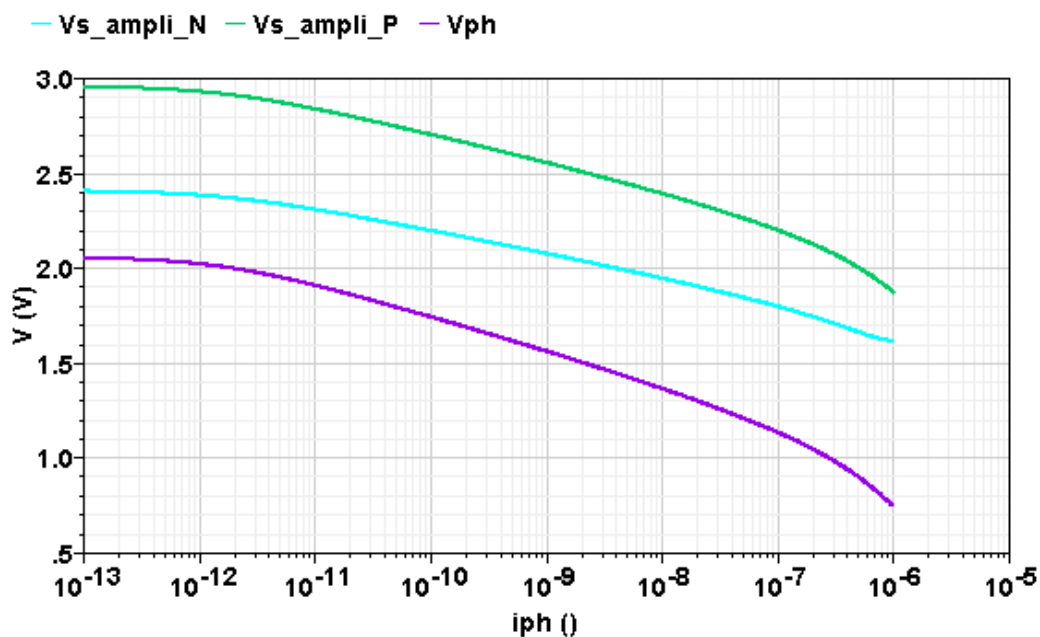


Figure 4.11 : Caractéristiques DC de deux pixels, illustrant l'amélioration de la dynamique de sortie

Les simulations Monte Carlo montre que pour cette architecture de pixel, le bruit spatial fixe, pixel et colonne, est limité à 2.3% de la dynamique totale de fonctionnement. La figure 4.12 montre le résultat de simulation de 1000 itérations Monte Carlo. On a une déviation standard de 17mV sur une dynamique totale en sortie de plus de 700mV.

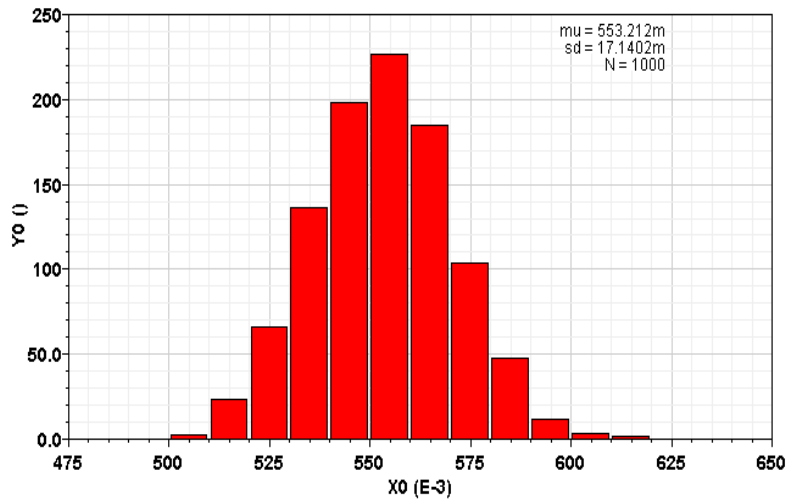


Figure 4.12: Résultat de 1000 itérations de simulation Monte Carlo

V.6. Pixel de base de la technique de moyennage

Comme expliqué dans le premier paragraphe de ce chapitre, la technique de lecture que nous proposons pour réduire le flot de données sortant du capteur est basée sur le principe de moyennage par bloc de pixels.

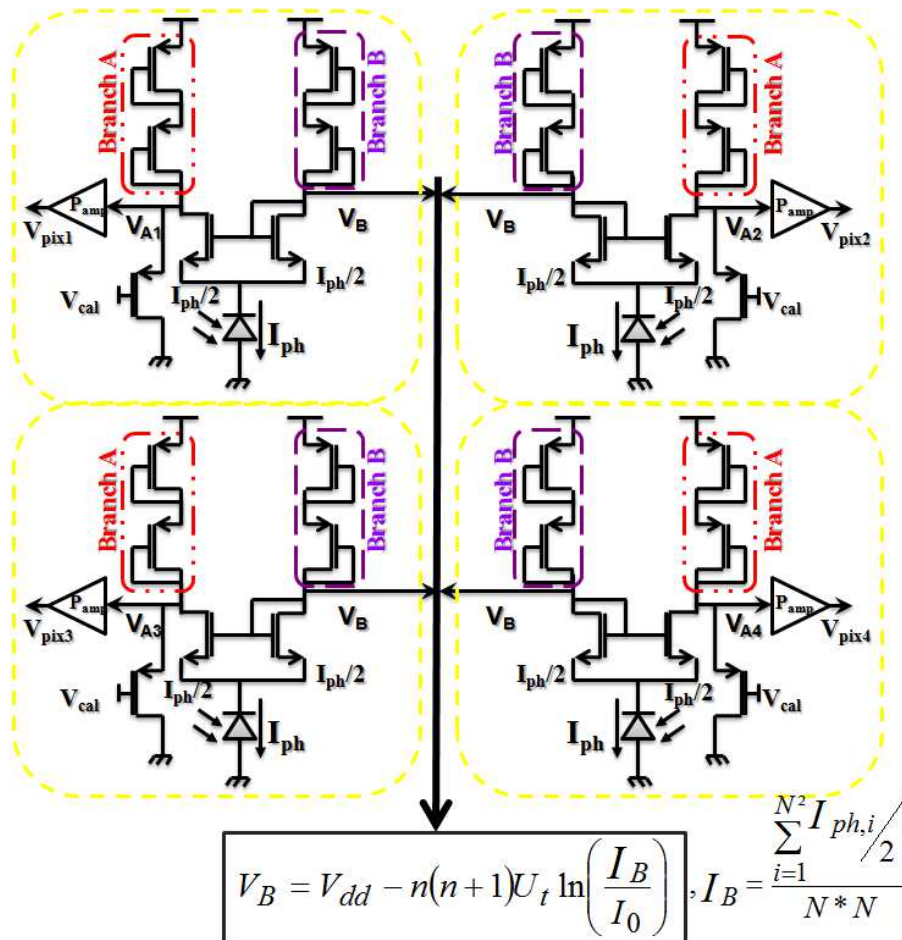


Figure 4.13 : Pixel de moyennage à double compresseurs logarithmiques

Le pixel choisi était le pixel logarithmique à double compresseur grâce à ses très bonnes caractéristiques de fonctionnement dont sa continuité temporelle de fonctionnement et ses larges dynamiques d'entrée et de sortie. Afin d'accomplir la tâche de moyennage, nous avons doublé la branche du double compresseur et rajouté un miroir de courant. Dans cette architecture, inspirée de [Sicard_99] et présentée dans la figure 4.13. Vu que les deux branches de chaque pixel sont parfaitement symétriques et équivalentes, le miroir de courant sert à diviser le courant photogénéré en deux parties égales traversant chacune un des deux transistors du miroir.

Le courant I_A traversant la branche A du circuit est égale à la moitié du courant photogénéré par la photodiode I_{ph} de chaque pixel. Le point B est un nœud commun à tous les pixels d'un bloc, de ce fait, et comme toutes les branches B de tous les pixels d'un bloc sont équivalentes, les moitiés des courants photogénérés circulant dans les miroirs de courant sont additionnés puis également redistribués dans les doubles compresseurs des branches B de tous les pixels du bloc (loi de Kirchhoff). Ainsi, le courant I_B devient égal à la valeur moyenne de tous les courants I_A des pixels du bloc.

$$I_B = \frac{\sum_{i=1}^{N^2} I_{ph,i} / 2}{N * N} \quad \text{Eq. 4.27}$$

Par conséquent, la tension V_B devient le résultat de la transformation logarithmique de ce courant I_B , effectuée par le double compresseur logarithmique (Eq.4.20)

$$V_B = V_{dd} - n(n+1)U_t \ln\left(\frac{I_B}{I_0}\right) \quad \text{Eq. 4.28}$$

Cette valeur représente alors l'image de la valeur moyenne de tous les signaux lumineux incidents sur un bloc de pixels interconnectés. Les simulations électriques, effectuées par le simulateur Spectre de Cadence, montrent la fonction de moyennage des courants photogénérés effectuée au niveau bloc de pixels ainsi que le comportement DC du pixel. La large dynamique de fonctionnement, étendue sur 120 dB en entrée et sur 1V en sortie du pixel est aussi montrée dans la figure 4.14.

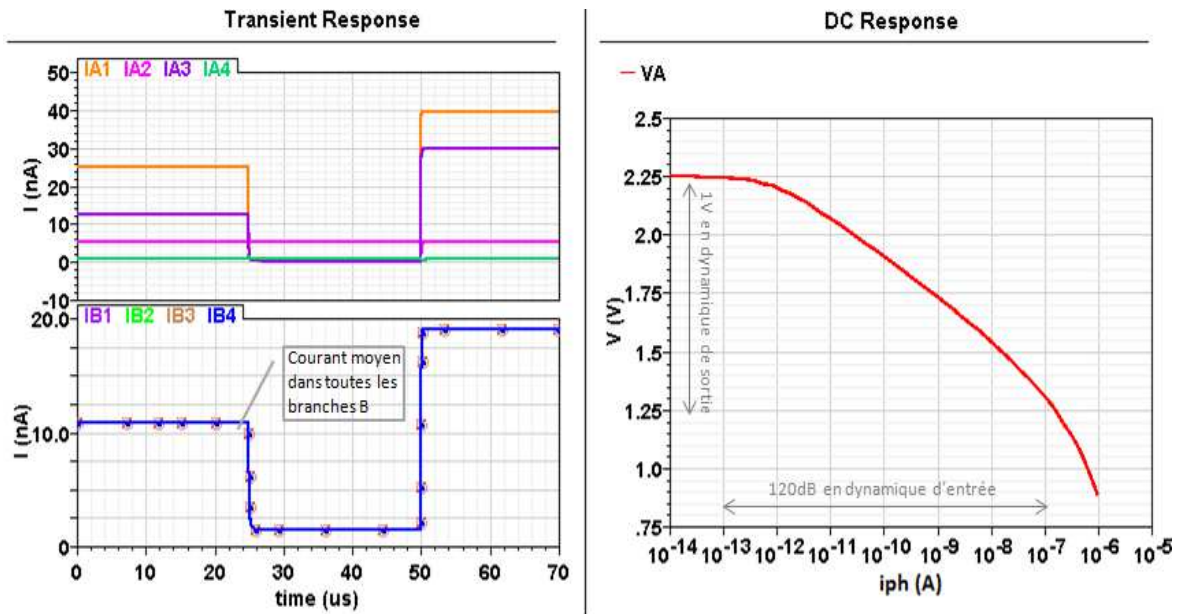


Figure 4.14: Résultats des simulations transitoires et DC

V.7. Dessin de masque de l’imageur ImaDeM

Le dessin de masque du circuit ImaDeM (Imageur Détecteur de Mouvement) a été conçu. La matrice entière est composée de 16x16 macro-blocs. Chaque macro-bloc est composé de 16 pixels répartis sur deux types ; un pixel élémentaire de base et un autre contenant l’amplificateur suiveur pour sortir la valeur moyenne de luminosité. Ainsi, un bloc de 16 pixels interconnectés, générant une tension moyenne, comporte 15 pixels élémentaires et un pixel suiveur. Le layout de ce bloc est illustré dans la figure 4.15 :

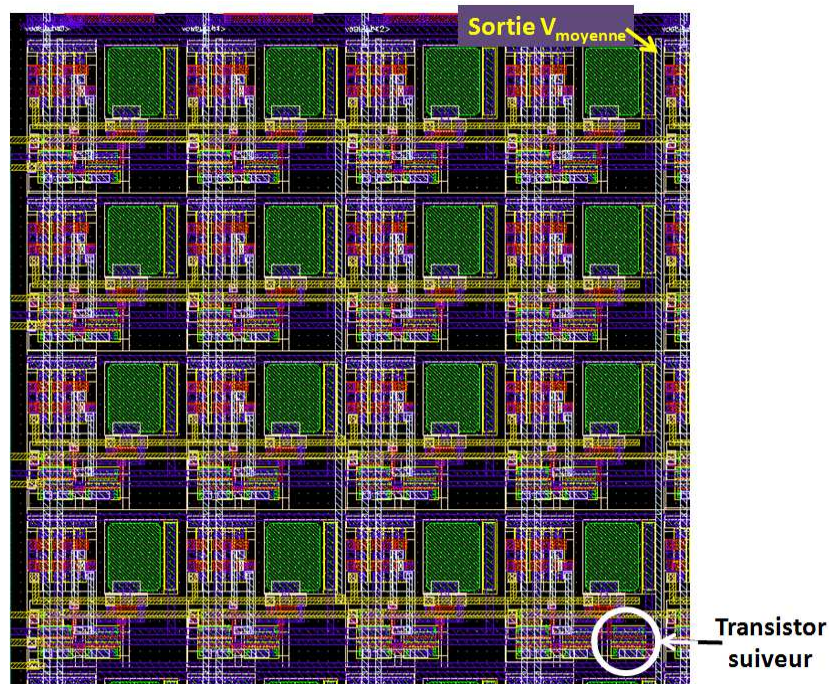


Figure 4.15 : Dessin de masque d’un bloc 4x4 pixels

Le dessin de masque de l'imageur entier est illustré dans la figure 4.16. Il occupe une surface totale (avec les plots de sorties) de 2.78 x 2.88 mm². Il est composé d'une matrice de 64x64 pixels interconnectés par blocs de 4x4, un décodeur ligne, une ligne d'amplificateurs colonnes et un décodeur colonne dédiés à la lecture des informations lumineuses locales des pixels, une ligne d'amplificateurs colonne à simple branche et un décodeur colonnes dédiés à la lecture des valeurs moyennes des intensités lumineuses par macro-bloc de pixels.

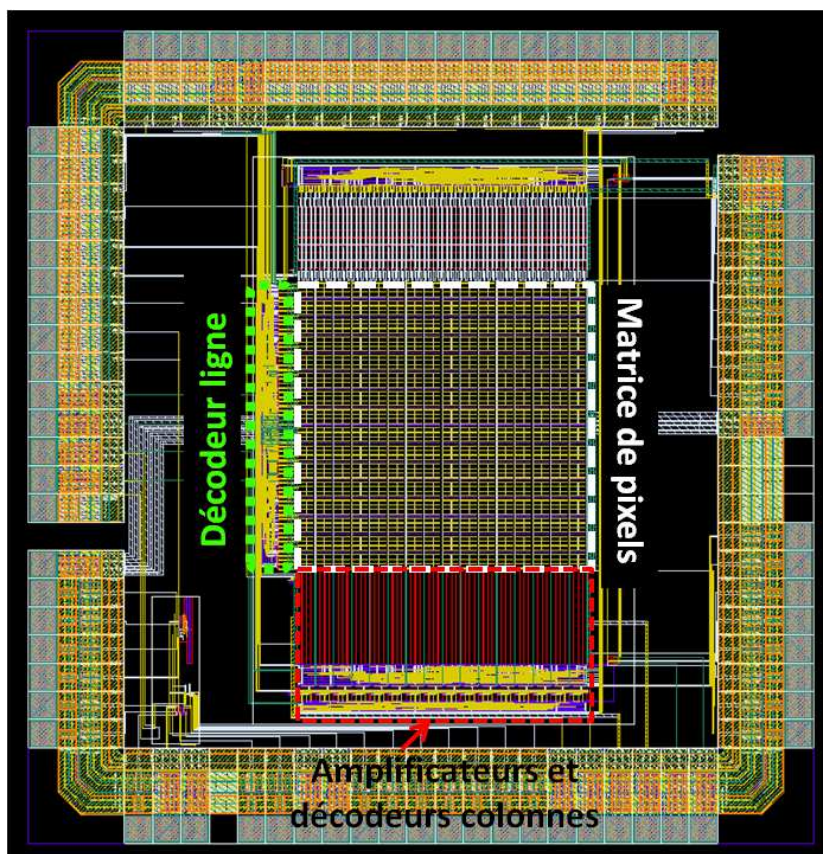


Figure 4.16 : Dessin de masque de l'imageur ImaDeM

Les amplificateurs colonnes des moyennes sont formés par une simple branche parce que la lecture de ces valeurs est relative. A chaque fois qu'on lit une moyenne on la compare à sa précédente extraite par la même chaîne de lecture d'où le droit de ne pas extraire une valeur de référence pour les valeurs moyennes comme pour celles des pixels internes. La figure 4.17 illustre mieux la différence entre les dimensions des amplificateurs colonne à pixels et les amplificateurs colonne à moyennes.

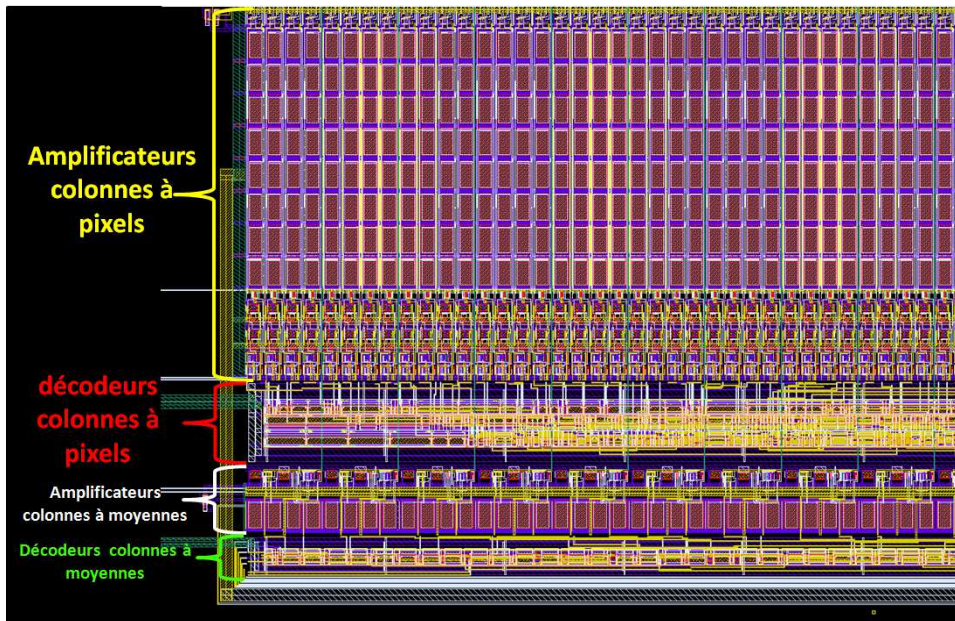


Figure 4.17 : Illustration du coin bas gauche de l'imageur contenant les amplificateurs et décodeurs colonnes

V.8. Conception de la partie numérique

Le partie numérique est conçue en VHDL et, en premier temps, est implémentée sur un circuit programmable FPGA qui comprend des mémoires RAM pour pouvoir sauvegarder les valeurs moyennes de chaque image, les comparer à leurs précédentes et générer les adresses des pixels correspondants. Une machine à états finis a été conçue et développée. Le schéma bloc du code de cette partie numérique est illustré dans la figure 4.18:

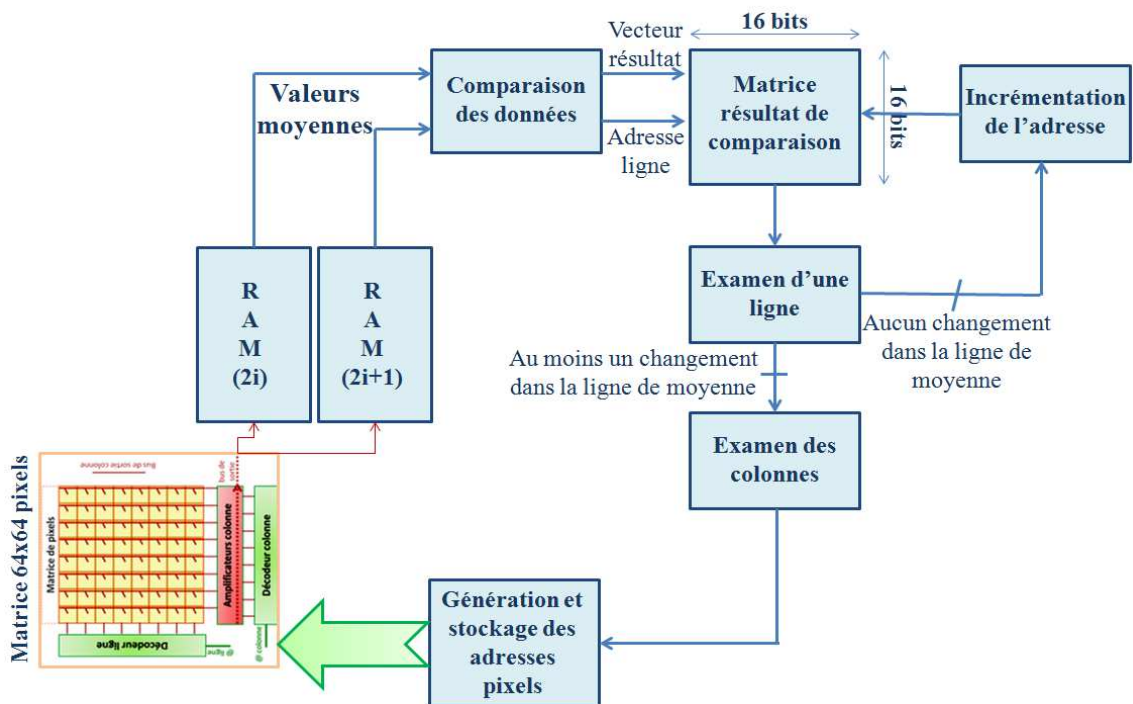


Figure 4.18 : Schéma bloc de la partie numérique développée

V.9. Environnement de test et de mesure :

Un circuit prototype « IMADEM » a été conçu et fabriqué. Il implémente une matrice de 64x64 pixels à fonctionnement logarithmique amélioré, avec un macro-bloc de 4x4 pixels interconnectés. Le test de ce prototype a été fait au CIME Nanotech de Grenoble. La caméra de test est constituée de plusieurs parties ;

- Une carte FPGA DE2-70 d'ALTERA contenant suffisamment de mémoire et d'interfaces d'entrées et de sorties.
- Une carte mère contenant les alimentations, les polarisations, les convertisseurs analogiques numériques et numériques analogiques ainsi que des amplificateurs analogiques.
- Une carte fille portant le support du capteur et les connecteurs des entrées et des sorties

La partie numérique de la technique de lecture est implémentée sur la carte FPGA pour ce prototype. Elle sera implémentée en ASIC à côté de la matrice dans une seconde étape, pour les imageurs futurs qui implémenteront cette technique de lecture. L'affichage des images obtenues par le capteur se fait à travers la sortie VGA de la carte FPGA programmable. La figure 4.19 a été prise durant le test de ce prototype.

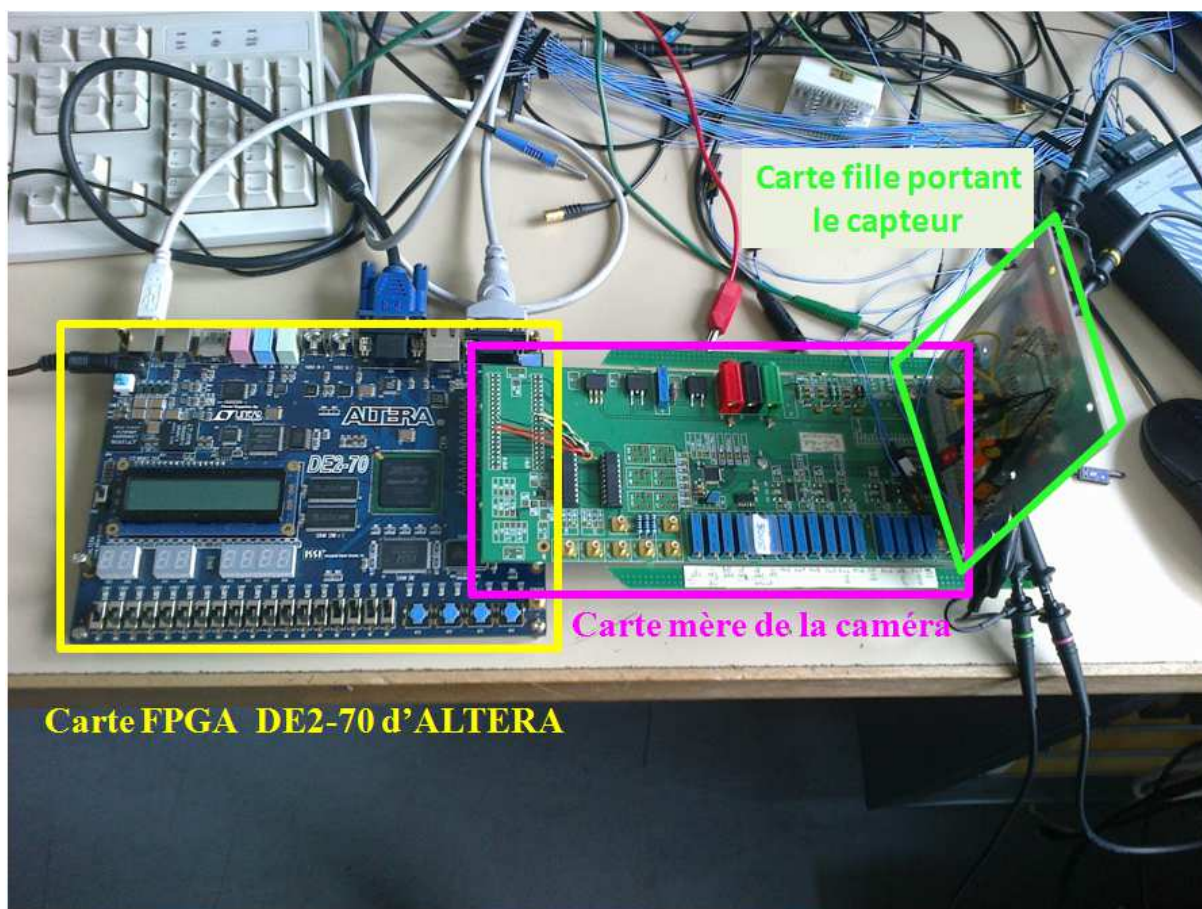


Figure 4.19 : Photo de la caméra utilisée pour tester le circuit prototype

V.10. Résultats expérimentaux du circuit IMADEM

La caractérisation électro-optique complète du circuit « IMADEM » ne pouvant pas être accomplie à cause d'un manque de matériels, un test global de fonctionnalité a été effectué.

Considérons, par exemple, les images A et B de la figure 4.20. Ces deux images sont extraites du capteur et illustrent un objet un mouvement qui change de position entre l'image A à l'image B. Les images M_A et M_B sont les images moyennes successives de A et B extraites aussi de l'imageur. La technique de lecture étudiée consiste à mettre à jour les pixels appartenant à un bloc qui a changé de valeur moyenne d'une image à sa suivante. L'image C montre ces blocs à mettre à jour et l'image D est l'image résultante après cette mise à jour. Cette image doit, en principe, être la plus proche possible de l'image B. Pour estimer cette ressemblance le calcul du PSNR entre ces deux images a été fait, et un PSNR de 27 dB a été évalué. D'un autre côté, un taux de réduction de presque 50% du flot de données dans ce cas d'étude a été trouvé.

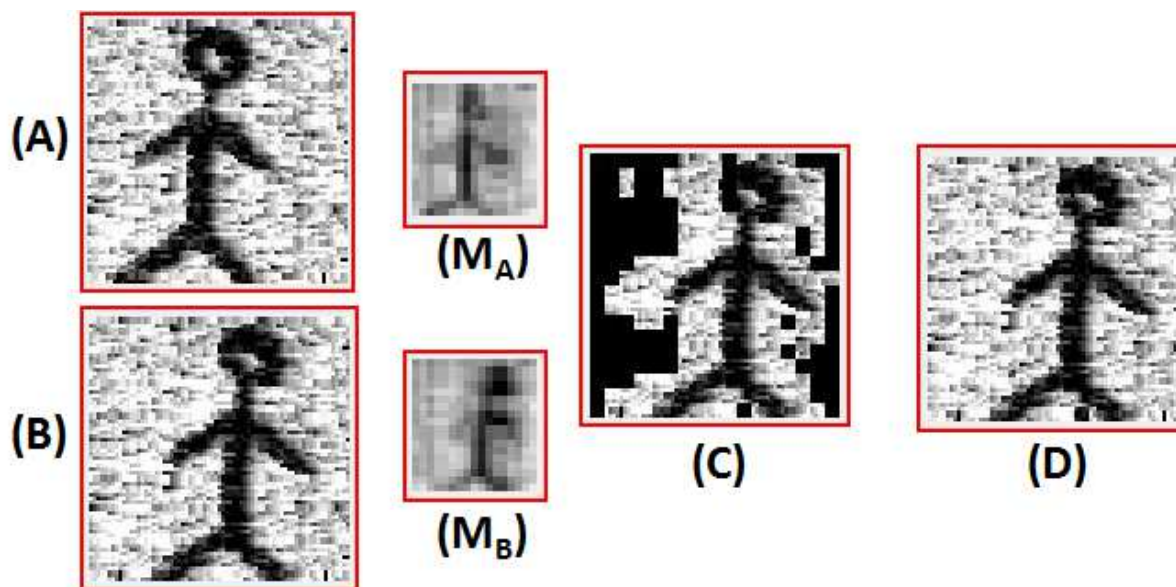


Figure 4.20 : Résultats expérimentaux de l'imageur IMADEM

Le circuit IMADEM implémentant une matrice de pixel à fonctionnement logarithmique amélioré, souffre d'une grande dispersion technologique. De plus, la taille de l'imageur limite les mises en scène que nous pouvons filmer. En dynamique de sortie, nous avons obtenue 300 mV au lieu des 480 mV attendus.

VI. Application au pixel linéaire

Un des avantages principaux de cette méthode de lecture est le fait qu'elle n'est pas limitée à un seul type de pixel. En effet, la fonction de moyennage peut être effectuée non seulement par un pixel dont le fonctionnement est continu, mais on peut aussi l'obtenir avec le transfert de charges entre

plusieurs capacités et donc en utilisant des pixels à intégration standard. Ainsi, faut-il utiliser l'architecture du pixel à capture instantanée (« Global shutter ») qui implémente un système d'échantillonnage blocage ; une version améliorée de cette architecture a été développée dans notre groupe de recherche. Plus de détails concernant ce circuit sont donnés plus tard, dans des paragraphes suivants.

VI.1. Pixel à capture instantanée

Ce pixel fonctionne en mode d'intégration linéaire en fonction du temps. Un mode de capture instantanée est adopté, dans la littérature ce mode de capture prend d'autres noms tels que « Electronic Shutter », « Global Shutter » ou « Snapshot ». Ce mode consiste à capturer toute l'image en même temps et à la mémoriser au sein des pixels, à l'aide d'un échantillonneur bloqueur intégré par pixel, en attendant leur lecture. Ce mode est implémenté lorsque le capteur doit pouvoir acquérir des images dans des conditions particulières, telles que :

- des objets en mouvement à grande vitesse,
- une acquisition synchrone,
- un temps d'acquisition très court, typiquement lors d'impulsions lumineuses.

Dans notre cas, on a besoin de faire une opération de moyennage sur un bloc de pixels ce qui nécessite la présence simultanée des informations lumineuses de tous les pixels du bloc.

VI.2. Les pixels « global shutter » à quatre transistors

Les pixels les plus simples implémentant ce mode de capture présentent une architecture à 4 transistors [Aw96], [Hosticka03]. Le transistor M3 (figure 4.21) sert d'interrupteur et permet d'isoler le nœud de stockage.

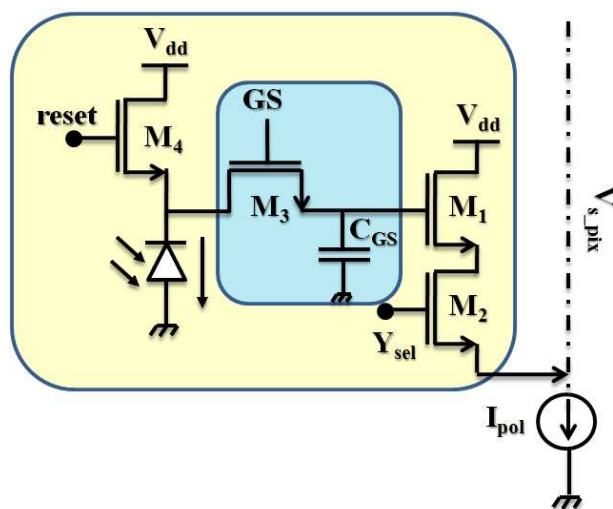


Figure 4.21: Schéma du pixel à "global shutter" à quatre transistors

L'acquisition d'image se déroule en trois phases :

- 1. la phase d'initialisation** : ou phase de reset, la photodiode et le noeud de stockage sont initialisés, les transistors M3 et M4 sont passants et le transistor M2 est bloqué permettant d'isoler les pixels de la chaîne de lecture ;
- 2. la phase d'exposition** : l'interrupteur GS (« global shutter ») est passant, le signal de la photodiode est directement transmis au noeud de stockage, les transistors M4 et M2 sont bloqués ;
- 3. la phase de lecture** : l'interrupteur « global shutter » s'ouvre, permettant d'isoler le noeud de stockage, les transistors M4 et M3 sont bloqués, le transistor M2 devient passant quand la ligne est sélectionnée pour être lue ;

Cependant, cette architecture présente des limites. Le signal stocké dans la capacité C_{GS} est en effet dégradé par plusieurs phénomènes :

- un courant de fuite à travers la source du transistor GS ;
- l'injection de charges lors des commutations du transistor GS, causant du bruit et des décalages en tension du signal stocké. Notons que ces injections de charges sont dues à l'utilisation de l'architecture la plus basique des interrupteurs CMOS composé d'un seul transistor pour des raisons de limitation en termes de surface.
- l'intégration de charges photo générées au sein de la capacité C_{GS} , dû à une protection insuffisante de ce noeud contre la lumière ;
- la collecte par ce noeud de stockage C_{GS} , via le substrat, de charges photo générées.

VI.3. Les pixels « global shutter » à cinq transistors

D'autres architectures ont été présentées par [Chapinal_99], [Bloss_00], [Morel_04] et [Tanner_04]. Elles permettent notamment une initialisation du noeud de stockage (figure 4.22).

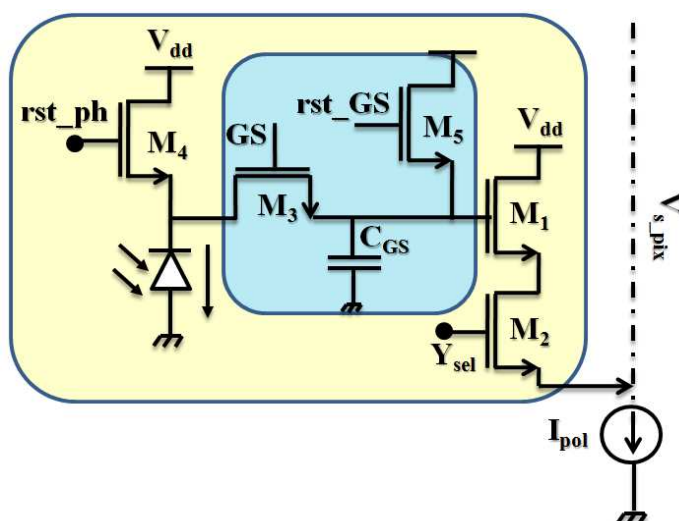


Figure 4.22 : Schématique d'un pixel à "global shutter" à cinq transistors

L'opération de lecture de ce type de pixel se décompose en cinq phases :

1. **L'initialisation de la photodiode** : la photodiode est préchargée à V_{dd} (signal rst_ph actif, M_4 passant), les interrupteurs M_3 et M_5 sont ouverts ;
2. **L'intégration** : le transistor d'initialisation de la photodiode M_4 devient bloqué, les interrupteurs M_3 et M_5 restent eux aussi bloqués, le phénomène d'intégration est ainsi présent seulement sur la cathode de la photodiode ;
3. **L'initialisation du noeud de stockage** : le transistor M_5 se met à conduire en mode passant, permettant à la capacité de stockage de se précharger à V_{dd} , les transistors M_4 et M_3 restent bloqués ;
4. **L'échantillonnage du signal de la photodiode sur le noeud de stockage CGS** : le transistor M_5 est bloqué, l'interrupteur « global shutter » M_3 devient passant ;
5. **Le stockage et la lecture** : le signal stocké dans la capacité CGS est isolé (le transistor M_3 est bloqué), le signal est lu quand la ligne est sélectionnée (signal « Y_{sel} » actif).

VI.4. Pixel « global shutter » à moyennage

Pour appliquer notre technique de lecture au pixel linéaire à intégration, nous avons utilisé le principe du pixel à capture instantanée à cinq transistors sous une forme adaptée au moyennage. En effet, cet imageur comporte un cœur composé d'une matrice 128×128 macro-blocs, chacun de ces

blocs est formé par 4 pixels connectés entre eux ce qui fait au total une matrice de 256x256 pixels élémentaires. L'architecture de ce pixel est donnée dans la figure 4.23.

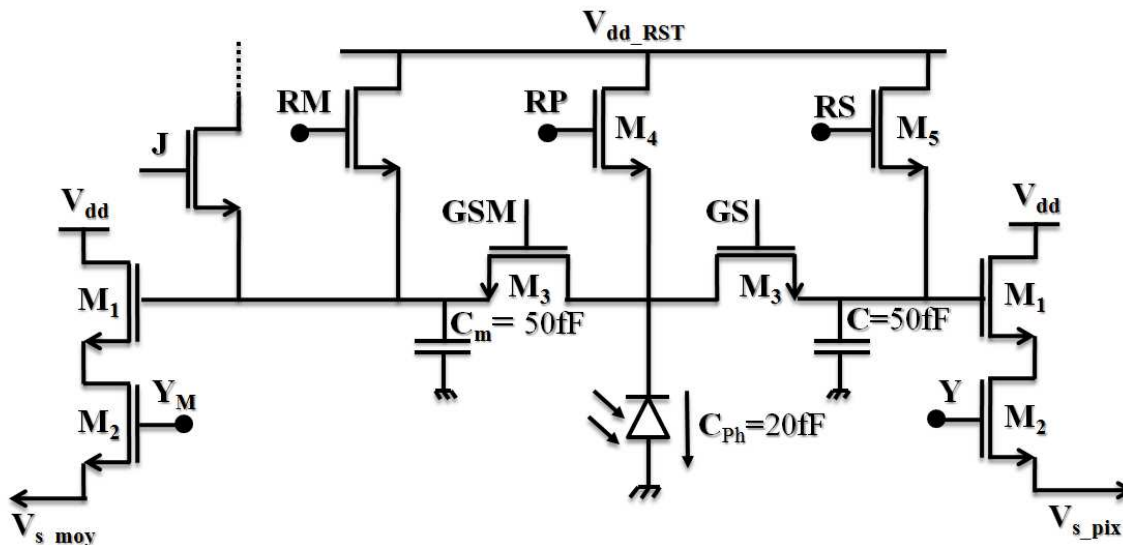


Figure 4.23 : Schématique du pixel linéaire à moyennage

Dans ce pixel, le transistor GS et la capacité C servent d'échantillonneur bloquant dans lequel la valeur du signal lumineux local du pixel est stockée, tandis que le transistor GSM et la capacité Cm sont utilisés pour effectuer le moyennage des signaux lumineux d'un bloc, par transfert de charges à travers les transistors J de chaque pixel du bloc, et de même, pour stocker cette valeur moyenne en attendant sa lecture. En effet, du point de vue fonctionnement élémentaire, ce pixel revient à l'architecture « Global Shutter » à 5 transistors, expliquée précédemment.

Les transistors RP et RS et RM servent à initialiser respectivement la capacité parasite de la photodiode avant que la phase d'intégration commence et la capacité C de stockage du signal. La deuxième partie du pixel se compose de l'échantillonneur bloquant de la valeur moyenne (GSM et Cm), du transistor d'initialisation du nœud de stockage de la moyenne, ainsi que d'un transistor J qui est connecté à ses similaires dans les autres pixels du bloc. A la grille du transistor RP arrive un signal d'initialisation pouvant prendre deux valeurs, la première est la tension d'alimentation vdd de la matrice, et la deuxième est une tension basse mais non nulle afin de limiter la tension minimale que peut atteindre la valeur du signal lumineux dans le pixel parce qu'il a été observé que dans certains cas, la tension aux bornes de la photodiode V_{cat} pouvait même devenir négative entraînant un courant de fuite inacceptable pour les performances de rétention d'information exigées. D'ailleurs, l'amplificateur suiveur utilisé pour transmettre la valeur moyenne n'existe que dans un seul pixel par bloc. Ainsi, un bloc est composé de trois pixels appelés « join » et un pixel « suiveur » qui lui contient l'amplificateur suiveur transmettant la valeur moyenne au bus de lecture. La matrice est alors composée par la répétition et l'aboutement de ce bloc de quatre pixels comme le montre la figure 4.24.

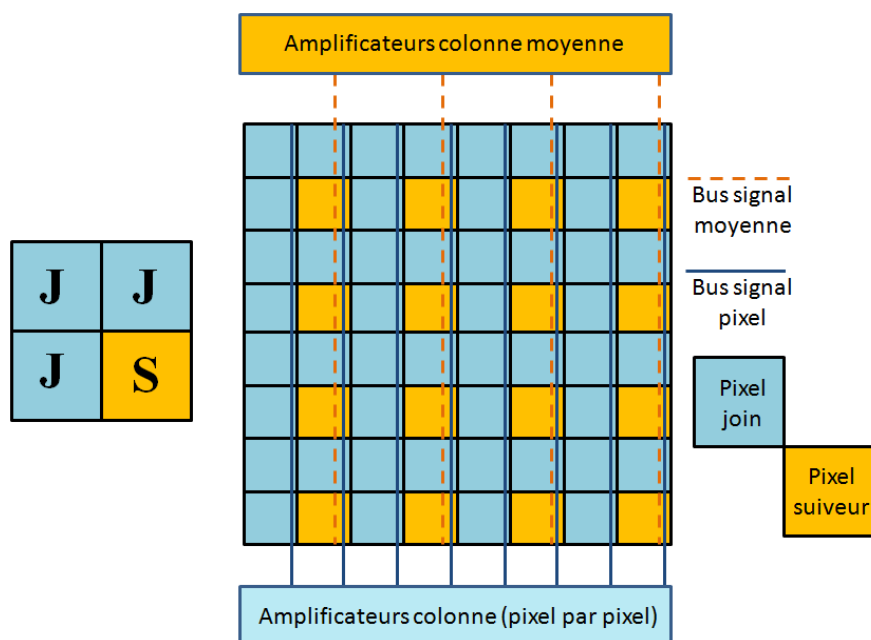


Figure 4.24: Schéma bloc de la matrice du projet CICA

Le circuit a été conçu avec un cahier de charges très strict limitant la surface du pixel à $15 \times 15 \mu\text{m}$ avec 8.5 transistors par pixels tous NMOS et deux capacités MOS contraignantes vis-à-vis du bruit injecté lors de l'échantillonnage et la dégradation du signal stocké au cours du temps d'un côté et la surface de silicium utilisé et le facteur de remplissage du pixel, de l'autre côté. La périphérie du circuit est standard, contenant des décodeurs, des amplificateurs colonne et des interrupteurs générant la tension d'anti-éblouissement.

VII. Résultats expérimentaux

Le circuit implémentant la matrice de pixel à « global shutter » et intégrant aussi la fonctionnalité d'extraction de la valeur moyenne par bloc de quatre pixels, a été entièrement conçu et fabriqué en technologie CMOS $0.35 \mu\text{m}$ d'Austria MicroSystem. Ce circuit devait nous permettre d'appliquer la boucle de traitement numérique installée sur la carte FPGA mais pour des raisons techniques (erreurs sur la carte de test du circuit) nous n'avons pas pu utiliser l'électronique numérique implémentée sur la carte FPGA. Pour remédier à ce problème, nous avons pris une séquence d'images avec les sous matrices de moyennes appropriées. Par contre, au lieu de faire une boucle de génération d'adresses en temps réel, nous avons récupéré une séquence d'images prise pour un objet en mouvement et avons fait le traitement sur MATLAB.

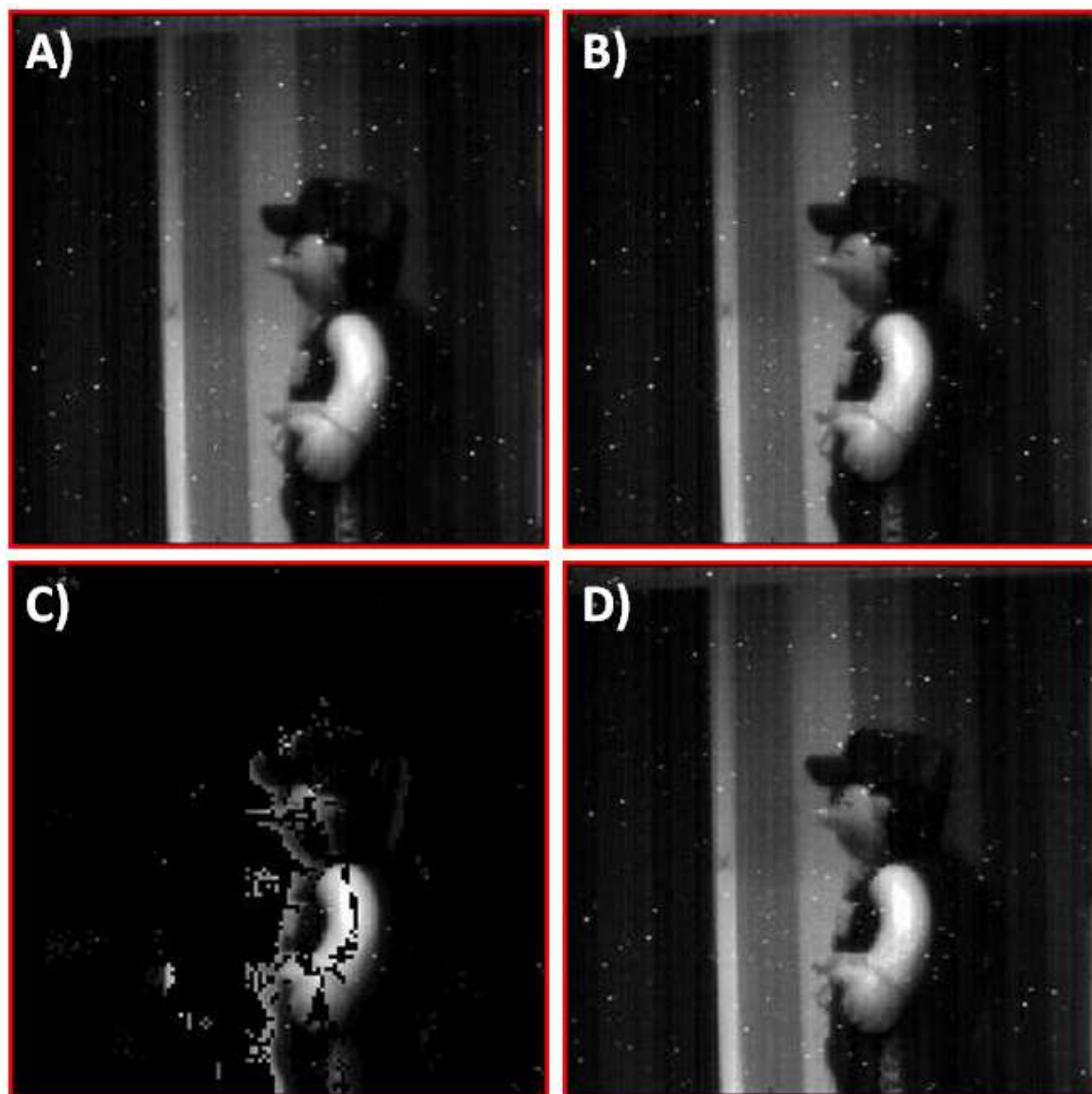


Figure 4.25 : Résultat expérimental de la technique de lecture appliquée à une matrice de pixels à intégration

L'image A de la figure 4.25, représente l'image de la scène à temps t . A $t+1$, dans une lecture séquentielle, l'image supposée être requise est nommée B. Alors, en comparant les différences de valeurs entre les sous matrices à une valeur de seuil modulable, nous avons retrouvé les adresses des macro-pixels qu'il faut entièrement lire. L'image C montre justement ces blocs entièrement lus et en noir ceux qui sont « redondants ». Une fois les adresses ciblés, les pixels élémentaires appartenant à ces blocs sont mis à jours dans l'image A. L'image résultante est nommée D. Cette dernière devant être la plus proche possible de l'image B, le calcul du PSNR entre ces deux dernières donne une valeur de 35dB, ce qui traduit une bonne ressemblance entre ces deux dernières. Un taux de réduction du flot de données de presque 90% est évalué sur cette scène.

VII.1. Conclusion

La technique de lecture que nous venons de présenter permet de réduire les redondances temporelles dans une séquence d'images. Elle consiste à distribuer la matrice de pixels en sous-blocs à résolution identique permettant l'extraction de leurs valeurs moyennes. Une fois que les valeurs moyennes des sous-blocs sont scannées, converties et comparées à leurs précédentes, les adresses des pixels appartenant à un bloc qui a changé de valeur moyenne sont alors envoyées aux décodeurs qui, à leur tour, génèrent les signaux correspondants permettant la lecture de ces pixels.

Un avantage important de cette technique de lecture est qu'elle est applicable à un pixel linéaire aussi bien qu'à un pixel logarithmique à simple ou double compresseur.

VIII. Détection de mouvement

Du point de vue traitement de l'information, on peut remarquer que cette technique de lecture est basée sur un simple algorithme de détection de mouvement. Elle effectue, en effet, une comparaison entre deux images successives ce qui signifie en quelque sorte, une soustraction de l'arrière plan de la scène ne transmettant, ainsi, que les informations des objets en mouvement pour être mis à jour dans la nouvelle image.

Cependant, une simple comparaison entre les deux images successives n'est pas vraiment suffisante pour détecter un mouvement et cela est dû à la présence de différents types de bruits variables dans le temps, l'un des principaux étant celui causé par la nature ondulatoire de la lumière des lampes (fréquence du secteur) traduite par une variation continue de la luminosité de la scène éclairée par la lampe. De ce fait, pour effectuer une bonne détection de mouvement, il faut préciser un seuil de variation à partir duquel cette variation est considérée comme mouvement. Ainsi, on propose d'implémenter dans notre algorithme de comparaison numérique, un seuillage sur la comparaison entre les deux images successives afin de pouvoir filtrer un certain niveau de bruit et mettre en œuvre une détection de mouvement. Ainsi, juste les variations ayant atteint le seuil de changement prédéfini sont considérées comme mouvements et mènent à la lecture complète des blocs concernés et à leur mise à jour dans la nouvelle image.

Notre système de vision « on chip » présente donc deux modes d'opération :

- Lorsque nous limitons le niveau de différence entre les valeurs moyennes à un seul bit ou en d'autres termes, à un seul niveau de gris, on effectue une lecture économique en termes de flot de données (>45% relative en fonction de l'activité de la scène) avec une bonne qualité d'image résultante (PSNR > 50dB).
- Le deuxième mode, qui peut trouver ses applications dans le monde de la vidéo surveillance par exemple, est celui de la détection de mouvement durant lequel le seuil de variation est haussé permettant ainsi de filtrer le bruit qui risque de causer une

fausse détection de mouvement. L'image résultante de ce mode présente une qualité dégradée mais par contre est transmise avec beaucoup moins d'informations émanant du capteur. C'est pour ces deux raisons là que la technique se trouve plus utile pour des applications industrielles que dans celles nécessitant une très bonne qualité d'images.

Par exemple, la figure 4.26 montre le résultat de simulation du modèle MATLAB de la technique de détection de mouvement. La résolution des images traitées est de 434x326 pixels, le bloc de moyennage a une taille de 4x4 pixels et le niveau du seuil de variation vaut 4. Nous obtenons une image dont le PSNR est de 44 dB avec un taux de réduction du flot de données de 91%. Ce résultat montre que nous sommes toujours dans le cadre d'une bonne qualité d'image avec un taux de DFR (Data Flow Reduction) élevé. La mise à jour de l'image n'est pas nécessaire dans tous les cas, la détection d'un mouvement peut être poursuivie par une classification de l'objet et un déclenchement d'une alarme. Ainsi, la réduction du flot de données sert comme étage de prétraitement bas niveau intégré au sein du capteur.

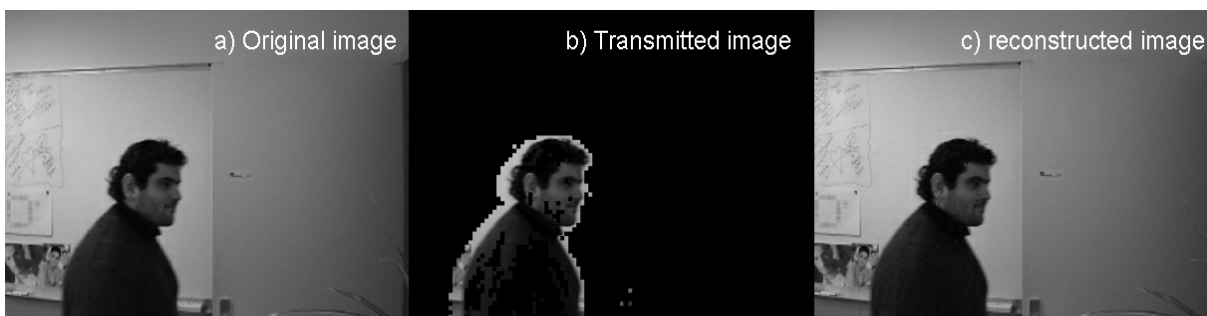


Figure 4.26: a) Image complètement transmise (lecture conventionnelle), b) une partie transmise de l'image par notre capteur en mode détection de mouvement, c) Image reconstruite après la mise à jour de la partie transmise.

Dans la conception d'un imageur implémentant cette technique de lecture, Il faut tenir compte de sa résolution pour pouvoir choisir les dimensions du bloc de moyennage idéal en l'émulant sur MATLAB. Aussi, faut-il considérer la qualité voulue de l'image en termes de PSNR, le taux d'informations perdues et le taux de DFR ciblé. Après avoir conçu et fabriqué le capteur, et selon l'application désirée, un autre degré de liberté nous semble utile pour pouvoir utiliser le circuit en mode de détection de mouvement, c'est celui du seuil de variation.

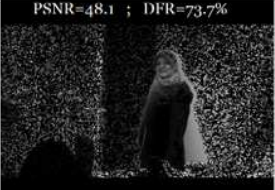
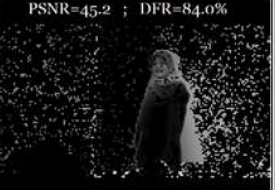





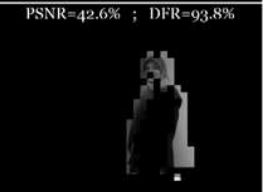








Nxn seuil	2x2	4x4	8x8	16x16
2	PSNR=48.1 ; DFR=73.7% 	PSNR=45.2 ; DFR=84.0% 	PSNR=44.3 ; DFR=88.7% 	PSNR=43.9 ; DFR=89.2% 
4	PSNR=44.4 ; DFR=93.1% 	PSNR=43.6 ; DFR=94.4% 	PSNR=43.3 ; DFR=94.1% 	PSNR=42.6 ; DFR=93.8% 
8	PSNR=43 ; DFR=96.1% 	PSNR=42.4 ; DFR=96.1% 	PSNR=42 ; DFR=95.7% 	PSNR=41.3 ; DFR=95.5% 
16	PSNR=41.2 ; DFR=97.5% 	PSNR=40.9 ; DFR=97.5% 	PSNR=40.3 ; DFR=97.5% 	PSNR=40 ; DFR=97.1% 

Figure 4.27: Tableau montrant comment varie l'image résultante en fonction de la taille du bloc et du seuil de variation

La figure 4.27 montre, en deux dimensions, le type d'images que l'on peut obtenir en fonction de la taille du bloc de moyennage et du niveau du seuil de variation. Le PSNR ainsi que le taux de DFR sont donnés sur chacune des images ; le premier est compris entre 40 et 48 dB alors que le DFR varie de 73 à 97% de la taille de l'image. Le choix de la taille du bloc est effectué par le concepteur en fonction des spécifications désirées de l'application. Par contre, le seuil de détection est modulable par l'utilisateur du capteur ce qui est un point de liberté très important.

IX. Conclusion

Dans ce chapitre, nous avons présenté une nouvelle technique de lecture des imageurs CMOS. Le principe de fonctionnement et les détails de conception ont été expliqués et détaillés. Notre méthode de lecture vise réduire le flot de données sortant du capteur et transmis tout au long du chemin numérique pour arriver à l'étape de traitement. Tout en se basant sur le principe de réduction des redondances temporelles dans une séquence vidéo, ce mode de lecture présente plusieurs avantages ; le premier est le taux élevé de réduction du flot de données tout en gardant une bonne qualité de l'image, le deuxième est celui de la détection de mouvement, le troisième est sa non limitation à un seul type de pixel. En effet notre technique de lecture est applicable au pixel linéaire

aussi bien qu'au pixel à réponse logarithmique. Nous avons détaillé dans les paragraphes précédents les designs des pixels sur lesquels nous avons appliqué notre mode de lecture.

En conclusion, les résultats obtenus montrent des images dont le PSNR est supérieur à 40 dB et un taux de réduction du flot de données pouvant atteindre 100% pour des scènes statiques et 90% pour une scène contenant un objet en mouvement. Le coût en nombre de composants par pixel et en surface de silicium est très limité en comparaison avec les travaux présents dans la littérature.

Chapitre 5: Détection des événements dans les imageurs CMOS

<i>I. Introduction.....</i>	<i>118</i>
<i>II. Problématique de la technique de réduction des redondances temporelles ...</i>	<i>118</i>
<i>III. Conception du circuit détecteur d'événement.....</i>	<i>119</i>
<i>IV. Simulation de la technique proposée.....</i>	<i>121</i>
<i>V. Architecture globale de la technique de lecture proposée.....</i>	<i>123</i>
<i>VI. Layout Full custom d'un macro-bloc.....</i>	<i>125</i>
<i>VII. Résultats expérimentaux.....</i>	<i>126</i>
<i>VIII. Exploration du circuit détecteur d'événement dans la réduction des redondances spatiales</i>	<i>127</i>

I. Introduction

Dans les chapitres précédents nous avons développé deux techniques de lecture des imageurs CMOS. Ces deux techniques sont basées sur le principe de réduction des redondances dans les scènes d'une séquence vidéo. Il existe deux types principaux de redondances ; les redondances spatiales présentes dans une même trame de la séquence vidéo et les redondances temporelles qui existent entre deux trames successives. Les techniques de lecture proposées reposent principalement sur la comparaison entre deux pixels voisins (réduction des redondances spatiales) et la comparaison des valeurs moyennes entre deux trames successives (réduction des redondances temporelles.). Bien que ces deux techniques soient efficaces au niveau réduction du flot de données en sortie du capteur elles pourraient être améliorées si elles avaient la possibilité d'implémenter des blocs analogiques permettant la détection d'un événement spatial ou temporel en continu. Ceci signifie de ne plus avoir besoin de mémoires RAM pour la réduction des redondances temporelles et de pouvoir effectuer une détection des événements spatiaux verticaux aussi bien que ceux horizontaux.

Dans ce chapitre, nous allons introduire le circuit détecteur d'événement et son application dans chacune des deux techniques de réduction des redondances spatiales et temporelles que nous avons développées précédemment. Le principe de fonctionnement de ce bloc analogique, ses applications ainsi que les résultats de simulation et de mesures seront détaillés au long de ce chapitre.

II. Problématique de la technique de réduction des redondances temporelles

Dans le chapitre précédent, nous avons développé la technique de réduction du flot donnée en sortie du capteur. Dans ce but, nous avons eu recours au principe de distribution de la matrice en sous blocs. Chacun de ces macro-pixels génère la valeur moyenne des intensités lumineuses incidentes. La sous matrice des moyennes de chaque trame est alors converties et sauvegardée dans des mémoires numériques implémentées « on-chip ». L'étape suivante est de comparer chaque sous matrice à la précédente afin de générer les adresses des pixels appartenant à des blocs qui ont changé de valeur moyenne.

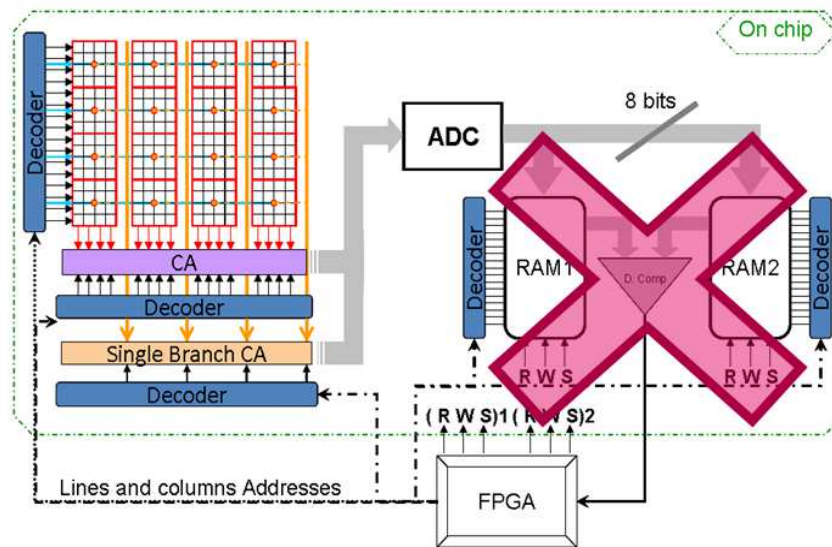


Figure 5.1 : schéma bloc de la technique de moyennage

Il s'avère qu'en implémentant des mémoires numériques ainsi que l'électronique de comparaison et de contrôle sur puce, à côté du capteur, nous consommons plus de surface sur le silicium. Pour remédier à cela, nous proposons d'implémenter à l'intérieur de chaque bloc, un détecteur d'événement qui détecte une variation sur la valeur moyenne du bloc. Les sorties de ces détecteurs d'événement sont ensuite transmises à un circuit encodeur, qui lui, traite ces informations et contrôle la génération des adresses des pixels. De ce fait, en adoptant cette technique de lecture, nous évitons la lecture, la conversion et la sauvegarde de la sous matrice des valeurs moyenne de chaque image avec tout ce que ceci veut dire en termes de consommation de puissance et de surface de silicium.

III. Conception du circuit détecteur d'événement

Le circuit détecteur d'événement, intégré au sein du pixel, se doit d'être un circuit très basique et simple de fonctionnement. Son principe repose sur la loi de conservation de charges dans le condensateur. Comme le montre la figure 5.2, le détecteur d'événement est composé essentiellement d'un bloc comparateur, d'une capacité et d'un interrupteur analogique adapté.

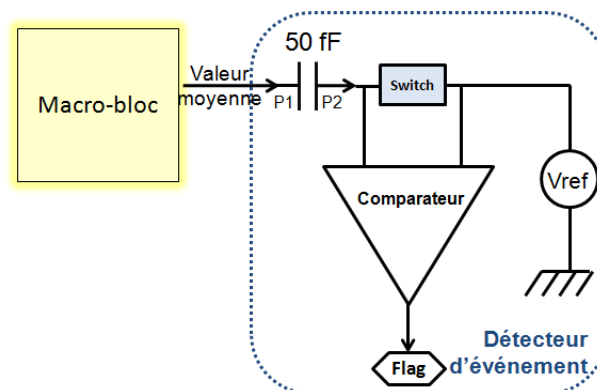


Figure 5.2 : schéma bloc du circuit détecteur d'événement

En effet, ce circuit génère en sortie une alarme (flag) qui est, en réalité, un signal numérique indiquant un changement sur la valeur moyenne des luminosités acquises par le macro-bloc de pixels. Rappelons que dans le cas des pixels à mode d'opération logarithmique, cette valeur moyenne est générée d'une façon continue dans le temps. Alors, lorsque l'interrupteur analogique est passant, la différence de potentiel aux bornes de la capacité est donné par $V_{cap} = V_{p1} - V_{p2} = V_{moy} - V_{ref}$. Les deux entrées du comparateur sont ainsi interconnectées et le « flag » est à l'état bas (zéro logique) nous indiquant, ainsi, une égalité. Maintenant, lorsque le « switch » devient bloqué, la capacité voit son électrode P2 devenir flottante et aucun transfert de charge ne peut se faire. Dans ce cas, les charges dans ce composant sont conservées et la tension V_{cap} garde une valeur constante. Une variation ΔV sur la tension V_{moy} est alors directement transmise sur la lame P₂ de la capacité.

Pour détailler, si à un instant t+1 on a

$$V_{moy}(t+1) = V_{moy}(t) + \Delta V, \tag{Eq. 5.1}$$

la tension V_{cap} doit rester constante alors :

$$V_{cap} = V_{p1}(t+1) - V_{p2}(t+1) = (V_{moy} + \Delta V) - V_{p2}(t+1) = V_{moy} - V_{ref} = cte \Rightarrow$$

$$V_{p2}(t+1) = V_{ref} + \Delta V \tag{Eq. 5.2}$$

Cette variation ΔV est transmise à la lame P₂ du condensateur. Si elle excède le seuil de détection du comparateur, ce dernier réagit et bascule sa sortie à un niveau haut (1 logique). C'est à ce moment là qu'on déclare un événement sur la tension d'entrée de ce bloc qui, dans notre cas, est la tension moyenne des intensités lumineuses du bloc. Le comparateur utilisé pour effectuer cette opération est un comparateur à hystérésis, déjà présenté dans le chapitre 3. Sa schématique est re-montrée à la figure 5.3.

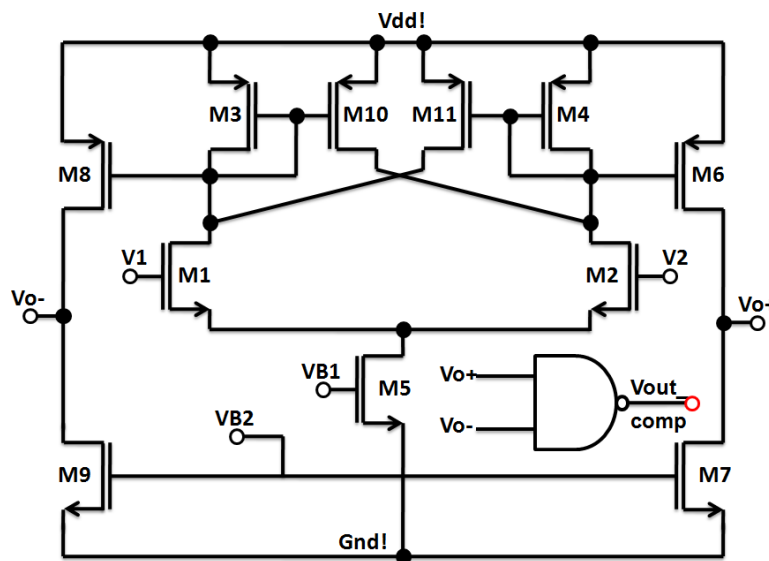


Figure 5.3 : schématique du comparateur utilisé dans le détecteur d'évènement

Dans ce circuit, les transistors M_{10} et M_{11} créent une boucle de rétroaction positive qui, outre l'introduction de l'hystérésis, rend la réponse du comparateur plus rapide.

IV. Simulation de la technique proposée

Les résultats de simulation de cette technique sont illustrés dans la figure 5.4.

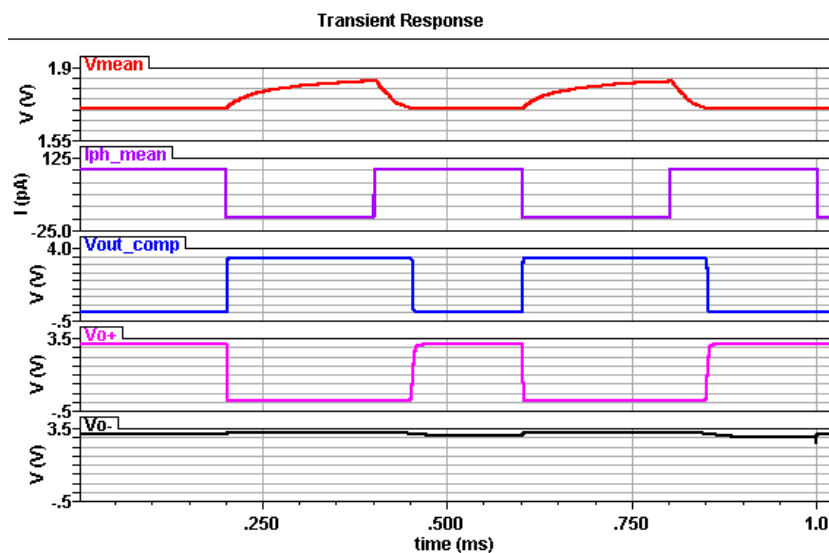


Figure 5.4 : Résultat de la simulation transitoire d'un macro- bloc avec le détecteur d'événement

En fait, cette figure représente le résultat d'une simulation transitoire dans laquelle le signal I_{ph_mean} représente l'intensité moyenne des courants photogénérés d'un bloc, V_{mean} est la valeur de la tension résultante de la conversion logarithmique courant tension effectuée par les compresseurs logarithmiques des pixels. V_{o+} et V_{o-} sont les sorties différentielles du comparateur et enfin le signal $V_{out_comp} = \overline{(V_{o+} \& V_{o-})}$ qui est requis en sortie d'une porte NAND logique. Ce signal est l'alarme de sortie, du détecteur d'événement, dont nous venons de parler. Il sert à contrôler dans les étapes ultérieures la génération des adresses des pixels qui doivent être lus et mis à jour. Au niveau consommation de puissance, ce circuit ne peut pas être considéré comme gourmand, sa consommation est limitée à quelques dizaines de micro Ampère avec une tension d'alimentation de 3,3V. Finalement, les simulations en variabilité (corners) montrent que ce circuit jouit d'un bon niveau de robustesse envers les dispersions et les variations de fabrication attendues.

Ce circuit permet de détecter des petites variations dont les valeurs correspondent au bit du poids le plus faible du signal numérique. En effet, cette précision est due à l'adoption d'une architecture d'interrupteur analogique permettant de compenser tous les effets indésirables de commutation, surtout le fait d'avoir une injection de charges dépendante de la tension en entrée de l'interrupteur. En effet, la tension en entrée de ce commutateur est une tension de référence constante et bien définie dès le début de la conception. Ainsi, nous avons pu adapter le dimensionnement de la porte de

transmission et du transistor fantôme aux valeurs qui conviennent bien à cette tension de référence. La figure 5.5 montre le niveau de précision qu'on peut atteindre avec ce circuit.

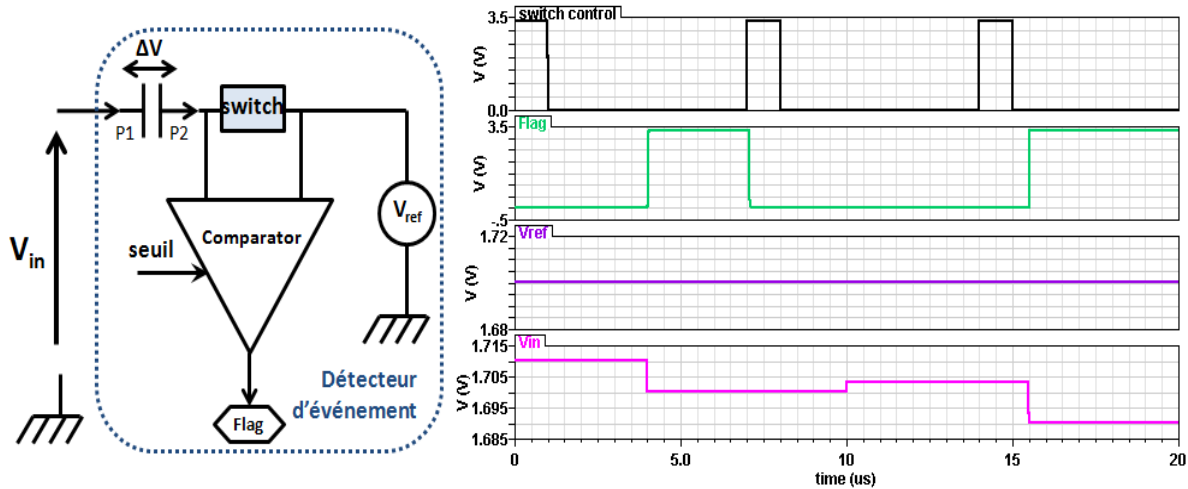


Figure 5.5 : simulation transitoire du détecteur d'événement montrant le niveau de précision du circuit

Dans cette figure, le signal « switch_control » est le signal de commande de l'interrupteur actif à niveau haut. On voit aussi, le signal d'entrée V_{in} qui varie dans l'intervalle de tension compris entre 1.71 et 1.69 V.

Au début de la simulation ($t = 0 \mu s$), le signal de commande de l'interrupteur est mis à un état haut, permettant ainsi un échantillonnage du signal d'entrée. Une fois l'interrupteur bloqué, à $t = 1 \mu s$, toute variation excédant la valeur du seuil du comparateur est détectée, comme on le voit à $t = 4 \mu s$ où la sortie « flag » du bloc passe à un niveau haut indiquant alors la détection d'une variation sur le signal d'entrée. Ce signal garde son niveau haut soit jusqu'à ce que le signal d'entrée reprenne sa valeur initialement échantillonnée dans la capacité soit si la charge électrique conservée dans la capacité est réinitialisée à une nouvelle valeur par le passage du signal de contrôle de l'interrupteur de nouveau à un niveau haut, comme on le voit à $t = 7 \mu s$. Concernant la variation qui se produit sur V_{in} à $t = 10 \mu s$, on peut déduire qu'elle ne déclenche pas le flag du circuit parce qu'elle est d'une valeur de 3mV inférieure au seuil de détection du bloc.

Il faut donc signaler à ce niveau que l'une des caractéristiques les plus importantes du comparateur utilisé est celle de la possibilité de moduler le seuil de comparaison en manipulant la tension de polarisation qui correspond à une modification du gain de ce circuit. La simulation DC du comparateur montre cette aptitude de modulation du seuil. Le résultat de cette simulation est illustré dans la figure 5.6

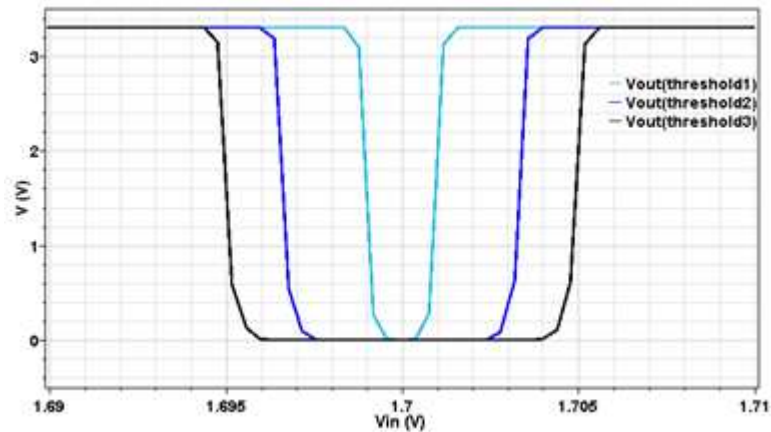


Figure 5.6 : Simulation DC paramétrique du comparateur

Cette caractéristique de seuillage, avec une valeur de seuil modulable, nous semble profitable si on prévoit l'utilisation de cette technique proposée dans le mode de détection de mouvement. Ce mode d'opération est très intéressant pour des applications de surveillance, de sécurité et d'autres applications industrielles.

V. Architecture globale de la technique de lecture proposée

L'architecture globale de la technique de lecture proposée, utilisant le principe de détection d'événements sur les valeurs moyennes de luminosité par bloc de pixels, est illustrée dans la figure 5.7.

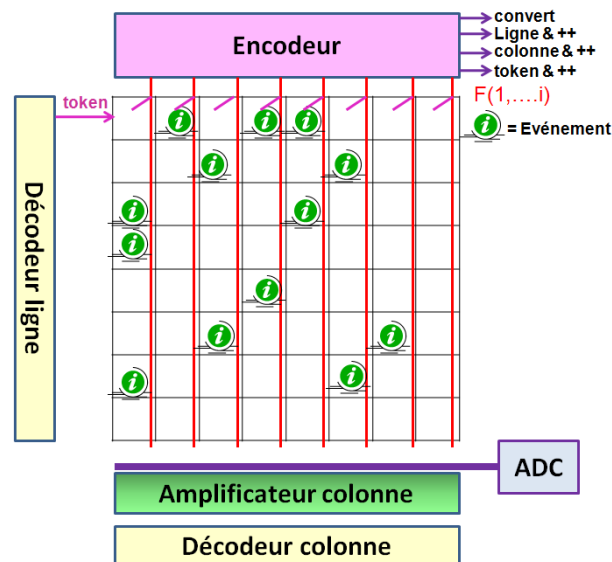


Figure 5.7 : diagramme bloc de la technique de lecture proposée

Cette technique de lecture vise la réduction du flot de données en sortie du capteur de vision en détectant les éventuelles variations sur les moyennes des blocs composés de plusieurs pixels

interconnectés. Comme déjà dit, juste les blocs qui présentent une variation de valeur moyenne entre deux trames successives sont ensuite adressés, scannés et mis à jour dans l'image en cours d'acquisition. Dans chacun de ces blocs, on implémente un détecteur d'événement qui envoie en sortie un flag numérique indiquant la présence ou pas d'une variation sur la valeur moyenne des luminosités incidentes dans ce bloc. Le décodeur ligne génère séquentiellement un signal « token » commun à toute une ligne de macro-bloc. Ce signal permet de communiquer les flags de sorties des détecteurs d'événements aux bus colonne et ces derniers les transmettent comme entrées à l'encodeur. Ce bloc est un circuit numérique qui implémente une simple machine à états finis montrée dans le graphe de la figure 5.8. Il possède plusieurs signaux de commande en sortie : « convert » est un ordre de conversion analogique numérique, « ligne&++ » et « colonne&++ » sont respectivement des ordres d'incréméntation de l'adresse ligne et de l'adresse colonne et finalement « token&++ » et un ordre d'incréméntation de l'adresse du signal token.

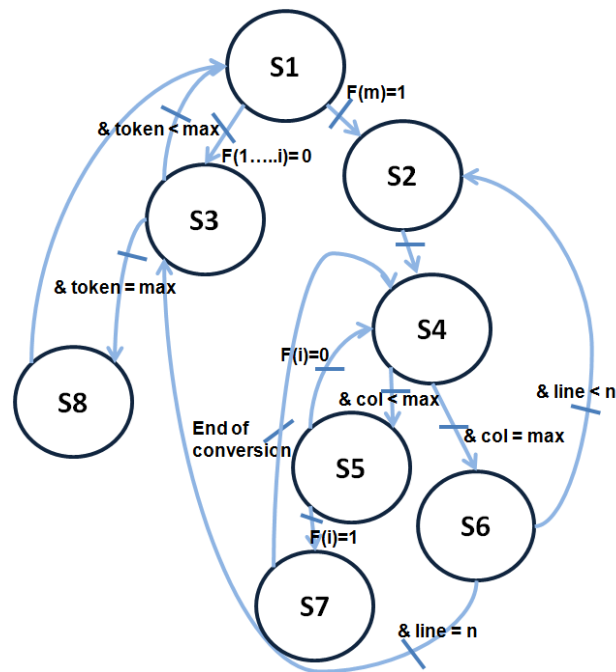


Figure 5.8 : Graphe d'états de la machine à états implémentée dans l'encodeur

Dans ce graphe, l'état S_1 est un état d'initialisation et d'attente. Quand le système est dans cet état, il examine s'il y a des événements sur la première ligne de macro-blocs, en d'autres termes, il examine le vecteur $F(0, \dots, i)$ de flags (vecteur de sorties d'une ligne de détecteurs d'événements). Si le vecteur est complètement nul, le système passe à l'état S_3 , où l'adresse du « token » est incrémentée (on passe à l'adresse suivante de sous blocs). Ensuite, l'adresse du « token » est examinée, si elle atteint sa valeur maximale, le système procède à l'état S_8 où l'adresse du « token » est réinitialisée, sinon, le système boucle sur l'état S_1 . Maintenant, si au moins, un bit du vecteur F vaut 1, le système passe à l'état S_2 . Dans cet état, un ordre est donné pour charger les amplificateurs colonnes, en notant que les adresses des lignes de pixels élémentaires sont générées à partir de l'adresse du « token », et les

adresses colonne sont déduites des adresses des bits de F qui sont à 1. Ensuite, le système procède à un état d'attente S_4 dans lequel, l'adresse colonne est incrémentée et testée. Quand elle arrive à sa valeur maximale, le système poursuit à l'état S_6 sinon, il passe à l'état S_5 et examine le flag de la colonne qui porte cette adresse. S'il a un niveau haut le système continue à l'état S_7 dans lequel l'ordre de conversion est donné au convertisseur analogique numérique, sinon, il boucle à l'état S_4 jusqu'à ce qu'il retrouve un flag actif (niveau haut) ou bien jusqu'à ce que l'adresse colonne atteigne sa valeur maximale. Dans ce cas, le système enchaîne à l'état S_6 où l'adresse ligne est incrémentée et testée si elle atteint ou pas sa valeur maximale locale (quatre ligne dans le bloc). Quand elle atteint sa valeur maximale locale, le système boucle sur l'état S_2 et ainsi de suite.

VI. Layout Full custom d'un macro-bloc

Un layout "full custom" d'un bloc composé de 16 pixels (4x4) interconnectés intégrant un détecteur d'événement a été conçu. La surface moyenne d'un pixel est de $17 \times 17 \mu\text{m}^2$ avec une photodiode étendue sur $36 \mu\text{m}^2$ ce qui donne un facteur de remplissage de 12.6%. Il faut noter que ce layout peut être optimisé pour gagner pas mal de surface. La figure 5.9 illustre ce layout, la zone délimitée en blanc en forme de croix au milieu du layout contient le détecteur d'événement. Un circuit prototype a été fabriqué en technologie CMOS $0,35 \mu\text{m}$ d'AMS. Il a, aussi, été testé électriquement.

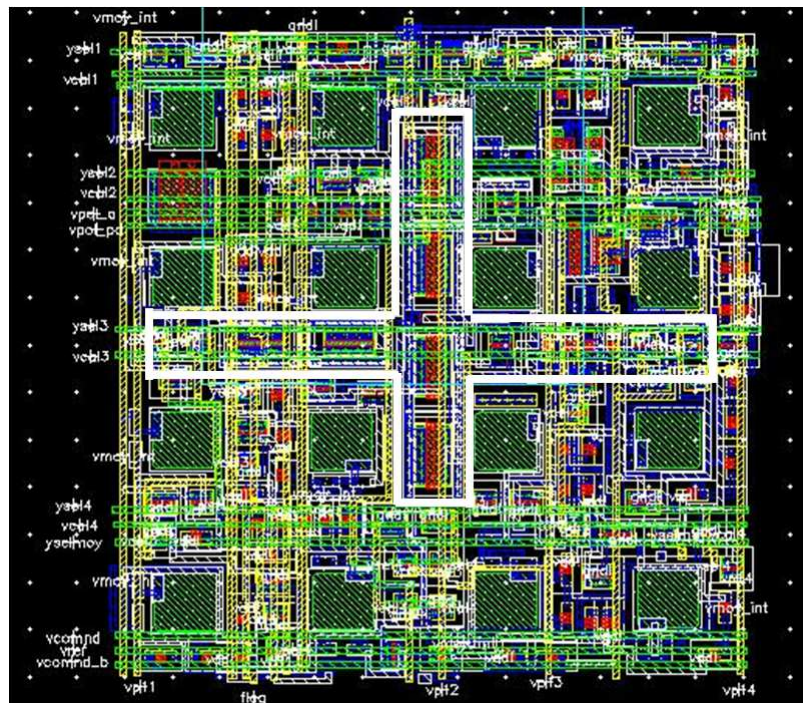


Figure 5.9: Layout d'un bloc de 4x4 pixels avec un détecteur d'événement conçu en Full custom

VII. Résultats expérimentaux

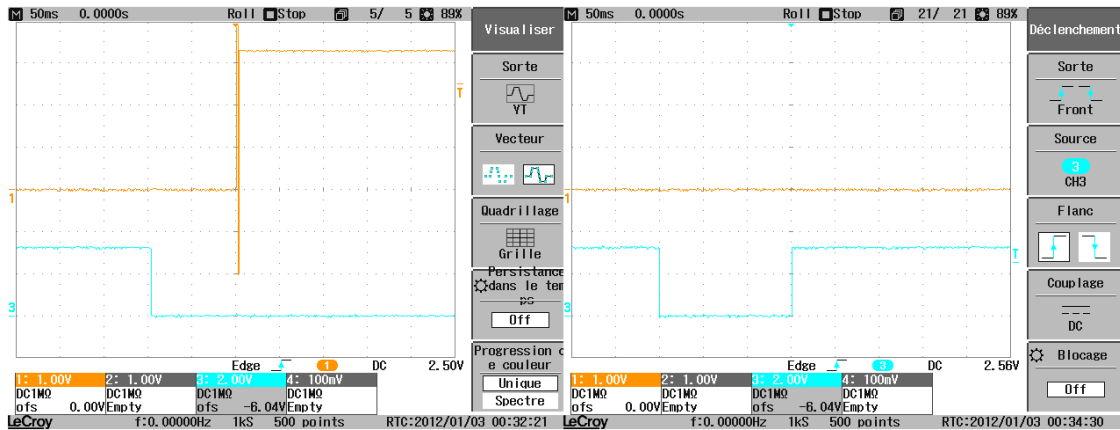


Figure 5.10 : résultats expérimentaux d'un bloc de pixel avec le détecteur d'événement

Les mesures expérimentales du circuit fabriqué en technologie CMOS 0,35 μ m d'AMS, montrent le bon fonctionnement de ce circuit. En effet, la figure 5.10 montre les résultats en sortie du détecteur d'événement (signal orange) ainsi que le signal de commande (signal bleu) de l'interrupteur analogique. Nous avons fait ces mesures en filmant une zone statique et en éclairant avec une lampe, après un certain temps (partie gauche de la figure). Lorsque l'interrupteur analogique est passant, la capacité échantillonne une valeur moyenne et dès que l'interrupteur devient bloqué, l'éclairage de la lampe se manifeste en sortie du détecteur par un basculement à un niveau haut. L'événement ainsi détecté est une variation sur l'illumination globale du bloc de pixels. A droite de la figure, une scène statique était filmée sans aucune variation sur l'éclairage et on remarque que le signal de sortie du détecteur d'événement indique par son niveau bas la constance de la valeur moyenne des luminosités incidentes sur les différents pixels du bloc. Sans l'occurrence d'aucun événement devant le capteur, et après avoir échantillonné la valeur moyenne, la capacité du détecteur commence à se décharger dans le substrat. Le temps de décharge que prend cette capacité pour atteindre le seuil de détection est de 8 secondes, ce qui est largement suffisant en comparaison avec le temps usuel de rafraîchissement de l'image du capteur (40 ms à 25 images/seconde).

VII.1. Conclusion

Dans les différents paragraphes de ce chapitre, nous avons présenté les différentes étapes de conception de simulation et de mesure d'un circuit détecteur d'événement. Ce circuit est utilisé dans la technique de lecture basée sur le principe de moyennage par bloc de pixels interconnectés, afin d'éviter l'implémentation des mémoires numériques sur puce côte à côte avec le capteur formé par la matrice de pixels. Cette technique représente une étape intermédiaire entre la lecture séquentielle et l'implémentation de la détection d'événements par pixel (AER conventionnelle).

VIII. Exploration du circuit détecteur d'événement dans la réduction des redondances spatiales

VIII.1. Introduction

A ce niveau, peu importe le type de pixel, qu'il soit linéaire ou logarithmique, nous allons pouvoir effectuer une lecture semi séquentielle à flot de données réduit en utilisant le circuit détecteur d'événement pour pouvoir remédier aux redondances spatiales ligne et colonne.

En effet, on propose de rajouter à l'architecture du système de vision, un bloc de détecteurs d'événement connecté d'une manière bien définie aux amplificateurs colonne. Ce bloc permet de détecter les événements spatiaux colonne aussi bien que les événements spatiaux ligne. Le schéma bloc de cette architecture est illustré dans la figure 5.11.

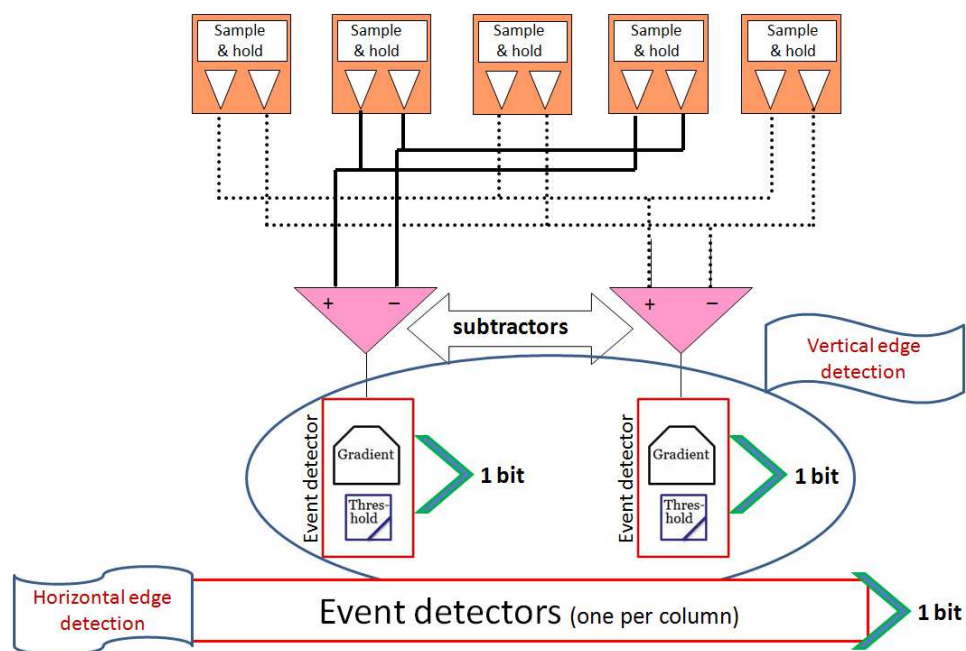


Figure 5.11 : schéma bloc de l'architecture de l'imageur implémentant la technique de réduction des redondances spatiales

Il faut noter, à ce stade, que le point le plus fort de cette technique est qu'elle laisse la circuiterie interne du pixel intacte, et intervient juste au niveau des amplificateurs colonne. Aussi, est-elle indépendante du type du pixel utilisé et peut être appliquée à des matrices de pixels linéaires et logarithmiques. En effet, après que les informations lumineuses et les valeurs de référence d'une ligne entière de pixels aient été échantillonnées et bloquées au niveau des amplificateurs colonne, une opération de NCDS est exécutée à l'aide des soustracteurs dans le but de corriger le bruit spatial fixe

FPN. Dans cette architecture, nous proposons de doubler les bus de sortie dans le but de sortir les informations de deux amplificateurs colonne en parallèle. Cela permet de gagner sur le temps de soustraction et de pouvoir ainsi effectuer directement l'opération de détection des événements spatiaux. Il faut noter que les événements spatiaux au niveau architectural de l'imageur, se traduisent par des contours sur l'image résultante. Dans notre architecture, les blocs détecteurs d'événement accomplissent dans un premier temps le calcul du gradient et après ce calcul, un seuillage de la valeur est effectué pour déclencher en sortie des signaux numériques. Ce type de calcul et de traitement se manifeste par une détection des contours dans une scène. Et comme nous avons les informations lumineuses extraites sur deux différents bus de sortie, la détection de contour vertical (événement sur les lignes) est lissée alors selon le masque de Prewitt $[-1 \ 0 \ 1]$ bien connu pour les traiteurs d'images.

VIII.2. Modélisation de la technique proposée sous MATLAB

Dans le but d'évaluer l'efficacité de la technique proposée en termes de réduction du flot de donnée et de détection de contour, nous avons développé le modèle de son architecture sous MATLAB. Cette modélisation a fait preuve de la capacité de cette technique à atteindre un taux élevé de réduction du flot de données (DRR). De même, la fonctionnalité de seuillage effectuée d'une façon analogique au niveau du bloc détecteur d'événement permet une meilleure détection de contour et du filtrage du bruit résultant de l'aspect granulaire de la lumière. Il faut noter que la valeur du DRR est relative et en relation directe avec le spectre de fréquences spatiales de la scène. La figure 5.12 montre une image, prise par une caméra commerciale, dans sa version originale (gauche) et sa version résultante après l'application de notre modèle (droite). Nous supposons qu'après l'implémentation sur silicium de la technique proposée, nous aurons la possibilité d'extraire des images binaires directement de la matrice sans convertir le signal analogique à travers le convertisseur analogique numérique.



Figure 5.12 : Image originale et résultante en sortie du modèle traité sous MATLAB

A ce stade, il faut indiquer que dans la figure 5.12, l'image résultante du traitement est binaire dans laquelle les pixels noirs sont ceux qui portent des informations différentes de leurs voisins droite et haut.

Cette figure montre un DRR de 67% avec un niveau de seuil de cinq niveaux de gris ce qui représente moins de 2% de la dynamique totale de sortie. Ceci nous semble assez satisfaisant et rentable en termes de gain en consommation et en vitesse de lecture. Le même modèle de traitement a été appliqué sur une autre image qui a une fréquence spatiale moins élevée (figure 5.13). Il en résulte un taux de réduction DRR de 87%. LA figure montre aussi l'aspect détection de contour accomplie par cette architecture de lecture proposée.

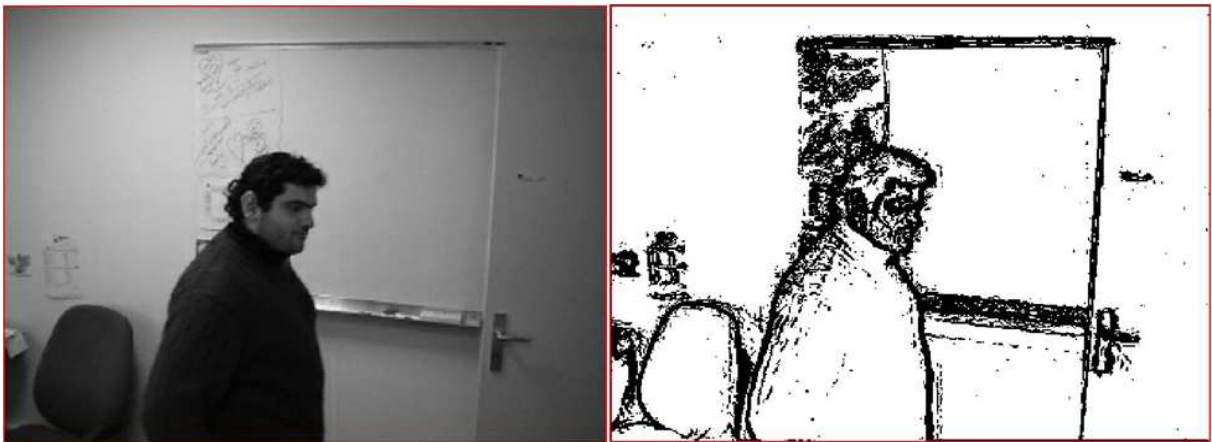


Figure 5.13 : image originale de faible fréquence spatiale (gauche) et image résultante du traitement par le modèle développé sous MATLAB

VIII.3. Conception des blocs analogiques

La conception du circuit détecteur d'événement a été expliquée et détaillée dans les paragraphes précédents, il reste à développer le positionnement de ces blocs et le fonctionnement général du système.

En effet, ces blocs analogiques implémentés au dessous des amplificateurs colonne consistent en deux soustracteurs permettant de corriger le bruit spatial fixe, deux détecteurs d'événements responsable de la détection des contours verticaux en effectuant le calcul et le seuillage du gradient horizontal ($\partial V_{ph}/\partial x$) et enfin d'une série de détecteurs d'événements, un par colonne, responsables de la détection des contours horizontaux en effectuant le calcul et le seuillage du gradient vertical ($\partial V_{ph}/\partial y$). A ce niveau, il faut rappeler que le fait d'avoir deux bus en sortie de l'imageur permet le lissage du gradient horizontal selon le filtre de Prewitt [-1 0 1]. Le schéma de l'architecture globale du système est illustré dans la figure 5.14.

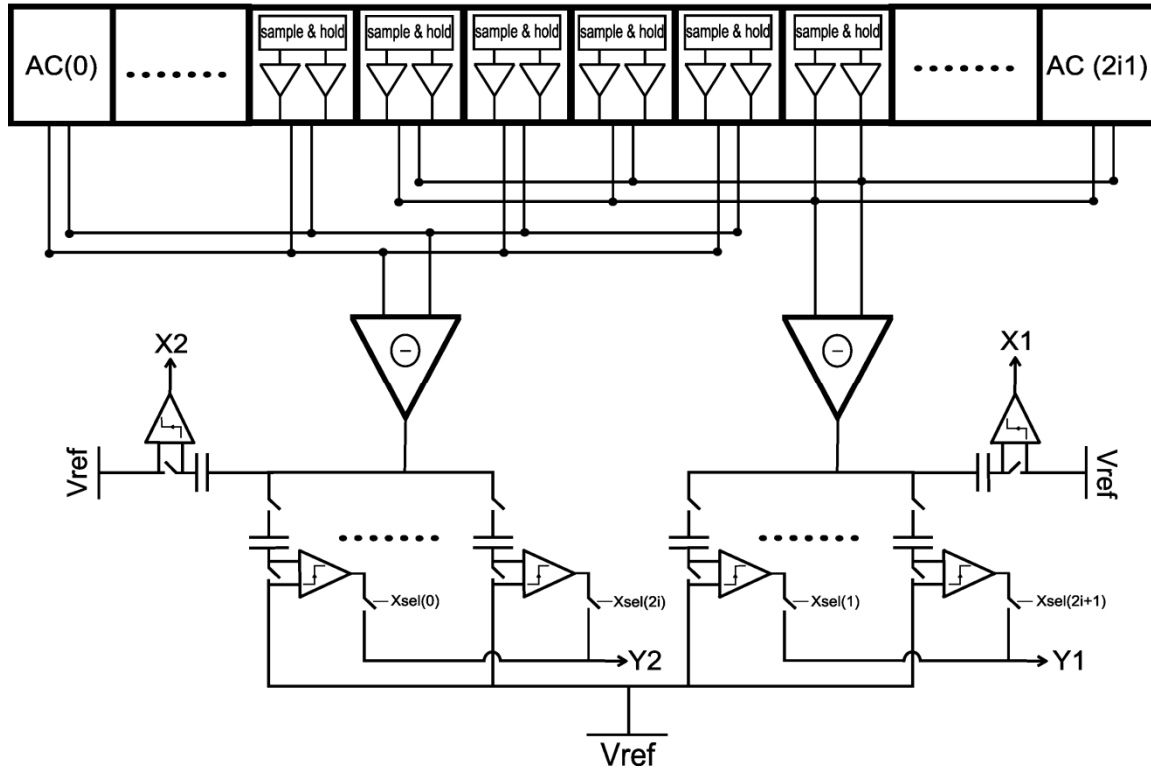


Figure 5.14 : schéma détaillé de l'architecture du système proposée

VIII.4. Simulation d'un banc de test de l'architecture entière

Un banc de test composé de six pixels avec leurs chaînes de lectures incluant les amplificateurs colonne, les deux soustracteurs et les détecteurs d'événements, a été entièrement simulé au niveau transistor afin de valider la fonctionnalité demandée par la méthode de lecture proposée. Le pixel utilisé est un pixel standard 3T à fonctionnement linéaire.

La figure 5.15 montre le résultat d'une simulation transitoire ; le signal O_2 est le signal en sortie du soustracteur représentant ainsi le signal lumineux à FPN corrigé. Dans cette simulation, nous avons supposé avoir un courant photogénéré dans le « pixel0 » différent de celui du « pixel2 » et du « pixel4 » comme le montre la figure 5.14. Les signaux « HE_clk » et « VE_clk » sont les deux signaux de contrôle des interrupteurs des blocs détecteurs d'événements. Le premier est utilisé pour contrôler les détecteurs des événements spatiaux ligne et ainsi les contours verticaux de l'image alors que le deuxième contrôle la détection des contours horizontaux. Le signal 'VE_clk_i' est actif lorsque les signaux 'HE_clk_i' et 'xsel_i' sont actifs. 'xsel_i' est le signal de contrôle de la lecture de l'amplificateur colonne 'i'. Comme le montre la figure 5.15, durant les intervalles 'φ', les signaux X2 et Y2 signalent respectivement la présence d'un contour vertical et horizontal. Par exemple, durant la sélection du 'pixel4', qui porte la même information lumineuse que son voisin gauche connecté au même bus de sortie « pixel2 » (lissage du contour selon le masque de Prewitt), le signal X2 se met à

un niveau bas (0 logique) indiquant alors l'égalité entre le « pixel4 » et son voisin gauche. Par contre, durant la sélection du « pixel2 », X2 prend un niveau haut (1 logique) indiquant, ainsi, la présence d'un contour vertical (différence entre les voisins sur une même ligne). Dans cette partie de la simulation, le signal Y2 est toujours à un niveau haut et ne passe à zéro que lorsque le détecteur d'événements est initialisé.

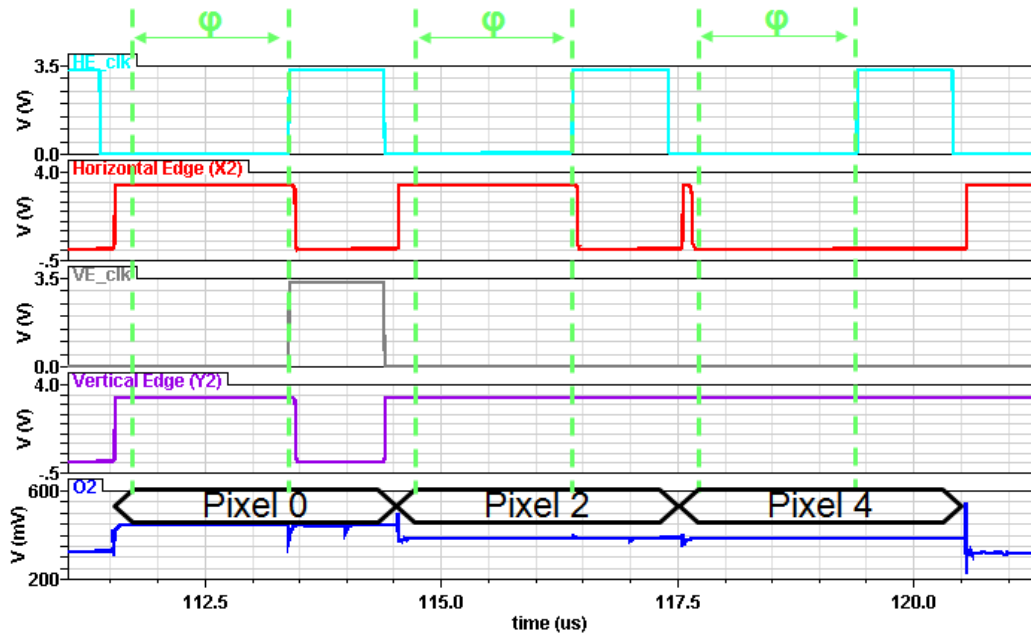


Figure 5.15 : Résultat d'une simulation transitoire d'un banc de test de l'architecture entière

Cependant, la figure 5.16 montre une égalité entre le « pixel0 » et son voisin « vertical ». Cette égalité est détectée par le signal Y2 qui se met à un niveau bas durant la phase 'φ' de la période de sélection du « pixel0 ». Encore, le « pixel2 » et le « pixel4 » porte une information lumineuse égale à celle de leurs voisins gauches. Ceci est confirmé par le signal X2 qui se met à zéro durant les périodes 'φ' des périodes de sélection de « pixel2 » et « pixel4 ».

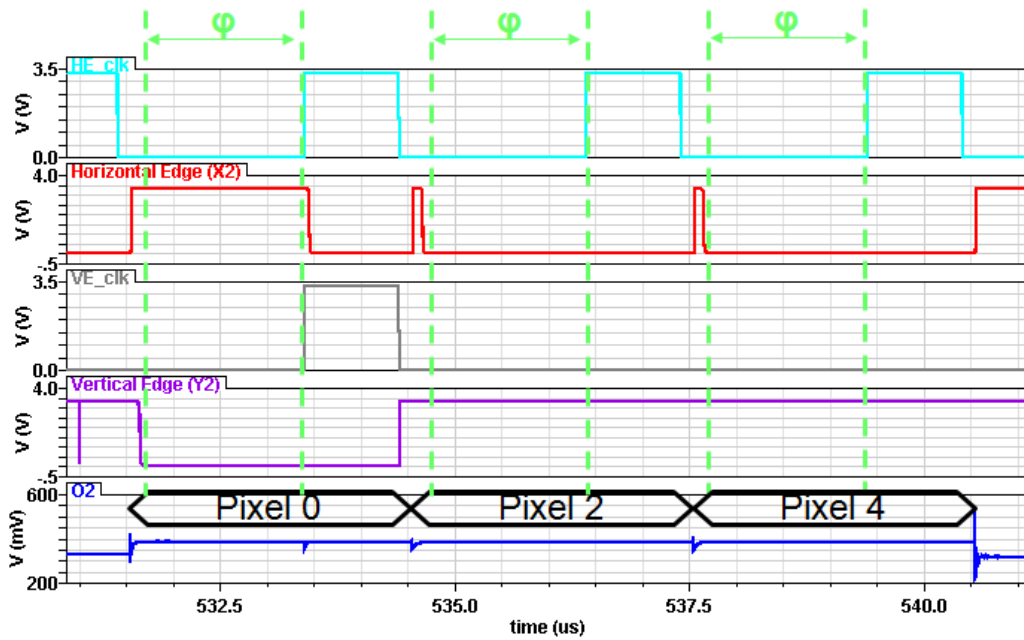


Figure 5.16 : Résultat de la suite de la simulation transitoire d'un banc de test de l'architecture entière

VIII.5. Application de la technique de réduction des redondances spatiales à un imageur couleur

VIII.5.1. Introduction du filtre de Bayer

Dans la technique que nous avons proposée, nous n'avons pas tenu compte de l'influence de la présence des filtres couleurs sur la valeur de l'intensité lumineuse incidente sur un pixel ou un autre. En effet nous n'avons considéré qu'un imageur noir et blanc. Pourtant, lorsqu'on rajoute à cet imageur les filtres couleurs, l'intensité lumineuse incidente si elle devait être la même sur deux pixels de positions différentes, ne le sera pas si chacun de ces pixels est filtré par une couleur différente. Dans la communauté, le filtre le plus souvent utilisé est le filtre de Bayer inventé par KODAK et illustré dans la figure 5.17 suivante, dans cette figure les lettres R, G et B signifient respectivement les couleurs rouge, vert et bleue:

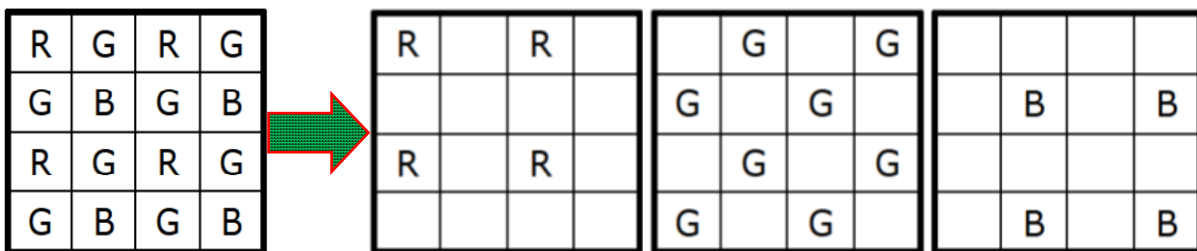


Figure 5.17 : filtre de Bayer le plus répandu et ses composantes

En utilisant ce type de filtres, la moitié des pixels de l'imageur sont exposés à la couleur verte (G) et l'autre moitié est partagée entre la couleur rouge (R) et la couleur bleue (B). Une vue plus illustrative de l'application de ce filtre à une matrice photosensible est montrée dans la figure 5.18.

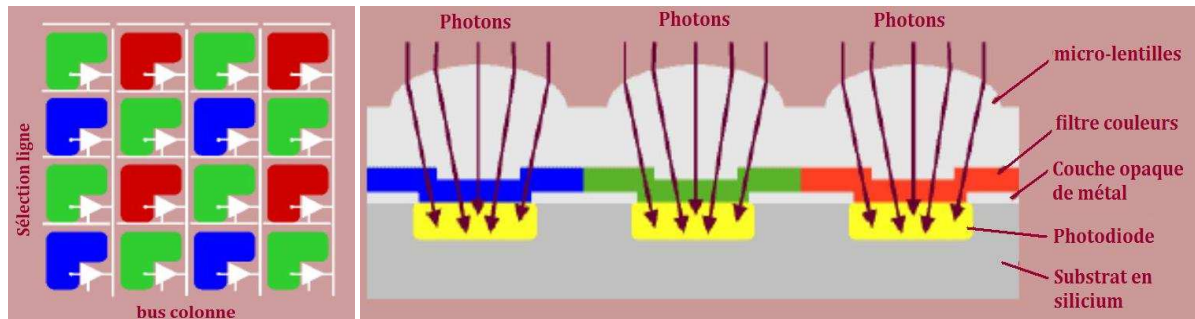


Figure 5.18 : distribution d'un filtre de Bayer sur une matrice photosensible [silicon imaging]

Quand l'image est scannée ligne par ligne, la séquence des pixels devient GRGRGR... pour la première ligne et alterne pour la deuxième à BGBGBG... etc... Comme chaque pixel est devenu sensible à une seule couleur (une seule bande spectrale), le capteur d'image couleur est globalement moins sensible que le capteur monochromatique.

VIII.5.2. Adaptation de la technique de détection d'événements pour application à l'imageur couleur

Lorsque nous avons introduit l'architecture de réduction des redondances spatiales ligne et colonne, nous avons indiqué que nous effectuons une comparaison entre un pixel et son voisin juste au dessus. Le problème, dans l'imageur couleur, est que deux lignes successives sont formées par deux séquences différentes de couleurs. Alors, si l'intensité de lumière incidente du pixel j de la ligne i est la même que celle incidente sur le pixel j de la ligne $i-1$ en sortie du capteur, on n'obtient pas les mêmes valeurs parce que chacun de ces pixels appartient à une séquence différente de couleurs. Par contre, le fait d'avoir deux bus en sortie permet de remédier à cette limitation dans la détection des événements spatiaux ligne. Il reste alors à corriger cet aspect pour la détection des événements spatiaux colonne. Dans ce but, nous proposons de dupliquer les amplificateurs colonne et les unités de traitement en haut de la matrice et de partager la lecture des lignes de pixels sur les deux lignes des amplificateurs colonne. Ainsi nous pourrions comparer deux lignes de pixels correspondants à la même séquence de couleurs et nous pourrions remédier à cette limitation liée au filtre couleurs. La figure 5.19 montre le schéma bloc final de l'imageur couleur fonctionnant avec un mode de réduction du flot de données en sortie basé sur la réduction des redondances spatiales ligne et colonne.

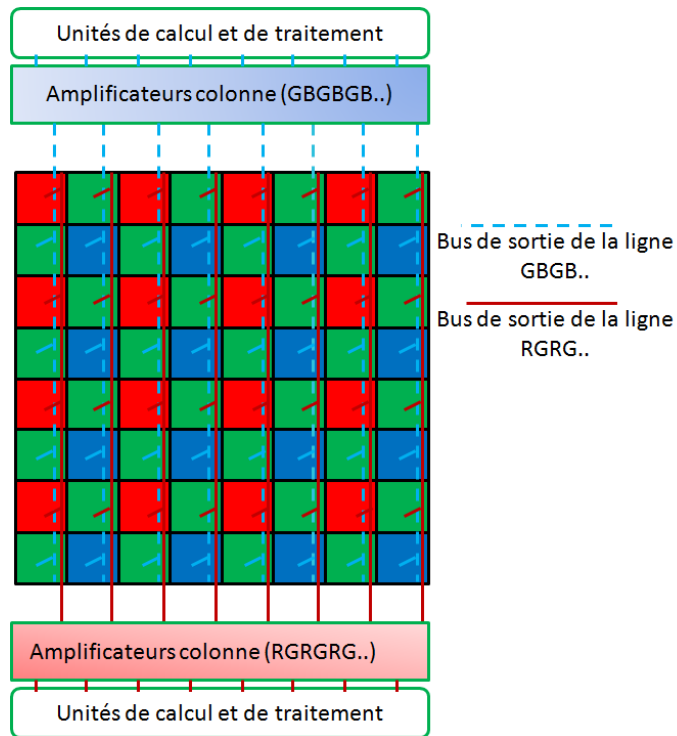


Figure 5.19 : schéma bloc de l'imageur couleur à flot de données réduit

VIII.6. Conclusion

Dans les paragraphes précédents, nous avons expliqué l'utilisation du bloc détecteur d'événement dans le but d'accomplir une réduction des redondances spatiales ligne et colonne dans un imageur. L'avantage majeur de la technique de lecture proposée réside dans le fait que les unités de calcul et de traitement implémentées dans cette architecture sont totalement externes par rapport à la circuiterie interne du pixel. Ainsi on garde une surface de pixel réduite et un facteur de remplissage élevé. En outre, cette technique bénéficie d'un point de liberté très important en termes de type de pixel utilisé parce qu'elle peut être appliquée à un imageur à réponse logarithmique comme à un imageur à pixels linéaires. Le schéma bloc de l'architecture proposée a été donné ainsi que les blocs analogiques utilisés. L'émulation du modèle développé sous MATLAB fait preuve de l'efficacité et de la rentabilité de cette technique et aussi de sa capacité à effectuer une détection de contours intéressante avec un lissage horizontal selon le masque de Prewitt. Les images résultantes de cette émulation ont été montrées. De plus, les résultats d'une simulation transitoire au niveau transistor d'un banc de test composé de plusieurs pixels linéaires avec leurs chaînes de lecture et de contrôle de cette lecture ont été donnés. Cette simulation est exécutée sous Cadence Spectre simulator après avoir conçu les blocs analogiques dans la technologie CMOS 0.35 μ m d'Austria MicroSystem.

Conclusion générale

Conclusion générale et perspectives futures :

Ce manuscrit de thèse, synthétise l'étude menée ces dernières années dans le domaine de la conception des imageurs CMOS. Ces dernières années, l'évolution des capteurs de vision CMOS a été très importante et les technologies microélectroniques actuelles permettent l'implémentation de fonctions analogiques et numériques importantes en terme de fonctionnalité à côté de la matrice photosensible, tout en présentant un surcout en surface silicium limitée. Actuellement, les étapes d'amplification, d'échantillonnage-bloquage, et la conversion analogique numérique sont les fonctions élémentaires présentes classiquement dans tous les imageurs industriels et peuvent même être implémentées à l'intérieur de chaque pixel.

Le marché des imageurs CMOS grand public a atteint, ces dernières années, des résolutions spatiales supérieures à 16 millions de pixels par capteur. Ainsi, la lecture séquentielle de ce très grand nombre de pixels par image s'avère de plus en plus complexe si l'on veut garder un nombre d'images constant par seconde et de ce fait, couteux en énergie consommée. Par conséquent, plusieurs groupes de recherche, aux quatre coins du monde, ont abordé cette problématique et ont proposé une multitude de solutions allant de l'implémentation d'un convertisseur analogique numérique par pixel jusqu'à une lecture complètement asynchrone en adoptant des protocoles de type poignée de main pour la communication entre les différents blocs du système de vision. Des opérations de détection de contrastes spatial et temporel ont également été faites. Mais, dans la grande majorité des cas, ces chercheurs sacrifiaient la simplicité de la circuiterie interne du pixel, sa surface interne et son facteur de remplissage pour implémenter leurs techniques de lecture.

Pour ces différentes raisons, ces travaux de thèse se focalisent sur la proposition et la conception de plusieurs architectures intelligentes de lecture, les plus simples et efficaces possibles :

La première consiste à comparer les intensités lumineuses des pixels voisins afin de pouvoir éviter la lecture des pixels qui portent des informations spatialement redondantes. Avec cette technique on peut obtenir de grandes valeurs de suppression de redondances, pouvant atteindre plus de 80% selon la nature de la scène filmée, ce qui se traduit par un gain important en consommation. L'émulation du modèle de cette technique, décrit sous MATLAB fait preuve de ce gain. Ainsi, pour implémenter cette technique, les circuits analogiques accomplissant les fonctions requises telle que la soustraction et la comparaison ont été conçus. La conception de ces circuits au niveau transistors, ainsi que leurs simulations électriques et leurs dessins de masques ont été accomplis et présentés dans le chapitre 3 de ce manuscrit. Des circuits prototypes du soustracteur et du comparateur ont été fabriqués. Ces deux blocs sont fonctionnels et la caractérisation complète est à venir.

La deuxième technique de lecture proposée est constituée d'une partie analogique et d'une partie numérique. La partie analogique comprend la distribution de la matrice de pixels en sous blocs de pixels interconnectés pour permettre la génération de la valeur moyenne de chacun de ces blocs. Ces valeurs moyennes sont ensuite scannées séquentiellement, converties et stockées dans des mémoires numériques dédiées. La comparaison entre deux images successives des valeurs moyennes, sous résolues, permet la génération des adresses des pixels appartenant à un bloc qui a changé de valeur moyenne d'une image à l'autre. Les résultats d'émulation du modèle de la technique, développé sous MATLAB, ainsi que les résultats de simulation électrique sont donnés dans ce manuscrit (chapitre 4). Cette technique a été validée à travers deux capteurs basés sur deux différents types de pixels : l'imageur IMADEM, composé de 64x64 pixels distribués en sous-blocs de 4x4 pixels interconnectés et générant leur valeur moyenne, a été entièrement conçu, fabriqué et testé. Il permet de valider l'opération de cette technique de lecture en permettant une réduction du flot de données pouvant atteindre les 80% pour certaines scènes. En effet, vu la taille de ce circuit prototype, nous avons été limité au niveau des scènes que nous pouvons filmer, mais, il nous a cependant permis de valider plusieurs fonctionnalités, surtout celle de l'extraction des valeurs moyennes et de la réduction des redondances temporelles, sans avoir néanmoins beaucoup de précision sur l'évaluation de cette dernière. D'un autre côté, un imageur de 256x256 pixels à base de pixel linéaire, conçu par ailleurs, a permis aussi de valider cette technique de lecture. L'extraction de la valeur moyenne se fait via un transfert de charges entre les capacités d'échantillonnage des pixels du bloc. Les résultats expérimentaux de cet imageur montrent une bonne qualité de l'image (PSNR > 35dB) tout en ayant une réduction des redondances temporelles pouvant atteindre plus de 90% pour certaines scènes.

Enfin, le dernier chapitre introduit un nouveau bloc analogique qui permet la détection d'événements. Ce bloc a été exploité dans la détection des événements spatiaux et temporels afin de ne plus avoir recours à la lecture et à la sauvegarde numérique des valeurs moyennes. Ce circuit détecteur d'événements est basé sur le principe de conservation de charges dans une capacité. Il utilise aussi le comparateur à contre réaction interne pour détecter la variation sur le signal d'entrée. Ce comparateur bénéficie d'une zone que nous appelons zone morte. Cette dernière permet de faire un seuillage du niveau de la variation qu'on souhaite détecter. Un bloc de 4x4 pixels logarithmiques interconnectés implémentant un circuit détecteur d'événements a été conçu, fabriqué et enfin testé. Les résultats de mesures montrent la fonctionnalité de ce bloc. Avec une sensibilité d'une quinzaine de mV, nous avons un temps de dégradation du signal de la capacité de 8s. C'est le temps maximal pendant lequel on peut garder le signal sans avoir besoin de le rafraîchir. Cette valeur est largement suffisante dans le cas d'implémentation dans un imageur, parce que nous devons respecter un cadence image minimale de 30 images par seconde ce qui revient à dire qu'au plus, on doit rafraîchir le signal dans la capacité du détecteur 33ms après la première acquisition.

Dans le cadre de cette thèse, et pour des perspectives à court terme, il reste à valider plusieurs points importants du travail qui a été fait :

- Tester et caractériser tous les circuits qui ont été conçus et fabriqués (le soustracteur à capacités commutées, le comparateur à contre réaction interne, le pixel à double compresseur logarithmique)
- Développer deux imageurs implémentant les techniques de détection des événements spatiaux et temporels développées dans le chapitre 5 (le fonctionnement du détecteur d'événements ayant été validé)
- Caractériser plus précisément l'imageur IMADDEM en termes de vitesse de lecture atteinte et du rendement de la technique qu'il implémente.

D'ailleurs, en termes de perspectives à moyen terme, je pense que l'étude d'une métrique d'évaluation de toutes ces techniques de lecture des imageurs, développées et présentées dans la littérature du sujet, est un sujet d'étude très important.

Il serait, de plus, extrêmement intéressant d'introduire les idées que nous avons proposées et validées au cours de cette thèse dans le monde industriel pour différentes applications (automobiles, surveillance, détection de mouvement et de contours).

D'un autre côté, une piste intéressante reste à exploiter : La conversion analogique numérique asynchrone en pied de colonne. Cela me paraît une idée intéressante à partir du moment où elle présente un grand gain en consommation de puissance et en vitesse de conversion, ce qui est très bénéfique pour les imageurs à modes de lecture non conventionnels.

A long terme, et dans le même sujet et problématique sur le contrôle du flot de données des imageurs CMOS, je suis persuadée que l'intégration des circuits en 3D va permettre, dans un futur proche, d'implémenter de nombreuses fonctionnalités de traitement sans affecter la surface photosensible et donc le facteur de remplissage des pixels. Elle sera un sujet central de recherche et de développement pour les années à venir et va certainement servir la problématique de la lecture séquentielle. Elle va ouvrir largement les portes au DPS (Digital Pixel Sensor).

Après de longues années de recherche, ce n'est qu'en 2010 que les capteurs de vision dits HDR (High Dynamic Range) ont été commercialisés dans le marché grand public à faible coût [ICInsights_10]. De fait, le sujet des modes de lecture non séquentiels reste pour le moment un sujet de recherche et de développement malgré son développement certain. A mon avis, la commercialisation des imageurs à mode de lecture non conventionnel permettant de grandes vitesses de lecture et une communication moins coûteuse en termes de bande de transmission surtout dans le cas des caméras de surveillance, arrivera dans la décade qui vient.

▪ **Conférences internationales:**

H.ABBASS , **H.AMHAZ** & G.SICARD, « *In Pixel Implementation of auto-adaptative integration time* », The 19th IEEE International Conference on Electronics, Circuits, and Systems, ICECS2011, 9-12 December 2012, Seville, Spain

H.AMHAZ & G.SICARD, « *New smart readout technique performing edge detection designed to control vision sensors dataflow* », SPIE conference on Sensors, Cameras, and Systems for Industrial/Scientific Applications XIII, 23-26 January 2012, San Francisco, California , USA

H.AMHAZ, H.ABBASS, H.ZIMOUCHE & G.SICARD, « *An Improved Smart Readout Technique based on Temporal Redundancies Suppression Designed for Logarithmic CMOS Image Sensor* », The 18th IEEE International Conference on Electronics, Circuits, and Systems, ICECS2011, 11-14 December 2011, Beyrouth, Liban

H.AMHAZ, H.ZIMOUCHE & G.SICARD, «*Smart Readout Technique designed For Logarithmic CMOS Image Sensor Including a Motion Detection Scheme*», The 9th IEEE International NEWCAS Conference, NEWCAS 2011, 26-29 June 2011 Bordeaux, France

H.AMHAZ, H.ZIMOUCHE & G.SICARD, «*Smart Readout Technique Based on Temporal Redundancies Suppression Designed for Logarithmic CMOS Image Sensor* », International Image Sensor Workshop IISW2011, 8-11 June 2011, Hokaido, Japan

H.ZIMOUCHE, **H.AMHAZ** & G.SICARD, « *Temperature Compensated Logarithmic CMOS Image Sensor Using CMOS Voltage Reference Bandgap Method*», The 9th IEEE International NEWCAS Conference, NEWCAS 2011, 26-29 June 2011 Bordeaux, France

H.ZIMOUCHE, **H.AMHAZ** & G.SICARD, «*Temperature Compensation Scheme for Logarithmic CMOS Image Sensor* », International Image Sensor Workshop IISW2011, 8-11 June 2011, Hokaido, Japan

H.AMHAZ & G.SICARD, «*X-Axis Spatial Redundancy Suppression: Contribution to the Integration of Smart Reading Techniques in a Standard CMOS Vision Sensor*», The 17th IEEE International Conference on Electronics, Circuits, and Systems, ICECS2010, 12-15 December 2010, Athens, Greece

H.AMHAZ & G.SICARD, « *A high output voltage swing logarithmic image sensor designed with on chip FPN reduction*», The 6th Conference on Ph.D. Research in Microelectronics & Electronics PRIME 2010, 18 – 21 July 2010, Berlin, Germany

▪ **Conférences nationales:**

G.SICARD, H.AMHAZ, E.LABONNE, R.ROLLAND, «*Traitement de bas niveau intégré: Mise en œuvre d'une adaptation aux conditions lumineuses dans un capteur d'images CMOS*», La 22ème édition du colloque [GRETSI 2009](#), 8-11 Septembre 2009, Dijon

H.AMHAZ et G.SICARD, «*Contribution à l'intégration des nouvelles techniques de lecture intelligente dans un capteur de vision CMOS*», Journée National du Réseau Doctoral de Microélectronique, [JNRDM 2010](#), 7-9 Juin 2010, Montpellier

Bibliographie:

[Aw_96]: C. H. Aw, B. A. Wooley, “A 128 x 128 pixel standard CMOS image sensor with electronic shutter”, *IEEE Journal of Solid-State Circuits*, vol.31(12), Décembre 1996.

[Azadmer_05]: M. Azadmehr, J. P. Abrahamsen, and P. Hafliger, “A foveated imager chip”, *IEEE International Symposium on Circuits and Systems, ISCAS 2005*, vol.3, pp. 2751 – 2754, Mai 2005.

[Azadmehr_05]: M. Azadmehr, J.P. Abrahamsen and P. Hafliger, “A Foveated AER Imager Chip”, *IEEE Circuits and Systems Magazine*, vol.5(2), pp. 53-54, Juin 2005.

[Barbaro_02]: M. Barbaro, P.-Y. Burgi, A. Mortara, P. Nussbaum, and F. Heitger, “A 100100 pixel silicon retina for gradient extraction with steering filter capabilities and temporal output coding”, *IEEE Jour. of Solid-State Circuits*, vol.37(2), pp.160–172, Février 2002.

[Barner_11]: R. Barner and T. Delbruck, “Event-Based Pixel Sensitive to Changes of Color and Brightness”, *IEEE Transactions on Circuits and Systems I: Regular Papers* vol.58(7), pp.1581 – 1590, Juillet 2011.

[Bernal_06] : O. Bernal, “Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales”, *Rapport de thèse de l'INPT*, Laboratoire d'Électronique de l'E.N.S.E.E.I.H.T, Toulouse, Octobre 2006

[Bloss_00]: H. S. Bloss, J. D. Ernst, H. Fir1a, S. C. Schmoelz, S. K. Gick, S. Lauxtermann, “High speed- camera based on a CMOS active pixel sensor”, *Proceedings of SPIE, High-Speed Imaging and Sequence Analysis II*, vol. 3968, Janvier 2000.

[Boahen_00]: K. A. Boahen, “Point-to-point connectivity between neuromorphic chips using address-events”, *IEEE Transactions on Circuits and Systems II*, vol.47(5), pp.416–34, Mai 2000.

[Boahen_05]: K. Boahen, “Neuromorphic microchips”, *Scientific American*, pp.56–63, Mai 2005.

[Cavadore_98]: C. Cavadore, “Conception et caractérisation de capteurs d'images à pixels actifs CMOS-APS”, *thèse de doctorat*, SUPAERO, Toulouse, Juin 1998.

[Chapinal_99]: G. Chapinal, M. Moreno, S. Bota, G. Hornero, A. Herms, “Design and test of a CMOS camera with analog memory for synchronous image capture”, *Proceedings of SPIE, Sensors, Cameras, and Systems for Scientific and Industrial Applications*, Vol.3649, pp.126-133, Janvier 1999.

[Chen_00]: T. Chen, P. Cartyse, A. El Gamal and B. Wandell, “How small should pixel size be”, *Proceedings of SPIE, Sensors and Camera systems for Scientific, Industrial and Digital Photography Applications*, vol.3965, pp.451-459, Mai 2000.

- [Crooks_09]: J.P. Crooks, S.E. Bohndiek, C.D. Arvanitis, R. Speller, H. Xing Liang, E.G. Villani, M. Towrie, and R. Turchetta, “A CMOS Image Sensor With In-Pixel ADC, Timestamp, and Sparse Readout”, *IEEE Sensors Journal*, vol.9(1), pp.20–28, Janvier 2009.
- [Culurciello_01]: E. Culurciello, R. Etienne-Cummings, and K. Boahen, “Arbitrated address event representation digital image sensor”, *Electronics Letters*, vol.37(24), pp.1443–1445, Novembre 2001.
- [Culurciello_03]: E. Culurciello, R. Etienne-Cummings, and K. Boahen, “A biomorphic digital image sensor”, *IEEE Journal of Solid State Circuits*, vol.38, pp.281–294, Février 2003.
- [Culurciello_03]: E. Culurciello and A. G. Andreou, “A comparative study of access topologies for chip-level address-event communication channels”, *IEEE Transactions on Neural Networks*, vol.14(5) pp.1266–77, Septembre 2003
- [Culurciello_04]: E. Culurciello and R. Etienne-Cummings, “Second generation of high dynamic range, arbitrated digital imager”, *IEEE International Symposium on Circuits And Systems, ISCAS '04*, vol.4, pp.828-831, Mai 2004.
- [Culurciello_06]: E. Culurciello and A. Andreou, “CMOS Image Sensors for Sensor Network”, *J. Analog Integrated Circuits and Signal Processing*, vol.49(1), pp. 39-51, Octobre 2006.
- [Degerli_00]: Y. Degerli, “Etude, modélisation des bruits et conception de circuits de lecture dans les Capteurs d’image à pixels actifs CMOS”, *thèse de doctorat*, SUPAERO, Toulouse, Octobre 2000.
- [Delbruck_04]: T. Delbruck and D. Oberhoff, “Self-Biasing Low Power Adaptive Photoreceptor”, *Proceedings of the IEEE International Symposium on Circuits And Systems*, ISCAS 2004, pp. 844-847, Mai 2004.
- [Dubois_08]: J. Dubois, D. Ginhac, M. Paindavoine, and B. Heyrman, “A 10 000fps CMOS Sensor with Massively Parallel Image Processing,” *IEEE Journal of Solid-State Circuits*, vol. 43(3), pp.706–717, Mars 2008.
- [Dupret_09]: A. Dupret, B. Dupont, M. Vasiliu, B. Dierikx and A. Defernez, “CMOS Image Sensor Architecture for High-Speed Sparse Image Content Readout”, *International image sensor workshop*, Juin 2009.
- [ElGamal_99]: A. El Gamal, D.X.D. Yang, and B. Fowler, “Pixel Level Processing -Why, What, and How?”, *Proceedings of SPIE, Sensors, Cameras, and Applications for Digital Photography*, vol. 3650, pp. 2–13, Janvier 1999.
- [ElGamal_05]: A. El Gamal and H. Eltoukhy, “CMOS Image Sensors”, *IEEE Circuits and Devices Magazine*, vol. 21(3), pp.6–20, Juin 2005.
- [Elouardi_05]: A. Elouardi, “Evaluation des rétines électroniques pour une définition architecturale d’un système monopuce (SoC) dédié à la vision embarquée”, *Rapport de thèse de l’université Paris XI l’UFR scientifique d’Orsay*, Paris 2005.

- [Fowler_98]: B. Fowler, A. El Gamal, and D.X.D. Yang, "Techniques for Pixel Level Analog to Digital Conversion," in *Proceedings of SPIE, Infrared Readout Electronics IV*, vol. 3360, pp.1–12, Avril 1998.
- [Grenet_05]: E. Grenet, S. Gyger, P. Heim, F. Heitger, F. Kaess, P. Nussbaum, and P.-F. Ruedi, "High dynamic range vision sensor for automotive applications", In *Proceedings of the SPIE, Photonics in the Automobile*, vol.5663, pp.246–253, Février 2005.
- [Guo_02]: X.GUO, "A Time-Based Asynchronous Readout CMOS Image Sensor", *PhD Dissertation, University of Florida*, 2002.
- [Guo_07]: X.Guo, X. Qi and J. Harris, "A Time-to-First Spike CMOS Image Sensor", *IEEE Sensors Journal*, vol.7(8), pp.1165-1175, Août 2007.
- [Hosticka_03]: B. J. Hosticka, W. Brockherde, A. Bussmann, T. Heimann, R. Jeremias, A. Kemma, C. Nitta, O. Schrey, "CMOS imaging for automotive applications", *IEEE Transactions on Electron Devices*, vol.50(1), Janvier 2003.
- [ICInsights_10]: ICInsights, "Image Sensor Sales Will Rise 31% to Record \$8.5 Billion in 2010", rapport sur le marché des imageurs, Arizona USA, Juin 2010.
- [ICInsights_11]: ICInsights, "CMOS Image Sensors Regaining Growth Momentum", rapport sur le marché des imageurs, Arizona USA, Mai 2011.
- [Jong_09]: H. P. Jong, S. Aoyama, T. Watanabe, K. Isobe, S. Kawahito, "A high-speed low-noise CMOS image sensor with 13-b column-parallel single-ended cyclic ADCs", *IEEE Trans. Electron Devices*, vol.56 (11), pp.2414 – 2422, Novembre 2009.
- [Joo_99]: Y. Joo, J. Park, M. Thomas, K.S. Chung, M.A. Brooke, N.M. Jokerst, and D.S. Wills, "Smart CMOS Focal Plane Arrays: A Si CMOS Detector Array and Sigma-Delta Analog-to-Digital Converter Imaging System", *IEEE Journal of Selected Topics in Quantum Electronics*, vol.5(2), pp.296–305, Avril 1999.
- [Kavadias_00]: S. Kavadias, B. Dierickx, D. Scheffer, A. Alaerts, D. Uwaerts, J. Bogaerts, "A logarithmic response CMOS image sensor with on-chip calibration", *IEEE Journal of Solid-State Circuits*, Vol. 35(8), pp.1146 – 1152, Août 2000.
- [Kawahito_97] : S. Kawahito, M. Yoshida, M. Sasaki, K. Umehara, D. Miyazaki, Y. Tadokoro, K. Murata, S. Doushou, and A. Matsuzawa, "A CMOS Image Sensor with Analog Two-Dimensional DCT-Based Compression Circuits for One-Chip Cameras", *IEEE Journal of solid state circuits*, vol. 32(12), pp. 2030-2041, Décembre 1997
- [Kozlowski_05]: L. J. Kozlowski, G. Rossi, L. Blanquart, R. Marchesini, Y. Huang, G. Chow, J. Richardson and D. Standley, "Pixel noise suppression via SoC management of tapered reset in a 1920 x 1080 CMOS image sensor", *IEEE Journal of Solid-State Circuits*, Vol. 40(12), pp. 2766 – 2776, Décembre 2005.

-
- [Kramer_97]: J. Kramer, R. Sarpeshkar and C. Koch, "Pulse-Based Analog VLSI Velocity Sensors", *IEEE Transaction on Circuits and Systems: Analog and Digital Signal Processing*, vol.44(2), pp.86-101, Février 1997.
- [Kramer_02]: J. Kramer, "An On/Off Transient Imager with Event-Driven, Asynchronous Read-Out", *Proceedings of IEEE International Symposium on Circuits And Systems, ISCAS 2002*, vol.2, pp. 165-168, Mai 2002.
- [Labonne_07]: E. Labonne, "Contribution à la conception de capteurs de vision CMOS à grande dynamique", *Rapport de thèse de l'INPG*, laboratoire TIMA, Grenoble 2007.
- [Lee_08]: D. Lee, K. Cho, D. Kim, and G. Han, "Low-noise in-pixel comparing active pixel sensor using column-level single-slope ADC", *IEEE Trans. Electron Devices*, vol.55(12), pp.3383 – 3388, Décembre 2008.
- [Leon-Salas_07]: W. D. León-Salas, S. Balkir, K. Sayood, N. Schemm, et M. W. Hoffman, "A CMOS Imager With Focal Plane Compression Using Predictive Coding", *IEEE Journal of solid state circuits*, vol.42(11), pp. 2555 – 2571, Novembre 2007
- [Lic_04]: P.Lichtsteiner, T.Delbruck and J.Kramer, "Improved On/Off Temporally Differentiating Address-Event Imager", *IEEE International Conference on Electronics, Circuits and Systems, ICECS2004*, pp.211-214, Décembre 2004.
- [Lichtsteiner_08]: P.Lichtsteiner, C.Posch and T.Delbruck, "A 128 x 128 120 dB 15 μ s Latency Asynchronous Temporal Contrast Vision Sensor", *IEEE Journal of Solid-State Circuits*, vol. 43(2), pp. 566-576, Février 2008.
- [Lim_02]: S. Lim and A. El Gamal, "Gain fixed pattern noise correction via optical flow", *Proceedings of SPIE, Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications III*, Vol.4669, Avril 2002.
- [Lin_05]: Z. Lin, M. W. Hoffman, W. D. Leon-Salas, N. Schemm, S. Balkir, "A CMOS Image Sensor for Focal Plane Decomposition", *IEEE International Symposium on Circuits and Systems, ISCAS 2005*, vol.5, pp.5322 – 5325, Japon, Mai 2005
- [Lindgren_06]: L. Lindgren, "A New Simultaneous Multislope ADC Architecture for Array Implementations", *IEEE Transactions on Circuits And Systems, ISCAS2006*, vol. 53(9), pp.921–925, 2006.
- [Loinaz_98]: M.J. Loinaz, K.J. Singh, A.J. Blanksby, D.A. Inglis, K. Azadet, and B.D. Ackland, "A 200-mW, 3.3-V, CMOS color camera IC producing 352 \times 288 24-b video at 30 frames /s", *IEEE Journal of Solid-State Circuits*, 33(12), pp.2092–2103, Décembre 1998.
- [Loose_01]: M.Loose, K.Meier and J.Schemmel, "A Self-Calibrating Single-Chip CMOS Camera With Logarithmic Response", *IEEE Journal of Solid-State Circuits*, vol.36(4), pp.586-596, Avril 2001.

[Lulé_00]: T. Lulé, S. Benthien, H. Keller, F. Mütze, P. Rieve, K. Seibel, M. Sommer and M. Böhm, “Sensitivity of CMOS based imagers and scaling perspectives”, *IEEE Transactions on Electron Devices*, Vol.47(11), Novembre 2000.

[Luo_02]: Q. Luo, J.G. Harris, “A novel integration of on-sensor wavelet compression for a CMOS imager”, *IEEE International Symposium on Circuits and Systems, ISCAS 2002*, vol.3, pp.325 – 328, USA, Mai 2002.

[Luo_04]: Q. Luo and J. Harris, “A time-based CMOS imager”, *IEEE International Symposium on Circuits And Systems, ISCAS2004*, volume 4, pp.840–843, Mai 2004.

[Mahmoudi_11]: A. Mahmoudi, “Low-Area Low-Power Delta-Sigma Column and Pixel Sensors”, *Rapport de thèse de l’université d’Alberta*, université d’Alberta, Canada, Alberta 2011.

[Mahowald_94]: M. Mahowald, “An Analog VLSI System for Stereoscopic Vision”, Kluwer, Boston, MA, 1994.

[Maloberti_09]: F. Maloberti, « CMOS comparators », *course integrated circuit design*, université de Pavia 2009

[Mallik_05]: U. Mallik, M. Clapp, E. Choi, G. Cauwenberghs and R. Etienne-Cummings, “Temporal Change Threshold Detection Imager”, *IEEE International Solid-State Circuits Conference (ISSCC 2005)*, Session 19, Février 2005.

[Mase_05]: M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori, M. Furuta, “A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters”, *IEEE Journal of Solid-State Circuits*, Vol. 40(12), Décembre 2005.

[Matou_03]: K. Matou, “Capteur d’image logarithmique CMOS avec compensation "on-chip" du bruit spatial fixe”, *Rapport de thèse de l’UFR scientifique d’Orsay*, Orsay 2003.

[Matsuo_09]: S. Matsuo, T.J. Bales, M. Shoda, S. Osawa, K. Kawamura, A. Andersson, H. Munirul, H. Honda, B. Almond, M. Yaowu, J. Gleason, T. Chow, I. Takayanagi, “8.9-Megapixel Video Image Sensor With 14-b Column-Parallel SA-ADC”, *IEEE Transaction on Electron Devices*, vol.56(11), pp.2380–2389, Novembre 2009.

[Mead_89]: C. Mead, “Analog VLSI and neural systems”, *Addison Wesley Publishing Company*, Janvier 1989

[Mendis_97]: S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim and E. R. Fossum, “CMOS Active pixel image sensors for highly integrated imaging systems”, *IEEE Journal of Solid-State Circuits*, vol.32(2), pp.187-197, Février 1997.

[Morel_04]: F. Morel, J-P. Le Normand, C-V. Zint, W. Uhring, Y. Hu, D. Mathiot, “A fast, high resolution CMOS imager for nanosecond light pulse detection”, *Proceedings of SPIE, Integrated Optics and Photonics Integrated Circuits*, vol.5451, pp.434-440, Avril 2004.

- [Mortara_95]: A. Mortara, E. Vitoz, P. Venier, "A communication scheme for analog VLSI perceptive systems", *IEEE journal of solid state circuits*, vol.30(6), pp.660-669, Juin 1995.
- [Mortara_97]: A. Mortara, "A pulsed communication/computation framework for analog VLSI perceptive systems", *Analog integrated circuits and signal processing*, vol.13, pp.93-101, Kluwer academic publishers Boston, 1997.
- [Navarro_03]: D. Navarro, " Architecture et Conception de Rétines Silicium CMOS: Application à la mesure du flot optique", *Rapport de thèse de l'université de Montpellier II*, Montpellier 2003.
- [Park_09] J.H. Park, S. Aoyama, T. Watanabe, K. Isobe, S. Kawahito, "A High-Speed Low-Noise CMOS Image Sensor With 13-b Column-Parallel Single-Ended Cyclic ADCs", *IEEE Transactions on Electron Devices*, vol.56(11), pp.2414–2422, Novembre 2009.
- [Qi_04]: X. Qi, G. Xiaochuan, J. Harris, "A time-to-first-spike CMOS imager", *In Proc. IEEE Int. Symp. on Circuits and Systems*, volume 4, pages IV– 824–827, Mai 2004.
- [Quanliang_11]: L. Quanliang, S. Cong, W. Nanjian, "A High-Speed CMOS Image Sensor with Column-Parallel Single Capacitor CDSs and Single-slope ADCs", *Proceedings of SPIE, International Symposium on Photoelectronic Detection and Imaging, 2011: Advances in Imaging Detectors and Applications*, vol.8194, Août 2011.
- [Renane_01]: S. Renane, "Conception d'un processeur colonne analogique a grande dynamique pour capteur de vision CMOS", *Rapport de stage de master professionnel CSINA de l'INPG*, laboratoire TIMA, Grenoble 2001.
- [Rocha_03]: J.G. Rocha, N.F. Ramos, R.F. Wolffenbuttel, and J.H. Correia, "CMOS X-ray Image Sensor with Pixel Level A/D Conversion", *IEEE European Solid-State Circuits Conference, ESSCIRC 2003*, pp.121–124, Septembre 2003.
- [Rogalski_95]: A. Rogalski, "Infrared photon detectors", *Bellingham, WA: SPIE Optical Engineering Press*, ISBN 0-8194-1798-X, 1995
- [Ruedi_03]: P.F. Ruedi, P. Heim, F. Kaess, E. Grenet, F. Heitger, P.Y. Burgi, S. Gyger, and P. Nussbaum, "A 128 /spl times/ 128 pixel 120-db dynamic range vision-sensor chip for image contrast and orientation extraction", *IEEE Journal of Solid-State Circuits*, vol.38(12), pp.2325–2333, Décembre 2003.
- [Schanz_00]: M. Schanz, C. Nitta, A. Bußmann, B. J. Hosticka, R. K. Wertheimer, "A high-dynamic range CMOS image sensor for automotive applications", *IEEE Journal of Solid-State Circuits*, Vol.35(7), Juillet 2000.
- [Schechner_03]: Y. Schechner, S.K. Nayar, "Generalized mosaicing: high dynamic range in a wide field of view", *International Journal of Computer Vision*, Vol.53(3), Juillet 2003.

- [Schrey_02]: O. Schrey, J. Huppertz, W. Brockherde, B. Hosticka, "A high DR CMOS image sensor with on chip programmable region-of-interest readout", *IEEE Journal of Solid-State Circuits*, Vol.37(7), Juillet 2002.
- [Sheu_84]: B. J. Sheu and C. Hu, "Switch-Induced Error Voltage on a Switched Capacitor", *IEEE Journal Solid-State Circuits*, vol.19, pp.519-525, Avril 1984.
- [Sicard_99]: G. Sicard, "De la biologie au silicium, une rétine bio-inspirée analogique pour un capteur de vision "intelligent" adaptatif", *Rapport de thèse de l'INPG*, laboratoire L.I.S, Grenoble, Janvier 1999.
- [Smith_98]: S. Smith, J. Hurwitz, M. Torrie, D. Baxter, A. Holmes, M. Panaghiston, R. Henderson, A. Murray, S. Anderson, P. Denyer, "A single-chip 306× 244-pixel CMOS NTSC video camera", *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, 45thISSCC, pp.170–171, Février 1998.
- [Snoeij_07]: M.F. Snoeij, P. Donegan, A.J.P. Theuwissen, K.A.A. Makinwa, J.H. Huijsing, "A CMOS Image Sensor with a Column-Level Multiple-Ramp Single-Slope ADC", *IEEE International Solid-State Circuits Conference*, ISSCC2007, pp.506-508, Février 2007.
- [Standarovski_05]: D. Standarovski, "Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la Terre", *Rapport de thèse de l'institut national polytechnique de Toulouse*, laboratoire ENSEEIHT, Toulouse 2005.
- [Solhusvik_96]: J. Solhusvik, "Etude et conception de capteurs d'images à pixels actifs et de l'électronique de traitement associée en vue d'applications faible flux", *thèse de doctorat*, SUPAERO, Toulouse, Novembre 1996.
- [Tanner_01]: S. Tanner, S. Lauxtermann, M. Waeny, M. Willemin, N. Blanc, J. Grupp, R. Dinger, E. Doering, M. Ansorge, P. Seitz, F. Pellandini, "Low-power digital image sensor for still picture image acquisition", *Proceedings of SPIE, Sensors and Camera Systems for Scientific Industrial and Digital Photography Applications*, Vol.4306, Janvier 2001.
- [Vogelstein_04]: R. Jacob Vogelstein, U. Mallik, E. Culurciello, R. Etienne-Cummings and G. Cauwenberghs, "Spatial Acuity Modulation Of An Address-Event Imager", *IEEE International Conference on Electronics, Circuits and Systems*, ICECS 2004, pp.207-210, Décembre 2004.
- [Walker_90]: N. Walker, R. Oak, "A/D converter", US Patent 4,978,958, Décembre 1990
- [Wegmair]: G. Wegmair, E. A. Vittoz, F. Rahali, "Charge Injection in Analog MOS Switches", *IEEE Journal of Solid-State Circuits*, vol.22, pp.1091-1097, Décembre 1987.
- [Woo_05]: D.H. Woo, C.H. Hwang, Y.S. Lee and H.C. Lee, "Time-based pixel-level wide dynamic range for 2D LWIR applications", *IEEE Electronics Letters*, vol. 41(14), pp.782-783, Juillet2005.

[Yadid-Pecht_97]: O. Yadid-Pecht, E.R. Fossum, “Wide intrascene dynamic range CMOS APS using dual sampling”, *IEEE Transactions on Electron Devices*, Vol. 44(10), Octobre 1997.

[Yadid-Pecht_04]: O. Yadid-Pecht, R. Etienne-Cummings « CMOS imagers: from phototransduction to image processing », *Springer publishing*, Mai 2004

[Yang_99]: D. X. D. Yang, A. El Gamal, B. Fowler, H. Tian, “A 640 x 512 CMOS image sensor with ultrawide dynamic range floating-point pixel-level ADC”, *IEEE Journal of Solid-State Circuits*, Vol. 34(12), pp.1821–1834, Décembre 1999.

[Zaghloul_04]: K. A. Zaghloul, K. Boahen, “Optic nerve signals in a neuromorphic chip: Parts 1&2”, *IEEE Transactions on Biomedical Engineering*, vol.51, pp.657–675, Avril 2004.

[Zarnowski_09]: J. Zarnowski, K. Karia, T. Poonen, “Image Sensor ADC and CDS per column”, US Patent N°7,518,646 B2, Avril 2009

[Zimouche_11]: H.Zimouche, “Capteur d’images CMOS à réponse insensible aux variations de température”, *Rapport de thèse de l’université de Grenoble*, laboratoire TIMA, Grenoble 2011.