

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano-Electronique et Nano-Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

« **Tekfouy LIM** »

Thèse dirigée par « **Philippe BENECH** » et
codirigée par « **Jean JIMENEZ** »

préparée au sein du **Laboratoire IMEP-LAHC**
dans l'**École Doctorale EEATS Electronique, Electrotechnique,**
Automatique et Traitement du Signal

Dispositifs de protection contre les décharges électrostatiques pour les applications radio fréquences et millimétriques

Thèse soutenue publiquement le « **28 Mai 2013** »,
devant le jury composé de :

Mme Nathalie LABAT

Professeur des universités, Bordeaux, Président

Mme Marise BAFLEUR

Directeur de recherches, Toulouse, Rapporteur

M. Bruno ALLARD

Professeur des universités, Lyon, Rapporteur

M. Philippe BENECH

Professeur des universités, Grenoble, Directeur de thèse

M. Jean JIMENEZ

Ingénieur STMicroelectronics, Crolles, Encadrant

M. Philippe GALY

Expert (HDR) / Manager STMicroelectronics, Crolles, Encadrant

M. Jean-Michel FOURNIER

Professeur des universités, Grenoble, Invité



RESUME / ABSTRACT

- **Résumé**

Ces travaux s'inscrivent dans un contexte où les contraintes vis-à-vis des décharges électrostatiques sont de plus en plus fortes, les circuits de protection sont un problème récurrent pour les circuits fonctionnant à hautes fréquences. La capacité parasite des composants de protection limite fortement la transmission du signal et peut perturber fortement le fonctionnement normal d'un circuit.

Les travaux présentés dans ce mémoire font suite à une volonté de fournir aux concepteurs de circuits fonctionnant aux fréquences millimétriques un circuit de protection robuste présentant de faibles atténuations en transmission, avec des dimensions très petites et fonctionnant sur une très large bande de fréquences, allant du courant continu à 100 GHz.

Pour cela, une étude approfondie des lignes de transmission et des composants de protection a été réalisée à l'aide de simulations électromagnétiques et de circuits. Placés et fragmentés le long de ces lignes de transmission, les composants de protection ont été optimisés afin de perturber le moins possible la transmission du signal, tout en gardant une forte robustesse face aux décharges électrostatiques. Cette stratégie de protection a été réalisée et validée en technologies CMOS avancées par des mesures fréquentielles, électriques et de courant de fuite.

- **Mots clés**

Décharges électrostatiques, fréquences millimétriques, technologies CMOS avancées

- **Title**

Development of an ElectroStatic Discharges (ESD) protection circuit for millimeter-wave frequencies applications.

- **Abstract**

Advanced CMOS technologies provide an easier way to realize radio-frequency integrated circuits (RFICs). However, the lithography dimension shrink make electrostatic discharges (ESD) issues become more significant. Specific ESD protection devices are embedded in RFICs to avoid any damage. Unfortunately, ESD protections parasitic capacitance limits the operating bandwidth of RFICs. ESD protection size dimensions are also an issue for the protection of RFICs, in order to avoid a significant increase in production costs.

This work focuses on a broadband ESD solution (DC-100 GHz) able to be implemented in an I/O pad to protect RFICs in advanced CMOS technologies. Thanks to the signal transmission properties of coplanar / microstrip lines, a broadband ESD solution is achieved by implementing ESD components under a transmission line. The silicon proved structure is broadband; it can be used in any RF circuits and fulfill ESD target. The physical dimensions also enable easy on-chip integration.

- **Keywords**

ElectroStatic Discharges (ESD), millimeter-wave frequencies (mmW), advanced CMOS technologies

© 2013- Tekfouy Lim

à ma famille,
à mes amis,

REMERCIEMENTS

Il est bien difficile pour moi de citer toutes les personnes ayant contribué au bon déroulement et à la bonne ambiance de ma thèse, j'espère n'oublier personne...

Je remercie tout d'abord mes encadrants de thèse, Philippe Benech et Jean-Michel Fournier du laboratoire IMEP-LAHC et Jean Jimenez et Philippe Galy de STMicroelectronics, pour la confiance qu'ils m'ont accordée. Leur expertise et leur disponibilité ont assuré le succès de ce travail. Je tiens à exprimer ma reconnaissance envers Philippe Benech, qui fut mon directeur de thèse, pour sa disponibilité et ses conseils avisés. Je remercie également Jean Jimenez pour la gestion du travail et ses remarques toujours claires ; Philippe Galy pour ses observations pertinentes qui m'ont permis une meilleure compréhension du sujet ; et Jean-Michel Fournier pour son point de vue extérieur au sujet, mais dont les remarques ont permis une orientation globale de thèse cohérente.

J'adresse mes sincères remerciements à Madame Nathalie Labat, qui me fait l'honneur de sa présence en tant que président de jury. Je remercie sincèrement Madame Marise Bafleur et Monsieur Bruno Allard qui me font l'honneur de juger ce travail en qualité de rapporteurs.

Des personnes sans lesquelles il m'aurait été difficile d'avancer ; je pense ici à Boris Heitz pour son aide sur les dessins des structures, à Johan Bourgeat pour son expertise dans le domaine des décharges électrostatiques, à Nicolas Corrao pour les mesures fréquentielles sous pointes présentées dans ce mémoire et à David Marin-Cudraz, Charles-Alexandre Legrand et Corinne Richier pour toutes les mesures électriques réalisées.

Je remercie les membres de l'équipe *ALDS* dans laquelle j'ai été très bien accueilli. Je pense notamment à Nathalie Monnet, à Frank Jezequel, à mes *co-box* Johan Bourgeat et Thomas Benoist, à Ghislain Troussier, à Nicolas Guitard, à Boukary Ouattara et à Alexandre Dray.

Je ne saurais oublier celles et ceux que j'ai côtoyés quotidiennement à STMicroelectronics : Jean Guillorit, Mathieu Fer, Malika Viollet, Chantal Moison, Lionel Courau, Antoine Delmas, Stephan Jeune, Sylvie Mouton, Christine Mascia, Jean-Daniel Lise, Ouael et Hanen Konzali, Alice Pimentel, Nicolas Coculet, Delphine Mathey, John Brunel, Sébastien Lotito, Loïc Davoine, Christophe Fourtou, Laurent Garcia, Jacques-André Desroses, Nicolas Beaudouin, Jean-François Veniant, Remy Chevallier, Julien Le Coz, Dimitri Soussan, Timothée Greffe, Pierre de Lastic, Yahya Mouldi, Benjamin Viale, Benoit Payet, Youssef Lakraa et Florence Dechenaux.

Mes pensées vont également à tous les membres du laboratoire IMEP-LAHC que j'ai pu côtoyer au cours de ma thèse : en particulier Philippe Ferrari, Anne-Laure Franc, Hana Ouslimani, Friederike Brendel, Pierre Bousseaud, Annaïck Moreau, Xu Yong, Le Minh Thuy, Flora Paresys, Léonce Mutwewingabo, Vitor Freitas, Jihoon Choi, Chuan-Lun Hsu.

Je souhaite aussi consacrer un moment aux personnes avec qui j'ai passé de très bons moments lors de mes déplacements dans diverses conférences : Inès Kharrat, François Burdin, Philippe Ferrari et Jose Enriquez Gonzalez à Nice, Chuan-Lun Hsu et Christoforos Theodorou à Grenoble, Emmanuel Chery,

Byeong In Choe et Hyunsuk Chun en Californie, Chuan-Lun Hsu, Mirna Akra et Philippe Benech à Amsterdam, Pierre Bousseaud, Mateusz Zukocinski, Seiya Mori et Jessica Chan à Kaohsiung.

Durant mes années de thèse, j'ai pu pratiquer diverses activités physiques afin de relâcher la pression. Merci à Frank Jezequel, à Boris Heitz, à Nicolas Guitard et à Erwan Jorcin pour toutes ces séances de natation. Egalement, pendant ces trois dernières années, j'ai été pris par le *virus* de la course à pied. Je remercie tout d'abord Nicolas Guitard de m'avoir initié, encouragé et motivé à cette pratique. Merci à Blaise Jacquier et à Johan Bourgeat de m'avoir fait visiter les alentours de Crolles aux termes de séances interminables et éprouvantes. Une pensée aussi à tous ceux qui m'ont gratifié de leur présence durant ces séances : Chantal Moison, Ghislain Troussier, Jean Guillorit, Boris Heitz, Thomas Benoist, Antoine Delmas, Timothée Greffe, Milovan Blagojevic, Matthieu Dessarts, Nicolas Beaudouin. Ces séances ont permis tout d'abord à participer à l'édition 2011 de l'Ekiden de Grenoble sous le nom d'équipe de *ST_DERNIER_ACHETE_DES_PIEDS* et constituée de Ghislain Troussier, de Jean Guillorit, d'Alice Pimentel, de Nicolas Guitard et de Thomas Benoist. Le point culminant dans cette activité, à ce jour, est, pour moi, la participation au semi-marathon 2012 de Shihmen, Taiwan, avec mon grand frère Tekoing et ses amis. Les conditions n'étaient pas idéales mais les participants et la bonne ambiance m'ont laissé un souvenir impérissable.

Je ne saurais oublier mes amis qui étaient déjà présents sur Grenoble lors de mon arrivée et qui m'ont accueilli les bras ouverts : Wan Jing, Cuiqin Xu, Fu Yan, Chris Dance, Xu Yong, Shao Tong, Le Minh Thuy, Tang Xiaolan, You Lin et Vivi ; auxquels se sont ajoutés Chuan-Lun Hsu, Nicolas Chauvet et Fanyu Liu. Merci à vous pour tous ces moments qui comptent beaucoup pour moi.

Au-delà du contexte de travail, ma vie quotidienne a été riche en rencontres et bonnes expériences. Pour cela, je souhaite vivement remercier Emmanuel Chery et Fabien Millet qui y ont grandement contribué. Merci à toi, Manu, pour toutes ces conversations quotidiennes sur *Communicator* et pour toutes ces soirées *billard* hebdomadaires. Merci à toi, Fabien, pour toutes ces discussions et moments de rigolade que l'on a pu avoir. Je suis aussi reconnaissant envers les gens ayant également participé aux bons moments passés : Maily Robin, Naoto Yokoya, Keiji Shiga, Benjamin Dormieu, Soline Quidet, Jae Sik Jang et Lionel Montagne ; mais également ceux du *BI* : Cheikh Diouf, Franck Lionel Bana, Patrick Lamontagne, Thomas Frank, Imed Ben-Akkez, Mustapha Rafik, Kamil Gomina, Alice Ruckly, Salim Ighilahriz et Elodie Canderle. La vie de thèse et la rédaction sont toujours difficiles pour tout doctorant. Je ne saurais assez remercier tous ceux qui m'ont permis de traverser ces moments : Hani Sherry, Kaya Can Akyel, David Borggreve, Suzanna Treumann, Julien Kieffer, Milovan Blagojevic, Dajana Danilovic, Mathieu Vallet, Cyril Bottoni, Nicolas Beaudouin et Arame Thiam.

Je ne peux finir cette partie sans évoquer mes parents, qui m'ont toujours soutenu, quels que soient mes choix ; et mes frères, qui m'ont encouragé et conseillé depuis toujours. Un grand merci à tous mes cousins et à tous les membres de ma famille de m'avoir toujours soutenu.

J'adresse tous mes remerciements à toutes celles et ceux qui ont toujours été présents pour moi malgré la distance. Je pense notamment à Mélanie Hardy pour tout le soutien, conseil et réconfort qu'elle a su m'apporter ; à mes amis du master (Benoit Bensahla Tani, Julien Poulain, François Lecourt et Xiong Zhuang) ; aux *rescapés* du lycée (David Herbaut et Aurélien Dierick) ; à Dorothée Delesalle ; à Caroline Tang ; à Gaëlle Cordonnier. Je souhaite finir par Tang Xiaolan ; celle avec qui j'ai passé ces dernières années et un grand merci pour tous ces bons souvenirs que je garde.

*I think it's time to blow this scene.
Get everybody and the stuff together.
Ok, three, two, one, let's jam!*

COWBOY BEBOP

TABLES DE MATIERES

Introduction générale	15
Chapitre Un - Etude des phénomènes de décharges électrostatiques.....	19
1.1 Les décharges électrostatiques en microélectronique.....	19
1.2 Les différents modèles de décharges électrostatiques	20
1.2.1 Modèle du corps humain /Modèle de la machine.....	20
1.2.2 Modèle du composant chargé.....	23
1.2.3 Modèle du contact métallique humain.....	24
1.3 Stratégies de protection	26
1.4 Composants élémentaires de protection	30
1.4.1 Diodes.....	30
1.4.2 Transistor MOS	32
1.4.3 GGNMOS (Grounded Gate NMOS).....	33
1.4.4 Thyristor (SCR – Silicon Controlled Rectifier).....	34
1.4.5 Récapitulatif des composants élémentaires	35
1.5 Méthode de caractérisation des protections ESD	35
1.5.1 Banc de caractérisation TLP (Transmission Line Pulse – Impulsions générées par une ligne de transmission).....	36
1.5.2 Banc de caractérisation vf-TLP (Very Fast Transmission Line Pulse)	37
1.5.3 Banc de caractérisation vf-TCS (Very Fast Transient Characterization System)	37
1.6 Problèmes en RF et objectifs de la thèse	37
Chapitre Deux - État de l’art des stratégies de protection pour les applications RF.....	39
2.1 Conception de circuits de protection ESD en RF.....	40
2.1.1 Circuit de protection usuel.....	40
2.1.2 Mise en série de composants de protection	41
2.1.3 Utilisation d’un résonateur LC parallèle (circuit bouchon).....	41
2.1.4 Résonateur LC série	43
2.1.5 Adaptation d’impédance.....	45
2.1.6 Protection inductive.....	46

2.1.7	T-Coil	47
2.1.8	Protection a éléments distribués	49
2.2	Comparaison de résultats.....	51
2.3	Exemples de dessins de circuits de protection RF.....	53
2.4	Conclusion du chapitre deux et choix de la topologie.....	55
Chapitre Trois - Briques élémentaires d'étude		57
3.1	Structures de propagation conventionnelles	57
3.1.1	Structures de propagation classiques.....	58
3.1.2	Modèle des télégraphistes.....	60
3.1.3	Paramètres extraits.....	62
3.2	Miniaturisation de ligne de transmission.....	64
3.2.1	Technologies CMOS	64
3.2.2	Lignes de transmission en technologies CMOS.....	65
3.3	Caractérisation de structures RF.....	67
3.4	Elément de protection : Transistor BIMOS.....	69
3.4.1	Fonctionnement du transistor BIMOS.....	69
3.4.2	Caractéristiques électriques	70
3.4.3	Caractérisations RF	71
3.5	Conclusion du chapitre trois.....	72
Chapitre Quatre - Développement et étude de lignes de transmission auto-protégées....		75
4.1	Rappel de l'état de l'art	75
4.2	Cahier des charges.....	76
4.3	Validation de la solution en technologie CMOS 45-40 nm.....	77
4.3.1	Lignes de transmission seules	77
4.3.2	Lignes de transmission protégées contre les décharges électrostatiques.....	80
4.4	RetroSimulations des premiers résultats.....	83
4.5	Etude des interconnexions métalliques.....	87
4.6	Modification des paramètres géométriques des lignes de transmission	90
4.7	Conclusion du chapitre quatre.....	93

Chapitre Cinq - Discussion et perspectives	95
5.1 Améliorations possibles du transistor BIMOS	95
5.2 Utilisation du transistor BIMOS comme circuit de déclenchement	96
5.3 Simulateur électromagnétique prenant en compte les niveaux métalliques et le substrat de silicium : MAGWEL ©	99
5.4 Alternative de placement des composants de protection	100
5.5 Observations de la solution pour les applications térahertz.....	105
5.6 Conclusion du chapitre cinq	105
Conclusion générale	107
Liste des travaux	111
Références	113

INTRODUCTION GENERALE

Les circuits électroniques utilisés pour les applications aéronautiques, militaires et spatiales, mais aussi plus grand public telles que l'automobile et la téléphonie, doivent présenter des performances de qualité et répondre à des objectifs de fiabilité très sévères. Ainsi, un circuit très performant ne peut être utilisé s'il ne répond pas aux normes de fiabilité requises. En raison de la diminution des dimensions de gravures et de l'augmentation des champs d'applications, l'environnement dans lequel évolue le circuit électronique est de plus en plus hostile. En outre, la présence de l'électronique dans de nombreuses applications embarquées, telles que les téléphones et ordinateurs portables, implique une contrainte très sévère de fiabilité. En effet, même un faible pourcentage de circuits défectueux aura de lourdes conséquences financières pour les fabricants. Ainsi, l'amélioration de la fiabilité des circuits électroniques est devenue un enjeu primordial.

Tout au long de sa vie, un circuit électronique va subir des événements extérieurs qui peuvent endommager ou perturber son fonctionnement normal, et ce, dès le stade de la fabrication. Ces agressions peuvent être destructives ou non. Par exemple, dans l'espace, les circuits intégrés sont sujets à de nombreuses radiations et ions lourds. Cela provoque des défaillances ou des vieillissements prématurés. Sur Terre, les différents équipements électroniques créent un champ électromagnétique ambiant qui peut interagir avec un circuit mal protégé. Aussi, des manipulations répétées de la part d'un utilisateur mal informé augmentent les risques liés aux interférences électromagnétiques (EMI – ElectroMagnetic Interferences), des surcharges électriques (EOS – Electrical OverStresses) et des décharges électrostatiques (ESD – ElectroStatic Discharges). Ces événements sont susceptibles de causer des défaillances de circuits.

Les problèmes liés aux décharges électrostatiques sont devenus un enjeu majeur pour la fiabilité des circuits électroniques. Une décharge électrostatique survient lorsqu'une différence de potentiel entre deux corps devient tellement importante qu'elle perce le milieu situé entre ces deux corps. Lorsqu'un circuit électronique est la cible de décharges électrostatiques, son fonctionnement peut être altéré et ce circuit peut même être détruit. C'est pourquoi il est très important de se prémunir de ces phénomènes de décharges à l'aide de circuits de protection et d'un contrôle très strict sur l'environnement de réalisation et de transport de circuits électroniques. En règle générale, dans un circuit intégré, ce circuit de protection est placé à l'interface entre les plots d'accès et le circuit principal. Pour éviter une augmentation du coût de production, la surface de silicium occupée doit être la plus réduite possible. En fonctionnement normal du circuit, la protection doit être transparente ; c'est-à-dire présenter un très faible courant de fuite et ne pas introduire de perturbations des signaux (atténuation, retard ou distorsion). Lors d'une décharge, cette protection doit être capable de devenir passante lorsque la tension devient élevée pour dériver le courant de décharge. Cependant, chaque circuit de protection présente une capacité parasite. À des fréquences élevées, cette capacité devient équivalente à un court-circuit. Ainsi, le signal utile à transmettre au circuit principal est directement absorbé par le circuit de protection. Les pertes présentées par le circuit de protection constituent alors un enjeu majeur lorsque le circuit à protéger fonctionne à des fréquences supérieures au gigahertz.

L'évolution de la technologie CMOS a permis d'intégrer les circuits électroniques pour atteindre des dimensions de plus en plus petites. Cependant, les solutions de protection développées dans l'état de l'art occupent toujours une surface très importante, de l'ordre du millimètre carré. La solution développée dans ce manuscrit a de faibles dimensions pour pouvoir être utilisée, à moyen ou long terme, dans un circuit intégré. De plus, pour éviter de développer le circuit de protection à une fréquence spécifique, la solution présente de faibles pertes sur une très large bande de fréquence. Ainsi, ce circuit de protection pourra être utilisé tel que dans de nombreux circuits.

L'objectif de ce manuscrit est donc de développer une topologie de protection contre les décharges électrostatiques, optimisée en termes de dimensions, de performances fréquentielles et de comportement vis-à-vis d'une décharge. Différentes approches ont été étudiées pour réduire les pertes dans les lignes de transmission qui seront utilisées. La topologie de circuits de protection par éléments distribués, développée par Ming Dou Ker en 2001 [KER01], constitue la base de ce travail.

Dans le premier chapitre, les généralités sur les décharges électrostatiques sont exposées, permettant de définir l'événement agresseur du circuit électronique. Les décharges électrostatiques peuvent être catégorisées en plusieurs groupes. Différents modèles ont été développés afin de pouvoir reproduire ces phénomènes en laboratoire et en simulations. Les stratégies de protection et les composants élémentaires de protection permettent alors de comprendre le fonctionnement d'un circuit de protection.

Le second chapitre constitue l'état de l'art sur les circuits de protection contre les décharges électrostatiques pour des applications fonctionnant à des fréquences supérieures au gigahertz. La capacité parasite des composants de protection joue un rôle très important dans les pertes induites par la structure de protection. Plusieurs solutions permettent de masquer cet effet parasite. Cependant, ces solutions occupent des surfaces de silicium très importantes et ne fonctionnent que sur une gamme de fréquences très limitée. Leur implémentation dans un circuit intégré actuel est alors très difficile. De plus, afin de faciliter l'utilisation de la protection par un concepteur de circuit, la bande passante du circuit de protection est de fait également un critère de choix. Les lignes de transmission étant utilisées pour connecter toutes les interfaces entrée/sortie d'un circuit électronique, la solution adoptée, à la vue de l'état de l'art existant, est d'optimiser ces lignes de transmission tout en incluant des composants de protection contre les décharges électrostatiques. En fragmentant le composant de protection en plusieurs éléments, la capacité parasite totale est ainsi répartie sur toute la structure de propagation.

Le troisième chapitre présente les différents outils permettant de mener à bien ce travail. Les structures de propagation seront détaillées pour apporter une meilleure compréhension des différents paramètres qui peuvent être extraits. En tant que composant de protection contre les décharges électrostatiques, les transistors BIMOS présentent des caractéristiques très intéressantes, par leurs performances ESD mais également par leurs faibles capacités parasites. Ces structures seront réalisées en technologies CMOS avancées et plus particulièrement avec les nœuds technologiques 45-40 nm et 32-28 nm.

Dans le quatrième chapitre, pour démontrer l'apport des lignes de transmission, plusieurs dispositifs sont réalisés. Afin de pouvoir intégrer la solution finale dans un circuit électronique, les dimensions ont été arbitrairement choisies. Le positionnement et le nombre de composants de protection déterminent alors le comportement de la structure finale. Des simulations sur Agilent Momentum ont été réalisées et des portages en technologies CMOS permettent de valider les premiers résultats obtenus.

Enfin, le dernier chapitre présente des perspectives encourageantes pour améliorer les performances de la solution proposée. Plusieurs axes d'étude ont été envisagés. La capacité parasite du composant de protection est un enjeu majeur et diverses topologies de composants sont utilisées. De plus, une solution alternative a été mise en place afin de réduire la longueur de la structure de protection et ainsi diminuer les pertes. Ce chapitre se terminera par une observation de la structure de protection sous des fréquences proches du térahertz.

CHAPITRE UN

ETUDE DES PHENOMENES DE DECHARGES ELECTROSTATIQUES

*I noticed a trend: if no one does anything, sick people
often get sicker.*

GREGORY HOUSE

La protection de circuits électroniques contre l'environnement extérieur est devenue un enjeu primordial afin de garantir la fiabilité et une durée de vie raisonnable de ces circuits intégrés : et ce, d'autant plus qu'en micro- et nano-électronique, les dimensions sont extrêmement faibles, ce qui fragilise encore plus la robustesse des composants en milieu hostile. Une décharge électrostatique (ou ESD, pour ElectroStatic Discharge) est un des phénomènes les plus destructeurs pour les circuits électroniques. Ils se produisent lorsqu'un élément chargé se retrouve suffisamment proche d'un conducteur métallique. Le champ électrique est alors suffisamment important pour créer un arc électrique. L'isolant séparant les deux éléments est alors percé et peut laisser ainsi passer un courant. Toute la physique des décharges électrostatiques est donc basée sur l'électromagnétisme et sur l'étude des diélectriques. Si un circuit intégré est assimilé au conducteur, il est alors sujet à des décharges électrostatiques et le courant ainsi engendré peut dégrader fortement ce circuit et même le détruire.

Il est alors indispensable de protéger les circuits intégrés contre ces décharges. Différents modèles et testeurs de décharges électrostatiques ont été mis en place afin de pouvoir reproduire ces phénomènes en laboratoire. Cela permet alors de qualifier un circuit selon le type et l'intensité de la décharge que celui-ci pourra supporter, tout en garantissant son bon fonctionnement.

1.1 LES DECHARGES ELECTROSTATIQUES EN MICROELECTRONIQUE

De l'éclair surgissant des nuages au léger picotement lors d'un contact avec un objet métallique, les décharges électrostatiques sont des phénomènes naturels, se produisant sous diverses formes. Bien évidemment, l'intensité et la durée de la décharge diffèrent selon les cas, mais les causes provoquant ce phénomène restent les mêmes. Le mécanisme vient d'un grand déséquilibre de charges électriques entre deux corps électriquement isolés. Lorsque ce déséquilibre devient trop important, l'isolant situé

entre les deux corps (principalement de l'air ou des isolants en microélectronique) est alors percé. Ceci permet un transfert de charges électriques d'un corps à l'autre afin de rétablir l'équilibre. Le chemin ainsi créé étant très peu résistif, le transfert s'effectue sur un temps très court avec une grande intensité. La lumière visible lors de ces très courts phénomènes est due à l'ionisation des molécules de l'air, ce qui crée un plasma qui sera le chemin permettant le transfert de charges.

En microélectronique, la réduction des dimensions des différents circuits tend à rendre ces derniers de plus en plus vulnérables aux perturbations provenant du monde extérieur. Aujourd'hui, les différentes dimensions utilisées sont de l'ordre de la centaine de nanomètres, voire moins pour les technologies les plus avancées. Les fonctions d'un circuit électronique dépendent essentiellement de l'état des transistors présents sur le circuit intégré. Or, avec la réduction des différentes dimensions, l'épaisseur des oxydes (isolants) a aussi considérablement diminuée. Une grande surtension percerait l'oxyde plus facilement que dans les technologies moins avancées. Le transistor ne fonctionnerait plus et le circuit deviendrait alors inopérant. Toute décharge électrostatique entre deux plots d'entrée/sortie quelconques du circuit intégré est susceptible de détruire un élément du circuit.

Différentes mesures doivent donc être prises afin de limiter la répercussion négative des décharges électrostatiques sur les circuits électroniques. Lors de la réalisation de ces derniers, le port de vêtements et de bracelets antistatiques et la régulation du taux d'humidité de l'air ambiant permettent d'évacuer constamment le surplus de charges électriques qui se déchargerait à chaque contact avec le circuit. Cependant, ces précautions ne permettent en aucun cas de protéger les circuits contre les décharges électrostatiques, mais juste d'éviter que ces phénomènes se produisent lors de manipulations. Il est donc nécessaire de placer un dispositif de protection contre les décharges électrostatiques à l'intérieur même du circuit intégré. Cela permet de garantir la robustesse d'un circuit vis-à-vis d'une décharge. Plusieurs normes et modèles ont alors été définis afin de pouvoir reproduire les différents types de décharges électrostatiques en laboratoire. Dès lors, une protection pourra être qualifiée selon le type et l'intensité de la décharge électrostatique qu'elle sera capable de supporter.

1.2 LES DIFFERENTS MODELES DE DECHARGES ELECTROSTATIQUES

1.2.1 MODELE DU CORPS HUMAIN /MODELE DE LA MACHINE

Le cas quotidien le plus usuel des décharges électrostatiques est lorsqu'une personne est elle-même chargée et se décharge lors d'un contact avec un objet métallique. C'est donc tout naturellement que le modèle du corps humain (Human Body Model – HBM) a été mis en place [ESDA98] [JEDE07]. Il modélise donc la décharge entre un être humain électriquement chargé et un circuit intégré. Une personne se déplaçant sur un sol synthétique voit son corps se charger de plusieurs kilovolts par triboélectricité. Les frottements permanents entre les chaussures et le sol favorisent le transfert et l'accumulation de charges. Le phénomène de décharge dure environ 300 ns, avec un temps de montée variant de deux à dix nanosecondes. Intrinsèquement, sans protection, la robustesse d'un circuit est généralement dérisoire comparée à une décharge HBM, qui est de l'ordre du kilovolt.

Ce modèle du corps humain est simplement constitué d'un circuit RLC en série (Fig. 1.1). La capacité C_{ESD} représente l'isolant situé entre le sol et le corps humain. En général, il s'agit des chaussures, mais divers éléments, tels qu'un sol humide, font varier la valeur de la capacité. La résistance R_{ESD} représente la résistance du corps humain.

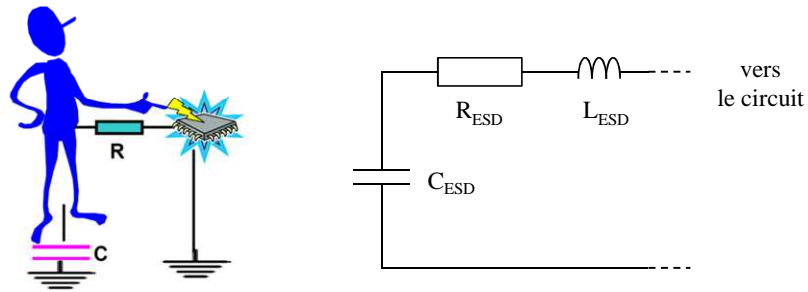


Fig. 1.1 – Modèle du corps humain (HBM) et le schéma électrique associé

Dans les années 1970, avec le développement de l'industrie automobile et des chaînes de production, les opérateurs sont de moins en moins amenés à toucher directement les composants électroniques. Les machines pouvant être chargées par un champ électrostatique quelconque, elles peuvent générer des décharges lors de contacts avec les circuits électroniques. Le modèle de la machine (Machine Model – MM) a tout d'abord été introduit au Japon, puis aux Etats-Unis pour pouvoir reproduire ce phénomène en laboratoire et qualifier au mieux la production en masse [ESDA99a] [JEDE97]. La résistance de contact R_{ESD} se trouve réduite afin de tenir compte de la surface métallique de contact. Théoriquement, la valeur de la résistance R_{ESD} est nulle.

Les deux modèles sont représentés avec le même schéma électrique équivalent (Fig. 1.2), seules les valeurs des composants diffèrent. Le corps humain ou la machine sont représentés par une capacité C_{ESD} chargée de 100pF (HBM) ou 200pF (MM) reliée par une résistance R_{ESD} de 1,5 k Ω (HBM) ou 1 Ω (MM) qui représente le contact métallique.

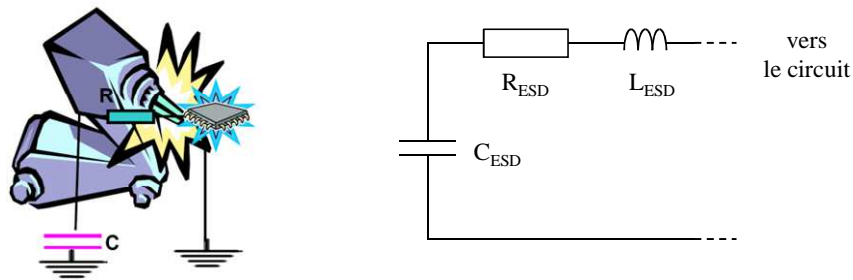


Fig. 1.2 – Modèle de la machine (MM) et le schéma équivalent associé

Afin de pouvoir qualifier les circuits selon ces modèles, des standards ont été établis [ESDA98] [ESDA99a]. Les différents composants ont alors des valeurs bien définies selon les tensions de décharges à appliquer. Des testeurs HBM et MM permettent alors de reproduire ces qualifications en laboratoire (Fig. 1.3). La source de tension permet de charger la capacité C_{ESD} . La décharge se fera donc lors de la commutation de l'interrupteur. Bien que l'utilisation d'une source de tension permette la charge de la capacité C_{ESD} , la grandeur à observer est le courant qui traverse le dispositif lors de la décharge. Les différents composants L_S , C_S et C_T représentent les éléments parasites du testeur. L'inductance parasite L_S (7,5 μ H en HBM ou 0,5 μ H en MM) et la capacité C_S permettent d'obtenir des formes d'onde de décharges réalistes. La capacité C_T représente la capacité parasite liée au testeur.

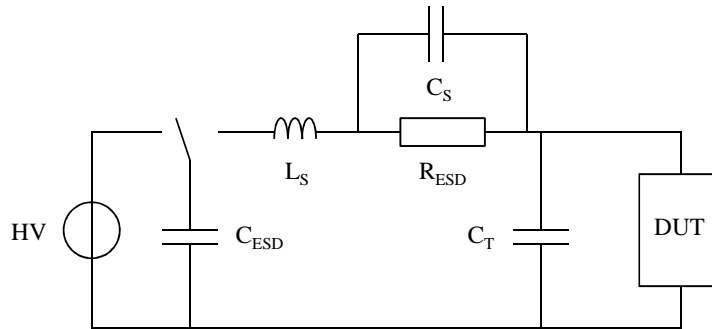


Fig. 1.3 - Schéma électrique d'un testeur HBM / MM

Le modèle du corps humain étant très proche du MM, le testeur HBM permet généralement de pouvoir faire également des tests MM. Des simulations de type SPICE du testeur HBM/MM permettent d'observer les formes d'onde de ces deux types de décharges (Fig. 1.4). Les normes instaurées définissent les paramètres du modèle et la forme du courant dans un court-circuit ou dans une résistance de 500Ω [JEDE97] [JEDE07]. La procédure de test (tensions à appliquer sur C_{ESD} , temps de montée de la décharge) est tout autant définie. Les protections de circuits sont alors catégorisées selon les niveaux de tension appliqués.

Cependant, les tests HBM sont plus utilisés que les tests MM. Cela est dû aux faibles valeurs des paramètres L_S et R_{ESD} du modèle MM. Sur la figure 1.4.b, une simple variation de la valeur de l'inductance L_S change complètement les caractéristiques de la forme d'onde. Ce paramètre étant lié au testeur, il est difficile de pouvoir le définir exactement d'un appareil à l'autre. La valeur de la résistance série R_{ESD} , très faible également, joue un rôle prépondérant sur la préférence du test HBM au test MM.

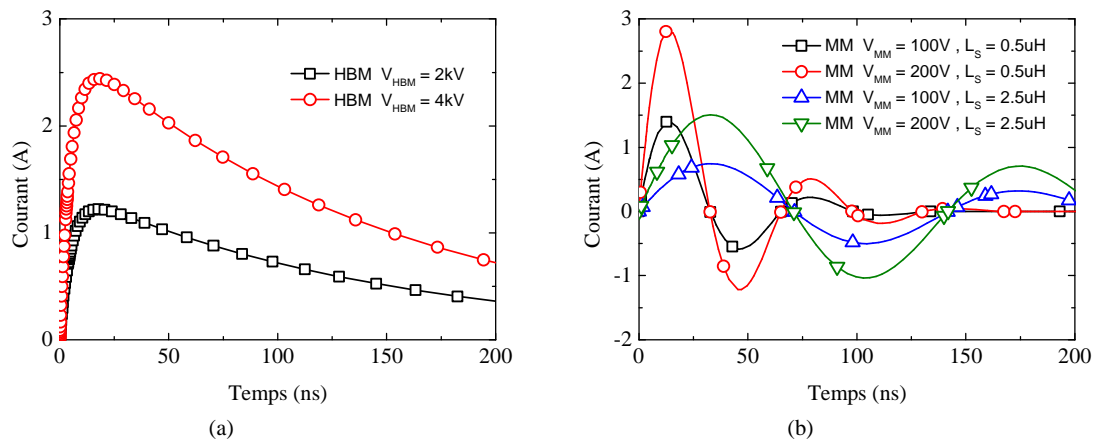


Fig. 1.4 - Formes d'onde de décharges HBM (a) et MM (b) dans un court-circuit

Lors de la qualification d'un circuit, le niveau de tolérance est défini comme la tension maximale que peut supporter un circuit sans engendrer de défaillance. Les normes actuelles des niveaux de tolérance sont données dans le tableau 1.1.

Malgré la mise en place de ces deux modèles, une grande majorité des circuits électroniques est toujours susceptible d'être défectueuse par décharges électrostatiques. L'accumulation de charges a

bien été prise en compte sur les êtres humains et les machines. Par contre, lorsque le composant est lui-même chargé, celui-ci est tout autant susceptible de se décharger lors d'un contact avec un objet métallique.

1.2.2 MODELE DU COMPOSANT CHARGE

Au début des années 1980, l'automatisation des chaînes d'assemblage automobile est en plein essor. Cela a permis de mettre en évidence un nouveau phénomène de décharges électrostatiques. Le composant peut se retrouver chargé par triboélectricité lors de son transport dans les baguettes plastiques ou encore par induction si le circuit se trouve dans un champ électrique ambiant. Les charges accumulées dans le composant s'évacuent lors d'un contact d'une broche avec une masse quelconque (Fig. 1.5). Le modèle du composant chargé (Charged Device Model – CDM) retranscrit ce type de phénomène qui est fondamentalement différent des modèles précédemment présentés [JEDE95] [ESDA99b]. Il permet notamment l'explication de claquages de diélectriques, phénomènes qui ne peuvent être expliqués avec les deux modèles précédents.

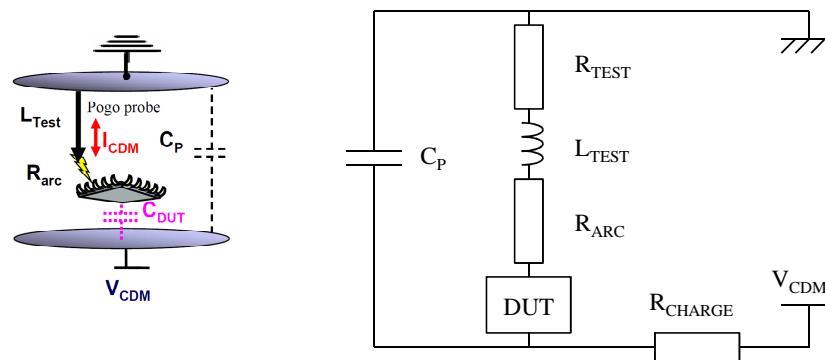


Fig. 1.5 - Modèle du composant chargé

A l'heure actuelle, la miniaturisation des circuits nécessite de moins en moins de manipulations directes d'un opérateur. Lorsque le circuit électronique est mis en boîtier, ce dernier est beaucoup moins sujet aux décharges électrostatiques HBM et MM. La cause principale d'une défaillance d'un circuit liée aux décharges électrostatiques provient du phénomène CDM. Parmi les trois modèles présentés précédemment, celui-ci est le plus destructeur, car les courants engendrés sont bien plus importants sur des temps plus courts et impactent la totalité des circuits intégrés.

A cause des faibles résistances présentées dans le modèle, ce phénomène présente une forme d'onde, simulée sous SPICE, bien différente des deux autres modèles (Fig. 1.6). La nature oscillatoire de la décharge CDM est similaire à l'événement MM (présentée Fig. 1.4b), mais l'intensité du courant atteinte et le temps de montée très court dissocient ce phénomène des deux autres.

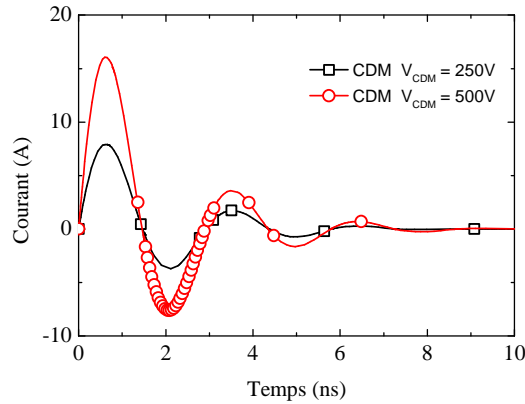


Fig. 1.6 - Formes d'onde de décharges CDM pour une capacité du circuit de 10 pF dans un court-circuit

Avec les trois modèles de phénomènes de décharges électrostatiques, les tests permettent de définir la robustesse d'un circuit vis-à-vis de ces événements. Pour être qualifié selon les différentes normes en vigueur [BOSE07] [LI09], un circuit doit pouvoir être en mesure de supporter un certain nombre de décharges (type de décharges et tensions à tolérer) (Tableau 1.1). Les valeurs présentées ne sont valables que pour des technologies antérieures au CMOS 45nm [ESDA06].

Tableau 1.1 - Résumé des valeurs de test requises jusqu'à la technologie CMOS 45nm

	Circuits numériques	Circuits analogiques	Circuits RF
Test HBM	4 kV	2 kV	1 kV
Test CDM	500 V	250 V	125 V

Avec la montée en fréquence des circuits électroniques actuels, les demandes en performances sont toujours de plus en plus fortes. Cependant, le temps imposé pour le développement des circuits dans les nouvelles technologies est de plus en plus réduit. Les dimensions constituant la technologie sont tellement faibles qu'il devient difficile de garantir la même teneur en décharges électrostatiques qu'avec les technologies plus matures. La communauté internationale d'experts du domaine de l'électrostatique envisage de diminuer les seuils de tolérance pour les technologies postérieures à la technologie CMOS 45nm [ESDA06]. Ainsi, pour la technologie CMOS 32 nm, le seuil de tolérance passe de 4 kV HBM à 2 kV HBM pour les circuits numériques.

En revanche, ces diminutions de seuils entraînent un contrôle plus strict sur l'environnement extérieur lors de la réalisation et du transport du circuit : tous les objets métalliques doivent être reliés à la masse, un contrôle strict des charges sur les éléments isolants et l'utilisation d'un boîtier pour le transport et le stockage devront être envisagés [ESDA10].

1.2.3 MODELE DU CONTACT METALLIQUE HUMAIN

Dernièrement, de nouvelles normes ont été mises en place afin de prendre en compte d'autres phénomènes. Avec le développement des appareils autonomes, tels que les téléphones portables, disques dur externes et autres lecteurs multimédia, l'utilisateur est de plus en plus amené à toucher directement l'appareil avec un objet métallique, que ce soit avec les câbles d'alimentation ou les connexions avec un ordinateur. Le modèle du contact métallique humain (Human Metal Model – HMM) a été mis en place afin de représenter ces phénomènes [IEC99] [FOTI05]. Les charges

accumulées sur le corps humain se déchargent à travers la connexion métallique. Le testeur de ce modèle (Fig. 1.7) est représenté par un schéma électrique identique à celui du HBM et MM (Fig. 1.3).

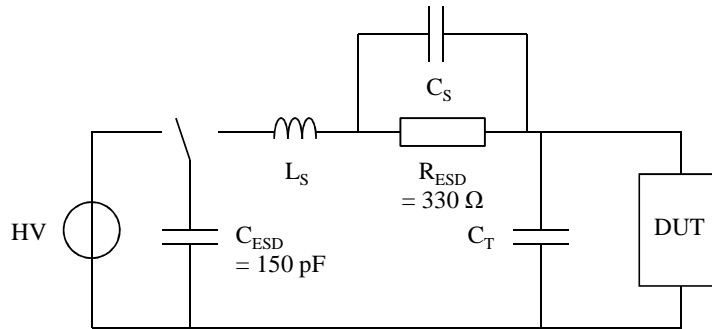


Fig. 1.7 - Schéma électrique d'un testeur HMM

La résistance R_{ESD} représente la résistance de contact entre le corps humain et le circuit électronique via l'objet métallique. Sa valeur est alors beaucoup plus faible que pour le testeur HBM (330 Ω contre 1,5 k Ω pour le HBM). Cette faible valeur de résistance implique un temps de montée et un courant pic très importants, observables avec des simulations électriques de type SPICE (Fig. 1.8). Le test en question est effectué directement au niveau système. La polarisation de la capacité, d'une valeur de 150 pF, est comprise entre 8 kV et 25 kV. Ces tests peuvent être réalisés sur des circuits polarisés ou non (mode power off / power on).

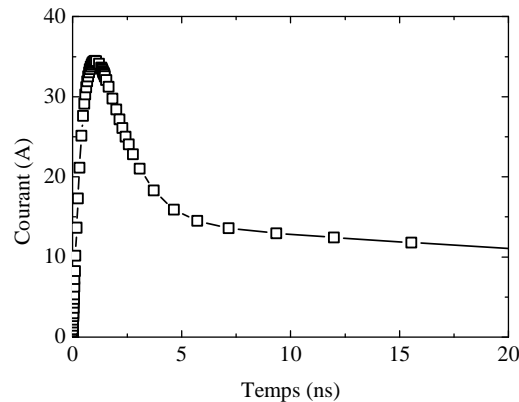


Fig. 1.8 - Forme d'onde de décharges HMM dans un court-circuit

Les différents modèles présentent tous des caractéristiques différentes. Un récapitulatif permet d'observer les temps de montée et les amplitudes des différents phénomènes (Fig. 1.9). Ces différents modèles permettent de reproduire le plus fidèlement possible les phénomènes de décharges électrostatiques en laboratoire. Afin de garantir le bon fonctionnement d'un circuit électronique vis-à-vis de ces phénomènes, celui-ci doit pouvoir supporter des courants très importants. Il est alors primordial de se prémunir de ces décharges à l'aide de circuits de protection.

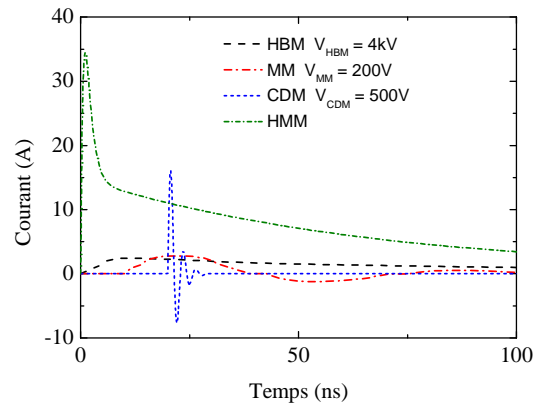


Fig. 1.9 – Récapitulatif des différentes décharges électrostatiques

1.3 STRATEGIES DE PROTECTION

Les stratégies de protection, ainsi que les tests réalisés, peuvent être différentes selon que le circuit intégré est polarisé ou non. Les phénomènes de décharges, tels que le HBM, MM ou CDM ont été développés pour le transport de circuits dans les chaînes de production. C'est pourquoi ces modèles ne sont valables que lorsque les circuits ne sont pas alimentés. Ce manuscrit ne traitera donc que de la stratégie « Normally off ».

La contrainte principale du circuit de protection est la transparence que ce dernier doit avoir vis-à-vis du circuit fonctionnel. Ce circuit de protection doit pouvoir détecter une quelconque surtension provenant de la décharge et activer un chemin d'évacuation du courant destructeur pour toutes combinaisons de plots de connexion d'un circuit intégré, quelle que soit la polarité de l'événement. Par contre, lors d'un fonctionnement normal du circuit intégré, les protections contre les décharges électrostatiques ne doivent pas altérer les caractéristiques du circuit. Pour cela, une protection performante doit présenter un faible courant de fuite et une capacité parasite limitée. Malgré ces précautions, il subsiste un risque de déclenchements intempestifs de thyristors parasite dans le substrat. Ce phénomène est appelé « Latch-Up ». En technologie intégrée, un circuit possède de nombreuses jonctions bipolaires. Par proximité, plusieurs jonctions peuvent former un thyristor parasite n-p-n-p. Un courant parasite injecté dans le substrat peut déclencher ce thyristor et créer ainsi un court circuit entre l'alimentation et la masse, ce qui cause soit la destruction du circuit intégré, soit une défaillance du système. Pour pallier ce problème dans les circuits de protection, il est nécessaire de bien maîtriser les tensions de déclenchement et de maintien des composants de protection. De plus, le circuit de protection doit également fonctionner à différentes températures. En effet, les propriétés du substrat dépendent énormément de la température, il est important de garantir, sur une plage de température donnée, la protection contre les décharges électrostatiques et de se prémunir des problèmes de latch-up.

Cependant, il existe plusieurs stratégies de protection différentes. Elles dépendent du type de phénomènes électrostatiques à traiter, des caractéristiques électriques du circuit fonctionnel (tension d'alimentation et courant de fuite tolérés) et de la surface disponible sur le substrat. Le phénomène CDM est le plus délicat à protéger car, si le circuit intégré est lui-même chargée, il est difficile de prévoir le chemin que va suivre la décharge. La protection de l'événement CDM est composée de

plusieurs éléments localisés, qui suivent des règles de placement et dépendent donc fortement du circuit fonctionnel.

Une architecture classique de protection contre les autres phénomènes (HBM / MM / HMM) présente des circuits placés à l'extérieur du circuit fonctionnel (Fig. 1.10). Les différents composants constituant le circuit de protection peuvent être dans un premier temps assimilés à des interrupteurs parfaits. Les flèches présentes dans ces composants représentent le sens admissible du courant lors d'une décharge. En condition normale de fonctionnement, ces différents composants sont à l'état bloqué. Le circuit de protection situé entre l'alimentation V_{DD} et la masse V_{SS} , appelé également « clamp », est un circuit bidirectionnel. Celui-ci comporte un circuit de déclenchement (appelé aussi « Trigger circuit »). Ce circuit bidirectionnel est par ailleurs imposant par la surface occupée, cela explique qu'il est préférable d'utiliser des composants moins gourmands en terme de surface de silicium, même si ces derniers sont unidirectionnels.

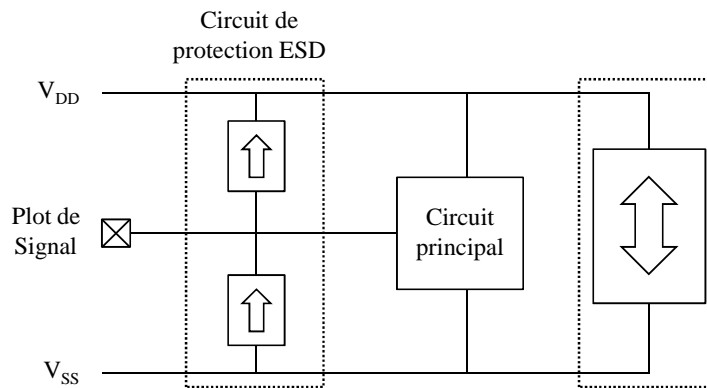


Fig. 1.10 - Schéma d'une protection HBM / MM / HMM pour un circuit à alimentation unique

Quelle que soit la stratégie adoptée, cette dernière doit permettre de protéger n'importe quelle combinaison de plots de connexion d'un circuit intégré. La décharge peut se produire entre deux plots différents (entrée, sortie, alimentations V_{DD} et V_{SS}). La protection doit donc être capable de supporter des courants, positifs ou négatifs, traversant n'importe quelle combinaison de plots. Si, au cours d'une décharge, plusieurs broches d'un circuit sont en contact avec le corps chargé, plusieurs chemins de décharges sont empruntés en parallèle. Les avantages et inconvénients des différents composants existants et utilisés sur les plots E/S sont décrits dans la partie suivante.

Les stratégies de protection (On Chip Protection) se présentent sous trois catégories [MILL01] :

- Globale

Cette stratégie de protection, présentée sur la figure Fig. 1.11, consiste à placer des circuits de protection auprès de chaque plot d'E/S et d'un ou de plusieurs « clamp » afin de pouvoir garantir toutes les possibilités de combinaisons possibles. Afin d'éclaircir au maximum la figure Fig. 1.11, le circuit fonctionnel et ses connexions aux plots d'E/S sont implicites. Ainsi, une décharge électrostatique entre deux plots d'E/S quelconques est représentée sur cette figure. Le courant arrivant sur le plot d'E/S ne peut passer par le composant U_1 . L'élément U_2 conduit le courant vers le rail d'alimentation V_{DD} . Le courant passe au rail V_{SS} à travers les « clamp » et remonte vers le plot à travers le composant U_3 .

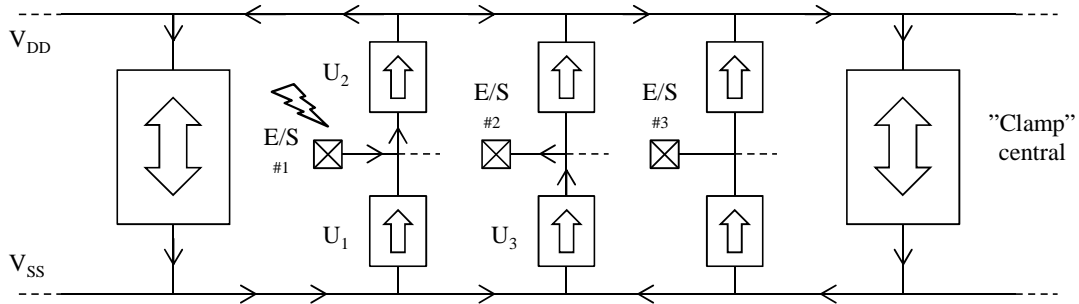


Fig. 1.11 - Schéma d'une stratégie de protection globale

Cependant, il est nécessaire de placer des « clamps » à intervalles réguliers. Plus le « clamp » est éloigné du composant U_3 , plus la résistance du bus d'alimentation est importante et ainsi, plus le risque de claquage d'oxyde des composants est élevé. D'autant plus que cette résistance de rail a tendance à augmenter avec les technologies CMOS avancées.

- Distribuée

Pour pallier cette règle de placement de « clamp », il est possible de fragmenter le « clamp » pour chaque plot d'E/S. Il suffit alors de rajouter des rails de détection (« Boost ») et de déclenchement (« Trigger »). Un circuit est placé entre ces deux rails, ce qui permet de détecter une décharge et ainsi de déclencher tous les « clamp » en même temps. Cette stratégie permet de généraliser l'évacuation du courant par tous les plots d'E/S et ainsi éviter de favoriser un chemin spécifique (Fig. 1.12) [MILL08]. Les flèches indiquent alors la manière dont sont activés les différents « clamps ». Le chemin qu'emprunte la décharge est alors le même que pour la stratégie précédente.

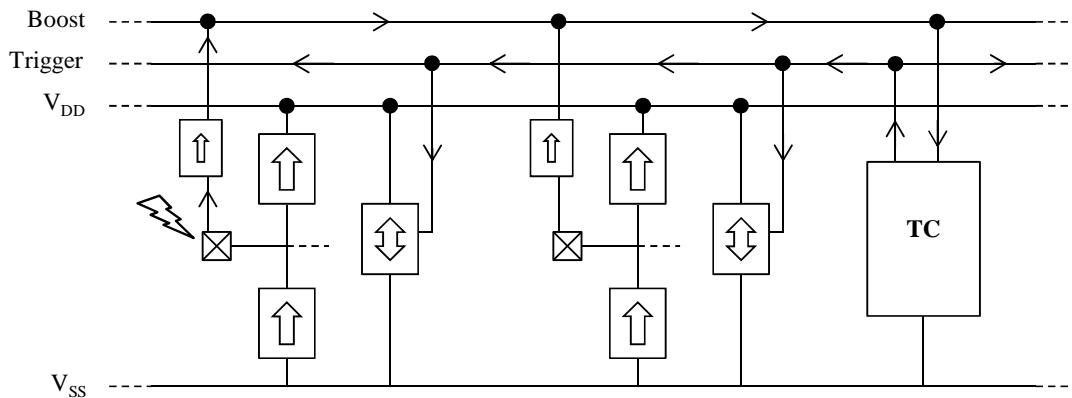


Fig. 1.12 - Schéma d'une stratégie de protection distribuée

- Locale

Comme son nom l'indique, cette stratégie définit une protection bidirectionnelle pour un plot d'E/S donné (Fig. 1.13). Cependant, cette protection n'est utilisée que pour des cas particuliers. La taille du « clamp » étant conséquente du fait de sa conduction en surface, cette stratégie devient vite très gourmande en place si elle devait être appliquée pour tous les plots d'E/S du circuit [BOUR10a]. Des

études sont actuellement menées pour diminuer la taille des composants afin de réduire considérablement la surface du substrat utilisée [BOUR11] [GALY10].

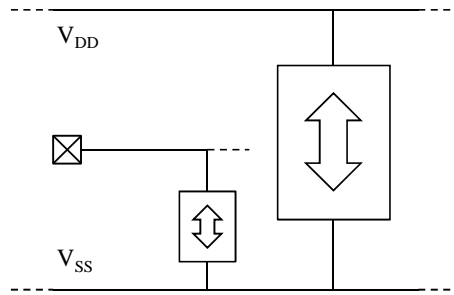


Fig. 1.13 - Schéma d'une stratégie de protection locale

La stratégie à adopter est définie essentiellement par :

- les spécifications ESD requises
- les caractéristiques intrinsèques du circuit fonctionnel (tension d'alimentation à respecter pour garder l'intégrité du circuit, courant de fuite à minimiser)
- la surface disponible sur le substrat

Au niveau électrique, le circuit de protection contre les phénomènes ESD ne doit, en aucun cas, perturber le comportement du circuit fonctionnel. Pour cela, les caractéristiques courant – tension de la protection doivent se situer dans une fenêtre de conception (Fig. 1.14). La tension minimale de cette fenêtre correspond à la tension d'alimentation du circuit et la tension maximale détermine la tension de claquage de l'élément le plus fragile du nœud technologique (claquage d'oxyde ou de jonction) ; le tout avec des marges de 10%. Ainsi, si la protection contre les décharges électrostatiques se déclenche en dehors de cette fenêtre de conception, elle risque de s'activer lors d'un fonctionnement normal du circuit ou alors après avoir dépassé la tension de claquage du plus petit élément du circuit.

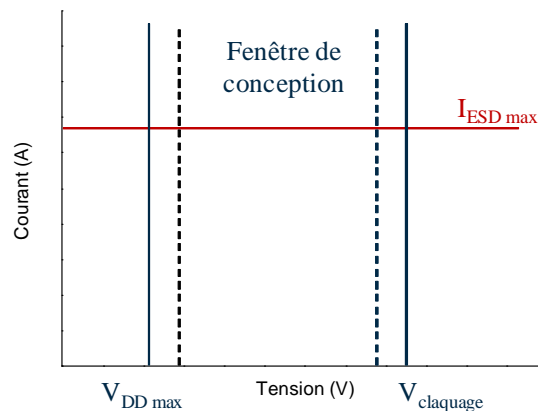


Fig. 1.14 - Fenêtre de conception d'une structure de protection

De plus, le problème de latch-up peut être aussi expliqué à partir de ce schéma. En effet, si les tensions de déclenchement et de maintien du circuit de protection sont trop proches de V_{DDmax} , une quelconque surtension déclencherait le circuit de protection. Ce dernier décharge alors le courant et peut ainsi détériorer le circuit fonctionnel ainsi que l'alimentation.

Pour un circuit intégré possédant plusieurs alimentations différentes, plusieurs fenêtres de conception sont à prendre en considération. En effet, chaque alimentation possède sa propre fenêtre de conception. Selon la valeur de la tension d'alimentation, cette fenêtre est plus ou moins large pour y concevoir le circuit de protection contre les décharges électrostatiques.

La caractéristique électrique courant – tension de la protection est importante car elle fournit également une information sur la résistance à l'état passant R_{ON} . Si cette dernière est trop élevée, la caractéristique électrique risque de sortir de la fenêtre de conception. Ce dernier point sera traité dans la partie suivante à l'aide des différents composants et de leurs caractéristiques électriques.

1.4 COMPOSANTS ELEMENTAIRES DE PROTECTION

La mise en place de la stratégie de protection dépend des composants élémentaires la constituant. Afin d'éviter un coût supplémentaire pour réaliser cette protection, il faut éviter que cette dernière nécessite des masques supplémentaires pour la fabrication du circuit. De manière générale, le développement et la réalisation d'un circuit ne prenant pas en compte le développement du circuit de protection, les composants élémentaires de protection ne doivent pas nécessiter d'étapes supplémentaires lors de la fabrication du circuit final. Ces composants doivent présenter des caractéristiques électriques telles que le fonctionnement à des conditions de courant élevé, une faible résistance à l'état passant, et une dynamique rapide afin de pouvoir détecter le phénomène de décharges électrostatiques. Il existe plusieurs composants élémentaires susceptibles d'avoir le comportement souhaité : la diode, le transistor MOS, le transistor ggNMOS et le thyristor, dont les fonctionnements sont décrits dans les parties suivantes.

1.4.1 DIODES

La diode est le composant de protection le plus simple et le plus utilisé pour dériver le courant de décharge vers les rails d'alimentation V_{DD} et V_{SS} du circuit. La jonction p-n étant la brique de base en électronique, cet élément est disponible dans toutes les technologies. Il existe deux types de diodes possibles : celles dont les dopages n^+ et p^+ sont séparés par une tranchée d'oxyde (diode STI, pour Shallow Trench Isolation) et celles dont les dopages sont séparés par une grille MOS (diode à grille).

Lorsqu'elle est polarisée en direct, au-delà de sa tension de seuil (de l'ordre de 0,6 V), la diode est à l'état passant et permet le passage de forts courants de décharge avec une bonne dissipation de puissance. Lorsque la diode est polarisée en inverse, cette dernière est à l'état bloqué jusqu'à la tension de claquage de la jonction p-n par avalanche.

Le caractère unidirectionnel du composant permet une simple implémentation dans le circuit (Fig. 1.15). Si l'amplitude du signal à envoyer au circuit est inférieure aux tensions de seuil des diodes, ces dernières sont à l'état bloqué et donc tout le signal est effectivement transmis au circuit. Mais lors d'un phénomène de décharge électrostatique, la forte tension reçue active une des diodes qui dérive ainsi le courant engendré. Cette dérivation évite au courant de passer dans le circuit fonctionnel et ainsi de risquer de le dégrader.

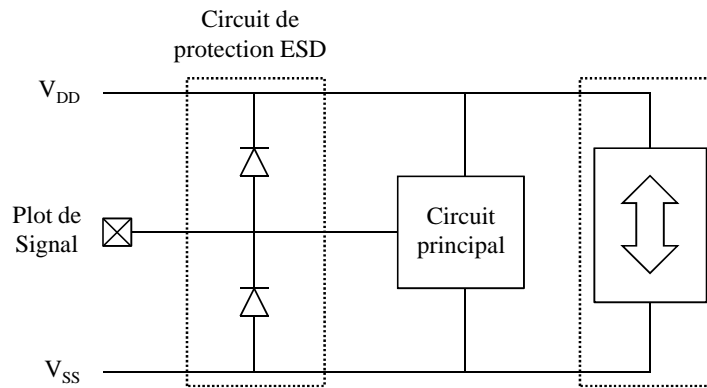


Fig. 1.15 - Implémentation des diodes dans un circuit de protection

Les caractéristiques courant – tension de la diode STI et de la diode à grille sont représentées dans la fenêtre de conception de la protection ESD (Fig. 1.16). Cependant, la diode ne présentant aucun risque de latch-up, il est surtout intéressant de représenter les caractéristiques avec la tension de claquage des oxydes. Il est alors évident que ces caractéristiques doivent être situées à l’intérieur de la fenêtre. Si non, le circuit de protection n’aura pas le comportement souhaité.

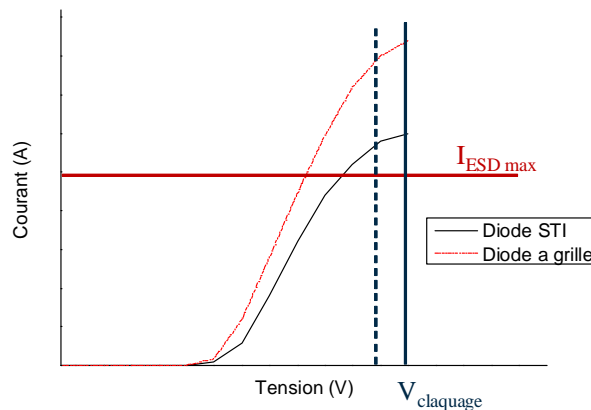


Fig. 1.16 - Caractéristiques courant – tension des diodes

Les caractérisations électriques montrent une meilleure robustesse intrinsèque des diodes à grille que les diodes STI. Cela s’explique par une plus faible distance anode/cathode dans le cas de la diode à grille. Ainsi la résistance série est plus faible et permet alors une meilleure dissipation thermique. À partir d’une certaine valeur de tension, la diode entre en régime de saturation. La saturation est liée à la dégradation de la mobilité des porteurs et au phénomène d’auto-échauffement lorsque le semi-conducteur est en régime de forte injection.

Le déclenchement du circuit de protection est ajustable en tension par la mise en série de ces diodes afin de détecter des signaux supérieurs à la tension d’alimentation [BOUR09]. Cependant, il est difficile d’envisager la mise en série de nombreuses diodes : courant de fuite important, occupation de place importante sur le silicium, dérives liées à la température, effets parasites (transistors bipolaires,

effet Darlington et thyristors) deviennent de plus en plus dominants avec les technologies avancées [MATH04].

1.4.2 TRANSISTOR MOS

Le transistor MOS est également un composant intéressant pour la protection contre les décharges électrostatiques. La tension de grille contrôlant l'ouverture du canal, ce transistor doit rester à l'état bloqué durant un fonctionnement normal du circuit qu'il protège et doit pouvoir dériver le courant de décharge à l'état passant. En général, le transistor MOS en tant qu'élément de protection ESD est utilisé entre les alimentations V_{DD} et V_{SS} pour le « clamp » et il protège uniquement contre un événement positif, il est alors nécessaire de rajouter une diode en inverse pour empêcher une fuite de courant entre les rails V_{DD} et V_{SS} (Fig. 1.17). Intrinsèquement, le transistor MOS possède déjà une diode en inverse lorsque le substrat (bulk) est relié à la source. Cependant, selon le courant de décharge, il est indispensable d'ajouter une diode en inverse supplémentaire.

Afin de détecter la décharge électrostatique, l'utilisation du transistor MOS nécessite un circuit de déclenchement connecté à sa grille. Ce circuit est composé d'un inverseur et d'un filtre RC dont la constante de temps est supérieure à la durée d'un phénomène ESD, mais doit rester inférieure aux périodes de transition du circuit en fonctionnement nominal. Concrètement, cette constante de temps doit être comprise entre 150 ns, durée d'un événement HBM, et 1 μ s, temps de montée d'un signal classique. Le circuit de déclenchement contrôle donc la tension appliquée à la grille du transistor et commande l'ouverture et la fermeture du canal de conduction. Ce dernier étant très fin, la conduction dans le transistor MOS se fait en surface ; contrairement à la diode STI, où la tranchée d'oxyde implique une conduction en profondeur dans le semiconducteur. Cette conduction surfacique inclut une forte résistivité à l'état passant et une mauvaise dissipation de la chaleur, puisque celle-ci reste en surface et ne peut pas s'étendre dans le volume du semiconducteur. Cela implique que ces éléments sont très imposants et atteignent plusieurs millimètres de largeur [RAMA97].

Malgré cela, cette solution est utilisée puisqu'elle possède l'avantage d'être facilement contrôlable et ne comporte aucun risque de latch-up. Ajouté avec les diodes, le transistor MOS forme la stratégie de protection globale la plus utilisée dans les circuits intégrés CMOS digitaux.

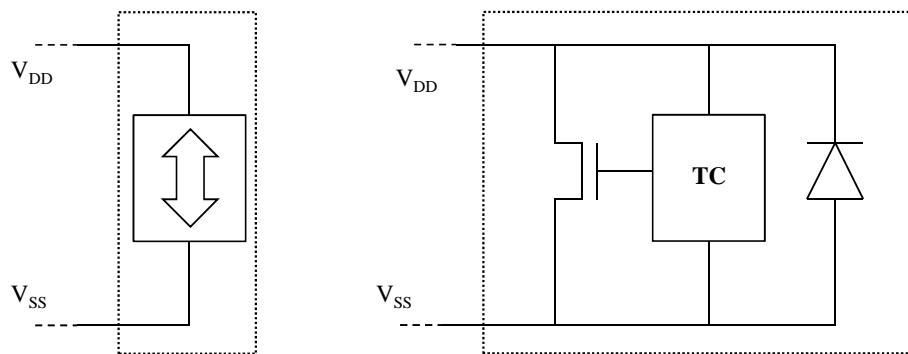


Fig. 1.17 - Implémentation du transistor MOS au « clamp »

1.4.3 GGNMOS (GROUNDED GATE NMOS)

En technologie CMOS, tous les transistors MOS présentent un transistor bipolaire parasite. Un transistor nMOS possède un transistor bipolaire parasite de type npn composé du collecteur par le drain n^+ , de la base par le substrat p et de l'émetteur par la source n^+ (Fig. 1.18a). Inversement, un transistor MOS de type p possède un transistor parasite pnp. Utilisé en tant qu'élément de protection, le transistor bipolaire npn possède un meilleur gain en courant et une tension de déclenchement plus faible que le transistor pnp. Cette différence provient des caractéristiques intrinsèques des dopages de type n et p. L'effet du transistor bipolaire npn dans le transistor nMOS est donc couramment utilisé comme élément de protection en configuration ggNMOS (grounded gate nMOS) : le drain est relié au plot E/S et la source, le caisson d'isolation et la grille sont connectés à la masse (Fig. 1.18b) [DUVV91] [DABR98].

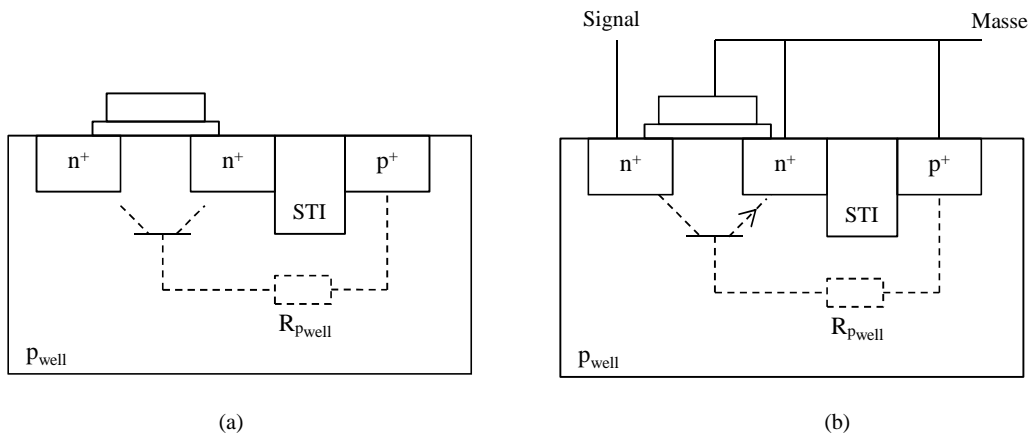


Fig. 1.18 – a) Représentation du transistor bipolaire parasite dans un transistor MOS et b) configuration du ggNMOS

Lors d'une décharge électrostatique sur le drain, la première jonction p-n (drain-substrat) étant polarisée en inverse, aucun courant ne circule dans la structure. Mais la tension augmente jusqu'à atteindre la tension critique de la jonction initialisant les phénomènes de claquage de la jonction par avalanche. Le courant de trou ainsi généré traverse le substrat jusqu'à la masse à travers la résistance du substrat. Ce courant va augmenter localement le potentiel du substrat près de la source et devient alors suffisamment important pour polariser en direct la jonction substrat / source (émetteur/base). Le transistor bipolaire parasite se déclenche et génère un courant d'électrons important à travers la jonction base/collecteur. La tension aux bornes du transistor diminue, ce phénomène de retournement dans sa caractéristique électrique est aussi appelé « snapback ». Dès lors, la résistance à l'état passant R_{ON} est faible. Cependant lorsque le nombre de porteurs générés devient plus important que le dopage initial, l'emballage thermique engendré détruit le transistor (Fig. 1.19). La taille du ggNMOS est beaucoup plus faible que celle du transistor MOS étudié dans le paragraphe précédent, la conduction du courant se fait en volume et non en surface. À taille de composant équivalente, le ggNMOS est beaucoup plus robuste, avec une meilleure dissipation de l'énergie thermique.

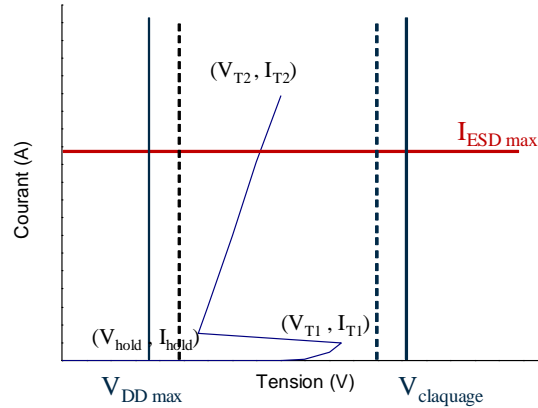


Fig. 1.19 – Caractéristique électrique du transistor GGNMOS

La caractéristique électrique du composant (Fig. 1.19) permet de définir des coordonnées courant - tension clés pour les composants de protection. Le couple $I_{T1} - V_{T1}$ définit le point où le composant se déclenche (phénomène de retournement ; « snapback »), $I_{hold} - V_{hold}$ pour le point de maintien et $I_{T2} - V_{T2}$ pour le point de défaillance du composant. Il est donc important que ces trois points clés de la caractéristique électrique se situent à l'intérieur de la fenêtre de conception de la protection.

1.4.4 THYRISTOR (SCR – SILICON CONTROLLED RECTIFIER)

Le thyristor est un composant constitué de quatre couches semi-conductrices dopées alternativement de type p et n (Fig. 1.20). Une telle structure peut être représentée différemment et s'apparente donc à deux transistors bipolaires rebouclés, pnp et npn. Ce composant est de plus en plus utilisé en tant qu'élément de protection ESD puisqu'il possède une très grande impédance à l'état bloqué et une très faible impédance à l'état passant. Sa caractéristique statique I(V) ressemble à celle du ggNMOS, mais sa faible valeur d'impédance R_{ON} en fait un élément de protection plus robuste face aux événements à fort courant tels que les décharges électrostatiques [CAIL03].

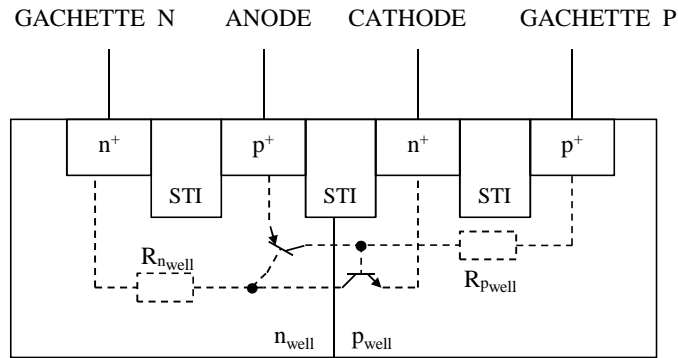


Fig. 1.20 - Structure du thyristor

Ce composant est unidirectionnel et comporte trois jonctions en série (p-n, n-p et p-n) dont l'une d'elle est en inverse. Ainsi il existe plusieurs configurations pour l'activation du composant. Généralement, toutes les gâchettes sont connectées afin de réduire les risques de latch-up. Pour activer le dispositif, il faut que la tension $V_{Anode-Cathode}$ soit supérieure à la tension d'avalanche de la jonction n-p. Cette tension d'activation peut être réduite en appliquant un potentiel bas à la gâchette n ou un

potentiel haut à la gâchette p. Ainsi, cette tension d'activation est ajustable en fonction des besoins en plaçant un circuit de déclenchement extérieur connecté à la gâchette n et/ou à la gâchette p [DISA08] [BOUR09] [BOUR10b].

La caractéristique électrique d'un thyristor présente également un phénomène de retournement (Fig. 1.21). Les différents points critiques de cette caractéristique sont les mêmes que pour le transistor ggNMOS. Toutefois, il est important de noter que contrairement au transistor ggNMOS, le déclenchement du thyristor ne se fait pas par un phénomène d'avalanche.

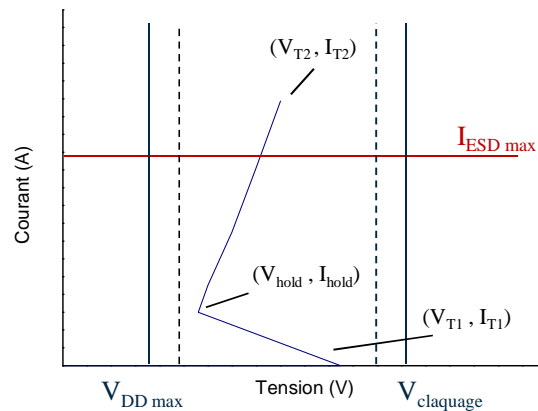


Fig. 1.21 – Caractéristique typique d'un thyristor

Cependant, le composant possède à l'état passant une tension de maintien V_{hold} proche du Volt, ce qui implique un risque important de latch-up [TAZZ10]. Il est donc important soit d'augmenter la tension de maintien V_{hold} du thyristor au-delà de la tension maximale d'alimentation du circuit, soit d'augmenter le courant de maintien I_{hold} afin qu'il soit supérieur au courant que peut fournir l'alimentation [GALY10].

1.4.5 RECAPITULATIF DES COMPOSANTS ELEMENTAIRES

La tension de déclenchement des différents composants présentés étant modulable, le principal avantage d'un élément de protection est l'impédance présentée en mode passant R_{ON} . Le thyristor est alors le composant qui permet d'absorber un courant plus important tout en garantissant une différence de potentiel moindre.

Ces différents composants présentent chacun des avantages et des inconvénients. Le choix s'effectue donc selon la stratégie de protection définie et de la fenêtre de conception disponible. Cependant, bien que la diode et le transistor MOS aient des comportements électriques bien connus, les caractéristiques statiques du ggnMOS et du thyristor dépendent fortement de leurs topologies. Pour cela, il est nécessaire d'avoir des outils de caractérisation permettant d'obtenir la caractéristique électrique de la structure globale et ainsi de confirmer la validité du dispositif dans la fenêtre de conception.

1.5 METHODE DE CARACTERISATION DES PROTECTIONS ESD

Le choix déterminant d'un composant élémentaire ne dépend pas seulement de sa performance lors d'une décharge électrostatique. Il faut également avoir des informations supplémentaires afin que la structure de protection puisse fonctionner correctement dans la fenêtre de conception disponible. Les tensions et courants de déclenchement et de maintien sont des informations indispensables afin

d'éviter tous déclenchements intempestifs de la protection lors du fonctionnement normal du circuit à protéger. Différents outils de caractérisation permettant d'obtenir la caractéristique courant – tension du dispositif seront présentés dans cette partie.

1.5.1 BANC DE CARACTERISATION TLP (TRANSMISSION LINE PULSE – IMPULSIONS GENEREES PAR UNE LIGNE DE TRANSMISSION)

Pour représenter un phénomène électrostatique mettant en jeu de forts niveaux de courant, une caractérisation classique courant – tension du dispositif de protection endommagerait prématurément le composant par des effets thermiques. La caractérisation TLP fut introduite par Maloney en 1985 [MALO85]. Le banc de mesures TLP permet de caractériser les dispositifs en s'affranchissant des problèmes thermiques.

Le principe de la mesure TLP est de générer des impulsions carrées en courant avec des amplitudes d'intensités de plus en plus importantes. La mesure pulsée a pour objectif de se rapprocher de la durée des décharges. De la même manière que l'auto-échauffement d'un composant de protection est limité par la durée de la décharge, cette limitation est reproduite par la durée des impulsions. La défaillance du composant testée est souvent fonction de l'énergie envoyée, c'est-à-dire de la durée de la décharge et de l'amplitude du courant. Afin de se placer dans un domaine d'énergie comparable aux énergies mises en jeu en HBM et MM, la durée standard d'une impulsion TLP est de 100 ns. De ce fait, l'impulsion est suffisamment courte pour ne pas échauffer le composant et elle est également suffisamment grande pour que ses caractéristiques soient stabilisées (Fig. 1.22).

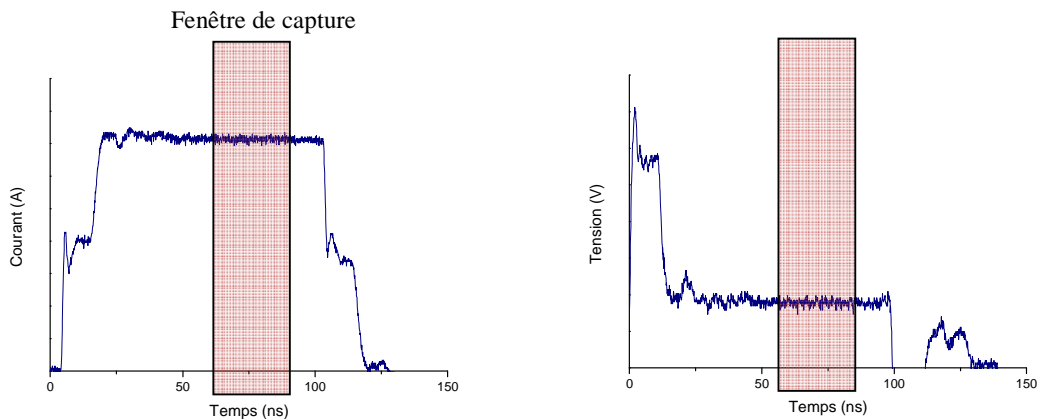


Fig. 1.22 – Impulsions électriques lors d'une caractérisation de type TLP

Il existe de nombreuses variantes de bancs de caractérisation TLP. Le principe reste toutefois le même : une ligne de transmission de 10 m est d'abord chargée sous une tension continue V_E au travers d'une résistance de très forte impédance, puis une commutation permet la décharge vers le composant à tester. La décharge en tension est convertie en courant à l'aide de la résistance R_S de 500Ω à $1 \text{ k}\Omega$. Pour qu'il y ait adaptation d'impédance, le tout est mis en parallèle avec une résistance d'environ 55Ω . L'inductance L_S permet de contrôler le temps de montée de l'impulsion (Fig. 1.23). La caractérisation TLP consiste à envoyer des impulsions à amplitudes croissantes. Ainsi, pour chaque impulsion, après stabilisation du courant et de la tension aux bornes du composant, les valeurs mesurées sont moyennées. La caractéristique courant – tension est ainsi reconstruite point par point, chacun d'eux étant associé à une impulsion d'amplitude donnée. Cette méthode permet donc d'obtenir la caractérisation quasi statique d'un circuit. Cette appellation vient du fait que la caractéristique se mesure à l'aide d'un mode d'excitation dynamique.

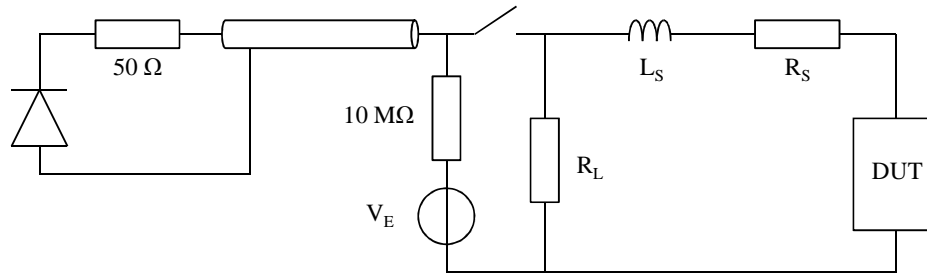


Fig. 1.23 - Schéma électrique d'un banc de test TLP

1.5.2 BANC DE CARACTÉRISATION VF-TLP (VERY FAST TRANSMISSION LINE PULSE)

La caractérisation TLP générant des impulsions proches du HBM, il était nécessaire de développer une caractérisation adaptée au CDM [GEIS96]. Le banc de mesure vf-TLP (Very Fast Transmission Line Pulse) génère donc des impulsions carrées d'une durée de 10 ns avec un temps de montée comparable au temps de montée de l'événement CDM, c'est-à-dire de l'ordre de 250 ps. Ces mesures permettent uniquement d'avoir des informations sur la dynamique des structures de protection et sur leur capacité à protéger le circuit contre un phénomène rapide tel que l'événement CDM. Cependant, ces tests ne permettent en rien de dire si le circuit est bien protégé contre les événements CDM : en effet, les mesures vf-TLP s'effectuent entre deux broches du circuit, alors qu'un phénomène CDM intervient lorsque tout le circuit est chargé et se décharge lors d'un contact avec la masse.

Toutefois, ces deux tests TLP ne garantissent pas l'efficacité de la protection : les mesures ne prennent pas en compte la réponse du circuit en régime dynamique. Le pic de courant – tension lors de la caractérisation peut s'avérer destructeur pour le composant de protection.

1.5.3 BANC DE CARACTÉRISATION VF-TCS (VERY FAST TRANSIENT CHARACTERIZATION SYSTEM)

A l'instar de la caractérisation vf-TLP, les mesures vf-TCS (Very Fast Transient Characterization System) donnent des informations complémentaires aux mesures TLP [MANO07]. Le banc de mesure vf-TCS est comparable à celui du TLP. Cependant, ces mesures ne donnent pas de renseignements sur la robustesse d'une protection, mais plutôt sur la réponse face aux surtensions générées lors des phénomènes transitoires très rapides. Les mesures en vf-TCS sont donc concentrées sur le pic de tension lorsqu'une impulsion carrée de courant est envoyée sur la protection.

1.6 PROBLEMES EN RF ET OBJECTIFS DE LA THESE

Ce premier chapitre a permis de mettre en évidence la problématique et les enjeux des phénomènes de décharges électrostatiques. Afin de se prémunir de ces événements destructeurs pour la microélectronique, il est indispensable de développer des dispositifs de protection. Des outils de caractérisations permettent d'évaluer la robustesse et l'efficacité de la protection développée.

A l'heure actuelle, les technologies évoluent très rapidement et les transistors ainsi réalisés atteignent des fréquences de transition supérieures à 200 GHz. Les règles usuelles de conception de circuits imposent d'avoir des transistors possédant des fréquences de transition au moins trois fois plus importantes que la fréquence de fonctionnement. Cela permet de réaliser des circuits travaillant dans la bande de fréquence millimétrique.

Il est maintenant intéressant de se focaliser sur le comportement de ces circuits de protection à ces hautes fréquences. La demande est de plus en plus forte et il est normal de se demander pourquoi il existe de telles attentes des entreprises pour investir dans les protections contre les décharges électrostatiques dans le domaine des circuits fonctionnant à hautes fréquences.

Le problème vient du fait que les circuits de protection se comportent finalement comme des capacités à l'état bloqué. Chaque élément de protection peut alors être modélisé par une capacité parasite. Intégré au circuit fonctionnel, le dispositif de protection est donc équivalent à plusieurs capacités en parallèle sur le circuit à protéger (Fig. 1.24). Plus la fréquence de fonctionnement de ce circuit est élevée, plus le comportement du dispositif de protection est proche d'un court-circuit et empêche donc le signal d'être transmis au circuit.

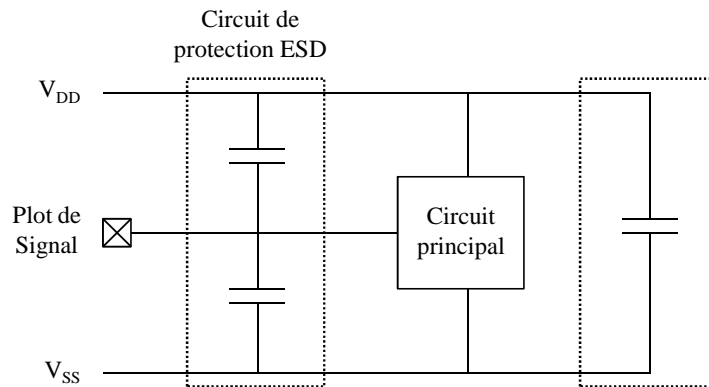


Fig. 1.24 - Comportement hautes fréquences des composants de protection contre les décharges électrostatiques

Les applications étant désormais très nombreuses à des fréquences supérieures au gigahertz, il devient donc critique de pouvoir protéger le circuit sans perturber son fonctionnement normal. Dans cette très large gamme de fréquences, l'impédance de ces protections est donc primordiale.

De plus, la surface de substrat de silicium étant de plus en plus coûteuse, il est impératif que le circuit de protection occupe la plus petite surface possible.

Le but de ces travaux de thèse est donc de réaliser une protection contre les décharges électrostatiques large bande pour pouvoir couvrir le plus grand nombre d'applications hautes fréquences possibles. Cette protection doit posséder des dimensions suffisamment petites pour pouvoir être facilement utilisée dans n'importe quel circuit intégré.

Pour cela, il est nécessaire de faire une étude bibliographique sur les topologies existantes dans ces gammes de fréquences. À partir des topologies présentées dans le chapitre suivant, le travail sera orienté selon la topologie la plus adaptée au but recherché.

CHAPITRE DEUX

ÉTAT DE L'ART DES STRATEGIES DE PROTECTION POUR LES APPLICATIONS RF

The worst thing about finally putting together a puzzle is finding there are missing pieces.

DEXTER MORGAN

L'évolution des technologies CMOS vers les dimensions nanométriques permet d'intégrer des circuits fonctionnant à des fréquences RF de plus en plus élevées atteignant actuellement le domaine des fréquences millimétriques. Cependant, la couche d'oxyde des grilles de transistors à l'échelle nanométrique dégrade sérieusement la robustesse des circuits intégrés lors de décharges électrostatiques. Les problèmes de décharges électrostatiques, qui sont l'une des causes principales du manque de fiabilité des circuits électroniques, doivent donc de plus en plus être pris en compte lors de la phase de conception [VOLD06]. Dans les interfaces radio, certains plots d'entrée/sortie sont connectés directement aux transistors à effet de champs à grille isolée (MOSFET). Cela réduit fortement la robustesse ESD du circuit si aucun élément approprié ne le protège. Il est donc nécessaire d'ajouter des circuits de protection contre ces décharges à tous les plots d'entrée/sortie des circuits RF.

Cependant, les composants de protection induisent plusieurs effets indésirables, ce qui dégrade les performances RF [WANG05] [KER03] [GONG02]. La capacité parasite présentée par un circuit de protection perturbe fortement l'impédance d'accès des circuits RF [RADH02]. Les composants de protection usuels possèdent des capacités parasites trop importantes pour être acceptables pour les interfaces radio RF. La capacité parasite des éléments de protection dérive une partie du signal RF du plot d'entrée/sortie vers la masse. De plus, ces capacités parasites changent les conditions d'adaptation en entrée et en sortie du circuit. Par conséquent, les performances RF sont globalement détériorées.

Afin de minimiser l'impact des éléments de protection sur les performances RF du circuit, plusieurs techniques de conception permettent de réduire la capacité parasite présentée par ces éléments de protection. Le circuit de protection ainsi développé peut alors raisonnablement être pris en compte dans la conception du circuit RF (co-design) [GUAN08] [SOLD07] [VASS03].

2.1 CONCEPTION DE CIRCUITS DE PROTECTION ESD EN RF

2.1.1 CIRCUIT DE PROTECTION USUEL

Comme décrit dans le chapitre précédent (partie 1.3), la protection usuelle des circuits intégrés contre les décharges électrostatiques consiste à placer deux éléments de protection sur les plots d'entrée/sortie avec un interrupteur de puissance, appelé « clamp », afin d'éviter des dommages causés par des phénomènes de décharges (Fig. 2.1) [VOLD02]. Les éléments de protections situés au niveau des plots d'entrée/sortie peuvent être réalisés avec des diodes « STI » [TSAI09] [LIU06], des diodes à grille [LINT03] [CHAN01] ou des thyristors [SOLD07] [MERG03].

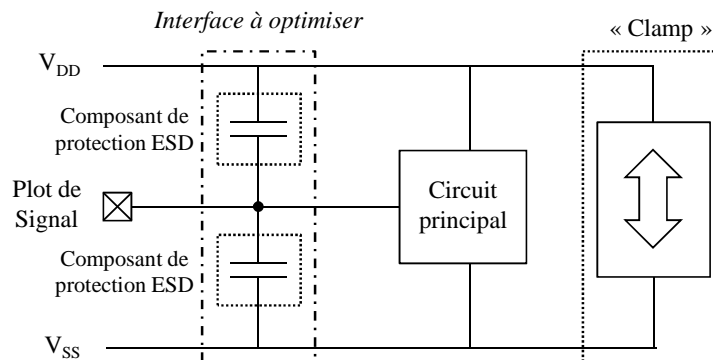


Fig. 2.1 - Stratégie de protection ESD classique

Le but de ce chapitre est de présenter les différentes topologies existantes. Le critère déterminant pour comparer leurs performances sera la transmission du signal RF à travers le réseau de protection situé entre le plot de signal et le circuit principal. L'objectif est alors d'obtenir la meilleure transmission possible du signal RF et donc de minimiser les pertes dans le circuit de protection. Idéalement, le coefficient de transmission $|S_{21}|$ doit être au plus proche de 0 dB. Le « clamp » n'ayant pas un accès direct avec le signal RF, son comportement fréquentiel n'est pas impacté et sa contribution ne sera pas détaillée. Une simulation fréquentielle de la stratégie de protection usuelle avec des capacités parasites de 500 fF permet d'obtenir les atténuations du signal en transmission (Fig. 2.2). Cette valeur de 500 fF est généralement utilisée pour protéger des circuits contre des décharges de 2 kV HBM.

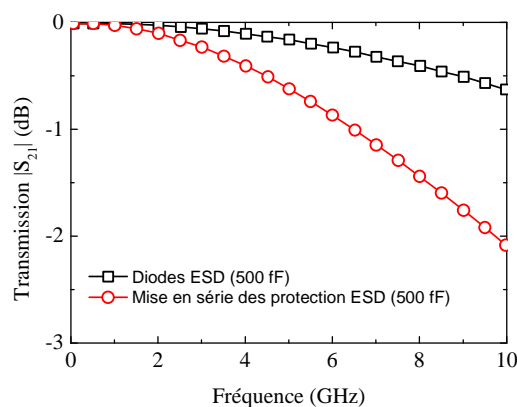


Fig. 2.2 - Simulations fréquentielles d'une protection ESD classique avec des composants ESD de 500 fF et d'une mise en série de deux composants ESD de 500 fF (équivalent à 250 fF)

Cependant, cette stratégie n'est seulement acceptable que pour des petits composants de protection présentant une faible capacité parasite de façon à limiter la dégradation des performances RF du circuit. D'un autre coté, la diminution des dimensions des protections est limitée par l'efficacité requise de la protection ESD.

2.1.2 MISE EN SERIE DE COMPOSANTS DE PROTECTION

Cette configuration permet de réduire la capacité parasite des éléments de protection sans diminuer la robustesse ESD (Fig. 2.3) [KER01] [KER02]. Avec deux composants de protection en série, la capacité parasite totale équivalente devient théoriquement $C_{ESD}/2$, où C_{ESD} est la capacité parasite de chaque élément de protection. Le paramètre de transmission $|S_{21}|$ de cette structure est également représenté avec le résultat précédent en guise de comparaison (Fig. 2.2). Plus le nombre de composants mis en série est important, plus la capacité parasite globale est réduite. Au-delà de cette diminution de capacité parasite, l'utilisation de cette configuration permet également la réduction du courant de fuite présenté par les composants de protection en régime normal de fonctionnement du circuit à protéger. Cependant, bien que la capacité parasite et le courant de fuite aient diminués par rapport à la mise en parallèle de composants, cette configuration n'est pas souvent utilisée puisque la résistance à l'état passante R_{ON} et la tension de déclenchement V_{T1} de la structure augmentent également.

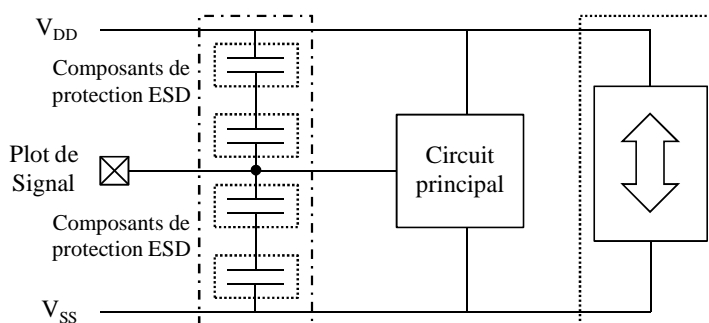


Fig. 2.3 - Mise en série de composants de protection

2.1.3 UTILISATION D'UN RESONATEUR LC PARALLELE (CIRCUIT BOUCHON)

L'utilisation du résonateur LC parallèle (circuit bouchon) afin de réduire la capacité parasite en bande étroite est également appelée annulation d'impédance. Dans ce type de résonateur, la fréquence de résonance f_0 ne dépend que des valeurs de l'inductance et de la capacité parasite (Eq. 2-1),

$$f_0 = \frac{1}{2\pi \cdot \sqrt{L \cdot C_{ESD}}} \quad \text{Eq. 2-1}$$

où L et C_{ESD} représentent respectivement les valeurs de l'inductance ajoutée en parallèle et de la capacité parasite de la protection. Une simulation fréquentielle d'un plot avec le résonateur LC parallèle parfait montre le coefficient de transmission $|S_{21}|$ autour de la fréquence de résonance du circuit LC (Fig. 2.5).

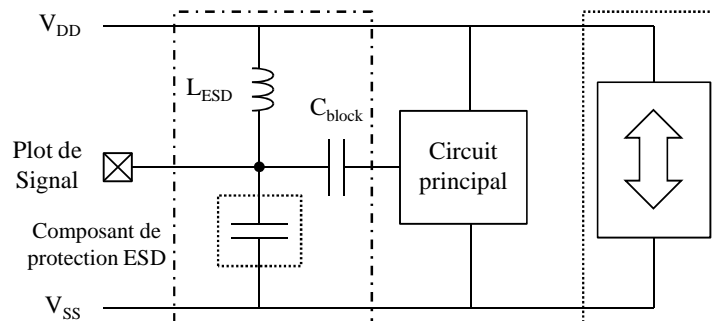


Fig. 2.4 - Schéma électrique d'une stratégie de protection ESD utilisant le résonateur LC parallèle

Les atténuations en transmission du signal RF sont purement réelles à la fréquence f_0 , ce qui signifie que l'impédance du circuit de protection est très élevée à cette fréquence. Par conséquent, l'introduction d'une inductance parallèle pour annuler la capacité parasite introduite par la protection permet d'atténuer l'impact de cette dernière sur les performances RF mais seulement sur une bande étroite autour de la fréquence f_0 [HYVO03] [HYVO05]. Le résonateur LC parallèle peut être réalisé en utilisant la capacité parasite du composant de protection (Fig. 2.4). L'inductance L_{ESD} sert en plus d'élément de protection entre le plot d'entrée/sortie et le plot d'alimentation V_{DD} tandis que l'élément de protection crée un chemin de décharge de courant entre le plot d'entrée/sortie et le rail V_{SS} . L'inductance et la capacité parasite du circuit de protection sont choisies pour résonner à la fréquence de fonctionnement de l'interface radio. Avec une inductance connectée directement entre le plot d'entrée/sortie et V_{DD} , le composant de protection est polarisé en inverse. Dans le cas de l'utilisation d'une diode, cela conduit à diminuer la capacité parasite de la jonction p-n. L'emplacement de l'inductance et de l'élément de protection sont interchangeables puisqu'ils fournissent la même fonctionnalité. Une capacité de liaison C_{block} est nécessaire pour isoler le circuit en aval des composantes continues des signaux.

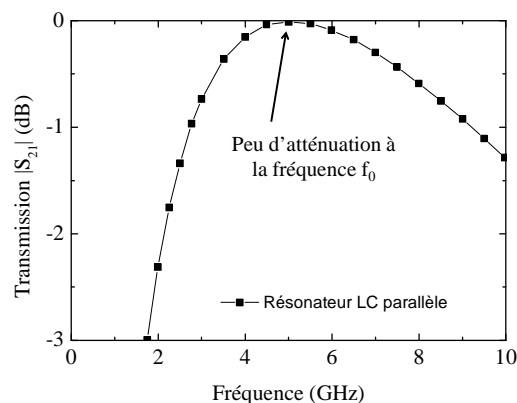


Fig. 2.5 - Simulation fréquentielle d'un résonateur LC parallèle parfait

Une autre variante de mise en œuvre du circuit bouchon LC est de l'utiliser avec une diode de protection [KER09] (Fig. 2.6). Deux circuits bouchons sont placés à chaque plot d'entrée/sortie. Les diodes D_P et D_N ont pour fonction d'empêcher le courant de passer par le circuit de protection lors du fonctionnement normal du circuit à protéger. Il subsiste néanmoins le courant natif de fuite des diodes. Les capacités C_P et C_N peuvent être remplacées par des dispositifs de protection. En théorie, un circuit

de protection utilisant des circuits bouchon LC parfaits présente une impédance infinie à la fréquence de résonance (Fig. 2.7). Par conséquent, la capacité parasite de l'élément de protection se retrouve masquée par le circuit bouchon, ce qui réduit les effets parasites du dispositif de protection. Afin de diminuer davantage la capacité parasite, il est possible de mettre en série plusieurs circuits bouchon. Cela fournit une meilleure isolation d'impédance à la fréquence de résonance et réduirait par conséquent davantage les impacts des éléments de protection [ROSE05].

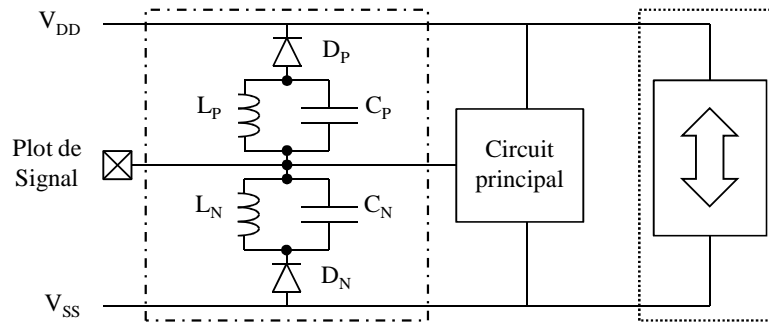


Fig. 2.6 - Schéma électrique d'une stratégie de protection ESD utilisant le circuit bouchon LC

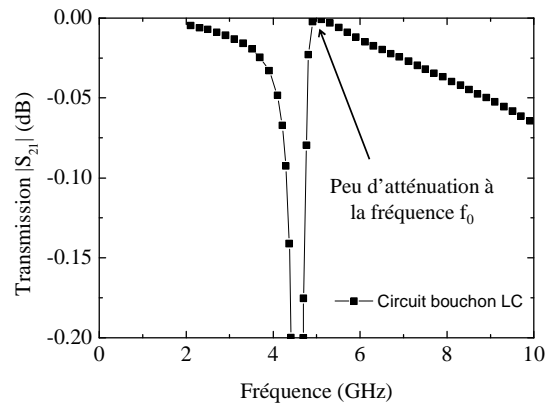


Fig. 2.7 - Simulation fréquentielle d'un circuit bouchon parfait

Les précédentes solutions permettaient de réduire les effets de la capacité parasite des éléments de protection. Cependant, la bande de fréquence dans laquelle le circuit peut être fonctionnel est faible, ce qui limite considérablement les applications du système de protection en RF. Il est donc nécessaire d'obtenir des dispositifs de protection transparents sur une bande de fréquence plus importante.

2.1.4 RESONATEUR LC SERIE

Le résonateur LC série peut être utilisé en tant que dispositif de protection pour les circuits utilisés dans les interfaces radio RF large bande. Une simulation fréquentielle du coefficient de transmission $|S_{21}|$ d'un résonateur LC série parfait permet de définir sa fréquence de résonance (Fig. 2.8). Cette dernière est la même que celle du résonateur LC parallèle (Eq. 2-1).

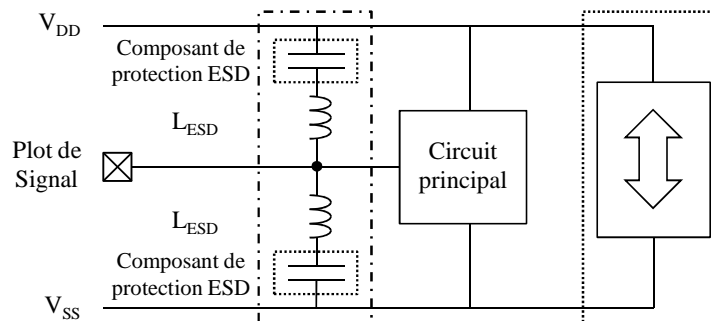


Fig. 2.8 - Schéma électrique d'une stratégie de protection ESD utilisant le résonateur LC série

Lorsque l'inductance et la capacité entrent en résonance, le circuit est équivalent à un court circuit. Les pertes deviennent très importantes et le signal à transmettre est fortement atténué. Toutefois, à des fréquences supérieures à la fréquence de résonance, l'influence de l'inductance est prépondérante. L'amplitude de l'impédance globale augmente avec la fréquence et réduit ainsi les pertes de transmission qui sont alors limitées par le coefficient de qualité des composants LC mis en œuvre. L'utilisation d'un résonateur LC série dans un dispositif de protection est donc possible en ajustant les valeurs des composants afin de couvrir toute la bande de fréquence du signal RF (Fig. 2.9) [HUAN09]. Lors d'une décharge, le courant engendré circule à travers l'inductance et le composant de protection. Afin de diminuer les inductances des résonateurs LC séries, il est également possible d'utiliser seulement une seule inductance (Fig. 2.10) [HYVO05]. Cette inductance est connectée en série avec les deux composants de protection, eux-mêmes reliés soit à V_{DD} soit à V_{SS} . La capacité parasite équivalente étant la somme des capacités parasites de chaque élément, l'inductance utilisée ici (Fig. 2.10) devient donc plus petite que celle utilisée dans le cas précédent (Fig. 2.9), à la même fréquence de résonance f_0 . Ainsi, cette structure permet un gain en surface et en coût conséquent.

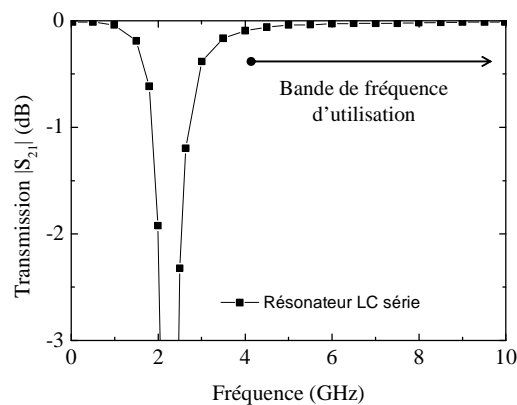


Fig. 2.9 - Simulation fréquentielle d'un résonateur LC série parfait

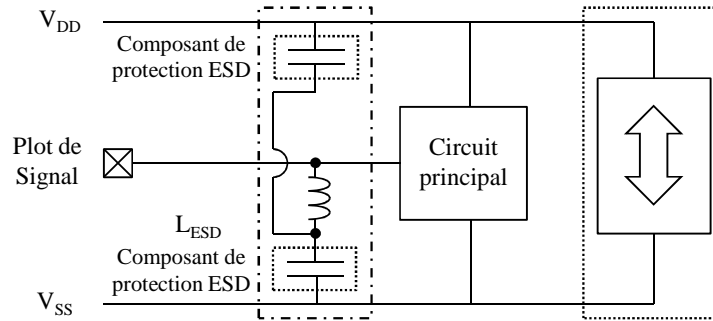


Fig. 2.10 - Schéma électrique de la topologie utilisant le résonateur LC série avec une seule inductance

2.1.5 ADAPTATION D'IMPÉDANCE

Afin d'avoir une robustesse contre les décharges électrostatiques satisfaisante, la taille des composants de protection doit être suffisamment importante. Cependant, les effets parasites de ces composants augmentent également avec les dimensions utilisées. Pour pallier ce problème, les éléments de protection peuvent être considérés comme partie intégrante du réseau d'adaptation du plot d'entrée/sortie. En réalisant la conception du circuit de protection en même temps que le réseau d'adaptation (co-design), il sera alors possible d'utiliser des éléments de protection de taille importante pour obtenir une grande robustesse ESD sans dégrader le signal RF (Fig. 2.11) [CHAN08] [HUAN06].

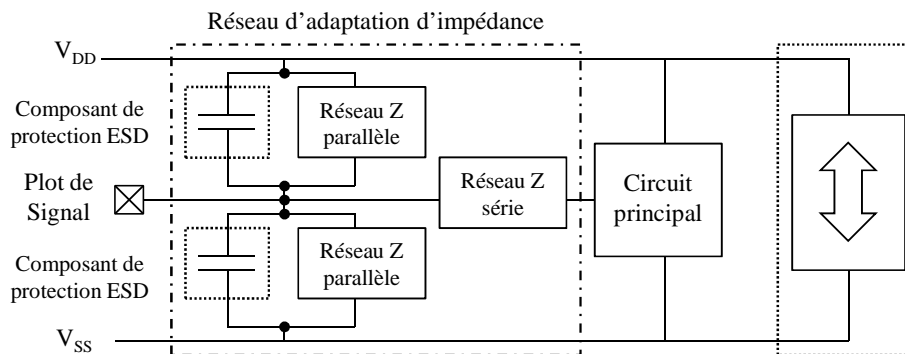


Fig. 2.11 - Schéma électrique d'une stratégie de protection ESD utilisant l'adaptation d'impédance

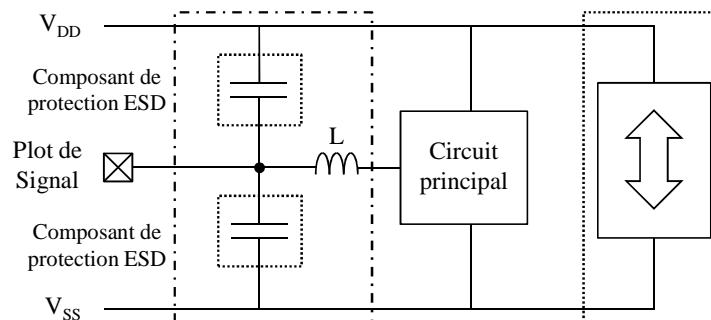


Fig. 2.12 - Exemple d'une stratégie de protection ESD utilisant l'adaptation d'impédance

Avec cette configuration, le courant de décharge s'évacue à travers les composants de protection. Le réseau d'impédance permet l'adaptation d'impédance du port d'entrée/sortie avec le circuit de protection. Ce réseau peut être réalisé en utilisant que des composants passifs. Un exemple de cette stratégie d'adaptation d'impédance fait appel à une inductance compensant les capacités parasites des protections contre les décharges (Fig. 2.12) [HSIA09]. Les éléments de protection assurent la garantie en tenue ESD du circuit interne. Le composant inductif, qui peut être soit une inductance soit une ligne de transmission, est connecté en série. Le but de cette conception est de masquer la capacité parasite des dispositifs de protection à la fréquence de travail (Fig. 2.13). Cependant, là aussi, la bande passante pour le signal est réduite.

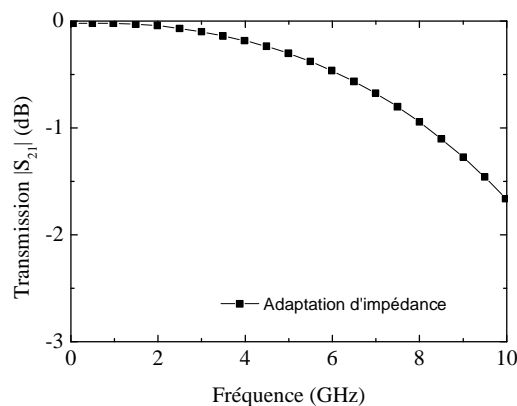


Fig. 2.13 - Simulation fréquentielle d'un adaptateur d'impédance

2.1.6 PROTECTION INDUCTIVE

Le spectre des décharges électrostatiques présentant des composantes de l'ordre du gigahertz, il est possible de protéger un circuit à l'aide d'une inductance L_{ESD} placée entre le port d'entrée/sortie et le rail V_{SS} (Fig. 2.14) [RACZ09] [SHIU07] [LINT05] [LERO04]. En effet, si la fréquence de fonctionnement du circuit est supérieure à cette fréquence, l'impédance présentée par l'inductance est importante et devient transparente pour le circuit (Fig. 2.15). Le courant de décharge peut traverser l'inductance alors que ce dernier bloque le signal RF. Afin de pouvoir conduire le courant de décharge, la largeur métallique des pistes formant l'inductance de protection doit être suffisamment importante. Cependant, les inductances comportant de larges dimensions occupent une surface très importante. À titre de comparaison, une inductance de 5 nH occupe une surface quatre fois plus grande que celle du port. Il s'agit de la plus grosse contrainte avec cette topologie. La capacité de liaison C_{block} permet d'empêcher un courant continu d'entrer dans le circuit.

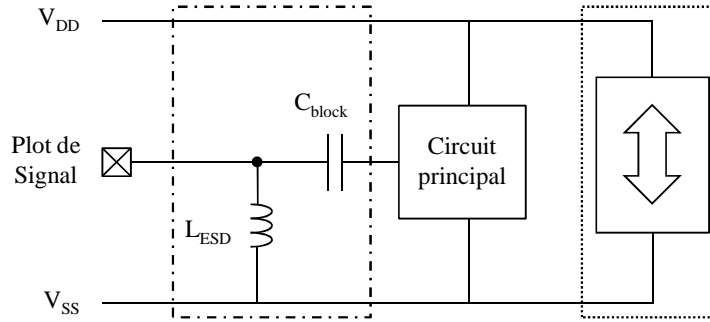


Fig. 2.14 - Schéma électrique d'une stratégie de protection ESD utilisant une protection inductive

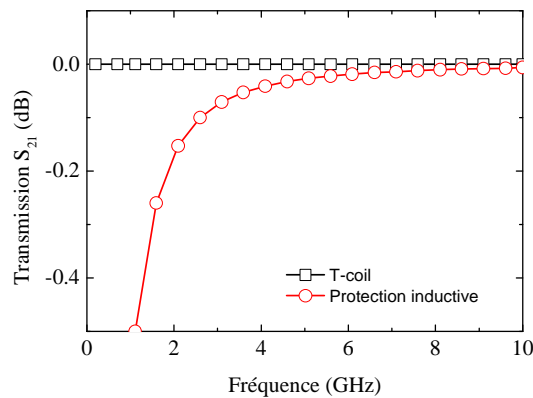


Fig. 2.15 - Simulation fréquentielle d'une protection ESD à base de « T-coil » et d'une protection inductive

Il est également possible lors de la conception de l'interface radio RF d'intégrer l'inductance de protection avec l'inductance série nécessaire pour adapter l'impédance d'entrée [BORR09]. En règle générale, un amplificateur faible bruit (LNA pour Low Noise Amplifier) possède une inductance de grille connectée entre le plot d'entrée et la grille du transistor MOS. Cette inductance est utilisée pour annuler la partie capacitive présentée par la grille du transistor MOS. Par conséquent, la protection obtenue fournit une adaptation d'impédance au niveau de la grille du transistor MOS, mais également une protection contre les décharges électrostatiques au niveau du plot d'entrée.

2.1.7 T-COIL

La conception de circuits de protection incluant des « T-coil » garantit une robustesse contre les décharges électrostatiques sur une bande de fréquence très élevée. Le principe de fonctionnement de ce composant est basé sur les inductances mutuelles (Fig. 2.16) [GALA03].

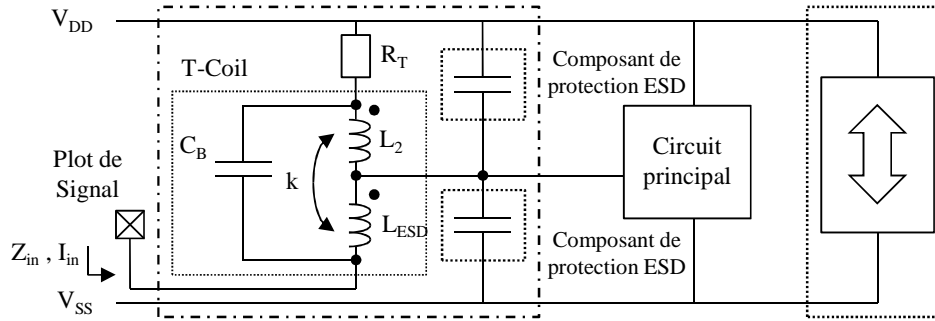


Fig. 2.16 - Schéma électrique d'une stratégie de protection ESD à base de « T-coil »

En optimisant la conception du réseau d'adaptation global, ce circuit peut fournir une impédance purement résistive R_T en entrée. Cette impédance d'entrée Z_{in} reste purement résistive à n'importe quelle fréquence tant que ces équations sont respectées :

$$L_{ESD} = L_2 = \frac{C_{ESD} \cdot R_T^2}{4} \left(1 + \frac{1}{4 \cdot \zeta^2} \right) \quad \text{Eq. 2-2}$$

$$C_B = \frac{C_{ESD}}{16 \cdot \zeta^2} \quad \text{Eq. 2-3}$$

$$k = \frac{4 \cdot \zeta^2 - 1}{4 \cdot \zeta^2 + 1} \quad \text{Eq. 2-4}$$

où ζ est le facteur d'amortissement de la fonction de transfert V_x / I_{in} . Avec cette structure, il est possible d'utiliser des composants de protection de taille importante sans dégrader les performances RF. Le premier circuit de protection utilisant ce composant a permis de prouver l'efficacité de protection sur deux transistors nMOS montés en grille commune [GALA03]. Un dispositif de protection à base de « T-coil » utilisant des thyristors comme composants de protection a également été réalisé pour un émetteur RF haut débit [KOSS08]. Les pertes par réflexion sont diminuées avec le « T-coil » qui compense les effets parasites du thyristor. Comme le circuit de protection à base de « T-coil » peut résoudre les problèmes de bande passante, il est alors approprié pour les interfaces radio large bande. Cependant, le principal inconvénient pour la conception du circuit de protection à base de « T-coil » est l'inductance L_{ESD} qui doit être réalisée avec des pistes de largeur importante afin de pouvoir supporter le courant de décharge. En définitive, la surface occupée sera très importante: pour $L_{ESD} = L_2 = 1\text{nH}$, les dimensions du composant sont de $85 \times 85\mu\text{m}$. Un amplificateur faible bruit large bande a été réalisé dans [LINT09] avec des protections à base de « T-coil » et de diodes, l'ensemble de la protection est appelé « T-diode » (Fig. 2.17). Avec cette structure, la capacité C_B dans la protection peut être réalisée avec la capacité parasite entre les inductances L_{ESD} et L_2 .

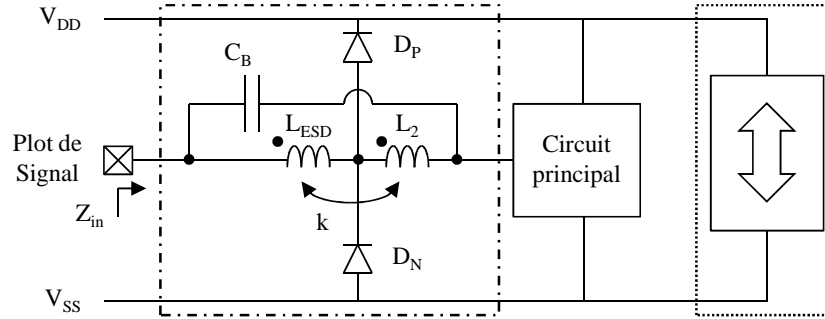


Fig. 2.17 - Schéma électrique d'une stratégie de protection ESD à base de « T-diodes »

2.1.8 PROTECTION A ELEMENTS DISTRIBUES

Cette topologie profite des caractéristiques des lignes de transmission : ces dernières sont par définition large bande. À partir de la structure de protection classique (Fig. 2.1), cette protection permet de répartir les composants de protection en plusieurs éléments afin de distribuer la capacité parasite totale ; deux étages sont présentés dans ce cas (Fig. 2.18) [ITO02]. La connexion entre les composants de protection se fait soit par une ligne de transmission, soit par une inductance (Fig. 2.18 et Fig. 2.19). La présence de l'inductance permet de reproduire une ligne de transmission (développée dans le chapitre suivant), mais ses dimensions géométriques incitent à utiliser plutôt des lignes de transmission.

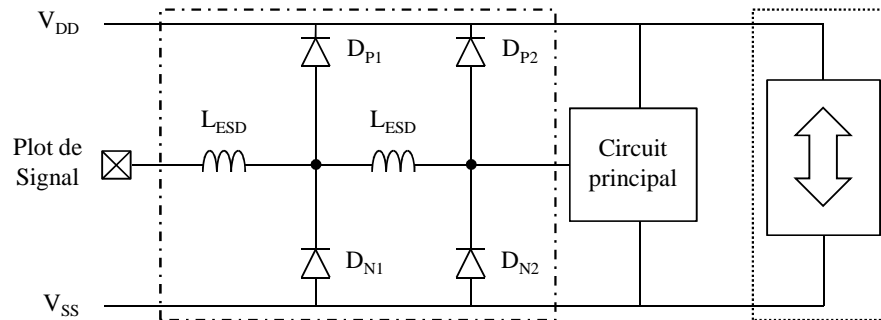


Fig. 2.18 - Schéma électrique d'une stratégie de protection ESD à éléments distribués en utilisant des inductances

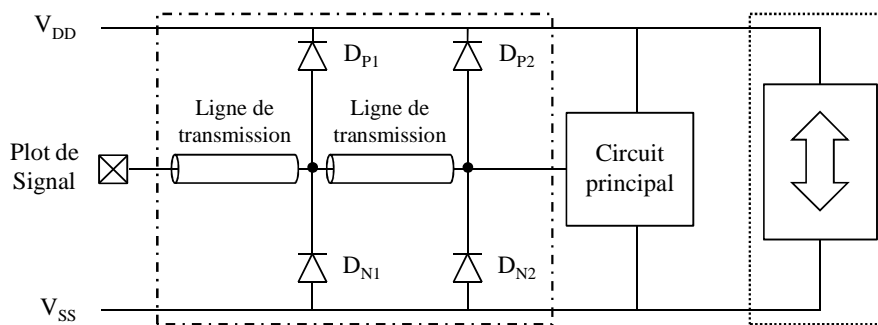


Fig. 2.19 - Schéma électrique d'une stratégie de protection ESD à éléments distribués en utilisant des lignes de transmission

La capacité parasite du composant de protection apporte une grande discontinuité d'impédance au niveau du plot d'entrée/sortie. En divisant ce dispositif en quatre éléments distincts et en les séparant par des lignes de transmission haute impédance Z_{line} , les désadaptations d'impédance sont minimisées et la structure est alors apparentée à une ligne de transmission continue avec une impédance caractéristique Z_0 quasi-fixe. En modifiant les paramètres géométriques des lignes de transmission, l'impédance caractéristique Z_0 peut se rapprocher de l'impédance d'entrée/sortie du circuit et permettre alors une adaptation large bande. Le nombre de composants élémentaires peut varier afin d'améliorer les performances RF de la protection. Cependant, la majeure partie du courant de décharge passe par la première section, qui est la plus proche du plot d'entrée/sortie. Par conséquent, afin d'améliorer la robustesse de la structure vis-à-vis des décharges électrostatiques, il est possible de favoriser la taille de la première section et de diminuer progressivement la taille des sections suivantes (Fig. 2.20) [KER05]. L'adaptation d'impédance large bande est toujours valable avec cette nouvelle structure, appelée également « Decreasing-size Distributed ESD Protection ». Une structure de protection basée sur le même concept a été proposée : π -model ESD Protection [KER06]. L'élément de protection globale a été divisé en deux éléments et la structure est adaptée en impédance sur une très large bande de fréquence, soit avec une ligne de transmission, soit avec une inductance (Fig. 2.21). La protection disposée en π de part et d'autre de la ligne permet de protéger efficacement le circuit RF. Les coefficients de transmission $|S_{21}|$ des structures de protection en π et à éléments distribués à dimensions égales à trois étages sont comparés (Fig. 2.22) [KER05] [KER06]. En deca d'une certaine fréquence (6 GHz dans le cas présenté), la structure en π possède de très bonnes performances car elle permet d'éviter des interconnexions supplémentaires (vias) qui introduisent des pertes supplémentaires.

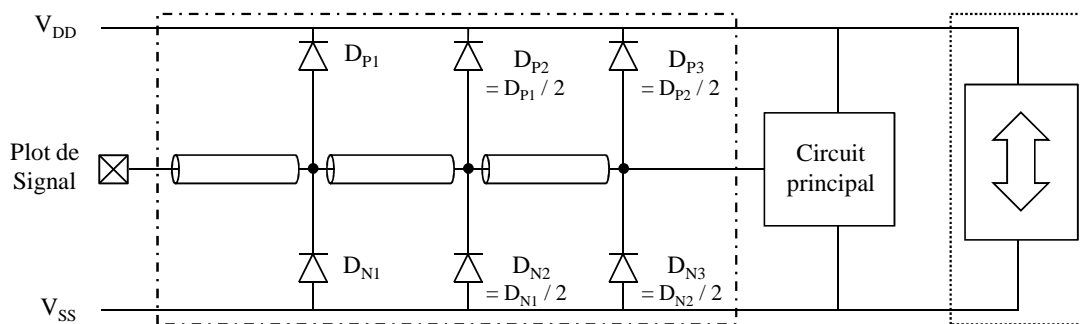


Fig. 2.20 - Schéma électrique d'une stratégie de protection à éléments distribués à dimensions décroissantes

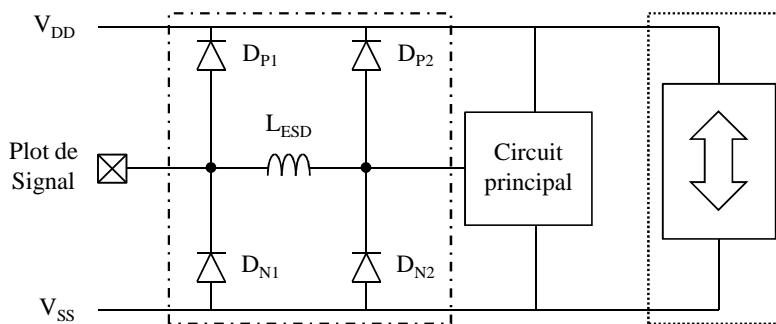


Fig. 2.21 - Schéma électrique d'une stratégie de protection ESD en π avec inductance

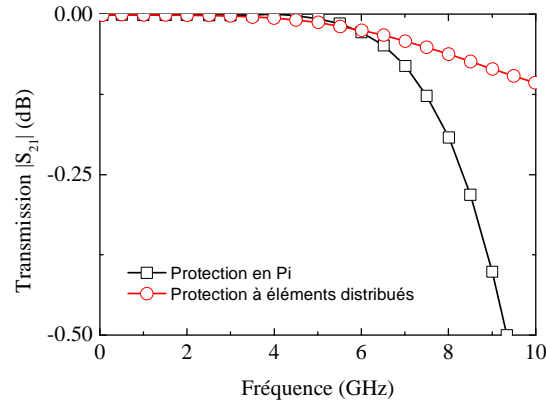


Fig. 2.22 - Simulation fréquentielle d'une protection ESD utilisant une stratégie en Pi et par éléments distribués

Dernièrement, une structure de protection basée sur les éléments distribués et présentant une bande passante compatible avec les fréquences millimétriques a été présentée dans [LIN10]. Le dispositif proposé est constitué, selon les niveaux de protection à respecter, d'un ou de deux étages de diodes, le tout est adapté par des inductances en série. La solution proposée est capable de tenir 2 kV HBM avec seulement 2 dB de perte d'insertion dans la bande de 60 GHz.

2.2 COMPARAISON DE RESULTATS

La comparaison des différents circuits proposés dans la littérature est présentée dans cette partie. Les différentes performances des circuits de protection contre les décharges électrostatiques pour les interfaces radio sont résumées dans le Tableau 2.1. Les différents critères sont séparés de la manière suivante :

- **Fréquence de fonctionnement :** il s'agit là de définir la bande de fréquence dans laquelle le circuit de protection est efficace et par conséquent, là où l'interface radio fonctionne. Certains dispositifs de protection ne sont seulement efficaces que dans des bandes de fréquences étroites.
- **Complexité de conception :**
 - « Basse » : le composant de protection contre les décharges constitue à lui seul le circuit de protection sans ajout supplémentaire de composant passif quelconque.
 - « Haute » : en plus des composants de protection, le circuit a besoin d'un élément supplémentaire (inductance ou ligne de transmission).
- **Capacité parasite équivalente :**
 - « ~0 à f_0 » : la capacité parasite équivalente de la protection est masquée à la fréquence de fonctionnement du circuit, elle est alors très faible si la conception du circuit de protection est réalisée d'une manière optimale.
 - « Dizaine ~ centaines de fF » : la capacité parasite équivalente du circuit de protection au niveau du plot d'entrée/sortie est de l'ordre de la dizaine, voire de la centaine de fF, selon les composants de protection utilisés et des procédés de fabrication.

Tableau 2.1 - Comparaison des différentes stratégies de protection ESD pour les circuits RF

Stratégie protection ESD	Fréquence de fonctionnement	Complexité de conception	Capacité parasite équivalente	Pertes en transmission	Surface occupée
Circuit de protection usuel	< 5 GHz	Basse	Dizaine ~ centaines de fF	Très élevées à f_0	1x
Mise en série de composants de protection	< 10 GHz	Basse	Dizaine ~ centaines de fF	Assez élevée à f_0	2x
Résonateur LC parallèle	> 5 GHz (bande étroite)	Haute	~0 à f_0	Faible dans une bande étroite	6x
Circuit bouchon LC	> 5 GHz (bande étroite)	Haute	~0 à f_0	Faible dans une bande étroite	10x
Résonateur LC série	> 5 GHz	Haute	~0 à f_0	Faible dans une bande assez élevée	10x
Adaptation d'impédance	> 5 GHz	Haute	~0 à f_0	Faible dans une bande étroite	8x
Protection inductive	> 5 GHz	Haute	~0 à f_0	Faible au dessus d'une certaine fréquence	6x
T-Coil	> 5 GHz	Haute	~0 à f_0	Faible sur une large bande	5x
Protection à éléments distribués	> 5 GHz	Haute	~0 à f_0	Faible sur une large bande	9x

- **Pertes en transmission** : la fréquence f_0 est la fréquence de fonctionnement normal du circuit fonctionnel. Les comparaisons sont faites sur les paramètres de transmission $|S_{21}|$ des différents circuits de protection.
- **Surface occupée**
 - Dans la partie suivante (2.3), les circuits de protection ont été dessinés pour protéger un circuit fonctionnant à 5 GHz. Cette comparaison de surface se fait par rapport à la taille d'un plot d'accès.

Les différents circuits front-end RF nécessitent, dans leur fréquence de fonctionnement, des caractéristiques différentes telles que l'adaptation en puissance et un facteur de bruit faible. Les comparaisons entre différentes topologies de circuit de protection des fréquences de fonctionnement, complexité de conception, capacité parasite équivalente, pertes en transmission et la surface occupée du tableau I fournissent des informations intéressantes aux concepteurs de circuits RF afin d'obtenir une solution de protection adaptée à leurs circuits. Les circuits de protection présentant le moins de pertes en transmission et possédant une faible tension de déclenchement sont les plus appropriés pour des circuits RF en termes de bruit et d'adaptation.

Les circuits de protection usuels et la mise en série des composants de protection sont plus adaptés aux circuits RF travaillant à des fréquences faibles (< 1 GHz). Lorsque les fréquences de fonctionnement des circuits sont plus importantes, il devient nécessaire de protéger les circuits avec des composants inductifs supplémentaires. D'après le tableau I, cet ajout d'impédance inductive permet de diminuer la capacité parasite équivalente du circuit de protection et donc des pertes de transmission. Cela a pour but de limiter les effets néfastes causés par les circuits de protection. En choisissant une stratégie appropriée aux besoins, il est possible d'utiliser des composants de protection avec des dimensions importantes afin d'obtenir une robustesse de protection importante puisque la capacité parasite du composant est compensée ou annulée. Cependant, il faut noter que toutes les stratégies de protection contre les décharges électrostatiques ne présentent pas la même tension de déclenchement. En effet, une inductance engendre de très grandes surtensions durant des événements de type CDM, c'est-à-dire des phénomènes très rapides avec des temps de montée de l'ordre de la nanoseconde [MANO07]. Les circuits de protection ESD doivent donc être choisis avec précaution afin d'éviter ces surtensions durant les phénomènes de type CDM. De plus, les topologies nécessitant des inductances requièrent des surfaces importantes pénalisant le prix du composant au niveau silicium.

Le risque de latch-up étant un problème récurrent de fiabilité pour les circuits intégrés (partie 1.3), il est important d'évaluer ces risques sur les circuits présentés. Le phénomène de latch-up survient lorsque plusieurs jonctions p-n sont à proximité et forment un transistor bipolaire parasite. Or, dans ce chapitre, les topologies des circuits présentés permettent de réduire l'influence de la capacité parasite des composants de protections à l'aide d'éléments passifs. Le risque de latch-up dépend donc des composants de protection qui seront utilisés. Ce risque devient plus important si la topologie choisie nécessite l'utilisation de diodes.

2.3 EXEMPLES DE DESSINS DE CIRCUITS DE PROTECTION RF

Dans cette partie, un exemple de circuits de protection sera examiné. Le circuit RF à protéger travaille à 5 GHz en bande étroite. Le dessin de chaque circuit de protection RF présenté précédemment est représenté (Fig. 2.23 a-i) [KER11].

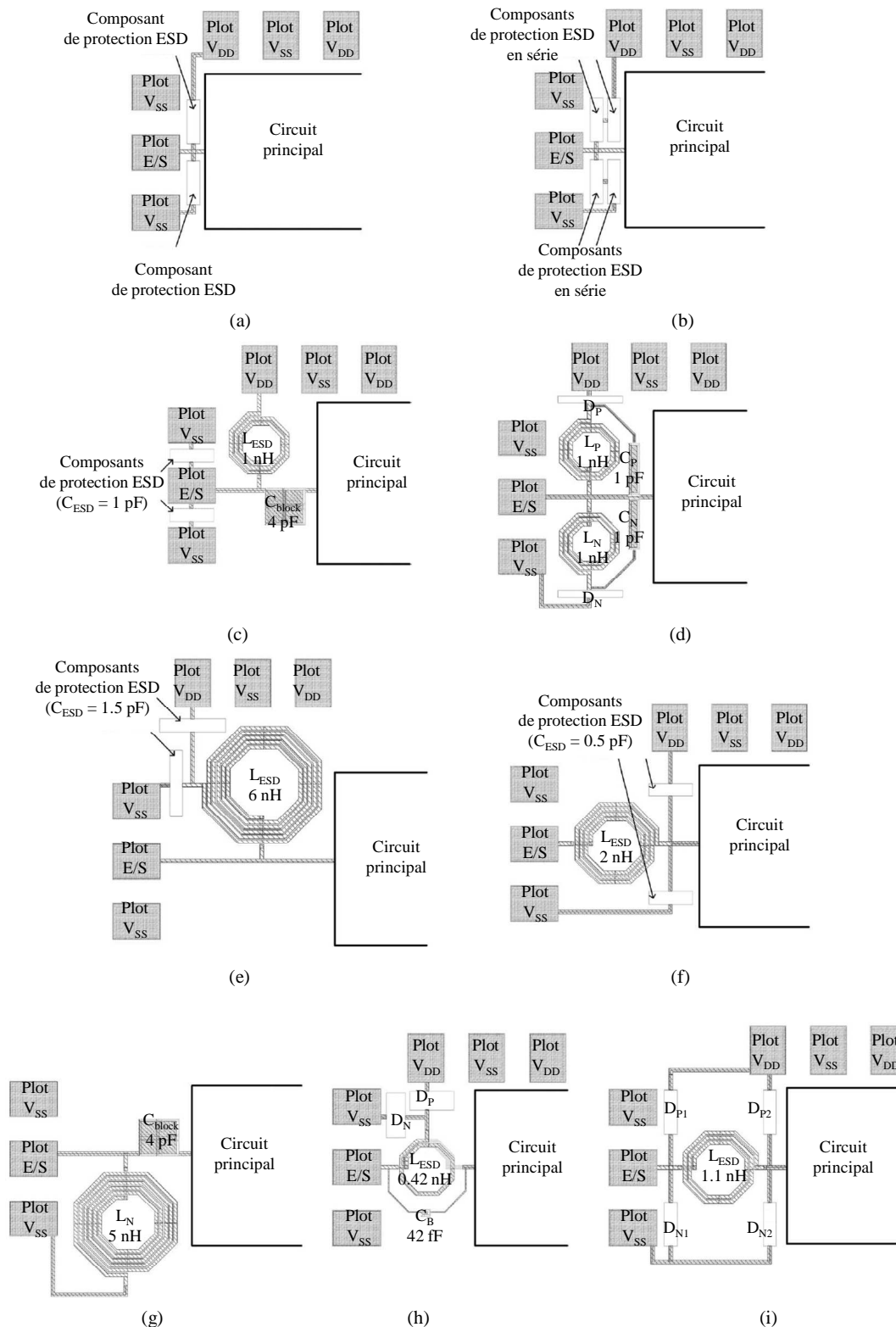


Fig. 2.23 - Dessins de circuits de protection usuel (a), d'une mise en série de composants de protection (b), d'un résonateur LC parallèle (c), d'un circuit bouchon LC (d), d'un résonateur LC série (e), d'une adaptation d'impédance (f), d'une protection inductive (g), d'un « T-Coil » (h) et d'une protection à éléments distribués (i)

Plusieurs conditions (différents composants de protection, inductances, capacités, ports d'accès, fréquence de fonctionnement, procédés de fabrications) peuvent rendre le dessin du circuit complètement différent. Les composants de protection contre les décharges électrostatiques sont des diodes STI, les autres composants sont constitués d'inductances planaires intégrées et des capacités de type MIM (Métal-Isolant-Métal). Les circuits comportent des pads de style G-S-G (Ground-Signal-Ground) et power-ground-power.

Les figures Fig. 2.23 (a)-(i) présentent respectivement un exemple de dessin de circuit de protection usuel (Fig. 2.1), d'une mise en série de composants de protection (Fig. 2.3), d'un résonateur LC parallèle (Fig. 2.5), d'un circuit bouchon LC (Fig. 2.6), d'un résonateur LC série (Fig. 2.8), d'une adaptation d'impédance (Fig. 2.12), d'une protection inductive (Fig. 2.14), d'un « T-Coil » (Fig. 2.16) et d'une protection à éléments distribués (Fig. 2.21).

Bien qu'un exemple de dessin de circuits de protections ESD RF soit fourni dans cette partie, le dessin dans un cas réel doit être réalisé avec précaution afin d'optimiser les performances RF d'une part, mais également la robustesse ESD. De plus, la surface occupée par le circuit est un facteur non négligeable pour la réalisation du circuit, mais également pour son implémentation dans un circuit électronique. Il est donc très important de concilier ces différents paramètres lors de la conception du circuit de protection.

2.4 CONCLUSION DU CHAPITRE DEUX ET CHOIX DE LA TOPOLOGIE

À partir de ces topologies, il est nécessaire de faire un choix pour la suite de ces travaux de recherche. Tout d'abord, à moyen ou long terme, la solution doit être intégrable dans une interface entrée/sortie d'un circuit électronique. De ce fait, les dimensions du circuit de protection contre les décharges électrostatiques doivent être petites afin de réduire le coût de production. Cette condition exclut l'utilisation d'inductances intégrées dans le circuit de protection. En effet, les fortes surtensions qu'une inductance en série sur le chemin de courant de décharge peut engendrer, sa valeur excessive en CDM et ses dimensions sont des points bloquants. Ensuite, la solution doit être opérationnel sur une très large bande de fréquence afin d'éviter l'étape de conception simultanée nécessairement plus restrictive. Cela signifie donc que la capacité parasite des éléments de protection ESD est faible et que la protection modifie peu les conditions d'adaptation d'impédance sur une très large bande de fréquences.

Il est également important de noter que pour relier le port d'accès à l'entrée du circuit RF, il est nécessaire d'utiliser des lignes de transmission. En effet, à hautes fréquences, l'environnement dans lequel est envoyé le signal joue un rôle prépondérant dans les pertes du signal transmis. Afin de limiter ces pertes, il est primordial d'utiliser des lignes de transmission. De plus, ces dernières sont utilisables sur une très large bande de fréquences. Elles pourront donc servir de base pour développer une solution de protection contre les décharges électrostatiques large bande. L'objectif est alors d'optimiser une ligne de transmission RF en y incluant des composants de protection contre les décharges électrostatiques. La stratégie des éléments distribués se révèle donc être une base de travail pour la protection à développer.

Le chapitre suivant traitera donc tout d'abord des moyens mis à disposition pour mener à bien ce projet. Une liste non exhaustive des différentes lignes de transmission utilisables sera présentée. Les solutions les plus pertinentes seront ensuite réalisées et caractérisées en technologie CMOS (Complementary Metal Oxide Semiconductor).

CHAPITRE TROIS

BRIQUES ELEMENTAIRES D'ETUDE

It is a capital mistake to theorize before you have all the evidence. It biases the judgment.

SHERLOCK HOLMES

Les contraintes imposées à la réalisation de circuits micro-onde pour les applications de télécommunication ne cessent d'augmenter. À l'inverse des circuits actifs vérifiant la loi de Moore, la surface occupée par les éléments passifs ne diminue pas aussi rapidement. De ce fait, l'encombrement surfacique des circuits passifs constitue une part de plus en plus importante de la surface totale d'un circuit intégré.

Dans le domaine des fréquences millimétriques, de quelques dizaines de GHz à plus de 100 GHz, la surface occupée des structures passives des circuits est très importante, comparée aux structures actives. Cette surface a un impact direct sur les coûts d'intégration. De plus, l'utilisation d'inductances devient de plus en plus complexe à cause des couplages parasites et de leurs faibles facteurs de qualité, généralement inférieurs à 15, ce qui engendre de fortes pertes. En outre, dans la majeure partie des réalisations de circuits, c'est la technologie qui définit les principales contraintes de conception.

La première partie de ce chapitre sera consacrée aux structures de propagation. Elle permettra entre autre de présenter les différentes caractéristiques des structures de propagation et surtout d'en comprendre les limitations fondamentales. La suite de cette partie traitera de la technologie CMOS qui sera utilisée pour réaliser les structures de propagation. Ce chapitre se terminera par les caractéristiques du composant qui sera utilisé pour ces travaux : le transistor BIMOS.

3.1 STRUCTURES DE PROPAGATION CONVENTIONNELLES

Historiquement, les premières structures de propagation d'onde électromagnétiques ont été les guides d'ondes métalliques en volume. La miniaturisation, permettant leur intégration, sous forme planaire ou quasi planaire, dans les circuits, a ainsi permis le développement des guides d'onde sous forme de structures de propagation. Ces dernières sont constituées d'au moins deux conducteurs métalliques.

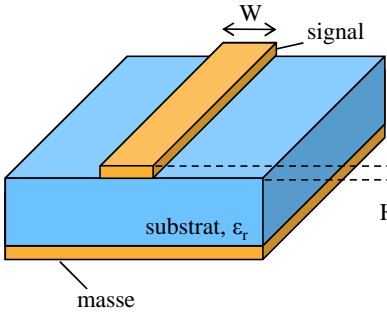
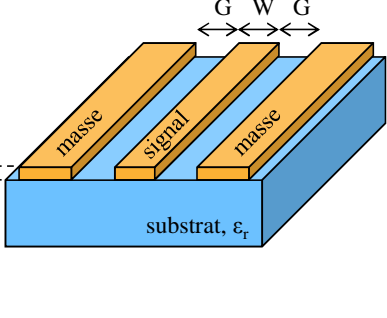
Les caractéristiques du milieu dans lequel se situent les conducteurs permettent de définir le mode transverse ou quasi-transverse de propagation de l'onde électromagnétique, mode qui est le plus souvent recherché et observé.

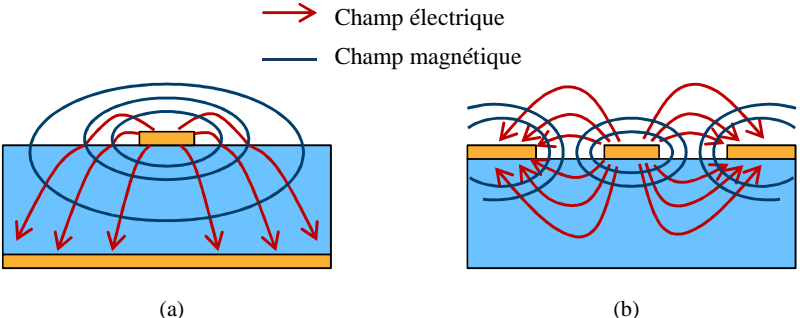
Les topologies les plus connues sont les structures microruban, coplanaire ou encore à fente. Ces structures de propagation permettent de concentrer le champ électromagnétique tout en présentant le moins de pertes possibles. Surtout, les différentes topologies permettent une facilité de conception au niveau des dimensions géométriques.

3.1.1 STRUCTURES DE PROPAGATION CLASSIQUES

La microélectronique conduit à utiliser deux principaux types de structures de propagation : les structures à empilement (par exemple, microruban) et les structures planaires (coplanaire ou lignes à fente). Le Tableau 3.1 permet de dresser un comparatif des principales caractéristiques des guides microruban et coplanaire ou CPW (CoPlanar Waveguide) [FRAN11].

Tableau 3.1 - Principales caractéristiques des guides microruban et CPW

	Microruban	CPW
Topologie	 <p>(a)</p>	 <p>(b)</p>
	Fig. 3.1 – Schémas a) d'une ligne microruban et b) d'une ligne coplanaire	
Modes de propagation	<p>Le milieu de propagation n'étant pas homogène (car constitué d'air et de substrat), le mode fondamental est un mode hybride.</p> <p>Les composantes longitudinales du champ électromagnétique sont négligeables, le mode de propagation est appelé quasi-TEM (Transverse ElectroMagnétique).</p>	<p>Deux modes de propagation : mode coplanaire impair dont le plan de symétrie peut être remplacé par un court-circuit magnétique et un mode fente pair dont le plan de symétrie peut être remplacé par un court-circuit électrique.</p>
Dispersion	Faible	Très faible
Impédance caractéristique	En technologie intégré, les fortes impédances caractéristiques nécessitent la diminution de la largeur W ou de l'épaisseur t , ce qui entraîne une forte augmentation de la résistance et donc des pertes.	Un paramètre modulable supplémentaire (G) qui permet une plus grande gamme de valeurs d'impédances caractéristiques.

Champs électromagnétiques	 <p style="text-align: center;">(a) (b)</p> <p style="text-align: center;">Fig. 3.2 – Champs électromagnétiques a) d'une ligne microruban et b) d'une ligne coplanaire</p>	
Compacité	Structure très compacte	Plus encombrant que la ligne microruban en termes de surface de silicium
Couplage	Le plan de masse sert de blindage naturel pour la pénétration du champ électromagnétique Les couplages éventuels proviennent de la proximité entre deux lignes.	Les plans de masses latéraux assurent un certain blindage électromagnétique vis-à-vis de structures environnantes.
Connexions	Difficultés à connecter des éléments en parallèle, des vias sont nécessaires, ce qui peut introduire des parasites dans la structure	Structure planaire qui facilite les connexions en parallèle.
Modèles	Nombreux modèles existants	Modèles existants beaucoup plus complexes

Le Tableau 3.1 décrit les principales différences entre les structures de propagation usuellement utilisées dans les conceptions. Les performances de chacune dépendent directement de la nature du diélectrique utilisé, ainsi que de la nature des métallisations. Dans le cas d'un guide d'onde de type microruban, les performances de ces derniers sont avant tout fixées par la permittivité relative et l'épaisseur du diélectrique. Dans le cas des structures planaires, les performances sont liées aux propriétés du diélectrique, mais dépendront également des différentes dimensions géométriques de la métallisation.

Les lignes microruban sont généralement plus utilisées lors de la conception car elles sont facilement intégrables. Le plan de masse inférieur permet de confiner au maximum le champ électromagnétique entre les deux rubans métalliques (Fig. 3.2a).

Les lignes coplanaires CPW sont plus difficilement intégrables dans un circuit à cause des plans de masses latéraux. De ce fait, les lignes de champs électromagnétiques se répartissent dans les matériaux selon leurs permittivités diélectriques (Fig. 3.2b). Ces structures planaires permettent néanmoins de connecter facilement des éléments en parallèle.

Les lignes couplées coplanaires CPS (CoPlanar Stripline) présente une topologie plus compacte, l'avantage de ne supporter qu'un seul mode de propagation et la possibilité d'obtenir de très fortes impédances (Fig. 3.3a). Néanmoins, la forte dispersion que présentent ces structures est un frein important pour leur utilisation à hautes fréquences.

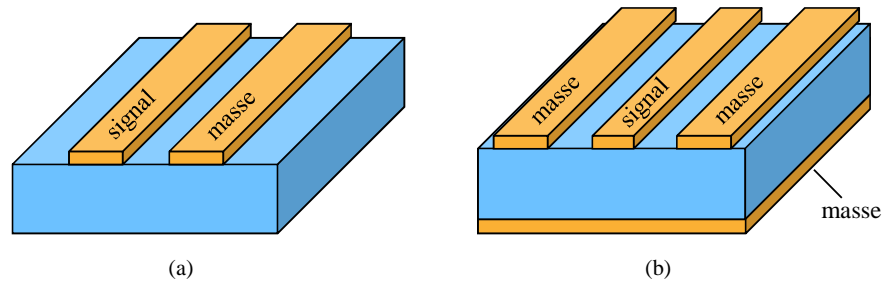


Fig. 3.3 – Schéma a) d'une ligne CPS et b) d'une ligne CPWG

Une autre variante des structures planaires consiste à ajouter un plan de masse inférieur à la ligne coplanaire CPW, qui devient alors une ligne CPWG (CoPlanar Waveguide Grounded) (Fig. 3.3b). Cet ajout permet tout d'abord de blinder la structure mais limite surtout l'épaisseur du substrat. Cependant, le plan de masse génère une onde de propagation supplémentaire par rapport à la ligne coplanaire CPW, le mode microruban.

Les lignes du champ électromagnétique se répartissent selon l'indice des matériaux (constante diélectrique). Plus cet indice est élevé, plus les lignes de champs vont être confinées dans le matériau. Ainsi, pour les structures de propagation, il sera plus intéressant de confiner le champ électromagnétique dans le matériau diélectrique ($\epsilon_r > 1$) plutôt qu'au-dessus de la structure en considérant que ce dernier étant de l'air ($\epsilon_r = 1$). La répartition des lignes de champs dépendra donc de la topologie de la structure et des propriétés des matériaux utilisés.

3.1.2 MODELE DES TELEGRAPHISTES

Pour bien comprendre le comportement d'une ligne de transmission, il sera tout d'abord intéressant de décrire le cas d'une ligne bifilaire (Fig. 3.4). Historiquement, il s'agit de la première ligne de transmission utilisée en télécommunication. En électronique, ces lignes servent classiquement à relier des systèmes entre eux. Selon les applications, leur longueur varie de quelques millimètres à quelques kilomètres. Le comportement de ces lignes change progressivement lorsque la fréquence d'application augmente. En basse fréquence, c'est-à-dire en dessous de quelques MHz, la ligne peut être modélisée par une simple résistance. Celle-ci traduit les pertes résistives dans les conducteurs.

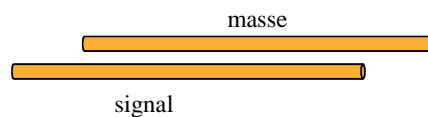


Fig. 3.4 – Lignes bifilaires

Une montée en fréquence va entraîner une distribution surfacique différente dans les barreaux métalliques. La profondeur de pénétration traduit le fait qu'à hautes fréquences, les charges se répartissent essentiellement sur le bord du conducteur. Dans le cas d'un métal, cette profondeur de pénétration est appelée effet de peau (δ).

$$\delta = \frac{1}{\sqrt{\pi \cdot f \cdot \mu \cdot \sigma}} \text{ [m]} \quad \text{Eq. 3-1}$$

La perméabilité magnétique absolue du vide ou de l'air μ_0 est la référence. La perméabilité magnétique μ_r est toujours égale à l'unité dans les matériaux non magnétiques. L'effet de peau dans les conducteurs va également contribuer aux pertes de celui-ci. En première approximation, cet effet de peau apparaît lorsque la profondeur de pénétration n'est plus égale à l'épaisseur de métallisation.

$$f_{\text{apparition}} = \frac{4}{\pi \cdot \mu \cdot \sigma \cdot t^2} \text{ [Hz]} \quad \text{Eq. 3-2}$$

Concrètement, cet effet se traduit, en hautes fréquences, par une réduction de la surface disponible de conduction, ce qui entraîne une augmentation de la résistance du conducteur métallique. En parallèle à cet effet, lorsque la fréquence augmente, un phénomène de filtrage passe-bas apparaît. Il a lieu entre quelques dizaines de MHz et quelques centaines de MHz, dépendant de la longueur de la ligne. Ce filtrage peut être observé sur les lignes téléphoniques, ce qui pose des problèmes pour transmettre des informations haut débit. Ce phénomène peut être modélisé par une capacité en parallèle sur la ligne. Cette capacité traduit physiquement le fait que deux conducteurs sont placés en vis-à-vis.

À partir de là, si la fréquence devient encore plus importante, il se produit un phénomène de propagation : la tension mesurée au bout de la ligne est différente de la tension appliquée en entrée. Ce phénomène est dû au comportement inductif de la ligne. Une inductance doit donc être ajoutée dans le modèle de la ligne. Cette inductance traduit physiquement le phénomène d'auto-induction.

Enfin, si le diélectrique séparant les deux conducteurs n'est pas parfait, un courant de fuite pourra circuler entre ceux-ci. Ce courant engendrera des pertes, il est donc nécessaire d'ajouter au modèle une résistance parallèle. Du fait que cette résistance soit en parallèle, le terme de conductance est couramment utilisé. Le modèle final comporte donc quatre paramètres :

- R : résistance série en ohm (Ω).
- L : inductance série en henry (H).
- C : capacité parallèle en farad (F).
- G : conductance parallèle en siemens (S).

Maintenant que les origines des quatre éléments du modèle ont été définies, il serait tentant de modéliser la ligne simplement par un arrangement de ces éléments. Le modèle obtenu serait alors un modèle « localisé » ou « discret ». Quel que soit l'arrangement, il serait alors impossible de faire apparaître des effets de propagation et la structure serait un simple filtre localisé de type passe-bas du second ordre.

Afin de tenir compte de l'effet prépondérant de propagation, le modèle développé ne doit pas représenter la ligne complète (modèle localisé), mais juste une section de longueur infinitésimale de ligne, puis ensuite d'intégrer les équations différentielles décrivant le modèle ainsi constitué. Pour la suite, on considère donc un élément de ligne de longueur infinitésimale dx (Fig. 3.5). D'un point de vue vocabulaire, le terme de « section élémentaire » sera utilisé pour décrire une section de longueur infinitésimale. Les quatre éléments r , l , c et g sont définis de manière linéique et ont pour dimension :

- r : résistance linéique série en ohm par mètre (Ω/m).
- l : inductance linéique série en henry par mètre (H/m).
- c : capacité linéique parallèle en farad par mètre (F/m).

- g : conductance linéique parallèle en siemens par mètre (S/m).

Ces quatre éléments r , l , c et g ainsi définis sont appelés paramètres primaires de la ligne de propagation.

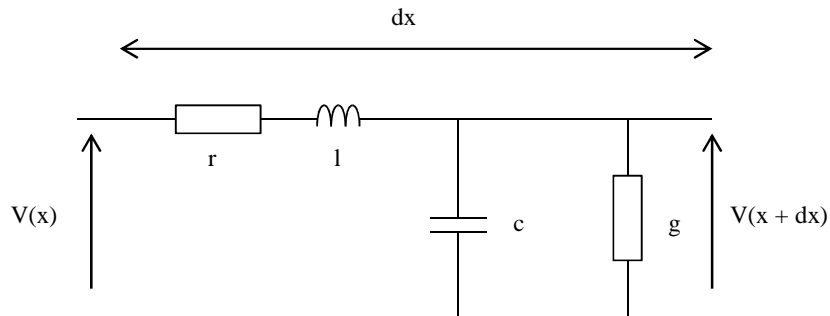


Fig. 3.5 – Modèle des télégraphistes ou RLCG

Ainsi, pour toute ligne de propagation, il est possible de la représenter à l'aide du modèle présenté précédemment.

3.1.3 PARAMETRES EXTRAITS

Le comportement des lignes de transmission peut également être décrit à l'aide de paramètres complémentaires. Toute structure de propagation présente une impédance propre, appelée impédance caractéristique Z_c , et une constante de propagation γ . Cette ligne de transmission, de longueur l , peut être considérée comme un quadripôle (Fig. 3.6). La matrice chaîne associée au quadripôle peut être exprimée grâce aux relations entre courants et tensions (Eq. 3-3) [SELL11].

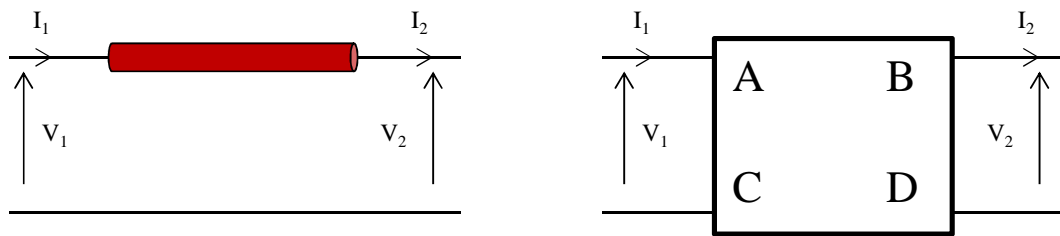


Fig. 3.6 – Modèle équivalent d'une ligne de transmission

$$\begin{bmatrix} V_2 \\ I_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} \quad \text{Eq. 3-3}$$

À partir de là, il est possible d'exprimer les paramètres de la matrice chaîne avec les paramètres cités précédemment.

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cosh(\gamma \cdot l) & Z_c \cdot \sinh(\gamma \cdot l) \\ \frac{\sinh(\gamma \cdot l)}{Z_c} & \cosh(\gamma \cdot l) \end{bmatrix} \quad \text{Eq. 3-4}$$

À l'aide de cette relation, l'impédance caractéristique Z_C et la constante d'atténuation γ peuvent être exprimées en fonction des paramètres chaînes, et, par extension, des paramètres S.

$$Z_c = \sqrt{\frac{B}{C}} = Z_n \cdot \sqrt{\frac{(1 + S_{11}) \cdot (1 + S_{22}) - S_{12} \cdot S_{21}}{(1 - S_{11}) \cdot (1 - S_{22}) - S_{12} \cdot S_{21}}} \quad \text{Eq. 3-5}$$

$$\gamma = \frac{\cosh^{-1}(A)}{l} = \frac{1}{l} \cdot \cosh^{-1} \left(\frac{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}}{S_{12} + S_{21}} \right) \quad \text{Eq. 3-6}$$

La constante de propagation γ est un nombre complexe où la partie réelle α représente l'affaiblissement linéique ou constante d'atténuation et la partie imaginaire β représente le déphasage linéique ou la constante de phase de la ligne de transmission.

$$\gamma = \alpha + j\beta \quad [Np/m] \quad \text{Eq. 3-7}$$

La constante d'atténuation α est exprimée en Np/m, mais pour une meilleure compréhension, ce paramètre peut être exprimé en dB/m par la relation :

$$\alpha_{dB} = (20 \cdot \log_{10}(e)) \cdot \alpha_{Np} \approx 8,686 \cdot \alpha_{Np} [dB/m] \quad \text{Eq. 3-8}$$

La constante de phase β permet de retrouver la vitesse de phase de l'onde se propageant dans la structure de propagation. Ce paramètre peut être lié à la fréquence d'excitation du signal, la longueur d'onde λ_g ou à la permittivité diélectrique du matériau environnant ϵ_r .

$$v_\varphi = \frac{2\pi \cdot f}{\beta} = f \cdot \lambda_g = \frac{c}{\sqrt{\epsilon_r \cdot \mu_r}} \approx \frac{c}{\sqrt{\epsilon_r}} [m/s] \quad \text{Eq. 3-9}$$

L'impédance caractéristique Z_C et la constante de propagation γ peuvent être également exprimées en fonction des paramètres linéiques du modèle des télégraphistes (Fig. 3.5).

$$r = Re\{Z_C \cdot \gamma\} [\Omega/m] \quad \text{Eq. 3-10}$$

$$l = \frac{Im\{Z_C \cdot \gamma\}}{\omega} [H/m] \quad \text{Eq. 3-11}$$

$$c = \frac{Im\{Y/Z_C\}}{\omega} [F/m] \quad \text{Eq. 3-12}$$

$$g = Re\{Y/Z_C\} [S/m] \quad \text{Eq. 3-13}$$

Par équivalence, les paramètres linéiques sont données à l'aide des paramètres Z_C et γ de la ligne de transmission.

$$Z_c = \sqrt{\frac{r + jl\omega}{g + jc\omega}} \quad \text{Eq. 3-14}$$

$$\gamma = \sqrt{(r + jl\omega) \cdot (g + jc\omega)} \quad \text{Eq. 3-15}$$

Cette partie concerne les différentes structures de propagation et de leurs paramètres caractéristiques associées. Il est maintenant intéressant de se consacrer à la description de la technologie CMOS, technologie qui sera utilisée pour les réaliser les futures structures de protection contre les décharges électrostatiques. Cette partie servira à présenter les possibilités et contraintes de la technologie sur les structures de propagation.

3.2 MINIATURISATION DE LIGNE DE TRANSMISSION

Cette partie a pour but de présenter la technologie utilisée pour la réalisation des différentes structures étudiées dans ce manuscrit. Les nœuds technologiques CMOS 65-55 nm, 45-40 nm et 32-28 nm ont été utilisés pour la réalisation de circuits.

Au-delà des composants de protections qui seront décrites plus tard, la technologie CMOS permet notamment de réaliser des structures passives. L'évolution technologique impose des contraintes sur la partie contenant les interconnexions métalliques (Back-End Of Line – BEOL) d'un circuit intégré. Ces niveaux d'interconnexions seront présentés avec une description succincte des différents niveaux de métallisation.

3.2.1 TECHNOLOGIES CMOS

L'évolution prévisible et nécessaire des nœuds technologiques dans le domaine des circuits intégrés sur semi-conducteur est proposée par l'*International Technology Roadmap for Semiconductors* (ITRS). Cette « feuille de route » est définie par un groupe d'experts issus de l'industrie du semi-conducteur [ITRS]. Selon les besoins dans les applications numériques, ce document prend en compte la forte demande du nombre de portes logiques par μm^2 . Cette évolution, régie par la loi de Moore énoncée en 1965 – le nombre de transistors dans un microprocesseur sur un circuit intégré double tous les deux ans – implique une réduction géométrique à l'échelle des trois dimensions (3D), c'est-à-dire autant au niveau de la longueur de grille des transistors MOS, qu'au niveau des épaisseurs métalliques des interconnexions. Cette réduction géométrique a un impact conséquent sur les densités des interconnexions, mais permet surtout d'aboutir à des circuits numériques considérablement plus denses et donc plus rapides.

Dans l'optique de développer un circuit de protection contre les décharges électrostatiques intégrable la plus facilement possible, les technologies CMOS utilisées dans le cadre de ces travaux sont celles des procédés standard, sans aucune option supplémentaires, avec sept niveaux de métaux pour les interconnexions : cinq niveaux en cuivre mince (métal 1 et les métaux X – 2 à 5) et deux métaux en cuivre épais (métaux Z – 6 et 7). Au-dessus de ces niveaux de métallisation, il y a également un niveau réalisé en aluminium inclus dans le procédé standard pour l'encapsulation (Fig. 3.7).

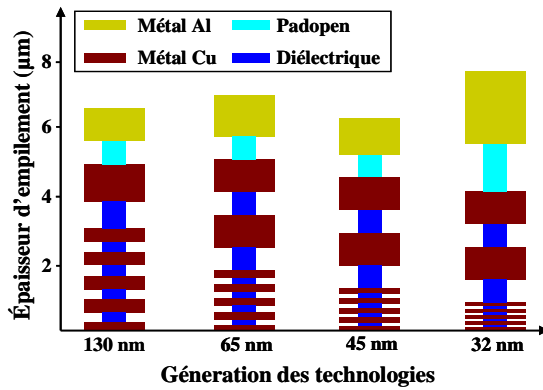


Fig. 3.7 – Evolution du BEOL pour différents technologies CMOS avancées

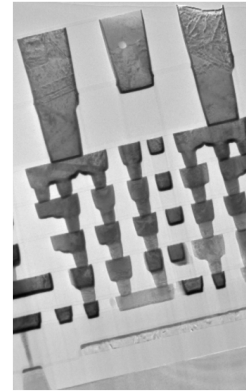


Fig. 3.8 – Photographie d'une vue en coupe du BEOL en CMOS 65 nm

L'évolution sur plusieurs générations technologiques de l'empilement des niveaux de métallisation permet d'observer la diminution progressive des différentes dimensions (Fig. 3.8). Cette évolution se traduit par une réduction des épaisseurs de métallisation et de diélectrique mais aussi par l'apparition de niveaux de métallisation supplémentaires. Cette évolution des dimensions a entraîné le remplacement de l'aluminium par du cuivre afin de diminuer les résistances de lignes depuis le nœud technologique 0,13 μm. Une conductivité de ruban équivalente est alors obtenue avec une épaisseur plus faible de métal. Des changements majeurs dans le processus de fabrication sont également apparus avec le cuivre. L'impossibilité de graver ce métal a amené l'apparition du procédé « double damascène ». Une croissance électrolytique de cuivre permet de remplir les lignes et une étape de polissage, la CMP (Chemical Mechanical Polishing) supprime l'excédent de métal et planarise la surface. La densité de métal est une contrainte très importante pour la réalisation de cette étape. En effet, afin de conserver une planéité sur toute la surface de la plaque de silicium (wafer), les différentes couches métalliques doivent respecter des règles de densité par surface donnée. Une densité plus faible dans une partie de la plaque de silicium implique une inhomogénéité de la vitesse de polissage et finalement un changement de la hauteur et de la largeur de la ligne dans cette zone. Si celle-ci n'est pas uniforme, le polissage sera plus agressif dans les zones où il n'y a pas assez de cuivre. La ligne va être ainsi moins épaisse et l'espacement sera plus large entre deux lignes. Des règles de dessins sont donc imposées pour permettre d'obtenir une densité relativement constante sur toute la plaque de silicium. Ainsi, les dimensions et les espacements des métallisations et des connexions inter-niveaux (vias) sont tous régis par ces règles de dessins.

3.2.2 LIGNES DE TRANSMISSION EN TECHNOLOGIES CMOS

En adaptant les lignes de transmission à la technologie CMOS, le silicium n'est pas utilisé en tant que milieu de propagation du signal RF ; le diélectrique joue ce rôle.

La figure Fig. 3.9 présente une vue en coupe de la zone où se situent lignes de transmission en technologie CMOS. Du fait des règles de densités évoquées précédemment, il est impossible de réaliser des structures avec des métaux pleins. Par conséquent, les niveaux de métallisation sont agencés de manière à augmenter la conductivité de la structure. La métallisation considérée comporte deux niveaux principaux : les couches métalliques inférieures (généralement, métaux M1 et/ou M2) servent de plan de masse et les niveaux supérieurs (généralement, métaux M7 et/ou AP) pour le ruban (Fig. 3.9b). Le plan de masse empêche le champ électromagnétique de pénétrer dans le substrat de

silicium. Ce dernier étant de faible résistivité, les pertes dans un tel milieu deviennent très importantes à hautes fréquences.

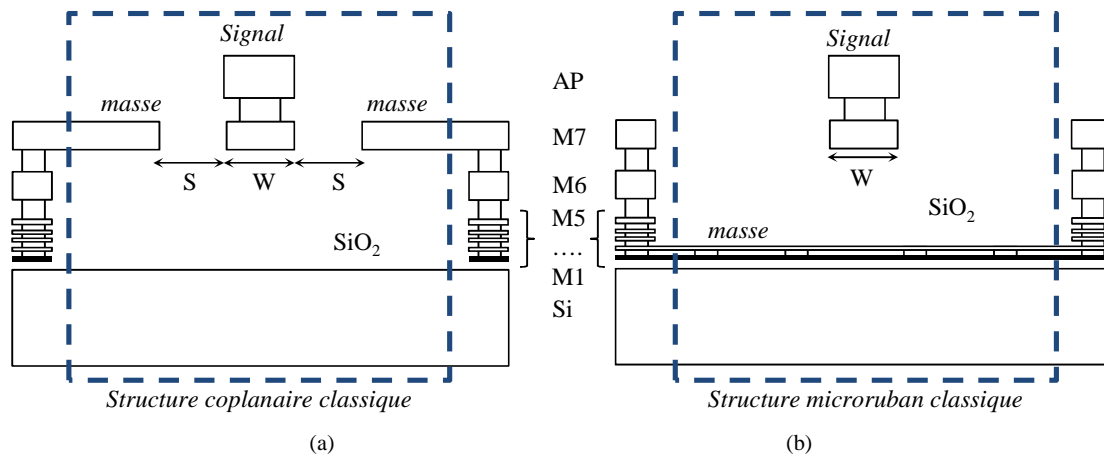


Fig. 3.9 – Vue en coupe a) d'une ligne coplanaire et b) d'une ligne microruban en technologie CMOS

Afin de faciliter le dessin de telles structures, il est possible de définir un motif élémentaire et de le reproduire en matrice. Le plan de masse est généralement constitué d'un empilement des niveaux de métallisation M1 et M2 de manière à masquer totalement le substrat. L'intérêt des plans de masse latéraux est double : tout d'abord, ils permettent le passage d'un mode coplanaire, par l'excitation à l'aide d'une sonde hyperfréquences, à un mode microruban et ensuite, ils assurent le blindage de la ligne de transmission. En effet, ces blindages latéraux assurent la reproductibilité des performances de la structure quel que soit son environnement proche [PRUV05].

Concernant les structures coplanaires (Fig. 3.9a), le substrat de faible résistivité se présente donc comme un écran absorbant pour les lignes de champ électrique. En outre, du fait de la faible résistivité du substrat, des lignes de champs peuvent être induites par courants de Foucault dans le substrat. Pour limiter ce phénomène, il est possible de placer à l'interface diélectrique-substrat, un blindage en silicium dopé (*patterned shield*), constitué principalement de bandes de Silicium polycristallin dopées (Fig. 3.10). Ces bandes de Silicium sont placées perpendiculairement à la direction de propagation afin de limiter les lignes de champs induits. Le blindage en silicium dopé est alors équivalent à une succession de bandes plus ou moins résistives, et ce changement de résistivité a pour effet de casser les lignes de champs induits.

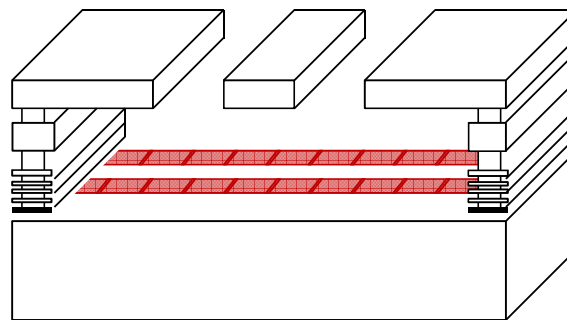


Fig. 3.10 – Ligne coplanaire avec les bandes de Silicium polycristallin dopées en technologie CMOS

Une fois les structures définies, il est nécessaire de les caractériser afin d'en extraire les performances intrinsèques. Plus la fréquence de caractérisation est élevée, plus des éléments parasites provenant de l'environnement proche de la structure peuvent venir perturber les mesures. Il est donc primordial de s'affranchir de ces parasites en blindant la structure avec un plot dédié à la caractérisation RF.

3.3 CARACTERISATION DE STRUCTURES RF

Le but de cette partie est de fournir une approche, parmi d'autres, de caractérisation RF. Le but étant bien entendu de s'affranchir d'effets parasites pouvant apparaître du fait de la structure générale et de la position de la protection, les plots RF possèdent un blindage métallique entourant la structure à mesurer (Fig. 3.11). En insérant les structures dans ces plots, de nouveaux effets parasites apparaissent. En effet, des couplages parasites surviennent par la présence du blindage métallique mais également des sondes de mesure. Cependant, ces parasites surviennent sur tous les plots RF et peuvent donc plus facilement être quantifiables. Certains motifs de plots RF sont donc dédiés aux mesures de parasites et sont appelés motifs d'épluchage ou « De-Embedding ».

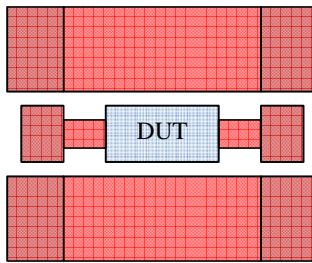


Fig. 3.11 - Dispositif à tester (DUT – Device Under Test) dans un pad RF

La mesure d'un motif permet d'obtenir ses paramètres S. Cependant, les valeurs mesurées ne correspondent pas à ses performances intrinsèques car les mesures prennent aussi en compte les accès. Pour s'affranchir de ses parasites, plusieurs méthodes de correction permettent d'obtenir la caractérisation intrinsèque du dispositif en ramenant les plans de référence aux bornes du dispositif.

La méthode de correction Circuit Ouvert – Court-Circuit (CO – CC) est très utilisée pour la correction de caractérisations RF. Le principe de cette méthode est très simple : le motif CO et son schéma équivalent permettent de tenir compte des accès qui mènent au dispositif à caractériser (Fig. 3.12). Ce motif est simple à réaliser : il suffit de reprendre le motif avec dispositif et d'en retirer le dispositif intrinsèque à caractériser. Une soustraction matricielle en représentation admittance avec les mesures permet de retrancher la partie correspondante aux accès pour obtenir les performances intrinsèques du dispositif (Eq. 3-17).

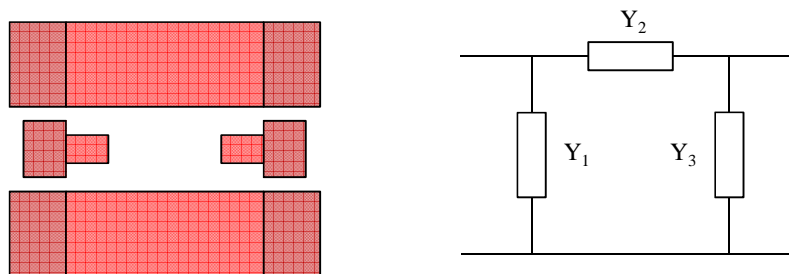


Fig. 3.12 – Représentation du motif « Circuit Ouvert » et le schéma électrique équivalent

$$[Y_{CO}] = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{bmatrix} \quad \text{Eq. 3-16}$$

$$[Y_{DUT}] = [Y_{DUT+accès}] - [Y_{CO}] \quad \text{Eq. 3-17}$$

Le paramètre Y_3 , de la figure Fig. 3.12, représente le couplage entre les deux accès. En pratique, ce paramètre est faible. Cela signifie que les couplages parallèles des accès sont prépondérants. Cependant, cette mesure en circuit ouvert ne prend pas en compte les contributions séries : les éléments résistifs et inductifs des lignes d'accès ont tout d'abord été négligés. En réalité, le schéma équivalent complet du dispositif avec accès est bien plus complexe (Fig. 3.13) [VAND01].

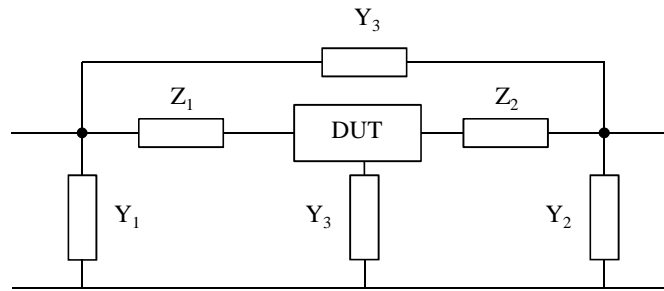


Fig. 3.13 – Schéma équivalent des accès au dispositif (DUT)

Pour prendre en compte tous les effets parasites, il est nécessaire d'utiliser un motif court-circuit (CC) (Fig. 3.14). En effet, ce motif permet d'obtenir la contribution des éléments séries des accès au dispositif Z_1 et Z_2 .

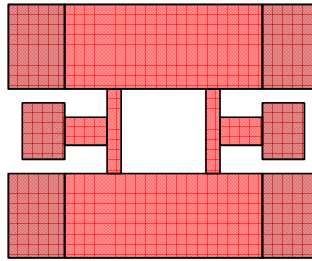


Fig. 3.14 – Représentation du motif « Court Circuit »

$$[Z_{erreur}] = ([Y_{CC}] - [Y_{CO}])^{-1} \quad \text{Eq. 3-18}$$

La matrice en paramètres admittance du dispositif avec corrections CO et CC devient donc :

$$[Y_{DUT}] = \frac{1}{\frac{1}{[Y_{DUT+accès}] - [Y_{CO}]} - \frac{1}{[Y_{CC}] - [Y_{CO}]}} \quad \text{Eq. 3-19}$$

Avec cette équation, il est maintenant possible d'obtenir les performances intrinsèques des structures. À présent, maintenant que les lignes de transmission en technologie CMOS ont été définies, il est

intéressant de détailler le composant qui sera principalement utilisé comme dispositif de protection contre les décharges électrostatiques : le transistor BIMOS.

3.4 ELEMENT DE PROTECTION : TRANSISTOR BIMOS

Une partie du premier chapitre traite des différents composants existants utilisés usuellement pour la protection contre les décharges électrostatiques. Cependant, comme présentée dans le deuxième chapitre, la capacité parasite des éléments de protection contre les décharges électrostatiques joue un rôle prépondérant dans le comportement fréquentiel des protections. De plus, la fenêtre de conception (partie 1.4) du circuit de protection contre les décharges électrostatiques se réduit à cause de la réduction des dimensions des technologies CMOS. Ceci conduit à une réduction de la robustesse intrinsèque des transistors vis-à-vis des décharges électrostatiques.

Pour améliorer la protection contre les décharges électrostatiques, il est possible de connecter les différentes électrodes du transistor MOS afin d'utiliser simultanément l'effet bipolaire et l'effet MOS dans un même composant. Ce composant est appelé « transistor BIMOS » [GALY12a].

3.4.1 FONCTIONNEMENT DU TRANSISTOR BIMOS

L'intérêt principal de ce composant est de conjuguer les effets bipolaires et MOS dans une même structure afin d'obtenir une solution intéressante pour une grande densité d'intégration. Ce transistor possède quatre électrodes définies par la source (émetteur), le substrat (base), le drain (collecteur) et la grille. L'électrode de grille se situe au niveau de la base du transistor bipolaire. Grace aux technologies CMOS avancées, la longueur du canal d'un transistor MOS peut être inférieure au micromètre, le transistor bipolaire parasite du transistor MOS devient donc efficace. Il est alors possible de polariser les différentes électrodes du transistor pour activer les effets bipolaire et MOS dans le même composant. Ce mode hybride conduit à un gain en courant très important, qui est aussi contrôlé par la tension de grille (Fig. 3.15a).

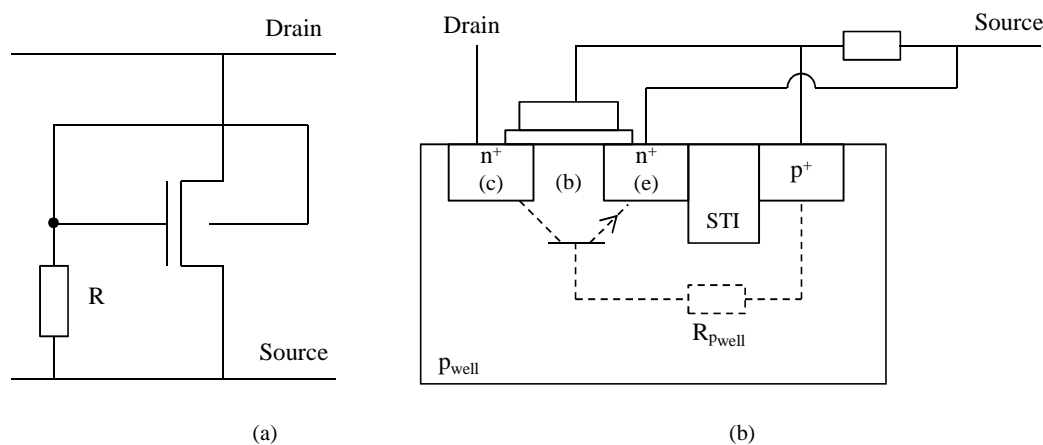


Fig. 3.15 – a) Schéma électrique du transistor BIMOS dédié à la protection ESD et b) sa représentation

En tant que protection contre les décharges électrostatiques, le composant doit pouvoir être déclenché en polarisant la base du transistor bipolaire parasite en même temps que la grille. Pour se faire, la grille et la base sont reliées entre elles et sont connectées à la masse par une résistance ajustable lors du développement de la solution. En régime dynamique, la tension de la base est légèrement différente de celle de la grille, car la capacité de jonction C_{db} est supérieure à la capacité C_{dg} ; cette différence de capacité engendre un retard du signal temporel dans le composant. Cette chute de tension entre la

grille et la base est suffisante pour activer le mode hybride. De plus, en régime statique, le courant de fuite augmente proportionnellement avec la tension entre le drain et la source V_{ds} . Le courant de fuite passe à travers la résistance et polarise simultanément la base et la grille. Comme la grille est polarisée, le composant devient passant et le courant I_{ds} augmente. Grâce à la connexion, le phénomène est amplifié par une boucle positive. Le composant agit alors comme une diode zener avec une tension de seuil ajustable par la valeur de la résistance (Fig. 3.15b).

Lors d'une polarisation négative, les tensions de grille et de substrat du transistor dépendent essentiellement de la résistance. De plus, la jonction substrat-drain devient passante lorsque sa tension de seuil est atteinte. Le transistor BIMOS est alors bidirectionnel et devient donc un composant permettant une stratégie de protection de type locale (partie 1.3).

Il est intéressant de noter que ce composant peut donc se déclencher dynamiquement, c'est-à-dire avec un temps de montée comparable à une décharge, mais également statiquement, c'est-à-dire à une tension donnée. Il peut donc prémunir le circuit à la fois contre les décharges électrostatiques et aussi contre des surtensions éventuelles.

3.4.2 CARACTERISTIQUES ELECTRIQUES

Ce transistor BIMOS a été réalisé en technologie CMOS 32 nm. La première caractérisation réalisée sur le composant permet d'obtenir son comportement en régime quasi statique (Fig. 3.16). Un balayage en tension est appliqué sur le dispositif et ce dernier se déclenche à 6,9 V. La caractéristique I-V du composant est comparable à celle d'une diode zener.

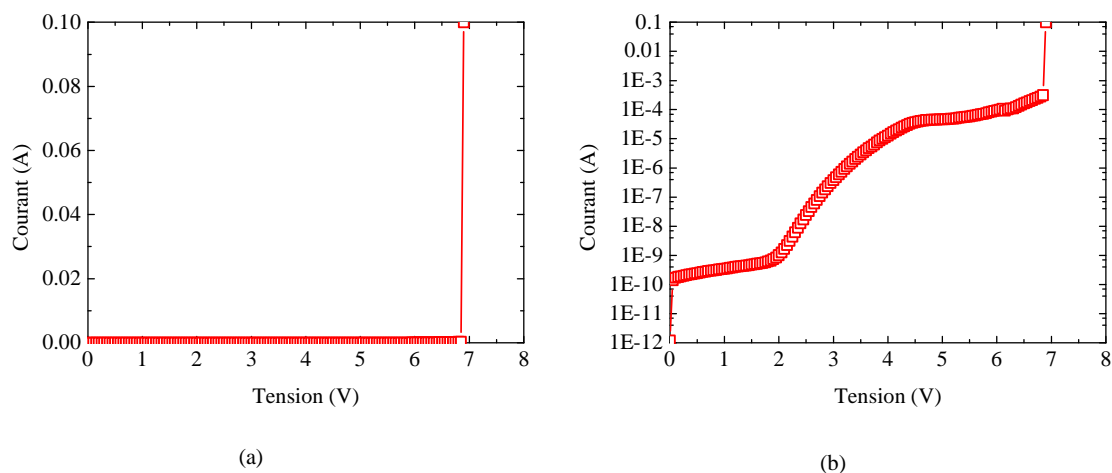


Fig. 3.16 – Caractéristique statique du transistor BIMOS en mode quasi-statique a) en échelle linéaire et b) en échelle logarithmique

La seconde caractérisation électrique réalisée sur le composant est la mesure TLP – *Transmission Line Pulse* (partie 1.5.1). Les impulsions envoyées ont un temps de montée de 10 ns et pendant une durée de 100 ns (Fig. 3.17). La caractéristique I-V obtenue correspond à la réponse du composant vis-à-vis d'un phénomène de décharge (partie 1.4.3). Le transistor BIMOS est donc à l'état bloqué jusqu'à une tension V_{T1} de 6 V. Ensuite, la tension de maintien est à 4 V, et le composant devient passant jusqu'à un courant de défaillance I_{T2} de 0,65 A. Ce courant est équivalent en énergie à des tensions HBM de 1 kV.

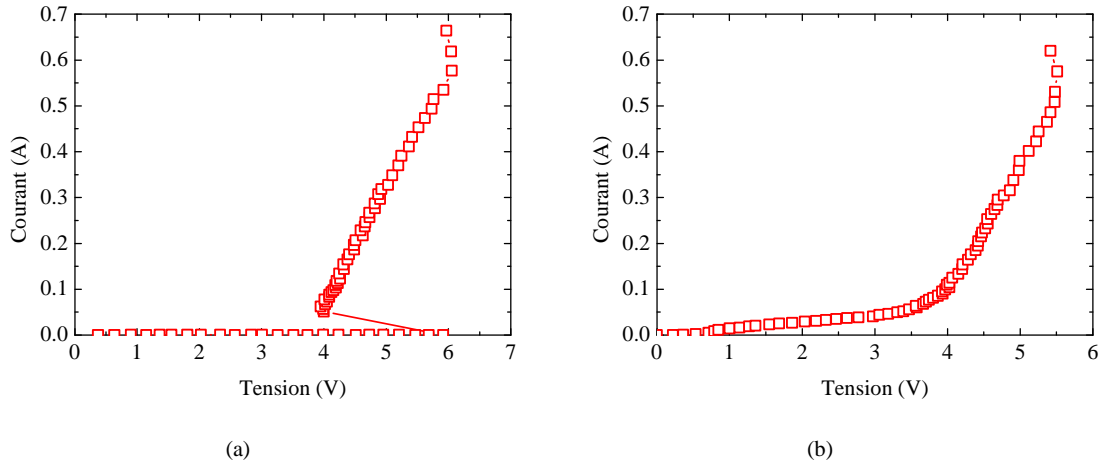


Fig. 3.17 – Caractérisation TLP du transistor BIMOS a) en positif et b) en négatif

Il est également intéressant d’observer la caractéristique TLP pour une tension négative (Fig. 3.17b). En effet, cela permet de confirmer que le composant possède bien un comportement bidirectionnel. Jusqu’à une tension de l’ordre de 3~4 V, le composant est dans un mode hybride : le transistor MOS et le transistor bipolaire parasite commencent à se déclencher. Au-delà de 4 V, le composant est complètement activé et conduit le courant jusqu’à un courant de défaillance de 650 mA. Le transistor BIMOS présente donc des propriétés électriques bidirectionnelles intéressantes pour la suite de l’étude.

3.4.3 CARACTERISATIONS RF

Des mesures fréquentielles ont également été faites sur le transistor BIMOS réalisé en technologie CMOS 32 nm (Fig. 3.18). Le paramètre de réflexion $|S_{11}|$ est supérieur à -3 dB jusqu’à 100 GHz : la structure réfléchit plus de la moitié du signal incident sur toute la bande de fréquence. Le signal absorbé provient majoritairement des pertes dans le substrat de silicium. Un modèle électrique a été développé afin de pouvoir utiliser plus loin, le transistor BIMOS comme élément de protection contre les décharges électrostatiques. Ce modèle reprend le modèle classique d’un transistor MOS en régime de désertion tout en modifiant la connexion pour mettre le transistor MOS en configuration BIMOS [GALY12a]. Au premier ordre, le transistor à l’état bloqué est modélisé par un circuit RC série.

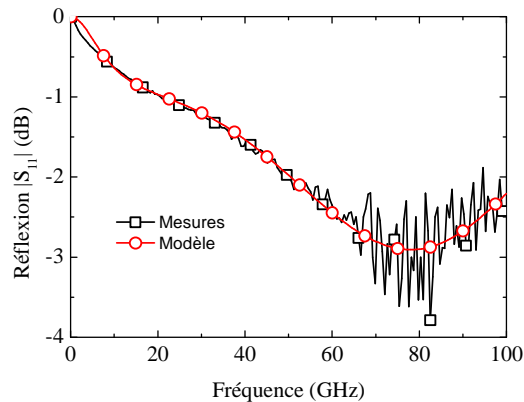


Fig. 3.18 - Paramètre de réflexion $|S_{11}|$ du transistor BIMOS mesuré et simulé

La capacité équivalente observée du composant est alors extraite du paramètre S mesuré (Fig. 3.19). Le transistor BIMOS possède donc une capacité équivalente de l'ordre de 30 à 40 fF. À titre d'information, un réseau de diodes RF, détaillé dans la partie 2.1.1, possède une capacité équivalente de 200 fF environ pour une robustesse intrinsèque équivalente (1 kV HBM).

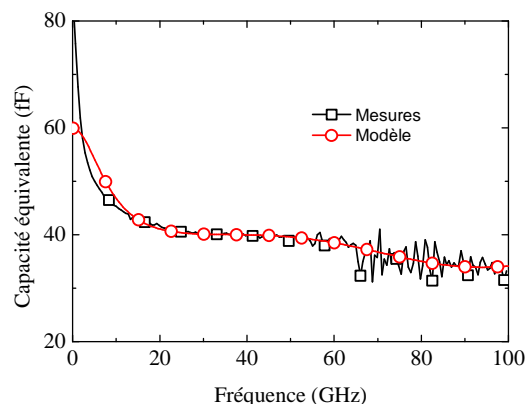


Fig. 3.19 - Capacité équivalente extraite du paramètre $|S_{11}|$

La connexion entre le substrat et la masse par une résistance augmente le risque de latch-up du composant en dynamique. Cependant, la tension de maintien du composant est supérieure à la tension d'alimentation V_{DDmax} tolérée, le transistor BIMOS ne présente donc pas de risque de latch-up dommageable. Ce composant est donc une alternative intéressante comme protection contre les décharges électrostatiques. En effet, ses caractéristiques électriques en modes statique et dynamique montrent qu'il est très performant pour lutter contre les décharges électrostatiques. De plus, ses performances en hautes fréquences offrent un très bon compromis entre performances électriques et capacité équivalente. Ce composant servira d'élément de base pour le circuit de protection développé par la suite.

3.5 CONCLUSION DU CHAPITRE TROIS

Les lignes de transmission sont très largement utilisées lorsque la fréquence de fonctionnement des circuits dépasse le giga Hertz. Il est alors plus judicieux d'optimiser ces lignes pour transmettre le signal RF, mais également pour la protection contre les décharges électrostatiques. Les principales grandeurs caractéristiques des lignes de transmission ont été soulignées afin de les utiliser plus loin.

Les technologies CMOS permettent de définir les différentes dimensions géométriques possibles et réalisables. De nombreuses règles de placement et de densités des différents niveaux de métallisation contraignent la conception des structures. Cependant, les dispositifs ainsi réalisés sont facilement reproductibles. Plusieurs motifs de caractérisations RF permettent d'isoler les structures et de minimiser les couplages parasites survenant entre sondes de mesure, dispositif à tester, plots de caractérisation et blindage métallique. Les mesures ainsi réalisées fournissent alors les performances intrinsèques des dispositifs.

Le transistor BIMOS possède donc une capacité équivalente beaucoup plus faible que les composants classiques (environ cinq fois plus faible). Ce critère est déterminant pour le choix du composant à

utiliser par la suite. Egalement, les caractéristiques électriques du transistor BIMOS montrent la possibilité de l'utiliser en tant que composant de protection contre les décharges électrostatiques.

Ces différents éléments ayant été traités indépendamment, le prochain chapitre aura pour sujet l'intégration des composants de protection contre les décharges électrostatiques dans les lignes de transmission. Les simulations seront tout d'abord réalisées à l'aide du logiciel de simulations électromagnétiques 3D planaires *Momentum* d'*Agilent*. Les structures les plus pertinentes seront alors réalisées dans différentes technologies CMOS.

CHAPITRE QUATRE

DEVELOPPEMENT ET ETUDE DE LIGNES DE TRANSMISSION AUTO-PROTEGEES

One of the advantages of teaching history is that you don't have to create things; you just have to remember stuffs that happened and parrot it back.

SHELDON COOPER

La protection de circuits contre les décharges électrostatiques est primordiale afin de garantir leur fiabilité. Cependant, au repos, la capacité des éléments de protection contre ces décharges électrostatiques perturbe la transmission du signal hautes fréquences. Diverses solutions ont été présentées dans le deuxième chapitre afin de masquer cet effet parasite. Ce chapitre traitera des protections contre les décharges électrostatiques en utilisant des lignes de transmission. Cette stratégie de protection a déjà été utilisée auparavant. Cependant, les dimensions physiques des lignes de transmission développées dans les travaux précédents sont incompatibles avec les circuits électroniques actuels et des taux d'intégration mis en jeu.

Ce chapitre débute par un bref rappel concernant les travaux sur les lignes de transmission protégées contre les décharges électrostatiques. Des innovations en termes de composants de protection et de dimensions géométriques seront ensuite proposées. Ces structures seront alors réalisées en technologies CMOS avancées afin de valider ces différentes innovations. À partir de mesures de ces structures, des simulations permettront d'optimiser les performances à hautes fréquences. Les différentes solutions seront réalisées et caractérisées afin d'en comparer les performances en hautes fréquences et lorsqu'elles sont soumises à des décharges électrostatiques.

4.1 RAPPEL DE L'ETAT DE L'ART

Le principe de la protection de circuits contre les décharges électrostatiques en utilisant des lignes de transmission a été développé dans la partie 2.1.8. Pour résumer, cette topologie bénéficie des caractéristiques des lignes de transmission : bande passante importante et minimisation des pertes en transmission. L'ajout de composants de protection change localement l'impédance de la structure. L'élément de protection étant principalement capacitif à hautes fréquences, il est alors nécessaire d'utiliser des lignes de transmission avec une impédance caractéristique très grande afin d'obtenir une structure adaptée en impédance. Dans ces travaux précédents, l'adaptation d'impédance se fait en

modifiant la longueur des tronçons de lignes. Ainsi, la longueur de la structure finale est approximativement de deux millimètres (Fig. 4.1a). De plus, à cause des dimensions géométriques de la structure, la fréquence d'utilisation de ces structures est limitée ; au-delà d'une dizaine de GHz, l'atténuation du signal par la ligne de transmission et les éléments de protection distribués devient très importante et l'atténuation peut atteindre 3 dB à 10 GHz (Fig. 4.1b).

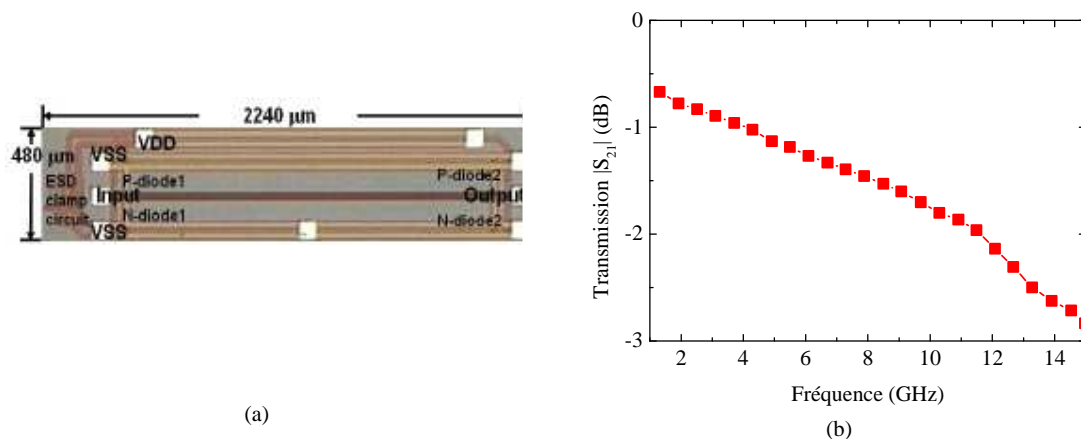


Fig. 4.1 – Circuit de protection en Pi : (a) Photographie du circuit et b) mesures du paramètre de transmission $|S_{21}|$

4.2 CAHIER DES CHARGES

L'intérêt d'augmenter la bande passante d'un circuit de protection contre les décharges électrostatiques est crucial. En effet, si ce circuit de protection couvre une large gamme de fréquence, il peut être utilisable pour tout circuit fonctionnant à ces fréquences. Cela évite aux concepteurs de circuits de protection de devoir modifier leur circuit pour en changer la fréquence de fonctionnement.

Les dimensions géométriques du circuit de protection sont également un enjeu majeur. La surface de silicium est de plus en plus coûteuse avec l'avancée vers les nœuds technologiques récents. Il est donc important de diminuer au maximum les dimensions du circuit de protection afin de pouvoir l'implémenter dans un circuit intégré. Les dimensions d'un plot d'entrée/sortie standard sont de 150 µm par 40 µm. Pour pouvoir être utilisée dans tous circuits intégrés, la solution développée aura une longueur maximale de 150 µm et une largeur maximale de 40 µm.

En tant que solution de protection contre les décharges électrostatiques, il est nécessaire qu'elle soit utilisable pour tous circuits hautes fréquences. Cependant, les décharges de type CDM ne sont pas prises en compte dans ce type de circuit. En effet, les circuits de protections contre les décharges de type CDM nécessitent de placer des éléments de protection au sein du circuit principal. Les capacités parasites des éléments de protection perturberaient énormément le fonctionnement normal du circuit. Ainsi, par la suite, la solution développée concernera la protection de circuits contre les décharges de type HBM. Pour les circuits hautes fréquences, les circuits de protection contre les décharges électrostatiques de type HBM doivent garantir des décharges fixées à 1 kV HBM.

De plus, afin de minimiser au mieux l'effet capacitif des éléments de protection contre les décharges électrostatiques, il est important de travailler avec des composants possédant une faible capacité équivalente. C'est pour cette raison que dans cette étude, le composant de base utilisé pour la protection contre les décharges électrostatiques est le transistor BIMOS (décrit dans la partie 3.4).

4.3 VALIDATION DE LA SOLUTION EN TECHNOLOGIE CMOS 45-40 NM

Afin de vérifier que les hypothèses émises dans la partie précédente soient correctes, il était nécessaire de réaliser ces structures. Pour cela, la plateforme 45-40 nm en technologie CMOS de STMicroelectronics a été retenue. En effet, cette technologie a été éprouvée et utilisée dans de nombreuses applications, avec des modèles fiables de composants. Les structures réalisées sont toutes composées d'une ligne de transmission (Fig. 4.2) et de transistors BIMOS. Contrairement aux précédents travaux où l'adaptation d'impédance de la structure dépendait de la longueur des lignes de transmission, la longueur de la ligne de transmission est ici fixe ($L = 150 \mu\text{m}$).

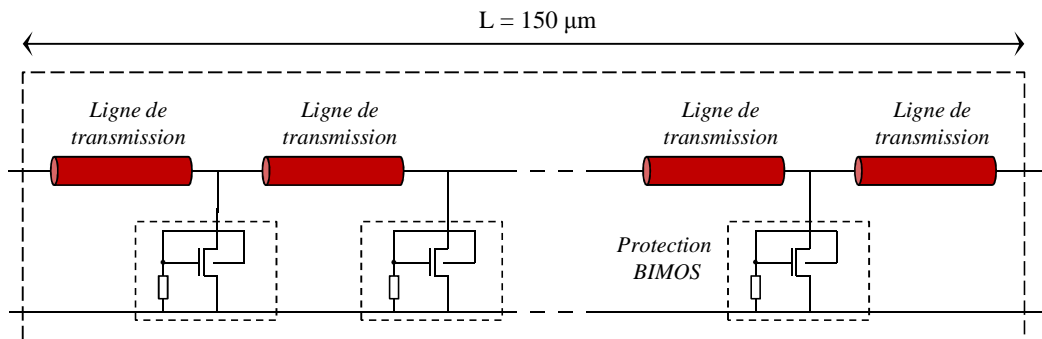


Fig. 4.2 – Topologie de protection utilisant des lignes de transmission avec des transistors BIMOS

Avant d'observer les résultats des lignes de transmission protégées contre les décharges électrostatiques, il est fondamental de se focaliser tout d'abord sur les caractéristiques des lignes seules. En effet, la contribution des composants de protection ESD pourra être plus facilement évaluée.

4.3.1 LIGNES DE TRANSMISSION SEULES

Afin de s'assurer que la ligne de transmission soit capable de supporter une décharge électrostatique, le ruban métallique est constitué d'un empilement de deux niveaux de métal épais (M7 et AP) (Fig. 4.3). De plus, afin de caractériser au mieux la ligne de transmission, la longueur de cette dernière a été étendue à $400 \mu\text{m}$. En effet, une longueur de ligne trop faible engendrerait une approximation trop importante lors de l'extraction des paramètres de ligne. Seules des lignes coplanaires et microrubans sont utilisées dans cette étude, car il s'agit des lignes les plus utilisées en microélectronique. Les lignes réalisées présentent en simulation des impédances caractéristiques proches de 50Ω . Ainsi, la ligne coplanaire possède une largeur W de $4 \mu\text{m}$ et un espacement S de $4 \mu\text{m}$ alors que la largeur de la ligne microruban est de $4 \mu\text{m}$.

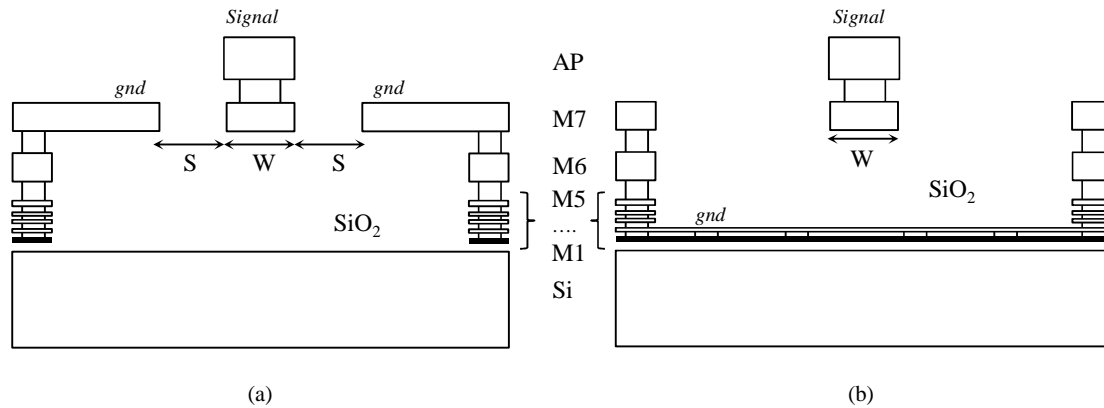


Fig. 4.3 – Vue transverse en technologie CMOS :(a) d’une ligne coplanaire et (b) d’une ligne microruban

Les mesures de paramètres S des lignes de transmission réalisées sont présentées sur les Fig. 4.4. Malgré la symétrie de la ligne, une différence de résultats peut être observée entre les paramètres de réflexion $|S_{11}|$ et $|S_{22}|$. Cette différence s’explique par l’environnement autour du plot de test qui peut perturber les mesures. Cependant, cette différence reste faible, pour des valeurs inférieures à -20 dB et n’aura donc que très peu d’influence sur les paramètres extraits par la suite.

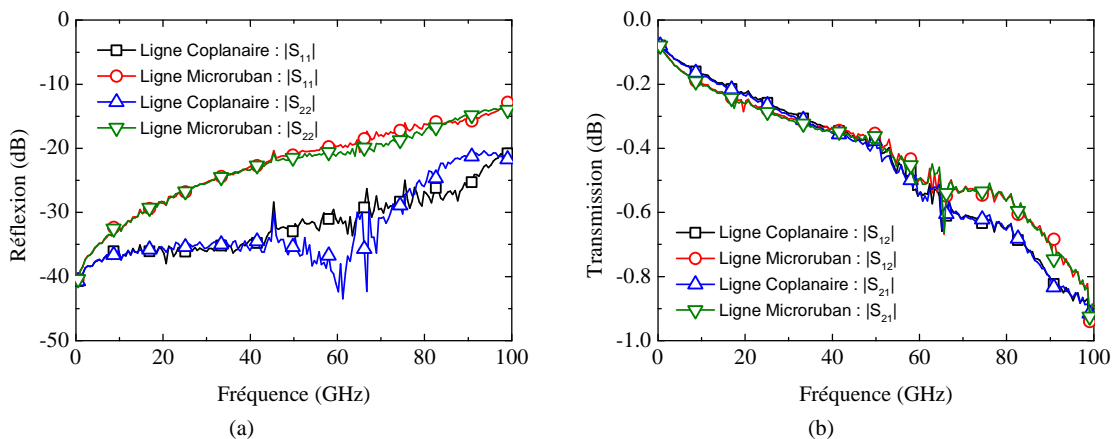


Fig. 4.4 – Mesures de paramètres S des lignes de transmission (Fig. 4.3)

Etant donné que les lignes de transmission qui vont être utilisées par la suite pour les protections contre les décharges électrostatiques auront une longueur physique plus petite ($L = 150 \mu\text{m}$), il est nécessaire d’extraire les paramètres caractéristiques de lignes : l’impédance caractéristique Z_C (Fig. 4.5), la constante d’atténuation α et la constante de phase β (Fig. 4.6). Ces lignes présentent beaucoup d’atténuation pour une longueur de ligne de $150 \mu\text{m}$ [KANA05]. Cela s’explique par la présence de blindage métallique dans les lignes de transmission (Fig. 4.3). Ces blindages modifient les lignes de champs électromagnétiques au sein même de la structure et dégradent ainsi ses performances.

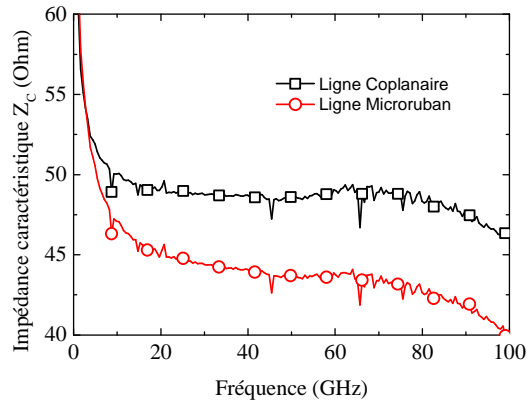


Fig. 4.5 – Impédance caractéristique Z_c des lignes de transmission (Fig. 4.3)

La ligne coplanaire réalisée présente une impédance caractéristique de l'ordre de 50Ω à 60 GHz , alors que l'impédance caractéristique de la ligne microruban est de 44Ω à cette même fréquence. Concernant la constante d'atténuation α , les deux lignes de transmission présentent toutes deux des pertes de $1,5 \text{ dB/mm}$ à 60 GHz . Il est intéressant de noter que la ligne microruban présente une constante d'atténuation α plus faible que la ligne coplanaire au-delà de 60 GHz . Cela s'explique par le fait qu'aux fréquences millimétriques, les pertes dans le substrat deviennent très importantes. La ligne microruban possède un plan de masse qui empêche le champ électromagnétique d'entrer dans le substrat. En ce qui concerne la constante de phase, les caractéristiques des deux lignes de transmission sont semblables. Cela signifie que la vitesse de phase du signal traversant les structures est identique quelle que soit la fréquence de travail (Eq. 3-9).

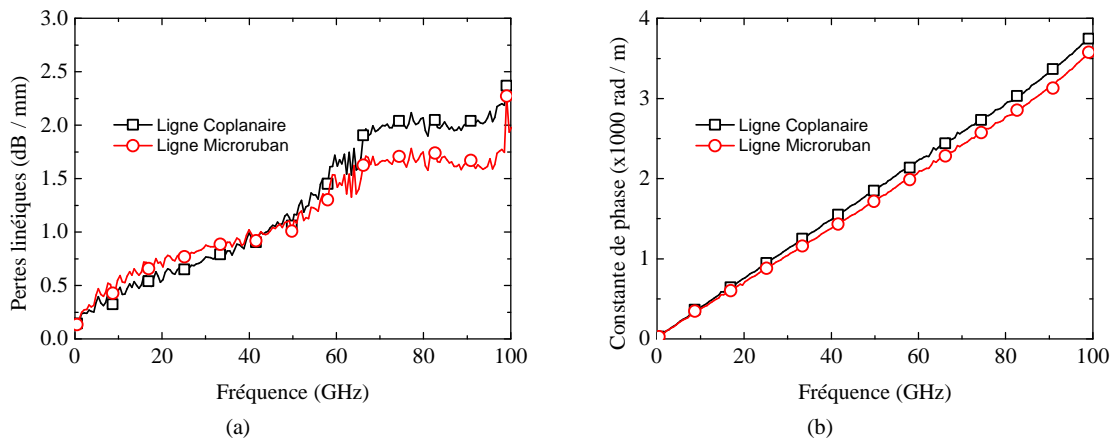


Fig. 4.6 – a) Pertes linéiques, b) constante de phase des lignes de transmission en technologie CMOS 40 nm

A titre de comparaison, une autre ligne coplanaire avec les mêmes dimensions géométriques a également été réalisée en incluant des barreaux de poly silicium dopés (Fig. 3.10). Les mesures de cette ligne sont comparées avec celles de la ligne coplanaire simple (Fig. 4.7). Les paramètres de réflexion $|S_{11}|$ et $|S_{22}|$ sont très proches parce que les deux structures ne présentent aucune différence au niveau de la topologie. Par contre, concernant les paramètres de transmission $|S_{21}|$ et $|S_{12}|$, une différence de réponse peut être observée au-delà de 50 GHz . Les bandes de Silicium polycristallin

dopées limitent la formation de champs induit à l'interface diélectrique-substrat. Au-delà de 50 GHz, les pertes en transmission deviennent importantes dans le substrat et la présence de bandes de silicium polycristallin dopés permet de réduire, en partie, ces pertes.

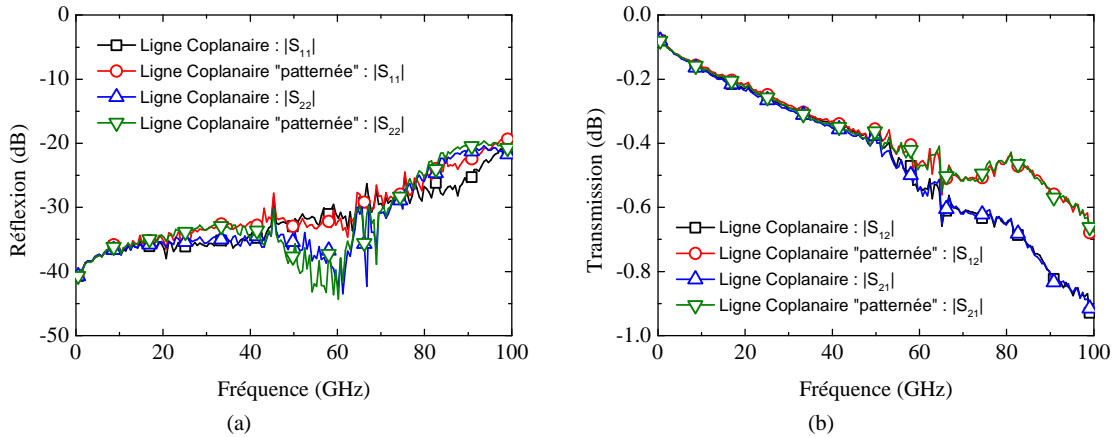


Fig. 4.7 – Mesures de paramètres S d'une ligne coplanaire classique et d'une ligne coplanaire avec blindage en silicium dopé

Maintenant que les différentes caractéristiques des lignes de transmission seules ont été présentées, la partie suivante est dédiée à ces mêmes lignes de transmission qui incluent des composants de protection contre les décharges électrostatiques.

4.3.2 LIGNES DE TRANSMISSION PROTEGEES CONTRE LES DECHARGES ELECTROSTATIQUES

Cette partie a pour but de démontrer la validité de la topologie en éléments distribués pour une longueur de ligne de transmission fixe. Ainsi, le nombre de composants de protection utilisés a été limité à trois dans une première approche. En effet, pour une longueur de ligne aussi faible (150 μm), plus de composants de protection nécessiterait d'augmenter le nombre d'interconnexions métalliques, ce qui introduirait davantage de pertes.

Concernant l'emplacement des composants à utiliser, les structures ont été inspirées des résultats obtenus dans l'état de l'art (partie 2.1.8) [KER06]. La taille des éléments de protection joue également sur les performances de la structure [KER05] ; plusieurs variantes ont alors été réalisées. La taille initiale du transistor BIMOS est notée $W_{\text{Réf}}$; la taille des différents éléments distribués est alors une fraction de $W_{\text{Réf}}$. Les résistances des différents transistors BIMOS sont toutes de mêmes valeurs afin d'obtenir des déclenchements de structures identiques. Les différents dispositifs réalisés en technologie CMOS 45-40 nm sont présentés sur la figure Fig. 4.8 et dans le Tableau 4.1. Les lignes coplanaire utilisées sont des lignes coplanaire simples, sans le blindage en silicium dopé.

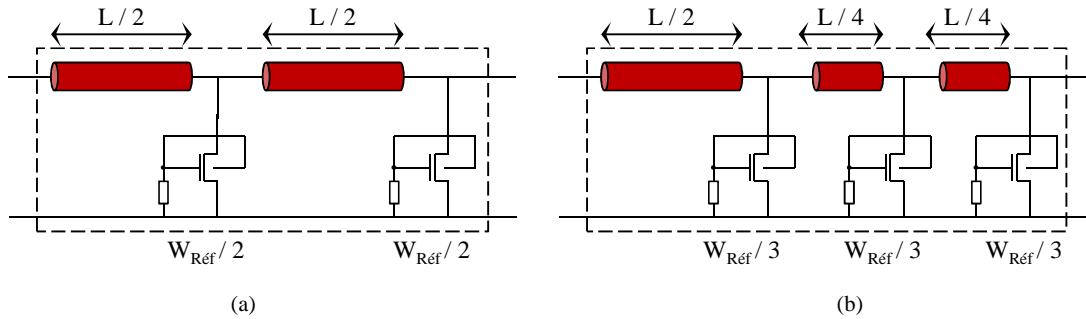


Fig. 4.8 – Topologie des lignes de transmission protégées contre les décharges électrostatiques

Tableau 4.1 - Nomenclature des structures de protection réalisées en technologie CMOS 40 nm

	Topologie (a)	Topologie (b)
Ligne Coplanaire	Structure A	Structure C
Ligne Microruban	Structure B	Structure D

Les caractérisations TLP (partie 1.5.1) ont été effectuées sur toutes ces structures (Fig. 4.9). Le premier constat est que toutes les structures se déclenchent à la même tension $V_{T1} = 3,4$ V. Ensuite, toutes les structures possèdent le même courant de claquage $I_{T2} = 350$ mA. Tout d’abord, il faut noter que les différents composants de protection réagissent parfaitement lors de décharges électrostatiques (déclenchement et évacuation du courant). Cela signifie que la fragmentation du composant de protection en éléments distribués n’a que peu d’impact sur la protection globale de la structure. En effet, que le composant principal soit fragmenté en deux ou trois éléments, les dispositifs possèdent les mêmes caractéristiques (Fig. 4.9).

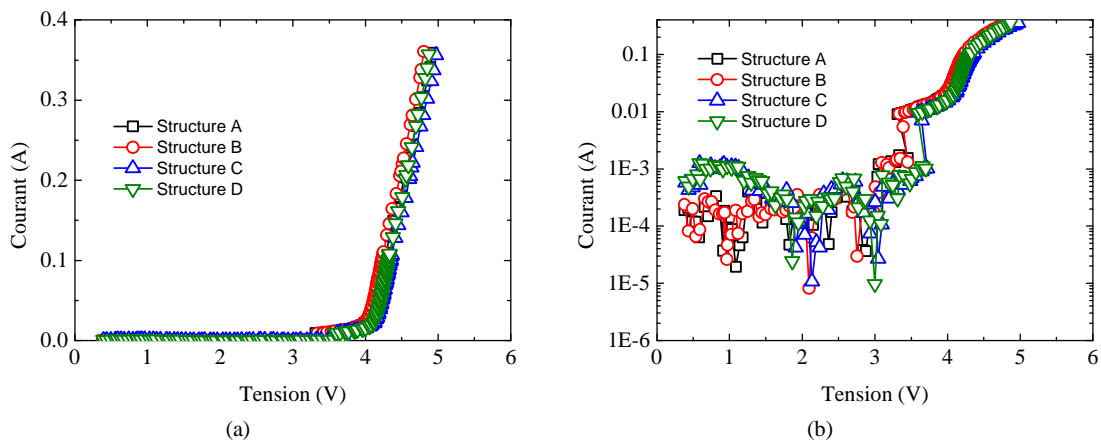


Fig. 4.9 – Caractérisations TLP 100 ns et 10 ns de temps de montée sur les structures réalisées, a) en échelle linéaire et b) en échelle logarithmique

Des mesures fréquentielles ont également été menées sur ces structures (Fig. 4.10a, b et c). L’ajout de composants de protection contre les décharges électrostatiques conduit à des pertes importantes dans la structure. Ces derniers possèdent des paramètres de réflexion $|S_{11}|$ et $|S_{22}|$ supérieurs à -10 dB au-delà de 40 à 50 GHz. À des fréquences supérieures à 40 ou 50 GHz, les impédances présentées en entrée et

en sortie des structures deviennent trop éloignées de l'impédance normalisée à 50Ω . Ces désadaptations d'impédance causent des réflexions du signal envoyé. À -10 dB, un dixième du signal envoyé est réfléchi, ce qui constitue la limite tolérable pour les concepteurs de circuits. Cependant, ces caractéristiques sont ressemblent à la caractéristique d'une simple capacité. Cela signifie que la structure de protection a un comportement purement localisé. Les lignes de transmission étant très courtes, il n'y a aucun effet de propagation dans la structure. Le comportement capacitif observé est dû à la présence des éléments de protections et leurs capacités parasites.

Concernant la transmission du signal, les paramètres $|S_{21}|$ et $|S_{12}|$ sont, pour toutes les structures, supérieurs à -3 dB jusqu'à 100 GHz. Cette valeur signifie que seule la moitié du signal envoyé est effectivement transmise. À position et à nombre de composants de protections identiques, la ligne coplanaire protégée présente moins d'atténuation du signal que la ligne microruban protégée (Fig. 4.10d). Cela s'explique par le fait que la ligne microruban seule présente une impédance caractéristique plus faible que la ligne coplanaire seule. En ajoutant les composants de protection, l'impédance caractéristique de la structure est alors diminuée.

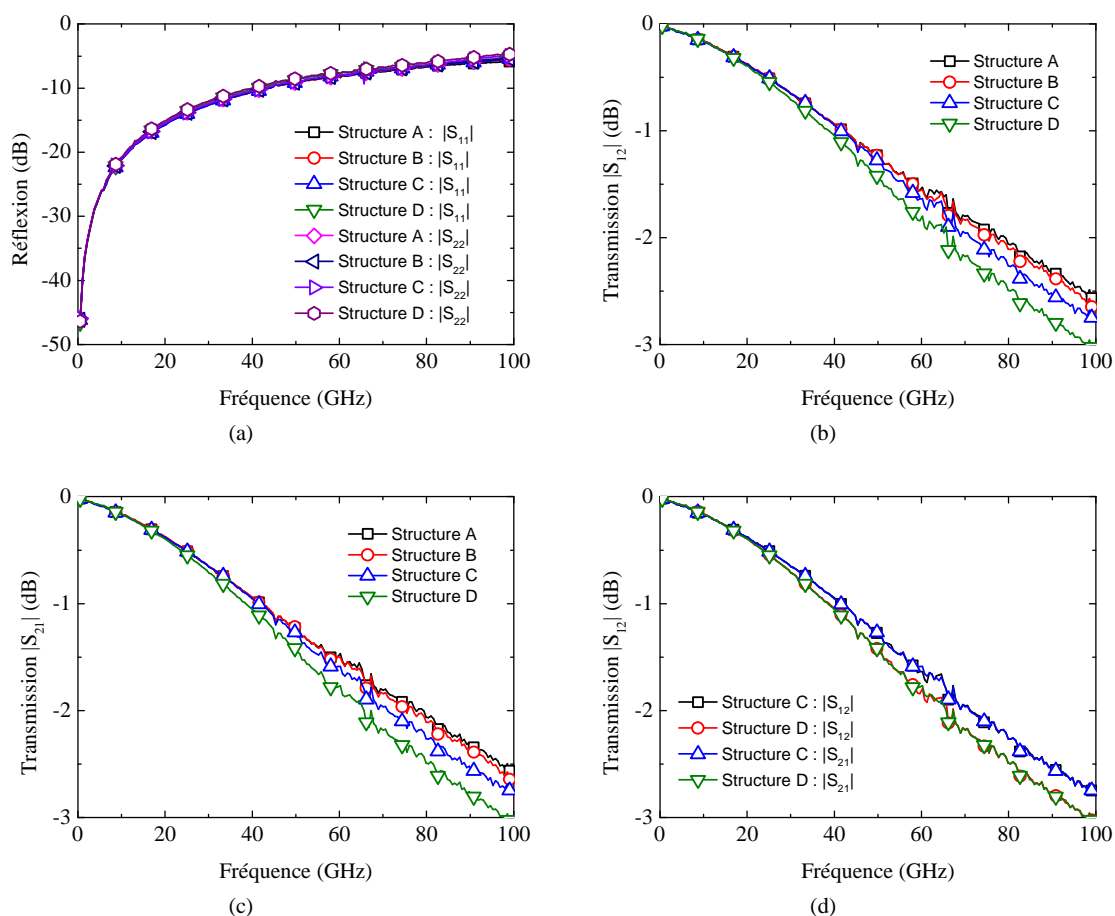


Fig. 4.10 – a) b) c) Mesures de paramètres S des structures réalisées et d) comparaison de performances entre les lignes coplanaire et microruban protégées contre les décharges électrostatiques

Il y a plusieurs enseignements à tirer de ces premiers résultats. Tout d'abord, la fragmentation du composant de protection en plusieurs éléments ne semble pas modifier le comportement de la

protection. Que le composant principal soit fragmenté en deux ou trois éléments, le déclenchement et l'évacuation du courant sont identiques. Au niveau des mesures fréquentielles, aucun effet de propagation n'est observé. Cependant, les pertes en réflexion et transmission sont conséquentes, mais l'emplacement des composants de protection n'a pas été optimisé au préalable. De plus, pour s'assurer que les lignes protégées soient utilisables, des lignes de transmission à impédance caractéristique de l'ordre de 50Ω ont été utilisées. En augmentant l'impédance caractéristique de la ligne de transmission seule, les pertes en réflexion et transmission devraient diminuer. La prochaine partie se concentrera sur les simulations afin de déterminer le nombre et l'emplacement des éléments permettant d'optimiser les performances des lignes de transmission protégées.

4.4 RETROSIMULATIONS DES PREMIERS RESULTATS

D'après les résultats observés dans la partie précédente, il n'est pas nécessaire de se préoccuper du comportement du composant de protection lors de décharges électrostatiques. En effet, il suffit de s'assurer que le composant de protection principal respecte correctement le cahier des charges concernant la tension de déclenchement et le courant maximal que le circuit de protection doit garantir.

Les simulations fréquentielles seront réalisées à l'aide du logiciel Agilent ADS. Les modèles de lignes de transmission fournis par ce logiciel permettent de faire varier les paramètres géométriques des lignes de transmission utilisées. Les composants de protection contre les décharges électrostatiques seront simulés à l'état bloqué. C'est pourquoi dans un premier temps, les composants de protection seront modélisés par de simples capacités parfaites. En modifiant les valeurs des capacités, il est alors possible d'obtenir des résultats très proches des mesures (Fig. 4.11). Il est donc possible de modéliser les composants de protection par de simples capacités. Pour les prochaines simulations, une capacité globale de 50 fF , notée $C_{\text{Réf}}$, sera utilisée, ce qui est une capacité suffisante pour obtenir une protection contre les décharges électrostatiques de 1 kV HBM .

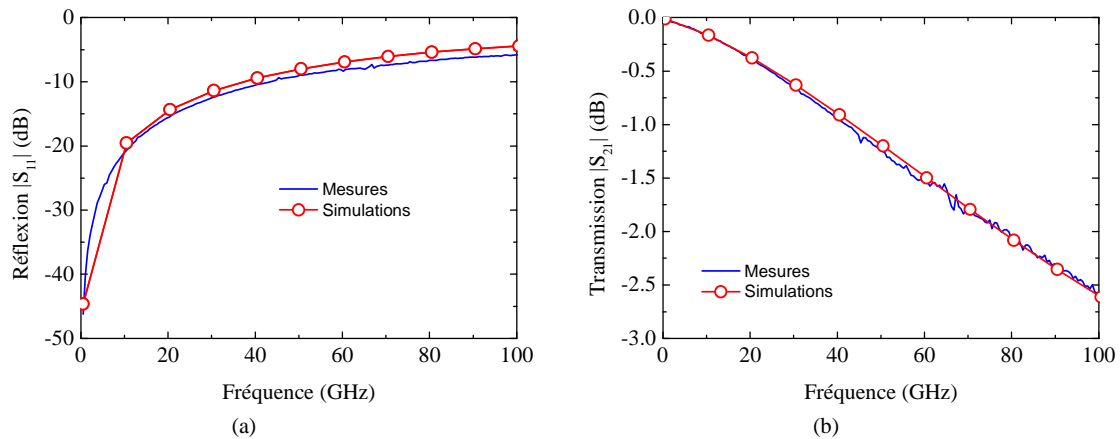


Fig. 4.11 – Mesures et Simulations de paramètres S des lignes protégées avec le modèle capacitif

Pour faciliter l'intégration de cette solution de protection contre les décharges électrostatiques dans un circuit électronique, il est préférable que cette solution soit symétrique. En effet, les réflexions en entrée et sortie de la structure seront identiques, ainsi que les transmissions dans les deux sens, d'où une facilité de mise en œuvre et des problèmes d'impédance simplifiés. La matrice de paramètres S étant alors symétrique, seuls les paramètres $|S_{11}|$ et $|S_{21}|$ simulés seront présentés [LIM12a].

En ajoutant les éléments de protection à des emplacements localisés sous la ligne de transmission, la structure n'est alors plus homogène. Les paramètres usuels de lignes de transmission, tels que l'impédance caractéristique Z_C et la constante de propagation γ , ne sont plus valables. Seuls les paramètres S permettent alors d'évaluer les pertes d'insertion des structures de protection.

En imposant des structures de protection symétriques, si le nombre d'éléments fragmentés est impair, il faut nécessairement placer un élément au milieu de la ligne de transmission. Ainsi, pour une structure de protection à un composant, l'emplacement vient d'être défini. Une capacité de 50 fF est alors placée au milieu de la ligne coplanaire de 150 μm de long. Les résultats des simulations sont présentés sur les Fig. 4.16. Pour une structure possédant deux éléments de protection, les composants sont placés à différents emplacements, en faisant varier L_0 , afin d'évaluer les pertes d'insertion de la structure obtenue (Fig. 4.12).

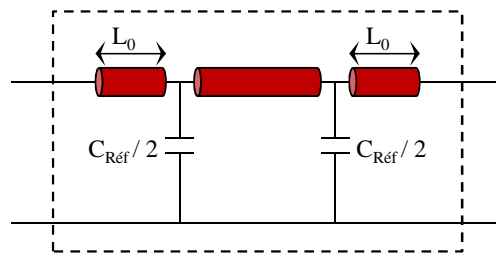


Fig. 4.12 – Etude du comportement fréquentiel d'une structure avec deux éléments selon différents emplacements

Les deux capacités, de 25 fF chacune, correspondant à une capacité globale de 50 fF, sont placées symétriquement sous la ligne de transmission. Les paramètres de réflexion $|S_{11}|$ et de transmission $|S_{21}|$ sont simulés pour différents emplacements (Fig. 4.13). Les pertes en transmission diminuent lorsque les capacités se rapprochent de l'entrée et de la sortie de la ligne de transmission. Cependant, le paramètre de réflexion $|S_{11}|$ est, pour tous les cas, supérieurs à -10 dB au-delà de 40 GHz. Cela signifie que l'emplacement des composants de protection contre les décharges électrostatiques placés sous cette ligne n'a que peu d'influence sur le paramètre de réflexion $|S_{11}|$. Le caractère localisé, capacitif par les éléments de protection, est toujours observable sur ce paramètre de réflexion. Pour améliorer ce dernier, il sera nécessaire de modifier les paramètres géométriques de la ligne de transmission. Ainsi, les paramètres intrinsèques de la ligne tels que l'impédance caractéristique Z_C et la constante de propagation γ vont être modifiés, ce qui changera les pertes d'insertion. Les impédances ramenées en entrée et sortie de la structure varieront également. De plus, il faut noter le choix ici de ne pas utiliser de « taper », qui permet d'ajuster l'impédance présentée en une impédance choisie, car cela augmenterait la longueur de la ligne de transmission.

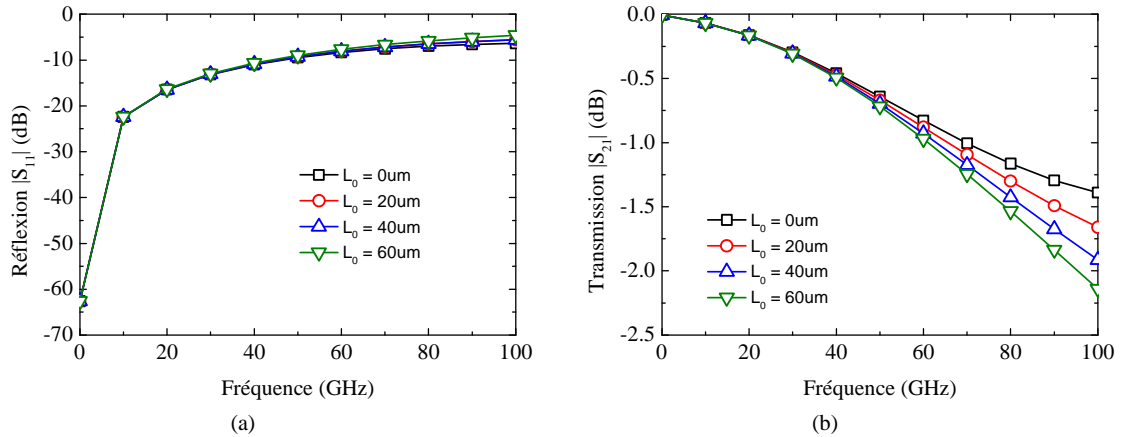


Fig. 4.13 – Simulations de paramètres S selon différentes positions des deux éléments de protection (Fig. 4.12)

L'étude continue avec une fragmentation supplémentaire des composants de protection. La capacité globale sous la ligne de transmission est toujours de 50 fF, la valeur de chacun des trois éléments est donc de 17 fF. Comme il a été mentionné précédemment, pour une structure à trois éléments de protection, une solution symétrique implique de placer un élément au milieu de la ligne de transmission. À partir de là, il s'agit de la même approche que pour le cas d'une structure à deux éléments (Fig. 4.14). Les pertes sont minimales lorsque les deux autres éléments sont placés aux extrémités de la ligne de transmission.

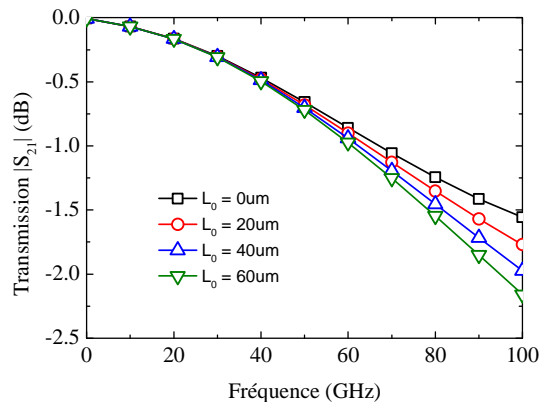


Fig. 4.14 - Simulations de paramètres S pour différentes positions des trois éléments de protection

Cette étude se poursuit avec un élément de protection en plus. La capacité globale est alors divisée en quatre ; chacun des quatre éléments a une valeur de 12 fF. Comme la structure finale doit être symétrique, les quatre éléments doivent être déplacés deux par deux. Afin d'obtenir une topologie différente, deux éléments sont placés à chaque extrémité de la ligne de transmission et l'étude est réalisée en déplaçant les deux éléments restant le long de la ligne. Le cas où l'atténuation du signal est la plus faible est celui pour lequel les éléments sont aux extrémités de la ligne, comme la topologie de la structure à deux éléments de protection. Pour avoir une topologie différente pour la comparaison de

résultats, les deux éléments de protection « mobiles » sont placés à 50 μm des éléments placés aux extrémités de la ligne.

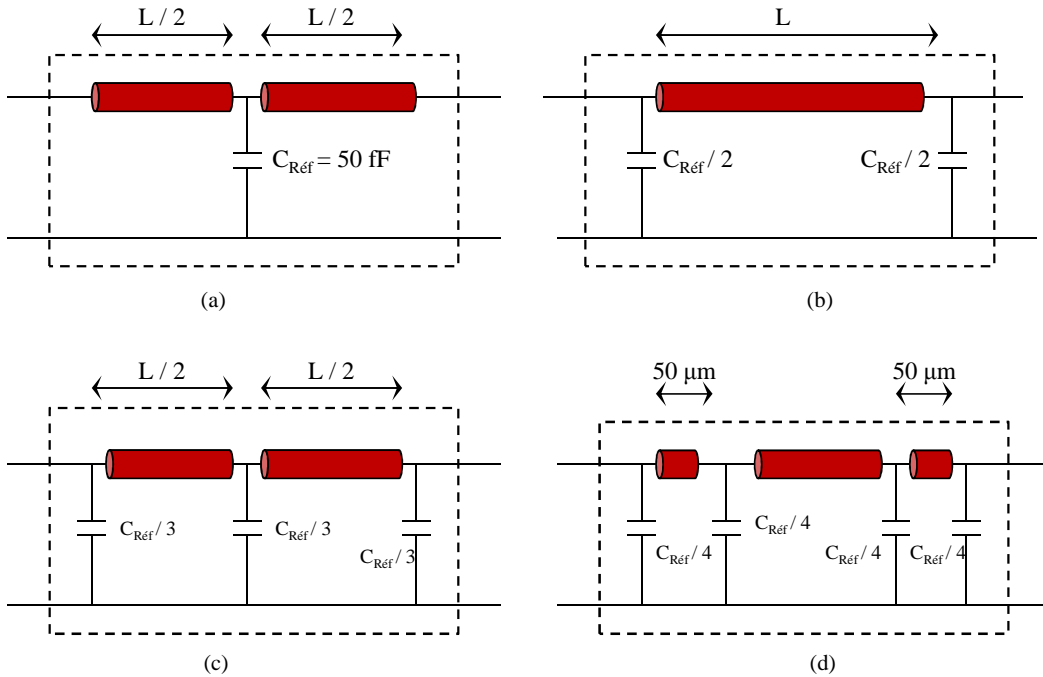


Fig. 4.15 – Emplacements idéaux pour différents nombres d'éléments de protection

Les simulations sont arrêtées à quatre éléments car de nombreuses pertes diélectriques sont introduites par les interconnexions métalliques entre la ligne de transmission et les composants de protection. Les meilleurs emplacements pour les différentes fragmentations du composant de protection sont repris sur la figure Fig. 4.15. Les résultats de simulations en paramètres S montrent un comportement équivalent pour les différents cas en réflexion (Fig. 4.16). Le paramètre de réflexion $|S_{11}|$ est supérieur à -10 dB au-delà de 40 GHz. Le comportement localisé, capacitif par les éléments de protection, est observé dans tous les cas sur le paramètre de réflexion. Comme signalé précédemment, ce paramètre pourra être amélioré en modifiant les paramètres géométriques de la ligne de transmission. Le paramètre de transmission $|S_{21}|$ permet de différencier les topologies. La solution à un seul élément de protection présente le plus d'atténuation. Ceci provient du fait que le composant de protection ne soit pas fragmenté ; la capacité perturbe localement la propagation du signal. La structure possédant deux éléments de protection offre la meilleure transmission de signal parmi les quatre propositions. Les impédances ramenées en entrée et en sortie de la structure dépendent alors de l'emplacement et de la valeur de capacité des éléments de protection. Dans la topologie à deux éléments, les éléments de protection sont directement placés en entrée et en sortie de la structure. Ainsi il n'y a aucune modification du champ électromagnétique au voisinage des interconnexions métalliques. Dans les autres topologies, un composant de protection contre les décharges électrostatiques est placé dans la ligne de transmission. L'impédance ramenée en entrée et en sortie dépend de l'emplacement de ces éléments de protection. En plaçant les éléments de protection aux extrémités de la ligne de transmission, la transmission du signal est moins perturbée. De plus, en réduisant le composant à deux éléments, les pertes causées par les interconnexions métalliques pour relier la ligne de transmission et les éléments de protection seront également minimisées [LIM12c].

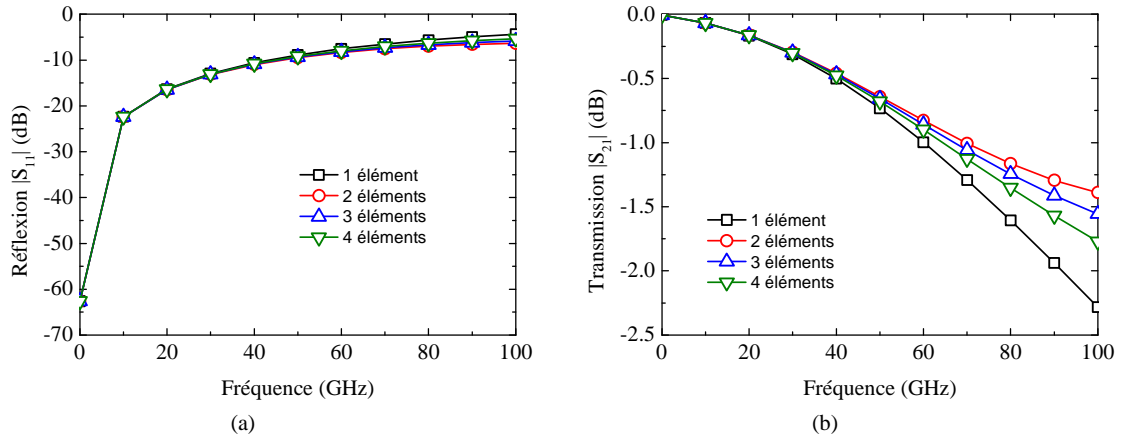


Fig. 4.16 – Simulations de paramètres S des structures optimisées (**Fig. 4.15**)

Afin de minimiser les pertes d'insertion de la structure de protection, le nombre et l'emplacement des éléments de protection ont été déterminés. Cependant, bien que l'emplacement idéal des composants ait été déterminé, les interconnexions entre les composants et la ligne de transmission peuvent également avoir une importance sur les pertes d'insertion de la structure.

4.5 ETUDE DES INTERCONNEXIONS METALLIQUES

Les technologies CMOS utilisées dans ces travaux comportent huit niveaux de métallisation, dont un niveau épais en aluminium (Fig. 3.9). La ligne de transmission doit être réalisée sur les niveaux métalliques les plus éloignés du substrat pour éviter des pertes trop importantes dans le substrat de silicium. Le composant de protection est, quant à lui, réalisé dans la zone du substrat dédiée aux composants actifs. La connexion métallique du composant (Fig. 4.17) se fait au niveau des premiers niveaux métalliques M1, M2 et M3. Dans la partie précédente, les simulations indiquaient des pertes d'insertion plus faibles lorsque les composants de protection sont reliés aux extrémités de la ligne de transmission. Ainsi, le but de cette partie est de définir la manière de connecter le composant à la ligne de transmission.

La façon la plus simple et la plus naturelle de connecter le composant à la ligne de transmission est d'utiliser une interconnexion directe (Fig. 4.17A). Afin d'éviter de perturber la propagation de l'onde électromagnétique, l'idée est de réaliser une interconnexion « progressive » (Fig. 4.17B). Une autre variante peut être réalisée (Fig. 4.17C). Bien que cette dernière ne soit pas symétrique, il sera intéressant d'observer ses performances pour savoir si la transmission du signal est améliorée ou non. Enfin, des caractérisations TLP ont été menées sur des interconnexions afin de déterminer les dimensions requises pour résister aux décharges électrostatiques. C'est en utilisant les dimensions minimales mesurées que les dernières interconnexions ont été réalisées (Fig. 4.17D).

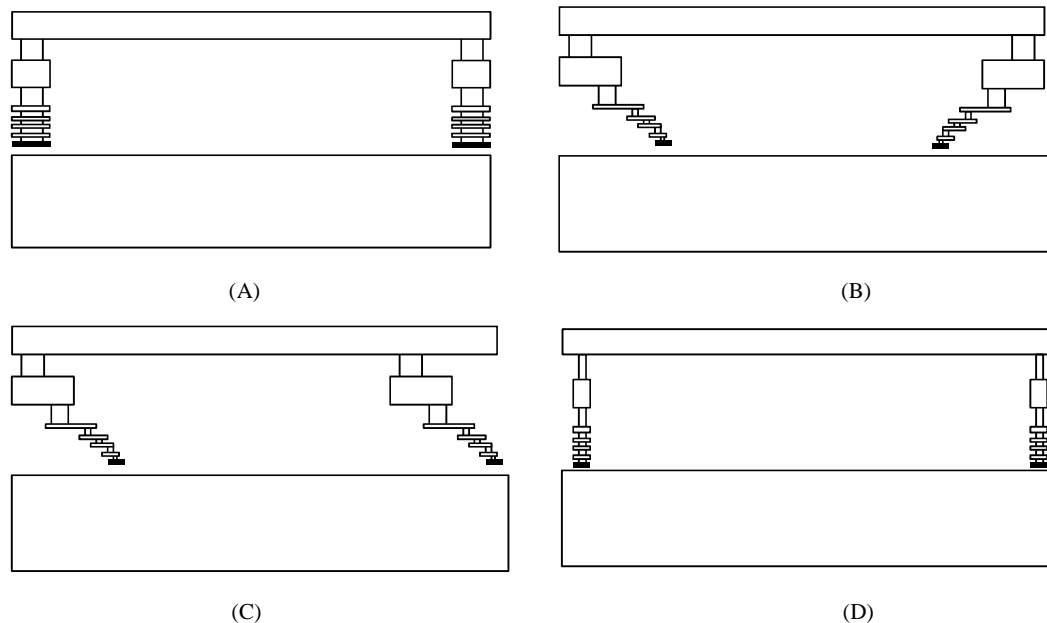


Fig. 4.17 - Coupe transversale sur le plan du ruban central de la ligne coplanaire des différentes interconnexions

Ces quatre structures ont été réalisées à l'aide de la plateforme 32nm en technologie CMOS de STMicroelectronics. Les interconnexions métalliques BEOL entre les technologies CMOS 45 nm et 32 nm sont similaires (un écart de 5 % sur la dimension verticale), ce qui implique peu de différences au niveau des lignes de transmission. De plus, l'utilisation de cette technologie permet d'être en avance de phase par rapport aux futurs besoins et de pouvoir anticiper les performances de la solution à hautes fréquences. Les transistors BIMOS ont ainsi été redimensionnés afin de pouvoir respecter la norme requis (1 kV HBM). Ainsi, les capacités des éléments de protection sont plus importantes que dans la partie précédente.

Des mesures de paramètres S ont été menées sur chacune des structures (Fig. 4.18). Comme pour l'étude du placement des composants de protection, le paramètre de réflexion $|S_{11}|$ ne varie que très peu avec la forme des interconnexions métalliques. Néanmoins, il est possible d'observer un effet de propagation dans les structures réalisées. En effet, le paramètre de réflexion diminue au-delà de 60 GHz. En augmentant la valeur de la capacité des composants de protection, la vitesse de l'onde diminue dans la structure et l'effet de propagation peut ainsi être observé. Cependant, la forme des interconnexions métalliques a un fort impact sur le paramètre de transmission $|S_{21}|$. La structure avec les interconnexions directes (Fig. 4.17A) est prise ici comme référence. Les différentes variantes d'interconnexions proposées permettent de modifier l'atténuation du signal. L'interconnexion « progressive » (Fig. 4.17B), bien qu'elle améliore la transmission du signal, présente un risque lors de décharges électrostatiques. En effet, pour réaliser cette interconnexion, il est nécessaire d'utiliser des bandes métalliques à chaque niveau de métallisation (Fig. 4.17D). Il faut donc s'assurer que ces bandes métalliques puissent supporter des décharges électrostatiques. Pour les niveaux épais, le risque est faible car de forts courants peuvent y circuler sans dommage. Le risque devient critique pour les niveaux de métallisation fins.

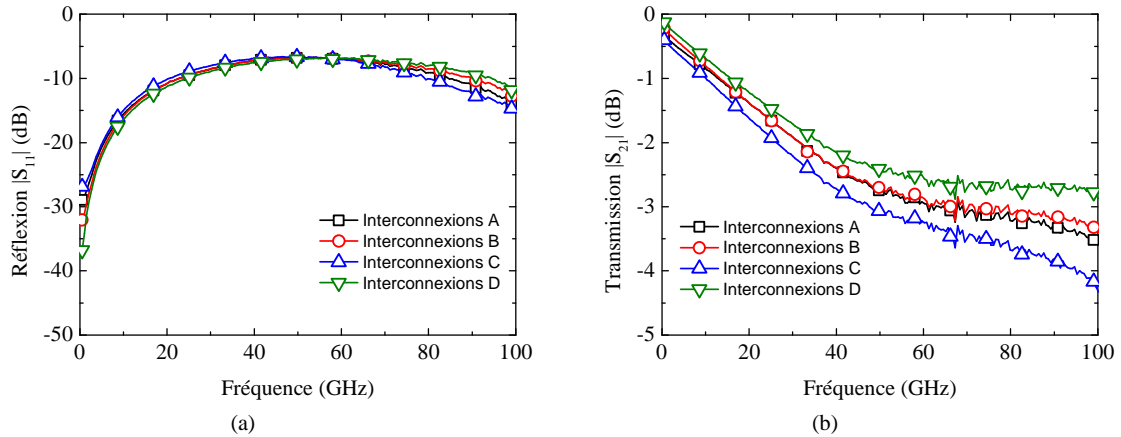


Fig. 4.18 – Mesures de paramètres S des structures avec différentes interconnexions

Afin de pouvoir comparer les deux topologies d'interconnexions « progressives », les paramètres de transmission $|S_{21}|$ et $|S_{12}|$ ont été mesurés et comparés (Fig. 4.19). Il apparaît donc clairement que mettre deux interconnexions « progressives » dans le même sens augmente les pertes en transmission. La topologie B permet, quant à elle, d'améliorer la transmission par rapport à la structure à interconnexions directes. Néanmoins, l'amélioration du paramètre de transmission $|S_{21}|$ avec cette topologie reste mineure et les précautions à prendre pour dessiner ces interconnexions sont nombreuses. Tout cela ne permet donc pas une utilisation simple de cette topologie.

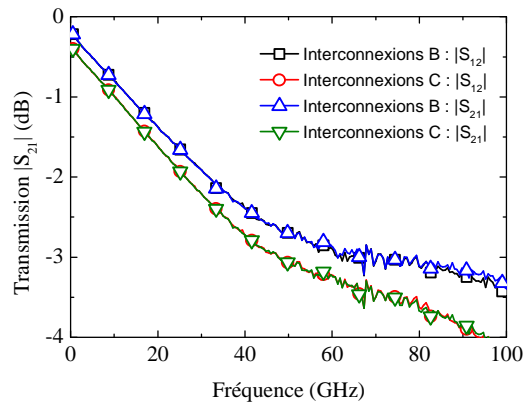


Fig. 4.19 – Comparaison de paramètres de transmission mesurés entre les interconnexions B et C

La structure possédant les interconnexions à dimensions minimales (Fig. 4.17D) améliore de manière conséquente les pertes de transmission (Fig. 4.18). Ses dimensions peuvent être comparées avec celles de la topologie de base (Fig. 4.17A). Ses faibles dimensions perturbent moins la propagation de l'onde et par conséquent les pertes de transmission. La différence entre les paramètres de transmission $|S_{21}|$ augmente avec la fréquence pour atteindre 0,8 dB à 100 GHz.

Il est donc intéressant de noter que les interconnexions à dimensions minimales permettent d'améliorer les pertes de transmission. Afin de s'assurer de la robustesse des structures réalisées, les structures qui suivent, réalisées en technologie CMOS 32 nm, possèdent des interconnexions directes

classiques (Fig. 4.17A). Les interconnexions développées dans cette partie seront donc considérées comme une possibilité à retenir pour améliorer la solution.

Maintenant que la problématique des interconnexions a été traitée, la partie suivante portera sur la modification des paramètres géométriques de la ligne de transmission. Ainsi, en changeant les caractéristiques intrinsèques de cette dernière, il est envisageable d'améliorer les pertes d'insertion.

4.6 MODIFICATION DES PARAMETRES GEOMETRIQUES DES LIGNES DE TRANSMISSION

Les lignes de transmission utilisées dans cette partie sont exclusivement des lignes coplanaires sans blindage en silicium dopé. Ces dernières possèdent plus de degrés de liberté dans leurs paramètres géométriques que la ligne microruban ; la largeur du ruban central W , l'espacement G entre le ruban et la masse et la masse et la hauteur H du ruban alors que seules la largeur W et la hauteur H du ruban sont modifiables dans la ligne microruban (Fig. 3.1).

Comme pour la partie précédente, les structures sont réalisées en technologie CMOS 32 nm avec huit niveaux de métallisations. Les dimensions des transistors BIMOS utilisés ont été modifiées par rapport à celles des transistors réalisés en technologies CMOS 45-40 nm (partie 3.4) ; les parties actives des technologies CMOS 32 nm et 45 nm étant différentes. Les lignes de transmission intégrant ces transistors BIMOS redimensionnées doivent donc respecter la norme requise (1 kV HBM).

Avant de commencer l'étude sur la modification des paramètres géométriques de la ligne de transmission, il est tout d'abord intéressant d'observer les performances d'une structure, qui servira par la suite de référence. Cette structure possède un transistor BIMOS placé à chaque extrémité de la ligne coplanaire. Afin d'augmenter l'impédance caractéristique de la ligne de transmission, cette dernière est située uniquement sur un seul niveau de métallisation M7. La largeur du ruban central est de $W = 4 \mu\text{m}$ et l'espacement entre le ruban et les masses est de $G = 5 \mu\text{m}$ (Fig. 3.1). Les performances de cette structure sont comparées avec une structure où les transistors BIMOS sont placés comme sur la figure Fig. 4.20.

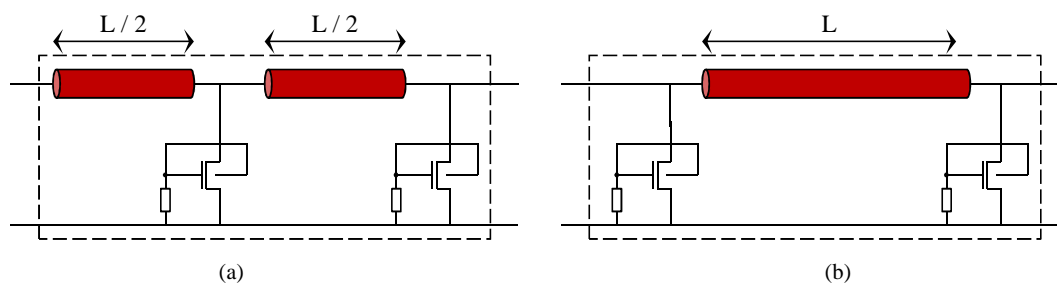


Fig. 4.20 – a) Topologie des lignes réalisées précédemment et b) lignes symétriques réalisées en technologie CMOS 32 nm

Des caractérisations TLP sont réalisées sur chacune de ces deux structures (Fig. 4.21a et Fig. 4.21b). La structure réalisée en technologie CMOS 32 nm peut supporter un courant pic de 650 mA, ce qui est équivalent en énergie à des décharges de 1 kV HBM. Les mesures de paramètres S de ces deux structures peuvent alors être comparées (Fig. 4.21c et Fig. 4.21d). En modifiant l'emplacement des éléments de protection, il est possible d'observer l'impact de la propagation sur le paramètre de réflexion $|S_{11}|$, ce qui est dû aux impédances ramenées en entrée et en sortie de la structure. Quant au paramètre de transmission $|S_{21}|$, les résultats pour ces deux structures sont très semblables. La différence avec les résultats de simulation (partie 4.4) peut être expliquée par plusieurs facteurs. Tout

d'abord, les structures précédemment réalisées en technologie CMOS 45-40 nm ne pouvaient supporter que des décharges de 500 V HBM. Les composants de protection ont été redimensionnés ; les structures présentées dans cette partie supportent désormais des décharges de 1 kV HBM. De plus, ces structures ont été réalisées en technologie CMOS 32 nm alors que les structures précédentes étaient en technologie CMOS 45-40 nm. Les dimensions géométriques, que ce soit au niveau des interconnexions métalliques ou au niveau des diélectriques, diffèrent d'une technologie à l'autre. De ce fait, le modèle de simulation pour ces structures est alors différent. La structure réalisée en technologie CMOS 32 nm, qui vient d'être présentée, servira de référence dans l'étude qui va suivre.

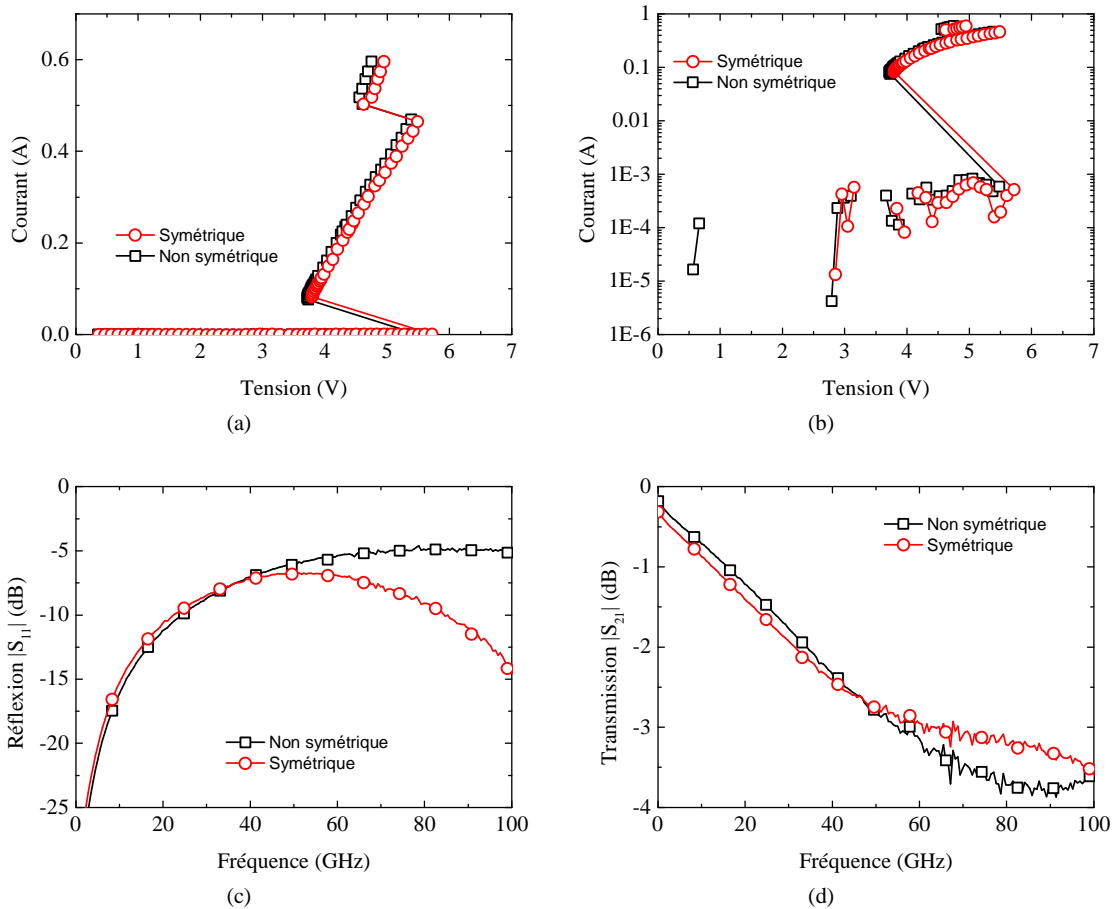


Fig. 4.21 – Mesures de structures symétrique et non-symétrique (Fig. 4.20) : a) Caractéristique TLP 100 ns et 10 ns de temps de montée en échelle linéaire, b) et en échelle logarithmique, c) Paramètre de réflexion $|S_{11}|$ et d) paramètre de transmission $|S_{21}|$

Maintenant que les éléments de protection ont été ajustés afin de garantir une protection de circuit à 1 kV HBM, leurs capacités ont augmentées et permettent la propagation du signal. Il est alors nécessaire de modifier les caractéristiques des lignes de transmission afin de diminuer le couplage capacitif des lignes pour améliorer la structure finale.

En faisant varier les paramètres géométriques d'une ligne de transmission, les caractéristiques de cette dernière seront modifiées. En effet, les lignes de champs électromagnétiques diffèrent d'une structure à l'autre ; ainsi, l'impédance caractéristique et la constante de propagation ne seront pas les mêmes. Plus les lignes du champ électromagnétique seront concentrées, plus l'impédance caractéristique de la

ligne sera faible. Dans une ligne coplanaire, augmenter la largeur du ruban métallique W ou réduire l'espace G entre le ruban et les masses reviennent à diminuer l'impédance caractéristique (Fig. 3.1b). Dans une ligne microruban, augmenter le ruban W ou diminuer la hauteur H provoquent le même effet (Fig. 3.1a).

Plusieurs structures de protection ont été réalisées, toujours en technologie CMOS 32 nm. Toutes les structures sont donc constituées de lignes coplanaire avec des éléments de protection placés de part et d'autre de la ligne (structures symétriques). Les éléments de protections sont identiques pour toutes les structures réalisées. Des mesures de paramètres S ont été menées sur ces structures (Fig. 4.22). En se concentrant tout d'abord sur le paramètre de réflexion $|S_{11}|$, il est intéressant de remarquer que certaines structures sont adaptées en entrée et en sortie. Leur paramètre de réflexion $|S_{11}|$ est inférieur à -10 dB sur toute la bande de fréquences. Les concepteurs de circuits tolèrent au maximum dix pour cent de réflexion sur le signal envoyé, ce qui correspond à une valeur limite de -10 dB. Concernant le paramètre de transmission $|S_{21}|$, il faut noter que ce paramètre peut être grandement amélioré en ajustant les valeurs géométriques de la ligne coplanaire. À titre d'exemple, à 60 GHz, il est possible d'améliorer le paramètre $|S_{21}|$ de 1 dB par rapport à la structure de référence. Si seul le paramètre de réflexion $|S_{11}|$ est pris en compte, les deux structures respectent le critère d'adaptation sur toute la bande de fréquence. Par contre, en observant le paramètre de transmission $|S_{21}|$, la structure présentant les meilleures performances est constituée de la ligne coplanaire avec un ruban central W de 2 μm et un espace G de 8 μm entre le ruban et les masses. Il faut noter que cette ligne est celle qui présente la plus grande impédance caractéristique parmi toutes les structures. En effet, il s'agit de la ligne présentant la plus faible largeur de ruban central et le plus grand espace entre les plans de masse et le ruban [LIM12b].

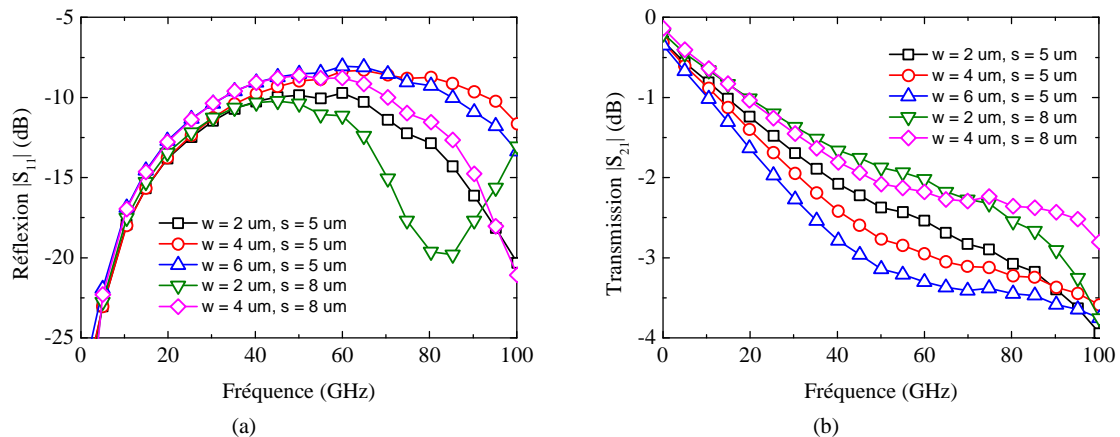


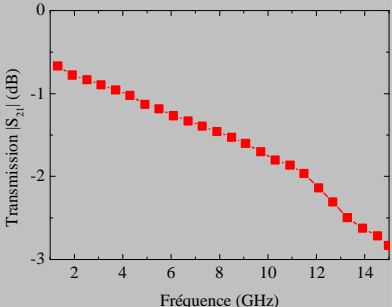
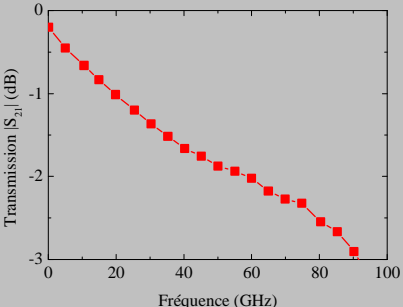
Fig. 4.22 – Paramètres S mesurés de lignes coplaires protégées à paramètres géométriques variables

Avec des dimensions de composants de protection contre les décharges électrostatiques bien définies afin de garantir la robustesse ESD des structures, il est donc possible d'améliorer le comportement fréquentiel final. En modifiant les paramètres géométriques afin d'augmenter l'impédance caractéristique de la ligne de transmission, la structure peut être alors adaptée sur toute la bande de fréquence.

Récemment, une structure de protection a été utilisée pour des applications à 60 GHz [LIN10]. Cette structure est adaptée à 50 Ω en entrée et sortie afin de simplifier la conception du circuit et de fournir une protection contre les décharges électrostatiques. Réalisées en technologies CMOS avancées, plusieurs déclinaisons de protection ont été fabriquées afin de respecter plusieurs normes différentes selon l'utilisation. Pour une protection de 1 kV HBM, le circuit présente 1,9 dB de pertes de transmission pour des dimensions de 110 μm de large par 280 μm de long. En termes de dimension, robustesse ESD et pertes de transmission, les performances entre ce circuit de protection et la solution développée durant cette thèse sont équivalentes. Cependant, ce circuit ne travaille que sur une bande de fréquence réduite autour de 60 GHz, alors que la solution proposée ici est valide jusqu'à 100 GHz.

Pour pouvoir situer les résultats des structures réalisées avec l'état de l'art, il convient de comparer leurs performances avec les circuits de protection large bande. Ainsi, en partant de la partie 4.1 et des résultats obtenus [KER05], la différence de performances est intéressante. La structure de protection réalisée possède des dimensions acceptables pour pouvoir être utilisée dans un circuit intégré. La surface occupée a été réduite d'un facteur 180, ce qui constitue un gain économique considérable lors de la réalisation. De plus, en utilisant des composants de protection plus performants, la bande de fréquence de fonctionnement a été augmentée d'un facteur cinq. Ces deux critères permettent de mieux constater l'apport de ces travaux par rapport à ce qui a été réalisé précédemment. Par contraintes de coûts de fabrication et de facilité d'utilisation pour tout concepteur de circuits, il était nécessaire d'optimiser ces deux caractéristiques.

Tableau 4.2 – Comparatif des performances entre l'état de l'art et les structures réalisées

	Etat de l'art [KER05]	Travaux réalisés
Dimensions	2250 μm x 480 μm	150 μm x 40 μm <i>Surface divisée par 180</i>
Fréquence de fonctionnement	Jusqu'à 15 GHz	Jusqu'à 100 GHz <i>Bande passante multipliée par 5</i>
Transmission S_{21}		

4.7 CONCLUSION DU CHAPITRE QUATRE

Cette partie a permis de mettre en place une solution de protection contre les décharges électrostatiques. Le but premier étant de protéger les circuits hautes fréquences contre les décharges électrostatiques, la solution apportée respecte la norme requise qui est de 1 kV HBM. De plus, à moyen ou long terme, le but étant que la solution développée soit utilisable dans un circuit électronique, les dimensions imposées (150 μm par 40 μm) facilitent ainsi son intégration dans un

circuit. Pour favoriser son utilisation par les concepteurs de circuits RF et millimétriques, l'étude a été réalisée sur une très large bande de fréquence allant du courant continu jusqu'à 100 GHz. Les pertes d'insertion sont donc un facteur déterminant pour le concepteur de circuit.

Plusieurs leviers ont été mis en lumière afin d'améliorer les performances de la structure de protection. Tout d'abord, les interconnexions métalliques entre la ligne de transmission et les composants de protection contre les décharges électrostatiques (partie 4.5). Des réalisations en technologies CMOS avancées ont permis de mettre en évidence l'influence de la modification de la forme des différentes interconnexions métalliques sur les pertes d'insertion.

Une fois les composants de protection dimensionnés et placés sous la ligne de transmission, il est possible d'améliorer les performances fréquentielles des structures en modifiant les paramètres géométriques des lignes de transmission (partie 4.6). En ajustant les paramètres intrinsèques de ces lignes, l'adaptation d'impédance peut être atteinte sur toute la bande de fréquence de travail. L'état de l'art a été atteint à 60 GHz en utilisant cette méthode de modification de paramètres géométriques des lignes de transmission. Cependant, la solution développée est fonctionnelle sur toute la bande de fréquence. En combinant ces deux méthodes d'optimisation, la solution présenterait des pertes d'insertion encore plus faibles.

Dans la partie suivante, les perspectives de ce travail seront présentées. Les axes de travail permettront de perfectionner la solution de protection. Tout d'abord, le transistor BIMOS peut être optimisé afin de réduire sa capacité parasite et ainsi présenter moins de pertes de transmission. Ensuite, il est également possible de tirer avantage de la réactivité du transistor BIMOS pour déclencher un composant de protection dit « principale ». Placé sous des lignes de transmission, ce dernier présente de meilleures performances que ce soit dans le domaine fréquentiel ou dans le domaine des décharges électrostatiques. Enfin, la partie se terminera par une ouverture sur la possibilité d'utilisation de la solution à des fréquences plus élevées, jusque dans le domaine du térahertz.

CHAPITRE CINQ

DISCUSSION ET PERSPECTIVES

To whom much is given, much is expected.

PATRICK JANE

Les chapitres précédents ont permis de mettre en évidence les effets néfastes des composants de protection contre les décharges électrostatiques dans le domaine fréquentiel. En effet, la capacité parasite des éléments de protection introduit des pertes non négligeables à des fréquences supérieures à la dizaine de gigahertz. Les structures de protection réalisées et présentées dans ce manuscrit offrent une solution avec des performances très intéressantes.

Dans ce dernier chapitre, différentes pistes d'amélioration de performances sont étudiées. Tout d'abord, certains paramètres du transistor BIMOS peuvent être modifiés afin de réduire sa capacité fréquentielle équivalente. À travers un modèle développé à partir des mesures, il est possible d'observer l'influence des différents paramètres sur le comportement fréquentiel. Pour améliorer davantage les performances du composant de protection, le transistor BIMOS peut servir à déclencher le composant principal de protection. Un des aspects pouvant améliorer les performances de la structure de protection est de réduire davantage la longueur de la ligne de transmission, pour cela, une alternative de placement des éléments de protection sera étudiée. Enfin, la tendance actuelle dans le monde de la microélectronique est d'augmenter de plus en plus la fréquence de fonctionnement des circuits électroniques. De nombreux travaux sont réalisés sur les transistors afin d'obtenir des composants efficaces à ces fréquences [LEWA12]. Avec les applications bientôt disponibles dans le domaine du térahertz, il est intéressant d'observer le comportement de la solution développée à ces fréquences.

5.1 AMELIORATIONS POSSIBLES DU TRANSISTOR BIMOS

Les transistors BIMOS utilisés dans cette étude ont des paramètres fixes. Cependant, il est possible de modifier certains paramètres afin d'en améliorer les performances. La résistance R du schéma électrique permet de modifier le comportement du composant dans le domaine fréquentiel, mais également ESD (Fig. 3.15). La valeur de la résistance R utilisée pour le modèle du composant sera

nommée $R_{\text{réf}}$ pour la suite de cette partie. Une augmentation de la valeur de la résistance R accroît également la sensibilité du transistor BIMOS en mode ESD ; cela signifie concrètement que la tension de déclenchement V_{T1} du transistor est plus faible lors d'une caractérisation TLP, mais également, et plus particulièrement en mode DC [GALY13]. Un compromis doit donc être fait entre cette tension de déclenchement et son comportement fréquentiel.

À partir du modèle développé du transistor BIMOS (partie 3.4.2), les paramètres S sont simulés avec différentes valeurs de résistance R , allant de $R_{\text{réf}}$ à $16 \times R_{\text{réf}}$ (Fig. 5.1a). Les réponses observées sont très dispersées et avec une valeur de résistance $R = 4 \times R_{\text{réf}}$, il est possible d'obtenir un paramètre de réflexion $|S_{11}|$ supérieur à $-1,5$ dB sur toute la bande de fréquence. À partir de ces simulations de paramètres $|S_{11}|$, la capacité équivalente associée peut être extraite avec la résistance R comme paramètre variable (Fig. 5.1b). La gamme de valeurs de capacités est presque la même (32 fF – 60 fF) que la caractéristique de référence. Cependant, les capacités équivalentes simulées sont globalement plus faibles sur toute la bande de fréquence. L'augmentation de la valeur de résistance R permet alors d'améliorer les performances globales de la structure de protection.

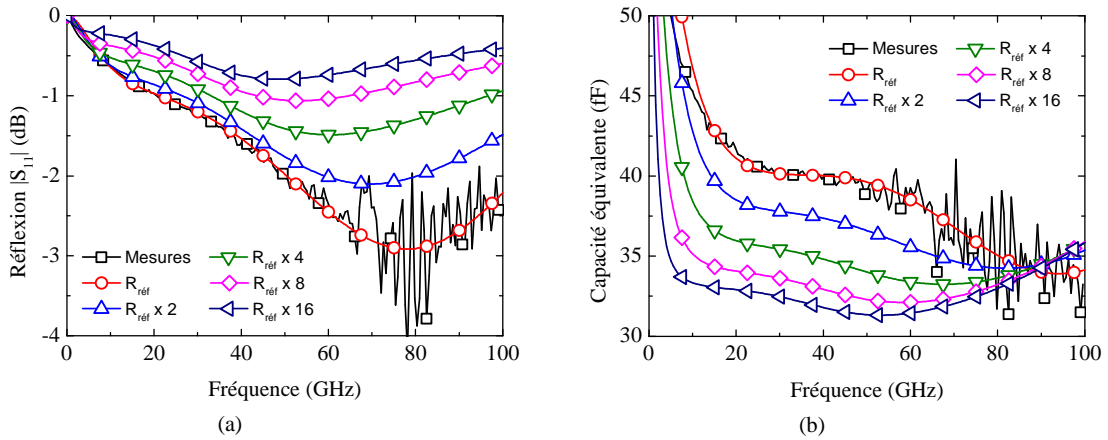


Fig. 5.1 – Variation de la résistance du transistor BIMOS par simulation a) paramètre $|S_{11}|$ et b) capacités équivalentes extraites

5.2 UTILISATION DU TRANSISTOR BIMOS COMME CIRCUIT DE DECLENCHEMENT

Le transistor BIMOS ayant un déclenchement quasi statique très rapide (Fig. 3.16), il est possible de l'utiliser en tant que déclencheur d'un autre composant de protection dit principal. Par souci de symétrie et de facilité d'intégration, un triac est utilisé comme composant de protection principal. Le triac est constitué de deux thyristors placés tête-bêche (Fig. 5.2a). Pour obtenir une détection de courant de décharge identique de part et d'autre du triac, le circuit de déclenchement est alors constitué de deux transistors BIMOS (Fig. 5.2b). Une fois qu'un des deux transistors BIMOS détecte un courant suffisamment important, il devient passant et déclenche alors le triac [GALY12b]. Des simulations de type TCAD ont été réalisées afin d'optimiser le déclenchement du composant de protection [BOUR10b]. Par souci de simplification, par la suite, la structure constituée d'un triac et du circuit de déclenchement, présentée Fig. 5.2b, sera appelée simplement Triac.

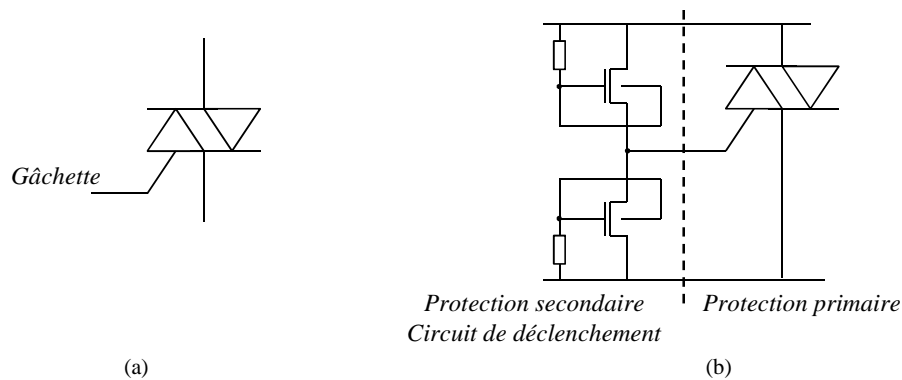


Fig. 5.2 – Schémas électriques : a) Triac et b) triac en tant que composant principal de protection

Des mesures de paramètres S de ce composant sont comparées avec le transistor BIMOS seul (Fig. 5.3a). Ces deux composants de protection ont une réponse fréquentielle similaire, autour de 2,5 dB de pertes à 60 GHz. La capacité équivalente de ces composants peut être extraite à partir de ces mesures (Fig. 5.3). Bien que la réponse fréquentielle des composants soit similaire, la capacité équivalente du transistor BIMOS est aux alentours de 40 fF sur toute la bande de travail alors que le triac présente une valeur de capacité inférieure, de l'ordre de 30% plus faible à 100 GHz. De plus, ces composants occupent des surfaces de silicium de même ordre de grandeur.

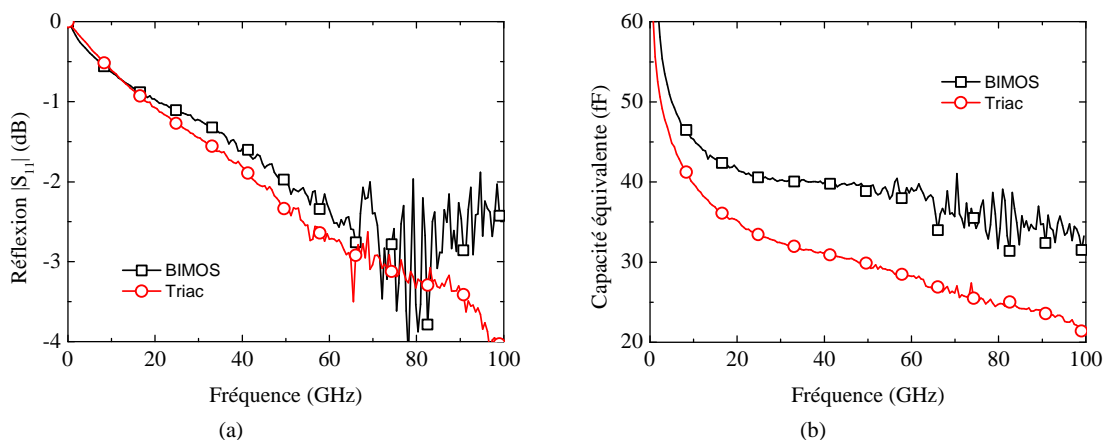


Fig. 5.3 – Mesures des composants seuls, a) paramètre $|S_{11}|$ et b) capacités équivalentes extraites

Ces composants élémentaires ont également été testés électriquement en régimes quasi statique et dynamique (Fig. 5.4). Les caractéristiques obtenues à partir de ce test permettent d'observer le comportement des composants durant une décharge électrostatique. Les deux composants présentent peu de courant de fuite lorsqu'ils sont à l'état bloqué, de l'ordre du nanoampère. Le transistor BIMOS se déclenche à la tension V_{T1} de 6 V. La tension aux bornes du transistor passe alors à la tension de maintien V_{hold} de 4 V. Le composant peut alors décharger le courant jusqu'à ce que celui-ci devienne trop important et détruise le transistor. Ce courant de défaillance I_{T2} est de 600 mA. Le transistor BIMOS est alors capable de supporter des courants pics de 600 mA, ce qui est équivalent à des décharges de 1 kV HBM. Le triac possède une tension V_{T1} de 4,5 V et une tension V_{hold} de 1,8 V. Ces valeurs sont différentes de celles du transistor BIMOS, mais le courant de défaillance I_{T2} de 0,8 A est supérieur à celui du transistor BIMOS. Les tensions de déclenchement de ces composants sont

particulièrement élevées. Cela s'explique par la réalisation de ces structures en technologie CMOS en oxyde épais. La tension de claquage d'oxyde dans ce cas là étant de 7~8V, ces composants seront donc toujours efficace, même à ces tensions de déclenchement.

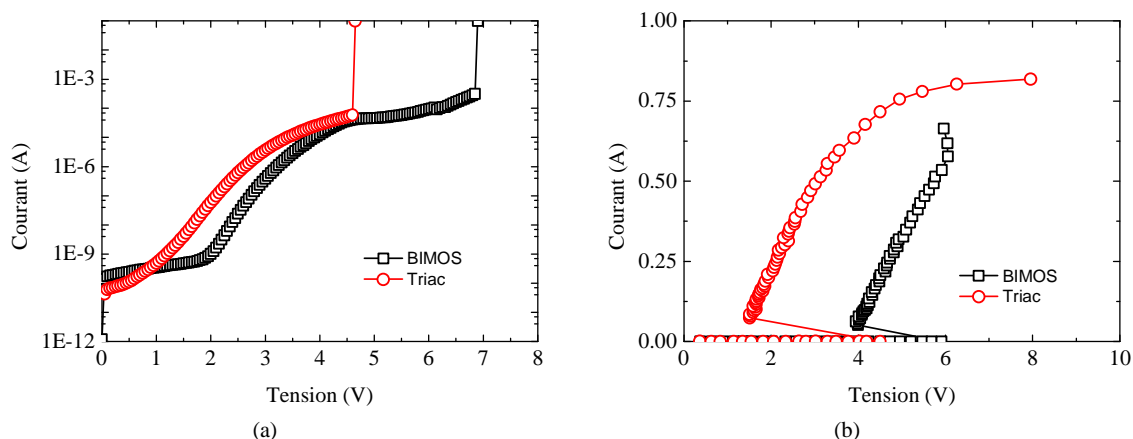


Fig. 5.4 – Caractéristiques électriques des composants seuls : a) statique et b) TLP

Deux structures de protection ont été réalisées [LIM12d]. La première structure utilise une ligne coplanaire intégrant ces transistors BIMOS de part et d'autre de la ligne. La seconde intègre des triacs comme composants de protection. Le ruban métallique de la ligne coplanaire est situé sur le septième niveau de métallisation (couche M7) de la technologie CMOS (partie 3.2.1) avec une largeur $w=4 \mu\text{m}$ et un espacement $g=5 \mu\text{m}$. Ces structures ont été réalisées en technologie CMOS avec la plateforme 32 nm substrat massif (bulk) de STMicroelectronics.

Les paramètres S de ces deux structures ont été mesurés (Fig. 5.5). Le paramètre de réflexion $|S_{11}|$ est similaire pour les deux structures. Cependant, ce paramètre est ajustable par modification des paramètres géométriques de la ligne de transmission (partie 4.6). La structure comportant les triacs présente moins de pertes en transmission que la structure avec les transistors BIMOS. Ce résultat était prévisible dans la mesure où la capacité intrinsèque du triac est inférieure à celle du transistor BIMOS. À titre de comparaison, à 60 GHz, les structures présentent une différence de 1 dB d'écart en termes de pertes en transmission.

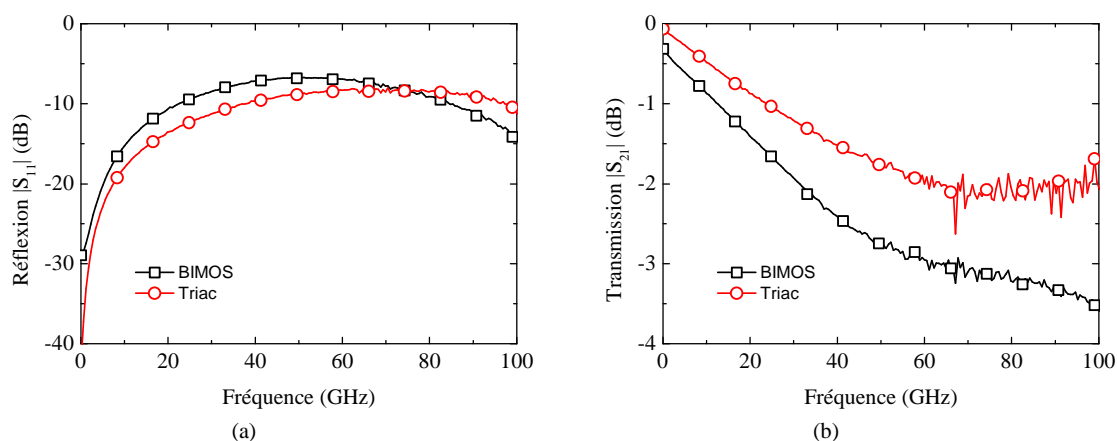


Fig. 5.5 - Paramètres S mesurés des lignes de transmission comportant des éléments de protection

Des tests TLP ont également été effectués sur ces deux structures (Fig. 5.6). Concernant la structure comportant des transistors BIMOS, les deux transistors ne se déclenchent pas en même temps : il y a clairement deux retournements dans la caractéristique électrique obtenue. Le courant de défaillance I_{T2} pour cette structure est de 1,2 A, ce qui est équivalent à des décharges de 2 kV HBM. La ligne de transmission avec les triacs est capable de supporter un courant plus important. Ces deux structures sont donc capables de supporter des décharges de 2 kV HBM.

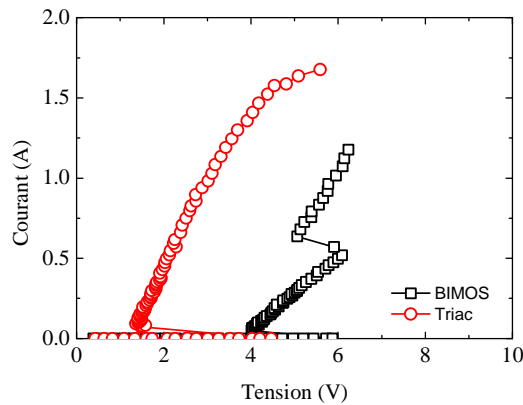


Fig. 5.6 – Caractéristiques TLP des lignes de transmission incluant les composants de protection

Ces deux structures fournissent une protection contre les décharges électrostatiques de 2 kV HBM. Cependant, les performances fréquentielles sont différentes. La solution constituée de triacs présente moins de pertes en transmission que l'autre structure, à cause de la capacité intrinsèque des éléments de protection.

5.3 SIMULATEUR ELECTROMAGNETIQUE PRENANT EN COMPTE LES NIVEAUX METALLIQUES ET LE SUBSTRAT DE SILICIUM : MAGWEL ©

Les pertes par effet de peau et dans le substrat par courants de Foucault augmentent drastiquement avec la fréquence, il est nécessaire de pouvoir modéliser la structure complète. Cependant, les logiciels de simulations électromagnétiques, tels qu'Agilent Momentum ou Ansys HFSS, permettent de résoudre les équations de Maxwell des structures, mais pas les équations de Poisson dans le substrat. À l'inverse, certains logiciels comme Synopsys TCAD Sentaurus permettent de simuler les porteurs dans un substrat semiconducteur mais pas l'électromagnétisme de la métallisation. Le logiciel de simulation tridimensionnel Magwel [MAGW] a été développé en partenariat avec STMicroelectronics dans l'optique de combiner ces deux approches. Ce simulateur qui résout les équations dans le domaine fréquentiel associe les équations de diffusion du semiconducteur aux équations de Maxwell dans les métallisations.

Le logiciel étant toujours en phase de développement et de qualifications, des simulations ont pu être réalisées sur des structures simples. Des simulations sur des lignes de transmission classiques en technologie CMOS 32 nm ont permis d'observer les lignes du champ électromagnétique généré (Fig. 5.7). Sur des lignes de faibles longueurs, le champ électrique pénètre peu dans le substrat de silicium, ce qui engendre peu de pertes.



Fig. 5.7 – Champ électrique d’une ligne coplanaire simulé sous Magwel

Avec cet outil, des jonctions de type p-n ont déjà été simulées ; la capacité parasite extraite de l’outil Magwel fournit une meilleure précision qu’avec la combinaison de Agilent Momentum pour la métallisation et de Synopsys TCAD Sentaurus pour la partie active [GALY11]. L’étape suivante serait de pouvoir simuler une grille de transistor pour au final obtenir un transistor de type MOSFET. Ainsi, une fois qu’un transistor MOS devient simulable, l’outil pourra alors intégrer des structures comme des transistors BIMOS. La capacité équivalente des transistors BIMOS pourra donc être extraite avec une plus grande précision. Cela permettrait également de quantifier l’influence des différents paramètres géométriques du transistor BIMOS sur sa capacité équivalente. Alors, des structures plus complètes, telles que les lignes de transmission avec des transistors BIMOS, pourront être simulées et donner des résultats plus conformes aux mesures.

5.4 ALTERNATIVE DE PLACEMENT DES COMPOSANTS DE PROTECTION

D’un point de vue pratique, la solution développée possède des dimensions très réduites ($150\ \mu\text{m} \times 40\ \mu\text{m}$). Cependant, pour utiliser cette structure, les composants de protection doivent être redessinés pour respecter la norme ESD requise. Ainsi, bien que la solution soit utilisable dans n’importe quel circuit électronique, le concepteur du circuit électronique doit dimensionner les composants de protection afin d’atteindre la performance ESD souhaitée.

L’idée, ici, est alors d’apporter une solution alternative de protection contre les décharges électrostatiques. Le but est d’avoir une structure de protection contre les décharges électrostatiques utilisable par le concepteur de circuit et valable indépendamment de la fréquence. Pour cela, la proposition est de réaliser des éléments de protection les plus petits possibles et de les intégrer dans des sections de lignes de transmission les plus courtes possibles. La longueur de la ligne totale dépendra uniquement de la tenue ESD désirée. Ainsi, pour des normes ESD moins sévères, la longueur de la structure sera plus petite et les pertes en transmission seront minimisées.

Cette solution alternative, dite « distribuée », a été réalisée avec la plateforme CMOS 32-28 nm de STMicroelectronics. Les composants utilisés pour ces structures sont des transistors BIMOS, mais également des triacs avec des transistors BIMOS en circuit de déclenchement (partie 5.2). Des mesures de paramètres S et de type TLP de ces composants élémentaires ont été menées pour permettre l’extraction de leur capacité équivalente associée (Fig. 5.8a et Fig. 5.8b). Ces deux composants possèdent tous deux une capacité équivalente de 8 fF sur toute la bande de fréquence. Cependant, d’un point de vue électrique, le transistor BIMOS ne supporte que des décharges de 100 mA alors que le triac peut supporter des décharges de 200 mA (Fig. 5.8c et Fig. 5.8d).

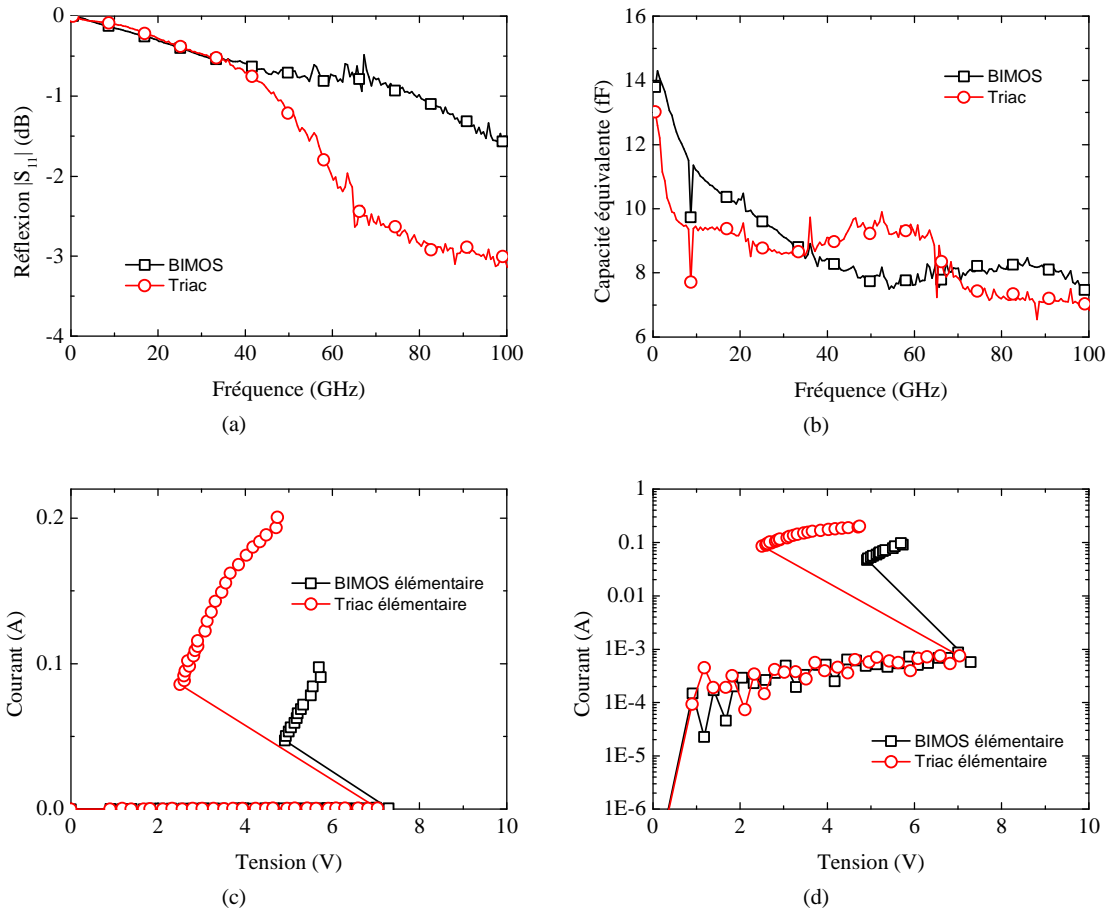


Fig. 5.8 – Mesures des composants élémentaires : a) Paramètres $|S_{11}|$, b) capacités équivalentes extraites, c) caractéristique TLP 100 ns et 10 ns de temps de montée en échelle linéaire, d) et en échelle logarithmique

À partir de ces composants, il faut répondre à la question de la distribution des éléments de protection. En effet, tout en connaissant les composants à utiliser, il faut déterminer l'espacement entre les différents éléments. Pour cela, deux structures ont été réalisées en technologie CMOS 32-28 nm. La première structure est constituée d'une ligne coplanaire de 50 μm avec des triacs distribués tous les 10 μm . La deuxième structure est également constituée d'une ligne coplanaire mais d'une longueur de 100 μm et avec des triacs espacés tous les 20 μm . Ainsi, le nombre de composants de protection est le même dans les deux cas, seuls l'espacement et la longueur totale de la structure varient (Fig. 5.9).

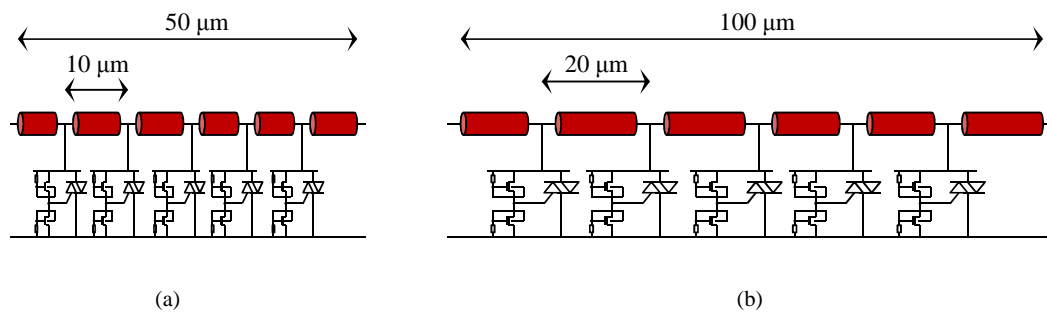


Fig. 5.9 – Représentation des structures « distribuées » de protection ESD dans la ligne de transmission

Des tests TLP ont été effectués sur ces deux structures. Cependant, étant donné que les structures possèdent les mêmes composants de protection, elles possèdent les mêmes caractéristiques électriques (Fig. 5.10a et Fig. 5.10b). Les structures sont capables de supporter toutes deux un courant pic de 1 A, ce qui est équivalent en énergie à des décharges de 1,5 kV HBM. Des mesures de paramètres S ont également été menées sur ces deux structures (Fig. 5.10c et Fig. 5.10d). La réflexion et la transmission du signal sont similaires pour les deux cas sur toute la bande de fréquence. Il y a donc très peu de différences de résultats entre ces deux structures. Cependant, pour un souci de surface en silicium, il est plus judicieux d'utiliser des lignes plus courtes, les performances ne sont ainsi nullement affectées.

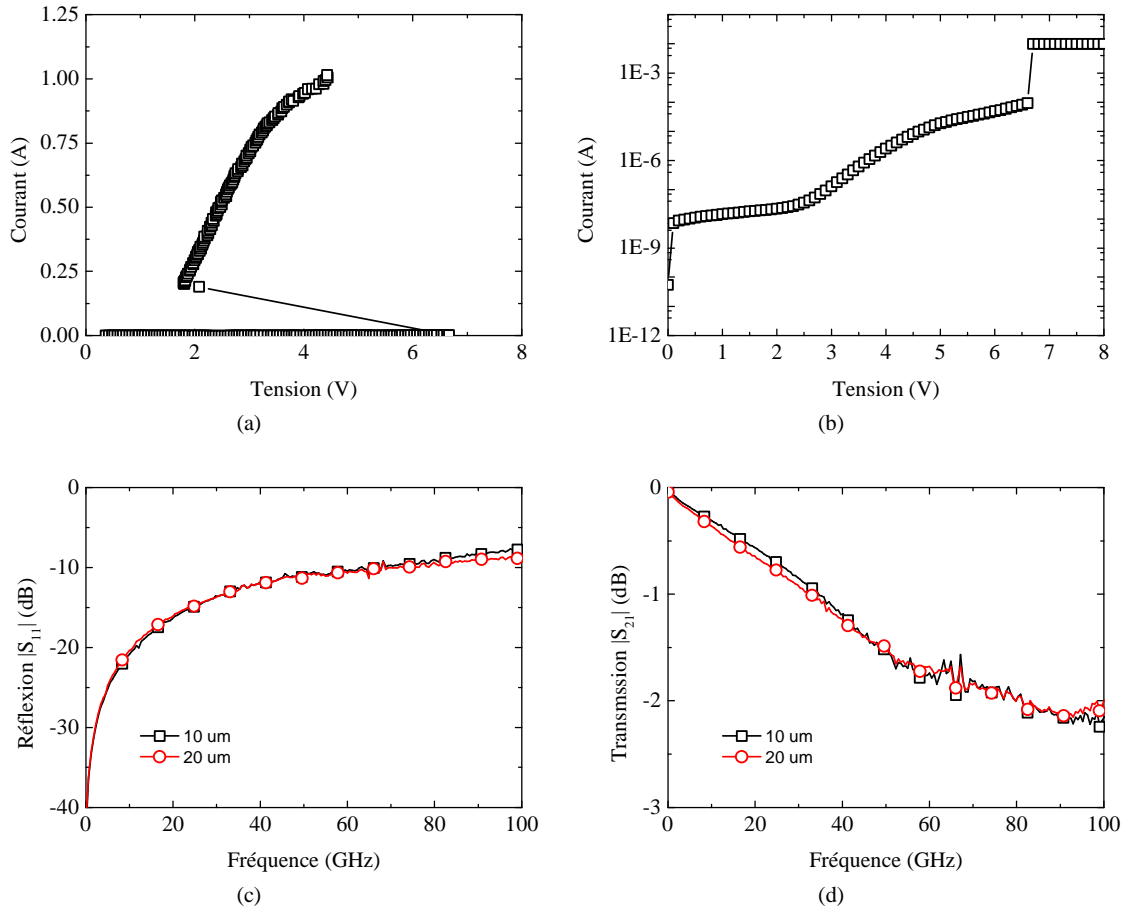


Fig. 5.10 – Influence de l’espacement entre les composants sur les paramètres S : a) Caractéristique TLP 100 ns et 10 ns de temps de montée en échelle linéaire, b) et en échelle logarithmique, c) paramètre de réflexion $|S_{11}|$ et d) paramètre de transmission $|S_{21}|$

Maintenant que l’espacement entre les différents composants est fixé à 10 μm , plusieurs structures de longueurs différentes ont été réalisées, toujours en technologies CMOS 32-28 nm de STMicroelectronics. Les différentes longueurs réalisées sont de 50 μm , 100 μm , 150 μm et 200 μm . Les tests TLP ont tout d’abord été réalisés sur ces quatre structures (Fig. 5.11). Les composants de protection étant les mêmes dans toutes les structures, les tensions de déclenchement V_{T1} et de maintien V_{hold} sont les mêmes dans tous les cas. Seul le courant de défaillance I_{T2} diffère selon les structures. Le tableau 5.1 résume les courants de défaillance pour toutes les structures mais également l’équivalence en énergie aux normes HBM. Entre les structures de 50 μm et de 100 μm , il y a deux fois plus de

composants de protection et il existe bien un facteur deux entre les tenues ESD des deux structures. Cependant, avec les cas suivants, un effet de saturation peut être observé : le facteur de proportionnalité ne se retrouve plus. Cela peut s'expliquer par le nombre d'éléments de protection présenté par la structure. Rien ne garantit alors un déclenchement homogène de tous les composants de protection. D'ailleurs il est possible d'observer sur les caractéristiques électriques des structures de 150 μm et de 200 μm les déclenchements inhomogènes, expliqués plus haut. De plus, les courants mis en jeu sont alors très importants et les niveaux de métallisation et les interconnexions ne peuvent pas supporter des courants aussi intenses. Les différentes métallisations subissent également une détérioration thermique.

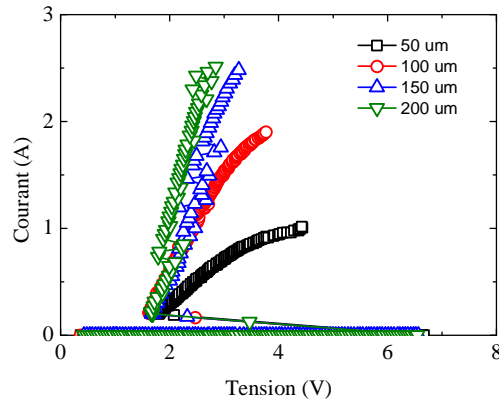


Fig. 5.11 – Caractérisations TLP sur les structures « distribuées »

Tableau 5.1 – Récapitulatif des résultats de mesures TLP des structures « distribuées »

	V_{T1} (V)	V_{hold} (V)	I_{T2} (A)	Tenue HBM
$L_0 = 50 \mu\text{m}$	6,7	1,8	1	1,5 kV
$L_0 = 100 \mu\text{m}$	6,5	1,7	1,9	3 kV
$L_0 = 150 \mu\text{m}$	6,6	1,7	2,5	4 kV
$L_0 = 200 \mu\text{m}$	6,5	1,7	2,5	4 kV

Il est intéressant toutefois d'observer le comportement des structures dans le domaine fréquentiel. Dans cette optique, des mesures de paramètres S ont été réalisées (Fig. 5.12a et Fig. 5.12b). Plus la longueur de la structure est petite, plus le système est adapté en impédance. Concernant la transmission $|S_{21}|$, la même tendance peut être observée : plus la structure est longue, plus les pertes en transmission sont élevées. Ces résultats semblent logiques : en effet, le nombre de composants de protection conditionne grandement les pertes présentées par la structure. De plus, si la structure possède moins de composants de protection, cela signifie également que la ligne de transmission est plus courte et présente donc moins de pertes intrinsèques. À titre de comparaison, l'atténuation linéique α et l'impédance caractéristique Z_C des différentes lignes sont extraites à partir des mesures (Fig. 5.12c et Fig. 5.12d). Quelle que soit la longueur de la structure, les caractéristiques restent globalement les mêmes. Cela signifie que la structure développée dans cette partie est quasiment homogène. Il est alors plus aisé de prédire les performances fréquentielles des structures selon le nombre d'éléments de protection utilisées et la norme ESD à respecter.

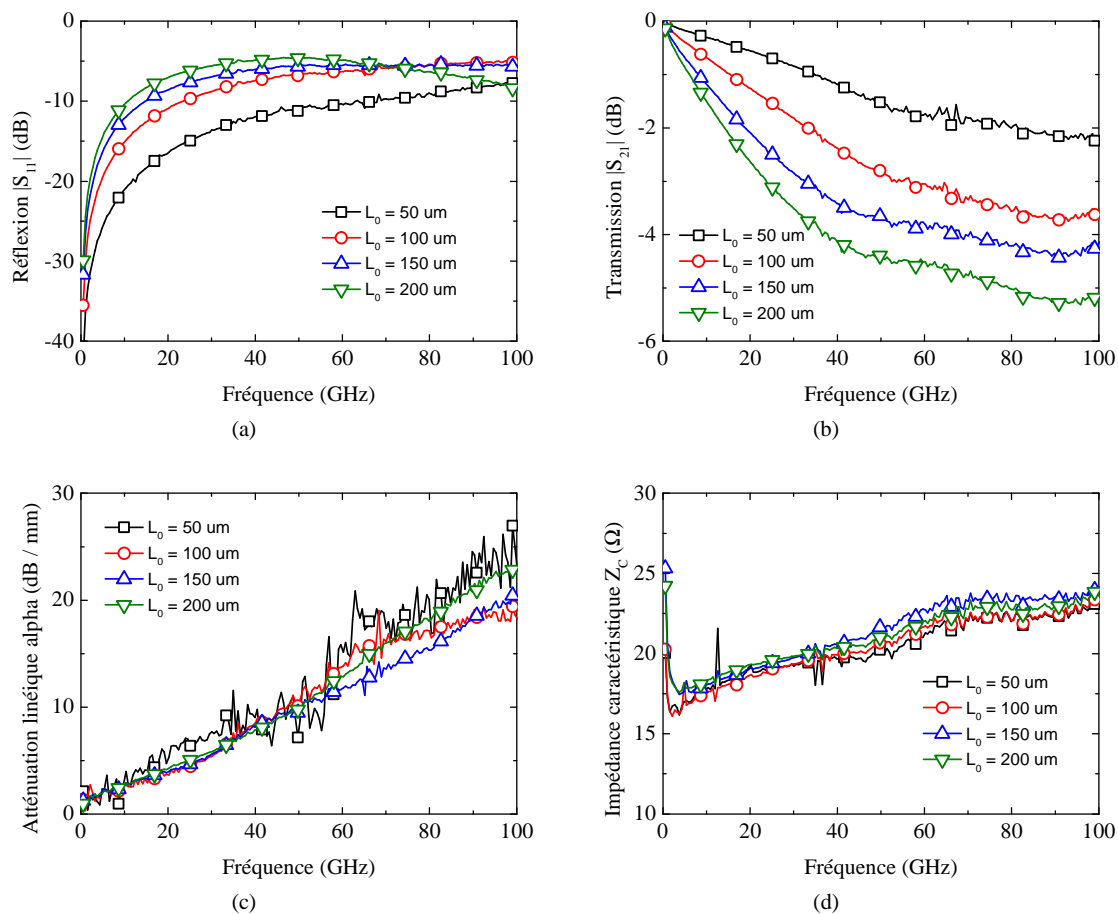


Fig. 5.12 – Mesures fréquentielles des structures « distribuées » : a) Paramètre de réflexion $|S_{11}|$, b) paramètre de transmission $|S_{21}|$, c) atténuation linéique et d) impédance caractéristique

Tableau 5.2 – Comparatif des résultats des structures symétriques et des structures distribuées

	Structure symétrique	Structure distribuée
Tenue ESD	Fixe	Modulable
Dimensions	150 μm x 40 μm	N x 10 μm x 40 μm
Transmission S_{21}		Robustesse ESD : Symétrique : 2,5 kV HBM Modulaire – 50 μm : 1,5 kV HBM Modulaire – 100 μm : 3 kV HBM

Il est intéressant de noter qu'avec cette méthode, en réduisant la longueur de la structure à 50 μm , cette dernière présente des performances fréquentielles similaires à la structure obtenue dans la partie 4.6 (Tableau 5.2). À 60 GHz, ces deux structures présentent des pertes en transmission de l'ordre de 2 dB. Cependant, la structure « distribuée » est capable de supporter des décharges de type HBM de l'ordre de 1,5 kV, alors que la structure précédente ne peut supporter que des décharges de 1 kV HBM. En réduisant la longueur de la structure « distribuée », la structure ne supportera que des décharges de 1 kV HBM, mais les pertes en transmission présentées par cette structure seront également diminuées.

5.5 OBSERVATIONS DE LA SOLUTION POUR LES APPLICATIONS TERAHERTZ

Pour conclure ce chapitre sur les perspectives de ces travaux, il est intéressant de se projeter dans l'avenir et d'anticiper les futurs besoins en nanoélectronique. En effet, ces travaux ont été menés dans l'optique de pouvoir adresser une solution générale de protection contre les décharges électrostatiques pour les fréquences millimétriques. De nombreuses applications sont en cours de développement dans cette gamme de fréquence, telles que les communications à haut débit et à courte portée, l'imagerie médicale, les radars anticollisions automobiles... Néanmoins, de nombreux laboratoires étudient déjà la possibilité de travailler à des fréquences plus élevées, jusque dans le domaine du térahertz [LEWA12]. Cependant, les substrats massifs de silicium « bulk » utilisés présentent des pertes non négligeables dans les fréquences millimétriques, effet qui ne fera que croître avec la fréquence. Pour pallier ces effets, de nombreux groupes de recherche travaillent dans ce sens afin de développer une technologie fiable et exploitable dans cette bande de fréquences. Ainsi, les substrats à haute résistivité et les technologies SOI (Silicon on Insulator) permettent de minimiser les pertes dans le substrat.

Les solutions développées et détaillées dans ce manuscrit ne sont pas directement utilisables à ces fréquences. Comme signalé précédemment, des pertes très importantes sont présentes dans le substrat à ces fréquences de travail, les lignes de transmission seront donc intrinsèquement déjà à fortes pertes. De plus, les composants de protection sont équivalents à des capacités aux fréquences millimétriques. Bien que ces mêmes composants jouent leur rôle de protection contre les décharges électrostatiques, rien ne garantit qu'ils se comportent comme des capacités dans le domaine térahertz. Au contraire, plus la fréquence augmente, moins le composant se comporte comme une capacité. Il sera donc nécessaire d'utiliser des composants actifs et un substrat adaptés pour obtenir un circuit de protection à ces fréquences.

Aucun des composants développés dans ce manuscrit n'a pu être modélisé jusqu'au domaine du térahertz. C'est pourquoi il est, pour le moment, inconcevable de simuler les solutions présentes dans ce manuscrit jusqu'à ces fréquences. Cependant, il apparaît que les structures développées ici en technologie CMOS « bulk » ne seront pas utilisables. Bien que les avancées dans ce domaine ne soient encore qu'à l'état embryonnaire, il est important de se projeter dès à présent sur les possibilités de protection dans cette bande de fréquences.

5.6 CONCLUSION DU CHAPITRE CINQ

Ce dernier chapitre a permis de mettre en évidence différentes perspectives de travail. Tout d'abord, la résistance du transistor BIMOS a un impact direct sur sa capacité parasite. En augmentant la valeur de la résistance, la capacité présentée devient plus faible. Lorsque les transistors BIMOS seront placés sous la ligne de transmission, les pertes dans la structure finale seront également diminuées.

Il est également possible d'utiliser le transistor BIMOS en tant que détecteur de courant. Cela permet de bénéficier de son déclenchement quasi statique très rapide. La combinaison d'un triac avec des transistors BIMOS en tant que circuit de déclenchement permet alors d'obtenir un composant de

protection possédant une capacité équivalente moindre que le transistor BIMOS seul. Ainsi, ce composant est également plus efficace lorsqu'il est placé sous une ligne de transmission que ce soit dans le domaine fréquentiel ou dans le domaine ESD.

Dans un premier temps, cette étude s'est déroulée en considérant une taille de structure fixée à 150 μm par 40 μm . Les éléments de protection étaient alors dimensionnés afin que le tout soit capable d'atteindre les performances ESD requises. Pour que la solution soit plus facile à utiliser pour un concepteur de circuit, une solution alternative a été mise en place. Un composant élémentaire a été placé sous un tronçon de ligne de transmission de 10 μm . La longueur de la ligne de protection définit alors la performance ESD totale de la structure et les paramètres linéiques permettent de connaître ses performances fréquentielles.

Ce chapitre permet donc de conclure sur les différentes possibilités d'amélioration du circuit de protection. Plusieurs leviers permettent de diminuer l'effet parasite des éléments de protection. À l'avenir, le concept de protection, développé ici, pourra être repris en utilisant des composants actifs et des substrats adaptés pour travailler à des fréquences plus élevées afin de protéger des applications telles que les communications à haut débit et à courte portée, l'imagerie médicale, les radars anticollisions automobiles.

CONCLUSION GENERALE

Dans un contexte où les contraintes vis-à-vis des décharges électrostatiques sont de plus en plus fortes, les circuits de protection posent un problème récurrent pour les circuits fonctionnant à hautes fréquences. La capacité parasite du composant de protection contre les décharges électrostatiques a un impact fortement négatif sur la transmission du signal.

Les travaux présentés dans ce manuscrit font suite à une volonté de fournir aux concepteurs de circuits fonctionnant aux fréquences millimétriques un circuit de protection présentant de faibles pertes en transmission. Afin de développer une protection utilisable dans de nombreux circuits, la stratégie de protection doit être étudiée et optimisée sur une très large bande de fréquences, allant du courant continu à 100 GHz. Ainsi, cela évite une étape beaucoup plus contraignante de développement spécifique du circuit de protection pour le concepteur de circuit, appelée également étape de co-design. De plus, dans le but de pouvoir être implémenté dans des circuits électroniques mais aussi pour réduire les coûts de production, il est important de limiter les dimensions du circuit de protection (150 μm de long pour 40 μm de large).

Dans cette optique, le premier chapitre permet de mettre en évidence la problématique et les enjeux des phénomènes de décharges électrostatiques. Afin de se prémunir contre ces événements destructeurs pour les circuits microélectroniques, il est indispensable de développer de nouveaux dispositifs de protection. Le circuit de protection doit être capable de dériver et de supporter de forts courants de décharges tout en limitant la tension à ses bornes et ainsi que l'augmentation de sa température. Pour cela, il existe plusieurs composants conçus pour la protection de circuits face aux décharges électrostatiques. Sous certaines configurations, les diodes, les transistors MOS et les thyristors sont très utilisés. Toutes les combinaisons possibles d'entrées et de sorties du circuit électronique doivent être protégées contre les décharges électrostatiques. Des outils de caractérisation permettent d'évaluer la robustesse et l'efficacité de la protection développée.

Néanmoins, les composants de protection peuvent induire plusieurs effets indésirables, ce qui dégrade les performances des circuits électroniques à hautes fréquences. La capacité parasite présentée par un circuit de protection modifie fortement l'impédance d'accès des circuits. Les composants de protection usuels possèdent des capacités parasites trop importantes pour pouvoir être utilisés directement dans les interfaces radio RF. Il est essentiel de compenser la désadaptation d'impédance due à la protection en utilisant différentes topologies masquant cet effet parasite. Le choix de la topologie adoptée se décide, non seulement, par les performances présentées, aussi bien dans les domaines fréquentiel et des décharges électrostatiques, mais également par la surface occupée et la bande de fréquence d'utilisation.

Il a été jugé judicieux d'utiliser les lignes de transmission pour se prémunir des phénomènes de décharges électrostatiques. Les lignes de transmission sont très largement utilisées dans tous les

circuits d'interface radio. Placés et fragmentés le long de ces lignes de transmission, les composants de protection doivent être optimisés afin de perturber le moins possible la transmission du signal.

Dans un premier temps, les lignes de transmission seules ont été réalisées en technologies CMOS avancées 45-40 nm et 32-28 nm sur substrats massifs appelés « bulk ». Les paramètres usuels de lignes peuvent être extraits à partir des mesures et la dégradation apportée par les composants de protection est alors évaluée. En outre, une configuration alternative du transistor MOS a été proposée afin d'améliorer significativement les performances dans les domaines électrique et fréquentiel. Ce composant, appelé transistor BIMOS, présente des déclenchements statique et dynamique très intéressants pour cette étude.

Une première réalisation en technologie CMOS 45-40 nm de lignes de transmission intégrant des transistors BIMOS est présentée. Tout en s'imposant les contraintes de surface de silicium citées précédemment, la topologie de protection a été inspirée par celle décrite dans l'état de l'art. Ainsi, les premières mesures réalisées sur ces composants permettent de valider la possibilité de transmettre un signal RF tout en protégeant la ligne avec des dimensions de structure très réduites. Dans le domaine des décharges électrostatiques, il a été démontré qu'à surface de protection égale, la fragmentation en plusieurs éléments n'a aucune influence sur le comportement de la structure de protection finale. Par conséquent, la suite de cette étude a été focalisée sur l'optimisation des performances fréquentielles.

Plusieurs études d'optimisation de la transmission du signal ont été menées en parallèle.

- Les interconnexions métalliques entre la ligne de transmission et les composants de protection contre les décharges électrostatiques ont un impact non négligeable sur la transmission du signal. Des réalisations en technologies CMOS 32 nm ont permis de prouver l'influence de la forme des interconnexions métalliques sur les pertes d'insertion.
- Le nombre et la position des protections ont été optimisés par des simulations sous Agilent Momentum. Plusieurs modèles ont été faits à partir des résultats de mesures obtenus avec les structures réalisées en technologie CMOS 45-40 nm.
- L'intégration des composants de protection le long de la ligne de transmission abaisse l'impédance caractéristique de cette dernière. En modifiant les paramètres géométriques de la ligne, une adaptation d'impédance en entrée et en sortie de la structure a été obtenue sur toute la bande de fréquence ; le paramètre de réflexion $|S_{11}|$ reste inférieur à -10 dB de 0 à 100 GHz.
- La résistance du transistor BIMOS a un impact direct sur sa capacité parasite. En augmentant la valeur de la résistance, la capacité présentée devient plus faible. Les transistors étant intégrés sous la ligne de transmission, les pertes de la structure globale sont diminuées.
- Les avantages du transistor BIMOS (rapidité de déclenchement) ont été mis à profit dans un circuit de déclenchement. Une fois combiné avec un triac, le composant final devient complètement bidirectionnel. De plus, les mesures sur silicium ont démontré que le composant combiné était plus performant que le transistor BIMOS seul, de par sa faible capacité parasite, mais également par ses performances électriques.
- Pour répondre aux contraintes de surface de silicium, une solution alternative a été mise en place : un tronçon de ligne, couplé avec un composant de protection constitue l'élément de

base de la solution de protection. Par conséquent, la longueur de la solution détermine la performance ESD requise. Les pertes dans la structure finale sont évaluées par ses paramètres linéiques.

Compte tenu du coût de la surface de silicium, il n'a pas été possible de réaliser une structure de protection optimisée selon toutes les études d'optimisation présentées. Cependant, l'exploitation des résultats, point par point, permet de connaître les différents leviers possibles. Ainsi, un circuit de protection réunissant ces optimisations aurait permis d'obtenir des performances fréquentielles et électriques améliorées.

De plus, la solution, telle qu'elle a été développée dans ce manuscrit, ne peut pas encore être utilisée en l'état dans un circuit électronique. En effet, les tensions caractéristiques du circuit de protection développé contre les décharges électrostatiques (tension de déclenchement et tension de maintien) ne conviennent pas toutes dans les technologies CMOS avancées. Cependant, une optimisation de la valeur de la résistance du transistor BIMOS permet de moduler la tension de déclenchement des composants de protection pour qu'une intégration de la solution de protection dans le circuit électronique soit possible.

Les solutions mises au point dans ces travaux offrent des protections qui sont facilement adaptables et intégrables et ce, à moindre coût, puisque la surface occupée est réduite au maximum sans dégrader l'efficacité de ces dernières. Ces travaux trouveront des prolongements dans les technologies actuellement en cours de développement mais aussi pour des applications diverses à des fréquences toujours plus élevées. D'ores et déjà, de nouvelles problématiques apparaissent avec l'arrivée de nouvelles applications telles que les communications à haut débit et à courte portée, l'imagerie médicale et les radars anticollisions automobiles. Les pertes dans le substrat dans les fréquences encore plus élevées de fonctionnement incitent à modifier les méthodes usuelles de conception de circuits. Ainsi, ces pertes peuvent être réduites par l'utilisation de différentes technologies telles que l'oxyde enterré (SOI – Silicon On Insulator) ou les substrats à hautes résistivités.

LISTE DES TRAVAUX

Tekfouy Lim, Jean Jimenez, Philippe Benech, Jean-Michel Fournier, Boris Heitz and Philippe Galy “*Model and measurements of a Transmission Line with Integrated Symmetrical 1-kV HBM Broadband ESD Protection in Advanced CMOS Technologies*”, International Semiconductor Conference Dresden Grenoble, ISCDG 2012.

Tekfouy Lim, Jean Jimenez, Philippe Benech, Jean-Michel Fournier, Boris Heitz and Philippe Galy “*Geometrical Impact on RF performances of Broadband ESD Self Protected Transmission Line in Advanced CMOS Technologies*”, 2012 IEEE International Integrated Reliability Workshop (IIRW 2012), p 183-6, 2012.

Tekfouy Lim, Jean Jimenez, Philippe Benech, Jean-Michel Fournier, Philippe Galy “*Transmission Line with Integrated Symmetrical 1-kV HBM DC - 100 GHz ESD Protection in Advanced CMOS Technologies*”, 42nd European Microwave Conference (EuMC 2012). Proceedings, p 1162-5, 2012.

Tekfouy Lim, Jean Jimenez, Boris Heitz, Philippe Benech, Jean-Michel Fournier and Philippe Galy “*Transmission Line with 2-kV HBM Broadband ESD Protection using BIMOS and SCR in Advanced CMOS Technologies*”, Asia Pacific Microwave Conference (APMC 2012). Proceedings, p 40-2, 2012.

Philippe Galy, **Tekfouy Lim**, Jean Jimenez, Boris Heitz, Philippe Benech, Jean-Michel Fournier, David Marin-Cudraz “*ESD protection using BIMOS transistor in 100 GHz RF application for advanced CMOS technology*”, International Conference on IC Design and Technology, ICICDT 2013.

Philippe Galy, **Tekfouy Lim**, Johan Bourgeat, Jean Jimenez, Boris Heitz, David Marin-Cudraz, Philippe Benech, Jean-Michel Fournier “*Symmetrical ESD protection for advanced CMOS technology dedicated to 100 GHz RF application*”, 24th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2013).

REFERENCES

[BORR09]

J. Borremans, S. Thijs, P. Wambacq, Y. Rolain, D. Linten, and M. Kuijk, "A fully integrated 7.3 kV HBM ESD-protected transformer-based 4.5–6 GHz CMOS LNA," *IEEE J. Solid-State Circuits*, vol. 44, no. 2, pp. 344–353, Feb. 2009.

[BOSE07]

G. Boselli, J. Rodriguez, C. Duvvury and J. Smith, "Analysis of ESD Protection Component in 65 nm CMOS Technology: Scaling Perspective and Impact on ESD Design Window" EOS/ESD Symposium, 2007.

[BOUR09]

J. Bourgeat, C. Entringer, P. Galy, P. Fonteneau and M. Bafleur, "Local ESD protection structure based on Silicon Controlled Rectifier achieving very low overshoot voltage" EOS/ESD Symposium, 2009.

[BOUR10a]

J. Bourgeat, C. Entringer, P. Galy, M. Bafleur, D. Marin-Cudraz, "Evaluation of the ESD performance of local protections based on SCR or bi-SCR with dynamic or static trigger circuit in 32nm", 21th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF), 2010.

[BOUR10b]

J. Bourgeat, C. Entringer, P. Galy, F. Jezequel, M. Bafleur, TCAD study of the impact of trigger element and topology on Silicon Controlled Rectifier turn-on behavior, 32th Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD'2010), Reno (USA), 3-8 octobre, 2010.

[BOUR11]

J. Bourgeat, P. Galy, B. Jacquier, Beta-Matrix ESD Network : throughout End of placement rules?, IEEE International Conference on IC Design and Technology (ICICDT'2011), Kaohsiung (Taiwan), 2011.

[CAIL03]

B. Caillard, F. Azais, P. Nouet, S. Dournelle and P. Salome, "STMSCR: A New Multi-finger SCR based protection Structure against ESD" EOS/ESD Symposium, 2001.

[CHAN01]

C.-Y. Chang et al, "On-chip ESD protection design for GHz RF integrated circuits by using polysilicon diodes in sub-quarter-micron CMOS process", *IEEE Int. Symp. VLSI Techn., Syst. & Appl.*, 2001

[CHAN08]

T. Chang, J. Chen, L. Rigge, and J. Lin, "ESD-protected wideband CMOS LNAs using modified resistive feedback techniques with chip-on-board packaging," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 8, pp. 1817–1826, Aug. 2008.

[DABR98]

S. Dabral and T. Maloney, “Basic ESD and I/O Design”, ISBN-10: 0471253596, ISBN-13: 978-0471253594, 1998.

[DISA08]

J. Di Sarro, V. Vashchenko, E. Rosenbaum and P. Hopper, “A Dual-Base Triggered SCR with Very Low Leakage Current and Adjustable Trigger Voltage”, EOS/ESD Symposium, 2008.

[DUVV91]

C. Duvvury and R.N. Rountree, “A synthesis of ESD Input Protection Scheme”, EOS/ESD Symposium, 1991.

[ESDA98]

ESD Association, “Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Human Body Model (HBM) Component level” ESD STM5.1, 1998.

[ESDA99a]

ESD Association, “Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Machine Model (MM) Component level” ESD STM5.2, 1999.

[ESDA99b]

ESD Association, “Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Charged Device Model (CDM) Component level” ESD STM5.3, 1999.

[ESDA06]

Industry Council on ESD Target Levels, “A case For Lowering Component Level HBM/MM ESD Specifications and Requirements”, White paper1, September 2006.

[ESDA10]

Industry Council on ESD Target Levels, “Electrostatic Discharge (ESD) Technology Roadmap”, Revised paper, April 2010.

[FRAN11]

FRANC, Anne-Laure. Lignes de propagation intégrées à fort facteur de qualité en technologie CMOS – Application à la synthèse de circuits passifs millimétriques [Thèse en ligne]. Grenoble : École Doctorale Électronique, Électrotechnique, automatique et traitement du signal, 6 juillet 2011. http://tel.archives-ouvertes.fr/docs/00/62/54/74/PDF/Franc_Anne-Laure_2011_archivage.pdf

[FOTI05]

G. P. Fotis, I. F. Gonos and I. A. Stathopoulos, “An Approach to the Better Understanding of the Experimental Setup for the Verification of the ESD Generators”, International Symposium on High Voltage Engineering, August 25-29, 2005.

[GALA03]

S. Galal and B. Razavi, “Broadband ESD protection circuits in CMOS technology,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2334–2340, Dec. 2003.

[GALY10]

P. Galy, C. Entringer, J. Bourgeat, Structure de protection d’un circuit intégré contre des décharges électrostatiques, EP 2246885, 3 novembre, 2010.

[GALY11]

Ph. Galy, J. Jimenez, P. Meuris, W. Schoenmaker, O. Dupuis, “ESD RF protections in advanced CMOS technologies and its parasitic capacitance evaluation”, IEEE International Conference on IC Design and Technology (ICICDT), 2011.

[GALY12a]

Ph. Galy, J. Jimenez, J. Bourgeat, A. Dray, G. Troussier, B. Heitz, N. Guitard, D. Marin-cudraz and H. Beckrich-Ros, “BIMOS transistor and its applications in ESD protection in advanced CMOS technology,” IEEE International Conference on IC Design and Technology (ICICDT), 2012.

[GALY12b]

Ph. Galy, J. Bourgeat, J. Jimenez, N. Guitard, A. Dray, G. Troussier, B. Jacquier, D. Marin-Cudraz, “Symmetrical ESD trigger & pull-up using BIMOS transistor in advanced CMOS technology”, 23rd European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, ESREF 2012.

[GALY13]

Ph. Galy, T. Lim, J. Jimenez, B. Heitz, P. Benech, J.-M. Fournier, D. Marin-Cudraz “ESD protection using BIMOS transistor in 100 GHz RF application for advanced CMOS technology ”, International Conference on IC Design and Technology, ICICDT 2013.

[GEIS96]

H. Geiser and M. Haunsschild, “Very-fast transmission line pulsing of integrated structures and the charged device model”, EOS/ESD Symposium, 1996.

[GONG02]

K. Gong, H. Feng, R. Zhan, and A. Wang, “A study of parasitic effects of ESD protection on RF ICs,” *IEEE Trans. Microw. Theory Tech.*, vol. 50, no. 1, pp. 393–402, Jan. 2002.

[GUAN08]

X. Guan, X. Wang, L. Lin, G. Chen, A. Wang, H. Liu, Y. Zhou, H. Chen, L. Yang, and B. Zhao, “ESD-RFIC co-design methodology,” in *Proc. IEEE Radio Freq. Integr. Circuits Symp.*, 2008, pp. 467–470.

[HSIA09]

Y.-W. Hsiao and M.-D. Ker, “A 5-GHz differential low-noise amplifier with high pin-to-pin ESD robustness in a 130-nm CMOS process,” *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 5, pp. 1044–1053, May 2009.

[HUAN06]

B.-S. Huang and M.-D. Ker, “New matching methodology of low-noise amplifier with ESD protection,” in *Proc. IEEE Int. Symp. Circuits Syst.*, 2006, pp. 4891–4894.

[HUAN09]

B. Huang, C. Wang, C. Chen, M. Lei, P. Huang, K. Lin, and H. Wang, “Design and analysis for a 60-GHz low-noise amplifier with RF ESD protection,” *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 2, pp. 298–305, Feb. 2009.

[HYVO03]

S. Hyvonen, S. Joshi, and E. Rosenbaum, “Cancellation technique to provide ESD protection for multi-GHz RF inputs,” *Electron. Lett.*, vol. 39, no. 3, pp. 284–286, Feb. 2003.

[HYVO05]

S. Hyvonen, S. Joshi, and E. Rosenbaum, “Comprehensive ESD protection for RF inputs,” *Microelectron. Reliab.*, vol. 45, no. 2, pp. 245–254, Feb. 2005.

[IEC99]

W. Austin, "IEC 1000-4-2 ESD Immunity and Transient Current Capability for the SP72X Series Protection Arrays", IEC 1000-4-2, 1999.

[ITO02]

C. Ito, K. Banerjee, and R. Dutton, "Analysis and design of distributed ESD protection circuits for high-speed mixed-signal and RF ICs," *IEEE Trans. Electron Devices*, vol. 49, no. 8, pp. 1444–1454, Aug. 2002.

[ITRS]

ITRS, Interconnect Working Group, 2012 Winter Update, [on-line]
http://www.itrs.net/Links/2012Winter/1205%20Presentation/Interconnect_12052012.pdf

[JEDE95]

JEDEC Standard, "Field induced Charged-Device Model, Test method for Electrostatic Discharge withstand thresholds of microelectronics components", JESD22-C101, 1995.

[JEDE97]

JEDEC Standard, "Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM)", JEDEC-A115A, 1997.

[JEDE07]

JEDEC Standard, "Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)", JESD22-A114E, January 2007.

[KANA05]

H. Kanaya et al, "Design of Coplanar Waveguide Matching Circuit for RF-CMOS Front-End", *Electronics and Communications in Japan*, part 2, vol. 88, n° 7, 2005

[KER01]

M.-D. Ker, T.-Y. Chen, and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits," in *Proc. EOS/ESD Symp.*, 2001, pp. 346–354.

[KER02]

M.-D. Ker and C.-Y. Chang, "ESD protection design for CMOS RF integrated circuits using polysilicon diodes," *Microelectron. Reliab.*, vol. 42, no. 6, pp. 863–872, Jun. 2002.

[KER03]

M.-D. Ker and C.-M. Lee, "Interference of ESD protection diodes on RF performance in giga-Hz RF circuits," in *Proc. IEEE Int. Symp. Circuits Syst.*, 2003, pp. 297–300.

[KER05]

M.-D. Ker and B.-J. Kuo, "Decreasing-size distributed ESD protection scheme for broadband RF circuits," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 582–589, Feb. 2005.

[KER06]

M.-D. Ker, B.-J. Kuo, and Y.-W. Hsiao, "Optimization of broadband RF performance and ESD robustness by π -model distributed ESD protection scheme," *J. Electrostat.*, vol. 64, no. 2, pp. 80–87, Feb. 2006.

[KER09]

M.-D. Ker and Y.-W. Hsiao, "Impedance-isolation technique for ESD protection design in RF integrated circuits," *IEICE Trans. Electron.*, vol. E92- C, no. 3, pp. 341–351, Mar. 2009.

[KER11]

M.-D. Ker, C.-Y. Lin, and Y.-W. Hsiao, "Overview on ESD Protection Designs of Low-Parasitic Capacitance for RF ICs in CMOS Technologies" *IEEE Trans. Device Mater. Rel.*, VOL. 11, NO. 2, pp. 207-218, JUNE 2011

[KOSS08]

M. Kossel, C. Menolfi, J. Weiss, P. Buchmann, G. Bueren, L. Rodoni, T. Morf, T. Toifl, and M. Schmatz, "A T-coil-enhanced 8.5 Gb/s high swing SST transmitter in 65 nm bulk CMOS with -16 dB return loss over 10 GHz bandwidth," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2905-2920, Dec. 2008.

[LERO04]

P. Leroux and M. Steyaert, "A 5 GHz CMOS low-noise amplifier with inductive ESD protection exceeding 3 kV HBM," in *Proc. Eur. Solid-State Circuits Conf.*, 2004, pp. 295-298.

[LEWA12]

U. J. Lewark, H. Massler, A. Tessmann, A. Leuther, I. Kalfass, "Miniaturized UltraBroadband G-Band Frequency-Doubler MMIC", European Microwave Conference, EuMC 2012.

[LI09]

J. Li, K. Chatty, R. Gauthier, R. Mishra and C. Russ, "Technology Scaling of Advanced Bulk CMOS On-Chip ESD Protection down to the 32 nm Node", EOS/ESD Symposium, 2009.

[LIM12a]

T. Lim, J. Jimenez, P. Benech, J.-M. Fournier, B. Heitz, P. Galy "Model and measurements of a Transmission Line with Integrated Symmetrical 1-kV HBM Broadband ESD Protection in Advanced CMOS Technologies" 2012 International Semiconductor Conference Dresden-Grenoble (ISCDG) - formerly known as the Semiconductor Conference Dresden (SCD 2012), p 175-7, 2012.

[LIM12b]

T. Lim, J. Jimenez, P. Benech, J.-M. Fournier, B. Heitz, P. Galy, "Geometrical Impact on RF performances of Broadband ESD Self Protected Transmission Line in Advanced CMOS Technologies" 2012 IEEE International Integrated Reliability Workshop (IIRW 2012), p 183-6, 2012.

[LIM12c]

T. Lim, J. Jimenez, P. Benech, J.-M. Fournier, P. Galy, "Transmission Line with Integrated Symmetrical 1-kV HBM DC - 100 GHz ESD Protection in Advanced CMOS Technologies", 2012 42nd European Microwave Conference (EuMC 2012), p 1162-5, 2012.

[LIM12d]

T. Lim, J. Jimenez, B. Heitz, P. Benech, J.-M. Fournier, P. Galy, "Transmission Line with 2-kV HBM Broadband ESD Protection using BIMOS and SCR in Advanced CMOS Technologies", 2012 Asia Pacific Microwave Conference (APMC 2012), p 40-2, 2012.

[LIN10]

C.-Y. Lin, L.-W. Chu, M.-D. Ker, T.-H. Lu, P.-F. Hung, and H.-C. Li, "Self-matched ESD cell in CMOS technology for 60-GHz broadband RF applications," in *Proc. IEEE Radio Freq. Integr. Circuits Symp.*, 2010, pp. 573-576.

[LINT03]

D. Linten, S. Thijs, W. Jeamsaksiri, M. Natarajan, V. Heyn, V. Vassilev, G. Groeseneken, A. Scholten, G. Badenes, M. Jurczak, S. Decoutere, S. Donnay, and P. Wambacq, "Design-driven optimisation of a 90 nm RF CMOS process by use of elevated source/drain," in *Proc. Eur. Solid-State Device Res. Conf.*, 2003, pp. 43–46.

[LINT05]

D. Linten, S. Thijs, M. Natarajan, P. Wambacq, W. Jeamsaksiri, J. Ramos, A. Mercha, S. Jenei, S. Donnay, and S. Decoutere, "A 5-GHz fully integrated ESD-protected low-noise amplifier in 90-nm RF CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1434–1442, Jul. 2005.

[LINT09]

D. Linten, S. Thijs, M. Okushima, M. Scholz, J. Borremans, M. Dehan, and G. Groeseneken, "A 4.5 kV HBM, 300 V CDM, 1.2 kV HMM ESD protected DC-to-16.1 GHz wideband LNA in 90 nm CMOS," in *Proc. EOS/ESD Symp.*, 2009, pp. 352–357.

[LIU06]

M. Liu et al, "A 6.5-kV ESD-Protected 3–5-GHz Ultra-Wideband BiCMOS Low-Noise Amplifier Using Interstage Gain Roll-Off Compensation", *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, VOL. 54, NO. 4, April 2006

[MAGW]

<http://www.magwel.com/>

[MALO85]

T.J. Maloney and N. Khurana, "Transmission line pulsing techniques for circuit modeling ESD phenomena", EOS/ESD Symposium, 1985.

[MANO07]

J.-R. Manouvrier, P. Fonteneau, C.-A. Legrand, P. Nouet and F. Azais, "Characterization of the Transient Behavior of Gated/STI Diodes and their Associated BJT in the CDM time Domain", EOS/ESD Symposium, 2007.

[MATH04]

H. Mathieu, "Physique des semiconducteurs et des composants électroniques", ISBN 2-102005654-9.

[MERG03]

M. P. J. Mergens et al, "Diode-triggered SCR (DTSCR) for RF ESD protection of BiCMOS SiGe HBTs and CMOS ultra-thin gate oxides", *IEEE IEDM*, 2003

[MILL01]

J. Miller, "Application and Process Dependant ESD Design Strategy", Tutorial EOS/ESD Symposium, 2001.

[MILL08]

J. Miller, "SPICE-Based ESD Protection Design Utilizing Diodes and Active MOSFET Rail Clamp Circuits", Tutorial EOS/ESD Symposium, 2008.

[PRUV05]

PRUVOST, Sebastien. Etude de faisabilité de circuits pour systèmes de communication en bande millimétrique, en technologie BiCMOS SiGeC 0,13µm [Thèse en ligne]. Lille : Université des Sciences et Technologies de Lille 1, 25 novembre 2005. <http://www.theses.fr/2005LIL10077>

[RACZ09]

K. Raczkowski, S. Thijs, W. Raedt, B. Nauwelaers, and P. Wambacq, "50-to-67 GHz ESD-protected power amplifiers in digital 45 nm LP CMOS," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2009, pp. 382–383.

[RADH02]

M. K. Radhaskrisnan et al, "ESD reliability issues in RF CMOS circuits", *IWPSD*, Delhi, 2002

[RAMA97]

S. Ramaswamy, "A unified substrate current model for weak and strong impact ionization in sub-0.25 um nMOS devices", IEEE International Electron Devices Meeting IEDM, 1997.

[ROSE05]

E. Rosenbaum et al, "On-chip ESD protection for RF I/Os: devices, circuits and models", *IEEE ISCAS*, 2005

[SELL08]

SELLER, Nicolas. Contribution à l'étude, au développement et à la réalisation d'oscillateurs à contrôle numérique en technologie Silicium avancée [Thèse en ligne]. Bordeaux : Université Bordeaux 1, 17 décembre 2011. <http://www.theses.fr/2008BOR13648>

[SHIU07]

Y.-D. Shiu, B.-S. Huang, and M.-D. Ker, "CMOS power amplifier with ESD protection design merged in matching network," in *Proc. IEEE Int. Electron., Circuits Syst. Conf.*, 2007, pp. 825–828.

[SOLD07]

W. Soldner, M. Streibl, U. Hodel, M. Tiebout, H. Gossner, D. Schmitt-Landsiedel, J. Chun, C. Ito, and R. Dutton, "RF ESD protection strategies—Codesign vs. low-C protection," *Microelectron. Reliab.*, vol. 47, no. 7, pp. 1008–1015, Jul. 2007.

[TAZZ10]

A. Tazzoli, M. Cordoni, P. Colombo, C. Bergonzoni and G. Meneghesso, "Time-To-Latch-Up investigation of SCR devices as ESD Protection structures on 65 nm technology platform", European Symposium on Reliability of Electron Devices, Failure Physics and Analysis ESREF, 2010.

[TSAI09]

M. Tsai, S. Hsu, F. Hsueh, C. Jou, S. Chen, and M. Song, "A wideband low noise amplifier with 4 kV HBM ESD protection in 65 nm RF CMOS," *IEEE Microw. Wireless Compon. Lett.*, vol. 19, no. 11, pp. 734–736, Nov. 2009.

[VAND01]

E. P. Vandamme, D. M. M.-P. Schreurs, G. van Dinther, "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures", *IEEE Transactions on Electron Devices*, vol. 48, no. 4, April 2001, pp 737-742.

[VASS03]

V. Vassilev, S. Thijs, P. Segura, P. Leroux, P. Wambacq, G. Groeseneken, M. Natarajan, M. Steyaert, and H. Maes, "Co-design methodology to provide high ESD protection levels in the advanced RF circuits," in *Proc. EOS/ESD Symp.*, 2003, pp. 195–203.

[VOLD02]

SH Voldman, "BiCMOS ESD circuit with subcollector/trench-isolated body mosfet for mixed signal analog/digital RF applications", *US Patent 6,455,902*, 2002

[VOLD06]

S. Voldman, *ESD: RF Technology and Circuits*. Hoboken, NJ: Wiley, 2006.

[WANG05]

A. Wang, H. Feng, R. Zhan, H. Xie, G. Chen, Q. Wu, X. Guan, Z. Wang, and C. Zhang, "A review on RF ESD protection design," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1304–1311, Jul. 2005.