

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano-Electronique et Nano-Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Mélanie BROCARD

Thèse dirigée par **Bernard FLECHET** et
codirigée par **Cédric BERMOND**

préparée au sein du **Laboratoire de l'IMEP-LAHC**
dans l'**École Doctorale EEATS**

Caractérisation et analyse du couplage substrat entre le TSV et les transistors MOS dans les circuits intégrés 3D

Thèse soutenue publiquement le **14 novembre 2013**,
devant le jury composé de :

M. Gilles DAMBRINE

Professeur à l'IM2NP, Université Lille 1, Lille, Président

M. Olivier THOMAS

Professeur à l'IMEP-LAHC, Université Aix Marseille, Marseille, Rapporteur

M. Serge VERDEYME

Professeur au XLIM, Université de Limoges, Limoges, Rapporteur

M. Bernard FLECHET

Professeur à l'IMEP-LAHC, Université de Savoie, Chambéry, Membre

M. Cédric BERMOND

MCF IMEP-LAHC, Université de Savoie, Chambéry, Membre

M. Alexis FARCY

Ingénieur à STMicroelectronics, Crolles, Membre

M. Patrick LEDUC

Ingénieur CEA-LETI, Minatec, Grenoble, Invité



TABLE DES MATIERES

Introduction générale	1
Chapitre 1	7
1.1 L'engouement pour les architectures tridimensionnelles	10
1.1.1 Du SoC au SiP : premier pas vers l'architecture 3D	10
1.1.2 Vers de " vrais " circuits 3D	10
1.1.3 L'émergence des circuits intégrés 3D sur le marché	13
1.3 Les technologies 3D	14
1.3.1 Définition des TSV	14
1.3.2 L'empilement des puces	16
1.3.3 Flot de fabrication du circuit Wide I/O	17
1.3.3.1 Fabrication de la puce du bas et évaluation de la technologie	17
1.3.3.2 Assemblage 3D et packaging	20
1.5 La technologie CMOS	22
1.5.1 Un composant phare du 20 ^{ème} siècle	22
1.5.2 Le silicium	22
1.5.2.1 Silicium intrinsèque, semi-conducteur pur	23
1.5.2.2 Semi-conducteur dopé, dopage du silicium	24
1.5.3 Le Transistor MOS	24
1.5.3.1 Principe	24
1.5.3.2 Caractéristiques d'un transistor MOS	25
1.7 Impact de la technologie 3D avec les technologies CMOS	27
1.7.1 Etat de l'art des phénomènes liés à l'intégration 3D impactant le MOS	27
1.7.1.1 Impact du procédé d'intégration	28
1.7.1.2 Effets parasites post-process	30
1.7.1.3 Impact lors du fonctionnement	30
1.7.2 Phénomènes de couplage par le substrat	32
1.7.2.1 Le bruit substrat dans les circuits classiques 2D	32
1.7.2.2 Les perturbations substrat dans les circuits 3D	32
1.7.2.3 Etat de l'art sur le couplage du substrat avec l'actif	33

1.7.3	Synthèse	34
1.9	Le sujet de la thèse	36
1.9.1	Les enjeux	36
1.9.2	Démarche	36
Chapitre 2	39
2.1	Les structures de test	44
2.1.1	Structures utilisées	44
2.1.2	Technologie.....	45
2.2	Technique de simulation	48
2.3	Modèle analytique physique des TSV	50
2.3.1	Description du modèle	50
2.3.2	Calcul des éléments du modèle.....	51
2.3.2.1	Capacités C_{OX} et C_{DEP}	51
2.3.2.2	Capacité C_{SI} et conductance G_{SI}	51
2.3.2.3	Capacité des plots C_{RDL} et C_{MI}	52
2.3.2.4	Résistance et inductances	53
2.3.3	Application numérique.....	54
2.4	Mesure des éléments du modèle.....	55
2.4.1	Modèle en fonction de la fréquence et de la polarisation	55
2.4.2	Simulation de la capacité en fréquence.....	56
2.4.3	Diagramme de la démarche.....	57
2.5	Caractérisation basses fréquences en open $\{C_{OX} C_{MI} C_{RDL} C_{DEP}\}$	59
2.5.1	Résultats expérimentaux	59
2.5.2	Particularités de la structure 3D	60
2.5.2.1	Le régime d'inversion.....	60
2.5.2.2	Le potentiel de transition	61
2.5.3	Confrontation de la mesure au modèle et à la simulation.....	61
2.5.3.1	Simulation.....	61
2.5.3.2	Modèle analytique	61
2.5.3.3	Résultats.....	61
2.5.4	Bilan sur la caractérisation BF	62
2.6	Caractérisation haute fréquence en transmission $\{R_{TSV} L_{TSV} M\}$	63
2.7	Caractérisation haute fréquence en open $\{C_{SI} G_{SI}\}$	66
2.8	Méthodologie d'extraction 4 ports	69
2.8.1	Technique de de-embedding et extraction des modèles.....	69
2.8.1.1	Formalisme des matrices 4 ports	69
2.8.1.2	Partie électrique	71

2.8.1.3	Partie magnétique	73
2.8.2	Le dispositif de test	76
2.8.2.1	Validation de l'étape technologique	76
2.8.2.2	Modèle électrique des TSV couplés	78
2.8.3	Résultats d'extraction pour les résistances et inductances.....	78
2.8.3.1	Résistance	78
2.8.3.2	Inductance.....	79
2.8.4	Résultat d'extraction pour la conductance et la capacité	80
2.8.5	Conclusion sur la méthodologie 4 ports.....	81
2.9	Conclusion du chapitre	82
Chapitre 3	83
3.1	Les motifs de test.....	87
3.1.1	Choix des caissons dopés.....	87
3.1.2	Dopage des caissons.....	88
3.1.3	Description des structures de test RF TSV-caissons.....	90
3.1.4	Technologie.....	91
3.2	Etude des jonctions.....	93
3.2.1	Extraction des modèles SPICE	93
3.2.2	Simulation des caractéristiques statiques des jonctions	94
3.2.3	Simulation des caractéristiques dynamiques des jonctions.....	95
3.3	Mesure du couplage TSV-caisson.....	97
3.3.1	Mesure radiofréquence avec polarisations statiques.....	97
3.3.2	Propriété de réciprocité du système 4 ports	98
3.3.3	Analyse des fonctions de transfert	99
3.3.3.1	Impact de la polarisation sur le couplage TSV-prise substrat	99
3.3.3.2	Impact de la polarisation sur le couplage TSV-jonction	99
3.3.3.3	Comparaison selon les caissons.....	100
3.3.3.4	Impact de la surface et des masses	102
3.3.3.5	Synthèse.....	103
3.4	Modélisation du couplage entre TSV et caissons.....	104
3.4.1	Etude du couplage TSV-prise substrat.....	104
3.4.1.1	Modélisation	104
3.4.1.2	Validation du modèle avec la caractérisation expérimentale	106
3.4.2	Etude du couplage TSV-jonction.....	112
3.4.2.1	Modélisation	112
3.4.2.2	Validation du modèle avec la caractérisation expérimentale	113
3.4.2.3	Modèle de la capacité de déplétion de la jonction PN.....	115

3.4.2.4	Discussion sur la possibilité de modélisation	116
3.5	Conclusion du chapitre	117
Chapitre 4	119
4.1	Structures de test pour la caractérisation radiofréquence	123
4.1.1	Description des structures	123
4.1.2	Fonctionnement des MOS.....	125
4.1.2.1	Caractéristiques $I_D (V_D, V_G)$	126
4.1.3	Etude en petits signaux	129
4.1.4	Conditions de mesure.....	130
4.1.5	Extraction des paramètres S du couplage	131
4.2	Fonction de transfert de couplage entre le TSV et le transistor MOS.....	132
4.2.1	Couplage entre TSV et drain en fonction de l'état du MOS.....	133
4.2.2	Couplage entre TSV et grille en fonction de l'état du MOS.....	133
4.2.3	Synthèse	134
4.3	Modélisation du couplage entre transistor et silicium.....	136
4.3.1	Zone de déplétion du transistor MOS	136
4.3.2	Capacité entre drain et silicium.....	137
4.3.3	Capacité entre grille et silicium	139
4.3.4	Synthèse et construction du modèle de couplage transistor -TSV	140
4.4	Sensibilité aux perturbations selon le type du transistor MOS	142
4.5	Bilan de l'étude	144
Conclusion	145
Références Bibliographiques	151
Annexe	161

Introduction Générale

Le contexte des travaux

Peut-on prétendre que la prochaine décennie sera celle des circuits intégrés en trois dimensions ? L'intégration 3D constitue-t-elle une issue révolutionnaire pour les concepteurs de circuits, solutionnant tous les problèmes ? Des réponses positives à ces questions pourraient être jugées trop optimistes et faire preuve de naïveté de la part de leur auteurs à la vue des crises traversées par certains géants de la microélectronique, voire prétentieuses pour ceux qui développent cette nouvelle technologie. Et pourtant, de nombreux auteurs défendent ces réponses positives. Pour les technologues, le nez dedans, il n'est pas toujours facile de concevoir et réaliser ces circuits et assemblages 3D !

L'évolution des circuits intégrés lors de ces dernières décennies a été essentiellement guidée par la loi de Moore, qui indique que la densité des transistors sur une puce double tous les dix-huit mois, à surface équivalente. Cette observation empirique s'est jusque-là révélée relativement juste. Mais la course à la miniaturisation se heurte aujourd'hui à de très sérieuses difficultés.

En effet des difficultés liées à des phénomènes physiques mais aussi à la réalisation technologique apparaissent au niveau des transistors lorsqu'on arrive à des largeurs de canal sub-nanométriques, 45nm aujourd'hui, 32 puis 22nm dans les mois et les années qui viennent, selon la tendance nommée « More More ». Dans ces dimensions, les problèmes de fuites de courant sont majeurs. A cela s'ajoute l'émergence en production d'importants problèmes de variabilité des caractéristiques des puces entre elles qui imposent de travailler très en amont sur les notions d'adaptation de la conception aux procédés de fabrication (DFM, Design For Manufacturing) ou d'analyse du rendement prédictif. Les autres difficultés rencontrées sont liées au réseau des interconnexions dans les puces, toujours plus dense et intégré. Avec ces géométries réduites, la densification des lignes métalliques induit des problèmes majeurs de diaphonie et d'allongement des temps de transmission jamais rencontrés auparavant, phénomènes très pénalisants pour l'intégrité des signaux à transmettre. La figure 1, montrant le réseau des connexions d'accès à la puce 2D, illustre cette problématique de course à la densité d'intégration.

En conséquence, concevoir et fabriquer un circuit intégré en technologie 45 ou 32nm devient vite extrêmement coûteux car de nouvelles équipes et chaînes de développement doivent être mises en place, et ceci à chaque nouvelle génération ou nœud technologique. Cerise sur le gâteau, le prix de fabrication d'un masque de gravure à ces niveaux de finesse est faramineux, dépassant le million de dollars. On comprend donc aisément que les sommes à investir pour sortir sur le marché des puces en 32 ou 22nm deviennent difficilement supportables et que le nombre d'entreprises capables de se lancer dans de telles opérations se réduit au fur et à mesure que les géométries des circuits diminuent.

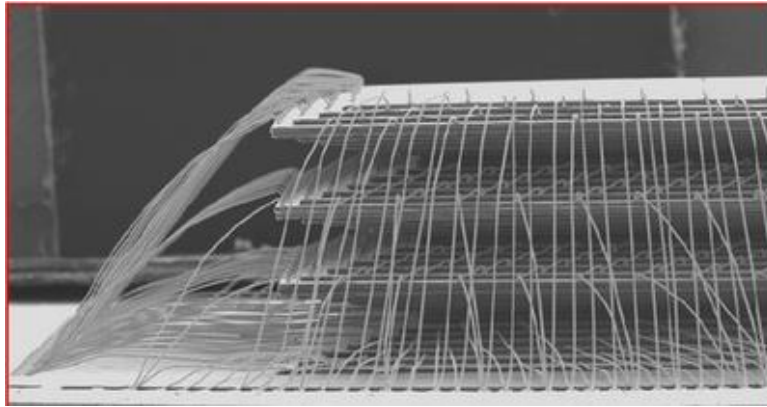


Figure 1 : Le message 3D : si on continue à intégrer les circuits en 2D en répondant aux besoins grandissant de fonctionnalités et densité voilà ce que ça donnera : pensez-vous que ce sera performant ?

Heureusement, pour augmenter les performances des puces, la miniaturisation n'est pas la seule issue. Elle peut être contournée, voire associée, par une autre voie d'intégration, l'intégration hétérogène de puces, appelée « More Than Moore ». Elle découle du besoin de fabriquer des circuits réalisant des fonctions toujours plus nombreuses, complexes et rapides. Il est devenu possible il y a quelques années de fabriquer conjointement des circuits électroniques et des composants sensoriels, tels que capteurs et actionneurs, tout en ayant la possibilité de les co-intégrer, notamment grâce à des compatibilités grandissantes de procédés de fabrication. Cependant, les problèmes de densité d'intégration et donc de connectique reviennent sur le tapis.

Pour sortir de cette impasse, le concept d'intégration tridimensionnelle des puces est apparu il y a une dizaine d'années au carrefour de tendances « More Moore » et « More than Moore ». Il est reconnu comme étant une solution puissante permettant la co-intégration hétérogène tout en augmentant la densité et les performances en termes de consommation et de bande passante. Offrant de nouveaux degrés de liberté, cette technologie suscite l'engouement de nombreux acteurs du domaine comme en témoigne la littérature, les projets et les applications qui en émergent. Cette évolution est en particulier rendue possible par la maîtrise de la technologie des TSV (Through Silicon Via), connexions qui traversent verticalement le silicium et permettent de relier au plus court des puces aux fonctionnalités différentes assemblées les unes sur les autres (Figure 2).

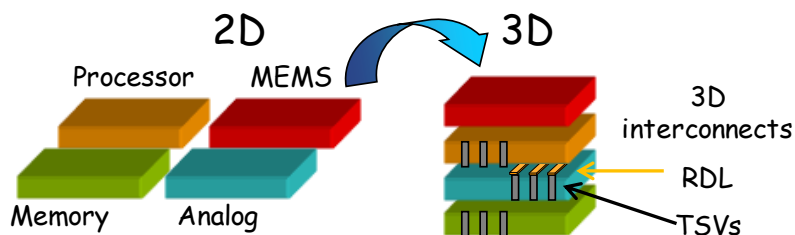


Figure 2 : Concept de l'intégration 3D

L'intégration tridimensionnelle constitue un changement de paradigme car l'architecture de la puce doit être presque totalement repensée. En effet, de nouvelles problématiques et contraintes liées à la conception, la fabrication, l'assemblage et le packaging apparaissent et constituent des challenges à relever, rapidement, pour garantir les performances promises. Particulièrement, les applications futures vont se caractériser par des besoins grandissant en termes de montée en débit et en puissance de calcul, induisant la transmission de signaux toujours plus « agressifs » à travers les

connexions. Ce constat nous amène à la problématique de travaux de recherche présentés dans ce mémoire.

La problématique et les objectifs des travaux

Tout d'abord, afin d'illustrer de manière simpliste la problématique de nos travaux, imaginons qu'un énorme tunnel ferroviaire ou autoroutier, comme celui envisagé pour la liaison Lyon-Turin, soit percé... à quelques mètres de votre petit chalet d'alpage en montagne (qui fait votre bonheur en été ou hiver...). Lors de ces gigantesques travaux, et après ceux-ci, ne seriez-vous pas inquiet pour la stabilité et les performances de votre belle cheminée montée en pierre sèches ? Et plus tard, une fois le tunnel mis en service, ne risquez-vous pas d'observer quelques modifications dans les écoulements des eaux pluviales autour du chalet ? Un TSV est un monstre en termes de taille vis-à-vis de celle d'un transistor MOS, il véhicule en plus un trafic incessant de signaux « TGV », bruyants, vibrants et rapides... et ce monstrueux TSV est creusé à la proximité immédiate de ce minuscule objet MOS qu'est le transistor, si complexe et fragile... (Figure 3)

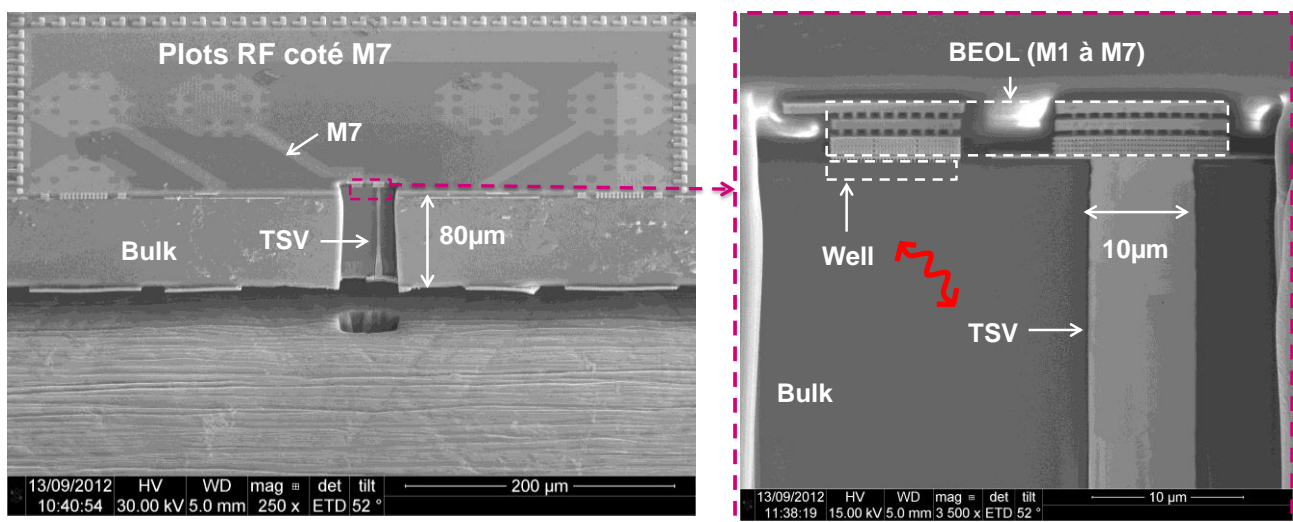


Figure 3 : Vue en coupe d'une structure contenant un TSV à côté d'un MOS, « l'énorme tunnel » à côté du « petit chalet d'alpage ».

Dans les applications futures réalisées par les technologies d'intégration 3D, le TSV devra donc pouvoir transmettre des signaux très agressifs en termes d'amplitude et dans le sens où leur temps de montée sont très brefs (quelques dizaines de pico secondes) afin d'offrir un haut débit d'information. Ces signaux sont, susceptibles de générer par couplage des perturbations dans les substrats des puces empilées. Or les performances de certains circuits intégrés, tels que les amplificateurs faible bruit (appelés communément LNA, *Low Noise Amplifier*), sont conditionnées par le niveau des perturbations électriques existant dans leur substrat de silicium et leur fonctionnement peut donc être dégradé par les parasites générés par les signaux véhiculés dans les TSV.

La problématique traitée dans ce mémoire est donc celle de l'analyse, la modélisation et la caractérisation des couplages électromagnétiques véhiculés par les substrats entre les TSV eux même et entre les TSV et les composants MOS situés à leur proximité. Les signaux « agresseurs » sont ceux transmis par les TSV qui jouent leur rôle normal de support de propagation, le médium de

Introduction générale

transmission des effets parasites que créent ces signaux « agresseurs » par couplage électromagnétique est le substrat de silicium de la puce concernée. L'impact de ces parasites est évalué sur le comportement électrique des transistors MOS placés dans le Front End de cette même puce. En d'autres termes, nous menons une étude de CEM (Comptabilité Electromagnétique) intra puce, focalisée sur de l'interaction entre la technologie 3D avec les technologies CMOS avancées. Etant donnés les types de signaux mis en jeu dans les applications visées, le spectre de fréquence couvert par cette étude de CEM est très large, du continu aux fréquences micro-ondes, soient plusieurs dizaines de GHz. Idéalement, après avoir caractérisé et modélisé ces phénomènes de couplage électromagnétique entre TSV et transistors MOS, les objectifs visés sont de développer des outils pour les prédire puis de proposer des solutions pour les minimiser, tant par une identification des paramètres technologiques clés dans nos architectures et/ou par celle des règles de dessin.

Quatre chapitres constituent ce mémoire. Pour tenter de répondre aux premiers objectifs visés, à savoir des travaux de modélisation associés à ceux de conception puis de caractérisation de structures de test hyperfréquences, incluant des composants passifs (TSV, interconnexions...) et actifs MOS, il s'est avéré indispensable d'établir au préalable un état de l'art sur les applications visées, de connaître ensuite parfaitement la technologie 3D, le transistor MOS et la problématique du bruit dans les substrats. Ce travail est présenté dans le premier chapitre. Il contient ensuite une description, et la justification de nos choix, des structures de test « hyperfréquences » que nous avons spécifiquement développées pour cette thèse afin l'évaluer expérimentalement les couplages électromagnétiques à travers les substrats, des très basses aux très hautes fréquences.

Dans le second chapitre sera abordé la modélisation électromagnétique des TSV et du substrat de semi-conducteur environnant. Des mesures sur différentes structures de test et des études comparatives par simulation permettent de valider à la fois un modèle électrique utilisable de 0 à 40 GHz qui prédit le comportement des TSV (en particulier le cas des TSV nommés « via middle » réalisés avec la technologie du nœud 65 nm, architecture que nous présenterons) et du substrat de silicium. Ce modèle sera aussi utilisé pour modéliser des matrices de TSV, en distinguant des TSV « signaux » et des TSV de masse. Le modèle obtenu est ensuite comparé au modèle de TSV couplés, à travers les substrats, ce dernier étant issu des mesures sur nos structures RF à 4 ports. La méthode originale que nous avons développée pour cette extraction de modèles de couplage sur des structures à 4 ports est présentée en détail.

Ce travail de modélisation et de caractérisation des TSV et du couplage sur des structures à 4ports permet de basculer dans le chapitre 3. Il est dédié à l'étude du couplage entre les TSV et des caissons de semi-conducteurs dopés. Cette étude constitue une étape intermédiaire pour aborder le couplage du TSV avec les transistors MOS. Elle met en évidence des phénomènes de variation des niveaux de diaphonie, variation due à la présence d'effets diode qui seront modélisés.

Enfin, c'est dans le chapitre 4 que nous répondons à nos objectifs premiers. Les coefficients de couplage entre le TSV et différents types de transistor MOS sont mesurés et analysés à partir des résultats obtenus sur nos structures hyperfréquences. Des phénomènes spécifiques et, à notre connaissance, peu relatés dans la littérature sont observés au niveau de la grille et du drain des transistors. Leur interprétation sera appuyée par des résultats de simulation et de modélisation théorique du fonctionnement des transistors MOS. La synthèse des différents résultats

Introduction générale

expérimentaux et des modèles élaborés permettra de proposer des voies d'optimisation intéressantes sur les règles de design des architectures 3D pour réduire les phénomènes de couplage électromagnétique entre TSV et transistors MOS dans les puces.

En conclusion nous résumons nos principaux résultats et nous faisons ressortir l'originalité des travaux de recherche menés durant cette thèse de doctorat. Les conséquences et retombées de ces travaux sont aussi exposées dans un souci de transfert « opérationnel » vers les utilisateurs (designers). Ces dernières permettent aussi de mettre en exergue les études complémentaires qu'il serait nécessaire de mener afin de compléter ce travail et de mieux quantifier certains phénomènes observés. Nous proposons enfin plusieurs perspectives d'études sur ce vaste sujet de CEM intra puce dans les architectures 3D.

Introduction générale

Chapitre 1

La troisième dimension dans les circuits intégrés

Table des Matières

Chapitre 1	7
1.1 L'engouement pour les architectures tridimensionnelles	10
1.1.1 Du SoC au SiP : premier pas vers l'architecture 3D	10
1.1.2 Vers de " vrais " circuits 3D	10
1.1.3 L'émergence des circuits intégrés 3D sur le marché	13
1.3 Les technologies 3D	14
1.3.1 Définition des TSV	14
1.3.2 L'empilement des puces	16
1.3.3 Flot de fabrication du circuit Wide I/O	17
1.3.3.1 Fabrication de la puce du bas et évaluation de la technologie	17
1.3.3.2 Assemblage 3D et packaging	20
1.5 La technologie CMOS	22
1.5.1 Un composant phare du 20 ^{ème} siècle	22
1.5.2 Le silicium	22
1.5.2.1 Silicium intrinsèque, semi-conducteur pur	23
1.5.2.2 Semi-conducteur dopé, dopage du silicium	24
1.5.3 Le Transistor MOS	24
1.5.3.1 Principe	24
1.5.3.2 Caractéristiques d'un transistor MOS	25
1.7 Impact de la technologie 3D avec les technologies CMOS	27
1.7.1 Etat de l'art des phénomènes liés à l'intégration 3D impactant le MOS	27
1.7.1.1 Impact du procédé d'intégration	28
1.7.1.2 Effets parasites post-process	30
1.7.1.3 Impact lors du fonctionnement	30
1.7.2 Phénomènes de couplage par le substrat	32
1.7.2.1 Le bruit substrat dans les circuits classiques 2D	32
1.7.2.2 Les perturbations substrat dans les circuits 3D	32
1.7.2.3 Etat de l'art sur le couplage du substrat avec l'actif	33
1.7.3 Synthèse	34
1.9 Le sujet de la thèse	36
1.9.1 Les enjeux	36
1.9.2 Démarche	36

1.1 L'engouement pour les architectures tridimensionnelles

1.1.1 Du SoC au SiP : premier pas vers l'architecture 3D

Pour augmenter les performances des puces et diminuer les coûts de fabrication, la miniaturisation a été la principale voie appliquée depuis les années 70. Elle est représentée par les SoC (System on Chip), dont le principe est de co-intégrer sur une même puce des composants actifs de natures différentes (CMOS, DRAM, BiCMOS) et passifs. Les procédés de fabrications doivent pour cela être compatibles.

L'atteinte prévisible des limites de la loi de Moore, les besoins accrus en termes de performances, de gain de place, de puissance...ont poussé les concepteurs dans les années 90 à intégrer des fonctionnalités dans des modules en trois dimensions [Madden05]. Il s'agit des circuits de type SiP (System in package) qui sont largement répandus sur le marché depuis plusieurs années.

Ces composants allient plusieurs technologies numériques traditionnelles (processeur, contrôleur mémoire, solution graphique, entrées/sorties, connectique réseau, microsystèmes électromécaniques) aux procédés de fabrications incompatibles. Ils sont intégrés séparément sur différentes plaques, puis des puces de chaque fonctionnalité sont découpées et associées dans un même boîtier. Les connexions entre puces sont réalisées entre leurs plots d'entrées/sorties via des fils. Les composants SiP peuvent intégrer des SoC, offrant ainsi d'autres fonctionnalités au niveau de la perception de l'environnement, de la communication, de la reconfigurabilité et de la possibilité d'auto-organisation en réseau ad-hoc.

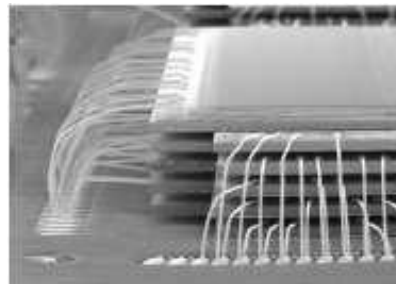
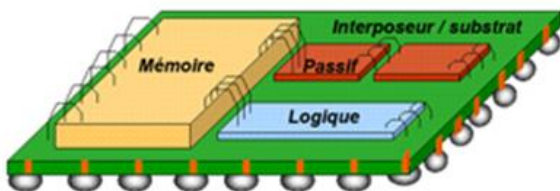


Figure 1 : Deux architectures de puce SiP : planaire à gauche et verticale à droite.

On trouve aussi des configurations appelées PoP (Package over package) ou PiP (Package in package), notamment pour assembler des stacks de mémoire sur des processeurs ou des circuits bande de base dans des appareils portables. Ainsi réfléchir en termes d'intégration des composants dans les trois dimensions de l'espace pour réduire les distances de connexion n'est pas une nouveauté.

1.1.2 Vers de "vrais" circuits 3D

L'intégration 3D est donc désormais communément reconnue comme étant une solution efficace pour surmonter les challenges de miniaturisation et de densification des puces. C'est un concept qui combine More Moore and more than Moore [Magis06][Knickerbocker08]. Il est alors

possible d'intégrer un très grand nombre de fonctionnalités dans un facteur de forme réduit, tout en augmentant les performances du circuit (en termes de bande passante et de moindre consommation). Dans le même temps, des gains en termes de coût de production sont envisagés [Magis06].

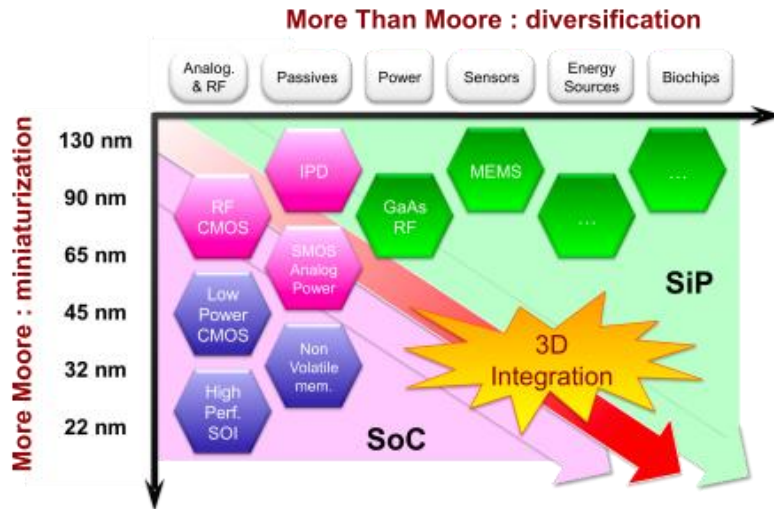


Figure 2 : La 3D ne tourne pas le dos aux deux lois traditionnelles de la microélectronique, mais les allie en offrant de nouveaux bénéfices

Les composants dans ce concept sont fondamentalement 3D, c'est-à-dire conçus dans les trois dimensions de l'espace avant l'opération de packaging. La chaîne de production et la vision de la puce est complètement repensée, c'est pourquoi ce type d'intégration représente une évolution de rupture.

Dans cette approche, des puces issues de diverses technologies sont empilées et connectées entre elles au plus court c'est-à-dire à travers le silicium avec des connexions intra-puces. L'idée permet donc de concevoir des systèmes complexes hétérogènes associant des composants différents et gérant plusieurs fonctionnalités, tout en ayant une connectique efficace [Madden12].

Cette évolution est rendue possible par la maîtrise de ce qui est désigné comme les technologies 3D. Il s'agit d'une part des interconnexions 3D : les TSV (*Through silicon via*), trous métallisés verticaux qui relient entre elles des puces assemblées l'une sur l'autre, des piliers de cuivres, mais également des technologies qui touchent aux enjeux d'assemblage [Xu09], d'alignement et de matériaux d'assemblage, par exemple le WLUF (*Wafer Level Underfill*) pour ne citer que lu [Taluy13].

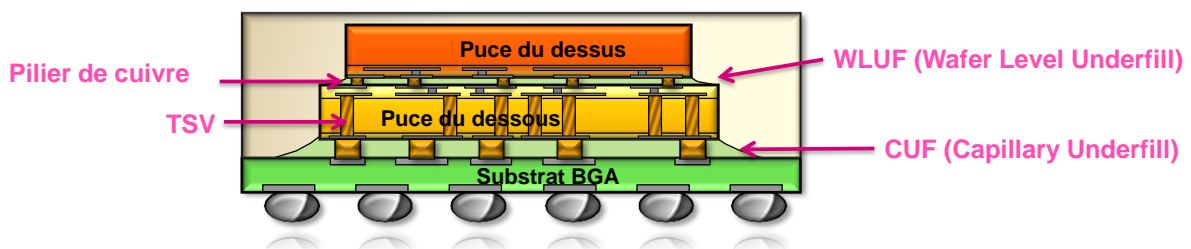


Figure 3 : Empilement de deux puces dans un boîtier en intégration 3D

Afin de mettre en avant le potentiel de compacité et de performances de communication des

technologies de la 3D, le démonstrateur Wide I/O a été réalisé par STMicroelectronics, ST-Ericson et le Leti. Il s'agit d'une mémoire empilée sur une puce logique en technologie 65nm, traversée par une matrice dense de 1250 TSV. La course aux performances des systèmes embarqués (Smartphone, tablette PC,..) requiert de très hauts débits de communication entre le processeur d'application et sa mémoire. Actuellement plus de 10 Giga octets par seconde sont nécessaires pour les applications de décodage vidéo ou d'affichage graphique sur un écran haute définition. Les mémoires actuelles n'atteignent ce débit qu'au prix d'une consommation élevée. Ainsi, ce prototype démontre d'une part la technologie, et les performances des technologies d'intégration verticale 3D de circuits intégrés, qui représentent donc une solution pour franchir ce « mur de la bande passante ».

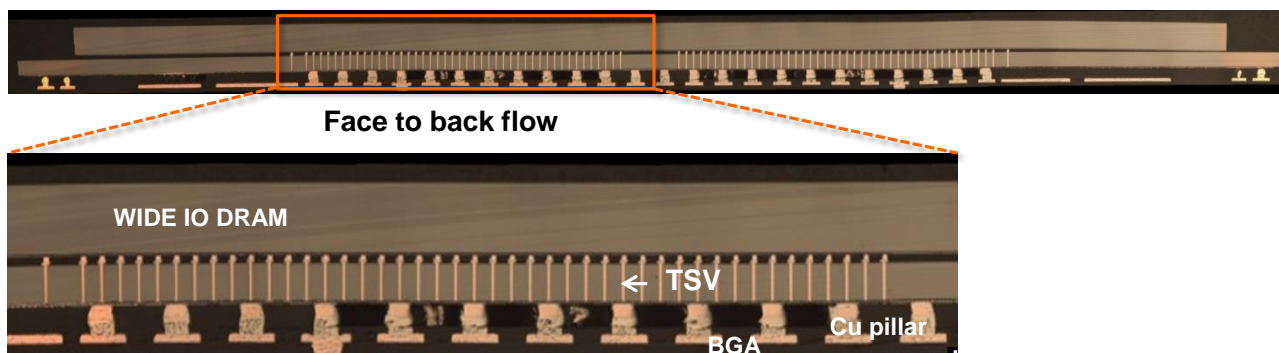


Figure 4 : Photo de la puce Wide I/O

Les hautes performances de cette puce et son facteur de forme comparé à des circuits POP sont extrêmement prometteurs pour l'avenir de l'intégration 3D. Sa bande passante est 12.5 Gb/s soit huit fois plus large qu'une puce de type POP (Figure 5) et sa surface de 73 μm^2 . Ce nouveau circuit permet une réduction de 50% de l'énergie nécessaire au transfert de données.

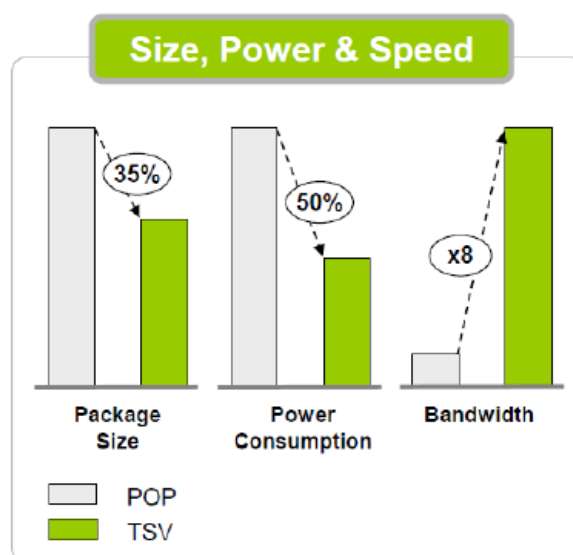


Figure 5 : Comparaison des performances de la Wide I/O et des POP

Lorsque les technologies 3D seront matures, et les nouvelles règles de conception établies, il serait alors potentiellement possible de créer un module unitaire constituant un système électronique à part entière aux performances inégalées auparavant.

1.1.3 L'émergence des circuits intégrés 3D sur le marché

Ainsi, au-delà des limites économiques imposées par la miniaturisation des puces, d'autres facteurs sont donc à l'œuvre favorisant l'émergence des technologies 3D.

Un des plus importants est lié au facteur de forme. Le gain de place est conséquent comme le démontre le circuit Wide I/O, qui n'empile pourtant que deux puces. Plus le nombre de puces empilées sera important, plus le gain de place sera conséquent. Une série de produits très courants comme les mémoires flash, ou les imageurs CMOS nécessitent un très haut niveau d'intégration tout en conservant un rapport capacité/volume élevé.

C'est d'ailleurs autour de ces deux lignes de produits que l'on trouve depuis déjà quelques années des circuits qui utilisent les technologies 3D. ST, Toshiba et Samsung ont déjà mis en production pour les prochaines générations de téléphones portables ou d'appareils photos numériques les imageurs Cmos 3D, mettant à profit la technologie des TSV, avec des réductions en termes d'encombrement qui dépassent les 50%. Côté mémoire, Elpida par exemple, commercialise déjà des DRAM empilées utilisant des TSV. Samsung développe des technologies TSV afin de combiner des mémoires NAND flash de 2Go pour créer des modules mémoire de 16 Go. Ces avancées permettraient aux composants 3D de contenir autant de mémoire que des ordinateurs, ouvrant la voie à l'intégration de fonctions vidéo et graphiques de très haute définition dans un grand nombre d'appareils portables. Les perspectives sont prometteuses. Des projets autour de la photonique sont d'actualité à ST. Récemment, début septembre 2013 AMS a annoncé l'investissement de plus de 25 million d'euros pour produire des circuits intégrés en 3D. AMS vise notamment les secteurs de l'imagerie médicale et de la téléphonie mobile.

L'autre facteur important, également illustré par le circuit 3D Wide I/O, est la performance du système. En effet, les interconnexions 3D réduisent considérablement la longueur des pistes utilisées, augmentent la densité des transistors dans un volume réduit, et améliorent significativement les bandes passantes entre mémoires et circuits logiques grâce à la parallélisation du signal à travers les matrices de TSV. Cela est un point crucial actuellement car cette augmentation est difficile à obtenir en 2D. Cette architecture permet également de fortement réduire la consommation.

A chaque nouveau nœud technologique les limites physiques imposent une remise en cause des méthodes de production. Ainsi la société Xilinx en collaboration avec TSMC met à profit les avantages de la 2.5D qui consiste à accoler plusieurs puces qui fonctionnellement n'en forme plus qu'une seule grâce aux TSV. L'objectif est de profiter des meilleurs rendements offerts par les puces plus petites tout en offrant des circuits très complexes dans une technologie à l'état de l'art.

C'est le coût de fabrication qui pourrait être un facteur décisif dans le décollage des circuits 3D. Il s'avère que de nombreux développements sont encore à réaliser pour amener cette technologie vers les grands volumes [Gauthier10].

1.3 Les technologies 3D

Cette partie présente un état de l'art des procédés technologiques 3D. La réalisation d'un circuit intégré 3D, impliquant la fabrication d'interconnexions 3D verticales et innovantes et l'assemblage vertical des puces, constitue une étape cruciale, s'ajoutant entre autres aux enjeux de conception dont nous avons parlé dans l'introduction. Les technologues ont résolu de nombreuses problématiques avant d'en arriver à élaborer des recettes permettant une fabrication fiable et industrielle des technologies 3D, compatibles avec les technologies CMOS.

Les étapes clés du procédé de fabrication de circuits intégrés 3D sont décrites afin de connaître la physique et la géométrie de l'empilement 3D, pour pouvoir par la suite le modéliser, et mettre en évidence les éventuels problématiques engendrées en termes d'impact sur les CMOS. Nous verrons aussi qu'un large panel d'options technologiques est proposé offrant une certaine liberté de conception aux designers de puces. Nous nous focaliserons ensuite sur l'assemblage du Wide I/O, un des prototypes phare de l'intégration 3D à Crolles au moment de la thèse.

1.3.1 Définition des TSV

Les TSV sont des interconnexions métalliques traversant verticalement les couches de silicium actif ou passif, faisant référence à la 2.5D ou la 3D, qui relie électriquement plusieurs fonctionnalités disposées sur les différents niveaux de puces d'une architecture 3D, tel que le processeur et la mémoire du circuit Wide I/O (Figure 4).

Leur caractéristique essentielle est qu'ils possèdent un facteur de forme élevé, afin de traverser la plus grande épaisseur de silicium possible, pour limiter son amincissement et éviter des problèmes de fragilité, tout en autorisant une densité d'interconnexions élevée, liée au pas et au diamètre des TSV.

Cette partie présente les différentes façons d'intégrer des TSV dans le silicium. Les étapes des procédés technologiques 3D s'insèrent entre celles des procédés CMOS avec pour objectif de les impacter le moins possible grâce au développement de recettes adaptées en température, matériaux ...

Ainsi le TSV peut être fabriquée avant, après ou entre les procédés *Front End Of Line* (FEOL), désignant le *flow* d'intégration des CMOS, et *Back End Of Line* (BEOL), qui désigne les niveaux de métaux permettent de router et de relâcher petit à petit le pas des connections des MOS au BGA.

Via First

La dénomination *Via First* indique que les TSV sont réalisés dans le silicium intrinsèque, avant toute étape d'intégration de l'actif. Cela implique une grande liberté de dimensions et donc des facteurs de formes agressifs (supérieurs à 8) car le silicium est épais et rien ne limite la température de gravure. Cependant, le cuivre est interdit dans un procédé où s'expose le silicium car les atomes de cuivre ont pour propriété de diffuser facilement dans le substrat, modifiant sa nature semi-conductrice. Ce phénomène peut se produire suite à une simple contamination des machines du FEOL. Les matériaux compatibles qui remplissent les *via First* sont donc le poly-

silicium ou le tungstène. Ces matériaux présentent l'inconvénient d'être relativement mauvais conducteurs : $\rho_{\text{poly-si}}=2600 \mu\Omega.\text{cm}$ et $\rho_{\text{W}}=5.65 \mu\Omega.\text{cm}$ comparés au cuivre $\rho_{\text{Cu}} = 1,8 \mu\Omega.\text{cm}$.

Via Middle

Le procédé *Via Middle* fait référence aux TSV fabriqués après les composants actifs, à la suite du procédé FEOL, mais avant le procédé BEOL de fabrication des niveaux de métaux. L'avantage de ces types de via est qu'ils peuvent être remplis de cuivre. Leur diamètre typique varie entre 3 et 20 μm , leur profondeur entre 50 et 150 μm , et leur facteur de forme peut atteindre 10 [Henry11].

Via Last

La famille des TSV de type *Via Last* regroupe les procédés de via traversant réalisés après fabrication complète des circuits, c'est-à-dire après le FEOL et le BEOL. Le cuivre peut être là aussi utilisé, cependant la température de gravure des via est limitée à 200 °C à cause de la résine qui colle la puce amincie à la poignée temporaire. Les matériaux utilisés présentent donc une qualité amoindrie.

La Figure 6 résume les principales étapes du flot d'intégration des différents types de TSV.

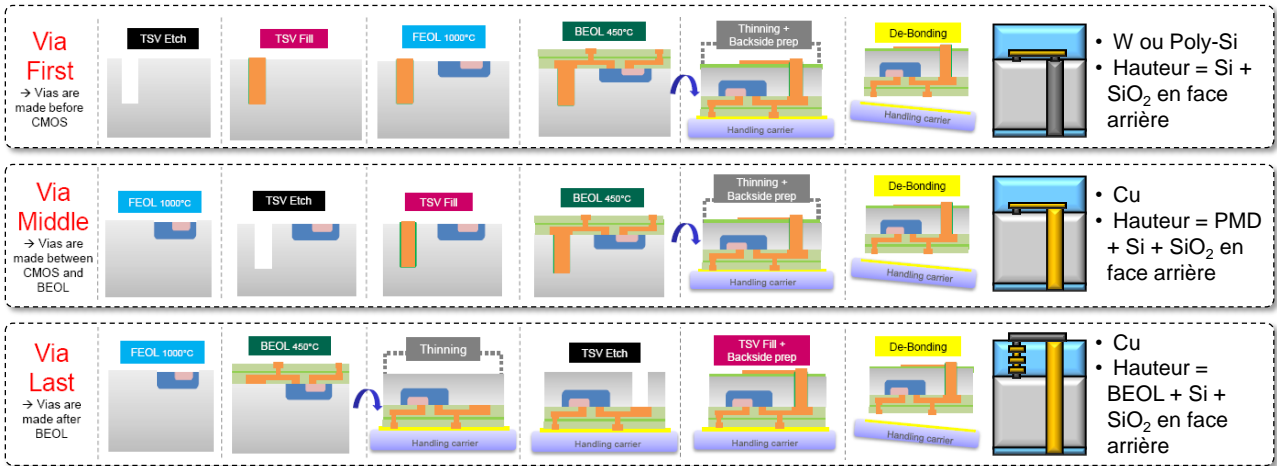


Figure 6 : Principales étapes du flot d'intégration des trois types de TSV

Indépendamment de son type, des paramètres génériques de type géométriques et technologiques décrivent le TSV, ils sont illustrés en Figure 7 : Principaux paramètres technologiques. Le TSV relie les deux faces du substrat de silicium.

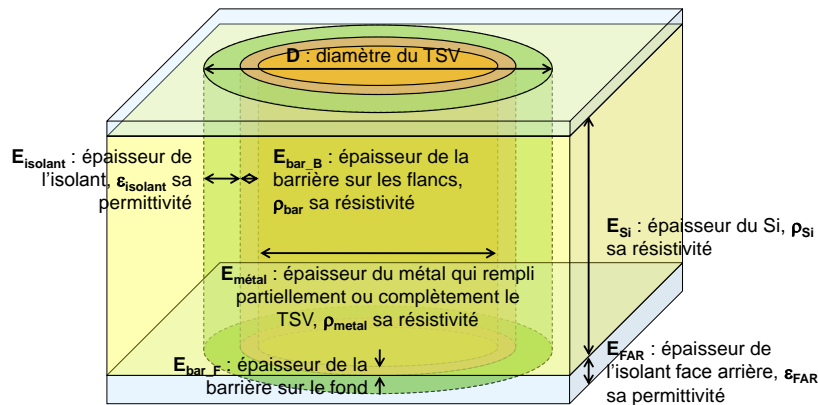


Figure 7 : Principaux paramètres technologiques

Les différentes options pour empiler les puces et les connecter entre elles sont maintenant présentées.

1.3.2 L'empilement des puces

Plusieurs options sont explorées et s'offrent aux technologues pour réaliser le report des couches des circuits intégrés 3D. Les circuits sont co-intégrés après l'élaboration de leurs réseaux d'interconnexions (le BEOL) et des connexions inter-couches, les piliers de cuivres, dont nous parlerons dans la partie suivante.

La méthode d'empilement des puces est réalisée de différentes manières : puce à puce (D2D pour *die-to-die*), puce sur substrat (D2W pour *die-to-wafer*) ou substrat sur substrat (W2W pour *wafer-to-wafer*). Les approches D2W et W2W sont réalisées à l'échelle de la plaque de silicium alors que l'approche D2D est réalisée à l'échelle de la puce. La maîtrise de l'alignement des puces constitue un sérieux enjeu lors de l'empilement [Mermoz11].

Différentes options sont aussi possibles concernant l'orientation des différentes puces les unes par rapport aux autres. Si l'on considère deux puces à empiler, leur empilement peut être orienté soit en face à face (face to face) soit en face to back.

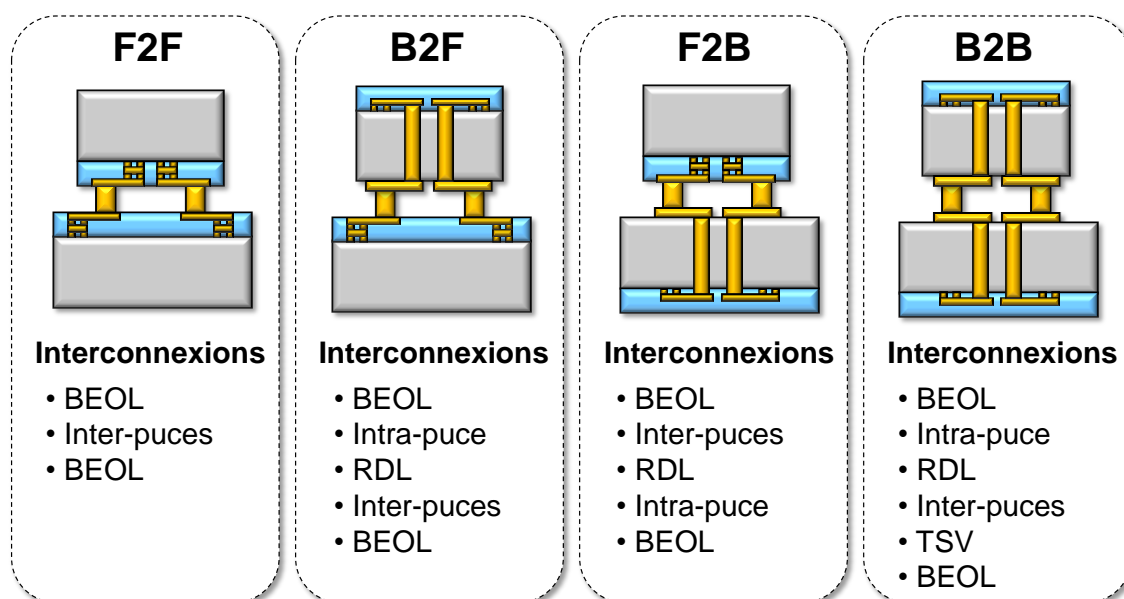


Figure 8 : Orientation des circuits.

L'orientation des puces prises deux à deux définit les interconnexions qui transmettent les signaux (Figure 8): le type de TSV, les connexions inter-puces (piliers de cuivre ou micro-bump pour les puces à puce, billes pour puce à BGA). De chaque côté de la puce, ce sont le BEOL et la ligne de redistribution (RDL pour *Redistribution Line*) qui assurent le routage des signaux.

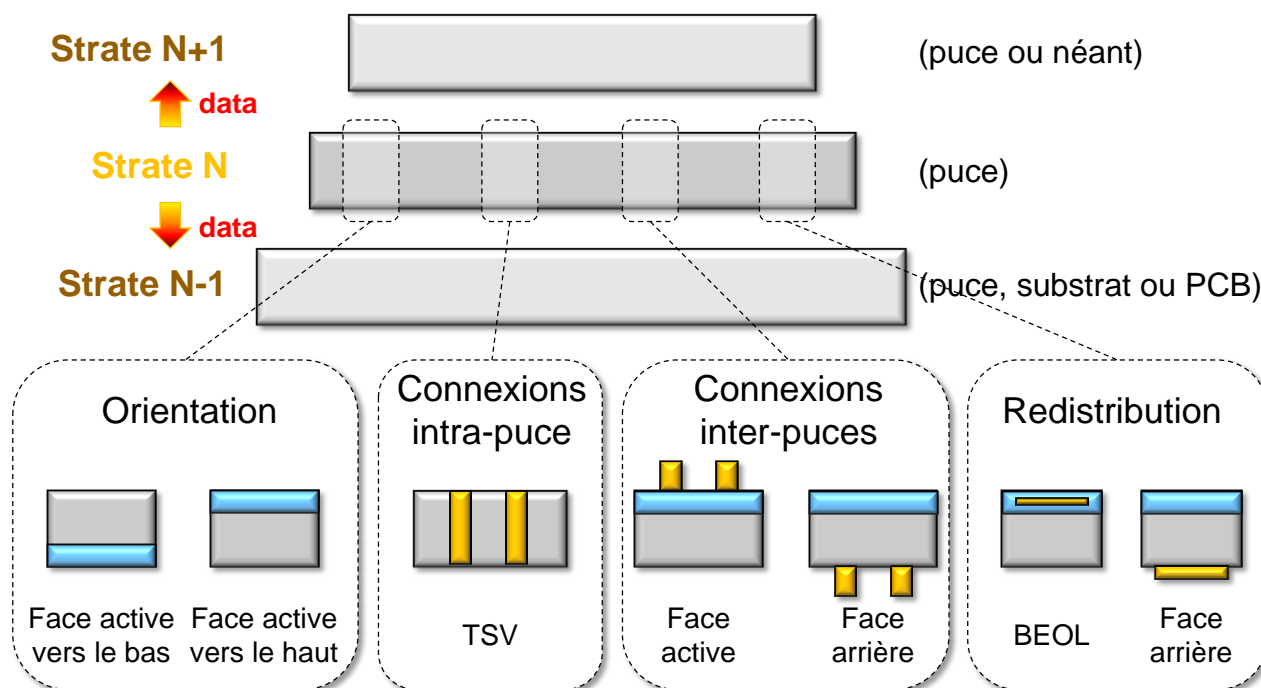


Figure 9 : Coupe générique d'un empilement

1.3.3 Flot de fabrication du circuit Wide I/O

Dans cette partie est décrit le flot de fabrication 3D dans le cas du circuit intégré Wide I/O. Il s'agit d'une mémoire empilée sur un processeur intégré avec les technologies 3D. Des tests électriques et de fiabilité permettent finalement de valider la technologie 3D. A ST crolles, les technologues se sont orientés pour ce circuit vers une intégration face to back et la technologie via-middle co-intégrée avec la technologie CMOS 65nm. C'est dans cette technologie que toutes les structures de test utilisées dans cette thèse sont intégrées.

1.3.3.1 Fabrication de la puce du bas et évaluation de la technologie

Les cinq premières briques procédé d'intégration illustré en Figure 10 concernent la fabrication du TSV Middle. Le procédé commence sur un silicium actif, i.e. intégré avec des composants MOS (procédé FEOL), par l'étape de gravure. Elle consiste à définir les motifs de TSV par un procédé de photolithographie [Zoberbier09] puis à les graver par procédé Bosch avec une profondeur de 80µm et un diamètre de 10 µm.

Ensuite, l'isolation du TSV est obtenue par SACVD (*Sub-atmospheric chemical vapor deposition*) qui forme un oxyde de silicium sur ses flancs en phase gazeuse. Ce procédé piège des charges à l'interface TSV-Silicium qui auront un impact sur la capacité électrique du TSV. D'après les caractérisations physiques, l'épaisseur d'isolant SiO₂ obtenue n'est pas constante, elle varie sur toute la hauteur du TSV, entre 330 nm sur le haut et 240 nm en bas. Cette couche d'isolant sera modélisée avec une épaisseur constante de 280 nm, la valeur moyenne estimée. Une bicouche de Nitrure de Tantale (Ta₂N₅/Ta) est déposée par procédé PVD (*Physical vapor deposition*) sur le SiO₂ pour éviter la migration d'atomes de cuivre dans le silicium, qui provoque des problèmes significatifs tels que des phénomènes de claquage. Les vias sont ensuite remplis de cuivre par dépôt

électrolytique. Un recuit à 400°C stabilise le cuivre.

Le surplus d'oxyde et de TaN/Ta est enlevé par un polissage mécano-chimique appelé *chemical mechanical process* (CMP). Après cela, commence le procédé standard de fabrication du BEOL (*Back end of Line*), sept niveaux de métaux (M1 à M7 pour le C65) pour router les signaux. Il s'achève avec la fabrication de plots d'aluminium, appelés *Alupad* [Coudrain12].

Les cinq briques suivantes Figure 10 illustrent les grandes étapes de fabrication des éléments inter-puces sur les deux faces de la puce analogique du Wide I/O (le processeur) destinée à être empilée en F2B avec la seconde puce mémoire.

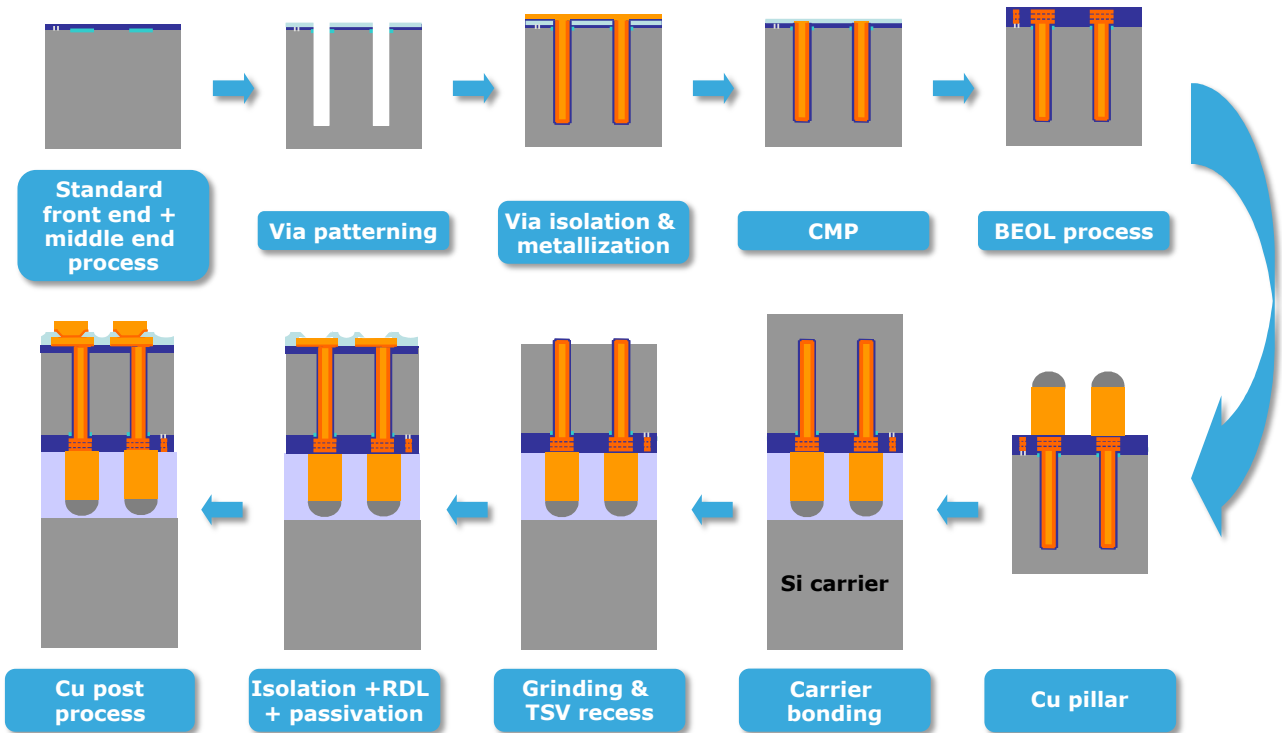


Figure 10 : Vue générale des étapes du procédé technologique 3D

La croissance des *micro-bumps* est réalisée sur les *Alupad*. Ils assureront la connexion future avec le substrat BGA (*Ball Grid Array*). Ils sont constitués de Cuivre et de Sn/Ag. Leur diamètre est de 40 à 70 μm et ils mesurent 40 à 60 μm de haut (Figure 11).

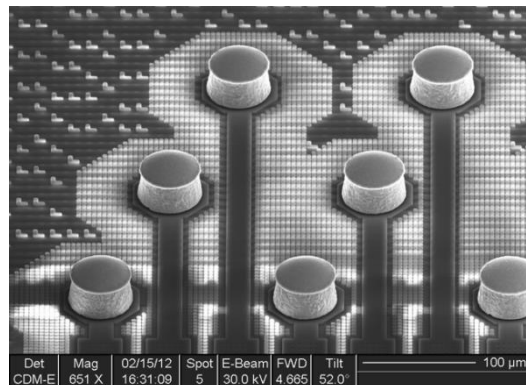


Figure 11 : Vue au MEB des piliers de cuivre sur les Alupad - 40 μm de diamètre.

La puce analogique est ensuite retournée et collée sur une poignée temporaire en silicium ou

Chapitre 1 : La troisième dimension dans les circuits intégrés

en verre avec une colle haute topologie. Elle doit être parfaitement plane, doit préserver la stabilité chimique de piliers de cuivre enrobés dedans, et permettre le décollage ultérieur de la puce en la préservant de la casse.

La plaque de silicium est alors amincie à $93\mu\text{m}$ par écrouage, puis par une gravure sèche et sélective au SF_6 à $80\mu\text{m}$ révélant ainsi le fond des TSV (Figure 12). Il s'agit de la révélation des fonds de via.

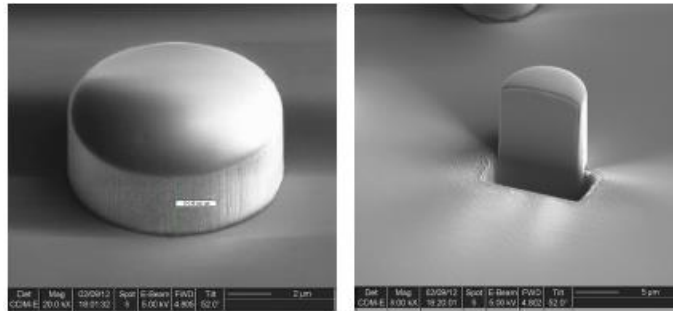


Figure 12 : Vue au MEB du fond des TSV après la gravure- $3,5\ \mu\text{m}$ de hauteur.

Deux micromètres de SiO_2 sont alors déposés en face arrière par-dessus les TSV révélés par procédé PECVD (*Physical electro-chemical vapor deposition*). C'est un procédé basse température qui assure la stabilité du collage et limite la génération de contraintes dans le silicium.

Le surplus de cet isolant est retiré par CMP afin d'ouvrir les TSV sur le cuivre pour permettre les contacts électriques de la face arrière. La CMP dure typiquement 150 s et consomme maximum 300 nm de l'isolant SiO_2 de la face arrière. La Figure 13 montre un TSV en face arrière après CMP.

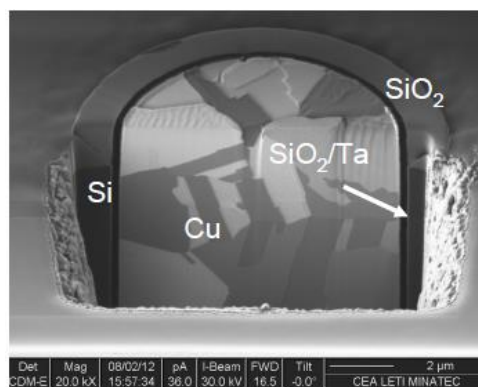


Figure 13 : Vue en coupe du fond du TSV après CMP.

A ce moment-là on peut, en option, réaliser une métallisation pour router le signal en face arrière de la puce. Cette option est prise pour les structures de test qui seront présentées au court des prochains chapitres. Il s'agit d'un dépôt *electroplating* de cuivre pour former des lignes RDL (*Redistribution Lines*) de $2\ \mu\text{m}$ d'épaisseur.

Ensuite, la croissance des micro-piliers de cuivre est effectuée pour prendre le contact électrique sur la RDL ou directement sur les fonds de TSV. Les piliers permettront la connexion avec la puce du dessus, la mémoire dans le cas du Wide I/O. Leur croissance est réalisée, après le dépôt par PVD d'une couche d'accroche, par ECD avec $0,5$ à $5\ \mu\text{m}$ de cuivre, $3\ \mu\text{m}$ de Nitrure, et $0,1\ \mu\text{m}$ d'or. Il s'agissait de la dernière brique du procédé de la Figure 10.

Enfin la puce amincie est décollée par *Slide Off*, *Zone-BOND* ou *UV-release*, en fonction de la technique utilisée auparavant pour le collage. Elles ont été testées sur plusieurs lots et n'ont révélé aucune dégradation physique ni des technologies en face avant ni des technologies 3D en face arrière (micro-piliers, *alupad*...). La Figure 14 montre une plaque après le procédé d'intégration 3D décrit ci-dessus, en parfait état après le décollement de la poignée et le transfert sur un support plastique (*tape*).

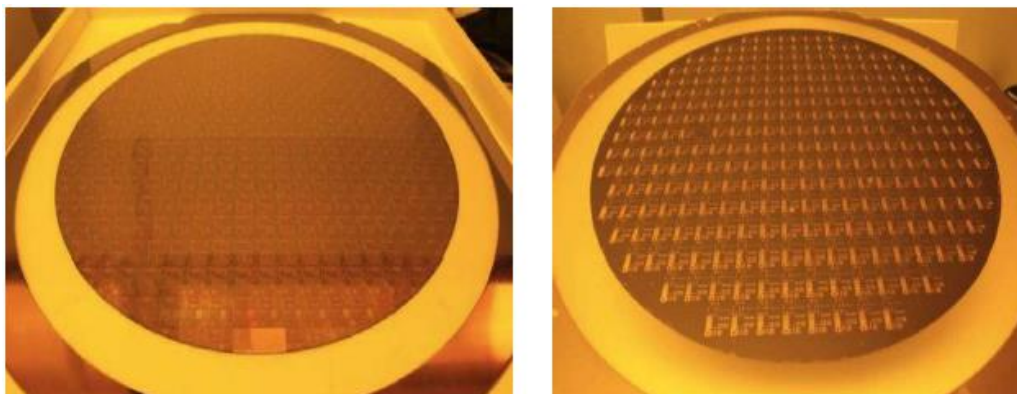


Figure 14 : Wafer aminci à 80 μm après décollement, à gauche la face avant, à droite la face arrière.

Des caractérisations électriques ont montré une bonne uniformité et conformité de la technologie parmi des centaines de structures de test. Parmi elles on peut citer des structures de type Kelvin qui ont permis de mesurer la résistance statique des TSV qui vaut en moyenne 20 m Ω , conformément au calcul théorique [Brocard12]. Des chaînes de TSV (*Daisy Chain*) ont aussi été utilisées pour caractériser la résistance de l'enchaînement connectique RDL-TSV-BEOL. Elle mesure en moyenne 60 m Ω , mais compte 7 m Ω de plus sur certain lot à cause d'une métallisation plus résistante en face arrière, le cuivre des micro-piliers étant de 0.5 μm au lieu de 5 μm .

1.3.3.2 Assemblage 3D et packaging

A la suite du décollement, la plaque est découpée pour être assemblée avec les autres niveaux qui constituent le Wide I/O (Figure 15). L'assemblage est réalisé à l'échelle des puces. Le processeur, qui mesure 6,7x5,4 mm², est monté sur le BGA par thermocompression. La mémoire, mesurant 8,1x7,9 mm², est ensuite montée sur le processeur en configuration F2B également par thermocompression. L'empilement est ensuite enrobé de résine (*Molding*) puis monté sur les billes (*Solder balls*), une vue en coupe montre le résultat final sur la Figure 18.

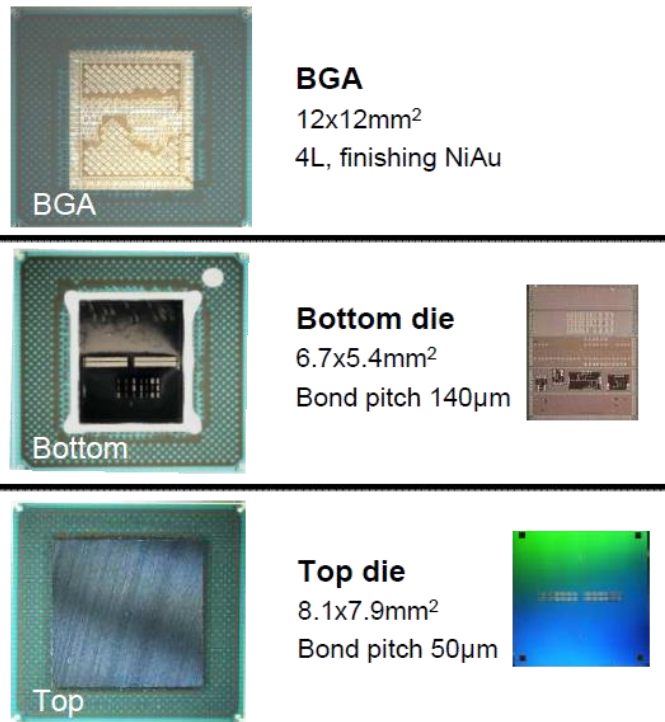


Figure 15 : Vue de dessus du BGA, de la puce du bas et de la puce du haut du Wide I/O.

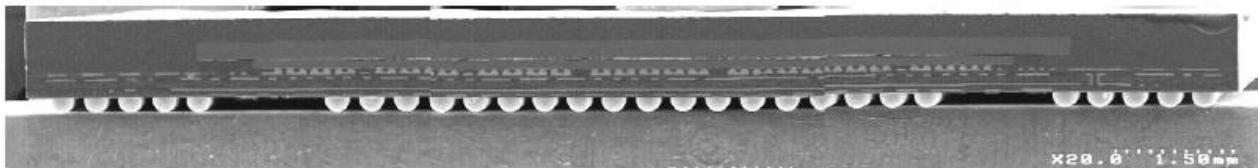


Figure 16 : Vue en coupe au MEB du CI-3D final, avec le *molding* et les *solder balls*.

Un test final est effectué avec une structure *Daisy chain* pour vérifier les contacts électriques à travers le BGA et les deux puces. Sur deux lots, les mesures montent à 83% et 100% de réussite, un excellent résultat pour un prototype aussi innovant..

Des tests de fiabilité ont également été menés : les deux lots ont subi 1000 cycles thermiques de -25 °C à 125 °C. Des tests électriques ont été faits à intervalles et des analyses physiques ont été conduites sur les puces échouant au test. Le taux de réussite après ce test de fiabilité est finalement très haut. Ces premiers résultats sont très encourageants et montrent une bonne stabilité et robustesse de la structure. Les analyses de défaillances permettent d'améliorer encore les procédés 3D.

1.5 La technologie CMOS

Nous présentons maintenant deux éléments au cœur de cette thèse : le silicium et le transistor. Le but est d'en connaître les caractéristiques principales afin de comprendre en quoi et comment le TSV peut potentiellement impacter le fonctionnement des circuits intégrés. Ainsi après avoir abordé les caractéristiques physiques du silicium, les connaissances nécessaires pour la suite de ce manuscrit concernant le MOS, principe de fonctionnement, caractéristiques et modélisations, seront apportées. Un état de l'art de l'impact de l'intégration 3D sur le composant sera dressé, puis nous nous focaliserons sur la bibliographie concernant les mécanismes de couplages par le substrat dans les circuits intégrés classique et 3D pour inspirer la suite des travaux.

1.5.1 Un composant phare du 20^{ème} siècle

Le MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) est une technologie de transistor formé d'une structure métal oxyde semi-conducteur à effet de champ. C'est le composant électronique à la base de tous les circuits intégrés CMOS (*Complementary Metal Oxide Semiconductor*). Ces derniers sont basés sur l'utilisation de deux types de transistors complémentaires : le NMOS dont le courant est porté par les électrons et le PMOS dont le courant est porté par les trous.

Il peut être considéré comme une des découvertes les plus importantes dans l'histoire moderne, comme l'imprimerie en son temps. La technologie (mot qui désigne ici l'ensemble des procédés matériels aboutissant à la fabrication de circuits intégrés) CMOS sur Silicium domine très largement l'industrie de l'électronique. Pourtant le premier transistor (contraction de l'anglais "transfer resistor") construit en 1947 aux Laboratoires Bell Telephone (aux Etats Unis) par Bardeen, Brattain et Shockley, fut un transistor bipolaire à pointes. Le premier transistor MOS ne fut construit qu'en 1961, au même endroit, par Kahng et Atalla, bien que la première publication scientifique décrivant son principe de fonctionnement soit le fait de Lilienfeld en 1928. Kilby de Texas Instruments en 1958 et Noyce de Fairchild Camera and Instrument en 1959 élaborèrent les premiers circuits intégrés bipolaires. Notons enfin que deux ingénieurs de Fairchild, Moore et Noyce, fondèrent Intel en 1968 pour y développer les premiers circuits intégrés MOS.

Il est un élément décisif dans l'évolution technologique de l'électronique. Il permet la réalisation de circuits de traitement d'information dont les performances évoluent exponentiellement depuis plus de 60 ans. Le moteur de cette évolution est la loi de Moore citée au début de ce chapitre. La miniaturisation entraîne entre autres une vitesse de traitement de l'information plus grande pour une plus faible consommation et à moindre coût.

1.5.2 Le silicium

Le silicium est le matériau dans lequel sont intégrés le TSV et le MOS, et par lequel ces deux éléments vont être couplés par des champs électromagnétiques. Il est donc indispensable de connaître ses propriétés physiques.

1.5.2.1 Silicium intrinsèque, semi-conducteur pur

Le Silicium (Si) à l'état solide est un semi-conducteur. Il forme un cristal de type « diamant » selon une structure atomique ordonnée de type tétravalent. En effet cet atome est composé d'un noyau de 14 protons, d'une couche interne avec 10 électrons, et d'une couche périphérique avec 4 électrons, qui forment chacun des liaisons covalente avec l'électron d'un autre atome de silicium.

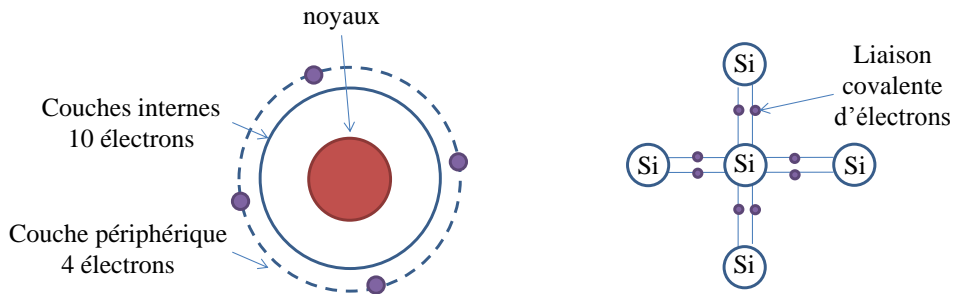


Figure 17 : L'atome de Silicium et le Crystal de silicium

Les électrons dans un matériau conducteur passent librement de la bande de valence à la bande de conduction car elles se recouvrent partiellement ((a) Figure 18). Dans un isolant au contraire aucuns des électrons ne peuvent atteindre la bande de conduction sans apport suffisant d'énergie, nous voyons en (b) leur large bande interdite.

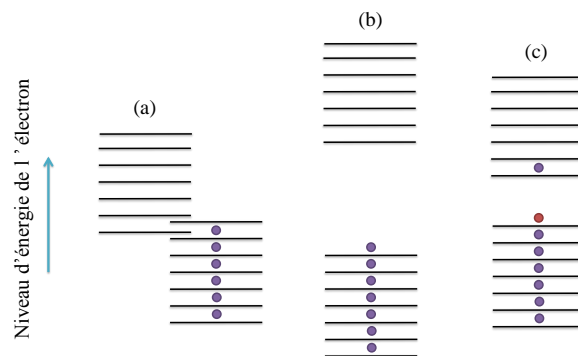


Figure 18 : Les bandes d'énergie d'un conducteur, d'un isolant et d'un semi-conducteur

Le cas du semi-conducteur est intermédiaire : sa bande interdite est courte. Si les électrons de valence ont suffisamment d'énergie thermique, ils peuvent atteindre la bande de conduction, laissant autant de ions positifs, ou de trous, dans la bande de valence. Ce phénomène produit un mécanisme de conduction limité dans le semi-conducteur. A 0K, le silicium est donc un isolant et le silicium a intrinsèquement un nombre d'électrons libres n_i (cm⁻³) dépendant de la température :

$$n_i(T^\circ) = AT^{3/2} e^{-E_g / 2kT} \quad \text{Equation 1}$$

où T (K) est la température, $E_g = E_c - E_v = 1,12 \text{ eV} = 1,79 \cdot 10^{-19} \text{ J}$ est l'énergie de gap entre la bande de valence et de conduction et enfin $K = 1,38 \cdot 10^{-23} \text{ J/K}$ est la constante de Boltzmann

La température a un effet direct sur la mobilité. C'est pourquoi il est intéressant de faire dans la mesure du possible des mesures en températures du silicium. Avec la température, l'agitation thermique augmente et limite la mobilité des porteurs libres et donc la conductivité du silicium.

Chapitre 1 : La troisième dimension dans les circuits intégrés

La température a aussi un impact sur le phénomène d'avalanche dans les jonctions p-n. Sous fort champ électrique, les électrons libres se déplacent et entrent en collision avec d'autres électrons leur fournissant assez d'énergie cinétique pour les mettre en conduction, et ainsi de suite. Ce phénomène entraîne la destruction du matériau. On définit alors le champ électrique critique ou champ de claquage EBR du matériau.

Avec la température, le risque de collision des électrons avec le réseau augmente et réduit leur libre parcours. Le phénomène d'avalanche apparaît donc à plus fort champ ce qui se traduit par une meilleure tenue en tension.

1.5.2.2 Semi-conducteur dopé, dopage du silicium

Dans un semi-conducteur intrinsèque, ou pur, tous les électrons présents dans la bande de conduction proviennent de la bande de valence. Il y a donc autant d'électrons que de trous : $n = p = n_i$; n_i est la concentration intrinsèque. Le dopage sert à modifier cet équilibre entre les électrons et les trous, pour favoriser la conduction électrique.

Le silicium appartient à la colonne IV de la classification périodique des éléments. L'introduction d'un élément de la colonne III ou V dans le réseau silicium crée soit un atome accepteur soit donneur.

Le dopage de type N consiste à implanter du Phosphore, de l'Arsenic, ou de l'antimoine pour créer des donneurs, soit un excès d'électrons chargés négativement (Figure 19).

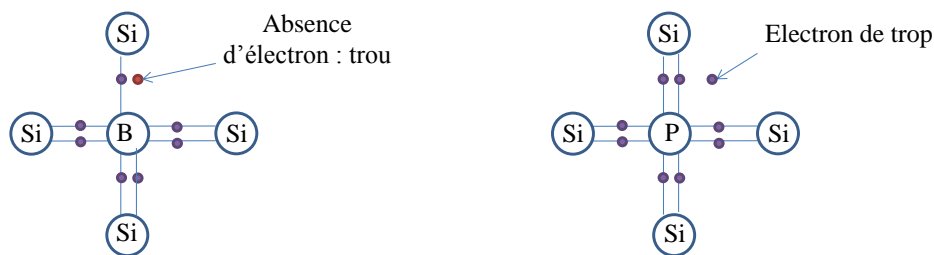


Figure 19 : Silicium dopé au Bore ou au Phosphore

Le dopage de type P consiste à implanter du Bore, de l'Aluminium, du Gallium ou de l'Indium pour créer des accepteurs, soit un excès de trous considérés comme positivement chargés. Ces différents dopages permettent de former les transistors MOS.

1.5.3 Le Transistor MOS

Il est question ici de poser les bases du fonctionnement du transistor pour comprendre par la suite comment des perturbations liées aux procédés 3D peuvent l'impacter.

1.5.3.1 Principe

Le MOSFET se compose d'une électrode de commande, la grille, qui contrôle en tension l'ouverture du canal, d'un diélectrique qui isole la grille du canal et de deux réservoirs de porteurs (électrons ou trous respectivement pour le type N et P) appelés source et drain. (Figure 20).

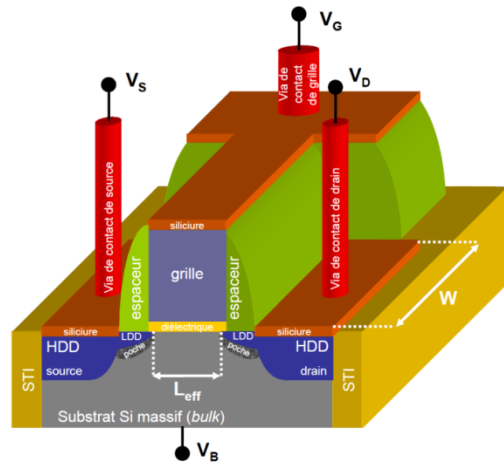


Figure 20 : Représentation schématique d'un transistor MOS

1.5.3.2 Caractéristiques d'un transistor MOS

Un transistor MOS à canal n (NMOS) se représente généralement par les symboles suivant :

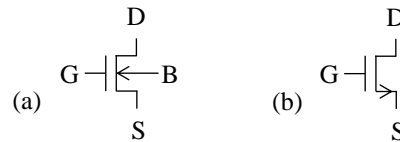


Figure 21 : Symboles de transistor nMOS: a) Transistor MOS accessible par ces quatre terminaux, b) Transistor MOS dont la source est raccordée au substrat (bulk).

Le premier symbole désigne le transistor comme étant un système accessible par quatre points, le drain, la source, la grille et le substrat (bulk), et comme une structure symétrique vis-à-vis du drain et de la source. Le deuxième symbole désigne un transistor MOS dans lequel la source est accordée au substrat à l'intérieur du composant. Le substrat et la source sont donc indisponibles en tant que terminaux indépendants. Par conséquent, cette structure n'est pas symétrique ; la flèche dessinée au niveau de la source désigne le sens réel du courant dans le canal.

L'équation décrivant le fonctionnement d'un transistor MOS en régime statique s'écrit :

$$I_D = f(U_{GS}, U_{DS}) \begin{cases} 0, & U_{GS} \leq U_{th} \\ \frac{W}{L} \cdot \mu_n \cdot C_{ox} \left((U_{GS} - U_{th}) - \frac{U_{DS}}{2} \right) U_{DS}, & \begin{cases} U_{DS} < U_{GS} - U_{th} \text{ (linéaire)} \\ U_{GS} > U_{th} \text{ (saturé)} \end{cases} \\ \frac{W}{L} \cdot \frac{\mu_n \cdot C_{ox}}{2} (U_{GS} - U_{th})^2, & \begin{cases} U_{DS} \geq U_{GS} - U_{th} \\ U_{GS} > U_{th} \end{cases} \end{cases} \quad \text{Equation 2}$$

W et L désignent les largeurs et longueur du canal. Pour la technologie 65 nm, W = 65 nm, et la longueur L est ajustée en fonction de la quantité de courant désirée. Elle peut varier du micron à la dizaine de micromètres. C_{ox} désigne la capacité liée à l'épaisseur d'isolant sous la grille, et μ_n la mobilité des porteurs dans le canal, soit du silicium dans lequel est intégré le transistor. U_{th} est la tension de seuil, qui est égale pour la génération 65 nm à environ 0,45 V.

On peut donc représenter le transistor comme un quadripôle (Figure 22) dont on contrôle les entrées, la grille et la source, par les tensions grille-source U_{GS} et le courant I_G, et dont on récupère

en sortie la tension drain-source U_{DS} et le courant de drain I_D .

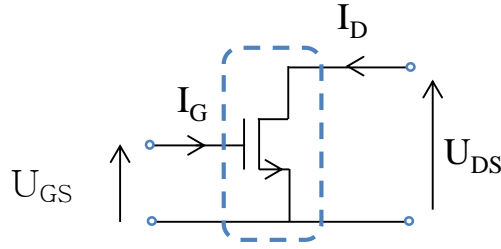


Figure 22 : Transistor en tant qu'un quadripôle.

Un transistor MOS se définit généralement par deux caractérisations statiques dont les résultats sont présentés sous forme graphique. Une première donne la relation entre le courant du drain et la tension grille-source à tension drain-source constante telle que $U_{DS} > U_{GS} - U_{th}$, c'est-à-dire en régime de saturation. Représentant ainsi la relation entre la grandeur de sortie et la grandeur d'entrée, ce graphique est donc la caractéristique de transmission ou de transfert statique du transistor :

$$I_D = f_1(U_{GS}) \Big|_{U_{DS} = Ct, U_{DS} \geq U_{GS} - U_{th}} \quad \text{Equation 3}$$

La seconde caractéristique donne la relation entre le courant de drain et la tension drain-source pour une tension grille-source constante, c'est la caractéristique de sortie du transistor :

$$I_D = f_2(U_{DS}) \Big|_{U_{GS} = Ct} \quad \text{Equation 4}$$

Le lecteur peut observer des exemples concrets de ces caractéristiques graphiques dans le chapitre 4 au 4.1.2. Le graphique de la fonction $I_D(U_{DS})$ montre bien qu'un transistor MOS est un dipôle non-linéaire dont la caractéristique courant-tension est commandée par une tension. Le dipôle est formé par le canal, et c'est la tension grille-source qui fixe sa caractéristique courant-tension.

Idéalement pour les concepteurs de circuits intégrés, les performances des transistors devraient être figées à partir du moment où le procédé d'intégration est terminé. Leurs caractéristiques sont connues avec précision grâce à des tests expérimentaux. A ST, il s'agit des tests PT qui fournissent les données typiques et les *corners*, c'est-à-dire les fourchettes de valeurs dans lesquelles sont comprises les grandeurs électriques. Ces mesures sont en outre ajustées à des modèles électriques comportementaux type SPICE qu'ils utilisent pour concevoir des fonctionnalités et prédire les performances de leurs circuits. Pourtant, des phénomènes post-process, liés au fonctionnement, vieillissement et environnement de la puce, peuvent venir les impacter. Dans le cas de la co-intégration avec la 3D, des phénomènes durant le procédé vont aussi apparaître. Ces phénomènes impactant leur performance font l'objet de la prochaine partie.

1.7 Impact de la technologie 3D avec les technologies CMOS

L'intégration de cette nouvelle technologie 3D conjointement à la technologie des transistors MOS pose de nombreuses questions de compatibilité. Ces questions sont tout à fait légitimes, notamment si on réalise la différence d'échelle entre les deux technologies (Figure 23).

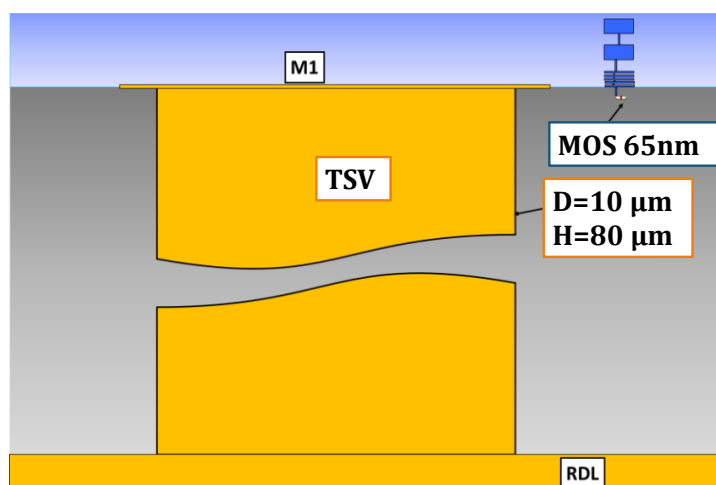


Figure 23 : Représentation schématique à l'échelle d'un TSV Middle de diamètre $10\ \mu\text{m}$ face à un transistor MOS du nœud 65 nm

Les composants CMOS existant n'ont pas été conçus en tenant compte des effets de l'intégration 3D. Cette problématique de compatibilité doit cependant être étudiée le plus en amont possible pour relever les problématiques potentielles et apporter des solutions intégrées dans la conception des circuits intégrés 3D.

1.7.1 Etat de l'art des phénomènes liés à l'intégration 3D impactant le MOS

La maîtrise de performances du transistor MOS représente un défi permanent pour l'industrie de la microélectronique. La technologie d'intégration 3D, en phase d'être maîtrisée du point de vue procédé, n'émergera pas si l'intégrité du fonctionnement des composants CMOS n'est pas assurée. La mobilité des porteurs μ_n et μ_p , les caractéristiques $I_D(V_D)$ $I_D(V_G)$ et tension de seuil, les temps de commutation, les courants de fuite sont autant de caractéristiques qu'il faut vérifier pour valider l'intégration.

Le TSV est identifié comme agresseur potentiel car il constitue un nouvel environnement physique et électromagnétique potentiellement dangereux du fait de l'importante différence d'échelle avec les CMOS. C'est pourquoi on trouve déjà fin 2010 (début de la thèse) de nombreuses études de la compatibilité des technologies 3D avec celles des CMOS, alors même que le procédé n'est ni figé, ni totalement maîtrisé. Plusieurs problématiques sont identifiées par les auteurs.

1.7.1.1 Impact du procédé d'intégration

L'impact de l'amincissement du silicium à 4,5 μm , soit un amincissement très agressif, sur les caractéristiques du MOS du nœud 65 nm a été étudié (Figure 25) et révèle des impacts négligeables sur les performances des MOS du nœud 65 nm [Chaabouni10] [Leduc10]. [Kauerauf13] obtient le même type de résultat, pas d'effet notable du procédé TSV sur les performances et la fiabilité des composants.

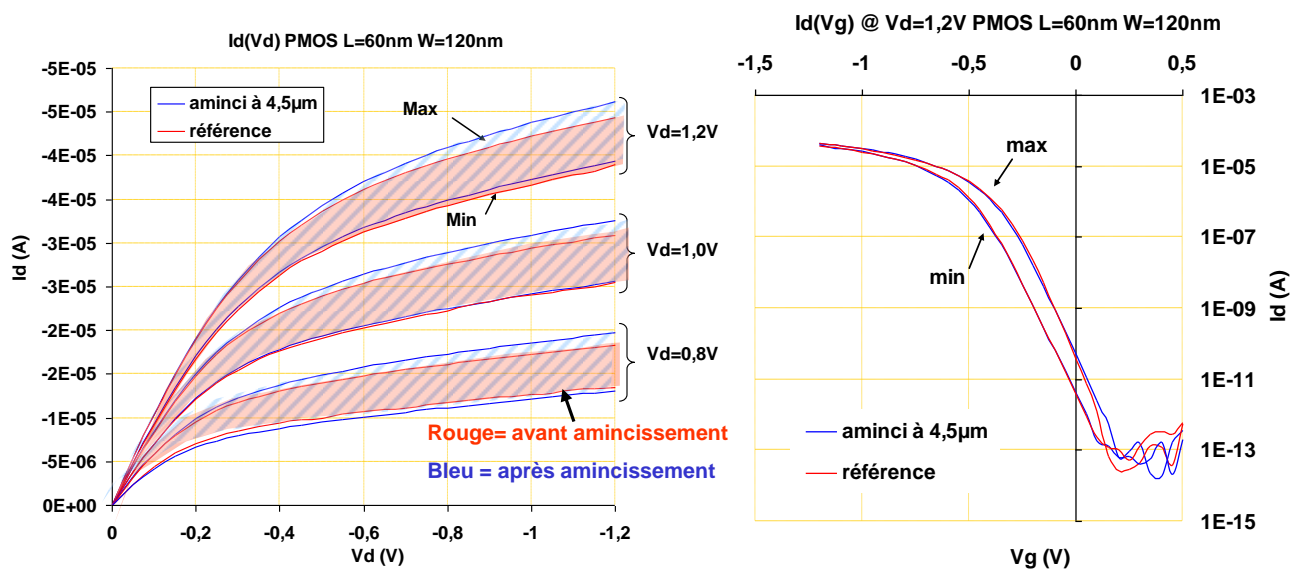


Figure 24 : Caractérisation du PMOS (L=60nm W=120nm) avant et après amincissement [Leduc10].

Les problématiques de stress thermomécanique ont fait l'objet de nombreuses publications. Ce problème est dû à la différence de coefficient de dilatation thermique du cuivre du TSV et du silicium. Après le remplissage de cuivre du TSV des recuits sont indispensables pour stabiliser le métal mais se traduit donc par une génération de contraintes dans le volume du silicium. Or ces contraintes imposées au semi-conducteur modifient sa structure de bande car elle diminue les symétries du cristal. L'énergie de bande interdite est alors modifiée, et les dégénérescences de la bande de conduction et de la bande de valence sont levées, ce qui impacte la mobilité des porteurs dans le silicium. Les études menées [Leduc10] montrent cependant que les effets produits dans la cadre de l'intégration 3D sont courte-distances, avec des variations de mobilité inférieures à 5% à 4 μm du TSV (Figure 25).

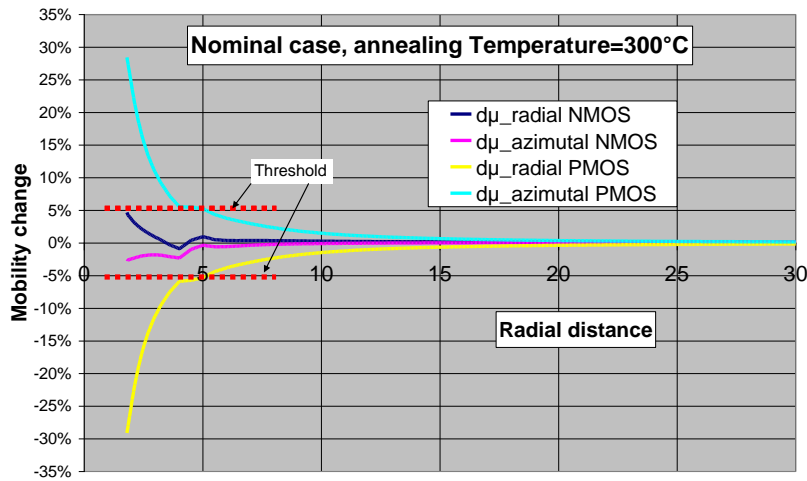


Figure 25 : Impact du stress généré par le TSV ($3\mu\text{m} \times 10\mu\text{m}$) sur la mobilité des porteurs [Leduc10].

La modification de la structure de bande induite par la contrainte affecte aussi la tension de seuil [Zhang05] [Kumar07] et le courant de grille [Garros09]. Ces dernières études ont été réalisées dans le cadre de l'intégration classique, et cette propriété du silicium est d'ailleurs exploitée pour améliorer la conductivité dans le canal et donc améliorer les performances du transistor en contraignant le silicium lors du procédé [Rochette08]. Dans le cadre de la 3D, il faut savoir dans quelle mesure le TSV génère des contraintes. Dans les études dans le cadre de l'intégration 3D les niveaux de stress générés autour du TSV dans le silicium sont simulés (Figure 26) et des mesures expérimentales des caractéristiques du MOS sont réalisées pour vérifier leurs performances [Huang12][Tsai13].

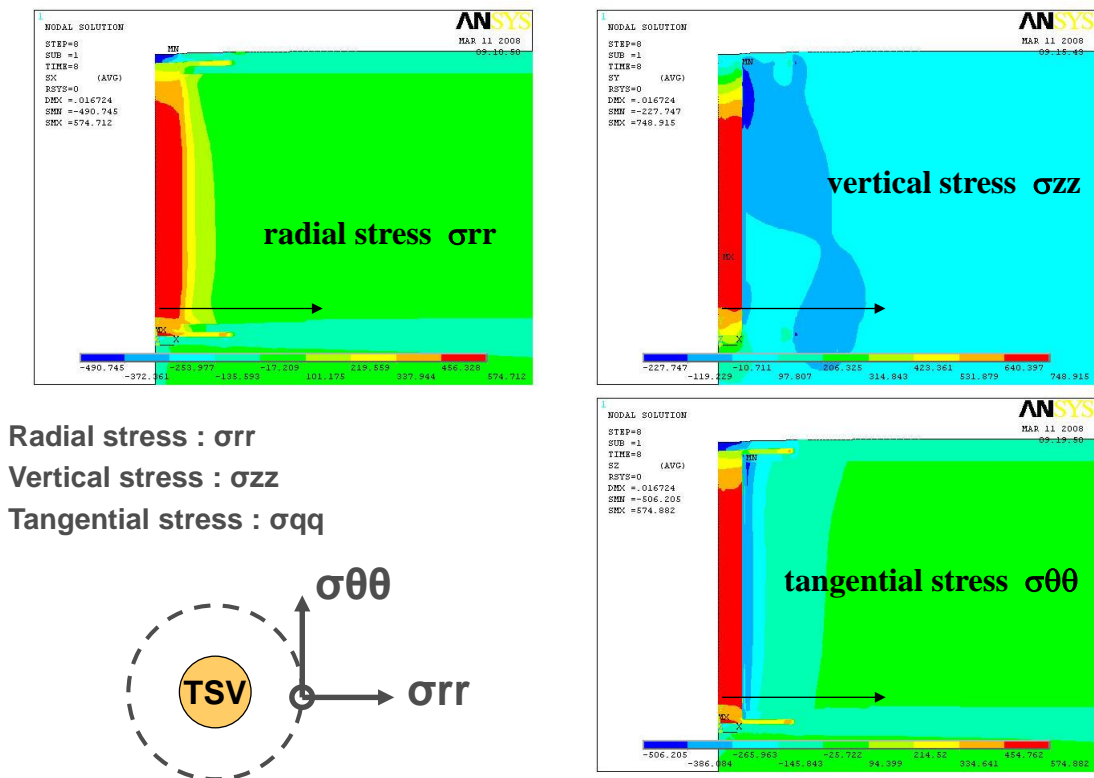


Figure 26 : Vue en coupe du stress radial, vertical et tangential généré par le TSV [Leduc10].

L'ensemble des résultats montrent que les effets thermomécaniques sont des effets courte-distance et pour solutionner le problème des zones d'exclusion de seulement quelques microns, dépendant des dimensions du TSV et du procédé, sont préconisées autour du TSV.

1.7.1.2 Effets parasites post-process

Les atomes de cuivre ont pour propriété de diffuser facilement dans le silicium, modifiant sa nature semi-conductrice. Si l'isolation et la barrière à la diffusion du cuivre du TSV présente le moindre défaut, ce phénomène risque d'arriver.

1.7.1.3 Impact lors du fonctionnement

Le TSV est destiné à transmettre des signaux de toute nature, dont des signaux haute fréquence et/ou aux fronts de montés agressifs, de l'ordre de quelques dizaines de picosecondes (en 65 nm). Des modèles électriques du TSV validés expérimentalement [Cadix10] sont proposés dans de nombreuses publications, le lecteur pourra le constater dans la revue des modèles de TSV isolés et couplés proposée en annexe 1. La modélisation du couplage électromagnétique entre deux TSV constitue une étape essentielle pour la réalisation de circuits 3D intégrant un grand nombre de TSV. La technologie permet de proposer des pas agressifs, par exemple de 40 μm pour le via middle alors que les TSV ont une longueur de 80 μm . L'avantage d'avoir une densité élevée d'interconnexion doit être vérifié en montrant qu'elle n'induit pas de phénomènes de couplages parasites problématiques pour les circuits. Les modèles du TSV isolé (Figure 27) et des TSV couplés sont proposés pour différentes technologies de TSV et différent en termes d'hypothèses sur les matériaux et de prise en compte ou non de phénomènes magnétiques et électriques. Les auteurs montrent que le TSV est une interconnexion inductive, résistive, capacitive et couplée au substrat. Ces mêmes auteurs proposent différentes approches pour le calcul des éléments du modèle.

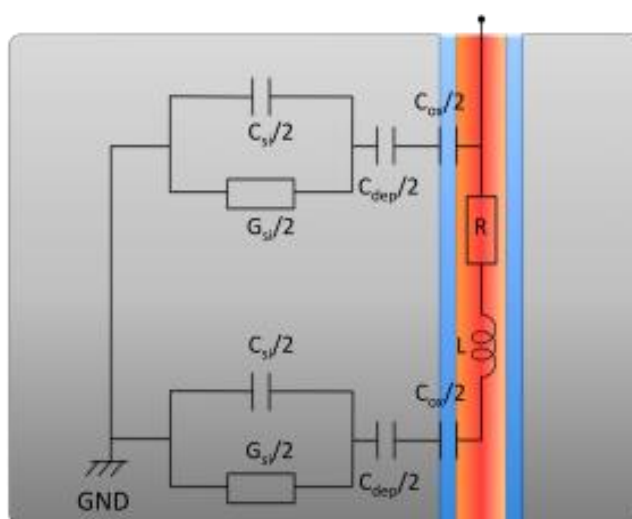


Figure 27 : Modèle du TSV et du silicium

L'impact sur la transmission de signaux agressifs a donc été étudié dans la Thèse de L. Cadix [Cadix11]. Une étude paramétrée et un plan d'expériences sont réalisés et permettent à l'auteur de donner des directives pour réduire les délais de propagation des signaux en jouant sur la technologie

et/ou le design. Par exemple, les signaux peuvent être redressés par des *buffers* en sortie du TSV.

La fuite de courant à travers l'isolant SiO_2 du TSV est aussi une problématique soulevée dans la partie fonctionnement. Au tout début de cette thèse, une caractérisation des modes de conduction en température a été réalisée, montrant un mode de conduction de type Schottky. Cette étude est présentée en annexe 2. Les courants de fuite mesurés restent tout à fait acceptables, permettant de valider l'épaisseur et la qualité de l'isolant et de la barrière du TSV.

Enfin, étant donné que le TSV est couplé avec le substrat et que le MOS l'est aussi (Figure 28) la problématique traitée dans cette thèse apparaît naturellement: le couplage électromagnétique entre le TSV et le MOS se traduisant par la génération de perturbation dans le substrat. L'état de l'art sur les perturbations substrat fait l'objet de la prochaine partie.

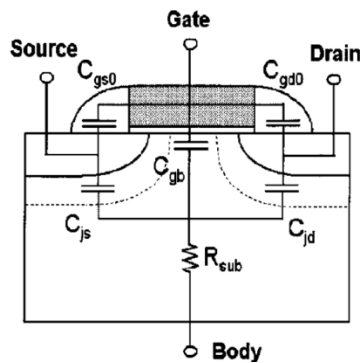


Figure 28 : Modèle du MOS couplé au substrat.

La Figure 29 est présentée en guise de bilan pour cette partie. Elle illustre les différents phénomènes pouvant avoir un impact sur les circuits intégrés en 3D lors de leur fonctionnement.

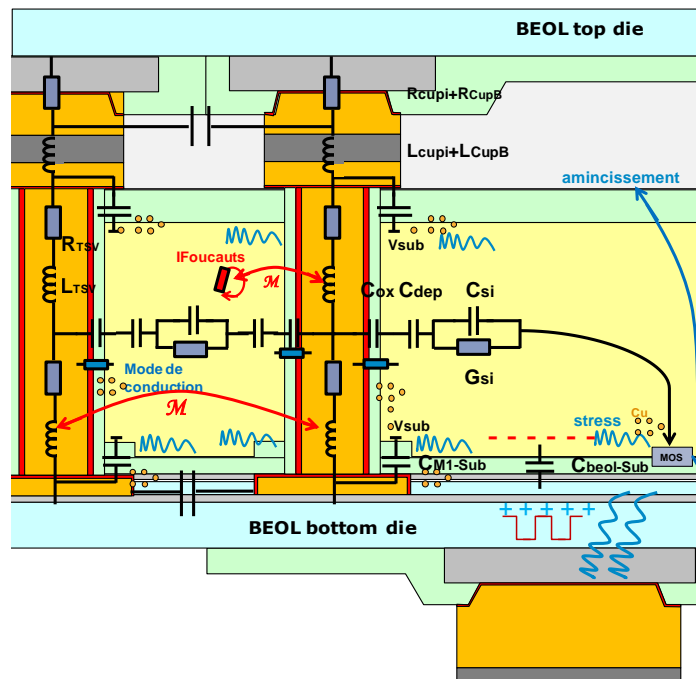


Figure 29 : Schéma de synthèse modélisant le comportement électrique du TSV et les impacts du TSV liés au fonctionnement.

1.7.2 Phénomènes de couplage par le substrat

Dans le cadre de notre sujet, nous nous focalisons maintenant sur l'état de l'art concernant les études des phénomènes électromagnétiques indésirables dans le substrat, résultat des diaphonies entre les composants et les interconnexions 3D, qui impactent le fonctionnement des circuits. Nous verrons que dans le cadre de l'intégration classique, les phénomènes de couplage par le substrat sont étudiés depuis des décennies et fournissent de bonne piste d'étude, car, en effet, dans celui de l'intégration 3D, la littérature est encore très pauvre.

1.7.2.1 Le bruit substrat dans les circuits classiques 2D

La conception de systèmes sur une unique puce représente un des freins actuels de l'industrie du semi-conducteur. De nombreux problèmes de compatibilité en termes de matériaux, de procédés d'intégration et de fonctionnalités sont liés à ce nouveau paradigme. L'association et la promiscuité de circuits de natures, de fonction et de plage de fréquence (operating mode) différentes sur un même substrat (placées à des distances proches) relève du défi. Dans ce contexte, il est bien connu que la conception de circuit en présence de bruit substrat est extrêmement critique et représente une des pires problématiques.

Cette problématique a souvent été résolue de manière arbitraire et grossière, c'est-à-dire non optimisé en fonction des niveaux de bruit admissibles. Pour minimiser l'impact du bruit substrat sur les parties actives, les solutions consistent bien souvent à surdimensionner les distances critiques entre les deux blocs fonctionnels. Ces solutions limitent les avantages des avancées technologiques. Pour ces raisons, la caractérisation et la modélisation du bruit substrat est de plus en plus un nouvel objet d'attention.

Le bruit substrat peut se décomposer en un bruit intrinsèque (résistivité du substrat et excitation thermique), et en un bruit de changement d'état (*switching noise*). Le premier est relativement faible par rapport au second, il est d'ailleurs généralement ignoré dans les outils d'analyse.

1.7.2.2 Les perturbations substrat dans les circuits 3D

Dans le contexte de l'intégration 3D, on ne parle plus seulement de bruit substrat, toujours d'actualité puisque le couplage entre MOS existera toujours dans les circuits intégrés 3D, mais aussi de perturbations substrat. Ces perturbations sont générées par le TSV et résultent du couplage entre le TSV et les circuits.

Dans la littérature, les études qui touchent au sujet des perturbations substrat sur les MOS sont essentiellement académiques et sont basées uniquement sur la simulation [SoPak11][Rousseau09]. En effet les universités n'ont pas souvent les moyens ou les partenariats pour intégrer du silicium. De plus, la rareté des études peut être liées au fait qu'il faut, pour traiter le sujet, compter sur l'accès à des compétences multiples et les croiser: technologie, conception de structure, mesure, radiofréquence, simulation, modélisation, CEM, physique des transistors...Le manque de données peut aussi venir du fait que le sujet est jugé sensible par les concurrents du secteur et reste donc

confidentiel. Les premières mesures expérimentales répertoriées du couplage RF entre TSV et les parties actives datent de 2012.

1.7.2.3 Etat de l'art sur le couplage du substrat avec l'actif

La littérature en intégration 3D concernant le couplage TSV-MOS est pauvre fin 2010. Cependant, celle concernant le couplage entre les transistors dans le cadre de l'intégration classique apporte des connaissances et éléments de compréhension utiles. Nous cherchons par exemple des données sur la sensibilité des circuits par rapport au bruit substrat, pour savoir quel type d'application serait potentiellement le plus sensible aux perturbations générées par les TSV, et avoir une idée des seuils de criticité. Ceux-ci varient cependant énormément en fonction du nœud technologique et de l'architecture du circuit. C'est le fonctionnement des circuits amplificateurs, tels que les LNA (*Low Noise Amplifier*) qui serait susceptible d'être le plus impacté. En effet, il est facile de comprendre qu'un LNA amplifierait la moindre perturbation parasite. De plus, dans cette littérature, les auteurs proposent des modèles de couplage composant-silicium, validé par des mesures. Par extension avec le modèle du TSV, il serait possible de proposer un modèle TSV-substrat-MOS.

Il semble donc indispensable de s'approprier la littérature concernant le couplage entre les composants semi-conducteurs. Les premières publications concernant l'étude du couplage entre les transistors remontent aux années 90. Cette problématique semble apparaître avec l'émergence des SoC. Elle est liée au fait que les circuits doivent être de plus en plus compact et que des fonctionnalités différentes se retrouvent intégrées à proximité sur le même silicium. Cette proximité dans le silicium induit des enjeux de couplage et de bruit substrat que les concepteurs de circuits à signaux mixtes doivent relever (*Mixed Signal Designers*).

Dans [Chang99] l'auteur soulève cette problématique dans le cadre de l'émergence des systèmes de communication optoélectroniques, dans lesquels microprocesseur et circuits analogiques sensibles au bruit substrat sont embarqués sur la même puce. Le signal d'horloge du microprocesseur (du nœud technologique 0,8 μ m) est susceptible de générer des perturbations dans le substrat émanant du couplage par le substrat entre les deux fonctions. Les circuits analogiques embarqués avaient alors des sensibilité à -28 dBm. Différentes solutions telles que des anneaux de garde (*guard ring*) de types P+ ou Nwell, le STI et des *MOSCAP* sont proposées et validé dans certaines topologies de design pour réduire les niveaux de bruit en simulation SPICE. [Lee03] valide la solution du caisson d'isolation Nwell à travers des mesures en temporel.

Les modélisations des couplages entre MOS diffèrent selon les auteurs. [Pfoest96] propose un modèle RC du silicium pour le cas d'étude du couplage entre transistors bipolaires (Figure 30), tandis que [Liu99] modélise le silicium comme étant un réseau de résistances (Figure 31). Ce modèle n'est plus suffisant pour les fréquences auxquelles nous travaillons.

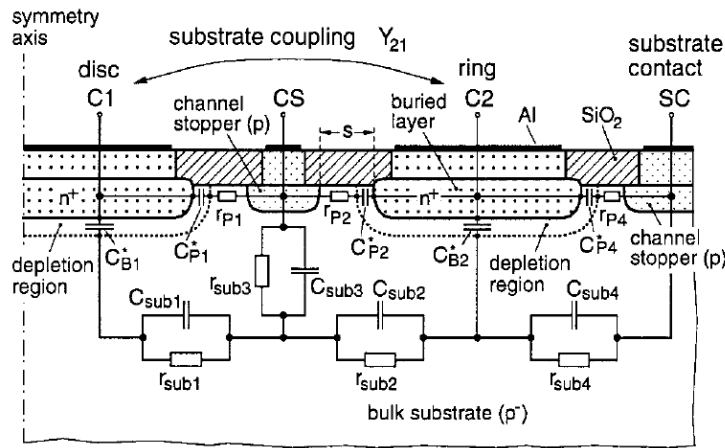


Figure 30 : Modèle du couplage entre bipolaires [Pfo96].

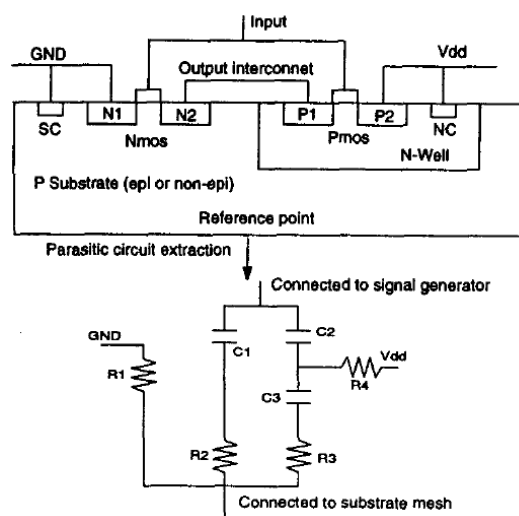


Figure 31 : Modèle de couplage parasite entre inverseur (NMOS et PMOS) et substrat [Liu99].

Ces études montrent ainsi les différentes solutions d'isolation ou de réduction du bruit substrat développées dans le cadre de l'intégration classique, ainsi que la modélisation du couplage parasite entre actif et silicium. L'efficacité de ces solutions peut être étudiée dans le cadre de l'intégration de circuits intégrés 3D.

1.7.3 Synthèse

Les différents types de problématiques (thermomécaniques, procédé) liées à l'impact de la 3D sur les MOS ont été répertoriées de manière à les prendre en compte et les décorrélées de notre étude électromagnétique. Des méthodes pour étudier le couplage par le substrat entre MOS, dans le cadre de l'intégration classique pose des bases pour traiter le cas du couplage par le substrat entre TSV et MOS. Dans l'intégration 2D, les enjeux relatifs au bruit substrat sont pris en considération depuis les années 90 et de nombreuses solutions de design et d'intégration ont été développées et validées. Des modèles de couplage MOS- Silicium sont proposés. Des modèles de couplage TSV-Silicium le sont également, il « suffirait » donc de mettre les deux à la suite... Cependant la grande difficulté, qui s'illustrera à travers les résultats expérimentaux de cette thèse, réside dans le fait que le substrat

Chapitre 1 : La troisième dimension dans les circuits intégrés

Bulk traversé par le TSV, et au travers duquel se produisent les phénomènes électromagnétiques, a des propriétés mal connues, puisqu'il était considéré jusque-là par les concepteurs de puces comme un support mécanique. Les modèles de couplage entre MOS se limitent en réalité dans l'épaisseur de silicium épitaxie (300 nm) dont les propriétés sont parfaitement connues en termes de conductivité. Par conséquent, la littérature 2D nous inspire, mais le challenge à relever dans cette thèse sera de définir de nouvelles méthodes de caractérisation du couplage à travers le volume de substrat bulk.

1.9 Le sujet de la thèse

1.9.1 Les enjeux

La conception des systèmes électroniques complexes contenant des fonctionnalités multiples (analogiques, numériques, de puissance, radiofréquence...) nécessite une étude amont de la CEM (compatibilité électromagnétique) du fait la mixité des signaux qui seront transmis dans les TSV. Les signaux les plus agressifs, par exemple le signal d'horloge d'un processeur dont la fréquence est supérieure aux gigahertz, peut générer par diaphonie des perturbations dans les MOS, ou encore dans les TSV alentour.

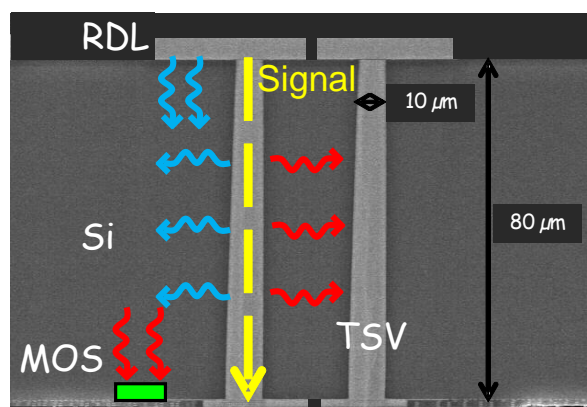


Figure 32 : Schéma explicatif de la problématique du couplage substrat

Certaines applications électroniques, tels que les LNA (Low Noise Amplifiers), sont sensibles à des faibles niveaux de perturbations et l'effet des diaphonies avec le TSV peuvent en altérer leurs performances [Chang99]. Ces phénomènes sont d'autant plus importants que les signaux véhiculés dans les TSV possèdent un large spectre fréquentiel.

Dans l'état de l'art en 2010, nous avons pu constater que très peu d'études touchent au sujet des perturbations substrat sur les MOS et qu'il y a un manque cruel de résultats expérimentaux. Dans tous les cas, aucune étude n'est faite sur les technologies 3D. Le besoin de résultats expérimentaux est donc évident.

L'objectif de la thèse est donc d'apporter des mesures du niveau de couplage entre le TSV et les MOS, pour ensuite comprendre les mécanismes, via la modélisation de la structure, afin de déterminer des solutions potentielles pour limiter les perturbations substrat collectées par les MOS appartenant à des circuits sensibles. Pour atteindre ces objectifs, différents moyens sont utilisés.

1.9.2 Démarche

La démarche suivante est proposée pour répondre aux objectifs de la thèse. Nous avons procédé par étapes pour les atteindre. Cette thèse s'articule, comme le montre la Figure 33, autour de quatre cas d'études : le TSV isolé, les TSV couplés, le TSV couplé avec des caissons dopés, et enfin le TSV couplé au transistor MOS.

Chaque cas d'étude comporte un volet expérimental, avec la caractérisation de structures de test jusqu'à 40 GHz conçue spécifiquement et intégrées sur silicium. Un volet simulation permet d'enrichir et d'appuyer les résultats de mesure. Enfin le volet modélisation permet de démontrer la compréhension des phénomènes électromagnétiques en jeu via des extractions de modèles à partir des mesures et des simulations. Des méthodes d'extraction (ou deembedding) spécifiques à l'architecture 3D sont en outre définies pour extraire les couplages en s'affranchissant des contributions de l'environnement grâce, notamment, à des motifs dit de deembedding conçus spécialement.

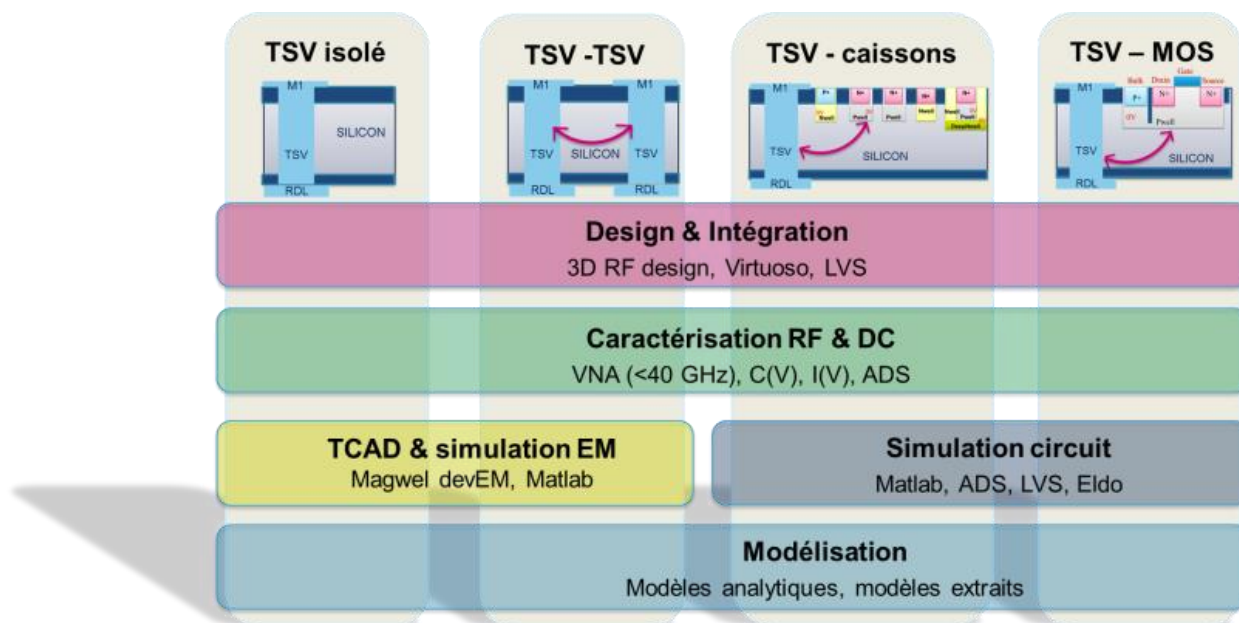


Figure 33 : Méthodologie adoptée pour l'étude du couplage TSV-MOS.

L'étude commence avec le TSV en configuration isolée. Pour traiter avec pertinence les effets électromagnétiques que ce dernier peut avoir sur le transistor MOS, il s'avère nécessaire de connaître parfaitement son propre comportement électromagnétique et d'établir un modèle analytique pour prédire la façon dont il va générer des perturbations dans le substrat. La validation expérimentale de cette étude est réalisée grâce à des motifs de test relativement simple.

Pour caractériser le couplage à travers le substrat, des motifs plus complexes sont élaborés. Leur enjeu principal est de réussir à extraire les niveaux des signaux de diaphonie avec une sensibilité suffisante compte tenu du fait que le dispositif est totalement enfoui dans le substrat et accessible seulement à travers des interconnexions. Une méthode spécifique d'extraction du couplage doit être mise en place. L'étude des TSV couplés est un excellent prétexte pour la valider.

L'étude du TSV couplé avec des caissons dopés est une étape intermédiaire entre la structure passive des TSV couplés et la structure active du TSV couplé au MOS. Elle apporte des éléments de compréhension pour la suite grâce à l'établissement d'un modèle du couplage entre le TSV et les caissons dopés polarisées. Le couplage se révèle être majoritairement de nature électrique jusqu'à 40 GHz et fortement dépendant des polarisations appliquées entre le substrat bulk et les caissons, cela dû à l'effet des diodes.

Chapitre 1 : La troisième dimension dans les circuits intégrés

Ce pont nous permet d'aborder notre dernier cas d'étude largement plus complexe du couplage entre le TSV et le transistor MOS. La méthode d'extraction permet de mesurer le niveau de diaphonie entre le TSV et la grille et le drain de différents types de MOS. La compréhension des mécanismes de couplage se base sur les modèles simulés de ces MOS, modèles extraits des bibliothèques ST, et de la théorie des MOS, ce qui ouvrira la voie à l'identification de solutions.

Chapitre 2

Modélisation du TSV et du silicium

Table des Matières

Chapitre 2	39
2.1 Les structures de test	44
2.1.1 Structures utilisées	44
2.1.2 Technologie.....	45
2.2 Technique de simulation	48
2.3 Modèle analytique physique des TSV	50
2.3.1 Description du modèle	50
2.3.2 Calcul des éléments du modèle.....	51
2.3.2.1 Capacités C_{OX} et C_{DEP}	51
2.3.2.2 Capacité C_{SI} et conductance G_{SI}	51
2.3.2.3 Capacité des plots C_{RDL} et C_{MI}	52
2.3.2.4 Résistance et inductances	53
2.3.3 Application numérique.....	54
2.4 Mesure des éléments du modèle.....	55
2.4.1 Modèle en fonction de la fréquence et de la polarisation	55
2.4.2 Simulation de la capacité en fréquence.....	56
2.4.3 Diagramme de la démarche.....	57
2.5 Caractérisation basses fréquences en open $\{C_{OX} C_{MI} C_{RDL} C_{DEP}\}$	59
2.5.1 Résultats expérimentaux	59
2.5.2 Particularités de la structure 3D	60
2.5.2.1 Le régime d'inversion.....	60
2.5.2.2 Le potentiel de transition	61
2.5.3 Confrontation de la mesure au modèle et à la simulation	61
2.5.3.1 Simulation.....	61
2.5.3.2 Modèle analytique	61
2.5.3.3 Résultats.....	62
2.5.4 Bilan sur la caractérisation BF	62
2.6 Caractérisation haute fréquence en transmission $\{R_{TSV} L_{TSV} M\}$	63
2.7 Caractérisation haute fréquence en open $\{C_{SI} G_{SI}\}$	66
2.8 Méthodologie d'extraction 4 ports	69
2.8.1 Technique de de-embedding et extraction des modèles.....	69
2.8.1.1 Formalisme des matrices 4 ports	69
2.8.1.2 Partie électrique	71
2.8.1.3 Partie magnétique	73
2.8.2 Le dispositif de test	76
2.8.2.1 Validation de l'étape technologique	77

Chapitre 2 : Modélisation du TSV et du silicium

2.8.2.2	Modèle électrique des TSV couplés	78
2.8.3	Résultats d'extraction pour les résistances et inductances.....	78
2.8.3.1	Résistance	78
2.8.3.2	Inductance.....	79
2.8.4	Résultat d'extraction pour la conductance et la capacité	80
2.8.5	Conclusion sur la méthodologie 4 ports.....	81
2.9	Conclusion du chapitre.....	82

Chapitre 2 : Modélisation du TSV et du silicium

Ce chapitre est dédié à la modélisation en fréquence, de 0 à 40 GHz, du comportement électrique des TSV Middle de la technologie 3D, du substrat Bulk, et de leurs interactions. Nous proposons un modèle physique et analytique complet des TSV, les agresseurs de notre système. Ce modèle permettra de prendre en compte les phénomènes magnétiques et électriques, via le substrat, impactant la transmission des signaux dans les TSV.

Soulignons qu'il est nécessaire d'étudier le couplage entre TSV car ils sont généralement disposés en matrices denses dans les puces 3D. De plus, l'étude des TSV couplés est une étape nécessaire pour la compréhension et la mise en place d'un modèle électrique décrivant les phénomènes de couplage substrat avec les transistors MOS.

Les structures de test choisies pour l'étude et leur technologie seront décrites dans une première partie. Elles ont été sélectionnées sur différents jeux de masque. Ensuite nous présenterons le modèle analytique qui prédit le comportement des TSV en fonction de paramètres géométriques et technologiques. Dans la partie suivante, une stratégie sera élaborée pour le valider. Ainsi, la modélisation sera validée par des mesures basses fréquences puis hautes fréquences, appuyées par des simulations multi physiques. Dans la dernière partie de ce chapitre, le modèle physique vérifié en 1 port sera comparé aux résultats issus de mesures en 4 ports. L'objectif sera de valider la méthode d'extraction 4 ports et de confirmer la pertinence de structures RF complexes, étape nécessaire pour continuer les études expérimentales des chapitres suivants.

2.1 Les structures de test

Nous débutons ce chapitre par la présentation des structures de test. Elles sont au cœur de la thèse, et en font sa richesse, car toutes les études menées présentent une forte composante expérimentale et instrumentale et permettent de valider la compréhension du comportement physique de l'empilement 3D. Beaucoup de publications sont basées sur de la simulation et ne sont pas validées par des résultats expérimentaux [Abouelatta11] [Xu10] pourtant certains phénomènes ne peuvent être simulés. Dans cette partie, les différents jeux de masque sont présentés et l'empilement technologique est décrit.

2.1.1 Structures utilisées

L'étude du modèle du TSV est réalisée grâce à plusieurs structures de test embarquées sur différents jeux de masques : HDMI2D et HDMI3D et MAG3D.

Les structures du masque HDMI2D permettent de caractériser la capacité du TSV à basse fréquence grâce à des mesures $C(V)$. La structure principale (a) (Figure 1) s'accompagne de sa structure de de-embedding (b) qui permet de retirer la contribution électrique des plots et des accès au dispositif sous test (DST).

Les structures du masque HDMI3D permettent de caractériser le TSV à haute fréquence grâce à des mesures RF. Deux structures 1 port sont disponibles : une en open (c) permet de caractériser la capacité et la conductance d'un TSV en configuration coplanaire ; l'autre, en transmission, la résistance et l'inductance du TSV(d). De même, une structure de de-embedding leur est associée pour retirer l'effet des larges plots. Ces structures vont permettre de valider par l'expérimental la modélisation théorique.

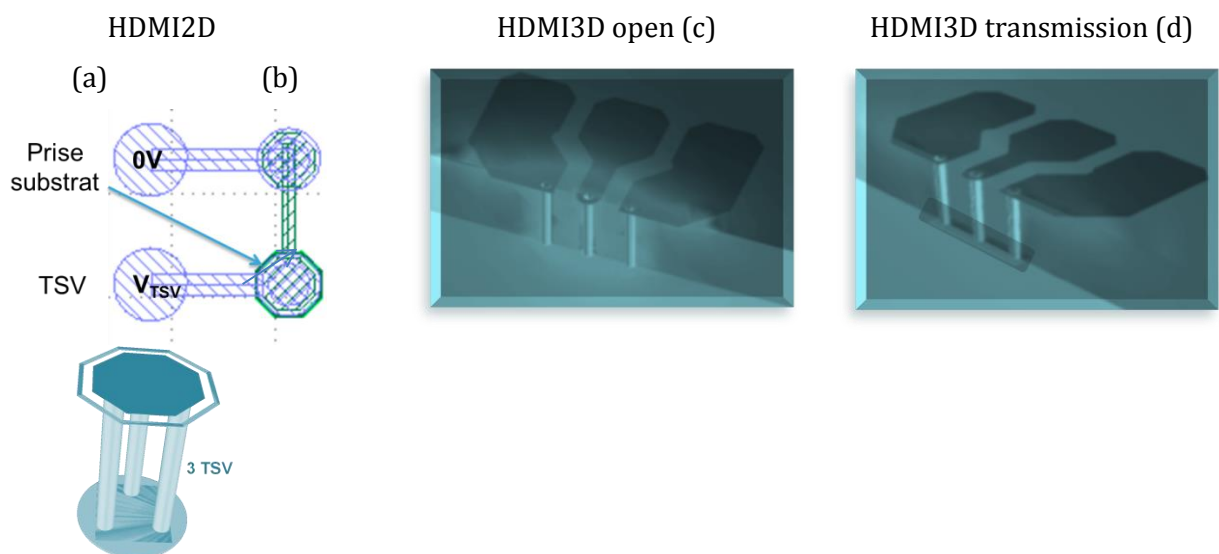


Figure 1 : GDS (a) et zoom sur le dispositif sous test (b) de HDMI2D, et vue 3D des structures en open (c) et en transmission (d) de HDMI3D

Le dernier jeu de masque MAG3D concerne les structures de test RF 4 ports qui ont été

conçues spécifiquement pour cette thèse. Dans ce chapitre 2, nous étudierons seulement celle contenant deux TSV couplés afin de valider la méthode d'extraction 4 ports par comparaison avec les résultats d'extraction 1 port.

2.1.2 Technologie

Dans cette partie, nous présentons la technologie des structures de test. Elle est commune à toutes les structures mesurées au cours de cette thèse.

La connaissance de la technologie s'avère indispensable pour connaître les matériaux mis en jeu, leurs propriétés physiques et leur géométrie pour être capable de décrire le plus précisément possible la structure dans un simulateur, de calculer les modèles analytiques, et d'identifier les étapes critiques qui impactent les paramètres physiques ou géométriques et ainsi d'expliquer d'éventuelles différences entre la modélisation et la mesure.

Les structures de test co-intègrent la technologie TSV Middle et la Technologie CMOS 65nm. Le TSV est donc fabriqué après le procédé FEOL (*Front End Of Line*) et avant le procédé BEOL (*Back End Of Line*) de la technologie 65nm.

Le procédé FEOL consiste à intégrer toutes zones actives de la puce. Il commence sur une plaque de silicium Bulk de 700 μm d'épaisseur. Sa fonction est d'être le support mécanique des circuits intégrés. En effet, sur ce substrat est ensuite réalisée une croissance de silicium par épitaxie : dans cette couche d'épitaxie, le dopage est parfaitement contrôlé puisque c'est dans cette dernière que les composants sont intégrés : $1,37 \cdot 10^{15}$ atomes de bore par cm^3 , impliquant une conductivité de 10 S/m. Ensuite les zones actives, comprenant les MOS et les prises substrat, sont définies et protégées, des tranchées d'isolation sont gravées partout ailleurs. Ces tranchées se remplissent de dioxyde de silicium SiO_2 au court d'une étape d'oxydation du silicium. Nous obtenons les tranchées d'isolation STI (*Shallow Trench Isolation*). Les zones actives sont découvertes, c'est alors que les nombreuses étapes d'intégration des composants actifs s'enchaînent. Parmi elles, nous trouvons l'étape d'implantation haute énergie du Pwell, dont les dopants traversent aussi le STI. Il y a donc une fine couche (environ 400 nm) sous le STI plus conductrice que l'épitaxie de silicium (Figure 2). L'implantation des dopants des prises substrat P+ est aussi réalisée pendant ces étapes. Ces prises P+ vont ainsi constituer dans nos structures des zones peu résistives pour récolter des courants de substrat ou amener le silicium à 0V.

Ainsi l'environnement silicium dans lequel est intégré le TSV peut être modélisé sous forme de plusieurs couches avec différents dopages qui se sont ajoutés au fil des étapes d'implantation, augmentant sa conductivité Figure 2.

Chapitre 2 : Modélisation du TSV et du silicium

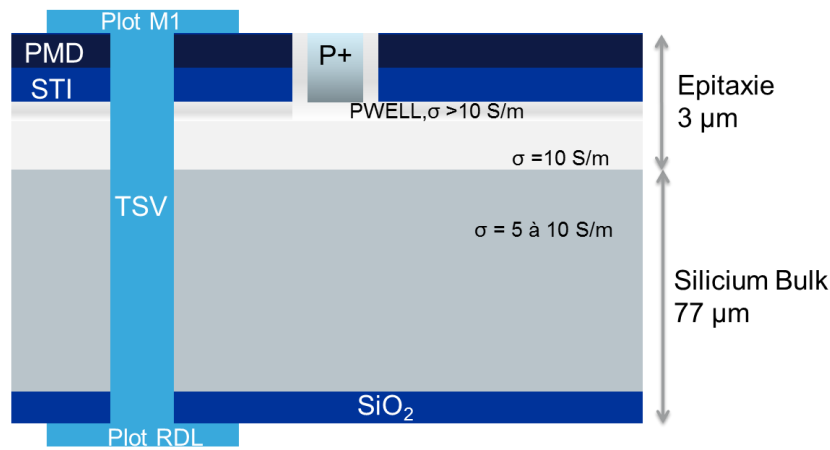


Figure 2: Schéma d'une structure TSV et prise substrat montrant les différentes couches de dopage

Dans la suite du procédé viennent l'étape de métallisation des contacts source/drain et grille, la siliciuration, et la formation de la couche isolante appelée *Pre-metal dielectric* (PMD). C'est alors que le procédé TSV commence. Il s'agit du procédé Via Middle décrit en détail dans le chapitre 1. Le procédé vise entre autres une hauteur de 80 µm (Figure 2) et un diamètre de 10 µm pour le TSV. Ces dimensions sont adaptées au nœud technologique 65nm. Il faut savoir que les dimensions varient quelque peu en fonction de la position sur la plaque comme le montre le Tableau 1 en raison de légères variations des procédés.

Tableau 1: Récapitulatif de caractérisation physique de Crolles sur le TSV Middle.

TSV Middle 10 x 80µm		Unité	Au centre de la plaque	Sur les bords de la plaque
Diamètre du TSV			10,4 µm (maximum)	9,8 µm (minimum)
Hauteur du TSV		µm	83,8	85,4
Epaisseur de la barrière Ta			92	88
Isolation SiO₂ du TSV (SACVD, cf. page 17)	En haut		334	339
	Au milieu	nm	236	250
	En bas		243	248
Epaisseur du STI			325	339

A la fin du procédé Via Middle, le BEOL, soit les sept niveaux de métallisation au-dessus des MOS est réalisé. Dans certaines de nos structures, nous n'aurons que le premier niveau de métal, le M1. La face avant de nos plaques contenant nos structures de test est ensuite retournée et collée sur une poignée temporaire en silicium ou en verre avec une colle haute topologie, comme l'explique le schéma Figure 3.

Chapitre 2 : Modélisation du TSV et du silicium

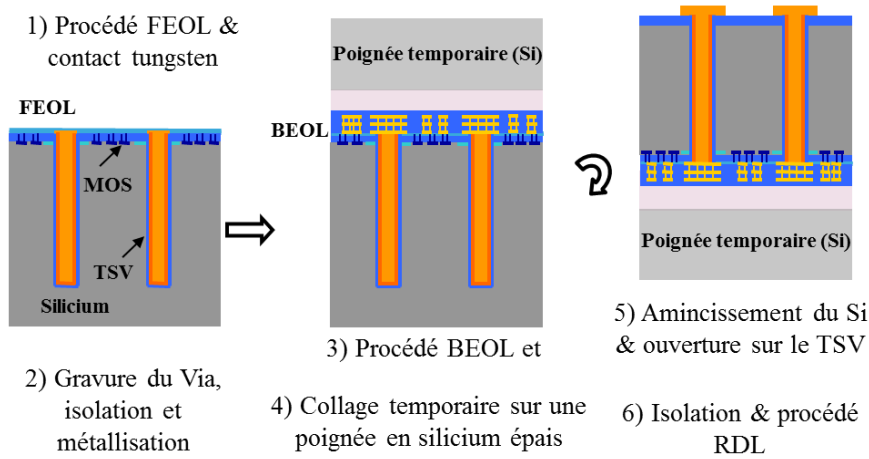


Figure 3 : Etapes principales du procédé de fabrication des structures de test.

La plaque de silicium est alors amincie à $93\mu\text{m}$ par écrouage, puis par une gravure sèche (*Nail repress*) à $80\mu\text{m}$ révélant ainsi le fond des TSV. Deux micromètres de SiO_2 sont alors déposés sur la face arrière par PECVD (*Physical electro-chemical vapor deposition*). Sur le TSV, cet isolant est retiré par CMP. La fabrication de nos structures se terminera par la métallisation face-arrière suivant les motifs prévus. Il s'agit d'un dépôt *electroplating* de cuivre pour former les lignes RDL (*Redistribution Lines*). Elles sont enfin passivée au nickel-Or pour éviter l'oxydation. Nos mesures s'effectueront ainsi sur des plots RDL, en face arrière de la puce.

La Figure 4 récapitule les dimensions caractéristiques de l'empilement technologique 3D, et montre une photo prise au microscope électronique à balayage (MEB) illustrant sa fabrication.

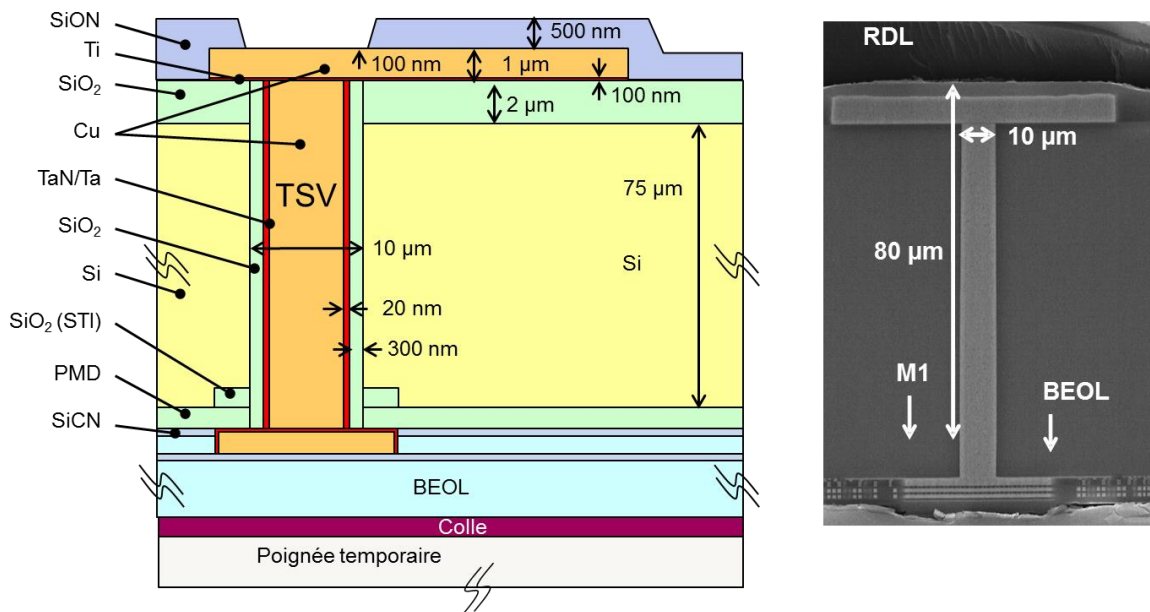


Figure 4 : Schéma récapitulatif de l'empilement technologique avec les quottes visées et vue au MEB

2.2 Technique de simulation

La simulation de la technologie 3D est novatrice car elle nécessite de nouveaux outils prenant en charge les géométries en trois dimensions et le comportement spécifique du semi-conducteur. L'étude en simulation a donc nécessité le recours à un calculateur multi-physique à trois dimensions. Il s'agit de Magwel DevEM [Magwel], un outil développé récemment, qui résout les équations de Poisson dans les semi-conducteurs et les équations de Maxwell. Ce logiciel est utilisé pour simuler les paramètres S des structures de test. Une méthode spécifique a été mise en place pour l'utiliser.

Tout d'abord le GDS (*Graphic Data System*) des structures, simplifié au DST (Dispositif sous test), donc sans les accès ni les plots, est dessiné dans Cadence. Le GDS est ensuite exporté, puis transformé par un script de Calibre en GDS I. L'opération consiste à supprimer la hiérarchie des cellules du GDS et à les rassembler dans une seule cellule. Ensuite ce GDS I est transformé en GDS II par un autre script : ce dernier associe par opérations booléennes les *layers* (désignant ici les étapes de procédé technologiques) qui se superposent dans le GDS I. L'ensemble de ces scripts fait partie de ce que nous appelons le *Kit Magwel* (Figure 5).

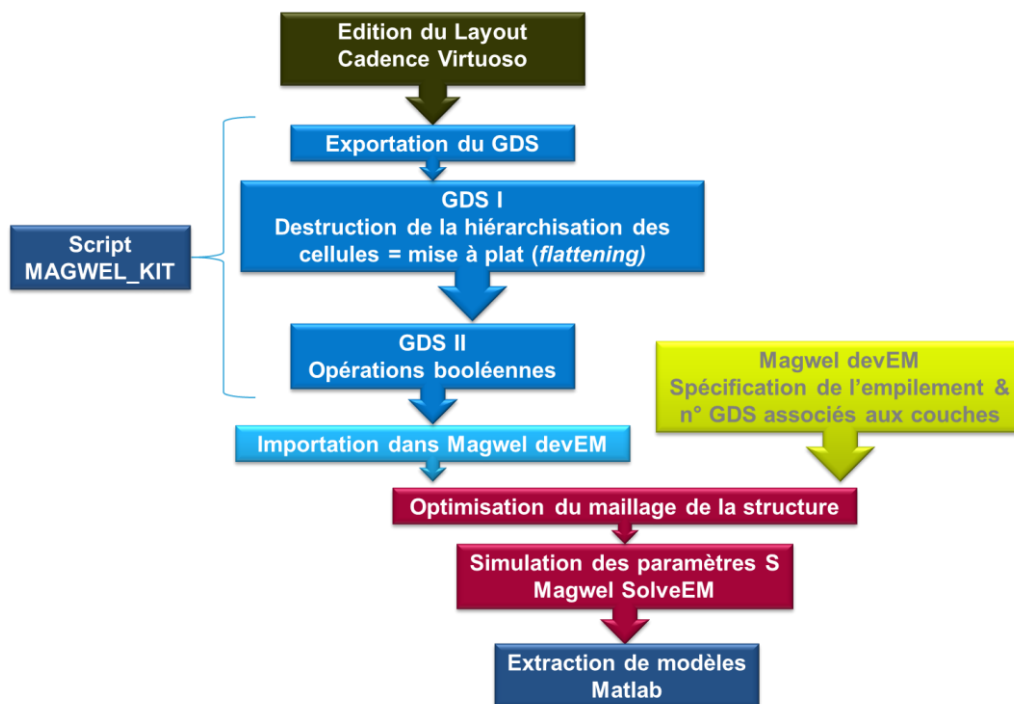


Figure 5 : Récapitulation des différentes étapes pour la simulation

Dans Magwel, l'empilement technologique est décrit tel qu'en Figure 4 et conformément au descriptif de la technologie 3D. Les différentes couches de matériaux sont associées aux numéros GDS II correspondant. Ainsi lorsque le GDS II de la structure de test est importé dans Magwel, la géométrie 3D et les matériaux de la structure sont directement reconnus et retranscrits au format XML.

Le fichier XML contient toute la description de la structure et des conditions de simulations. Trois types de matériaux peuvent être décrits dans Magwel editEM : isolant, conducteur, ou semi-

conducteur. Le semi-conducteur est défini en type n ou p et sa concentration en dopant est soit uniforme, soit décrite par une courbe 1D $n(z)$ ou $p(z)$.

Une attention particulière a été conférée à la description des profils de dopages du substrat pour simuler précisément les phénomènes de déplétion. Ces dopages sont décrits à partir des profils SIMS (*Secondary Ion Mass Spectrometry*). Pour chaque zone dopée, les espèces de types p et n, apportée par différentes étapes d'implant, sont additionnées. Ensuite, pour optimiser le maillage, un minimum de point est choisi. L'exemple pour décrire le profil de dopage de la prise substrat est présenté Figure 6. La prise substrat résulte du dopage PWELL et du dopage PPLUS. Les courbes de dopages sont étudiées avec précision pour déterminer les points essentiels du maillage dans Magwel. Cette optimisation réalisée manuellement est nécessaire pour obtenir une simulation réussie. Le maillage généré est obtenu par une triangulation de Delaunay.

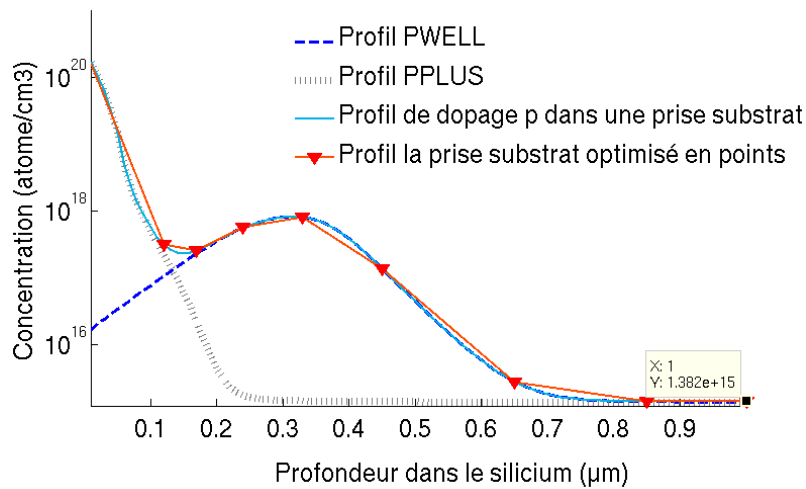


Figure 6 : Les profils de dopages en z pour obtenir une prise substrat « P+ ».

Les paramètres S sont simulés par Magwel SolveEM en trois étapes : après le maillage une simulation statique (résolution des équations de Poisson), les équations petit signaux de Maxwell sont résolues pour le système à chaque point de fréquence. Le simulateur résout le potentiel vecteur A (HFSS résout le champ électrique E), ce qui lui confère une bonne précision à basse fréquence, mais une durée de calcul qui est une fonction exponentielle de la fréquence. Par exemple, une simulation à 10 KHz prend 20min, une à 20 GHz prend jusqu'à 3 jours selon la complexité du maillage. Enfin les paramètres S issus de simulation 1 port ou 2 ports sont transformés par des programmes Matlab en modèle comportementaux.

2.3 Modèle analytique physique des TSV

Nous présentons maintenant le modèle analytique et physique équivalent à l'empilement technologique présenté ci-dessus. Ce modèle est proposé pour prédire le comportement électrique des TSV. Il constitue également une étape nécessaire pour comprendre les phénomènes de couplage avec le substrat et donc avec les composants CMOS.

2.3.1 Description du modèle

Le modèle électrique des TSV doit rendre compte des phénomènes de couplages électrique et magnétique. Ce modèle doit représenter la physique du système (géométrie et matériaux) pour être applicable dans différentes technologies. De plus un modèle physique met en évidence l'impact des paramètres technologiques et géométriques sur le couplage pour éventuellement jouer sur eux et identifier des solutions de réduction du couplage : citons par exemple le pas des TSV ou la conductivité du substrat.

Ainsi, le modèle composé des éléments électriques $\{C_{OX} C_{M1} C_{RD L} C_{DEP} R_{TSV} L_{TSV} M C_{SI} G_S\}$ Figure 7 est proposé. Il est inspiré de travaux précédents [Cadix10] [Katti11III] [Grover46] et du modèle électrique de deux interconnexions couplées [Escané97] [Kim12].

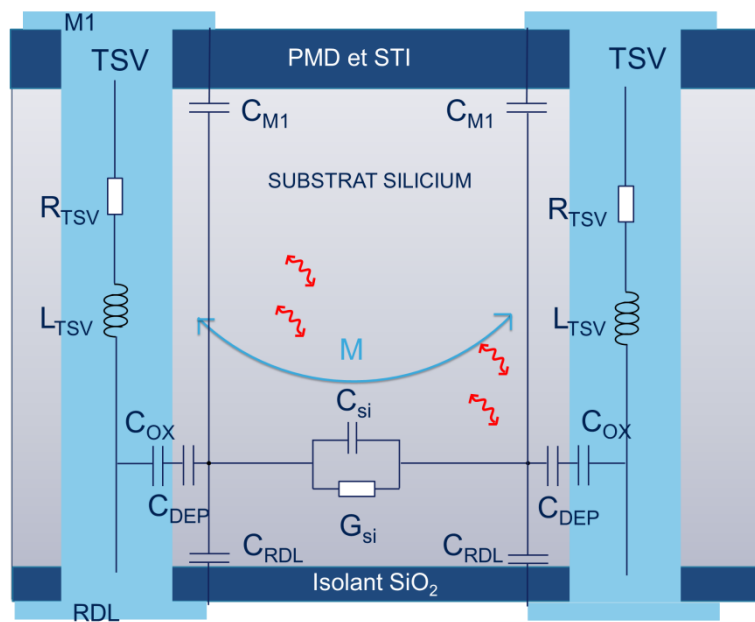


Figure 7 : Modèle électrique du couplage TSV-TSV

La résistance R_{TSV} représente les pertes résistives dans le cuivre du TSV. L'inductance L_{TSV} représente les effets magnétiques dans le TSV. La circulation d'un courant dans un TSV induit des courants dans un autre TSV à proximité, c'est un couplage magnétique dont l'effet est quantifié grâce à la mutuelle M . Dans les cas que nous étudions, les TSV sont espacés de $30\mu m$. La capacité d'oxyde C_{OX} modélise l'isolation SiO_2 entre le cuivre du TSV et le silicium Bulk. La capacité C_{DEP} modélise la zone de déplétion autour du TSV. En effet le cuivre du TSV, son isolant et le silicium se comportent comme une structure MOS (Métal Oxyde Semi-conducteur), dont le comportement a

été observé [Stucchi12] et le calcul théorique présenté dans de nombreux papiers [Cadix10] [Kim12] [Zhao11]. Quant au silicium Bulk, il est modélisé comme un diélectrique à pertes, dans le schéma par une capacité C_{SI} et une conductance G_{SI} qui décrit les pertes diélectriques dues à la conductivité du substrat. Les capacités C_{RDL} and C_{M1} modélisent respectivement les comportements capacitifs entre le plot RDL et le silicium et le plot M1 et le silicium.

2.3.2 Calcul des éléments du modèle

Les formules permettant de calculer les éléments du modèle Figure 7 sont inspirées de la littérature et sont présentées ici.

2.3.2.1 Capacités C_{OX} et C_{DEP}

Les capacités cylindriques d'oxyde C_{OX} et de déplétion C_{DEP} peuvent être calculées grâce au modèle utilisé pour les conducteurs coaxiaux. Elles dépendent de plusieurs paramètres physiques et géométriques décrits

Tableau 2. Cette formule fait consensus dans la littérature [Katti11] [Cadix10].

$$C_{cylindre} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot h_{TSV}}{\ln\left(\frac{r_{cylindre}}{r_{cylindre} - e}\right)} \quad \text{Equation 1}$$

Tableau 2: Paramètres de l'Equation 1

	Permittivité relative ϵ_r	Hauteur du TSV h_{TSV}	Rayon externe $r_{cylinder}$	Epaisseur e
C_{OX}	de l'isolant du TSV $\epsilon_{SiO_2}=5,2$	80 μm	Rayon du TSV $r_{TSV}=5\mu\text{m}$	de SiO_2
C_{DEP}	de la zone de déplétion (i.e. du silicium) $\epsilon_{SI}=11.9$	80 μm	$r_{TSV} + \text{zone de déplétion}$	de la zone déplétion

ϵ_0 représente la permittivité du vide. La zone de déplétion est calculée après la résolution des équations de Poisson dans matlab, dont la méthode est présentée dans [Cadix10].

2.3.2.2 Capacité C_{SI} et conductance G_{SI}

Le modèle de J-M Escané [Escané97] fournit des formules pour calculer les capacités existantes entre des conducteurs cylindriques isolés les uns des autres, ici par du silicium dont la permittivité relative ϵ_{SI} est de 11,9. Ainsi nous pouvons calculer la capacité propre d'un TSV, vis-à-vis de la masse C_{SI_m} , et sa capacité de couplage, vis-à-vis d'un autre TSV C_{SI_c} .

$$C_{SI-c} = \frac{A}{K^2 - A^2} h_{TSV} \quad \text{Equation 2}$$

$$C_{SI-m} = \frac{K - A}{K^2 - A^2} h_{TSV} \quad \text{Equation 3}$$

$$A = \frac{1}{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{SI}} \ln \left(\frac{\sqrt{P_{gnd}^2 + P_{TSV}^2}}{P_{TSV}} \right) \quad \text{Equation 4}$$

$$K = \frac{1}{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{SI}} \ln \left(\frac{\sqrt{P_{gnd}}}{r_{TSV}} \right) \quad \text{Equation 5}$$

P_{TSV} représente le pas entre deux TSV_{signal} , dans lesquels transitent des signaux, et P_{gnd} le pas entre un TSV et un TSV_{gnd} à la masse, comme illustré Figure 8. Ces formules déterminent les couplages électriques entre TSV. Dans la littérature des modèles comportementaux sont généralement développés [Xu10] et ne prennent pas en compte ces paramètres physiques.

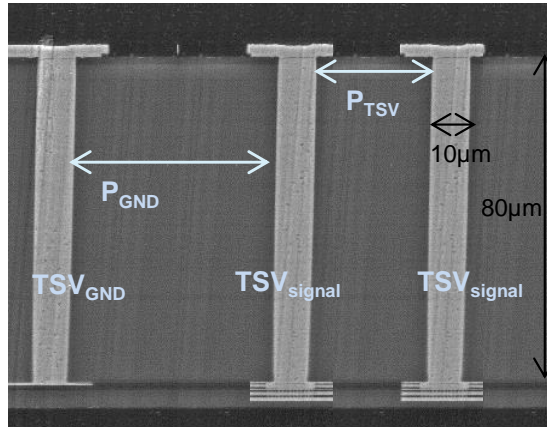


Figure 8 : Vue MEB des TSV illustrant les paramètres des équations

Pour calculer la conductance du silicium G_{SI} , nous supposons que le rapport C_{SI} / G_{SI} est constant en fréquence (Equation 6). σ_{SI} représente la conductivité du silicium, qui dépend de son dopage (Equation 7).

$$G_{SI} = \frac{C_{SI} \cdot \sigma_{SI}}{\epsilon_0 \cdot \epsilon_{SI}} \quad \text{Equation 6}$$

$$\sigma_{SI} = q(n\mu_n + p\mu_p) \quad \text{Equation 7}$$

q est la charge élémentaire, n et p sont respectivement les densités en électrons et en trous par volume, et μ_n , μ_p les mobilités des électrons et des trous dans le silicium.

2.3.2.3 Capacité des plots C_{RDL} et C_{M1}

Considérant qu'ils appartiennent à la structure TSV, les plots RDL et M1 induisent des

capacités additionnelles que nous prenons en compte avec la formule des capacités plan (Equation 8).

$$C_{plot} = \epsilon_0 \left[\frac{\epsilon_{isolant_M1} \cdot (S_{M1} - S_{TSV})}{t_{isolant_M1}} + \frac{\epsilon_{isolant_RDL} \cdot (S_{RDL} - S_{TSV})}{t_{isolant_RDL}} \right] \quad \text{Equation 8}$$

S_{M1} et S_{RDL} sont respectivement la surface du plot M1 et celle du plot RDL, S_{TSV} est la surface occupée par le TSV sous le plot. $\epsilon_{isolant_M1}$ et $\epsilon_{isolant_RDL}$ sont respectivement les permittivités relatives des diélectriques présents entre le silicium et le plot de M1 ou de RDL, et dont les épaisseurs sont désignées par $t_{isolant_M1}$ et $t_{isolant_RDL}$. Ces capacités ne sont généralement pas prises en compte dans les modèles de la littérature car elles sont considérées comme négligeables. Par exemple dans notre technologie, la capacité due au plot M1 et au plot RDL font respectivement 13 fF et 6 fF tandis que la capacité Cox du TSV fait typiquement autour de 300 fF. Cependant dans certain design, les plots peuvent être plus gros et engendrer plus de capacité, d'où la nécessité de ces calculs.

2.3.2.4 Résistance et inductances

Pour modéliser la transmission du signal dans le TSV, la résistance et l'inductance sont calculées. Elles modélisent les pertes et le retard à l'établissement du courant.

Aux basses fréquences, la résistance du TSV est dite statique et se calcule classiquement en divisant $\rho_{cu} \cdot h_{TSV}$ par la surface de cuivre traversée par le courant. Pour les fréquences plus hautes, correspondantes à une épaisseur de peau δ inférieure au rayon du TSV, R_{TSV} se calcule en tenant compte de l'effet de peau. Pour le TSV Middle, cet effet apparait pour les fréquences supérieures à 182 GHz.

$$R_{TSV} = \frac{\rho_{cu} \cdot h_{TSV}}{\pi \cdot (2 \cdot r_{cu} \cdot \delta - \delta^2)} \quad \text{avec} \quad \delta = \sqrt{\frac{\rho_{Cu}}{\pi \cdot \mu_0 \cdot \mu_r \cdot f}} \quad \text{Equation 9}$$

ρ_{cu} est la résistivité du cuivre, r_{cu} le rayon de cuivre, f la fréquence du signal, μ_r la perméabilité relative du cuivre et μ_0 celle du vide. La résistance dépend donc principalement de la fréquence du signal et augmente à cause de l'effet de peau dans le cuivre du TSV. Nous ne décrivons pas analytiquement d'autres phénomènes qui pourraient avoir un impact sur la résistance, tels que les effets de proximité ou les courants de Foucault dans le substrat [Fourneaud12].

L'inductance d'une structure se décompose généralement en une partie due au champ magnétique à l'intérieur des conducteurs, représentée par l'inductance propre, qui est variable avec la fréquence à cause des effets de peau et de proximité. L'autre partie est due au champ magnétique externe, lié au couplage avec les autres conducteurs. Elle est peu dépendante de la fréquence : cette partie est représentée par les mutuelles inductances.

L'Equation 10 évalue ces inductances en remplaçant dans la formule le terme x par le rayon du TSV r_{TSV} , pour calculer l'inductance du TSV, et par le pas entre TSV pour les inductances mutuelles qui existent entre TSV [Brocard12]. Etant donné que l'inductance propre dépend par exemple de la distance avec d'autres TSV, de leur nombre, et du réseau de masse, les paramètres du

calcul de l'inductance propre seront précisés en fonction des structures de test. Cette formule se retrouve dans la littérature [Schanen94].

$$L(x) = \frac{\mu_0 \cdot h_{TSV}}{2\pi} \cdot \left[\ln \left(\frac{h_{TSV}}{x} + \sqrt{\left(\frac{h_{TSV}}{x} \right)^2 + 1} \right) + \frac{x}{h_{TSV}} - \sqrt{\left(\frac{x}{h_{TSV}} \right)^2 + 1} \right] \quad \text{Equation 10}$$

2.3.3 Application numérique

Le tableau ci-dessous donne une idée des caractéristiques électriques d'un TSV Middle, pour les fréquences inférieures à 180 GHz, typiquement situé à 30µm d'un autre TSV et à 30 µm d'un TSV référencé à la masse, comme illustré dans la Figure 8.

Tableau 3 : calcul du modèle physique analytique pour un cas typique

C_{OX}	C_{MI}	C_{RDL}	C_{DEP}	R_{TSV}	L_{TSV}	M	C_{SI}	G_{SI}
390 fF	13 fF	5,8 fF	360 fF	20 mΩ	40 pH	20 pH	20 fF	0.3 mS

La démarche pour valider ce modèle physique va maintenant être expliquée.

2.4 Mesure des éléments du modèle

Cette partie présente la démarche de validation du modèle. Elle consiste à redéfinir le modèle sur différentes plages de fréquence et de polarisation et de le comparer à des résultats issus de la mesure et la simulation. La simulation permet de quantifier l'effet des différents éléments du modèle en fonction de ces deux paramètres et appuie notre stratégie.

2.4.1 Modèle en fonction de la fréquence et de la polarisation

Le modèle complet est simplifié en quatre modèles qui sont constants sur certaines plages de fréquences et de polarisation (Figure 9). Cette stratégie part du principe que dans l'empilement 3D, certains effets électriques sont décelables à basses fréquences et en fonction de la polarisation du TSV, les autres à hautes fréquences, tout comme les effets magnétiques.

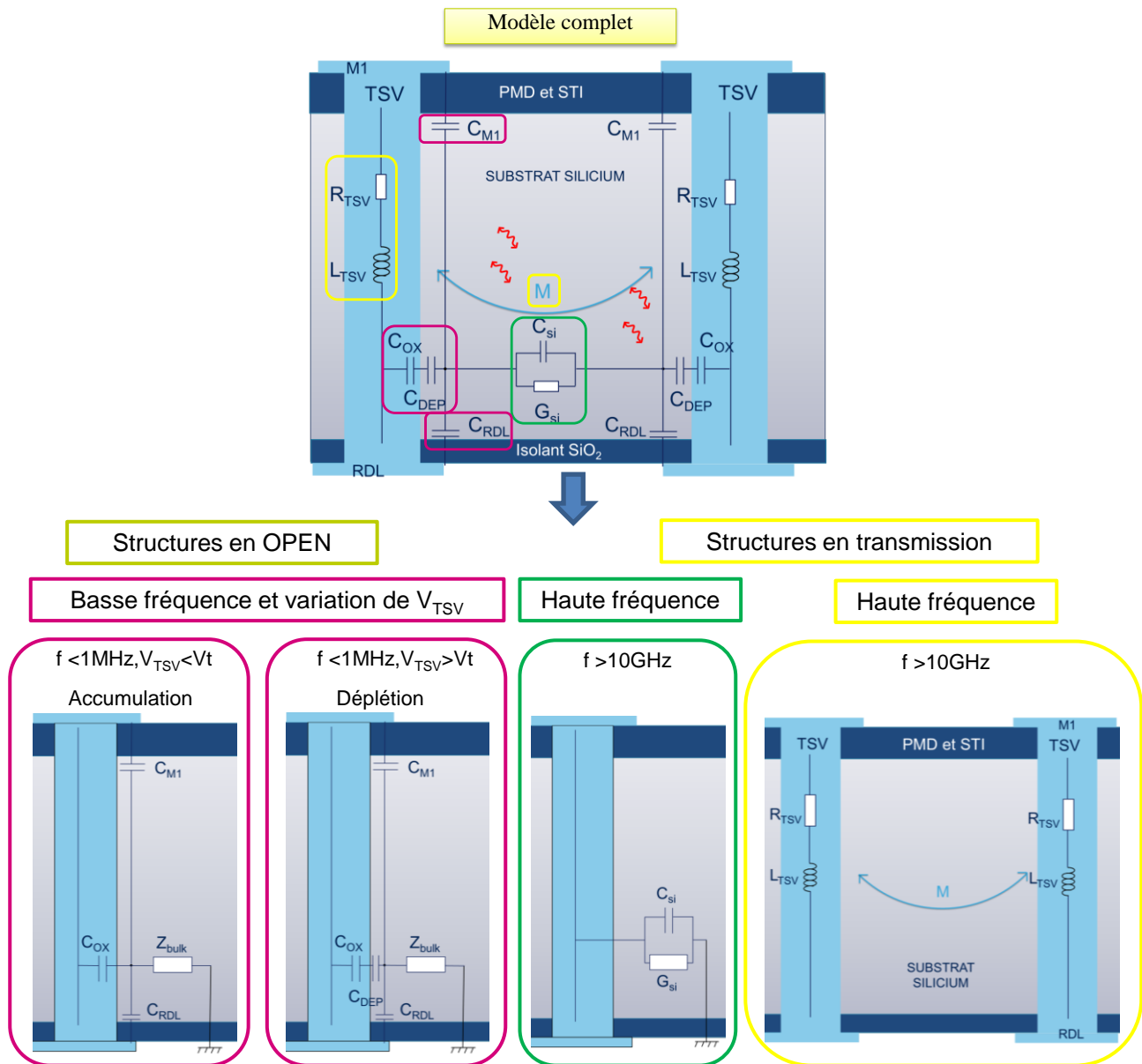


Figure 9 : Modèles simplifiés en fonction de la fréquence f et de la polarisation du TSV V_{TSV} .

Les trois structures de test présentées en section 2.1.1 sont utilisées pour valider le modèle des TSV. Deux techniques de caractérisations sont utilisées : une caractérisation électrique à basse fréquence, et une caractérisation Radiofréquence.

2.4.2 Simulation de la capacité en fréquence

Cette partie présente les résultats de la simulation d'un TSV, cas représentatif pour l'étude, qui illustre et appuie la stratégie de simplification du modèle.

Un TSV entouré d'une prise substrat P+ (Figure 10) est simulé de 10 MHz à 8 GHz. Un port d'excitation, sur lequel est appliquée une source RF, est placé sur la prise P+. Une perturbation substrat est générée par la diaphonie entre le TSV et la prise substrat. Le TSV est défini en tant que référence RF, en plaçant sur les plots M1 et RDL des références *gnd*. Une polarisation continue variant de -5 V à 5 V est appliquée sur le TSV.

Le paramètre S de réflexion S_{11} est extrait de 10 MHz à 8 GHz. L'admittance associée Y_{11} est calculée (Equation 11). Il est directement associé à l'admittance Y entre le port et la masse (Figure 11), c'est-à-dire entre la prise P+ et le cuivre du TSV. Cette admittance est identifiée comme étant une capacité en parallèle d'une conductance (Equation 12).

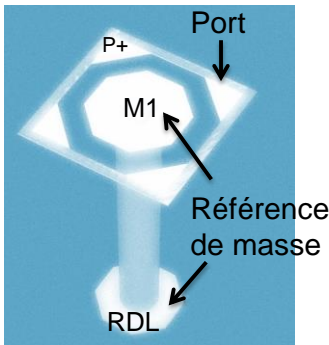


Figure 10: Structure simulée

$$Y_{11} = \frac{1 - S_{11}}{1 + S_{11}} = Y \quad \text{Equation 11}$$

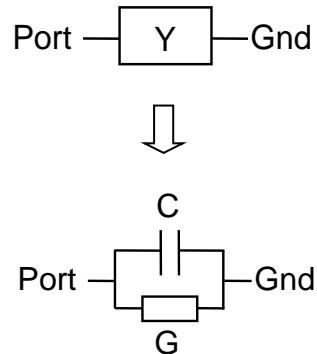


Figure 11: Calcul de l'admittance, associée à un modèle CG équivalent

$$G = \text{real}(Y) \text{ et } C = \frac{\text{imag}(Y)}{\omega} \text{ avec } \omega = 2.\pi.f \quad \text{Equation 12}$$

La capacité équivalente ainsi extraite est tracée en fonction de la polarisation appliquée sur le TSV et pour différentes fréquences (Figure 12). A basses fréquences, la capacité est forte et dépend de la polarisation. Nous reconnaissons le comportement de la capacité MOS (Metal Oxyde Silicium) du TSV. En dessous de 0 V, la tension de seuil théorique de la structure MOS du TSV, ce sont les capacités d'oxyde et de plots M1 et RDL du TSV, regroupés sous le nom C_{TSV} , qui sont mesurées. Au-dessus l'effet de la capacité de déplétion vient s'ajouter en série à celui de la capacité d'oxyde C_{OX} , résultant en une capacité équivalente plus faible. Quand la fréquence augmente, la capacité MOS est de moins en moins prononcée et converge vers une capacité plus faible et

constante en fonction de la polarisation. Cette capacité dont l'impact n'est visible qu'à hautes fréquences est associée à la capacité du silicium C_{SI} . La conductance extraite est quant à elle attribuée à l'effet des pertes par conduction dans le silicium, c'est donc G_{SI} .

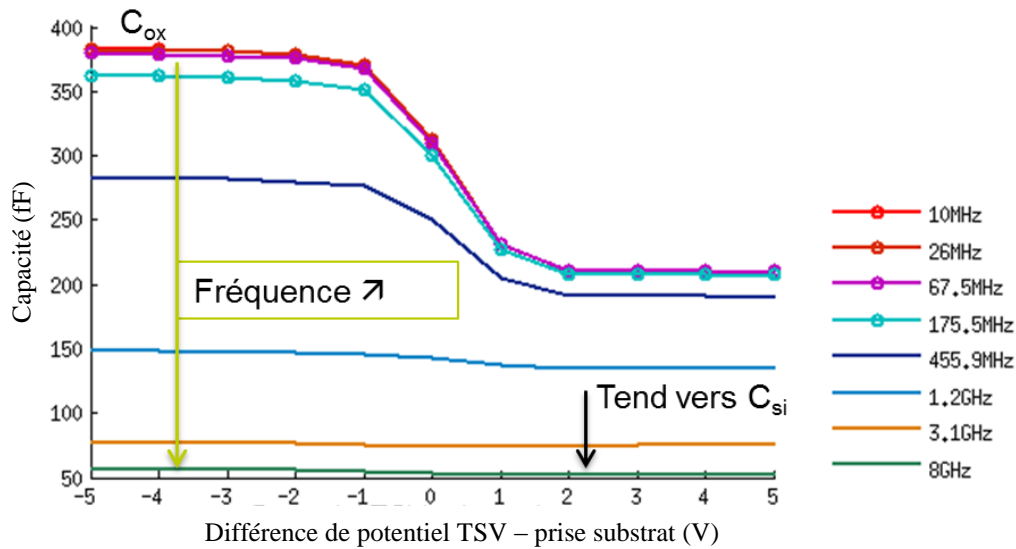


Figure 12: $C(V, f)$, capacité équivalente TSV-prise substrat simulée

Cette simulation confirme que l'ensemble des capacités de la structure C_{TSV} ($C_{OX}+C_{M1}+C_{RDL}$), C_{DEP} et C_{SI} peuvent être détectées séparément sur différentes plages de fréquence et de polarisation pour pouvoir valider leurs valeurs. La méthode de validation du modèle qui passe par de la caractérisation basse fréquence en fonction de la polarisation et radio fréquence est donc appliquée.

2.4.3 Diagramme de la démarche

La stratégie de caractérisation de différentes structures de test a été définie. Elle se situe dans une démarche globale présentée Figure 13, qui consiste à confronter les résultats expérimentaux au modèle analytique et à ceux issus de la simulation.

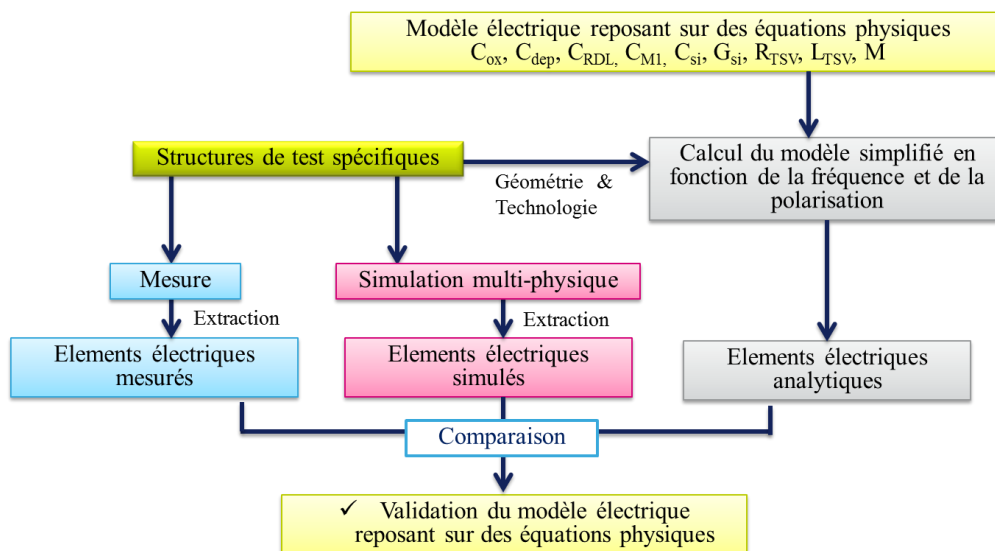


Figure 13 : Méthodologie pour valider le modèle analytique avec mesure et simulation

Chapitre 2 : Modélisation du TSV et du silicium

Le modèle physique des structures de test, simplifié en fonction de la fréquence et de la polarisation, est calculé en tenant compte de la technologie et de leur géométrie. Ces structures sont aussi mesurées et enfin modélisées dans un simulateur, connaissant leurs propriétés géométriques et technologiques.

Les résultats de mesure et de simulation permettent d'extraire des modèles comportementaux. Ces modèles sont rattachés aux éléments électriques du modèle complet (Figure 7) selon la fréquence et la polarisation. Ils sont enfin confrontés au modèle calculé ce qui permet de le valider. Cette démarche est appliquée aux parties suivantes. Nous commençons par la caractérisation à basse fréquence.

2.5 Caractérisation basses fréquences en open $\{C_{OX} C_{MI} C_{RDL} C_{DEP}\}$

Dans cette partie sont présentés les résultats de la mesure et de la simulation de la capacité entre un TSV et une prise substrat à basses fréquences ($<1\text{MHz}$), conformément à la méthode divisant le problème Figure 9. L'objectif est de valider la partie $\{C_{OX} C_{MI} C_{RDL} C_{DEP}\}$ du modèle.

La structure de test utilisée est embarquée sur le véhicule de test HDMI2D. Elle est composée de trois TSV court-circuités par les plots M1 et RDL et entourés d'une prise substrat P+ qui se trouve à $10\mu\text{m}$ des TSV (Figure 14). Il a été choisi de paralléliser suffisamment de TSV pour obtenir une capacité suffisante vis-à-vis de l'outil de mesure : sa précision est en effet d'une centaine de femto-farad tandis que la capacité du TSV attendue est aussi de l'ordre de la centaine de femto-farads. La contribution capacitive des plots M1 et RDL est, de ce fait, forte aussi, avec une valeur théorique est de 155 fF.

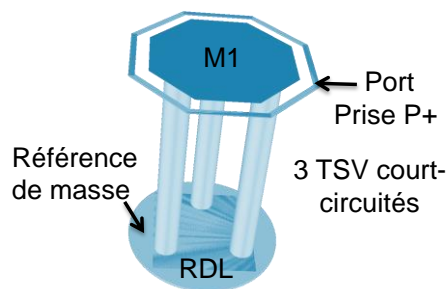


Figure 14: Dispositif sous test (HDMI2D).

2.5.1 Résultats expérimentaux

La capacité de la structure est mesurée sur 24 puces en fonction de la différence de potentiel appliquée entre le TSV et la prise substrat avec une sonde électrique. L'impact de la fréquence du signal de mesure sur la capacité est également observé sur une plage de 50 Hz à 1 MHz, les deux limites de l'appareil de mesure.

Pour obtenir la capacité entre le TSV et la prise P+, la contribution des accès et des plots est mesurée sur une structure de de-embedding et soustraite. Le résultat est divisé par 3 pour se ramener à la caractéristique d'un seul TSV avec ses plots. Les capacités mesurées sur 4 puces différentes sont tracées en fonction de la différence de potentiel appliquée entre le TSV et la prise substrat P+ (Figure 15). Une faible variabilité de $\pm 2\%$ (aux fréquences inférieures à 500Hz) est observée sur les 24 mesures de la plaque. Elle est attribuée à la variabilité du procédé, illustrée par le Tableau 1.

La capacité extraite est associée à la capacité équivalente à la capacité MOS du TSV (C_{OX} et C_{DEP} en série) en parallèle avec celle des plots RDL et M1 (C_{RDL} et C_{MI}). Les trois régimes de la capacité MOS du TSV sont visibles : l'accumulation, l'inversion, et la déplétion. D'autres auteurs ont aussi obtenu des résultats du même type [Katti11II] [Stucchi12].

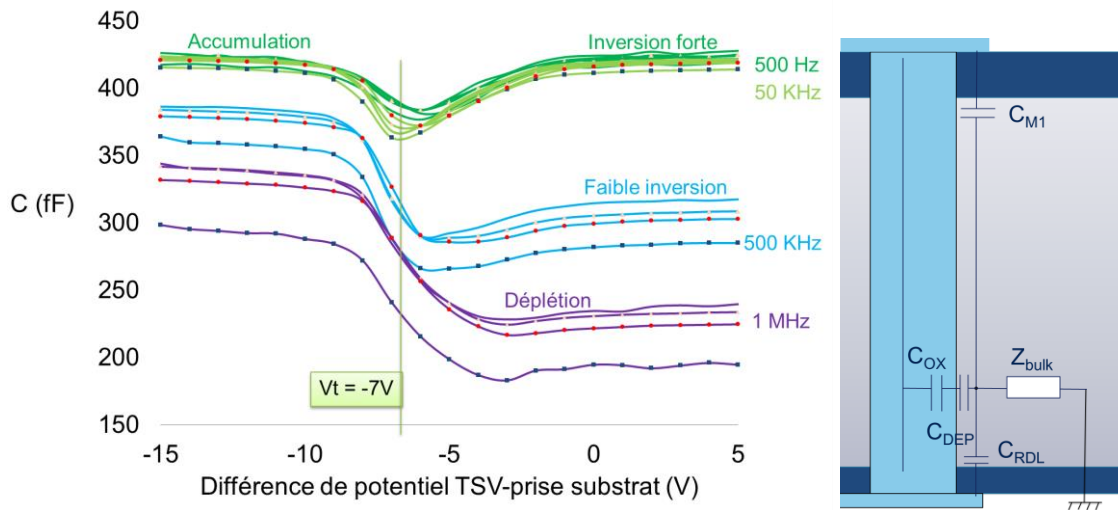


Figure 15 : Capacité mesurée entre le TSV et la prise substrat pour 4 puces testées

La capacité MOS est dépendante de la fréquence. Au-dessus du potentiel de transition expérimental ($V_t = -7\text{ V}$), plus la fréquence augmente, moins les charges ont le temps de se recombiner dans le silicium. La zone de déplétion augmente alors de plus en plus, entraînant une diminution de la capacité de déplétion et donc de la capacité du système. Le système tend vers le régime d'inversion profonde.

Le régime d'inversion est donc ici visible pour des signaux de fréquence inférieure à la centaine de kilohertz. Sur cette plage de fréquence, la capacité du TSV reste donc constante en fonction de la fréquence et égale à C_{TSV} . Ces résultats sont en adéquation avec la théorie des capacités MOS [Sze07].

Cependant ce résultat expérimental présente plusieurs particularités qui doivent être justifiées du point de vue physique, en vue d'être en cohérence avec le modèle analytique et la simulation.

2.5.2 Particularités de la structure 3D

Certains effets liés à des phénomènes physiques et au procédé technologique ne sont pas prédit dans la simulation ni dans la théorie. Cependant il ne faut pas les négliger et les prendre en compte car ils induisent des résultats différents de ceux attendus théoriquement.

2.5.2.1 Le régime d'inversion

En simulation, le régime d'inversion lié à la durée de vie des porteurs ne peut être observé car la version utilisée de Magwel DevEM ne prend pas en compte ce paramètre. Ainsi, en simulation, la remontée de la courbe à basse fréquence et au-dessus de la tension de seuil, comme dans le résultat expérimental Figure 15 ne sera pas visible. Seuls les deux régimes d'accumulation et de déplétion sont simulés.

La capacité à basse fréquence du modèle analytique doit donc être adaptée en conséquence : Elle est constante en fonction du potentiel pour les fréquences inférieures à 500 KHz (il vaut mieux surestimer que sous-estimer une capacité parasite) et égale à la capacité d'oxyde parallèle à la

capacité des plots. Au-dessus de 500 KHz, elle varie avec le potentiel, conformément au modèle Figure 9.

2.5.2.2 Le potentiel de transition

La valeur du potentiel de transition V_t de la capacité MOS du TSV est théoriquement de 0V. Or dans la mesure il est d'environ -7 V. Cette différence est liée au procédé de fabrication de l'isolation du TSV. Elle est plus précisément attribuée aux charges piégées à l'interface silicium et SiO_2 et a déjà été observé [Katti11III]. Ces charges piégées entraînent aussi une déformation de la pente de la courbe [Sze07]. Le nombre de charges positives piégées dépend des paramètres du procédé de formation du SiO_2 , la SACVD, il est donc constant dans notre technologie, mais il n'est pas spécifié dans les paramètres de la simulation.

Il est à souligner que le décalage du V_t est avantageux car la capacité du TSV est ainsi toujours divisée par deux, pour les signaux de fréquences supérieures à 500 kHz: en effet dans les circuits intégrés de la génération 65 nm, le silicium est polarisé à 0 V tandis que le potentiel des signaux n'excède jamais 1,2V.

Ces effets ayant un impact sur le résultat de la caractérisation de la capacité à basse fréquence, ils seront donc pris en compte dans la partie suivante.

2.5.3 Confrontation de la mesure au modèle et à la simulation

Les capacités mesurées en fonction de la fréquence et de la polarisation sont maintenant comparées à celles issues de la simulation de la structure et à celles calculées analytiquement. Les effets non simulés expliqués dans la section précédente 2.5.2 sont pris en compte.

2.5.3.1 Simulation

Le dispositif sous test, tel qu'on le voit Figure 14, est décrit dans le simulateur multi-physique avec les paramètres technologiques de la Technologie 3D. Un port d'excitation RF est placé sur la prise P+ et la référence sur le RDL pour être dans des conditions équivalentes à celles de la mesure. Les paramètres S de la structure sont obtenus de 500 Hz à 1 MHz à partir desquels, comme dans la Figure 11, la capacité est extraite. Elle ne varie pas en fonction de la fréquence et le régime d'inversion n'est pas observé pour les raisons expliquées en 2.5.2.1. Le potentiel de transition V_t de la structure simulé est de 0 V et donc corrigé à -7 V conformément à l'explication 2.5.2.2.

2.5.3.2 Modèle analytique

Les valeurs du modèle analytique sont calculées en fonction des paramètres physiques et géométrique de la structure (

Tableau 4). La capacité équivalente est calculée sous la tension de seuil V_t de la capacité MOS (-7V, déterminée expérimentalement), C_{sous_Vt} , et au-dessus, $C_{\text{au_dessus}_Vt}$. Le résultat est ensuite, comme pour la mesure, divisé par 3 pour nous rapporter à un TSV et ses plots.

Tableau 4 : Eléments du modèle calculés en fonction de la géométrie

Capacité	C_{OX}	C_{DEP}	C_{M1}	C_{RDL}	$C_{\text{au_dessus_Vt}}$	$C_{\text{sous_Vt}}$ et pour $f < 500$ KHz
Valeur	364fF	395fF	95fF	60fF	$3 / (1 / C_{OX} + 1 / C_{DEP}) + C_{M1} + C_{RDL} = 0.725$ pF	$3 \cdot C_{OX} + C_{M1} + C_{RDL} = 1.25$ pF

2.5.3.3 Résultats

Les résultats de la simulation multi-physique sont en bonne adéquation avec le modèle analytique calculé, comme nous le voyons Figure 16. Ces deux résultats s'accordent également avec la mesure.

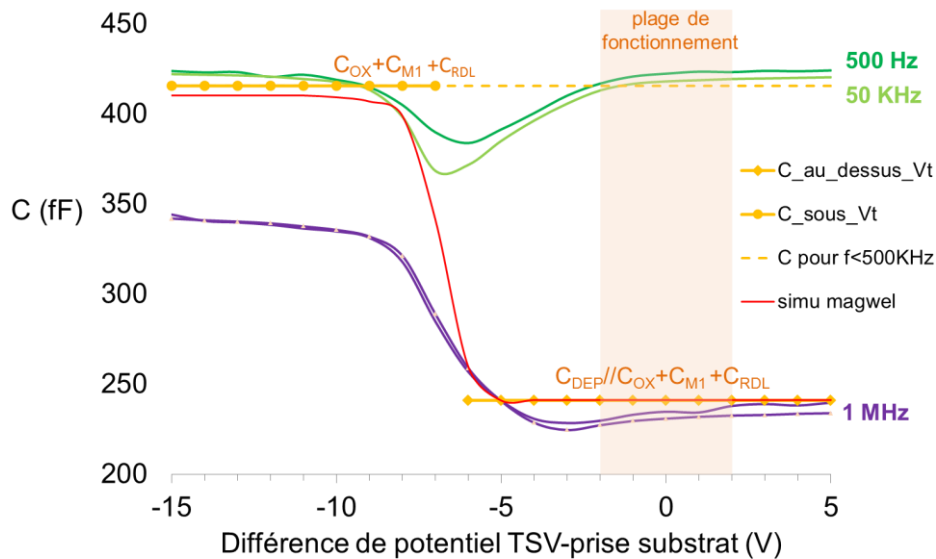


Figure 16 : Comparaison de la capacité de la structure mesurée et simulée à celle calculée analytiquement.

Compte-tenu du fait que la différence de potentiel entre le TSV et la prise substrat n'est généralement pas supérieure à 2 V dans les technologies sub-65nm, le modèle analytique suivant est suffisant : pour les fréquences inférieures à 500 Hz, la capacité équivalente est la somme de la capacité d'oxyde du TSV et de ces plots, pour les fréquences supérieures, il faut ajouter la contribution série de la capacité de déplétion.

2.5.4 Bilan sur la caractérisation BF

Cette partie a permis d'étudier précisément le comportement électrique capacitif du TSV à basses fréquences (<1MHz) en fonction de la différence de potentiel TSV-substrat. Elle valide la modélisation des capacités du TSV $\{C_{OX} C_{M1} C_{RDL} C_{DEP}\}$.

2.6 Caractérisation haute fréquence en transmission $\{R_{TSV} L_{TSV} M\}$

Le comportement magnétique de la structure est maintenant abordé. La résistance R_{TSV} , l'inductance L_{TSV} et les mutuelles M des TSV sont extraites d'une mesure RF et comparées à la simulation et au modèle analytique.

La structure de test RF GSG est utilisée (Figure 17). Elle a été embarquée sur le masque HDMI3D. Elle est constituée de trois TSVs court-circuités au métal 1, intégrés dans un substrat flottant. Le port d'excitation RF est appliqué sur le TSV central, et ses masses sur les deux TSV à ses côtés.

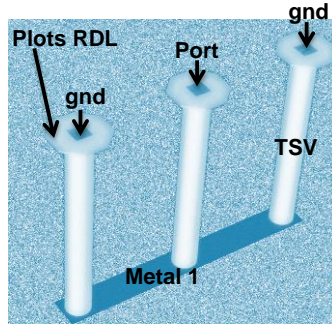


Figure 17 : Vue 3D de la structure de test en transmission, de-embeddée des plots et accès.

Un calibrage OSTL (méthode de calibrage) place les plans de référence des mesures aux extrémités des pointes. L'impédance de référence est alors 50 ohms. Le paramètre S_{11} de la structure est mesuré à l'analyseur de réseau vectoriel (VNA) de 10 MHz à 40 GHz. Ensuite, une structure de de-embedding permet de mesurer les contributions électromagnétiques des plots et des accès. La mesure de la structure de test peut ainsi être corrigée de leurs effets.

La structure est également modélisée dans Magwel DevEM, d'après les paramètres technologiques et géométriques, et ses paramètres S simulés de 10 MHz à 40 GHz.

De la même façon qu'en Figure 11, nous remontons à la résistance et à l'inductance effective, c'est à dire à un modèle comportemental mesuré ou simulé $R_{struc_m} L_{struc_m}$, de la structure :

$$R_{struc_m} = \text{real}(Y^{-1}) \text{ et } L_{struc_m} = \frac{\text{imag}(Y^{-1})}{\omega} \quad \text{Equation 13}$$

Considérant les retours de courant dans le métal 1 et les TSV à la masse (gnd), le modèle physique de la structure est proposé en Figure 18.

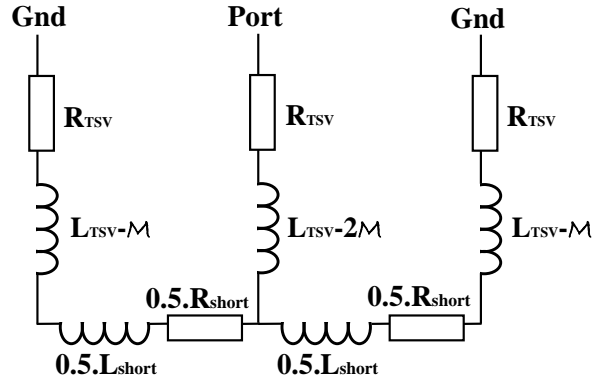


Figure 18 : modèle physique de la structure

La contribution résistive du Short M1 est calculée, ainsi que sa contribution inductive d'après la formule de Grover [Grover46]:

$$R_{short} = \frac{\rho_{metal} \cdot l_{short}}{w_{short} \cdot t_{short}} \quad \text{Equation 14}$$

$$L_{short} = 20 \cdot l_{short} \cdot \left(\ln \frac{2 \cdot l_{short}}{w_{short} + t_{short}} + 0.5 \cdot \frac{w_{short} + t_{short}}{3 \cdot l_{short}} \right) \quad \text{Equation 15}$$

Pour comparer le modèle physique aux modèles comportementaux $R_{struc_m} L_{struc_m}$, issus de la mesure et de la simulation, les deux éléments équivalents R_{struc} et L_{struc} sont calculés :

$$R_{struc} = \frac{3}{2} \cdot R_{TSV} + \frac{1}{4} \cdot R_{short} \quad \text{Equation 16}$$

$$L_{struc} = L_{p_{TSV}} - 2M + \frac{1}{2} \cdot (L_{p_{TSV}} - M) + \frac{1}{2} L_{short} \quad \text{Equation 17}$$

L'accord entre les résistances extraites de la mesure, de la modélisation et calculée analytiquement est excellent (Figure 19). La résistance de la structure avant l'effet de peau, à 10 MHz, vaut 33 mΩ, ce qui est en accord avec d'autres études de caractérisation DC [Colonna12]. Dans cette étude, la résistance du TSV mesurée sur des Via Kelvin est de 22 mΩ.

En mesure, à partir de 10 GHz, les pertes dans le silicium deviennent prépondérantes sur celles dans le cuivre du TSV. La résistance du TSV est donc difficile à observer vis-à-vis de la sensibilité du VNA, c'est pourquoi elle est tronquée à cette fréquence. La résistance calculée est en accord avec les résultats issus de la simulation et validée jusqu'à 10 GHz. La différence entre le modèle analytique et le modèle issu de la simulation s'explique en partie par les courants de Foucault qui ne sont pas modélisés par le modèle analytique. Ces courants de Foucault se manifestent par une augmentation de la résistance en hautes fréquences. Les résultats issus du simulateur permettent de prédire l'impact de ce phénomène sur la résistance.

Chapitre 2 : Modélisation du TSV et du silicium

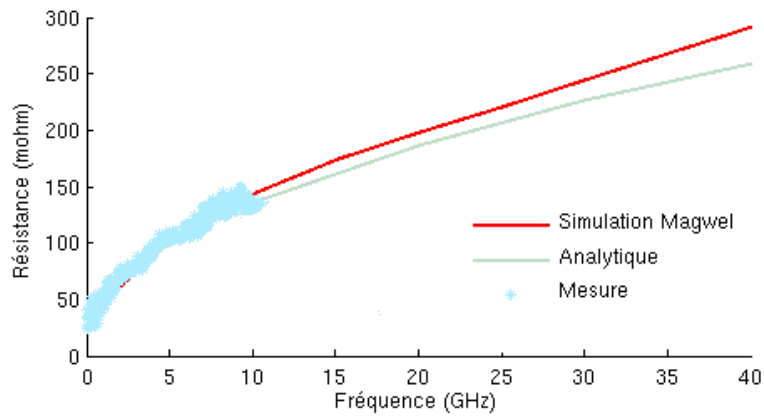


Figure 19 : Résistance de la structure extraite de la mesure et de la simulation et comparaison au modèle analytique.

Les inductances extraites de la mesure et de la modélisation sont en parfait accord. L'effet de peau a pour conséquence de repousser les lignes de courants à la surface du conducteur, et donc de diminuer l'inductance interne. Cela n'est pas pris en compte dans nos équations, mais nous observons cet effet sur la mesure. A partir de 1 GHz, sa valeur se stabilise et correspond bien à la valeur calculée analytiquement (Figure 20).

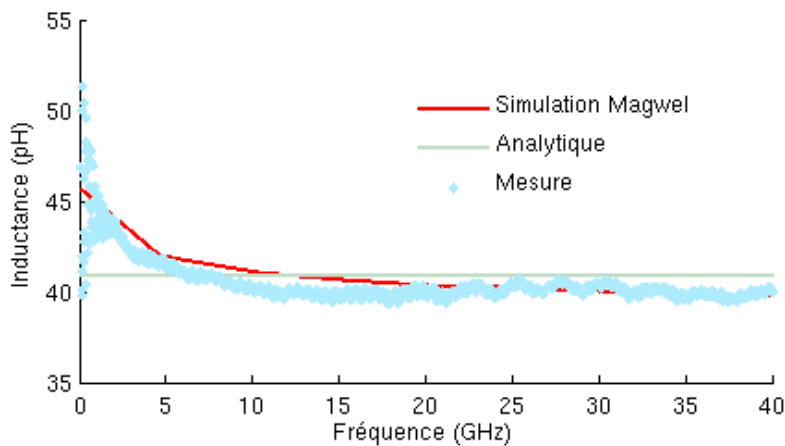


Figure 20: Inductance de la structure extraite de la mesure et de la simulation et comparaison au modèle analytique.

Pour conclure cette partie, la structure de test 1 port en transmission utilisée se montre efficace pour observer la résistance et l'inductance du TSV, et permet de valider ces éléments du modèle conformément à la Figure 9.

2.7 Caractérisation haute fréquence en open $\{C_{Si} G_{Si}\}$

Nous continuons avec la validation du modèle du silicium Bulk ($C_{Si} G_{Si}$) grâce à une étude sur une structure 1 port en configuration GSG (*Ground Signal Ground*). Elle a été embarquée sur le masque HDMI3D. Cette structure RF-1-port se compose de trois TSV en circuit ouvert alignés avec un pas de $45\mu\text{m}$ et intégrés dans un substrat flottant. La source RF est appliquée sur le TSV central, ses références de masse sont les deux autres TSV.

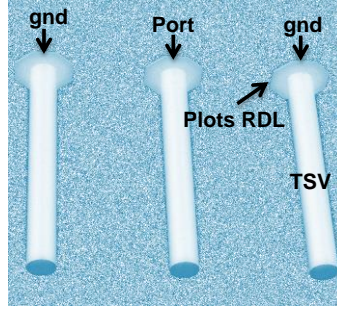


Figure 21: Structure de test en circuit ouvert simulée.

Les paramètres S_{11} , ainsi que ceux du motif de de-embedding, sont mesurés de 10 MHz à 40 GHz avec l'analyseur de réseau vectoriel, le VNA. La procédure est la même que dans la partie 2.5.4. Après avoir retiré les effets des plots et des accès par de-embedding, l'admittance Y_{mes} extraite est identifiée à une capacité et à une conductance C_{mes}/G_{mes} parallèles comme présentés en Figure 11 et Equation 12. De la même manière, à partir des paramètres S simulés de la structure de-embeddée, capacité et conductance C_{sim}/G_{sim} équivalentes sont extraites.

L'admittance équivalente théorique Y_{theo} est calculée à partir des formules théoriques de C_{Si} , G_{Si} et C_{OX} Equation 18. La capacité de déplétion n'est pas comptée dans le modèle théorique car le substrat est flottant.

$$\frac{1}{Y_{theo}} = \frac{1}{j\omega.C_{Ox}} + \frac{1}{j\omega.C_{Si} + G_{Si}} \quad \text{Equation 18}$$

Les conductances et capacités équivalente G_{theo} et C_{theo} sont ainsi déduites :

$$C_{theo} = \frac{imag(Y_{theo})}{\omega} \quad \text{et} \quad G_{theo} = real(Y_{theo}) \quad \text{Equation 19}$$

Pour calculer la capacité silicium C_{Si} le modèle présenté en 2.3.2.2 est utilisé avec $A=0$. Dans la littérature, nous retrouvons cette formule dans le modèle des lignes bifilaires [Schanen94]. P_{gnd} correspond au pas entre le TSV signal et les TSV à la masse, et vaut donc $40\mu\text{m}$.

$$C_{Si} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot h_{TSV}}{\ln\left(\frac{\sqrt{P_{gnd}}}{r_{TSV}}\right)} \quad \text{Equation 20}$$

La conductivité du substrat σ_{Si} est inconnue mais nécessaire pour calculer la conductivité théorique G_{Si} et pour modéliser le substrat de la structure dans Magwel. Grâce à l'Equation 6 et les valeurs expérimentales de C_{mes} et G_{mes} à 40 GHz, elle est estimée à $6,5\text{ S/m}$.

Les trois résultats mesurés, simulés et calculés sont tracés et comparés en Figure 22.

Vers les basses fréquences, la capacité équivalente tend vers la capacité d'oxyde C_{OX} . Lorsque la fréquence augmente, la capacité équivalente diminue pour tendre vers une valeur constante identifiée comme étant la capacité du silicium C_{SI} . Le modèle analytique de C_{SI} , est en parfaite adéquation avec les capacités extraites de la simulation et de la mesure.

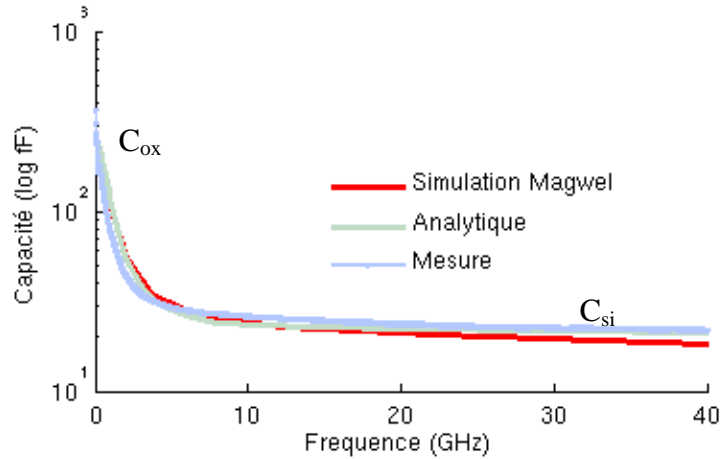


Figure 22 : Capacité de la structure extraite de la mesure et de la simulation et comparaison au modèle analytique.

Les résultats pour les conductances sont aussi présentés. Il est constaté que la conductance dans le semi-conducteur augmente légèrement avec la fréquence. La conductance G_{sim} simulée (Figure 23) est proche de la valeur mesurée, ce qui indique que le simulateur est performant dans la modélisation des couplages électriques substrat. Une étude paramétrique en simulation met en évidence deux paramètres ayant un impact significatif sur la conductance (Figure 24). La conductivité du substrat, et la présence ou non d'une prise substrat ont un impact énorme sur la conductance. Le modèle analytique prévoit une conductance constante dès le gigahertz. Il donne le bon ordre de grandeur mais montre la difficulté à tenir compte analytiquement des effets de l'augmentation de la fréquence sur les pertes.

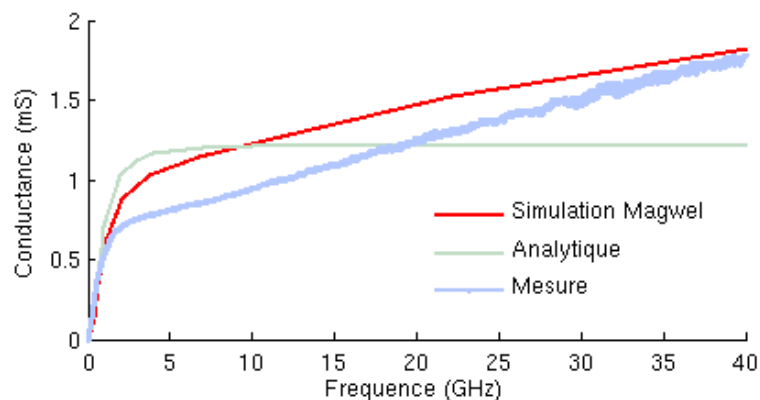


Figure 23: Conductance de la structure extraite de la mesure et de la simulation et comparaison au modèle analytique.

D'après les résultats de l'étude paramétrique, le modèle analytique serait plus juste si le substrat de la structure de test n'avait pas été flottant. Il est à noter que dans les circuits intégrés le substrat est généralement polarisé.

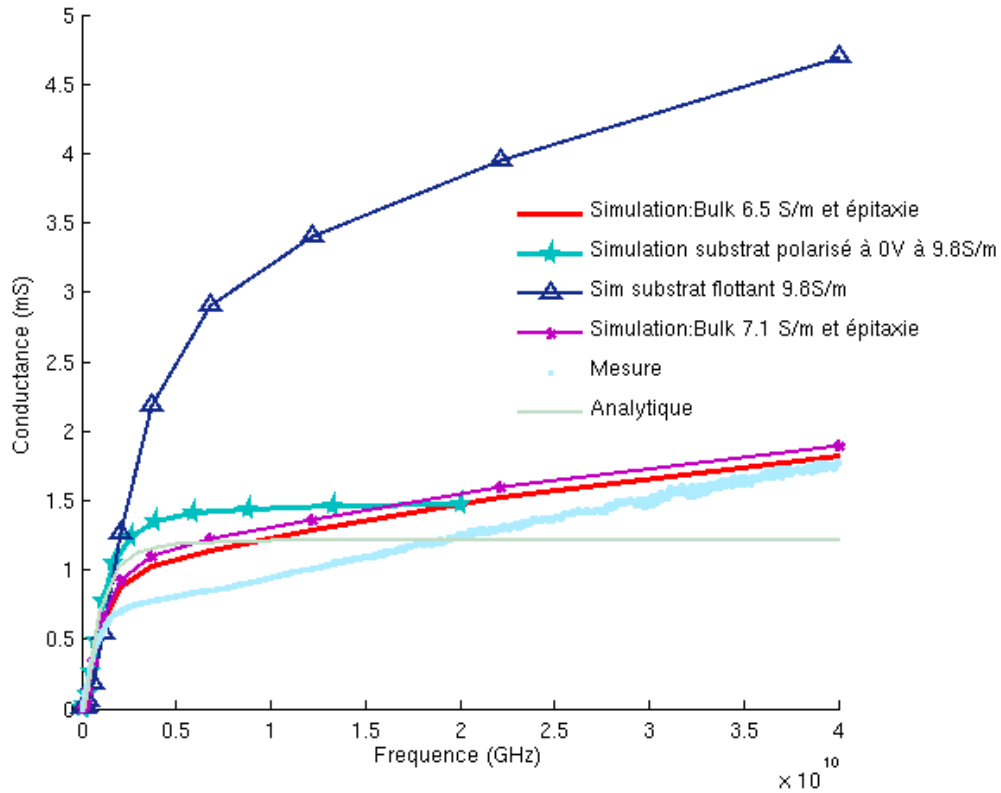


Figure 24 : Etude paramétrique en simulation

Cette partie a permis de confronter et de valider le modèle analytique du silicium C_{SI} et G_{SI} avec celui extrait de la mesure et de la simulation. La mesure a permis une nouvelle fois de valider la simulation et deux paramètres essentiels pour modéliser le silicium ont pu être mis en évidence.

Nous avons ainsi finalisé la validation du modèle analytique des TSV en suivant la démarche Figure 9.

Ce modèle analytique va, à son tour, dans la partie suivante, servir à valider une méthodologie d'extraction 4 port novatrice.

2.8 Méthodologie d'extraction 4 ports

Les résultats précédents ont validé le modèle analytique complet des TSV, présenté en 0 à l'aide de structures simples (1 port) et de méthodes d'extraction classiques.

Pour étudier le couplage entre le TSV et les transistors MOS, des structures plus complexes sont nécessaires. Nous avons conçu pour cela des structures RF 4 ports, présentées au chapitre 1. Dans les deux chapitres suivants concernant l'étude du couplage du TSV avec les parties actives, des modèles de couplage seront extraits entre un TSV et une partie active. L'extraction de ces modèles relève du challenge [Vandamme11] [Loo11] du point de vue sensibilité et procédure de de-embedding. Il est donc nécessaire de valider préalablement la méthodologie d'extraction 4 ports. Pour cela, les résultats expérimentaux obtenus pour la structure 4 ports des TSV couplés vont être confrontés au modèle analytique. Le modèle analytique validé dans ce chapitre va ainsi nous permettre de valider la pertinence des structures et la procédure 4 ports.

La procédure d'extraction 4 ports sera tout d'abord expliquée. Ensuite nous présenterons la structure de test qui permettra de la valider en comparant les modèles extraits avec cette fameuse méthode au modèle analytique. Ainsi, les résultats de l'extraction seront présentés dans la dernière partie

2.8.1 Technique de de-embedding et extraction des modèles

L'objectif de cette partie est de présenter la méthodologie d'extraction des paramètres électriques des modèles. La cellule de test est composée de lignes d'accès et de plots de contacts qui assurent la connexion du système de mesure et du dispositif de test (DUT). Une méthode de-embedding permet de s'affranchir des accès afin de connaître les paramètres du DUT [Amakawa09] [Cho05]. Dans notre cas nous avons utilisé une technique de deembedding correspondant à l'extraction des paramètres électriques du dispositif sous test. Puis dans un second temps une autre technique de-embedding a permis d'extraire les paramètres magnétiques du dispositifs de test.

2.8.1.1 Formalisme des matrices 4 ports

Les structures étudiées sont composées de 4 ports. Le formalisme pour l'étude des matrices 4 ports est présenté. Il s'agit de faire le lien entre la matrice de répartition 4 ports et les matrices liant courants et tensions [Seguinot 98]. Les ondes entrantes sont notées a_i et les ondes sortantes b_i .

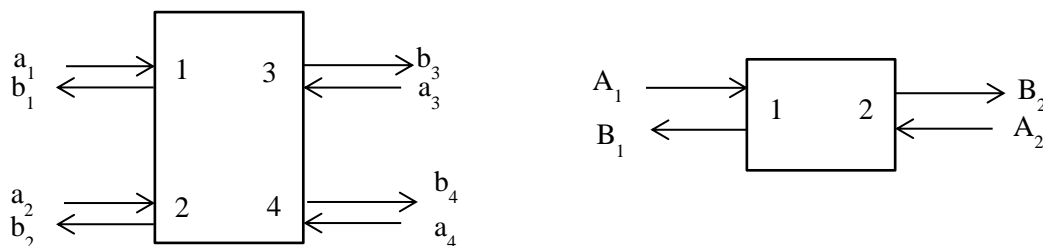


Figure 25 : Formalisme pour une structure 2N ports

Un vecteur colonne pour les ondes entrantes A_1 et pour les ondes sortantes B_1 sur les ports 1

et 2 est défini. De la même manière un vecteur colonne décrit les ondes A2 et B2 pour les ports 3 et 4. Cette écriture permet de définir la matrice de répartition.

$$A_1 = \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad A_2 = \begin{bmatrix} a_3 \\ a_4 \end{bmatrix} \quad B_1 = \begin{bmatrix} b_1 \\ b_2 \end{bmatrix} \quad B_2 = \begin{bmatrix} b_3 \\ b_4 \end{bmatrix} \quad \begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \end{bmatrix} \quad \text{Equation 21}$$

Les paramètres S ici sont d'ordre 2. Soit :

$$S_{11} = \begin{bmatrix} s_{11} & s_{12} \\ s_{21} & s_{22} \end{bmatrix} \quad S_{12} = \begin{bmatrix} s_{13} & s_{14} \\ s_{23} & s_{24} \end{bmatrix} \quad S_{21} = \begin{bmatrix} s_{31} & s_{32} \\ s_{41} & s_{42} \end{bmatrix} \quad S_{44} = \begin{bmatrix} s_{33} & s_{34} \\ s_{43} & s_{44} \end{bmatrix} \quad \text{Equation 22}$$

Il est aisé dans ces conditions de faire le lien avec les courants et tensions en entrée et en sortie du dispositif. Nous définissons de la même manière un vecteur colonne pour les tensions et courants.

V_1 est vecteur colonne qui représente les tensions d'entrées et V_2 est un vecteur colonne qui représente les tensions de sorties. I_1 et I_2 sont des vecteurs colonnes qui représentent les courants d'entrées et de sorties.

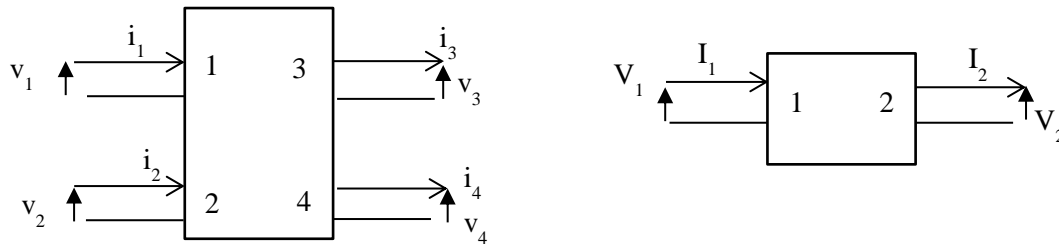


Figure 26 : Formalise pour le courant et la tension pour le système à 4 ports.

$$V_1 = \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad V_2 = \begin{bmatrix} v_3 \\ v_4 \end{bmatrix} \quad I_1 = \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} \quad I_2 = \begin{bmatrix} i_3 \\ i_4 \end{bmatrix} \quad \text{Equation 23}$$

Nous pouvons ainsi définir les matrices admittances Y ou impédance Z et cascade ABCD à partir de de ces vecteurs. Chacun des termes de ces matrices sont des matrices d'ordre 2.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad \text{Equation 24}$$

Les relations de passage entre la matrice S de répartition et les matrices T, Z ou ABCD sont définies dans la thèse Sébastien DeRivaz. A titre d'exemple les éléments de la matrices Y_{11} , Y_{12} , Y_{21} et Y_{22} s'écrivent de la manière suivante [DeRivaz11]:

$$Y_{11} = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} \quad Y_{12} = \begin{bmatrix} y_{13} & y_{14} \\ y_{23} & y_{24} \end{bmatrix} \quad Y_{21} = \begin{bmatrix} y_{31} & y_{32} \\ y_{41} & y_{42} \end{bmatrix} \quad Y_{22} = \begin{bmatrix} y_{33} & y_{34} \\ y_{43} & y_{44} \end{bmatrix} \quad \text{Equation 25}$$

2.8.1.2 Partie électrique

Méthode de de-embedding

La cellule de test se compose des plots de contacts avec les lignes d'accès et du dispositif de test que l'on cherche à caractériser. Dans cette partie seule la partie admittance est recherchée. Dans ces conditions les admittances des accès doivent être retirées à la cellule de test pour obtenir les admittances du dispositif. La méthodologie consiste à utiliser les matrices admittances. La matrice S_{CELL} de la cellule de test issu des mesures 4 ports est transformée en matrice Y_{CELL} . Cette opération est également effectuée sur la matrice S du dispositif en circuit ouvert afin d'obtenir Y_{OPEN} . Ces matrices sont des matrices d'ordre 4.

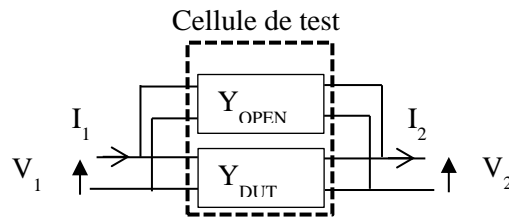


Figure 27 : Modèle utilisé pour le de-embedding de la cellule de test pour l'extraction des composantes électriques

La contribution des plots et des lignes d'accès est retiré de la cellule de test pour obtenir uniquement la matrice Y_{DUT} . Ainsi : $Y_{DUT} = Y_{CELL} - Y_{OPEN}$

Admittance des accès

Cette partie suivante présente à titre d'exemple les résultats de mesure issus de la matrice Y_{OPEN} . La partie réelle et la partie imaginaire des admittances des accès sont associées à un modèle électrique équivalent composé de conductances et de capacités comme le montre la Figure 28.

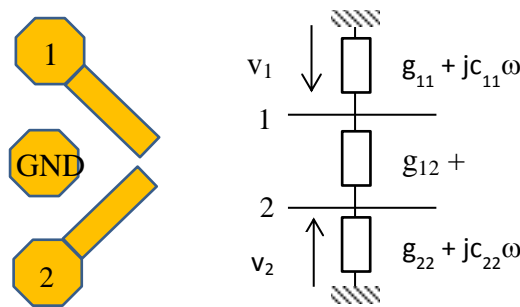


Figure 28 : Modèle électrique équivalent pour les admittances des accès au niveau RDL

La Figure 29 présente les conductances propres g_{11} et g_{22} et la conductance mutuelle g_{12} pour les lignes d'accès au niveau RDL, ainsi que les capacités propres c_{11} et c_{22} et la mutuelle capacitance entre les lignes d'accès au niveau RDL. Ces résultats démontrent que le modèle équivalent pour la partie électrique des accès est localisé jusqu'à 40GHz.

Les valeurs des paramètres du modèles sont calculées à partir des éléments des matrices Y_{OPEN} .

$$g_{11} + jc_{11}\omega = Y_{OPEN11} - Y_{OPEN12} - Y_{OPEN13} - Y_{OPEN14} \quad \text{Equation 26}$$

$$g_{12} + j c_{12} \omega = Y_{OPEN12}$$

$$g_{22} + j c_{22} \omega = Y_{OPEN22} - Y_{OPEN21} - Y_{OPEN23} - Y_{OPEN24}$$

La valeur des capacités propres c_{11} et c_{22} des accès est bien plus élevée que la capacité de couplage c_{12} . Le même constat est également effectué sur la partie conductance. Ce résultat démontre que les accès sont faiblement couplés du point de vue électrique.

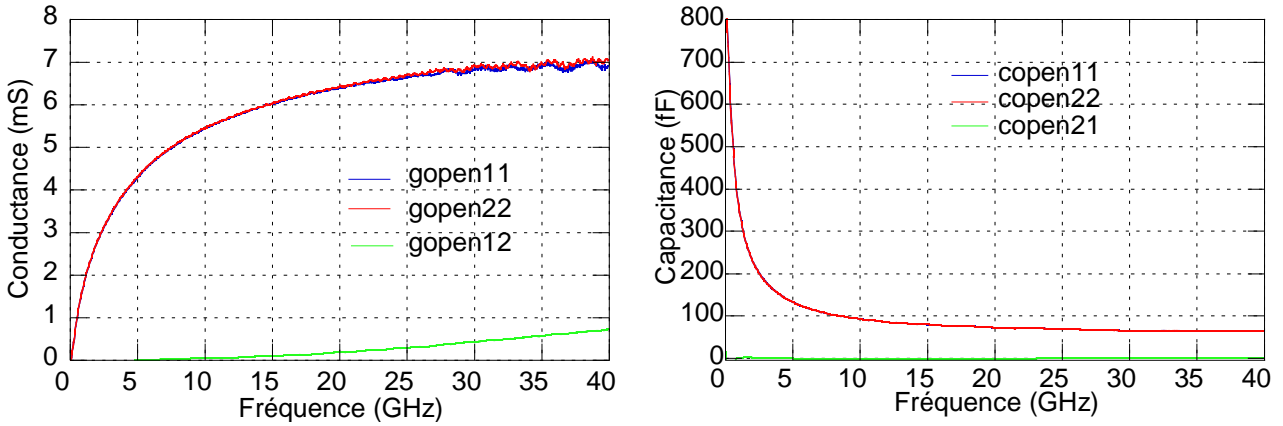


Figure 29 : Conductances et capacités propres des accès et de couplage.

Extraction de l'admittance du modèle électrique

Une fois la matrice Y_{DUT} connue le modèle électrique est extrait en mettant deux ports en circuit ouvert. Le but est de maximiser l'effet électrique et de minimiser l'effet magnétique en supprimant le courant dans le dispositif sous test. Nous obtenons une matrice d'ordre 2 qui détermine l'admittance propre des TSV ou de la prise substrat. L'extraction détermine également l'admittance de couplage entre les TSV et la prise substrat ou entre deux TSV couplées.



Figure 30 : Schéma du système

Nous obtenons donc les éléments du modèle en fonction des paramètres Y_{DUT} . Le courant I_2 est nul, ce qui conduit alors à écrire l'admittance en entrée du dispositif sous test.

$$\frac{I_1}{V_1} = Y_{DUT11} - Y_{DUT12} Y_{DUT22}^{-1} Y_{DUT21} = \begin{bmatrix} y_a & y_b \\ y_c & y_d \end{bmatrix} \quad \text{Equation 27}$$

Les paramètres y_a , y_b , y_c et y_d sont des admittances qui peuvent se modéliser sous la forme d'un schéma électrique en pi. La partie réelle représente la conductance et la partie imaginaire la capacitance.

$$g_{DUT11} + j c_{DUT11} \omega = y_a + y_b \quad \text{Equation 28}$$

$$g_{DUT12} + jc_{DUT12}\omega = -y_b = y_c$$

$$g_{DUT32} + jc_{DUT22}\omega = y_d - y_c$$

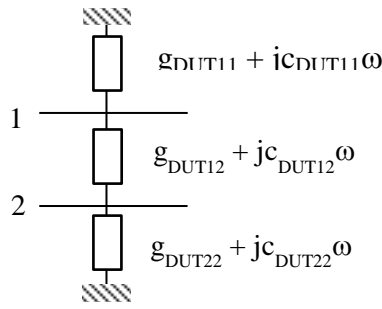


Figure 31 : Modèle électrique équivalent du système

A l'issue de cette dernière étape les capacités et les conductances du dispositif sous test sont connues. Il reste à déterminer les paramètres magnétiques. Il s'agit de la seconde technique de de-embedding.

2.8.1.3 Partie magnétique

Méthode de-embedding.

Le but de la procédure est de s'affranchir de l'impédance des accès. Ces impédances ont pour conséquence une chute de tension que ce soit au niveau RDL ou au niveau BEOL. La méthode de de-embedding consiste à soustraire l'impédance de chacun des accès à la matrice impédance de la cellule de test afin de déterminer la matrice impédance dispositif de test. La matrice de répartition S_{CELL} est transformée en matrice impédance Z_{CELL} à l'aide de formule de transformation [DeRivaz11].

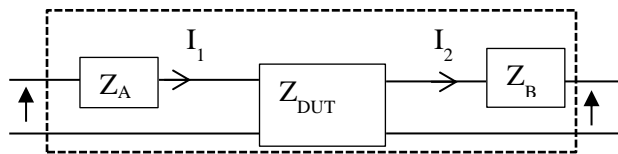


Figure 32 : Cellule de test

Nous pouvons écrire alors :

$$[Z_{DUT}] = [Z_{CELL}] - \begin{bmatrix} Z_A & Z_{ZERO} \\ Z_{ZERO} & Z_B \end{bmatrix} \quad \text{Equation 29}$$

Les matrices Z_{CELL} et Z_{DUT} sont des matrices carrées d'ordre 4. Le terme Z_A est une matrice d'ordre 2 qui modélise les effets magnétiques au niveau de l'accès RDL et Z_B . Le terme Z_{ZERO} est une

matrice d'ordre 2 qui est remplie de zéro.

Nous pouvons alors écrire les termes suivants :

$$\mathbf{Z}_A = \begin{bmatrix} z_{A11} & z_{A12} \\ z_{A21} & z_{A22} \end{bmatrix} \quad \mathbf{Z}_B = \begin{bmatrix} z_{B11} & z_{B12} \\ z_{B21} & z_{B22} \end{bmatrix} \quad \text{Equation 30}$$

La partie suivante présente la démarche pour calculer les éléments des matrices \mathbf{Z}_A et \mathbf{Z}_B .

Impédance des accès.

Cette partie présente la procédure pour obtenir la matrice impédance des accès au niveau RDL, c'est à dire \mathbf{Z}_A . La procédure consiste à mesurer le dispositif *Thru RDL* qui permet la connexion des ports 1 au port 3 et du port 2 au port 4. Le dispositif *Plot* est également mesuré pour rendre compte de l'impact des plots de contact.



Figure 33 : Dispositif de de-embedding *Thru RDL* et *Plots*.

Les matrices \mathbf{S} de ces mesures sont transformées en matrice admittances. Il s'agit de soustraire l'impact des plots de contact au dispositif mesuré mais aussi la résistance de contact.

$$\mathbf{Z}_{\text{THRU RDL}} = (\mathbf{Y}_{\text{THRU RDL}} - \mathbf{Y}_{\text{PLOT}})^{-1}$$

Les ports 3 et 4 sont chargés par des court-circuits pour maximiser l'effet magnétique.

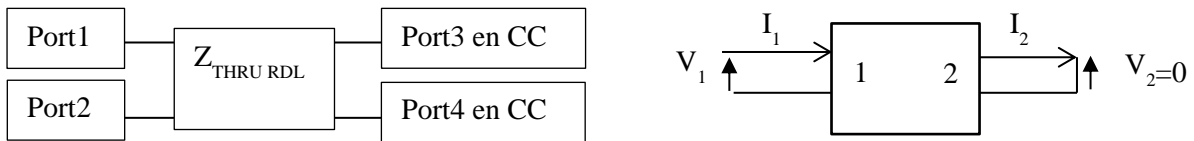


Figure 34 : Formalisme de l'opération de de-embedding

$$\frac{V_1}{I_1} = Z_{\text{THRU RDL}11} - Z_{\text{THRU RDL}12} Z_{\text{THRU RDL}22}^{-1} Z_{\text{THRU RDL}21} = 2 \times \begin{bmatrix} z_{A11} & z_{A12} \\ z_{A21} & z_{A22} \end{bmatrix} \quad \text{Equation 31}$$

On obtient alors les éléments de la matrice \mathbf{Z}_A mais avec un coefficient 2. En effet la longueur du dispositif « Thru RDL » est deux fois plus long que l'accès de la cellule de test. Les paramètres z_{A11} et z_{A22} décrivent les impédances propres des accès. Les paramètres z_{A12} et z_{A21} décrivent le couplage magnétique entre les accès. Le passage du courant dans l'un des conducteurs engendre une augmentation de la résistance et de l'inductance sur le conducteur voisin.

La partie réelle de l'impédance représente la résistance et la partie imaginaire représente une inductance. R_{A11} et L_{A11} sont les termes propres de la ligne entre le port 1 et 3 (Figure 33), R_{A12} et L_{A12} sont les termes de couplage.

$$R_{A11} + jL_{A11}\omega = Z_{A11} \quad \text{Equation 32}$$

$$R_{A12} + jL_{A12}\omega = Z_{A12}$$

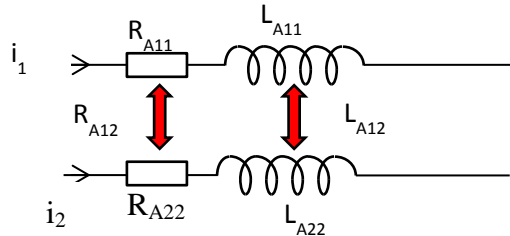


Figure 35 : Schéma des éléments électriques

La Figure 36 montre à titre d'exemple les valeurs obtenues lors de l'extraction des éléments de la matrice Z_A . La valeur de l'inductance et de la résistance de couplage sont relativement important vis à vis des paramètres propres pour les lignes d'accès. Ce résultat montre un couplage magnétique important pour les lignes d'accès. Cela peut être expliqué par les plans de masse éloignés par rapport aux accès couplés.

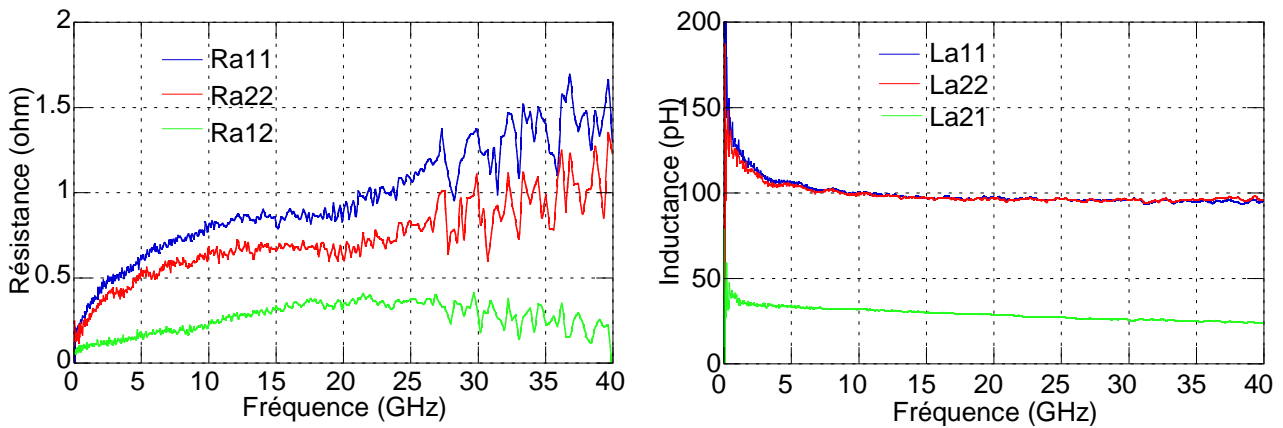


Figure 36 : Résultats de l'extraction pour la partie magnétique

La même procédure est effectuée pour le dispositif « Thru BEOL » pour déterminer les éléments de la matrice Z_B .

Extraction des impédances du dispositif sous test

Une fois les matrices Z_A et Z_B connues, la matrice impédance Z_{DUT} du dispositif sous test est calculée. Les ports 3 et 4 sont chargés par des court-circuits pour maximiser les effets magnétiques. Nous retrouvons la même équation que précédemment pour l'extraction des matrices Z_A et Z_B .

$$\frac{V_1}{I_1} = Z_{DUT11} - Z_{DUT12} Z_{DUT22}^{-1} Z_{DUT21} = \begin{bmatrix} Z_{DUT11} & Z_{DUT12} \\ Z_{DUT21} & Z_{DUT22} \end{bmatrix} \quad \text{Equation 33}$$

A partir des éléments de cette matrice, le modèle électrique décrivant les effets magnétique peut être construit. La partie réelle représente les pertes par conduction, c'est à dire la résistance. La partie imaginaire représente l'inductance. Les termes propres des conducteurs sont modélisés par Z_{DUT11} et Z_{DUT22} respectivement sur le port 1 et sur le port 2. L'effet du couplage entre conducteur est modélisé par les éléments $Z_{DUT12} = Z_{DUT21}$, qui sont réciproques.

$$R_{DUT11} + jL_{DUT11}\omega = Z_{DUT11} \quad \text{Equation 34}$$

$$R_{DUT12} + jL_{DUT12}\omega = Z_{DUT12}$$

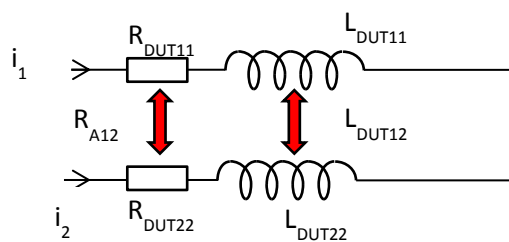


Figure 37 : Schéma des éléments électriques

2.8.2 Le dispositif de test

La Figure 38 présente la structure 4 ports conçue pour l'étude des TSV couplés : il s'agit de la structure qui permet l'extraction du modèle électromagnétique de deux TSV middle en vis-à-vis, à $30\mu\text{m}$ l'un de l'autre.

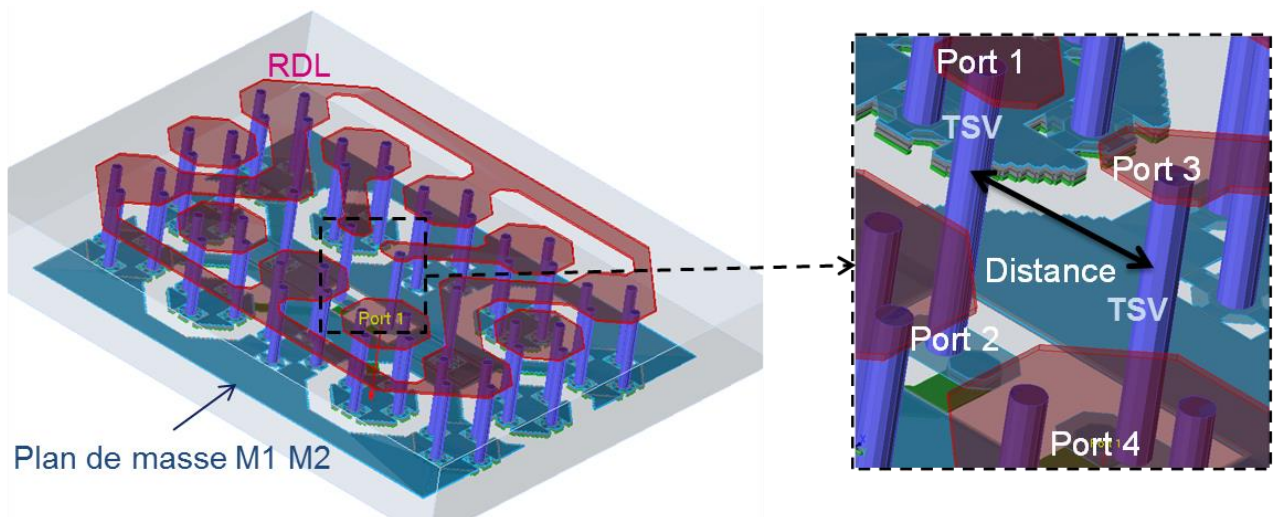


Figure 38 : Vue 3D de la structure de test.

Elle permet d'une seule mesure, d'extraire des éléments électriques (capacités et conductances) et magnétiques (résistance inductance et mutuelles).

2.8.2.1 Validation de l'étape technologique

La qualité du procédé de fabrication est vérifiée. Des coupes ont été effectuées dans le plan des plots pour vérifier la bonne fabrication des structures (Figure 39, Figure 40 et Figure 41). Des mesures de résistances ont également été faites pour vérifier les contacts. Ces observations n'ont révélé aucun problème : nous voyons parfaitement les niveaux de métaux du BEOL avec les vias bien alignés. Les TSV sont parfaitement cylindriques et aux dimensions prévues (10x80 μm).

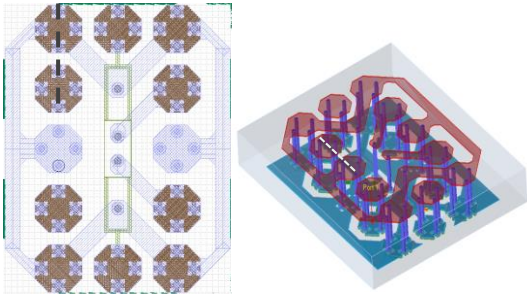


Figure 39 : GDS et vue 3D de la structure montrant l'endroit de la coupe

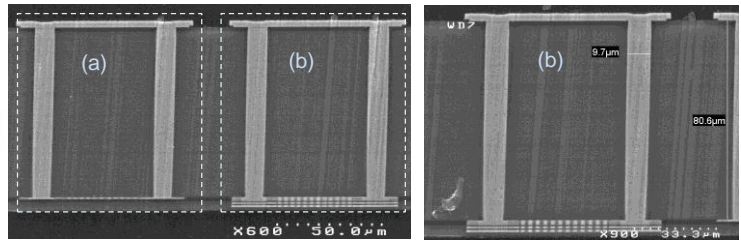


Figure 40 : Vue en coupe d'un plot masse (a) et d'un plot signal (b)

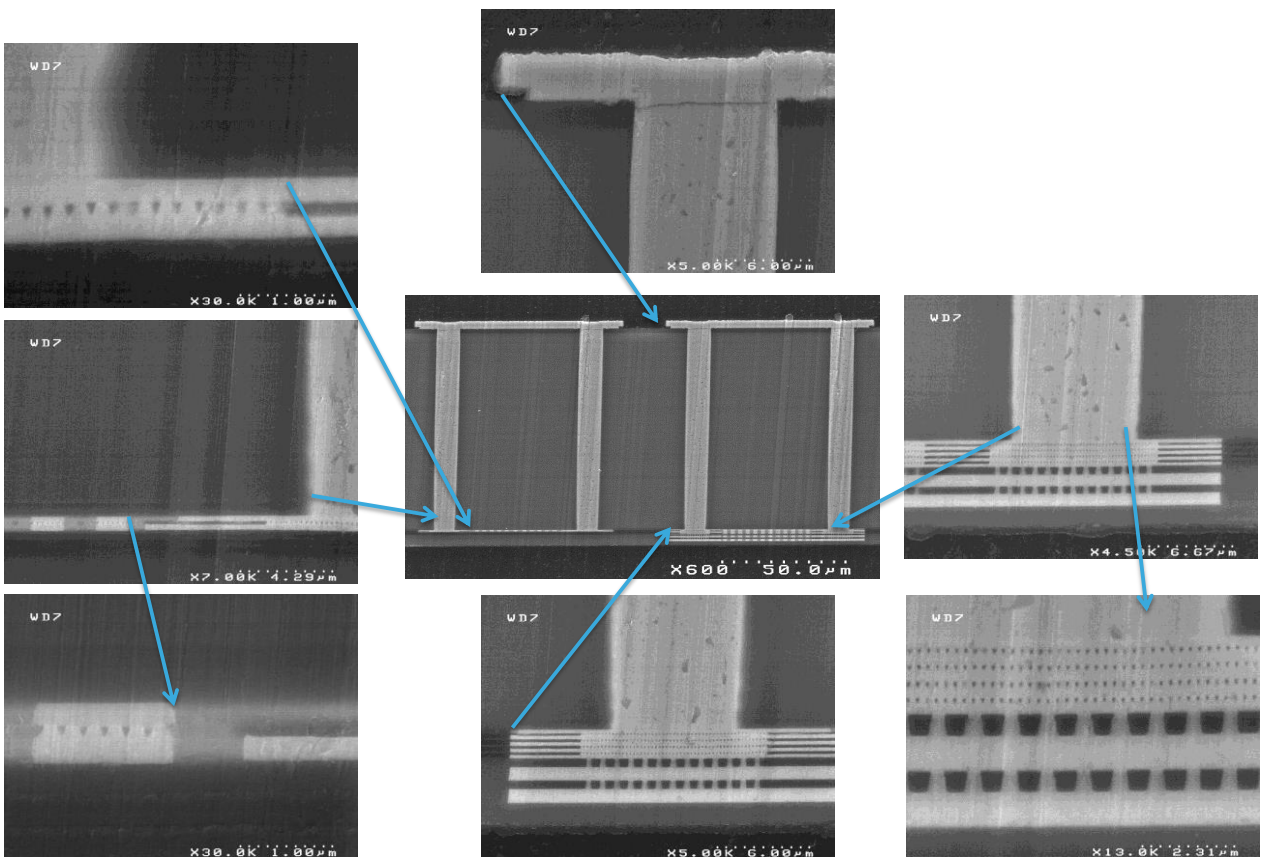


Figure 41 : Vues en coupe et zoom sur les zones critiques.

Notons la présence de résidus de poussières issus de la méthode de coupe.

Les structures de test ont donc été fabriquées avec succès et leurs paramètres S peuvent être caractérisés.

2.8.2.2 Modèle électrique des TSV couplés

Le modèle électrique qui décrit le comportement des deux TSV couplés de la structure de test est présenté (Figure 42). Il se compose d'une admittance Y_{gnd} ($G_{\text{gnd}} + j.C_{\text{gnd}}.\omega$) qui modélise l'effet électrique du TSV vis à vis de la masse et d'une admittance Y_c ($G_c + j.C_c.\omega$) qui modélise celui du couplage entre TSV. Chacune de ces admittances est composée d'une capacité, parallèle à une conductance modélisant les pertes diélectriques. Les effets magnétiques propres au TSV sont représentés par une résistance R et une inductance L . Le couplage magnétique entre TSV est modélisé par une résistance mutuelle R_M et une inductance mutuelle L_M .

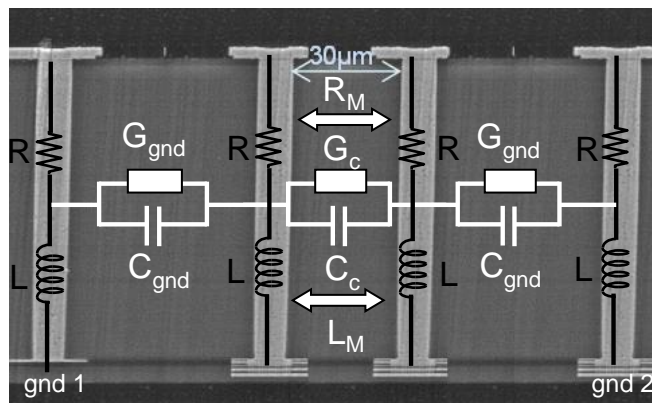


Figure 42 : Modèle électrique équivalent des deux TSV couplés

La méthode d'extraction mettant en jeu différentes structures de de-embedding est appliquée afin d'extraire les valeurs des éléments de ce modèle. Ces valeurs expérimentales sont confrontées aux valeurs obtenues par le modèle théorique.

2.8.3 Résultats d'extraction pour les résistances et inductances

2.8.3.1 Résistance

L'extraction de la résistance R sur une large bande de fréquences reste difficile car elle impacte très peu les paramètres S mesurés, compte-tenu de sa faible valeur par rapport à celle des accès : entre $22 \text{ m}\Omega$ en statique à $250 \text{ m}\Omega$ à 40 GHz (comme montré en Figure 19) contre 3 à $4 \text{ }\Omega$, mesurés à l'ohmmètre pour les accès et la résistance contact. Pourtant, la sensibilité du VNA semble excellente et la méthode de de-embedding correcte car le résultat de l'extraction (Figure 43) a bien le comportement d'une résistance, comme le décrit le modèle analytique qui prend en compte l'effet de peau dans le conducteur. Faute d'une sensibilité suffisante, les résultats d'extraction n'ont pas permis d'obtenir la résistance mutuelle R_M car celle-ci est encore plus faible.

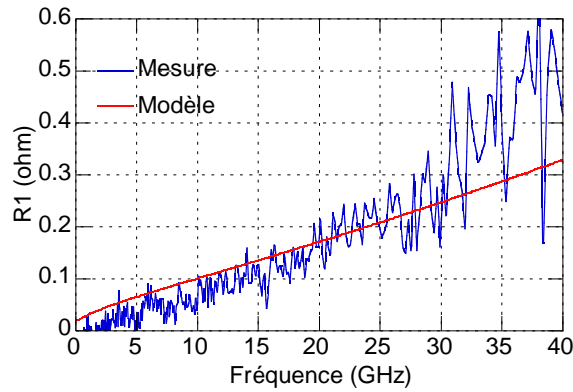


Figure 43 : Comparaison du résultat expérimental de R et du modèle analytique.

2.8.3.2 Inductance

L'inductance propre L d'un TSV et l'inductance mutuelle L_{M12} entre les deux TSV (1 et 2) (Figure 44) sont calculées en prenant en compte l'effet des mutuelles inductances dans les TSV de masse (gnd1 et gnd2). Les retours de courant dans les TSV de masse sont dans le sens opposé des TSV signal 1 et 2 et ont donc pour effet une diminution de l'inductance L et L_{M12} comme le montre l'Equation 35.

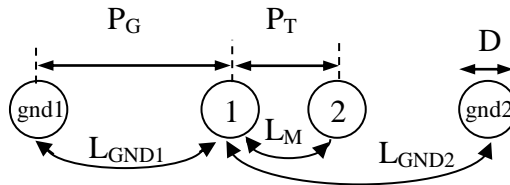


Figure 44 : Schéma des TSV du système vu de dessus et les paramètres de la modélisation

$$L = L_{TSV} - 0.5 \times (L_{GND1} + L_{GND2}) \quad \text{Equation 35}$$

$$L_{M12} = L_M - 0.5 \times (L_{GND1} + L_{GND2})$$

Les valeurs des inductances L et L_M sont calculées à partir de l'Equation 10, les valeurs affectées à x pour le calcul des quatre différentes inductances sont mentionnées dans le tableau suivant.

Tableau 5: Les différentes inductances

Inductance	L_{TSV}	L_M	L_{GND1}	L_{GND2}
x	Rayon R_{TSV}	P_T	P_G	$P_T + P_G$

On note un bon accord entre l'extraction et le modèle théorique, qui prévoit 38 pH pour l'inductance propre L . La valeur de l'inductance mutuelle reste faible et le modèle théorique prévoit 6 pH. La Figure 45 montre le comportement en fréquence obtenu par la mesure et confirme ainsi la pertinence des dispositifs et de la méthodologie d'extraction.

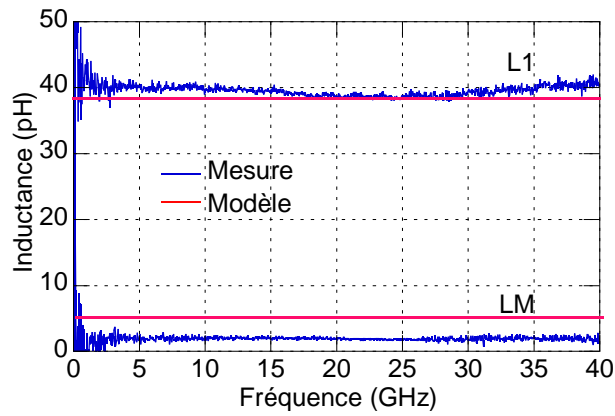


Figure 45 : Comparaison du modèle analytique et des résultats expérimentaux pour l'inductance propre L et de l'inductance mutuelle L_M .

2.8.4 Résultat d'extraction pour la conductance et la capacité

Pour comparer le modèle physique analytique au modèle comportemental extrait de la mesure, nous calculons son modèle équivalent à partir du schéma physique (Figure 46) et de nos formules analytiques présentées en section 2.3.2.2.

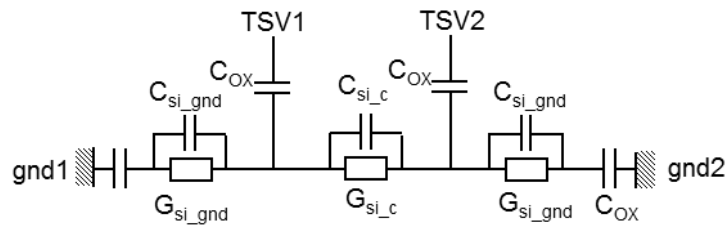


Figure 46 : Modélisation physique du comportement capacitif de la structure.

Les capacités C_{si_c} et C_{si_gnd} sont déduites des formules théoriques. Les capacités équivalentes C_{gnd} et C_M sont tracées en comparaison avec celles extraites de la mesure qui montre un excellent accord.

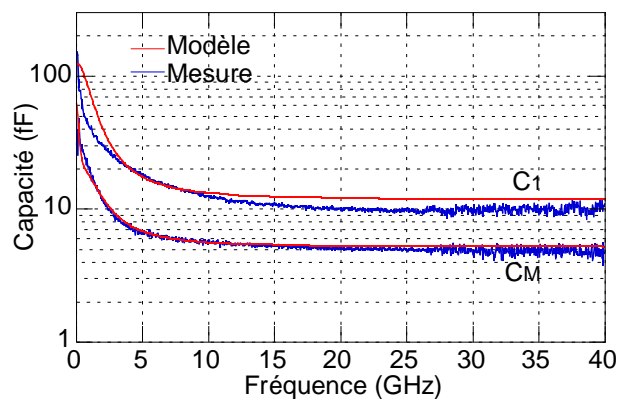


Figure 47 : Comparaison du modèle analytique et des résultats expérimentaux pour la capacité de couplage C_M et la capacité C_{gnd} ($C1$).

Les conductances théoriques G_{si_c} et G_{si_gnd} sont déduites des valeurs des capacités silicium

C_{si_c} et C_{si_gnd} au moyen de la formule $G = \frac{C\sigma_{Si}}{\epsilon_0\epsilon_{Si}}$.

Notre modèle décrit les pertes diélectriques en prenant en compte uniquement la conductivité du silicium. Nous constatons sur la Figure 48 une différence entre les résultats de mesure et le modèle qui peut s'expliquer par l'absence d'un angle de pertes diélectriques dans le modèle.

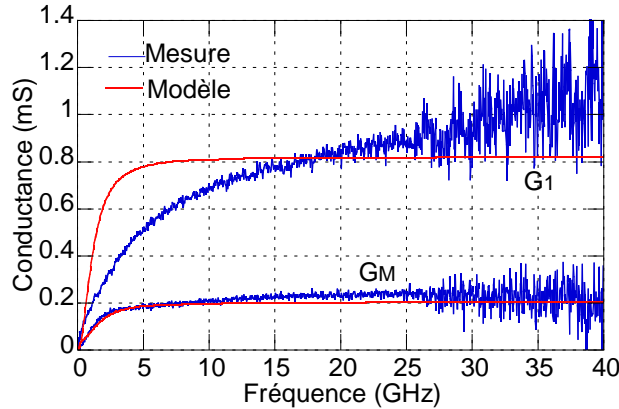


Figure 48 : Comparaison du modèle analytique et des résultats expérimentaux pour la capacité de couplage G_M et la capacité propre G_1 .

2.8.5 Conclusion sur la méthodologie 4 ports

L'extraction de modèles à partir des résultats expérimentaux des structures en 4 ports a été comparée au modèle analytique précédemment validé et les deux concordent bien. Ces résultats valident deux points critiques des structures de test 4 ports :

- la sensibilité au comportement électrique des deux TSV, le DUT, semble bonne, compte tenu du fait que le DST est enfoui dans le substrat et connecté à des lignes d'accès.

- la méthodologie de de-embedding et d'extraction, complexe en 4 ports, nous permet de remonter au comportement de ce DUT, en s'affranchissant des effets des accès.

2.9 Conclusion du chapitre

Un modèle analytique et physique du comportement électrique des TSV Middle a été validé par la mesure et la simulation des basses aux radiofréquences : il pourra être appliqué dans le cas de TSV en matrice, en prenant en compte la disposition des TSV, et en distinguant des TSV « signaux » et des TSV de masse. De plus ce modèle est basé sur des équations analytiques en fonction de paramètres géométriques et technologiques, ce qui signifie qu'il s'applique à des technologies similaires, tels que le via middle en technologie 28 nm (6 μm de diamètre et 50 μm de hauteur) si l'on en connaît les paramètres physiques.

Nous avons également pu vérifier la pertinence de nos méthodologies de de-embedding et d'extraction de modèles comportementaux pour les comparer à des modèles équivalents physiques, aussi bien en 1 port qu'en 4 ports.

Maintenant que nous connaissons bien le comportement électrique des TSV, nous allons donc pouvoir passer à l'étape suivante de la démarche générale de la thèse : étudier le couplage entre le TSV et des structures actives simples. La compréhension de ce phénomène est une étape intermédiaire pour comprendre le couplage avec les MOS. Les structures utilisées pour cette étude sont similaires à la structure 4 ports des TSV couplés, le phénomène de couplage TSV-zones actives pourra donc être étudié grâce à une méthode d'extraction validée.

Chapitre 3

Modélisation du couplage entre le TSV et les caissons dopés

Table des Matières

Chapitre 3	83
3.1 Les motifs de test.....	87
3.1.1 Choix des caissons dopés.....	87
3.1.2 Dopage des caissons.....	88
3.1.3 Description des structures de test RF TSV-caissons.....	90
3.1.4 Technologie.....	91
3.2 Etude des jonctions.....	93
3.2.1 Extraction des modèles SPICE	93
3.2.2 Simulation des caractéristiques statiques des jonctions	94
3.2.3 Simulation des caractéristiques dynamiques des jonctions.....	95
3.3 Mesure du couplage TSV-caisson.....	97
3.3.1 Mesure radiofréquence avec polarisations statiques.....	97
3.3.2 Propriété de réciprocité du système 4 ports	98
3.3.3 Analyse des fonctions de transfert	99
3.3.3.1 Impact de la polarisation sur le couplage TSV-prise substrat	99
3.3.3.2 Impact de la polarisation sur le couplage TSV-jonction	99
3.3.3.3 Comparaison selon les caissons.....	100
3.3.3.4 Impact de la surface et des masses	102
3.3.3.5 Synthèse.....	103
3.4 Modélisation du couplage entre TSV et caissons.....	104
3.4.1 Etude du couplage TSV-prise substrat.....	104
3.4.1.1 Modélisation	104
3.4.1.2 Validation du modèle avec la caractérisation expérimentale	106
3.4.2 Etude du couplage TSV-jonction.....	112
3.4.2.1 Modélisation	112
3.4.2.2 Validation du modèle avec la caractérisation expérimentale	113
3.4.2.3 Modèle de la capacité de déplétion de la jonction PN.....	115
3.4.2.4 Discussion sur la possibilité de modélisation	116
3.5 Conclusion du chapitre.....	117

Ce nouveau chapitre traite d'un cas d'étude original : le couplage entre TSV et zones dopées. Des résultats expérimentaux obtenus grâce aux structures de test 4 ports sont analysés pour mieux comprendre les mécanismes de couplage des TSV avec des zones actives relativement simples, comparés au MOS, du point de vue comportement électrique.

Des travaux récemment publiés portant sur l'étude du couplage entre le TSV et l'actif ont montré la complexité des phénomènes mis en jeu [Rousseau09] [Cho11]. Leurs modélisations fines nécessitent l'utilisation d'un outil de calcul lourd et complexe. En effet cet outil doit réunir la résolution des équations de Poisson pour la modélisation du semi-conducteur, prenant donc la description des dopages en compte, et des équations de Maxwell pour modéliser les phénomènes électromagnétiques. Pour ce qui est des analyses expérimentales, la difficulté réside dans la conception spécifique et complexe des dispositifs intégrés en 3D.

Ainsi beaucoup de questionnements et de doutes se soulèvent : le couplage entre le TSV et le transistor sera-t-il de nature électrique ou magnétique, ou les deux ? Le niveau de couplage entre le TSV et la partie active est-il important en hautes fréquences et dépend-il de la polarisation?

Pour répondre à ces interrogations, la démarche consiste dans un premier temps à comprendre le couplage entre le TSV des zones de substrat dopées. Cette étude est une étape qui s'avère indispensable à la compréhension fine du couplage entre les TSV et les MOS. En effet, l'étude de l'intra-substrat avec des structures de test RF 4 ports uniquement passives, comme nous l'avons vue au chapitre précédent, était déjà un challenge, elle le sera d'autant plus avec des structures actives.

Le MOS est une structure plus complexe car les polarisations appliquées induisent des comportements électriques différents vis à vis du substrat, et il est composé de différentes zones dopées, autour desquelles différents effets vont se produire conjointement. Pour comprendre l'impact de ces deux paramètres clés, le dopage et la polarisation, sur le couplage TSV-MOS, l'idée est d'étudier le couplage substrat entre un TSV et différentes zones dopées, ou caisson dans le jargon, et polarisées, pour reproduire séparément des effets indissociables dans le cas du MOS.

La première partie s'articule autour de la description des structures de test dédiées à la caractérisation du couplage entre le TSV et des caissons dopés: leur conception et en particulier les raisons du choix des dopages sont expliquées. Ces caissons sont ensuite étudiés en simulation pour anticiper leur comportement vis-à-vis du substrat. Dans la troisième partie, les résultats de la mesure radiofréquence et l'impact de différents paramètres sont analysés. La dernière partie concerne la modélisation qui fait le lien entre les résultats de la mesure du couplage et les phénomènes physiques en jeu dans le couplage. Un modèle de couplage entre le TSV et les caissons est construit en deux étapes, qui mettent en évidence le comportement du substrat puis celui des jonctions.

3.1 Les motifs de test

Les résultats obtenus sur la caractérisation des interactions électromagnétiques entre deux TSV avec une structure 4 port (dernière partie du chapitre 2) ont validé la pertinence de notre démarche pour comprendre le couplage substrat. Les structures de test conçues pour cette thèse sont innovantes. L'étude des TSV couplés a montré qu'elles apportaient les résultats attendus du point de vue théorique. De plus la méthodologie de de-embedding et d'extraction spécialement mise au point a été validée. Ce type de structure de test et cette méthodologie peuvent par conséquent être adaptés pour notre nouveau cas d'étude. Dans cette partie, des structures de test spécifiques pour caractériser le couplage entre un TSV et différents caissons dopés sont définies, et la démarche expérimentale est présentée.

L'enjeu de ces structures originales est double. Nous souhaitons dans un premier temps mettre en évidence un couplage électromagnétique entre le TSV et les zones de substrat dopées, actives (jonctions p-n) ou passives (prise substrat), afin d'extraire des modèle électriques équivalent. Ces modèles doivent rendre compte du couplage, qu'il soit de type électriques, magnétiques ou les deux. Dans un deuxième temps il faut comprendre le mécanisme physique induisant un couplage via le substrat (Bulk et épitaxie) et l'impact des polarisations des caissons sur celui-ci. L'objectif est d'apporter des éléments pour la compréhension du couplage entre le TSV et les jonctions p-n ou les prises substrat qui constituent en partie le transistor.

3.1.1 Choix des caissons dopés

Cette section présente la stratégie de conception et d'intégration de caissons spécifiques dans les structures de test pour étudier leur interaction avec le TSV.

Le transistor MOS est une structure complexe réunissant au moins trois caissons dopés, comme le montre le schéma suivant (Figure 1). Son fonctionnement a été décrit dans le chapitre 1. Il se compose de la source et du drain, aux dopages similaires, et d'une grille qui contrôle la conductivité du canal, déterminant l'état passant ou bloqué du transistor MOS. Une prise substrat de type N+ ou P+, dont la connexion est généralement notée Bulk, polarise l'environnement du MOS pour en garantir les performances. Le transistor NMOS isolé bénéficie d'un caisson d'isolation de type N lui garantissant une meilleure isolation des perturbations substrat. Ce caisson correspond à une étape supplémentaire de dopage profond appelée Deep Nwell, fermée par une zone dopée Nwell et connectés à 0 V.

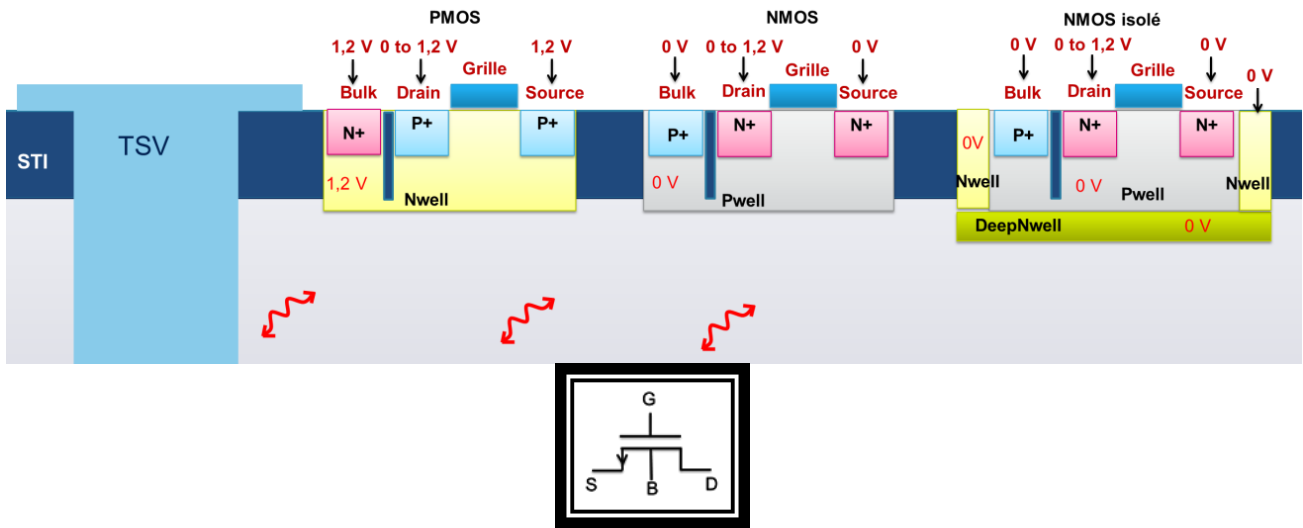


Figure 1 : Les trois types de MOS les plus courants du nœud 65 nm, leurs polarisations standards et rappel de leur symbolique.

L'objectif de cette étude est d'apporter des éléments de compréhensions des mécanismes physiques régissant le couplage entre le TSV et les transistors MOS. La démarche a donc été de décomposer le transistor MOS (de type N ou P), pour réduire la complexité des phénomènes, en étudiant le couplage du TSV avec six types de caissons (Figure 2). Les différents types d'implant représentent chaque partie du MOS. Cependant il est important de préciser que les caissons 2, 3, 4 et 6 ne sont pas des répliques exactes des drains et sources des transistors, pour des raisons de procédés d'intégration. Il n'y a entre autres pas les *Pocket* et les espèces dopantes (Bore, Phosphore, Arsenic ...) et les niveaux de dopage sont différents. Cependant les phénomènes électriques liés aux différentes jonctions p-n sont similaires à ceux qui pourront se produire avec les drains et sources des transistors et nous pourrons ainsi les étudier.

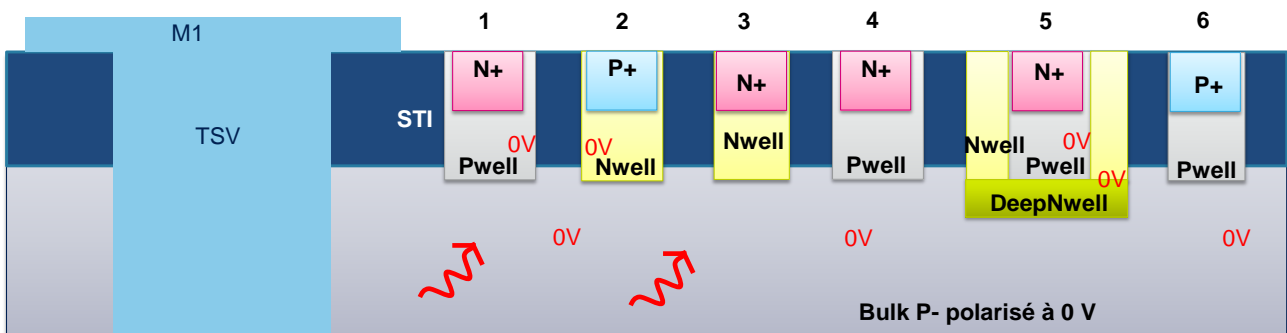


Figure 2 : Les six types de caissons implantés dans les structures : jonctions p-n (1 à 5) et prise substrat (6)

3.1.2 Dopage des caissons

Le dopage des différents caissons de la Figure 2 est ici expliqué. Il est important de connaître cette étape de procédé car les différents dopages engendrent des caractéristiques électriques qui jouent sur le couplage avec le TSV.

Les caissons sont implantés pendant le procédé Front End Of Line (FEOL). Les composants actifs sont implantés dans l'épithésie de silicium dont le dopage est précisément contrôlé : il est ici

de type P et à hauteur de $1.37 \cdot 10^{15}$ atomes de bore par centimètres cubes. Ensuite plusieurs étapes de dopage sont nécessaires pour fabriquer, par exemple, une zone de type N+ ou P+. Plusieurs atomes dopants sont utilisés car ils n'ont pas tous les mêmes propriétés intrinsèques dans le silicium. De plus les technologues jouent sur leurs associations pour obtenir des profils précis grâce, entre autres, à des effets de diffusions couplées [Mathiot]. Dans le cas de nos zones dopées, nous trouvons plusieurs accepteurs, le bore et le gallium, et plusieurs donneurs, l'arsenic et le phosphore. Les courbes de dopages sont connues grâce à des simulations de procédé dans l'outil TCAD, qui sont ajustées à des profils SIMS (Secondary Ion Mass Spectrometry) expérimentaux. Des profils correspondant à un type de dopant particulier (bore, arsenic, gallium ...) sont générés pour chaque étape d'implantation. Pour rendre compte des niveaux de dopages et de leur profondeur, et identifier les effets électriques pouvant impacter le couplage, ils sont observés pour chaque caisson. Par exemple, pour les caissons 3 et 4 (N+/PWELL) différents types de dopages sont réalisés comme l'illustre la Figure 3. Les dopants de même types, n ou p, s'ajoutent alors, c'est pourquoi les totaux en espèces de type n ou p (Figure 4) sont calculés.

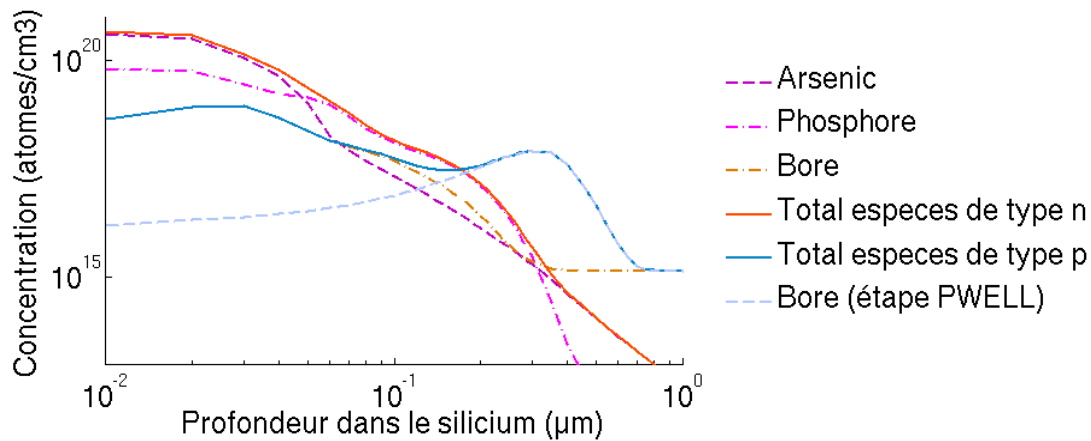


Figure 3 : Profils de dopages pour le caisson 5 (N+/PWELL) : concentration de dopants et totaux des types n et p en fonction de la profondeur dans le substrat.

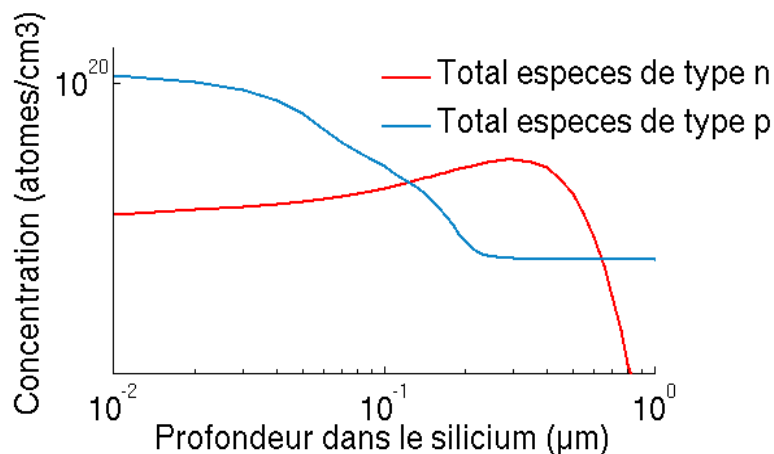


Figure 4 : Profils de dopages pour le caisson 2 (P+/NWELL) : totaux des concentrations de dopants des types n et p en fonction de la profondeur dans le substrat.

Le dopage du semi-conducteur a pour effet de moduler sa conductivité électrique. D'autre part, les deux types de dopages donnent naissance à des jonctions p-n. Les jonctions p-n réagissent fortement au champ électrique, qui module la conductivité et l'effet capacitif de la jonction. Pour

observer ces effets, des polarisations sont appliquées sur les caissons lors de la mesure.

3.1.3 Description des structures de test RF TSV-caissons

La technologie, le procédé d'intégration et la géométrie globale des structures de test conçues pour l'étude du couplage TSV-caissons sont les mêmes que celles pour les TSV couplés (dernière section du chapitre 2). Il s'agit pour les TSV du procédé via middle ($10\ \mu\text{m} \times 80\ \mu\text{m}$) et pour les caissons du procédé CMOS 65 nm. Les accès et le réseau de masse, micro ruban et plan de masse, sont aussi similaires à ceux de la structure des TSV couplés. Seul le dispositif sous test (DST) change.

Le DST se compose d'un TSV et de deux caissons dopés, isolés l'un de l'autre par un espacement de $7\ \mu\text{m}$ (Figure 5). Les deux caissons sont chacun connectés au port 3 ou au port 4, tandis que le TSV est en transmission entre le port 1 et le port 2. C'est pour des raisons de contraintes de place et également pour le besoin de validation de la méthode d'extraction que les structures 4 ports sont adaptée au cas du couplage TSV-caisson. De là découle le fait qu'une structure de caractérisation du couplage TSV-caissons contient deux des caissons présentés Figure 2.

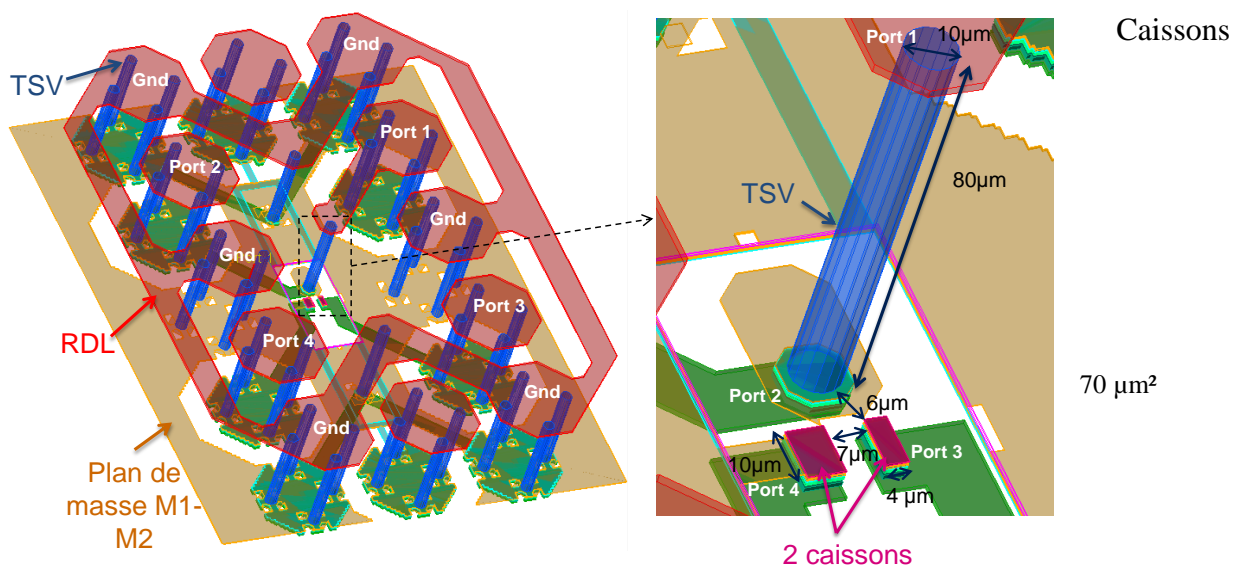


Figure 5 : La structure radiofréquence 4 port GSGSG pour mesurer le couplage TSV-caisson: vue générale, zoom sur le DST, et binômes de caissons

Il y a donc trois structures dédiées à la caractérisation du couplage TSV-caissons. Une structure de de-embedding « open » est spécialement conçue pour retirer l'influence électrique des plots et des accès. Le couplage entre le TSV et chacun des deux caissons est extrait sans voir l'influence de l'autre grâce à notre méthode d'extraction. En effet, à partir des paramètres S mesurés, il est possible d'extraire indépendamment les unes des autres les admittances propres et les admittances de couplages illustrées Figure 6.

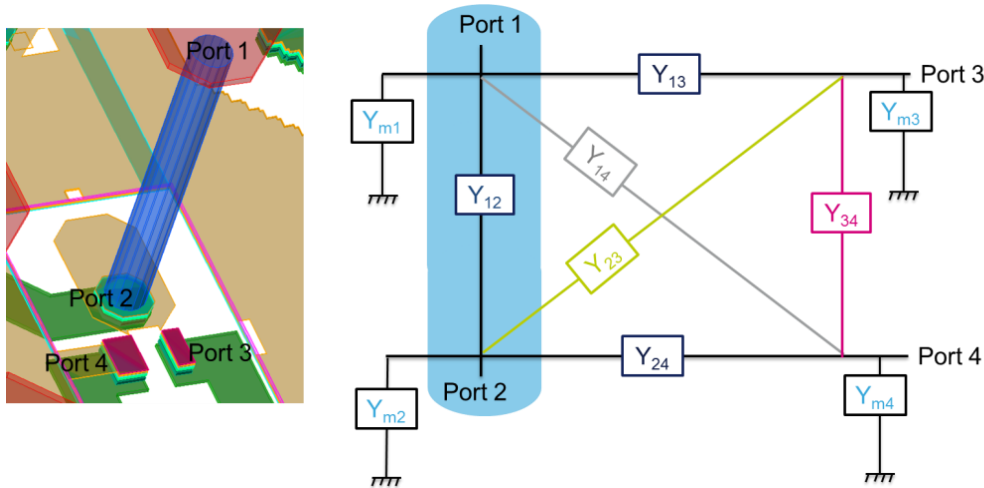


Figure 6 : Modélisation du dispositif sous test avec des admittances propres Y_{ii} et admittances de couplages Y_{ij} .

Les structures doivent permettre à la mesure d'être sensible au phénomène de couplage et à l'influence des différents dopages et des polarisations. La sensibilité au couplage est en effet un des points critiques de cette étude. Pour pallier ce point sensible, nous avons choisi de jouer sur les dimensions afin d'exacerber les phénomènes en jeu. Les caissons sont placés au plus près autorisé par les règles de dessin du TSV, à $6 \mu\text{m}$, et ont des surfaces conséquentes de $40 \mu\text{m}^2$ à $70 \mu\text{m}^2$, indiquées pour chacune sur la Figure 5. Les dimensions utilisées sont inhabituelles comparées aux dimensions typiques des composants de la technologie 65 nm. Les résultats correspondront ainsi à un pire cas, et permettra de repérer des seuils critiques de couplage. Les deux caissons 2 et 3 (N_+/P_{WELL}) ont des surfaces différentes, cela pour tester l'impact de ce paramètre sur le couplage.

La structure se caractérise en face arrière de la puce, où les plots RDL sont dimensionnés pour poser les pointes de mesure radiofréquence. Les pointes utilisées sont de type Masse-Signal-Masse-Signal-Masse (GSGSG) et sont posées sur les plots attitrés (Figure 5)

3.1.4 Technologie

Dans ces structures de test, la densité de TSV est relativement forte. Le pas des TSV est le minimum autorisé par les règles de dessin 3D : $40 \mu\text{m}$. De plus les zones actives ont été implantées au plus près du TSV sous test. Ce design agressif a bien été respecté et les structures réalisées, les procédés technologiques 3D se montrent donc suffisamment matures et compatibles avec les procédés CMOS 65 nm.

De nombreuses vues en coupes ont été observées à différents endroits des structures. En voici un échantillon Figure 7. Elles sont nécessaires pour vérifier l'état de la structure 3D car tout est enfouit dans le silicium. Le TSV a les dimensions attendues ($10 \mu\text{m}$ par $80 \mu\text{m}$). Les niveaux de métaux au-dessus sont en excellent état, tout comme ceux au-dessus des caissons.

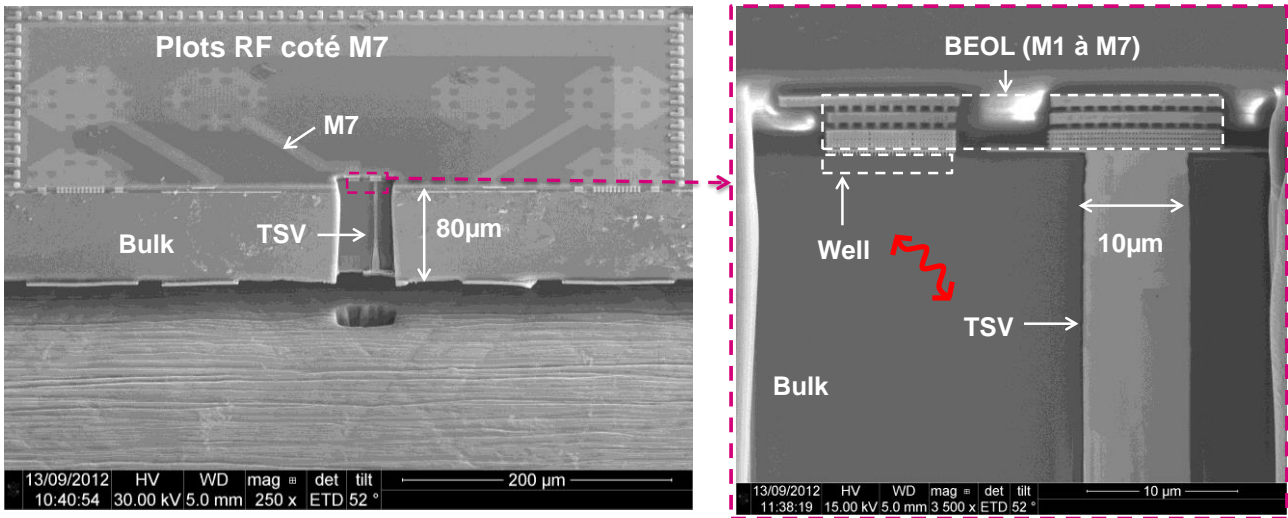


Figure 7 : Vue en coupe de la structure de test et zoom sur le DST.

Les contacts électriques ont été vérifiés au ohmmètre, révélant qu'il n'y a eu ni ouverture ni fissures dans les connexions (RDL, TSV et niveaux de métal) ou à leur jonctions. Par exemple, les résistances statiques mesurées entre le port 1 et 2, soit le TSV et ses accès RDL et BEOL, varient très peu d'une structure à l'autre. Elles sont comprises entre 3,56 Ω et 3.59 Ω , sachant que la résistance de contact pointe/plot est d'environ 1 à 2 Ω . En outre, les variations pouvant être attribuées au posé des pointes, la faible variation atteste d'un posé de pointe reproductible. Cette condition est importante pour réaliser une mesure RF de qualité.

Les différentes mesures statiques couplées aux caractérisations physiques (coupe MEB) montrent que les structures de test ont été réalisées sans défaut majeur.

3.2 Etude des jonctions

Cette étude a pour objectif de mieux connaître les caractéristiques électriques des jonctions p-n (caissons 1 à 5) avant de commencer la caractérisation RF et de définir les polarisations statiques qui leur sont appliquées lors des mesures RF.

3.2.1 Extraction des modèles SPICE

Les modèles électriques des jonctions sont extraits grâce au programme *Layout Versus Schematics* (LVS). Il fait le lien entre la technologie décrite dans le *Graphic Data System* (GDS) et les bibliothèques ST de modèles. Le programme retourne le modèle électrique du FEOL et du BEOL, mais pas celui des éléments propres à l'intégration 3D (TSV, RDL), qui ne sont donc pas pris en compte dans le modèle extrait.

Une fois la procédure d'extraction réalisée, différentes diodes sont reconnues dans les caissons et sont illustrées

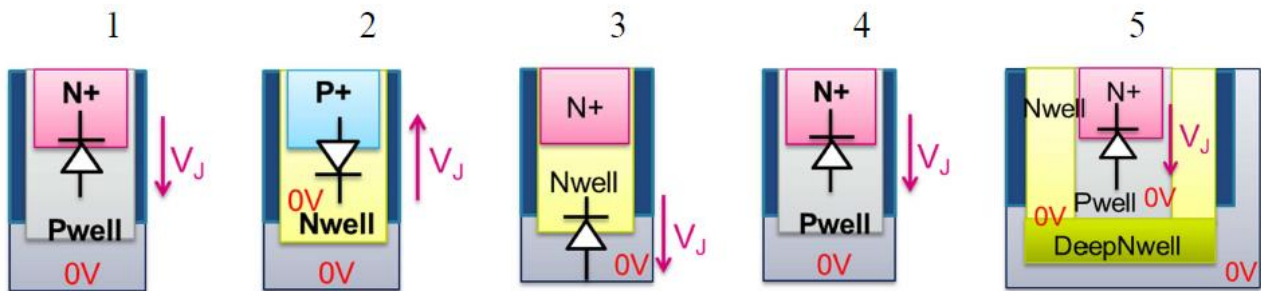


Figure 8. L'effet diode se produit entre les bornes des jonctions p-n polarisée à V_j .

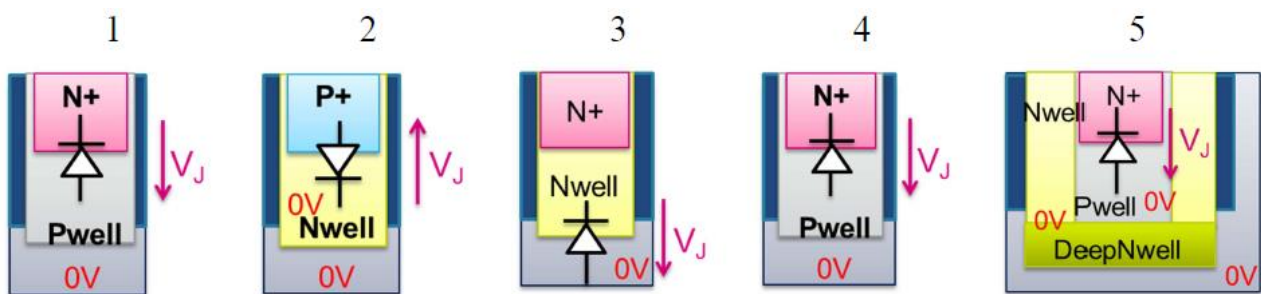


Figure 8 : Diodes modélisant les différents caissons.

Les diodes extraites des bibliothèques ST modélisent les caractéristiques électriques des jonctions en fonction des potentiels appliqués à leurs bornes. Il est important de préciser que ces modèles sont ajustés à des mesures dans des circuits intégrés 2D, et que le procédé d'intégration 3D de nos structures est susceptible de modifier légèrement leur caractéristiques. Les modèles sont ensuite simulés sous le programme Spice (*Simulation Program with Integrated Circuit Emphasis*).

3.2.2 Simulation des caractéristiques statiques des jonctions

Pour simuler les propriétés essentielles des jonctions, des *netlists* SPICE, fichiers d'entrée du simulateur sont écrites. Les jonctions sont soumises à des tensions V continues allant de -1.2 V à 1.2 V, tensions d'alimentation standards des transistors du nœud technologique 65nm. Une analyse continue (DC) est réalisée pour tracer les courants en fonction des tensions appliquées $I(V)$. Le résultat de la jonction 4 (N+/PWELL) est présenté : le courant I est tracé en fonction de la tension V appliquée (Figure 9). Le courant commence à passer dans la diode pour les polarisations inférieures à environ -0.6 V, la différence de potentiel V_J entre le port 3 et le substrat est alors positive, de 0.6 V.

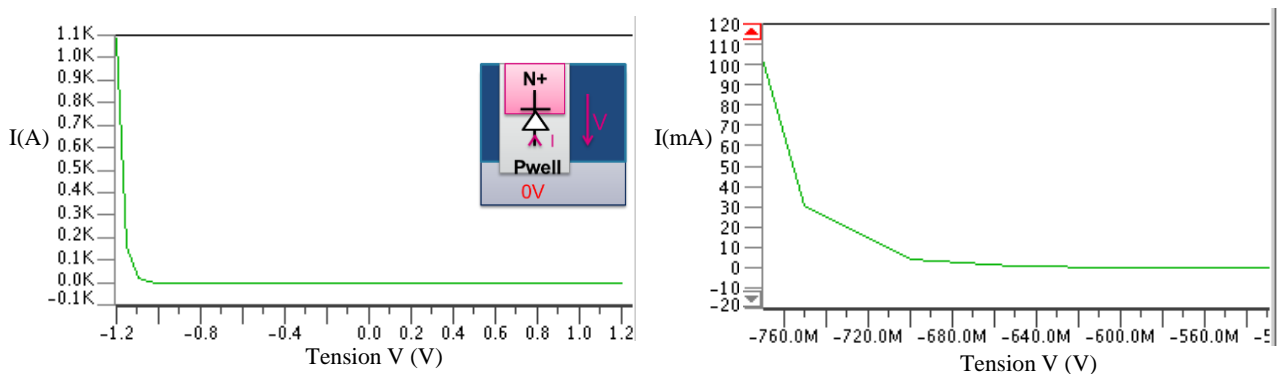


Figure 9 : Simulation $I(V)$ de la jonction 4 (N+/P_{WELL}) et zoom sur la plage de transition.

Il est important de préciser que les niveaux de courant sont prédits ici sans condition de charge. Cette simulation est à donc considérer qualitativement. Dans notre dispositif, le courant n'atteindra jamais les 1 KA. D'une part un limiteur de courant permet d'éviter de détruire les pointes en cas de courant supérieur à 80 mA. D'autre part, le courant est limité par la résistance statique des pointes et des câbles (≈ 3 Ω). Par ailleurs, le switch utilisé pour faire varier le potentiel statique appliqué sur les caissons a une résistance de 24 Ω . Au total la résistance du montage est donc d'environ 30 Ω (Figure 10). Lorsque la diode est passante, d'environ -0.6 V à 1.2 V, le courant est donc limité à environ 40 mA.

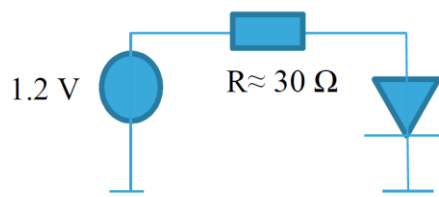


Figure 10 : Schéma électrique de la diode et de son environnement dans les conditions réelles de polarisation.

De plus, il faut être vigilant par rapport à la mesure RF car lorsque la diode est passante, l'hypothèse des petites variations autour du point de fonctionnement n'est pas validée. La mesure donne alors des extractions erronées. La puissance de l'analyseur de réseau vectoriel (VNA) doit donc être réglée au minimum tout en gardant un compromis avec la sensibilité du VNA.

3.2.3 Simulation des caractéristiques dynamiques des jonctions

La simulation haute fréquence AC permet d'extraire la capacité C_J et la résistance R_J de la jonction en fonction de la polarisation et d'observer leurs variations. La même remarque que dans la partie précédente est à faire, cette simulation est réalisée sans conditions de charge, donc à considérer qualitativement. Cependant, elle fournit un ordre de grandeur aux valeurs de C_J . Le résultat pour la jonction 4 est présenté Figure 11. Le résultat est cohérent avec la théorie [Sze07][Mathieu].

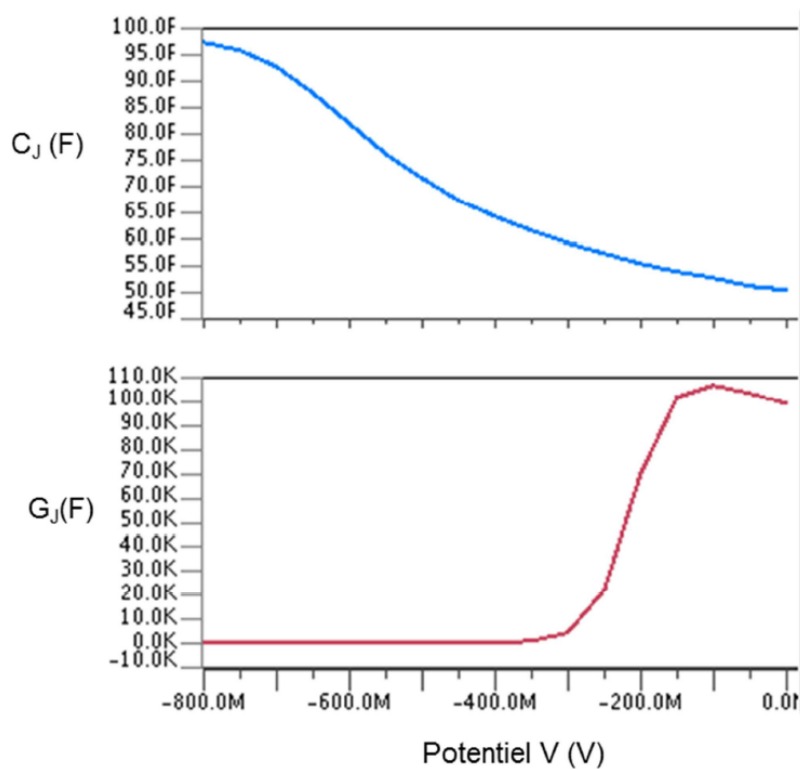


Figure 11 : Simulation de la capacité et de la conductance de la jonction 4

La Figure 12 schématisant et modélisant la jonction montre les paramètres importants qui jouent sur le comportement électrique de la jonction. La tension V appliquée sur le caisson, ici opposée à la tension définie aux bornes de la jonction V_J module la largeur de la zone de déplétion et donc le modèle $C_J R_J$ associé. La simulation montre que la capacité de la jonction augmente avec $V_J = -V$. En effet lorsque la diode est polarisée en direct la largeur de la zone de déplétion L_{dep} est au plus faible donc C_J est forte ($C_J \propto 1/L_{dep}$). En parallèle, la résistance, modélisant la facilité des charges à passer la barrière de potentiel, diminue et tend idéalement vers zéro engendrant un fort courant, comme nous le voyons à -1.2V dans la caractéristique $I(V)$ Figure 9

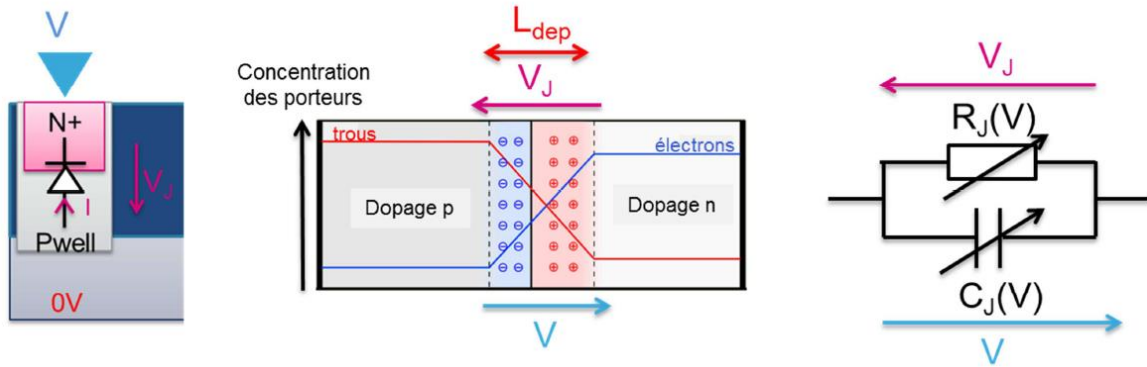


Figure 12 : Schémas et modèle associé à la jonction 4, valable pour les autres.

Le comportement électrique des différentes jonctions est maintenant connu en fonction de leurs polarisations. Les conditions de polarisations sont donc limitées à $V_J = 0.7 \text{ V}$ pour rester dans le domaine linéaire des jonctions et la puissance du VNA est réglée tout en gardant un compromis avec la sensibilité pour ne pas impacter la qualité de la mesure.

3.3 Mesure du couplage TSV-caisson

Cette partie commence par présenter la méthode de caractérisation expérimentalement du couplage TSV-caisson. Pour bien comprendre le comportement de la structure entière et du dispositif sous test (DST), la réciprocity du système est d'abord étudiée via l'observation des paramètres S. Ensuite les fonctions de transfert du couplage du TSV avec les différents caissons sont analysées, en fonction des polarisations appliquées et comparées entre elles.

3.3.1 Mesure radiofréquence avec polarisations statiques

L'analyseur de réseau vectoriel est utilisé pour caractériser ces structures de test en large bande de fréquence de 10 MHz à 40 GHz avec une puissance d'entrée à -5 dBm.

Une procédure de calibrage de type OSTL ramène les plans de référence aux extrémités des pointes de mesure et l'impédance de référence à 50 Ω .

Une tension statique est superposée au signal haute fréquence délivré par le VNA. Dans cette étude, nous nous intéressons au couplage entre le TSV et chaque caisson dopé. Comme chaque structure contient un TSV vis-à-vis de deux caissons, le couplage entre le TSV et un des deux caissons est étudié en les polarisant tour à tour, tout en fixant l'autre et le substrat à 0 V. Le schéma (Figure 13) illustre le cas où la tension statique est appliquée sur le port 4 connecté à un caisson, tandis que le port 3 connecté au second caisson est mis à la masse. Ensuite, ces conditions sont inversées. En les polarisant de -0.7 V à 0.7 V comme peuvent l'être les caissons des transistors MOS 65 nm, nous souhaitons recréer des états standards tels qu'ils existent dans les circuits. Ces configurations de polarisation permettent typiquement de rendre passant ou non les jonctions p-n de nos structures. Le substrat est quant à lui constamment polarisé à 0 V via la prise substrat entourant le DST.

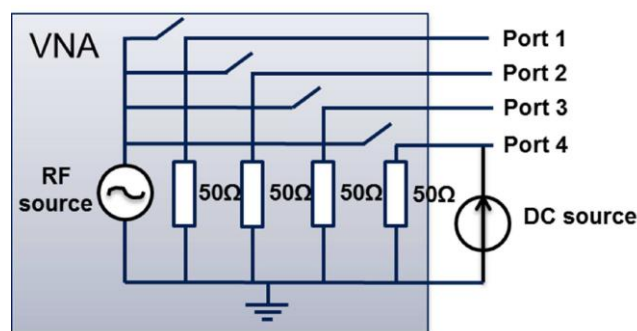


Figure 13 : Vue schématique des conditions de la mesure lorsque l'ont fait varier la polarisation sur le port 4.

Les paramètres S bruts sont ensuite de-embeddés grâce à une structure de de-embedding spécifique conçue pour retirer l'effet des plots et des lignes d'accès de la structure (Figure 14). Il s'agit de la même structure mais sans le DST, soit sans le TSV ni les caissons dopés.

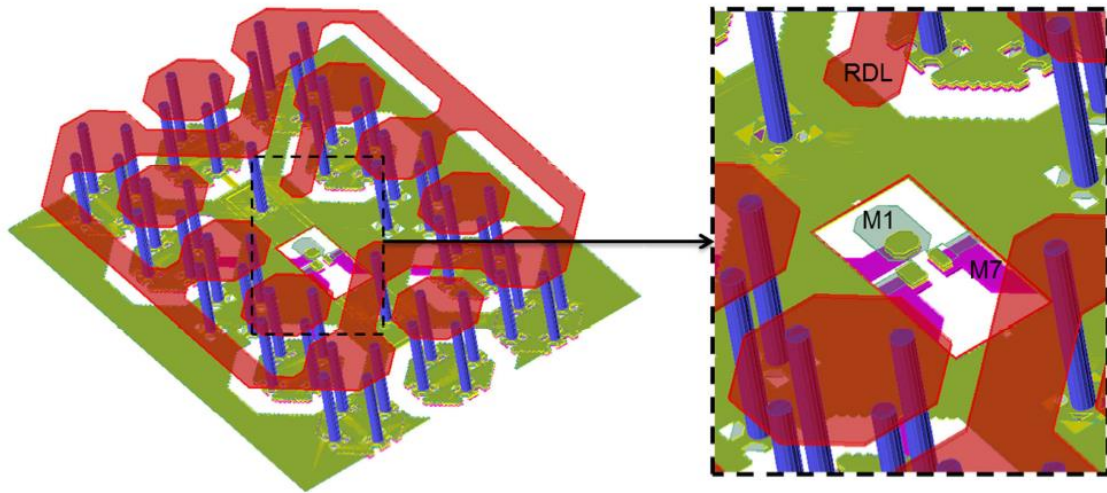


Figure 14 : Vue 3D de la structure de de-embedding

Cette structure en *Open* retire tous les effets électriques inhérents aux variations de charges dans les plots et lignes d'accès. Elle permet donc d'extraire après de-embedding les effets électriques du DST, c'est-à-dire le comportement électrique du TSV et des deux caissons.

3.3.2 Propriété de réciprocity du système 4 ports

La réciprocity de nos quadripôles est ici étudiée, car cette propriété a un impact sur le choix des paramètres S traités et les interprétations qui peuvent en être tirées. Un quadripôle est réciproque si le courant sur le port j provoqué par l'application d'une force électromotrice (fem) sur le port i est le même que le courant sur le port i en appliquant la fem sur le port j . Autrement dit, pour les systèmes réciproques, la matrice S est symétrique, soit $S_{ij}=S_{ji}$. Cette propriété est vérifiée en comparant les paramètres S_{ij} et S_{ji} mesurés pour tous les différents cas de polarisation des zones dopées.

Le résultat pour le cas d'une des trois structures contenant le TSV face au caisson 1 (N+/Pwell) sur le port 3 et une zone N+/Nwell sur le port 4 est présenté Figure 15. Le port 3 est ici polarisé à -1.2 V, 0 V et 1.2V et le port 4 à la masse. Les courbes multicolores correspondant à un S_{ij} se superposent aux courbes grises (donc cachées), correspondant au S_{ji} . Le système est donc passif et réciproque. Nous verrons que ce n'est pas le cas des structures TSV-MOS.

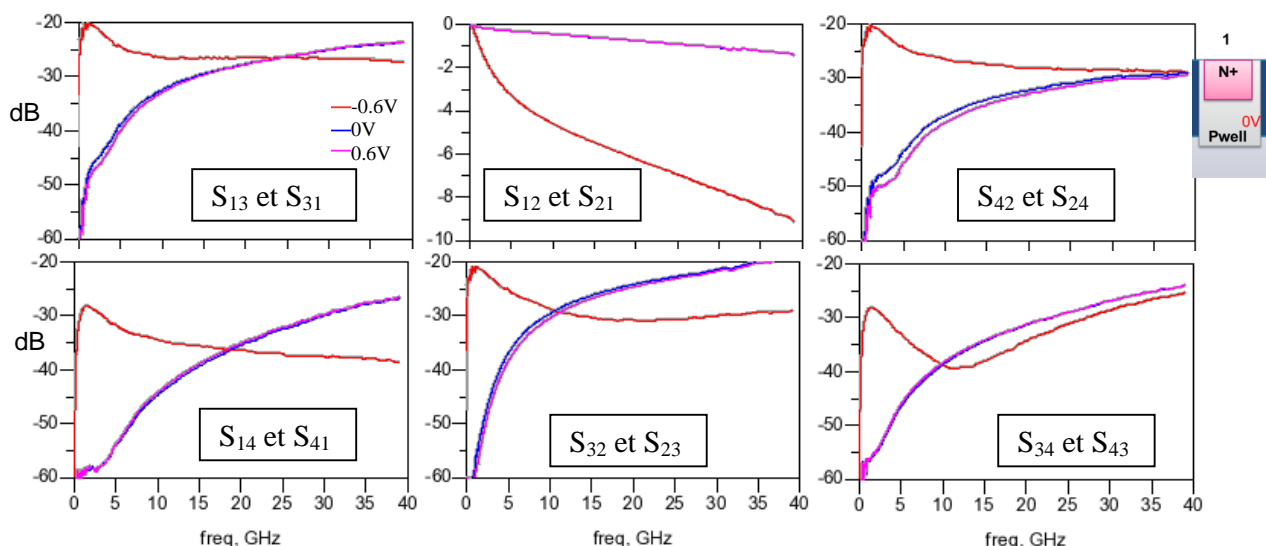


Figure 15 : Comparaison des paramètres S_{ij} et S_{ji} de la structure TSV-caisson pour 3 cas de polarisation.

En particulier, cela amène à la conclusion que le couplage TSV-caisson est réciproque. Ainsi le niveau de couplage substrat dans le cas où le TSV génère les perturbations captées par un caisson est identique à celui dans le cas où le caisson génère les perturbations captées par le TSV.

3.3.3 Analyse des fonctions de transfert

Cette partie présente les fonctions de transfert du couplage entre le TSV et chaque caisson. Dans un premier temps les fonctions de transfert TSV-caisson en fonction des polarisations sont observées pour le cas de la prise substrat puis pour le cas des jonctions. Ensuite elles sont comparées entre elles pour observer l'impact des types de dopages, de la surface, et des masses.

3.3.3.1 Impact de la polarisation sur le couplage TSV-prise substrat

La fonction de transfert du couplage entre le port 1 du TSV et la zone dopée est observée en fonction de la polarisation du caisson 6. Aucun impact n'est observé pour les polarisations allant de -1.2V à 1.2V, ce qui signifie que le champ électrique appliqué n'a pas d'effet sur le comportement du substrat.

3.3.3.2 Impact de la polarisation sur le couplage TSV-jonction

Le cas des jonctions est maintenant analysé. Les fonctions de transfert ($F_t = -20 \cdot \log S_{13}$) du couplage entre le port 1 du TSV et les jonctions 2 (P_+/N_{WELL}) et 4 (N_+/P_{WELL}) sont observées en fonction des polarisations appliquées.

Une mesure spécifique avec le substrat flottant est réalisée. Pourquoi cette étude ? Car cette condition sur le substrat est importante dans les mesures. Pour le caisson 4, nous constatons que lorsque le substrat est polarisé à 0 V, la polarisation a un impact sur le couplage (Figure 16 Figure 19) tandis qu'elle n'en a pas si le substrat est flottant.

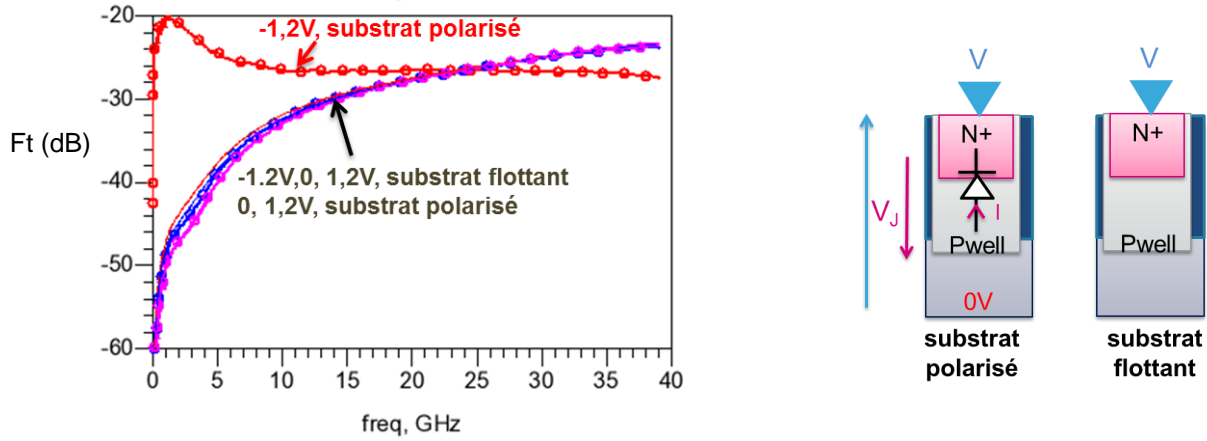


Figure 16 : Fonction de transfert entre le TSV et la jonction 4 N_+/P_{WELL} .

Dans le cas de ce caisson, si le substrat n'est pas polarisé, l'effet de la jonction n'est pas visible. Pour le caisson 2, la condition sur le substrat n'a qu'un faible impact (Figure 17) car le Nwell de la jonction 2 est constamment polarisé à 0 contrairement au Pwell de la jonction 4. Cela est lié à la conception des caissons.

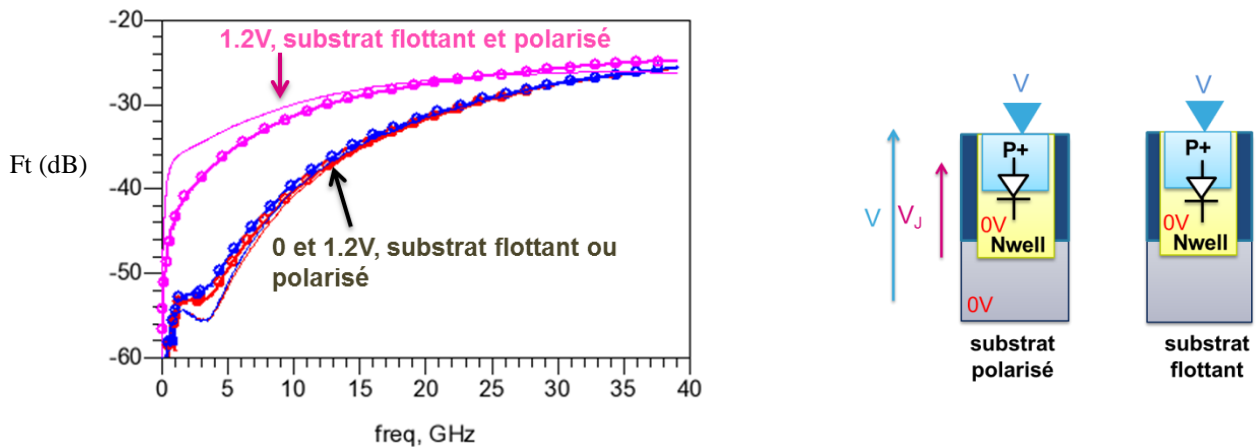


Figure 17 : Fonction de transfert entre le TSV et la jonction 2 P_+/N_{WELL} .

Nous vérifions ainsi qu'il faut une différence de potentiel bien définie aux bornes de la jonction pour moduler son état, impactant sur la fonction de transfert du couplage.

De plus, ces résultats montrent que l'état de la jonction p-n, commandée par les tensions statiques appliquées, a un fort impact sur la fonction de transfert de son couplage avec le TSV. Lorsque la diode devient passante, le couplage augmente fortement. Rappelons qu'une augmentation de 3 dB signifie 2 fois plus de puissance transmise. Ce comportement est corrélé au modèle $C_j R_j$ dans la partie suivante sur la modélisation.

3.3.3.3 Comparaison selon les caissons

Dans cette partie les sensibilités des différentes jonctions sont confrontées via les fonctions de transfert Ft de leur couplage avec le TSV. Elles sont comparées lorsque les jonctions p-n sont dans leurs deux états électriques: passantes ($V_j > 0.6$) ou bloquée ($V_j < 0.6$). Les valeurs minimum et

maximum de la fonction de transfert sont ainsi observées. Lorsque que les diodes sont bloquées, l'atténuation des perturbations substrat est forte, tandis que lorsqu'elles sont passantes, l'atténuation est faible, c'est-à-dire que plus de perturbation sont transmises entre le TSV et le caisson en jeu. Le meilleur cas, celui dans lequel sont généralement mis les caissons dans les MOS via leur polarisation, et le pire cas sont ainsi étudiés. Le cas de la prise substrat est aussi pris en compte dans la comparaison car il constitue une référence. La prise substrat est en effet souvent désignée d'office comme le meilleur caisson pour capter le bruit substrat et limiter la perturbation des composants.

La Figure 18 ci-dessous rappelle à quelles jonctions sont associés les numéros. La Figure 19 présente les fonctions de transfert lorsque les jonctions sont polarisées en inverse ($V_J \ll 0.6 \text{ V}$), donc l'atténuation maximale.

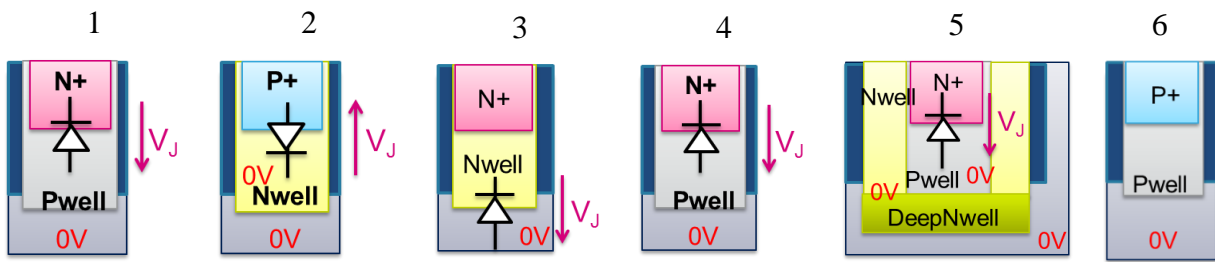


Figure 18 : Rappel des numéros associés aux caissons, des polarisations permanentes à 0 V , et de la définition de V_J (convention récepteur).

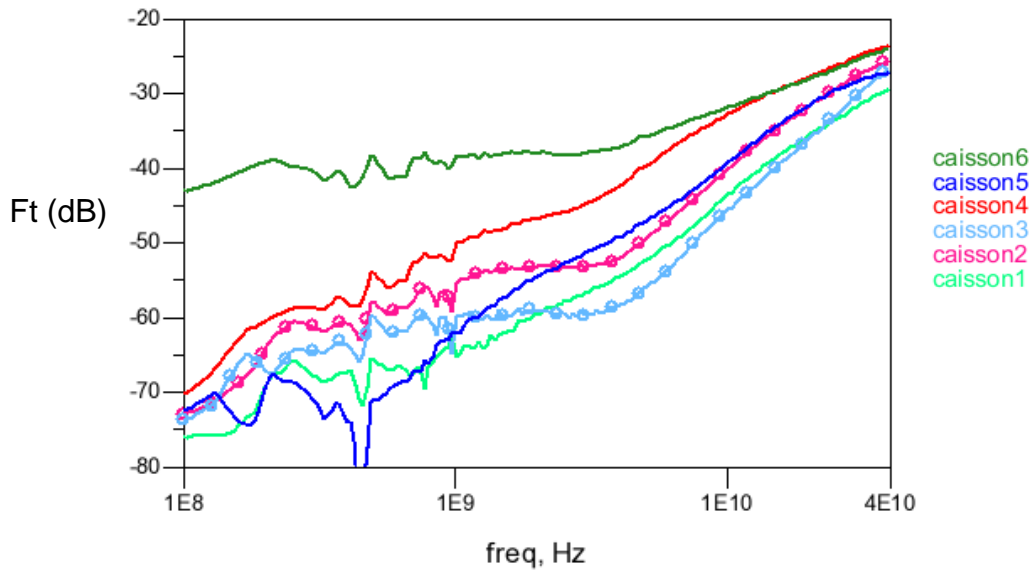


Figure 19 : Fonction de transfert entre le TSV et les jonctions (caisson 1 à 5) à l'état bloqué et la prise substrat (caissons 6)

Quel que soit le caisson, la fonction de transfert du couplage augmente énormément, jusqu'à +50 dB, entre 100 MHz et 40 GHz. Elle dépend fortement du type de caisson, on observe jusqu'à 15 dB de différence d'atténuation des perturbations substrat d'un caisson à l'autre. Le couplage est donc dépendant du dopage car c'est la principale variable ici. A l'état bloqué, la zone de déplétion qui forme une isolation substrat est très variable d'un profil de dopage à l'autre. Plus la zone de déplétée est grande, plus faible est la capacité et meilleure est l'isolation du caisson vis-à-vis du substrat.

Pour la prise substrat la fonction de transfert augmente entre 100 MHz et 40 GHz d'environ -43 dB à -23 dB. Le graphique montre que la prise substrat serait la plus sensible aux perturbations substrat jusqu'à environ 10 GHz, fréquence à partir de laquelle le caisson 4 deviendrait aussi sensible. C'est ainsi par le caisson 4 (N+/Pwell) que le niveau de couplage maximal est atteint à 40 GHz où il vaut -22 dB. Les meilleures atténuations sont observées pour les caissons 1 et 3, c'est pourtant le caisson 6 (N+ isolé de DeepNwell) qui semblait être le favoris.

Maintenant le pire cas, au sens couplage parasite, est étudié : lorsque les jonctions sont polarisées en direct ($V_D > 0.6V$, Figure 20). L'atténuation des perturbations substrat a drastiquement diminué. Ce n'est plus la prise substrat qui surpasse les caissons, mais le caisson 3, prise substrat du transistor de type P (N+/Nwell), qui est désormais moins bien prémuni contre les perturbations substrat. La zone de déplétion disparaît et la résistance au passage des électrons devient très faible. Les jonctions sont donc exposées aux perturbations substrat.

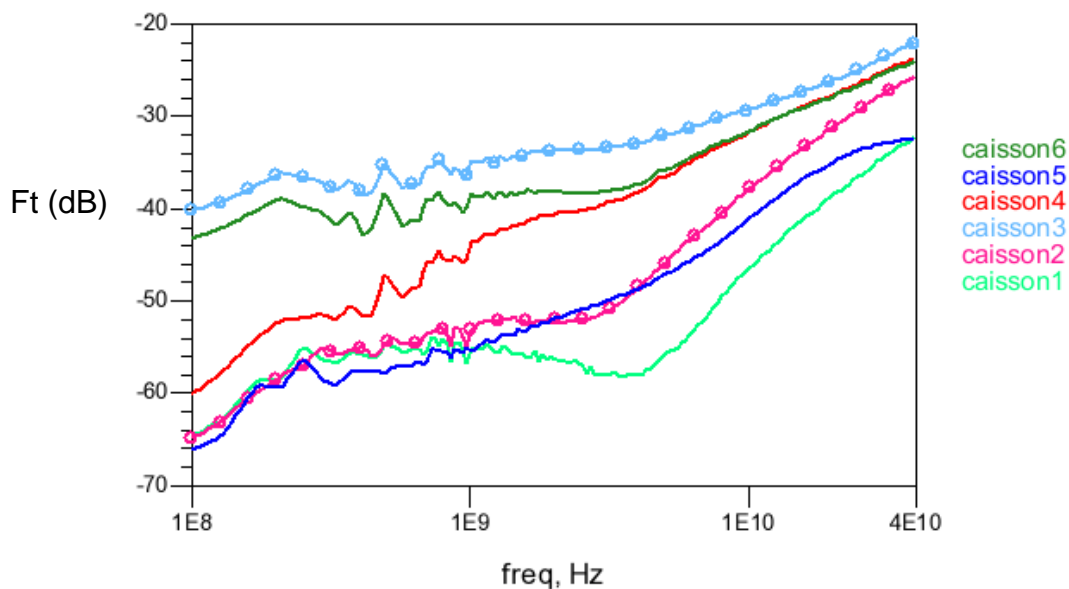


Figure 20 : Fonction de transfert entre le TSV et les jonctions (caisson 1 à 5) à l'état passant et la prise substrat (caissons 6)

Les différents niveaux de dopage induisent des comportements électriques très différents et jouent donc énormément sur le couplage TSV-jonction. La prise substrat P+/Pwell (caisson 6) semble être la plus exposée aux perturbations comparées aux jonctions polarisées en inverse. En revanche si les jonctions sont polarisées en direct, la tendance change : c'est la prise substrat N+/Nwell (caisson 3) qui est alors la plus exposée. Cependant, dans le PMOS, d'après la Figure 1, cette prise substrat est généralement polarisée à 1,2V, donc en inverse. L'impact d'autres paramètres sur le couplage est maintenant étudié.

3.3.3.4 Impact de la surface et des masses

Deux caissons sont dopés de la même manière mais sont conçus avec des surfaces différentes. Il s'agit des caissons 1 et 4 dont les surfaces sont respectivement de $70 \mu\text{m}^2$ pour le premier et de $40 \mu\text{m}^2$ pour le second. De plus le Pwell du caisson 1 est mis à la masse par une prise substrat, tandis que celui du caisson 4 est flottant. Les fonctions de transfert sont comparées Figure 21.

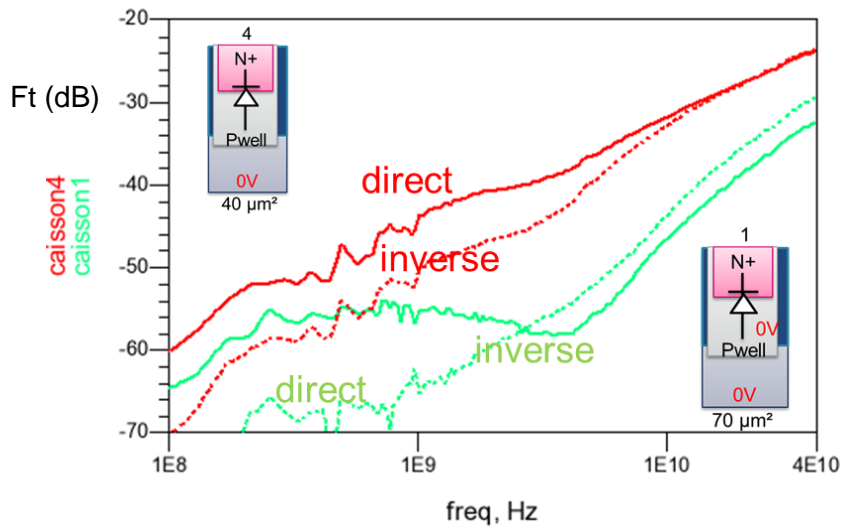


Figure 21 : Impact de la surface ou d'une prise substrat.

Notons premièrement que ce résultat est un exemple qui illustre la difficulté de la caractérisation expérimentale; en effet une résonance parasite trouble l'ordre des courbes : jusqu'à environ 5 GHz, la fonction de transfert est plus forte lorsque la diode est polarisée en inverse que lorsqu'elle est polarisée en direct. L'important est surtout d'effectuer une étude comparative entre les deux caissons, l'impact de la polarisation est un facteur secondaire.

Que ce soit en direct ou en inverse, le caisson 4 surpasse le caisson 1 avec une fonction de transfert largement supérieure d'au moins 10 dB, en direct ou en inverse, sur toute la plage de fréquence. La surface n'a pas l'impact attendu. En effet une plus grande surface exposée au substrat aurait dû résulter en un couplage plus élevé, or c'est tout le contraire. Il est supposé que c'est donc la présence de la prise substrat dans le Pwell du caisson 1 qui impacte le couplage, car c'est le seul autre paramètre qui distingue les deux caissons. La prise substrat reliée à la masse capte une partie des perturbations substrat, perturbations qui de ce fait ne sont pas collectées au port relié au caisson 4.

3.3.3.5 Synthèse

L'observation des fonctions de transfert nous a permis de voir l'effet de la polarisation et de la conception des caissons. L'objet de la partie suivante est de modéliser le couplage pour valider la compréhension de l'impact de ces paramètres sur le phénomène de couplage. L'objectif de cette modélisation est bien entendu d'appréhender le cas complexe du couplage du TSV avec le transistor MOS.

3.4 Modélisation du couplage entre TSV et caissons

Dans cette partie, des modèles électriques reproduisant le mécanisme de couplage entre le TSV et les caissons dopés sont proposés. Ils sont inspirés des cas d'étude précédents. Ces modèles doivent rendre compte des paramètres physiques et géométriques de la structure. Ensuite la méthode d'extraction du modèle équivalent du couplage à partir de la mesure 4 ports, validée au chapitre précédent sur les TSV couplés, est appliquée pour ce cas d'étude spécifique. L'objectif de cette partie est de corrélérer le modèle extrait de la mesure et le modèle proposé en fonction de la polarisation des jonctions et sur une large gamme de fréquence, afin de l'étendre au cas du MOS.

Nous commencerons par présenter le modèle physique proposé pour le couplage entre TSV et la prise substrat P+/Pwell (caisson 6). Ensuite ce modèle sera complété pour traduire le couplage entre TSV et jonctions. Chaque modèle sera comparé au modèle équivalent extrait de la mesure afin de le valider.

3.4.1 Etude du couplage TSV-prise substrat

L'étude du couplage entre le TSV et la prise substrat (caisson 6, P+/P_{WELL}) est volontairement présenté en premier. Il s'agit du caisson le plus basique car il ne contient pas de jonction p-n. Le résultat permet de valider le modèle électrique du silicium Bulk, commun à toutes les structures. Il constitue une référence pour les autres cas de couplage entre le TSV et les autres caissons (ie. les jonctions).

La démarche est la suivante : un modèle physique est proposé, puis les valeurs de chaque élément sont ajustées pour que le modèle équivalent reproduise le couplage mesuré. Enfin, pour vérifier qu'elles donnent un sens physique au modèle, les valeurs sont discutées sur la base des études du chapitre 2 et considérant des paramètres physiques, géométriques et expérimentaux.

3.4.1.1 Modélisation

Le modèle proposé Figure 22 s'inspire de celui validé pour les TSV couplés. Il prend en compte les différents éléments traversés par les signaux RF qui restent après le de-embedding. La structure de de-embedding a été présentée en 3.3.1.

L'isolation du TSV vis-à-vis du substrat est modélisée par la capacité C_{TSV} , comme dans les études précédentes.

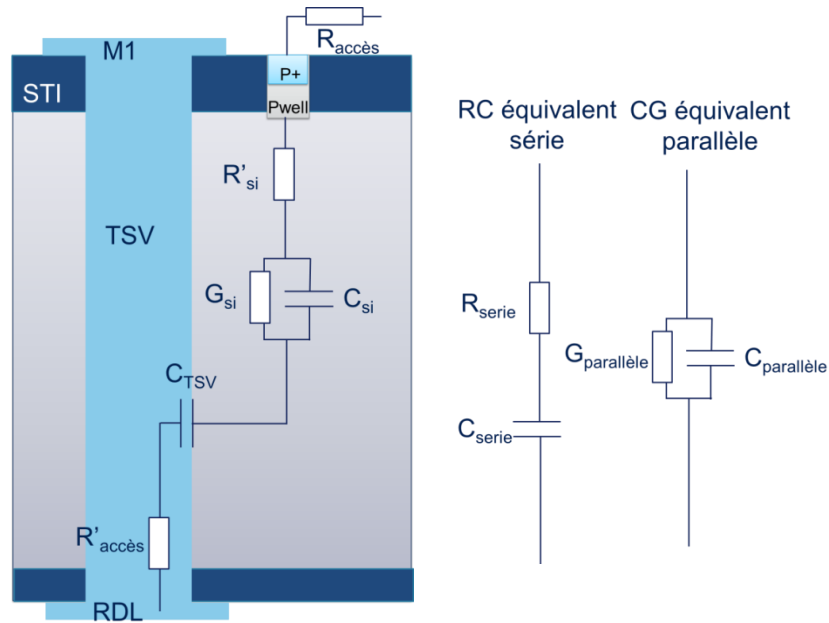


Figure 22 : Modélisation physique du couplage entre le TSV et la prise substrat P+/Pwell (caisson 6) et modèles comportementaux équivalents.

Concernant la prise substrat, elle résulte de deux étapes d'implant de dopants de type p (Bore). Une première pour former le P_{WELL} et une seconde pour former le P₊ (Figure 23). Elle ne contient donc pas de jonction p-n comme les autres caissons. Les concentrations de dopant sont connues, nous pouvons estimer la conductance de la prise substrat.

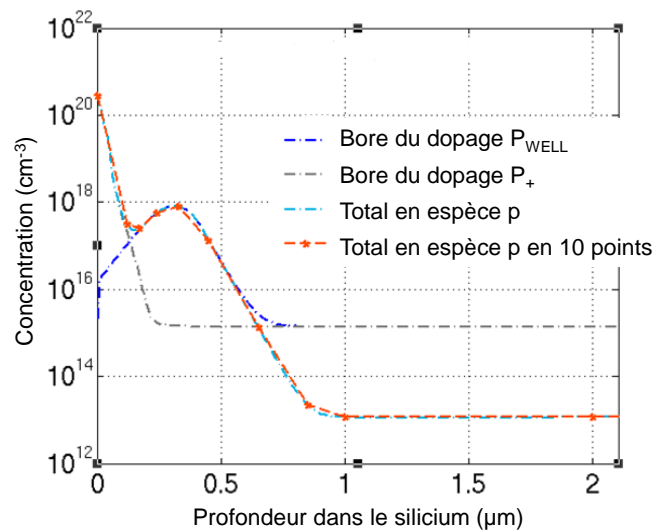


Figure 23 : Concentration en bore suite à l'implant P_{WELL} et P₊, et total des espèces de type p, en fonction de la profondeur dans le silicium.

La valeur moyenne de la concentration est calculée sur une profondeur dans le silicium L de $1\mu\text{m}$. En effet nous voyons sur la courbe (Figure 23) que le dopage est constant à partir de cette profondeur. C'est d'ailleurs c'est celle de l'épitaxie. La moyenne p_m vaut $1.06 \cdot 10^{19}$ atomes/cm³. La conductivité se calcule grâce à la formule :

$$\sigma_{P+} = q \cdot p_m \cdot \mu_p \quad \text{Equation 1}$$

Chapitre 3 : Modélisation du couplage entre le TSV et les caissons dopés

où q est la charge élémentaire qui vaut $1.602 \cdot 10^{-19}$ C, et μ_p est la mobilité des trous dans le silicium qui vaut $0.045 \text{ cm}^2/(\text{V}\cdot\text{s})$ à 25°C . Sachant que la prise P+ a une surface S de $40 \text{ }\mu\text{m}^2$, sa conductance, évaluée par la formule :

$$G = \frac{S \cdot \sigma_{P+}}{L} \quad \text{Equation 2}$$

est de 3 S. Sa conductivité est donc de $3 \text{ S}/\mu\text{m} = 3 \text{ MS/m}$. Comparé au silicium Bulk donc la conductivité est d'environ 10 S/m, la prise P+ peut donc être modélisée comme un fil.

Le silicium est modélisé par une capacité C_{si} en parallèle à une conductance G_{si} et par une résistance série R'_{si} modélisant les pertes hautes fréquences dans le silicium.

Le modèle doit reproduire le couplage électrique mesuré dans la structure. Conformément à la démarche choisie, les valeurs des différents éléments électriques sont déterminées dans la partie suivante. Dans un premier temps, les valeurs sont déterminées par ajustement des fonctions de transfert. Dans un second temps, nous vérifions que les valeurs des éléments ont un sens physique, et sont en accord avec les paramètres physiques et géométriques de la structure.

3.4.1.2 Validation du modèle avec la caractérisation expérimentale

Le modèle présenté ci-dessus est comparé dans cette partie aux résultats expérimentaux. Les résultats expérimentaux traduisant le couplage sont extraits de mesures par la méthode validée au chapitre 2. Ils proviennent de trois mesures effectuées à plusieurs mois d'intervalles, sur différentes puces et avec différents réglages du VNA. De nombreux facteurs peuvent en effet jouer sur les résultats de mesures RF : la température, la lumière, le calibrage du VNA, le posé de pointe... sont autant de paramètres qui impactent significativement les résultats. Le modèle est décrit et simulé dans ADS. Il est validé en deux étapes par les résultats expérimentaux.

Validation comportementale du modèle

Tout d'abord les fonctions de transfert sont observées pour vérifier que le modèle reproduit le comportement du couplage TSV-prise substrat dans la structure.

Les valeurs des éléments du modèle qui ajustent la fonction de transfert du modèle proposé à la fonction de transfert mesurée sont reportées dans le tableau suivant :

Tableau 1 :

R_{si}	C_{TSV}	C_{si}	G_{si}
10 à 1 K Ω de 10 MHz à 40 GHz	400 fF	10 fF	0.4 mS

Il est à noter qu'à basse fréquence, l'effet de la résistance équivalente à R_{si} est négligeable, en revanche, à haute fréquence, elle a un fort impact.

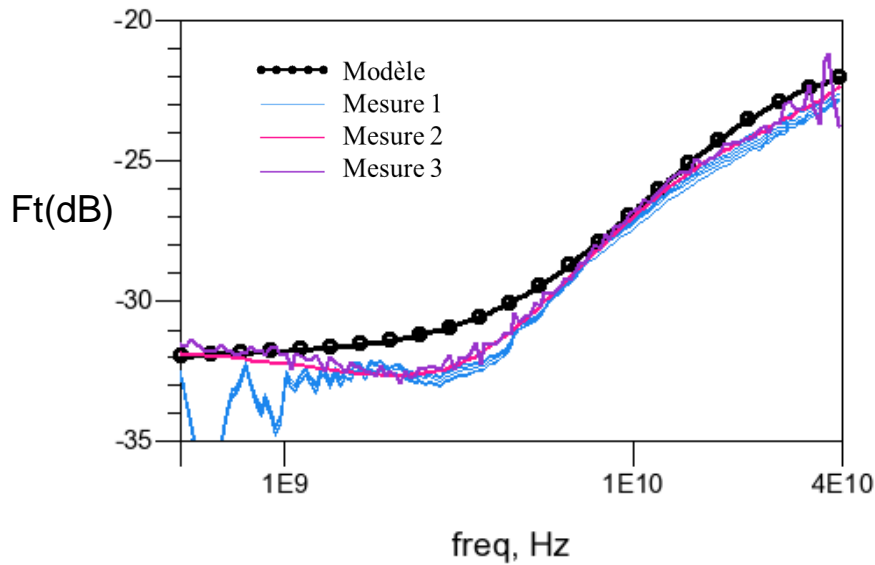


Figure 24 : Fonction de transfert du couplage, comparaison des mesures et de la modélisation

La fonction de transfert du couplage issue du modèle avec les valeurs ajustées montre un très bon accord avec celles issues des trois mesures (Figure 24). Le modèle dans sa forme Figure 22 est donc validé. La deuxième étape consiste à vérifier que le modèle a bien un sens physique, c'est-à-dire que les valeurs attribuées aux éléments sont cohérentes avec les caractéristiques physiques et géométriques de la structure.

Validation du modèle physique

Pour cela, les modèles RC série sont extraits des 3 mesures, et comparé au modèle RC équivalent du modèle proposé.

Les modèles RC permettent de voir à basse fréquence une résistance équivalente à la mise en série des résistances R'_{si} , + $1/G_{si}$ et une capacité équivalente à C_{TSV} . A haute fréquence, La conductance G_{si} n'est plus vue car le signal passe par l'impédance la moins forte ($1/jC_{si}\omega$). C_{TSV} n'est plus vu car l'impédance ($1/jC_{TSV}\omega$) en résultant est négligeable devant celle associée à C_{si} . La capacité vue correspond donc à C_{si} . La résistance correspond, elle, à R'_{si} .

Cette analyse permet de voir en fréquence les éléments du modèle un à un, hormis R'_{si} , et donc de rendre compte du comportement physique.

Les résistance et capacités issues de la mesure et du modèle sont en bon accord comme le montrent les Figures suivantes.

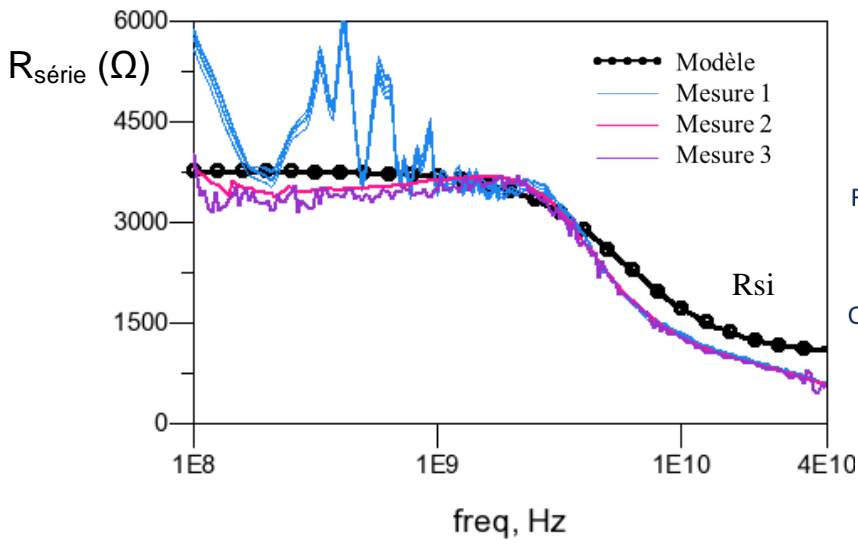


Figure 25 : Résistances équivalentes série : modèle VS mesures

Modèle électrique en BF

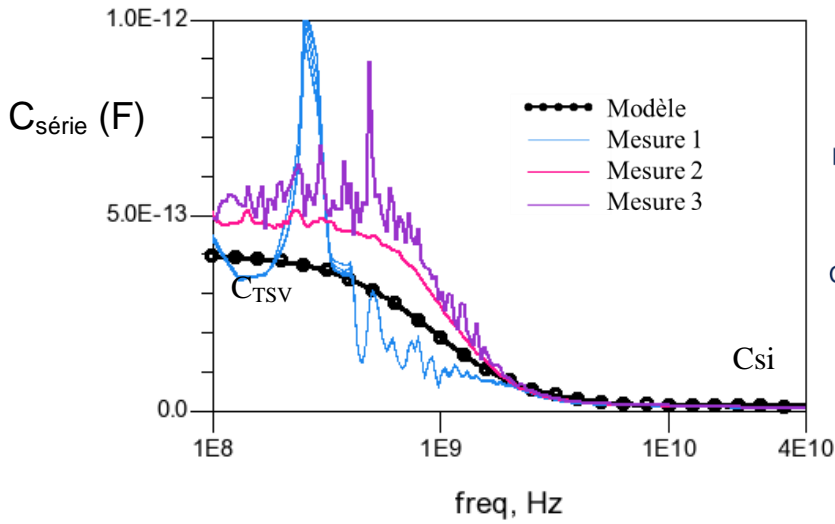
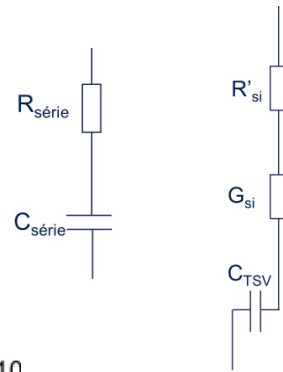


Figure 26 : Capacité équivalente série : modèle VS mesures

Modèle électrique en HF

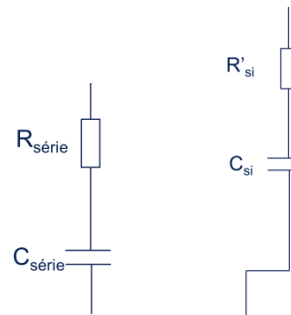


Figure 27 : Modèles simplifiés en fréquence

Pour appuyer la validation du comportement physique, nous observons également les modèles CG parallèles. Les modèles extraits de mesures et le modèle proposé sont là aussi en excellent accord.

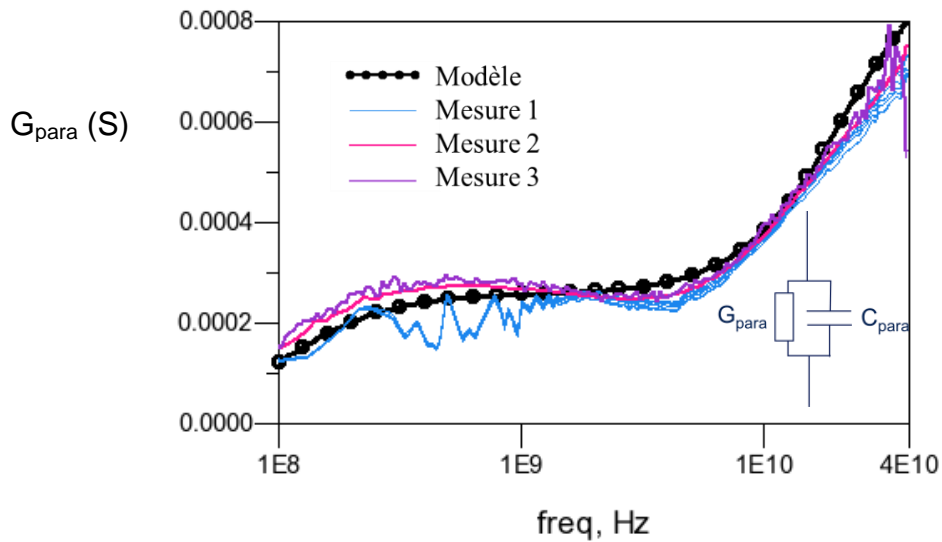


Figure 28 : Conductance équivalente parallèle : modèle VS mesures

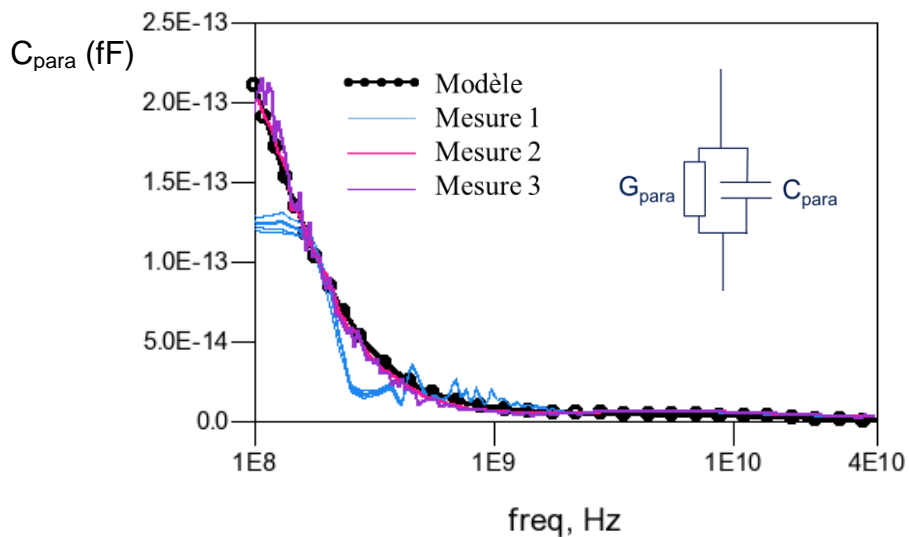


Figure 29 : Capacité équivalente parallèle : modèle VS mesures

Les valeurs attribuées aux éléments électriques du modèle sont maintenant discutées pour vérifier que le modèle proposé est physique.

Discussion sur les valeurs des éléments du modèle

Les valeurs attribuées aux éléments du modèle électrique proposé sont fournies le Tableau 2 :. Elles sont analysées une à une.

Commençons par la capacité du TSV, élément bien connu car étudié dans le chapitre 2. La valeur de la capacité vue à basse fréquence de 400 fF est attribuée à la capacité du TSV C_{TSV} . Cette valeur est cohérente avec celle proposée dans le modèle du TSV vu au chapitre 2. Elle correspond à la capacité d'oxyde et de déplétion du TSV, qui théoriquement donnent environ 300 fF. La faible sensibilité de la mesure RF aux couplages à basse fréquence explique cet écart de valeur. En effet, il est toujours difficile d'extraire à basse fréquence avec précision des capacités, car leur effet est écranté par les effets des éléments série.

A haute fréquence, les valeurs de 10 fF et 0.4 mS attribuée respectivement à C_{si} et G_{si} sont

aussi en accord avec les capacités et conductance du silicium vues dans les études précédentes. La valeur de la conductance est directement liée à la valeur de la capacité par la relation :

Pour vérifier la cohérence de ces valeurs, la conductivité équivalente du silicium Bulk est calculée et vaut 4 S/m. Cette valeur est dans l'ordre de grandeur de la plupart des siliciums. La seule donnée disponible sur notre silicium (aminci) provient des fiches fournisseur, qui donnent la conductivité de la plaque de silicium non-amincie. Cette seule donnée varie du simple au double : 10 S/m à 20 S/m.

Elle semble donc négligeable devant la résistance de R'_{si} qui vaut par conséquent environ 1 K Ω . Le tableau des valeurs est donc mis à jour :

Tableau 2 :

C_{TSV}	C_{si}	G_{si}	R_{si}
400 fF	10 fF	0.4 mS	1 K Ω

Enfin, c'est donc la valeur de la résistance R'_{si} qui doit être discutée. Cette résistance, qui complète ici le modèle du silicium, n'a jamais été observée dans la littérature, que ce soit sur les études dans les circuits 2D ou 3D. En outre, l'effet de cette résistance est visible au-delà de 20 GHz et résulte en une augmentation des pertes et forte atténuation du couplage. Or les études sur la caractérisation expérimentale corrélée à la modélisation physique du couplage substrat 3D dans les radiofréquences sont encore absentes de la littérature, ce qui peut expliquer le fait qu'il n'a jamais été utile d'ajouter cette résistance pour rendre compte du comportement du silicium.

Manifestement, le modèle simple et classique du silicium, à savoir un diélectrique à perte (C_{si} parallèle à G_{si}) montre donc ses limites. Une grande difficulté de cette thèse réside dans la difficulté de la modélisation du substrat. Cette problématique est inhérente à l'intégration 3D car le TSV traverse tout le silicium et le champ électromagnétique pénètre de plus en plus avec la fréquence dans tout le volume du silicium. Nous pouvons observer ce phénomène grâce au résultat de la simulation d'un TSV en configuration coplanaire (Figure 30): à 10 MHz, le champ électrique (-gradV) reste confiné dans la couche d'oxyde (entre le cuivre du TSV et la couche de silicium) puis sous l'effet de la fréquence le champ électrique pénètre dans le substrat de silicium (Figure 31).

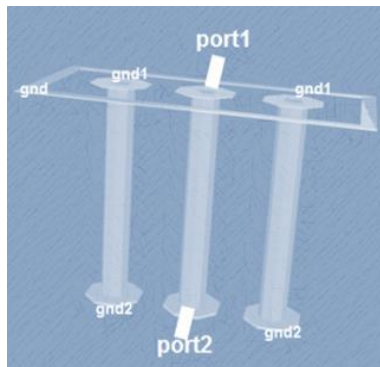


Figure 30 : Structure simulée GSG, 1 port.

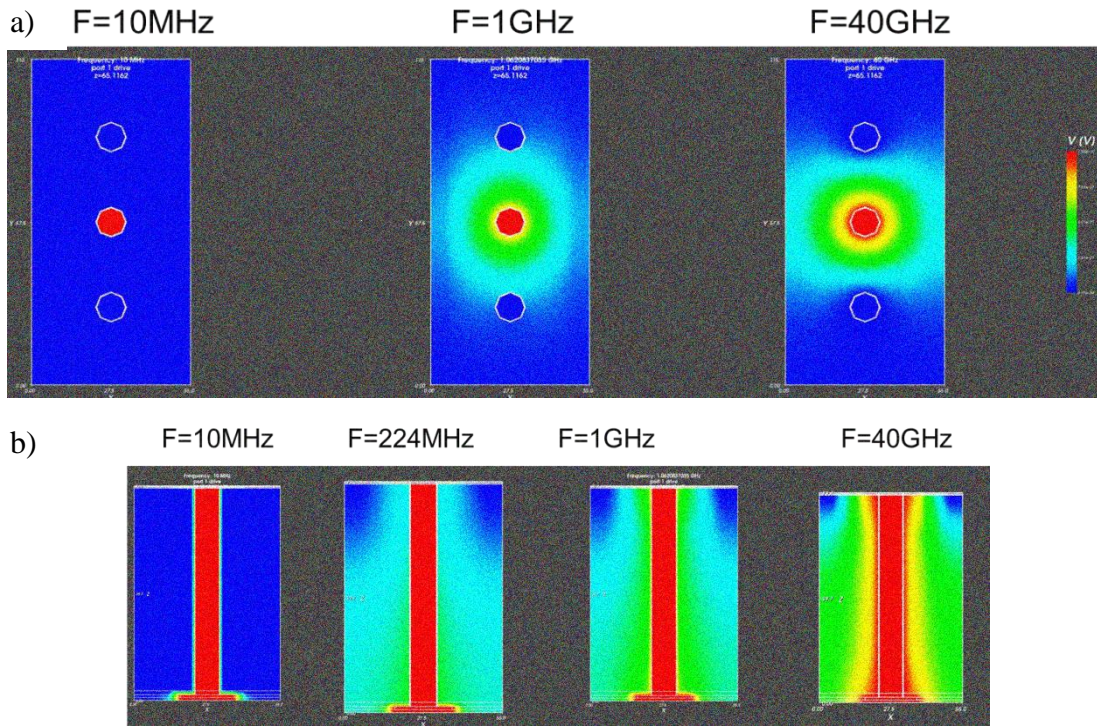


Figure 31 : Coupes verticales a) et horizontales b) de la cartographie des potentiels normalisée à 1.

Par conséquent, il semble difficile de capturer à haute fréquence tout le comportement du substrat dans un simple modèle $C_{si}G_{si}$. La surface traversée par le champ électromagnétique est difficile à prédire précisément. Le TSV est cylindrique, sa surface est de $2500\mu m^2$, tandis que la surface du caisson est de $40\mu m^2$. Comment englober la résistance entre un cylindre et un caisson en fréquence avec la seule conductance G_{si} ? Nous pouvons faire une estimation simple de la résistance, en prenant la moyenne surfacique du TSV et du caisson, soit $1270\mu m^2$ et une distance moyenne entre les deux de $40\mu m$, correspondant à la distance entre le milieu du TSV et la prise substrat. Avec une conductivité estimée entre de 10 S/m à 20 S/m (données fournisseur et valeur extraite de la mesure de C_{si} et G_{si}), et la formule suivante :

$$R = \frac{L}{S \cdot \sigma} \quad \text{Equation 3}$$

Les valeurs sont données dans le tableau suivant :

Tableau 3 :

Surface moyenne	1270 μm^2	Conductivité minimum	10 S/m
Distance moyenne	40 μm	Conductivité maximum	20 S/m
Rmax		3000 Ω	
Rmin		1600 Ω	

La résistance vue par le champ à haute fréquence est donc estimée entre 1600Ω et 3000Ω , ce qui indique que la résistance vue à haute fréquence (Figure 25) de 1500Ω est tout à fait cohérente, et valide la pertinence de l'ajout de la résistance R'_{si} .

Pour conclure cette étude du couplage TSV – prise substrat, la modélisation est validée par la mesure et reproduit avec une bonne précision le phénomène de couplage entre le TSV et la prise substrat. Nous avons discuté du sens physique de ce modèle et conclu qu'il reproduisait les phénomènes physiques en jeu dans le couplage. Ce modèle est utilisé et enrichi dans la partie suivante. En effet si la prise substrat peut se modéliser comme un fil, une jonction p-n à la place résulte en une capacité ou conductance supplémentaire, selon son état électrique, passante ou bloquée.

3.4.2 Etude du couplage TSV-jonction

Cette partie présente le modèle physique proposé pour reproduire le couplage entre le TSV et les jonctions p-n polarisées. La démarche est strictement la même que pour la prise substrat, de la mesure à l'extraction des résultats. La difficulté supplémentaire est que les jonctions réagissent fortement aux polarisations appliquées et qu'il faut donc trouver un modèle, contrairement à la prise substrat qui est considérée comme un fil. Le modèle est d'abord présenté, puis il est ajusté au résultat de mesure du couplage entre le TSV et le caisson 4 (N+/Pwell). Enfin son sens physique est discuté.

3.4.2.1 Modélisation

Pour modéliser le couplage par le substrat entre le TSV et une jonction p-n, nous repartons du modèle du couplage TSV-prise substrat, validé précédemment, car il est ainsi parfaitement calibré sur le silicium de nos structures tout en ayant un sens physique. Ce modèle est complété pour rendre compte du comportement de la jonction p-n.

Pour des tensions supérieures à 0.7V, la jonction devient passante et sa résistance négligeable, celle-ci se comporte comme la prise substrat P+/Pwell que nous venons d'étudier. Le modèle électrique équivalent est donc connu.

Il est montré en 3.2.3 que pour les polarisations V supérieures à -0.7 V (soit $V_J < 0.7V$, état bloqué) les jonctions résultent essentiellement en une capacité dépendante de la polarisation. Une capacité C_{jonction} est donc insérée dans le modèle TSV-prise substrat (Figure 32).

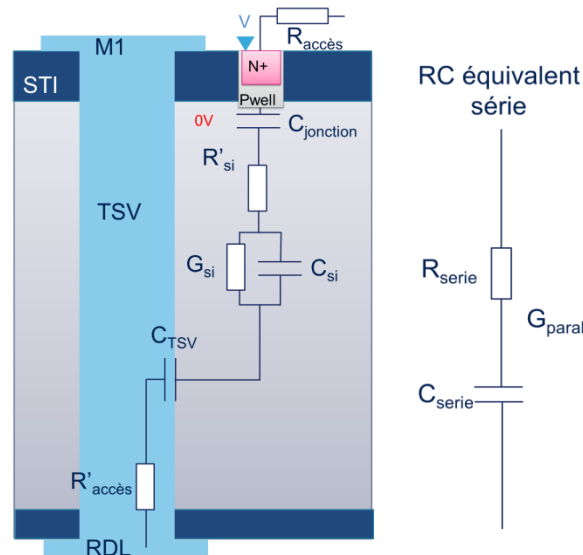


Figure 32 : Modélisation électrique du couplage entre le TSV et la prise substrat P+/Pwell (caisson 6) et le modèle comportemental équivalent.

La démarche de validation de ce modèle est ensuite la même que celle suivie pour le couplage TSV-prise substrat, sauf que cette fois, mis à part pour $C_{jonction}$, toutes les valeurs des éléments du modèle sont connues de l'étude précédente. Les fonctions de transfert sont ajustées pour valider le comportement du modèle. Ensuite le modèle est transformé en modèle équivalent RC série pour être comparé au modèle extrait de la mesure et valider le sens physique.

3.4.2.2 Validation du modèle avec la caractérisation expérimentale

Le modèle présenté ci-dessus est comparé aux résultats expérimentaux, extraits de mesures par la méthode validée au chapitre 2. A nouveau, le modèle est décrit et simulé dans ADS. Il est validé en deux étapes par les résultats expérimentaux.

3.4.2.2.1 Validation comportementale du modèle

Tout d'abord les fonctions de transfert sont observées pour vérifier que le modèle reproduit le comportement de la structure. Le modèle est ajusté à la mesure pour deux cas de polarisation de la jonction. Pour $V = 0.7 \text{ V}$, la jonction est passante, le modèle est identique à celui présenté pour la prise P+/Pwell. Pour $V = 0 \text{ V}$, la jonction est bloquée, le modèle électrique fait intervenir la capacité de jonction.

Les valeurs des éléments du modèle sont répertoriées dans le tableau suivant. Celles validées pour le modèle du couplage TSV-prise substrat sont reprises, celles pour la capacité de jonction $C_{jonction}$ en fonction de la polarisation sont ajustées :

Tableau 4 :

C_{TSV}	C_{si}	G_{si}	R_{si}	$C_{Jonction}$ pour $V_J=0 \text{ V}$	$C_{Jonction}$ pour $V_J=0,7 \text{ V}$
400 fF	10 fF	0.4 mS	1 K Ω	12 fF	40 fF

Cette capacité très faible en série avec la capacité CTSV du TSV explique en partie la différence de niveau de fonction de transfert de bruit. La fonction de transfert du couplage issue du modèle est en accord avec celles issues des mesures :

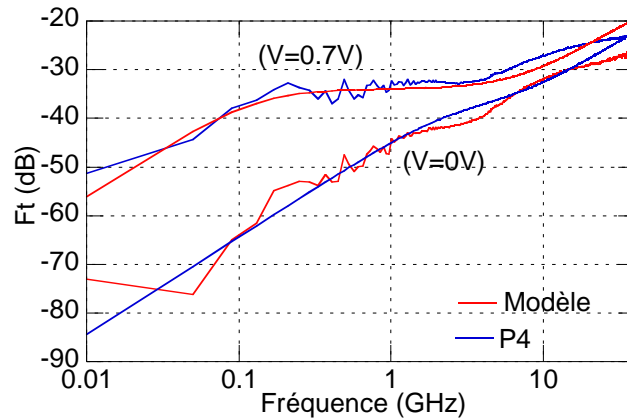


Figure 33 : Fonction de transfert du couplage, comparaison des mesures et de la modélisation

Dans la partie suivante il faut vérifier que le modèle a un sens physique.

3.4.2.2.2 Validation du modèle physique

Un modèle électrique comportemental de la fonction de transfert du bruit a été élaboré à partir des mesures du paramètre S_{21} . Il s'agit d'une conductance G en parallèle avec une capacité C . Afin de montrer la pertinence des modèles électriques proposés, nous avons confrontés la simulation des modèles électriques équivalents de la jonction p-n au modèle comportemental.

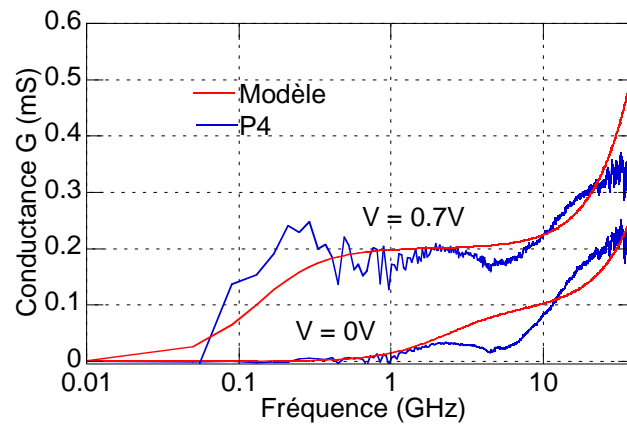


Figure 34 : Confrontation des modèles de la prise P4 et des extractions de G issue de la mesure.

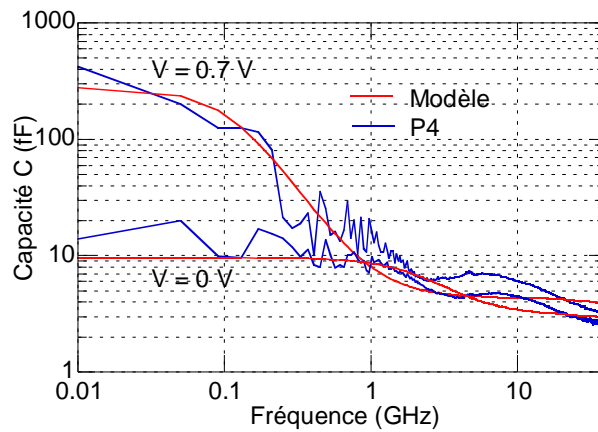


Figure 35 : Confrontation des modèles de la prise P4 et des extractions de C issue de la mesure

La Figure 34 montre le bon accord entre la conductance G issue des mesures et la conductance issue du modèle selon la polarisation. On note une diminution de la conductance lorsque la prise N^+/P_{WELL} (caisson 4) est à $0V$ c'est à dire lorsque la jonction PN est bloquée. Ceci s'explique par la diminution de la capacité globale de la structure due à la capacité de la charge d'espace qui minimise le transfert du signal comme le montre la Figure 35.

Le niveau de couplage entre le TSV et la prise substrat dépend fortement de la valeur de la capacité pour les basses fréquences. Dans ce cas la capacité globale dépend uniquement de la capacité du TSV lorsque la jonction passante alors qu'elle dépend de la capacité de la jonction orque celle-ci est bloquée. Pour les hautes fréquences, la capacité de silicium devient prépondérante et a pour effet d'être en série avec les deux autres entraînant une valeur de 5 fF environ.

3.4.2.3 Modèle de la capacité de déplétion de la jonction PN.

La valeur de la capacité de déplétion influence énormément le niveau de couplage. Il est donc important de pouvoir prévoir la valeur de cette capacité en fonction de la polarisation. Un modèle analytique décrit la valeur de cette capacité en fonction de la tension. Après ajustement des valeurs nous obtenons pour C_0 10 fF et $V_0 = 0.52\text{ V}$.

$$C_J = \frac{C_0}{\sqrt{\left(1 - \frac{V}{V_0}\right)}} \quad \text{Equation 4}$$

La Figure 36 montre l'évolution de la capacité globale issue de la mesure et celle issue de la simulation du modèle en fonction de la polarisation. On note un bon accord entre les extractions et le modèle. Pour des tensions de 0.25 V la capacité de jonction C_J augmente légèrement pour prendre une valeur de 12 fF . Lorsque la tension passe à $0.5V$ la capacité de jonction passe à 55 fF . Cette valeur est observée à basse fréquence. Puis pour une tension de 0.7 V la jonction devient passante.

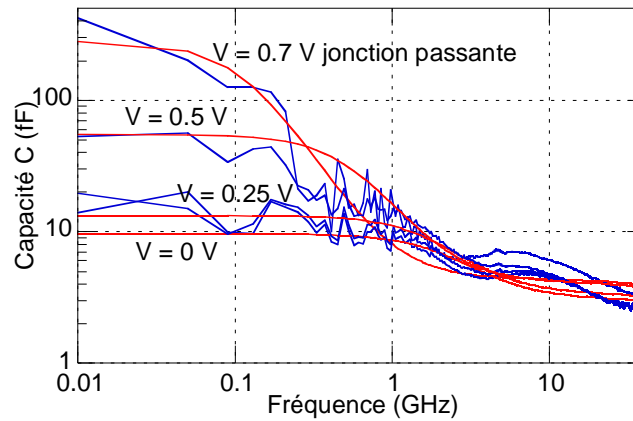


Figure 36: Evolution de la capacité globale en fonction de la tension de polarisation

3.4.2.4 Discussion sur la possibilité de modélisation

Il faut souligner que l'extraction des modèles du couplage TSV-jonction est très critique, à basse fréquence, comme à haute fréquence.

Comme nous pouvons le remarquer Figure 34 et Figure 35, les modèles extraits de la mesure sont très bruités en dessous du Gigahertz car le couplage substrat est très faible. En effet, comme le montre la Figure 33, l'atténuation est très forte, supérieure à 40 dB.

De plus il a été observé dans les extractions de modèles pour les autres caissons des résonnances parasites liées à la conception des structures ainsi qu'à la structure de de-embedding.

Enfin, à haute fréquence, les capacités de couplage sont relativement faibles avoisinant le femto farad. Les valeurs obtenues sont donc encourageantes pour l'élaboration de circuits intégrés mettant en jeu des TSV.

3.5 Conclusion du chapitre

L'étude originale du couplage TSV – caisson dopés a permis de remplir plusieurs objectifs. D'une part les fonctions du couplage par le substrat entre TSV et chaque type de caisson a été mesuré et l'impact de la polarisation, de la surface et du placement des masse a été étudié.

D'autre part, la méthode expérimentale avec des polarisations statiques appliquées est validée. Ainsi l'étude avec des transistors MOS se fera de la même manière.

La difficulté de l'extraction d'un modèle a aussi été soulignée. Cependant, la méthode d'extraction qui avait été validée dans le chapitre 2 pour les TSV couplés se montre aussi efficace dans ce cas plus complexe avec des jonctions polarisées, malgré les faibles niveaux de couplages. Elle sera donc appliquée à nouveau pour le cas du transistor MOS dans la prochaine partie.

Enfin, un modèle physique du couplage entre TSV et caissons dopés a été construit par étape et a permis d'analyser finement les différents phénomènes électriques en jeu dans le couplage substrat.

Les résultats de ce chapitre permettent par conséquent d'aborder le couplage entre le TSV et les transistors MOS connaissant les mécanismes de couplage avec les jonctions PN qui le constituent. En effet dans le chapitre qui vient, la structure d'étude du couplage entre le TSV et le transistor présente des similitudes physiques et géométriques. Ainsi cette étude permet de partir sur des bases solides pour bien appréhender le cas du couplage TSV-MOS. Le modèle de couplage TSV caisson est repris et enrichi de manière à obtenir un modèle le plus physique possible reproduisant le couplage entre TSV et le transistor.

Chapitre 4

Modélisation du couplage entre le TSV et le transistor MOS

Table des Matières

Chapitre 4.....	119
<i>Modélisation du couplage entre le TSV et le transistor MOS.....</i>	<i>119</i>
4.1 Structures de test pour la caractérisation radiofréquence.....	123
4.1.1 Description des structures.....	123
4.1.2 Fonctionnement des MOS.....	125
4.1.2.1 Caractéristiques $I_D(V_D, V_G)$	126
4.1.3 Etude en petits signaux.....	129
4.1.4 Conditions de mesure.....	130
4.1.5 Extraction des paramètres S du couplage.....	131
4.2 Fonction de transfert de couplage entre le TSV et le transistor MOS.....	132
4.2.1 Couplage entre TSV et drain en fonction de l'état du MOS.....	132
4.2.2 Couplage entre TSV et grille en fonction de l'état du MOS.....	133
4.2.3 Synthèse.....	134
4.3 Modélisation du couplage entre transistor et silicium.....	136
4.3.1 Zone de déplétion du transistor MOS.....	136
4.3.2 Capacité entre drain et silicium.....	137
4.3.3 Capacité entre grille et silicium.....	139
4.3.4 Synthèse et construction du modèle de couplage transistor -TSV.....	140
4.4 Sensibilité aux perturbations selon le type du transistor MOS.....	142
4.5 Bilan de l'étude.....	144

Chapitre 4 : Modélisation du couplage entre le TSV et le transistor MOS

Ce dernier chapitre porte sur les résultats de l'étude du couplage entre le TSV et le transistor MOS. Il s'agit autrement dit du cas d'étude qui constitue l'objectif principal de cette thèse. Cet objectif a été approché par étapes. Dans le chapitre 2, le modèle électrique du TSV middle a été validé par des mesures et des simulations de 0 à 40 GHz. Le comportement électrique de l'agresseur du système TSV-MOS est donc parfaitement connu. Des structures de test RF quatre ports conçues spécifiquement pour mesurer le couplage substrat et la méthode d'extraction ont été validées. Dans le chapitre 3, ces structures ont été déclinées pour l'étude du couplage entre TSV et caissons contenant différents dopages de type n ou p, représentatifs des briques élémentaires du transistor MOS. Il a été montré que la plupart des caissons, sous l'effet de l'application d'un potentiel, se comportaient comme des diodes vis-à-vis du substrat mis à la masse, résultant en un couplage avec le substrat, et par extension avec le TSV, variable en fonction de l'état bloqué ou passant de la diode. Ce couplage variable a été expliqué et modélisé électriquement.

Les études précédentes ont par conséquent permis de construire des bases solides pour aborder avec pertinence le couplage par le substrat du TSV avec la structure complexe du MOS.

Le premier objectif de ce dernier chapitre est d'apporter des résultats expérimentaux sur le couplage entre le TSV et la grille ou le drain du MOS, type de résultats totalement absents de la littérature. En effet, un grand nombre de travaux porte sur la simulation de couplage TSV-MOS sans confronter les résultats à ceux issus de la mesure [Xu12][Valorge12]. La littérature ne définit pas de structure de test permettant l'étude de ces phénomènes. Nous en sommes à l'état de l'art et tout est à définir, et le premier enjeu est tout simplement d'obtenir des résultats expérimentaux.

Le deuxième objectif est d'expliquer les phénomènes physiques et électriques en jeu, à l'appui des études précédentes, de manière à préconiser légitimement des premières règles de dessins et des potentielles solutions pour réduire l'impact du couplage sur les MOS.

La première partie présentera la description des structures de test dédiées à la caractérisation du couplage entre le TSV et les grilles et drains de différents types de MOS. Les caractéristiques électriques des MOS seront étudiées en continu afin de garantir leur fonctionnement et le succès de la mesure RF, dont les résultats seront analysés en fonction de l'état du MOS, bloqué ou passant. Le MOS et son interaction avec le TSV via le substrat sera analysé finement afin d'expliquer les variations du couplage. Enfin, les résultats seront discutés pour statuer sur des règles de dessin en fonction de la sensibilité des circuits dans les puces 3D.

4.1 Structures de test pour la caractérisation radiofréquence

Dans cette section, l'expérience mise en place pour mesurer et extraire les couplages entre le TSV et les grille et drain du MOS est décrite : le design des structures et en particulier celui des MOS, appartenant au nœud technologique 65 nm, est spécifique. Il faut connaître leurs caractéristiques électriques en passant par une caractérisation DC préalable afin de définir les polarisations pertinentes à leur appliquer pendant la mesure RF. Ensuite les étapes de la méthode de mesure et d'extraction du couplage effectuées pour le cas TSV-caisson dopés polarisés sont reproduites avec des polarisations adaptées au cas du MOS.

4.1.1 Description des structures

Les structures permettent d'extraire le couplage entre le TSV et le transistor MOS afin de comprendre les phénomènes électriques en jeu à travers le substrat et le MOS. Dans l'étude précédente, le modèle reproduisant le couplage TSV-jonctions p-n comporte uniquement des capacités, et pas d'inductance. De plus les travaux présentés par [Xu10] assertent que le couplage substrat est essentiellement de nature électrique.

Les contraintes de conceptions (surface disponible sur la puce, angles autorisés pour les connections RDL, taille et pas des plots, 4 ports maximum...) limitent les degrés de liberté. Les choix de design résultent de nombreuses discussions et de compromis afin d'optimiser la conception et de maximiser la qualité des résultats. L'enjeu des mesures de ces structures est, comme dans la partie précédente, d'avoir une sensibilité suffisante par rapport à la contribution des plots et des accès. Il est à préciser que fin 2010, moment de la conception des structures, rien n'était encore publié sur le couplage RF TSV-zone active. En 2011, [Cho11] apporte des résultats confrontant mesures, simulation et modèle du couplage RF TSV-prise substrat. Mais l'essentiel de ces travaux ne concernent pas la même technologie (taille des TSV, nœud technologique non précisé). Ce détail n'est pas négligeable, car des dimensions différentes et des matériaux différents (dopage du substrat) engendrent des niveaux de couplage qui peuvent être très différents, extrêmement élevés ou totalement négligeables. Ainsi il n'est pas facile de trouver des données fiables dans la littérature. De plus les méthodes développées par les uns et par les autres sont toutes très dépendantes des outils et débouchent sur des résultats de nature très différentes, et dans tous les cas, très difficilement utilisables : équations nécessitant la connaissance de paramètres empiriques (non technologiques, non géométriques) ou applicable pour une technologie particulière. Par exemple, les travaux de [Xu10] et [Valorge12], axés simulation et calcul analytique du couplage entre TSV et zones actives, ne fournissent pas le niveau de couplage avec des MOS polarisés.

Les structures se composent d'un TSV qui joue le rôle d'agresseur et d'un transistor MOS victime collectant les perturbations générées par le TSV dans le substrat. Il est polarisé pour reproduire ses différents états de fonctionnement (Figure 1).

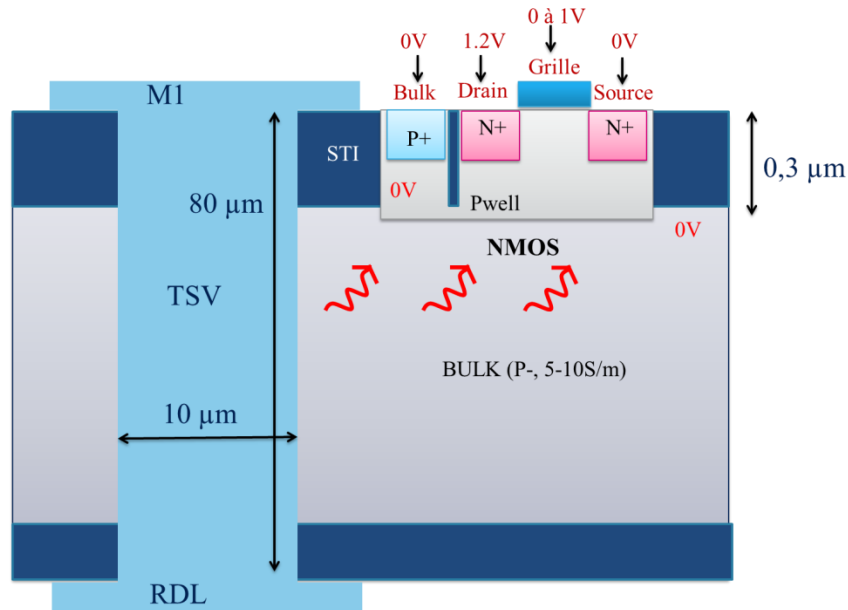


Figure 1 : Schéma en coupe du dispositif pour caractériser le couplage entre TSV et transistor : ici le NMOS

Les trois types de transistors les plus classiques sont considérés. Le NMOS (Figure 1), le NMOS isolé et le PMOS (Figure 2) du nœud technologique 65 nm.

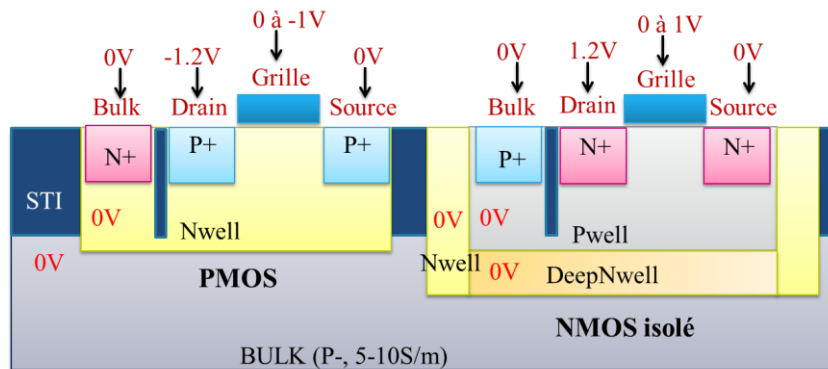


Figure 2 : Schéma en coupe des deux autres types de MOS : le PMOS, et le NMOS isolé.

Parmi les trois types, des sous-catégories de MOS existent évidemment. Selon l'application voulue, des paramètres technologiques (niveau et profondeur de dopage, espèces dopantes...) permettent de jouer sur le (tension de seuil: V_{th}), le GIDL, le courant de fuite... Néanmoins, cette étude s'intéresse aux mécanismes du couplage avec le MOS, qui serait le même quels que soient les transistors MOS puisque leur fonctionnement et structure sont communes.

Trois structures RF ont donc été définies. Dans chacune, le signal agresseur est transmis à travers le TSV entre le port 1 et le port 2. Les perturbations générées par le TSV traversant le substrat sont mesurées sur le drain et la grille du transistor, respectivement connectés aux ports 3 et 4. Remarquons que le MOS collecte les perturbations au niveau de sa grille, de son drain mais aussi de sa source. Il n'y a pas de port qui permette de mesurer les perturbations au niveau de la source. Cependant, comme elle est le symétrique du drain par rapport à la grille, nous pouvons estimer que le mécanisme de couplage à son niveau sera le même qu'avec le drain, aux polarisations près.

A l'appui des résultats du couplage TSV-caissons dopés, le niveau de couplage attendu sera

faible et donc la mesure critique si la structure est mal dimensionnée. La sensibilité au couplage peut ici être maximisée en jouant sur deux critères. Chaque MOS est placé au plus près autorisé par les règles de dessins du TSV, à une distance de $7\ \mu\text{m}$. Chacun se compose de 24 doigts de grille, pour augmenter la surface de la grille et du drain en regard avec le substrat. Les capacités de couplage sont ainsi augmentées. Les MOS ont une surface totale de $560\ \mu\text{m}^2$.

La mesure RF se réalise sur les plots RDL, en face arrière de la puce. Les plots sont en configuration GSGSG (Masse/Signal/Masse/Signal/Masse). Les plots de masse sont reliés à des guides de masse en configuration coplanaire par rapport aux lignes signal, et au plan de masse Métal 1 et 2. Ce plan de masse fait écran entre les connections BEOL et le substrat, afin d'être plus sensible au couplage substrat entre le TSV et les MOS. Le substrat est toujours polarisé dans les circuits intégrés, dans ces conditions deux plots supplémentaires, notés Sub, sont connectés à une prise substrat entourant le dispositif sous test (DUT). Ces plots supplémentaires permettent d'appliquer une tension au substrat.

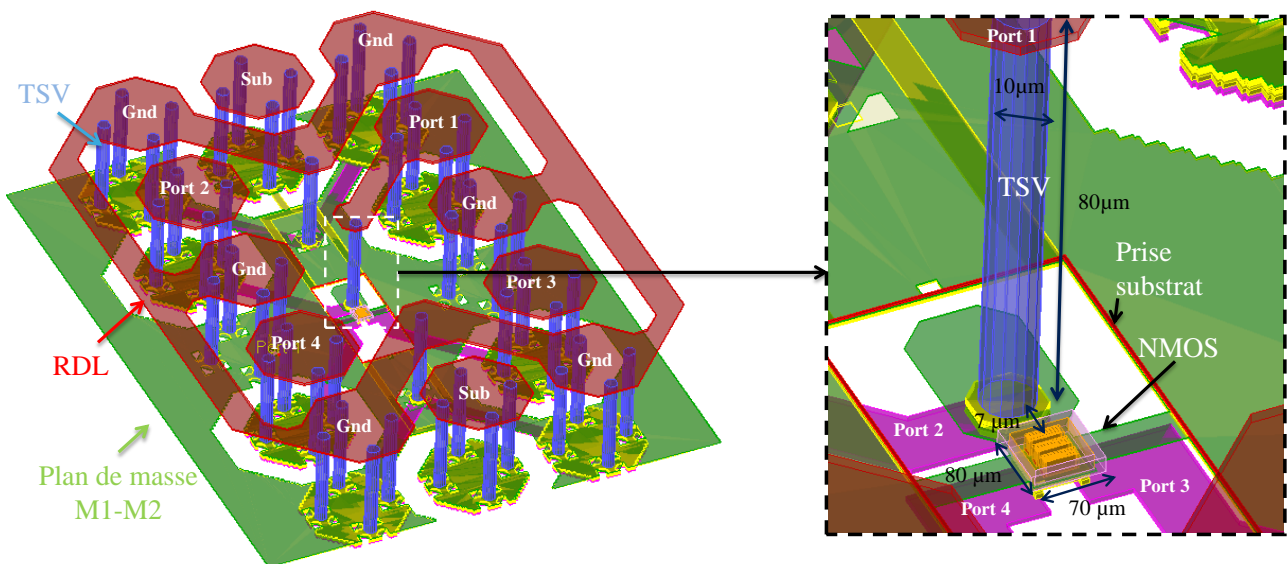


Figure 3 : Vue 3D de la structure de test RF pour la caractérisation du couplage TSV- transistor (ici le NMOS isolé), et zoom sur le DUT.

Les MOS ayant été conçus spécialement pour ces structures, une étude préalable de leur fonctionnement électrique est nécessaire.

4.1.2 Fonctionnement des MOS

Ces structures présentent de grandes similitudes avec celles présentées au chapitre 3, chapitre dans lequel des vues en coupe démontrent la technologie, ne révélant aucun défaut visible. Le point spécifique à vérifier dans cette partie est le bon fonctionnement des MOS. En effet de nombreuses études s'intéressent à l'impact du procédé d'intégration 3D sur les performances des MOS. Les impacts liés à l'amincissement du silicium [Chaabouni10] et à la thermomécaniques [Cherman12] [Beyne12] sont étudiés. Ce dernier impact peut entraîner des fissures et déformations du BEOL. Les contraintes thermomécaniques dans le silicium, dues aux différences de CET (Coefficient d'Expansion Thermique) entre le cuivre du TSV et le silicium, peuvent aussi modifier les tensions

de seuil et courant de saturation. Du fait de la conception agressive de nos structures RF, la proximité du TSV avec le MOS et ses métallisations, la prise en compte de ces risques est justifié. Il est donc nécessaire de vérifier les performances des transistors MOS implantés dans les structures. Pour cela des caractérisations en continu sont effectuées et comparées avec les performances attendues données par la simulation.

4.1.2.1 Caractéristiques $I_D(V_D, V_G)$

Les mesures DC sont effectuées sur un banc de test électrique. Les caractérisations classiques du courant de drain en fonction de la tension de drain pour différentes tensions de grilles $I_D(V_D, V_G)$ et du courant de drain en fonction de la polarisation de la grille $I_D(V_G)$ à $V_D = 1.2V$ sont effectuées. Les tensions de la source et du substrat Bulk sont fixées à 0 V.

Pour la modélisation, une analyse LVS (Layout Versus Schematics) est réalisée. Le programme utilisé (PLS) fait le lien entre le GDS des structures de test et les modèles électriques des bibliothèques ST. Ces derniers sont des modèles ajustés à des mesures sur des circuits standards. En conséquence, le programme renvoie un modèle théorique, associé au GDS, des MOS et des interconnexions. Les interconnexions prises en compte sont uniquement celles du BEOL, excluant les interconnexions 3D (TSV et RDL). Le modèle des interconnexions du BEOL, de type RC, est extrait et pris en compte car les accès ont un impact non négligeable sur les caractéristiques du MOS. Ensuite, un programme SPICE est écrit, dans lequel le circuit modélisé (MOS et interconnexions) est polarisé dans les mêmes conditions que celles de la mesure (Figure 4). La simulation permet de tracer les caractéristiques du modèle théorique.

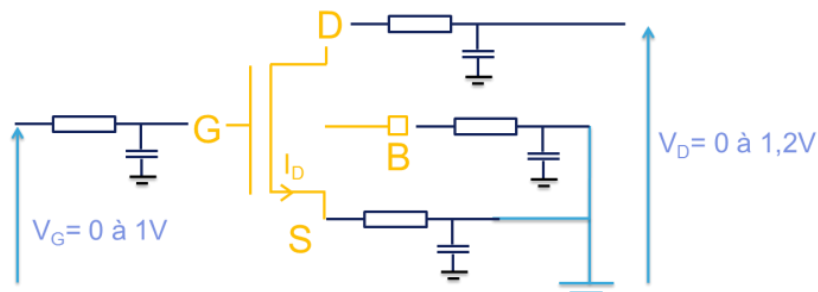
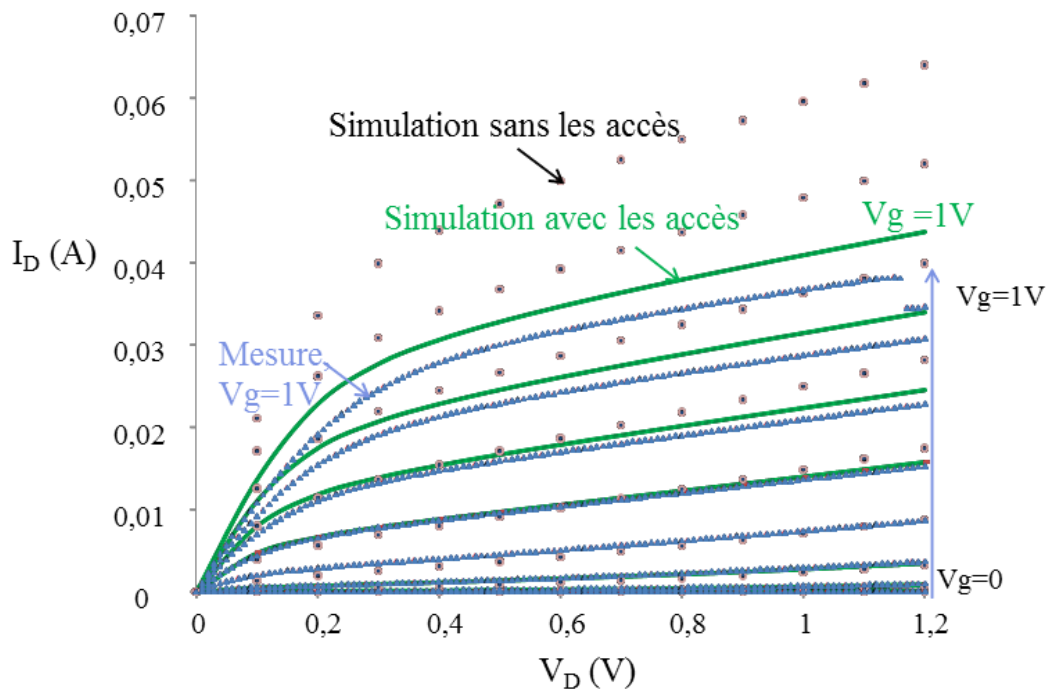
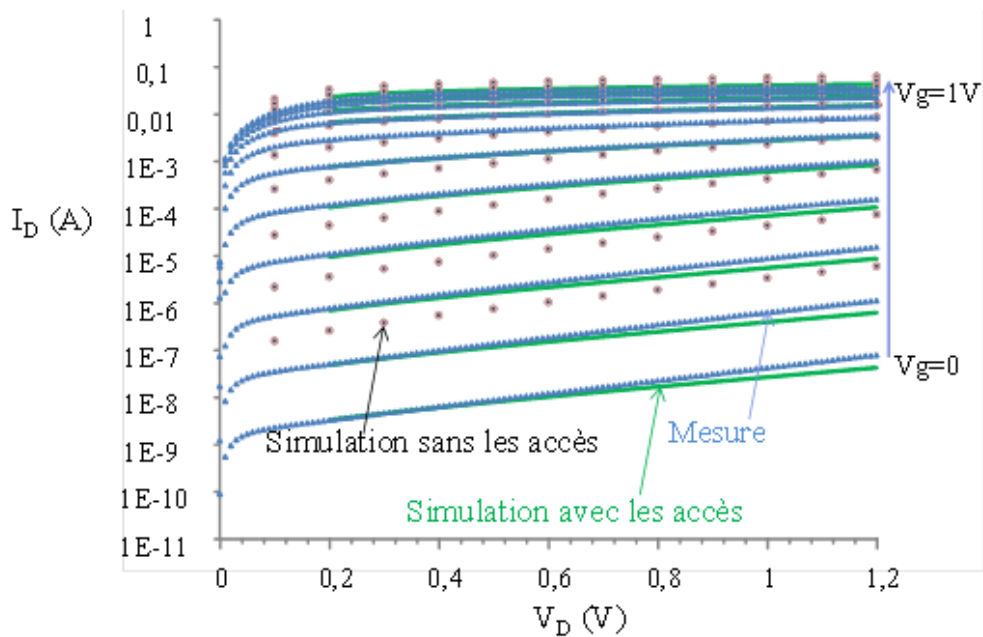


Figure 4 : Schéma du circuit modélisé et des conditions de polarisation

Les caractéristiques $I_D(V_D, V_G)$ mesurés et théoriques sont comparées pour les trois MOS. Dans le cas du NMOS isolé, lorsque le modèle est extrait sans prise en compte des interconnexions, le courant simulé monte à 65 mA tandis que celui mesuré n'atteint pas les 40 mA. En revanche, avec leur prise en compte, le modèle théorique est en excellent accord. C'est la résistance des accès qui limite le courant de drain. Le RDL et le TSV ne sont pas modélisés mais leur impact résistif, inférieur aux centaines de milli ohm, est négligeable devant celui du BEOL, de quelques ohms.



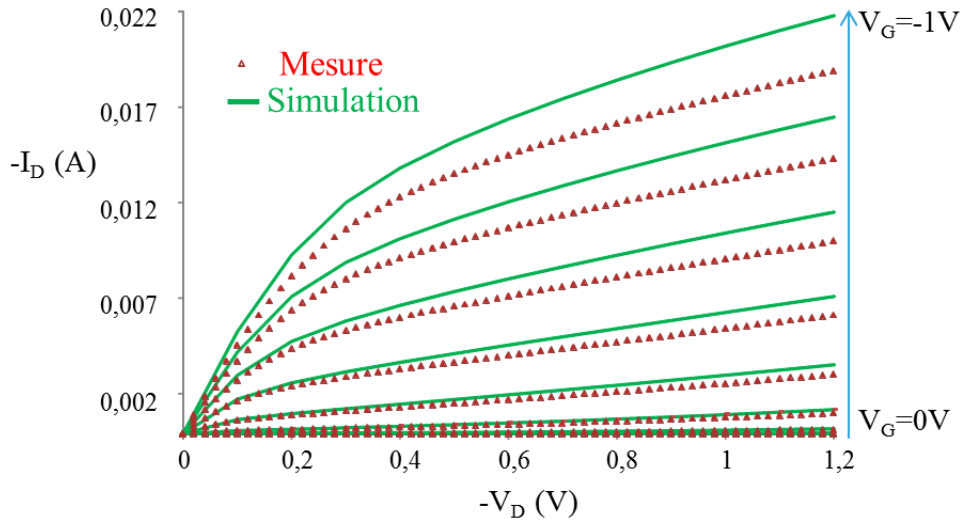
(a)



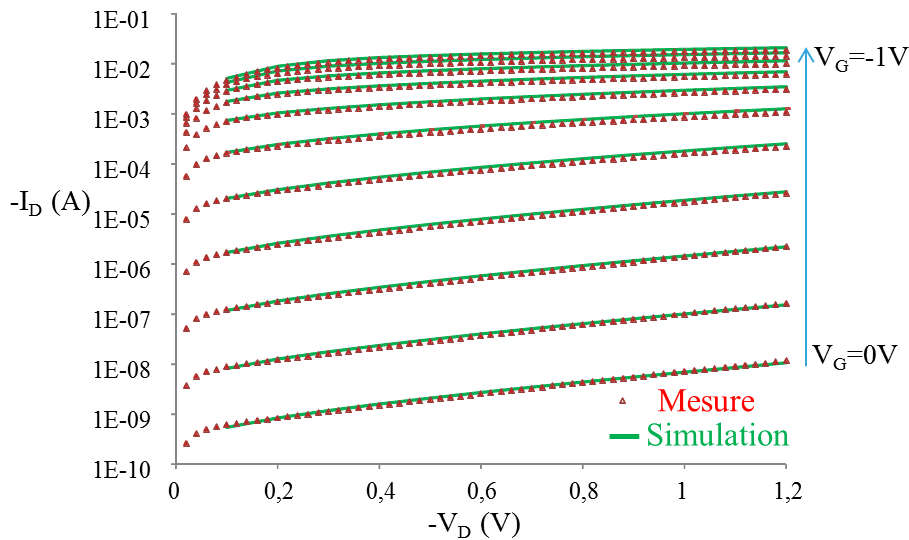
(b)

Figure 5 : Caractéristique $I_D(V_D, V_G)$ en linéaire (a) et logarithmique (b): comparaison de la simulation (avec et sans extraction du modèle des accès) et de la mesure pour le NMOS isolé, V_G variant de 0 à 1 V avec un pas de 0,1 V.

Les caractéristiques électriques du NMOS sont similaires au NMOS isolé, qui se différencie seulement par son caisson d'isolation substrat. Les modèles théoriques extraits du GDS reproduisent donc parfaitement le comportement expérimental des NMOS, tout comme celui du PMOS (Figure 6). Cela confirme que le procédé 3D n'a pas eu d'impact sur les performances des MOS et que les transistors embarqués dans nos structures sont intègres.



(a)



(b)

Figure 6 : Caractéristique $I_D(V_D, V_G)$ en linéaire (a) et logarithmique (b): comparaison de la simulation (avec modèle des accès) et de la mesure pour le PMOS, V_G variant de 0 à 1 V avec un pas de 0,1 V.

Le bon fonctionnement des MOS est donc vérifié pour les forts comme pour les faibles courants. La comparaison de la mesure et des caractéristiques simulées du modèle théorique montrent un excellent accord. De plus la connaissance des points de fonctionnement du MOS, c'est-à-dire les niveaux de tensions pour lesquels sont état change (passant/bloqué, linéaire/saturé) est nécessaire pour décider des polarisations à appliquer au MOS pendant la mesure RF. Ainsi à chaque polarisation appliquée, son état connu permettra d'expliquer et modéliser les phénomènes électriques qui impactent le couplage. Lors de la caractérisation RF, des tensions statiques seront donc superposées au signal RF de manière à faire changer le MOS d'état.

4.1.3 Etude en petits signaux

Les transistors sont des dispositifs non linéaires. Or la matrice S qui relie les ondes entrantes et sortantes est définie pour un régime de fonctionnement linéaire. Mais il est possible de linéariser la fonction de transfert d'un amplificateur en limitant son utilisation autour d'un point de fonctionnement situé en zone linéaire, on peut ainsi assimiler un composant non-linéaire à un composant linéaire. Ainsi les variations des signaux en entrées doivent être de faibles amplitudes afin de ne pas générer distorsions pour les signaux de sorties caractéristique de non linéarité. Dans le cas d'un régime de fonctionnement linéaire, un signal de pulsion ω_0 en entrée doit correspondre un signal de même pulsation en sortie.

La difficulté est de déterminer une puissance d'entrée qui assure à la fois un régime linéaire et une dynamique de mesure suffisante. L'idéal est de mesurer le point de compression à -1 dB, mais cette mesure n'a pas été effectuée. La Figure 7 montre l'évolution de la mesure du paramètre de transmission pour différentes valeurs de puissance d'entrée. Une puissance d'entrée de -30 dBm a été choisie pour répondre aux contraintes de linéarité et de dynamique

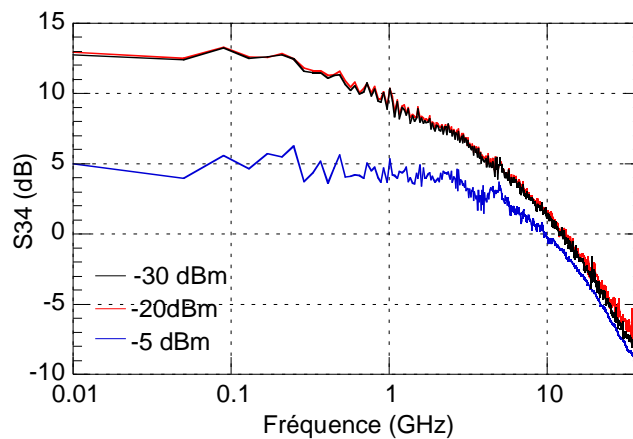


Figure 7 : Paramètre S_{34} pour différentes puissance d'entrée.

Un calcul approximatif permet de déterminer l'amplitude du paramètre de transmission S_{34} . Les transconductances g_m sont tracées pour le PMOS et les NMOS (Figure 8 : Transconductance des NMOS et PMOS en linéaire ou saturé en fonction de V_G). La valeur maximale est d'environ 85 mS pour le NMOS en régime saturé ($V_D = 1,2$ V) et 1V de tension de grille.

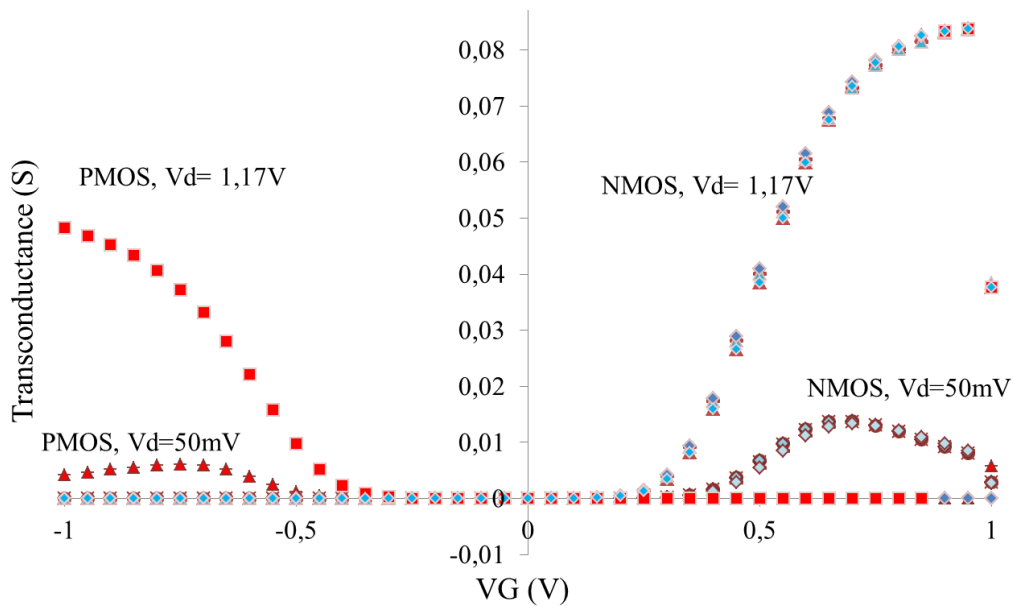
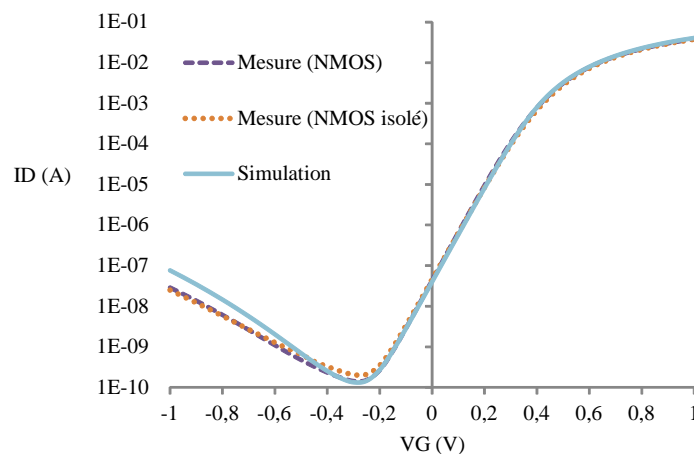


Figure 8 : Transconductance des NMOS et PMOS en linéaire ou saturé en fonction de V_G

Pour une charge de sortie de 50Ω , le gain de transfert du MOS est donc est d'environ 12.56 dB.

4.1.4 Conditions de mesure

La mesure du couplage entre la grille et le TSV, d'une part, et le drain et le TSV, d'autre part, est réalisée alors que le MOS du nœud 65 nm est dans des conditions de fonctionnement nominales. La grille est polarisée successivement de 0 à 1 V pour les NMOS, de 0 à -1 V pour le PMOS, tandis que le drain est polarisé à 1,2 V pour les NMOS ou -1,2 V pour le PMOS. Quel que soit le type de MOS la source est toujours à 0 V car elle est connectée au plan de masse, et lui-même connecté aux références de masse de l'analyseur de réseau. Enfin le substrat est polarisé à 0 V via les plots notés Sub dans la Figure 3. Les courbes suivantes $I_D(V_D)$ pour les NMOS (Figure 9) et le PMOS (Figure 10) tracent l'évolution du courant de drain dans le MOS lorsque l'on applique les polarisations choisies pour la mesure. Elles sont corrélées à la simulation qui indique que les MOS ont le fonctionnement attendu et que par conséquent l'intégration 3D n'a pas eu d'impact sur la caractéristique $I_D(V_D)$ lorsque le MOS est saturé.



Chapitre 4 : Modélisation du couplage entre le TSV et le transistor MOS

Figure 9 : Caractéristiques $I_D (V_G)$ pour $V_D = 1,2$ V (état saturé) simulée et mesurée pour le NMOS et le NMOS isolé.

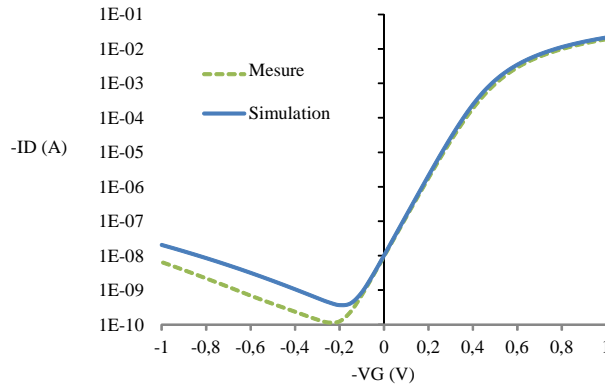


Figure 10 : Caractéristique $I_D (V_G)$ pour $V_D = 1,2$ V (état saturé) simulée et mesurée pour le PMOS.

La méthode de mesure RF appliquée au chapitre 3 est ensuite reproduite pour mesurer les paramètres S de la structure de 10 MHz à 40 GHz, avec les polarisations statiques adaptées au type de transistor MOS.

4.1.5 Extraction des paramètres S du couplage

Pour n'obtenir que les paramètres S de notre DUT, le TSV et le MOS, il faut s'affranchir de la contribution des accès. Une structure de deembedding spécifique a été conçue (Figure 11). C'est exactement la même que la structure principale, mais sans le DUT. Elle mesure les effets électriques des accès et des plots. Le deembedding de la mesure se fait ensuite de la même manière que dans le chapitre 3.

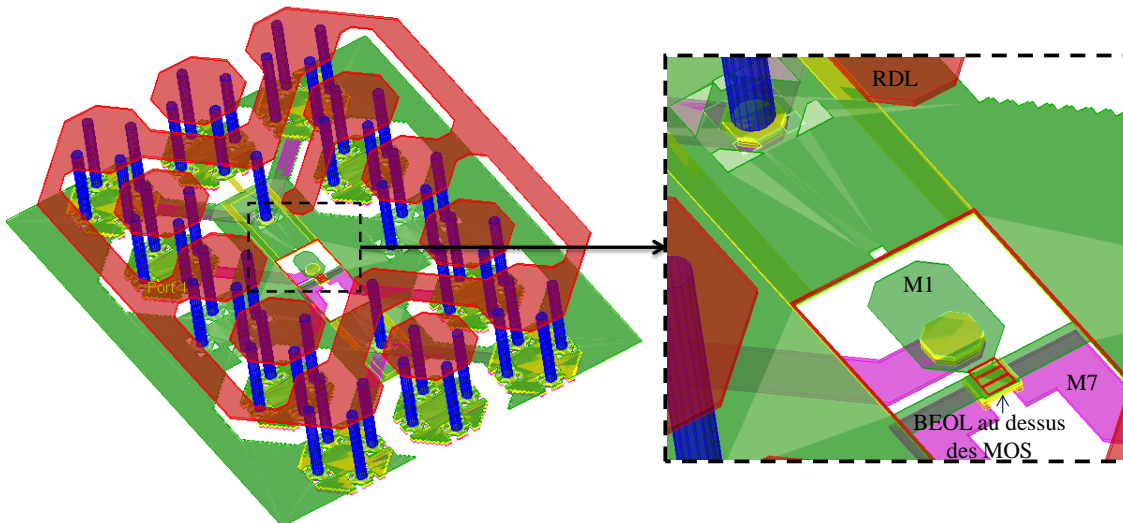


Figure 11: Structure de De-embedding vues en 3D.

Ainsi seule l'interaction entre le TSV et la grille et le drain du MOS sont extraites de la mesure. Les fonctions de transfert entre le TSV et la grille et le TSV et le drain sont maintenant analysées en fonction de l'état du MOS.

4.2 Fonction de transfert de couplage entre le TSV et le transistor MOS

Cette section présente les résultats de la mesure obtenus après la procédure de deembedding. Les fonctions de transfert du couplage, notées FTC, entre le TSV et le drain et le TSV et la grille sont observées tour à tour pour chacun des types de MOS à différents point de fonctionnement visibles sur les caractéristiques Figure 9Figure 10.

Nous étudions l'impact des perturbations générées par le TSV sur le MOS, et non l'inverse. Comme la structure est active, le système n'est pas réciproque, d'où l'importance de cette considération et la pertinence de ce choix : les S_{31} et S_{41} correspondent bien au signal RF mesuré respectivement sur le drain et la grille, lorsqu'un signal RF est envoyé dans le TSV.

Le couplage entre drain et TSV est analysé dans la partie suivante en fonction de l'état du MOS. Nous traiterons ensuite le cas de la grille.

4.2.1 Couplage entre TSV et drain en fonction de l'état du MOS

La fonction de transfert du couplage (FTC) entre TSV et drain est extraite de 10 MHz à 40 GHz pour des polarisations de grille variant de 0 à 1 V (Figure 12).

Lorsque le MOS est bloqué, c'est-à-dire en dessous de 0,4 V, la FTC varie de -58 dB jusqu'à environ -26 dB avec un palier visible à partir d'environ 20 GHz. Cela signifie que les perturbations substrat sont de moins en moins atténuées, donc que le drain collecte plus de perturbations substrat à mesure que la fréquence augmente. Lorsque le MOS est passant, pour les polarisations de grilles supérieures à 0,4 V, la FTC est bien supérieure, atteignant les 10 dB de plus.

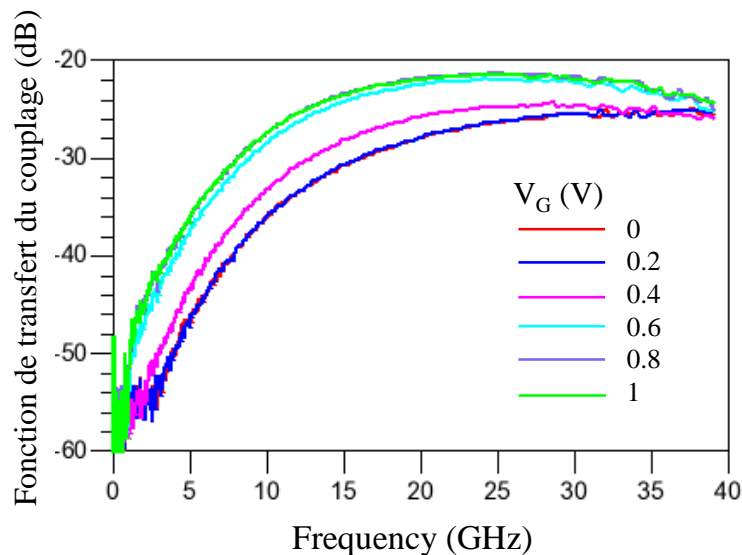


Figure 12 : TFC entre le TSV et le drain du NMOS en fonction de la tension de grille V_G .

Le drain est donc beaucoup plus sensible aux perturbations substrat générées par le TSV lorsque le MOS est passant. Cela peut générer des problèmes de fonctionnement dans les circuits sensibles. Par exemple, lorsque le TSV va transmettre un signal aux fronts de montée agressifs, des

pics de tension seront induit sur le drain. Ces pics seront aussi observés sur la source, puisque celle-ci est de la même constitution que le drain. Les capacités de couplages entre drain et grille peuvent aussi transmettre des pics de tension à la grille. Ce comportement est observé pour les deux NMOS, et également pour le PMOS.

4.2.2 Couplage entre TSV et grille en fonction de l'état du MOS

De même que pour le drain, la FTC augmente avec la fréquence en passant de -60 dB à -30 dB (Figure 13) lorsque la fréquence passe de 10 MHz à 40 GHz. L'atténuation des perturbations générées par le TSV diminue donc avec la fréquence. La grille est cependant moins couplée avec le TSV que le drain, l'isolation de la grille vis-à-vis du substrat est donc plus forte que celle du drain. Des différences de 4 à 6 dB de couplage en moins sont observées, ce qui n'est pas une différence négligeable.

En outre, le comportement du couplage en fonction de l'état du MOS est opposé à celui observé dans le cas du drain : pour la grille, le couplage est plus fort lorsque le MOS est fermé, c'est-à-dire que la grille collecte plus de perturbations, et plus faible lorsque le MOS est ouvert. Ce comportement est observé pour les trois types de MOS.

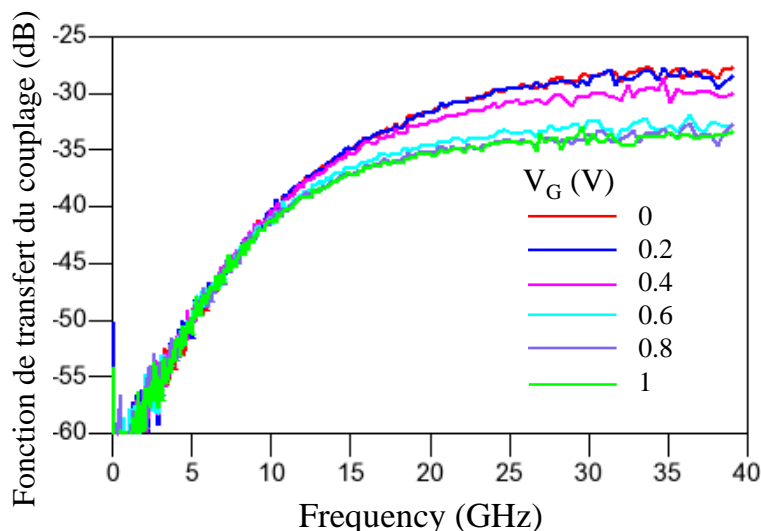


Figure 13 : FTC entre le TSV et la grille du NMOS en fonction de la tension de grille V_G .

Nous lisons à travers cette caractérisation du couplage l'impact de l'état du MOS. Dans le cas du NMOS, pour les tensions de grilles $V_G < 0,4$ V et pour $V_G > 0,4$ V, les courbes sont regroupées. La transition d'état du MOS à $V_G = 0,4$ V entraîne un couplage à un niveau intermédiaire. Ce sont donc les effets électriques autour du MOS lié à son état, passant ou bloqué, qui impactent directement sa sensibilité au couplage. Ce ne sont pas des effets autour du TSV ou dans le silicium. Cette remarque est importante pour comprendre et modéliser les phénomènes de couplage. Nous pouvons d'ores et déjà imaginer que c'est la variation de la capacité grille substrat qui provoque la variation du couplage.

4.2.3 Synthèse

Les FTC mesurées permettent une lecture directe de l'atténuation des perturbations générées par le TSV à travers l'isolation du TSV et le substrat. L'atténuation est définie ici comme étant l'opposé de la TFC. En fonction de la puissance du signal envoyé dans le TSV, la grille et drain des MOS collectent un signal avec une certaine atténuation, la perturbation substrat, que nous avons vue dépendante de l'état du MOS et de la fréquence. Globalement parlant, les niveaux de couplage TSV-drain et TSV-grille augmentent de -60 dB à -55 dB à 10 MHz à un peu moins de -20 dB à 40 GHz.

Pour illustrer l'impact de ces niveaux de couplage en terme de puissances, la courbe Figure 14 est tracée. Elle permet la conversion entre puissance en mW et tension, dans le cas de deux charges : 50 ohm, comme dans le cas de la mesure RF, ou 5 ohm, pouvant représenter la résistance des connexions.

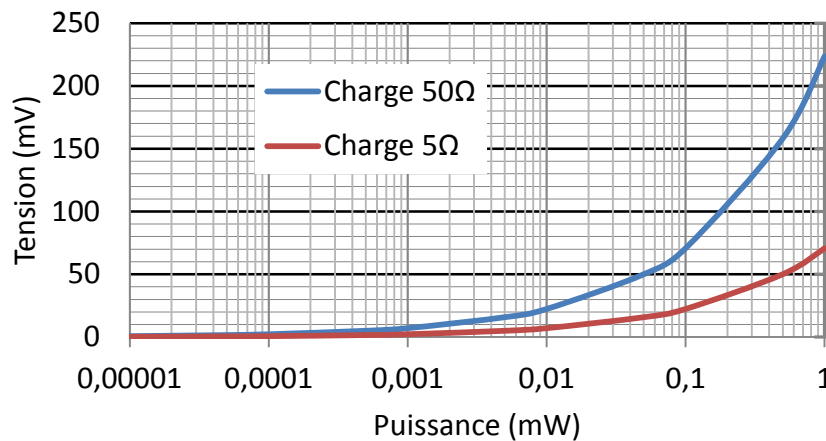


Figure 14 : Conversion mW-mV avec deux charges résistives.

A titre d'exemple, imaginons le scénario suivant. Si un signal de puissance 1 mW, soit 0 dBm, et de fréquence 40 GHz passe dans le TSV, une atténuation de -25 dB va induire une perturbation de -25 dBm sur la grille ou le drain, soit 3 μ W. Pour une charge de 5 ohms le pic sera de 5mV.

Les études de M. Rousseau [Rousseau11] ont montré des résultats de mesure en temporel donnant une idée des pics de tensions pouvant être induit sur les circuits. Une sonde en anneau (prise P+) autour du TSV situé à quelques micromètres permet la mesure du pic de tension induit sur la sonde lors de l'application d'un pic de tension sur le TSV. Le pic a un front de montée de 8 nS, soit un fondamental de fréquence 125 MHz, et une amplitude de 2 V. Le pic de tension induit était de 45 mV, ce qui semble énorme dans une technologie 65 nm qui fonctionne avec des tensions nominales de 1,2 V. Il faut cependant garder en tête que c'était dans une technologie différente, le TSV Last de 60 μ m de diamètre et 120 μ m de hauteur, et que nous ne connaissons pas les charges vues par le TSV et par la sonde alors qu'elle influence sur le résultat.

Les données fournies dans cette partie, les FTC, peuvent donc être utiles pour les designers de circuits sensibles, qui eux connaissent le circuit entier et connaissent sa sensibilité. Cependant, pour fournir des solutions potentielles, il est indispensable de comprendre pourquoi l'état du MOS a un

Chapitre 4 : Modélisation du couplage entre le TSV et le transistor MOS

tel impact sur le couplage, et pour cela, le passage par la modélisation électrique s'avère indispensable.

Le modèle du TSV et du substrat a été réalisée dans le chapitre 2, le chapitre 3 a permis de modéliser le couplage entre les caissons dopés et le substrat. Soulignons que cette dernière étude apporte des éléments de compréhension pour le couplage TSV-drain ou source. En effet le drain et la source sont des caissons dopés tandis que la grille est isolée du substrat par l'oxyde, et que la formation du canal vertical représente un phénomène nouveau qui impacte le couplage, comme nous l'avons vu dans la partie précédente. L'objet de la partie suivante est donc de comprendre les variations du couplage en modélisant le MOS vis-à-vis du substrat, dernière brique manquante à cette thèse.

4.3 Modélisation du couplage entre transistor et silicium

Cette partie a pour objectif de comprendre pourquoi l'état du MOS a un tel impact sur son couplage avec le TSV, et de modéliser les effets électriques qui en sont responsables. Pour cela nous allons en revenir au modèle petit signal du MOS. Pour appuyer nos hypothèses, les variations des capacités grille-substrat et drain-substrat seront observées grâce à des extractions à partir de simulation SPICE ou des mesures RF. Le but sera de construire un modèle comportemental et générique, c'est-à-dire représentant le comportement de n'importe quel MOS vis-à-vis du substrat, et par extension, du TSV et des perturbations qu'il génère, afin d'identifier des solutions potentielles pour réduire leurs impact. L'étude portera sur le cas du NMOS, mais elle sera bien sur valable pour le PMOS.

4.3.1 Zone de déplétion du transistor MOS

Les résultats de la mesure du couplage ont montré que le couplage dépendait de la polarisation de la grille, et donc de l'état électrique du MOS. Pour expliquer cette dépendance, il faut revenir aux dopages du MOS.

Les dopants du drain et de la source sont opposés à ceux du substrat dans lequel ils sont implantés. Pour le NMOS, les caissons formant drain et source sont de type n, alors que les dopants du Pwell sont de type p. Le Pwell est mis à la masse, tandis que drain et source sont respectivement mis à 1,2 V et 0 V. Les jonctions p-n formée autour du drain et de la source sont donc polarisées en inverse. Pour le PMOS, les caissons drains et source sont de type p, polarisés à -1,2 V et 0 V, et sont implanté dans un Nwell mis à la masse. Donc les jonctions p-n formées par les caissons sont aussi pour le PMOS polarisés en inverse. Ainsi, une zone de déplétion est formée autour des caissons drains et source quel que soit le type de MOS.

Conjointement, la grille métallique isolée du substrat par un oxyde forme une structure MOS lorsque la grille est polarisée en dessous de la tension de seuil du transistor, ici 0,4 V.

Par conséquent une zone de déplétion se constitue sous le drain, la grille et la source lorsque le MOS est bloqué. Dans cette zone de déplétion, les charges mobiles ont déserté par diffusions (pour les jonctions p-n) et sous l'effet du champ électrique, ne laissant que les accepteurs ionisés pour les NMOS, les donneurs ionisés pour les PMOS. Cette zone de charge d'espace résulte en une isolation, qui est modélisée par plusieurs capacités entre le Pwell et le drain C_{DB} , la grille ou la source. Un schéma est proposé Figure 15 pour illustrer les phénomènes décrit dans ce paragraphe.

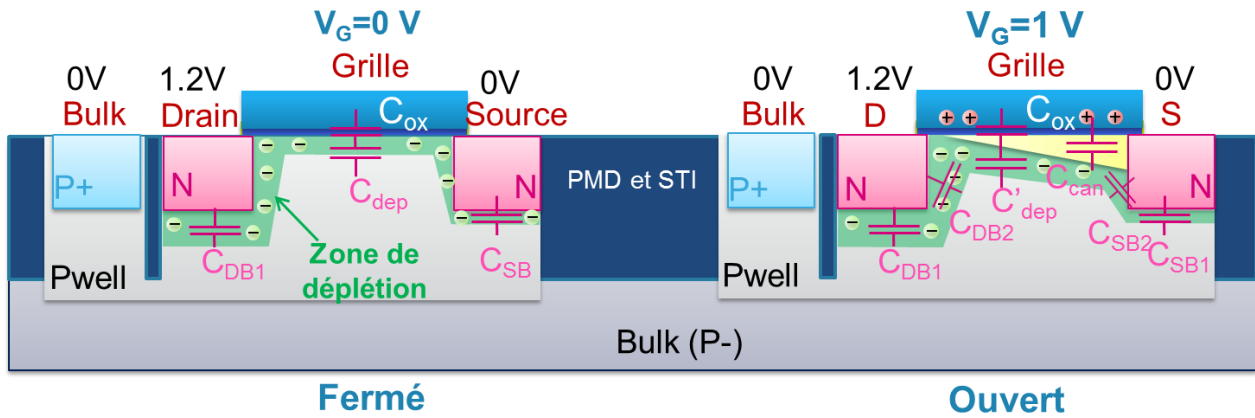


Figure 15 : Schéma du MOS et des effets électriques dans le substrat lorsqu'il est fermé et ouvert.

La zone de charge d'espace dépend évidemment des différences de potentiels appliqués, d'où la dissymétrie représentée. Sous la source, la zone de déplétion est moins large que sous le drain, car la différence de potentiel avec le Pwell est plus faible. La source devrait être moins isolée du substrat et donc collecter plus de perturbations que le drain.

En outre, la formation du canal sous la grille modifie la géométrie de la zone de déplétion, d'où l'influence du potentiel de grille sur le couplage. Notons que dans nos conditions de mesures, avec $V = 1,2 \text{ V}$ le NMOS est saturé ce qui se traduit par le pincement du canal, comme représenté pour $V_G = 1 \text{ V}$ dans la Figure 15.

Les différents couplages électriques entre le MOS et le substrat sont maintenant discutés et étudiés pour le cas du drain puis de la grille. Nous verrons que les effets drain et grille ne sont pas indépendants mais complémentaires. Pour appuyer les explications théoriques, les capacités de drain et grille vues par le substrat, et par extension le TSV, sont extraites des simulations ou de la mesure, de manière à observer les variations de leurs valeurs en fonction de l'état du MOS.

4.3.2 Capacité entre drain et silicium

Au regard du schéma de la Figure 15, lorsque le MOS est fermé, le caisson drain de type N est englobé d'une zone de déplétion due à la jonction p-n polarisée en inverse que forment le drain vis-à-vis du substrat Pwell. L'isolation drain-substrat qui en résulte est modélisée par la capacité C_{DB1} . Lorsque le MOS devient passant, la capacité totale due à la zone de déplétion se distribue différemment entre drain, grille et source, due aux effets conjoints de l'apparition du canal et de l'augmentation du potentiel de grille par rapport à celui du substrat. La géométrie de la zone isolante est modifiée, entraînant une interaction électrique plus forte entre drain et substrat, modélisé par une capacité qui s'ajoute à C_{DB1} notée C_{DB2} . Ainsi l'augmentation de la fonction de transfert du couplage drain-TSV de l'état bloqué à passant ($V_G > 0.4\text{V}$, Figure 12), soit la diminution de l'atténuation des perturbations générées par le TSV, est due à l'augmentation de la capacité drain-substrat. Pour vérifier que cette explication reflète le comportement physique du système, la capacité de couplage drain-TSV est extraite de la mesure en fonction de l'état du MOS, i.e. de V_G , pour le cas du NMOS (Figure 16) et du PMOS (Figure 17).

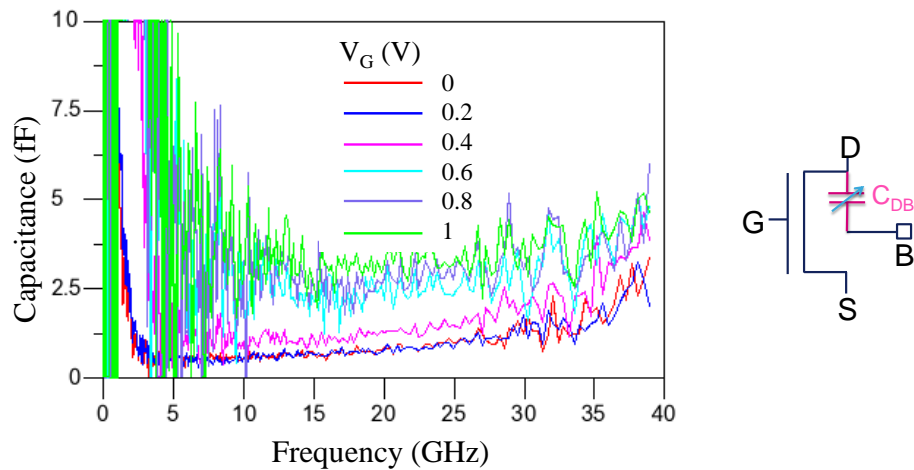


Figure 16: Capacité de couplage TSV-drain pour le NMOS, extraite de la mesure.

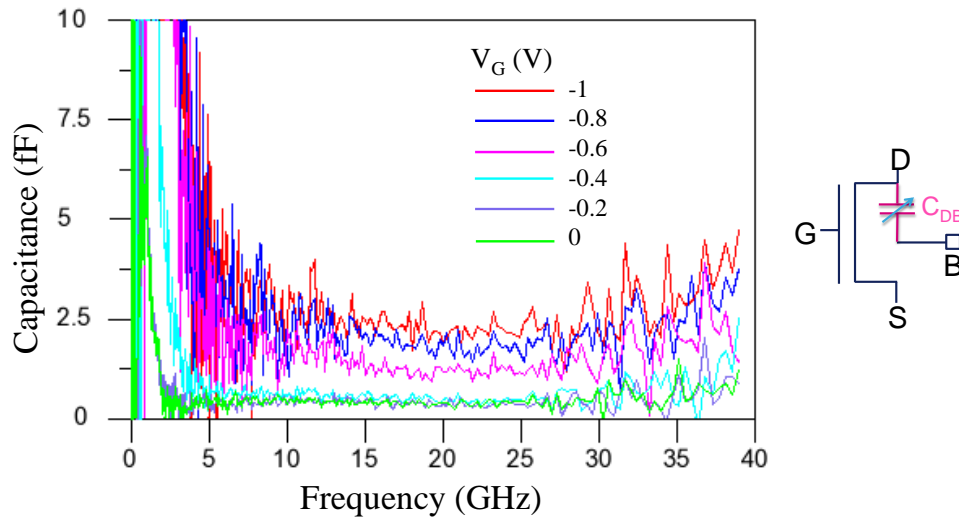


Figure 17: Capacité de couplage TSV-drain pour le PMOS, extraite de la mesure.

En dessous de 5 GHz, les capacités extraites sont très bruitées car le couplage TSV-drain est très faible et donc la sensibilité au couplage critique. A haute fréquence, les capacités extraites deviennent stables ce qui signifie que le modèle capacitif est physique. Leurs très faibles valeurs, inférieures à 5fF, démontrent l'enjeu lié à difficulté de la mesure et de l'extraction.

Dans le chapitre 3, un modèle du couplage pour la structure TSV- prise substrat P+ a été développé et permet d'estimer les différentes capacités attendues dans ce système, dont la géométrie est comparable. La capacité TSV-substrat est d'environ 400 fF, celle du silicium est d'environ 10 fF, tandis que la capacité ici extraite est de 1 à 5fF soit de 2 à 10 fois plus faible que les deux autres. L'effet vu à haute fréquence à travers la mesure du couplage serait donc essentiellement celui de la capacité entre le drain et le substrat Pwell. Elle est notée généralement dans les modèles de MOS C_{DB} , D pour drain et B pour substrat bulk. Cette dénomination peut sembler imprécise au regard des différentes dénominations des zones (schéma Figure 15) car B représente en fait le substrat Pwell des NMOS ou le Nwell des PMOS.

Cette section démontre d'une part que l'augmentation du couplage TSV-drain est liée à

l'augmentation de la capacité de couplage TSV-drain, lorsque le MOS passe de l'état bloqué à passant. D'autre part, la variation de la capacité de couplage est due seulement à la variation de la capacité drain-substrat (Pwell ou Nwell) C_{DB} . Cette augmentation de la capacité de l'état fermé à ouvert du MOS est conforme à ce qui était avancé dans la section théorique précédente.

4.3.3 Capacité entre grille et silicium

D'après le schéma théorique Figure 15, lorsque le MOS est bloqué, la grille du MOS est isolée du substrat par l'oxyde grille et par la zone de déplétion sous l'oxyde, dû à l'effet MOS. Entre parenthèse, pour le lecteur qui se souvient du chapitre 2 et se poserait la question, cet effet est le même qui se produit autour du TSV lorsque la différence de potentiel entre le TSV et le substrat de type p est supérieure à $-6V$. Cette isolation est modélisée dans le schéma par une capacité C_{ox} en série avec C_{dep} . Lorsque que le MOS est passant, le canal se forme sous la grille, résultant en une zone isolante supplémentaire, modélisée par C_{can} . De plus, comme il l'a déjà été dit dans la section précédente, l'apparition du canal résulte en une nouvelle répartition volumique de la zone de déplétion sous le MOS : le canal fait un écran additionnel entre la grille et cette zone de déplétion, ainsi la capacité C'_{dep} est plus faible que C_{dep} . Cet effet est complémentaire avec l'augmentation de la capacité drain-substrat présenté avant.

En conséquence, la capacité équivalente grille-substrat diminue lorsque le MOS passe de l'état fermé à ouvert. Cette variation de capacité explique pourquoi la fonction de transfert de couplage grille-TSV diminue avec l'augmentation du potentiel de grille (Figure 13) : l'atténuation augmente car l'isolation est plus forte.

Pour démontrer et visualiser cette variation, la capacité grille-substrat est extraite grâce à une simulation SPICE (Figure 18). En effet rappelons que nous disposons du modèle théorique du MOS extrait du GDS. Il prend en compte la capacité grille-substrat, notée traditionnellement C_{GB} , qu'il est possible d'extraire grâce à une simulation haute fréquence. Ce modèle a été validé par des mesures à basse fréquence, ce qui n'implique pas automatiquement que le modèle haute fréquence soit juste mais permet au moins de le supposer. Dans tous les cas, il donnera à C_{GB} un ordre de grandeur et son comportement en fonction des polarisations. L'extraction est réalisée pour chaque valeur de V_G allant de 0 à 1 V (cas du NMOS). L'effet de la polarisation du drain est étudié conjointement. Dans la mesure, le MOS est toujours saturé ($V_D=1,2V$) mais il est intéressant de considérer d'autres points de fonctionnement par lequel passe le MOS pour identifier le pire/meilleur cas. De plus le MOS est parfois utilisé en régime linéaire dans les amplificateurs ou les convertisseurs numérique-analogique par exemple.

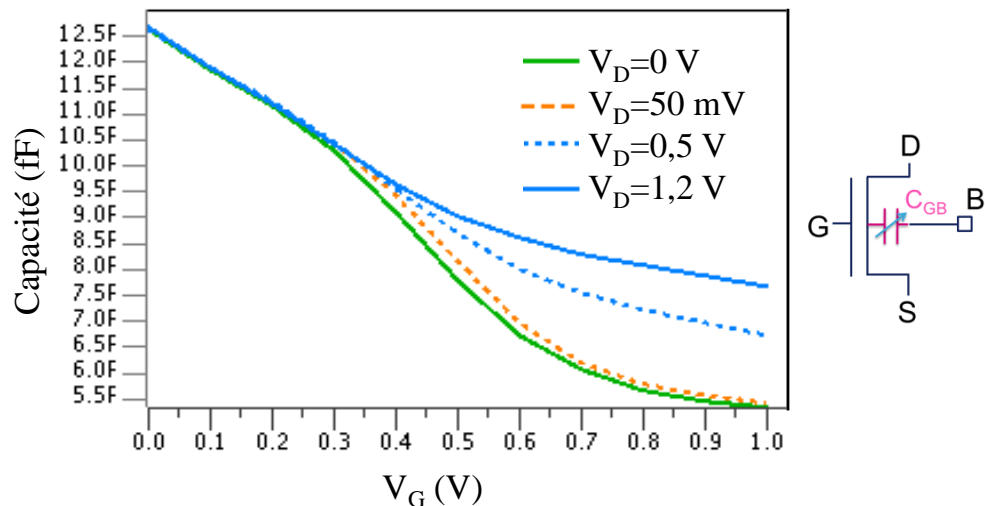


Figure 18 : Capacité grille – substrat simulée à partir du modèle extrait du GDS

La capacité grille-substrat théorique est très faible, de l'ordre de la dizaine de fF, ce qui peut expliquer pourquoi l'extraction à partir de la mesure n'a pas été concluante. Cependant, cette courbe confirme ce qui a été dit dans la section théorique : C_{GB} diminue lorsque V_G augmente, donc lorsque le MOS passe de l'état fermé à ouvert. Ce résultat est corrélé avec la fonction de transfert du couplage TSV-grille qui diminue à mesure que V_G augmente. La Figure 18 permet aussi de conclure que lorsque le MOS est en régime linéaire ($V_D=50$ mV), il est mieux isolé du substrat car la capacité est plus faible. Le MOS à l'état saturé est donc le pire cas concernant le couplage TSV-grille : la capacité de couplage grille-substrat est toujours plus haute et d'environ 60% plus forte pour $V_G = 1V$.

4.3.4 Synthèse et construction du modèle de couplage transistor -TSV

L'explication théorique des effets capacitifs entre le MOS et le silicium a été corrélée avec des capacités extraites de la mesure ou de la simulation. Le schéma de principe Figure 19 illustre le rôle des capacités variables du transistor dans les variations de couplage avec le TSV. Il ne constitue en aucun lieu un modèle équivalent.

Ce schéma dresse le bilan des études sur la modélisation menées au chapitre 2, 3 et 4. Le chapitre 2 a permis d'étudier le TSV et son environnement silicium, le 3 d'étudier les zones actives couplées au TSV via le silicium. La dernière brique qui vient d'être étudiée dans cette partie, le modèle du couplage MOS-silicium, est ajoutée. Il est en revanche très difficile et, surtout, inutile de mettre des chiffres exacts sur les capacités C_{DB} , C_{GB} , C_{SB} . Dans les technologies 2D en 65 nm, elles sont généralement de l'ordre des dizaines de femto farad mais cela dépend complètement du design du MOS et de sa technologie. Rappelons que les MOS des structures de test RF ont été conçues spécifiquement pour maximiser le couplage, ses dimensions ne sont pas représentatives des MOS utilisés dans la multitude de type de circuit.

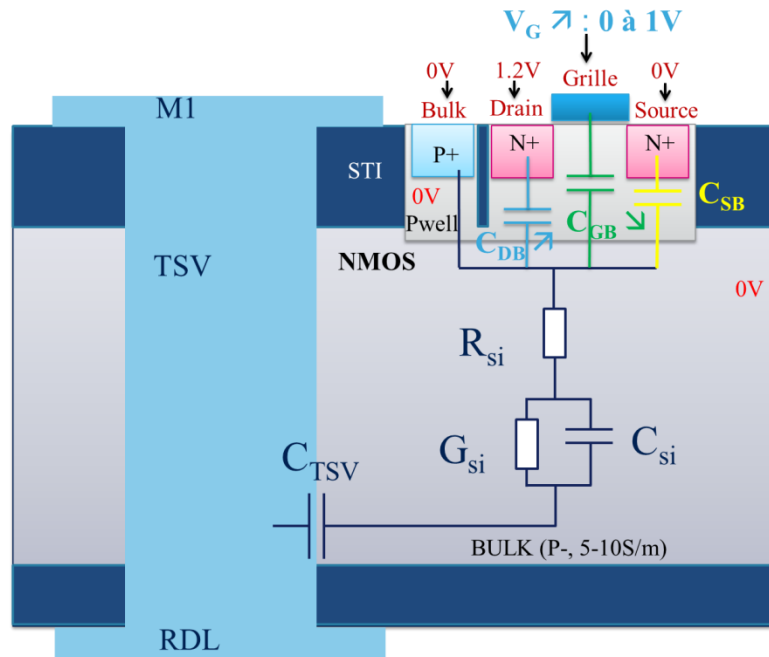


Figure 19 : Schéma récapitulatif des effets liés au couplage entre le TSV et le NMOS.

Les différents effets liés au couplage TSV-MOS ont donc été expliqués à travers cette partie, ainsi que l'impact de l'état du MOS. L'impact du type de MOS est maintenant analysé.

4.4 Sensibilité aux perturbations selon le type du transistor MOS

Dans cette dernière partie, nous nous intéressons à un dernier paramètre qui influe sur le couplage TSV-MOS : le type de MOS. L'objectif est de voir quel type de MOS est le plus sensible de manière à déterminer des pistes pour réduire le couplage avec le substrat. Une solution existant déjà en 2D est testée puisque le NMOS et le PMOS vont être comparés au NMOS isolé. La compréhension des variations du couplage en fonction du type de MOS permettra aussi de pouvoir se prononcer sur certaines solutions potentielles telles que le FDSOI.

Les paramètres S du couplage entre le TSV et les drains des trois types de MOS sont mesurés de 0 à 40 GHz. Les fonctions de transfert de couplage lorsque le MOS est ouvert et fermé sont comparées Figure 20. La caractérisation du couplage TSV-grille n'est pas présentée ici car nous avons vu que le drain était de loin plus sensible que la grille aux perturbations.

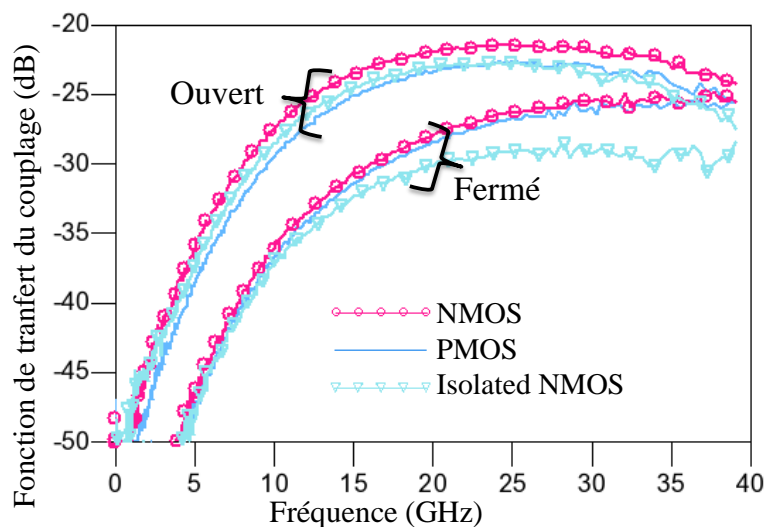


Figure 20 : Comparaison des couplages TSV – drain pour trois types de MOS.

Lorsque les MOS sont tous fermés, des différences de niveau de couplage importantes sont observées à partir de 10 GHz. Pour des perturbations de fréquences supérieures à 10 GHz, c'est le NMOS isolé qui se démarque nettement comme étant le moins sensible avec, dès 17 GHz, - 3 dB et à 40 GHz, quasiment - 5 dB de moins que les deux autres MOS. Le PMOS s'avère à peine plus sensible que le NMOS. Lorsque les MOS sont ouverts, le NMOS isolé et le PMOS sont couplés de manière similaire au TSV. Le NMOS est dans cet état toujours le plus sensible.

Pour expliquer ces variations, les structures des trois MOS sont comparées en tenant compte des conditions de polarisation lors de la mesure. Chaque jonction p-n polarisée en inverse (potentiel $V_J < 0,7V$) engendre une zone de déplétion ZCE et donc une isolation supplémentaire vis-à-vis du substrat, modélisée par une diode Figure 21. Dans le cas du NMOS, le drain de type N à 1,2 V est isolé du Pwell à 0 V par une ZCE. Dans le PMOS, le drain de type P à -1,2 V est lui isolé du Nwell à 0 V par une ZCE, lui-même isolé du Bulk de type P à 0 V par une seconde ZCE. Le NMOS isolé présente deux ZCE supplémentaires aux deux interfaces du DeepNwell, ce qui explique sa meilleure immunité au bruit.

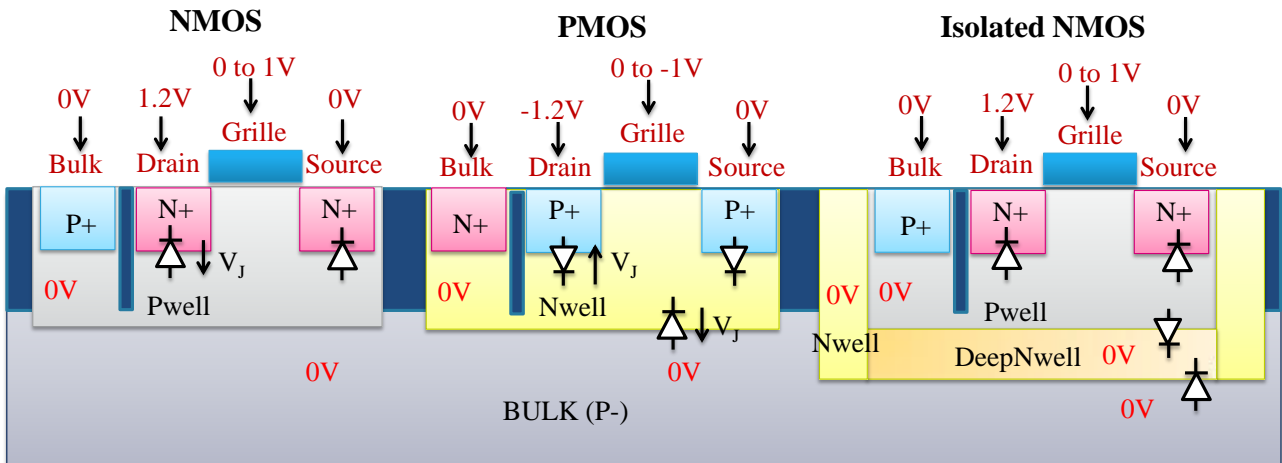


Figure 21 : Les trois types de MOS et leur isolation du substrat par des diodes en inverse

Bien que cela paraisse simple, il est en fait difficile de déterminer simplement en comptant les diodes en inverse quel MOS sera le mieux isolé. Par exemple la différence entre le PMOS et le NMOS isolé n'est pas flagrante lorsque le MOS est ouvert. L'isolation du MOS vis-à-vis du substrat dépend de plusieurs paramètres de la jonction, qui jouent conjointement : niveaux de dopage, potentiel de la jonction qui peut être modifié par du bruit environnant, la surface... Cependant, cette simple analyse explique bien les variations du couplage en fonction du type de MOS : chaque jonction p-n polarisée en inverse agit comme une isolation supplémentaire aux perturbations substrat.

4.5 Bilan de l'étude

Les résultats présentés dans ce dernier chapitre ont permis d'identifier et de comprendre les phénomènes électriques responsables du couplage entre le TSV et le MOS, et de comprendre l'impact de paramètres majeurs, liés au fonctionnement des MOS et à leur design. Soulignons que ces résultats représentent l'état de l'art et que de nombreuses problématiques liées conjointement à la technologie, au dessin, à la mesure, aux méthodes d'extraction, à la modélisation... ont été résolues alors qu'il existait peu de pistes adaptées aux problèmes de couplage entre TSV et MOS.

Pour résoudre la problématique de mesure du couplage, des structures de test RF 3D innovantes ont été conçues pour mesurer simultanément le couplage électromagnétique de 10 MHz à 40 GHz entre le drain et la grille de transistors MOS en fonctionnement. Trois types de MOS ont été étudiés : le PMOS, le NMOS et le NMOS isolé. Leur bon fonctionnement a été préalablement vérifié avec des caractérisations classiques et la confrontation avec les modèles théoriques de ST.

L'atténuation des perturbations générées par le TSV dans le substrat, et collectées par le drain et la grille du MOS, ont été analysés à travers les paramètres S en dB. Les résultats montrent que l'évolution de l'état électrique du MOS, fermé à ouvert, avait un impact important sur l'atténuation des perturbations, soit sur le couplage. Cet impact a été expliqué grâce à l'étude physique du MOS, son modèle petit signal, et les modèles extraits de la mesure RF. C'est l'apparition du canal ainsi que la zone de déplétion dans le silicium sous le drain, la grille et la source et la variation de sa géométrie qui sont responsables des variations de couplage. Lorsque le MOS passe de l'état fermé à ouvert, le drain devient plus sensible aux perturbations, tandis que la grille en est mieux isolée.

Les fonctions de transfert du couplage ont aussi été comparées en fonction de trois types classiques de MOS lorsqu'ils étaient soit tous fermés, soit tous ouverts. Conçus spécifiquement pour la mesure RF du couplage, il est possible de les comparer car leur géométrie est similaire, avec les mêmes surfaces de grilles et de drain. Le NMOS s'est révélé être plus sensible que le PMOS car ce dernier bénéficie d'une zone de déplétion à l'interface Nwell-Bulk qui lui offre une isolation supplémentaire du Bulk de 1 ou 2 dB, et par extension des perturbations générées par le TSV. Le NMOS isolé a lui un caisson d'isolation qui a aussi montré son efficacité, plaçant ce dernier type comme étant le moins sujet au couplage. Cependant, la différence à l'état ON avec le PMOS n'est pas si flagrante, ce qui montre qu'il est difficile de prédire sans connaître le design exact du MOS et son modèle de combien de dB les perturbations peuvent être atténuées. Il est donc recommandé, dans le cas de design de circuit sensibles, de placer préférentiellement des NMOS isolés à proximité des TSV pour réduire le niveau de couplage de quelques dB.

Les niveaux de couplages mesurés ne dépassent pas les -20 dB. Cette donnée mène à deux dernières conclusions. Etant donné que les MOS conçus pour ces structures permettaient de maximiser le couplage grâce à des surfaces importantes de grille et de drain en regard avec le substrat, nous pouvons avancer que nous avons caractérisé le pire cas. Ainsi le couplage avec des circuits aux dimensions réalistes devraient être toujours inférieur à -20 dB pour les signaux perturbateurs de fréquence inférieures 40GHz, ce qui peut être rassurant pour un designer de circuit. D'autre part, le couplage mesuré entre le TSV et la prise P+ était bien supérieur. La prise P+ représente donc une solution potentielle de design pour collecter les perturbations substrat et diminuer celui collecté par les MOS.

Conclusion

Conclusion

En guise de prémices à cette conclusion, reprenons dans un premier temps la question de départ : la prochaine décennie est-elle celle des circuits intégrés en 3D ? Les technologies 3D sont-elles matures ? Ont-elles gagné du terrain sur le marché des semi-conducteurs ou au moins l'intérêt des industriels ? Quels sont les challenges qui ont été relevés et les problèmes qui persistent pour l'émergence de cette technologie ?

La conférence 3DIC, qui s'est déroulée en octobre 2013 à San Francisco, rendez-vous des spécialistes de la 3D issus d'entreprises ou de laboratoires d'Asie, USA et Europe a permis de balayer les problématiques et les applications de l'intégration 3D afin d'évaluer son futur. Notons déjà que depuis trois ans les choses bougent dans le bon sens. De grands laboratoires et universités, IMEC, CEA, Fraunhofer, KAIST, Tohoku s'investissent dans la recherche sur cette architecture innovante associés à de plus en plus d'entreprises puissantes tels que STMicroelectronics, TSMC, Intel, Samsung, IBM. De nombreuses publications en font l'objet, présentant des prototypes ou des applications qui démontrent les technologies d'intégration 3D de chacun et les performances apportées.

Cependant comme il l'a été dit dans l'introduction, l'intégration 3D constitue un changement de paradigme et c'est l'ensemble de la chaîne d'intégration de composants électroniques qui est à revoir, ce qui prend du temps, risque de coûter cher et rend frileux les entreprises à engager des investissements massifs. Cela dit, AMS a tout de même investi plus de 25 millions d'euros pour produire des circuits intégrés en 3D d'ici fin 2013, en agrandissant son usine de semi-conducteurs. Les secteurs visés par le fabricant autrichien sont l'imagerie médicale et la téléphonie mobile.

Ainsi, il ressort en 2013 que les procédés technologiques 3D sont généralement bien maîtrisés, donnant lieu à des circuits dont la robustesse et le fonctionnement sont démontrés. Cependant pour encore augmenter la densité d'interconnexions et le nombre de fonctionnalités, des verrous sont encore à débloquent, notamment sur les aspects de dissipation thermique, mécaniques, du packaging des circuits, des méthodes de routages 3D ainsi que du côté de la CEM au niveau circuit, qui était la thématique traitée dans cette thèse.

En effet, les applications visent les domaines de la photonique, des télécommunications, des micro-serveurs, de l'informatique (CPU), du multimédia... et nécessitent, pour être compétitives, une augmentation des densités d'intégration des circuits et des bandes passantes, ainsi qu'une diminution de la consommation de puissance des circuits intégrés. Pour designer de tels circuits, la problématique des diaphonies entre les TSV et les composants MOS doit absolument être prise en compte. En 2013 le manque de littérature sur le sujet des perturbations substrat et de leur impact sur les circuits sensibles est moins flagrant qu'en 2010 mais repose encore essentiellement sur des études théoriques par simulation, et malheureusement dans des technologies toujours différentes. Le fait que la plupart des résultats soient théoriques explique le manque de données expérimentales sur silicium car il faut des moyens industriels pour les obtenir. Cela peut aussi dénoter la criticité du problème pour les industriels qui préfèrent ne pas publier pour des raisons de crainte de la concurrence en voulant garder les résultats confidentiels. Ou encore cela peut être dû au fait que les compétences nécessaires au traitement de ce sujet sont multiples. Il faut maîtriser la

technologie 3D et celles des MOS, les méthodes de modélisation, de conception de structures de test 3D et les techniques de mesure (RF et DC), la physique des semi-conducteurs, et l'électromagnétisme. Ce sont autant de domaines de connaissances qu'il a fallu croiser dans cette thèse pour traiter le sujet.

Ainsi ce travail de thèse s'est fortement appuyé sur de l'expérimentation, ce qui est un atout certain. Des structures de test RF en 4 ports innovantes et relevant des défis du point de vue conception, intégration, et mesure ont été conçues fort de la connaissance de la technologie 3D et des transistors MOS présentés dans le chapitre 1. En 2010, la connaissance des diaphonies entre deux MOS par le substrat est très bien connue et modélisé en 2D et des solutions d'isolation sont mises en places (STI, caissons d'isolation, prise substrat). Ces études ont aussi inspiré le design des structures RF.

Un modèle analytique du TSV, inspiré de la littérature, est proposé et validé par des simulations multi physiques 3D et des mesures des basses fréquences aux radiofréquences. Les résultats font ressortir la capacité de déplétion du TSV qui diminue sa capacité totale aux basses fréquences (<1GHz) contribuant à minimiser les délais de propagation du signal. Au-delà, c'est le comportement du silicium qui est mis en exergue et doit être modélisé.

Un modèle des TSV couplés est aussi proposé, et permet de valider la méthode d'extraction 4 ports à partir de mesures sur une structure intégrant des TSV couplés. Les structures de test RF sont en effet déclinées en plusieurs versions afin d'apporter un maximum de connaissance de notre système TSV-substrat-actif.

Les résultats expérimentaux de couplage entre TSV et zones dopées mettent en évidence les mécanismes de couplage du TSV avec des zones actives pour mieux les comprendre et s'en prémunir, fortement impactées par des effets diodes et donc les polarisations appliquées. Le cas isolé du couplage TSV- prise substrat est aussi intéressant car il constitue une solution potentielle de design pour réduire les perturbations substrat.

Les études précédentes constituent donc les étapes indispensables qui posent les bases pour aborder la diaphonie entre TSV et MOS. Des résultats expérimentaux étonnants et constituant, à notre connaissance, l'état de l'art sur le sujet montrent des niveaux de couplage TSV-grille et TSV-drain fortement impactés par l'état du MOS, fermé/ouvert. Les fonctions de transfert de couplages mesurées sont aussi des résultats en soit et utilisables pour les designers. L'atténuation des perturbations générées par le TSV dans le substrat évolue d'environ 60 dB à 25 dB entre 10 MHz et 40 GHz, ce qui peut en fonction de la sensibilité des applications ne pas être suffisante. Par exemple, des seuils de sensibilité au bruit substrat des LNA peuvent se situer dès -28 dBm. Ainsi si un signal de -3 dBm transite dans le TSV, les performances du LNA pourront être compromises. Les phénomènes physiques responsables de cet impact sont expliqués pour donner des voies de réduction du bruit, tels que le FDSOI, l'intégration de prises substrat ou de transistors isolés.

Perspectives

Dans le but de pousser la compréhension des phénomènes et la modélisation de cette problématique, plusieurs perspectives de recherche sont proposées sur le plan expérimental et en simulation.

En premier lieu, les structures de test spécifiquement conçues pour répondre aux objectifs visés dans cette thèse sont constituées de TSV et de MOS dans une configuration de test RF. Cependant ces structures peuvent aussi être mesurées directement dans le domaine temporel, pour étudier par exemple l'impact de fronts de montées agressifs des signaux véhiculés dans le TSV sur le MOS. Des simulations temporelles à partir des paramètres S pourraient aussi être réalisées en utilisant l'outil développé à l'IMEP LAHC.

Des mesures en température peuvent aussi apporter des résultats très utiles, réalistes et de plus très innovants. En effet les températures de fonctionnement des circuits peuvent varier entre l'ambiante et 125 °C. Or les caractéristiques électriques des matériaux telles que la conductivité du cuivre et du silicium, le comportement des jonctions p-n...évoluent énormément en température.

L'étude de l'impact du MOS sur le TSV, problème inverse, peut aussi être réalisée en analysant les autres paramètres S mesurés. En effet un signal dans le TSV qui serait déformé par des perturbations substrats pourrait aussi impacter un transistor MOS connecté en série à ce TSV. Des diagrammes de l'œil peuvent alors être réalisés pour étudier les performances en termes d'intégrité des signaux numériques transmis sous l'effet de bruit de fonctionnement.

De nouvelles structures de test pourraient être conçues avec cette fois des circuits sensibles complets, tels que des LNA, de plusieurs surfaces, à plusieurs distances d'un TSV ou de plusieurs TSV, et avec ou sans des shield de prises substrat pour tester l'efficacité de la solution d'isolation proposées dans cette thèse.

Pour en finir sur le plan expérimental, rappelons que des structures de peignes en serpentins conçues lors de cette thèse n'ont pas encore été caractérisées. Elles permettraient d'apporter des résultats d'analyse innovants concernant des effets électriques parasites dont il faudrait s'inquiéter. Il s'agirait des fuites de courant résultant de la formation d'une structure MOS en 3D constituée de la source d'un MOS, d'un TSV et du drain d'un second MOS, le TSV jouant le rôle de grille (Figure 1).

Conclusion

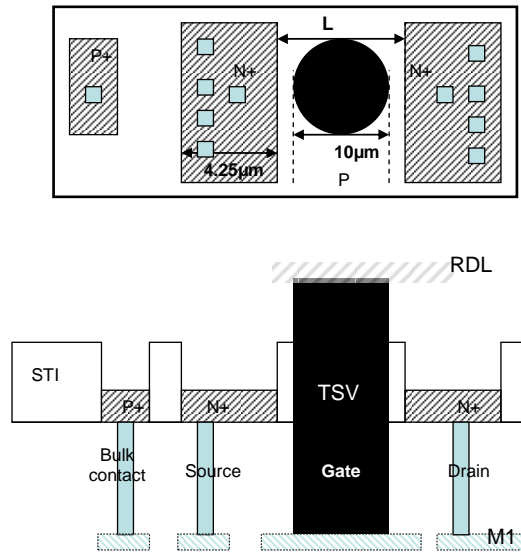


Figure 1 : Vue de dessus et vue en coupe d'un motif de structures serpentins. Ce motif est répété 8 fois pour maximiser les effets.

En second lieu, la modélisation et simulation avec le solveur Magwel 3D s'avère être un outil pertinent et puissant car il résout en 3 dimensions conjointement les équations de Poisson, (prise en compte du caractère semi-conducteur du silicium) et les équations de Maxwell, (prise en compte des effets électromagnétiques). Cet outil novateur a été évalué lors de cette thèse, et validé sur des structures passives présentées dans le chapitre 2. Néanmoins, il ne permettait alors pas la prise en compte des différents dopages N et P, ce qui a été rédhibitoire pour les études à mener à partir du chapitre 2 dans lequel les effets des jonctions P-N sont au premier plan. De plus le maillage 3D était encore lourd à réaliser, avec des réglages manuels indispensables pour affiner ou relâcher le maillage et assurer, si ce n'est la convergence du résultat, un temps de simulation acceptable. Néanmoins, les équipes de développement de la société Magwel prennent en compte les besoins des utilisateurs et l'outil est sans doute désormais plus mature pour pousser des études en simulation. Dans ces perspectives, les systèmes TSV-actif étudiés dans les chapitres 2 et 3 pourraient être simulés en faisant varier des paramètres de distances, de matériaux afin de valider un modèle analytique du couplage TSV – MOS.

Deux solutions se dessinent pour réduire l'impact du couplage électrique entre les TSV et les parties actives. On peut les distinguer par les principes suivants : « guérir » ou « prévenir », soit on tente de protéger (isoler) les parties actives MOS avec une intervention dans leur environnement proche, soit on réduit les signaux parasites directement « à la source », c'est à dire immédiatement au niveau des TSV.

La première solution consiste à intégrer des caissons d'isolations autour des parties actives à protéger [Cho11][Salman11]. Cette solution ne permet pas de supprimer totalement le signal parasite mais il a été démontré expérimentalement une diminution de 10 dB du niveau de couplage sur une large plage de fréquence entre 1 GHz et 20 GHz. Une autre

Conclusion

technique de blindage autour des MOS se base sur l'apport des technologies FDSOI [Xu11]. Cette technologie utilise une couche d'isolant « enterrée » sous la partie active formant une capacité additionnelle série minimisant le transfert du signal parasite.

La seconde solution consiste à limiter la génération de signaux parasites dès leur point de création, par l'utilisation de TSV coaxiaux [Adamshick13][Khan09]. Il s'agit d'une solution très attractive par son efficacité car le signal électrique dans le TSV est véhiculé et guidé entre deux électrodes, signal et masse. Cette technologie est encore loin d'être mature pour le moment en termes de procédés de fabrication. Les premiers essais d'intégration sont très récents comme illustré en Figure 2 et Figure 3 par les deux photographies MEB de 2013.

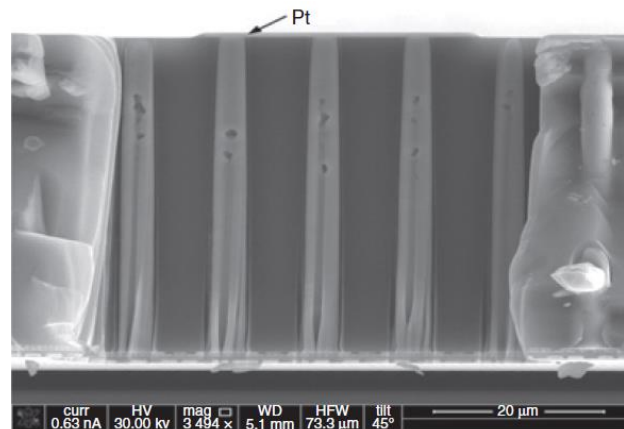


Figure 2 : Vue en coupe MEB (préparation FIB) des TSV coaxiaux [Adamshick13].

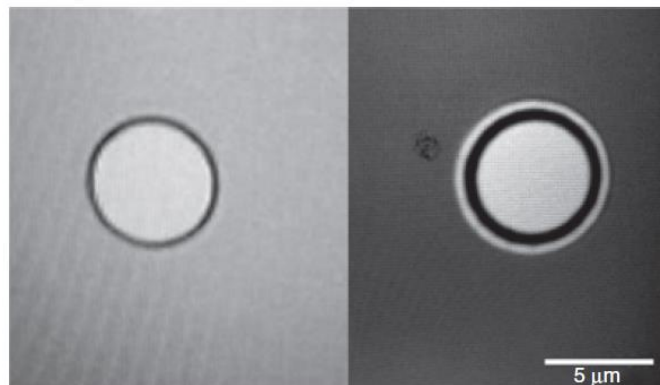


Figure 3 : Vue du dessus au MEB comparant un TSV standard (à gauche) et un TSV coaxial (à droite) [Adamshick13].

Bibliographie de l'auteur

Revue avec résumés et publication des actes

Microelectronic Engineering

M. Brocard, C. Bermond, T. Lacrevez, A. Farcy, P. Le Maître, P. Leduc, H. Ben Jamaa, S. Chéramy, N. Sillon, B. Fléchet “*RF characterization of the substrate coupling noise between TSV and active devices in 3D integrated circuits*”, to be published in Microelectronic Engineering.

Communications dans des conférences avec résumés et publication des actes

Premier auteur

3DIC, San Francisco, 2013 (oral presentation)

M. Brocard, C. Bermond, T. Lacrevez, A. Farcy, P. Le Maître, P. Scheer, P. Leduc, S. Chéramy, B. Fléchet, “*RF characterization of substrate coupling between TSV and MOS transistors in 3D integrated circuits*”, to be published in Proceedings of 3DIC Conference, San Francisco (2013)

ECTC, San Diego, 2012 (oral presentation)

M. Brocard, P. Le Maître, C. Bermond, P. Bar, R. Anciant, A. Farcy, T. Lacrevez, P. Leduc, P. Coudrain, N. Hotellier, H. Ben Jamaa, S. Chéramy, N. Sillon, J.-C. Marin, B. Fléchet, “*Characterization and modelling of Si-substrate noise induced by RF signal propagating in TSV of 3D-IC stack*”, in Proceeding of IEEE Conference on Electronic Components and Technology Conference (ECTC), pp. 665- 672 (2012).

MAM, Leuven, 2013 (oral presentation)

M. Brocard, C. Bermond, T. Lacrevez, A. Farcy, P. Le Maître, P. Leduc, H. Ben Jamaa, S. Chéramy, N. Sillon, B. Fléchet, “*RF characterization of the substrate coupling noise between TSV and active devices in 3D integrated circuits*”, in Proceedings of Material for Advanced Metallization, Leuven (2013).

Minapad, Grenoble, 2012 (poster)

M. Brocard, E. Eid, T. Lacrevez, C. Bermond, G. Houzet, A. Farcy, P. Leduc, B. Fléchet “*Focus on Links between High Frequency Substrate Noise and High Speed Signal Transmission in Interconnection Channels of 3D-IC*”, Minapad 2012, Grenoble, France.

Références bibliographiques

JCMM, Chambéry, 2012

M. Brocard, A. Farcy, C. Bermond, Patrick Leduc, T. Lacrevez, B. Fléchet, « *Impact de la technologie sur la capacité TSV-substrat des circuits intégrés 3D* », 12^{èmes} Journées de Caractérisation Microondes et Matériaux, 2012, Chambéry, France.

Co-auteur:

P. Le Maitre, M. Brocard, P. C., A. Farcy, J.-C. Marin, C. Bermond, P. Leduc, H. Ben Jaama, B. Fléchet, “*Device and electromagnetic co-simulation of TSV: substrate noise study and compact modeling of a TSV in a matrix*”, in Proceeding of International Symposium on Quality Electronic Design (ISQED), pp. 404 – 411(2012).

C. Bermond, M. Brocard, P. Artillan, A. Farcy, T. Lacrevez, P. Leduc, T. Treve, B. Fléchet, « *Caractérisation et modélisation du couplage induit par les TSV dans les architectures 3D* », in Proceeding of Journées Nationales Microondes » (2013).

Références bibliographiques

- [Abouelatta11] M. Abouelatta-Ebrahim, R. Dahman, O.Valorge, F. Calmon, C. Gontrand, “Modelling of through silicon via and devices electromagnetic coupling”, *Microelectronics Journal*, Volume 42, Issue 2, pp. 316 - 324 (2011)
- [Adamshick13] S. Adamshick, D. Coolbaugh, M. Liehr, “Feasibility of coaxial through silicon via 3D integration”, *Electronics Letters*, Volume 49, Issue 16, pp. 1028- 1030 (2013).
- [Amakawa09] S. Amakawa, K. Yamanaga, H. Ito, T. Sato, N. Ishihara, K. Masu, "S-Parameter-Based Modal Decomposition of Multiconductor Transmission Lines and Its Application to De-Embedding”, in *Proceeding of IEEE International Conference on Microelectronic Test Structures (ICMTS)*, pp. 177- 180 (2009).
- [Bandyopadhyay11] T. Bandyopadhyay, Ki Jin Han, Daehyun Chung, R. Chatterjee, M. Swaminathan, R. Tummala, “Rigorous Electrical Modeling of Through Silicon Vias (TSVs) with MOS Capacitance Effects”, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Volume 1, Issue 6, pp. 893 – 903 (2011).
- [Beyne 12] E. Beyne, “Electrical, thermal and mechanical impact of 3D TSV and 3D stacking technology on advanced CMOS devices — Technology directions”, in *Proceeding of IEEE Conference on 3D Systems Integration Conference (3DIC)*, pp. 1- 6 (2012).
- [Brocard12] M. Brocard, P. Le Maître, C. Bermond, P. Bar, R. Anciant, A. Farcy, T. Lacrevez, P. Leduc, P. Coudrain, N. Hotellier, H. Ben Jamaa, S. Chéramy, N. Sillon, J.-C. Marin, B. Fléchet, “Characterization and modelling of Si-substrate noise induced by RF signal propagating in TSV of 3D-IC stack”, in *Proceeding of IEEE conference on Electronic Components and Technology Conference (ECTC)*, pp. 665- 672 (2012).
- [Cadix09] L. Cadix, A. Farcy, C. Bermond, C. Fuchs, P. Leduc, M. Rousseau, M. Assous, A. Valentian, J. Roullard, E.Eid, N. Sillon, B. Fléchet, “Modelling of Through Silicon Via RF performance and impact on signal transmission in 3D integrated circuits”, in *Proceeding of IEEE International Conference on 3D System Integration*, pp. 1 – 7 (2009).
- [Cadix10] L.Cadix, M.Rousseau, C.Fuchs, P.Leduc, A.Thuaire, R.El Farhane, H.Chaabouni, R.Anciant, J.-L. Huguenin, P.Coudrain, A.Farcy, C. Bermond, N.Sillon, B.Flechets, P. Ancey, “Integration and frequency dependent electrical modeling of Through Silicon Vias (TSV) for high density 3DICs”, in *Proceeding of International Interconnect Technology Conference (IITC)*, pp. 1 – 3 (2010).
- [Cadix11] L. Cadix, « Intégration, caractérisation et modélisation des TSV pour les empilements 3D de puces » Thèse de doctorat, IMEP-LAHC, Université de Savoie, (2011).

Références bibliographiques

- [Chaabouni10] H. Chaabouni, M. Rousseau, P. Leduc, A. Farcy, R. El Farhane, A. Thuaire, G. Haury, A. Valentian, G. Billiot, M. Assous, F. De Crecy, J. Cluzel, A. Toffoli, D. Bouchu, L. Cadix, T. Lacrevez, P. Ancey, N. Sillon, B. Fléchet, “Investigation on TSV impact on 65nm CMOS devices and circuits”, in Proceeding of IEEE conference on Electron Devices Meeting (IEDM), pp. 35.1.1- 35.1.4 (2010).
- [Chang99] J.J. Chang ; M. Lee ; S. Jung ; M.A.Brooke, N.M. Jokerst, D.S. Wills, “Fully differential current-input CMOS amplifier front-end suppressing mixed signal substrate noise for optoelectronic applications”, Proceedings of IEEE International Symposium on Circuits and Systems ISCAS '99, volume 1, pp. 327- 330 (1999).
- [Charbon03] E. Charbon, R. Gharpurey, P. Miliozzi, R. G. Meyer, A. Sangiovanni-Vincentelli, “Substrate Noise: Analysis and Optimization for IC Design” (2003).
- [Cherman12] V.O. Cherman, J. De Messemaeker, K. Croes, B. Dimcic, G. Van der Plas, I. De Wolf, G. Beyer, B. Swinnen, E. Beyne, “Impact of through silicon vias on front-end-of-line performance after thermal cycling and thermal storage” , in Proceeding of IEEE international conference on Reliability Physics Symposium (IRPS), pp. 2B.3.1 - 2B.3.5 (2012).
- [Colonna12] J.-P. Colonna, P. Coudrain, G. Garnier, P. Chausse, R. Segaud, C. Aumont, A. Jouve, N. Hotellier, T. Frank, C. Brunet-Manquat, S. Cheramy, N. Sillon, “Electrical and morphological assessment of via middle and backside process technology for 3D integration”, in Proceeding of IEEE Conference on Electronic Components and Technology Conference (ECTC), pp. 796 – 802 (2012).
- [Cho05] M.-H. Cho, G.-W. Huang, C.-S. Chiu, K.-M. Chen, “Unified parasitic de-embedding methodology of on-wafer multi-port device characterization”, IEEE MTT-S International, Microwave Symposium Digest (2005).
- [Cho09] J. Cho, J. Shim , E. Song , J. So Pak , J. Lee , H. Lee , K. Park , J. Kim, “Active Circuit to Through Silicon Via (TSV) Noise Coupling”, IEEE Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS '09). pp. 97- 100 (2009).
- [Cho11] J. Cho, E. Song, K. Yoon, J. So Pak, J. Kim, W. Lee, T. Song, K. Kim, J. Lee , H. Lee, K. Park, S. Yang, M. Suh, K. Byun, J. Kim Components, “Modeling and Analysis of Through-Silicon Via (TSV) Noise Coupling and Suppression Using a Guard Ring”, in IEEE Transactions on Components, Packaging and Manufacturing Technology, Volume 1, Issue 2, pp. 220 - 233 (2011).
- [Coudrain12] P. Coudrain, J.-P. Colonna, C. Aumont, G. Garnier, P. Chausse, R. Segaud, K. Vial, A. Jouve, T. Mourier, T. Magis, P. Besson, L. Gabette, C. Brunet-Manquat, N. Allouti, C.Laviron, S.Cheramy, E.Saugier, J. Pruvost, A. Farcy, N. Hotellier “Towards Efficient and Reliable 300mm 3D Technology for Wide I/O Interconnects “, in Proceeding of IEEE Conference on Electronics Packaging Technology Conference (EPTC) pp. 330 – 335 (2012).
- [DeRivaz11] S. DeRivaz, “Développement d'outils de caractérisation et d'optimisation des performances électriques des réseaux d'interconnexions de circuits intégrés

Références bibliographiques

rapides sub-CMOS 65 nm et nouveaux concepts d'interconnexions fonctionnelles”, Thèse de doctorat, Université de Savoie, Spécialité Optique et Radiofréquence (2011).

- [Escané97] J.-M. Escané, Réseaux d'énergie électrique. Modélisation : lignes, câbles, Eyrolles (1997).
- [Fourneaud12] L. Fourneaud, T. Lacrevez, C. Bermond, J. Charbonnier, C. Fuchs,; A. Farcy, Y. Gaeremynck, B. Flechet, “Refined but handy electrical models of TSV usable from low to high density and for RF or fast digital signals in 3D-IC”, in proceeding of IEEE Conference of Electronic Components and Technology Conference (ECTC), pp. 1858 – 1865 (2012).
- [Garros09] X. Garros, F. Rochette, F. Andrieu, S. Baudot, G. Reibold, C. Aulnette, N. Daval et F. Boulanger, “Modeling and direct extraction of band offset induced by stress engineering in silicon-on-insulator metal-oxide-semiconductor field effect transistors: Implications for device reliability”, Journal of Applied Physics, Volume 105 , Issue 11, pp. 114508-1-9 (2009).
- [Garrou06] P. Garrou, “Wafer-level 3-D integration moving forward”, In Semiconductor International, October 1st (2006).
- [Gauthier] François Gauthier, En Route vers L'âge d'or des circuits intégrés 3D, Electroniques n°1 Janvier 2010, Disponible en ligne : http://www.electronique.biz/pdf/ES_2010_001_052.pdf
- [Grover46] F. Grover, “Inductance Calculations: Working Formulas and Tables”, Van Nostrand (1946).
- [Henry11] D. Henry, "Main challenges & key technologies for 3D Integration" CEA LETI, 2011.
- [Huang] P.S. Huang, M.Y. Tsai, C.Y. Huang, P.C. Lin, L. Huang, M. Chang, S. Shih, J.P. Lin, “Warping, stresses and KOZ of 3D TSV DRAM package during manufacturing processes”, International Conference on Electronic Materials and Packaging (EMAP), pp. 1- 5 (2012)
- [Jan07] D. Min Jan, C. Ryul, K. Yong Lee, B. Hoon Cho, J. Kim, T. Sung Oh, W. Jong Lee and J. Yu, “Development and Evaluation of 3-D SiP with Vertically Interconnected Through Silicon Vias (TSV)”, in Proceeding of IEEE Conference on Electronic Components and Technology Conference, pp. 847 – 852 (2007).
- [Kamto09] A. Kamto, Y. Liu, L. Schaper, and S. L. Burkett, “Reliability study of through-silicon via (TSV) copper filled interconnects,” Thin Solid Films, volume 518, issue 5, pp. 1614–1619 (2009).
- [Kauerauf13] T. Kauerauf, A. Branka, K. Croes, A. Redolfi, Y.; Civale, C. Torregiani, G. Groeseneken, E. Beyne, “Effect of TSV presence on FEOL yield and reliability”, IEEE International Conference on Reliability Physics Symposium (IRPS), pp. 5C.6.1 - 5C.6.4 (2013).
- [Katti09] G. Katti, M. Stucchi, K. De Meyer, W. Dehaene, “Electrical Modeling and Characterization of Through Silicon via for Three-Dimensional ICs”, IEEE Transactions on Electron Devices, Volume 57, Issue 1, pp. 256 – 262 (2010).

Références bibliographiques

- [Katti10] Guruprasad Katti et al., “Through-Silicon-Via Capacitance Reduction Technique to Benefit 3-D IC Performance”, *Electron Device Letters, IEEE*, Volume 31, Issue 6, pp. 549 - 551 (2010).
- [Katti11] Guruprasad Katti et al., “Technology Assessment of Through-Silicon Via by Using C–V and C–t Measurements”, *IEEE Electron Device Letters*, Volume 32, Issue 7, pp. 946 – 948 (2011).
- [Kumar07] M.J. Kumar, V. Venkataraman, S. Nawal, “Impact of Strain or Ge Content on the Threshold Voltage of Nanoscale Strained-Si/SiGe Bulk MOSFETs”, *IEEE Transactions on Device and Materials Reliability*, Volume 7, Issue 1, p. 181-187 (2007).
- [Khan09] N.H. Khan, S.M. Alam, S.Hassoun, “ Through-Silicon Via (TSV)-induced noise characterization and noise mitigation using coaxial TSVs”, In *Proceeding of IEEE International Conference on 3D System Integration*, pp. 1- 7 (2009).
- [Kim12] K. Kim , C. Hwang , K. Koo , J. Cho , H. Kim , J. Kim , J. Lee , H.-D. Lee, K.-W. Park, J. So Pak, “Modeling and Analysis of a Power Distribution Network in TSV-Based 3-D Memory IC Including P/G TSVs, On-Chip Decoupling Capacitors, and Silicon Substrate Effects”, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, pp. 2057- 2070 (2012).
- [Knickerbocker08] J. U. Knickerbocker, P. S. Andry, B. Dang, R. R. Horton, M. J. Interrante, C. S. Patel, R. J. Polastre, K. Sakuma, R. Sirdeshmukh, E. J. Sprogis, S. M. Sri-Jayantha, A. M. Stephens, A. W. Topol, C. K. Tsang, B.C. Webb, and S. L. Wright, “Three dimensional silicon integration”, *IBM J. Res. & Dev.* 52, pp. 553-569 (2008).
- [Leduc10] P. Leduc, M. Rousseau, F. De Crécy, I. Hamze, S. Cheramy, A. Farcy, J. Cluzel, A. Toffoli, B. Charlet, F. Gays, D. Henry, N. Sillon, “Impact of 3D integration on MOS transistors”, *MRS Spring*, (document interne CEA-LETI) (2010).
- [Lee03] C.-Y. Lee ; T.-S. Chen ; C.-H. Kao, “Methods for noise isolation in RFCMOS ICs”, *IEEE Electron Device Letters*, Volume 24 , Issue 7, pp. 478 - 480 (2003).
- [Liu99] T. Liu, J.D. Carothers, W.T. Holman, “A concurrent substrate coupling noise modeling technique for mixed-signal physical design”, *Southwest Symposium on Mixed-Signal Design (SSMSD '99)*, pp. 21 – 26 (1999).
- [Lo12] T. Lo, M.F. Chen, S.B. Jan, W.C. Tsai, Y.C. Tseng, C.S. Lin, T.J. Chiu, W.S. Lu, H.A. Teng, S.M. Chen, S.Y. Hou, S.P. Jeng, and C.H. Yu, “Thinning, Stacking, and TSV Proximity Effects for Poly and High-K/Metal Gate CMOS Devices in an Advanced 3D Integration Process” , *IEEE International Conference on Electron Devices Meeting (IEDM)*, pp. 33.4.1 - 33.4.4 (2012).
- [Loo11] X. S. Loo, K. S. Yeo, K. W. J. Chew, L. H. K. Chan, S. N. Ong, M. A. Do, C. C. Boon, "A Cascade-Parallel Based Noise De-Embedding Technique for RF Modeling of CMOS Device," *IEEE Microwave and Wireless Components Letters*,

Références bibliographiques

volume 21, issue 8, pp.448- 450 (2011).

- [Madden05] P.H. Madden, “SuperSized VLSI: A recipe for disaster”, Electronic Design Process Workshop, Monterey (2005).
- [Madden12] L. Madden, E. Wu, Namhoon Kim, B. Banijamali, K. Abugharbieh, S. Ramalingam, Xin Wu, “Advancing high performance heterogeneous integration through die stacking” in Proceedings of the ESSDERC, pp. 18-24 (2012).
- [Magis06] T. Magis, P. Besson, L. Gabette, C. Brunet-Manquat, N. Allouti, C. Laviron, S. Cheramy, E. Saugier, J. Pruvost, A. Farcy and N. HotellierP. Garrou, Wafer-level 3-D integration moving forward, In Semiconductor International, October 1st (2006).
- [Magwel] Magwel DevEM user manual.
- [Mathieu] Henry Mathieu, Physique des semiconducteurs et des composants électroniques, 5ème édition.
- [Mathiot] D. Mathiot, « Dopage et Diffusion dans le Silicium », Institut d'Électronique du Solide et des Systèmes, InESS, Laboratoire Commun CNRS – ULP.
- [Ohara12] Y. Ohara, L. Kang Wook, K. Kiyoyama, S. Konno, Y. Sato, S. Watanabe, A. Yabata, H. Kobayashi, T. Kamada, J. Bea, M. Murugesan, H. Hashimoto, T. Fukushima, T. Tanaka, M. Koyanagi, “Chip-Based Hetero-Integration Technology for High- Performance 3D Stacked Image Sensor,” in Proceeding of CPMT 2012, pp. 1-4 (2012).
- [Pfof96] M. Pfof, H.-M Rein, T. Holzwarth, “Modeling substrate effects in the design of high-speed Si-bipolar ICs”, IEEE Journal of Solid-State Circuits, Volume 31, Issue 10, pp. 1493 – 1501(1996).
- [Rochette08] François Rochette, « Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées », thèse de doctorat, CEA-LETI/IMEP-LAHC (2008).
- [Rousseau08] M. Rousseau, O. Rozeau, G. Cibrario, G. Le Carval, M. Jaud, P. Leduc, A. Farcy, and A. Marty, “Through-silicon via based 3D IC technology: Electrostatic simulations for design methodology”, in Proceeding of IMAPS Device Packaging Conference (2008).
- [Rousseau09] M. Rousseau, « Impact des technologies d'intégration 3D sur les performances des composants CMOS », Thèse de doctorat, Université de Toulouse, Spécialité Conception des Circuits Microélectroniques et Microsystèmes (2009).
- [Salman11] E. Salman, “Noise coupling due to through silicon vias (TSVs) in 3-D integrated circuits”, IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1411- 1414 (2011).
- [Sanchez] Sanchez, L. ; Bally, L. ; Montmayeul, B. ; Fournel, F. ; Dafonseca, J. ; Augendre, E. ; Di Cioccio, L. ; Carron, V. ; Signamarcheix, T. ; Taibi, R. ; Mermoz, S. ; Lecarpentier, G? , “Chip to wafer direct bonding technologies for high density 3D integration”, in Proceeding of IEEE Electronic

Références bibliographiques

- Components and Technology Conference (ECTC), pp. 1960 - 196 (2012).
- [Schanen94] Jean-Luc Schanen, “Intégration de la compatibilité électromagnétique dans la conception de convertisseurs statiques en électronique de puissance”, Thèse de Doctorat de l'INPG (1994)
- [Seguinot 98] C. Seguinot, P. Kennis, J.-F. Legier, F. Huret, E. Paleczny, L. Hayden, "Multimode TRL—A New Concept in Microwave Measurements: Theory and Experimental Verification", IEEE Transactions on Microwave Theory and Techniques, volume 46, issue 5, pp. 536 – 542 (1998).
- [SoPak07] J. So Pak, C. Ryu, J. Kim, “Electrical Characterization of Through Silicon Via (TSV) depending on Structural and Material Parameters based on 3D Full Wave Simulation”, Electromagnetic Electronic Materials and Packaging, Conference, pp.351-354 (2007).
- [SoPak11] J. So Pak, H. Kim, J. Cho, J. Kim, K. Kim, J. Lee, H. Lee, K. Park, J. Kim “Signal and power integrity analysis of TSV-Based 3D IC,” in Proceeding of ICEAA, pp. 1384-1387 (2011).
- [Stucchi12] M. Stucchi, D. Perry, G. Katti, W. Dehaene, D. Velenis, “Test Structures for Characterization of Through-Silicon Vias”, IEEE Transactions on Semiconductor Manufacturing, Volume 25, Issue 3, pp. 355- 364 (2012).
- [Suaya11] R. Suaya, C. Xu, V. Kourkoulos, K. Banerjee, Z. Mahmood, L. Daniel, “Some results pertaining electromagnetic characterization and model building for passive systems including TSVs, for 3-D IC applications”, IEEE Conference on Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), pp. 1- 4 (2011).
- [Sze07] S. M. Sze and K. K. Ng, “Physics of Semiconductors Devices”, Third Edition, Wiley, New Jersey (2007).
- [Taluy13] A. Taluy, A. Jouve, S. Joblot, R. Franiatte, J. Bertheau, A. Farcy, S. Cheramy, N. Sillon, P. Ancey, A. Sylvestre, « Wafer level underfill entrapment in solder joint during thermocompression: Simulation and experimental validation”, in Proceeding of IEEE Conference on Electronic Components and Technology Conference (ECTC), pp. 768- 772 (2013).
- [Tsai13] Ming-Yi Tsai ; Pu-Shan Huang ; Chen-Yu Huang ; Hsiu Jao ; Huang, B. ; Wu, B. ; Yuan-Yuan Lin ; Liao, W. ; Huang, J. ; Huang, L. ; Shih, S. ; Jeng Ping Lin, “Investigation on Cu TSV-Induced KOZ in Silicon Chips: Simulations and Experiments”, IEEE Transactions on Electron Devices, Volume 60, Issue 7, pp. 2331 – 2337 (2013).
- [Valorge12] O. Valorge, F. Sun, J. Lorival, M. Abouelatta-Ebrahim, F. Calmon and C. Gontrand, "Analytical and Numerical Model Confrontation for Transfer Impedance Extraction in Three-Dimensional Radio Frequency Circuits," Circuits and Systems, Volume 3, issue 2, pp. 126-135 (2012).
- [Vandamme11] E. P. Vandamme, D. M. M.-P Schreurs, C. van Dinter, "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wfer RF Test-Structures", IEEE Transactions on Electron Devices, volume 48, Issue 4, pp. 737 - 742 (2001).

Références bibliographiques

- [Wei10] C. Wei, Y.-Z. Xiong, X. Zhou, “Test Structure for Characterization of Low-Frequency Noise in CMOS Technologies”, IEEE Transactions on Instrumentation and Measurement, pp. 1860 - 1865 (2010).
- [Xie09] J. Xie, D. Chung, M. Swaminathan, M. Mcallister, A. Deutsch, L. Jiang, and B. J. Rubin, “Electrical-thermal co-analysis for power delivery networks in 3D system integration,” in Proceeding of IEEE 3D System Integration, pp. 1–4, (2009).
- [Xu09] Zheng Xu, Adam Beece, Kenneth Rose, Tong Zhang, and Jian-Qiang Lu , “Modeling and evaluation for Electrical Characteristics of Through-Strata-Vias (TSVs) in Three-Dimensionalintegration”, IEEE 3D System Integration Conference, Pages 1–9 (2009).
- [Xu09II] C. Xu, H. Li, R. Suaya, K. Banerjee, “Compact AC Modeling and Analysis of Cu, W, and CNT based Through-Silicon Vias (TSVs) in 3-D ICs”, in Proceeding of IEEE International Conference on Electron Devices Meeting (IEDM),pp. 1 – 4 (2009).
- [Xu10] C. Xu, R. Suaya, K. Banerjee, “Compact Modelling and Analysis of Coupling Noise Induced by Through-Si-Vias in 3-D ICs”, in Proceeding of IEEE International Conference on Electron Devices Meeting (IEDM), pp. 8.1.1 - 8.1.4, Pages 178-181 (2010)
- [Xu11] C. Xu, K. Banerjee, “Compact capacitance and capacitive coupling-noise modeling of Through-Oxide Vias in FDSOI based ultra-high density 3-D ICs”, in Proceeding of IEEE International Conference on Electron Devices Meeting (IEDM), pp. 34.8.1- 34.8.4 (2011).
- [Xu12] C. Xu, R. Suaya, K. Banerjee, “Fast extraction of high-frequency parallel admittance of Through-Silicon-Vias and their capacitive coupling-noise to active regions”, IEEE MTT-S International Microwave Symposium Digest (MTT), pp.1- 3 (2012)
- [Yoon09] K. Yoon, G. Kim, W. Lee, T. Song, J. Lee, H. Lee, K. Park, J. Kim, “Modeling and Analysis of Coupling between TSVs, Metal, and RDL interconnects in TSV-based 3D IC with Silicon Interposer”, in Proceeding of IEEE International Conference on Electronics Packaging Technology Conference EPTC '09, pp. 702 – 706 (2009).
- [Zheng09] Z. Xu, A. Beece, K. Rose, T. Zhang, J.-Q. Lu , “Modeling and Evaluation for Electrical Characteristics of Through-Strata-Vias (TSVs) in Three-Dimensional Integration”, in Proceeding of IEEE International Conference of 3D System Integration (3DIC), pp. 1 - 9 (2009).
- [Zhang05] D. Zhang, B.Y. Nguyen, T. White, “Embedded SiGe S/D PMOS on thin body SOI substrate with drive current enhancement”, Symposium on VLSI Technology Digest of Technical Papers, p. 26-7 (2005).
- [Zhao11] W.-S. Zhao , J. Hu , W.-Y. Yin, “Sensitivity analysis of through-silicon via (TSV) interconnects for 3-D ICs”, in Proceeding of IEEE Conference on Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), pp. 1- 4 (2011).

Références bibliographiques

- [Zoberbier09] M. Zoberbier, S. Lutter, M. Hennemeyer, B. Neubert and R. Zoberbier, “300 mm Lithography and Bonding Technologies for TSV Applications in Image Sensor and Memory Products”, Disponible en ligne, (2009).

ANNEXE

Les modèles du TSV

Via isolés			
Auteurs	Modèle	Schéma équivalent électrique	Remarques
[Katti 09] [Katti09II]	Modèle non fréquentiel $RC C_{dep}$		<p>Erreur de mesure dans la résistance attribuée à la résistance de contact</p> <p>L négligé pour les fréquences <3GHz pour</p> <p>TSV de Φ 2 à 5μm et hauteur 20 à 50 μm</p> <p>Pour le TSV de Φ 50 à 70 μm et hauteur 400 μm</p> <p>L non négligeable :300 pH</p>
[Cadix10]	fréquentiel $RLC_{Si} G_{Si} C_{ox} C_{dep}$		<p>Le modèle découle de mesures RF et statiques incluant la capacité de déplétion, les effets parasite du substrat et le piégeage des charges dans l'oxyde.</p> <p>Ayant été trouvés suite à un plan d'expérience adapté aux TSV haute densité, il pourrait toutefois aussi l'être pour le TSV middle.</p>

Le modèle retenu dans le cas de l'étude est le modèle isolé de Lionel Cadix, il correspondrait au mieux aux types de TSV en développement à STMicroelectronics : le métal conducteur présente une résistivité à cause de laquelle de la puissance est dissipée par effet Joule ; l'inductance modélise le retard à l'établissement du courant en régime dynamique. La capacité d'oxyde se forme naturellement du fait de la couche d'isolant et de la différence de potentiel entre le métal et le silicium.

De plus, le TSV est couplé à son environnement et peut avoir des impacts sur le fonctionnement des composants actifs : l'isolant n'est pas parfait et une partie du signal dans le TSV peut se propager dans le silicium pour se reboucler à la masse par le chemin le plus court, parasitant au passage le fonctionnement des transistors. Le silicium peut se voir comme un isolant non parfait, avec une capacité et une conductance.

Enfin la capacité $C_{Depletion}$ modélise le phénomène de déplétion dans le silicium.

Vias couplés			
[Cadix10]	Modèle complet		Certaines formules manquent.
[Cho09]	Modèle fréquentiel RLCG	$Y_{open} = \tanh(\sqrt{ZY}H) \sqrt{\frac{Y}{Z}}$ $Z_{short} = \tanh(\sqrt{ZY}H) \sqrt{\frac{Z}{Y}}$	<p>effet MOS du Silicium (déplétion), la conduction AC dans le Si, l'effet de peau dans le métal du TSV et les courants de Foucault (eddy (tourbillons) currents) dans le substrat.</p> <ul style="list-style-type: none"> ➔ simulation électromagnétique complète. ➔ Modèle valable pour les faisceaux Carbone nanotube CNT : très bons conducteurs électriques et thermiques, bon vieillissement <p>Yopen ok, mais pas Zshort mais faible (avec HFSS v10)</p>

Annexe

<p>[Jan07]</p>	<p>Modèle fréquentiel</p> <p>$RL C_{ox_via}$</p> <p>$C_{ox} C_{Si} G_{Si}$</p>		<p>2007, pas encore la région de déplétion</p> <p>Via de $\Phi=55 \mu\text{m}$ pitch = $150 \mu\text{m}$</p> <p>Hauteur vias ? μm</p>
<p>[Zheng09]</p>	<p>Modèle non fréquentiel</p> <p>Modèle RLC_{ox}</p> <p>$R_{Si} C_{Si}$</p> <p>$L_{mutuelle}$</p>		<p>Tungstène et Cuivre ont le même S11 et S21</p> <p>Simulations sous momentum</p> <p>Hauteur $30 \mu\text{m}$?</p> <p>$\Phi=20 \mu\text{m}$</p> <p>Si trop long ($200 \mu\text{m}$)</p> <p>Pas de $40 \mu\text{m}$</p>
<p>Yoon09]</p>	<p>Modèle non fréquentiel</p> <p>$RL C_{ox}$</p> <p>$C_{Si} G_{Si}$</p> <p>M</p>		

Les formules

auteur	Indications	Elément du modèle	Expression
[Jan07]	<p>$\Phi_{TSV}=55 \mu\text{m}$</p> <p>$t_{Si}=150 \mu\text{m}$</p> <p>$e_{diel}=0.3 \mu\text{m}$</p>		<p>$C_{ox_via}=910\text{fF}$</p> <p>$G_{Si}=1.69\text{m}/\Omega$</p> <p>$C_{Si}=9\text{fF}$</p>

Annexe

	$e_{Ta}=270\text{nm}$ $e_{Cu_accroche}=1\ \mu\text{m}$		$C_{ox}=3\text{fF}$
	$L_{via0}=35\text{pH}$ à 0.1GHz	Inductance du TSV	$L = \frac{L_{via0}}{1 + \log\left(\frac{f}{10^8}\right)^{0.26}}$
	$R_{via0}=12\text{m}\Omega$ à 0.1GHz avec effet de peau	Résistance du TSV	$R = R_{via0} \cdot \sqrt{1 + \frac{f}{10^8}}$
[Katti09]		R_{DC} (en continue) Prise en compte effet de peau	$R_{DC} = \frac{4 \cdot \rho_{Cu} \cdot t_{Si}}{\pi \cdot \Phi_{TSV}^2}$
		L	$L = \frac{\mu_0}{4\pi} \cdot (2t_{Si} \cdot \ln\left(\frac{2 \cdot t_{Si} + \sqrt{\frac{\Phi_{TSV}^2}{4} + 2 \cdot t_{Si}^2}}{\frac{\Phi_{TSV}}{2}}\right) + \frac{\Phi_{TSV}}{2} - \sqrt{\frac{\Phi_{TSV}^2}{4} + 4t_{Si}^2})$
[Katti09] [Chuan09] [Cadix10]		Capacité d'oxyde	$C_{Ox} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{diel} \cdot t_{Si}}{\ln\left(\frac{\Phi_{TSV}/2}{\Phi_{TSV}/2 - t_{diel}}\right)}$
	$C_{dep_min} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{diel} \cdot t_{Si}}{\ln\left(\frac{R_{dep_ext_max}}{R_{dep_int}}\right)}$	Capacité de déplétion du Silicium	$C_{dep} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{diel} \cdot t_{Si}}{\ln\left(1 + \frac{R_{dep_ext}}{R_{dep_int}}\right)}$
	Plus la region de depletion est large, plus Cdep est faible ?!		
[Chuan09]	d= distance entre 2 TSV	Capacité en // avec la capacitance du silicium	$Y_2 = \frac{2 \cdot \pi \cdot (\sigma_{Si} + j \cdot \omega \cdot \epsilon_0 \cdot \epsilon_{diel} \cdot t_{Si})}{\arccos h \left(\frac{d}{2 \cdot \left(\frac{\Phi_{TSV}}{2} + t_{diel} + w_{dep}\right)} \right)}$
		Impédance équivalente A Cox, Cdep Gsi et Csi	$Y = \left[\frac{2}{j \cdot \omega \cdot C_1} + \frac{1}{Y_2} \right]^{-1} \text{ avec } C_1 = \left[\frac{1}{C_{dep}} + \frac{1}{C_{ox}} \right]^{-1}$

Annexe

[Cadix10]	Le modèle a été validé en statique par des mesures RF comparées avec des mesures sur ALIS, en revanche il reste à valider ce modèle en dynamique en prenant en compte la capacité de déplétion.	Résistance en continu pour TSV « last »	$R_{static} = R_{Barrier} + \frac{4 \cdot \rho_{Cu} \cdot t_{Si}}{\pi \cdot (\Phi_{TSV} - 2 \cdot t_{Diel})^2}$
		Résistance barrière de TiN nitrure de Titane en fond de Via	$R_{Barrier} = \frac{4 \cdot \rho_{TiN} \cdot e_{TiN}}{\pi \cdot (\Phi_{TSV} - 2 \cdot t_{Diel})^2}$
		Résistance en alternatif pour TSV « last », effet de peau	$R_{Skin\ effect} = R_{Barrier} + \frac{\rho_{Cu} \cdot t_{Si}}{\pi \cdot (\Phi_{TSV} \cdot \delta - \delta^2)}$
		Inductance du TSV	$L = \mu_0 \cdot t_{Si} \cdot 0.22 \cdot \ln \left(1 + 0.33 \frac{t_{Si}}{\Phi_{TSV}} \right)$
	Considérant une prise de masse à la distance R_{ring} du TSV	Capacité du Silicium	$C_{Si} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot t_{Si}}{\ln \left(\frac{R_{Ring}}{R_{Ring} - \Phi_{TSV} / 2} \right)}$
[Cadix10] [Yoon09]		Conductance du Silicium	$G_{Si} = \frac{C_{Si} \cdot \sigma_{Si}}{\epsilon_0 \cdot \epsilon_{Si}}$
[Yoon09]		Capacité du silicium	$C_{Si} = \frac{\pi \cdot \epsilon_0 \cdot \epsilon_{Si}}{\arccos h \left(\frac{pitch}{\Phi_{TSV}} \right)}$
	I est le courant traversant les TSV l est la hauteur du TSV d est la distance, le pas, entre TSV	Mutuelle inductance entre deux TSV	$M = \frac{\mu \cdot I}{2 \cdot \pi} \left[\ln \left(\frac{l}{d} + \sqrt{\left(\frac{l}{d} \right)^2 + 1} \right) + \frac{d}{l} - \sqrt{\left(\frac{d}{l} \right)^2 + 1} \right]$

Résumés

Ces dernières années ont vu l'émergence d'un nouveau concept dans le domaine de la microélectronique pour répondre aux besoins grandissant en termes de performances et taille des puces et trouver une alternative aux lois de Moore et de More than Moore qui atteignent leurs limites. Il s'agit de l'intégration tridimensionnelle des circuits intégrés. Cette innovation de rupture repose sur l'empilement de puces aux fonctionnalités différentes et la transmission des signaux au travers des substrats de silicium via des TSV (via traversant le silicium). Prometteurs en termes de bande passante et de puissance consommée, les circuits intégrés 3D permettent aussi d'avoir des facteurs de forme plus agressifs, trois points clés par rapport aux applications en vogue sur le marché (téléphonie, appareils numériques). Cependant, l'intégration de plus en plus poussée, combinée à la montée en fréquence des circuits, soulève les problèmes des perturbations électromagnétiques dans le substrat, qui se manifestent par la génération de signaux de diaphonies entre les TSV et les parties actives des circuits intégrés. Ces TSV doivent véhiculer des signaux agressifs dont la largeur spectrale s'étend au-delà de la dizaine de GHz sans perturber le fonctionnement de blocs logiques ou analogiques situés à proximité, sensibles aux perturbations électromagnétiques substrat. Cette thèse a conduit à l'évaluation par des techniques expérimentales et de modélisation, des niveaux de diaphonie sur une large gamme de fréquence (jusqu'à 40 GHz) entre le TSV et les transistors. Elle repose sur de la conception de structure de test 3D en technologie 65 nm, leur caractérisation, la modélisation des mécanismes de couplage. Des solutions de réduction de la diaphonie ont été définies et évaluées afin d'adresser les enjeux des futures applications électroniques.

To improve performances of integrated circuits and decrease the technology cost, designers follow "Moore's law" and "Moore than Moore law", respectively consisting in increasing the transistor density and integrating heterogeneous circuits. This two challenges to overcome leads to a new one: the improvement of the interconnect density. In 2D circuits, the pitch of the pads is still inaccurate compared to the strong component density. Wire bonding and bumps connecting the different chips (Processor, Memory, Logic...) are long and big, leading to RC delays, losses and electrical coupling. 3D integration is a promising strategy consisting in optimizing interconnects by processing TSVs, short and high-density-allowed connections crossing the silicon bulk involving an electrically efficient way to connect the chips. To achieve high performance and reliability in 3D IC, new design rules have to be investigated because of the specific electrical, mechanical and thermal constraints for 3D stacks. Works presented focus on the high frequency substrate noise generated by high speed signals transmitted along TSVs and its impact on sensitive circuits, such as Low Noise Amplifiers. This phenomenon is a major concern for 3D circuit design and yet still lack of extraction results due to experimental difficulties in extracting noise values in a complex 3D stack. The aim of the thesis was to characterize the coupling noise between TSV and MOS devices to understand involved phenomena and to propose solutions. To raise these objectives, we studied isolated TSV, coupled TSV, TSV to wells and MOS transistor coupling through multi-physics simulations, modeling, and measurement up to 40GHz according to polarization and frequency. Specific 3D radiofrequency test structures in 4 ports have been designed for experimental characterization.