

## SOI-MOSデバイスにおける機械的応力効果の実験的評価

著者	塚原 航生, 塩田 智基, 小金丸 正明, 松本 聡, 池田 徹, 宮崎 則幸
雑誌名	マイクロエレクトロニクスシンポジウム論文集
巻	MES2020
ページ	2B2-B
発行年	2020-09
その他のタイトル	Experimental Evaluation of Mechanical Stress Effect in SOI-MOS Devices.
URL	<a href="http://hdl.handle.net/10228/00008125">http://hdl.handle.net/10228/00008125</a>

## SOI-MOSデバイスにおける機械的応力効果の実験的評価

### Experimental Evaluation of Mechanical Stress Effect in SOI-MOS Devices.

塩塚 航生<sup>1</sup>, 塩田 智基<sup>1</sup>, 小金丸 正明<sup>1</sup>, 松本 聡<sup>2</sup>, 池田 徹<sup>1</sup>, 宮崎 則幸<sup>3</sup>  
 Koki SHIOTSUKA<sup>1</sup>, Tomoki SHIOTA<sup>1</sup>, Masaaki KOGANEMARU<sup>1</sup>, Satoshi MATSUMOTO<sup>2</sup>, Toru IKEDA<sup>1</sup>,  
 Noriyuki MIYAZAKI<sup>3</sup>

<sup>1</sup>鹿児島大学, <sup>2</sup>九州工業大学, <sup>3</sup>佐賀大学

<sup>1</sup>Department of Mechanical Engineering, Graduate School of Science and Engineering, Kagoshima University,

<sup>2</sup>Department of Electrical and Electronic Engineering, Faculty of Engineering, Kyushu Institute of Technology,

<sup>3</sup>Faculty of Science and Engineering, Saga University.

This paper presents experimental evaluation of mechanical stress effects in SOI (Silicon on Insulator) devices. Especially, this study focuses on the interaction between mechanical stress effects and parasitic bipolar effects of SOI devices. The mechanical stress effects of SOI devices are evaluated using a four-point bending test. It is demonstrated that the parasitic bipolar effects accelerates the electrical variation induced by the mechanical stress effects.

#### 1. はじめに

電子パッケージの実装工程には、異種材の接着工程や温度プロセスが含まれるため、電子パッケージ中に残留ひずみや残留応力が発生することが知られている。例えば、樹脂封止型電子パッケージでは、封止樹脂と Si チップの線膨張係数差に起因して、Si チップ上に比較的大きな残留応力(ひずみ)が生じることが知られている<sup>1)</sup>。この Si チップ内の残留応力(ひずみ)が、Si チップ上のデバイスの電気特性にも大きく影響を及ぼすことが明らかになっている<sup>2-5)</sup>。機械的応力に起因した半導体デバイスの予期せぬ電気特性の変動は、デバイスの種類や用途によってはパッケージ製品になった段階で対応困難な不良を引き起こす。したがって、機械的応力とそれに起因する半導体デバイスの電気特性変動の関係を適切に見積もることが、デバイスおよびパッケージの設計・製造上必要とされる。

SOI (Silicon on Insulator) ウエハによる SOI-MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) では、チャネル下部の SiO<sub>2</sub> 絶縁層が寄生容量を低減させることから、高速度化・低消費電力化を図ることができる。一方で、SOI-MOSFET は SiO<sub>2</sub> 絶縁膜上に MOSFET 構造を作製するため、少数キャリアがグラウンドに逃げられず、ホットキャリア効果やインパクトイオン化現象を引き起こすことが問題となっている<sup>6)</sup>。現状、このような SOI-MOSFET に特有な物理現象と機械的応力効果の相互作用について十分な評価・考察がなされていない。電子実装の信頼性向上とその低コスト化のためには、実装時の性能変動も考慮

した最適な設計が必要になる。したがって、SOI 型デバイスにおいても、機械的応力効果と SOI 型デバイスに特有な物理現象との相互作用によるデバイスの電気特性変動を評価・理解しておくことが必要である。

そこで本研究では、SOI-nMOSFET を対象として、機械的応力に起因する電気特性変動を実験的に評価した。具体的には、4 点曲げで SOI-nMOSFET に 1 軸応力を負荷し、SOI 型デバイスに特有な物理現象である寄生バイポーラ効果<sup>6)</sup>への機械的応力の影響を評価した。これにより、SOI-nMOSFET における機械的応力と寄生バイポーラ効果の相互作用と、その負荷方向依存性およびゲート長さ依存性を明らかにすることを目的とした。

#### 2. 実験方法

##### 2.1 供試デバイスと試験片

評価対象とした SOI-nMOSFET のゲート長(L)は、0.4, 0.45, 0.5, 0.6, 0.8, 1.0, 1.2 μm の7通り、ゲート幅(w)は全て 100 μm である。本研究で用いた4点曲げ試験片の模式図を Fig. 1 に示す。4点曲げ試験片はウエハから短冊状に切り出されており、長さ 28.7 mm, 幅 4.7 mm, 厚さ 625 μm である。また、ウエハから試験片を切り出す際に、SOI-nMOSFET の電流方向(つまりソース・ドレイン方向)を試験片長手方向にとった試験片(Longitudinal: L), それとは垂直方向にとった試験片(Transverse: T)の2種類を作製し、電流方向に平行または垂直な1軸応力を負荷可能とした。

## 2.2 4点曲げ試験システム・方法<sup>4)</sup>

本研究で用いた試験システムは、試験片に負荷を与える4点曲げジグ、プローバとそれに接続された可変電源・電流計、および試験片の観察用カメラとモニターから構成される。4点曲げジグの内側支点間距離は8 mm、外側支点間距離は24 mmである。SOI-nMOSFETは、4点曲げジグの内側支点間に位置することになる。なお、SOI-nMOSFETの動作に対する光の影響を排除するため、遮光用の筐体内に4点曲げ試験機を設置した。

Fig. 2には、4点曲げジグへの試験片取り付けの概略図を示す。本ジグにより、Fig. 1に示した短冊状試験片の長手方向に1軸応力を負荷することができる。また、Fig. 2に示す通り、4点曲げジグに対する試験片の取り付け位置の変更によって、SOI-nMOSFETが形成されている試験片表面に引張りまたは圧縮の応力負荷が可能である。負荷荷重は、4点曲げジグの内側支点に接続されたロードセルによって検出した。電気的計測は、試験片(SOI-nMOSFET)の電極パッドに直接プロービングして行った。

## 2.3 試験条件

本研究では、4点曲げジグにより試験片に所定の荷重を加えた後、SOI-nMOSFETの電極パッドにプロー

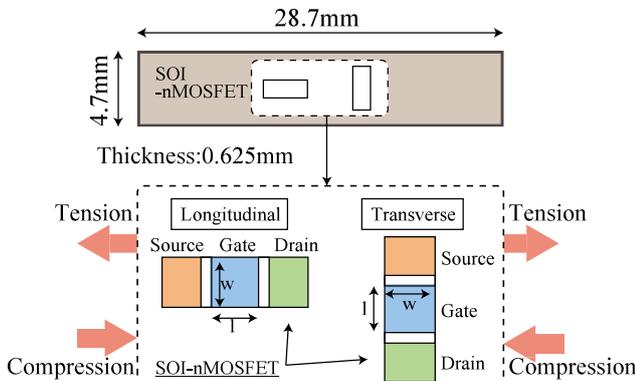


Fig. 1 Schematic configurations of 4-point bending specimen

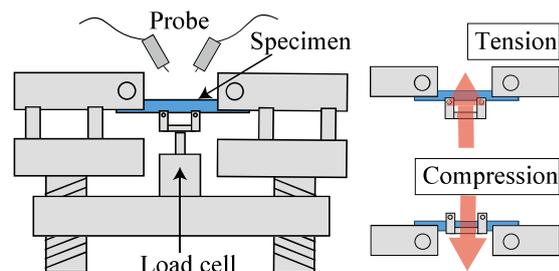


Fig. 2 Schematic diagrams of load application using 4-point bending fixture

ビングし、ゲートおよびソース・ドレイン間に所定の電圧を印加して、ソース・ドレイン間の電流を計測した。具体的には、ゲート電圧( $V_g$ )を1, 2, 3, 4, 5 Vのいずれかに固定し、ソース・ドレイン間の電圧( $V_d$ )を0 V~6 Vまで掃引して、ソース・ドレイン間の電流( $I_d$ )を計測した。

本研究では、はりの曲げ理論で計算される曲げ応力を試験片(SOI-nMOSFET)に負荷される公称応力とし、電気特性変動値に対応させた。ロードセルで検出される負荷荷重を0 N, 5.5 N(引張りまたは圧縮), 11 N(引張りまたは圧縮)の5通りに設定した。その結果、SOI-nMOSFETへの公称負荷応力は、0 MPa, 71.9 MPa(引張りまたは圧縮), 143.8 MPa(引張りまたは圧縮)の5通りである。

## 3. 実験結果

### 3.1 寄生バイポーラ効果の評価

まず、寄生バイポーラ効果のみの影響を明らかにするために、無負荷の状態での  $V_d - I_d$  特性を計測した。Fig. 3に  $l=1.2 \mu\text{m}$  の SOI-nMOSFET における平行負荷での結果を例にとり、無負荷(0 MPa)での  $V_d - I_d$  曲線の計測結果を示す。

$V_g$  が 1 V, 2 V, および 3 V では、従来の(SOIではない)MOSFETでドレイン電流値が一定となる飽和領域において、ドレイン電流が増加し、寄生バイポーラ効果による影響が見られた。一方、 $V_g$  が 4 V 以上では、飽和領域において寄生バイポーラ効果によるものと考えられるドレイン電流の増加は見られず、一定のドレイン電流値となった。寄生バイポーラ効果は印可ゲート電圧が低い方が現れやすいと報告されており<sup>6)</sup>、定性的に同様の結果が得られた。本研究では、機械的応力と寄生バイポーラ効果の相互作用を評価するため、以降に示す機械的負荷下での実験は、寄生バイポーラ効果がより顕著に現れる  $V_g=1 \text{ V}$  で評価を行った。

### 3.2 機械的応力効果の評価

#### 3.2.1 寄生バイポーラ効果との相互作用

Fig. 4に  $l=1.2 \mu\text{m}$  の SOI-nMOSFET における平行負荷での結果を例にとり、負荷応力とドレイン電流変化の関係を示す。Fig. 4の通り、引張り応力ではドレイン電流が増加し、圧縮応力ではドレイン電流が減少した。この定性的な傾向は、垂直負荷の場合も同様であった。これらの結果は、従来の(SOIではない)MOSFETで報告されている結果<sup>3-5)</sup>と定性的に一致している。

次に、Fig. 4の結果から負荷応力に対するドレイン

コンダクタンス ( $G_d$ ) の変化を評価した。ドレインコンダクタンスとは、トランジスタ特性の1つである増幅率のことである。本研究では、 $V_d - I_d$  曲線の線形領域 (Region 1 とする) と寄生バイポーラ効果によるドレイン電流増加領域 (Region 2 とする) において、それぞれ  $V_d$  と  $I_d$  の関係を二次関数で最小二乗近似し、求めた関数の任意のゲート電圧での接線の傾きをその電圧での  $G_d$  と定義した。具体的には、Region 1 ( $V_d=0$  V~0.48 V) では  $V_d=0.24$  V, Region 2 ( $V_d=5.16$  V~6 V) では  $V_d=5.52$  V での接線の傾きを  $G_d$  と定義した。ここで、線形領域では寄生バイポーラ効果が発現しておらず、負荷応力によりキャリアの移動度が変化するピエゾ効果のみの影響によりドレイン電流値が変動していると考えられる。したがって、線形領域と寄生バイポーラ効果によるドレイン電流増加領域の  $G_d$  変化率 ( $G_{d\_change}$ ) を比較することで、ピエゾ効果と寄生バイポーラ効果の相互作用を評価した。なお、 $G_{d\_change}$  は  $G_d$  が 0 MPa (無負荷) の値を基準とした  $G_d$  の増加率として定義した。

Fig. 5 には、Fig. 4 の結果から算出した Region 1 および Region 2 における  $G_{d\_change}$  を応力に対してプロットする。Fig. 5 中の直線は各プロット点の領域ごとにおける最小二乗近似直線であり、その傾きは  $G_{d\_change}$  の応力感度を意味する。Fig. 5 から分かるとおり、いずれの領域においても  $G_{d\_change}$  は引張り応力で増加し、圧縮応力で減少した。また、Region 1 と Region 2 で比較すると、Region 1 よりも Region 2 の方が、応力感度が大きくなることが分かった。nMOSFET のピエゾ効果では引張り応力で電流方向のキャリア移動度が増加、圧縮応力で減少することが知られており<sup>4,5)</sup>、寄生バイポーラ効果によりドレイン電流が変化 (引張り応力で増加、圧縮応力で減少) した部分において、さらにその

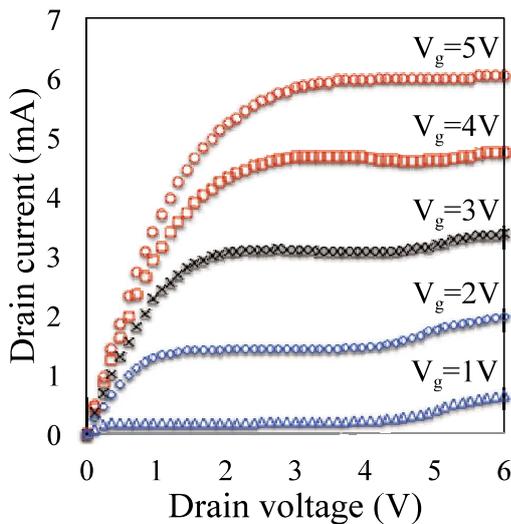


Fig. 3 Experimental results of drain current variations with applied gate voltages (no-stress)

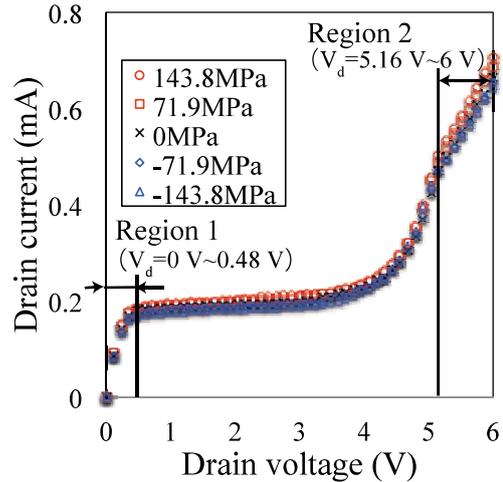


Fig. 4 Experimental results of drain current shifts induced by mechanical stress ( $V_g=1$  V)

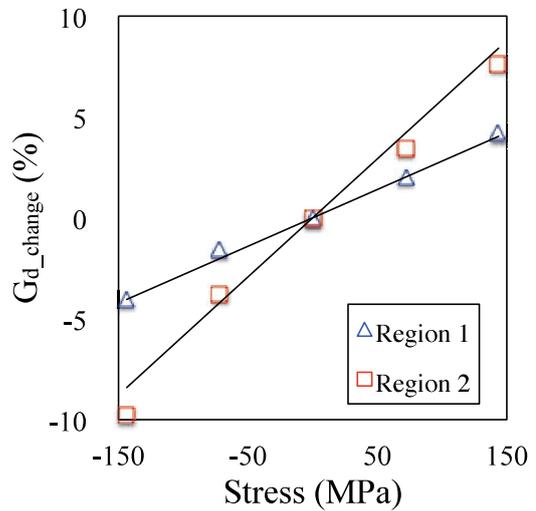


Fig. 5 Stress sensitivities of drain conductance with comparison between region 1 and region 2

効果が加速されていると考えられる。すなわち、寄生バイポーラ動作が機械的応力に起因するデバイス特性変動を促進させると考えられる。

### 3.2.2 負荷方向およびゲート長さ依存性

3.2.1 節で述べた負荷方向依存性をさらに検証し、かつゲート長さの影響を評価するため、 $l=0.4, 0.45, 0.5, 0.6, 0.8, 1.0 \mu\text{m}$  の SOI-nMOSFET でも 3.2.1 節と同様の計測・評価を行った。これより得られた各ゲート長さに対する  $G_{d\_change}$  の応力感度 (Fig. 5 に示されるような応力- $G_{d\_change}$  プロットにおける最小二乗近似直線の傾き) を Fig. 6 に示す。図中の Region 2 のプロット点上に示している数字は試験片の  $n$  数であり、 $n=2$  以上の結果は平均値を示している。また、図中の (L) は平行、(T) は垂直の結果を示している。

Region 1 と Region 2 のいずれの領域においても、 $G_{d\_change}$  の応力感度には負荷応力依存性が見られた。すなわち、Region 1 では、 $l=0.5 \mu\text{m}$  の場合を除いて電流方向と負荷方向が平行な場合の方が、垂直な場合に比較して  $G_{d\_change}$  の応力感度が大きくなった。これは、前述したとおり従来の (SOI ではない) nMOSFET で報告されている結果<sup>3-5)</sup>と定性的に一致している。Region 2 においても Region 1 と同様に、全てのゲート長さにおいて電流方向と負荷方向が平行な場合の方が、垂直な場合に比較して  $G_{d\_change}$  の応力感度が大きくなった。n 型デバイスである SOI-nMOSFET の場合、メジャーキャリアは電子である。Region 2 では、少数キャリアである正孔も蓄積して寄生バイポーラ効果のトリガーとなるが、メジャーキャリアはあくまで電子である。そのため、Region 2 においても、電子の電流方向移動度変化が大きい平行負荷の方が垂直負荷よりも  $G_{d\_change}$  の応力感度が大きくなると考えられる。

次に Region 1 と Region 2 を比較すると、平行負荷と垂直負荷のいずれの場合でも、Region 1 よりも Region 2 の方が  $G_{d\_change}$  の応力感度が大きくなる傾向が見られた。ただし、 $l=0.45 \mu\text{m}$  および  $1.0 \mu\text{m}$  の垂直負荷の結果で、Region 1 よりも Region 2 の方が  $G_{d\_change}$  の応力感度が小さくなった。両者は、Region 2 での電流値のばらつきが大きく、これが影響したと考えられる。

ゲート長さ依存性については、異なるゲート長さ間でのばらつきが見られるが、負荷方向が異なる場合および領域が異なる場合のいずれの場合でも、 $G_{d\_change}$  の応力感度に明確なゲート長さ依存性は見られなかった。

本論文の実験結果の範囲では、Region 1 と Region 2 の比較、およびゲート長さ依存性の評価において、実験結果にばらつきが見られることから、これらをさら

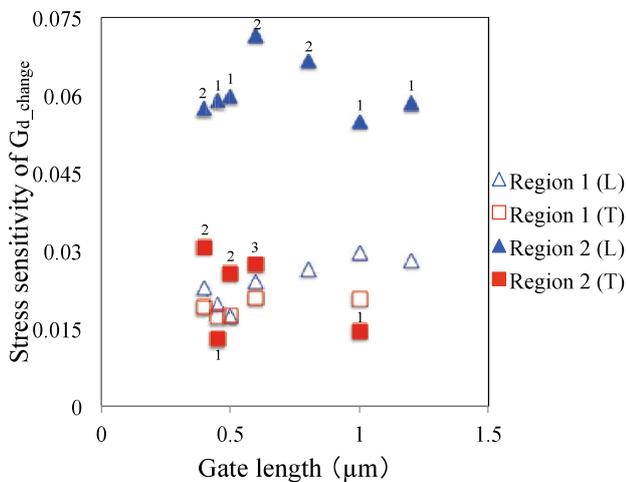


Fig. 6 Gate length dependence in stress sensitivity of drain conductance

に明確にするため試験片の n 数を増やして評価を行う必要がある。

#### 4. まとめ

本研究では、SOI-nMOSFET の機械的応力に起因する電気特性変動を実験的に評価した。その結果、SOI 型デバイスに特有な物理現象である寄生バイポーラ効果が、ピエゾ効果による電気特性の変化をさらに加速させるように作用していることが明らかとなった。その際、寄生バイポーラ効果が発現する領域においても電気特性変動に負荷方向依存性が見られ、電流方向と負荷方向が平行な場合の方が、垂直な場合よりもドレインコンダクタンス変化の応力感度が大きくなる傾向が見られた。また、ドレインコンダクタンス変化の応力感度には、明確なゲート長さ依存性は見られなかった。今後、実験データを増やし、SOI 型デバイスにおける機械的負荷の影響をさらに明確にしていく予定である。

#### 参考文献

- 1) 小金丸正明, 池田徹, 宮崎則幸: “ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”, エレクトロニクス実装学会誌, Vol. 9, No. 3, pp. 186-194, 2006.
- 2) 三浦英生, 西村朝雄: “パッケージング応力起因の半導体素子特性変動”, 日本機械学会論文集 (A 編), Vol. 61, No. 589, pp. 1957-1964, 1995.
- 3) C. Gallon, G. Reimbold, G. Ghibaudo, R. A. Bianchi, R. Gwozdecki, S. Orain, E. Robilliart, C. Raynaud, H. Dansas: “Electrical Analysis of Mechanical Stress Induced by STI in Short MOSFETs Using Externally Applied Stress”, IEEE Transactions on Electron Devices, Vol. 51, No. 8, pp. 1254-1261, 2004.
- 4) 小金丸正明, 池田徹, 宮崎則幸, 友景肇: “実験とデバイスシミュレーションによる nMOSFET の応力に起因した DC 特性変動評価”, 電子情報通信学会論文誌 (c), Vol. J90-C, No. 4, pp. 351-362, 2007.
- 5) 小金丸正明, 池田徹, 宮崎則幸, 友景肇: “樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性変動評価と電子移動度モデルに関する検討”, 電子情報通信学会論文誌 (c), Vol. 91-C, No. 4, pp. 257-272, 2008.
- 6) T. Takasugi, S. Matsumoto: “Hot carrier effect of a scaled thin-film silicon-on-insulator power metal oxide semiconductor field-effect transistor under constant drain electric field”, Japanese Journal of Applied Physics, Vol. 53, No. 4S, pp. 04EP17-1-5, 2014.

#### 連絡先

連絡先氏名 小金丸 正明  
 所属機関 鹿児島大学 大学院理工学研究科 工学専攻 機械工学プログラム  
 所在地 〒890-0065 鹿児島市郡元 1-21-40  
 E-mail koganemaru@mech.kagoshima-u.ac.jp