

Title	高耐圧SiC FET及びダイオードの電力変換回路への適用に関する基礎的研究( Dissertation_全文 )
Author(s)	浅野, 勝則
Citation	Kyoto University (京都大学)
Issue Date	2006-03-23
URL	<a href="http://dx.doi.org/10.14989/doctor.k12282">http://dx.doi.org/10.14989/doctor.k12282</a>
Right	
Type	Thesis or Dissertation
Textversion	author

高耐圧 SiC FET 及びダイオードの  
電力変換回路への適用に関する基礎的研究

2005 年 11 月

浅野 勝則

## 内容梗概

本論文は、4H-SiC を用いた FET 及びダイオードの電力変換回路への適用効果と素子開発、素子の理想耐圧および回路モデルの研究結果をまとめたものであり、本文 7 章と謝辞から構成されている。以下に各章の内容の概略を記す。

### 第 1 章 序論

第 1 章では、SiC 半導体の特徴およびその半導体素子により期待される効果について述べる。さらに、本論文の目的と意義を明らかにする。

### 第 2 章 高耐圧 SiC ダイオードの開発

第 2 章では、SiC 素子の高耐圧終端構造の検討を行い、p 型アノード層を浅くメサエッチングし、イオン注入によりメサコーナー部を覆うように p 型領域を形成した新構造のメサ JTE 構造を採用した pin ダイオードの試作について述べる。さらに、試作した pin ダイオードの順方向および逆方向の電気的特性の評価結果について述べる。

### 第 3 章 高耐圧 SiC MOSFET (SEMOSFET) の開発

第 3 章では、蓄積型の FET に、埋込ゲート構造を適用した新構造の 4H-SiC MOSFET の構造、動作原理、および試作について述べる。さらに、試作した MOSFET の耐圧および出力特性およびスイッチング特性の評価結果について述べる。

### 第 4 章 高耐圧 SiC JFET (SEJFET) の開発

第 4 章では、横型チャネルおよび縦型チャネルの 2 つのチャネルを有した縦型の 4H-SiC JFET の構造、動作原理および試作について述べる。さらに、試作した JFET の耐圧、出力特性の温度依存性およびスイッチング特性の評価結果について述べる。

### 第 5 章 SiC 素子の理想耐圧の検討

第 5 章では、SiC 素子の理想耐圧について検討した結果について述べる。特に衝突電離係数についての検討結果を述べ、SiC 素子の耐圧の解析値と実験値の比較検討を行う。

### 第 6 章 SiC pin ダイオードの回路モデルの検討

第 6 章では、SiC pin ダイオードの回路モデルの検討結果について述べ、それを用いて順方向電流電圧特性および逆回復特性を解析した結果と実験結果の比較検討を行う。

## 第7章 結論

第7章では、第2章から第6章までの研究成果を総括し、本研究で得られた主要な成果についてまとめる。

## 目 次

### 内容梗概

第1章 序論	1
1.1 緒言	1
1.2 SiC 半導体の特徴	2
1.3 SiC デバイスにより期待される効果	2
1.4 本論文の構成	7
参考文献	8
第2章 高耐圧 SiC ダイオードの開発	9
2.1 緒言	9
2.2 高耐圧終端構造	9
2.3 高耐圧低損失 pin ダイオードの構造	11
2.4 試作	17
2.5 順方向および逆方向特性	18
2.5.1 室温での特性	18
2.5.2 順方向特性の温度依存性	20
2.6 逆回復特性	22
2.7 結言	28
参考文献	29
第3章 高耐圧 SiC MOSFET (SEMOSFET) の開発	30
3.1 緒言	30
3.2 SEMOSFET の構造と動作原理	30
3.3 試作	36
3.4 耐圧特性および出力特性	37
3.5 スイッチング特性	42
3.6 結言	44
参考文献	45

第4章	高耐圧 SiC JFET (SEJFET) の開発	47
4.1	緒言	47
4.2	SEJFET の構造と動作原理	47
4.3	試作	52
4.4	耐圧特性および出力特性	54
4.4.1	室温での特性	54
4.4.2	出力特性の温度依存性	58
4.5	スイッチング特性	63
4.6	結言	65
	参考文献	66
第5章	SiC 素子の理想耐圧の検討	67
5.1	緒言	67
5.2	衝突電離係数	67
5.3	素子耐圧の解析値と実験値の比較	70
5.4	結言	74
	参考文献	74
第6章	SiC pin ダイオードの回路モデルの検討	75
6.1	緒言	75
6.2	順方向特性	75
6.3	逆回復特性	75
6.4	解析結果と実験結果の比較	79
6.5	結言	83
	参考文献	84
第7章	結論	85
	謝辞	88
	研究業績目録	89

# 第1章 序 論

## 1.1 緒言

電気エネルギーを制御するパワーエレクトロニクス技術は基幹産業において重要性を増してきており、パワーエレクトロニクス装置に用いられる MOSFET, IGBT や GTO などの Si パワー半導体素子はさらなる高性能化が要求されている。特に、地球温暖化問題がクローズアップされるようになり、その主因とされる CO<sub>2</sub> の排出を削減するため、半導体素子の低損失化が大きな課題になっている。その低損失化を図るために、MOSFET ではスーパージャンクション構造という新しいデバイスコンセプトを持ち込み、IGBT では通電時の伝導度変調を大きくする構造を適用し、GTO ではターンオフ時にゲートから電流を高速に引き抜くことによりターンオフ時間の高速化を図っている。これらの取り組みにより、半導体素子の低損失化が期待されるが、近い将来、高出力、低損失、高周波特性などの点で、材料である Si の物性限界に直面し、さらなる低損失化、高性能化は困難な状況になると考えられる。この Si の物性限界を打破して将来のニーズにも対応できるように飛躍的な特性改善をするためには、Si に比べ秀でた物性値を持つワイドギャップ半導体を用いたパワー半導体素子を開発することが極めて有効な手段であると考えられる。

ワイドギャップ半導体には、GaN, SiC, ダイヤモンドなどがあるが、現在では SiC は単結晶基板製作技術やプロセス技術等の点で他のワイドギャップ半導体よりかなり先行しており、パワー半導体として SiC が最も注目されている。SiC は Si に比べて絶縁破壊電界が約 8 倍から 9 倍大きく、素子の高耐圧化・低損失化に優れ、さらにバンドギャップが 4H-SiC の場合 3.2 eV と Si の約 3 倍大きいので、高温動作が期待できる。このような物性的な特徴から、SiC は精力的に研究開発が進められている。

SiC の単結晶は、20 世紀中頃に Lely により SiC の昇華を利用した単結晶製造法が報告され、Tairov らによりその方法が改良され、半導体素子用途の大きな単結晶が得られるようになった<sup>(1)</sup>。1992 年には米国の CREE 社が直径 1 インチの SiC 基板の市販を始めた。高品質なエピタキシャル膜は素子化を図る上で不可欠であるが、1980 年代後半まで、異なるポリタイプが混在しない高品質のエピタキシャル膜を形成することが非常に困難であった。1987 年になり、京都大学の松波らにより、ステップフロー成長を有効に活用したステップ制御エピタキシー技術が報告され<sup>(2)</sup>、基板結晶のポリタイプがきちんと継承された比較的良質のエピタキシャル膜が形成できるようになった。その技術を用いて、1993 年には耐圧 1 kV の 6H-SiC ショットキーダイオードが試作され<sup>(3)</sup>、1995 年にはパワー半導体向けの耐圧 1.7 kV の 4H-SiC ショットキーダイオードが報告された<sup>(4)</sup>。また、SiC pn ダイオードは、6H-SiC を用いて、1994 年に耐圧 2 kV、1995 年には耐圧 4.5 kV の素子<sup>(5)</sup>があいついで発表され、SiC の高絶縁破壊電界が実証されるようになった。

## 1.2 SiC半導体の特徴

SiC半導体には、4層六方晶構造の4H-SiC、6層六方晶構造の6H-SiCや立方晶の3C-SiCなどのポリタイプが存在し、これらのポリタイプの物性値は表1.1に示すように異なっている。同表には3種類のSiCのポリタイプの他にSiの物性値も併記した。SiCはSiに比べ、約2倍から約3倍のバンドギャップであり、4H-SiCおよび6H-SiCの絶縁破壊電界は約8倍から約9倍である。ユニポーラデバイスでは、ドリフト層の不純物濃度は絶縁破壊電界の2乗に依存するので<sup>(6)</sup>、同じ耐圧の素子の場合、その不純物濃度は約60倍から約80倍に高めることが可能である。また、ドリフト層の厚みは絶縁破壊電界の逆数に依存するので<sup>(6)</sup>、その厚みは約1/8から約1/9に低減可能である。高耐圧のユニポーラデバイスのオン抵抗は、(ドリフト層の厚さ)/(ドリフト層の不純物濃度)に依存するので、その抵抗はSiデバイスの約1/500から約1/700程度に低減できると考えられる。

電子移動度については、4H-SiCと6H-SiCに異方性があるが、4H-SiCの方が6H-SiCより電子移動度が大きく、パワーデバイス向けといえる。SiCのいずれのポリタイプも飽和ドリフト速度はSiの約2倍大きく、デバイスの高速化、高周波化が可能である。SiCの熱伝導率はSiに比べ約3倍大きく、デバイスで発生した熱を外部により高速に放熱できることから、大電流化が可能といえる。

以上のことから、SiCデバイスは高耐圧、大電流および高速が期待でき、さらにバンドギャップが広いことから、高温動作も期待できる。

表 1.1 SiC半導体およびSi半導体の物性値<sup>(7)</sup>

物 性	4H-SiC	6H-SiC	3C-SiC	Si
バンドギャップ [eV]	3.26	2.93	2.23	1.12
絶縁破壊電界 [MV/cm]	2.5	2.8	1.2	0.3
電子移動度 [cm <sup>2</sup> /Vs]	1000/850*	80/400*	800	1400
正孔移動度 [cm <sup>2</sup> /Vs]	115	90	40	600
飽和ドリフト速度 [cm/s]	2.2×10 <sup>7</sup>	1.9×10 <sup>7</sup>	2.0×10 <sup>7</sup>	1.0×10 <sup>7</sup>
熱伝導率 [W/(m·K)]	490	490	490	150

\* : c 軸方向/c 軸に垂直方向

## 1.3 SiCデバイスにより期待される効果

表 1.2及び表 1.3はパワーデバイスの電力系統への適用事例についてまとめたものである。BTBは、電力の輸送能力の向上及び系統安定化を図るために非同期で系統を連系し、FCは異

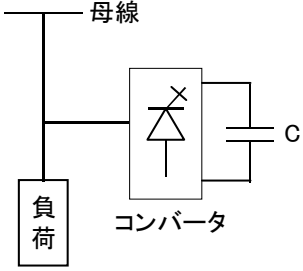
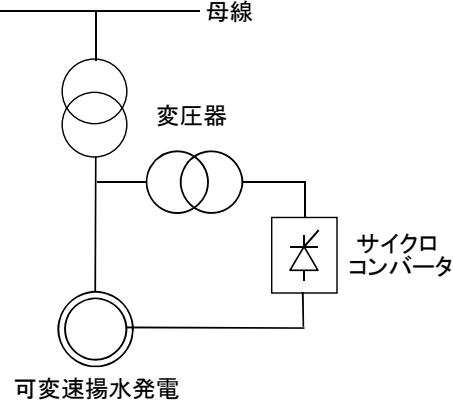


周波数の系統を連系する。SVG（無効電力補償装置）やアクティブフィルタは、電力系統に並列に接続される。SVGは無効電力を制御することにより系統を安定化させ、アクティブフィルタは、発生源の高調波電流とは逆位相の高調波電流を電力系統に注入し、高調波電流を補償する。また、系統周波数の調整を行うために、揚水発電機をサイクロコンバータにより可変速制御する可変速揚水発電機や、フライホイールをサイクロコンバータにより可変速制御する可変速フライホイールも電力系統に並列に接続される。これらの装置には、大容量、低損失及び高速動作のパワーデバイスが必要とされ、Siを用いたGTOやIGBTが用いられている。また、最近ではそれらの特性を改善したGCTやIEGT等が開発され、それらの装置に適用され始めている。半導体素子の低損失化により、電力変換装置の高出力化、低損失化、高周波化が図られているが、更なる電力変換装置の低損失化の要望が強く、近い将来、材料であるSiの物性限界に直面し、更なる低損失化、高性能化は困難な状況になると考えられる。そこで、Siに比べ秀でた物性値を持つワイドギャップ半導体を用いたパワー半導体素子を開発することが極めて有効な手段であると考えられる。SiCは、ワイドギャップ半導体のうち最も研究開発が進んでいるため、それを用いたパワー半導体素子の開発が期待されている。

表 1.2 パワーデバイスの電力分野への適用事例(1)

	BTB, FC	SVG
設置目的	電力輸送能力向上 系統安定化 周波数変換	系統安定化
回路		
適用箇所	非同期連系 異周波連系	電源線

表 1.3 パワーデバイスの電力分野への適用事例(2)

	アクティブフィルタ	サイクロコンバータ
設置目的	高調波抑制	可変速制御
回路		
適用箇所	需要家電力系統	可変速揚水発電機 可変速フライホイール

SiC は、バンドギャップが Si より大幅に大きいため、高温動作が期待され、また、絶縁破壊電界は 1 桁近く高いため、大幅な高耐圧化と低損失化が可能である。したがって、パワーデバイスの高性能化が原理的に期待できる結果、SiC デバイスを電力変換装置に適用した場合に大きなインパクトを期待できる。すなわち、SiC デバイスは 400 °C 以上の高温動作が可能になるため、ヒートシンクの大幅な小型化・簡略化が期待できる。また、現行の大電力用交直変換装置は大半が水冷方式を採用しているが、冷却に要する大量の水の安定調達が可能ではない。高温動作が可能になることから、風冷方式を採用し冷却水調達問題を解消できる可能性がある。また、パワーデバイスの高耐圧化により、直流送電設備等の大電力交直変換装置のバルブを構成するサイリスタ等の素子数を大幅に低減できる。北海道・本州間直流送電では、250 kV の高電圧を制御するために 6 kV 耐圧の光サイリスタを 1 アームあたり 54 個直列接続している。また、紀伊水道直流送電では 8 kV 耐圧の光サイリスタを 1 アームあたり 40 個直列接続している。この直列素子数は素子の高耐圧化により大幅に低減でき、この結果、装置の小型化・高効率化が可能となる。また、大電流化による装置構成素子数の低減及び低損失化によるヒートシンクの小型化等により装置を大幅に小型化することや、低損失化により装置を高効率化することが期待できる。

図 1.1 に、資源エネルギー庁の補助金事業として電力 10 社と電源開発 (株)、(財) 電力中央研究所が共同開発を進めた 300 MW 級 BTB 系統連系設備の構成例を示す<sup>(8)</sup>。変圧器の一次側

は 275 kV 電力系統に直結され、75 MW の電圧型 3 相ブリッジを 4 段多重接続して片側の電力変換装置を構成している。用いられたパワーデバイスは、世界最大容量の 6 kV - 6 kA 級 Si GTO である。各ブリッジの出力電圧は 22.5 kV である。この BTB において、SiC パワーデバイスを適用した場合のインパクトが試算されている<sup>(9)</sup>。SiC パワーデバイスとしては 5 kV - 3 kA 級 SiC MOSFET と SiC ダイオードを想定し、Si パワーデバイスとしては 6 kV - 6 kA 級 GTO とダイオードを想定している。それぞれの電力変換装置の基本ユニット回路を表 1.4 に示す。Si パワーデバイスを用いた場合、GTO の他に大型のフリーホイールダイオード Df、スナバを構成する小型のスナバダイオード Ds、スナバ抵抗 Rs やスナバコンデンサ Cs、電圧分担抵抗 Re、更にアノードリアクトル AL 及びアノードリアクトルの保護用ダイオード Da や抵抗 Ra が必要である。一方、SiC パワーデバイスの場合は、Si GTO を超高出力の SiC MOSFET に置き換えることができれば、アノードリアクトルを省略でき、かつスナバ回路も簡略化できることから、大幅な回路構成の簡略化が実現できる。その結果、電力損失を Si 電力変換装置比約 26 %、バルブ体積を約 16 % と大幅に低減可能である。ただし、装置全体としては、変圧器や GIS 等のバルブ以外の付帯部品を考慮する必要があり、体積低減効果は 60 % 程度になると推定されている。表 1.5 に各種電力用変換装置の電力損失と体積に及ぼす SiC パワーデバイスのインパクトの試算例をまとめた。直流送電や SVG においても BTB と同等のインパクトを期待できる。また、アクティブフィルタの場合は、パワーデバイスを高周波で動作させる必要があり、Si GTO では電力損失が増大する。SiC MOSFET を用いることにより Si GTO を用いた場合に比べ、20% 以下のさらに大きな損失低減効果が期待されている。以上のように、電力分野の大電力変換装置に及ぼす SiC パワーデバイスの適用インパクトはかなり大きくなると予測される。

今後は、電力系統に太陽光や風力等の自然エネルギーを利用した電源、マイクロガスタービンや燃料電池に代表される分散電源、レドックスフロー電池や NaS 電池等のエネルギー貯蔵装置の導入が進むことが予測される。そこで、これらの装置と電力系統を連系するための交直変換装置や周波数変換装置に SiC パワーデバイスを用いることにより、電力損失の低減を図り、地球環境上問題となる CO<sub>2</sub> の削減にも寄与することが期待できる。さらに、電力負荷平準化により電力系統の効率的な運用に大きく寄与することも期待される。

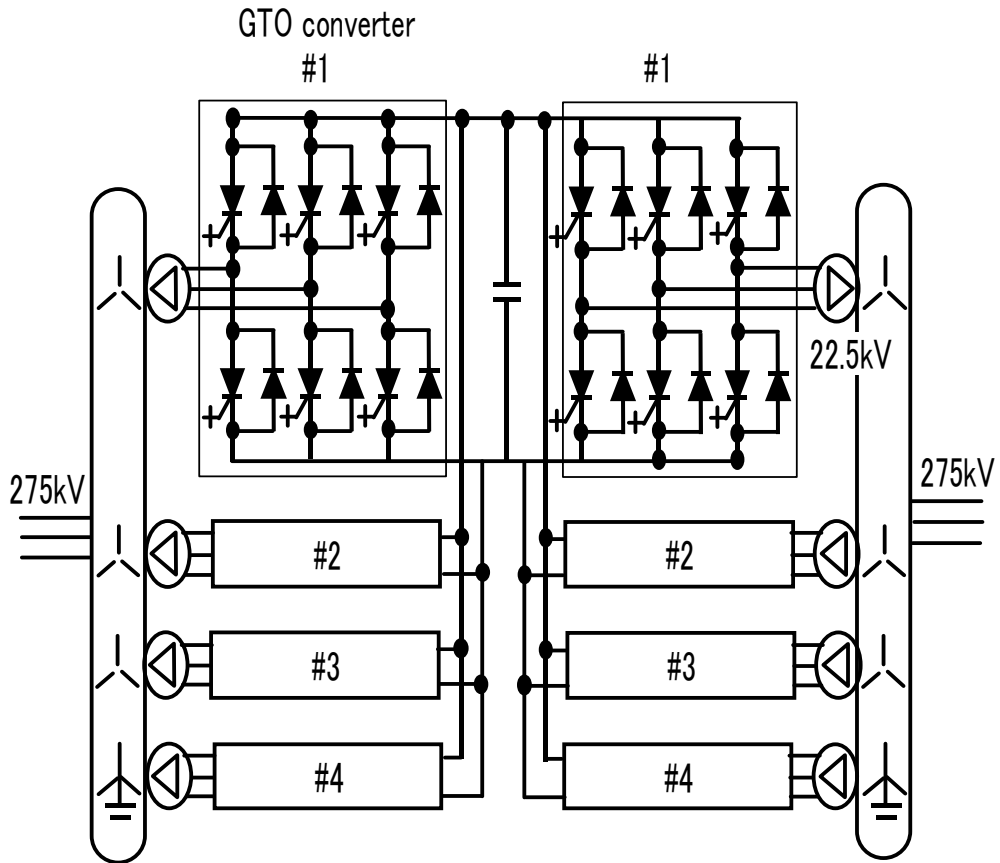


図 1.1 300 MW 級 BTB 系統連系設備の構成例

表 1.4 Si GTO と SiC MOSFET の基本ユニット回路の比較

Si	SiC
6 kV - 6 kA GTO	5 kV - 3 kA MOSFET

表 1.5 各種電力装置に及ぼす SiC パワーデバイスの適用インパクトの試算例

対象装置	想定容量 [MW]	適用インパクト	
		電力損失*	バルブ体積*
BTB (自励式)	300	~0.26	~0.16
直流送電用交直 変換装置 (自励式)	300	~0.26	~0.16
無効電力補償装置 (SVG)	50	~0.3	~0.2
アクティブフィルタ	10	≤0.2	—

\*: Si-GTO バルブの電力損失と体積を 1 とした相対比

#### 1.4 本論文の構成

本論文は、SiC パワーデバイスの電力変換装置への適用性を評価するという観点から、著者が行ってきた SiC pin ダイオードおよび SiC FET の開発と、回路設計のための SiC pin ダイオードの回路モデルに関する研究をまとめたものである。

第 2 章では、SiC pin ダイオードの開発について述べる。まず、高耐圧終端構造を示し、高耐圧かつ低損失の pin ダイオード向けの新終端構造を解析し、設計した結果を示している。さらに、設計した SiC pin ダイオードを試作し、その順方向電流電圧特性、オン抵抗の温度依存性およびオン抵抗の電流密度依存性を明らかにしている。また、逆回復特性の温度依存性からキャリアのライフタイムおよび拡散長の温度依存性、さらに逆回復損失を求め、SiC pin ダイオードの逆回復損失が同耐圧の Si pin ダイオードに比べ、約 1/29 の損失であることを示し、SiC pin ダイオードが低損失であることを実証している。

第 3 章では、4H-SiC MOSFET のオン抵抗を低減することを目的に、蓄積型の SiC MOSFET を提案し、その動作および有効性を解析により示している。また、設計した 4H-SiC MOSFET を試作し、Si MOSFET のオン抵抗を大幅に下回るオン抵抗を実証している。さらに、試作した 4H-SiC MOSFET の高速性も実証している。

第 4 章では、ゲート電圧を印加しない状態でオフ状態であるノーマリオフ型の 4H-SiC 接合型 FET を提案し、試作している。試作した 4H-SiC JFET は、6H-SiC の理論限界より大幅に低いオン抵抗にでき、SiC FET の Si FET に対する優位性を実証している。さらに、600K までの高温で電気的特性を評価し、高温動作可能であることも実証している。

第 5 章では、SiC 素子の理想耐圧を求めている。SiC 素子の耐圧を解析するにあたり、報告されている衝突電離係数およびシミュレータの初期設定されている衝突電離係数を用いて、SiC ダ

イオードの耐圧を解析し、実験結果と比較検討することにより、衝突電離係数の妥当性を評価している。さらに、試作した超高耐圧 SiC ダイオード、SiC MOSFET および SiC JFET について、妥当と考えられる衝突電離係数を用い、それらの理想耐圧をもとめ、実験値と比較評価している。

第 6 章では、SiC pin ダイオードの回路モデルの検討を行っている。まず、SiC pin ダイオードの順方向特性および逆回復特性を数式化し、回路構成要素や定数が異なっても適用可能な回路モデルを提案している。提案した回路モデルは、試作した 4H-SiC pin ダイオードにより、そのモデルの妥当性を評価している。さらに、同じ回路モデル作製方法により、大容量の SiC pin ダイオードの回路モデルを作製し、実験結果と比較することにより、回路モデルの作製方法の妥当性を実証している。

第 7 章では、本研究により得られた結果を総括し、本論文の結論をまとめている。

#### [ 参考文献 ]

- (1) Y. M. Tairov and V. F. Tsvetkov, "General principles of growing large-size single crystals of various silicon carbide polytypes", *J. Crystal Growth*, 52, pp.146-150 (1981).
- (2) N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino and H. Matsunami, "Step-controlled VPE growth of SiC single crystals at low temperatures", *Ext. Abstr. the 19<sup>th</sup> Conf. On Solid State Devices and Materials*, pp.227-230 (1987).
- (3) T. Kimoto, T. Urushidani, S. Kobayashi, and H. Matsunami, "High-Voltage (>1kV) SiC Schottky Barrier Diodes with Low On-Resistances", *IEEE Electron Device Lett.*, vol. 14, No. 12, pp.548-550 (1993).
- (4) A. Itoh, T. Kimoto and H. Matsunami, "High performance of high voltage 4H-SiC Schottky barrier diodes", *IEEE Electron Device Lett.*, vol. 16, pp. 280-282 (1995).
- (5) O. Kordina, J. P. Bergman, A. Henry, E. Janzen, S. Savage, J. Andre, L. P. Ramberg, U. Lindefelt, W. Hermansson, and K. Bergman: "A 4.5kV 6H silicon carbide rectifier", *Appl. Phys. Letter*, 67, p.1561 (1995).
- (6) 菅原良孝, 「SiC パワーデバイスの開発状況」, *電気学会誌*, Vol. 118, No. 5, pp.282-285 (1998).
- (7) 四戸孝, 「SiC パワーデバイス」, *東芝レビュー*, vol. 59, No.2, pp.49-53 (2004).
- (8) 中島達人, 鈴木宏和, 泉邦和, 杉本重幸, 白銀隆之, 安部秀行, 北原忠幸, 相澤英俊, 朝枝健明, 「高性能交直変換器の開発」, *電気学会論文誌 B*, 117 巻 7 号, pp.1006-1015 (1997).
- (9) 菅原良孝, 「ワイドギャップ半導体素子の性能と適用インパクト」, *電子情報通信学会論文誌, C-II Vol. J81-C-I, No.1*, pp.8-16 (1998).

## 第2章 高耐圧SiCダイオードの開発

### 2.1 緒言

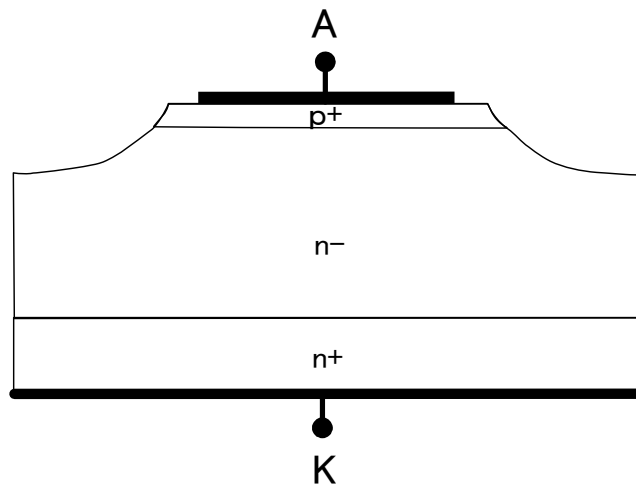
高耐圧のSiCデバイスには、低不純物濃度の厚いエピタキシャル膜が必要であり、数kV以上の耐圧を得るためには、不純物濃度が  $10^{15} \text{ cm}^{-3}$  以下、厚さ 40  $\mu\text{m}$  以上のエピタキシャル膜が必要となってくる。そのようなエピタキシャル膜を実現するために、高速かつ高品質のエピタキシャル膜成長技術の開発が世界的に進められてきた<sup>(1),(2),(3)</sup>。1987年には、SiC基板にオフ角を導入したステップ制御エピタキシーにより、異種ポリタイプが混在しない 6H-SiC のホモエピタキシャル成長が報告され<sup>(4)</sup>、4H-SiCについてもステップ制御エピタキシーによりホモエピタキシャル成長が可能となった<sup>(5)</sup>。また、サセプタを断熱材で覆いサセプタと基板間の温度勾配を小さくしたホットウォールCVDにより、高速に厚いエピタキシャル膜を形成することも可能になった<sup>(6)</sup>。これらの技術により、数kV以上の電圧に耐えることが可能なエピタキシャル膜を得ることができるようになってきた。そこで、本章では、厚い 4H-SiC エピタキシャル膜を用いた高耐圧SiC pinダイオードの開発について述べる。

### 2.2 高耐圧終端構造

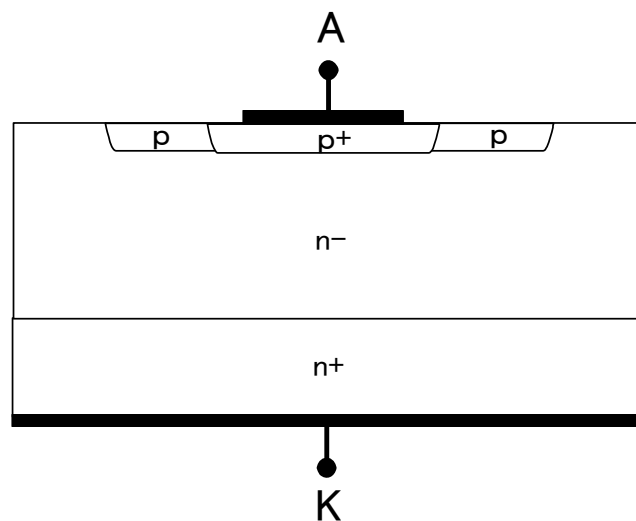
半導体デバイスは、デバイスの終端領域であるターミネーションに電界が集中しやすく、高耐圧化するためにはその電界を緩和する必要がある。従来のSiC pinダイオードでは、図 2.1(a) のメサ型のターミネーション<sup>(6)</sup>や図 2.1(b)のプレーナ型JTE (Junction Termination Extension) <sup>(7),(8)</sup>が用いられていた。メサ型のターミネーションを有するpinダイオードでは、 $n^+$ 基板上に低不純物濃度の厚い $n$ 型層および高不純物濃度の $p$ 型層がエピタキシャル成長により形成され、ターミネーションは電界を緩和するために図 2.1(a)のように終端領域を緩やかに傾斜させている。主電流が流れる $p^+$ アノード層は結晶性のよいエピタキシャル成長により形成されるので、pinダイオードの順方向特性は良好であることが期待できるが、逆方向特性においては、終端領域でpn接合部が露出しているため、露出したpn接合の近傍の $p^+$ 層に電界が集中しやすく、高耐圧化は困難である。プレーナ型JTEは、図 2.1(b)のようにpinダイオードのアノード $p^+$ 領域の周囲に、その領域より不純物濃度の低い $p$ 型の領域を形成した構造のターミネーションである。不純物濃度の低い $p$ 型領域は、空乏層をデバイスの終端領域に広げるためJTEと呼ばれ、 $p^+$ アノード層の端部に集中しやすい電界を緩和することが可能である。しかし、SiCは不純物の熱拡散速度が非常に遅く現実的でないために、 $p^+$ アノード領域および低不純物濃度の $p$ 型のJTEをイオン注入法により形成するので、高温でアニールしても主電流が流れる $p^+$ アノード領域に欠陥が残留し、オン電圧が高くなる傾向がある<sup>(6)</sup>。

本章では、高耐圧かつ低オン電圧を期待できる新構造のメサ型のターミネーション（メサ

JTE) を有するpinダイオードを提案している<sup>(9)</sup>. この構造は, 図 2.2のように,  $p^+$ アノード層の周辺に, その領域より空間的に低い位置に,  $p$ 型の領域を形成したものである. この構造では, 主接合を形成する $p^+$ アノード層をエピタキシャル成長により形成することが可能であり, 欠陥の少ない良好なpn接合を得ることが期待できる. さらに, 電圧を阻止する際にJTE構造により, プレーナ型JTEと同様に電界を緩和することができるため, 良好な順方向特性と高耐圧を同時に有するpnダイオードを実現することが期待できる.



(a) メサ型 SiC pin ダイオード



(b) プレーナ型 JTE SiC pin ダイオード

図 2.1 従来の SiC pin ダイオードの断面構造



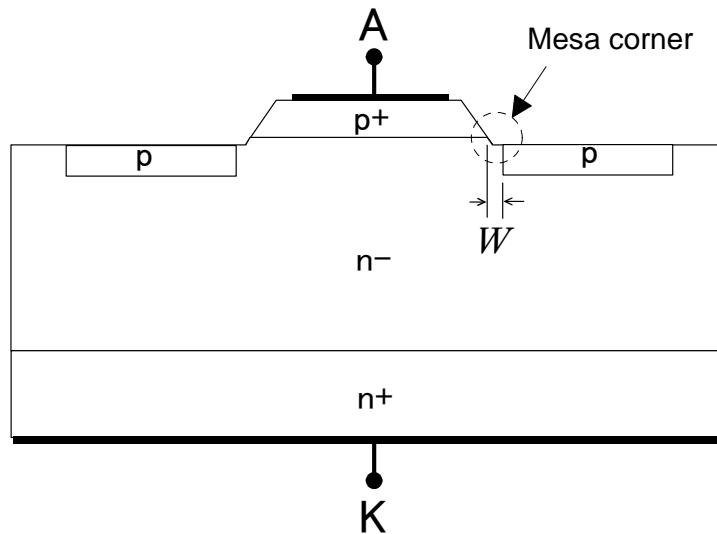


図 2.2 メサ JTE SiC pin ダイオードの断面構造

### 2.3 高耐圧低損失pinダイオードの構造

本節では、メサ JTE 構造を有する 4H-SiC pin ダイオードの耐圧の構造依存性を解析した結果について述べる。デバイスシミュレータは ISE 社（現在 Synopsys）の TCAD “DESSIS” である。4H-SiC pin ダイオードの理想耐圧については第 5 章で述べる。

4H-SiC pin ダイオードの計算条件は、耐圧を 5 kV 以上にするためにドリフト層 n- の厚さおよび不純物濃度をそれぞれ 50  $\mu\text{m}$  および  $9 \times 10^{14} \text{ cm}^{-3}$ 、p+ 領域の厚さおよび不純物濃度をそれぞれ 1.6  $\mu\text{m}$  および  $1 \times 10^{18} \text{ cm}^{-3}$ 、さらに JTE として機能する p 領域 p<sub>JTE</sub> の長さおよび深さをそれぞれ 150  $\mu\text{m}$  および 0.7  $\mu\text{m}$  とした。図 2.3 は SiC pin ダイオードの耐圧の p<sub>JTE</sub> の不純物濃度依存性を解析した結果である。ただし、図 2.2 に示す p+ 領域の端部と p<sub>JTE</sub> の端部のギャップ長  $W$  は 0  $\mu\text{m}$  である。p<sub>JTE</sub> の不純物濃度を  $3 \sim 4 \times 10^{17} \text{ cm}^{-3}$  とすることにより、耐圧 6 kV 以上を実現でき、最大耐圧を理想耐圧の約 96 % にできる可能性があることがわかった。図 2.4 に、p<sub>JTE</sub> の不純物濃度を  $3.5 \times 10^{17} \text{ cm}^{-3}$  とした場合の耐圧のギャップ長  $W$  依存性を解析した結果を示す。p<sub>JTE</sub> が p+ アノード層から離れるに従い、耐圧が大きく低下することが予想される。

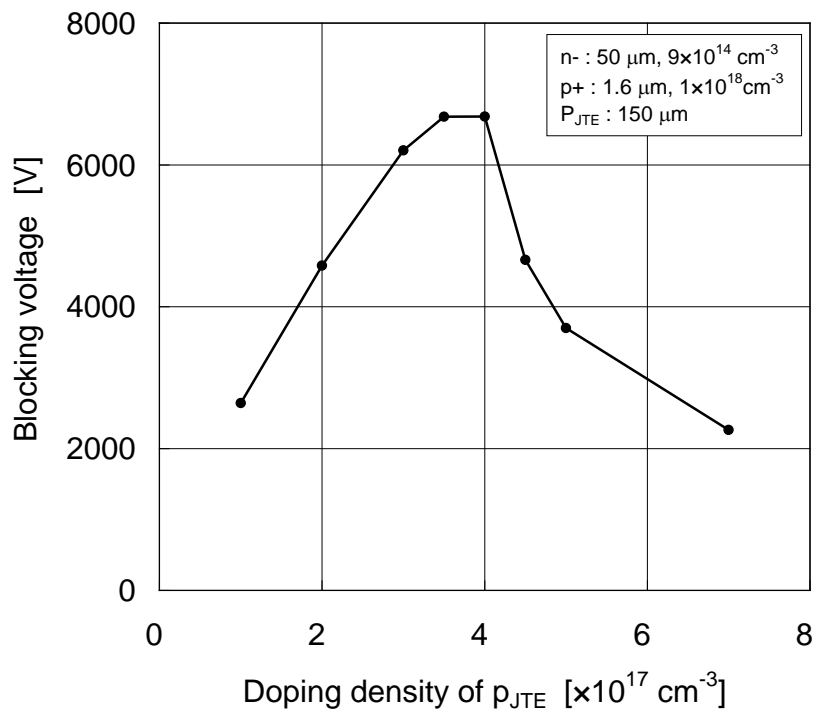


図 2.3 耐圧の  $p_{JTE}$  不純物濃度依存性 (解析結果)

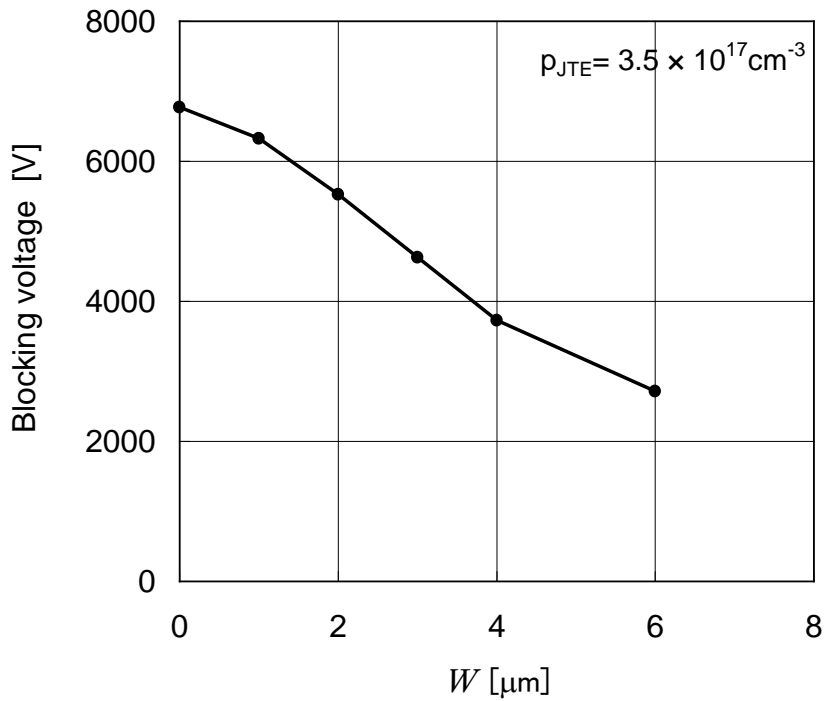
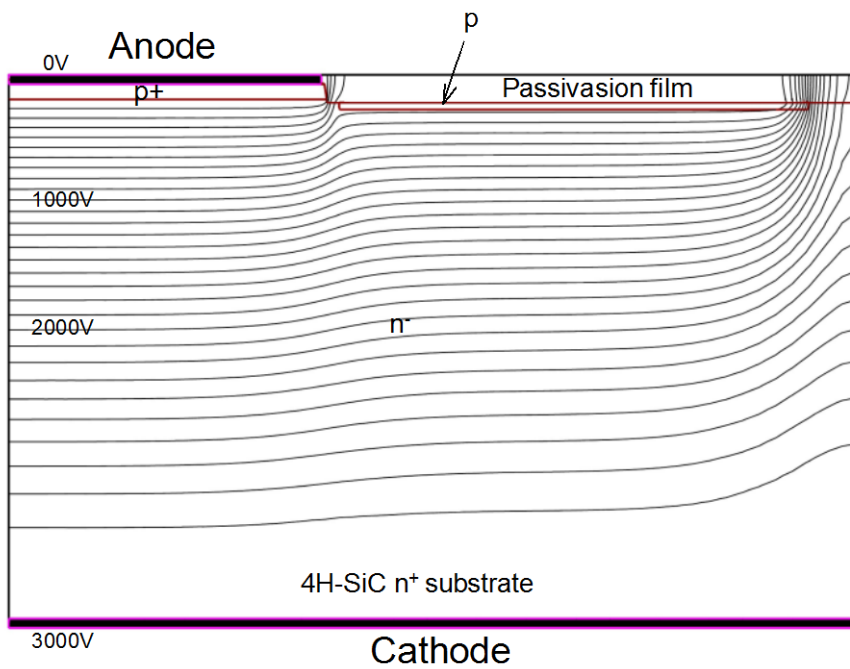
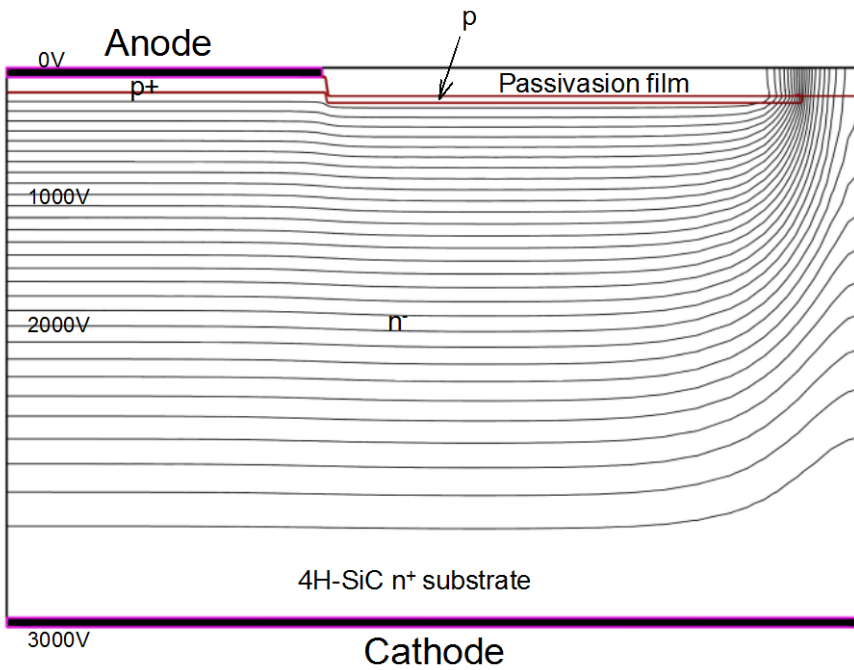


図 2.4 耐圧のギャップ長  $W$  依存性 (解析結果)

図 2.5 (a)および(b)にカソード電圧を 3 kV としたときの  $p_{JTE}$  の位置による電位分布の相違を示す。ギャップ長  $W$  を  $4 \mu\text{m}$  とした場合は、図 2.5 (a)のように、 $p_{JTE}$  外側端部のみならず、アノード  $p^+$  層と  $p_{JTE}$  領域に挟まれた領域近傍のメサコーナ一部(図 2.2 参照)の  $p^+$  領域端部および素子の表面を保護する絶縁性のパッシベーション膜 (比誘電率 3.9) に電界集中がみられる。しかし、ギャップ長  $W$  を  $0 \mu\text{m}$  とすると、図 2.5 (b)に示すように、 $p_{JTE}$  によりメサコーナ一部がシールドされ、その部分の電界集中を緩和することができている。図 2.6 に耐圧および各部位の電界のギャップ長  $W$  依存性の解析結果を示す。各部位は、図 2.6 の概略図に示すように、a 点は  $p^+$  アノード層の端部、b 点は  $p_{JTE}$  内のアノード層からみて外側の端部、c 点はメサコーナ部分のパッシベーション膜である。また、それぞれの電界を  $E_a$ ,  $E_b$ , および  $E_c$  とする。ただし、電界はカソードに耐圧相当の電圧を印加したときの値である。また、 $p_{JTE}$  の不純物濃度は  $3.5 \times 10^{17} \text{ cm}^{-3}$  である。ギャップ長  $W$  が大きくなると、SiC 内部では、アノード  $p^+$  領域端部の a 点の電界が高くなり、そこで耐圧が決まることがわかる。しかし、パッシベーション膜では、c 点の電界が SiC の内部より高くなり、材質によっては、その絶縁破壊電界値を越えることも考えられる。たとえ越えないとしても長期的な絶縁性能に影響を与え、耐圧が c 点で決まる場合も考えられる。一方、ギャップ長  $W$  を  $0 \mu\text{m}$  とすることにより、a 点および c 点の電界を低減し、b 点と同等の電界とすることができるので、電界のバランスをとることができ、耐圧 6 kV 以上が見込まれる。



(a)  $W = 4 \mu\text{m}$  ( $V_{KA} = 3 \text{ kV}$ )



(b)  $W = 0 \mu\text{m}$  ( $V_{KA} = 3 \text{ kV}$ )

図 2.5  $p_{JTE}$  位置による電位分布 (電位間隔 100 V)

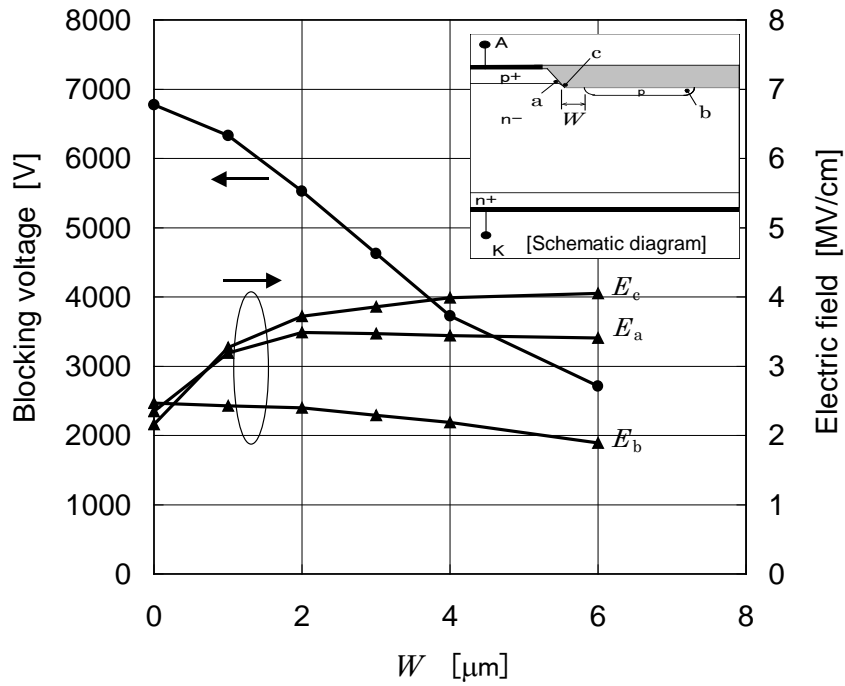


図 2.6 耐圧および各部位の電界のギャップ長  $W$  依存性

図 2.7 および図 2.8 に a 点, b 点および c 点における電界のカソード電圧  $V_{KA}$  依存性を示す. ギャップ長  $W$  は, それぞれ  $4 \mu\text{m}$  および  $0 \mu\text{m}$  である.  $W = 4 \mu\text{m}$  のときは, 図 2.7 のように a 点および c 点の電界が b 点の電界より高く,  $V_{KA}$  の上昇とともに大きく上昇している. 特に, パッシベーション膜の c 点で電界が高くなる. 一方,  $W = 0 \mu\text{m}$  では, 図 2.8 のように a 点および c 点の電界は  $V_{KA}$  に対して緩やかに上昇し, b 点の電界は a 点および c 点の電界に比べ高いが,  $V_{KA}$  に対して飽和傾向にある.  $V_{KA} = 6 \text{ kV}$  では, a 点, b 点および c 点の 3 箇所ともほぼ同等の電界となり, ターミネーション構造を除いた一次元での pin ダイオードの耐圧の計算値  $7 \text{ kV}$  にほぼ近い耐圧とできることがわかった. 詳細は, 第 5 章で述べる. 図 2.9 にギャップ長  $W$  を  $0 \mu\text{m}$  とした場合のカソード電圧が  $6 \text{ kV}$  のときの電位分布を示す. JTE 領域の p 領域により電圧が分担され, 高耐圧を実現できることがわかる.

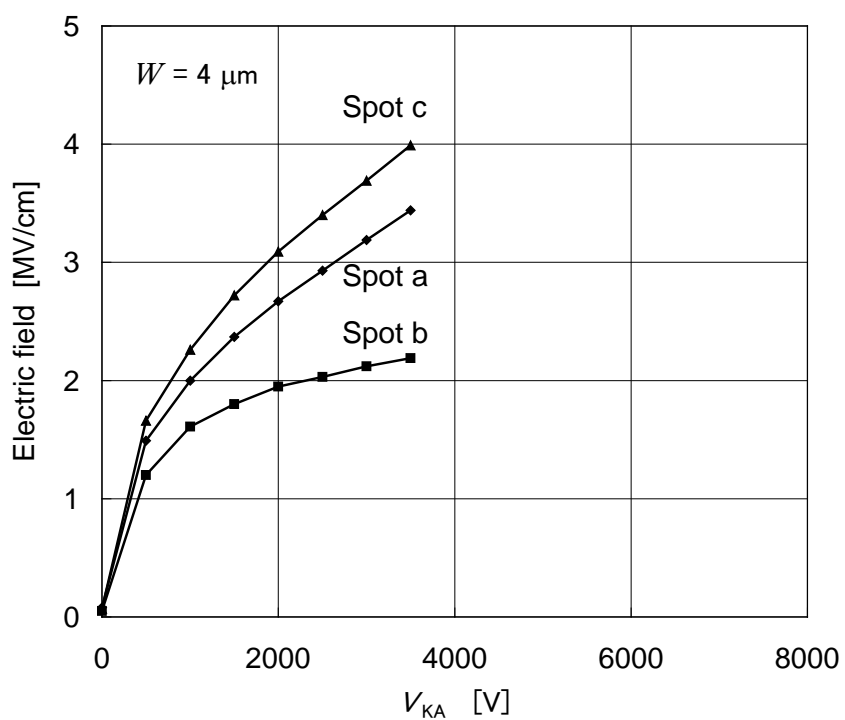


図 2.7 電界のカソード電圧  $V_{KA}$  依存性 ( $W = 4 \mu\text{m}$ )

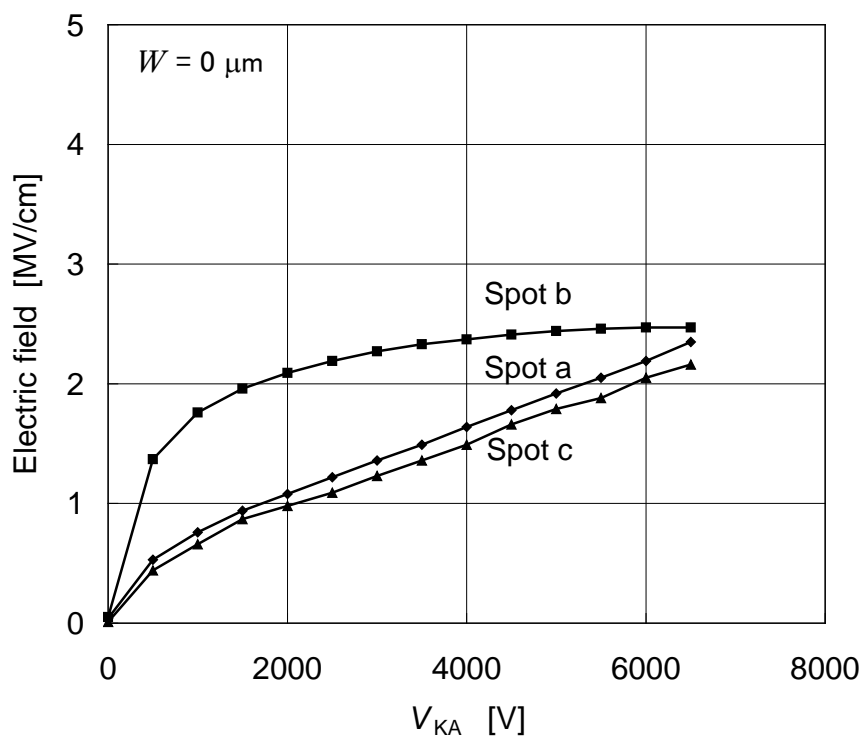


図 2.8 電界のカソード電圧  $V_{KA}$  依存性 ( $W = 0 \mu\text{m}$ )

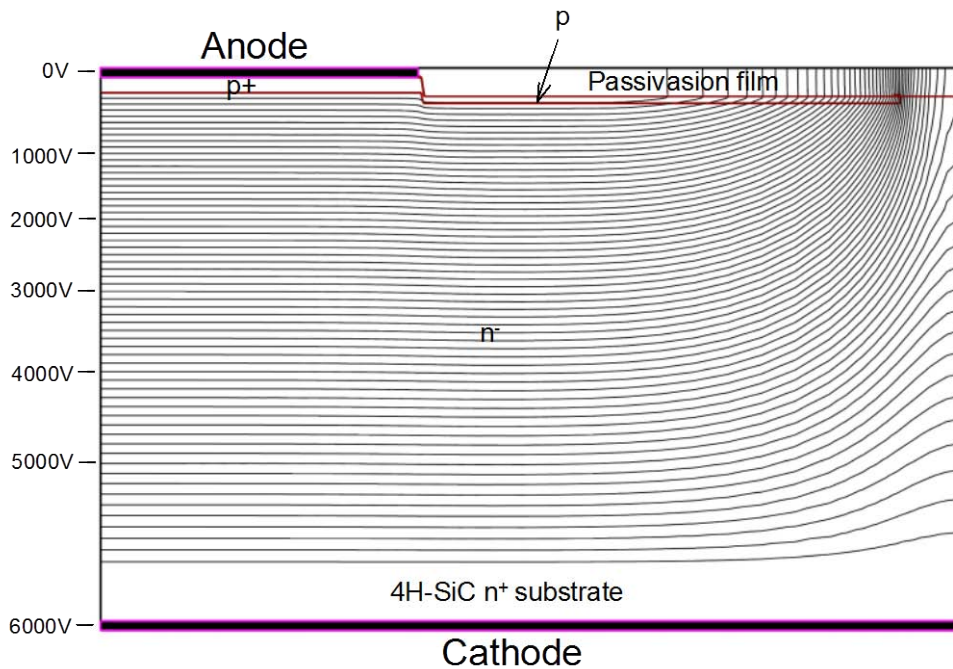


図 2.9 電位分布 ( $W=0 \mu\text{m}$ ,  $V_{KA}=6 \text{ kV}$ , 電位間隔 100 V)

## 2.4 試作

SiC単結晶基板には、マイクロパイプと呼ばれる直径数ミクロンの基板を貫通する多数のパイプ状の欠陥が存在する<sup>(10)</sup>。基板上に形成したエピタキシャル膜にもこの欠陥が引き継がれ、製作した素子中にこの欠陥が存在すると、素子の耐圧はほとんどなくなる。素子の耐圧の歩留まりをよくするためには、欠陥の少ない基板を用いる必要がある。そこで、SiC pinダイオードの試作には、マイクロパイプ密度  $30 \text{ 個}/\text{cm}^2$  以下の 4H-SiC基板を使用した。基板の不純物濃度は  $5 \times 10^{19} \text{ cm}^{-3}$  である。この基板上に、ホットウォールCVD<sup>(6)</sup>により  $n^-$ ドリフト層を  $50 \mu\text{m}$  エピタキシャル成長させた。ドナー濃度は約  $9 \times 10^{14} \text{ cm}^{-3}$  である。 $p^+$  アノード層はエピタキシャル成長により形成した。 $p^+$  アノード層の厚さは、試作したダイオードでは  $1.5 \mu\text{m}$  であり、不純物濃度は  $1 \times 10^{18} \text{ cm}^{-3}$  である。2.3 項のシミュレーションでは  $p^+$  アノード層の厚さを  $1.6 \mu\text{m}$  としたが、それが多少薄くても耐圧やオン電圧にほとんど影響を与えないと考えられる。また、ターミネーションは浅くメサエッチングし、その後、 $W=0 \mu\text{m}$  とするため、メサコーナー部を覆うようにボロンをイオン注入し、メサJTE を形成した。 $p^+$  アノード層へかかるイオン注入領域は、その影響を避けるため極力小さくした。メサの深さは約  $2 \mu\text{m}$  である。JTE領域上には、 $\text{SiO}_2$  パッシベーション膜を形成した。カソード電極及びアノード電極には、それぞれニッケル及び白金を用い、その上にそれぞれダイボンディング用お

よびワイヤボンディング用に金を蒸着した。試作したダイオードの活性領域の直径は 200  $\mu\text{m}$  である。

## 2.5 順方向および逆方向特性

### 2.5.1 室温での特性

図 2.10 に試作した SiC pin ダイオードの順逆方向の電流電圧特性を示す。順方向および逆方向特性の測定には、それぞれ HP 製 4142B および BERTAN 製 DC 電源 225 を用いた。逆方向特性は、高絶縁性のフッ素系不活性液体フロリナート中で測定した。逆方向特性では 6.2 kV の耐圧を達成した<sup>9)</sup>。6.2 kV での漏れ電流は 15  $\mu\text{A}/\text{cm}^2$  である。また、順方向特性ではオン電圧が 4.7 V (at 100 A/cm<sup>2</sup>) となった。ビルトインポテンシャルを超えたところでのオン抵抗 ( $dV/dJ$ ) は 7.8 m $\Omega\text{cm}^2$  と、伝導度変調がなく電子の移動度を 700 cm<sup>2</sup>/Vs とした場合のドリフト層の抵抗 50 m $\Omega\text{cm}^2$  と比べ大幅に小さく、十分な伝導度変調が起こっていると考えられる。図 2.11 は、室温でのダイオードの耐圧とオン電圧の関係を示す。SiC pin ダイオードと A 社の Si ダイオードの特性もプロットしている。さらに、SiC pin ダイオードのデータを指数関数近似した曲線を追記している。Si pin ダイオードでは耐圧が 3 kV を超えるとオン電圧が急激に上昇している。これは、pn 接合のビルトインポテンシャルよりも n<sup>-</sup>ドリフト層の抵抗が支配的になっていることを示している。しかしながら、SiC pin ダイオードでは、ビルトインポテンシャルは 2.7 V 程度でありオン電圧はその値以上となっているが、耐圧が高くなっても、急激なオン電圧の上昇は見られない。試作した SiC pin ダイオードは、耐圧が 6.2 kV、オン電圧が 4.7 V (at 100 A/cm<sup>2</sup>) であり、Si pin ダイオードの耐圧とオン電圧のトレードオフを越える低いオン電圧を有している。SiC pin ダイオードのトレードオフはアノード電極のコンタクト抵抗を低減することにより、さらに改善できると考えている。



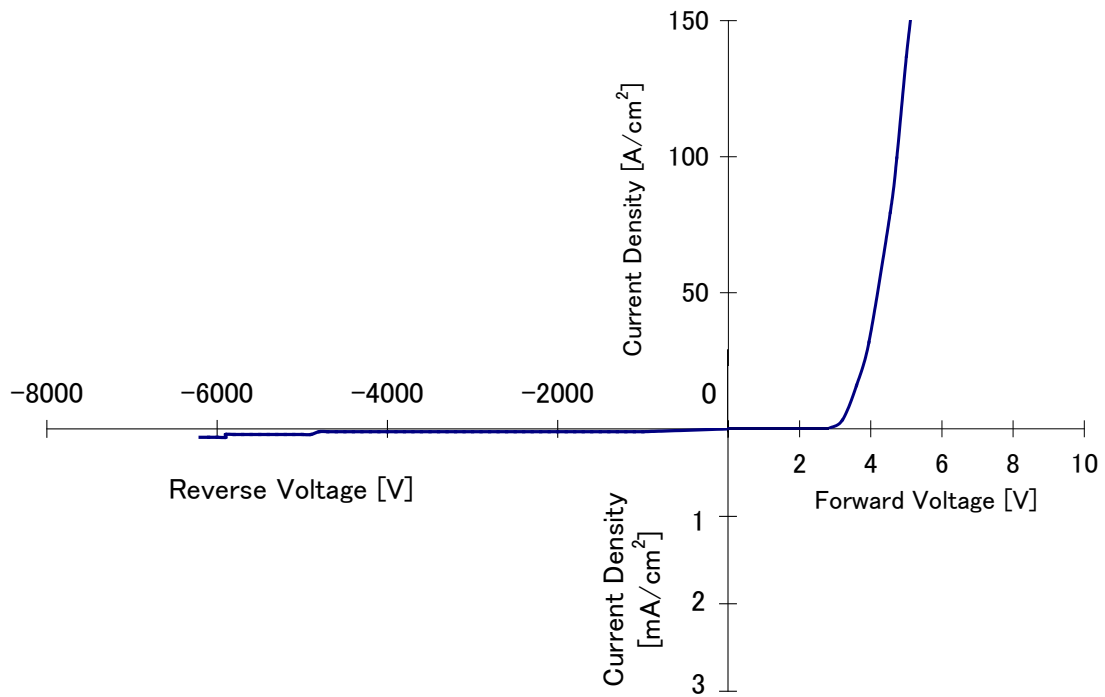


図 2.10 順逆方向の電流電圧特性(室温)

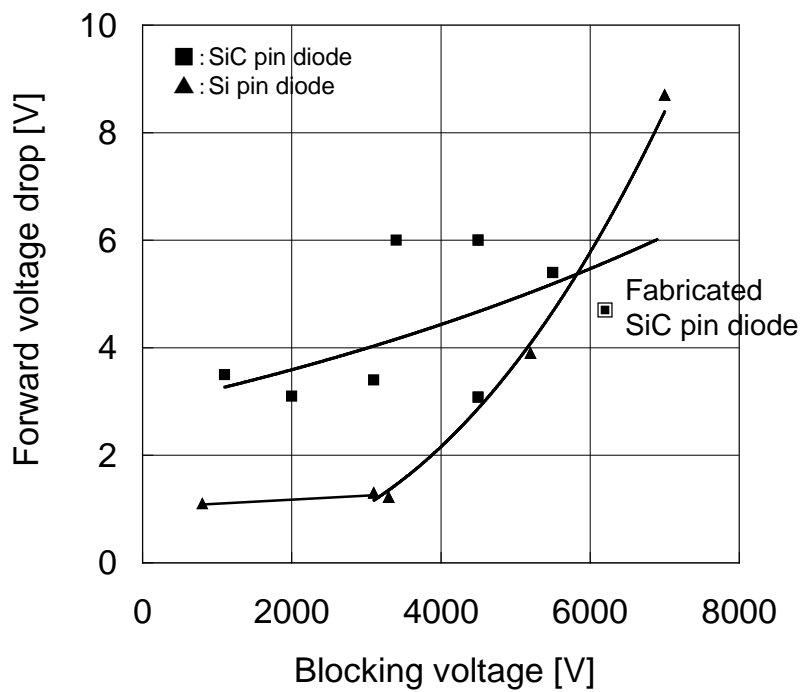


図 2.11 オン電圧(at 100A/cm<sup>2</sup>)と耐圧のトレードオフ

## 2.5.2 順方向特性の温度依存性

試作した 4H-SiC pin ダイオードの室温から 623 K までの順方向電流電圧特性を図 2.12 に示す。ダイオードを TO-3 パッケージにはんだ付けし、金ワイヤをボンディングし、測定を行った。通電電流密度が  $2000 \text{ A/cm}^2$  程度以下では、温度があがると、オン電圧が緩やかに小さくなった。これは、温度があがるとビルトインポテンシャルが小さくなることによってい  
ると考えられる。通電電流密度が  $2000 \text{ A/cm}^2$  以上では、573 K と 623 K の電流電圧特性が交差した。図 2.13 に、オン抵抗 ( $dV/dJ$ ) の温度依存性を示す。オン抵抗は電流密度電圧特性の傾きの逆数である。通電電流密度  $J$  が増加すると、 $p^+$  アノード層から  $n$ -ドリフト層へのホールの注入量が増加し伝導度変調が大きくなり、オン抵抗は大幅に低減している。また、 $100 \text{ A/cm}^2$  程度以下の低注入領域では温度上昇に伴いオン抵抗は小さくなった。これは、2.6 項に述べるように温度上昇に伴いホールのライフタイムが大きくなり、それに伴いホールの拡散長が長くなり、伝導度変調が大きくなったためと考えられる。 $1000 \text{ A/cm}^2$  程度でオン抵抗の温度依存性がほとんどなくなり、それ以上の高注入領域では、逆に温度が高くなるとオン抵抗は大きくなった。これは、キャリアの移動度は温度が高くなると大幅に小さくなり（温度の  $-2.0$  乗に比例<sup>(11)</sup>）、伝導度変調によりアノード側のドリフト層の抵抗が小さくなるよりは、カソード側のドリフト層の抵抗が大きくなることの方が支配的になるためと考えられる。

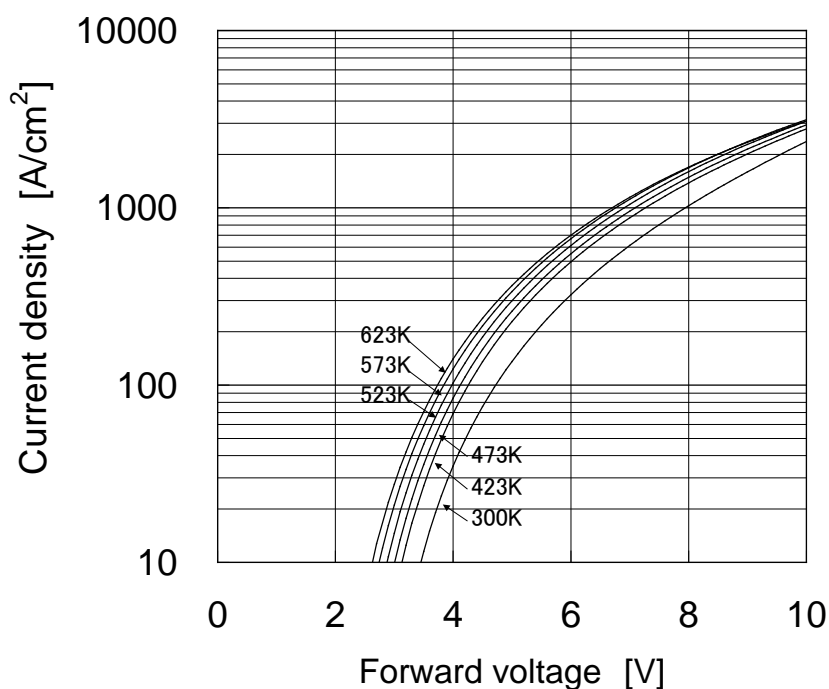


図 2.12 順方向特性の温度依存性

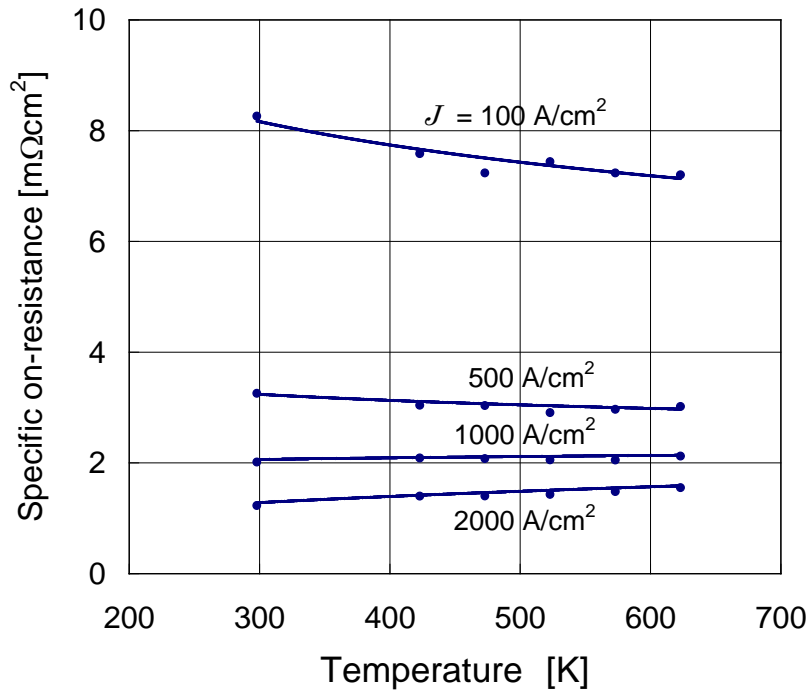


図 2.13 オン抵抗の温度依存性

図 2.14 に試作した 4H-SiC pin ダイオードと三菱電機製 Si 6 kV・1700 A 高速スイッチング用ダイオード FD2000DU-120 の、オン抵抗の通電電流密度依存性を示す。Si ダイオードのオン抵抗は、活性領域の面積をパッケージの圧接部分の面積とすることにより算出した。また、Si ダイオードは、通電電流 2000 A、電流減少率 100 A/μs、逆電圧 150 V、周囲温度 125 °C の測定条件で、逆回復時間は 10 μs である<sup>(12)</sup>。試作した 4H-SiC pin ダイオードは、通電電流 100 mA、電流減少率 17 A/μs、逆電圧 30 V、周囲温度 125 °C の測定条件で逆回復時間は 42 ns である。SiC pin ダイオードのオン抵抗は、Si ダイオードに比べ、電流密度によらず 5 倍から 10 倍小さいオン抵抗を実現している。これは、第 1 章で述べたように、SiC の場合、Si に比べ絶縁破壊電界が 8 倍から 9 倍程度大きいこと、ドリフト層の厚みを Si の約 8 分の 1 から 9 分の 1、ドリフト層の不純物濃度を 60 倍から 80 倍程度にできることから、ドリフト層の抵抗の影響が Si の場合に比べ、大幅に小さくなったためと考えられる。Si ダイオードのオン抵抗は通電電流密度を  $J$  とすると  $J^{-0.47}$ 、SiC pin ダイオードは 27 °C では  $J^{-0.60}$ 、350 °C では  $J^{-0.55}$  に依存した。これらのべき数の違いは、ドリフト層の厚みやホールのライフタイムの差によっていると考えられる。SiC pin ダイオードのべき数の絶対値は、Si ダイオードに比べ 10 % から 20 % 大きいことから、SiC pin ダイオードの方が、高電流密度領域になるほど、低オン抵抗とできることがわかる。図 2.11 のオン電圧と耐圧のトレードオフから、今回試作し

たSiC pinダイオードは、 $100 \text{ A/cm}^2$ においてもSiダイオードより低オン電圧である。また、図 2.14 よりオン抵抗はSiC pinダイオードの方が大幅に小さく、高電流密度領域では更にその差が大きくなる。したがって、試作したSiC pinダイオードは、同程度の耐圧のSiダイオードより、 $100 \text{ A/cm}^2$ 以上の電流密度で低損失であり、更に高電流密度においても低損失で使用することが可能と考えられる。

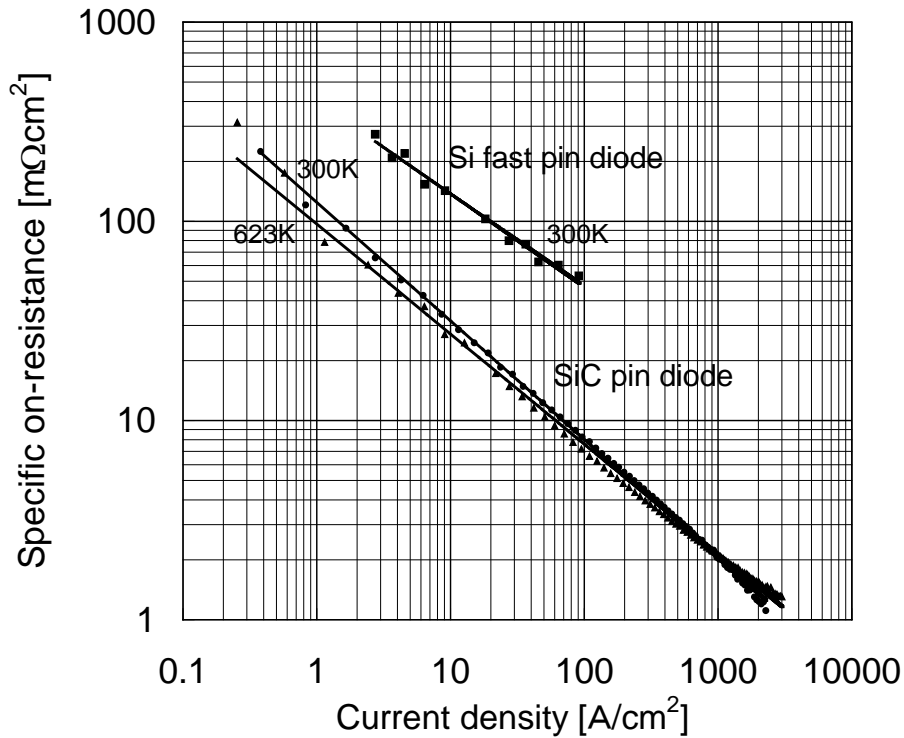


図 2.14 オン抵抗の通電電流密度依存性

## 2.6 逆回復特性

一般に、pin ダイオードでは、順方向に通電し、逆バイアスを印加してオフ状態に移行する過程において、過渡的に逆方向に電流が流れる特性がある。これは、逆バイアスが印加され、空乏層が広がり、余剰な電荷がダイオード内からはきだされるときに現れる特性であり、逆回復特性と呼ばれる。

図 2.15 に室温(300 K)から 550 K まで変化させたときの 6.2 kV SiC pin ダイオードの逆回復特性を示す。測定時の順方向電流は 100 mA、電流減少率 $-di/dt$ は  $15 \text{ A}/\mu\text{s}$ 、逆電圧  $V_R$  は 30 V である。温度が上がると逆回復時間および逆回復電荷量のいずれも増加している。これは後述するが、ホールのライフタイムの温度依存性によると考えられる。図 2.16 に 6.2 kV SiC ダイオードの逆回復時間の温度依存性を示す。参考として、日立製作所製 400 V - 2 A の

高速 Si ダイオード U06E の逆回復時間の温度依存性を示す。SiC pin ダイオードは、室温では逆回復時間が 28.5 ns であり、Si 高速ダイオード (U06E) に比べ、耐圧は 10 倍以上高いにもかかわらず、逆回復時間は Si 高速ダイオードの約 1/3 と高速である。また、SiC pin ダイオードは 550 K において逆回復時間は 63 ns であり、この値は Si ダイオード(U06E)の室温での逆回復時間より大幅に小さい値である。これは、SiC の場合、絶縁破壊電界が Si に比べ 8 倍から 9 倍大きく、ドリフト層の不純物濃度を 60 倍から 80 倍程度高くできるため、ドリフト層の厚みを約 8 分の 1 から 9 分の 1 にできるので、蓄積される少数キャリアが少なくなるためと考えられる。

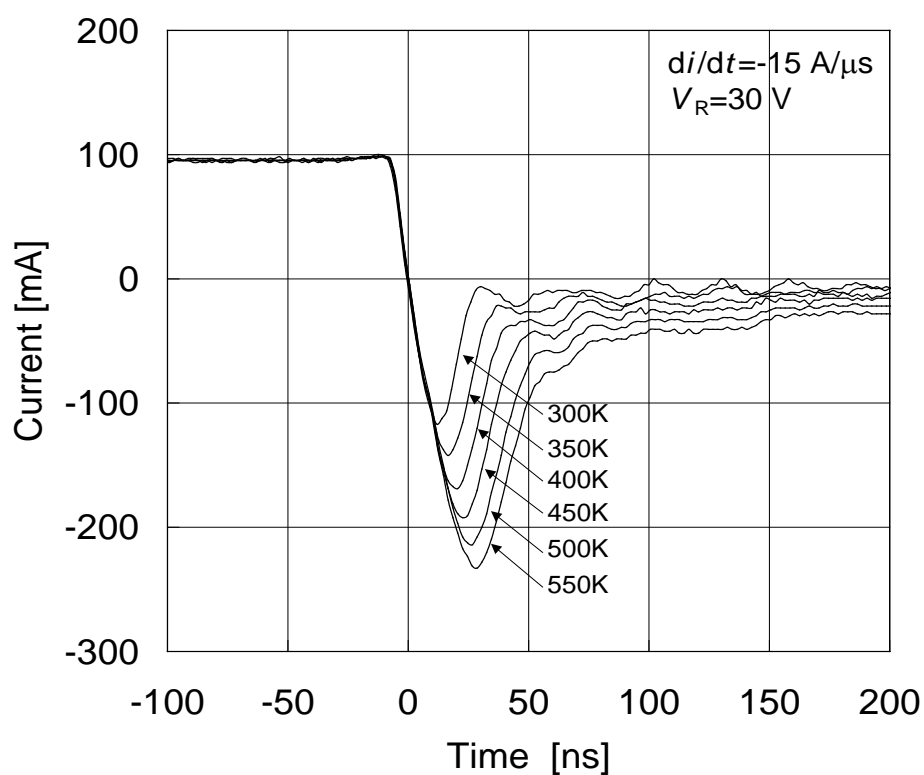


図 2.15 逆回復特性の温度依存性

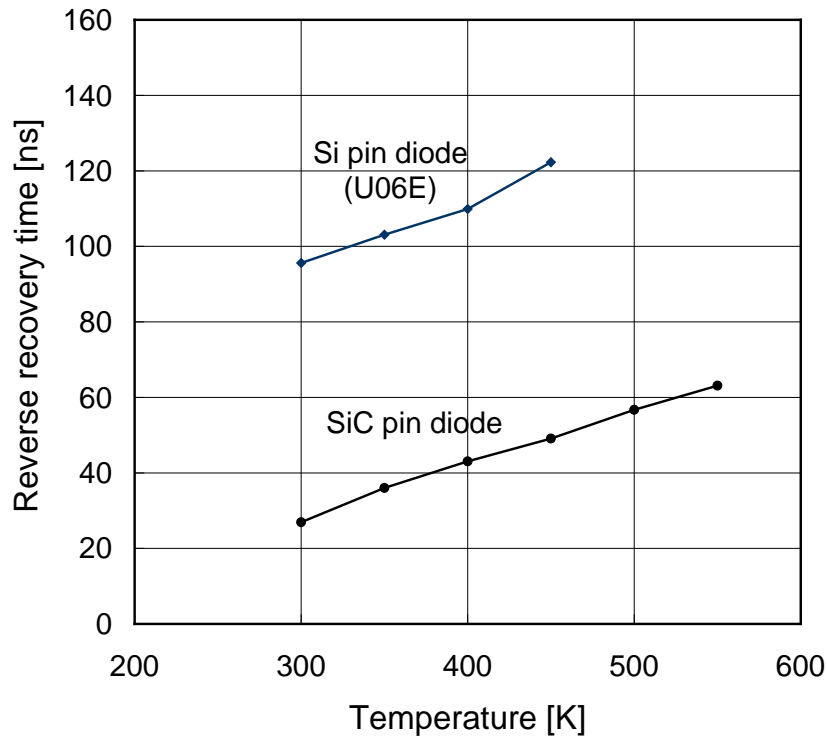


図 2.16 逆回復時間の温度依存性

図 2.17 には，SiC pin ダイオードおよび 400 V-2 A Si 高速ダイオード(U06E)の逆回復波形から求めたキャリアライフタイム $\tau$ の温度依存性を示す．ただし，SiC ダイオードは高注入状態と考えられるため，ホールと電子のライフタイムは同等と考えられる．ここで，順方向電流を  $I_F$ ，逆電流を  $I_R$ ，逆電流ピーク値の 25 %となる時間を  $t_{rr}$  とすると，ドリフト層の厚さが拡散長より厚い場合，キャリアのライフタイム $\tau$ は，

$$\tau \propto 2(I_R/I_F) \cdot t_{rr} \quad (2.1)$$

と表せる<sup>(13)</sup>．キャリアライフタイム $\tau$ は，温度 $T$ が高くなると指数関数的に大きくなり，室温でのキャリアライフタイム $\tau_{(300\text{K})}$ を用いて導出すると(2.2)式となる．

$$\tau = \tau_{(300\text{K})} \cdot \exp\left\{2.67\left(\frac{T}{300} - 1\right)\right\} \quad (2.2)$$

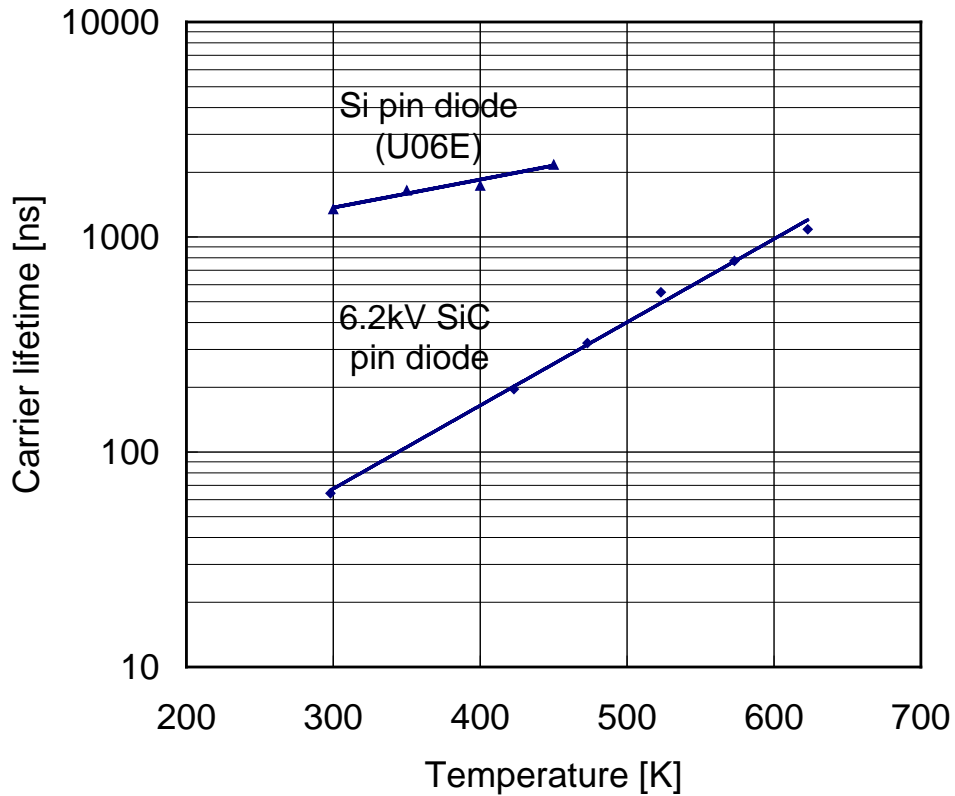


図 2.17 pin ダイオードのキャリアライフタイムの温度依存性

SiC pin ダイオードのキャリアライフタイムは、Si pin ダイオードに比べ、室温では 64 ns と大幅に小さいが、600 K になるとそのライフタイムは約 1  $\mu$ s, 623 K では 1.09  $\mu$ s となり、Si の室温の値とほぼ同等になった。

キャリアの拡散長  $L$  は、その拡散係数を  $D$  とすると、

$$L = \sqrt{D\tau} \quad (2.3)$$

と表せる。アインシュタインの関係は、

$$\frac{D}{\mu} = \frac{k_B T}{e} \quad (2.4)$$

$\mu$  : キャリア移動度       $k_B$  : ボルツマン定数 (=  $1.38 \times 10^{-23}$  J/K)

$e$  : 電気素量

と表される。ここで、4H-SiC のホール移動度  $\mu_p$  は室温で約 100  $\text{cm}^2/\text{Vs}$  であり、 $T^{-2.0}$  に比例

するので<sup>(11)</sup>,

$$\mu_p = 100 \left( \frac{T}{300} \right)^{-2.0} \quad (2.5)$$

と表せる。(2.2)式から(2.5)式を用いて、ホールの拡散長  $L_p$  を導出すると,

$$L_p = L_{p(300K)} \cdot \left( \frac{300}{T} \right)^{\frac{1}{2}} \cdot \exp \left\{ 1.335 \left( \frac{T}{300} - 1 \right) \right\} \quad (2.6)$$

$L_{p(300K)}$  : 300 K でのホールの拡散長

が得られる。図 2.18 に導出した  $L_p$  の温度依存性を示す。 $L_p$  は、室温で 4  $\mu\text{m}$ 、623 K では 11.7  $\mu\text{m}$  となった。一般に、伝導度変調を起こす領域は、ホールのドリフト層への注入量にも依存すると考えられる。試作した 4H-SiC pin ダイオードのドリフト層の厚さは 50  $\mu\text{m}$  であることから、室温の低注入時には、ドリフト層の一部だけで伝導度変調が起こっていると推定されるが、623 K ではホールの拡散長の温度依存性より室温時の約 3 倍の領域で伝導度変調が生じていると考えられる。

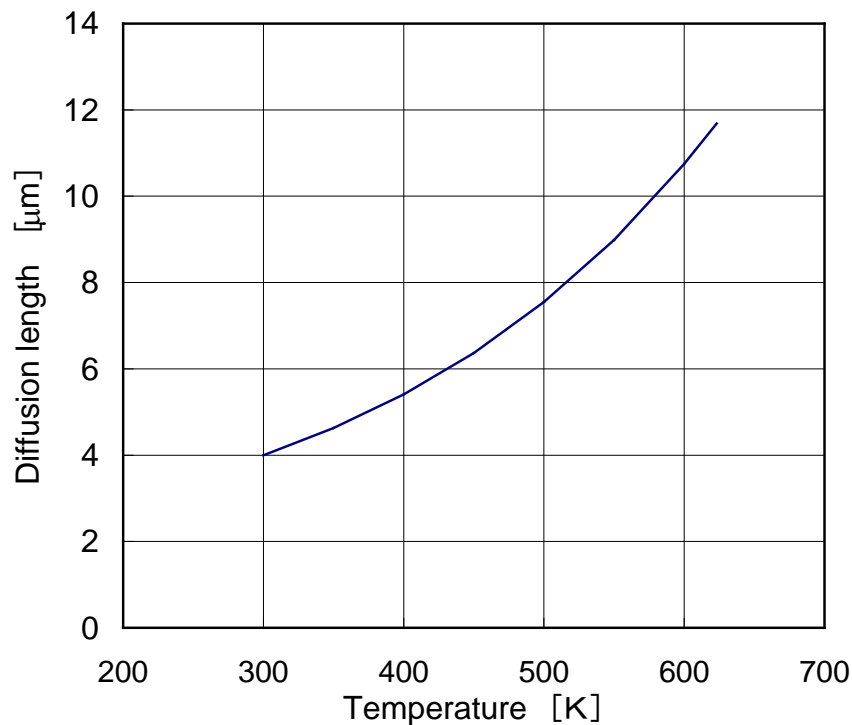


図 2.18 拡散長の温度依存性



図 2.19 に試作した 4H-SiC pin ダイオードの逆回復損失の温度依存性を示す。逆回復損失は、逆電流がピークを迎え逆電圧が上昇し始めてから逆回復時間までの損失と規定される。電流減少率 $-di/dt$ は  $10 \text{ A}/\mu\text{s}$ 、逆電圧  $V_R$  は  $30 \text{ V}$  である。逆回復損失は、温度とともに線形に増加し、 $398 \text{ K}$  ( $125 \text{ }^\circ\text{C}$ ) では  $0.1 \text{ mJ}/\text{cm}^2$  となった。図 2.20 に室温での逆回復損失の逆電圧依存性を示す。電流減少率 $-di/dt$ は  $10 \text{ A}/\mu\text{s}$  である。ただし、用いた測定装置の最大逆電圧は  $400 \text{ V}$  であり、 $400 \text{ V}$  以下の電圧における測定に止めている。逆回復損失の変化は、逆電圧の変化にほぼ比例している。ここで、B 社製  $4.5 \text{ kV}$ - $2000 \text{ A}$  IGBT モジュールのフリーホイーリングダイオードの逆回復損失(通電電流  $2000 \text{ A}$ 、逆電圧  $2600 \text{ V}$ 、ジャンクション温度  $398 \text{ K}$  ( $125 \text{ }^\circ\text{C}$ )) と比較するために SiC pin ダイオードに関して同一条件での逆回復損失の導出を試みる。SiC pin ダイオードの  $398 \text{ K}$ 、逆電圧  $30 \text{ V}$  でのリカバリー損失は、 $0.1 \text{ mJ}/(\text{cm}^2 \cdot \text{Pulse})$  であり、逆回復損失の変化が逆電圧の変化に比例するとして、逆電圧  $2600 \text{ V}$  時では  $8.7 \text{ mJ}/\text{cm}^2$  となった。上記  $4.5 \text{ kV}$ - $2000 \text{ A}$  IGBT のフリーホイーリングダイオードの逆回復損失は  $250 \text{ mJ}/\text{cm}^2$  であり、SiC pin ダイオードの逆回復損失は、その約  $1/29$  となった。したがって、SiC pin ダイオードでは、大幅な逆回復損失の低減が図れていることがわかった。

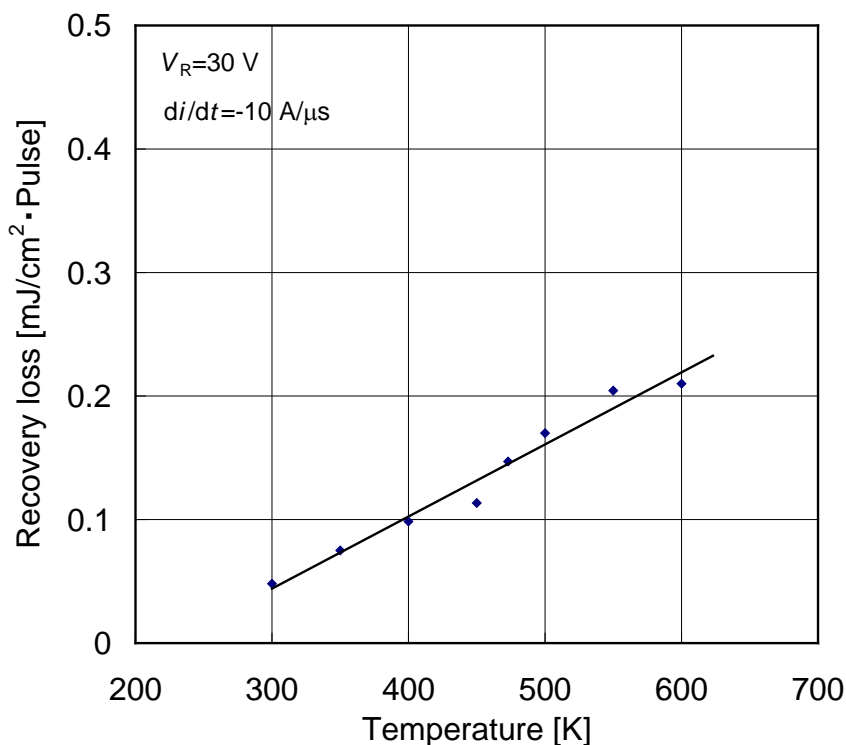


図 2.19 逆回復損失の温度依存性

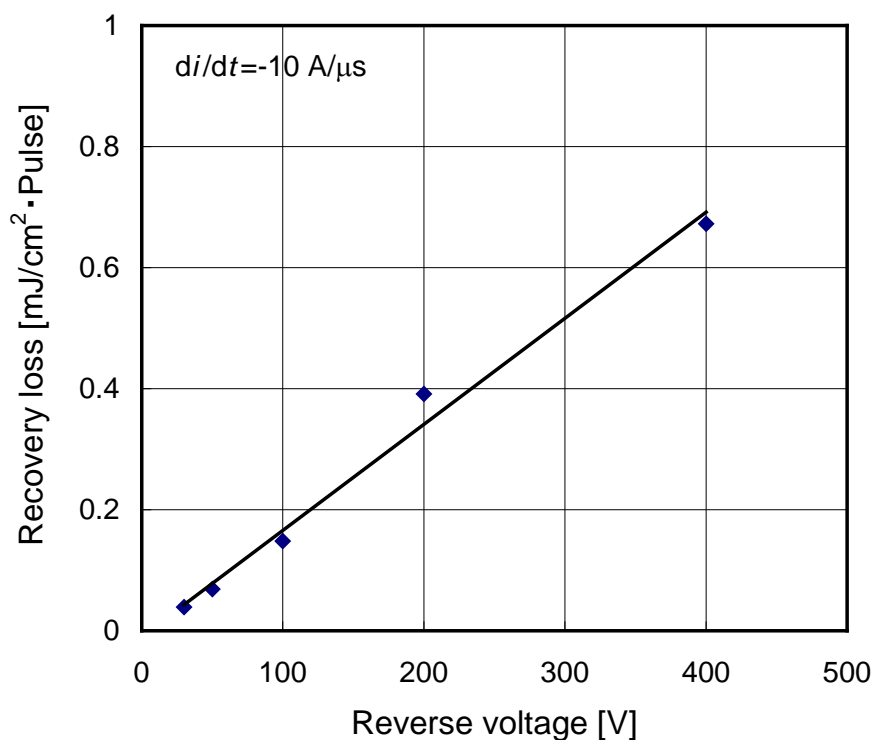


図 2.20 逆回復損失の逆電圧依存性（室温）

## 2.7 結言

4H-SiC を用いて、高耐圧 pin ダイオードを設計・試作し、その順方向および逆方向の電流電圧特性、および逆回復特性を測定評価した。以下に得られた主な結果をまとめる。

- (1) 4H-SiC pin ダイオードの p 型アノード層にはエピタキシャル膜，ターミネーションには浅いメサ状の底面に p 型領域をイオン注入により形成した新構造のメサ JTE を採用した。メサ JTE は，解析により最適不純物濃度を特定し，メサコーナー部を覆うように形成することにより，その部分での電界集中を緩和し，室温において，6.2 kV の世界最高耐圧，4.7 V (at 100 A/cm<sup>2</sup>) の低いオン電圧を実現した。逆回復時間は，28.5 ns であった。また，試作した SiC pin ダイオードは，Si pin ダイオードの耐圧とオン電圧(100 A/cm<sup>2</sup>)のトレードオフを越えたものである。
- (2) SiC pin ダイオードでは，ホールが高注入状態になると，伝導度変調によりオン抵抗は大幅に低減し，623 K まで温度をあげても 1000 A/cm<sup>2</sup> 以下ではオン抵抗の上昇はみられなかった。さらに高注入状態になると，温度上昇によりオン抵抗は増加した。
- (3) オン抵抗は，Si pin ダイオードに比べ 5 倍から 10 倍小さく，高電流密度領域でも使用可

能であることを示した。

- (4) 試作した 6.2 kV SiC pin ダイオードの高温での逆回復時間は、室温での値より大幅に遅くなるが、550 K でも逆回復時間 63 ns の高速性を維持できていることを明らかにした。さらに、キャリアライフタイムを導出し、室温では 64 ns、623 K では Si 高速ダイオードと同等の 1.09  $\mu$ s となることを明らかにした。また、逆回復損失は、4.5 kV Si ダイオードに比べ、約 1/29 の損失と推定した。

以上のことから、新構造のターミネーションを 4H-SiC pin ダイオードに適用することにより、数 kV 以上の高耐圧かつ低オン電圧、さらに高速な SiC pin ダイオードを開発できた。SiC pin ダイオードを高耐圧電力変換装置へ適用することにより、その低損失化および小型化を図ることができると考えられる。

[ 参考文献 ]

- (1) V. J Jennings, A. Sommer, and H. Chang, J. Electrochem. Soc. 113, pp.728(1966).
- (2) W. Von Muench and I. Phaffeneder, "Epitaxial deposition of silicon carbide from silicon tetrachloride and hexane", Thin Solid Films 31, pp.39 (1976).
- (3) S. Yoshida, E. Sakuma, H. Okumura, S. Misawa, and K. Endo, "Heteroepitaxial growth of SiC polytypes", J. Appl. Phys. 62, pp.303 (1987).
- (4) N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino and H. Matsunami, "Step-Controlled VPE Growth of SiC Single Crystals at Low Temperatures", Extended Abstracts.19<sup>th</sup> Conf. Solid State Devices and Materials (Tokyo), pp.227 (1987).
- (5) A. Itoh, H. Akita, T. Kimoto, and H. Matsunami, "High-quality 4H-SiC homoepitaxial layers grown by step-controlled epitaxy", Appl. Phys. Lett. 65 (11), 12 Sep. 1994.
- (6) O. Kordina, J. P. Bergman, A. Henry, E. Janzen, S. Savage, J. Andre, L. P. Ramberg, U. Lindefelt, W. Hermansson, and K. Bergman, "A 4.5kV 6H silicon carbide rectifier", Appl. Phys. Letter, 67, p.1561 (1995).
- (7) K.Rottner, A. Schoner, M. Frischholz, J.-O. Svedberg, U. Gustfsson, A. Ellison, E. Janzen, and O. Kordina, "Design and Implementation of a 3.4kV Ion Implanted PIN-Rectifier in 4H-SiC", Int. Conf. SiC, III-N and Related Materials, p.136 (1997).
- (8) H.Mitlehner, P. Friendrichs, D. Peters, R. Schorner, U. Weinert, B. Weis, and D. Stephani, "Switching behavior of fast high voltage SiC pn-diodes", Proceedings of Int. Conf. on Power Semi. Devices & ICs, p.127 (1998).
- (9) Y. Sugawara, K. Asano, R. Singh, and J.W.Palmour, "6.2kV 4H-SiC pin Diode with Low Forward Voltage Drop", Proceedings of ICSCRM'99, pp.170-173(1999).
- (10) 大谷昇, 高橋淳, 勝野正和, 矢代弘克, 金谷正敏, 「大口径 SiC 単結晶基板の開発」, 電子情報通信学会論文誌, C-II Vol. J81-C-II, No.1, pp.112-121 (1998).
- (11) A. Itoh, T. Kimoto and H. Matsunami, "Efficient Power Schottky Rectifiers of 4H-SiC", Proceedings of ISPSD'95, pp.101-106 (1995).
- (12) 「三菱電機半導体データブック 大電力半導体/スタック編」(1997).
- (13) B. J. Baliga, "MODERN POWER DEVICES", JOHN WILEY & SONS, pp.411.

## 第3章 高耐圧SiC MOSFET ( SEMOSFET ) の開発

### 3.1 緒言

MOSFET は半導体表面に薄い絶縁物をはさみゲート電極をつけたスイッチング素子である。MOSFET の入力回路の直流抵抗は無窮大に近いので、ゲート回路が簡略であり、Si MOSFET はあらゆる分野で使用されている。しかし、Si MOSFET のオン抵抗は、耐圧が高くなると大きくなり、耐圧 1.5 kV の MOSFET では、 $9 \Omega$  ( $I_d = 2 \text{ A}$ ) と大きい。したがって、それ以上の耐圧の MOSFET は製品化されていないのが実状である。

4H-SiC の場合は、Si に比べて絶縁破壊電界が約 8 倍大きく素子の高耐圧化・低損失化に優れ、さらにエネルギーギャップが 3.2 eV (4H-SiC) と Si の約 3 倍大きく、ドリフト層の厚さを Si 素子の場合に比べ、約 1/8 に、不純物濃度は約 60 倍にできるため、高耐圧 SiC FET のオン抵抗は Si FET に比べ約 1/500 にできると期待されている<sup>(1)</sup>。このため、SiC FET の開発が国内外で進められ、最近では Si FET の理論限界を超える、低オン抵抗の優れたトレードオフを有する SiC FET が報告され始めてきている<sup>(2),(3),(4),(5),(6)</sup>。しかし、従来の反転型 4H-SiC MOSFET の場合、反転層のチャネル移動度は  $10 \text{ cm}^2/\text{Vs}$  以下と小さく、オン抵抗は大きかった。それは、バンドギャップ内の伝導帯近傍に界面準位が多く存在し、そこにトラップされる電子によるクーロン散乱が原因といわれている<sup>(7)</sup>。そこで、蓄積型のチャネル<sup>(2),(4),(6),(8),(9)</sup> や埋込チャネル構造<sup>(10)</sup> を用いたり、(1120) 面上に MOSFET を形成したりすることにより<sup>(11)</sup>、チャネル抵抗の低減が図られている。本章では、埋込ゲート構造を有し、低チャネル抵抗化を図った新構造の SEMOSFET ( Static channel Expansion MOSFET )<sup>(12)</sup> の素子構造、動作原理およびその電気的特性について述べる。

### 3.2 SEMOSFET の構造と動作原理

図 3.1 は、4H-SiC SEMOSFET の断面構造である。SEMOSFET は、MOS 構造と p 型埋込領域を有し、横型および縦型のチャネルをそれらによって形成する蓄積型 FET である。図 3.2 の ACCUFET<sup>(13)</sup> も同様の構造であるといえる。しかし、ACCUFET の場合は、p 型埋込領域とソースは接続され同電位であるが、SEMOSFET は、MOS 構造と p 型埋込領域をそれぞれゲートとする蓄積型 MOSFET および JFET の融合型 FET である。SEMOSFET の p 型埋込領域は、p 型ゲートコンタクト領域に接続し、埋込ゲート  $G_p$  として用いる。SEMOSFET は、 $G_p$  の電位がソースに対し同電位の場合は、ビルトイン電圧により p 型埋込領域およびゲートコンタクト領域の周囲に空乏層を広げ、その空乏層によりチャネルを遮断し、高電圧に耐えることを期待できる。また、MOS ゲート  $G_m$  とソース S 間、および  $G_p$  とソース S 間に正の電圧を印加すると、MOS ゲート直下に蓄積層が形成され、さらに、p 型埋込領域周辺の空乏層が狭ま

りチャンネルが広がる。その結果、電流はドレインDからドリフト層、p型埋込領域とゲートコンタクト領域間の縦型チャンネル領域からMOSゲート下の横型チャンネルを通過して、ソースSへと流れ、SEMOSFETはターンオンする。

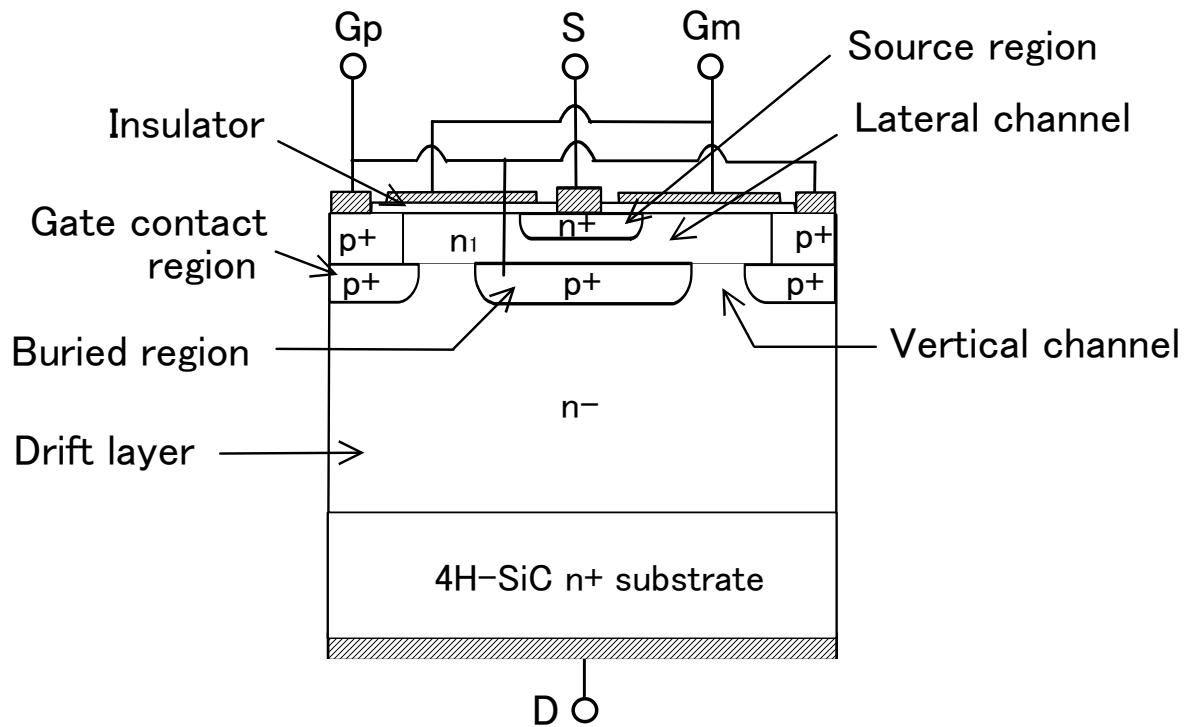


図 3.1 4H-SiC SEMOSFET の断面構造

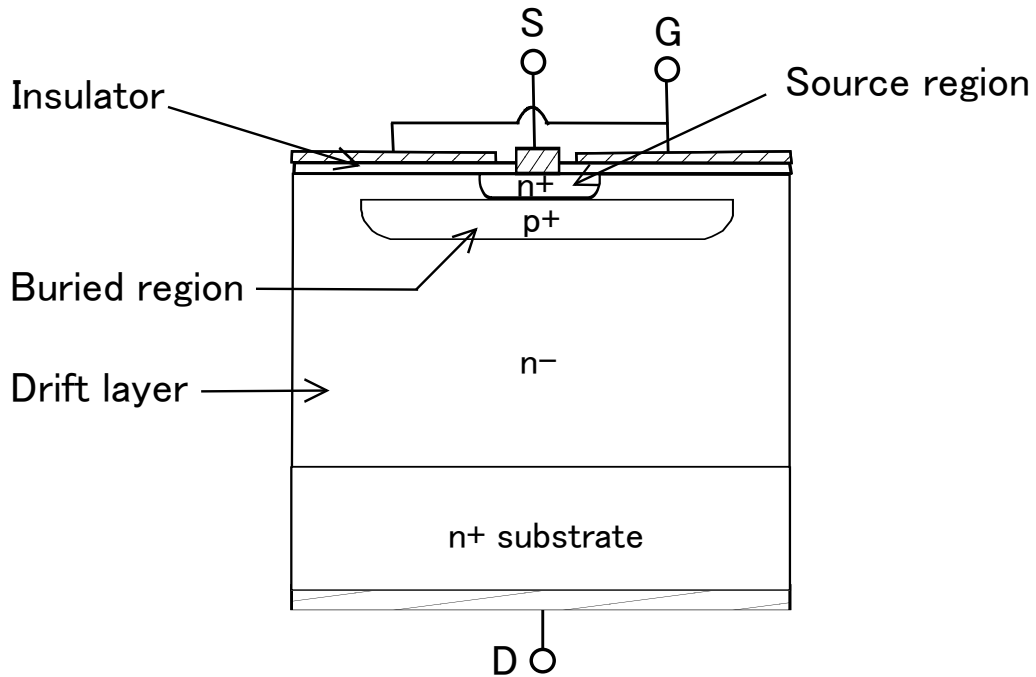


図 3.2 ACCUFET の断面構造

4H-SiC SEMOSFET の横型チャンネル領域の導電率とオン抵抗の埋込ゲート電圧による効果、および耐圧とオン抵抗のチャンネル不純物濃度依存性について解析した結果を、図 3.3 から図 3.5 に示す。シミュレータは ISE 社の DESSIS である。シミュレーションで用いた 4H-SiC SEMOSFET のドリフト層は、不純物濃度  $9 \times 10^{14} \text{ cm}^{-3}$ 、厚さ  $50 \mu\text{m}$  であり、p 型埋込領域上の横型チャンネル層の厚みは  $0.3 \mu\text{m}$  である。温度は  $300 \text{ K}$  とした。

図 3.3 に 4H-SiC SEMOSFET の横型チャンネル領域の深さ方向の導電率の解析結果を示す。解析により求めた導電率は、p 型埋込領域上の横型チャンネルの中間点での値である。また、MOS チャンネル移動度は  $2 \text{ cm}^2/\text{Vs}$  とした。ACCUFET の場合、p 型埋込領域はソース S と接続され同電位となっているため、MOS ゲート G のみでスイッチングする。そのため、ACCUFET は SEMOSFET において、 $V_{Gp} = 0 \text{ V}$  とした場合と同じと考えることができる。 $V_{Gp} = 0 \text{ V}$ 、 $V_{Gm} = 20 \text{ V}$  とした場合、すなわち ACCUFET モードのとき、MOS ゲート直下に蓄積層が形成され、電子密度はそこで大きくなるために、図 3.3 に示すように、数 nm 程度の狭い領域で導電率が高くなる。すなわち、電流は MOS 界面近傍の極薄い蓄積層のみを流れると考えられる。導電率は電子密度とチャンネル移動度の積に比例するので、MOS チャンネル移動度が小さければ、導電率が小さくなり、オン抵抗は高くなると考えられる。一方、SEMOSFET の場合は、埋込ゲート電圧を上げることが可能であり、 $V_{Gp} = 2.5 \text{ V}$  とすると、

MOS 直下に蓄積層が形成され、そこで電子密度が大きくなるとともに、p 型埋込領域周辺の空乏層が縮まり、高移動度のバルクにチャンネルが広がる。したがって、 $V_{Gp} = 2.5 \text{ V}$  とした SEMOSFET では、図 3.3 に示すように導電率の高い領域が MOS ゲート直下の蓄積層からさらに深い領域まで達し、チャンネル抵抗を低くできることがわかる。また、内部で導電率が極大点を有している。これは、導電率は電子密度と電子の移動度の積に依存し、電子密度と電子移動度では深さ方向の分布が異なるためと考えられる。すなわち、正の MOS ゲート電圧を印加すると蓄積効果により MOS 界面に電子が蓄積するが、内部にいくにしたがいその密度は指数関数的に減少する。一方、電子の移動度は MOS 界面付近では界面により電子が散乱されたり、トラップされたりするため小さくなるが、MOS 界面から離れるにしたがいその影響を受けなくなり、電子の移動度は大きなバルクの移動度に近づく。これらのことから、図 3.3 のように導電率は極大点を有すると考えられる。また、埋込ゲート  $G_p$  に正のバイアスを印加すると、p 型埋込領域と p 型ゲートコンタクト領域間の空乏層も狭まり、チャンネルが広がるため、チャンネル抵抗がさらに小さくなることが期待される。

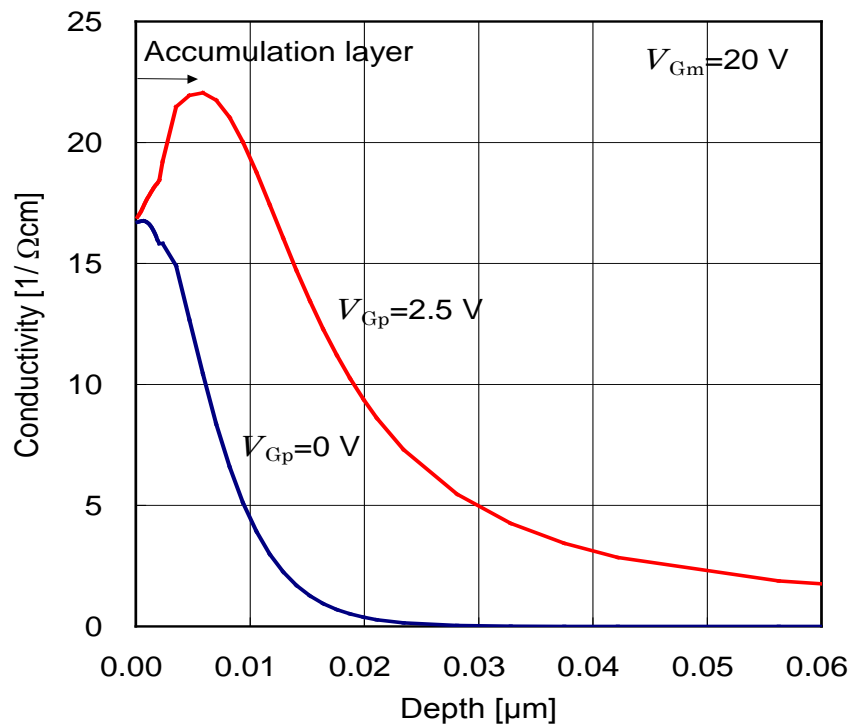


図 3.3 横型チャンネル領域の深さ方向の導電率の解析結果

図 3.4 に 4H-SiC SEMOSFET の MOS チャネル移動度によるオン抵抗  $R_{onS}$  の解析結果を示す。  $V_{Gp} = 0$  V とした ACCUFET モードでは、MOS チャネル移動度  $\mu_{ch(MOS)}$  が  $20 \text{ cm}^2/\text{Vs}$  以下になるとオン抵抗は  $100 \text{ m}\Omega\text{cm}^2$  以上となり、さらに MOS チャネル移動度が小さくなると、大幅にオン抵抗が増大している。一方、  $V_{Gp} = 2.5$  V とすると、MOS チャネル移動度が  $4 \text{ cm}^2/\text{Vs}$  程度と小さくても、オン抵抗は  $70 \text{ m}\Omega\text{cm}^2$  であり、大幅なオン抵抗の増大は見られない。図 3.5 に 4H-SiC SEMOSFET の耐圧  $BV$  およびオン抵抗  $R_{onS}$  のチャネル不純物濃度  $n_1$  依存性の解析結果を示す。MOS チャネル移動度  $\mu_{ch(MOS)}$  をパラメータにしている。SEMOSFET は、チャネル領域の表面ばかりでなくバルクにも電流が流れるため、オン抵抗はチャネル不純物濃度  $n_1$  に依存し、  $n_1$  が高くなるとオン抵抗は低下している。しかし、MOS チャネル移動度が大きくなるとその効果は小さくなっている。このことは、MOS チャネル移動度が小さい場合は、大部分の電流はバルクを流れるため  $n_1$  に比較的依存するが、MOS チャネル移動度が大きくなると、蓄積層の導電率がバルクより高くなり、大部分の電流が蓄積層を流れるためと考えられる。また、MOS チャネル移動度が大きくなると、  $n_1$  が小さくてもオン抵抗を小さくでき、製作時の  $n_1$  のバラツキによるオン抵抗の増大あるいはそのバラツキを抑えることが可能である。  $n_1$  を  $1.5 \times 10^{16} \text{ cm}^{-3}$  より高濃度にすると、耐圧は急激に低下している。したがって、耐圧とオン抵抗のトレードオフおよび  $n_1$  のプロセスばらつきを考慮して、  $n_1$  を選定する必要がある。4H-SiC SEMOSFET では、MOS チャネル移動度が  $10 \text{ cm}^2/\text{Vs}$  と小さくても、  $n_1$  が  $9 \times 10^{14} \text{ cm}^{-3}$  以上、  $1 \times 10^{16} \text{ cm}^{-3}$  以下の範囲において、耐圧  $6.5 \text{ kV}$  以上、オン抵抗  $70 \text{ m}\Omega\text{cm}^2$  以下が理想的には実現可能である。



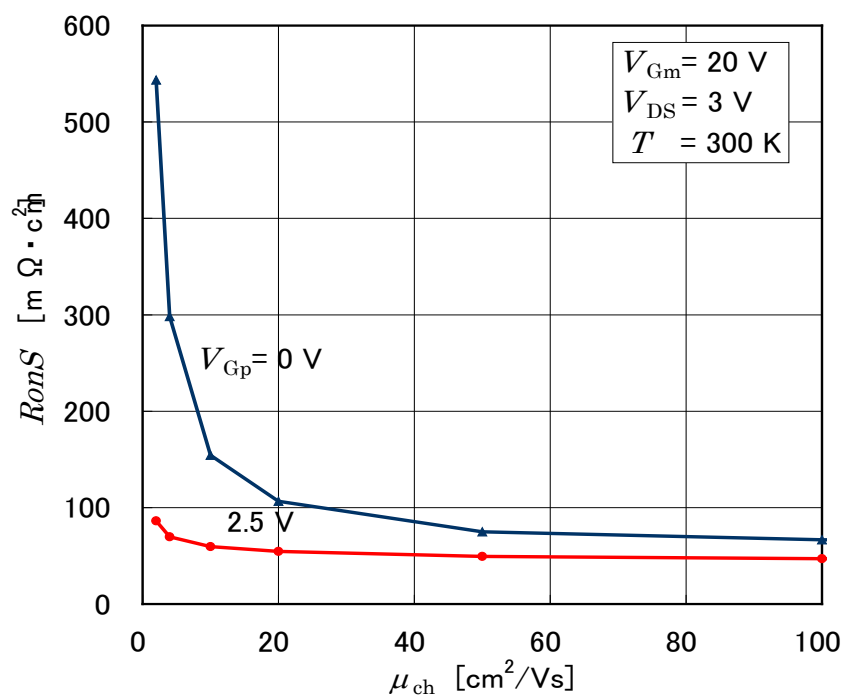


図 3.4 MOS チャネル移動度によるオン抵抗  $R_{onS}$  の解析結果

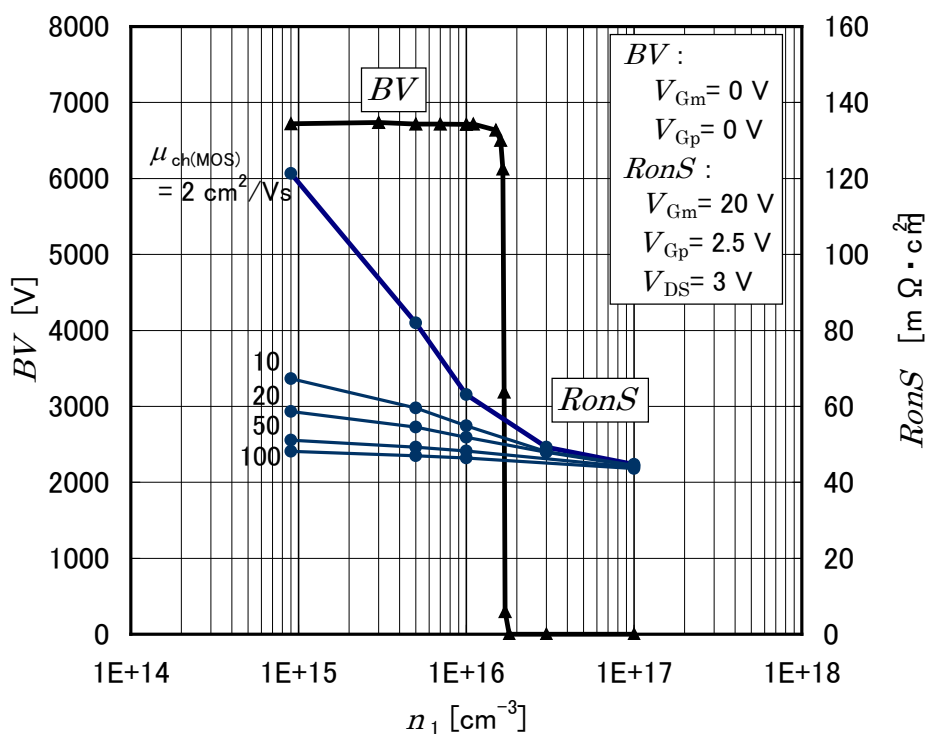


図 3.5 MOS チャネル移動度によるオン抵抗  $R_{onS}$  と耐圧  $BV$  の  
チャネル不純物濃度  $n_1$  依存性の解析結果

### 3.3 試作

試作した 4H-SiC SEMOSFETには、マイクロパイプ密度 30 個/cm<sup>2</sup>以下、不純物濃度  $8 \times 10^{19} \text{cm}^{-3}$  の n<sup>+</sup> 4H-SiC 基板を使用した。ドリフト層は、ホットウォールCVD<sup>(14)</sup>により、不純物濃度  $7 \times 10^{14} \text{cm}^{-3}$ 、厚さ 60  $\mu\text{m}$  エピタキシャル成長することにより形成した。p型埋込領域は、Alのイオン注入により選択的に形成した。その上に横型チャンネル領域となるn型の薄いエピタキシャル膜を形成し、さらに最上面に厚さ 80 nmの酸化膜を形成しMOS構造にした。ソース領域は、窒素をイオン注入することにより形成し、その上にソース電極を形成した。ターミネーションには、第2章で述べた 6.2 kV 4H-SiC pinダイオードで開発したメサJTEを採用した。図 3.6 は試作した 4H-SiC SEMOSFETの写真である。チップサイズは 1.1 mm  $\times$  1.1 mm であり、活性領域の面積は  $3.66 \times 10^{-3} \text{cm}^2$  である。SEMOSFETのセル構造は、ソース領域の周囲をチャンネル領域が取り囲み、さらにp型埋込領域およびゲートコンタクト領域により挟まれた縦型チャンネルがその周囲を取り囲む正方形のパターンであり、セルサイズは 28  $\mu\text{m} \times 28 \mu\text{m}$  である。このセルパターンはストライプ状のセルパターンに比べ、面積効率が良いため、チャンネル領域の抵抗を低減できると考えられ、低いオン抵抗を期待できる。

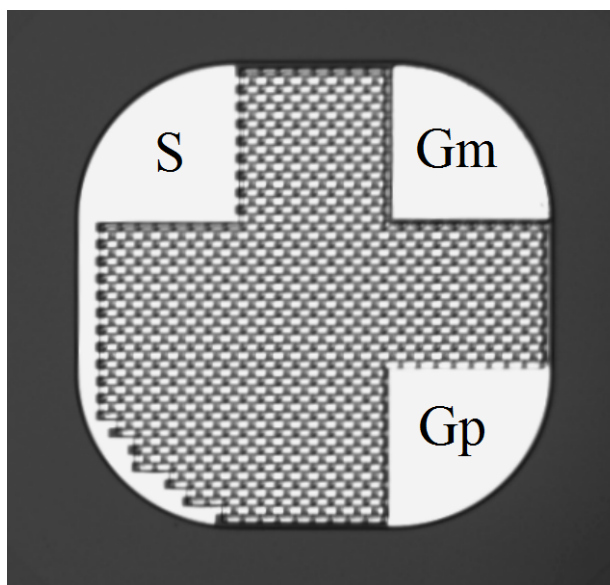


図 3.6 4H-SiC SEMOSFET の写真

### 3.4 耐圧特性および出力特性

試作した 4H-SiC SEMOSFET の室温での静特性を図 3.7 から図 3.9 に、静特性の温度依存性を図 3.10 および図 3.11 に示す。図 3.7 には耐圧特性を示す。この特性は、印加する直流電圧をステップ状に増加させることにより測定した。  $V_{Gm} = V_{Gp} = 0 \text{ V}$  とした耐圧は  $5020 \text{ V}$  を実現できている。しかし、この耐圧は第 5 章で述べる理想耐圧の約 63%であった。これは  $Gp$ -ドレイン間の耐圧も同じ程度であったことから、ターミネーションに用いたメサ JTE の不純物濃度が最適値からはずれていることによると考えられる。

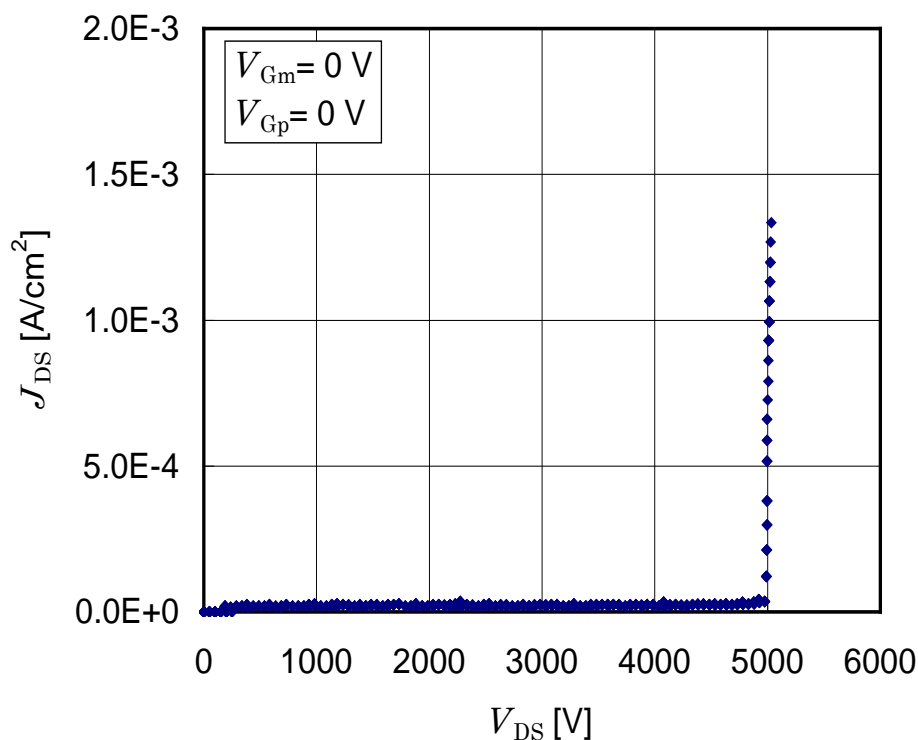


図 3.7 室温での耐圧特性

図 3.8 に 4H-SiC SEMOSFET の出力特性を示す。  $V_{Gp} = 2.0 \text{ V}$  での MOS ゲート電圧のしきい値電圧は  $1.3 \text{ V}$  である。同一チップ上に作製した横型 MOSFET を用いて測定したチャネル移動度は  $15 \sim 20 \text{ cm}^2/\text{Vs}$  であった。この移動度は従来の反転型チャネルの移動度より大きい。これは、蓄積型チャネルの方が反転型チャネルより、MOS 界面の表面準位の影響を受けにくいためだと考えられる<sup>②</sup>。埋込ゲート  $Gp$  に  $2.0 \text{ V}$ 、MOS ゲート  $Gm$  に  $20 \text{ V}$  を印加すると、ドレイン・ソース間電圧  $V_{DS} = 2 \text{ V}$  にて出力電流密度は  $22.8 \text{ A}/\text{cm}^2$  となり、オン抵抗は  $88 \text{ m}\Omega\text{cm}^2$  となった。埋込ゲート  $Gp$  には、 $2.0 \text{ V}$  と 4H-SiC のビルトイン電圧より十分低

い電圧を印加しているため、埋込ゲート  $G_p$  からの注入電流はほとんどなく、伝導度変調を起こさず、ユニポーラ動作をしていると考えられる。  $V_{DS} = 4 \text{ V}$  のときは、出力電流密度は約  $37 \text{ A/cm}^2$  となり、B社製  $4.5 \text{ kV Si-IGBT}$  に比べ、やや大きい。

図 3.9 に試作した  $4\text{H-SiC SEMOSFET}$  の出力特性の  $V_{Gp}$  依存性を示す。ただし、 $V_{Gm} = 20 \text{ V}$  とした。  $V_{Gp} = 0 \text{ V}$  とした ACCUFET モードでは、 $V_{DS} = 3 \text{ V}$  において  $6.4 \text{ A/cm}^2$  の電流密度しか出力できていないが、 $V_{Gp} = 2.5 \text{ V}$  とすることにより、 $33 \text{ A/cm}^2$  となり、約 5.2 倍の出力が得られた。これは、SEMOSFET の特徴である埋込ゲート周辺の空乏層が縮められ、チャネルが拡大されることにより、チャネル抵抗が低減される効果によるものである。さらに、 $V_{Gp}$  が高くなるほど、出力電流は  $V_{DS}$  が高くなるまで飽和していない。この点についても、埋込ゲートの電圧印加によるチャネル抵抗の低減効果であるといえる。

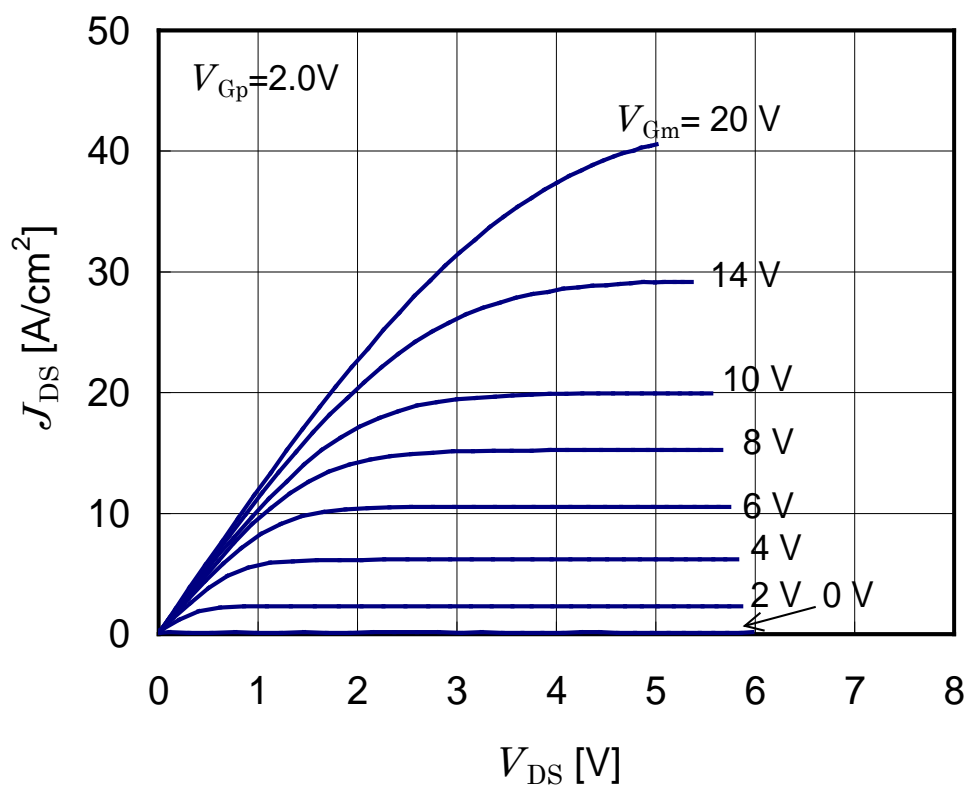


図 3.8 室温での出力特性 ( $V_{Gp} = 2.0 \text{ V}$ )

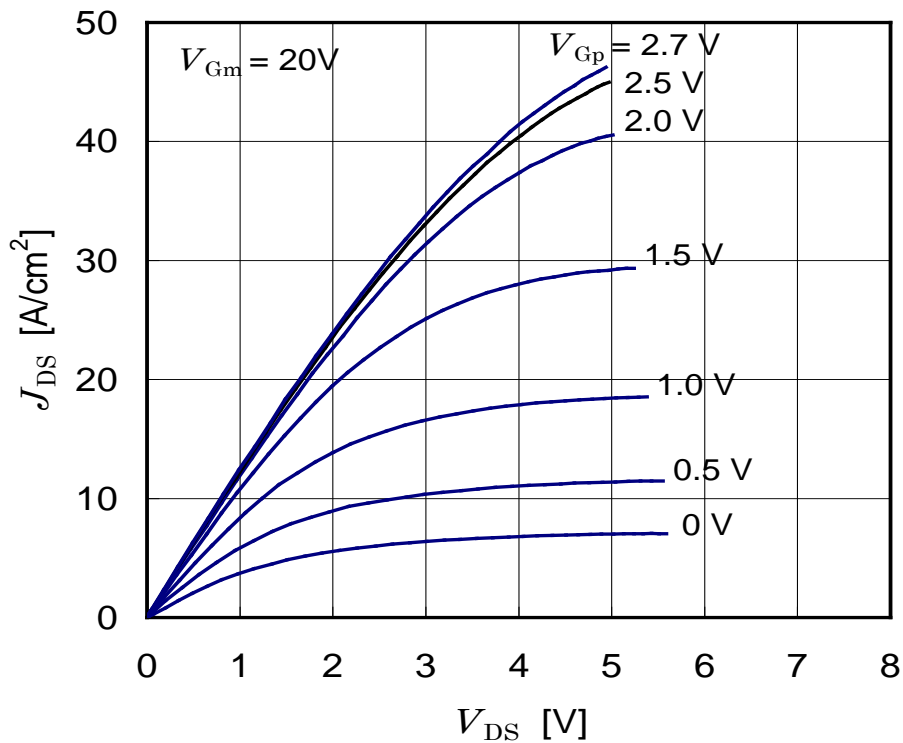


図 3.9 室温での出力特性の  $V_{Gp}$  依存性

図 3.10 および図 3.11 に試作した 4H-SiC SEMOSFET の  $V_{Gp} = 2.5$  V,  $V_{Gm} = 20$  V のときの出力特性およびオン抵抗 ( $V_{DS} = 2$  V) の温度依存性をそれぞれ示す. 温度上昇に伴い出力電流は低下し, オン抵抗は温度の上昇とともに増大し, 温度の 2.0 乗に比例した. 同じユニポーラ素子である 4H-SiC ショットキーダイオードの場合でも, オン抵抗は温度の 2.0 乗から 3.1 乗に比例すると報告されている<sup>(16), (17)</sup>. したがって, 試作した 4H-SiC SEMOSFET のオン抵抗が温度に大きく依存するのは, 4H-SiC のバルクの電子の移動度の温度依存性が大きいことによると考えられる. また, 図 3.10 の 300 K における出力電流にヒステリシスが見られる. 出力電流の測定には, ソニーテクトロニクスのカートレーサ 370A を用いている. この装置では, AC 半波の電圧を SEMOSFET のドレイン-ソース間に印加し, そのときにドレイン-ソース間に流れる電流を計測している. したがって, ドレイン-ソース間の電圧が上昇するときに素子が発熱し, 素子温度が上昇しオン抵抗が高くなるので, 電圧下降時に出力電流が下がり, ヒステリシスが現れている.

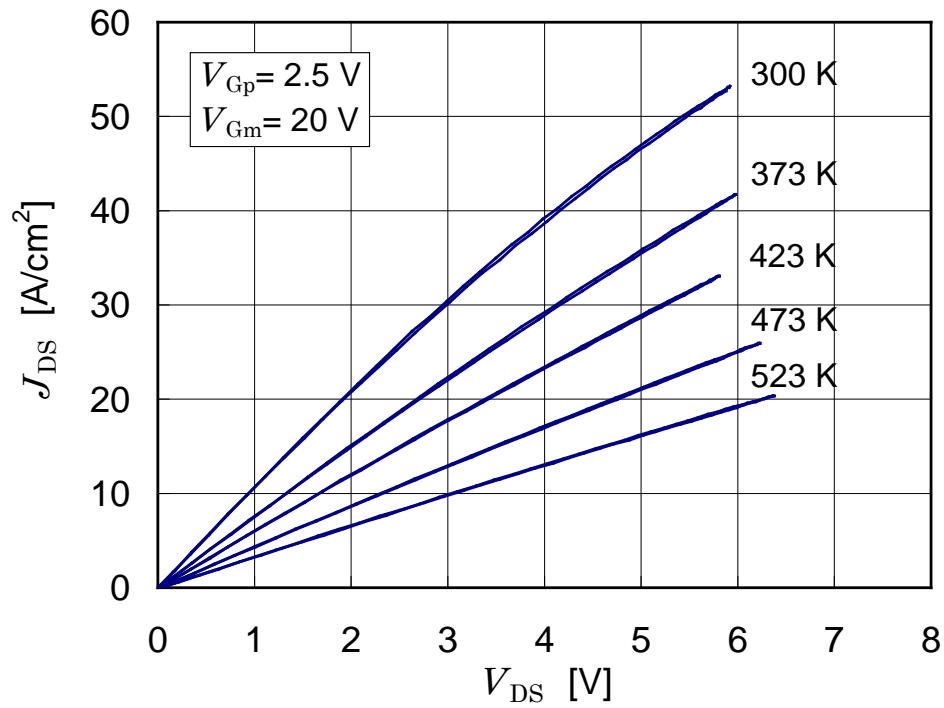


図 3.10 出力特性の温度依存性

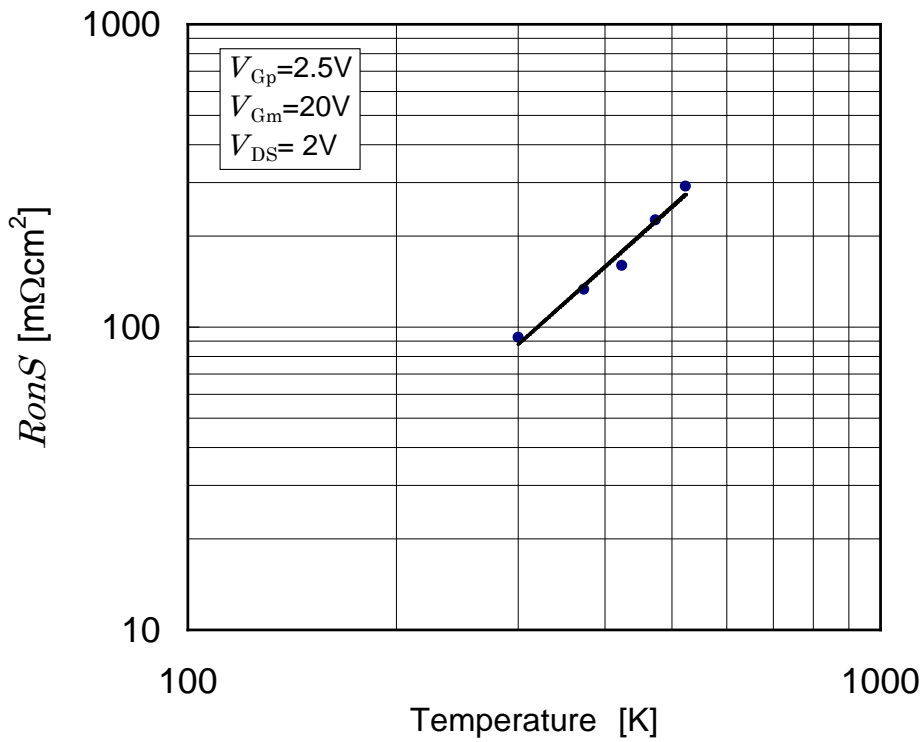


図 3.11 オン抵抗  $R_{onS}$  の温度依存性

図 3.12 に、報告されているノーマリオフ型SiC FETのオン抵抗 $R_{onS}$ と耐圧 $BV$ の関係を示す。オン抵抗の理論限界は耐圧を決めるドリフト層以外のオン抵抗に寄与するすべての要因をゼロとして求めたものであり、次式で表される<sup>(15)</sup>。

$$R_{onS} = \frac{4(BV)^2}{\epsilon \mu E_c^3} \quad (3.1)$$

ただし、 $\epsilon$ 、 $\mu$ および $E_c$ は、それぞれ誘電率[F/cm]、ドリフト層のキャリアの移動度[cm<sup>2</sup>/Vs]および絶縁破壊電界[V/cm]である。このオン抵抗の理論限界は、誘電率、ドリフト層の移動度および絶縁破壊電界の3乗の積に依存して小さくなる。耐圧が高くなればオン抵抗も高くなり、耐圧とオン抵抗にはトレードオフがあるといえる。4H-SiCの誘電率および電子の移動度はSiと同等程度、絶縁破壊電界はSiに比べ約8倍大きく<sup>(1)</sup>、4H-SiC FETのオン抵抗の理論限界はSi FETより大幅に小さくなる。試作した4H-SiC SEMOSFETは、6H-SiCの理論限界のトレードオフを超える低いオン抵抗を有しており、オン抵抗と耐圧のトレードオフ特性の最も優れたMOSFETであるといえる。SEMOSFETのオン抵抗は、Si FETの理論限界の1/140であり、SiCにより大幅な低ロス化が可能であるといえる。また、性能指数(= $(BV)^2/R_{onS}$ )は286 MW/cm<sup>2</sup>であり、2002年時点において、次章で述べる4H-SiC接合型FETであるSEJFET<sup>(16)</sup>に次ぐ性能を有していた。

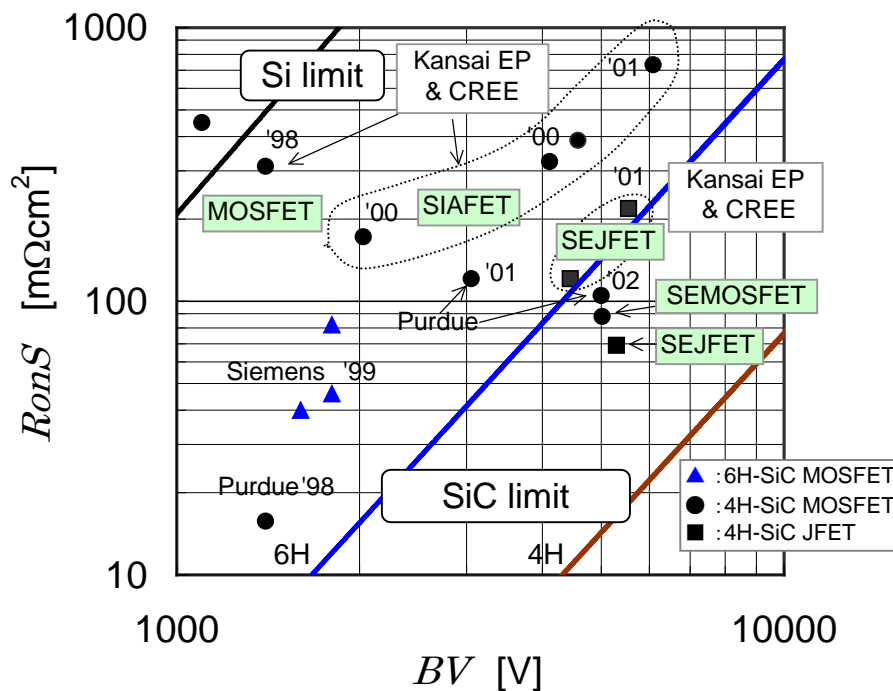


図 3.12 ノーマリオフ型 SiC FET のオン抵抗と耐圧の関係 (2002 年時点)

### 3.5 スイッチング特性

試作した 4H-SiC SEMOSFET の室温でのスイッチング時間を評価した．測定回路を図 3.13 に示す．図 3.14 にターンオン波形，図 3.15 にターンオフ波形を示す．スイッチング時間の測定に際し，ターンオン時のゲート電圧は  $V_{Gm} = 20 \text{ V}$  および  $V_{Gp} = 2.5 \text{ V}$  とし，それぞれのゲートは同じタイミングで印加し，ターンオフ時には同じタイミングで両ゲート電圧とも  $0 \text{ V}$  にした．ターンオフ時のドレイン・ソース間電圧  $V_{DS}$  は測定装置の電圧の制限から  $30 \text{ V}$  とした．

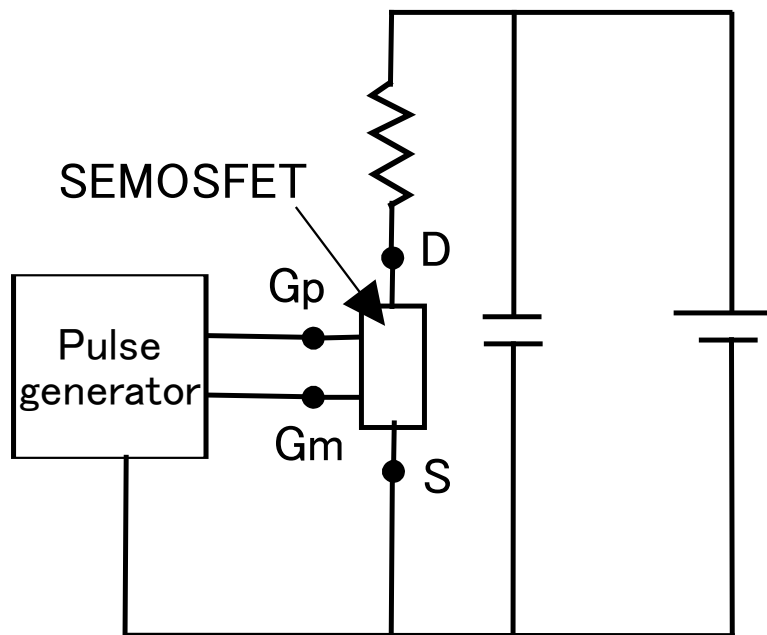


図 3.13 スイッチング特性測定回路



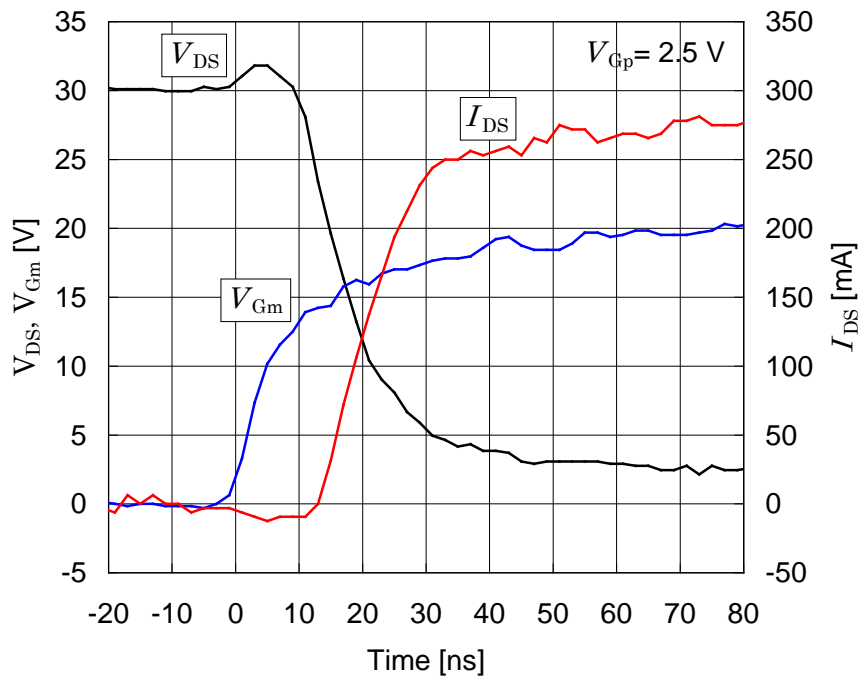


図 3.14 ターンオン波形 (室温)

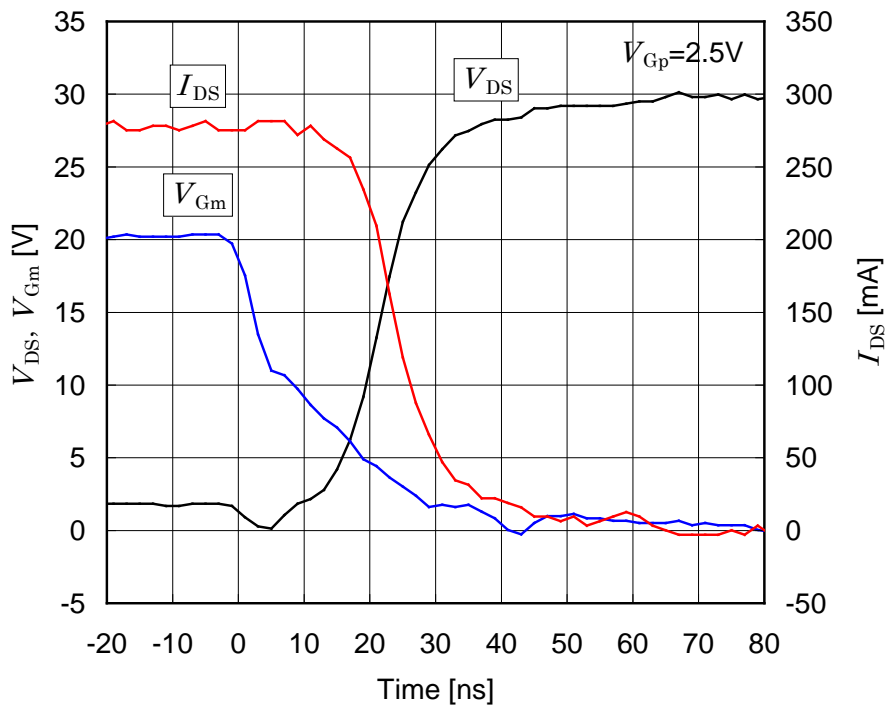


図 3.15 ターンオフ波形 (室温)

電流電圧波形から求めたターンオンディレイタイム  $t_{d(on)}$ , ライズタイム  $t_r$ , ターンオフディレイタイム  $t_{d(off)}$  およびフォールタイム  $t_f$  を表 3.1 に示す. また, Si MOSFET (日立製作所製 2SK1317, 2SJ181, 2SK1698) の  $V_{DS} = 30 \text{ V}$  でのスイッチング時間も同表に示す. ただし,  $t_{d(on)}$  は, ターンオン過程において  $V_{Gm}$  が順バイアス電圧最大振幅の 10% に上昇した時点からドレイン・ソース間電圧が最大振幅の 90% に降下するまでの時間である.  $t_r$  は, ドレイン・ソース間電圧が最大振幅の 90% から 10% に降下するまでの時間である.  $t_{d(off)}$  は, ターンオフ過程において,  $V_{Gm}$  が順バイアス電圧最大振幅の 90% に降下した時点から, ドレイン・ソース間電圧が最大振幅の 10% に上昇するまでの時間である.  $t_f$  は, ドレイン・ソース間電圧が最大振幅の 10% から 90% に上昇するまでの時間である.

試作した SEMOSFET は, 高耐圧 Si MOSFET (2SK1317) に比べ大幅に高速であり, 耐圧 600 V ではあるが同程度の電流の Si MOSFET (2SJ181) と比較しても, ターンオン時間は同程度, ターンオフ時間は大幅に高速である. さらに, 100 V Si MOSFET (2SK1698) と比較すると, ターンオン時間は遅いが, ターンオフ時間は同程度である. このように, SiC が高速であるのは, オン抵抗を Si MOSFET に比べ大幅に小さくできるので, 素子面積を小さくでき (Si MOSFET (2SK1317) の約 80 分の 1), ゲートの充放電時間を短くできるためと考えられる.

表 3.1 試作した 4H-SiC SEMOSFET と Si MOSFET のスイッチング時間

	耐圧	電流	$t_{d(on)}$	$t_r$	$t_{d(off)}$	$t_f$
4H-SiC SEMOSFET	5 kV	0.28 A	11 ns	20 ns	16 ns	19 ns
日立製 2SK1317 <sup>(17)</sup>	1.5 kV	2.5 A	17 ns	70 ns	110 ns	60 ns
日立製 2SJ181 <sup>(18)</sup>	600 V	0.5 A	7 ns	20 ns	35 ns	35 ns
日立製 2SK1698 <sup>(19)</sup>	100 V	0.3 A	2 ns	4 ns	17 ns	15 ns

### 3.6 結言

4H-SiC を用いて, 新構造の高耐圧 MOSFET である “SEMOSFET” を考案, 構造設計を行い, 試作し, その耐圧特性, 出力特性およびスイッチング特性を評価した. 以下に得られた主な結果をまとめる.

- (1) 埋込ゲート構造を設けた SiC SEMOSFET を考案した. SEMOSFET では, 埋込ゲートにビルトイン電圧以下の電圧を印加することにより, 埋込ゲート周辺の空乏層を狭め, チャネルを広げ, 蓄積層ばかりでなく, チャネル領域のより深いバルク中も導電率を高くす

ることができる。そのため、MOS チャネル移動度が小さくても、オン抵抗を大幅に低減することが可能である。

- (2) 構造設計を行い、それに基づき試作した 4H-SiC SEMOSFET は、耐圧 5.02 kV、オン抵抗  $88 \text{ m}\Omega\text{cm}^2$  であり、2 kV 以上の MOSFET としては最も優れた耐圧とオン抵抗のトレードオフである。オン抵抗は、Si FET の理論限界の 1/140 であり、性能指数 (= (耐圧)<sup>2</sup> /  $R_{onS}$ ) は  $286 \text{ MW/cm}^2$  である。また、室温の低電圧でのターンオン時間は 31 ns、ターンオフ時間は 35 ns であり、1.5 kV Si MOSFET に比べ大幅に高速であり、600 V 以下の Si MOSFET と比較しても同等程度のスイッチング速度である。
- (3) 試作した 4H-SiC SEMOSFET において、埋込ゲート電圧を 2.5 V とすることにより、埋込ゲート電圧を 0 V とする ACCUFET モードに比べ、約 5.2 倍の出力電流を得ることができ、SEMOSFET の低オン抵抗かつ高出力を実証できた。

以上のことから、埋込ゲート構造を設けた新構造の 4H-SiC MOSFET により、数 kV 以上かつ Si および 6H-SiC の理論限界より低いオン抵抗の MOSFET を開発することができた。これにより、高耐圧 SiC 電力変換装置向けの MOSFET の低ロス化基礎技術を得たものと考えられるが、さらなる特性の向上を図るためには、ドリフト層およびチャネル領域の不純物濃度および厚みの適正化、さらにターミネーションの適正化が課題である。

#### [ 参考文献 ]

- (1) 菅原良孝, 「SiC パワーデバイスの開発状況」, 電気学会誌, vol. 118, p282 (1998).
- (2) S. Onda, R. Kumar, and K. Hara, "SiC integrated MOSFETs," Phys. stat. sol. (a) 162, pp.369-388 (1997).
- (3) Y. Sugawara and K. Asano, "1.4kV 4H-SiC UMOFET with Low Specific On Resistance", Proceedings of ISPSD'98, pp.119-122 (1998).
- (4) J. Tan, J. A. Cooper, and Jr., M. R. Melloch, "High-voltage accumulation-layer UMOFET's in 4H-SiC", IEEE Electron Device Letters, Vol. 19, No.12, pp.487-489 (1998).
- (5) D. Peters, R. Schorner, P. Friedrichs, J. Volkl, H. Mitlehner, and D. Stephani, "An 1800V triple implanted vertical 6H-SiC MOSFET", IEEE transaction on Electron Devices, vol. 46, No.3, pp.542-545 (1999).
- (6) P. M. Senoy, and B. J. Baliga, "The planar 6H-SiC ACCUFET: a new high-voltage power MOSFET structure", IEEE Electron Device Letters, vol.18, No.12, pp. 589-591 (1997).
- (7) V.V. Afanasev, M. Bassler, G. Pensl, M. Schulz, "Intrinsic SiC/SiO<sub>2</sub> Interface States", Physica Status Solidi (a) 162, pp.321 (1997).
- (8) Y. Sugawara, K. Asano, R. Singh, J. Palmour and D. Takayama, "4.5kV novel high voltage high performance SiC-FET "SIAFET" ", Proceedings of ISPSD'2000, pp.105-108 (2000).

- (9) D. Takayama, Y. Sugawara, T. Hayashi, R. Singh, J. Palmour, S. Ryu and K. Asano, "Static and Dynamic Characteristics of 4-6 kV 4H-SiC SIAFETs", Proceedings of ISPSD'01, pp.41-44 (2001).
- (10) S. Suzuki, S. Harada, T. Yatsuo, R. Kosugi, J. Senzaki, and K. Fukuda, "4H-SiC Lateral RESURF MOSFET with a Buried Channel Structure", Materials Science Forum Vols. 433-436(2003) pp.753-756 (2003).
- (11) H. Yano, T. Hirao, T. Kimoto, H. Matsunami, K. Asano and Y. Sugawara, "Anisotropy of Inversion Channel Mobility in 4H- and 6H-SiC MOSFETs on (1120) Face", Materials Science Forum Vols. 338-342 (2000), pp.1105-1108 (2000).
- (12) Y. Sugawara, K. Asano, D. Takayama, S. Ryu, R. Singh, J. Palmour and T. Hayashi, "5.0kV 4H-SiC SEMOSFET with low RonS of 88 mΩcm<sup>2</sup>", Proceedings of ICSCRM2001 (2001).
- (13) P. M. Shenoy and B. J. Baliga, "High Voltage Planer 6H-SiC ACCUFET ", Materials Science Forum Vols. 264-268, pp.993-996(1998).
- (14) O. Kordina, J. P. Bergman, A. Henry, E. Janzen, S. Savage, J. Andre, L. P. Ramberg, U. Lindefelt, W. Hermansson, and K. Bergman, "A 4.5kV 6H silicon carbide rectifier", Appl. Phys. Letter, 67, pp.1561-1563, 1995.
- (15) M. Bhatnager and B. J. Baliga, "The planar 6H-SiC ACCUFET : a new high-voltage power MOSFET structure", IEEE Trans. ED 40(3), pp.645-655(1993).
- (16) K. Asano, Y. Sugawara, T. Hayashi, S. Ryu, R. Singh, J. Palmour, and D. Takayama, "5kV 4H-SiC SEJFET with Low RonS of 69mΩcm<sup>2</sup>", Proceedings of ISPSD'02, pp.61-64 (2002).
- (17) 「日立パワーMOSFET データブック 2」, pp.336-342 (1996).
- (18) 「日立パワーMOSFET データブック 1」, pp.161-167 (1996).
- (19) 「日立パワーMOSFET データブック 2」, pp.594-596 (1996).

## 第4章 高耐圧SiC JFET (SEJFET) の開発

### 4.1 緒言

前章では、SiC MOSFETの開発について述べたが、本章では、高移動度のバルクを利用し、低オン抵抗を期待できるSiC接合型FET (JFET)の開発について述べる。JFETは、pn接合から伸びる空乏層を、ゲートの電圧により拡大あるいは縮小することにより、チャネル領域を狭めたり、広げたりして通電電流をスイッチングする。SiCを用いたJFETでは、オン抵抗を低くするために、ゲート電圧を印加しない場合にオン状態となるノーマリオン型のFETが開発された<sup>(1),(2)</sup>。現在では、このJFETと低耐圧のSi MOSFETが同一パッケージに入れられ、それらをカスコード接続し、ノーマリオフの素子として市販されている。ノーマリオフはフェイルセーフの点で望まれている。そこで、本章では、素子単体でゲート電圧を印加しない場合にオフ状態となるノーマリオフ型のSiC JFET (Static channel Expansion JFET)の構造および電気的特性について述べる<sup>(3),(4)</sup>。

### 4.2 SEJFETの構造と動作原理

図 4.1 は、新しく提案する SiC SEJFET の構造である。この SEJFET は、横型チャネルおよび縦型チャネルの 2 つのチャネルを有する縦型の JFET である。横型チャネルは、p 型埋込領域と最上面に形成した p 型領域とによって挟まれた n 型の薄い領域である。縦型チャネルは、p 型埋込領域とその領域をゲートに接続するために形成するゲートコンタクト領域とに挟まれた領域である。ソース領域は、p 型埋込領域の中央領域上に形成する。このような構造にすることにより、ゲート・ソース間に逆バイアスを印加しなくても、ビルトイン電圧により横型チャネル領域および縦型チャネル領域に空乏層が形成されるので、ノーマリオフを期待できる。一方、オン時はゲートにビルトイン電圧より低い順方向電圧を印加することにより、横型チャネル領域および縦型チャネル領域に形成されている空乏層を狭め、チャネル領域を広げるので、低オン抵抗を期待できる。従来の縦型チャネル構造の JFET では、ノーマリオフにするために、その縦型チャネルの幅を SEJFET の横型チャネルと同様の薄さに狭め、また、従来型 JFET の縦型チャネルの長さをノーマリオフにできる程度に十分長くする必要がある。しかしながら、幅が狭く長い縦型のチャネルを形成することは、プロセス上困難であるため、ノーマリオンになりやすい。したがって、ノーマリーオフは SEJFET の方が実現しやすいと考えられる。

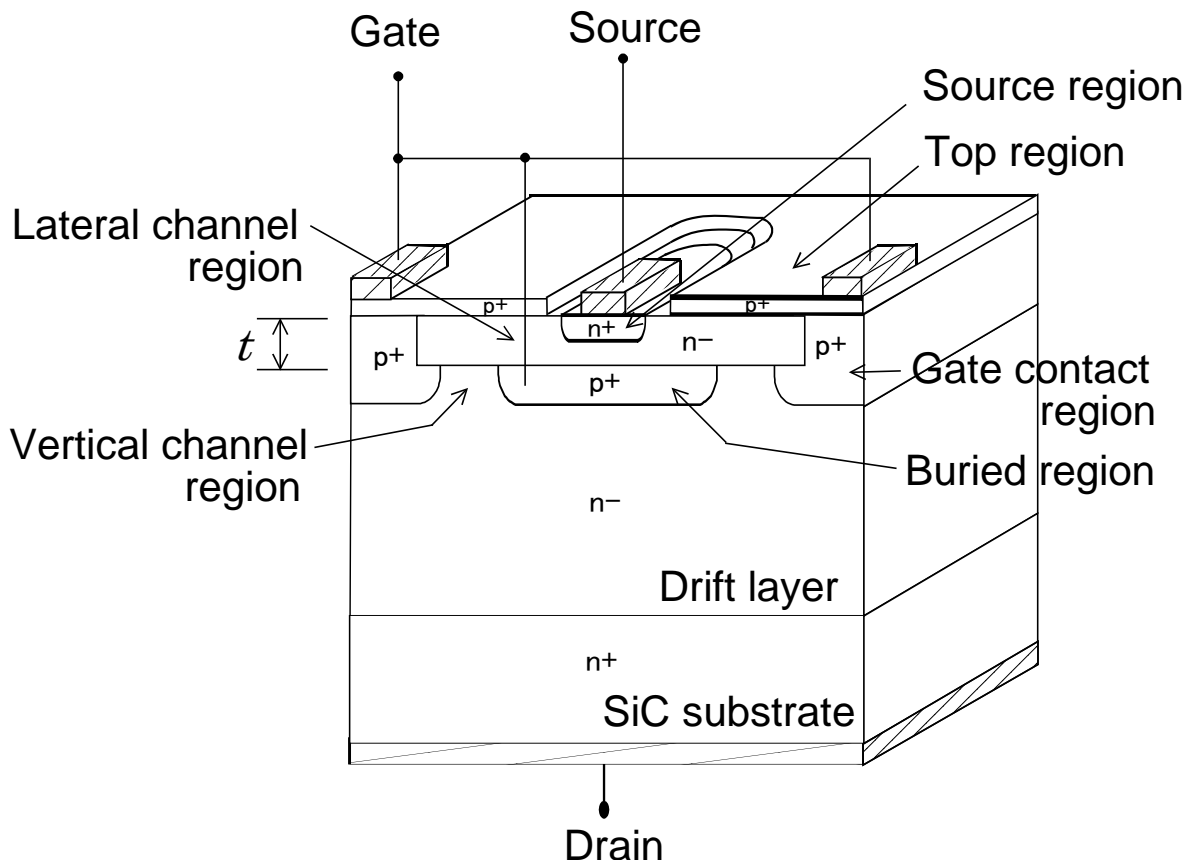


図 4.1 SiC SEJFET の構造

図 4.2 にドレイン-ソース間電圧  $V_{DS}$  が 5 kV 時の電位分布の解析結果を示す. シミュレータは ISE 社の DESSIS である. 解析に用いた SEJFET のドリフト層  $n^-$  の厚さおよび不純物濃度は, それぞれ  $50 \mu\text{m}$  および  $9 \times 10^{14} \text{cm}^{-3}$  である. 4H-SiC のビルトイン電圧により横型チャンネルがピンチオフされ, 5 kV のドレイン・ソース間電圧に耐えることが期待できる. また, ゲート・ソース間に逆方向電圧を印加することにより, 横型チャンネルおよび縦型チャンネルの電位障壁を高め, 漏れ電流を低減させ, 耐圧を向上させることも期待できる. 一方, ゲート・ソース間に所定の順方向電圧を印加すると, SEJFET はターンオンする. 図 4.3(a) および (b) にそれぞれ  $V_{GS} = 1.8 \text{V}$  および  $V_{GS} = 2.5 \text{V}$  のときの電流フローを示す. ただし,  $V_{DS} = 3.0 \text{V}$  である.  $V_{GS} = 0 \text{V}$  から  $V_{GS} = 1.8 \text{V}$  とすることにより, 横型チャンネル領域および縦型チャンネル領域に形成されている空乏層が狭まり, チャンネルが形成される. これにより, 電流は, ドレインからドリフト層, 縦型チャンネルおよび横型チャンネルを通過してソースに流れることがわかる. しかしながら, ゲート電圧がビルトイン電圧に比べ低い 1.8 V では, 両方

のチャネル領域の空乏層が十分に狭まっていないため、電流は狭いチャネル領域しか流れることができていない。ゲート電圧を 4H-SiC のビルトイン電圧近くの 2.5 V まであげると、図 4.3(b)のように両方のチャネル領域の空乏層が十分縮まり、大きなドレイン電流が流れることがわかる。

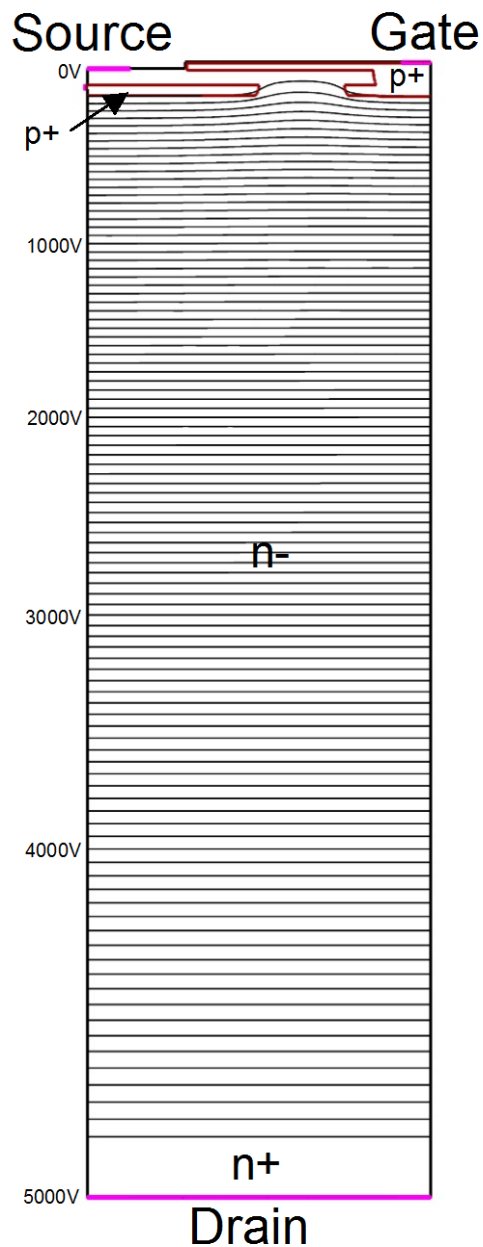
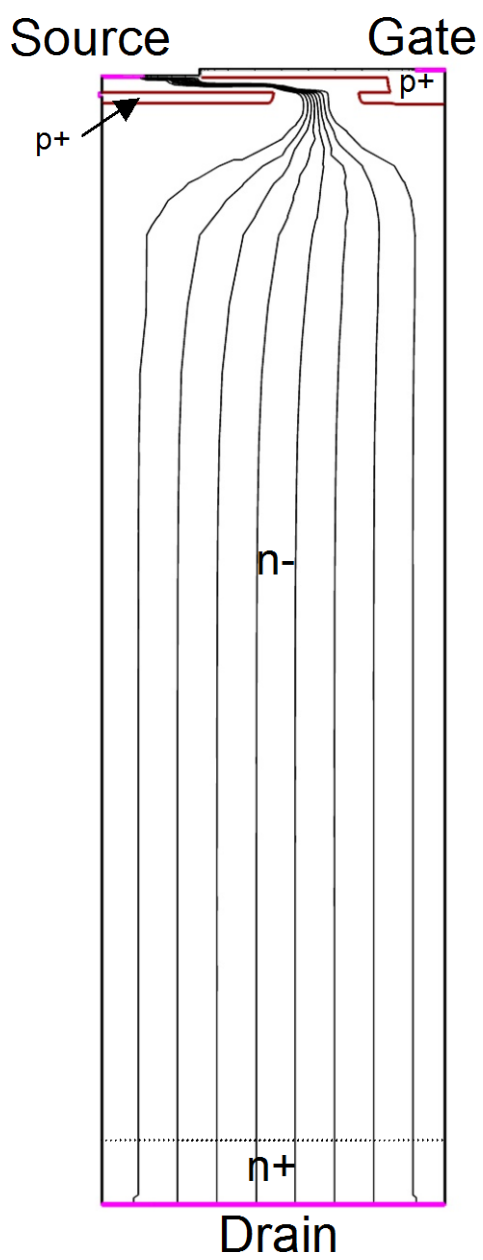
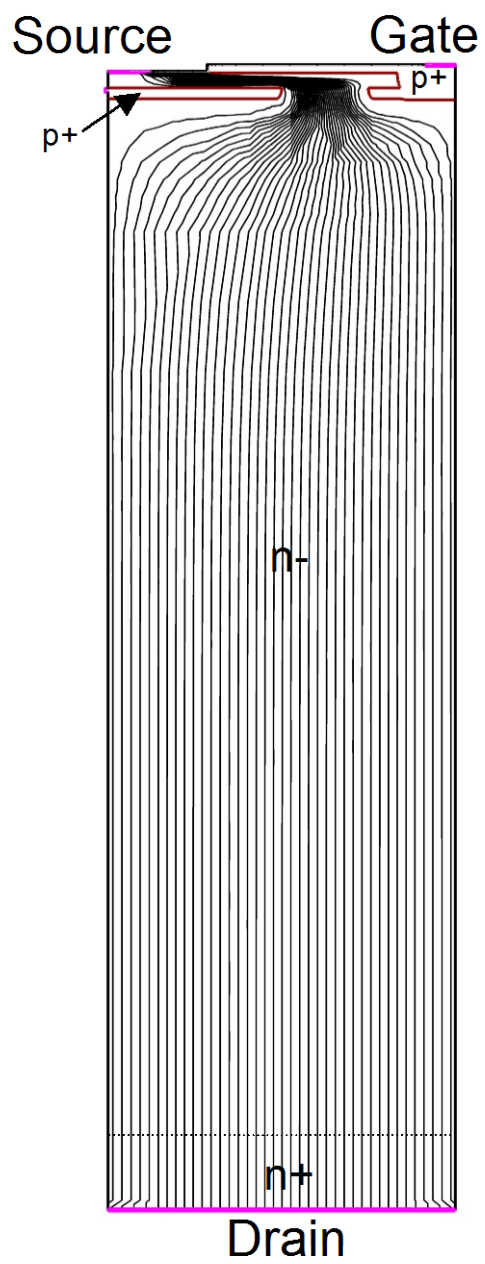


図 4.2 電位分布  
(  $V_{DS} = 5 \text{ kV}$ ,  $V_{GS} = 0 \text{ V}$ , 電位間隔 50 V )



(a)  $V_{DS} = 3 \text{ V}$ ,  $V_{GS} = 1.8 \text{ V}$



(b)  $V_{DS} = 3 \text{ V}$ ,  $V_{GS} = 2.5 \text{ V}$

図 4.3 電流フロー



図 4.4 に、ドリフト層の厚さ  $50\ \mu\text{m}$  の 4H-SiC SEJFET の  $V_{\text{GS}} = 0\ \text{V}$  時の耐圧  $BV$  および  $V_{\text{GS}} = 2.5\ \text{V}$  時のオン抵抗  $R_{\text{onS}}$  と、横型チャネル領域の厚さ  $t$  との関係の解析結果を示す。横型チャネル領域の厚さが  $0.9\ \mu\text{m}$  以上になると、耐圧は急激に低下することがわかる。これは、横型チャネルが厚いためにピンチオフされなくなるためと考えられる。一方、横型チャネル厚さ  $t$  が  $0.7\ \mu\text{m}$  以下になるとオン抵抗は急激に増加する。これは、チャネルが狭いためにオン電流が流れると横型チャネル領域の電圧降下が大きくなり、チャネルをピンチオフするためと考えられる。図 4.5 に、 $V_{\text{GS}} = 0\ \text{V}$  時の耐圧および  $V_{\text{GS}} = 2.5\ \text{V}$  時のオン抵抗と、横型チャネル領域の不純物濃度  $m_1$  との関係の解析結果を示す。横型チャネル領域の厚さは  $0.7\ \mu\text{m}$  である。横型チャネル領域の不純物濃度が  $1.4 \times 10^{16}\ \text{cm}^{-3}$  以上の高濃度になると耐圧は急激に低下している。これは、横型チャネル領域の不純物濃度が高濃度になると空乏層が広がりにくくなり、横型チャネルをピンチオフできなくなるためと考えられる。一方、オン抵抗は  $7 \times 10^{15}\ \text{cm}^{-3}$  以下では  $100\ \text{m}\Omega\text{cm}^2$  より大きくなる。以上のように、SEJFET の耐圧およびオン抵抗は横型チャネル領域の厚さおよび不純物濃度に大きく依存するので、ノーマリオフを実現するには、横型チャネル領域の厚さは  $0.7\ \mu\text{m}$  から  $0.9\ \mu\text{m}$ 、不純物濃度は  $7 \times 10^{15}\ \text{cm}^{-3}$  から  $1 \times 10^{16}\ \text{cm}^{-3}$  程度の値を適切に制御する必要があることがわかる。

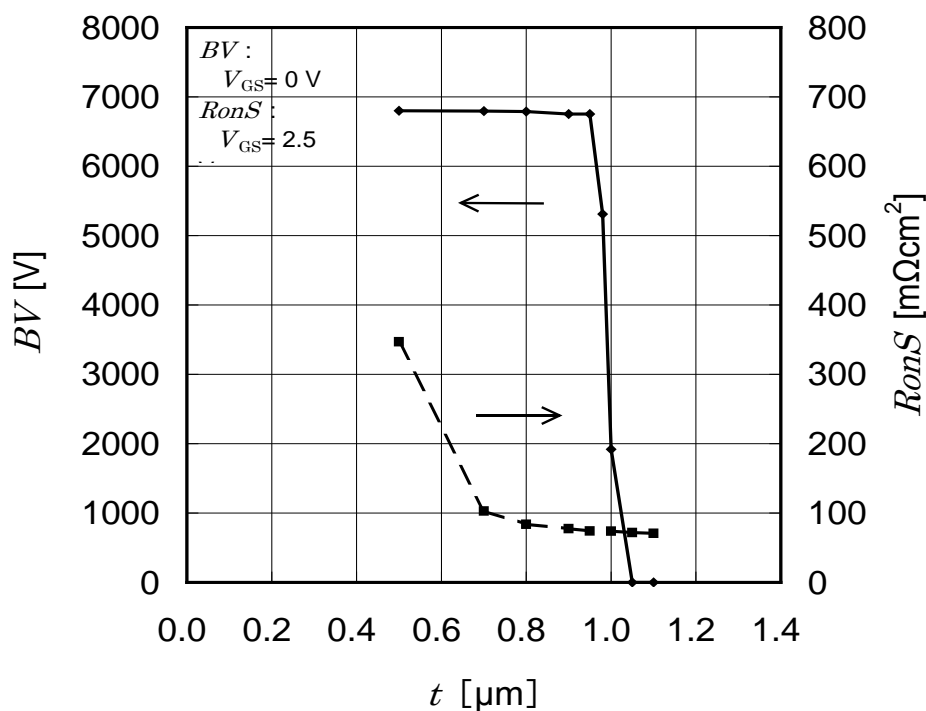


図 4.4 耐圧およびオン抵抗のチャネル厚さ依存性 (解析結果)

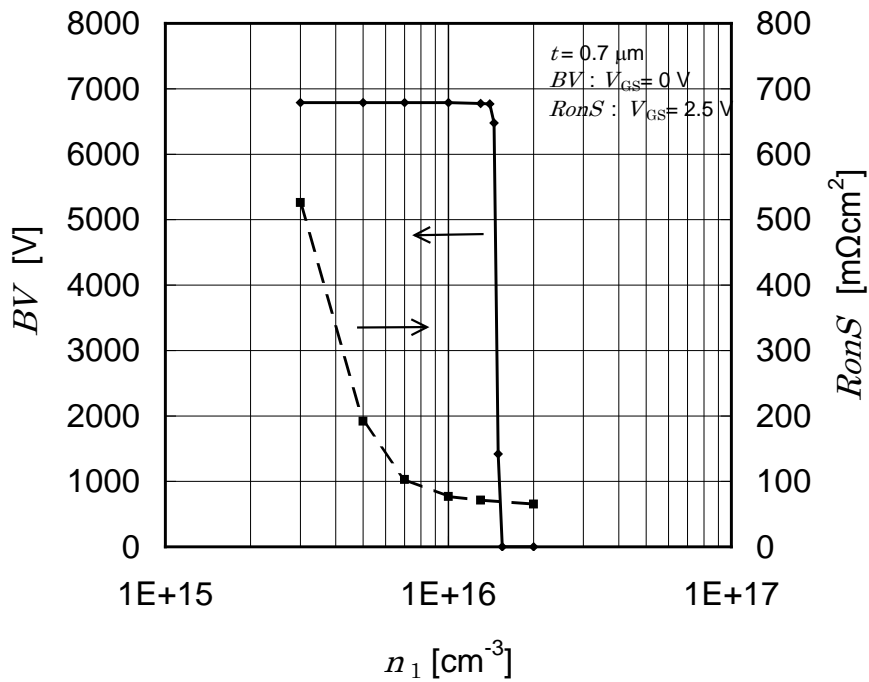


図 4.5 耐圧およびオン抵抗の横型チャネル領域の不純物濃度  $n_1$  依存性 (解析結果)

### 4.3 試作

図 4.6 は, 試作した  $1.7 \text{ mm} \times 1.7 \text{ mm}$  の 4H-SiC SEJFET であり, 活性領域の面積は  $4.45 \times 10^{-3} \text{ cm}^2$  である. 図 4.7 は, チップサイズが  $4.2 \text{ mm} \times 4.2 \text{ mm}$  の 4H-SiC SEJFET であり, 活性領域の面積は  $9.8 \times 10^{-2} \text{ cm}^2$  である. 両方の SEJFET とも図 4.1 のようにソース領域の周囲を横型チャネル領域が取り囲み, さらに縦型チャネルがその周囲を取り囲む正方形のセルパターンである. 本セルパターンはストライプ状のセルパターンに比べ, 縦型および横型のチャネル領域の面積が広く, 面積効率が良いため, チャネル領域の抵抗を低減できると考えられる. したがって, 低オン抵抗が期待できる.

4H-SiC SEJFET は, マイクロパイプ密度  $30 \text{ 個}/\text{cm}^2$  以下, 不純物濃度  $5 \times 10^{19} \text{ cm}^{-3}$  の  $n^+$  4H-SiC 基板を使用し, ホットウォール CVD<sup>(5)</sup> により  $9 \times 10^{14} \text{ cm}^{-3}$  のドリフト層を  $45 \mu\text{m}$  エピタキシャル成長させ, 試作した. p 型埋込領域は Al のイオン注入により選択的に形成した. その上に横型チャネル領域となる n 型の薄いエピタキシャル膜を形成し, さらに最上面に p 型のエピタキシャル膜を形成した. その p 型エピタキシャル膜を反応性イオンエッチングにより除去し, 窒素をイオン注入することによりソース領域を形成し, さらにその上にソース電極を形成した. ターミネーションは, 第 2 章で述べたメサ JTE を採用した.

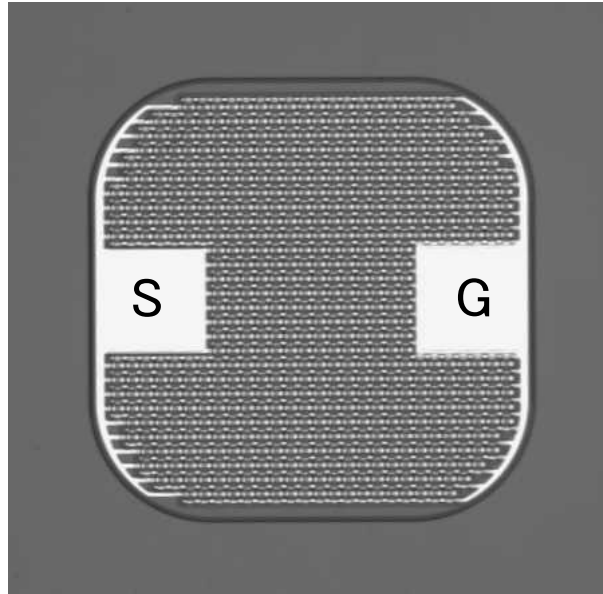


図 4.6 1.7 mm 角 4H-SiC SEJFET の写真



図 4.7 4.2 mm 角 4H-SiC SEJFET の写真

## 4.4 耐圧特性および出力特性

### 4.4.1 室温での特性

試作した 1.7 mm 角 4H-SiC SEJFET の室温での電气的特性を図 4.8 から図 4.11 に示す。図 4.8 には耐圧特性を示す。この特性は、直流電圧をステップ状に印加することにより測定した。耐圧は 5.3 kV 以上を実現できている。リーク電流は小さく、 $3.4 \times 10^{-5} \text{ A/cm}^2$  である。図 4.9 に 4H-SiC SEJFET の出力特性を示す。1.5 V 以上の順方向ゲート電圧を印加することにより、チャンネルが広がり、ドレイン電流が流れ始めている。  $V_{GS} = 5 \text{ V}$  のとき、ドレイン・ソース間電圧 1 V におけるオン抵抗は  $69 \text{ m}\Omega\text{cm}^2$  となり、Si の理論限界の 1/230 を実現している。このオン抵抗は、6H-SiC の理論限界より大幅に小さい。性能指数 [(耐圧)<sup>2</sup>/オン抵抗] は  $407 \text{ MW/cm}^2$  であり、2002 年の時点において、耐圧 2 kV 以上のノーマリオフ型 FET の中で最大の値であった。ただし、出力電流にはヒステリシスが見られる。出力電流の測定には、ソニーテクトロニクスのカートレーサ 370A を用いている。この装置では、AC 半波の電圧を SEJFET のドレイン・ソース間に印加し、そのときにドレイン・ソース間に流れる電流を計測している。したがって、ドレイン・ソース間の電圧が上昇するときに素子が発熱し、素子温度が上昇しオン抵抗が高くなるために、電圧下降時に出力電流が下がり、ヒステリシスが現れている。

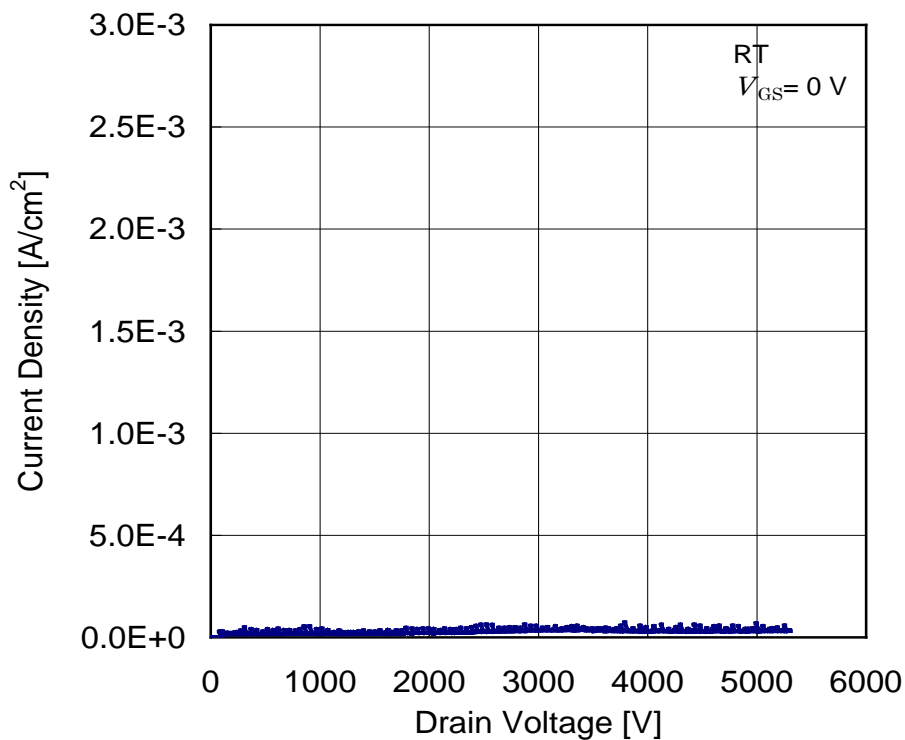


図 4.8 1.7 mm 角 4H-SiC SEJFET の耐圧特性

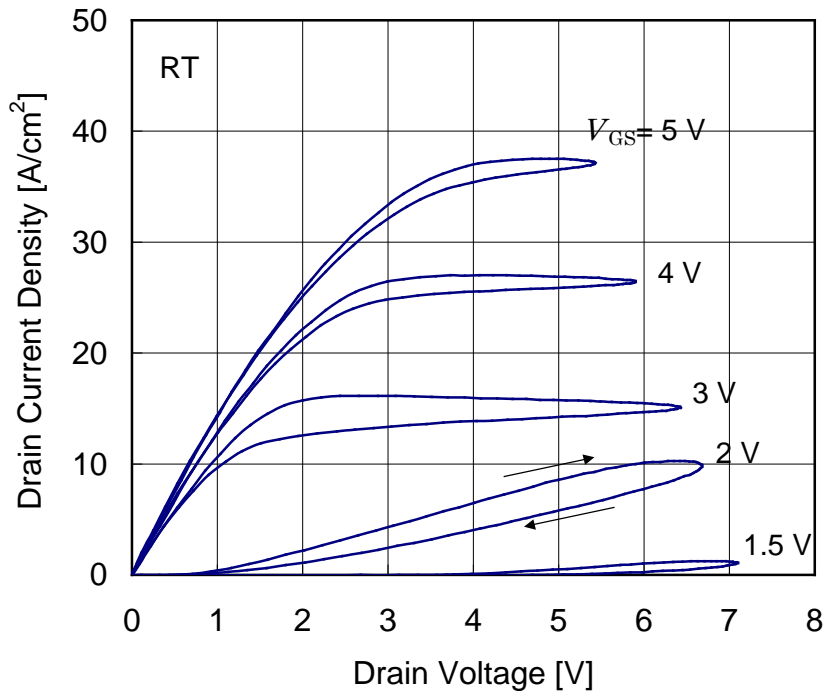


図 4.9 1.7 mm 角 4H-SiC SEJFET の出力特性

図 4.10 に試作した 1.7 mm 角 4H-SiC SEJFET のゲート電流密度のドレイン電圧依存性を示す。ゲート電圧が 5 V においても、最大  $0.11\text{ A/cm}^2$  のゲート電流が流れるにすぎない。これは、p 型埋込領域の抵抗およびゲート電極のコンタクト抵抗が大きいため、ゲート電流が小さくなったと考えられる。また、ドレイン電圧が大きくなるとゲート電流は低減している。ドレイン電圧が 1 V のとき、ゲート電流密度は  $80\text{ mA/cm}^2$ 、ドレイン電圧が 3 V のときは、ゲート電流密度は  $63\text{ mA/cm}^2$  となった。このようにドレイン電圧が高くなるとゲート電流が低減するのは、ドレイン電流が縦型および横型チャネル領域を流れることにより、それらの領域の電位が上昇し、その結果、ゲートに接続される p 型埋込領域および最上面の p 型領域と近接するチャネル領域との電位差が小さくなり、それらの p 型領域からチャネル領域に注入されるホールが減少するためと考えられる。

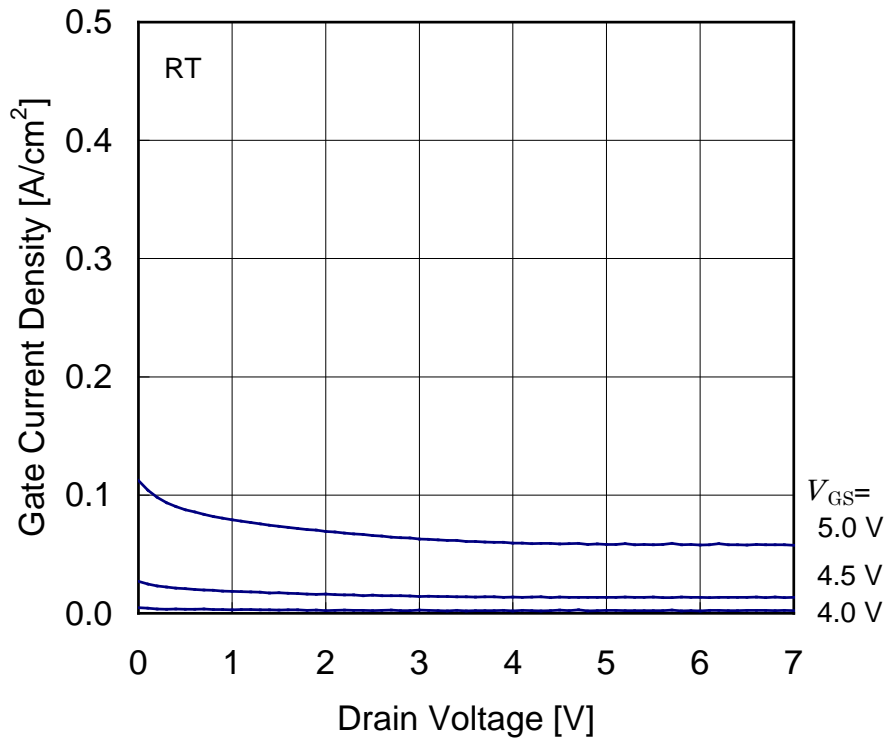


図 4.10 1.7 mm 角 4H-SiC SEJFET のゲート電流密度のドレイン電圧依存性

図 4.11 にドレイン電圧が 3 V のときの電流利得を示す．電流利得は，出力電流  $I_{DS}$  とゲート電流  $I_{GS}$  の比である．ゲート電圧が 5 V のときの電流利得は 533 であるが，ゲート電圧を 4 V と低くした場合は，電流利得が 9000 と，大幅に大きくなった．ゲート電圧が 5 V のときでも電流利得がバイポーラトランジスタに比べ大きいことから，ドレイン電流の大部分は縦型および横型チャンネル領域を流れており，p 型埋込領域を流れるバイポーラ成分は少ないと考えられる．

図 4.12 に試作した 4.2mm 角 4H-SiC SEJFET の出力特性を示す．ゲート電圧が 5 V のとき，最大出力電流は 3.3 A である．この SEJFET も 1.7 mm 角 SEJFET と同様にヒステリシスがある．また，ドレイン電圧が 1 V のときのオン抵抗は 72 mΩcm<sup>2</sup>，耐圧は約 4.5 kV である．

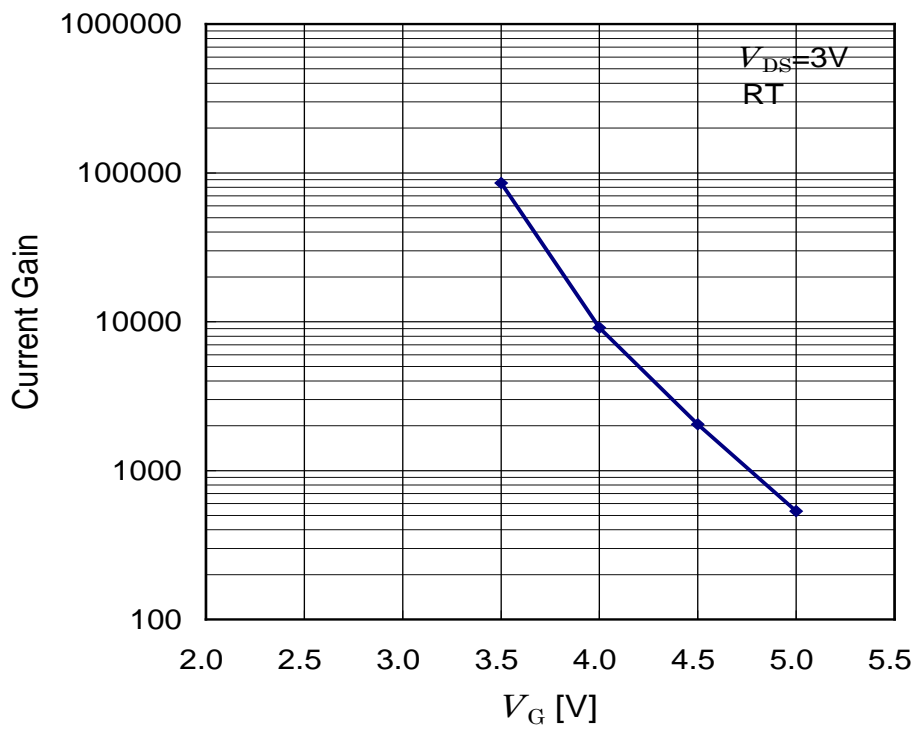


図 4.11 1.7 mm 角 4H-SiC SEJFET の電流利得

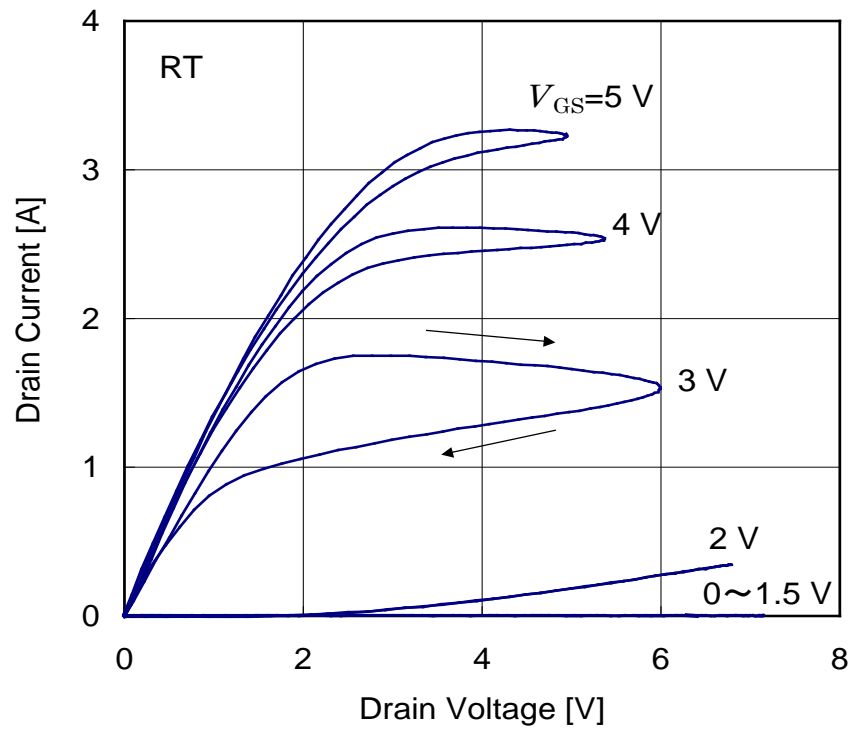


図 4.12 4.2 mm 角 4H-SiC SEJFET の出力特性

#### 4.4.2 出力特性の温度依存性

図 4.13 から図 4.18 に試作した 1.7 mm 角 4H-SiC SEJFET の出力特性, オン抵抗, 伝達特性およびゲート特性の温度依存性を示す. 図 4.13 は,  $V_{GS} = 5 \text{ V}$  のときの出力特性の温度依存性を示す. 温度が上昇すると, 直線領域のオン抵抗は増大し, 飽和電流は小さくなった. オン抵抗の増大は, 4H-SiC のバルクの電子の移動度が温度上昇とともに小さくなるために, ドリフト層, 縦型および横型チャネル領域の抵抗が大きくなることによると考えられる. また, 温度上昇とともに縦型および横型チャネル領域の抵抗が大きくなると, 同一電流を流した場合, 高温時の両チャネル領域のドレイン側の電位が室温時より高くなり, 高温時の方が両チャネル領域内に空乏層が広がるため, ピンチオフされやすくなり, 飽和電流は小さくなると考えられる.

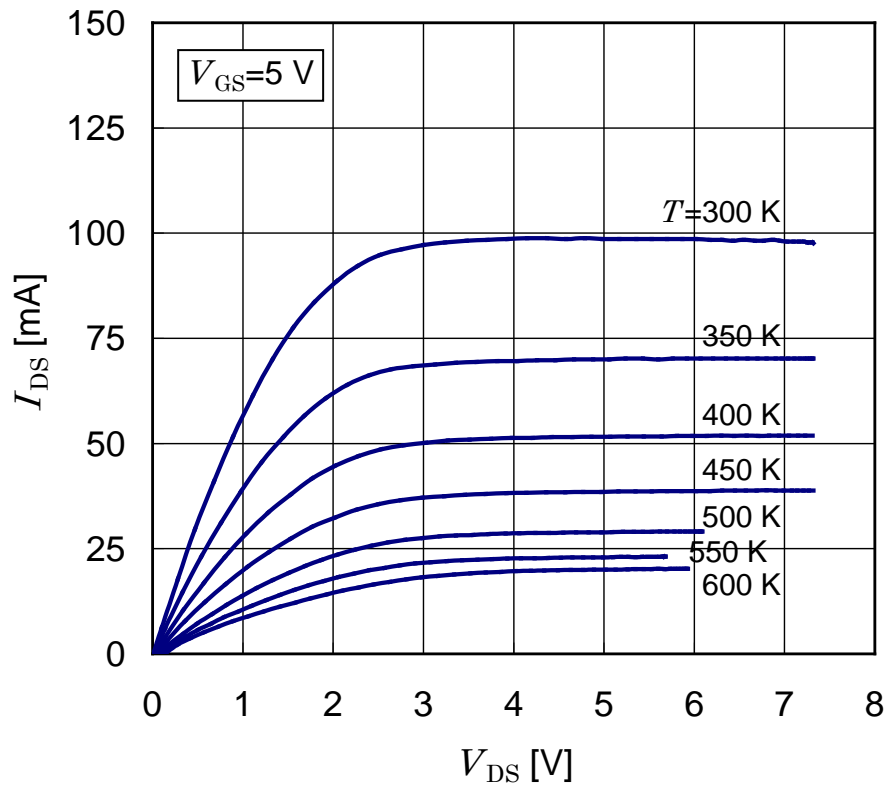


図 4.13 1.7 mm 角 4H-SiC SEJFET の出力特性の温度依存性



図 4.14 に 4H-SiC SEJFET のオン抵抗  $R_{onS}$  の温度依存性を示す。オン抵抗は、 $V_{GS} = 5 \text{ V}$  とした状態におけるドレイン・ソース間電圧  $V_{DS}$  が  $1 \text{ V}$  のときの値である。オン抵抗は、温度に対し指数関数的に増大し、温度の 2.8 乗に依存した。前述したとおり、オン抵抗のこのように大きい温度依存性は、4H-SiC のバルクの電子の移動度の温度依存性が大きいことによると考えられる。4H-SiC ショットキーダイオードの場合、オン抵抗は温度の 2.0 乗から 3.1 乗に比例すると報告されている<sup>(6), (7)</sup>。試作した 4H-SiC SEJFET は、ショットキーダイオードと同じユニポーラ素子であり、報告されているショットキーダイオードのオン抵抗の温度係数と同等の値となり、妥当な結果であるといえる。

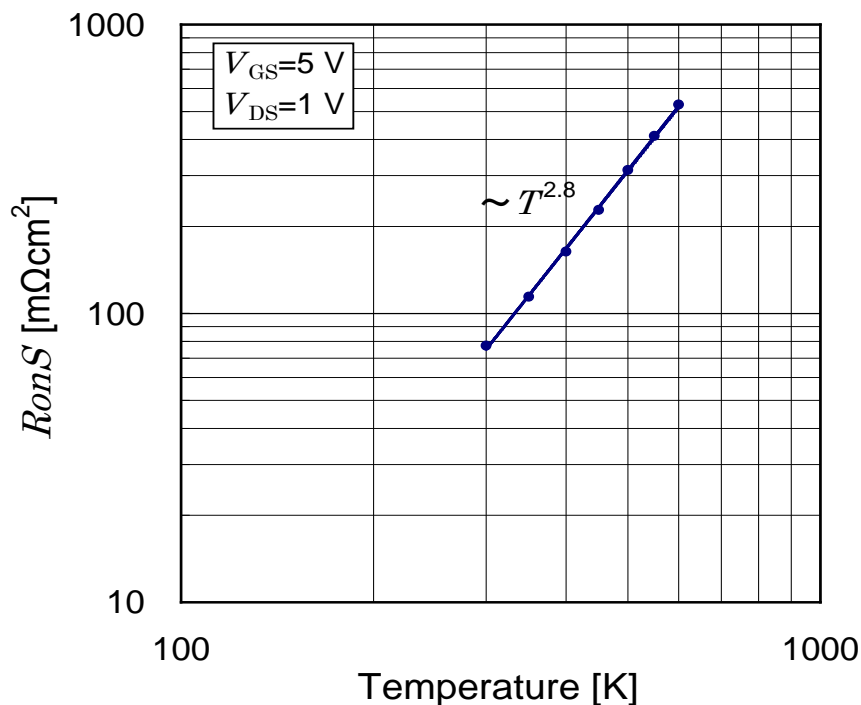


図 4.14 1.7 mm 角 4H-SiC SEJFET のオン抵抗の温度依存性

図 4.15 に 4H-SiC SEJFET の伝達特性の温度依存性を示す。ドレイン・ソース間の電圧  $V_{DS}$  は、 $5 \text{ V}$  である。(ドレイン・ソース間電流  $I_{DS}$ )<sup>0.5</sup> は、いずれの温度においても  $2.5 \text{ V} \leq V_{GS} \leq 4 \text{ V}$  の範囲ではほぼ直線的に増加し、 $V_{GS}$  が  $4 \text{ V}$  より大きくなると低温側で増加傾向が緩やかになっている。図 4.16 に伝達コンダクタンス  $g_m$  の温度依存性を示す。伝達コンダクタンス  $g_m$  は、図 4.15 における伝達特性の傾きで表される。伝達コンダクタンス  $g_m$  は、温

度上昇に伴い指数関数的に小さくなり、温度の $-2.1$  乗に依存した。図 4.17 にしきい値電圧  $V_{th}$  の温度依存性を示す。図 4.15 の伝達特性において、ゲート電圧  $V_{GS}$  が  $2.5$  V から  $4.0$  V までの範囲を線形近似し、内挿し、 $I_{DS} = 0$  となる  $V_{GS}$  として、しきい値電圧  $V_{th}$  を求めた。しきい値電圧  $V_{th}$  は、 $500$  K を超える温度で大幅に小さくなり、 $600$  K ではほぼ  $0$  V となった。これは、温度が上昇するとビルトイン電圧が小さくなり、しきい値電圧が小さくなったためと考えられる。

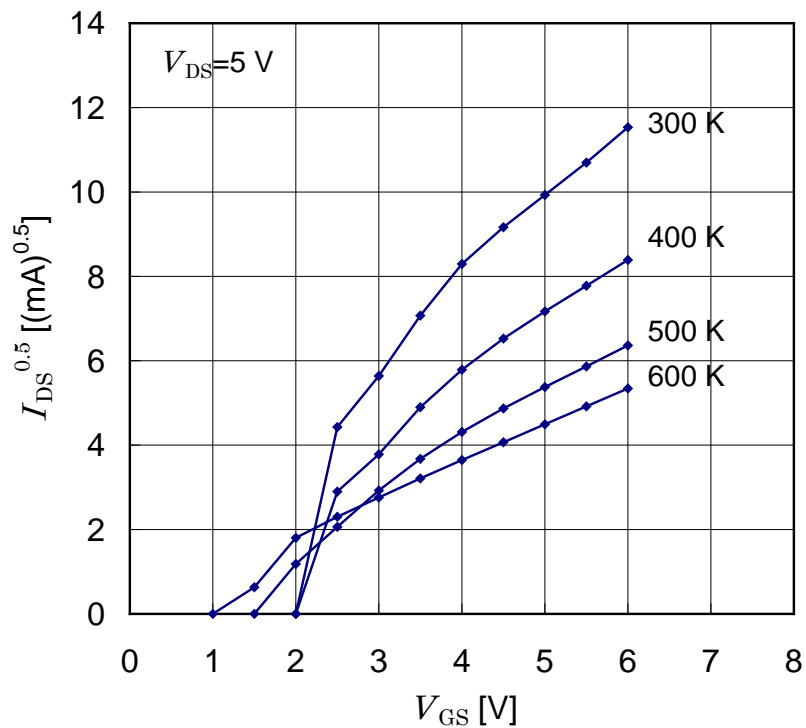


図 4.15 1.7 mm 角 4H-SiC SEJFET の伝達特性の温度依存性

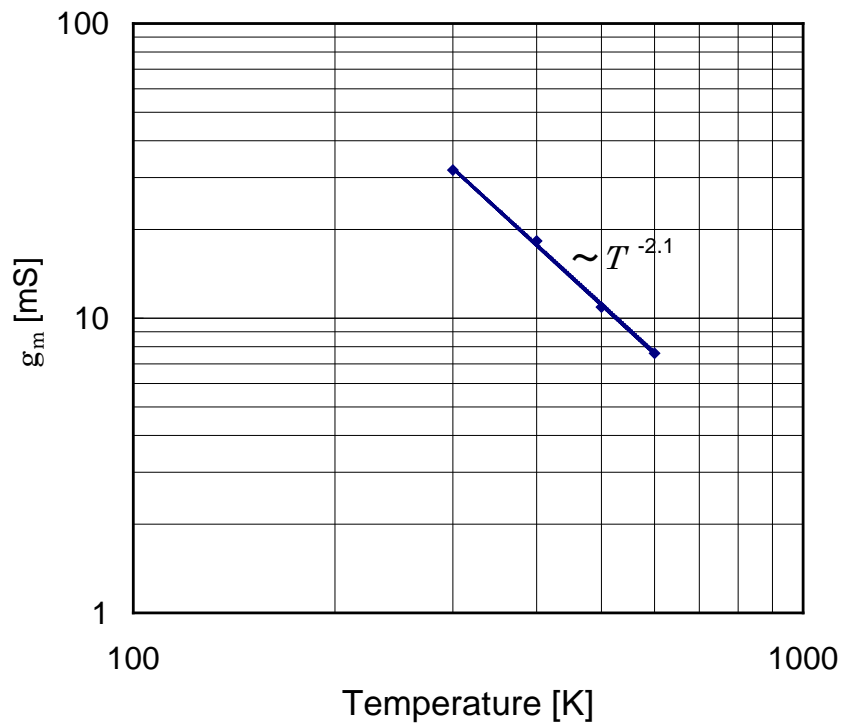


図 4.16 1.7 mm 角 4H-SiC SEJFET の伝達コンダクタンス  $g_m$  の温度依存性

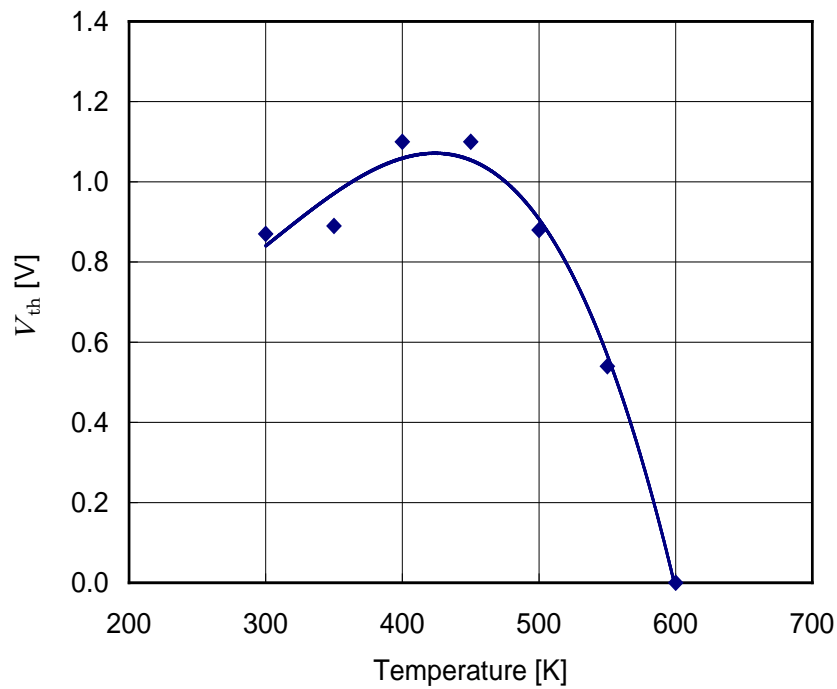


図 4.17 1.7 mm 角 4H-SiC SEJFET のしきい値電圧  $V_{th}$  の温度依存性

図 4.18 に 4H-SiC SEJFET のゲート電流の温度依存性を示す。ゲート電圧  $V_{GS}$  は 5 V、ドレイン・ソース間電圧  $V_{DS}$  は 1 V である。ゲート電流  $I_{GS}$  は 300 K で 0.29 mA であったが温度が高くなるとゲート電流  $I_{GS}$  が大きくなり、600 K で 5.5 mA となった。図 4.19 に 4H-SiC SEJFET の電流利得の温度依存性を示す。電流利得 Current gain は出力電流と、ゲート電圧  $V_{GS}$  が 5 V のときのゲート電流  $I_{GS}$  との比で表される。300 K の電流利得は 343, 600 K では 3.7 となり、高温で電流利得が大幅に小さくなった。これは、高温ではゲート・ソース間のビルトイン電圧が下がるため、ゲートからソースへの注入電流は増加するが、ドリフト層および、縦型および横型チャネル領域の抵抗が増大し、出力電流が低下するためと考えられる。図 4.19 の電流利得の温度依存性から、電流利得は  $\exp(-0.0153 T)$  (ただし、 $T$  は温度) に比例した。

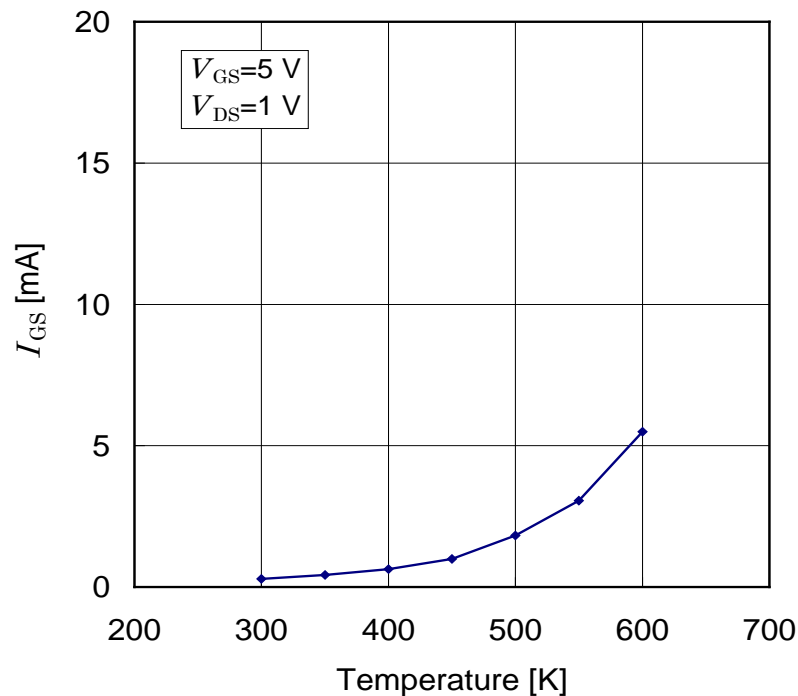


図 4.18 1.7 mm 角 4H-SiC SEJFET のゲート電流の温度依存性

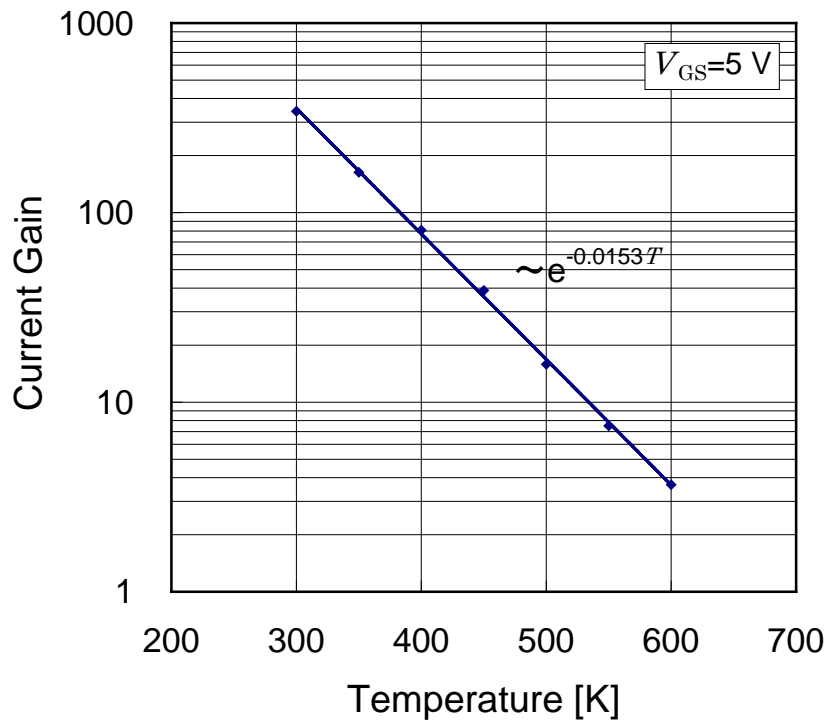


図 4.19 1.7 mm 角 4H-SiC SEJFET の電流利得の温度依存性

#### 4.5 スイッチング特性

図 4.20 のスイッチング時間測定回路にて，試作した 1.7mm 角 4H-SiC SEJFET のスイッチング特性の測定を行った．負荷は抵抗とした．室温におけるターンオン時およびターンオフ時の電流電圧波形をそれぞれ図 4.21 および図 4.22 に示す．スイッチング時間の測定に際し，オン時のゲート電圧は 5 V，オフ時のドレイン・ソース間電圧  $V_{DS}$  は測定装置の電圧制限から 30 V とした．図 4.21 のターンオン波形では，ゲート電圧が立ち上がった後， $V_{DS}$  が下がり始めるとソースからドレイン方向に変位電流と考えられる電流が流れ，その後，負荷の抵抗により決まる値までドレインからソースに電流が流れている．測定波形から，ターンオン時間は 20 ns（ターンオンディレイタイム：7 ns，ライズタイム：13 ns），ターンオフ時間は 47 ns（ターンオフディレイタイム：7 ns，フォールタイム：40 ns）となった．

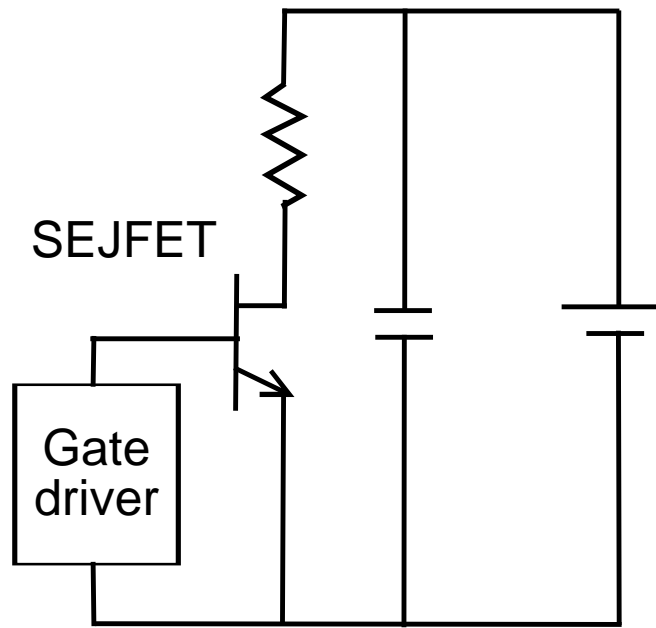


図 4.20 スイッチング時間測定回路

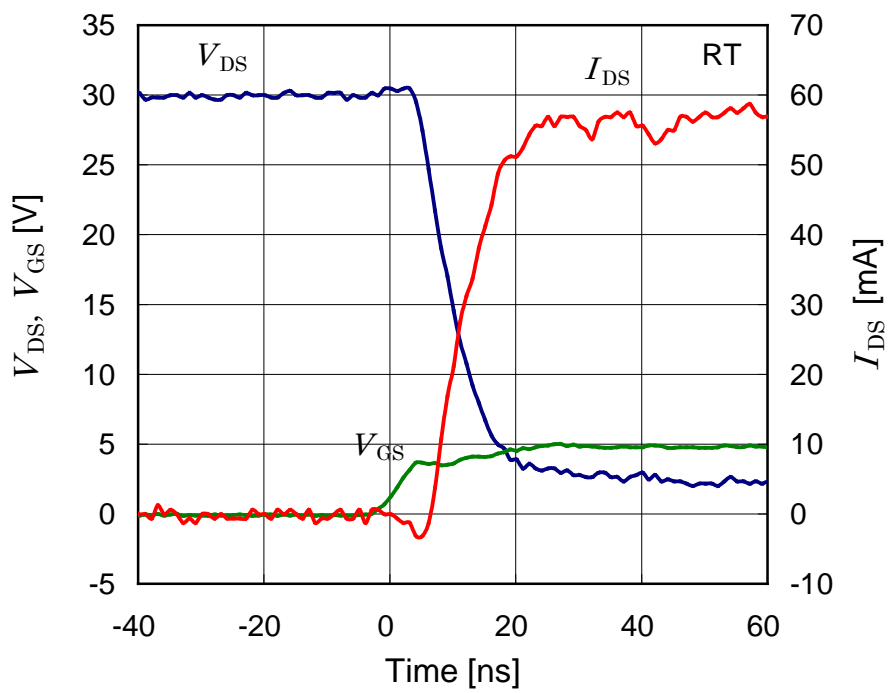


図 4.21 1.7 mm 角 4H-SiC SEJFET のターンオン時の電流電圧波形 (室温)

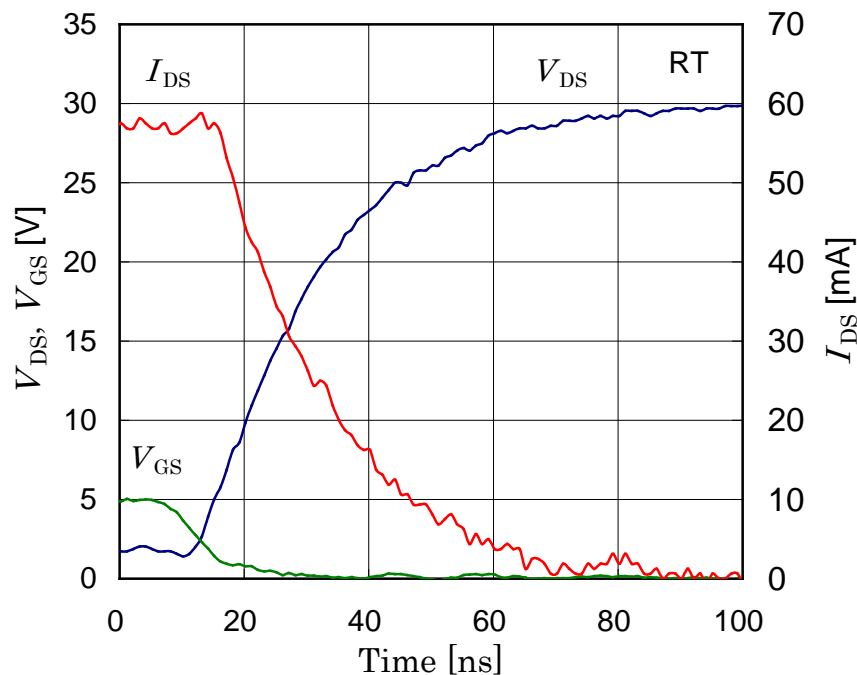


図 4.22 1.7 mm 角 4H-SiC SEJFET のターンオフ時の電流電圧波形 (室温)

#### 4.6 結言

4H-SiC を用いて、新構造の高耐圧 JFET を考案し、構造設計を行い、試作し、その耐圧特性、出力特性、伝達特性等の温度依存性およびスイッチング特性を評価した。以下に得られた主な結果をまとめる。

- (1) 横型チャネルおよび縦型チャネルの 2 つのチャネルを有した縦型の SiC JFET (SEJFET と呼ぶ) を考案し、p 型埋込領域と最上面に形成した p 型領域とによって挟まれた横型チャネル領域に形成される空乏層をゲートで制御する構成により、高耐圧および低オン抵抗を実現した。
- (2) 試作した 1.7 mm 角 4H-SiC SEJFET はノーマリオフであり、耐圧 5.3 kV、オン抵抗 69  $\text{m}\Omega\text{cm}^2$  と耐圧 2 kV 以上の SiC FET の中で最高のトレードオフを実現した。また、電流利得は 533 以上とバイポーラトランジスタに比べ大幅に大きかった。室温での低電圧のターンオン時間は 20 ns、ターンオフ時間は 47 ns であり、前章で述べた 4H-SiC SEMOSFET と同程度の高速性を得ることができた。

- (3) 4.2 mm 角 4H-SiC SEJFET では、3.3 A の出力電流を実現し、耐圧 2 kV 以上の SiC FET では最大の出力を得ることができた。
- (4) 試作した 4H-SiC SEJFET は、室温から 600 K までの温度範囲において、ノーマリオフを維持でき、Si の最高使用温度の 398 K から 423 K を大幅に上回る 600 K でも使用可能であることがわかった。また、オン抵抗は温度の 2.8 乗に依存し、伝達コンダクタンスは温度の -2.1 乗に依存した。

以上のことから、埋込領域を設けた新構造の 4H-SiC SEJFET により、数 kV 以上かつ Si および 6H-SiC の理論限界より低いオン抵抗の最高の性能を有する SEJFET を開発できた。これにより、高耐圧 SiC 電力変換装置向けの高耐圧 SEJFET の低ロス化基礎技術を得ることができたと考えられるが、さらなる特性の向上を図るためには、ドリフト層および横型チャネル領域の不純物濃度および厚みの適正化、さらにターミネーションの適正化が課題である。

[ 参考文献 ]

- (1) H. Mitlehner, W. Bartsch, K. O. Dohnke, P. Riedrichs, R. Kaltschmidt, U. Weinert, B. Weis, and D. Stephani, "Dynamic characteristics of high voltage 4H-SiC vertical JFETs", Proceedings of ISPSD'99, pp.339-342 (1999).
- (2) P. Riedrichs, H. Mitlehner, K. O. Dohnke, D. Peters, R. Schorner, U. Weinert, E. Baudelot, and D. Stephani, "SiC Power devices with low on-resistance for fast switching applications", Proceedings of ISPSD'2000, pp.213-216 (2000).
- (3) K. Asano, Y. Sugawara, S. Ryu, R. Singh, J. Palmour, T. Hayashi and D. Takayama, "5.5kV Normally-off Low RonS 4H-SiC SEJFET", Proceedings of ISPSD'01, pp.23-26 (2001).
- (4) K. Asano, Y. Sugawara, T. Hayashi, S. Ryu, R. Singh, J. Palmour, and D. Takayama, "5kV 4H-SiC SEJFET with Low RonS of 69mΩcm<sup>2</sup>", Proceedings of ISPSD'02, pp.61-64 (2002).
- (5) O. Kordina, J. P. Bergman, A. Henry, E. Janzen, S. Savage, J. Andre, L. P. Ramberg, U. Lindefelt, W. Hermansson, and K. Bergman, "A 4.5kV 6H silicon carbide rectifier", Appl. Phys. Letter, 67, pp.1561-1563, 1995.
- (6) A. Itoh, T. Kimoto and H. Matsunami, "Efficient Power Schottky Rectifiers of 4H-SiC", Proceedings of ISPSD'95, pp.101-106 (1995).
- (7) K. Asano, T. Hayashi, R. Saito, and Y. Sugawara, "High Temperature Static and Dynamic Characteristics of 3.7kV High Voltage 4H-SiC JBS", Proceedings of ISPSD2000, pp.97-100 (2000).



## 第5章 SiC 素子の理想耐圧の検討

### 5.1 緒言

半導体デバイスの設計を行うにあたり、デバイスシミュレーションは有効なツールである。しかし、SiC デバイスの設計においては、その計算値が実験値と必ずしも一致しないのが実状である。それは、SiC の物性値の信頼性の低さや SiC 特有の物理モデルの不備に原因がある。本章では、耐圧を決定する物性値の比較検討を行い、3 kV 程度以下の SiC pin ダイオードにおいて理想耐圧を求め、高耐圧および超高耐圧 4H-SiC pin ダイオード、SEJFET および SEMOSFET の耐圧の解析結果と実験結果を比較検討する。

### 5.2 衝突電離係数

pn 接合の逆方向バイアスが高くなり空乏層内の最大電界が臨界電界に近くなると、電界によって加速された電子あるいは正孔が母材原子に衝突してこれを電離し、新しく電子・正孔対を生成する。新しく発生した電子と正孔は、それぞれ電界からエネルギーを得て別の電子・正孔対を作る。これらの過程が繰り返し起こり、次々に電子・正孔対を作る。この過程をなだれ増倍という。電子あるいは正孔が単位距離進んだときに母材に衝突し、電子・正孔対が作られる確率は衝突電離係数と呼ばれ、それぞれ $\alpha_n$ および $\alpha_p$ とすると、それらが距離  $dx$  を進んだとき、それぞれ $\alpha_n dx$  および $\alpha_p dx$  の電子および正孔が生成する。ここで、1つの電子・正孔対が pn 接合部から距離  $x$  の地点で発生し、その電子および正孔が空乏層内を進む間に電子・正孔対を生成したときのその総数を  $M(x)$  とすると、 $M(x)$  は

$$M(x) = 1 + \int_0^x \alpha_n M(x) dx + \int_x^w \alpha_p M(x) dx \quad (5.1)$$

と表される。ただし、 $W$  は空乏層幅である。 $M(x)$  は(5.1)式から、

$$M(x) = M(0) \exp \int_0^x (\alpha_n - \alpha_p) dx \quad (5.2)$$

となる。ここで、 $M(0)$  は pn 接合部における電子・正孔対の数である。 $M(0)$  は(5.1)式において  $x=0$  とし、(5.2)式を用いることにより、

$$M(0) = \left[ 1 - \int_0^w \alpha_p \exp \left\{ \int_0^x (\alpha_n - \alpha_p) dx \right\} dx \right]^{-1} \quad (5.3)$$

と表される。したがって、 $M(x)$  は(5.2)式および(5.3)式より、

$$M(x) = \frac{\exp\left\{\int_0^x (\alpha_n - \alpha_p) dx\right\}}{\left[1 - \int_0^w \alpha_p \exp\left\{\int_0^x (\alpha_n - \alpha_p) dx\right\} dx\right]} \quad (5.4)$$

と求められる。なだれ増倍が起こりなだれ降伏する電圧は、電子・正孔対の数  $M(x)$  が無限大になる電圧で定義されるので、降伏の条件は、

$$\int_0^w \alpha_p \exp\left\{\int_0^x (\alpha_n - \alpha_p) dx\right\} dx = 1 \quad (5.5)$$

となる。したがって、なだれ降伏電圧は電子および正孔の衝突電離係数により決まる。

そこで、ISE社のTCAD “DESSIS”の衝突電離係数と他機関で報告されている衝突電離係数<sup>(2)~(4)</sup>の比較を行う。DESSIS では、衝突電離係数にSiにおいて一般的な(5.6)式のChynowethの式<sup>(1)</sup>を用いている。

$$\alpha_{n,p}(E) = \gamma a_{n,p} \exp\left(-\frac{\gamma b_{n,p}}{E}\right) \quad (5.6)$$

ただし、 $\gamma = \tanh(\hbar\omega_{op}/2kT_0) / \tanh(\hbar\omega_{op}/2kT)$

$a_{n,p}$  : 基準温度における電子(正孔)の衝突電離係数の e 倍

$b_{n,p}$  : 基準温度における電子(正孔)の基準電界

$E$  : 電界

$k$  : ボルツマン定数 ( $=1.38 \times 10^{-23}$  J/K)

$T_0$  : 基準温度

$T$  : 温度

$\hbar\omega_{op}$  : 光学フォノンエネルギー

また、A. O. Konstantinovらは、K. K. Thornberの提案している電子および正孔の衝突電離係数の定義式(5.7)および(5.8)<sup>(2)</sup>と実験データとをフィッティングし、表 5.1 のパラメータを導出している<sup>(3)</sup>。

$$\alpha_n(E) = \frac{eE}{\varepsilon_i^e} \exp\left\{-\frac{3\varepsilon_i^e \varepsilon_r}{(eE \lambda_e)^2}\right\} \quad (5.7)$$

$$\alpha_p(E) = \frac{eE}{\varepsilon_i^h} \exp\left\{-\frac{\varepsilon_i^h}{(eE \lambda_h)^2 / 3\varepsilon_r + eE \lambda_h}\right\} \quad (5.8)$$

$e$ : 電気素量 ( $=1.602 \times 10^{-19}$  C)

表 5.1 パラメータ

$\varepsilon_i^e$ [eV]	$\varepsilon_i^h$ [eV]	$\lambda_e$ [Å]	$\lambda_h$ [Å]	$\varepsilon_r$ [eV]
10	7	29.9	32.5	0.12

ここで、DESSISの初期設定値、A. O. KonstantinovらおよびR. Raghunathanらの報告値<sup>(4)</sup>から得られる300 Kにおける4H-SiCの衝突電離係数の電界依存性を図 5.1に示す。ただし、R. Raghunathanらのデータについては、彼らが実験により得た $\alpha_n$ が、電子が母材に衝突することによって発生する正孔の影響を受けている、と述べているため、 $\alpha_p$ のみを図に示す。 $\alpha_p$ に関しては、DESSISの初期設定値は、A. O. Konstantinovらのフィッティングした値より小さい。また、R. Raghunathanらの $\alpha_p$ は2.5 MV/cmでA. O. Konstantinovらの値の約1/6の値となっている。 $\alpha_n$ に関しては、DESSISの初期設定値の方が大きく、A. O. Konstantinovらの値との差は電界が小さくなるほど大きくなっている。次項において、これらの衝突電離係数を用いて解析した素子の耐圧と実験値の比較を行う。

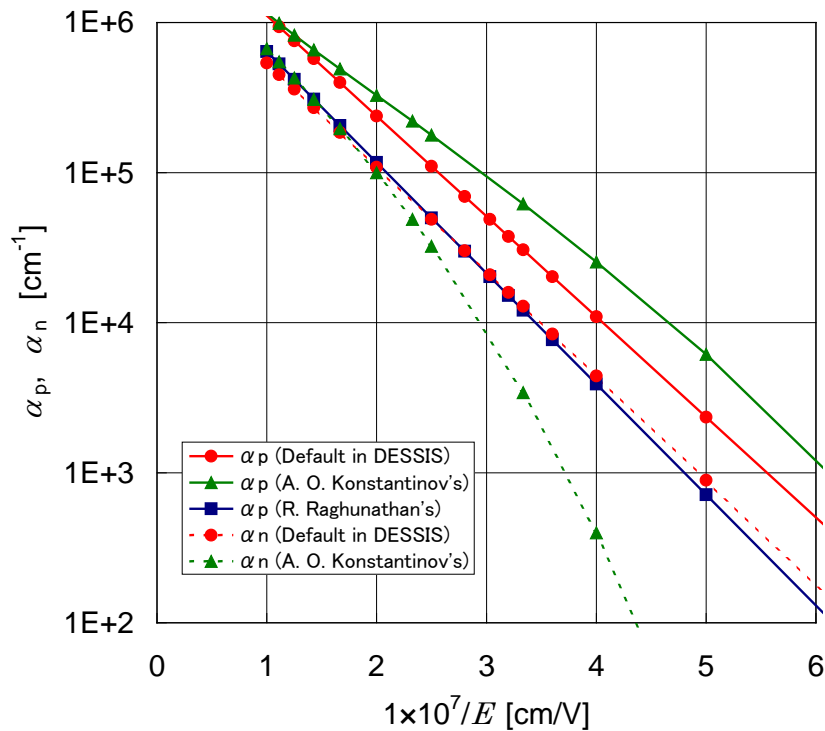


図 5.1 4H-SiC の衝突電離係数の電界依存性 (室温)

### 5.3 素子耐圧の解析値と実験値の比較

衝突電離係数 $\alpha_n$ ,  $\alpha_p$ がどの程度, 耐圧の評価値に影響があるかを, 報告されている表 5.2 のダイオード A, B および C について比較した.

表 5.2 ダイオード構造諸元

	Diode A	Diode B	Diode C
Thickness of Drift Layer [ $\mu\text{m}$ ]	26	14	3
Doping Density of Drift Layer [ $\text{cm}^{-3}$ ]	$4 \times 10^{15}$	$8 \times 10^{15}$	$5.2 \times 10^{16}$
Doping Density of p <sup>+</sup> Anode [ $\text{cm}^{-3}$ ]	$5 \times 10^{19}$	$2 \times 10^{19}$	$5 \times 10^{18}$
Presenter	Siemens <sup>(5)</sup>	Siemens <sup>(5)</sup>	ABB <sup>(3)</sup>

ダイオード A および B において, 衝突電離係数に DESSIS の設定値と A. O. Konstantinov らの値から(5.6)式の  $a_n$ ,  $b_n$ ,  $a_p$  および  $b_p$  を設定して解析した結果を図 5.2 および図 5.3 に示す. 両ダイオードとも, 衝突電離係数に DESSIS の初期設定値を用いた場合, 耐圧の解析値は, 実験値に比べ約 30 %, A. O. Konstantinov らの値を用いた場合は約 5 % 低くなった. ダイオード C の耐圧の解析値および実験値をダイオード A およびダイオード B とともに表 5.3 に示す. ダイオード C においても, 衝突電離係数に DESSIS の初期設定値を用いた場合, 解析した耐圧値は実験値より約 30 % 低く, A. O. Konstantinov らの衝突電離係数を用いた場合は約 2 % 高くなった. したがって, (5.6)式の  $a_n$ ,  $b_n$ ,  $a_p$  および  $b_p$  を適切に設定することにより, 耐圧の解析値を実験値に比較的近い値とでき, 解析的に理想耐圧を得ることができたと考えられる. ただし, 4H-SiC の物性値には異方性があるため, より精度の高い理想耐圧を解析的に得るためには, 衝突電離係数の異方性を考慮する必要がある.

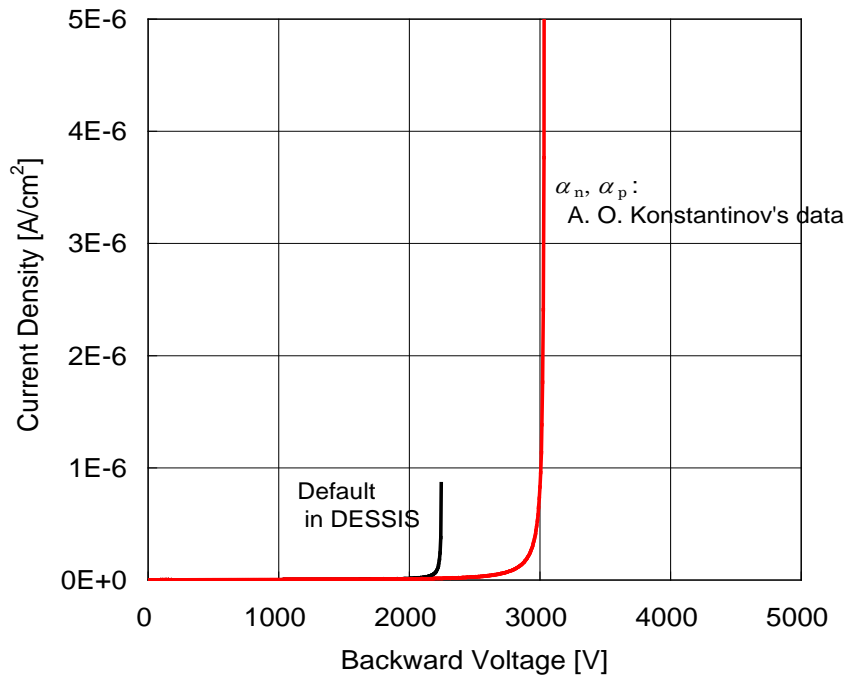


図 5.2 ダイオード A の逆方向特性 (解析結果)

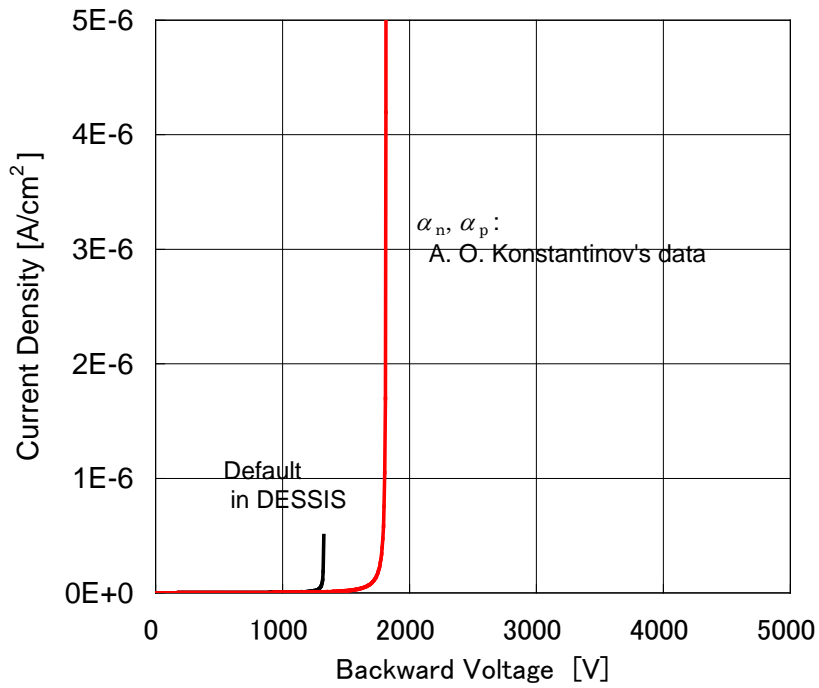


図 5.3 ダイオード B の逆方向特性 (解析結果)

表 5.3 各ダイオードの耐圧の解析値及び実験値

衝突電離係数	耐圧 [V]		
	Diode A	Diode B	Diode C
ISE 初期設定値	2245	1325	342
A. O. Konstantinov らの値	3035	1817	502
実験値	3150	1940	490

次に、5 kV以上の高耐圧pinダイオードについて、導出した理想耐圧と実験値の比較を行う。pinダイオードのドリフト層の不純物濃度と理想耐圧および実験値を図 5.4 に示す。実験値としては、ダイオード AおよびダイオードBの他に、第 2 章で述べた 6.2 kV pinダイオード、耐圧 19.5 kVおよび 14.9 kV のpinダイオード<sup>(6)</sup>をプロットした。ダイオードAおよびダイオードBは、前述したように理想耐圧とほぼ一致している。第 2 章で述べた 6.2 kV pinダイオードについては、理想耐圧は 7 kVであり、実験値の方が約 11 %小さかった。さらに厚い 120  $\mu\text{m}$ のドリフト層のpinダイオードでは、耐圧の実験値は理想耐圧とほぼ一致し、200  $\mu\text{m}$ のドリフト層のpinダイオードでは耐圧の実験値が理想耐圧より小さい。これは、ドリフト層の不純物濃度のバラツキの影響や、第 2 章の図 2.3 に示すようにダイオードの耐圧がJTEの不純物濃度に敏感であるためと考えられる。

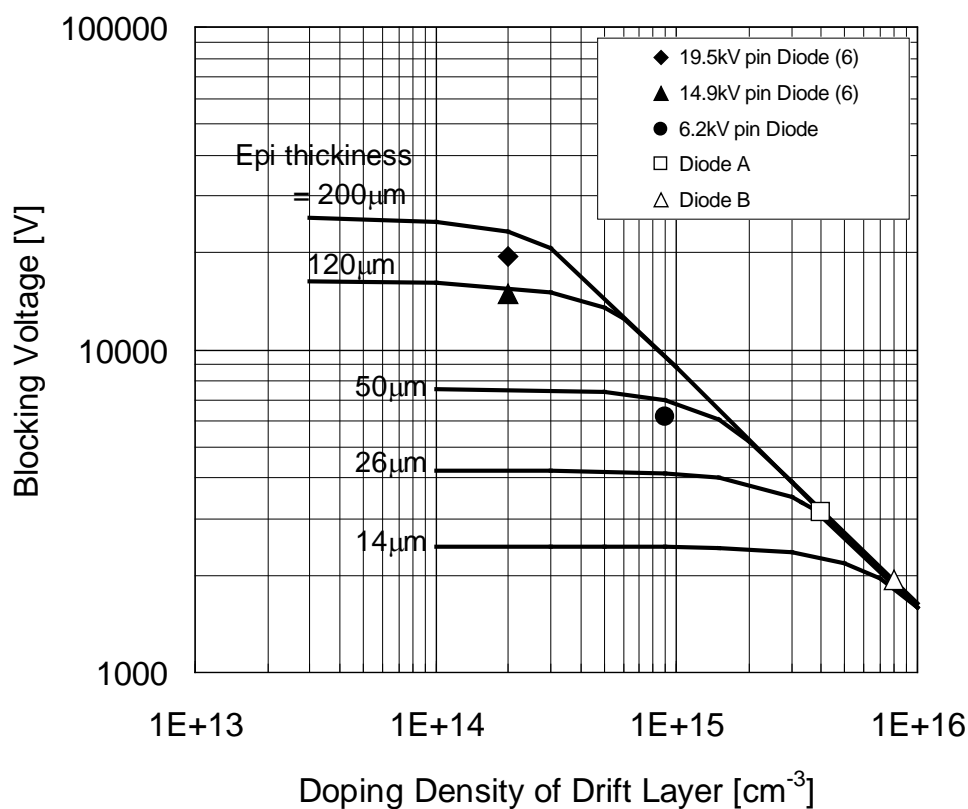


図 5.4 4H-SiC pin ダイオードの理想耐圧および試作された pin ダイオードの耐圧とドリフト層の不純物濃度の関係

次に第 3 章および第 4 章で述べた 4H-SiC SEMOSFET および SEJFET の耐圧の実験値および理想耐圧, さらにそれらの比を表 5.4 に示す. 試作した 4H-SiC SEMOSFET の耐圧は, 理想耐圧の 63 %, 試作した 4H-SiC SEJFET の耐圧は理想耐圧の 84 % となった. したがって, 試作した 4H-SiC SEMOSFET および SEJFET とも耐圧向上の余地があるといえる.

表 5.4 4H-SiC SEMOSFET および 4H-SiC SEJFET の耐圧の実験値と理想耐圧の比較

	Drift Layer		Blocking Voltage [kV]		Ratio [%]
	Thickness [ $\mu\text{m}$ ]	Doping Density [ $\text{cm}^{-3}$ ]	Experiment[1]	Simulation[2]	[1]/[2]
SEMOSFET	60	$7 \times 10^{14}$	5.02	8.0	63
SEJFET	45	$9 \times 10^{14}$	5.3	6.3	84

## 5.4 結言

4H-SiC デバイスの理想耐圧を検討し、報告されているダイオードおよび試作ダイオード、さらに試作した SEMOSFET および SEJFET の耐圧の実験値との比較を行った。

- (1) 報告されている衝突電離係数から解析に必要なパラメータを抽出し、耐圧の解析値を実験値の約 5 %以内とできていることを示し、理想耐圧を求めることができた。
- (2) 4H-SiC 高耐圧ダイオードおよび超高耐圧ダイオードの理想耐圧を求め、その耐圧と実験値を比較検討し、その差違を明らかにした。
- (3) 4H-SiC SEMOSFET および SEJFET の理想耐圧を解析し、試作した素子はそれぞれ理想耐圧の 63 %および 84 %を実現していることを示した。

以上のことから、耐圧を決める部位を特定し、その部位の電界を緩和する構造を適用することにより、理想耐圧に近い高耐圧の SiC デバイスの構造設計が可能となった。第 2 章から第 4 章に述べた、試作した 4H-SiC pin ダイオード、SEJFET および SEMOSFET の耐圧は、理想耐圧に比べ低い結果となっている。デバイスの各層や各領域の不純物濃度、厚みおよび幅のデバイス製作プロセスによるばらつき等を評価し、それらのばらつきを小さくすることはもちろんのこと、ばらつきの許容範囲を広げるデバイス構造を探っていくことが課題である。

### [ 参考文献 ]

- (1) A. G. Chynoweth, “Ionization rates for electrons and holes in Silicon”, Physical Review, vol. 109, No. 5, pp.1537-1570 (1958).
- (2) K. K. Thornber, J. Appl. Phys., 52, pp.279 (1981).
- (3) A. O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindefelt, “Ionization Rates and Critical Fields in 4H-SiC Junction Devices”, Materials Science Forum Vols. 264-268, pp.513-516, 1998.
- (4) R. Raghunathan, and B. J. Baliga, “Measurement of Electron and Hole Impact Ionization Coefficients for SiC”, Proceedings of ISPSD’97, pp.173-176 (1997).
- (5) H. Mitlehner, P. Friedrichs, D. Peters, R. Schörner, U. Weinert, B. Weis, and D. Stephani, “Switching behavior of fast high voltage SiC pn-diodes”, Proceedings of ISPSD’98, pp.127, 1998.
- (6) Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour, and T. Hayashi, “12-19kV 4H-SiC pin Diode with Low Power Loss”, Proceedings of ISPSD’01, pp.27-30 (2001).



## 第6章 SiC pinダイオードの回路モデルの検討

### 6.1 緒言

半導体素子を用いた回路を設計する際には、回路シミュレーションを行うことにより、回路上の過電圧、過電流および損失などを見積もることが可能である。しかし、一般に用いられるPSPICEではpin構造のダイオードの特性を模擬できていない。そのため、Si pinダイオードの回路モデルが提案されているが<sup>(1),(2),(3)</sup>、SiC素子の回路モデルについての報告は少ない<sup>(4)</sup>。報告されているpinダイオードの回路モデルは、ドリフト層の厚みや不純物濃度等の内部構造、およびキャリア移動度、少数キャリアのライフタイムなどの物理定数を必要としている。また、電気的特性の測定波形を数値的に模擬するビヘイビアモデルでは、その測定波形と同一の回路条件に適用が限定されるため、回路の構成要素や定数が異なると適用できない。本章では、第2章で述べたSiC pinダイオードに関して、その電気的特性を用い、回路の構成要素や定数が異なっても適用可能な回路要素モデルについて述べ、解析結果と実験結果を比較検討する。さらに、大容量圧接型SiCダイオードモジュール<sup>(5)</sup>の回路要素モデルについても解析結果と実験結果を比較検討する。

### 6.2 順方向特性

開発した6.2 kV SiC pinダイオードのオン抵抗と通電電流密度との関係は図2.14に示したように、通電電流密度  $J$  のべき数に依存している。そこで、そのダイオードのアノード・カソード間電圧と通電電流密度  $J$  を用いると、次式のように表される。

$$RonS = \frac{dV}{dJ} = k_0 J^a \quad (6.1)$$

ここで、 $k_0$  および  $a$  は定数である。ダイオードの面積を  $S$  とすると通電電流  $I$  は、

$$I = S \left\{ (V - V_{bi}) / k \right\}^{1/(a+1)} \quad (6.2)$$

と表される。ただし、 $k = k_0 / (a+1)$  であり、 $V_{bi}$  はビルトインポテンシャルである。したがって、pinダイオードは、電圧制御の電流源としてモデル化できることがわかる。

### 6.3 逆回復特性

図6.1にpinダイオードの逆回復過程での電流電圧波形の模式図を示す。期間 $t_0$ では、ダイオードの順方向に流れていた電流 $I_F$ が急速に減少する。期間 $t_1$ では、ダイオード内部の余剰キャリアが逆方向（ホールはカソードからアノード方向、電子はアノードからカソード方向）

に流れ、余剰キャリアは急速に減少する。期間 $t_2$ の初期は、pn接合近傍の余剰キャリアが消滅し、その部分から空乏層が広がり、ダイオードに逆電圧がかかり始める。さらに逆方向に電流が流れると、さらに空乏層が広がり、ダイオードの逆方向電圧が印加電圧と等しくなった時点で、逆方向電流がピーク値 $I_{rp}$ を迎える。その後の期間 $t_3$ ではドリフト層内の余剰キャリアが拡散し、逆方向電流は減衰する。その際、回路の浮遊インダクタンスにより、ダイオードに跳ね上がり電圧が印加される。逆電流が流れ始めてから逆電流ピーク値 $I_{rp}$ の90%と25%を結ぶ直線と時間軸との交点の時間までに流れた逆方向電流の時間積分は、逆回復電荷量 $Q_{rr}$ という。

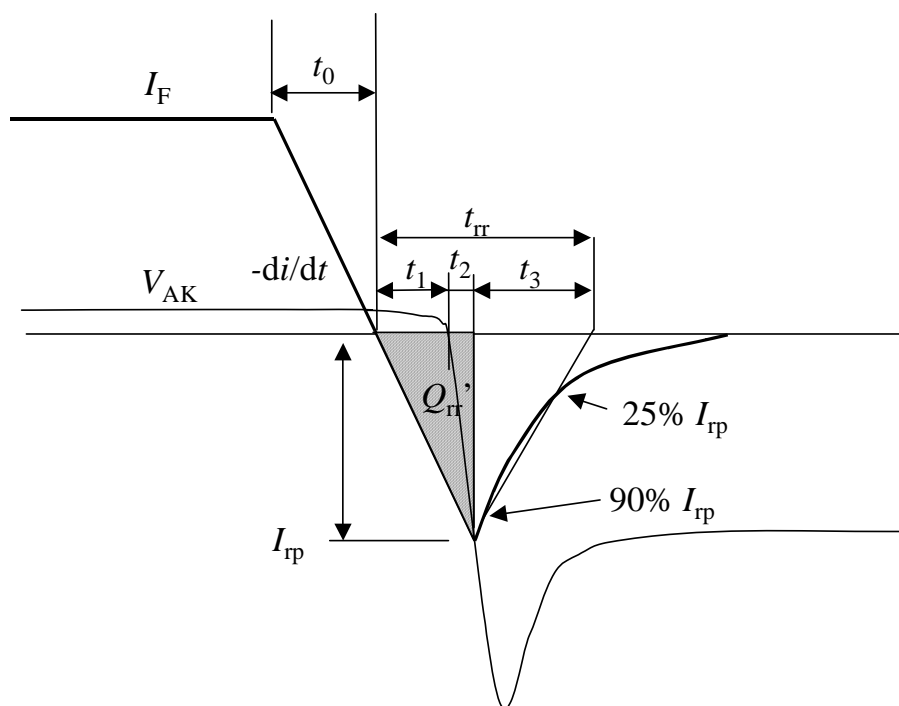


図 6.1 pin ダイオードの逆回復過程での電流電圧波形の模式図

この一連の逆回復特性をモデル化するにあたり、逆回復の過程を次の3つの期間に分け、それぞれの期間に応じた回路を、順方向電流電圧特性を模擬する回路に並列に接続して、スイッチSWのオンおよびオフのタイミングを制御する。モデル化した回路を図6.2に示す。順方向電流通電期間および順方向電流減少期間 $t_0$ では、前項で述べたように、ダイオードを図6.2の模式回路図(a)のように電流源とし、その電流値はダイオードのアノード・カソード間の電圧値から(6.2)式により制御する。順方向電流が急速に減少し、逆方向電流が流れ始めてから空乏層が広がるまでの期間 $t_1$ は、同図の回路(b)に示すように抵抗 $R_0$ およびビルトイン電圧

$V_{bi}$ を発生する直流電源を直列接続することにより、ダイオードがオン状態を保ちながら逆電流が流れる状態を模擬している。スイッチSWは、ダイオードのアノード-カソード間電圧が正の電圧で順方向電流が1 mA以下になったときにオンし、逆方向に電流を流す。また、逆方向電流の時間積分値がしきい値電荷量を越えるとスイッチSWをオフさせ、回路(b)に流れていた電流を回路(c)に転流する。そのしきい値電荷量は、pn接合近傍の余剰電荷量に相当し、ダイオードが電源電圧に耐える空乏層を形成する上で余剰な電荷量 $Q_{rr}'$ に対する比 $\alpha$ を用いて、 $\alpha Q_{rr}'$ で表す。ただし、 $Q_{rr}'$ は、図 6.1の斜線部で表され、期間( $t_1+t_2$ )に流れる逆電流の時間積分値である。すなわち、 $\alpha$ はpn接合近傍の余剰電荷量と $Q_{rr}'$ の比である。

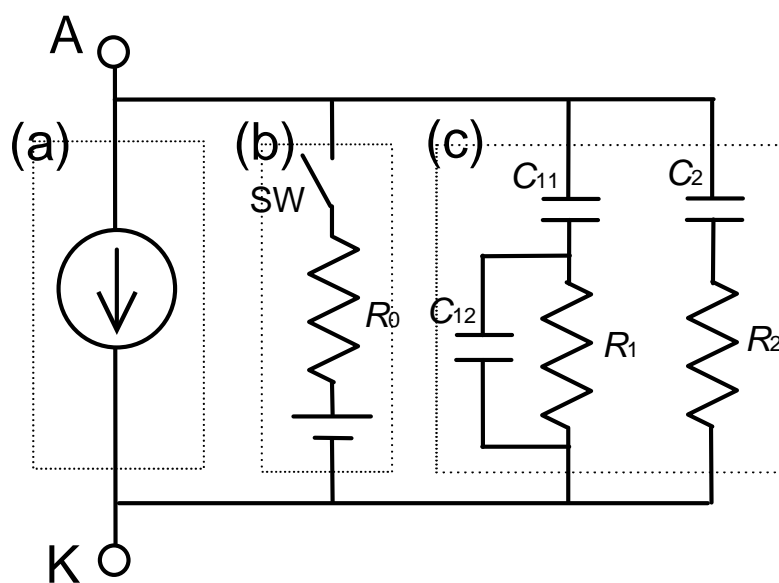


図 6.2 SiC pin ダイオードの回路要素モデル図

ここで、 $Q_{rr}'$ を求める。一般に、ダイオードのドリフト層内ではキャリアの再結合があり、順方向電流通電時のドリフト層内の電荷量 $Q_F$ は、逆回復電荷量 $Q_{rr}$ より多いが、電流減少率が大きい場合、 $Q_F \approx Q_{rr}$ と考えることができる。ここでは、電流減少率が大きい場合について検討する。キャリアのライフタイムを $\tau$ とすると、順方向通電電流が $I_F$ のとき、 $Q_F$ は

$$Q_F = \tau I_F \quad (6.3)$$

と表され、逆回復電荷量 $Q_{rr}$ は、

$$Q_{rr} \approx Q_F = \tau I_F \quad (6.4)$$

となる。また順方向通電電流が  $I_{F,0}$  のとき、順方向電流通電時のドリフト層内の電荷量を  $Q_{F,0}$  とすると、そのときの逆回復電荷量  $Q_{rr,0}$  は

$$Q_{rr,0} \approx Q_{F,0} = \tau I_{F,0} \quad (6.5)$$

と表されるので、(6.4)式および(6.5)式より、

$$\frac{Q_{rr}}{Q_{rr,0}} \approx \frac{Q_F}{Q_{F,0}} = \frac{I_F}{I_{F,0}} \quad (6.6)$$

となる。ゆえに、

$$Q_{rr} = \frac{I_F}{I_{F,0}} Q_{rr,0} \quad (6.7)$$

となる。ここで、ダイオードの順方向電流が  $I_F$  および  $I_{F,0}$  のときのピーク逆電流をそれぞれ  $I_{rp}$  および  $I_{rp,0}$ 、逆回復時間をそれぞれ  $t_{rr}$  および  $t_{rr,0}$  とすると、逆回復電荷量  $Q_{rr}$  および  $Q_{rr,0}$  はそれぞれ、

$$Q_{rr} \approx \frac{t_{rr}}{2} I_{rp} \quad (6.8)$$

$$Q_{rr,0} \approx \frac{t_{rr,0}}{2} I_{rp,0} \quad (6.9)$$

となる。また、逆方向電流のピークまでの時間積分値  $Q_{rr}'$  は(6.8)式、(6.9)式及び  $u (= t_3/(t_1+t_2))$  を用いて、

$$Q_{rr}' = \frac{t_1+t_2}{t_{rr}} Q_{rr} = \frac{1}{1+u} Q_{rr} = \frac{1}{1+u} \frac{I_F}{I_{F,0}} Q_{rr,0} \quad (6.10)$$

と表される。

また、逆回復電荷量  $Q_{rr}$  は、(6.4)式より順方向通電電流  $I_F$  およびキャリアライフタイムの積に依存し、 $u$  や電流減少率  $-di/dt$  によらないと考えられる。したがって、ある順方向通電電流  $I_{F,0}$  の逆回復時の電流波形より得られる逆回復時間  $t_{rr,0}$  および逆電流ピーク値  $I_{rp,0}$  を(6.9)式に代入すると、逆回復電荷量  $Q_{rr,0}$  が得られる。さらに、その電流波形から得られる  $t_1$ 、 $t_2$  および  $t_3$  より  $u$  を求め、(6.10)式に代入することにより、 $Q_{rr}'$  が得られる。 $Q_{rr}'$  は、回路の構成要素や定数が異なっても順方向通電電流  $I_F$  のみに依存することがわかる。

期間  $t_2$  以降は、図 6.2 の回路(c)に示すコンデンサおよび抵抗を用いた回路により、ある条件下で測定したダイオードの逆回復特性の波形とフィッティングすることにより、コンデン

サおよび抵抗の値を決める。

以上のように、逆回復特性は逆回復電荷量をもとに回路要素によりモデル化されるので、回路の構成要素や定数が異なっても適用可能と考えられる。

#### 6.4 解析結果と実験結果の比較

前項で述べた pin ダイオードの回路モデルの作製方法を、開発した SiC pin ダイオードに適用し、PSPICE を用いて解析を行い、その結果と実験結果とを比較評価した。

ここで、図 2.14 の 6.2 kV SiC pin ダイオードの室温でのオン抵抗の電流密度依存の実験結果より、(6.1)式の  $a$  は  $-0.6$  と求められる。また、(6.2)式の  $k$  および  $V_{bi}$  は、図 2.10 の順方向特性の任意の 2 点のデータを(6.2)式に代入すると、

$$k = 0.339 \text{ [m}\Omega\text{cm}^2/\text{A}^a] \quad (6.11)$$

$$V_{bi} = 2.59 \text{ [V]} \quad (6.12)$$

となった。計算にあたり、ダイオードの活性領域の面積  $S = 3.14 \times 10^{-4} \text{ cm}^2$  を用いた。

図 6.3 に 6.2 kV SiC pin ダイオードの順方向特性の解析値と実験値を示す。電流密度が  $0.1 \text{ A/cm}^2$  以下から  $2000 \text{ A/cm}^2$  以上の範囲で実験結果と一致している。

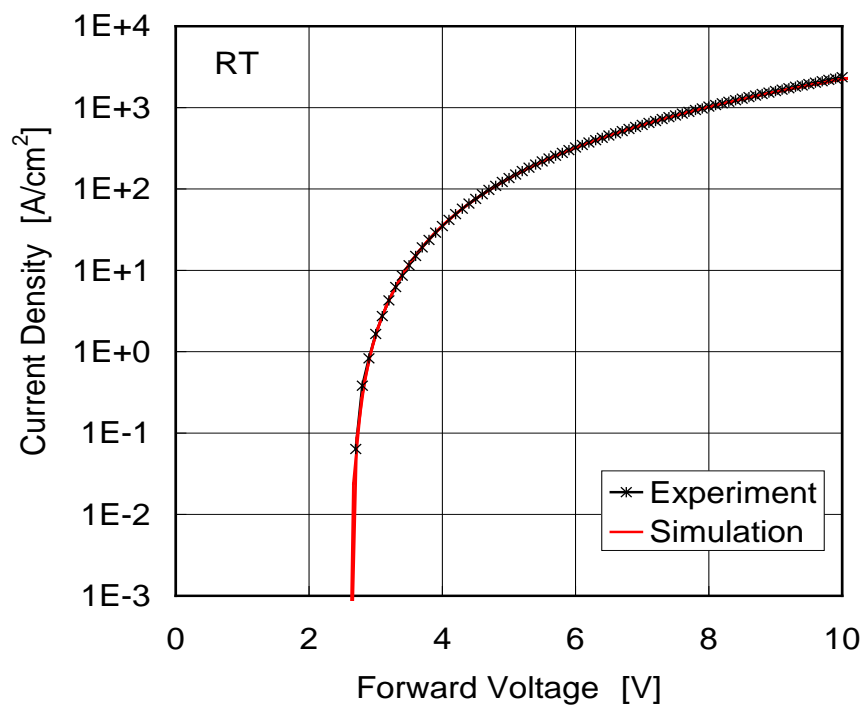


図 6.3 6.2 kV SiC pin ダイオードの順方向特性の解析値と実験値

pin ダイオードの逆回復特性は、図 6.4 のチョッパ回路を用いて解析した。解析では、誘導負荷 2.37 mH と抵抗 13  $\Omega$  を直列接続した負荷を用いた。6.2 kV SiC pin ダイオードの回路モデルの定数を表 6.1 に示す。

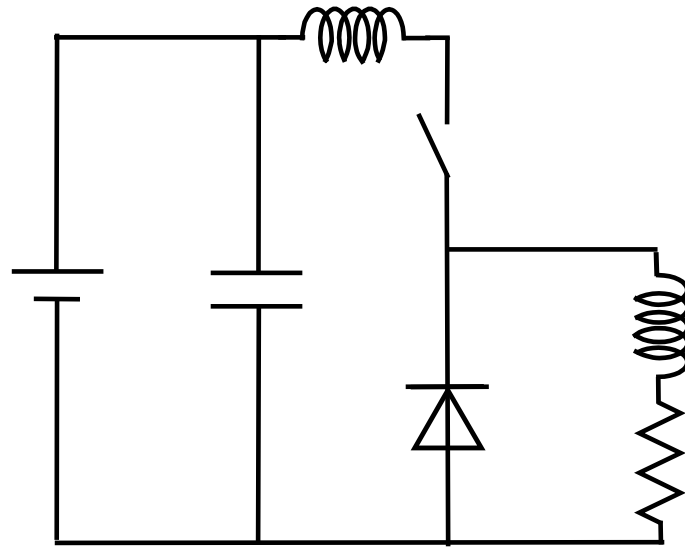


図 6.4 pin ダイオードの逆回復特性の解析回路図

表 6.1 6.2 kV SiC pin ダイオードの回路モデルの定数

パラメータ	値
$\alpha$	0.55
$R_0$	5 $\Omega$
$R_1$	630 $\Omega$
$R_2$	4.5 k $\Omega$
$C_{11}$	75 pF
$C_{12}$	12 pF
$C_2$	350 pF

図 6.5 に 6.2 kV SiC pin ダイオードの逆回復特性の解析波形と実験波形を示す。順方向通電電流は、97 mA であり、電流密度では 50 A/cm<sup>2</sup> である。実験では、電圧プローブの容量が電流波形に影響を及ぼすことを排除するため、電圧波形の計測は行わなかった。逆回復特性の解析波形と実験波形はよくあっており、電流減衰時の電流振動も模擬できている。この振動は、ダイオードの容量成分と回路の浮遊インダクタンスとの共振により起こっていると考えられる。図 6.6 に 2 倍の通電電流(194 mA (100 A/cm<sup>2</sup> 相当)) とした場合の逆回復特性の解析波形と実験波形を示す。用いた回路モデル定数は、順方向通電電流が 97 mA のときと同じである。逆電流ピーク値は、解析値の方が実験値より約 10 % 大きくなった。逆電流が減少するときの電流振動は、97 mA のときと同様に現れている。そこで、電流振動の原因と考えられる浮遊インダクタンスの影響を調べる。図 6.7 に 6.2 kV SiC pin ダイオードの逆回復特性の電流減少率依存性を解析した結果を示す。電流減少率が大きくなると、電流振動の振幅も大きくなっており、ノイズの原因となると考えられる。

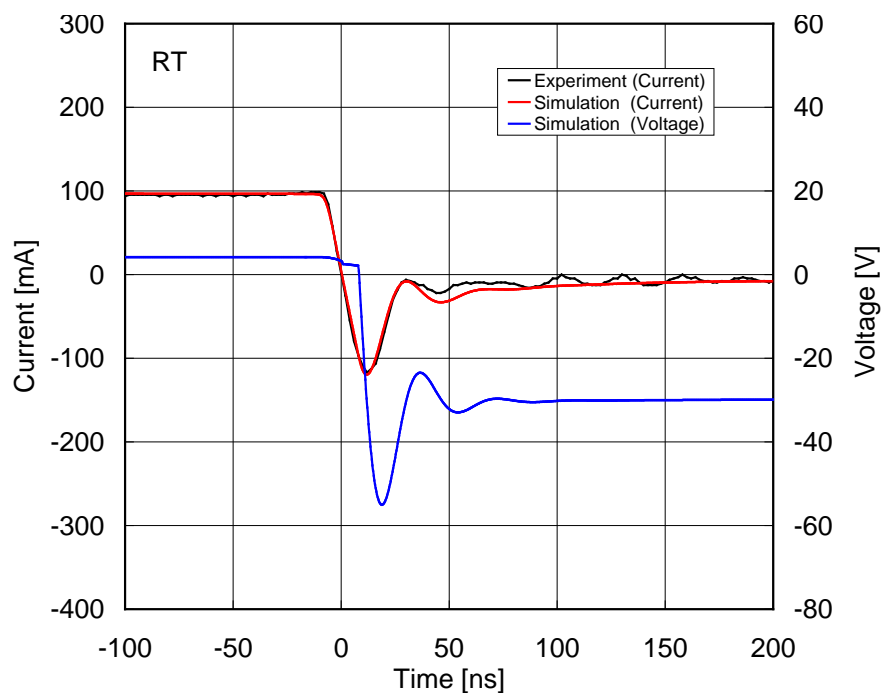


図 6.5 6.2 kV SiC pin ダイオードの逆回復特性の解析波形と実験波形 (97 mA)

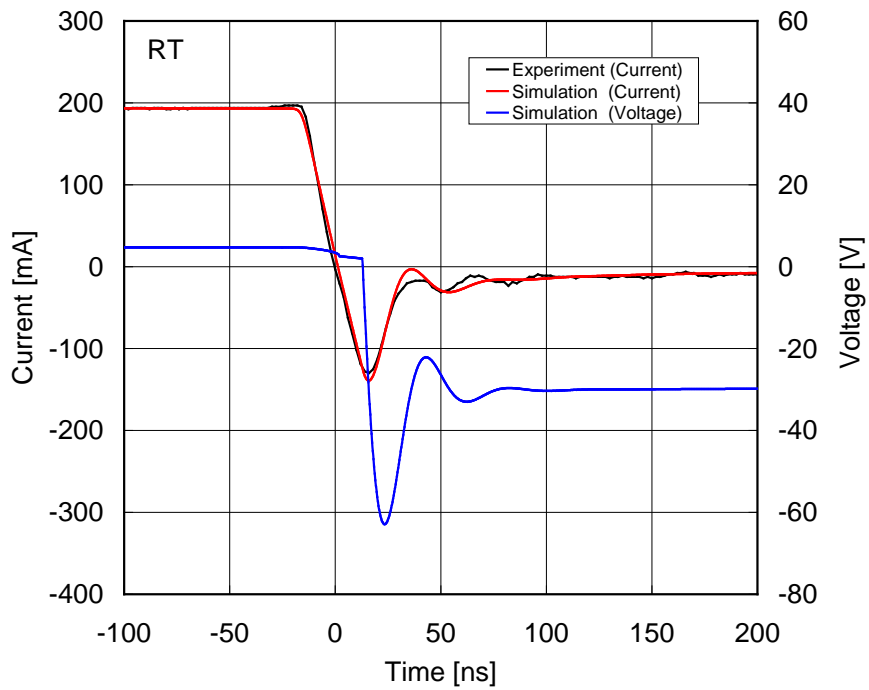


図 6.6 6.2 kV SiC pin ダイオードの逆回復特性の解析波形と実験波形 (194 mA)

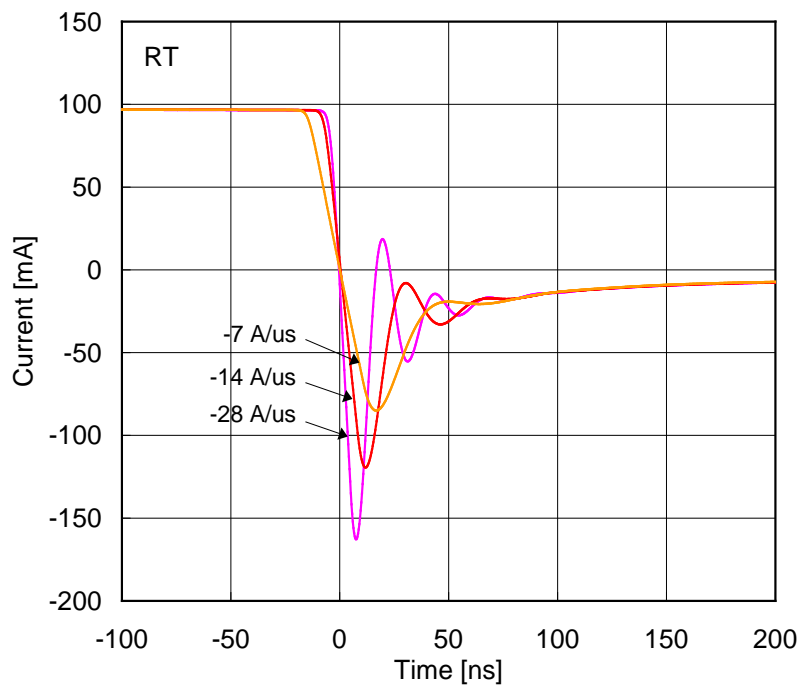


図 6.7 6.2 kV SiC pin ダイオードの逆回復特性の電流減少率依存性 (解析値)



次に、pin ダイオードのモデル作製方法を、別途開発した 3 kV-600 A 4H-SiC pin ダイオードモジュール<sup>(6)</sup>に適用し、その妥当性を評価した。図 6.8 に 3 kV-600 A SiC ダイオードモジュールの逆回復特性の解析波形および実験波形を示す。解析および実験波形はよく一致しており、本章で述べた pin ダイオードのモデル作製方法は大容量ダイオードについても適用でき、妥当であるといえる。

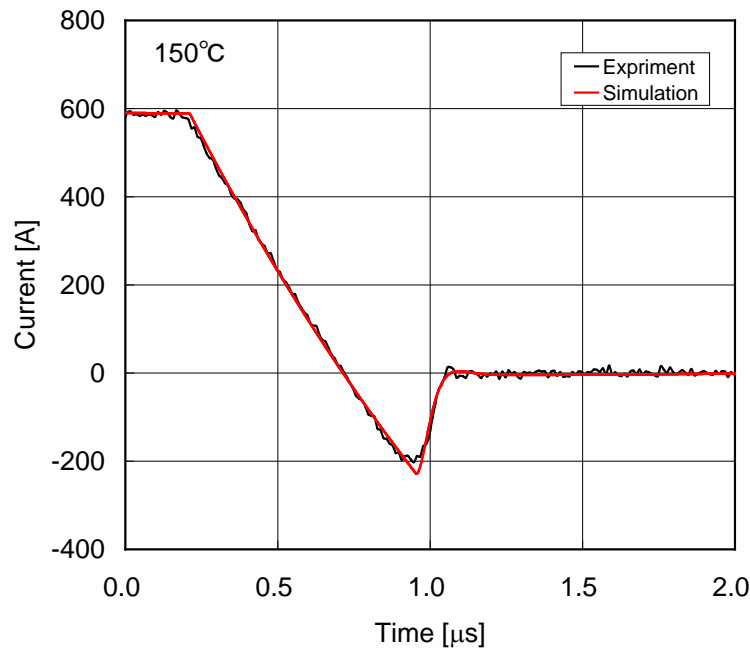


図 6.8 3 kV-600 A 4H-SiC ダイオードモジュールの逆回復特性の解析波形と実験波形

## 6.5 結言

pin ダイオードの回路要素モデル作製方法を提案し、開発した 6.2 kV 4H-SiC pin ダイオードおよび 3 kV-600 A 4H-SiC pin ダイオードモジュールにおいて、解析波形と実験波形の比較を行った。

- (1) ダイオードの順方向特性は、オン抵抗の電流密度依存性および電流電圧特性の任意の 2 つの実験データを用い、電圧制御の電流源により模擬した。解析結果は、広い電流範囲において実験結果と一致することを示した。
- (2) ダイオードの逆回復特性は、通電電流減少期間、オン状態で逆電流が通電する期間および逆電圧印加期間の 3 つの期間に対応する回路を並列にスイッチで接続し、そのスイッチを制御することにより、模擬した。開発した 6.2 kV 4H-SiC pin ダイオードにおいて、順方向通電電流を増加しても、ほぼ実験結果に一致する解析結果が得られた。

- (3) 浮遊インダクタンスとダイオードの容量成分が電流振動を引き起こすことを示した.
- (4) 3 kV-600 A 4H-SiC pin ダイオードモジュールにおいて, 提案した回路要素モデル作製方法を用い, 逆回復特性を解析した. 解析した波形は, 実験波形とほぼ一致し, 回路要素モデル作製方法が妥当であることを示した.
- (5) 構築した SiC pin ダイオードの回路モデルは, 回路要素により構成しているので, そのダイオードを組み込んだ回路の構成要素や定数が異なっても適用可能であるといえる.

以上のことから, 開発した SiC pin ダイオードの回路要素モデルを構築できた. これにより, SiC pin ダイオードを用いた回路において, 回路シミュレーションにより, 回路上の過電圧, 過電流および損失などをより精度よく見積もることが可能になったと考えられる.

[ 参考文献 ]

- (1) C. L. Ma and P. O. Lauritzen, "A Simple Power Diode Model with Forward and Reverse Recovery", IEEE Trans. on Power Electron., vol. 8, No. 4, pp.342-346(1993).
- (2) H. Goebel, "A Unified Method for Modeling Semiconductor Power Devices", IEEE Trans. on Power Electron., vol. 9, No. 5, pp.497-505(1994). K. K. Thornber, J. Appl. Phys., 52, pp.279 (1987).
- (3) P. M. Iqic, P. A. Mawby, M. S. Towers and S. Batcup, "New physically-based PiN diode compact model for circuit modeling applications", IEE Proc.-Circuits Devices Syst., vol. 149, No. 4, pp.257-263(2002).
- (4) J. Mookken, R. Lewis, J. L. Hudgins, A. Agarwal, J. B. Casady, and S. Siergie, "Switching Characteristics of an Asymmetrical Complementary 4H-SiC Gate Turn Off (GTO) Thyristor", IEEE LAS Annual Mtg, Rec., pp. 1000-1005(1997).
- (5) Y. Sugawara, D. Takayama, K. Asano, R. Singh, H. Kodama, S. Ogata and T. Hayashi, "3kV 600A 4H-SiC High Temperature Diode Module", Proceedings of ISPSD'02, pp.245-248(2002).

## 第7章 結 論

高耐圧 SiC FET およびダイオードの電力変換回路への適用に関する本基礎的研究の結果を総括して、以下に示す。

- (1) 高耐圧かつ低オン電圧の 4H-SiC pin ダイオードを開発することを目的とし、ダイオードの p 型アノード層にはエピタキシャル膜、ターミネーションには、浅いメサ状の底面に p 型領域をイオン注入により形成した新構造のメサ JTE を採用した。メサ JTE はメサコーナ一部を覆うように形成することにより、室温において、6.2 kV の世界最高耐圧、4.7 V (at 100 A/cm<sup>2</sup>) の低いオン電圧、28.5 ns の短い逆回復時間を実現した。SiC pin ダイオードは、Si pin ダイオードの耐圧とオン電圧(100 A/cm<sup>2</sup>) のトレードオフを越えたものである。オン抵抗は、Si pin ダイオードに比べ 5 倍から 10 倍小さく、逆回復損失は、4.5 kV Si ダイオードに比べ、約 1/29 の損失と推定した。高温での逆回復時間は、室温より遅くなるが、550 K でも 63 ns と高速であることを示した。さらに、キャリアライフタイムを導出し、室温では 64 ns、623 K では 1.09 μs となることを明らかにした。

(第 2 章)

- (2) 埋込ゲート構造を設けた SiC SEMOSFET を考案した。本 SEMOSFET では、埋込ゲートにビルトイン電圧以下の電圧を印加することにより、埋込ゲート周辺の空乏層を狭め、チャンネルを広げ、蓄積層ばかりでなく、チャンネル領域のより深いバルク中も導電率を高くすることができた。そのため、MOS チャンネル移動度が小さくても、オン抵抗を大幅に低減することが可能である。試作した 4H-SiC SEMOSFET は、耐圧 5.02 kV、オン抵抗 88 mΩcm<sup>2</sup> であり、2 kV 以上の MOSFET としては最も優れた耐圧とオン抵抗のトレードオフを示す。オン抵抗は、Si FET の理論限界の 1/140 であり、性能指数 (= (耐圧)<sup>2</sup> / RonS) は 286 MW/cm<sup>2</sup> である。埋込ゲート電圧を 2.5 V とすることにより、埋込ゲート電圧を 0 V とする ACCUFET モードに比べ、約 5.2 倍の出力電流を得ることができ、SiC SEMOSFET の低オン抵抗および高出力を示せた。室温の低電圧でのターンオン時間は 31 ns、ターンオフ時間は 35 ns と高耐圧 Si MOSFET に比べ、大幅に高速であり、600 V 以下の Si MOSFET と比較しても同等程度のスイッチング速度であることを明らかにした。

(第 3 章)

- (3) 横型チャンネルおよび縦型チャンネルの 2 つのチャンネルを有した縦型の SiC JFET (SEJFET と呼ぶ) を考案し、p 型埋込領域と最上面に形成した p 型領域とによって挟まれた横型チ

チャネル領域に形成される空乏層をゲートで制御する構成により、高耐圧および低オン抵抗を実現した。試作した 1.7 mm 角 4H-SiC SEJFET はノーマリオフであり、耐圧 5.3 kV、オン抵抗  $69 \text{ m}\Omega\text{cm}^2$  と耐圧 2 kV 以上の SiC FET の中で最高のトレードオフを実現した。電流利得は 533 以上とバイポーラトランジスタに比べ大幅に大きかった。4.2 mm 角 4H-SiC SEJFET では、3.3 A の出力電流を実現し、耐圧 2 kV 以上の SiC FET では最高の出力を得ることができた。室温から 600 K までの温度範囲において、ノーマリオフを維持でき、Si の最高使用温度の 398 K から 423 K を大幅に上回る 600 K でも使用可能であることがわかった。オン抵抗は温度の 2.8 乗に依存し、伝達コンダクタンスは温度の  $-2.1$  乗に依存した。室温での低電圧のターンオン時間は、20 ns、ターンオフ時間は 47 ns であり、試作した 4H-SiC SEMOSFET と同程度の高速性を得ることができた。

(第 4 章)

- (4) 報告されている衝突電離係数から解析に必要なパラメータを抽出し、耐圧の解析値を実験値の約 5 %以内とできていることを示し、理想耐圧を求めることができた。4H-SiC 高耐圧ダイオードおよび超高耐圧ダイオードの理想耐圧を求め、その耐圧と実験値を比較検討し、その差違を明らかにした。4H-SiC SEMOSFET および SEJFET の理想耐圧を解析し、試作した素子はそれぞれ理想耐圧の 63 %および 84 %を実現していることを示した。

(第 5 章)

- (5) ダイオードの順方向特性は、オン抵抗の電流密度依存性および電流電圧特性の任意の 2 つの実験データを用い、電圧制御の電流源により模擬した。解析結果は、広い電流範囲において実験結果と一致することを示した。ダイオードの逆回復特性は、通電電流減少期間、オン状態で逆電流が通電する期間および逆電圧印加期間の 3 つの期間に対応する回路を並列にスイッチで接続し、そのスイッチを制御することにより、模擬した。開発した 6.2 kV 4H-SiC pin ダイオードにおいて、順方向通電電流を増加しても、ほぼ実験結果に一致する解析結果が得られた。浮遊インダクタンスとダイオードの容量成分が逆回復電流の振動を引き起こすことを示した。また、3 kV-600 A 4H-SiC pin ダイオードモジュールにおいて、提案した回路モデル作製方法を用い、逆回復特性を解析した。解析した波形は、実験波形とほぼ一致し、回路モデル作製方法が妥当であることを示した。構築した SiC pin ダイオードの回路モデルは、回路要素により構成しているので、解析する回路の構成要素や定数が異なっても適用可能であるといえる。

(第 6 章)

以上により、SiC 半導体を用いた MOSFET、JFET および pin ダイオードの高耐圧性、Si パワーデバイスに比べた大幅な低損失性および応答の高速性を実証するとともに、SiC ダイオードの回路モデルを構築し、SiC パワーデバイスの電力変換回路への適用に大きく近づけることができた。

## 謝 辞

本研究の遂行および本論文の作成にあたり，終始懇切なる御指導，御鞭撻を賜りました京都大学大学院工学研究科引原隆士教授に深厚なる謝意を表します。

また，本論文をとりまとめるにあたり，多くの暖かい御指導ならびに貴重な御助言を賜りました京都大学大学院工学研究科大澤靖治教授ならびに木本恒暢助教授に深く感謝いたします。

本研究の遂行にあたり，終始懇切なる御指導及び御検討を賜りました関西電力株式会社電力技術研究所菅原良孝エグゼクティブリサーチャーに深厚なる謝意を表します。また，素子のモデリングに，御指導および御検討を賜りました京都大学大学院工学研究科舟木剛助教授に心より謝意を表します。

本研究を進めるにあたり，御援助および御配慮をいただきました関西電力株式会社研究開発室加藤有一チーフマネージャー，同社電力技術研究所福田秀樹所長，同社電力技術研究所プロジェクト研究室美濃由明主幹に心から感謝いたします。

本研究を進めるにあたり，素子を製作いただいた CREE 社の John W. Palmour 副社長，Ranbir Singh 様(現在は退職)，Sei-Hyung Ryu 様に深く感謝いたします。

また，素子の特性評価に多大なる協力を下さった関西電力株式会社研究開発室林利彦様，同社電力技術センター高山大輔様，株式会社かんでんエンジニアリング旭章夫様，デバイスシミュレーションに多大なる協力を下さったブレインワークス入倉宏様に心から感謝いたします。

最後に，関西電力株式会社電力技術研究所プロジェクト研究室に在籍中の皆様方，京都大学引原研究室を卒業された皆様方ならびに在学中の皆様方に感謝いたします。

本論文は，このような多くの方々の御指導と御協力の賜物であり，再度心から感謝の意を表し，お礼申し上げます。

## 業績目録

### 1. 学術雑誌発表論文

- (1) 浅野勝則, 菅原良孝, “8 kV・3.5 kA 級光サイリスタの特性測定方法の統一と性能指数”, 電気学会論文誌 D, Vol. 121, No.7, pp.777-784 (2001).
- (2) 浅野勝則, 林利彦, 高山大輔, 菅原良孝, Ranbir Singh, John W. Palmour, “6.2 kV 高耐圧低損失 4H-SiC pn ダイオードの動特性”, 電気学会論文誌 D, Vol. 123, No.5, pp.623-627 (2003).
- (3) 浅野勝則, 林利彦, 高山大輔, 菅原良孝, Ranbir Singh, John W. Palmour, “6.2 kV 高耐圧低損失 4H-SiC pin ダイオードの静特性”, 電気学会論文誌 D, Vol. 123, No.6, pp.660-666 (2003).
- (4) 浅野勝則, 林利彦, 高山大輔, 菅原良孝, Sei-Hyung Ryu, John W. Palmour, “ノーマリオフ型 5 kV 級 4H-SiC JFET “SEJFET”の電気的特性”, 電気学会論文誌 D, Vol. 125, No.1, pp.26-31 (2005).
- (5) 浅野勝則, 林利彦, 高山大輔, 菅原良孝, Sei-Hyung Ryu, John W. Palmour, “5 kV 級 4H-SiC SEJFET のオン特性の温度依存性及びスイッチング特性”, 電気学会論文誌 D, Vol. 125, No.2, pp.147-152 (2005).
- (6) 浅野勝則, 林利彦, 高山大輔, 菅原良孝, Sei-Hyung Ryu, John W. Palmour, “新構造 5 kV 級 4H-SiC SEMOSFET の電気的特性”, 電気学会論文誌 D, Vol. 125, No.3, pp.229-235 (2005).
- (7) K. Asano, T. Funaki, Y. Sugawara and T. Hikihara, “Simple circuit model of SiC pin diode composed by using experimental electrical characteristics”, IEICE Electronics Express, Vol. 2, No. 13, pp.392-398 (2005).
- (8) K. Asano, K. Nii, T. Funaki, T. Kimoto, and T. Hikihara, “New Circuit Model of SiC Schottcky Barrier Diode” (under consideration).
- (9) 浅野勝則, 舟木剛, 引原隆士, 菅原良孝, “高耐圧 4H-SiC pin ダイオードの耐圧シミュレーション”, 電気学会論文誌 (投稿検討中).

### 2. 国際会議発表論文

- (1) Y. Sugawara and K. Asano, “1.4 kV 4H-SiC UMOSFET with Low Specific On Resistance”, Proceedings of ISPSD'98, pp.119-122 (1998).

- (2) K. Asano and Y. Sugawara, "Unified evaluation and Figure of Merit for 8 kV–3.5 kA Light Triggered Thyristor", Proceedings of ISPSD'98, pp. 229-232 (1998).
- (3) Y. Sugawara, K. Asano, R. Singh and J.W.Palmour:" 6.2 kV 4H-SiC pin Diode with Low Forward Voltage Drop", Proceedings of ICSCRM'99, pp.170-173 (1999).
- (4) Y. Sugawara, K. Asano and R. Saito, "3.6 kV 4H-SiC JBS Diodes with Low RonS", Materials Science Forum, Vols. 338-342 (2000), pp. 1183-1186 (2000).
- (5) K. Asano, T. Hayashi, R. Saito and Y. Sugawara, "High Temperature Static and Dynamic Characteristics of 3.7kV High Voltage 4H-SiC JBS", Proceedings of ISPSD'2000, pp.97-100 (2000).
- (6) Y. Sugawara, K. Asano, R. Singh, J. Palmour and D. Takayama, "4.5 kV novel high voltage high performance SiC-FET "SIAFET", Proceedings of ISPSD'2000, pp.105-108 (2000).
- (7) Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour and T. Hayashi, "12–19 kV 4H-SiC pin Diode with Low Power Loss", Proceedings of ISPSD'01, pp.27-30 (2001).
- (8) K. Asano, Y. Sugawara, S. Ryu, R. Singh, J. Palmour, T. Hayashi and D. Takayama, "5.5 kV Normally-off Low RonS 4H-SiC SEJFET", Proceedings of ISPSD'01, pp.23-26 (2001).
- (9) D. Takayama, Y. Sugawara, T. Hayashi, R. Singh, J. Palmour, S. Ryu and K. Asano, "Static and Dynamic Characteristics of 4–6 kV 4H-SiC SIAFETs", Proceedings of ISPSD'01, pp.41-44 (2001).
- (10) Y. Sugawara, K. Asano, D. Takayama, S. Ryu, R. Singh, J. Palmour and T. Hayashi, "5.0 kV 4H-SiC SEMOSFET with low RonS of 88 mΩcm<sup>2</sup>", Proceedings of ICSCRM2001 (2001).
- (11) K. Asano, Y. Sugawara, T. Hayashi, S. Ryu, R. Singh, J. Palmour and D. Takayama, "5 kV 4H-SiC SEJFET with Low RonS of 69 mΩcm<sup>2</sup>", Proceedings of ISPSD'02, pp.61-64 (2002).
- (12) Y. Sugawara, D. Takayama, K. Asano, R. Singh, H. Kodama, S. Ogata and T. Hayashi, "3 kV 600 A 4H-SiC High Temperature Diode Module", Proceedings of ISPSD'02, pp.245-248 (2002).
- (13) Y. Sugawara, D. Takayama, K. Asano, S. Ryu, A. Miyauchi, S. Ogata and T. Hayashi,



- “4H-SiC High Power SIJFET Module”, Proceedings of ISPSD’03, pp.127-130 (2003).
- (14) K. Asano, Y. Sugawara and K. Nakayama, “A Novel Ultra High Voltage 4H-SiC Bipolar Device : MAGBT”, Proceedings of ISPSD’04, pp.305-308 (2004).
- (15) Y. Sugawara, D. Takayama, K. Asano, A. Agarwal, S. Ryu, J. Palmour and S. Ogata, “12.7 kV Ultra High Voltage SiC Commutated Gate Turn-off Thyristor : SICGT”, Proceedings of ISPSD’04, pp.365-368 (2004).
- (16) K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and D. Takayama, “4H-SiC pin Diodes on the (000-1) C-Face with Reduced Forward Degradation”, Proceedings of ISPSD’04, pp.357-360 (2004).
- (17) H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Izumi, K. Nakayama, R. Ishii, K. Asano and Y. Sugawara, “Investigation of Basal Plane Dislocations in the 4H-SiC Epilayers Grown on {0001} substrates”, Materials Science Forum, Vols. 483-485 (2005), pp.97-100 (2005).
- (18) K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and R. Ishii, “8.3 kV 4H-SiC pin Diode on (000-1) C-face with Small Forward Voltage Degradation”, Materials Science Forum, Vols. 483-485 (2005), pp.969-972 (2005).
- (19) Y. Sugawara, K. Asano, S. Ogata, A. Agarwal, S. Ryu, J. Palmour, S. Okada, and Y. Miyanagi, “4.5 kV 60 A SICGT and its Half Bridge Inverter Operation of 20 kVA Class”, Proceedings of ISPSD’05, pp.295-298 (2005).

### 3. 著書(分担執筆)

半導体 SiC 技術と応用 (7.7 節, 8.4 節分担執筆, 松波弘之編著) 日刊工業新聞社

### 4. 報奨

#### (1) ISPSD’01 Best Paper Award, 2002 年 6 月受賞

K. Asano, Y. Sugawara, S. Ryu, R. Singh, J. Palmour, T. Hayashi and D. Takayama, “5.5kV Normally-off Low RonS 4H-SiC SEJFET”, Proceedings of ISPSD’01, pp.23-26 (2001).

#### (2) 電気学会学術振興賞(進歩賞), 2003 年 5 月受賞

菅原良孝, 浅野勝則, 「高耐压低損失 S i C 半導体素子の開発」

(3) 電気学会学術振興賞(論文賞), 2004年5月受賞

浅野勝則, 林利彦, 高山大輔, 菅原良孝, Ranbir Singh, John W. Palmour, “6.2 kV 高耐圧  
低損失 4H-SiC pn ダイオードの動特性”, 電気学会論文誌 D, Vol. 123, No.5, pp.623-627  
(2003).