

BIST: RESPUESTA A LOS NUEVOS DESAFÍOS PARA EL TEST DE SISTEMAS EN CHIP (I)



Jorge-Luis Sánchez-Ponz

Institut für Informatik - Abteilung Rechnerarchitektur
Universität Stuttgart, Deutschland
IEEE Region 8 GOLD Coordinator
E-mail: j.s.ponz@ieee.org

Resumen - Las técnicas BIST posibilitan que un circuito integrado realice su propio test por sí mismo. BIST reduce los costes de test y mantenimiento para sistemas en chip gracias a la eliminación de costosos equipos externos de test y permitiendo la localización de circuitos defectuosos dentro de sistemas. BIST puede llevar a cabo el test a la frecuencia normal de funcionamiento del diseño, lo que es fundamental a la hora de detección de fallos relativos a la temporización. A pesar de estas ventajas, BIST ha tenido y tiene un uso muy limitado en la industria porque añade más área al circuito e incrementa el tiempo de diseño.

Palabras clave - Sistemas en chip, Test, ASIC, Propiedad Intelectual, DFT, ATPG, BIST.

I. INTRODUCCIÓN Y MOTIVACIÓN

Los tradicionales sistemas imbuidos (embedded systems) eran típicamente aplicaciones industriales construidas con un sencillo microcontrolador como principal funcionalidad electrónica. Ahora, estos sistemas están siendo rápidamente introducidos en un amplio abanico de aplicaciones y producidos en inmensas cantidades. Más aún, la complejidad de los sistemas imbuidos se incrementa de forma pareja con los productos electrónicos en general, siguiendo la conocida Ley de Moore (Figura 1).

Considérese lo que está ocurriendo. En lo referente al circuito integrado (chip), el tamaño de los elementos componentes se reduce alrededor de un 30% cada tres años. Pero al mismo tiempo el tamaño del circuito en sí aumenta un 12% al año (Figura 2), mientras que cada año se inician más del 50% de los nuevos diseños. Esta situación ya supone un problema, pues las diferencias en la productividad de los diseños se acrecenta de manera imparable.

Ejemplos de nuevas aplicaciones pueden encontrarse en la industria automovilística, imagen digital, productos de electrónica de consumo, productos industriales, redes de comunicaciones, seguridad, almacenamiento de información y comunicaciones inalámbricas [2].

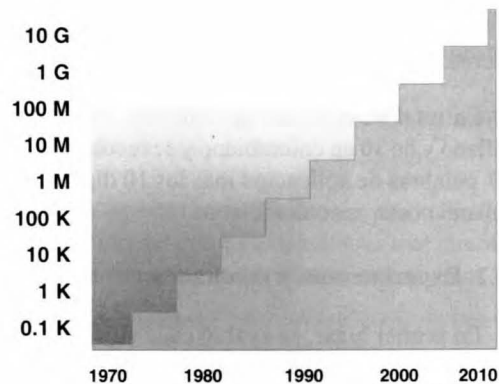


Figura 1 - Ley de Moore aplicada a las memorias (el tamaño se multiplica por cuatro cada tres años).

La gran mayoría de estos productos tienen fuertes restricciones y limitaciones respecto al coste, tamaño, consumo de potencia y rendimiento, por nombrar algunos de los parámetros más importantes con impacto en la competitividad y en el éxito de los diseños. Sin embargo, todos estos parámetros se encuentran correlados con el grado de integración. De ahí, el hecho de que sea tan importante sacar ventaja de las nuevas tecnologías y desarrollar metodologías que soporten la integración.

Los nuevos productos integrados tienden a presentar un ciclo de vida muy corto, a la vez que su complejidad aumenta. Esta circunstancia ya se anticipa como una emergente crisis en el diseño, i.e. la dificultad para enjaezar la complejidad y disminuir el tiempo hasta la comercialización. A fin de afrontar esta situación, un nuevo paradigma de diseño se está desarrollando, principalmente evolucionando desde la composición de diseños a base de bloques constitutivos a muy bajo nivel hacia la reutilización de bloques muy complejos, bien combinando diseños disponibles comercialmente y ASIC (Application Specific Integrated Circuit, Circuito Integrado de Aplicación Específica), o bien usando bloques externos de Propiedad Intelectual (Intellectual Property, IP) con funciones estándar y lógica específica desarrollada en la compañía y componiendo finalmente sistemas en chip (System-on Chip, SoC), véase Figura 3.

El advenimiento de sistemas en chip ha agravado la situación. La complejidad de los dispositivos también se incrementa con la proliferación de diseños basados en SoC. Estos diseños con un elevado número de puertas pueden contener elementos tales como uno o varios microprocesadores, buses, periféricos, secciones basadas en ASIC, software integrado y ya compilado, bloques de propiedad intelectual, bloques reutilizables, diferentes dominios de reloj, diferentes dominios de frecuencia, relojes generados en el propio chip, memorias de diverso tipo y componentes analógicos para el tratamiento de la señal. Los bloques de propiedad intelectual pueden, a su vez, proceder de una gran variedad de empresas, que, a menudo, proporcionan escasos detalles sobre los diseños, lo que complica enormemente el test de los mismos. El nuevo paradigma del diseño resolverá la crisis del diseño, pero nuevas metodologías y herramientas son necesarias para mejorar la productividad del diseñador y del ingeniero en este nuevo contexto.

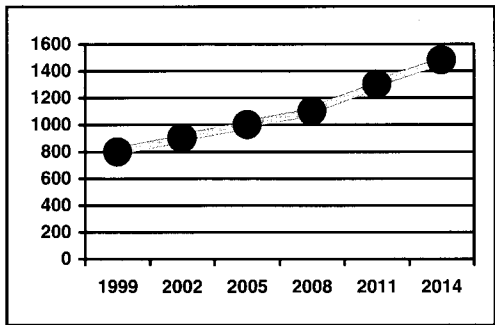


Figura 2 - Tamaño del chip (mm²) en Sistemas en Chip [1].

El problema del test ha crecido, en la misma medida que los circuitos integrados se hacían más rápidos (Figura 4) y complejos (Figura 5). Equipos de test para altas frecuencias cuestan elevadas sumas de dinero (varios millones de dólares), y el acceso físico a la circuitería interna se hace más difícil pues el número de patillas de entrada/salida que estos equipos pueden manejar no crece al mismo ritmo que la lógica contenida en los sistemas en chip.

El desfase creciente entre estos costosos equipos de test y los diseños actuales es alarmante. En la próxima década, la precisión de estos equipos de test pasará de los 200 picosegundos a los 175 picosegundos, según Mentor Graphics [3]. Sin embargo, la frecuencia de reloj de los microprocesadores se incrementará hasta los 3 GHz (330 picosegundos) [3]. Esto provocará alrededor de un 50% de discrepancia entre el rendimiento del chip y las capacidades del equipo automático de test (Automatic Test Equipment, ATE). Hace apenas unos años las imprecisiones eran de apenas un 10%. Más aún, las pérdidas de chips en producción

debido a imprecisiones de los equipos de test podrían llegar a alcanzar el 50% en la próxima década. En los nuevos diseños, el número de chips considerados como no defectuosos podría llegar a ser inferior al 20% de los producidos.

Visto que los equipos externos de test no son capaces de llevar a cabo las labores de test, ¿no sería conveniente trasladar algunas de las tareas de test al propio chip? Esta idea es la que ha originado el concepto conocido como diseño para test (Design for Test/Testability, DFT). Un término bastante general, que engloba a todas las técnicas que consideran al dispositivo a la hora de colaborar en la realización del test del mismo.

La nueva forma de construir sistemas embudados tiene un impacto en las diferentes dimensiones del test. Primero, nuevos protocolos y tecnologías de diseño incorporan igualmente nuevos tipos de posibles fallos en producción y durante operación, y también una diferente distribución de las tasas de fallos para los diversos tipos. Esto reclama un análisis con nuevas herramientas para comprender la implicación sobre las técnicas de test y su efectividad. Existe una necesidad de nuevos medios para evaluar los nuevos métodos de test, que están siendo desarrollados para adaptarse a las nuevas tecnologías y a los requerimientos de los nuevas prácticas de diseño.

En segundo lugar, muchos de los sistemas imbuidos tienen fuertes requerimientos bien en seguridad del producto (por ejemplo, en funciones de control de vehículos como los sistemas de frenado antibloqueo, ABS), o bien en rendimiento y disponibilidad del producto para aumentar la competitividad (véase como ejemplo cualquiera de los productos de electrónica de consumo). Estos requerimientos poseen en común la demanda de auto-test de los propios sistemas en la fase de inicialización y/o durante la operación del mismo (en servicio). Para solucionar esto y todavía ser capaces de manejar la complejidad y adaptarse a los plazos de comercialización del producto, son indispensables métodos estructurados y herramientas de soporte para el diseño de los elementos de auto-test.

En tercer lugar, el diseño con bloques procedentes de distintas fuentes y en diferentes formatos implica que el diseñador, en su labor de ensamblaje de los bloques, posee un conocimiento muy reducido de la implementación detallada de cada uno de ellos. No obstante, es el diseñador el responsable de la creación de un programa de test para el diseño completo, asegurando la calidad en producción e implementando los elementos de auto-test para el sistema final. Para afrontar este reto, el ingeniero demandará capacidades de auto-test en cada uno de los bloques que va a usar, dispondrá de los bloques con los datos de test indispensables, o, en última instancia, poseerá la suficiente

información (procedente del distribuidor del bloque) para generar los datos de test por sí mismo con la ayuda de nuevas herramientas.

Finalmente, la capacidad para llevar a cabo test de alta calidad en etapas tempranas en el proceso de producción, minimiza la cantidad de basura y residuos generados, lo que es importante a efectos medioambientales.

No cabe duda de que muchos fabricantes de semiconductores son capaces de producir sistemas en chip. Pero, enseguida surge la pregunta: ¿pueden estos fabricantes realizar el test de producción de una manera eficiente y a un precio razonable? Preocupaciones a este respecto han estado suscitando el interés en el auto-test incorporado (Built-In Self-Test, BIST), una propuesta en la que un chip realiza todas las funciones de test por sí mismo.

II. ALTERNATIVAS DISPONIBLES EN DFT PARA LA PROPIEDAD INTELECTUAL: BIST

En estos tiempos de creciente complejidad y de diseños basados en sistemas en chip con varios millones de puertas, junto con equipos de diseño multinacionales y estrategias de fabricación encaminadas a alcanzar el mercado en el menor tiempo posible, es evidente la necesidad de nuevos métodos que aseguren que los nuevos circuitos integrados puedan ser verificados con altos niveles de calidad y con tiempos de test reducidos y económicos.

No obstante, esto demanda que se produzcan en el próximo futuro una serie de cosas. En primer lugar,

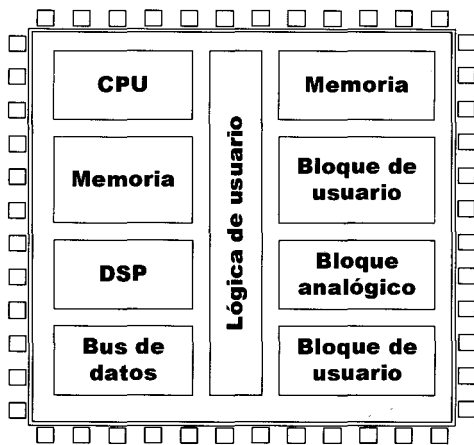


Figura 3 - Ejemplo de Sistema en Chip.

el diseño para test (DFT) debe evolucionar en la mente de los ingenieros de diseño y de los managers desde el concepto de ser una tarea marginal y última, asociada con el test de producción, hacia el concepto de tarea prioritaria y esencial en todo diseño. Para ello, debe implementarse efectiva y eficientemente el DFT desde

las más tempranas etapas de desarrollo del producto. El punto crucial del DFT está en garantizar alta calidad y fiabilidad a la vez que se reducen los costes de test, facilitando el trabajo a los diseñadores e ingenieros de test.

DFT incluye conocidas y novedosas propuestas, que incorporan ciertas funcionalidades de test, a nivel hardware y software, en el propio chip. Entre estas propuestas, se pueden destacar la generación automática de patrones de test (Automatic Test Pattern Generation, ATPG), técnicas de inspección en sus muy diversas formas, simulación de fallos y auto-test incorporado (Built-In Self-Test, BIST), ésta última en sus dos modalidades: BIST para memorias y BIST para lógica.

La generación automática de patrones de test puede pensarse como el proceso de búsqueda en todo el espacio de posibles patrones de entrada de un circuito en un intento de encontrar uno que produzca una salida diferente dependiendo de si el circuito contiene un fallo específico o no. El tamaño del espacio de búsqueda es 2^n , donde n es el número de entradas al circuito. Puesto que el espacio de búsqueda puede llegar a ser muy grande, se han desarrollado a lo largo

DFT incluye conocidas y novedosas propuestas, que incorporan ciertas funcionalidades de test, a nivel hardware y software, en el propio chip

del tiempo numerosas metodologías para realizar el proceso de búsqueda de forma óptima.

La síntesis con inspección (scan synthesis), el método de DFT más tradicional, se realiza después de la síntesis del circuito. Si bien la implementación de inspección, ya sea total o parcial, es un factor crítico en el éxito de la generación automática de patrones de test y en el desarrollo de vectores estructurales con una alta cobertura de fallos, no es una panacea, debiendo ser precedida por un prematuro análisis de la testabilidad y una consideración de las posibles implementaciones de test.

La inspección en límite (Boundary Scan), incluyendo la producción automática del fichero del lenguaje de descripción de inspección en límite (Boundary Scan Description Language, BSDL), es necesaria para permitir que los clientes sean capaces de realizar el test de los elementos insertados en las placas de circuito impreso o de los módulos con múltiples chips.

BIST es la última de las técnicas DFT que ha aparecido. Nace, en parte, como respuesta al coste de los equipos automáticos de test, una industria cuyos ingresos anuales están creciendo hasta alcanzar los 6.000 millones de dólares. BIST ofrece al usuario una oportunidad para reducir el volumen de los gastos en estos equipos. Mediante el uso de herramientas DFT, es posible que cualquier empresa pueda comprar un equipo de test para cuatro patillas por 50.000 dólares, en lugar de un complejo y costoso equipo por varios millones de dólares (si no se usarán las citadas herramientas).

Algunos observadores sostienen que BIST está cobrando mayor importancia como elemento crítico a la hora de solucionar el enigma del test. Los ingenieros comienzan a darse cuenta de que el test se está convirtiendo en un gran problema. Los grandes equipos de test son ya muy caros y son insuficientes a la hora de realizar el test, por lo que en muchos casos son imprescindibles tres o cuatro equipos. Es evidente, por tanto,

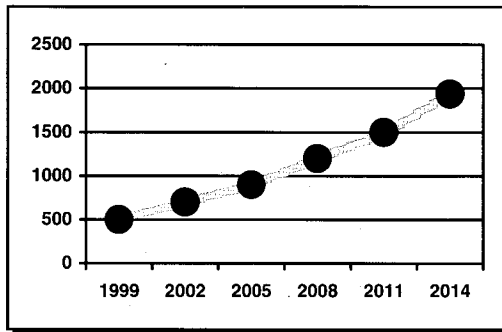


Figura 4 - Frecuencia de funcionamiento (MHz.) de Sistemas en Chip [1].

que la estructura de test tendrá que ir integrada en el propio diseño.

El número de personas con capacidad de decisión en este campo va aumentando progresivamente. Cuando el diseñador se enfrenta a un complicado diseño, tiene que desarrollar métodos para reducir el coste desde la perspectiva del tiempo de test. Uno de los métodos disponibles es BIST: los circuitos realizan su propio test por sí mismo, bien en serie o en paralelo. Incluso algunas compañías usan métodos combinados: BIST y equipos de test para señales analógicas, tales como las señales analógicas procedentes de chips usados en el campo de las comunicaciones.

Las memorias imbuidas, por ejemplo, deben ser consideradas en términos de tamaño y colocación dentro del chip. Pequeños bloques de memoria pueden ser a menudo verificados de manera efectiva usando los recursos del procesador, que se encuentra dentro del mismo chip. Sin embargo, grandes bloques se pueden verificar mucho mejor usando BIST específico para esas memorias.

El BIST para lógica es también otra alternativa, aunque para conseguir los niveles de cobertura de fallos requeridos hoy en día se exigen diseños con lógica adicional de inspección para permitir que la circuitería BIST sea realmente efectiva.

Hughes Aircraft ha estado usando técnicas BIST desde 1987. Su principal negocio es la fabricación de sistemas con alta tolerancia a fallos que van en los principales aviones comerciales y en los transbordadores espaciales. Incluso durante las misiones de estos últimos es indispensable la verificación continua del funcionamiento correcto de cada parte, hecho que obviamente no puede realizarse con los equipos tradicionales de test pues no forman parte de ningún transbordador espacial o de avión comercial alguno.

Otras empresas implementaban en el pasado el BIST «a mano», pero en la actualidad usan herramientas comerciales para llevar a cabo estas tareas. En igualdad de condiciones, BIST da mejores niveles de

Algunas compañías dedicadas a la automatización del diseño electrónico (Electronic Design Automation, EDA), están proponiendo BIST como solución a los problemas de testabilidad

calidad que los tradicionales sistemas de test, a un coste inferior.

Sin embargo, la necesidad de complejos equipos de test todavía no ha desaparecido, ya que la gran mayoría de los diseños de los principales suministradores de ASIC no usan BIST. Otras compañías señalan que les gustaría tener herramientas de inserción de BIST mucho más automatizadas para realizar el test tanto a nivel de placa de circuito impreso como a nivel de sistema. Pero esta circunstancia no es un problema. Usando un ASIC o una FPGA (Field Programmable Gate Array), la técnica de BIST puede ser generalizada a nivel de placa de circuito impreso o sistema, permitiendo control y verificación continua. Es sólo cuestión de tiempo.

El hecho de que BIST se haya limitado a aplicaciones críticas o productos con tolerancia a fallos, no debe ser significativo. Es indudable que la llegada de sistemas en silicio va a cambiar esta percepción.

* EDA

Algunas compañías dedicadas a la automatización del diseño electrónico (Electronic Design Automation, EDA), están proponiendo BIST como solución a los problemas de testabilidad. Con esta técnica, la funcionalidad del equipo de test se incorpora, como un elemento más, en el chip durante la fase de diseño. Un equipo de test externo de muy bajo coste genera las señales para iniciar el test (a nivel interno) del chip y, una vez finalizado, leer los resultados del test.

En la actualidad se está poniendo mucho énfasis en la simulación estática y en la simultaneidad de la síntesis y de la disposición física y conexionado de los diferentes bloques del diseño. Esta síntesis tan compleja, en un sólo paso, parece ser la piedra filosofal del negocio de la industria de EDA. Pero, ¿qué beneficios aporta esta elegante forma de síntesis y obtención del producto para su fabricación masiva, si no puede realizarse un test a un nivel aceptable de calidad para que los clientes lo usen con un cierto nivel de confianza?

DFT y BIST suponen sólo un tres por ciento de los ingresos de la industria de EDA. Y eso, consideran que los costes de desarrollo de test son el treinta y

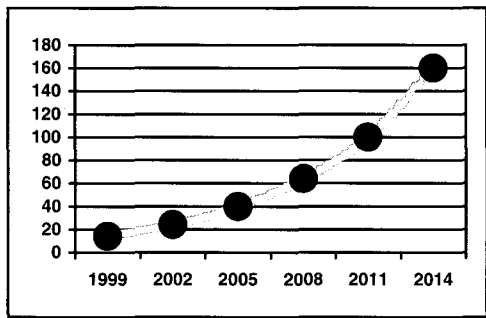


Figura 5 - Número de transistores (millones) en Sistemas en Chip [1].

cinco por ciento (o más) de los costes totales de desarrollo del producto, y que son los que en mayor medida contribuyen al alargamiento de los ciclos de desarrollo y verificación del mismo.

Uno de los máximos exponentes y líderes en el mercado de las herramientas de BIST es LogicVision, Inc. [4]. Según LogicVision: «Con frecuencias de reloj de más de 200 MHz., y en claro proceso de incremento, es muy difícil que los equipos externos de test puedan ser capaces de realizar un test a la frecuencia de funcionamiento del circuito. En consecuencia, la mayoría de los diseñadores se ven obligados a aceptar el test a frecuencias bastante inferiores a las de funcionamiento, lo que permite que ciertas partes defectuosas del diseño pasen inadvertidas».

Intentos para combatir esta indetectabilidad se han llevado a cabo, combinando técnicas de inspec-

ción (scan techniques) con generación automática de patrones de test (ATPG), pero con escaso éxito. LogicVision señala que sus herramientas son capaces de descubrir fallos que ATPG o inspección no descubrirían.

El coste de los equipos automáticos de test externo se está elevando, tal y como se indicó con anterioridad, si bien estos equipos no son capaces de realizar el test de los chips, que cada vez se complican más,

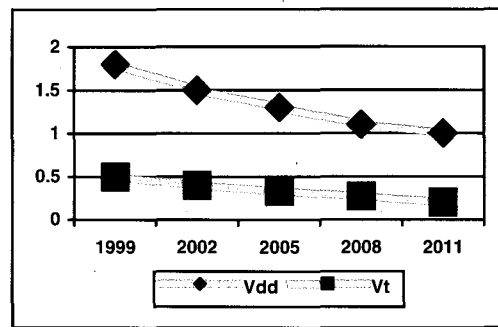


Figura 6 - Tensión de alimentación (voltios) en Sistemas en Chip [6].

tendencia que se incrementará de manera más notable cuando los diseños pasen de tecnologías de 0,18 micras a 0,13 micras.

Las puertas adicionales usadas para el controlador de BIST (de 1.000 a 3.000, según el caso) incluido en el propio chip, se consideran una nimiedad, en una era donde los diseños de centares de miles de puertas son ya algo muy habitual, aduce LogicVision. Asimismo, argumentan que las memorias RAM dinámicas (DRAM) con el tiempo usarán BIST, probablemente a niveles de 256 bits, y motivados por cuestiones de ancho de banda.

Al usar BIST, sus clientes no tendrán que confiar en multimillonarios equipos de test para producciones masivas. LogicVision sostiene que los usuarios pueden usar BIST para labores de mantenimiento, reparación y diagnóstico de sistemas, una vez que estos se encuentran en funcionamiento. El mismo test puede ser reutilizado en cualquier momento en la vida del chip, placa o sistema.

El BIST para memorias se ha adoptado mucho más rápidamente que el BIST para lógica, puesto que los diseños de sistemas en chip incluyen ingentes cantidades de megabits de memoria: la necesidad es mucho mayor. Mentor Graphics predice que el BIST para lógica se hará más común en un futuro muy cercano, motivado por el movimiento de las compañías de diseño hacia la propiedad intelectual (IP) [3].

Estas compañías lo que necesitan es alguien y algo que les ayude en la metodología de test. La

densidad, velocidad y características de bajo consumo (Figura 6) de las nuevas tecnologías de fabricación (muy por debajo de las micras) hacen de las técnicas de diseño para test (DFT) un elemento muy importante.

No todas las empresas de EDA se han subido al vagón del BIST. Viewlogic Systems Inc. [5] se ha centrado en la tecnología de inspección y ATPG, que es «una propuesta y aproximación mucho más flexible». Algunas de ellas remarcan que BIST tiene su lugar en el mercado y que está creciendo, pero que se ha limitado a nichos de mercado muy específicos como complejos equipos de conmutación telefónica y ordenadores con tolerancia a fallos, grandes sistemas con requerimientos funcionales para realizar su propio test a la vez que están totalmente operativos y dando servicio. Añaden que es una falacia que por usar BIST en la lógica, los ingenieros no tengan que necesitar equipos de test para altas frecuencias.

El futuro traerá seguramente el desplazamiento del análisis de DFT y BIST y su implementación en las primeras etapas de diseño, comenzando con la comprobación de las reglas de test en el nivel de transferencia de registros (Register Transfer Level, RTL)

III. PRESENTE Y FUTURO

Ciertas, y bien conocidas, configuraciones y circuitos puede causar estragos en el desarrollo del test y de ATPG. Estos incluyen, entre otros y sólo por citar algunos, señales de set/reset asíncronas, relojes generados internamente y bucles de realimentación secuenciales y combinacionales. Y si bien es cierto que estos problemas de testabilidad pueden encontrarse y corregirse en las etapas posteriores a la síntesis, sería mucho más productivo prevenirlos antes de entrar en el proceso de síntesis y sin incurrir en serios riesgos de iteraciones de diseño.

El futuro traerá seguramente el desplazamiento del análisis de DFT y BIST y su implementación en las primeras etapas de diseño, comenzando con la comprobación de las reglas de test en el nivel de transferencia de registros (Register Transfer Level, RTL). Este movimiento a niveles más abstractos del

diseño, aliviará la dificultad de encontrar los problemas relativos a DFT demasiado tarde en el ciclo de diseño del producto y proporcionará a los ingenieros las herramientas necesarias para encontrarlos y prevenirlos, incluso antes de que los ingenieros de test lleguen a descubrirlos.

De forma que la única forma de enfrentarse a los problemas de test en un futuro, que ya está aquí, es abandonar la mentalidad de que el test es algo que se realiza al final y adoptar la mentalidad de incorporarlo a las primeras consideraciones de diseño, donde se plantean cuestiones vitales como tamaño del chip, número de patillas, consumo de potencia y frecuencia de funcionamiento.

IV. CONCLUSIONES

Se ha presentado y descrito la problemática situación existente en la actualidad en lo que respecta al mundo del test en el campo de los circuitos integrados, con especial énfasis en los sistemas en chip. Nuevas técnicas y métodos, especialmente aquellos que se centran en el auto-test, se alcanzan como una de las más importantes tecnologías para una explotación competitiva de los sistemas en chip en un amplio espectro de productos, basados en sistemas imbuidos.

Este artículo justifica la necesidad de considerar DFT a la hora del diseño de sistemas en chip y, por extensión, de circuitos integrados en general. En el próximo artículo, se presentarán los fundamentos de BIST, tanto para memoria como para lógica, sus principales ventajas e inconvenientes.

AGRADECIMIENTOS

A los ingenieros de ARM Ltd. por su ayuda y consejo.

REFERENCIAS

- [1] SIA, EECA, KSIA, EIAJ, and TSIA, «International Technology Roadmap for Semiconductors». 1998.
- [2] www.arm.com
- [3] www.mentor.com
- [4] www.logicvision.com
- [5] www.viewlogic.com
- [6] Taur, Y. (T. J. Watson Research Center, IBM), «The Incredible Shrinking Transistor», IEEE Spectrum, July 1999.

