



PREMIO AT&T PARA LA RAMA DE ESTUDIANTES DEL IEEE DE MADRID

María Dolores Carreño Ruiz y Luis Miguel Hernanz Iglesias

Estudiantes de la ETSIT de la UPM.

dolores@ieeesb.etsit.upm.es luish@ieeesb.etsit.upm.es

«La primera sorpresa que te da la electrónica cuando la practicas es la carestía de los componentes y las dificultades que tienes que afrontar cuando diseñas e implementas tu primer prototipo. Los estudiantes no tienen tiempo ni dinero para superar estos obstáculos».

Así comienza la propuesta titulada «**Versatile and autonomous programmable logic training board**» que los autores de este artículo presentamos al concurso «AT&T Labs Student Enterprise Award» y que resultó ser agraciada con uno de los premios.

EL PREMIO

El «AT&T Labs Student Enterprise Award» es un concurso que anualmente organiza la compañía de telecomunicaciones AT&T en colaboración con el IEEE. En él tienen cabida todas las ramas de estudiantes del mundo. Su objetivo es dar a los estudiantes del IEEE la oportunidad de llevar a cabo sus proyectos aportando la financiación necesaria para los mismos, así como motivar y/o fortalecer las actividades de las ramas, fomentando la elaboración de sus propuestas. Los proyectos pueden ser técnicos o no, con temáticas que varían desde la investigación en la tecnología más avanzada al estudio de servicios para la comunidad.

A la hora de valorar los proyectos presentados, no sólo se tiene en cuenta la dificultad o la originalidad del proyecto en sí, sino que también son muy importantes los «aspectos sociales» del mismo: cuánta gente se verá involucrada en su desarrollo (y cuánto aprenderán con ello) y a cuánta gente beneficiará una vez que el proyecto se lleve a cabo.

Cinco ramas son las ganadoras anualmente, y como antes se ha mencionado, reciben como premio una determinada cantidad de dinero y el reconocimiento por parte de la comunidad. En la memoria que los participantes envían de su proyecto, ha de constar un presupuesto estimado del gasto total que supondrá la realización de su idea, hasta un tope de \$1000. Luego, la comisión del jurado será la que adjudique la suma que considere oportuna a los distintos ganadores.

EL PROYECTO

En la última edición de estos premios (98-99), la rama de estudiantes de la Escuela Técnica Superior de

Ingenieros de Telecomunicación de la Universidad Politécnica de Madrid fue una de las galardonadas. Tres estudiantes de cuarto curso unimos nuestra creatividad y nuestras ganas de trabajo para desarrollar una «placa entrenadora autónoma y versátil basada en lógica programable». Nuestros nombres son M^a Dolores Carreño Ruiz, Luis Miguel Hernanz Iglesias y Álvaro Barge Cebrián.



Estos son los protagonistas, de izquierda a derecha: María Dolores Carreño Ruiz, Álvaro Barge Cebrián, Javier Macías Guarasa (counselor de la Rama de Estudiantes del IEEE de Madrid), y Luis Miguel Hernanz Iglesias.

¿QUÉ NOS IMPULSÓ?

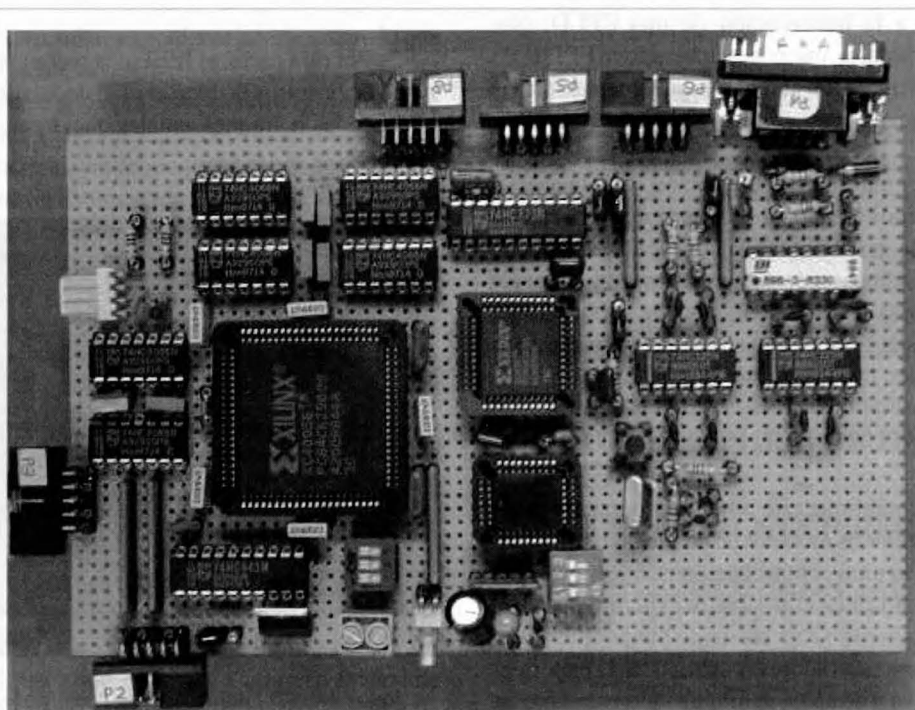
En los laboratorios de electrónica de la escuela los estudiantes se encuentran con que han de desembolsar una cantidad importante de dinero comprando componentes que sólo van a servirles durante el laboratorio. Además, pasan gran parte del tiempo revisando los cientos de conexiones que implican los diseños a realizar, en lugar de abordar diseños más avanzados. La falta de medios de los laboratorios aleja a los estudiantes de las técnicas de diseño electrónico actual (montaje superficial, por ejemplo) y obligan a los alumnos a trabajar con chips ya anticuados que sólo permiten crear circuitos de moderada complejidad.

Para lograr el doble objetivo de usar técnicas modernas y mantener un bajo coste, se nos ocurrió que era posible recurrir a la lógica programable. Esta tecnología, que tiene muy pocos años en el mercado, está basada en chips que internamente constan de miles de puertas lógicas, cuyas interconexiones se programan por el usuario con la ayuda de un programa específico. Por tanto, la funcionalidad del chip no está prefijada desde la fábrica, sino que cada usuario la programa todas las veces que sean necesarias. Esto permite realizar los diseños de los circuitos en un ordenador, utilizando todas las técnicas de diseño existentes (diagramas de estados, esquemáticos, lenguajes de descripción hardware), y luego mediante un sencillo proceso de programación lograr que el chip implemente el circuito.

El problema fundamental si se quiere que esta tecnología fuese fácilmente accesible por los alumnos del laboratorio, era necesario disponer de una placa que ofreciese facilidades para programar el chip e incluir otra funcionalidad (por ejemplo que la placa pudiese guardar varios circuitos), así como para proteger a los propios

LA PLACA ENTRENADORA

Consiste fundamentalmente en una FPGA (Field Programmable Gate Array) que es el corazón de todo el sistema. Internamente contiene un elevado número de puertas lógicas, multiplexores y buffers agrupados en bloques lógicos que se interconectan convenientemente cuando es configurada. Nosotros hemos trabajado con productos de la compañía Xilinx, pionera en muchos campos de la lógica programable. El modelo de FPGA que nosotros empleamos permite realizar circuitos de hasta 5000 puertas lógicas, pero puede ser sustituido por otro de mayor capacidad para albergar diseños más grandes. Este tipo de dispositivos permiten ser reconfigurados muchas veces con potentes diseños digitales. Estos diseños se realizan con un software específico ligado a la marca de la FPGA. En el PC se puede validar el funcionamiento del diseño, y posteriormente descargarlo en la FPGA mediante un cable basado en el estándar JTAG. En nuestro caso lo hemos variado ligeramente para incrementar su funcionalidad. Como la placa está pensada para usar en los más variados diseños, se ha cuidado especialmente el



En esta imagen se puede ver la placa entrenadora autónoma y versátil basada en lógica programable, con un corazón FPGA que permite realizar circuitos de hasta 5000 puertas lógicas.

chips de las manos de los estudiantes (¿quién no ha quemado alguna vez un chip porque conectó mal algún cable?).

Con esta idea en mente, presentamos una práctica especial para uno de los laboratorios de nuestra escuela, y como el proyecto se fue liando, haciéndose cada vez más ambicioso, decidimos presentarlo al concurso de AT&T. El resto es historia...

que ninguna de las posibilidades del chip quedase recordada por la estructura propia de la placa entrenadora. Por tanto, todos los pines de la FGPA son accesibles desde el exterior a través de unos puertos de 10 contactos muy cómodos de usar.

El segundo elemento importante de la placa es una memoria FLASH que permite, entre otras cosas, que la placa pueda funcionar independientemente de un ordenador. Esto es así porque esta memoria la destinamos para

guardar archivos de configuración de la FPGA. Nuestra FPGA está basada en memoria RAM, por lo que pierde su configuración cuando se apaga la alimentación. El contar con la memoria, permite que la FPGA vuelva a reconfigurarse leyendo la información necesaria de la misma. Además el tamaño de la memoria nos permite tener varios programas almacenados, hasta ocho circuitos, en una misma placa y cambiar de uno a otro con ayuda de unos pequeños switches. Incluso también es posible que la propia placa se reinicie de forma automática y decida qué programa quiere cargar, sin necesidad de ninguna ayuda externa. Esto permite una suerte de reconfiguración dinámica que hace posible que la placa elija el circuito más adecuado para la situación actual.

También hemos incluido en la placa la lógica necesaria para interactuar con un microcontrolador Motorola 68HC11, muy extendido en nuestra escuela. Es posible que el micro acceda a la memoria e intercambie datos con la FPGA de forma sencilla. La cooperación entre un microcontrolador y una FPGA, puede permitir la realización de funcionalidad muy complicada, pues nos ofrece la versatilidad del software y la fuerza bruta de velocidad del hardware. Esta interesante funcionalidad es posible gracias a la intervención de una CPLD, otro dispositivo programable, que por estar basado en EEPROM mantiene su configuración al retirarle la alimentación a la placa. Concretamente se trata de la XC9536 de Xilinx.

Para hacer más fácil la interacción entre la placa y el ordenador, hemos creado nuestros propios programas, que permiten una gestión total de la programación de la placa, así como de los contenidos almacenados en la memoria de la misma. Con ellos, se puede borrar, grabar o recuperar datos de la memoria, eligiendo qué programas de la FPGA hay en cada sector de la misma.

EL FUTURO DEL PROYECTO

Cuando se publique este artículo esperamos haber recibido ya los primeros modelos de las placas producidos en serie. Tras hacer unas comprobaciones, este mismo año se empezarán a introducir con carácter experimental en el laboratorio, permitiendo a un reducido número de alumnos desarrollar prácticas sobre las mismas. Si la experiencia resulta positiva y no aparece ningún inconveniente, se fabricarían más placas para permitir que cada vez más alumnos puedan acceder a esta tecnología.

Esperamos que con la ayuda de los futuros alumnos del laboratorio, se vayan corrigiendo los errores que pueda haber en el diseño actual o en los programas que la acompañan, y que vayan añadiendo con su trabajo más posibilidades a la misma, bien construyendo otras placas accesorias, bien diseñando circuitos que añadan funcionalidad a la FPGA.

En un futuro lejano, puede que alguna otra universidad se interese por contar con estas placas para sus laboratorios de electrónica.

En otro orden de cosas, esperamos que este premio sirva como guía al resto de las ramas de estudiantes del IEEE de España (y también a la nuestra) para favorecer la aparición de numerosos proyectos que se presenten en sucesivos años al concurso. Existen numerosas oportunidades de que se reconozca nuestro trabajo y muchas veces las dejamos pasar por desconocimiento o pereza. Es muy gratificante ver como tu esfuerzo es reconocido y nos consta que en nuestro país hay muy buena «materia prima». Tan sólo hay que animarse y ponerse manos a la obra.

RECONOCIMIENTO

Cuando se supo la buena nueva de la concesión del galardón, fueron varios los medios de comunicación locales y nacionales que se interesaron en conocer más detalles del premio, lo cual no dejó de sorprendernos gratamente (no en vano hemos sido los primeros europeos que han recibido este premio).

Nuevamente desde aquí animamos a nuestros compañeros a que con ilusión y muchas ganas, se pongan manos a la obra; seguro que no somos los últimos.

Por otra parte, el IEEE nos recompensó ofreciendo a uno de nosotros la oportunidad de asistir como invitado a una de las reuniones anuales que organiza.



Javier Macías Guarasa, junto con Magdalena Salazar, recibiendo el premio de manos de Levent Onural

AGRADECIMIENTO

Deseamos agradecer a nuestro counselor Javier Macías Guarasa su inestimable colaboración y el incansable apoyo que nos ha prestado durante todos estos meses.

Fue él precisamente el que recogió de manos de Levent Onural (IEEE Student Activities Chair) el diploma que AT&T e IEEE concedieron a la rama de Madrid, y que le fue entregado durante el pasado «R8 Committee Meeting» celebrado en Berlín, en Mayo de 1999.