

Faculdade de Engenharia da Universidade do Porto



**Projeto de fonte de alimentação comutada com
correção do fator de potência**

João Vítor da Cruz Gaspar Martins

VERSÃO DE TRABALHO

Dissertação realizada no âmbito do
Mestrado Integrado em Engenharia Eletrotécnica e de Computadores
Major Automação

Orientador: Professor Rui Manuel Esteves Araújo
Co-Orientador: Engenheiro José Carlos Outeiro

Janeiro de 2018

Resumo

Este projeto foi proposto pela empresa TEDAYC.LDA no sentido de ser implementada uma fonte comutada em conformidade com as normas em vigor e cumprindo os requisitos da empresa.

Este trabalho descreve os procedimentos para o desenvolvimento de uma fonte comutada com potência de 200W mais tolerância, com uma saída de 24VDC, com eficiência alta (próximo de 90%), com implementação da correção do fator de potência e que esteja em conformidade com a compatibilidade eletromagnética.

Foram abordados os conteúdos teóricos relativos às fontes comutadas e as diversas topologias associadas. Tal, serviu de base para a escolha da topologia a utilizar neste projeto, neste caso, a LLC *resonant* pela eficiência que apresenta, pelo comportamento ao nível das perdas e por ser adequada para a potência requisitada.

Para a implementação da correção do fator de potência foram estudados os conteúdos teóricos desta, assim como os modos de operação associados. Para esta implementação foi escolhido o modo FCCrM - modo de condução crítico com limite de frequência por ser o mais adequado para a potência requisitada, por apresentar bons níveis de eficiência e bom comportamento ao nível dos transientes.

Foi abordado o tema da compatibilidade eletromagnética com ênfase nas técnicas preventivas de EMI para serem aplicadas no desenho da PCB.

Apresentaram-se os passos para a implementação da fonte, bem como a discussão dos resultados obtidos dos seus diferentes modos de funcionamento. Desenvolveu-se uma fonte comutada com potência de 210W, com uma saída de 24VDC, com eficiência na ordem dos 87%, com implementação da correção do fator de potência. Realça-se que os resultados da eficiência obtida.

Palavras-Chave: compatibilidade eletromagnética, correção do fator de potência, fonte comutada, eficiência.

Abstract

This project was proposed by the company TEDAYC.LDA as an effort to be implemented a switching mode power supply in compliance with the standards and fulfilling the requirements of the company.

This work describes the procedures for the development of a switching mode power supply with a power of 200W plus tolerance, with a 24VDC output, with high efficiency (close to 90%), with power factor correction and that complies with the electromagnetic compatibility.

The theoretical contents related to switching mode power supplies and the various associated topologies were discussed. This was the basis for the choice of the topology to be used in this project, in this case, the LLC resonant for the efficiency it presents, for the loss behavior and for being adequate for the requested power.

For the implementation of the power factor correction the theoretical contents of this as well as the associated modes of operation were studied. For this implementation was chosen the mode FCCrM - Frequency Clamp Critical Conduction Mode because it is the most suitable for the requested power, because it presents good levels of efficiency and good behavior at the transient level.

The subject of electromagnetic compatibility with emphasis on the EMI preventive techniques was addressed to be applied in the design of the PCB.

Was presented the steps for the implementation of the supply, as well as the discussion of the results obtained from its different modes of operation. A switching mode power supply with a power of 210W, with an output of 24VDC, was developed with an efficiency of around 87%, with the implementation of power factor correction. It is highlighted the results of the efficiency obtained.

Keywords: *electromagnetic compatibility, power factor correction, switching mode power supply, efficiency.*

Agradecimentos

A realização desta dissertação está relacionada com o culminar de um ciclo marcante, não só na vida académica, mas também a nível pessoal. Esta meta não foi cortada sozinha e este é o momento de agradecer a todas as pessoas que contribuíram para o meu sucesso.

Ao meu orientador, Professor Doutor Rui Esteves Araújo, ao Co-orientador Engenheiro José Carlos Outeiro e ao Engenheiro Vítor Junqueira pela sua orientação e enorme disponibilidade, pela dedicação e pela prontidão e rapidez demonstradas na clarificação das dúvidas que foram surgindo ao longo do semestre.

À TEDAYC.LDA, pela oportunidade e pela disponibilidade.

À minha família, por todo o apoio, confiança, compreensão e sacrifícios prestados. Por me garantirem todas as condições necessárias para triunfar, não só durante a realização deste trabalho, mas durante toda a minha vida.

Finalmente, mas não menos importante, agradeço a todos os meus amigos pela amizade e apoio que me deram, principalmente aqueles que assistiram de perto ao terminar desta etapa, e os que fazem e sempre farão parte da minha vida.

O meu obrigado a todos!

Índice

Resumo	iii
Abstract	v
Agradecimentos	vii
Índice	ix
Lista de Figuras	xiii
Lista de Tabelas	xvii
Abreviaturas e Símbolos	xix
Capítulo 1 Introdução	1
1.1 - Enquadramento e objetivos	1
1.2 - Estrutura do documento	2
Capítulo 2 Fontes comutadas	3
2.1 - Introdução	3
2.1.1 - Fontes de alimentação lineares	3
2.1.2 - Fontes de alimentação comutadas	4
2.1.3 - Comparação entre fonte alimentação linear e comutada	5
2.1.4 - Problemas associados ao uso das fontes alimentação comutadas	6
2.2 - Topologias das fontes de alimentação comutadas	6
2.2.1 - <i>Buck</i>	7
2.2.2 - <i>Boost</i>	8
2.2.3 - <i>Buck-boost</i>	9
2.2.4 - <i>Forward</i>	10
2.2.5 - <i>Flyback</i>	12
2.2.6 - <i>Push-pull</i>	13
2.2.7 - <i>Half-bridge</i>	14
2.2.8 - <i>Half-bridge resonant</i>	16
2.2.8.1 - <i>Series resonant</i>	16
2.2.8.2 - <i>Parallel resonant</i>	17
2.2.8.3 - <i>LLC resonant</i>	17
2.3 - Análise comparativa entre as topologias	18
2.3.1 - <i>Flyback</i>	18
2.3.2 - <i>Forward</i>	18

2.3.3 - <i>Push-pull</i>	19
2.3.4 - <i>Half-bridge</i>	19
2.3.5 - <i>Half-bridge resonant</i>	19
2.4 - Escolha da topologia a utilizar	20
Capítulo 3 Correção do fator de potência - PFC.....	22
3.1 - Importância da correção do fator de potência	22
3.2 - Modos de operação de PFC.....	23
3.2.1 - Modo de condução contínuo - CCM	23
3.2.2 - Modo de condução descontínuo - DCM	24
3.2.3 - Modo de condução crítico - CrM.....	25
3.2.4 - Modo de condução crítico com limite de frequência - FCCrM	26
3.3 - Comparação entre os modos de operação.....	26
3.3.1 - Escolha da bobine.....	27
3.3.2 - Escolha do componente de comutação	27
3.3.3 - Escolha do diodo de potência.....	27
3.3.4 - Visão geral	27
3.3.4.1 - CCM.....	28
3.3.4.2 - CrM	28
3.3.4.3 - FCCrM	28
3.4 - Modo de operação de PFC a implementar	28
Capítulo 4 Compatibilidade Eletromagnética - EMC	30
4.1 - Conceito	30
4.2 - Enquadramento histórico.....	30
4.3 - Interferências eletromagnéticas - EMI	31
4.3.1 - EMI conduzida	32
4.3.2 - EMI radiada.....	32
4.3.3 - Correntes de modo comum e correntes de modo diferencial.....	33
4.4 - Normas.....	34
4.5 - Importância do EMC na fase de projeto de uma fonte comutada.....	35
4.6 - Principais etapas da fase de projeto que visa a diminuição da EMI	36
4.6.1 - Especificação	36
4.6.2 - Seleção da topologia	36
4.6.3 - Cálculo dos Componentes	36
4.6.4 - Simulação da topologia	37
4.6.5 - Construção e teste do protótipo	37
4.6.6 - Adição do filtro EMI.....	38
4.6.7 - <i>Design</i> da versão final.....	38
4.6.8 - Teste da versão final	38
4.7 - Técnicas preventivas de redução de EMI	38
4.7.1 - Escolha da topologia da estrutura de potência.....	39
4.7.2 - Utilização de <i>snubbers</i>	39
4.7.3 - Elementos magnéticos	39
4.7.4 - Separação do circuito em zonas.....	39
4.7.5 - Planos de referência	40
4.8 - Técnicas de redução de EMI corretivas	41
Capítulo 5 Funcionamento da topologia <i>LLC resonant</i>.....	42
5.1 - Funcionamento base	43
5.2 - Funcionamento a operar abaixo da frequência de ressonância de série.....	45

5.3 - Funcionamento a operar acima da frequência de ressonância de série	53
5.4 - Funcionamento a operar à frequência de ressonância de série.....	58

Capítulo 6 Implementação da fonte de alimentação comutada.....62

6.1 - Filtro EMI.....	63
6.2 - Circuito de descarga dos condensadores X-cap	64
6.3 - Ponte Retificadora	66
6.4 - Estágio do PFC	66
6.4.1 - Introdução	66
6.4.2 - Definições gerais	67
6.4.3 - Seleção da indutância da bobine	68
6.4.4 - Escolha do condensador de saída - Cbulk	69
6.4.5 - Configuração da frequência do oscilador	70
6.4.6 - Circuito de <i>Brown-out</i>	71
6.4.7 - Malha de <i>feedback</i>	72
6.4.8 - Malha de compensação	73
6.4.9 - Malha de medição da corrente.....	74
6.4.10 - Proteção contra sobretensão	75
6.4.11 - Malha do pino 7	76
6.4.12 - Malha PFCok	77
6.5 - Estágio do LLC	77
6.5.1 - Introdução	77
6.5.2 - Definições gerais	78
6.5.3 - Escolha do transformador.....	79
6.5.4 - Passos para definição do design do LLC	80
6.5.4.1 - Cálculo da resistência equivalente R_{ac}	80
6.5.4.2 - Cálculo do ganho	80
6.5.4.3 - Escolha do circuito do condensador ressonante	81
6.5.4.4 - Cálculo da indutância de fuga.....	81
6.5.4.5 - Cálculo da indutância máxima de magnetização	82
6.5.4.6 - Cálculo do rácio entre as duas indutâncias	82
6.5.5 - Lado primário do transformador.....	83
6.5.5.1 - Malha de proteção contra sobre correntes	83
6.5.5.2 - Malha responsável pela definição do tempo de falha	84
6.5.5.3 - Definição de frequência mínima, máxima e do <i>dead-time</i>	85
6.5.5.4 - Definição dos componentes relacionados com o <i>soft-start</i>	86
6.5.5.5 - Parte do <i>feedback</i> e modo <i>skip</i>	87
6.5.6 - Lado secundário do transformador	88
6.5.6.1 - Retificação sincronizada vs díodos	88
6.5.6.2 - Condensadores de filtro	89
6.5.6.3 - Malha <i>feedback</i>	90
6.6 - Filtro de saída	91
6.7 - Esquemáticos Finais	91
6.7.1 - PCB PFC	92
6.7.2 - PCB LLC	95
6.8 - Desenho da PCB	97

Capítulo 7 Resultados99

7.1 - Introdução	99
7.2 - Dificuldades no decurso da fase de teste	99
7.3 - Resultados do PFC.....	101
7.4 - Resultados do LLC	106

7.5 - Resultados da fonte projetada PFC+LLC	110
7.5.1 - Geral	111
7.5.2 - Funcionamento a baixa carga.....	116
7.5.3 - Funcionamento a meia carga	118
7.5.4 - Funcionamento a carga máxima.....	121
7.6 - Discussão dos Resultados	123
Capítulo 8 Conclusão	125
Referências	127

Lista de Figuras

Figura 1 - Diagrama de blocos da fonte de alimentação linear	4
Figura 2 - Diagrama de blocos da fonte de alimentação comutada isolada	4
Figura 3 - Esquema da topologia <i>Buck</i>	7
Figura 4 - Esquema da topologia <i>Boost</i>	8
Figura 5 - Esquema da topologia <i>Buck-boost</i>	10
Figura 6 - Esquema da topologia <i>Forward</i>	11
Figura 7 - Esquema da topologia <i>Flyback</i>	12
Figura 8 - Esquema da topologia <i>Push-pull</i>	13
Figura 9 - Esquema da topologia <i>Half-bridge</i>	15
Figura 10 - Esquema da topologia <i>Series resonant</i>	17
Figura 11 - Esquema da topologia <i>Parallel resonant</i>	17
Figura 12 - Esquema da topologia <i>LLC resonant</i>	18
Figura 13 - Corrente no modo CCM	24
Figura 14 - Corrente no modo DCM	25
Figura 15 - Corrente no modo CrM.....	26
Figura 16 - Exemplo dos subgrupos da compatibilidade eletromagnética	32
Figura 17 - Exemplo modo comum [10]	33
Figura 18 - Exemplo modo diferencial [10].....	34
Figura 19 - Evolução das técnicas disponíveis e o custo relativo em função das fases de um projeto [13]	35
Figura 20 - Esquema base da topologia LLC com formas de onda [17]	43
Figura 21 - Regiões indutivas e capacitiva [18].....	45
Figura 22 - Formas de onda relativas ao funcionamento a baixo da frequência de ressonância [17]	46

Figura 23 - Esquema no tempo em que o <i>MOSFET</i> A não está em condução, o <i>MOSFET</i> B está em condução e o diodo D2 está a conduzir	47
Figura 24 - Esquema no tempo em que o <i>MOSFET</i> A não está em condução, o <i>MOSFET</i> B está em condução e o diodo D2 deixa de conduzir	48
Figura 25 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução e ambos os díodos não estão a conduzir (Parte 1)	49
Figura 26 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução e ambos os díodos não estão a conduzir (Parte 2)	50
Figura 27 - Esquema no tempo em que o <i>MOSFET</i> A está em condução, o <i>MOSFET</i> B não está em condução e o diodo D1 está a conduzir	50
Figura 28 - Esquema no tempo em que o <i>MOSFET</i> A está em condução, o <i>MOSFET</i> B não está em condução e o diodo D1 deixa a conduzir	51
Figura 29 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução e ambos os díodos não estão a conduzir (Parte1)	52
Figura 30 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução e ambos os díodos não estão a conduzir (Parte2)	53
Figura 31 - Formas de onda relativas ao funcionamento acima da frequência de ressonância [17]	54
Figura 32 - Esquema no tempo em que o <i>MOSFET</i> A não está em condução, o <i>MOSFET</i> B está em condução e o diodo D2 está a conduzir	55
Figura 33 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução e o diodo D2 está a conduzir	56
Figura 34 - Esquema no tempo em que o <i>MOSFET</i> A está em condução, o <i>MOSFET</i> B não está em condução e o diodo D1 está a conduzir	57
Figura 35 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução e o diodo D1 está a conduzir	57
Figura 36 - Formas de onda relativas ao funcionamento à frequência de ressonância [17] ...	58
Figura 37 - Esquema no tempo em que o <i>MOSFET</i> A não está em condução, o <i>MOSFET</i> B está em condução e o diodo D2 está a conduzir	59
Figura 38 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução (Parte1) ..	60
Figura 39 - Esquema no tempo em que o <i>MOSFET</i> A está em condução, o <i>MOSFET</i> B não está em condução e o diodo D1 está a conduzir	60
Figura 40 - Esquema no tempo em que os <i>MOSFETS</i> A e B não estão em condução	61
Figura 41 - Diagrama de blocos da fonte de alimentação projetada	62
Figura 42 - Divisão dos blocos do projeto pelas PCB's	63
Figura 43 - Esquema do Filtro EMI	64
Figura 44 - Circuito de descarga dos condensadores X-cap	65

Figura 45 - Esquema base de montagem do NCP1605 [21]	66
Figura 46 - Esquema base de montagem do NCP1397 [23]	78
Figura 47 - Malha de proteção contra sobre correntes.....	83
Figura 48 - Detecção e Recuperação de falha [22].....	85
Figura 49 - Malha do <i>soft-start</i>	87
Figura 50 - <i>Feedback</i> e modo <i>skip</i>	88
Figura 51 - Comparação entre o uso de um diodo <i>shottky</i> e um <i>MOSFET</i> [24].....	89
Figura 52 - Malha <i>feedback</i> do lado secundário	91
Figura 53 - Esquemático da PCB PFC	92
Figura 54 - Filtro EMI + Circuito de descarga dos condensadores X-cap + Ponte retificadora..	93
Figura 55 - Estágio do PFC.....	94
Figura 56 - Esquemático da PCB LLC	95
Figura 57 - Lado primário do transformador	96
Figura 58 - Lado secundário do transformador	97
Figura 59 - Desenho da PCB PFC	98
Figura 60 - Desenho da PCB LLC.....	98
Figura 61 - Fotografia da PCB PFC	101
Figura 62 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC para 120 VAC	102
Figura 63 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC para 220 VAC	103
Figura 64 - Comparação da evolução da eficiência em relação ao aumento da potência entre os testes da PCB PFC para 120 VAC e 220 VAC.....	104
Figura 65 - Formas de onda da tensão e da corrente em fase	104
Figura 66 - Comportamento da tensão de saída no arranque da PCB PFC para 120 VAC.....	105
Figura 67 - Comportamento da tensão de saída no arranque da PCB PFC para 220 VAC.....	105
Figura 68 - <i>Ripple</i> na saída da PCB PFC	106
Figura 69 -Fotografia da PCB LLC	107
Figura 70 - Evolução da eficiência em relação ao aumento da potência no teste da PCB LLC	108
Figura 71 - <i>Ripple</i> na saída da PCB LLC sem carga.....	109
Figura 72 - <i>Ripple</i> na saída da PCB LLC com carga total.....	109

Figura 73 - Formas de onda nas <i>gates</i> dos <i>MOSFETS</i>	110
Figura 74 - <i>Dead-time</i> imposto.....	110
Figura 75 - Fotografia da fonte de alimentação projetada	111
Figura 76 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC+LLC para 120 VAC	113
Figura 77 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC+LLC para 220 VAC	114
Figura 78 - Comparação da evolução da eficiência em relação ao aumento da potência entre os testes da PCB PFC+LLC para 120 VAC e 220 VAC	114
Figura 79 - Tensão num condensador ressonante.....	115
Figura 80 - Tensão na saída da fonte comutada no arranque com 120 VAC de entrada	115
Figura 81 - Tensão na saída da fonte comutada no arranque com 220 VAC de entrada	116
Figura 82 - Corrente inversa na bobine do PFC para 120 VAC em baixa carga	117
Figura 83 - Corrente inversa na bobine do PFC para 220 VAC em baixa carga	117
Figura 84 - Corrente na malha ressonante em baixa carga	118
Figura 85 - Corrente nos díodos do secundário em baixa carga	118
Figura 86 - Corrente inversa na bobine do PFC para 120 VAC em meia carga	119
Figura 87 - Corrente inversa na bobine do PFC para 220 VAC em meia carga.....	119
Figura 88 - Corrente na malha ressonante e tensão no nó HB em meia carga	120
Figura 89 - Corrente nos díodos do secundário em meia carga	120
Figura 90 - Corrente inversa na bobine do PFC para 120 VAC em carga máxima	121
Figura 91 - Corrente inversa na bobine do PFC para 220 VAC em carga máxima	121
Figura 92 - Corrente na malha ressonante e tensão no nó HB em carga máxima.....	122
Figura 93 - Corrente nos díodos do secundário em carga máxima.....	122

Lista de Tabelas

Tabela 1 - Comparação entre fontes de alimentação lineares e comutadas [3]	6
Tabela 2 - Comparação entre as topologias de fontes de alimentação comutadas [3]	20
Tabela 3 - Comparação entre os modos de operação do PFC [6].....	29
Tabela 4 - Especificações gerais do PFC	67
Tabela 5 - Especificações gerais do LLC	79
Tabela 6 - Resultados obtidos do teste PCB PFC para 120 VAC	102
Tabela 7 - Resultados obtidos do teste PCB PFC para 220 VAC	103
Tabela 8 - Resultados obtidos do teste PCB LLC (Parte 1)	107
Tabela 9 - Resultados obtidos do teste PCB LLC (Parte 2)	108
Tabela 10 - Resultados obtidos do teste PCB PFC+LLC para 120 VAC (Parte 1)	112
Tabela 11 - Resultados obtidos do teste PCB PFC+LLC para 120 VAC (Parte 2)	112
Tabela 12 - Resultados obtidos do teste PCB PFC+LLC para 220 VAC (Parte 1)	113
Tabela 13 - Resultados obtidos do teste PCB PFC+LLC para 220 VAC (Parte 2)	113
Tabela 14 - Cálculo das médias das eficiências obtidas na PCB PFC	123
Tabela 15 - Cálculo das médias das eficiências obtidas na PCB LLC.....	124
Tabela 16 - Cálculo das médias das eficiências obtidas na PCB PFC+LLC.....	124

Abreviaturas e Símbolos

AC	<i>Alternating Current</i>
CCM	<i>Continuous Conduction Mode</i>
CISPR	<i>Comité International Spécial des Perturbations Radioélectriques</i>
CrM	<i>Critical Conduction Mode</i>
DC	<i>Direct Current</i>
DCM	<i>Discontinuous Conduction Mode</i>
EMC	<i>Electromagnetic Compatibility</i>
EMI	<i>Electromagnetic Interference</i>
ESR	<i>Equivalent Series Resistance</i>
FCCrM	<i>Frequency Clamp Critical Conduction Mode</i>
FET	<i>Field-Effect Transistor</i>
HB	<i>Half-Bridge</i>
IC	<i>Integrated Circuit</i>
IEC	<i>International Electrotechnical Commission</i>
LC	<i>Inductor + Capacitor</i>
LLC	<i>Inductor + Inductor + Capacitor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
PCB	<i>Printed Circuit Board</i>
PFC	<i>Power Factor Correction</i>
RF	<i>Radio Frequency</i>
SMPS	<i>Switch Mode Power Supplies</i>
THD	<i>Total Harmonic Distortion</i>
VAC	<i>AC Voltage</i>
VDC	<i>DC Voltage</i>
ZCS	<i>Zero Current Switching</i>
ZVS	<i>Zero Voltage Switching</i>

Capítulo 1

Introdução

1.1 - Enquadramento e objetivos

Nos dias de hoje, a evolução tecnológica é cada vez mais rápida, superando alguns problemas associados, mas implicando o surgimento de outros.

Na eletrónica de potência, os criadores de novas aplicações anseiam pelo aumento de potência, aumento da eficiência e pela diminuição da dimensão e peso das suas aplicações.

A procura por cumprir tais requisitos, fez surgir novos problemas como por exemplo as aplicações não estarem em conformidade com as normas associadas à compatibilidade eletromagnética, como também não cumprirem os requisitos impostos pelas normas associadas à correção do fator de potência.

A proposta de projeto apresentada pela empresa Tedayc.LDA, assenta no desenvolvimento de uma fonte de alimentação comutada com a saída a 24 V DC e 200W de potencia de saída, incorporando uma correção do fator de potência e que esteja em conformidade com as normas aplicadas à compatibilidade eletromagnética.

Para o desenvolvimento do projeto foram definidos os seguintes objetivos:

- Estudar as diferentes topologias de fontes de alimentação comutadas
- Escolher a topologia mais adequada para o projeto
- Estudar os diferentes modos de operação da correção do fator de potência
- Escolher o modo mais adequado para o projeto
- Estudar a compatibilidade eletromagnética
- Efetuar os cálculos de dimensionamento dos componentes
- Desenvolver os esquemáticos da fonte projetada
- Desenhar a PCB da fonte
- Montar a fonte de alimentação comutada
- Testar a fonte de alimentação comutada
- Discutir os resultados obtidos no teste

1.2 - Estrutura do documento

Este documento está estruturado em oito capítulos. Neste primeiro capítulo são apresentados o enquadramento do trabalho, os principais objetivos e a sua estrutura.

No Capítulo 2, Fontes comutadas - SPMS, são apresentadas as principais diferenças entre as fontes de alimentação lineares e as fontes de alimentação comutadas tal como o seu funcionamento. Posteriormente, são apresentadas várias topologias de fontes comutadas e é realizada a escolha de qual a implementar neste projeto.

No Capítulo 3, Correção do fator de potência - PFC, são apresentados os dois tipos de implementação de PFC, passivo e ativo, e o motivo pela escolha do tipo ativo. Posteriormente, são apresentados os modos mais comuns de operação de PFC, fazendo-se uma comparação entre estes e selecionando qual dos modos a implementar no projeto.

No Capítulo 4, Compatibilidade Eletromagnética - EMC, é apresentada a definição de compatibilidade eletromagnética tal como a definição de interferência eletromagnética - EMI. Serão, igualmente, abordadas algumas técnicas preventivas e corretivas de redução da EMI.

No Capítulo 5, Funcionamento da topologia *LLC resonant*, é apresentado o funcionamento em detalhe da topologia escolhida no capítulo 2, *LLC resonant*, contendo a descrição do seu funcionamento em função da frequência de operação através de gráficos e imagens ilustrativos do seu funcionamento.

No Capítulo 6, Implementação da fonte de alimentação comutada, é apresentado o diagrama de blocos do projeto, contendo a descrição de cada bloco e os cálculos necessários para a implementação da fonte.

No Capítulo 7, Resultados, são descritos os resultados obtidos através de gráficos e tabelas ilustrativos do comportamento da fonte de alimentação comutada. Inclui também a discussão dos resultados.

No Capítulo 8, Conclusão, são apresentadas as principais conclusões do trabalho efetuado.

Capítulo 2

Fontes comutadas

2.1 - Introdução

No ambiente eletrônico dos dias de hoje, as fontes de alimentação têm bastante importância por serem responsáveis na conversão da tensão da rede elétrica AC de modo a originar a entrada pretendida para as aplicações projetadas, sendo a conversão mais comum da tensão da rede AC para uma saída com tensão fixa DC [1].

Tais fontes de alimentação dividem-se em dois tipos:

- Fontes de alimentação lineares
- Fontes de alimentação comutadas

2.1.1 - Fontes de alimentação lineares

As fontes de alimentação lineares são, essencialmente, constituídas por [1, 2]:

- Transformador
- Retificador
- Filtro
- Regulador

Cada um destes componentes está associado a um bloco diferente do processo de transformação da tensão da rede de entrada na tensão de saída pretendida, faseado na transformação, na retificação, na filtragem e na regulação.

O funcionamento base de uma fonte linear passa pela conversão da tensão de entrada da rede (230 VAC). Este passará pela transformação do seu valor para o valor pretendido através de uma razão de transformação imposta pelo transformador. Em seguida, através do retificador, será retificada por forma a existir apenas tensão positiva. Posteriormente, passará por um filtro que reduz o *ripple*/ruído da onda produzida de maneira a haver pouca variação em redor do valor pretendido de tensão. Por fim, a onda passará pelo regulador que será

responsável por reduzir/eliminar essas variações para que seja possível obter uma tensão fixa DC à saída da fonte de alimentação.

Esta divisão em blocos está ilustrada na figura 1.



Figura 1 - Diagrama de blocos da fonte de alimentação linear

2.1.2 - Fontes de alimentação comutadas

As fontes de alimentação comutadas podem ser isoladas ou não isoladas. Nas fontes isoladas não existe ligação física entre o lado primário e o lado secundário, tal não acontece com as fontes não isoladas. Para o projeto em estudo é essencial que a fonte seja isolada.

As fontes comutadas isoladas podem ter várias topologias, sendo que o seu diagrama de blocos pode variar conforme a topologia selecionada e os incrementos de funcionalidades pretendidos. De seguida estão listados os blocos de um exemplo de como uma fonte de alimentação comutada pode ser constituída:

- Filtro EMI
- Retificação
- PFC (opcional)
- Bloco de comutação
- Transformador
- Retificação
- Filtro de saída
- Malha *Feedback*

Na figura 2 pode ser visualizado o diagrama de blocos correspondente.

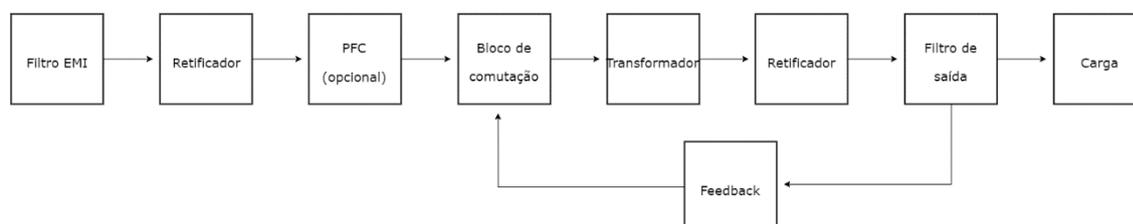


Figura 2 - Diagrama de blocos da fonte de alimentação comutada isolada

O funcionamento básico de uma fonte comutada com o diagrama de blocos anterior passa pela receção da tensão da rede de entrada por parte do filtro EMI, responsável por filtrar os ruídos existentes da rede (eventualmente de outros dispositivos nas redondezas) e para a fonte

não criar perturbações noutros sistemas/aparelhos que estejam ligadas à mesma rede. Depois de passar pelo filtro EMI, a onda de tensão passará pela retificação responsável por transformar a onda em apenas valores positivos. De seguida, poderá ou não, incorporar a correção do fator de potência pois, devido à rápida evolução tecnológica, esta solução é cada vez mais necessária, sendo responsável por transformar a onda de tensão proveniente da retificação numa tensão fixa e com a tensão e corrente em fase. Com isto, consegue-se um maior aproveitamento da energia elétrica e uma redução da energia reativa e/ou ruído na rede elétrica. De seguida, a tensão passa para o bloco de comutação onde, dependendo de cada topologia, funcionará de modo diferente. Esta é a responsável pela receção do *feedback* e, dependendo dessa informação, será, igualmente responsável por mudar o *duty cycle* ou a frequência de operação conforme seja necessária mais ou menos potência. Passando o bloco de comutação, a onda de tensão seguirá para o transformador onde sofrerá uma transformação de acordo com a razão de transformação para a qual o transformador foi selecionado. No lado secundário do transformador, a onda de tensão passará novamente pela retificação e posterior filtragem por forma à tensão ser fixa. Por fim, terá uma malha *feedback* que faz a ligação entre a saída da fonte comutada e o bloco de comutação onde irá comparar o valor de tensão à saída com o valor pretendido e enviará essa informação para o bloco de comutação para que a tensão de saída seja regulada.

2.1.3 - Comparação entre fonte alimentação linear e comutada

A tecnologia está em constante mudança, com descobertas de novas soluções para diversos problemas.

No caso da eletrónica de potência, esta evolução tecnológica tem-se focado principalmente na diminuição da dimensão e do peso, no aumento da eficiência e no aumento de potência para os novos projetos.

As fontes de alimentação lineares começaram a impedir este progresso visto que o aumento da sua potência implicou o aumento da dimensão e do peso da aplicação e, como a sua eficiência é relativamente reduzida, verificam-se várias perdas por efeito de Joule. Por isto, não conseguimos alcançar consumos reduzidos, acarretando os eventuais encargos energéticos.

Para combater este problema surgiram as fontes de alimentação comutadas. Estas aumentaram drasticamente a eficiência quando comparadas com as fontes lineares, conseguindo diminuir o tamanho/peso das aplicações para os mesmos níveis de potência. Contudo, fizeram surgir novos problemas para solucionar, pois, como funcionam à base de eletrónica comutada, o aumento de potência de modo a manter as mesmas dimensões e peso, implica um aumento das perdas de comutação e do ruído produzido. Além destes problemas, as fontes comutadas elevaram o grau de complexidade no desenvolvimento da fonte comparativamente à fonte linear [2].

Na tabela 1 faz-se a comparação entre os dois tipos de fontes de alimentação focando-se nos principais fatores que importam para a análise:

	Fonte Linear	Fonte Comutada
Custo	Pequeno	Médio
Peso-Tamanho	Grande	Pequeno-Médio
Ruído RF	Reduzido	Grande-Médio
Eficiência	35-50 %	70-92 %
Múltiplas saídas	Não	Sim
Complexidade	Pequena	Grande-Média

Tabela 1 - Comparação entre fontes de alimentação lineares e comutadas [3]

2.1.4 - Problemas associados ao uso das fontes alimentação comutadas

Como já referido anteriormente, as fontes de alimentação comutadas trouxeram novos desafios a serem solucionados pelos projetistas deste tipo de fontes. Com o aumento de potência das aplicações é necessário o aumento de frequência de comutação, o que provoca o aumento das perdas por comutação.

Estes problemas surgem como consequência da tendência de aumentar a potência e a eficiência e diminuir o tamanho e peso das mesmas. Com isto, foram concebidas várias topologias de fontes comutadas. Uma melhor para potências superiores, outras para menores potências, outras que produzem menos ruídos, etc, fazendo com que a escolha da topologia a implementar, não seja uma escolha trivial visto depender dos requisitos chave da aplicação que o projetista pretende ver de certeza satisfeitos.

2.2 - Topologias das fontes de alimentação comutadas

Existem bastantes topologias para fontes de alimentação comutadas, sendo que a maior parte das diferenças entre elas está na disposição dos componentes essenciais: condensador de saída, bobine, diodo e componentes de comutação, neste caso, *MOSFETS*.

Serão abordadas sucintamente as topologias mais comuns não isoladas por serem a base de algumas das topologias isoladas que serão abordadas neste documento, uma análise mais aprofundada pode ser realizada através da referência analisada [4]. Posteriormente, será feita a análise comparativa entre elas para ajudar a determinar qual a melhor topologia que melhor satisfaz as exigências impostas pela empresa. Ao longo deste documento os nomes das topologias e termos mais comuns da eletrônica serão designados em inglês.

As topologias abordadas nesta secção são:

- *Buck*
- *Boost*
- *Buck-boost*
- *Forward*
- *Flyback*
- *Push-pull*
- *Half-bridge*
- *Half-bridge resonant*

2.2.1 - *Buck*

A topologia *buck* é uma topologia não isolada cujo funcionamento base implica a conversão da tensão de entrada numa tensão de saída com valor inferior.

A configuração desta topologia baseia-se num *MOSFET* colocado em série com a tensão de entrada seguido de um filtro passa baixo composto por uma bobine e um condensador. De seguida é representado na figura 3 o circuito genérico da topologia *buck*.

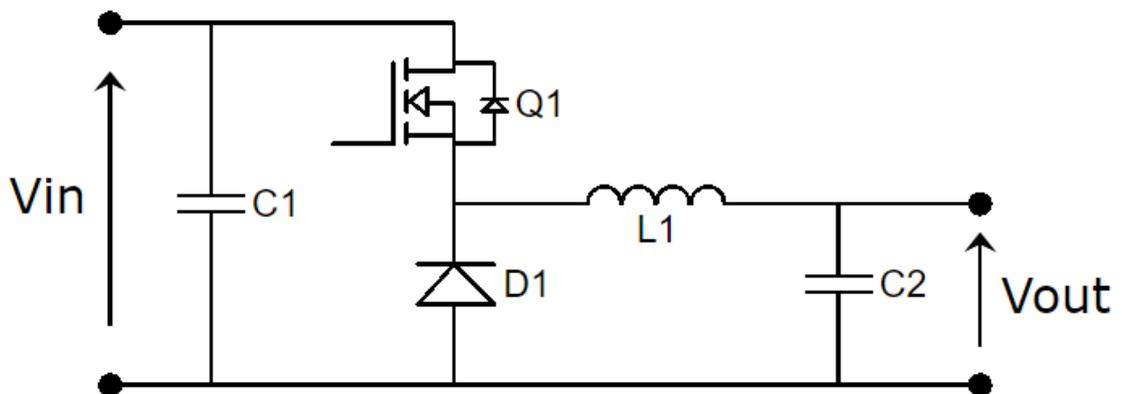


Figura 3 - Esquema da topologia *Buck*

O funcionamento base desta topologia passa pela análise de duas fases: tempo em que o *MOSFET* está em condução e o tempo em que não está em condução.

Quando o *MOSFET* está em condução, a entrada fornece energia para a saída e para a bobine. Esta carrega-se e a sua tensão é positiva e igual à diferença entre a tensão de entrada e a tensão de saída, fazendo com que a corrente na bobine aumente linearmente.

Quando o *MOSFET* não está em condução, a corrente armazenada na bobine flui para a carga, pois o diodo completa o caminho da corrente, permitindo que a corrente circule por

essa malha, fazendo deste modo, com que a tensão de saída se mantenha no valor pretendido. Nesta fase a corrente na bobine diminui linearmente e a sua tensão é negativa e igual ao inverso da tensão de saída.

A corrente que circula na malha é, portanto, sempre positiva.

A relação entre a tensão de entrada e a tensão de saída irá depender do *duty-cycle* imposto na *gate* do *MOSFET*, como se pode ver na equação 1.

$$V_{out} = D \times V_{in} \quad (1)$$

Onde o V_{in} corresponde à tensão de entrada, o V_{out} à tensão de saída e o D ao *duty-cycle*.

O *duty-cycle* é definido pela razão entre o tempo que o *MOSFET* está a conduzir e o tempo total do ciclo, como mostra a equação 2.

$$D = \frac{T_{on}}{T_s} \quad (2)$$

2.2.2 - Boost

A topologia *boost* é uma topologia não isolada, que como o próprio nome indica, converte a tensão de entrada numa tensão de saída superior.

A configuração desta topologia baseia-se na colocação de uma bobine em série com a tensão de entrada sendo que a corrente provinda desta pode ou não circular através do diodo e, por sua vez, circular para a carga ou circular pelo *MOSFET*. Também possui um condensador de saída.

Esta configuração está representada na figura 4.

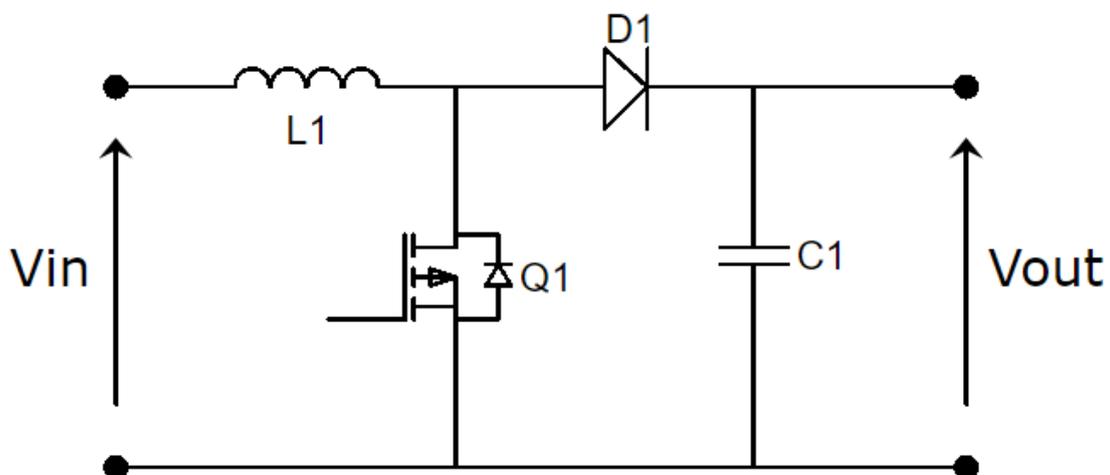


Figura 4 - Esquema da topologia *Boost*

O funcionamento desta topologia, tal como no caso da topologia *buck*, baseia-se em dois estados: o estado em que o *MOSFET* está em condução e o estado em que este não está em condução.

Quando o *MOSFET* está em condução, a corrente de entrada circula pela malha constituída pela bobine e pelo *MOSFET*. Nesta fase, a bobine está a armazenar energia através da corrente de entrada, a corrente aumenta linearmente e a sua tensão é igual à tensão de entrada. O condensador de saída é o responsável, neste tempo, por manter a tensão de saída no valor pretendido. Por esse motivo o valor deste tem que ser suficientemente elevado de modo a permitir tal objetivo, garantindo a minimização da modulação da tensão de saída.

Quando o *MOSFET* não está em condução, a corrente de entrada flui no mesmo sentido que o da bobine e fornecerá energia para a carga através do diodo. Neste momento, o condensador começa a ser carregado e a tensão da bobine é negativa e igual à diferença entre a tensão de entrada e a tensão de saída, que por sua vez, faz com que a corrente diminua linearmente.

A relação entre a tensão de entrada e a tensão de saída está representada na equação 3.

$$V_{out} = \frac{V_{in}}{1 - D} \quad (3)$$

Onde V_{in} é a tensão de entrada, V_{out} é a tensão de saída e D o *duty-cycle*.

A equação correspondente ao *duty-cycle* é igual à da topologia *buck*, neste caso a equação 2, bem como, é igual para as restantes topologias apresentadas neste documento.

2.2.3 - *Buck-boost*

A topologia *buck-boost* é uma topologia não isolada composta, essencialmente, por um *MOSFET*, uma bobine, um diodo e um condensador.

O circuito genérico desta topologia está representado na figura 5.

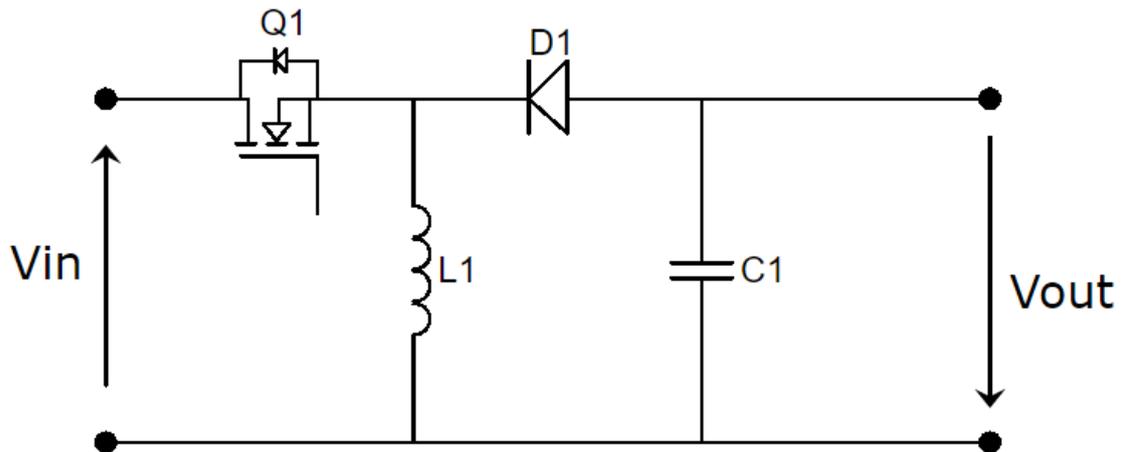


Figura 5 - Esquema da topologia *Buck-boost*

Nesta topologia, a tensão de saída é invertida e pode ser maior ou menor relativamente à tensão de entrada, sendo que se pode comportar como a topologia *buck* ou como a topologia *boost*.

O funcionamento base desta topologia divide-se em dois estados: o estado em que o *MOSFET* está em condução e o estado em que o *MOSFET* não está em condução.

Na fase em que o *MOSFET* está em condução, a bobine é carregada através da tensão de entrada, o diodo não permitirá a passagem de corrente para a carga e, portanto, o condensador de saída será o responsável por estabelecer a tensão pretendida na carga. O condensador de saída deve ser suficientemente grande para possibilitar a tensão pretendida na saída durante esta fase.

Na fase em que o *MOSFET* não está em condução, a corrente circulará pela malha composta pela bobine, o condensador, o diodo e a carga. A bobine irá descarregar, a energia que tem armazenada na fase anterior, fornecendo energia tanto para a carga como para o condensador, que nesta fase se irá carregar.

A relação entre a tensão de saída e a tensão de entrada nesta topologia está representada na equação 4.

$$V_{out} = -V_{in} \times \frac{D}{1 - D} \quad (4)$$

Onde V_{out} corresponde à tensão de saída, V_{in} à tensão de entrada e D ao duty-cycle.

2.2.4 - *Forward*

A topologia *forward* é uma topologia isolada que tem como base a topologia *buck*, e é composta por um transformador, um *MOSFET*, três díodos, uma bobine e um condensador.

O circuito genérico desta topologia está representado na figura 6.

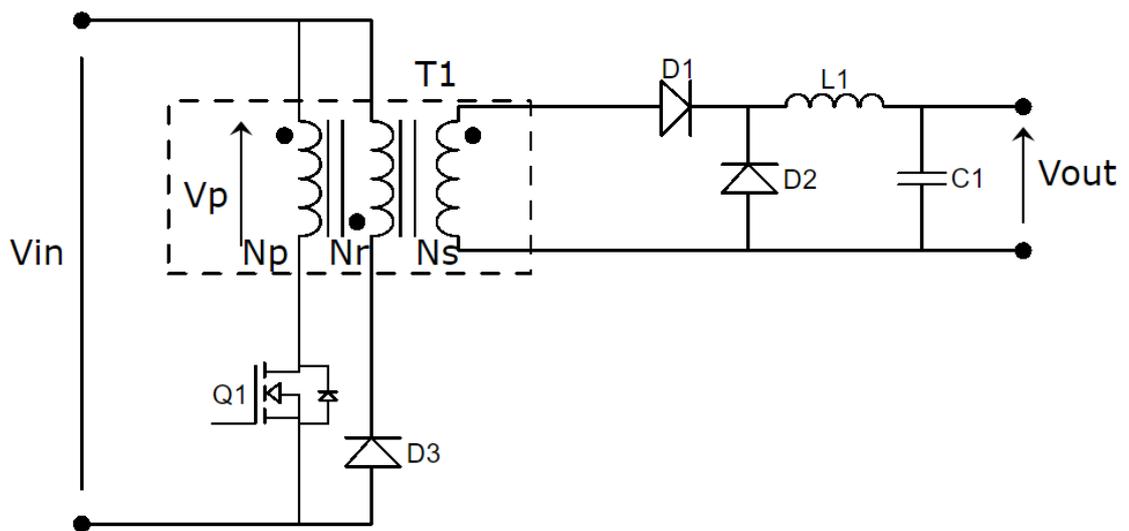


Figura 6 - Esquema da topologia *Forward*

Nesta topologia tem-se um *MOSFET* ligado em série com o lado primário do transformador que será responsável por criar pulsos de tensão para o transformador. O transformador será responsável por baixar a tensão imposta no primário, fornecendo uma tensão menor no lado secundário através da razão de transformação a ele associada. Terá, igualmente, a função de isolar o lado primário do secundário.

O funcionamento base divide-se em dois estados: o estado em que o *MOSFET* está em condução e o estado em que o *MOSFET* não está em condução.

Quando o *MOSFET* está em condução, a queda de tensão no lado primário do transformador é positiva, o que faz com que o diodo 1 esteja em condução e os restantes fiquem inversamente polarizados.

Nesta fase a corrente de magnetização, pertencente ao transformador, aumenta linearmente até ao ponto igual a V_{in}/L_m , onde L_m é a indutância magnética do transformador. A corrente no primário é igual à soma entre a corrente de magnetização e a corrente i_L que é refletida no lado primário, onde a corrente i_L é a corrente que passa na bobine de saída.

A tensão imposta pelo transformador no secundário irá ser a tensão de saída.

Quando o *MOSFET* não está em condução, o diodo 3, ao entrar em condução, irá descarregar a energia de magnetização armazenada no transformador. A bobine irá descarregar a corrente armazenada anteriormente, fornecendo corrente para a carga. O diodo 2 completará a malha possibilitando a passagem de corrente no secundário. A tensão na bobine será, portanto, negativa devido à tensão de saída.

A relação entre a tensão de entrada e a tensão de saída nesta topologia está representada na equação 5.

$$V_{out} = V_{in} \times \frac{N_s}{N_p} \times D \quad (5)$$

Onde V_{out} é a tensão de saída, V_{in} a tensão de entrada, N_s o número de voltas do transformador no secundário, N_p o número de voltas do transformador no primário e D o *duty-cycle*.

2.2.5 - Flyback

A topologia *flyback* é uma topologia isolada baseada na topologia *buck-boost* composta, basicamente, por um *MOSFET*, um transformador, dois díodos, dois condensadores e uma resistência como se pode constatar na figura 7.

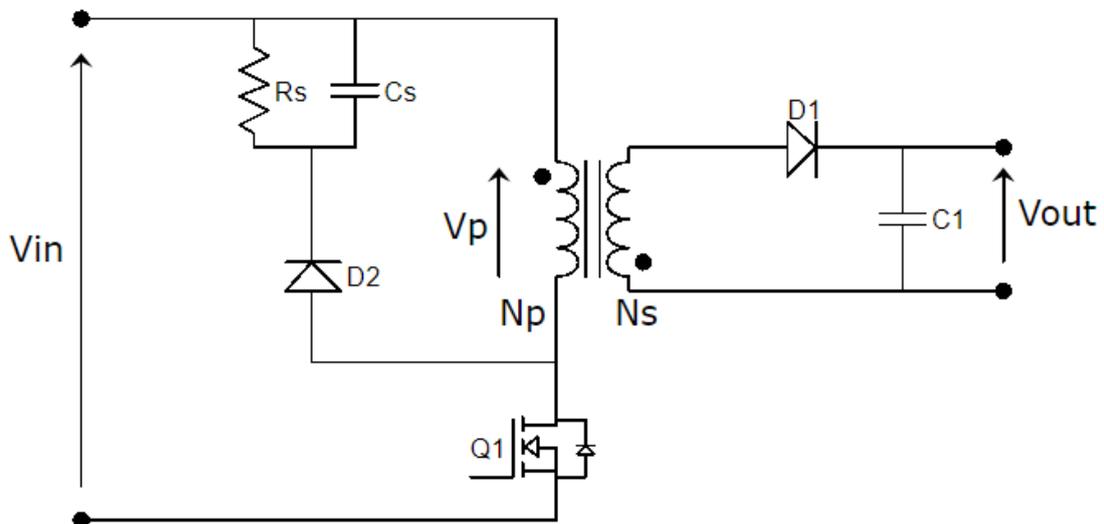


Figura 7 - Esquema da topologia *Flyback*

O seu funcionamento base divide-se em dois estados: o estado em que o *MOSFET* está a conduzir e o estado em que o *MOSFET* não está a conduzir.

Nesta topologia o *MOSFET* é posto em série com o lado primário do transformador. O transformador é responsável por armazenar energia durante a fase em que o *MOSFET* está a conduzir e pelo isolamento do primário e secundário.

Para proteção do *MOSFET*, é incorporado um diodo de *free-wheeling*, e uma malha de *snubber* composta pela resistência R_s e pelo condensador C_s .

Quando o *MOSFET* está a conduzir, devido ao transformador estar inversamente polarizado, o diodo 1 não está em condução, o que faz com que o transformador se comporte como uma bobine, sendo o condensador de saída, o responsável por impor na saída a tensão pretendida. Por este motivo o condensador deve ter uma capacidade suficientemente elevada para que seja possível manter a tensão de saída no valor pretendido durante o tempo em que o *MOSFET* está em condução.

Quando o *MOSFET* não está a conduzir, a corrente de magnetização armazenada no transformador irá induzir uma tensão negativa neste, que, fará com que o diódo 1 entre em condução tornando a queda de tensão no lado secundário do transformador igual à tensão de saída. Essa tensão armazenada no transformador irá, portanto, fornecer energia tanto para a carga como para o condensador de saída, que nesta fase irá carregar-se.

A relação entre a tensão de entrada e a tensão de saída desta topologia está representada na equação 6.

$$\frac{V_{out}}{V_{in}} = \frac{N_s}{N_p} \times \frac{D}{1-D} \quad (6)$$

Onde V_{out} é a tensão de saída, V_{in} é a tensão de entrada, N_s o número de voltas do transformador no secundário, N_p o número de voltas do transformador no primário e D o *duty-cycle*.

2.2.6 - *Push-pull*

A topologia *push-pull* é uma topologia isolada que tem como base a topologia *forward*, composta, essencialmente, por dois *MOSFETS*, um transformador, dois diódos, uma bobine e um condensador.

O seu esquema base está representado na figura 8.

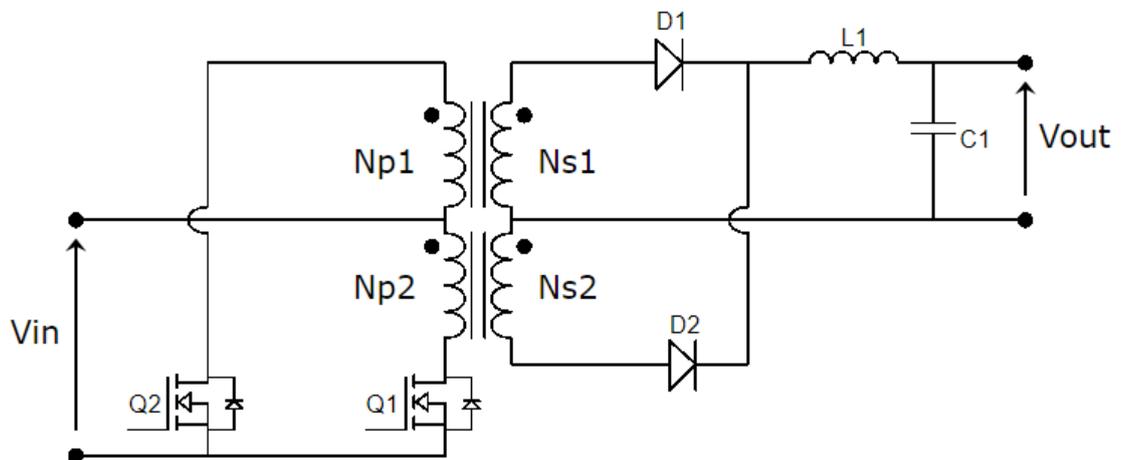


Figura 8 - Esquema da topologia *Push-pull*

Nesta topologia, os dois *MOSFETS* têm os seus tempos de condução iguais e alternados, e são responsáveis por enviar pulsos de tensão para o lado primário do transformador. O transformador é responsável por baixar a tensão de entrada e transformá-la numa tensão de saída inferior, tendo também a função de isolar a tensão de entrada da tensão de saída.

O funcionamento base desta topologia pode dividir-se em três estados: o primeiro quando o *MOSFET* 1 está em condução e o *MOSFET* 2 não está em condução, o segundo quando o *MOSFET* 1 não está em condução e o *MOSFET* 2 está em condução e o terceiro quando ambos não estão em condução.

Na fase em que o *MOSFET* 1 está em condução e o *MOSFET* 2 não está em condução, a queda de tensão no lado primário do transformador é positiva, o que faz com que o diódo 1 entre em condução e o diódo 2 não entre em condução. Nesta fase a bobine na saída é alimentada através do segundo enrolamento do secundário pelo diódo 1. A corrente na bobine cresce linearmente nesta fase.

Na fase em que ambos os componentes de comutação não se encontram a conduzir, no *MOSFET* que estava anteriormente em condução, a corrente passará a fluir pelo seu diódo interno possibilitando uma malha para descarregar a energia de fuga armazenada no lado primário do transformador, o que, também permite que o diódo 2 entre em condução. Com a entrada em condução do diódo 2, ambos os diódos do secundário ficam em condução e terão quedas de tensão iguais e opostas nos enrolamentos associados o que fará com que a tensão no secundário seja zero e que a queda de tensão na bobine seja negativa, fazendo com que a corrente nesta decresça linearmente.

Na fase em que o *MOSFET* 1 não está em condução e o *MOSFET* 2 entra em condução, o diódo 1 deixa de estar em condução e, portanto, passa o diódo 2 a ser o caminho por onde circulará a corrente da bobine. Nesta fase, a queda de tensão aplicada no lado primário do transformador será negativa. A corrente na bobine irá aumentar linearmente de novo.

De seguida viria a fase em que ambos os *MOSFETS* não estão em condução e depois voltaria a estar o *MOSFET* 1 em condução e o *MOSFET* 2 a não conduzir.

A relação entre a tensão de entrada e a tensão de saída nesta topologia está representada na equação 7.

$$V_{out} = V_{in} \times \frac{N_s}{N_p} \times 2 \times D \quad (7)$$

Onde V_{out} é a tensão de saída, V_{in} é a tensão de entrada, N_s o número de voltas do transformador no secundário, N_p o número de voltas do transformador no primário e D o *duty-cycle*.

2.2.7 - Half-bridge

A topologia *half-bridge* é uma topologia isolada que tem como base a topologia *forward*, composta, essencialmente, por dois *MOSFETS*, um transformador, dois diódos, uma bobine e quatro condensadores.

A representação genérica desta topologia está ilustrada na figura 9.

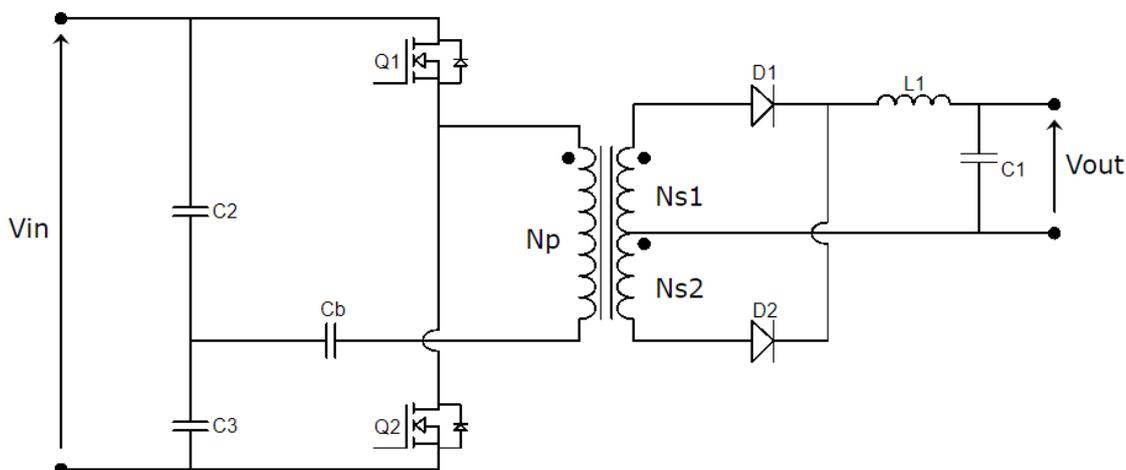


Figura 9 - Esquema da topologia *Half-bridge*

Tal como noutras topologias, os *MOSFETS* são responsáveis pela criação de pulsos de tensão no lado primário do transformador. O transformador é responsável por transformar a tensão de entrada numa tensão de saída inferior e por isolar o lado primário do lado secundário.

O condensador C_b tem a função de eliminar a componente DC que passará para o lado primário do transformador.

O funcionamento base desta topologia pode-se dividir em três fases, uma quando um *MOSFET* está em condução e o outro não, outra na situação inversa e a última quando ambos os *MOSFETS* não estão em condução.

Nesta topologia ambos os condensadores C_2 e C_3 são carregados com tensão igual, fazendo com que o ponto entre eles seja carregado com metade da tensão de entrada.

Quando o *MOSFET* 1 está em condução e o *MOSFET* 2 não está em condução, a tensão do condensador C_2 é aplicada ao lado primário do transformador, isto faz com que a tensão aplicada no lado primário do transformador seja metade da tensão de entrada. Nesta fase, o diodo 2 não estará em condução e o diodo 1 estará em condução fazendo com que a corrente da bobine circule através do enrolamento secundário correspondente. A queda de tensão na bobine será positiva fazendo com que a corrente nesta aumente linearmente.

Na fase em que ambos os *MOSFET* não estão em condução, o diodo interno do *MOSFET*, que estava em condução anteriormente, irá entrar em condução permitindo a descarga da energia de fuga armazenada no transformador durante a fase anterior. Neste momento ambos os diodos de saída ficam em condução, onde os enrolamentos correspondentes a cada um dos diodos terão quedas de tensão iguais e opostas, fazendo com que a tensão resultante do lado secundário do transformador seja 0 e, por esse motivo, a queda de tensão na bobine seja negativa e a corrente que nela circula decresça linearmente.

Na fase em que o *MOSFET* 1 não está em condução e o *MOSFET* 2 está em condução, a tensão do condensador C3 é aplicada no lado primário do transformador, o que faz com que a queda de tensão no lado primário do transformador seja negativa. Assim, o diodo 2 entra em condução e o diodo 1 deixa de estar em condução. A queda de tensão na bobine será novamente positiva e a corrente associada irá aumentar linearmente.

De seguida, o funcionamento passaria pela fase em que ambos os *MOSFETS* não estão em condução até completar o ciclo de funcionamento.

2.2.8 - Half-bridge resonant

Associado ao *half-bridge resonant* existem três topologias mais populares:

- *Series resonant*
- *Parallel resonant*
- *LLC resonant*

Todas estas topologias são isoladas e têm uma malha ressonante incorporado nos seus circuitos genéricos.

A malha ressonante tem como função fazer com que a corrente no primário seja sinusoidal, bem como reduzir o valor da corrente que passa pelo *MOSFET* durante a fase de comutação, fazendo com que haja uma redução nas perdas por comutação.

Nestas topologias o objetivo é conseguir alcançar o *zero voltage switching* - ZVS que corresponde a efetuar a comutação apenas quando a queda de tensão da *gate* para a *drain* é zero, o que permite a redução das perdas por comutação.

O funcionamento base destas topologias assemelha-se bastante ao funcionamento base da topologia *half-bridge*, onde a frequência de operação é a frequência de ressonância. Isto permite que a corrente no primário seja sinusoidal. Deste modo, torna a transferência de energia por parte do transformador mais eficaz, permitindo efetuar o ZVS e assim possibilita uma comutação mais suave.

As principais diferenças nestas topologias serão apresentadas na comparação entre topologias que será discutida à frente no relatório.

Nos pontos seguintes serão apresentados os circuitos genéricos de cada uma destas topologias.

2.2.8.1 - Series resonant

Na topologia *series resonant* a malha ressonante é composta por uma bobine e um condensador e é colocado em série com o lado primário do transformador.

O circuito genérico desta topologia é apresentado na figura 10.

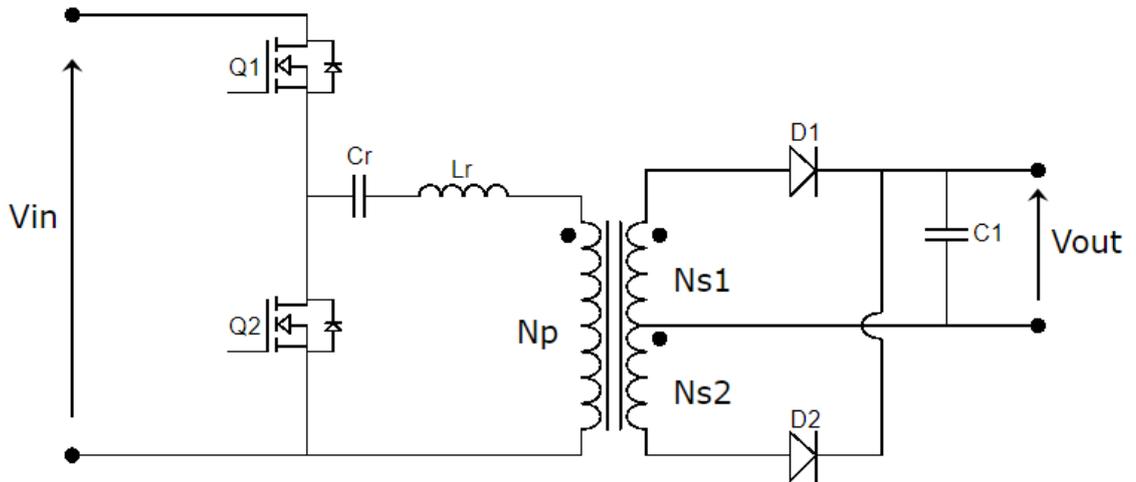


Figura 10 - Esquema da topologia *Series resonant*

2.2.8.2 - *Parallel resonant*

Na topologia *parallel resonant* a malha ressonante é composta por uma bobine e um condensador, onde a bobine é colocada em série com o lado primário do transformador e o condensador em paralelo com o mesmo.

A representação desta topologia está na figura 11.

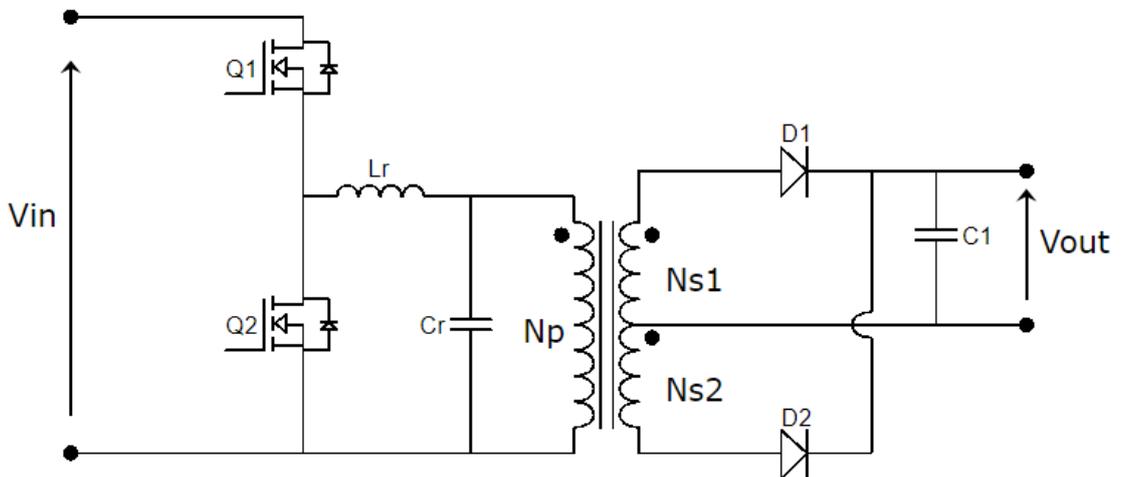


Figura 11 - Esquema da topologia *Parallel resonant*

2.2.8.3 - *LLC resonant*

Na topologia *LLC resonant* a malha ressonante é composta por duas bobines e um condensador, no qual uma bobine e um condensador são colocados em série com o lado primário do transformador e a outra bobine é colocada em paralelo com o mesmo.

O circuito genérico desta topologia está ilustrado na figura 12.

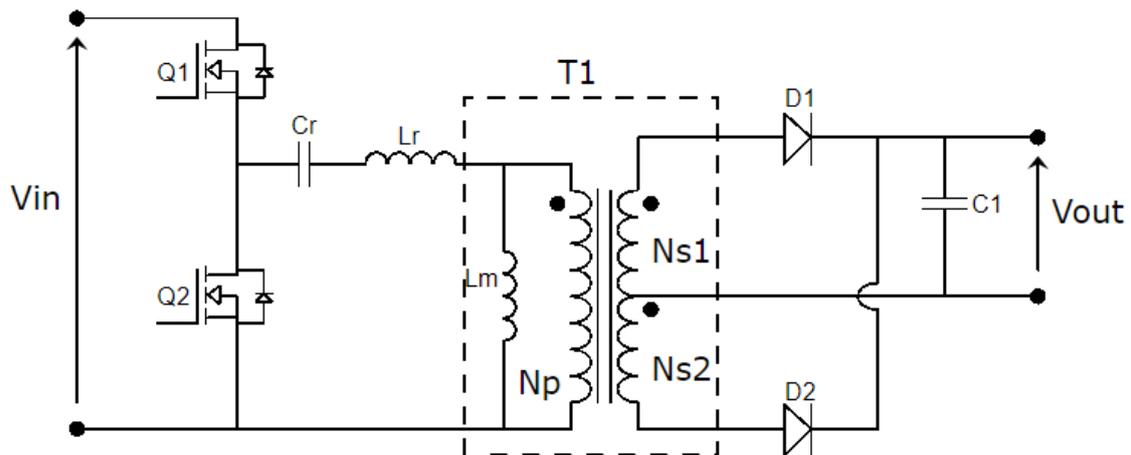


Figura 12 - Esquema da topologia *LLC resonant*

2.3 - Análise comparativa entre as topologias

Nesta secção serão comparadas as diferentes topologias abordadas, com exceção das topologias não isoladas, neste caso as topologias *buck*, *boost* e *buck-boost*, não serem soluções para a proposta apresentada pela empresa.

Nesta análise serão abordadas as vantagens e desvantagens de cada topologia [3].

2.3.1 - *Flyback*

A topologia *flyback* é uma topologia *buck-boost* isolada. Esta topologia é adequada para baixas potências. Suporta valores altos de tensão de saída, porém não lida da melhor forma com correntes acima dos 10 A. A sua eficiência anda à volta dos 75 %.

Esta topologia possui uma vantagem em relação às outras por não necessitar de uma bobine extra visto ser, o transformador o responsável por armazenar a energia. O restante circuito é simples e faz com que seja uma topologia muito popular, com um preço aceitável.

2.3.2 - *Forward*

Como já referido anteriormente, a topologia *forward* é uma topologia *buck* isolada, e é mais adequada para aplicações com baixa potência. Apresenta uma eficiência na casa dos 75 % e, comparativamente, à topologia concorrente, neste caso a *flyback*, possui a desvantagem de necessitar de uma bobine extra e de não ser adequada para altas tensões de saída. Contudo, possui uma vantagem em relação à topologia *flyback* pois aguenta melhor correntes elevadas.

2.3.3 - *Push-pull*

A topologia *push-pull* é basicamente a topologia *forward* com a utilização de dois enrolamentos no lado primário do transformador. Esta topologia utiliza o núcleo do transformador de forma mais eficiente que as topologias *flyback* e *forward*. Contudo, só metade do cobre é utilizado a cada tempo de comutação, o que faz com que as perdas no cobre aumentem.

Para potências similares, esta topologia necessita de filtros mais pequenos em relação à topologia *forward*. A principal vantagem que esta topologia tem em relação às topologias já tratadas é que pode ser implementada para potências superiores. Nesta topologia o controlo dos *MOSFETS* não é trivial.

Uma desvantagem grande desta topologia é o elevado stress nos *MOSFETS*, o dobro da tensão de entrada, pelo que não é adequada para aplicações com 250V AC de entrada e para aplicações com PFC.

Esta topologia apresenta normalmente uma eficiência de 80 %.

2.3.4 - *Half-bridge*

A topologia *half-bridge*, tal como a topologia *push-pull*, pode aguentar potências superiores às topologias *flyback* e *forward*.

Existe a necessidade de ter um *dead time* de modo a que os *MOSFETS* não estejam a conduzir ao mesmo tempo.

Comparativamente com a topologia *push-pull*, o stress nos *MOSFETS* é igual à tensão de entrada, sendo que é mais adequada para aplicações com tensões de 250V AC ou aplicações com PFC.

Normalmente, esta topologia apresenta uma eficiência na casa dos 85%.

Possui uma desvantagem em relação à topologia *push-pull*, visto não ser tão adequada para correntes altas de saída.

2.3.5 - *Half-bridge resonant*

As topologias associadas a esta gama têm as mesmas características que a topologia *half-bridge*, mas possuem bastantes melhorias como por exemplo, o alcance do ZVS, que permite a redução das perdas por comutação, o aumento da eficiência e a redução dos ruídos.

Das topologias pertencentes a esta gama, a topologia *LLC resonant* tem vantagens sobre as topologias *series resonant* e *parallel resonant*, pois devido à incorporação de duas bobines, permitindo assim a utilização de duas frequências de ressonância, enquanto que as outras topologias só permitem a utilização de uma. Por isso, a topologia LLC consegue alternar entre as duas frequências de ressonância dependendo das condições da tensão de entrada ou da

carga, conseguindo uma boa eficiência em tais condições. Por outro lado, as topologias *series resonant* e *parallel resonant* por só possuírem uma frequência de ressonância não são adequadas para grandes variações na entrada ou grandes variações da carga de saída.

A topologia LLC tem, normalmente, uma eficiência na casa dos 90%.

As desvantagens desta topologia são por um lado, o nível de complexidade do seu funcionamento, e, por outro o custo que pode acarretar.

2.4 - Escolha da topologia a utilizar

Depois de realizada a análise comparativa entre as diferentes topologias, será agora selecionada a topologia a utilizar, dependendo das suas vantagens e desvantagens, e dos requisitos impostos pela empresa.

Na tabela 2 são comparadas as topologias isoladas abordadas anteriormente:

Topologias	Potência (W)	Eficiência típica (%)	Entrada Universal (90-264 V AC)	Múltiplas saídas
<i>Flyback</i>	150	75	Sim	Sim
<i>Forward</i>	150	75	Sim	Sim
<i>Push-pull</i>	500	80	Não	Sim
<i>Half-bridge</i>	500	85	Sim	Sim
<i>Half-bridge resonant</i>	500	90	Sim	Sim

Tabela 2 - Comparação entre as topologias de fontes de alimentação comutadas [3]

Como já referido anteriormente, a empresa tem como principais requisitos a elaboração de uma fonte comutada com potencia de saída de 200 W, com uma eficiência próxima dos 90% e que esteja em conformidade com a compatibilidade eletromagnética.

Após a análise da tabela acima, descartaram-se as topologias *flyback* e *forward*, por não serem adequadas para a potência requisitada.

Das topologias restantes, a *push-pull*, a *half-bridge* e a *LLC resonant*, todas adequadas para o nível de potência requisitada, destaca-se a topologia *LLC resonant* pela eficiência que tem associada e também pelo bom comportamento que tem ao nível dos ruídos.

Neste projeto, a decisão foi a de implementar a topologia *LLC*.

Após a escolha da topologia ter sido realizada é necessário realizar a escolha do integrado LLC a utilizar neste projeto. Para efetuar esta escolha realizou-se uma procura por diferentes fabricantes dos quais: *On Semiconductor/Fairchild Semiconductor*, *STMicroelectronics*, *NXP Semiconductors*, *Linear Technology* e *Infineon Technologies*.

Esta escolha teve em especial atenção os seguintes fatores:

- Ter as características pretendidas para o projeto
- Estar bem documentado, de modo a ser possível apresentar os dimensionamentos
- Não ter um preço demasiado elevado
- Ser de fácil aquisição por parte da empresa

Após a comparação destes fatores nos vários integrados existentes foi escolhido o NCP1397 visto ser o que melhor cumpria os fatores analisados.

Capítulo 3

Correção do fator de potência - PFC

3.1 - Importância da correção do fator de potência

Tal como já referido anteriormente, a evolução tecnológica no mundo é cada vez mais rápida trazendo melhorias no dia-a-dia das pessoas. Porém, este desenvolvimento veloz, acarreta novos problemas a serem solucionados pelos desenvolvedores/criadores de tais tecnologias. Um desses problemas é o desaproveitamento da energia total que é fornecida pela rede para o funcionamento de tais tecnologias. Para solucionar tal problema é necessário implementar a correção do fator de potência.

O fator de potência é o rácio entre a potência ativa e a potência aparente. Este pode variar entre 0 e 1, sendo que para um fator de potência igual a 1, a tensão e a corrente estão em fase.

A diminuição do fator de potência está associada ao aumento do desfasamento entre a corrente e a tensão que é provocado por cargas indutivas como, por exemplo, motores de corrente alternada, soldadores de arco, iluminação fluorescente, ar condicionado e etc.

A correção do fator de potência possibilita vários benefícios [5]:

- Elimina as sanções derivadas pela utilização de um fator de potência baixo (energia reativa), reduzindo as contas a pagar por parte dos utilizadores;
- Reduz as interferências com outros aparelhos alimentados pela mesma fonte, facilitando a aplicação por estar dentro dos limites de emissões impostos pelos *standards* aplicados a todos os aparelhos eletrónicos modernos;
- Melhora a eficiência e com isso diminui as correntes do sistema e as perdas de potência;
- Aumenta a segurança do fornecimento, diminuindo as correntes de pico;
- Aumenta o aproveitamento da energia fornecida total disponível por parte dos componentes constituintes da aplicação;
- Diminui os danos no ambiente causados pelas emissões de CO₂ na produção de energia, pois diminui as perdas de energia da aplicação;

- Aumenta o tempo de vida útil da aplicação, pois reduz as perdas por calor nos componentes constituintes;
- Contribui para a redução dos harmônicos na rede;

3.2 - Modos de operação de PFC

A implementação do PFC em fontes comutadas tem evoluído devido ao aumento da variedade de IC's disponíveis no mercado para o seu uso. Este aumento de opções implica um aumento da complexidade em fazer a escolha de qual o tipo e modo de operação a utilizar e na sua implementação.

O PFC pode ser ativo, sendo composto por um conversor *boost* controlado por um IC de correção de fator de potência, colocado entre a ponte retificadora e o condensador de armazenamento (normalmente denominado Cbulk), ou por ser passivo, o que passaria pela colocação apenas de uma bobine em substituição do conversor *boost* e o controlador IC, no caso do PFC ativo.

Hoje em dia, o PFC passivo está a cair em desuso pois este tipo só tinha utilidade para aplicações com potências abaixo dos 75 W e implicava uma bobine de grandes dimensões que, para os aparelhos modernos, é impensável. O preço, também ajudou na preferência pelo tipo ativo, pois, a tendência, dos últimos anos é para o aumento do custo do cobre e do material do núcleo magnético e a diminuição do custo dos semicondutores.

Para a implementação do PFC ativo, este pode operar em vários modos:

- Modo de condução contínuo (CCM);
- Modo de condução descontínuo (DCM);
- Modo de condução crítico (CrM);
- Modo de condução crítico com limite de frequência (FCCrM).

De seguida será apresentada uma breve descrição de cada um destes modos [6].

3.2.1 - Modo de condução contínuo - CCM

O modo de condução contínuo tem sido muito utilizado em várias aplicações eletrónicas por oferecer vários benefícios como, por exemplo, menores picos de corrente que resultam na redução de perdas em vários componentes, o *ripple* da corrente ser baixo e a frequência de operação ser constante facilitando, assim, o projeto do filtro de entrada. Neste modo a corrente na bobine não atinge o valor "0" (zero). A sua principal desvantagem é realizar o *hard-switching* que provoca perdas por calor no componente de comutação.

Este modo opera com frequência fixa.

A figura 13 representa o comportamento da corrente da bobine neste modo.

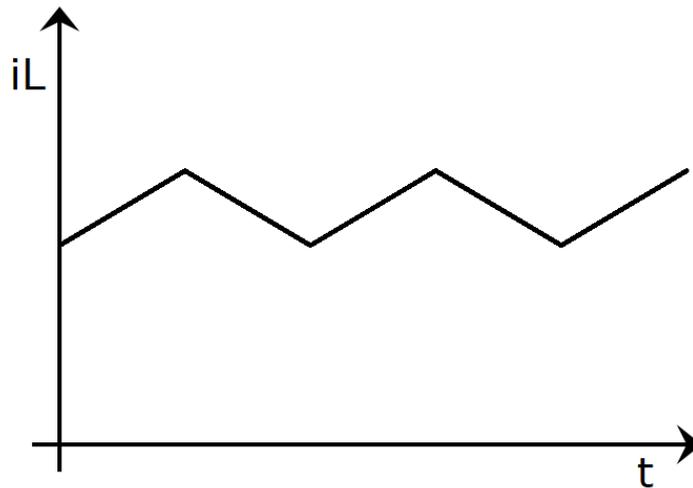


Figura 13 - Corrente no modo CCM

3.2.2 - Modo de condução descontínuo - DCM

O modo de condução descontínuo apresenta como benefícios uma boa estabilidade e uma redução da indutância da bobine.

Como desvantagem pode ter grandes picos de corrente e uma corrente eficaz alta.

Este modo pode ser dividido em três fases durante o período de comutação:

- Fase 1: a corrente na bobine aumenta desde “0” até ao valor máximo do pico de corrente, considerando-se este tempo, o tempo em que o componente de comutação está em condução - T_{on} ;
- Fase 2: a corrente na bobine diminui desde o valor máximo do pico de corrente até “0”, considerando-se o tempo relativo a esta fase o tempo de desmagnetização - T_{demag} ;
- Fase 3: a corrente permanece em 0 estando associado a esta fase o *dead time* - T_{dt} , que possibilita a realização do *soft-switching*.

Este modo opera com frequência fixa.

A figura 14 representa o comportamento da corrente da bobine neste modo.

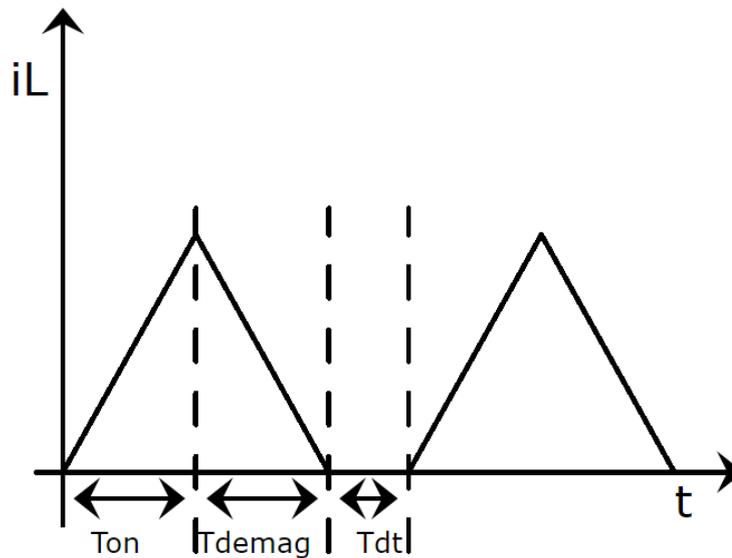


Figura 14 - Corrente no modo DCM

3.2.3 - Modo de condução crítico - CrM

O modo de condução crítico é caracterizado pelos seus controladores serem de uso simples e baixo custo. Neste modo, a corrente da bobine chega a “0” antes do início de cada ciclo e a frequência varia dependendo das condições da linha e da carga.

Como benefícios, este modo apresenta um *loop* de corrente estável, e elimina a necessidade de utilização de um diodo caro para o *boost* sem haver repercussões no funcionamento da aplicação, devido à corrente na bobine chegar a 0 e possibilitar tempo de recuperação inversa do diodo, permitindo o *soft-switching*.

Contudo, este modo apresenta uma grande desvantagem pois quando a tensão de entrada está perto do 0, a frequência de operação pode variar desde 14.5 kHz até 480 kHz fazendo com que seja difícil conseguir um bom PFC sob condições de tensão elevada na entrada e baixa carga (*light load*).

A figura 15 representa o comportamento da corrente da bobine neste modo.

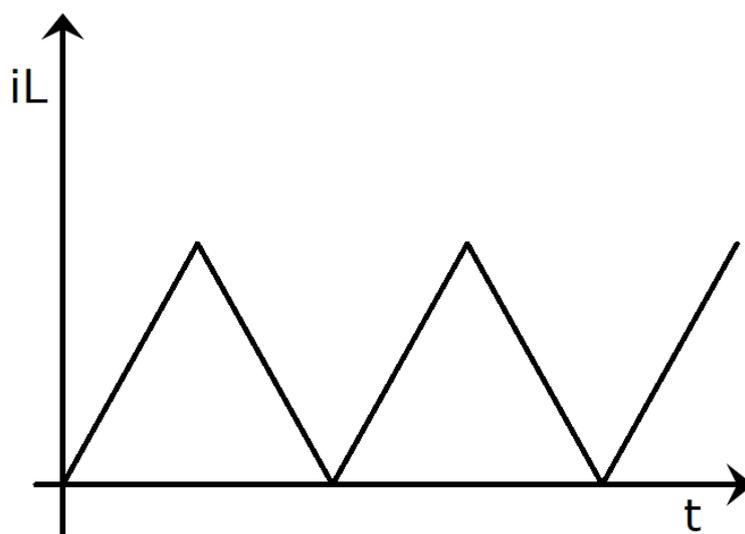


Figura 15 - Corrente no modo CrM

3.2.4 - Modo de condução crítico com limite de frequência - FCCrM

Este modo vem combater as limitações do modo de condução crítico, isto é, as variações repentinas de frequência em situações de elevada tensão de entrada e baixa carga.

Ao limitar a frequência de comutação ajuda a reduzir a produção de interferências eletromagnéticas, reduz as perdas no núcleo magnético e os requisitos do filtro de entrada.

Este modo possibilita a utilização de dois modos: o modo de condução crítico e o modo de condução descontinuo, aproveitando os benefícios de cada um e esquivando-se a algumas desvantagens de cada um destes.

Este modo de operação possibilita, portanto, alternar entre os dois modos, sendo que com cargas baixas é preferível operar no modo descontinuo devido às grandes variações de frequência que o modo crítico pode proporcionar e, quando a corrente da carga é alta, ser preferível o modo crítico para evitar altos picos de corrente.

3.3 - Comparação entre os modos de operação

Nesta fase irá ser feita uma análise comparativa entre os modos recorrentes em várias aplicações tecnológicas, neste caso o modo de condução contínuo, o modo de condução crítico e o modo de condução crítico com limite de frequência tendo por base PFC's implementados pela empresa **On Semiconductors** utilizando diferentes IC's dedicados a operar em cada um dos modos [6].

Esta análise irá principalmente incidir no tamanho dos componentes, nas perdas associadas ao uso dos componentes, operando com determinado modo de operação, e no preço associado (sabendo que este fator por ser relativo).

3.3.1 - Escolha da bobine

Na escolha da bobine tanto o CrM e FCCrM são mais vantajosos comparativamente ao CCM, visto ambos necessitarem de uma bobine com menor valor de indutância e assim, a sua procura ser mais facilitada, o preço mais acessível e o tamanho menor. Por outro lado, é de lembrar que esta irá estar sujeita a maiores correntes de pico, a variações de frequência e a flutuações de fluxos o que obrigará ao uso de ferrite no núcleo da bobine para reduzir as perdas no núcleo.

Comparando apenas o CrM e o FCCrM, o FCCrM é melhor pois submete a bobine a menores variações de frequência, sendo também possível baixar o valor da indutância comparativamente com o CrM.

3.3.2 - Escolha do componente de comutação

Na escolha do componente de comutação, no caso de escolha do modo de operação ser o CCM, esta tarefa está mais facilitada visto possibilitar o uso de um valor de $R_{ds(on)}$ superior aos outros modos devido aos valores de correntes de pico e eficaz serem baixas fazendo com que as perdas de comutação não sejam muito significativas. Isto possibilita a compra de FETs por um preço inferior ao preço correspondente a um *MOSFET* com um valor de $R_{ds(on)}$ mais baixo, que no caso dos modos CrM e FCCrM é necessário para o bom funcionamento do componente de comutação.

3.3.3 - Escolha do diodo de potência

A escolha do diodo de potência é mais crítica no caso do modo CCM fazendo com que neste caso seja necessário a escolha de um *Schotcky*, enquanto que, nos outros modos é possível a escolha de um *Ultrafast* sem afetar o bom funcionamento do sistema, implicando assim, um preço maior no caso do modo CCM.

3.3.4 - Visão geral

Ao nível da eficiência, todos os modos oferecem eficiências elevadas, o CCM é relativamente pior em condições de tensão de entradas baixas e carga elevadas, provocando perdas por comutação. O modo FCCrM é melhor em quase todas as condições. O CrM apresenta resultados bastante parecidos com o FCCrM mas peca em situações de tensões de entrada elevadas e pouca carga.

Serão então apresentadas as vantagens e desvantagens dos modos de operação em estudo.

3.3.4.1 - CCM

O modo CCM tem como vantagens o uso de frequência fixa, um filtro EMI simples e apresenta um *ripple* pequeno nos estágios de entrada e saída, fazendo com que este modo seja preferível para aplicações com potências acima dos 300 W. No entanto, apresenta um nível alto de perdas por comutação.

3.3.4.2 - CrM

O modo CrM tem boa eficiência para potências abaixo dos 300 W, contudo apresenta grandes variações de frequência e necessita de uma bobine de modo diferencial para reduzir o *ripple* de entrada e a EMI.

3.3.4.3 - FCCrM

O modo FCCrM para potências abaixo dos 300 W consegue igualar os mesmos valores relativos à eficiência em condições de baixa tensão de entrada e melhores resultados em condições de elevada tensão de entrada. Também possibilita o uso de uma bobine mais pequena comparativamente ao modo CrM e tem melhorias ao nível da EMI e THD devido ao limite da frequência.

Apresenta como desvantagens a necessidade de utilizar uma bobine de modo diferencial com o propósito de baixar o *ripple* da corrente de entrada e o EMI, que poderá influenciar na eficiência.

3.4 - Modo de operação de PFC a implementar

A escolha do modo de operação a implementar suportou-se nos interesses da empresa em conjugação com as análises feitas anteriormente. Assim sendo, era necessário um modo que melhor cumprisse com os seguintes requisitos:

- Baixo EMI
- Custo baixo
- Alta eficiência
- Pouco volume

	CrM	FCCrM	CCM
EMI	***	****	****
Eficiência	****	****	****
Compacidade	****	****	****
Resposta a transientes	****	****	****
Harmônicos	****	****	****
Custo relativo	****	****	***
Capacidade de Potência	***	****	****

Tabela 3 - Comparação entre os modos de operação do PFC [6]

Após a análise da tabela 3, chegou-se à conclusão que o melhor modo a implementar seria o modo de condução crítico com limite de frequência, FCCrM, pois dispõe de melhores resultados comparativamente com as outras soluções para satisfazer os requisitos impostos pela empresa.

A segunda opção seria o modo de condução contínuo, CCM, pois apresenta valores similares ao modo FCCrM, contudo, envolvia maiores custos e era apropriado para potências superiores à potência da aplicação a implementar.

Após a escolha do modo de operação a implementar foi realizada a escolha do integrado do PFC a utilizar.

Esta escolha teve em atenção os seguintes fatores:

- Usar um integrado que fosse habitual funcionar em conjunto com o NCP1397, responsável pelo comportamento LLC
- Apresentar cálculos associados
- Custo não ser elevado.
- Ser de fácil aquisição por parte da empresa

Para efetuar o comportamento do PFC foi escolhido o integrado NCP1605 visto cumprir os requisitos impostos.

Capítulo 4

Compatibilidade Eletromagnética - EMC

4.1 - Conceito

A compatibilidade eletromagnética - EMC diz respeito a um sistema eletrônico que funciona da forma pretendida no seu ambiente eletromagnético, não interferindo com os sistemas à sua volta nem no seu próprio funcionamento.

Um sistema é eletromagneticamente compatível se satisfizer os seguintes critérios [7]:

- Não causar interferências em outros sistemas, ou seja, o seu funcionamento não provoca o incorreto funcionamento dos sistemas à sua volta;
- Não é suscetível às emissões provenientes de outros sistemas, ou seja, as emissões de outros sistemas não provocam o seu incorreto funcionamento;
- Não causa interferências a si próprio, ou seja, o ruído que produz não causa o seu mau e/ou incorreto funcionamento.

4.2 - Enquadramento histórico

A importância da eletrônica no nosso dia-a-dia tem aumentado de forma abrupta desde o início do século XX. Nas primeiras décadas do século XX, os especialistas pretendiam realizar inovações tecnológicas sem se preocuparem com os efeitos negativos destas.

Com o aumento das descobertas tecnológicas os efeitos negativos destas começaram a ter proporções maiores, forçando os especialistas a estudar formas de reduzir os efeitos não pretendidos.

Um destes problemas foi a poluição eletromagnética, responsável por ações negativas nos aparelhos eletrônicos. Surgindo a necessidade de combater essa poluição, foi introduzido o termo de Compatibilidade Eletromagnética (EMC), onde são estudados, analisados e resolvidos os problemas associados a ambientes eletromagnéticos.

Com o passar do tempo, tornou-se mais difícil alcançar a compatibilidade eletromagnética devido ao aumento rápido de equipamentos geradores de interferências eletromagnéticas (EMI)

de alta frequência e de aparelhos eletrônicos suscetíveis a essas interferências. À custa de tais dificuldades, a redução das emissões de altas frequências e a suscetibilidade a estas tornou-se num dos principais objetivos a alcançar.

Em 1933, foi fundada em Paris a CISPR (*Comite International Special des Perturbations Radioelectriques*), a primeira organização internacional autorizada a publicar recomendações a respeito das interferências de radio frequência. Como primeiro objetivo, os representantes da CISPR definiram a documentação de métodos de medição da EMI e o estabelecimento de limites internacionais relativos ao ruído.

Em 1973 o IEC (*International Electrotechnical Commission*) fundou o comité técnico TC77 responsável por desenvolver padrões relativos ao EMC [8].

4.3 - Interferências eletromagnéticas - EMI

As interferências eletromagnéticas consistem na degradação do desempenho de um equipamento, canal de transmissão ou sistema, causada por uma perturbação eletromagnética, sendo que os termos “perturbações eletromagnéticas” e “interferências eletromagnéticas” nomeiam, respetivamente, a causa e o efeito observados nos ambientes eletromagnéticos.

A partir dos conceitos já apresentados, percebe-se que para existir uma interferência eletromagnética é necessária a presença de uma fonte criadora de ruído, um meio de propagação do ruído e um recetor suscetível ao ruído no qual este irá incidir [7].

Quando existe a propagação de uma perturbação eletromagnética proveniente de um sistema poderá originar interferências eletromagnéticas nos sistemas à sua volta, ou seja, provocar falhas no funcionamento dos sistemas presentes no seu ambiente. Nesse caso, o sistema é considerado um sistema electromagneticamente interferente. Esta transferência não intencional de energia ocorre, frequentemente, por caminhos não intencionais. Por este motivo, é necessário fazer a distinção entre as emissões conduzidas e as emissões radiadas, em que as primeiras se propagam através de fios condutores e as segundas propagam-se através de, por exemplo, o ar via ondas eletromagnéticas [9].

No espectro eletromagnético de frequências a EMI manifesta-se na faixa de frequências de 9 kHz a 1 GHz [10].

A problemática do EMC pode ser dividida em dois grupos, nomeadamente, as emissões eletromagnéticas e a suscetibilidade eletromagnética que, por sua vez, também podem ser divididas em dois subgrupos diferenciados pela forma como a energia se propaga, conduzida ou radiada, conforme mostra a figura 16.

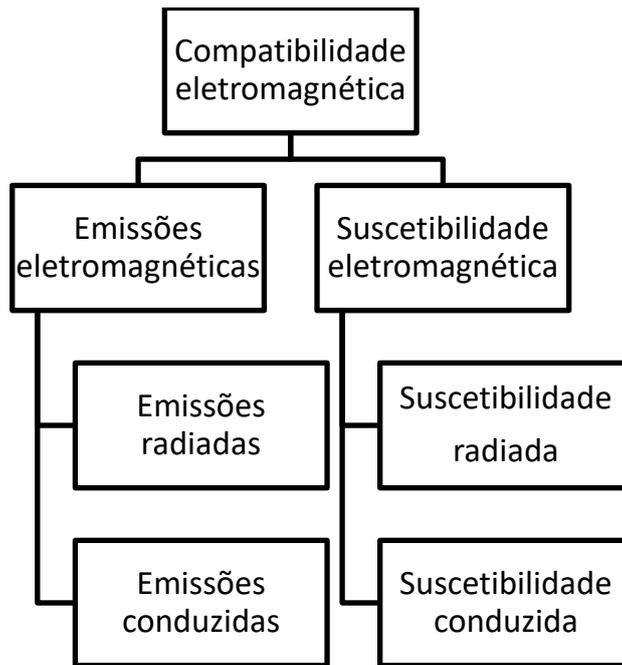


Figura 16 - Exemplo dos subgrupos da compatibilidade eletromagnética

Uma das principais lutas para alcançar os limites impostos para a obtenção da conformidade EMC é reduzir as interferências eletromagnéticas e a suscetibilidade dos sistemas a estas, na qual se destacam os seguintes três procedimentos [7]:

- Identificar a fonte de interferências e reduzir o ruído produzido;
- Identificar o meio de propagação do ruído e tornar esse caminho o mais ineficiente possível, de maneira a limitar a propagação do mesmo;
- Fazer o recetor ser o menos possível suscetível a interferências eletromagnéticas.

4.3.1 - EMI conduzida

Entende-se por EMI conduzida as interferências eletromagnéticas nas quais os seus meios de propagação são condutores metálicos ou elementos parasitas, por exemplo, as linhas de alimentação AC e DC. Estas decorrem quando os condutores metálicos percorrem ambientes eletromagnéticos com perturbações eletromagnéticas e captam parte desses ruídos, transportando-os para outros sistemas.

As frequências das interferências eletromagnéticas são baixas, normalmente abaixo dos 30 MHz [8].

4.3.2 - EMI radiada

As interferências eletromagnéticas radiadas processam-se quando um ruído eletromagnético interfere com um sistema por meios não metálicos, como por exemplo o ar.

Este ruído, normalmente, é produzido pela presença de correntes nas pistas da PCB, cabos e terminais de semicondutores, nos quais é produzido um campo eletromagnético com intensidade dependente da intensidade das correntes e o comprimento das pistas ou dos cabos. As frequências das interferências eletromagnéticas são altas, acima dos 30 MHz. A redução da EMI radiada é considerada um trabalho muito árduo, visto ser necessário um conhecimento total do comportamento eletromagnético de todos os constituintes do sistema [8].

4.3.3 - Correntes de modo comum e correntes de modo diferencial

Os circuitos eletrônicos apresentam um condutor de alimentação (fase, positivo), um condutor de retorno (neutro, negativo) e um condutor terra, por onde as correntes se propagam. Independentemente de conduzidas ou radiadas, as interferências eletromagnéticas, podem manifestar-se em correntes que se propagam de um sistema para outro ou dentro do próprio sistema. Estas correntes, dependendo do modo de propagação, podem dividir-se em dois tipos: o modo comum e o modo diferencial, sendo que os aparelhos eletrônicos são mais suscetíveis ao ruído do modo comum do que ao ruído do modo diferencial [10].

-Modo Comum: também conhecido como o modo assimétrico, diz respeito às interferências entre as fases e a terra. A tensão/corrente do ruído propaga-se simultaneamente pelas fases e o condutor de retorno/terra com uma diferença de fase de 0° , implicando que as correntes estejam em fase. Um exemplo do modo comum está ilustrado na figura 17.

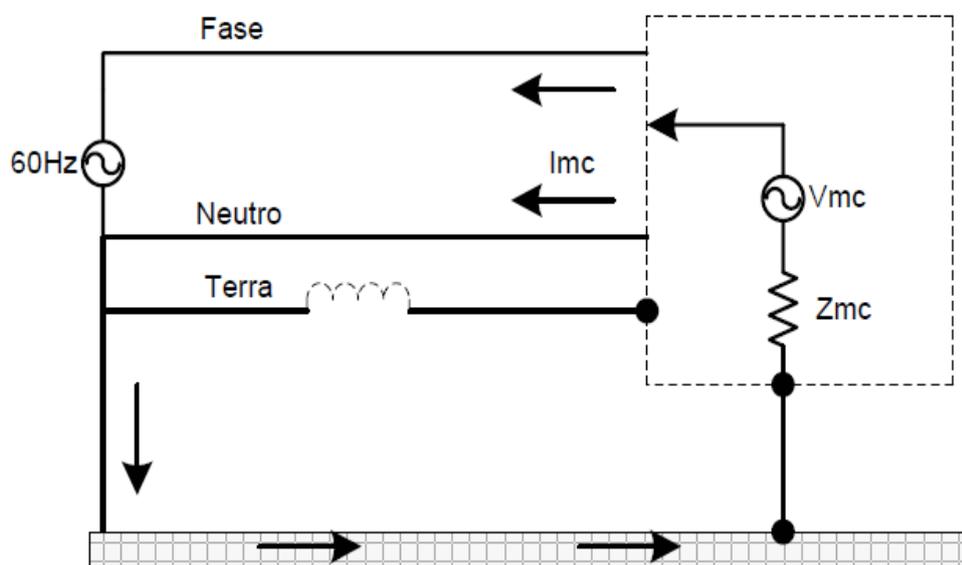


Figura 17 - Exemplo modo comum [10]

-Modo Diferencial: também conhecido como o modo simétrico, diz respeito às interferências entre fases. O ruído de modo diferencial é provocado por *loops* de corrente formados com as fases e o seu retorno, normalmente caracterizado por correntes que se

propagam pelos condutores fase e neutro com uma diferença de fase de 180° . Um exemplo do modo diferencial está ilustrado na figura 18.

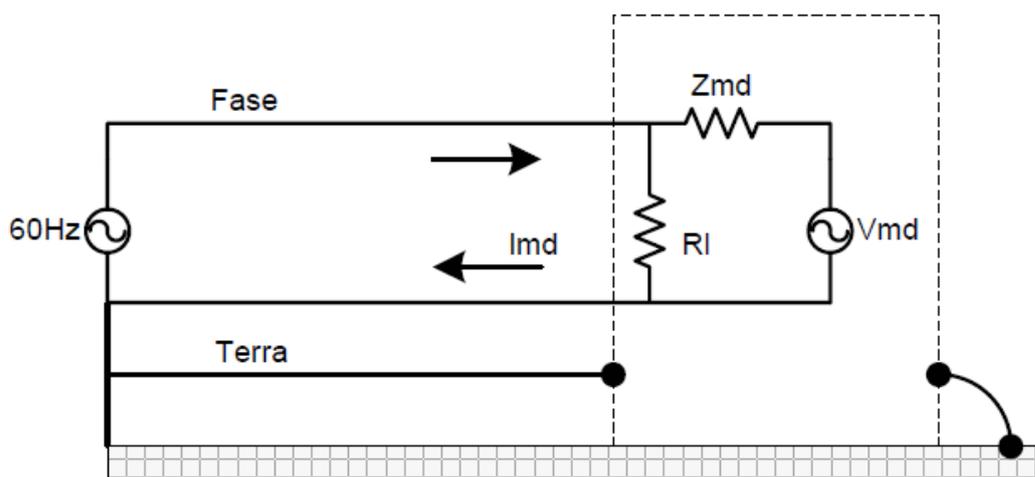


Figura 18 - Exemplo modo diferencial [10]

4.4 - Normas

As normas referentes ao EMC foram criadas com o intuito de regulamentar limites e métodos de medição para todos os equipamentos eletrônicos que possam gerar ou ser afetados por interferências eletromagnéticas, por forma a que tais equipamentos não sejam afetados pelo ambiente eletromagnético a que são expostos, como também, não emitam perturbações eletromagnéticas que possam prejudicar o funcionamento de outros equipamentos.

As normas podem ser impostas pelas agências governamentais ou ditadas pelo fabricante do equipamento, onde as impostas pelas agências governamentais são normas legais e não podem ser desprezadas. Contudo, no mercado atual um fabricante almeja alcançar outros mercados e por esse motivo, devido a existirem diferentes limites conforme o país em questão, ser importante para um fabricante cumprir as normas dos mercados alvo. Assim, surgiram as normas ditadas pelo fabricante do equipamento que visam satisfazer as necessidades do consumidor alvo, tentando garantir um produto com qualidade e confiável [7].

De salientar que as normas estão em constante mudança, logo, os fabricantes devem periodicamente revê-las e verificar atualizações. As normas EMC podem ser divididas em dois setores: para equipamentos comerciais ou para equipamentos para uso militar.

A lista de normas aplicadas ao EMC é bastante extensa, sendo estas normas emitidas maioritariamente pelas seguintes entidades: CISPR (*Comite International Special des Perturbations Radioeetriques*) e IEC (*International Electrotechnical Commission*) [11].

No que diz respeito às fontes de alimentação, desta lista extensa podemos destacar as normas EN550xx/CISPR xx e EN61000, pois os equipamentos ligados à rede devem obedecer a

ambas. As EN550xx/CISPR xx abordam detalhadamente os limites de EMI impostos para as várias aplicações, definindo métodos de medição para EMI conduzida ou radiada. No caso da EN61000, é a norma “PFC”, que considera os harmônicos de frequência que um determinado equipamento produz, medindo até o 40º harmônico ou 2kHz [12].

4.5 - Importância do EMC na fase de projeto de uma fonte comutada

O desenvolvimento de uma fonte comutada passa por três fases: projeto, testes e produção. Na fase de projeto, define-se quais os componentes a utilizar e a forma como se procederá à montagem, na fase de testes, testa-se a fonte para verificar se os níveis de emissão e suscetibilidade à radiação eletromagnética se encontram dentro dos limites impostos pelas normas e na fase de produção a fonte será efetivamente produzida em escala, depois de ter passado nos testes.

Das três fases referidas, salienta-se a importância da fase de projeto, pois a forma como se realiza esta fase pode ter grande impacto tanto no custo do projeto como no nível de emissão/suscetibilidade de/a radiações eletromagnéticas aquando da sua produção em escala.

O número de técnicas preventivas para redução da EMI é muito superior em relação às técnicas corretivas, além de permitirem a redução de custos.

Na figura 19 estão ilustrados os gráficos do número de técnicas de redução e do custo ao longo do tempo de um projeto [13].

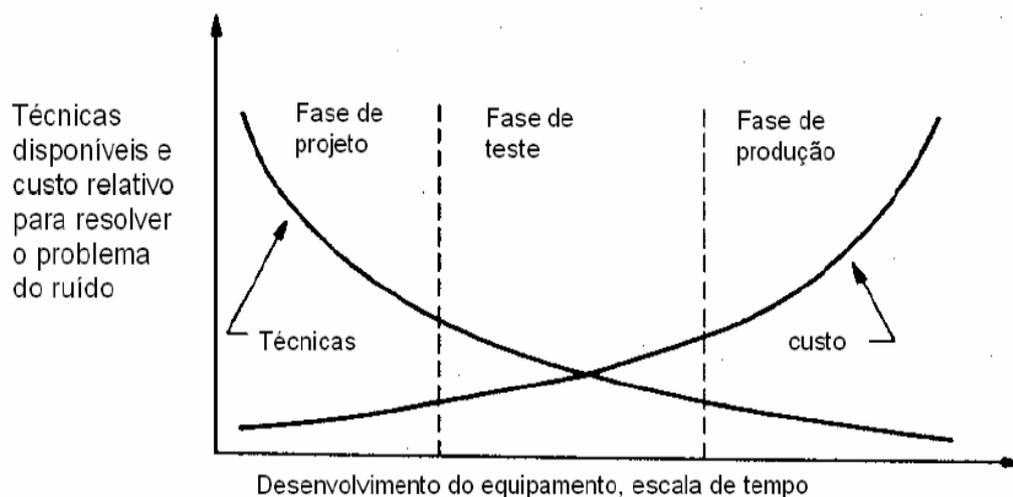


Figura 19 - Evolução das técnicas disponíveis e o custo relativo em função das fases de um projeto [13]

4.6 - Principais etapas da fase de projeto que visa a diminuição da EMI

Para a realização de um projeto eletrônico, dando a devida importância às interferências eletromagnéticas, podemos destacar algumas etapas importantes para alcançar este propósito, tais como [12]:

- Especificação
- Seleção da topologia
- Cálculo dos componentes
- Simulação da topologia
- Construção e teste do protótipo
- Adição de um filtro EMI
- *Design* da versão final
- Teste da versão final

4.6.1 - Especificação

Nesta etapa deve-se definir quais os níveis de suscetibilidade e emissão de interferências eletromagnéticas que a fonte terá de respeitar, tendo em conta as regulamentações governamentais de compra e uso do produto referentes ao mercado alvo.

4.6.2 - Seleção da topologia

Na seleção da topologia a utilizar para o conversor deve-se optar pelas topologias com melhor comportamento em relação à EMI, tendo como exemplo os tipos de conversor LLC.

Outras topologias também podem ser usadas embora acarretem algumas desvantagens. No caso da topologia *flyback*, esta cria grandes variações de tensão em relação ao tempo e altas tensões de pico, fazendo assim o controlo da EMI tornar-se um processo mais árduo.

4.6.3 - Cálculo dos Componentes

Para o cálculo dos componentes da fonte comutada deve-se ter em consideração dois fatores importantes. O primeiro é ter em conta o valor estimado da impedância parasita do

filtro de EMI, que será parte da impedância de entrada da fonte de tensão. O segundo tem como objetivo melhorar a sensibilidade contra o ruído da fonte de tensão, considerando assim as impedâncias dos nós o mais baixo possível, principalmente na parte de controle, o que faz com que seja necessária uma potência de ruído maior para provocar falhas no funcionamento da fonte.

4.6.4 - Simulação da topologia

Com a evolução tecnológica, existem simuladores de circuitos modernos rápidos, embora a potência do ruído dependa de vários fatores tais como *layout* final, o tamanho e material dos componentes, a sua disposição e os equipamentos vizinhos, fazendo com que seja difícil prever o comportamento do ruído. Estes simuladores conseguem de uma maneira rápida experimentar vários tipos de filtros, acrescentar controles de fator de potência, colocar capacidades e indutâncias parasitas para a simulação se aproximar dos valores reais, sendo que possibilitam ter uma ideia do que será necessário acrescentar ou alterar nas etapas posteriores.

4.6.5 - Construção e teste do protótipo

Nesta etapa é aconselhada a construção do protótipo da fonte comutada deixando espaço livre à entrada para posteriormente colocar nesse espaço o filtro EMI.

Para esta etapa ser bem-sucedida é importante este protótipo aproximar-se o mais possível da composição da fonte de alimentação final, pois esta etapa tem a finalidade de medir os níveis de interferências eletromagnéticas radiadas e conduzidas e descobrir potenciais problemas que irão afetar a fonte. Por este motivo é importante, nesta etapa, não ser colocado o filtro EMI, uma vez que, com a sua presença estes problemas seriam mais difíceis de detectar, uma vez que o filtro faz com que eles sejam de menor amplitude. Desta maneira é possível prever a atenuação necessária para o filtro a implementar.

Assim, é aconselhável minimizar as áreas de *loop* com correntes elevadas e, minimizar as capacidades parasitas, nos pontos com grandes variações de tensão em relação ao tempo (d_V/d_T) na fase de construção do protótipo, e comparar os testes feitos ao protótipo aos testes obtidos através da simulação na fase de teste.

4.6.6 - Adição do filtro EMI

Nesta etapa, constrói-se o filtro EMI, de acordo com as indicações retiradas anteriormente e introduz-se no protótipo, sendo que de seguida são efetuados novos testes para verificar se este produz o funcionamento previsto da fonte comutada.

4.6.7 - *Design* da versão final

Aqui, procede-se à implementação da versão final prestando atenção às mudanças que poderão ocorrer em relação aos níveis produzidos de EMI conduzida e radiada, especialmente na ligação à terra que poderá afetar os níveis de EMI conduzida e a disposição física, bem como, afetar os níveis de EMI radiada e o seu impacto dentro de fonte de alimentação.

4.6.8 - Teste da versão final

Nesta etapa efetua-se o teste da versão final, verificando-se se os níveis de EMI conduzida e radiada se encontram dentro dos limites. Procede-se, igualmente, a um teste para verificação da existência de situações não pretendidas, tentando com esses testes submeter a fonte a várias situações diferentes que servirão de dados para análise do seu comportamento. É aconselhável a construção de mais do que uma fonte para facilitar a deteção dos problemas.

4.7 - Técnicas preventivas de redução de EMI

Sabendo que as fontes comutadas são uma das principais criadoras de perturbações eletromagnéticas tanto ao nível de perturbações conduzidas como radiadas, devido à comutação do componente de comutação, recuperação dos díodos e às restantes não idealidades dos componentes que incorporam, torna-se assim bastante importante a aplicação de técnicas de redução da EMI, visto que o objetivo das fontes comutadas é alimentar os circuitos conectados a ela com o menor ruído possível.

Para uma maior eficiência, estas técnicas devem ser utilizadas de forma preventiva com o objetivo de serem mais eficientes e acarretar menores custos, como já referido anteriormente.

De seguida serão apresentadas algumas técnicas de redução de EMI [7, 10].

4.7.1 - Escolha da topologia da estrutura de potência

Como já referido no ponto (4.6.2), um dos primeiros procedimentos a efetuar para a redução de EMI passa pela escolha da topologia a implementar, onde se deve preferir as topologias que produzam a menor EMI possível.

Pretende-se então a redução da variação da tensão (dv/dt) e corrente em função do tempo (di/dt), que causa a redução da tensão de pico associada à comutação, também como a redução da fadiga dos semicondutores que constituem a fonte, por forma a diminuir a produção de EMI.

4.7.2 - Utilização de *snubbers*

Os *snubbers* detêm grande importância devido à sua função de amortecimento dos efeitos produzidos pelas reatâncias intrínsecas ao circuito, podendo amortecer os transientes de alta tensão que ocorrem na comutação, controlar a taxa de variação de tensão e corrente, em função do tempo, e diminuir os picos de tensão, possibilitando um aumento da proteção do semicondutor contra sobretensões, o que resulta numa maior confiabilidade, maior eficiência e permite a redução da EMI produzida.

Partindo da característica de dissiparem a energia em forma de calor, os *snubbers* RC ou RCD são preferidos tendo em vista a compatibilidade eletromagnética [14].

4.7.3 - Elementos magnéticos

Os elementos magnéticos preferenciais para a redução de EMI são os de núcleo toroidal ou núcleo com entreferro reduzido, com vista a evitar fluxos dispersos.

Um problema no caso dos transformadores corresponde ao ruído resultante da comutação no primário ser injetado no secundário através da capacidade entre enrolamentos. Um procedimento para minimizar este problema é enrolar cintas metálicas com o objetivo de criar um caminho de retorno para o ruído de modo comum.

4.7.4 - Separação do circuito em zonas

O controlo do ambiente eletromagnético a que a fonte estará submetida é a chave para atingir a compatibilidade eletromagnética.

O controlo total do ambiente eletromagnético só poderá ser feito internamente. O ambiente eletromagnético externo apresenta mais dificuldades de controlo, sendo que neste

caso o uso de isolamentos e filtros é uma maneira de evitar que este interfira no funcionamento da fonte. Para um melhor controlo da compatibilidade eletromagnética e redução de custos deve-se utilizar uma única PCB a fim de facilitar o controlo interno por existir uma fronteira óbvia entre o ambiente exterior e o ambiente interior, o que com mais PCB's, estas teriam de ser conectadas por cabos existindo perdas e dificultando o controlo eletromagnético.

Para o controlo efetivo do ambiente eletromagnético interno deve-se proceder à separação do circuito em áreas na PCB, tendo como critério a maior ou menor suscetibilidade ou capacidade de produção de interferências eletromagnéticas. Para efetuar a separação destas áreas, primeiro é necessário categorizar os diferentes componentes em: extremamente ruidosos, ruidosos, potencialmente agressivos, não geradores de ruído, sensíveis, potencialmente suscetíveis a ruído, sabendo desde já que uma das áreas será a interface entre o ambiente interior e o ambiente exterior onde serão aplicados filtros e fixados os isolamentos dos cabos. A definição destas categorias está associada à variação em tensão e corrente em função do tempo.

Para a eficaz disposição dos componentes, deve-se prestar especial atenção aos componentes considerados mais ruidosos ou suscetíveis a interferências eletromagnéticas, colocando-os o mais próximo do centro das suas áreas e o mais afastado dos fios ou cabos de modo a que estes sejam o menos possível afetados pelas perturbações magnéticas.

As áreas devem estar bem delimitadas sendo que as únicas pistas da PCB que saem ou entram de uma área devem ser apenas as que fazem a ligação entre áreas.

Para uma eficaz supressão dos ruídos entre áreas ou na interface com o exterior pode-se utilizar várias técnicas: filtros de modo comum ou diferencial; isolamento galvânico com o uso de transformadores ou opto-acopladores; dispositivos de proteção; uso de fibras óticas, infravermelhos, *wireless*, laser ou micro-ondas em vez de fios de cobre; isolamento de áreas, cabos e conetores.

4.7.5 - Planos de referência

Para a obtenção da compatibilidade eletromagnética, os planos de referência têm bastante importância no projeto de uma PCB.

Estes planos normalmente são: o plano de potência e o 0V (plano de terra).

O uso de um plano de referência contribui com reduções sensíveis de todo o acoplamento eletromagnético quando aplicado em conjunto com as restantes técnicas de redução de EMI referidas anteriormente.

Para a eficaz aplicação dos planos de referência, um plano de referência de 0V deve ser utilizado para conectar todos os circuitos associados aos 0V (ou terra), de maneira a que todas as correntes de retorno de 0V circulem nesse plano e não pelas pistas. No caso dos planos de

potência, estes têm o objetivo de realizar as conexões de potência e as suas correntes de retorno, sendo que todas as conexões de 0V e de potência devem estar ligadas aos respectivos planos com o intuito de minimizar as indutâncias das conexões.

Deve-se ter em atenção que os planos de referência de 0V devem permanecer por baixo dos componentes e pistas que interligam estes, e prolongarem-se por uma distância significativa além da delimitação das áreas definidas no ponto (4.7.4). Deve-se ter o mínimo de perfurações e estas, devem ter o mínimo de diâmetro possível por forma a tornar a PCB mais eficaz a altas frequências.

De salientar que estes planos devem ter um formato retangular e não serem muito finos, com a finalidade de minimizar a indutância parcial e fazer com que o isolamento na PCB seja efetuada mais facilmente, pois planos quadrados aumentam as possibilidades de surgirem problemas de ressonâncias.

O isolamento deve estar ligado ao plano de referência da PCB e de preferência em vários pontos da PCB, com a finalidade das correntes de deslocamento de alta frequência retornarem à sua fonte.

4.8 - Técnicas de redução de EMI corretivas

Os filtros EMI são uma técnica corretiva para redução de EMI. Estes estão encarregues de atenuar os sinais de frequências indesejáveis (EMI) e são caracterizados por curvas de atenuação em função da frequência.

De salientar que embora bastante úteis, para a redução de EMI em fontes comutadas, o seu uso incorreto pode piorar a imunidade ou aumentar o nível de emissões de interferências eletromagnéticas destas [10].

O projeto de um filtro EMI é extremamente difícil de fazer analiticamente. Para a resolução prática deste problema definiram-se 3 condições para o projeto de um filtro EMI [15]:

- Conhecimento do ruído em modo comum e modo diferencial, sem filtro
- Projetar de maneira apropriada os componentes do filtro a fim da impedância da fonte ter pouco efeito
- O foco do procedimento de *design* do filtro atender às especificações da baixa frequência, e só depois de construído serem tratados os problemas de altas frequências

Para se proceder ao *design* de um filtro EMI deve-se seguir as seguintes etapas:

1. Medir o ruído em modo comum e modo diferencial;
2. Determinar os requisitos de atenuação;
3. Escolher a topologia do filtro;
4. Determinar os valores dos componentes;
5. Testar o filtro projetado.

Capítulo 5

Funcionamento da topologia *LLC resonant*

A topologia escolhida para a implementação da fonte comutada foi a topologia *LLC resonant*. Neste capítulo será descrito o funcionamento detalhado desta topologia [16, 17].

A topologia *LLC resonant*, como já mencionado anteriormente, faz parte da gama de topologias *half-bridge resonant* e é caracterizada pela sua malha ressonante ser composta por duas bobines e um condensador, onde uma das bobines e o condensador estão em série com o lado primário do transformador e a outra bobine encontra-se em paralelo com o lado primário do transformador. Além da malha ressonante, fazem parte: um transformador a isolar o lado primário do secundário, dois díodos no lado secundário, dois *MOSFETS* no lado primário e um condensador no lado secundário.

Uma das principais vantagens desta topologia é a possibilidade de utilizar o método do *zero voltage switching* - *ZVS* nos *MOSFETS* do lado primário do transformador e o método do *zero current switching* - *ZCS* nos díodos do lado secundário do transformador.

- *Zero voltage switching* - *ZVS*

Isto é alcançado quando a comutação dos *MOSFETS* é efetuada numa altura em que a tensão do *drain* é igual a zero, o que faz com que as perdas por comutação no *MOSFET* sejam quase inexistentes. Possibilita o *soft-switching*, que é originado pela comutação ser realizada através deste método, e melhora assim o comportamento face a EMI produzida em comparação com as outras topologias onde é efetuado o *hard-switching*, que acontece quando o *ZVS* não é alcançado.

- *Zero current switching* - *ZCS*

É alcançado quando os díodos do secundário deixam de conduzir quando a corrente que passa por estes é zero. Este método tal como o *ZVS* melhora o comportamento do circuito ao nível da EMI produzida.

Em suma, é essencial a obtenção do ZVS e traz os seguintes benefícios:

- Diminui as perdas por comutação, sendo possível a obtenção de eficiências bastante boas com frequências de comutação não muito grandes, ou eficiências boas com frequências de comutação grandes, o que não era possível sem o ZVS
- Reduz a energia necessária para a *drive* comutar os *MOSFETS*
- Diminui a produção de ruído e EMI, que diminui os requisitos do filtro de entrada e é bastante atrativo para aplicações que são bastante sensíveis ao ruído

O esquema base desta topologia pode ser visualizada na figura 20.

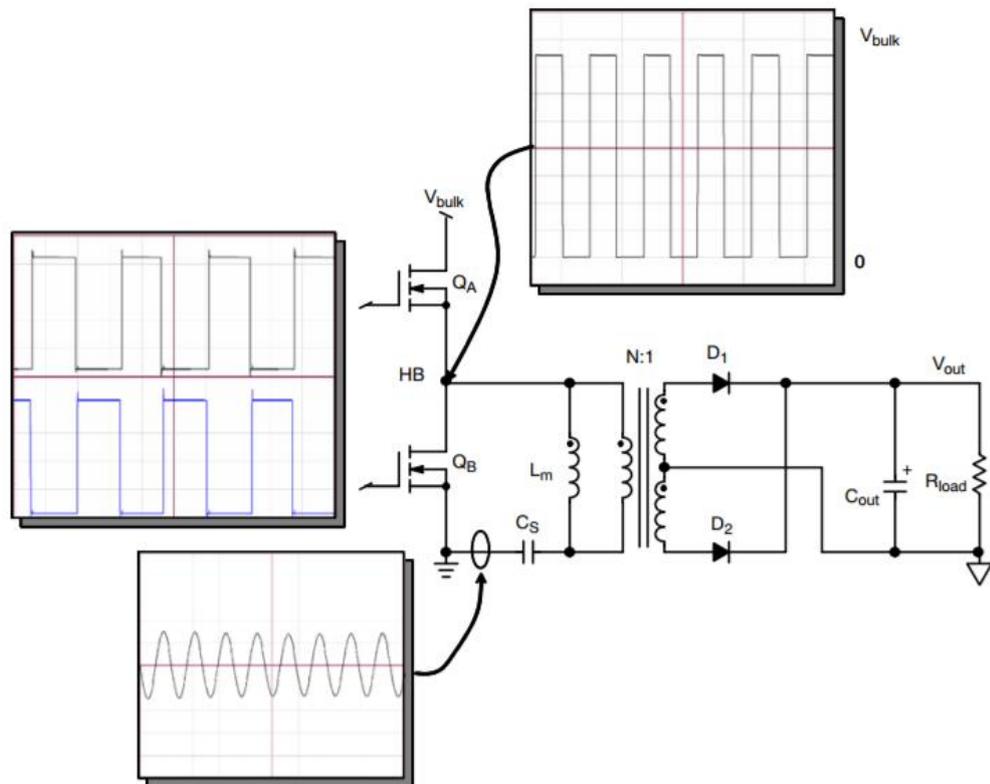


Figura 20 - Esquema base da topologia LLC com formas de onda [17]

5.1 - Funcionamento base

No funcionamento base da topologia, a *drive* dos *MOSFETS* faz com que estes comutem com *duty-cycle* perto dos 50%. Não é possível ser 50% devido à necessidade da existência de um *dead-time*, que irá fazer com que apareça uma onda quadrada e esta terá uma amplitude igual à tensão de entrada neste sistema. No caso da existência de PFC, esta tensão é denominada V_{bulk} .

Nesta topologia, ao ajustar-se a frequência de comutação, o controlador poderá gerir e controlar o fluxo de potência a ser fornecida à carga, dependendo das necessidades desta.

Esta topologia pode-se comportar como apenas um LC ficando igual à topologia *series resonant* ou *LLC*. Esta alternância entre estes estados irá depender da frequência de comutação que o sistema irá impor nos *MOSFETS*.

A bobine que se encontra em paralelo com o lado primário do transformador faz, na verdade, parte deste, visto ser a indutância de magnetização do transformador. Quanto à bobine colocada em série, esta pode fazer parte do transformador, sendo assim a indutância de fuga associada a este ou pode ficar separada do transformador. Sendo que a incorporação desta bobine no transformador como indutância de fuga, tem vantagens e desvantagens associadas. Como vantagens tem o custo do design ser inferior e não haver o risco de saturação, como desvantagem, existe a dificuldade do controlo do ruído radiado associado.

Como já referido anteriormente, associadas a esta topologia, estão duas frequências de ressonância, onde existe a frequência de ressonância maior, que está associada ao comportamento do sistema como LC e, a frequência de ressonância menor, que está associada ao comportamento do sistema como LLC.

O cálculo destas frequências está representado de seguida:

- Frequência maior conhecida como a frequência de ressonância de série

$$f_{max} = f_s = \frac{1}{2 \times \pi \times \sqrt{L_s \times C_s}} \quad (8)$$

- Frequência menor

$$f_{min} = \frac{1}{2 \times \pi \times \sqrt{(L_s + L_m) \times C_s}} \quad (9)$$

Onde L_s corresponde ao valor da bobine em série, neste caso, a indutância de fuga, L_m à bobine em paralelo que por sua vez é a indutância de magnetização e C_s que corresponde ao condensador ressonante.

Ao utilizar esta topologia, pode-se operar em dois modos diferentes: o modo capacitivo e o modo indutivo, sendo que maior parte dos conversores LLC trabalham no modo indutivo.

No modo capacitivo, a corrente está adiantada em relação à tensão, e os *MOSFETS* operam com o método *zero current switching* - *ZCS*, que como já referido anteriormente, os *MOSFETS* deixam de conduzir quando a corrente é zero. No modo indutivo, a corrente está atrasada em relação à tensão e os *MOSFETS* operam com o método *zero voltage switching* - *ZVS*, que implica entrarem em condução apenas quando a tensão é zero eliminando as perdas capacitivas. O modo indutivo implica a implementação de um certo *delay*, denominado *dead-time*, antes dos

MOSFETS entrem em condução de maneira a que os seus díodos internos entrem em condução primeiro.

Na figura 21 estão representadas as regiões indutivas (1,2) e capacitiva (3), onde a região 1 corresponde ao funcionamento acima da frequência de ressonância e ocorre o ZVS, a região 2 corresponde ao funcionamento abaixo da ressonância e ocorre o ZVS e a região 3 corresponde ao funcionamento abaixo da ressonância e ocorre o ZCS.

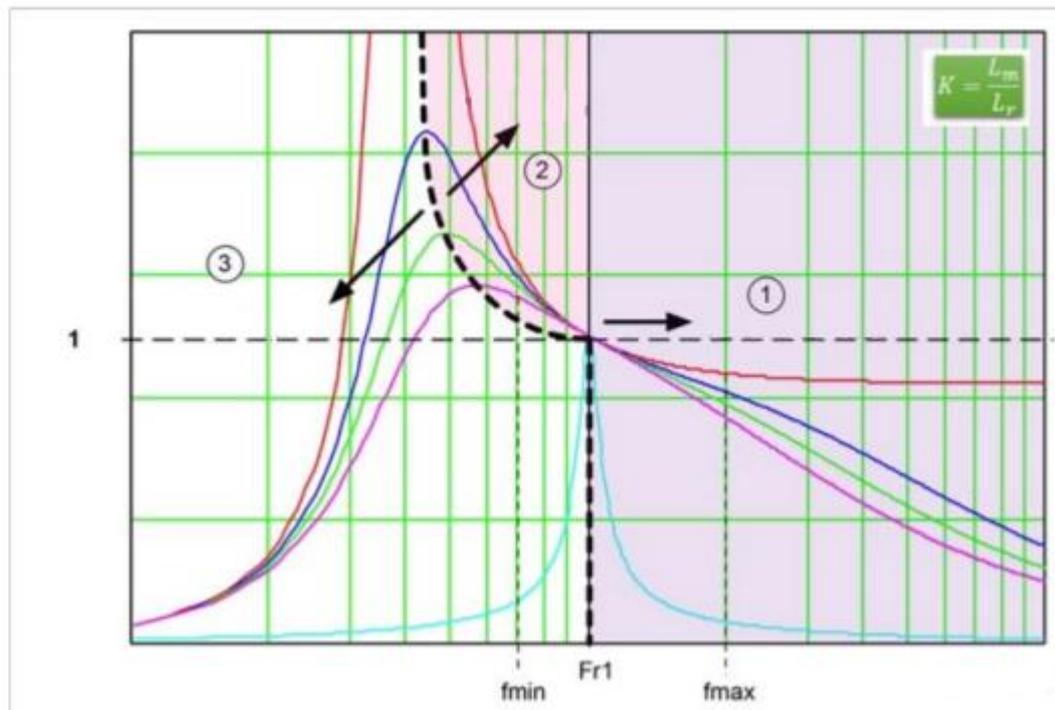


Figura 21 - Regiões indutivas e capacitiva [18]

A análise do funcionamento desta topologia pode ser dividida em três fases de operação associadas a este, que dependem sobretudo da frequência de operação. As três fases são:

- Fase em que a frequência de operação é menor que a frequência de ressonância de série
- Fase em que a frequência de operação é maior que a frequência de ressonância de série
- Fase em que a frequência de operação é igual que a frequência de ressonância de série

5.2 - Funcionamento a operar abaixo da frequência de ressonância de série

Para ajudar na análise desta fase é primeiro preciso ilustrar as várias formas de onda associadas a esta fase.

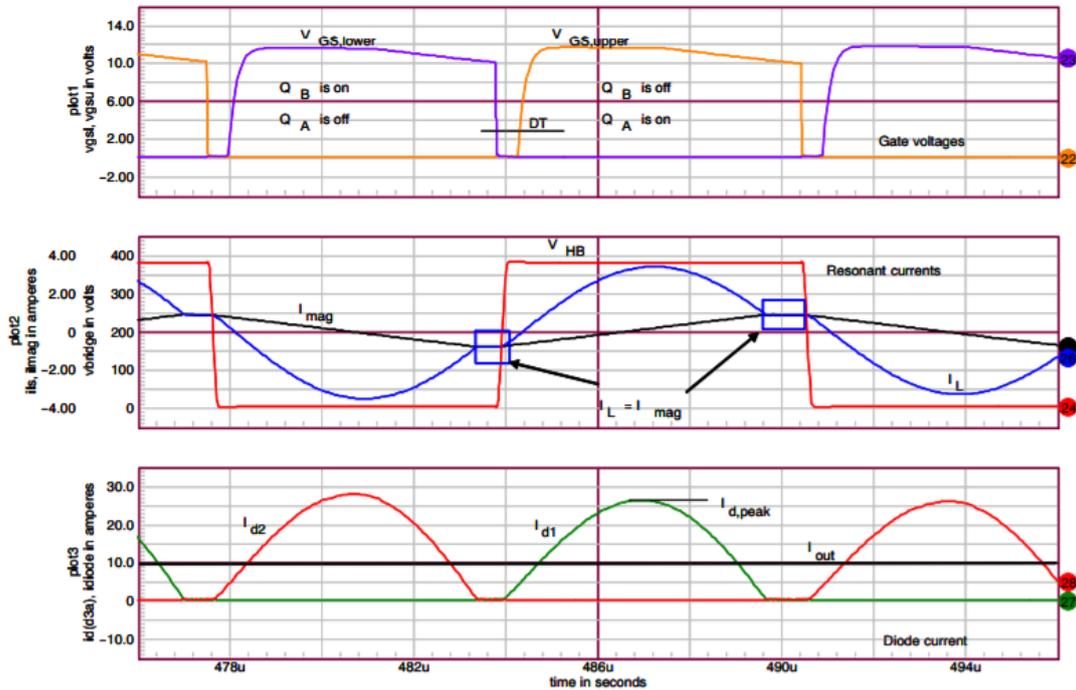


Figura 22 - Formas de onda relativas ao funcionamento a baixo da frequência de ressonância [17]

A análise detalhada desta fase passa pela divisão de vários tempos, dos quais:

1. Tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diódo D2 está a conduzir
2. Tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diódo D2 deixa de conduzir
3. Tempo em que os *MOSFETS* A e B não estão em condução e ambos os diódos não estão a conduzir
4. Tempo em que o *MOSFET* A está em condução, o *MOSFET* B não está em condução e o diódo D1 está a conduzir
5. Tempo em que o *MOSFET* A está em condução, o *MOSFET* B não está em condução e o diódo D1 deixa a conduzir
6. Tempo em que os *MOSFETS* A e B não estão em condução e ambos os diódos não estão a conduzir.

1. Tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diodo D2 está a conduzir

A figura 23 representa o circuito LLC neste tempo.

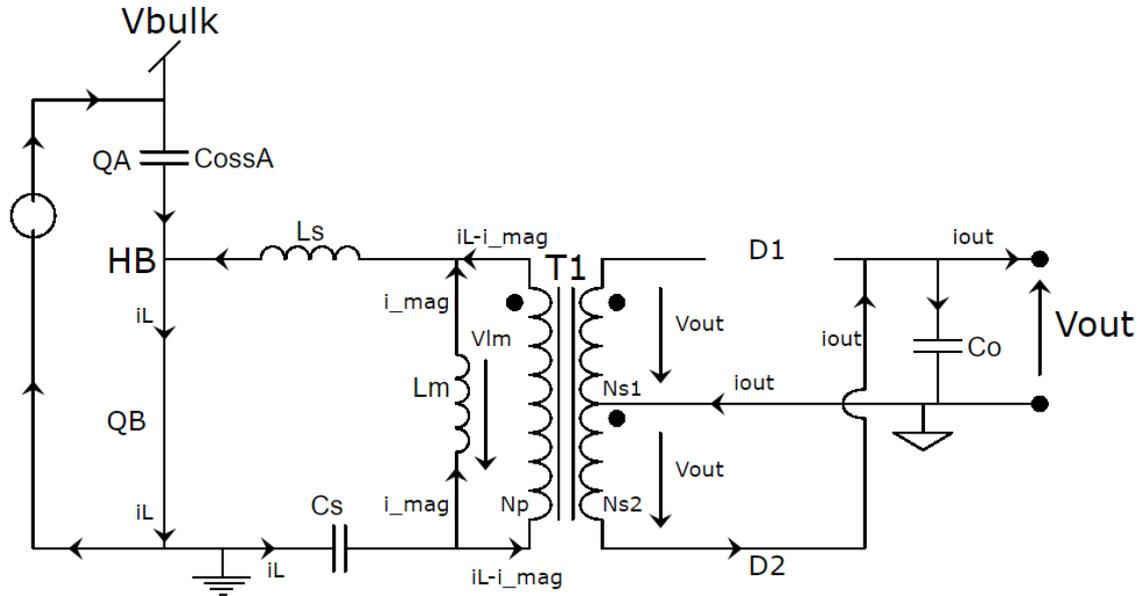


Figura 23 - Esquema no tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diodo D2 está a conduzir

Neste tempo, o componente de comutação B impõe 0 V de tensão no nó HB e a corrente na malha ressonante resultante circula no sentido da *drain* para a *source*. A capacidade parasita correspondente ao *MOSFET* A é completamente carregada pelo V_{bulk} . O diodo D2 está a conduzir e impõe uma tensão de reflexão, na bobine de magnetização L_m , o que faz com que esta bobine se comporte como um curto-circuito. Sendo que nesta fase os únicos intervenientes na ressonância são a bobine e o condensador em série, L_s e C_s . A corrente que circula no lado primário do transformador é igual à corrente da malha resultante i_L menos a corrente que passa pela bobine de magnetização, neste caso, a corrente i_{mag} . Pelo facto da bobine L_m se comportar em curto circuito, o circuito está em ressonância com a frequência de ressonância de série.

2. Tempo em que o MOSFET A não está em condução, o MOSFET B está em condução e o diodo D2 deixa de conduzir

Até este tempo, a corrente i_L continuava em ressonância com forma sinusoidal.

Este tempo é atingido quando o valor da corrente i_L iguala o valor da corrente de magnetização i_{mag} o que faz com que a corrente no primário do transformador seja nula implicando assim, o desaparecimento da tensão refletida do secundário devido ao diodo D2 deixar de conduzir e por sua vez faz com que a bobine de magnetização deixe de estar em curto. Neste momento a bobine L_m passa a estar em série com L_s e o C_s , fazendo com que exista uma alteração da frequência de ressonância de série para a frequência de ressonância mínima, cujo o valor já incorpora a existência da bobine L_m .

Este é também o momento em que o condensador de saída é o responsável por manter a tensão de saída no valor pretendido.

A figura 24 mostra o comportamento do circuito neste momento.

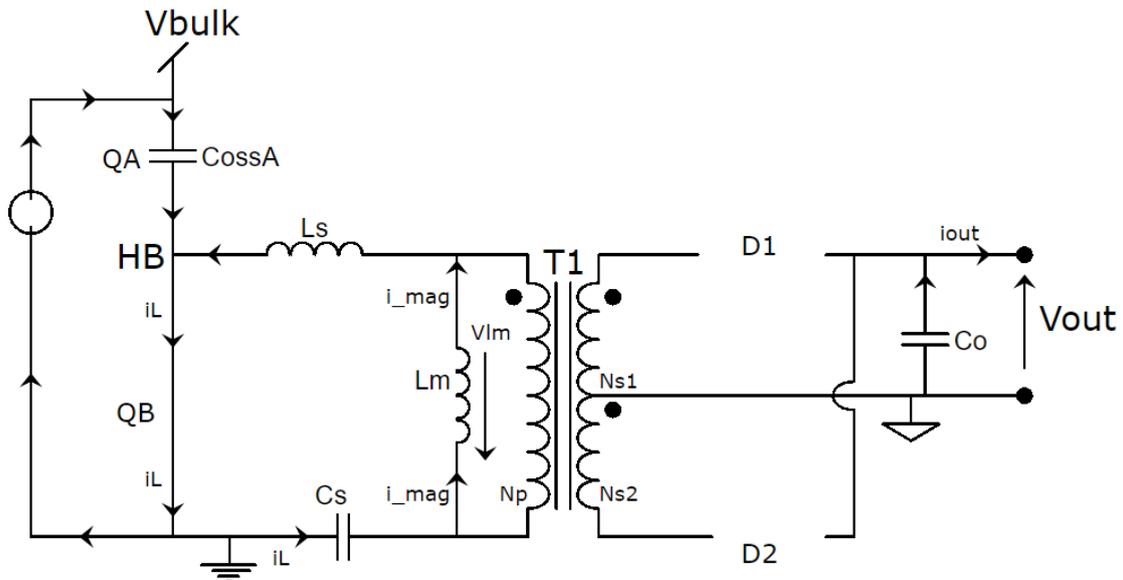


Figura 24 - Esquema no tempo em que o MOSFET A não está em condução, o MOSFET B está em condução e o diodo D2 deixa de conduzir

3. Tempo em que os MOSFETS A e B não estão em condução e ambos os diodos não estão a conduzir

Este tempo corresponde ao *dead-time* e reveste-se de particular importância, pois evita que ambos os MOSFETS estejam em condução e garante, também, que aconteça o ZVS.

Neste tempo a corrente passará pelas capacidades parasitas de ambos os MOSFETS, onde a capacidade parasita do MOSFET A vai descarregar-se e a capacidade parasita do MOSFETS B vai carregar-se. É nesta fase que a tensão no nó HB vai aumentar até ao ponto que atinge $V_{bulk} + V_f$.

Neste ponto, o diodo interno do *MOSFET* A começa a conduzir assegurando a renovação de energia pela fonte de entrada.

É, contudo, necessário ter em atenção que este *dead-time* tem de ser suficientemente elevado de modo a ser possível à capacidade parasita do *MOSFET* A descarregar antes deste entrar em condução de modo que o seu diodo interno conduza primeiro que o *MOSFET*. Se isto não se verificar, em vez de se alcançar o *ZVS*, neste caso o *soft-switching*, irá acontecer o *hard-switching*, que implicará um aumento das perdas do sistema.

No final deste tempo, a corrente da malha i_L deixará de ser igual à corrente i_{mag} que irá fazer com que o diodo D1 comece a conduzir.

Associado a este tempo existem duas figuras, a figura 25 corresponde ao tempo quando a corrente i_L é igual à i_{mag} e a figura 26 quando estas são diferentes.

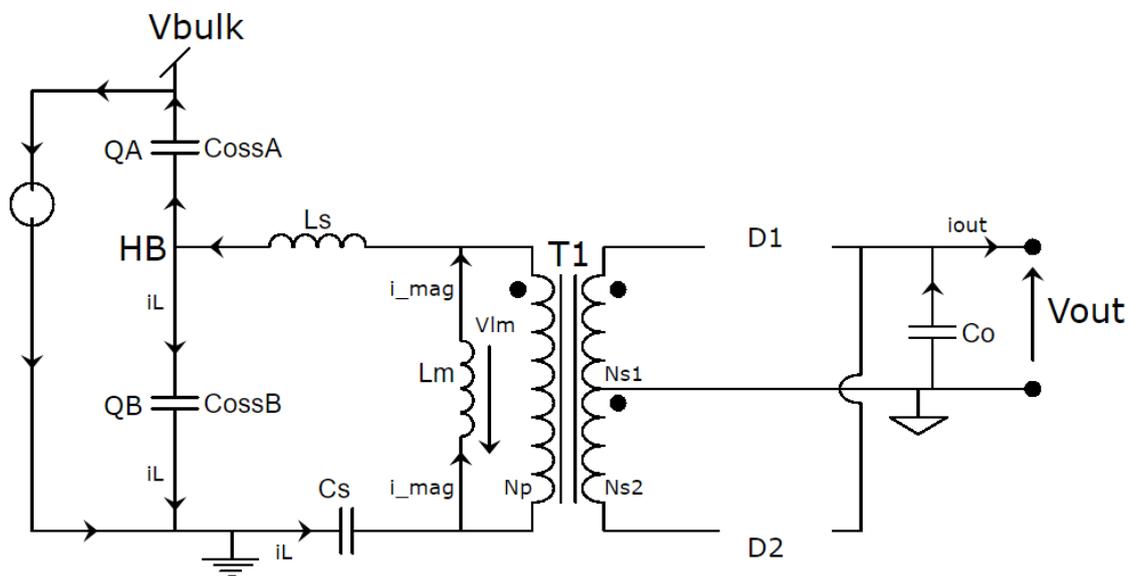


Figura 25 - Esquema no tempo em que os *MOSFETS* A e B não estão em condução e ambos os diodos não estão a conduzir (Parte 1)

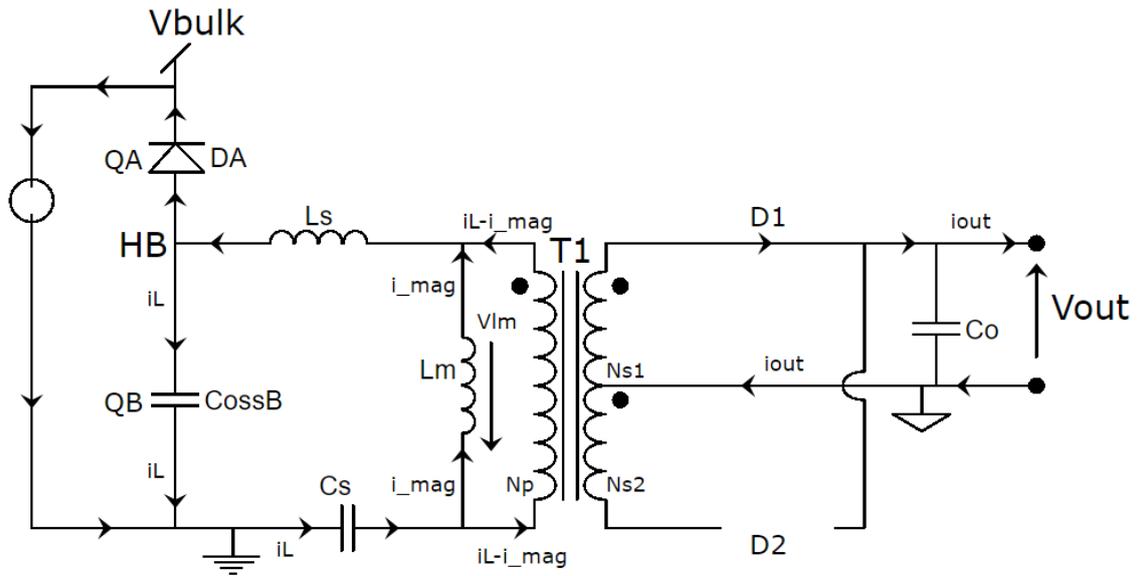


Figura 26 - Esquema no tempo em que os MOSFETS A e B não estão em condução e ambos os díodos não estão a conduzir (Parte 2)

4. Tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 está a conduzir

Neste tempo, a corrente da malha com forma sinusoidal deixa de ser negativa e passa a ser positiva. Como a tensão do secundário volta a ser refletida no lado primário do transformador, por o diodo D1 estar em condução, a bobine L_m volta a comportar-se como um curto-circuito, o que faz com que o circuito esteja em ressonância com a frequência de ressonância de série, onde os únicos intervenientes são L_s e C_s .

A energia neste tempo é fornecida para a carga através do V_{bulk} .

A figura 27 representa este tempo.

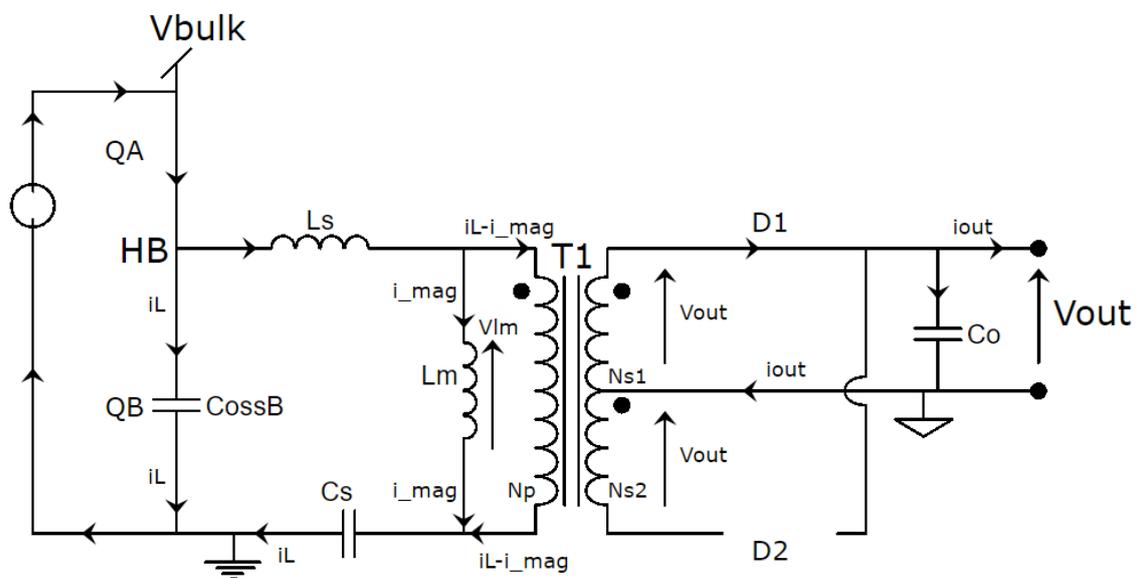


Figura 27 - Esquema no tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 está a conduzir

5. Tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 deixa a conduzir

Neste tempo, a corrente da malha i_L volta a igualar a corrente de magnetização i_{mag} fazendo com que deixe de existir novamente corrente no lado primário do transformador o que irá fazer com que o diodo D1 deixe de conduzir.

Nesta altura deixa de haver a tensão refletida pelo lado secundário para o lado primário do transformador o que fará com que a bobine L_m deixe se comportar como um curto-circuito fazendo com que o circuito volte a estar em ressonância com a frequência de ressonância mínima, onde ambas as bobines e o condensador são intervenientes.

O condensador de saída será novamente responsável por manter a tensão de saída no valor pretendido.

Uma imagem explicativa do circuito neste tempo é representada na figura 28.

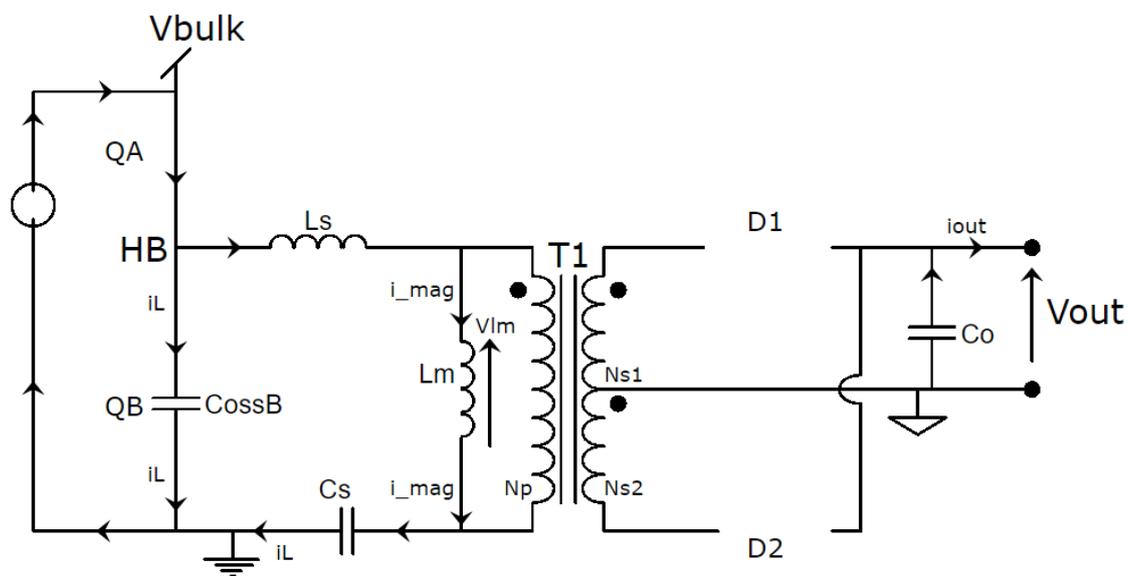


Figura 28 - Esquema no tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 deixa a conduzir

6. Tempo em que os MOSFETS A e B não estão em condução e ambos os diodos não estão a conduzir

Neste tempo ambos os MOSFETS não estão a conduzir. A corrente da malha i_L circula pelas capacidades parasitas de ambos, carregando a capacidade parasita do MOSFET A através do V_{bulk} e descarregando a capacidade parasita do MOSFET B.

Nesta altura a tensão no nó HB deixa de ser positiva para passar a ser negativa, fazendo com que o diodo interno do MOSFET B passe a conduzir.

A certa altura, a corrente da malha i_L deixa de ser igual à corrente de magnetização i_{mag} e, portanto, volta a existir corrente no lado primário do transformador, o que irá fazer com que o diodo $D2$ passe a conduzir.

Com o diodo $D2$ a conduzir, será refletida uma tensão para o lado secundário do transformador, que irá fazer com que a bobine L_m comece a comportar-se como um curto-circuito, fazendo com que o circuito passe a estar em ressonância com a frequência de ressonância de série.

Graças à capacidade parasita do *MOSFET* já ter descarregado nesta fase e o seu diodo interno já estar a conduzir, estão asseguradas as condições para que o *MOSFET* B comece a conduzir com o ZVS garantido.

No fim deste tempo, o ciclo dos tempos volta a repetir-se.

De seguida estão representadas duas imagens ilustrativas do comportamento do circuito durante este tempo, a figura 29 corresponde ao tempo quando a corrente i_L é igual à i_{mag} e a figura 30 quando estas são diferentes.

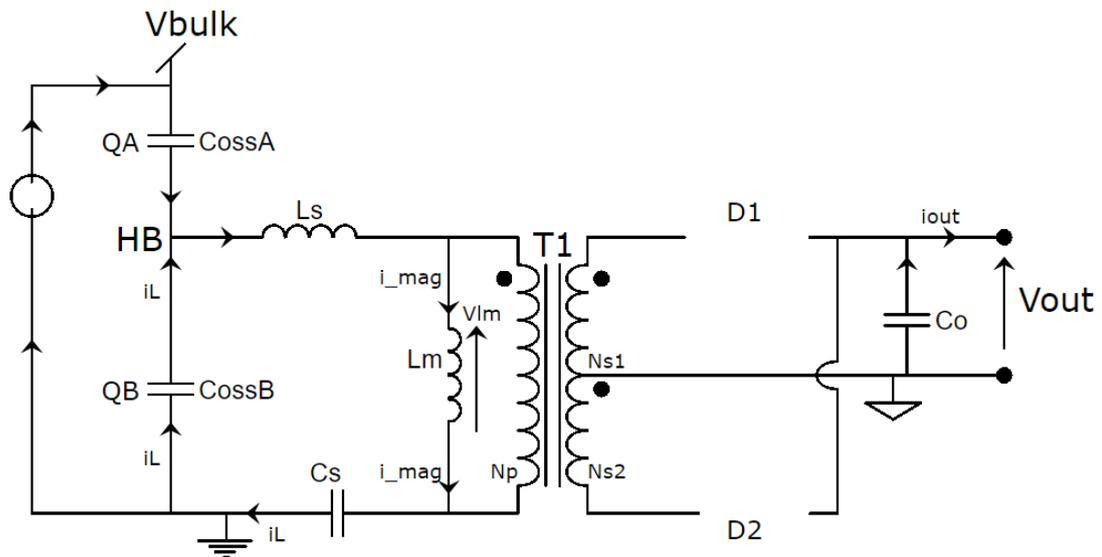


Figura 29 - Esquema no tempo em que os *MOSFETS* A e B não estão em condução e ambos os diodos não estão a conduzir (Parte1)

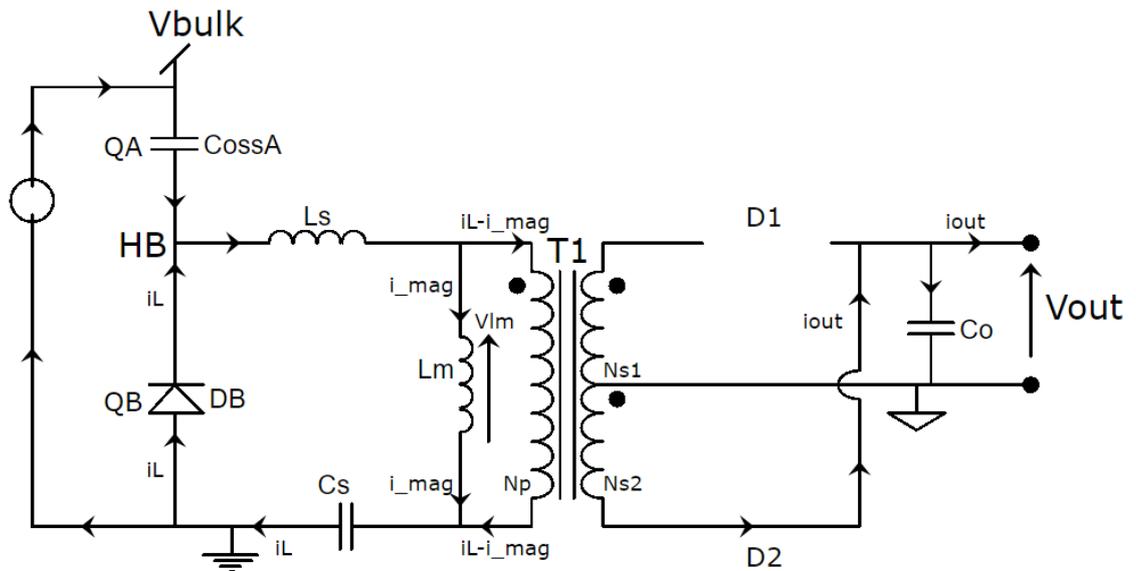


Figura 30 - Esquema no tempo em que os MOSFETS A e B não estão em condução e ambos os díodos não estão a conduzir (Parte2)

5.3 - Funcionamento a operar acima da frequência de ressonância de série

No funcionamento a operar acima da frequência de ressonância de série um dos dois díodos do secundário irá sempre conduzir, o que fará com que exista sempre uma tensão refletida no lado primário, implicando que a bobine de magnetização L_m se comporte como um curto-circuito.

Este motivo faz com que a bobine deixe de intervir no circuito. Assim sendo, nesta fase, a ressonância será realizada através apenas de L_s e C_s com a frequência de ressonância de série.

O que foi descrito acima só se verificará se o conversor operar para a carga total.

A figura 31 representa as formas de onda associadas a esta fase.

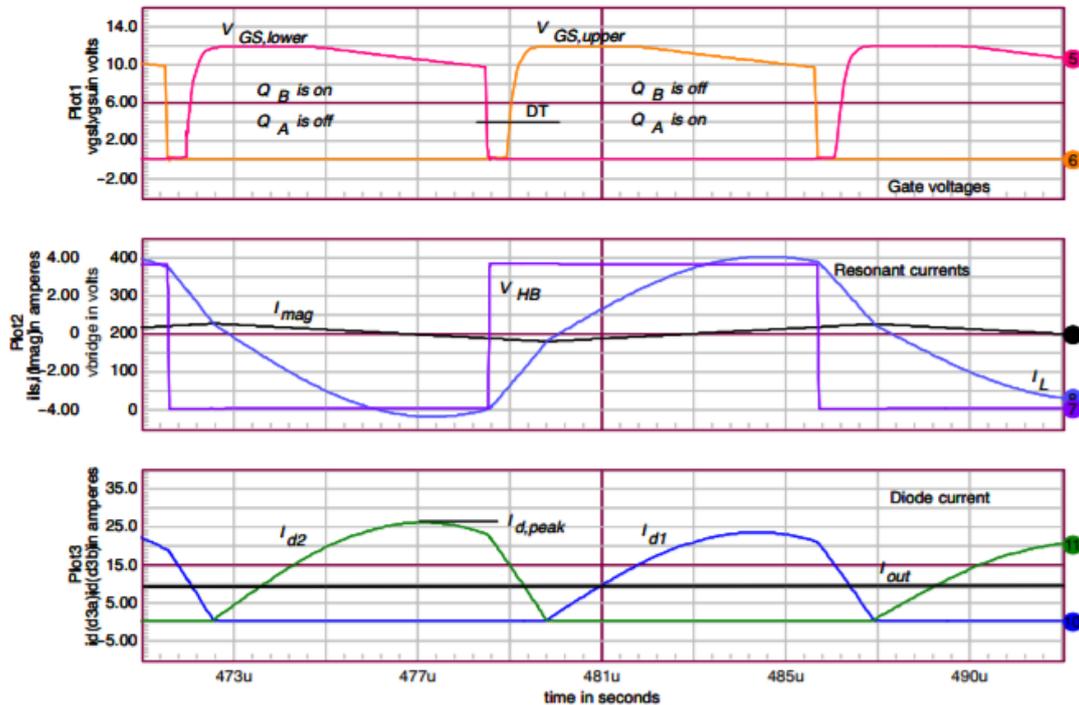


Figura 31 - Formas de onda relativas ao funcionamento acima da frequência de ressonância [17]

Para a análise detalhada desta fase é preciso efetuar a análise de vários tempos, dos quais:

1. Tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diodo D2 está a conduzir
 2. Tempo em que os *MOSFETS* A e B não estão em condução e o diodo D2 está a conduzir.
 3. Tempo em que o *MOSFET* A está em condução, o *MOSFET* B não está em condução e o diodo D1 está a conduzir.
 4. Tempo em que os *MOSFETS* A e B não estão em condução e o diodo D1 está a conduzir.
1. Tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diodo D2 está a conduzir

Quando o *MOSFET* B entra em condução, a corrente da malha i_L passa a ter a forma sinusoidal pretendida. Precede o tempo de *dead-time*, o qual acaba quando a corrente da malha i_L iguala o valor da corrente de magnetização, fazendo com que o diodo D2 passe a conduzir. Sendo que, nesta fase, a corrente da malha ainda é positiva, isto porque a bobine L_s ainda se encontra a descarregar. No fim da bobine L_s se descarregar, a corrente da malha passa a ser negativa mantendo a forma sinusoidal.

Este tempo irá durar até o *MOSFET* B deixar de estar em condução.

A figura 32 representa um exemplo quando a corrente é negativa.

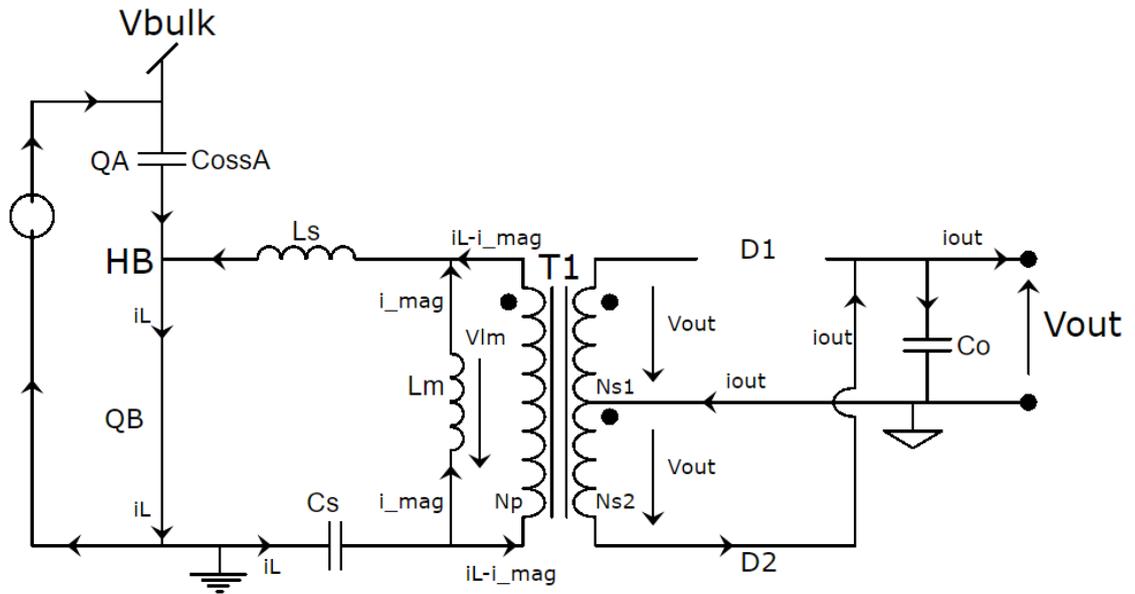


Figura 32 - Esquema no tempo em que o MOSFET A não está em condução, o MOSFET B está em condução e o diodo D2 está a conduzir

2. Tempo em que os MOSFETS A e B não estão em condução e o diodo D2 está a conduzir

Este tempo corresponde ao *dead-time* e acontece quando a corrente da malha está no seu pico, sendo que será esta corrente que dará a energia necessária para que seja possível a transição de tensão no nó HB de 0 para a tensão de V_{bulk} .

Neste tempo as capacidades parasitas de ambos os MOSFETS vão fazer parte da malha por onde a corrente circulará. A capacidade parasita do MOSFET A irá descarregar-se e a capacidade parasita do MOSFET B irá carregar-se.

Nesta fase, como já dito anteriormente, como o diodo D2 ainda está em condução, a bobine de magnetização continua em curto devido à tensão refletida no lado primário do transformador.

Nesta fase a corrente da malha i_L passa a decrescer linearmente, em vez de estar com a forma sinusoidal pretendida, devido à descontinuidade da tensão que aparece aos terminais da bobine L_s . Esta descontinuidade é motivada pelo atraso existente entre a tensão no nó HB e a polaridade da tensão refletida na bobine de magnetização L_m .

Este tempo acaba no momento em que a corrente da malha i_L volta a igualar a corrente de magnetização.

Na figura 33 é representado um exemplo deste tempo.

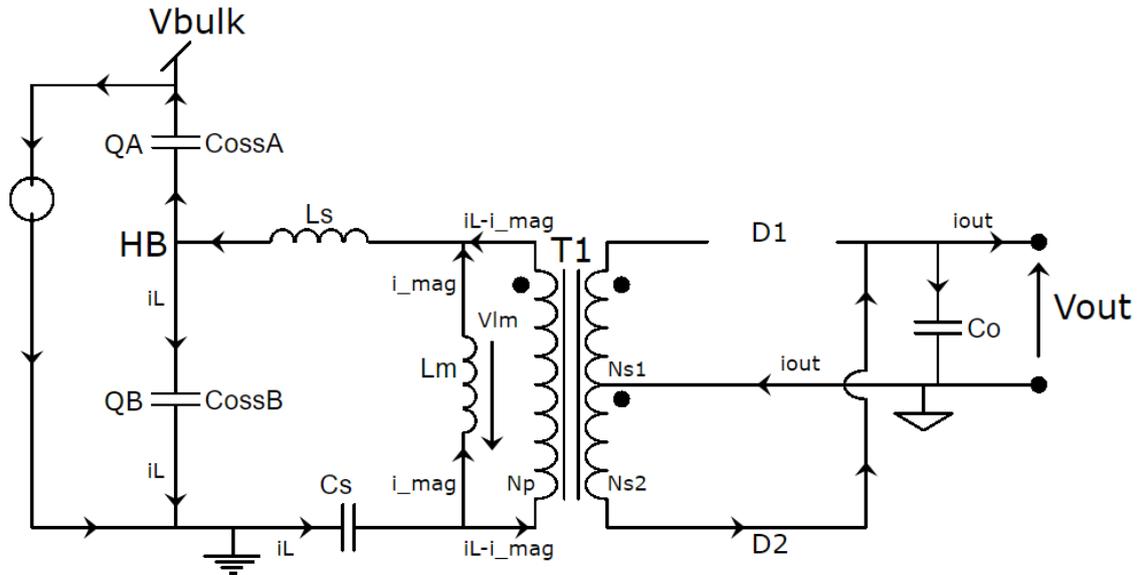


Figura 33 - Esquema no tempo em que os MOSFETS A e B não estão em condução e o diodo D2 está a conduzir

3. Tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 está a conduzir

Este tempo corresponde ao inverso do relatado no ponto 1. Este tempo começa quando o MOSFET A e o diodo D1 entram em condução.

Nesta fase a corrente da malha i_L passa novamente a ter a forma sinusoidal, porém ainda negativa, a bobine L_s volta a descarregar-se até a corrente na malha ser nula.

A corrente da malha i_L passará a ser positiva e este tempo irá durar até o MOSFET A deixar de estar em condução.

Na figura 34 é representado um exemplo deste tempo.

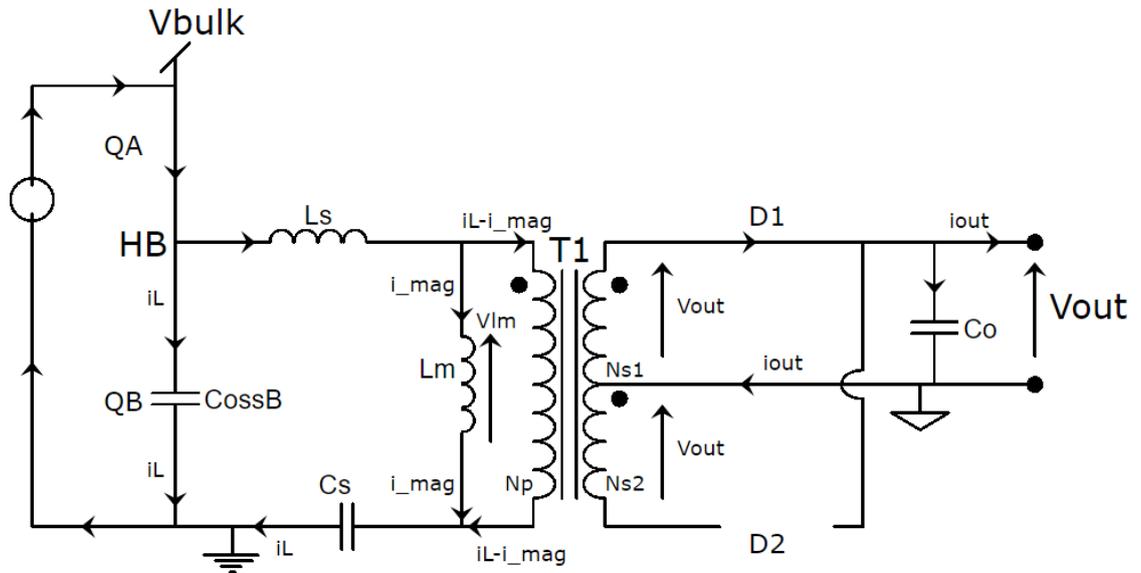


Figura 34 - Esquema no tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 está a conduzir

4. Tempo em que os MOSFETS A e B não estão em condução e o diodo D1 está a conduzir

Este tempo corresponde novamente ao *dead-time*. Neste tempo, ambos os MOSFETS deixam de estar em condução, sendo que, irão ser as suas capacidades parasitas que vão completar a malha correspondente ao tanque ressonante, onde a capacidade parasita do MOSFET B irá estar a descarregar-se e a capacidade parasita do MOSFET A irá estar a carregar-se.

Semelhante ao caso do ponto 2, a tensão do nó HB diminui da tensão de V_{bulk} para 0 V, pois a corrente da malha i_L encontra-se no seu pico e irá fornecer a energia para tal.

Na figura 35 é representado um exemplo deste tempo.

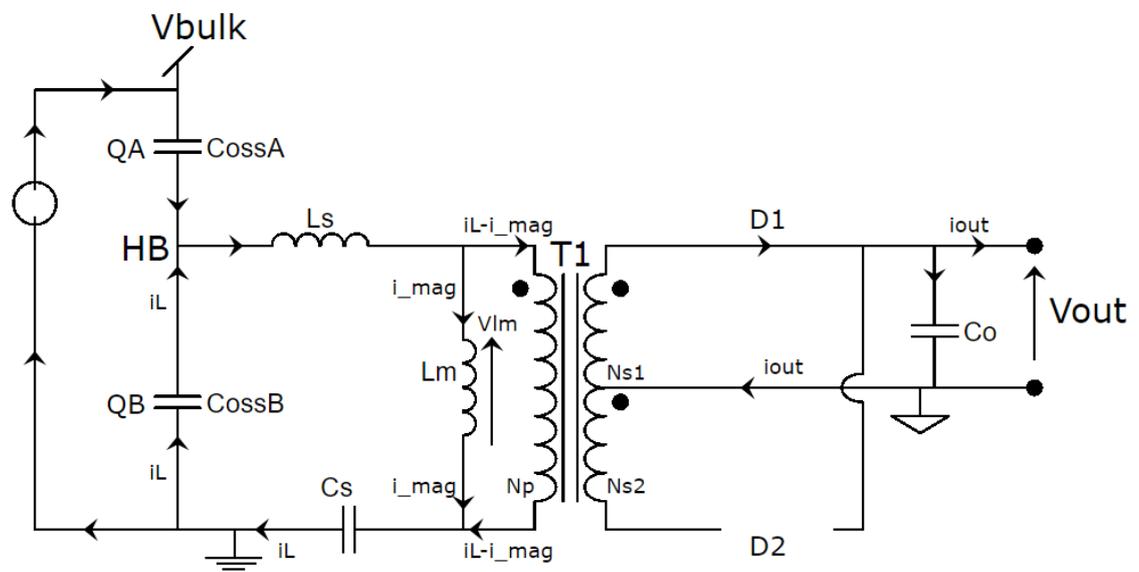


Figura 35 - Esquema no tempo em que os MOSFETS A e B não estão em condução e o diodo D1 está a conduzir

5.4 - Funcionamento a operar à frequência de ressonância de série

Este modo corresponde ao funcionamento ideal do LLC. É a operar à frequência de ressonância de série, que o comportamento ao nível da EMI é excelente, onde a distorção é menor comparada com as fases anteriores.

A forma de onda da corrente na malha ressonante i_L é uma sinusoidal perfeita.

Tal como no caso do funcionamento a operar acima da frequência de ressonância de série, no lado secundário do transformador, pelo menos um dos díodos estará em condução o que irá fazer com que apareça sempre uma tensão refletida no lado primário do transformador, o que implicará que a bobine de magnetização L_m se comporte como um curto circuito, e por essa razão, não interfira no funcionamento a operar à frequência de ressonância de série.

A figura 36 representa as formas de onda associadas a esta fase.

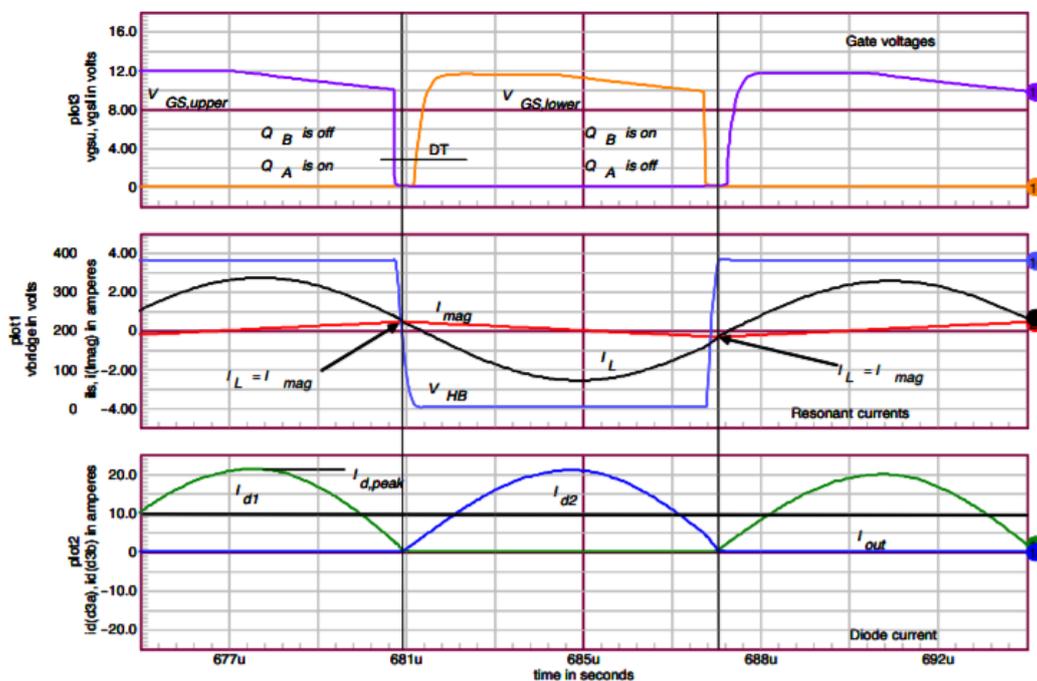


Figura 36 - Formas de onda relativas ao funcionamento à frequência de ressonância [17]

Para a análise detalhada desta fase é preciso efetuar a análise de vários tempos, dos quais:

1. Tempo em que o *MOSFET* A não está em condução, o *MOSFET* B está em condução e o diódo D2 está a conduzir.
2. Tempo em que os *MOSFETS* A e B não estão em condução.
3. Tempo em que o *MOSFET* A está em condução, o *MOSFET* B não está em condução e o diódo D1 está a conduzir.
4. Tempo em que os *MOSFETS* A e B não estão em condução.

1. Tempo em que o MOSFET A não está em condução, o MOSFET B está em condução e o diodo D2 está a conduzir

Neste tempo a tensão no nó HB é igual a 0 V. A polaridade da corrente da malha i_L é negativa e, como a queda de tensão no lado primário do transformador é negativa, aparece tensão no segundo enrolamento do lado secundário do transformador, o que irá fazer com que o diodo D2 conduza.

Este tempo acaba quando o MOSFET B deixa de conduzir.

Na figura 37 é representado um exemplo deste tempo.

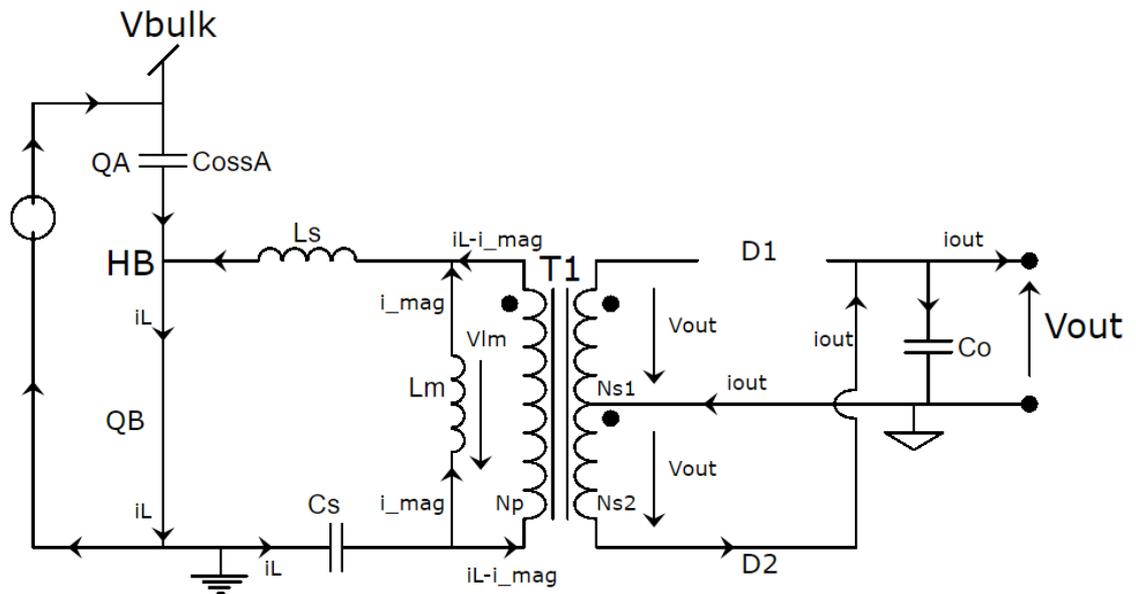


Figura 37 - Esquema no tempo em que o MOSFET A não está em condução, o MOSFET B está em condução e o diodo D2 está a conduzir

2. Tempo em que os MOSFETS A e B não estão em condução

Este tempo corresponde ao *dead-time*. Neste tempo a corrente da malha circula pelas capacidades parasitas dos MOSFETS. Neste caso, a capacidade parasita do MOSFET A irá descarregar-se e a capacidade parasita do MOSFET B irá carregar-se.

O momento em que a corrente da malha i_L iguala a corrente de magnetização i_{mag} , é o mesmo momento em que o diodo interno do MOSFET A começa a conduzir, fazendo com que a tensão no nó HB aumente e também com que o diodo D2 deixe de conduzir e o diodo D1 comece a conduzir.

Neste momento estão cumpridas as condições para alcançar o ZVS, e por isso ser possível ao MOSFET A entrar em condução com *soft-switching*.

Na figura 38 é representado um exemplo deste tempo.

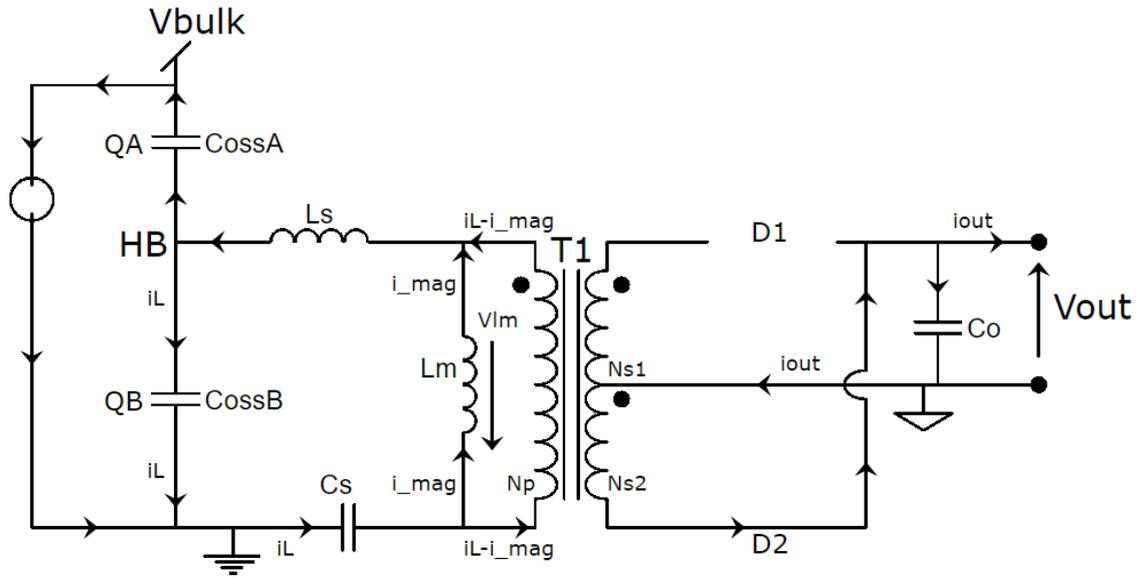


Figura 38 - Esquema no tempo em que os MOSFETS A e B não estão em condução (Parte1)

3. Tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 está a conduzir

Neste tempo a tensão no nó HB é igual à tensão do V_{bulk} . A polaridade da corrente da malha i_L é positiva e como a queda de tensão no lado primário do transformador é positiva, aparece tensão no primeiro enrolamento do lado secundário do transformador, o que irá fazer com que o diodo D1 conduza.

Este tempo acaba quando o MOSFET A deixa de conduzir.

Na figura 39 é representado um exemplo deste tempo.

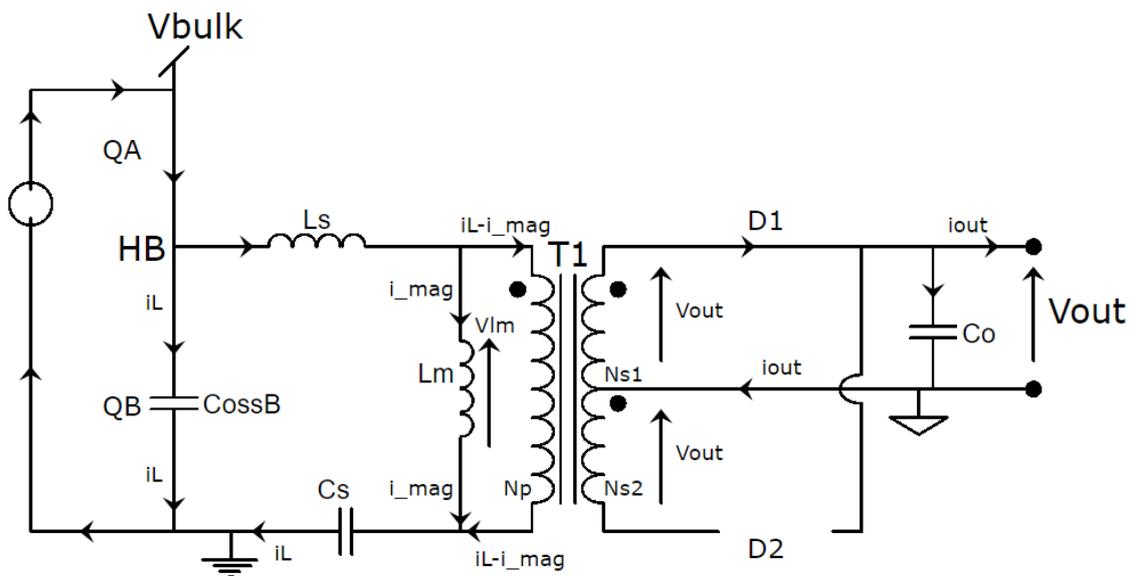


Figura 39 - Esquema no tempo em que o MOSFET A está em condução, o MOSFET B não está em condução e o diodo D1 está a conduzir

4. Tempo em que os MOSFETS A e B não estão em condução

Tal como no ponto 2, este tempo corresponde ao *dead-time*. Sendo que, neste caso, acontece a situação inversa à desse ponto. Isto é, a capacidade parasita do MOSFET A carrega-se e a capacidade parasita do MOSFET B descarrega-se. No momento em que a corrente da malha i_L iguala a corrente de magnetização i_{mag} , o diódo interno do MOSFET B começa a conduzir, fazendo com que a tensão no nó HB desça, o que faz com que a queda de tensão no lado primário seja negativa e, por esse motivo o diódo D1 deixe de conduzir e passe a conduzir o diódo D2, cumprindo as condições necessárias para o *soft-switching*.

Na figura 40 é representado um exemplo deste tempo.

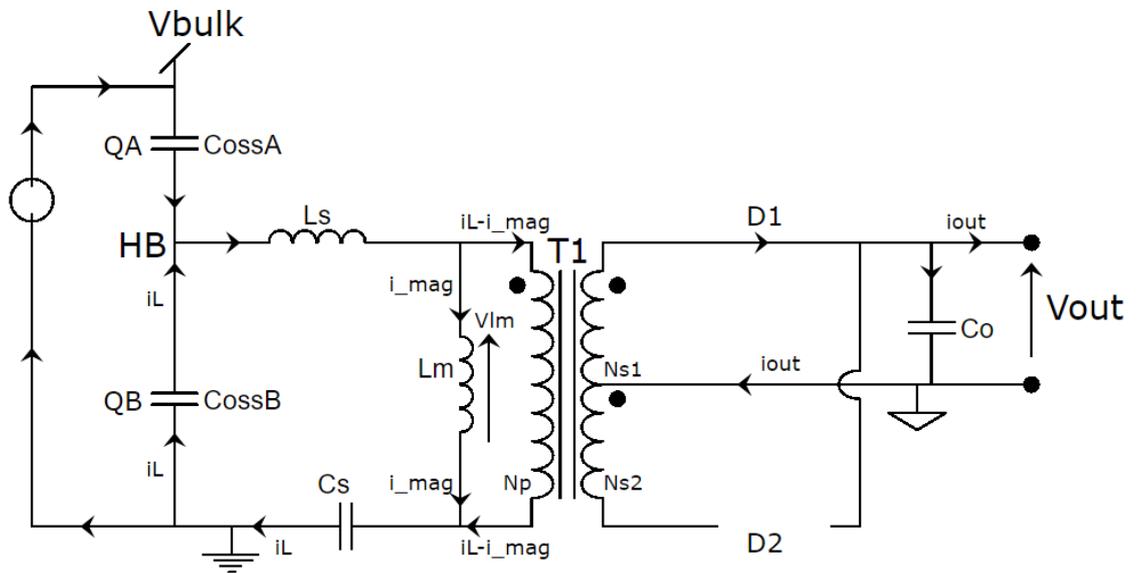


Figura 40 - Esquema no tempo em que os MOSFETS A e B não estão em condução

Capítulo 6

Implementação da fonte de alimentação comutada

Para facilitar a fase de teste do projeto, este foi dividido em duas partes, o PFC e o LLC. Para tal, foram elaboradas duas PCB's, cada uma dedicada a uma das partes do projeto.

A montagem deste projeto inclui o filtro EMI, o circuito para descarga dos condensadores X-cap, uma ponte de díodos, um estágio do PFC, um estágio de LLC e um filtro de saída.

A PCB do PFC conterà o filtro EMI, circuito para descarga dos condensadores X-cap, uma ponte de díodos e a parte associada ao PFC, e será responsável por receber a tensão de entrada da rede e obter na saída uma tensão DC aproximada dos 395 V.

A PCB do LLC conterà a parte LLC e o filtro de saída e será responsável por receber de entrada os 395 V DC produzidos pelo PFC e ter na saída uma tensão DC igual a 24 V.

Na figura 41 é apresentado um diagrama de blocos referente ao projeto:



Figura 41 - Diagrama de blocos da fonte de alimentação projetada

Estes blocos serão divididos, como já dito anteriormente, pelas duas PCB's como pode demonstrar a figura 42.

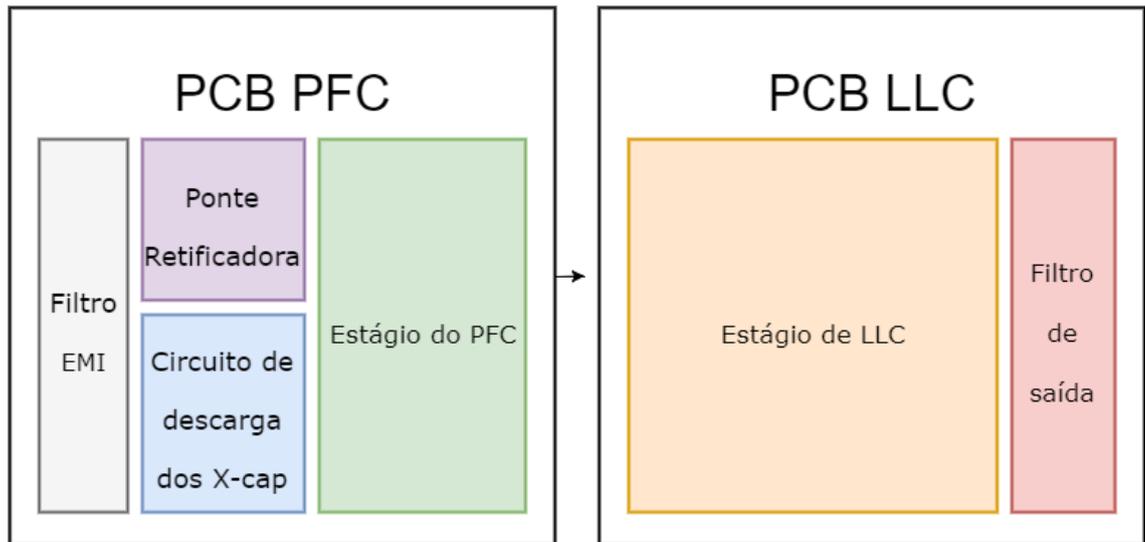


Figura 42 - Divisão dos blocos do projeto pelas PCB's

Nos pontos seguintes serão abordados cada um dos blocos pertencentes a este projeto.

6.1 - Filtro EMI

O filtro EMI reveste-se de particular importância nas fontes comutadas visto, estas, serem desencadeantes e suscetíveis ao ruído EMI.

O procedimento correto para a implementação deste filtro já foi abordado no capítulo 4, no entanto, neste projeto não foi implementado um filtro de acordo com as necessidades do projeto visto não existirem meios para o seu cálculo. Por este motivo, foi utilizado um filtro EMI com aproximadamente os mesmos requisitos, da referência [19].

O circuito usado para filtro EMI pode ser visualizado na figura 43.

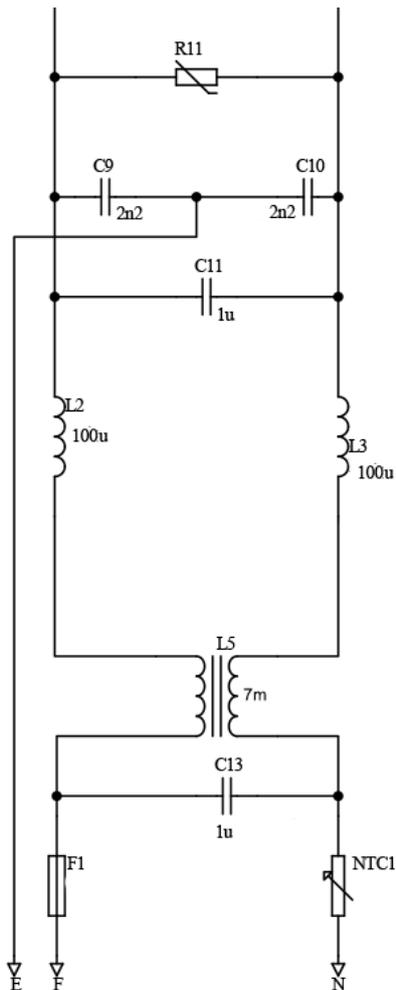


Figura 43 - Esquema do Filtro EMI

6.2 - Circuito de descarga dos condensadores X-cap

O circuito de descarga dos condensadores X-cap tem a função de, como próprio o nome indica, descarregar os condensadores X-cap (C9,C10,C11 e C12) por forma a existir uma proteção contra o choque elétrico quando o utilizador desliga a fonte comutada da rede.

Este circuito, normalmente, é apenas implementado com duas resistências que estão em paralelo com a entrada da alimentação com o intuito de, no momento em que a fonte deixa de estar conectada à rede, estas resistências dissipem a energia armazenada nos condensadores pertencentes ao filtro EMI. Esta solução resulta, mas apresenta um problema que se traduz no aumento das perdas na fonte, pois faz com que essas resistências estejam constantemente a dissipar energia durante o funcionamento da fonte comutada.

Para tentar amenizar este problema foi implementado um circuito que fará com que essas resistências não interfiram com o circuito do projeto enquanto estiver em funcionamento, mas quando este deixar de estar em funcionamento, essas resistências interfiram no circuito para dissiparem a energia armazenada nos condensadores. Esta solução, implementada na

referência [19], fará com que exista uma redução das perdas associadas ao projeto e pode ser visualizada na figura 44.

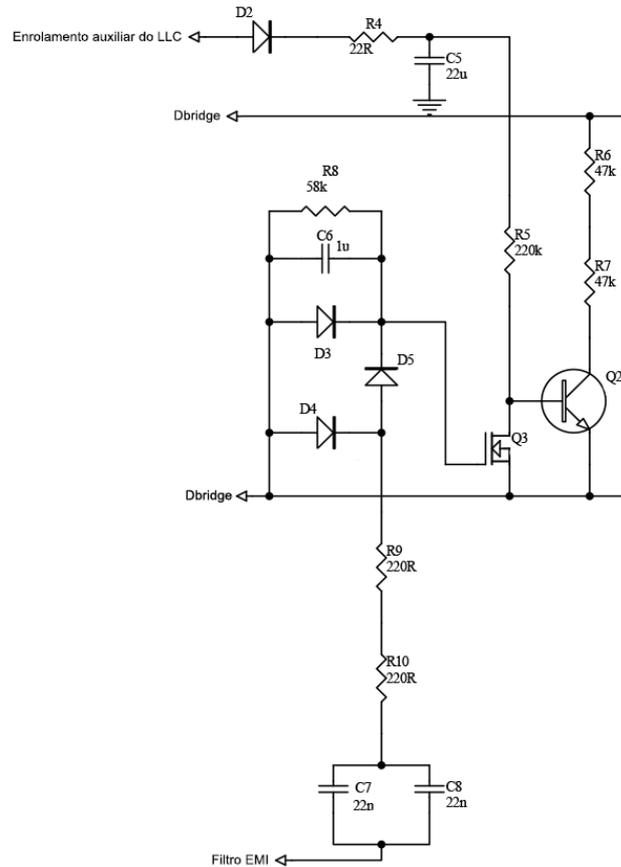


Figura 44 - Circuito de descarga dos condensadores X-cap

O funcionamento base deste circuito passa por um *charge pump*, constituído por três condensadores, três resistências e três díodos, que no momento em que a fonte é ligada à rede, será responsável por colocar uma tensão suficiente na base do *MOSFET* de modo, a que, este comece a conduzir e faça com que o circuito proveniente do enrolamento auxiliar do transformador fique ligado à massa, o que implica que a *gate* do transístor obtenha uma tensão igual a 0 V. Tudo isto faz com que este não conduza e, por sua vez, que sejam desconectadas do circuito as resistências R6 e R7 responsáveis por dissipar a energia.

No momento que a fonte seja desligada da rede, o *charge pump* deixará de fornecer a tensão necessária para o *MOSFET* conduzir, o que fará, com que a tensão proveniente do enrolamento auxiliar do transformador seja aplicada na *gate* do transístor e, desta forma, permita que este passe a conduzir, o que irá fazer com que as resistências de descarga passem a estar conectadas ao circuito e, assim, dissipem a energia armazenada nos condensadores.

ultrapassado e tem a capacidade de se desligar caso algumas destas proteções de segurança sejam infringidas.

De seguida serão, então, apresentados os passos para descrever a implementação realizada.

6.4.2 - Definições gerais

Para a implementação deste integrado, é necessário em primeiro lugar definir algumas especificações importantes para o funcionamento do integrado.

Na tabela 4 estão apresentadas as especificações para este projeto:

Especificação	Valor
Tensão de entrada mínima	88 VAC
Tensão de entrada máxima	265 VAC
Frequência da rede	50/60 Hz
Tensão de saída	395 VDC
Frequência de comutação	130 kHz
Potência de saída	240 W
Eficiência	94%
Rds_on	0,34 Ω
Tensão máxima de saída	420 VDC
Tensão mínima de saída	380 VDC
Vcc	17 VDC

Tabela 4 - Especificações gerais do PFC

A definição destas especificações, baseou-se no que era necessário para fornecer à parte do conversor LLC e, também na necessidade do sistema funcionar no mercado global, isto é, estar preparado para todas as tensões e frequências de entrada existentes nas redes da maior parte dos países.

A seleção da frequência de comutação baseou-se no facto de que, quanto maior a frequência de comutação, menores são os componentes que pertencem ao circuito, mas tendo em atenção que as normas relativas ao ruído EMI (por exemplo CISPR22) são aplicadas a frequências acima de 150 kHz, daí ser benéfico seleccionar uma frequência abaixo desse valor.

6.4.3 - Seleção da indutância da bobine

A seleção da indutância da bobine é realizada com vista ao PFC operar no modo de condução crítico nas condições mais exigentes, isto é, máxima potência na saída e tensão baixa na entrada.

A corrente de pico na bobine, no modo de condução crítico está representada na equação 10.

$$I_{coil,max} = 2 \times \sqrt{2} \times \frac{P_{in,av}}{V_{in,rms}} \quad (10)$$

A corrente na bobine aumenta até ao seu máximo durante a fase em que o *MOSFET* está em condução, este tempo corresponde ao T_{on} , e desce até zero quando o diodo conduz, que corresponde ao tempo de desmagnetização da bobine - T_{demag} .

Na operação no modo CrM o tempo de ciclo - T_{cycle} tem de ser maior que o tempo de oscilação- T_{osc} , que nos é dado pela frequência de comutação.

$$T_{osc} = \frac{1}{f_{sw}} \quad (11)$$

$$T_{cycle} = T_{on} + T_{demag} \quad (12)$$

Onde são conhecidas as fórmulas para cálculo do T_{on} e T_{demag} , apresentadas nas equações 13 e 14.

$$T_{on} = \frac{L \times I_{coil,pk}}{V_{in}} \quad (13)$$

$$T_{demag} = \frac{L \times I_{coil,pk}}{V_{out} - V_{in}} \quad (14)$$

Assim, é possível determinar o valor mínimo que a indutância da bobine tem de ter, sabendo que o tempo de ciclo tem de ser maior que o tempo de oscilação.

$$T_{cycle} > T_{osc} \quad (15)$$

A partir da resolução equação 15 fica-se com a equação necessária para o cálculo da indutância da bobine.

$$T_{cycle} = T_{on} + T_{demag} \Leftrightarrow T_{cycle} = \frac{L \times I_{coil,pk} \times V_{out}}{V_{in} \times (V_{out} - V_{in})}$$

$$\frac{L \times I_{coil,max} \times V_{out}}{V_{in,pk} \times (V_{out} - V_{in,pk})} > T_{osc}$$

$$L > T_{osc} \times \frac{V_{in,pk}^2 \times (V_{out} - V_{in,pk})}{4 \times P_{in,AVG} \times V_{out}} \quad (16)$$

Portanto, depois de determinar a equação 16 é necessário substituir os valores especificados para determinar o valor mínimo da indutância da bobine.

$$L > 7,6 \times \frac{124,5^2 \times (395 - 124,5)}{4 \times 240 \times 395} \mu H \Leftrightarrow L > 85 \mu H$$

Foi adicionada uma margem de segurança e, portanto, o valor escolhido para a indutância da bobine foi de 120 μH . Só resta então calcular os valores da corrente de pico como também o valor da corrente eficaz.

Corrente de pico:

$$I_{coil,max} = 2 \times \sqrt{2} \times \frac{P_{in,AVG,max}}{V_{in,rms,LL}} \quad (17)$$

$$I_{coil,max} = 2 \times \sqrt{2} \times \frac{240}{88} \Leftrightarrow I_{coil,max} = 7,7 \text{ A}$$

Corrente eficaz:

$$I_{coil,rms} = \frac{2}{\sqrt{3}} \times \frac{P_{in,AVG,max}}{V_{in,rms,LL}} \quad (18)$$

$$I_{coil,rms} = \frac{2}{\sqrt{3}} \times \frac{240}{88} \Leftrightarrow I_{coil,rms} = 3,1 \text{ A}$$

Assim, obtêm-se os valores necessários para a escolha da indutância da bobine.

6.4.4 - Escolha do condensador de saída - Cbulk

Para a escolha do condensador de saída Cbulk, é preciso ter em atenção duas especificações, o *ripple* de baixa frequência pico a pico e o tempo de *hold-up*.

O *ripple* de baixa frequência pico a pico geralmente é um valor abaixo de 5 % do valor da tensão de saída, sendo dado pela equação 19.

$$(\delta V_{out})_{pk-pk} = \frac{\eta \times P_{in,AVG,max}}{C_{bulk} \times \omega \times V_{out,nom}} \quad (19)$$

A partir desta fórmula podemos então saber o valor mínimo do Cbulk. Para estar de acordo com esta especificação, o cálculo é demonstrado de seguida.

$$C_{bulk} \geq \frac{0,94 \times 240}{0,05 \times 2 \times \pi \times 100 \times 395^2} \Leftrightarrow C_{bulk} \geq 46 \mu F$$

Para a especificação do tempo de *hold-up* é utilizada a equação 20.

$$C_{bulk} \geq \frac{\eta \times P_{in,AVG,max} \times t_{HOLD-UP}}{V_{out,nom}^2 - V_{out,min}^2} \quad (20)$$

Com o valor do tempo de *hold-up* é possível determinar o valor mínimo do C_{bulk} para estar de acordo com esta especificação. Neste projeto o tempo escolhido de *hold-up* time foi de 10 ms.

O cálculo é apresentado de seguida.

$$C_{bulk} \geq \frac{0,94 \times 240 \times 10m}{395^2 - 380^2} \Leftrightarrow C_{bulk} \geq 195 \mu F$$

Para a escolha do valor do C_{bulk} , para cumprir as duas especificações, tem de se escolher acima do máximo entre os dois resultados obtidos, neste caso acima de 195 μF .

A escolha foi de 220 μF , visto ser um valor normalizado e para ter uma margem de segurança.

É possível ainda calcular a corrente eficaz do condensador através da equação 21.

$$I_{c,rms} = \sqrt{\left[\frac{32 \times \sqrt{2}}{9 \times \pi} \times \frac{P_{in,AVG}^2}{V_{in,rms} \times V_{out,nom}} \right] - \left(\frac{\eta_{PFC} \times P_{in,AVG}}{V_{out,nom}} \right)^2} \quad (21)$$

Substituindo os valores, resulta:

$$I_{c,rms} = \sqrt{\left[\frac{32 \times \sqrt{2}}{9 \times \pi} \times \frac{240^2}{88 \times 395} \right] - \left(\frac{0,94 \times 240}{395} \right)^2} \Leftrightarrow I_{c,rms} = 1,5 A$$

Visto que a tensão de saída ter como valor máximo 420VDC a tensão de isolamento do condensador tem que ser superior a esse valor. Então foi escolhido um condensador com a tensão de isolamento de 450VDC.

6.4.5 - Configuração da frequência do oscilador

A frequência do oscilador é obtida pela equação 22.

$$f_{osc} = \frac{840p}{C_{osc} + 20p} \times 60k \quad (22)$$

Se estiver em ordem ao condensador da malha fica:

$$C_{osc} = \frac{840p \times 60k}{f_{osc}} - 20p$$

Se se substituir, agora, o valor da frequência de comutação pretendida ficamos com:

$$C_{osc} = 368 pF$$

6.4.6 - Circuito de *Brown-out*

O circuito de *Brown-out* é responsável por obter a informação se a tensão de entrada está dentro dos limites especificados.

Para tal, é realizada uma divisão de tensão composta pelas resistências R_{bo1} e R_{bo2} de maneira a receber parte da tensão de entrada no pino de *Brown-out*.

Esta malha também é composta por um condensador C_{bo2} que está em paralelo com a resistência R_{bo2} .

Na situação em que o PFC ainda não está em funcionamento, a tensão aplicada no pino 2 *brown-out* pode ser determinada pela equação 23.

$$V_{pin2} = \sqrt{2} \times V_{in,rms} \times \frac{R_{bo2}}{R_{bo1} + R_{bo2}} \quad (23)$$

Esta tensão tem de ser maior que 1 para que o PFC entre em funcionamento.

Na situação em que está em funcionamento a tensão é retificada e, portanto, determina-se a partir da equação 24.

$$V_{pin2} = \frac{2 \times \sqrt{2} \times V_{in,rms}}{\pi} \times \frac{R_{bo2}}{R_{bo1} + R_{bo2}} \quad (24)$$

Este valor deve ser maior que 0,5 V para que o PFC não pare de funcionar.

O valor de R_{bo2} é escolhido, normalmente, acima de 50 k Ω por forma a minimizar as correntes de fuga em situações de baixa tensão de entrada.

O condensador C_{bo2} deve ser grande o suficiente para fazer com que a tensão no pino 2 *brown-out* seja DC e proporcional ao valor médio da tensão de entrada. Este valor multiplicado pelo paralelo entre as resistências R_{bo1} e R_{bo2} deve ser próximo de metade do período da tensão de entrada. A equação 25 demonstra o cálculo do deste condensador.

$$C_{bo2} = \frac{1}{2 \times f_i \times (R_{bo1} // R_{bo2})} \quad (25)$$

Onde fl corresponde à frequência da tensão de entrada.

Para a implementação deste projeto, foi escolhida a resistência de 62 kΩ para o valor de Rbo2, por ser um valor normalizado.

O valor de Rbo1 é calculado de seguida de maneira a que o PFC entre em funcionamento a partir de uma tensão igual a 82 V, correspondente ao valor de Vin,rms,LL, igualando a equação 23 a 1:

$$1 = \frac{R_{bo2}}{R_{bo1} + R_{bo2}} \times \sqrt{2} \times V_{in,rms,LL} \Leftrightarrow R_{bo1} = (R_{bo2} \times \sqrt{2} \times V_{in,rms,LL}) - R_{bo2}$$

$$\Leftrightarrow R_{bo1} = (62k \times \sqrt{2} \times 82) - 62k \Leftrightarrow R_{bo1} = 7128 \text{ k}\Omega$$

Sendo que para a implementação do Rbo1 foram implementadas 4 resistências com o valor de 1800 kΩ, que formam um total de 7200 kΩ.

Para o cálculo do Cbo2, temos:

$$C_{bo2} = \frac{1}{2 \times 50 \times (7200k//62k)} \Leftrightarrow C_{bo2} = 162 \text{ nF}$$

Sendo que deveria ser um valor à volta do resultado obtido foi escolhido um valor normalizado de 220 nF.

É possível determinar os limites de tensão de entrada para o funcionamento do PFC, com a ajuda das equações 23 e 24.

Esses valores são de seguida calculados:

- Cálculo da tensão mínima para o PFC entrar em funcionamento:

$$(V_{in,rms})_{BOH} = \frac{R_{bo1} + R_{bo2}}{R_{bo2}} \times \frac{1}{\sqrt{2}} \Leftrightarrow (V_{in,rms})_{BOH} = 82,8 \text{ V}$$

- Cálculo da tensão mínima para o PFC permanecer em funcionamento:

$$(V_{in,rms})_{BOL} = \frac{R_{bo1} + R_{bo2}}{R_{bo2}} \times \frac{\pi \times 0,5}{2 \times \sqrt{2}} \Leftrightarrow (V_{in,rms})_{BOL} = 65 \text{ V}$$

6.4.7 - Malha de *feedback*

A malha *feedback* irá ser responsável por obter a informação do valor da tensão de saída e por efetuar a compensação necessária se esta não estiver no valor pretendido.

O pino de *feedback* tem um valor de referência, neste caso 2,5 V, que é obtido a partir da tensão de saída através de um divisor de tensão constituído pelas resistências Rfb1 e Rfb2, quando a tensão de saída está no valor nominal.

A equação 26 representa a relação entre as duas resistências e a tensão de referência.

$$V_{ref} = \frac{R_{fb2}}{R_{fb1} + R_{fb2}} \times V_{out,nom} \quad (26)$$

De onde se retira:

$$R_{fb1} = \frac{R_{fb2} \times V_{out,nom}}{V_{ref}} - R_{fb2}$$

Na escolha do valor da resistência Rfb2, teve-se em atenção à perda de energia e à imunidade ao ruído por parte de ambas as resistências, pois estas resistências são *afetadas* pela saída de alta tensão do PFC podendo consumir centenas de mW se a suas resistências forem baixas. Para tal, foi escolhida uma corrente próxima dos 100 μ A. Este valor é bom no sentido de reduzir as perdas e em manter uma boa imunidade ao ruído.

Assim sendo, fica-se com:

$$R_{fb2} = \frac{V_{ref}}{100 \mu A} = 25 \text{ k}\Omega \quad (27)$$

Para a implementação do PFC foi escolhido 27 k Ω para a resistência Rfb2 visto ser um valor normalizado e para facilitar a compra do componente.

Com o valor de Rfb2 escolhido pode-se obter o valor de Rfb1 a partir da equação 26.

$$R_{fb1} = \frac{27k \times 395}{2,5} - 27k \Leftrightarrow R_{fb1} = 4239 \text{ k}\Omega$$

Para obter um valor próximo do valor obtido e para colocar algumas resistências em série em vez de utilizar apenas uma, foram escolhidas quatro resistências de 1 M Ω (*megaohm*) e uma de 240 k Ω colocadas em série, o que dá no total um valor de 4.240 M Ω .

Com os valores escolhidos, pode-se agora determinar qual a tensão que o integrado considerará como a tensão de saída nominal, a partir da equação 26, resolvendo a equação em ordem à tensão de saída nominal.

$$\begin{aligned} V_{out,nom} &= \frac{R_{fb1} + R_{fb2}}{R_{fb2}} \times V_{ref} \\ &\Leftrightarrow \\ V_{out,nom} &= \frac{4240k + 27k}{27k} \times 2,5 \Leftrightarrow V_{out,nom} = 395,09 \text{ V} \end{aligned}$$

6.4.8 - Malha de compensação

Para ajustar a regulação da malha da largura de banda é colocado um condensador de compensação no pino 3 ligado ao *ground* de modo a ser possível alcançar fatores de potência elevados.

Para a escolha do valor do condensador de compensação, em função da frequência de corte, foi utilizada a equação 28.

$$f_c = \frac{1}{6 \times \pi \times \frac{(R_{fb1} + R_{fb2})}{R_{fb2} \times G_{EA}} \times C} \quad (28)$$

Onde G_{EA} corresponde ao ganho do erro do amplificador de transcondutância com o valor típico de 200 μS , f_c à frequência de corte e C ao condensador de compensação.

Colocando em função do condensador obtém-se:

$$C = \frac{1}{6 \times \pi \times \frac{R_{fb1} + R_{fb2}}{R_{fb2} \times G_{EA}} \times f_c}$$

Substituindo os valores já definidos e desejando uma frequência de corte de 0,1 Hz, obtém-se o valor do condensador de compensação:

$$C = \frac{1}{6 \times \pi \times \frac{4240k + 27k}{27k \times 200\mu} \times 0,1} \Leftrightarrow C = 672 \text{ nF}$$

Para a implementação do projeto foi escolhido o valor normalizado de 680 nF .

6.4.9 - Malha de medição da corrente

O NCP1605 foi projetado para monitorizar uma tensão negativa proporcional à corrente que circula pela bobine. Com a colocação de uma resistência de medição de corrente - R_{sense} no caminho de retorno é então possível gerar uma tensão negativa proporcional à corrente na bobine.

Para proceder à função de proteção contra correntes elevadas - OCP, é colocada uma resistência R_{ocp} entre o pino 5 CS e a resistência R_{sense} para produzir uma corrente no pino 5 dentro do integrado proporcional à corrente na bobine. Se esta corrente no pino 5 ultrapassar o limite de 250 μA , implica que a corrente na bobine também está a exceder o seu limite.

Pode-se, então, retirar a equação 29.

$$I_{coil,max} = \frac{R_{ocp}}{R_{sense}} \times 250\mu \quad (29)$$

Para a escolha do valor da resistência R_{sense} teve-se em atenção que deve ser um valor baixo, pois a sua função é, unicamente, permitir a medição da corrente. Por este motivo, foi escolhido o valor de 0,1 Ω .

Sendo assim possível determinar o valor da resistência R_{ocp} a partir da equação 29.

$$R_{ocp} = R_{sense} \times \frac{I_{coil,max}}{250\mu}$$

$$\Leftrightarrow$$

$$R_{ocp} = 0,1 \times \frac{7,7}{250\mu} \Leftrightarrow R_{ocp} = 3085,55 \Omega$$

Para este projeto foi escolhido, para o valor de R_{ocp} , o valor de 3000Ω .

No pino 6 é colocada uma resistência R_{zcd} , entre este e o *ground*, para criar uma tensão proporcional à corrente na bobine e ser possível a detecção da corrente a zero. Esta resistência deve ser aproximadamente três vezes o valor da resistência R_{ocp} .

Este valor pode ser calculado a partir da equação 30.

$$R_{ZCD} = 3 \times R_{OCP} \quad (30)$$

$$R_{ZCD} = 3 \times R_{OCP} \Leftrightarrow R_{ZCD} = 3 \times 3k \Leftrightarrow R_{ZCD} = 9 k\Omega$$

Nesta malha é também necessária a colocação de uma resistência R_{dvr} entre a *drive* do MOSFET e o pino 6 para facilitar a detecção da corrente zero no momento de comutação.

A resistência R_{dvr} deve ser aproximadamente três vezes o valor da resistência R_{zcd} , sendo assim possível calculá-la através da equação 31.

$$R_{DVR} = 3 \times R_{ZCD} \quad (31)$$

$$R_{DVR} = 3 \times R_{ZCD} \Leftrightarrow R_{DVR} = 3 \times 9k \Leftrightarrow R_{DVR} = 27 k\Omega$$

6.4.10 - Proteção contra sobretensão

O integrado NCP1605 contém proteções contra sobretensões e subtensões.

Esta proteção funciona como uma segunda hipótese de obter o feedback da tensão de saída, sendo que este pino tem como tensão de referência $2,5 V$.

Para efetuar esta proteção, é necessário projetar um divisor de tensão constituído pelas resistências R_{ovp1} e R_{ovp2} , que irão transformar a tensão de saída numa tensão abaixo da tensão de referência, caso a tensão de saída não se encontre a exceder o limite que será escolhido.

O limite de tensão de saída pode ser determinado pela equação 32.

$$V_{ovp} = \frac{R_{ovp1} + R_{ovp2}}{R_{ovp2}} \times V_{ref} \quad (32)$$

Os valores das resistências para proteção contra sobretensões serão calculados por forma a que a impedância obtida cumpra as seguintes condições:

- Ser suficiente grande para limitar as perdas
- Ser suficiente pequena para ter uma boa imunidade ao ruído

Tal como no caso do cálculo da R_{fb2} , pertencente à malha de *feedback*, para o cálculo da resistência R_{ovp2} foi escolhida uma corrente igual a 100 μA , por ser uma boa solução para satisfazer as duas condições. O cálculo da resistência R_{ovp2} é representado de seguida.

$$R_{ovp2} = \frac{V_{ref}}{100\mu} = 25 \text{ k}\Omega \quad (33)$$

Para este projeto foi escolhido o valor normalizado de 27 $\text{k}\Omega$ para a resistência R_{ovp2} .

O limite de tensão de saída pretendido escolhido foi de 420 V.

Pode-se então fazer o cálculo da resistência R_{ovp1} necessária para estabelecer esse valor como o limite. Esse cálculo é realizado através da equação 32.

$$R_{ovp1} = R_{ovp2} \times \left(\frac{V_{ovp}}{V_{ref}} - 1 \right)$$

Substituindo os valores temos:

$$R_{ovp1} = 27\text{k} \times \left(\frac{420}{2,5} - 1 \right) \Leftrightarrow R_{ovp1} = 4509 \text{ k}\Omega$$

Para obter este valor foram colocadas três resistências de 1.500 $\text{M}\Omega$ em série que num total resultam num valor de 4.500 $\text{M}\Omega$.

Para os valores escolhidos das resistências obtém-se o seguinte limite de tensão de saída:

$$V_{ovp} = \frac{4500\text{k} + 27\text{k}}{27\text{k}} \times 2,5 \Leftrightarrow V_{ovp} = 419,16 \text{ V}$$

6.4.11 - Malha do pino 7

Para que o estágio de PFC consiga fornecer a máxima potência quando a tensão de entrada é mínima, é necessário o dimensionamento de um condensador no pino 7.

O valor deste condensador pode ser calculado pela equação 34.

$$C_{pin7} = \frac{120\mu \times L \times V_{ref}^2 \times P_{in,AVG,max}}{V_{in,rms,LL}^2} \quad (34)$$

Onde L corresponde ao valor da indutância da bobine escolhida, V_{ref} à tensão de referência de 2,5 V, $P_{in,avg,max}$ à potência máxima que pode fornecer, neste caso 240 W, e $V_{in,rms,LL}$ à mínima tensão eficaz de entrada definida.

É, então, possível proceder ao cálculo do condensador.

$$C_{pin7} = \frac{120\mu \times 120\mu \times 2,5^2 \times 240}{88^2} \Leftrightarrow C_{pin7} = 4,18 \text{ nF}$$

Para evitar tempos excessivamente pequenos do *MOSFET* em condução é inserido um *offset* no pino 7, colocando uma resistência *Roffset* entre o condensador *Cpin7* e o *ground* e colocando outra resistência *Rdvr2* entre o condensador *Cpin7* e a drive do componente de comutação.

Este *offset* deve ter um valor aproximadamente entre 400 e 500 mV.

Para este projeto foram escolhidos os valores de 150 Ω para a resistência *Roffset* e 6,2 k Ω para a resistência *Rdvr2* que com um *Vcc* igual a 17 V formam um *offset* igual a aproximadamente 400 mV.

Com a adição deste *offset* o valor do condensador *Cpin7* tem que ser incrementado com base na diminuição da variação que o *offset* é responsável por fazer.

Esta variação deixa de ser 1 V, e devido ao *offset* de 400 mV passa a ser 600 mV, como se pode ver na resolução da equação 35.

$$C_{pin7} = \frac{4,18n}{60\%} \Leftrightarrow C_{pin7} = 6,99 \text{ nF} \quad (35)$$

Foi escolhido o valor de 10 nF para este condensador.

6.4.12 - Malha PFCok

Para a PCB PFC enviar a informação à PCB LLC de que está a regular a tensão para o valor pretendido e que esta pode realizar o seu funcionamento normal, foi colocada uma malha composta por um divisor de tensão, um diodo e um condensador para condicionar a tensão proveniente do pino PFCok do NCP1605, com valor igual a 5 V, num valor que será recebido pelo o pino *brown-out* do NCP1397 de maneira que este comece a realizar o seu funcionamento normal, visto a tensão mínima no pino *brown-out* para o integrado ser igual a 1,04 V e a tensão máxima ser de 4 V.

6.5 - Estágio do LLC

6.5.1 - Introdução

Para a implementação da topologia LLC foi utilizado o integrado NCP1397, já referido anteriormente.

Especificação	Valor
Tensão de entrada nominal	395 VDC
Tensão de entrada mínima	380 VDC
Tensão de entrada máxima	420 VDC
Tensão de saída	24 VDC
Corrente máxima da saída	8,75 A
Potência máxima de saída	210 W
Eficiência	93%

Tabela 5 - Especificações gerais do LLC

Na definição dos valores da tensão de entrada efetuou-se uma correspondência aos valores mínimo, nominal e máximo da saída do estágio de PFC.

A definição das restantes especificações basearam-se no requisito de saída com 24 V de tensão DC, para a potência optou-se por escolher 210 W para existir uma margem dos 200 W requisitados, a corrente deduziu-se pelas escolhas anteriores.

Para a parte LLC foi escolhida uma eficiência de 93 %.

De seguida são apresentados os passos para o dimensionamento do integrado NCP1397.

6.5.3 - Escolha do transformador

A escolha do transformador teve uma importância fulcral para o dimensionamento da parte LLC, uma vez que, para fazer um transformador à medida da empresa, ficaria demasiado caro, daí ter sido logo opção a escolha de um transformador já comercializado e adaptar as contas do integrado responsável pelo funcionamento LLC a esse transformador.

Visto que, para a topologia *LLC resonant*, não existe uma grande variedade de opções de transformadores dedicados para esse funcionamento, a escolha deste foi realizada numa pesquisa das possíveis marcas que pudessem fornecer alguns transformadores para a empresa com os requisitos necessários para o projeto.

A melhor opção encontrada foi um transformador da **Magnetica** 1860.0113 apropriado para operações até 300 W com frequência de ressonância igual a 95 kHz, com indutância de fuga igual a 94 μ H e a indutância de magnetização igual a 561 μ H, que formam um total de 655 μ H correspondente à indutância do lado primário do transformador.

Com estes valores o rácio entre a indutância de magnetização e a indutância de fuga corresponde a 5,96.

6.5.4 - Passos para definição do design do LLC

A definição dos valores associados ao LLC teve como base os passos de seguida apresentados, pese embora alguns desses valores tivessem que ser alterados para estarem de acordo com os valores impostos pelo transformador escolhido.

6.5.4.1 - Cálculo da resistência equivalente R_{ac}

Procedeu-se ao cálculo da resistência equivalente da carga através da equação 36.

$$R_{ac} = \frac{8}{\pi^2} \times \frac{V_{out}}{I_{out,nom} \times \eta} \quad (36)$$

Substituindo os valores, resulta:

$$R_{ac} = \frac{8}{\pi^2} \times \frac{24}{8,75 \times 0,93} \Leftrightarrow R_{ac} = 2,39$$

6.5.4.2 - Cálculo do ganho

Neste passo são efetuados os cálculos necessários para a conversão no estágio LLC para os valores de tensão de entrada nominal, mínimo e máximo.

Para tal são utilizadas as seguintes equações:

- Nominal

$$G_{nom} = \frac{2 \times (V_{out} + V_f)}{V_{bulk,nom}} \quad (37)$$

- Mínimo

$$G_{min} = \frac{2 \times (V_{out} + V_f)}{V_{bulk,min}} \quad (38)$$

- Máximo

$$G_{max} = \frac{2 \times (V_{out} + V_f)}{V_{bulk,max}} \quad (39)$$

Substituindo os valores, resulta:

- Nominal

$$G_{nom} = \frac{2 \times (24 + 0,5)}{395} \Leftrightarrow G_{nom} = 0,124$$

- Mínimo

$$G_{min} = \frac{2 \times (24 + 0,5)}{350} \Leftrightarrow G_{min} = 0,117$$

- Máximo

$$G_{max} = \frac{2 \times (24 + 0,5)}{420} \Leftrightarrow G_{max} = 0,140$$

6.5.4.3 - Escolha do circuito do condensador ressonante

Na escolha do circuito do condensador ressonante é necessário ter em atenção o seguinte:

- Utilizar capacidades baixas nos condensadores ressonantes implica vantagens como: baixa variação das frequências de operação para melhor regulação e proporcionam uma melhor eficiência.
- A tensão nos condensadores ressonantes atinge valores elevados se for utilizada uma capacidade baixa.
- É benéfico que a tensão nos condensadores ressonantes seja inferior à tensão de entrada V_{bulk} para o funcionamento normal, pois condensadores com menor tensão aguentam maiores correntes eficazes sendo de menor dimensão, custando menos e sendo mais confiáveis.

Para efetuar o cálculo do valor a usar na capacidade do condensador ressonante é necessário primeiro calcular a corrente eficaz que por ele irá passar através da equação 40.

$$I_{Cs,rms,nom} = \frac{\pi}{2 \times \sqrt{2}} \times I_{out,nom} \times G_{nom} \quad (40)$$

Substituindo os valores fica-se com:

$$I_{Cs,rms,nom} = \frac{\pi}{2 \times \sqrt{2}} \times 8,75 \times 0,124 \Leftrightarrow I_{Cs,rms,nom} = 1,2 \text{ A}$$

É agora possível efetuar do cálculo da capacidade para o condensador ressonante através da equação 41.

$$C_s = \frac{I_{Cs,rms,nom} \times \sqrt{2}}{2 \times \pi \times f_{op,nom} \times \left(V_{Cs,peak,nom} - \frac{V_{bulk,nom}}{2} \right)} \quad (41)$$

Substituindo os valores, resulta:

$$C_s = \frac{1,2 \times \sqrt{2}}{2 \times \pi \times 95k \times \left(320 - \frac{395}{2} \right)} \Leftrightarrow C_s = 27,7 \text{ nF}$$

Para a escolha do valor da capacidade a utilizar no projeto optou-se pela utilização de dois condensadores ressonantes, cada um com a capacidade igual a 15 nF, resultando num total de 30 nF.

O uso de dois condensadores ressonantes torna-se benéfico pois reduz ao *ripple* da corrente de entrada em comparação com a utilização de apenas um condensador ressonante.

6.5.4.4 - Cálculo da indutância de fuga

A indutância de fuga L_s pode ser calculada através da fórmula de cálculo da frequência de ressonância. Visto, por um lado, esta já estar definida assim como também o valor resultante da capacidade dos condensadores ressonantes.

De seguida é efetuado o cálculo da indutância de fuga através da equação 8.

$$f_s = \frac{1}{2 \times \pi \times \sqrt{C_s \times L_s}} \Leftrightarrow L_s = \frac{1}{C_s \times (2 \times \pi \times f_{res})^2}$$

Substituindo os valores, resulta:

$$L_s = \frac{1}{30n \times (2 \times \pi \times 95k)^2} \Leftrightarrow L_s = 93,5 \mu H$$

Como já referido anteriormente o valor escolhido para o projeto foi de 94 μH , pois é o valor que está inserido no transformador.

6.5.4.5 - Cálculo da indutância máxima de magnetização

É necessário saber o valor limite correspondente ao valor da indutância de magnetização. Para tal é utilizado o valor da capacidade resultante entre as capacidades parasitas dos *MOSFETS* e a capacidade parasita do nó HB.

O cálculo do valor máximo da indutância de magnetização é realizado a partir da equação 42.

$$L_m = \frac{DT}{8 \times f_{op,max} \times C_{HB,total}} \quad (42)$$

Substituindo os valores, resulta:

$$L_m = \frac{350n}{8 \times 110k \times 360p} \Leftrightarrow L_m = 1,1 mH$$

6.5.4.6 - Cálculo do rácio entre as duas indutâncias

O rácio entre as duas indutâncias poderia ser determinado através da análise da característica do ganho ser realizada através de uma simulação.

Neste caso, devido à escolha do transformador já ter sido realizado, esta escolha implica que o rácio do transformador tenha sido previamente imposto, daí não ser necessária proceder à análise do melhor ganho.

Neste projeto será, então, utilizado o rácio igual a 5,96 entre a indutância de magnetização L_m e a indutância de fuga L_s , que faz com que o valor correspondente à indutância de magnetização seja igual a 561 μH como pode ser visto na dedução da equação 43.

$$k = \frac{L_m}{L_s} \quad (43)$$

$$\frac{L_m}{L_s} = 5,96 \Leftrightarrow L_m = 94\mu \times 5,96 \Leftrightarrow L_m = 561 \mu H$$

6.5.5 - Lado primário do transformador

6.5.5.1 - Malha de proteção contra sobre correntes

Esta malha está representada na figura 47.

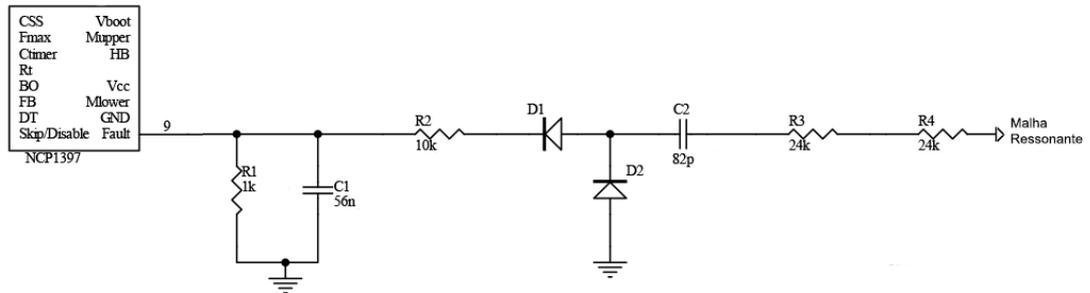


Figura 47 - Malha de proteção contra sobre correntes

Para efetuar os cálculos referentes à malha de proteção contra sobre correntes é primeiro necessário determinar a corrente que circula no lado primário do transformador em situações de sobrecarga. Para tal utiliza-se a equação 44.

$$I_{primary,rms} = \sqrt{\frac{1}{8} \times \left(I_{out,max}^2 \times \pi^2 \times G_{nom}^2 + \frac{V_{bulk,nom}^2}{24 \times L_m^2 \times f_{op,ovld}^2} \right)} \quad (44)$$

Onde $I_{out,max}$ corresponde à corrente máxima em situação de sobrecarga e $f_{op,ovld}$ corresponde à frequência de operação em situação de sobrecarga.

Substituindo os valores na equação 44, obtém-se:

$$I_{primary,rms} = \sqrt{\frac{1}{8} \times \left(10^2 \times \pi^2 \times 0,124^2 + \frac{395^2}{24 \times 561\mu^2 \times 90k^2} \right)} \Leftrightarrow I_{primary,rms} = 1,49 \text{ A}$$

Depois é necessário efetuar o cálculo de tensão AC nos condensadores ressonantes e, para tal, utiliza-se a equação 45.

$$V_{Cs,ac} = \frac{I_{primary,rms}}{2 \times \pi \times f_{op,ovld} \times C_s} \quad (45)$$

Onde substituindo os valores, resulta:

$$V_{Cs,ac} = \frac{1,49}{2 \times \pi \times 90k \times 30n} \Leftrightarrow V_{Cs,ac} = 87,7 \text{ Vac}$$

Também é necessário diminuir a corrente que passa por esta malha. Para isso é necessário calcular a resistência necessária para tal. Isto consegue-se através da resolução da equação 46.

$$R_s = \frac{V_{cs,peak}}{I_{f,limit}} \quad (46)$$

$$R_s = \frac{V_{cs,peak}}{I_{f,limit}} \Leftrightarrow R_s = \frac{1000}{0,02} \Leftrightarrow R_s = 50 \text{ k}\Omega$$

Para este projeto foram utilizadas 2 resistências para tal efeito, R3 e R4, cada com uma resistência total igual a 24 kΩ o que resulta num total de 48 kΩ.

De seguida será determinado o condensador de *charge pump*. Foram escolhidos para os valores de R1 e R2 os valores iguais a 1k e 10k, respetivamente. Este cálculo é efetuado através da equação 47.

$$C_2 = \frac{1}{2 \times \pi \times f_{op,ovld} \times \sqrt{\left| 2 \times \left(\frac{V_{Cs,ac} \times R_1}{\pi \times V_{ref,fault} \times 0,9} - \frac{(R_1 + R_2)^2}{2} \right)^2 - (R_3 + R_4)^2 \right|}} \quad (47)$$

Substituindo os valores resulta:

$$C_2 = \frac{1}{2 \times \pi \times 90k \times \sqrt{\left| 2 \times \left(\frac{87,7 \times 1k}{\pi \times 1,04 \times 0,9} - \frac{(1k + 10k)^2}{2} \right)^2 - (24k + 24k)^2 \right|}}$$

$$\Leftrightarrow$$

$$C_2 = 77,4 \text{ pF}$$

Neste caso, foi escolhido um valor normalizado perto deste resultado igual a 82 pF.

Dos componentes pertencentes a esta malha apenas resta determinar o valor do condensador de filtro C1, que é efetuado a partir da equação 48.

$$C_1 = \frac{5}{f_{op,ovld} \times R_1} \quad (48)$$

$$C_1 = \frac{5}{f_{op,ovld} \times R_1} \Leftrightarrow C_{28} = \frac{5}{90k \times 1k} \Leftrightarrow C_1 = 55,5 \text{ nF}$$

Para o valor de C1 foi escolhido 56 nF.

6.5.5.2 - Malha responsável pela definição do tempo de falha

O integrado NCP1397 permite a definição de tempos de deteção de falha e de recuperação da falha. Para tal efeito é necessária a colocação de um condensador e de uma resistência em paralelo, C_{timer} e R_{timer}.

Os tempos de deteção da falha e de recuperação da mesma são definidos através da escolha dos valores a utilizar no condensador C_{timer} e a resistência R_{timer}.

A seguir são representadas as equações que os determinam.

- Deteção de falha

$$T_{fault} = -R_{timer} \times C_{timer} \times \ln \left(1 - \frac{V_{timer(on)}}{R_{timer} \times I_{timer1}} \right) \quad (49)$$

- Tempo de recuperação

$$T_{off} = R_{timer} \times C_{timer} \times \ln\left(\frac{V_{timer(on)}}{V_{timer(off)}}\right) \quad (50)$$

Para efetuar a escolha dos valores do condensador e da resistência, tentou-se que a soma de ambos os tempos fosse próxima de um segundo e que a detecção de falha fosse menor que 200 ms.

Foram então escolhidos os valores de 6,8 μ F e 82k Ω para C_{timer} e R_{timer} , pois estes, são valores normalizados e fazem com que os tempos estejam de acordo com o desejado, como pode ser verificado nas seguintes deduções das equações 49 e 50.

- Detecção de falha

$$T_{fault} = -82k \times 6,8\mu \times \ln\left(1 - \frac{4}{82k \times 175m}\right) \Leftrightarrow T_{fault} = 182 \text{ ms}$$

- Tempo de recuperação

$$T_{off} = 82k \times 6,8\mu \times \ln\left(\frac{4}{1}\right) \Leftrightarrow T_{off} = 773 \text{ ms}$$

O comportamento do integrado relativo aos tempos de falha pode ser analisado na figura 48.

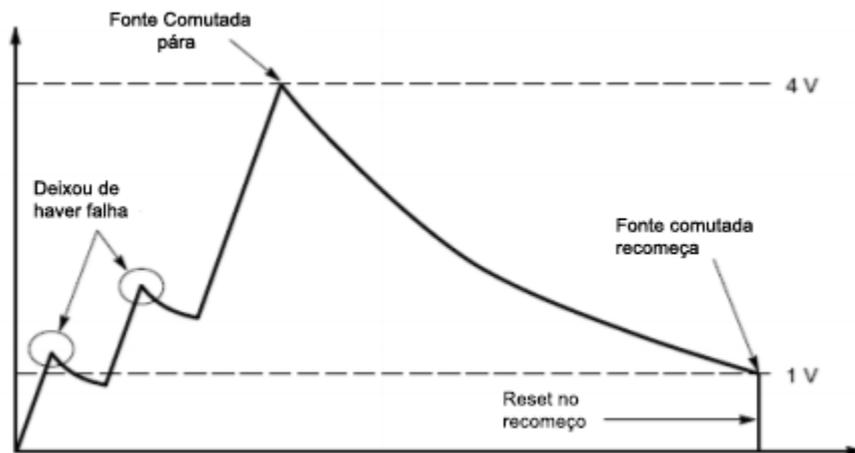


Figura 48 - Detecção e Recuperação de falha [22]

6.5.5.3 - Definição de frequência mínima, máxima e do *dead-time*

O integrado NCP1397 possibilita a definição da frequência máxima, mínima e do *dead-time* através da colocação de resistências ligadas à massa. O cálculo para a sua definição é demonstrado de seguida.

- *Dead-time*

$$T_{Dt} = 4,28 \times 10^{-8} + (R_{DT} \times 2,41 \times 10^{-11}) \quad (51)$$

Para o valor do *dead-time* tentou-se aproximar dos 350 ns, e para tal foi escolhida uma resistência de 13 kΩ para Rdt que resulta num *dead-time* igual a 356 ns como pode ser observado na resolução da equação 51.

$$T_{Dt} = 4,28 \times 10^{-8} + (13k \times 2,41 \times 10^{-11}) \Leftrightarrow T_{Dt} = 356 \text{ ns}$$

- Frequência mínima

$$f_{min} = \frac{1}{4,64 \times 10^{-10} \times R_t + 4,8 \times 10^{-11} \times R_{Dt} + 8 \times 10^{-8}} - \frac{8,9 \times 10^{-7}}{R_t} \quad (52)$$

Com o objetivo de aproximar a frequência mínima do 70 kHz e já tendo definido o valor de Rdt, foi escolhido o valor para Rt igual a 30 kΩ que resulta numa frequência mínima igual a 68,3 kHz, como pode ser comprovado na resolução da equação 52.

$$f_{min} = \frac{1}{4,64 \times 10^{-10} \times 30k + 4,8 \times 10^{-11} \times 13k + 8 \times 10^{-8}} - \frac{8,9 \times 10^{-7}}{30k}$$

$$\Leftrightarrow$$

$$f_{min} = 68,3 \text{ kHz}$$

- Frequência máxima

$$f_{max} = \frac{1}{\frac{7,3 \times 10^{-11} \times R_{fmax} \times R_t}{0,1 \times R_t + 0,157 \times R_{fmax}} + 4,8 \times 10^{-11} \times R_{Dt} + 8 \times 10^{-8}} - \frac{8 \times 10^7}{R_{fmax}} \quad (53)$$

Tendo já as resistências Rt e Rdt definidas e, tendo como objetivo aproximar a frequência máxima dos 200 kHz, foi escolhido o valor da resistência para Rfmax igual a 7,87 kΩ que resulta numa frequência máxima igual a 199,3 kHz como ser confirmado na seguinte resolução da equação 53.

$$f_{max} = \frac{1}{\frac{7,3 \times 10^{-11} \times 7,87k \times 30k}{0,1 \times R_t + 0,157 \times 7,87k} + 4,8 \times 10^{-11} \times 13k + 8 \times 10^{-8}} - \frac{8 \times 10^7}{7,87k}$$

$$\Leftrightarrow$$

$$f_{max} = 199,3 \text{ kHz}$$

6.5.5.4 - Definição dos componentes relacionados com o *soft-start*

A malha relacionada com o *soft-start* pode ser vista na figura 49.

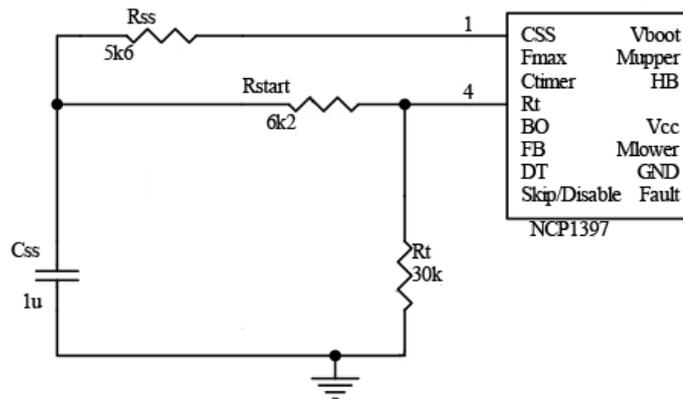


Figura 49 - Malha do *soft-start*

A resistência R_{ss} é responsável por diminuir a velocidade das mudanças de frequência de modo a ultrapassar situações de sobrecarga. Para esta resistência foi escolhido o valor de 5,6 k Ω .

A frequência de *startup* é estabelecida pela resistência ligada à resistência R_t , responsável por definir a frequência mínima de operação, durante a fase de iniciação.

Esta resistência R_{start} é definida através das resistências R_{ss} , R_t e a $R_{t,start}$ cujo valor pode ser definido através do gráfico presente na folha de características do NCP1397, que apresenta a frequência de operação vs o valor da $R_{t,start}$, ou da equação 54.

$$R_{Rt,start} = \frac{R_t \times (R_{ss} + R_{start})}{R_t + R_{ss} + R_{start}} \quad (54)$$

No gráfico anteriormente referido para uma frequência inicial (frequência de *startup*) igual a 200 kHz, sendo esta, a frequência escolhida, o valor de $R_{t,start}$ correspondente é 8,5 k Ω . Sendo agora possível determinar o valor de R_{start} através da equação 54.

$$R_{start} = \frac{R_{Rt,start} \times R_t + R_{Rt,start} \times R_{ss} - R_{ss} \times R_t}{R_t - R_{Rt,start}}$$

Substituindo os valores resulta:

$$R_{start} = \frac{8,5k \times 30k + 8,5k \times 5,6k - 5,6k \times 30k}{30k - 8,5k} \Leftrightarrow R_{start} = 6,26 k\Omega$$

Com o objetivo de a constante de tempo associada ao *soft start* ser próxima de 6 ms o valor do condensador C_{ss} escolhido foi de 1 μ F que em conjunto com a resistência R_{start} faz com que a constante de tempo seja igual a 6,2 ms.

6.5.5.5 - Parte do *feedback* e modo *skip*

O circuito pertencente ao lado primário do transformador de *feedback* e modo *skip* pode ser visualizado na figura 50.

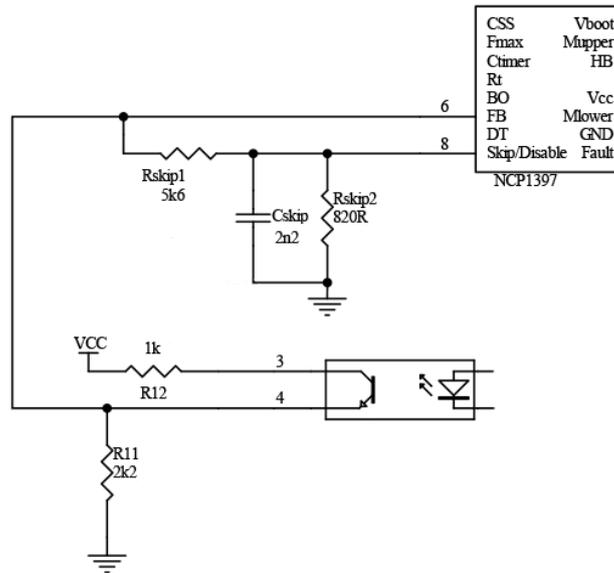


Figura 50 - Feedback e modo skip

A resistência R11 e R12 limita a tensão máxima no pino de *feedback*.

O modo *skip* é implementado para reduzir as perdas por comutação nos *MOSFETS* perante a situação de *overshoot* do *feedback*. Este modo é implementado através de um divisor resistivo conectado ao pino do *feedback* com as resistências Rskip1 e Rskip2.

6.5.6 - Lado secundário do transformador

6.5.6.1 - Retificação sincronizada vs díodos

Neste caso, foi escolhida a opção de usar díodos shottky em vez de retificação sincronizada através de *MOSFETS*. A aplicação desta fonte comutada implica, que esta, esteja a maior parte do tempo em modo de *standby* onde o consumo irá ser bastante pequeno. A empresa, determinou que a opção dos díodos era melhor para a situação pois, nesse tempo, as perdas por parte dos díodos igualam as perdas por parte dos *MOSFETS* e esta escolha implica um custo menor da solução.

Na figura 51 é apresentado um gráfico com a comparação das perdas entre as duas soluções.

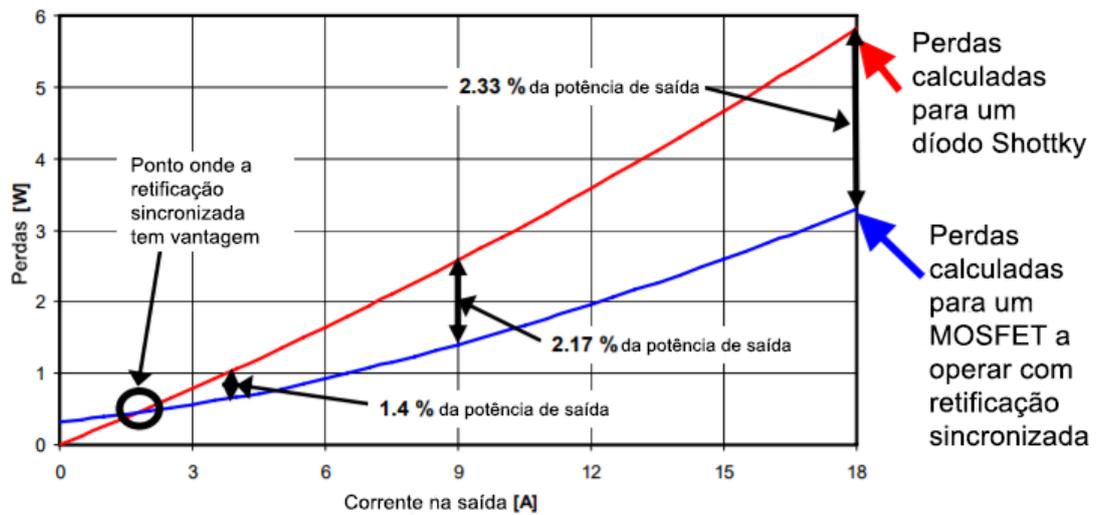


Figura 51 - Comparação entre o uso de um diodo *shottky* e um *MOSFET* [24]

6.5.6.2 - Condensadores de filtro

Nesta secção efetuou-se primeiramente o cálculo da corrente eficaz que passará pelos condensadores de filtro através da equação 55.

$$I_{Cf,rms} = I_{out,nom} \times \sqrt{\frac{\pi^2}{8} - 1} \quad (55)$$

Substituindo os valores na equação 55, resulta:

$$I_{Cf,rms} = 8,75 \times \sqrt{\frac{\pi^2}{8} - 1} \Leftrightarrow I_{Cf,rms} = 4,23 \text{ A}$$

Neste projeto foi escolhida a utilização de 8 condensadores de filtro em paralelo, cada um com 470 μF , pois estes são valores normalizados, e que resulta num total de 3,76 mF. Esta escolha, foi realizada com vista a este banco de condensadores conseguir lidar com a corrente eficaz calculada anteriormente. Os condensadores escolhidos têm uma resistência equivalente de série total (ESR) igual a 62,5 m Ω .

O *ripple* de saída relacionado com o banco de condensadores de filtro pode ser composto em duas componentes que serão calculadas de seguida.

- *Ripple* associado à resistência equivalente de série total (ESR)

$$V_{Cf,ripple,pk-pk} = ESR \times \frac{\pi}{2} \times I_{out,nom} \quad (56)$$

Substituindo os valores, resulta:

$$V_{Cf,ripple,pk-pk} = 62,5m \times \frac{\pi}{2} \times 8,75 \Leftrightarrow V_{Cf,ripple,pk-pk} = 859 mV$$

- *Ripple* associado à capacidade do banco de condensadores

$$V_{out,ripple,cap,pk-pk} = \frac{I_{out,nom}}{2 \times \sqrt{3} \times \pi \times f_{op,nom} \times C_f} \quad (57)$$

Que substituindo os valores, resulta em:

$$V_{out,ripple,cap,pk-pk} = \frac{8,75}{2 \times \sqrt{3} \times \pi \times 95k \times 3,76m} \Leftrightarrow V_{out,ripple,cap,pk-pk} = 3,14 mV$$

As perdas associadas à ESR do banco de condensadores de filtro podem ser calculadas através da equação 58.

$$P_{Cf,ESR} = \left(I_{out,nom} \times \sqrt{\frac{\pi^2}{8} - 1} \right)^2 \times ESR \quad (58)$$

Substituindo os valores, resulta:

$$P_{Cf,ESR} = \left(8,75 \times \sqrt{\frac{\pi^2}{8} - 1} \right)^2 \times 62,5m \Leftrightarrow P_{Cf,ESR} = 1,11 mW$$

6.5.6.3 - Malha *feedback*

Para fornecer o *feedback* da saída ao opto acoplador foi utilizado o TL431 que permite estabelecer referências com precisão programáveis.

A figura 52 apresenta a imagem desta malha.

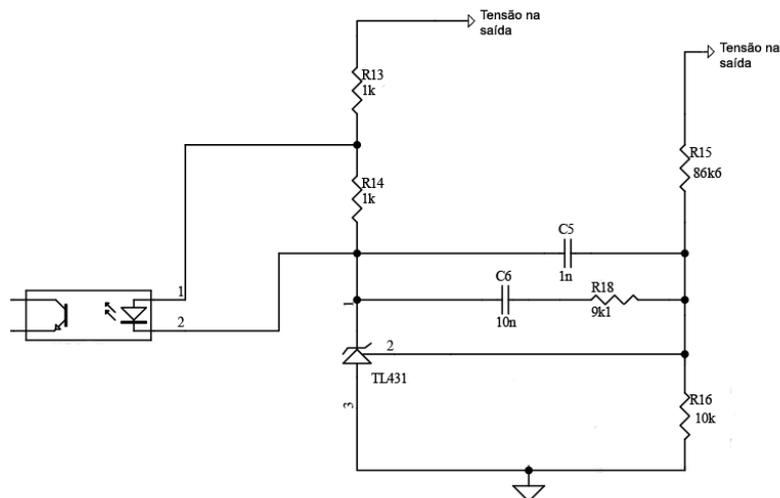


Figura 52 - Malha *feedback* do lado secundário

Para efetuar a programação da referência foi utilizada a equação 59.

$$V_{out} = \left(1 + \frac{R1}{R2}\right) \times V_{ref} \quad (59)$$

A tensão de referência está expressa na *folha de* características do componente e é igual a 2,495 V.

Portanto, foi necessário achar um par de resistências que substituindo nesta equação fosse possível obter um valor para V_{out} igual a 24 V.

Neste caso foram escolhidos os valores de 86,6 k Ω para R1 e 10 k Ω para R2 para ir ao encontro de um valor aproximado dos 24 V como se pode observar a seguir.

$$V_{out} = \left(1 + \frac{86,6k}{10k}\right) \times 2,495 \Leftrightarrow V_{out} = 24,1 V$$

6.6 - Filtro de saída

Este filtro é um filtro simples LC que tem como função reduzir o *ripple* da tensão de saída da fonte de alimentação comutada.

6.7 - Esquemáticos Finais

6.7.1 - PCB PFC

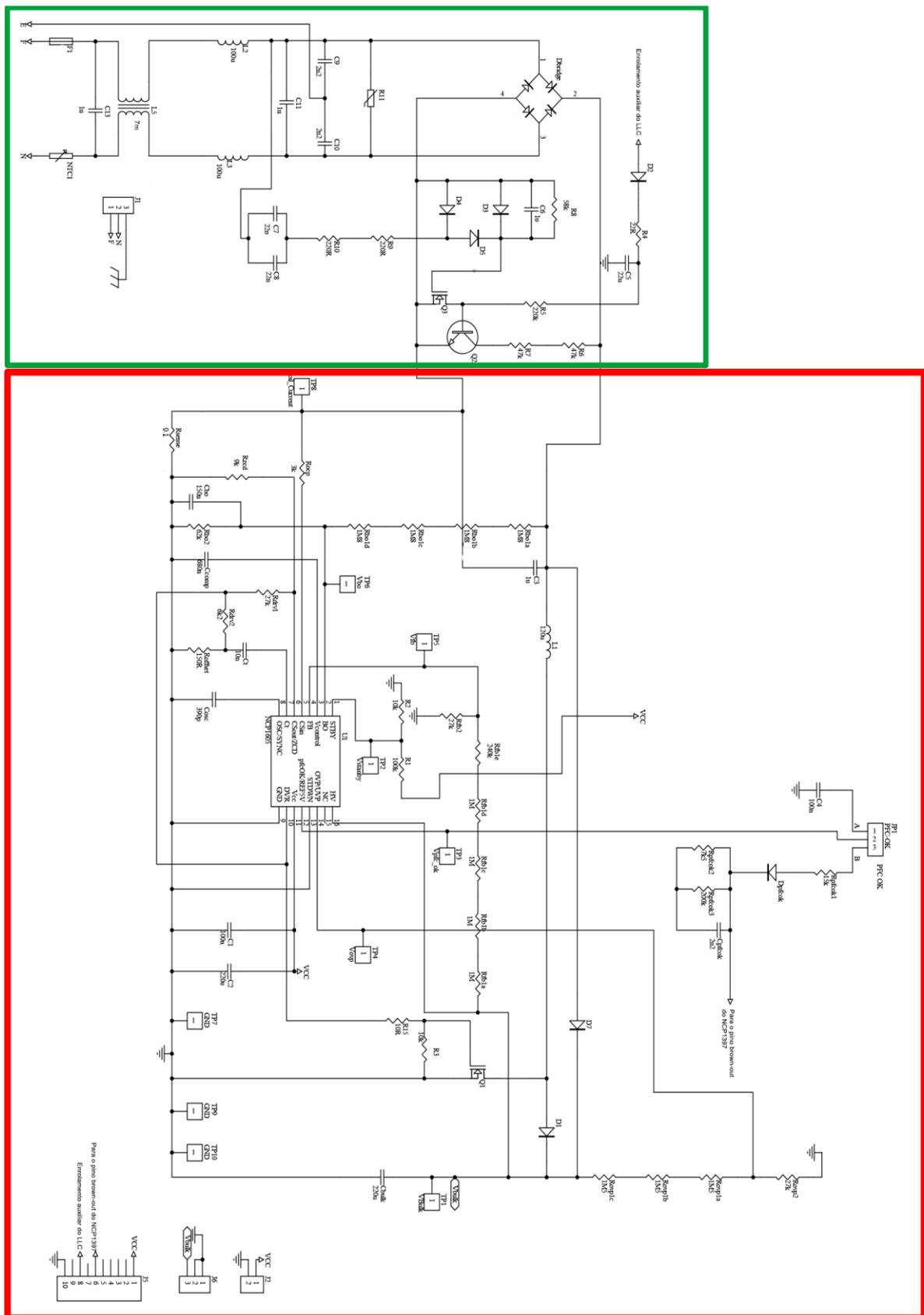


Figura 53 - Esquemático da PCB PFC

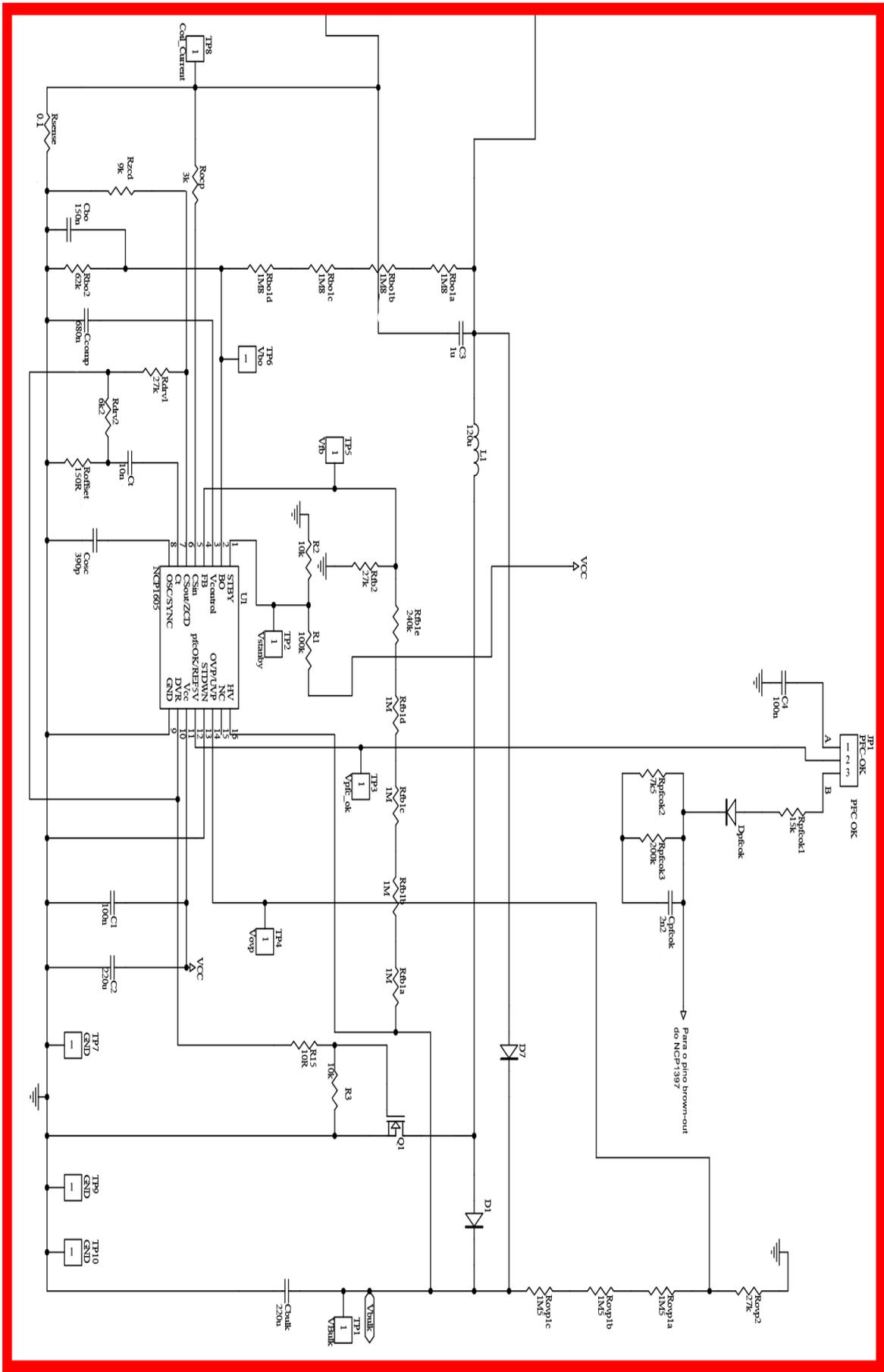


Figura 55 - Estágio do PFC

6.7.2 - PCB LLC

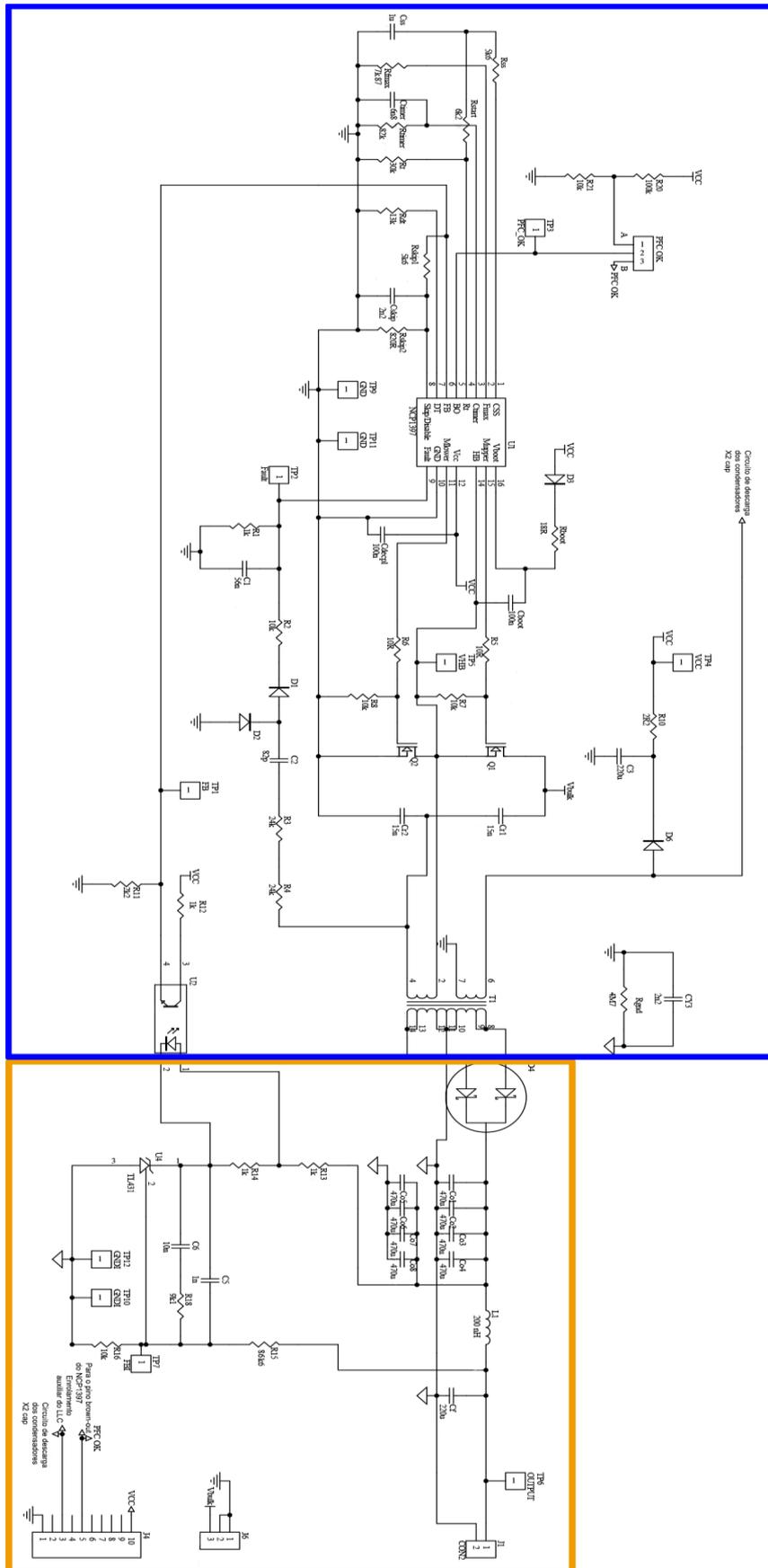


Figura 56 - Esquemático da PCB LLC

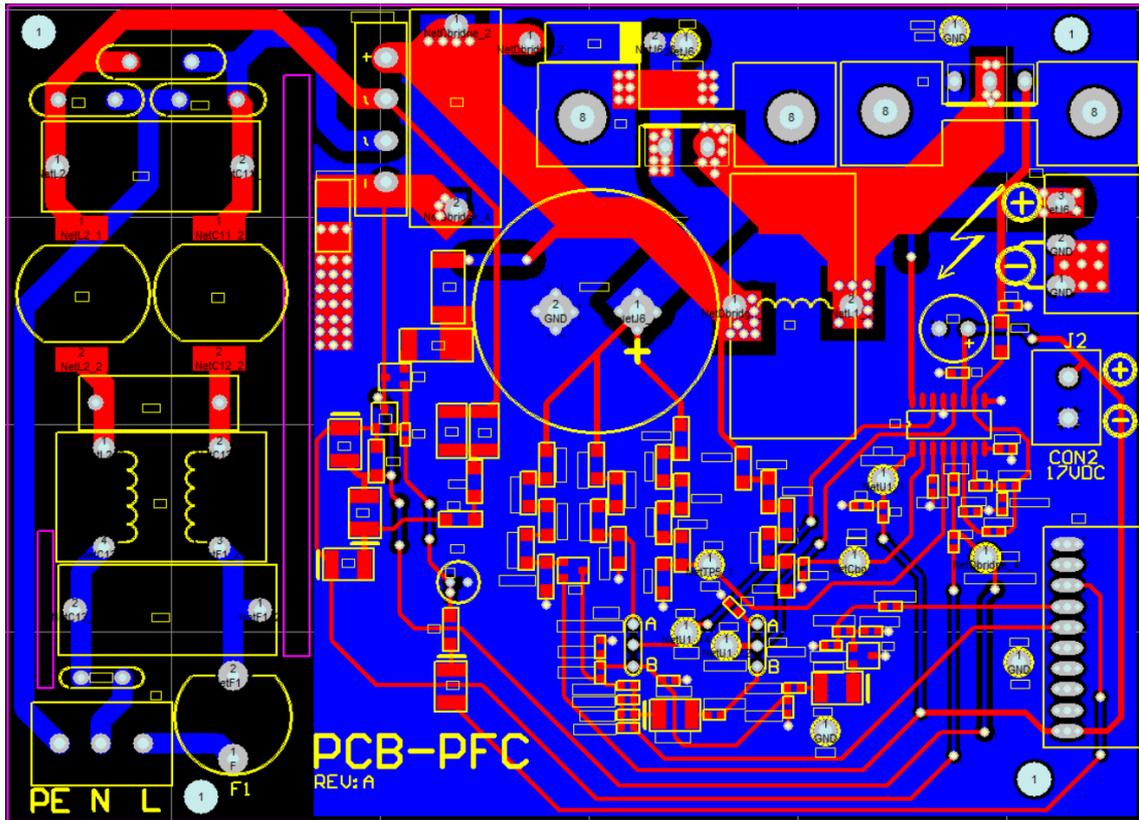


Figura 59 - Desenho da PCB PFC

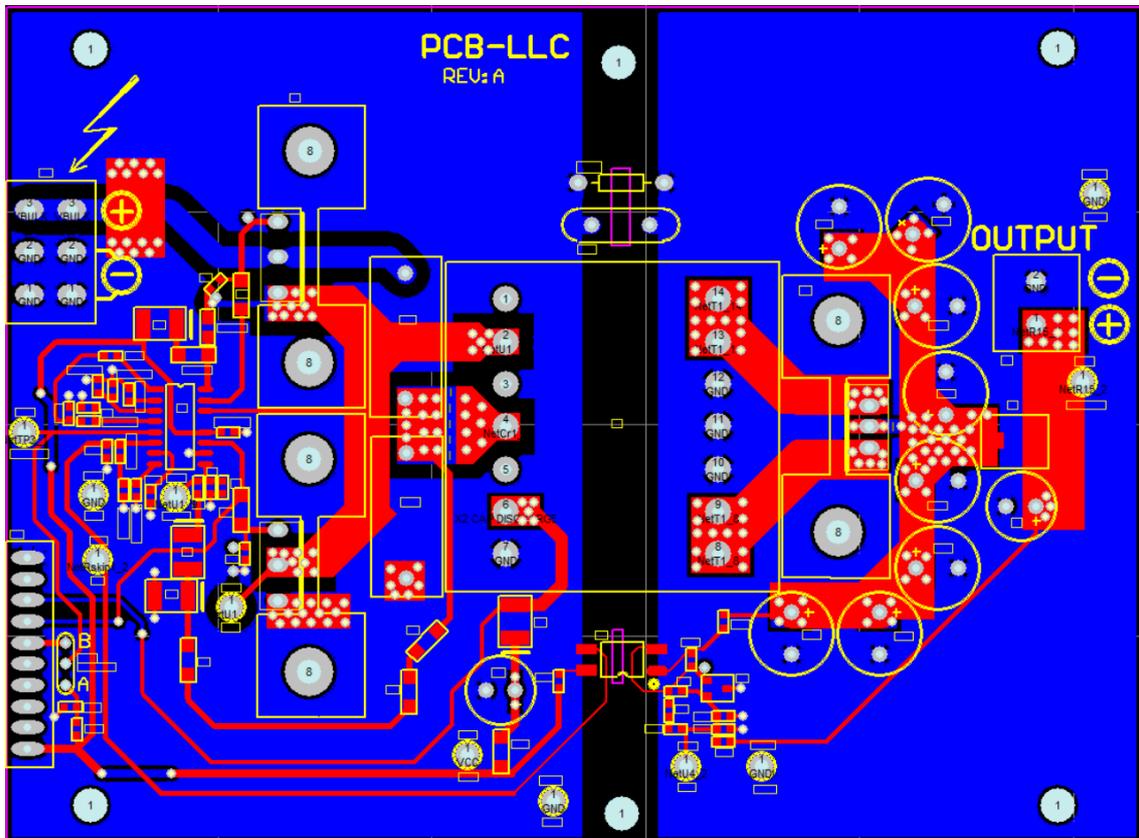


Figura 60 - Desenho da PCB LLC

Capítulo 7

Resultados

7.1 - Introdução

Neste capítulo serão apresentados os resultados obtidos neste projeto.

Será realizada uma análise a esses resultados com a ajuda de gráficos e tabelas, onde serão descritas as principais dificuldades encontradas, as alterações efetuadas tal como a razão para tais alterações.

No final deste capítulo serão descritas possíveis melhorias que poderiam ser aplicadas neste projeto.

A fase de testes foi conduzida da seguinte forma: foram realizados testes individuais a cada uma das PCB's e posteriormente realizados testes ao conjunto das PCB's interligadas.

Na implementação da fonte de alimentação comutada foram surgindo alguns problemas, e à medida que eram descobertos, foram corrigidos. Estes problemas serão relatados no próximo subcapítulo.

7.2 - Dificuldades no decurso da fase de teste

Posteriormente à fase de montagem da fonte de alimentação iniciou-se a fase de teste desta. Surgiram vários problemas no funcionamento que serão reportados nesta secção, bem como a solução encontrada.

A descrição destes problemas será dividida em duas partes: primeiramente serão descritos os problemas na PCB PFC e, posteriormente, pela PCB LLC.

Na PCB PFC foi logo desde o início verificado que no esquemático equivalente existia a falta de uma massa na malha do PFCok. Esta foi corrigida com uma ligação via cabo entre a zona em questão e o ponto de massa mais próximo.

Foi também verificado que o transistor pertencente ao circuito de descarga dos condensadores X-cap teria sido colocado (na montagem) de forma incorreta e para tal a montagem deste teve que ser corrigida.

Notou-se que a bobine escolhida inicialmente para o PFC, com núcleo toroidal, não era a apropriada para esta funcionalidade visto aquecer demasiado durante o funcionamento normal do PFC, tendo sido trocada por uma bobine apropriada para o funcionamento do PFC com núcleo em ferrite. Neste caso, a nova bobine tinha dimensões maiores que a escolhida inicialmente, pelo que não foi colocada do modo definido, mas sim de modo e no local-possível de ser colocada.

Detetaram-se também algumas irregularidades na malha de *feedback* do PFC pela existência de algum ruído nesta malha. Por tal, foi colocado um condensador em paralelo de 470 pF com a resistência ligada à massa nesta malha, neste caso a Rfb2, por forma a estabilizar a tensão no pino de *feedback* e ser regulada de modo mais eficiente.

Quanto à PCB LLC, esta começou logo por não funcionar pois a resistência associada à malha de *bootstrap* estava constantemente a queimar. Percebeu-se, então, que o problema estaria no diodo que antecede a tal resistência. O problema seria que, ao diodo colocado inicialmente na PCB LLC, estaria associado um tempo de recuperação demasiado lento para o funcionamento da malha *bootstrap* e, por tal, este foi trocado por um diodo com o tempo de recuperação inferior, neste caso um *ultrafast*, garantindo que a PCB LLC teria o funcionamento pretendido.

Na parte associada ao lado secundário foi detetado um aquecimento maior que o esperado, o que se podia refletir em demasiadas perdas. Como resolução, os díodos de retificação no secundário foram trocados por outros que, para o mesmo nível de corrente, têm uma queda de tensão inferior (díodos Schottky), o que se traduz em menores perdas associadas. Também no secundário o banco de condensadores foi trocado para obter um melhor *ripple*. Os condensadores foram trocados por outros com uma resistência equivalente série (ESR) inferior para atingir tal efeito.

Foi verificado que a PCB LLC não estava a regular a tensão para o valor pretendido, pois à medida que a potência aumentava a tensão de saída diminuía. Este problema foi solucionado pois, foi detetada uma falha na montagem do opto acoplador, sendo que depois de retificada, foi possível regular a tensão de saída.

Foi detetado que a PCB LLC não aguentava com grandes variações de carga, sendo que foi detetado um erro na montagem da PCB, onde no valor do condensador Ctimer, que deveria ser igual a 6,8 μF , teria sido colocado um condensador com 6,8 nF. Por este motivo, os tempos de deteção e recuperação de uma falha eram demasiados pequenos, o que fazia com que na presença de picos de corrente o integrado do LLC se desligasse. Como resolução deste problema foi colocado o valor projetado igual a 6,8 μF .

7.3 - Resultados do PFC

Neste subcapítulo, são apresentados os resultados relativos ao funcionamento exclusivo da PCB PFC. São apresentados os resultados obtidos referentes à potência de entrada como de saída, de modo, a ser possível avaliar a eficiência do PFC para diferentes níveis de potência. Posteriormente são apresentados gráficos relativos ao arranque desta PCB, ao fator de potência, como também, do *ripple* na saída.

A fotografia da PCB PFC está apresentada na figura 61.

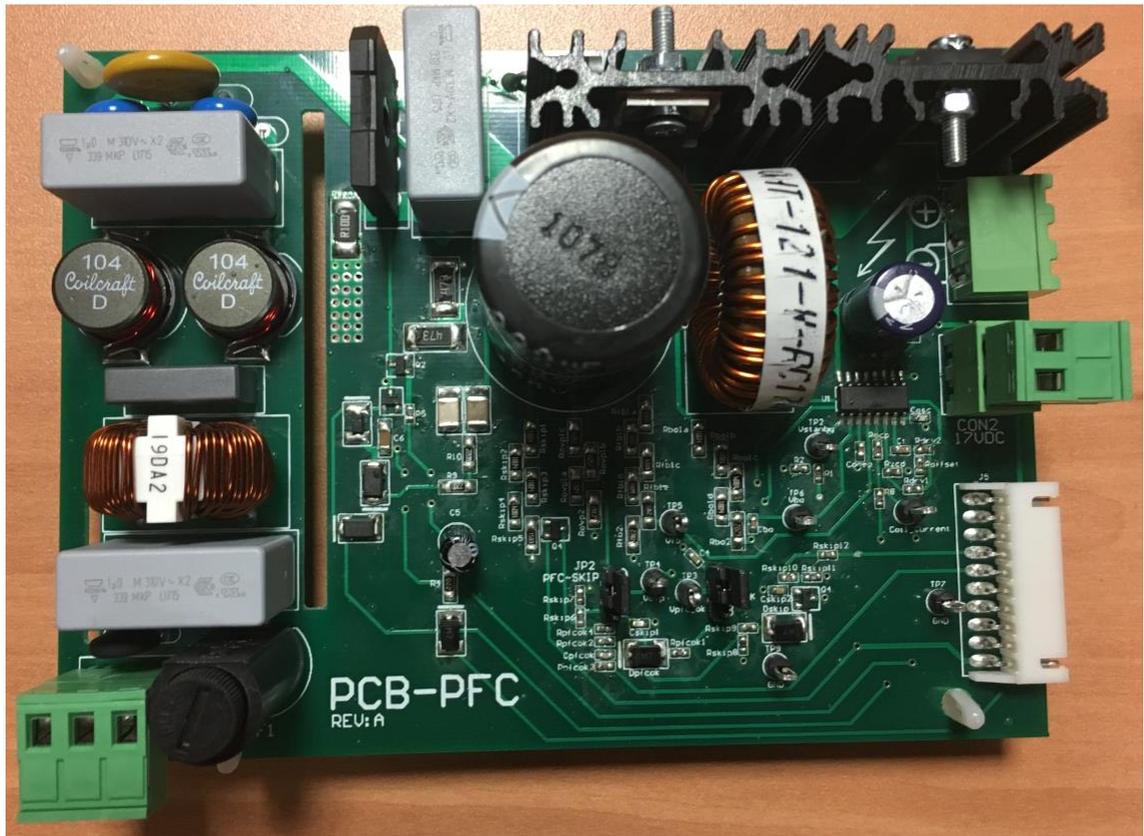


Figura 61 - Fotografia da PCB PFC

Para a realização dos testes na PCB PFC, esta, foi alimentada por um transformador externo para converter a tensão da rede elétrica na tensão pretendida. Foram utilizadas diferentes conjugações de resistências para obter diferentes cargas e, conseqüentemente, obter as potências pretendidas para os testes. Foram também colocados dois multímetros, na entrada e na saída, em série com a alimentação da PCB PFC e com a saída para obter os valores de corrente. Foi usado outro multímetro para obter as tensões referentes a essas correntes. Foi utilizado um osciloscópio para obter as formas de onda pretendidas.

Caracterização dos instrumentos de medição:

- Multímetro para medição de corrente de entrada AC
Fluke 179 True RMS Digital Multimeter

- Restantes multímetros
TENMA 72-2605 Full Function Handheld Digital Multimeter, 4000 Count, Auto, Manual Range, 3.75 Digit
- Osciloscópio
HAMEG Combiscope HM 1508 Digital and Analog

Para o cálculo da eficiência foram obtidos os valores referentes à potência de entrada e saída através das tensões e correntes associadas.

De seguida, serão apresentados os resultados relativos à eficiência da PCB PFC tendo como entrada valores próximos de 120 V alternados e 220 V alternados.

- 120 VAC:

Teste	0 W	40 W	80 W	120 W	160 W	200 W	240 W
Vin - V	120	117	119	115,5	116	117	115
Iin - A	0,013	0,371	0,715	1,109	1,458	1,782	2,220
Pin - W	1,56	43,41	85,08	128,09	169,13	208,49	255,30
Vout - V	415	394	394,1	394,3	394,5	394,4	393,9
Iout - mA	-	102	204	301	404	501	0,59
Pout - W	-	40,19	80,39	118,68	159,59	197,59	232,40
η - %	-	92,6	94,5	92,6	94,2	94,7	91,0

Tabela 6 - Resultados obtidos do teste PCB PFC para 120 VAC

Na figura 62 é apresentado um gráfico ilustrativo da evolução da eficiência em relação ao aumento da potência.

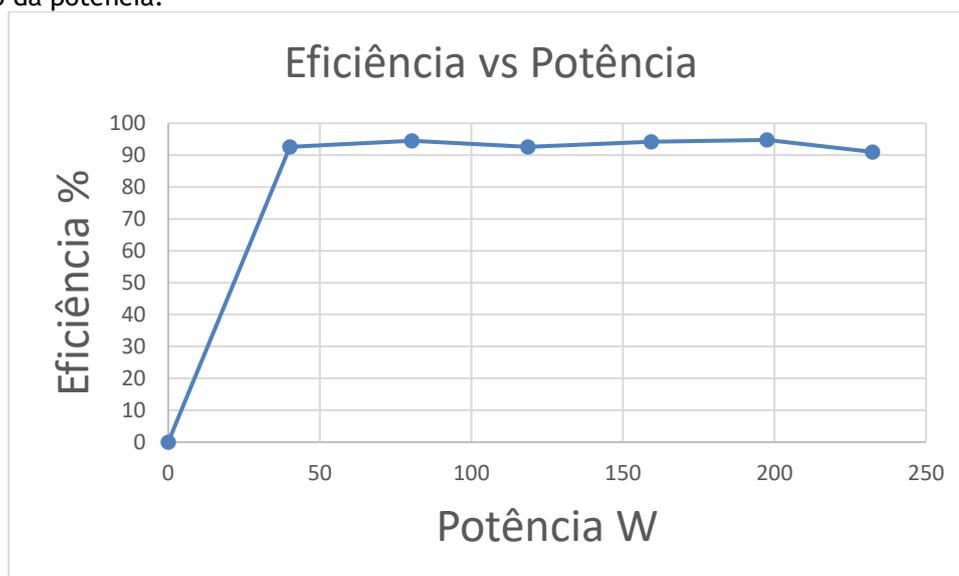


Figura 62 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC para 120 VAC

- 220 Vac

Teste	0 W	40 W	80 W	120 W	160 W	200 W	240 W
Vin - V	225	223	217	214	218	216	220
Iin - A	0,022	0,201	0,395	0,583	0,770	0,975	1,130
Pin - W	4,95	44,82	85,72	124,76	167,86	210,60	248,60
Vout - V	415	394,3	394,7	395,2	395,5	395,3	395,2
Iout - mA	-	102	205	303	405	500	592
Pout - W	-	40,22	80,91	119,74	160,18	197,65	233,96
η - %	-	89,7	94,4	95,9	95,4	93,8	94,1

Tabela 7 - Resultados obtidos do teste PCB PFC para 220 VAC

Na figura 63 é apresentado um gráfico ilustrativo da evolução da eficiência em relação ao aumento da potência.

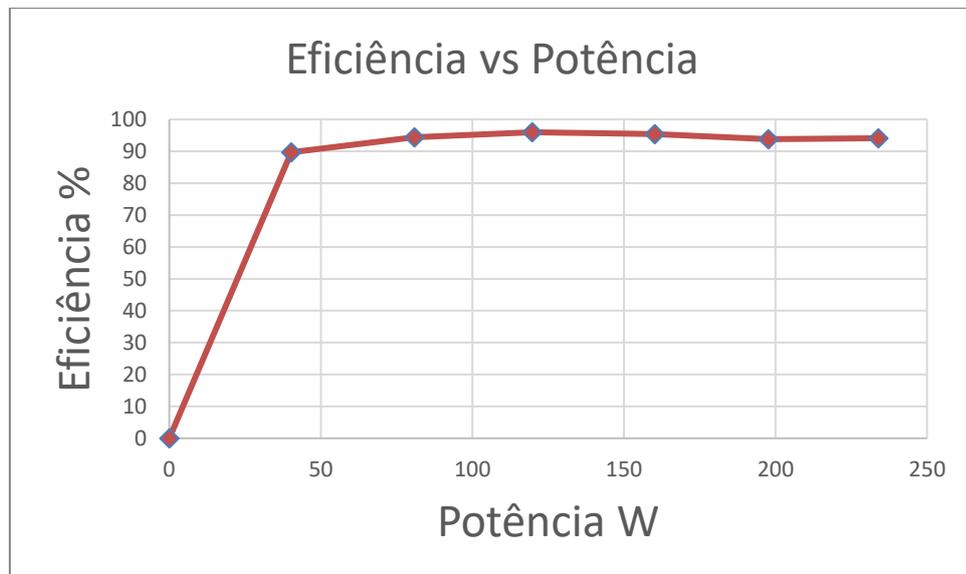


Figura 63 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC para 220 VAC

Pode-se também observar na figura 64 a comparação das eficiências para as diferentes tensões de entrada analisadas.

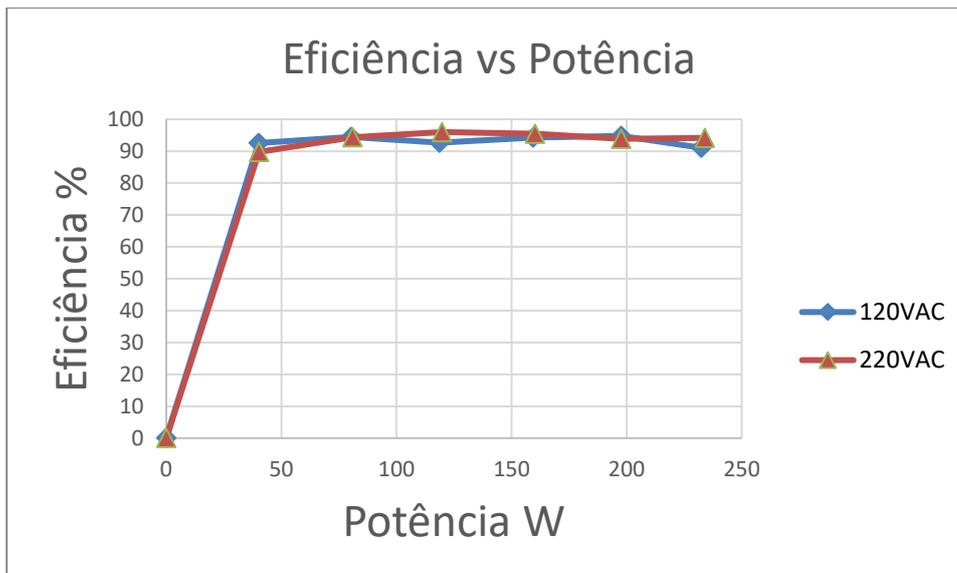


Figura 64 - Comparação da evolução da eficiência em relação ao aumento da potência entre os testes da PCB PFC para 120 VAC e 220 VAC

Pode-se verificar que as eficiências são bastante parecidas e que com a entrada a 120 VAC a eficiência estabiliza mais rápido do que com a entrada a 220 VAC.

Na figura 65, observa-se a tensão de entrada CH1 e a corrente na entrada CH2 de modo a ser possível verificar que ambas estão em fase.

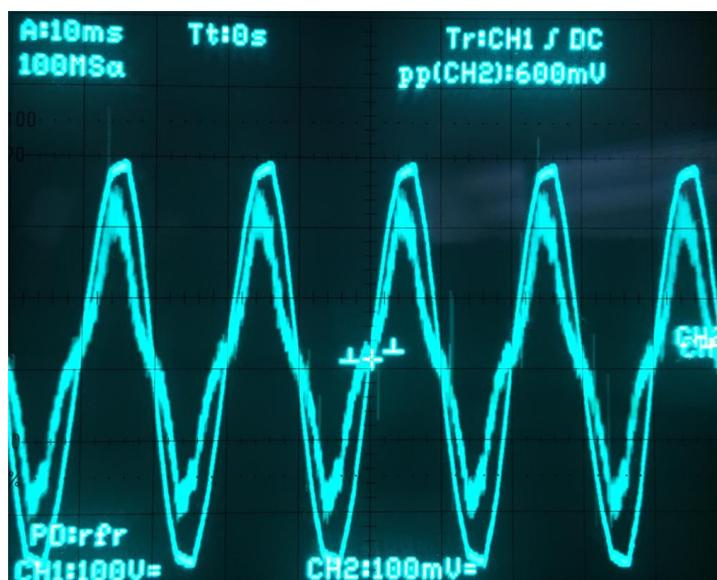


Figura 65 - Formas de onda da tensão e da corrente em fase

Nas figuras 66 e 67 será apresentada a demonstração do comportamento da tensão de saída no arranque da PCB PFC para as diferentes tensões de alimentação analisadas.

- 120 VAC

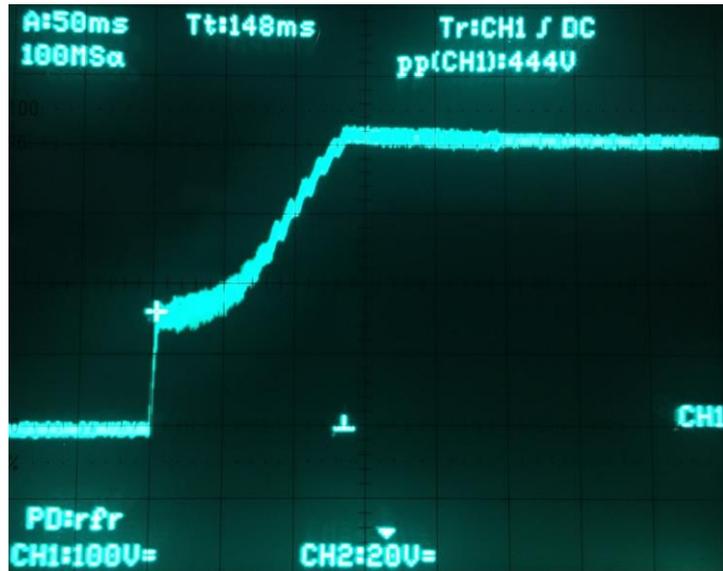


Figura 66 - Comportamento da tensão de saída no arranque da PCB PFC para 120 VAC

- 220 VAC

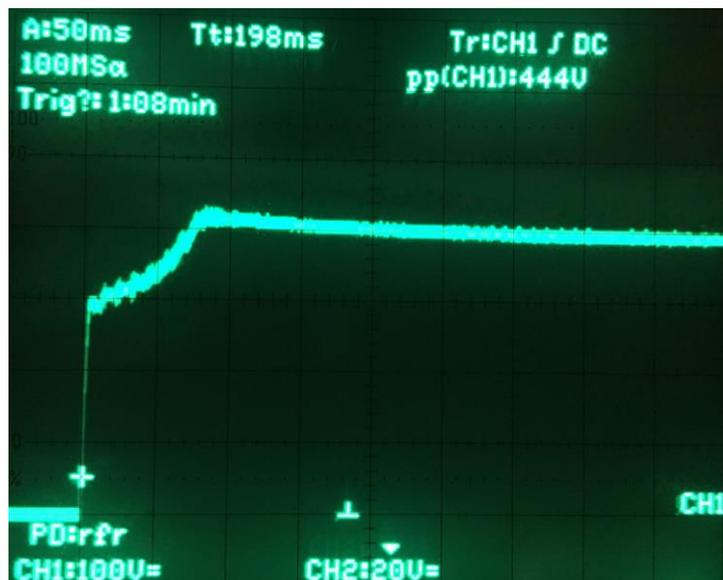


Figura 67 - Comportamento da tensão de saída no arranque da PCB PFC para 220 VAC

Após a análise das figuras 66 e 67 pode-se verificar que o tempo até estabilizar a tensão de saída é maior no caso do arranque a 120 VAC pois a tensão, neste caso, tem de se elevar mais do que no caso do arranque a 220 VAC.

De seguida será apresentado o *ripple* na saída na figura 68.



Figura 68 - Ripple na saída da PCB PFC

O *ripple* associado ao PFC foi projetado para o seu valor máximo corresponder 5 % da tensão de saída, neste caso 19,75 V. Analisando a figura 68, pode-se verificar que o *ripple* na saída da PCB PFC corresponde a 10 V pico a pico que está dentro do limite imposto na fase de projeto.

7.4 - Resultados do LLC

Neste subcapítulo são apresentados os resultados para o teste exclusivo da PCB LLC, com a ajuda de um transformador linear, uma ponte retificadora e um condensador com o objetivo de obter uma tensão contínua relativamente perto dos 400 V.

Na figura 69 pode ser visualizada a fotografia da PCB LLC.

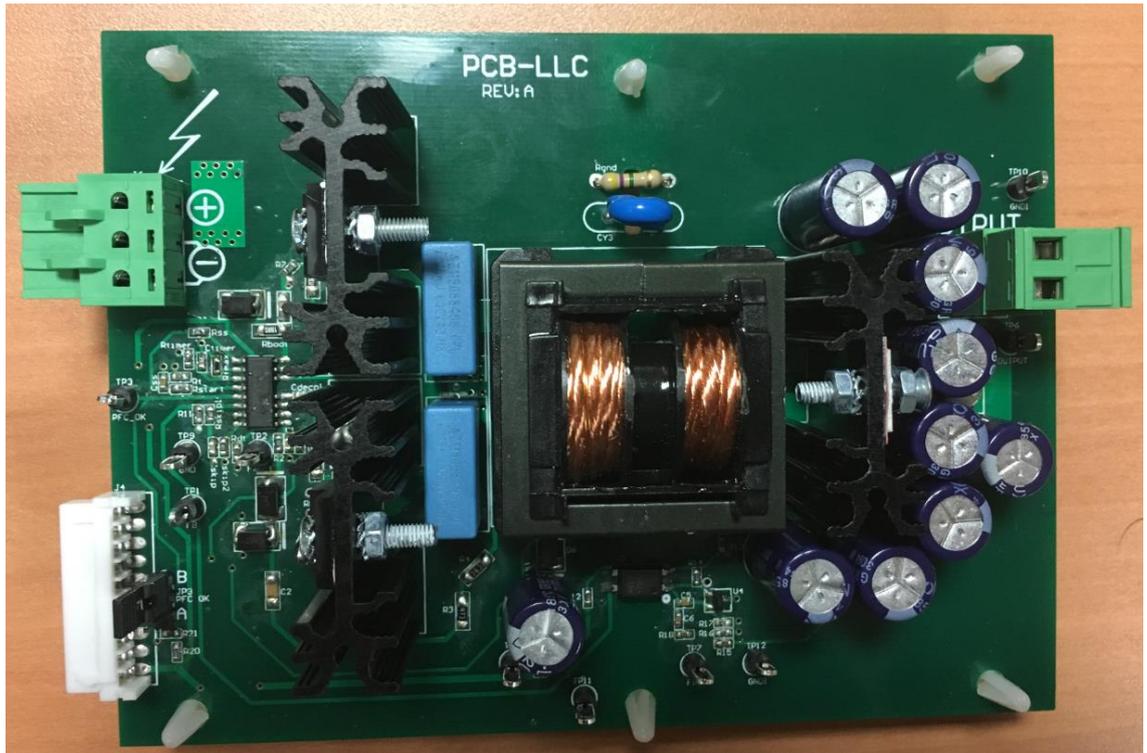


Figura 69 -Fotografia da PCB LLC

Nas tabelas 8 e 9 são apresentados os valores de tensão, corrente e potência associados à entrada e saída, bem como a eficiência resultante para diferentes níveis de potência.

Para obter os resultados a seguir apresentados, foi utilizado o método constante no ponto 7.3 referente ao modo como os resultados do PFC foram obtidos.

Teste	0 W	15 W	30 W	45 W	60 W	75 W	90 W
Vin - V	406	401	400	402	402	401	400
Iin - mA	0,42	47,1	86	126	164,5	204	244
Pin - W	0,17	18,8	34,4	50,6	66,1	81,8	97,6
Vout - V	-	23,94	23,94	23,94	23,94	23,94	23,94
Iout - A	-	0,638	1,278	1,93	2,56	3,2	3,84
Pout - W	-	15,2	30,5	46,2	61,2	76,6	91,9
η - %	-	80,8	88,9	91,2	92,7	93,6	94,2

Tabela 8 - Resultados obtidos do teste PCB LLC (Parte 1)

Teste	105 W	120 W	135 W	150 W	165 W	180 W	195 W	210 W
Vin - V	398	397	395	395	395	394	390	391
Iin - mA	285	326	367	408	448	489	535	573
Pin - W	113,4	129,4	144,9	161,2	176,9	192,7	208,6	224
Vout - V	23,94	23,94	23,94	23,94	23,94	23,94	23,94	23,94
Iout - A	4,46	5,1	5,73	6,36	6,97	7,6	8,22	8,83
Pout - W	106,8	122,1	137,2	152,2	166,8	181,9	196,8	211,4
η - %	94,2	94,3	94,6	94,4	94,3	94,4	94,3	94,3

Tabela 9 - Resultados obtidos do teste PCB LLC (Parte 2)

Na figura 70 é apresentado um gráfico ilustrativo da evolução da eficiência em relação ao aumento da potência.

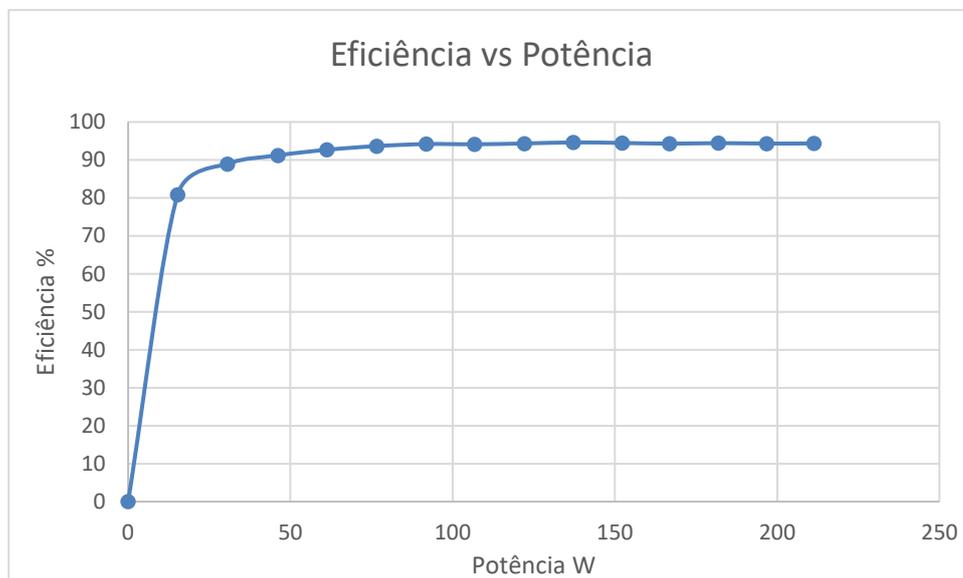


Figura 70 - Evolução da eficiência em relação ao aumento da potência no teste da PCB LLC

De seguida podem ser visualizados os gráficos referentes ao *ripple* no funcionamento sem carga e com carga total.

- Sem carga



Figura 71 - *Ripple* na saída da PCB LLC sem carga

- Com carga total

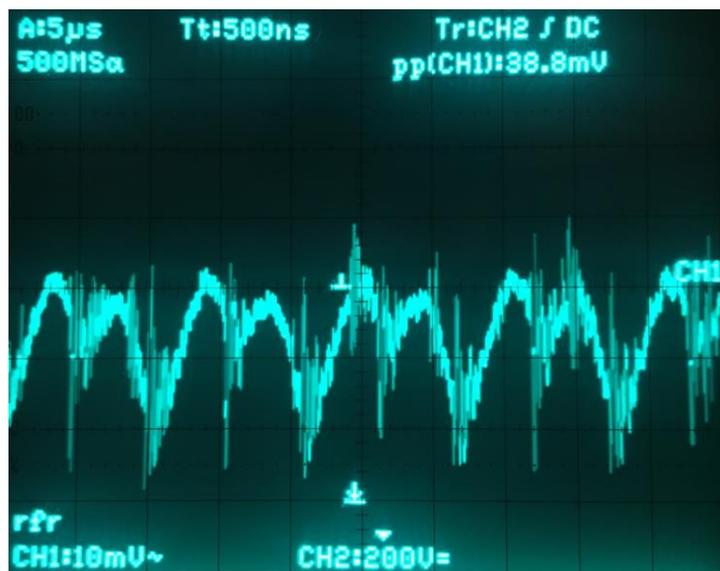


Figura 72 - *Ripple* na saída da PCB LLC com carga total

Na fase de projeto do andar de LLC, foi verificado que o *ripple* associado a este era composto por duas componentes, que somadas resultam em 862,14 mV. A partir da análise das figuras 71 e 72, pode-se verificar que o *ripple* na PCB LLC varia entre 10 e 40 mV, sendo que se encontra dentro do limite imposto.

De seguida podemos visualizar na figura 73 a tensão nas *gates* dos dois *MOSFETS*.



Figura 73 - Formas de onda nas *gates* dos MOSFETS

O *dead-time* associado a estas comutações pode ser conferido na seguinte figura:

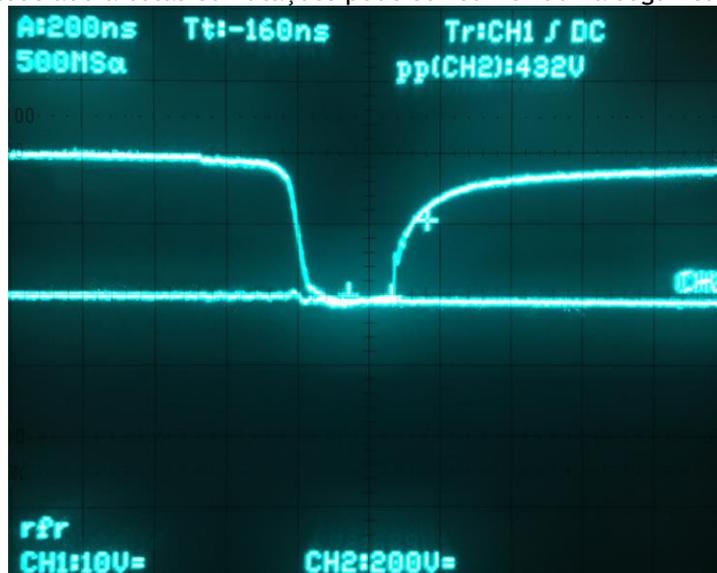


Figura 74 - *Dead-time* imposto

Pode-se verificar que o *dead-time* presente na figura 74 é de aproximadamente 300 ns que é um valor próximo do projetado, neste caso 350 ns.

7.5 - Resultados da fonte projetada PFC+LLC

Neste subcapítulo são apresentados os resultados obtidos para o funcionamento da fonte de alimentação projetada, isto é, com as duas PCB juntas.

Este subcapítulo está dividido em 4 partes. Na primeira, é realizada uma análise geral do funcionamento da fonte de alimentação e, posteriormente, nas seguintes são analisados os comportamentos da fonte para baixa carga, média carga e carga total, respetivamente.

Na figura 75 pode ser visualizada a fotografia da fonte de alimentação projetada.



Figura 75 - Fotografia da fonte de alimentação projetada

A realização dos testes da fonte de alimentação comutada, foram realizados de igual modo aos realizados na PCB PFC tal como os métodos de medição.

Foram medidas três correntes para uma análise mais profunda do comportamento da fonte comutada das quais a corrente inversa no PFC, a corrente da malha ressonante e a corrente nos díodos do lado secundário. Para a medição destas correntes foram medidas as quedas de tensão em resistências, onde no caso da corrente inversa no PFC, esta foi medida através da queda de tensão na resistência R_{sense} , no caso da corrente da malha ressonante, esta foi medida através da colocação de uma resistência com $0,1\Omega$ em série com a malha ressonante e a partir dessa resistência foi analisada a queda de tensão associada e no caso da corrente nos díodos do lado secundário foi colocada uma resistência em série com este com o valor igual a $0,02\Omega$ e analisada a queda de tensão nesta.

7.5.1 - Geral

De seguida, serão apresentados os resultados relativos à eficiência da fonte de alimentação comutada tendo como entrada valores próximos de 120 V alternados e 220 V alternados.

- 120 VAC

Teste	0 W	15 W	30 W	45 W	60 W	75 W	90 W
Vin - V	118	120	120	118	118	119	118
Iin - A	0,015	0,173	0,315	0,462	0,601	0,724	0,865
Pin - W	1,79	20,76	37,80	54,52	70,92	86,12	102,07
Vbulk - V	415	393,7	393,8	394	394	394	394
Vout - V	-	23,96	23,96	23,96	23,96	23,95	23,95
Iout - A	-	0,639	1,282	1,935	2,571	3,200	3,823
Pout - W	-	15,31	30,72	46,36	61,60	76,64	91,56
η - %	-	73,7	81,3	85,1	86,9	88,9	89,7

Tabela 10 - Resultados obtidos do teste PCB PFC+LLC para 120 VAC (Parte 1)

Teste	105 W	120 W	135 W	150 W	165 W	180 W	195 W	210 W
Vin - V	119	120	120	120	119	119	120	116
Iin - A	1,002	1,145	1,297	1,420	1,555	1,697	1,850	2,040
Pin - W	119,24	137,40	155,64	170,40	185,04	201,94	222,00	236,64
Vbulk - V	393,8	394,2	394,1	393,9	393,8	393,7	393,7	393,6
Vout - V	23,95	23,95	23,95	23,95	23,95	23,94	23,94	23,94
Iout - A	4,440	5,070	5,700	6,340	6,960	7,590	8,210	8,810
Pout - W	106,34	121,43	136,52	151,84	166,69	181,70	196,55	210,91
η - %	89,2	88,4	87,7	89,1	90,1	89,9	88,5	89,1

Tabela 11 - Resultados obtidos do teste PCB PFC+LLC para 120 VAC (Parte 2)

Na figura 76 é apresentado um gráfico ilustrativo da evolução da eficiência em relação ao aumento da potência.

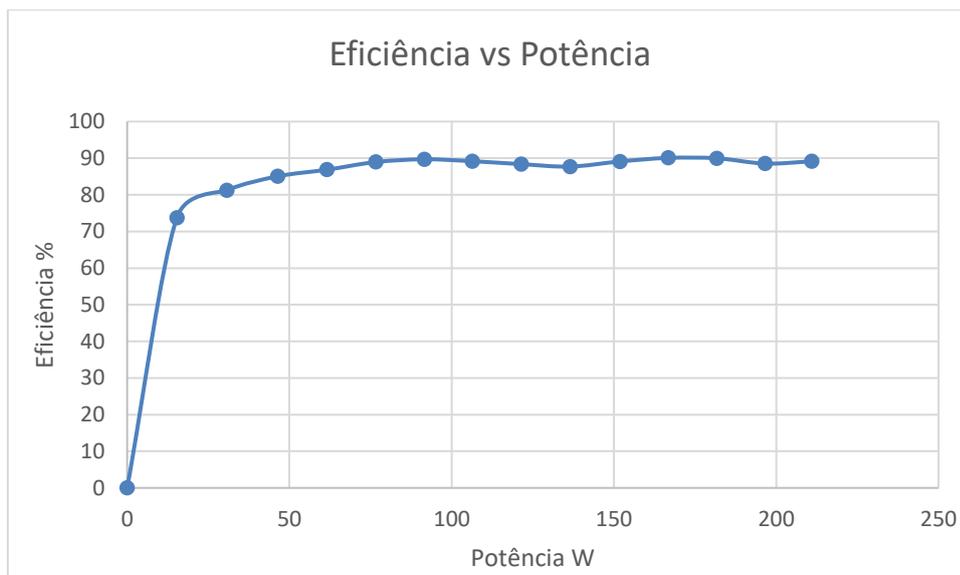


Figura 76 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC+LLC para 120 VAC

- 220 VAC

Teste	0 W	15 W	30 W	45 W	60 W	75 W	90 W
Vin - V	220	217	217	217	221	221	222
Iin - mA	22,7	109	183	257	323	395	466
Pin - W	4,99	23,65	39,71	55,77	71,38	87,29	103,45
Vbulk - V	415	393,8	394	394	394,2	394,2	394,4
Vout - V	-	23,95	23,95	23,95	23,95	23,95	23,96
Iout - A	-	0,638	1,291	1,931	2,568	3,194	3,819
Pout - W	-	15,28	30,92	46,25	61,50	76,49	91,50
η - %	-	64,6	77,9	82,9	86,2	87,63	88,4

Tabela 12 - Resultados obtidos do teste PCB PFC+LLC para 220 VAC (Parte 1)

Teste	105 W	120 W	135 W	150 W	165 W	180 W	195 W	210 W
Vin - V	221	216	218	220	220	222	219	220
Iin - mA	539	622	694	766	835	905	989	1059
Pin - W	119,12	134,35	151,29	168,52	183,70	200,91	216,59	232,98
Vbulk - V	394,3	394,3	394,4	394,4	394,4	394,4	394,4	394,4
Vout - V	23,96	23,96	23,96	23,96	23,96	23,96	23,96	23,96
Iout - A	4,440	5,070	5,710	6,330	6,960	7,580	8,210	8,820
Pout - W	106,38	121,48	136,81	151,67	166,76	181,62	196,71	211,33
η - %	89,3	90,4	90,4	89,9	90,8	90,4	90,8	90,7

Tabela 13 - Resultados obtidos do teste PCB PFC+LLC para 220 VAC (Parte 2)

Na figura 77 é apresentado um gráfico ilustrativo da evolução da eficiência em relação ao aumento da potência.

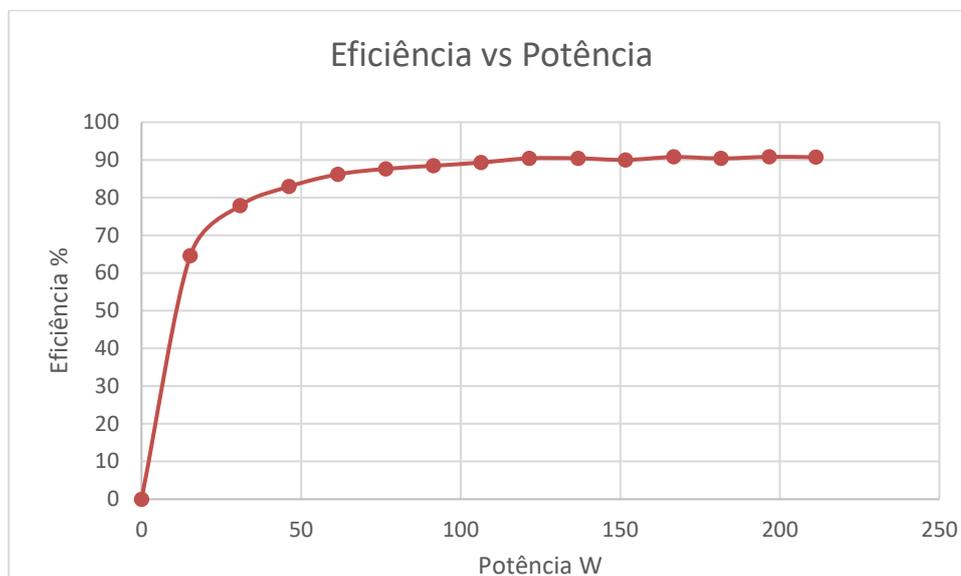


Figura 77 - Evolução da eficiência em relação ao aumento da potência no teste da PCB PFC+LLC para 220 VAC

Pode-se também observar na figura 78 a comparação das eficiências para as diferentes tensões de entrada analisadas.

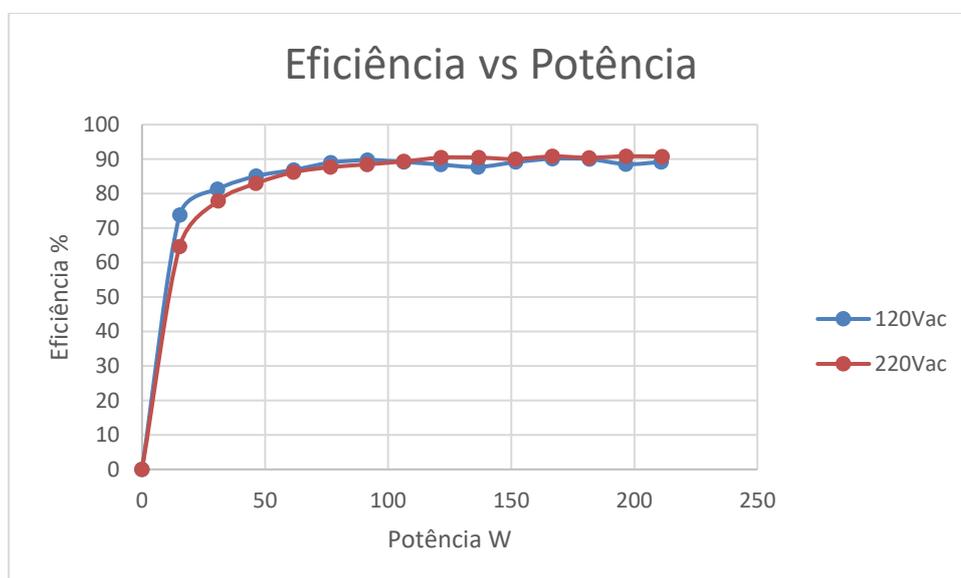


Figura 78 - Comparação da evolução da eficiência em relação ao aumento da potência entre os testes da PCB PFC+LLC para 120 VAC e 220 VAC

Pode-se observar que a eficiência no caso do teste com entrada a 120 VAC, estabiliza mais rápido do que a eficiência do teste com entrada a 220 VAC, porém os valores após a estabilização do teste com a entrada a 220 VAC são mais elevados do que com a entrada a 120 VAC.

De seguida na figura 79 pode-se observar a tensão num dos condensadores ressonantes durante o funcionamento da fonte de alimentação comutada.

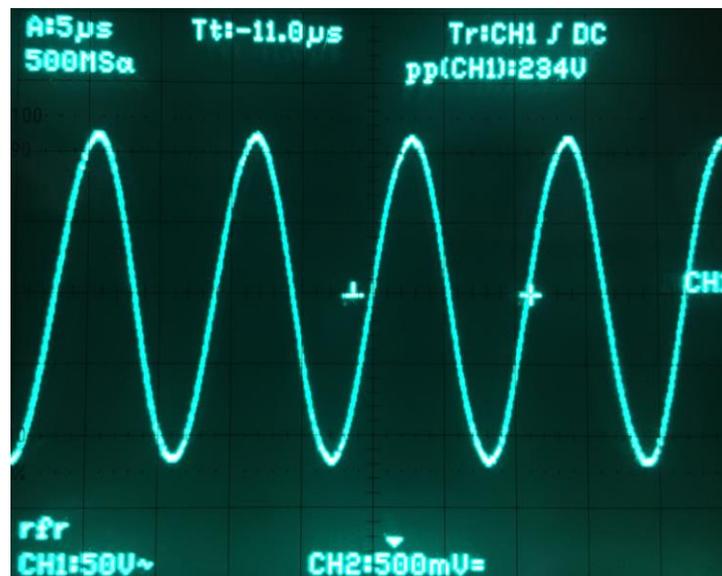


Figura 79 - Tensão num condensador ressonante

A tensão na saída da fonte comutada no arranque pode ser observado nas figuras 80 e 81 para as diferentes tensões de entrada.

- 120 VAC

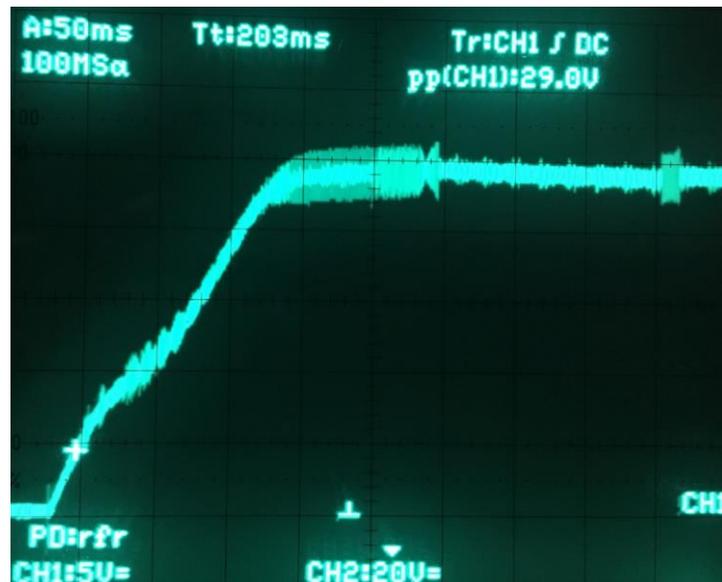


Figura 80 - Tensão na saída da fonte comutada no arranque com 120 VAC de entrada

- 220 VAC

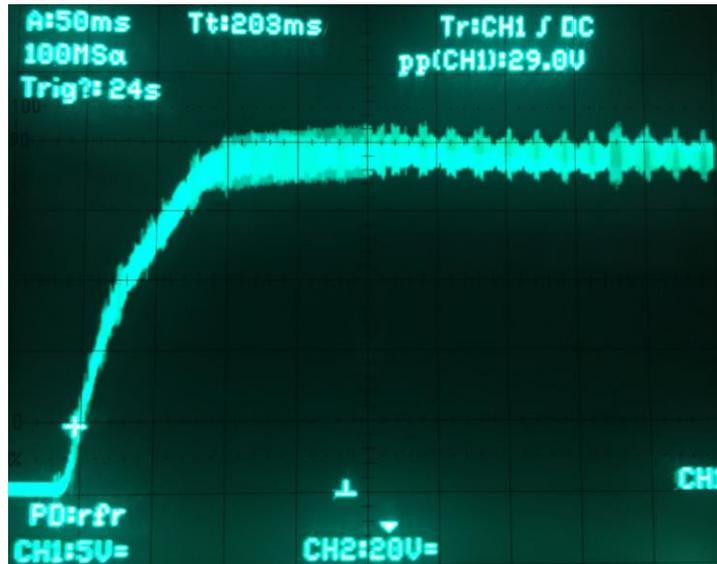


Figura 81 - Tensão na saída da fonte comutada no arranque com 220 VAC de entrada

Tal como no caso da análise do arranque do PFC, o arranque da fonte comutada PFC+LLC é mais rápido quando este foi testado com entrada a 220 VAC do que com entrada a 120 VAC, pois como no teste com entrada a 220 VAC o PFC é mais rápido a estabilizar a tensão que irá fornecer para o andar LLC, a saída neste também estabilizará mais rápido.

7.5.2 - Funcionamento a baixa carga

Neste ponto, são apresentados os gráficos ilustrativos do funcionamento da fonte de alimentação comutada a baixa carga (5W).

Nas figuras 82 e 83 pode ser visualizada a corrente inversa na bobine do PFC para diferentes tensões de entrada.

- 120 VAC



Figura 82 - Corrente inversa na bobine do PFC para 120 VAC em baixa carga

- 220 VAC

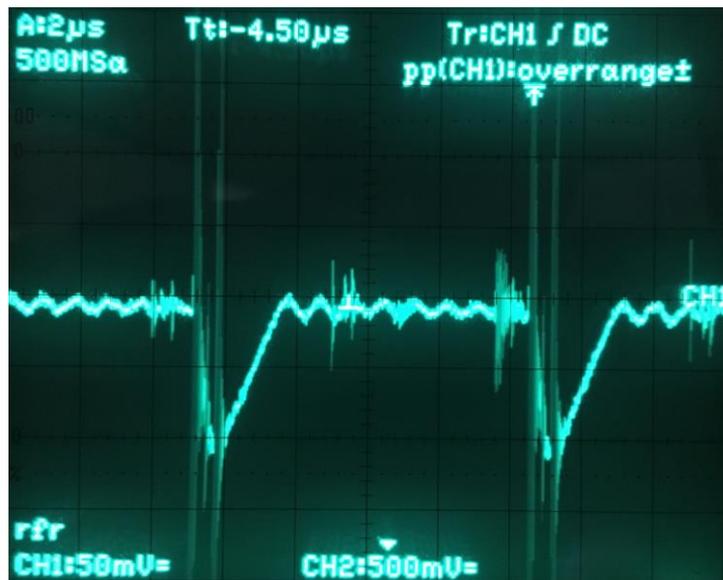


Figura 83 - Corrente inversa na bobine do PFC para 220 VAC em baixa carga

Pode-se verificar que no funcionamento a baixa carga a corrente máxima ocorre com a entrada a 120 VAC e com valor de pico igual a 1,5 A.

Na figura 84 pode ser visualizada a corrente i_L que flui pela malha ressonante.

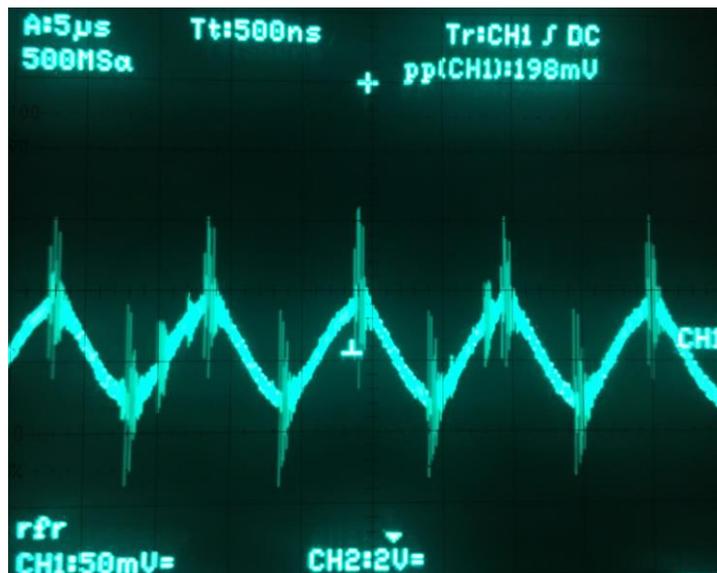


Figura 84 - Corrente na malha ressonante em baixa carga

De seguida pode-se observar a corrente que flui pelos díodos de retificação no lado secundário do transformador.

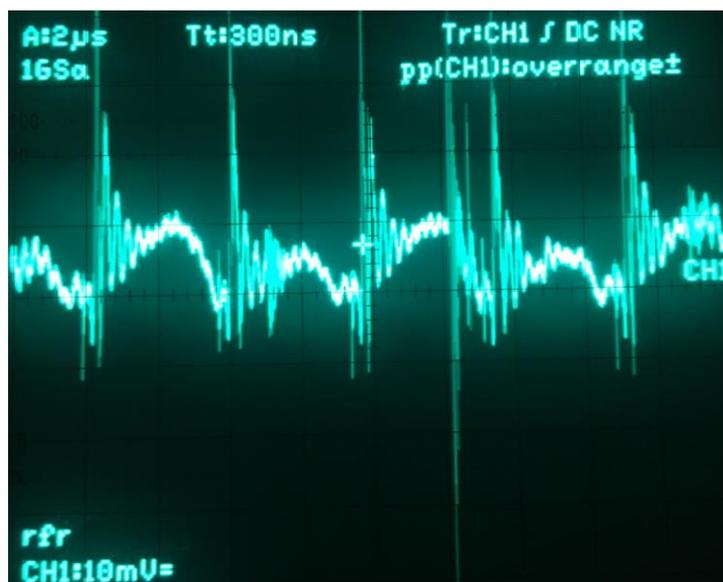


Figura 85 - Corrente nos díodos do secundário em baixa carga

Verifica-se que a análise ao comportamento a baixa carga apresenta bastante ruído.

A corrente dos díodos do lado secundário apresenta 0,75 A de valor de pico.

7.5.3 - Funcionamento a meia carga

Neste ponto, são apresentadas as figuras ilustrativas do funcionamento da fonte de alimentação comutada a meia carga.

Nas figuras 86 e 87 pode ser visualizada a corrente inversa na bobine do PFC para diferentes tensões de entrada.

- 120 VAC

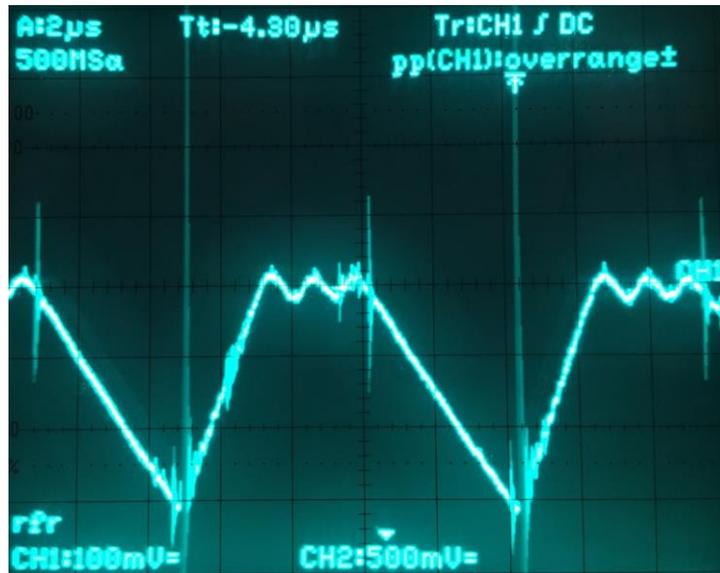


Figura 86 - Corrente inversa na bobine do PFC para 120 VAC em meia carga

- 220 Vac



Figura 87 - Corrente inversa na bobine do PFC para 220 VAC em meia carga

Pode-se verificar que no funcionamento a meia carga a corrente máxima ocorre com a entrada a 120 VAC e com valor de pico igual a 3 A.

Na figura 88 pode ser visualizada a corrente i_L que flui pela malha ressonante no CH1 e a tensão no nó HB no CH2.

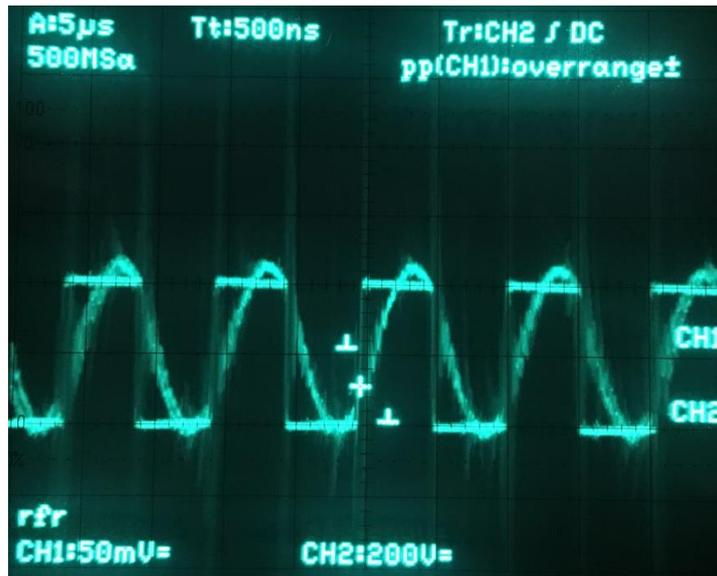


Figura 88 - Corrente na malha ressonante e tensão no nó HB em meia carga

Pode-se verificar que a corrente na malha ressonante é sinusoidal. Também pode-se verificar através da análise do comportamento da topologia LLC no capítulo 5, que a frequência de operação é maior que a frequência de ressonância, pois existe um desfasamento entre a tensão no nó HB e a corrente da malha ressonante. A frequência de operação neste caso é 100 kHz.

De seguida pode-se observar a corrente que flui pelos díodos de retificação no lado secundário do transformador.

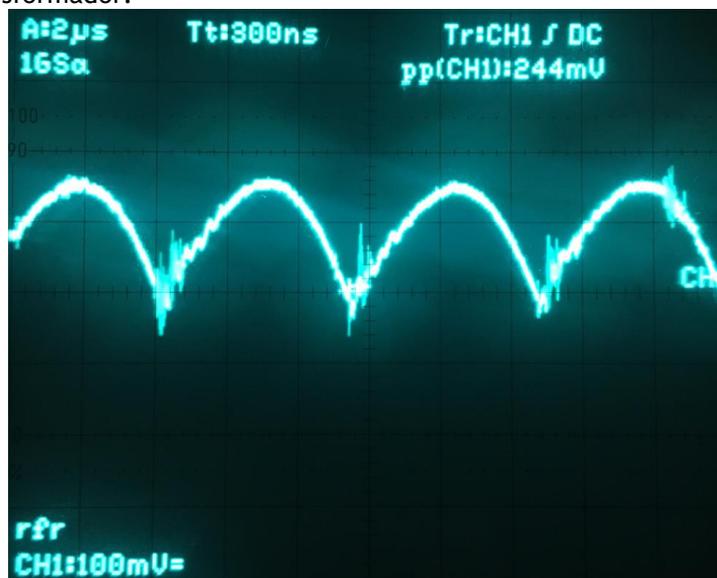


Figura 89 - Corrente nos díodos do secundário em meia carga

Pode-se verificar que a corrente dos díodos do lado secundário apresenta 7,5 A de valor de pico.

7.5.4 - Funcionamento a carga máxima

Neste ponto, são apresentadas as figuras ilustrativas do funcionamento da fonte de alimentação comutada a carga máxima.

Nas figuras 90 e 91 pode ser visualizada a corrente inversa na bobine do PFC para diferentes tensões de entrada.

- 120 VAC

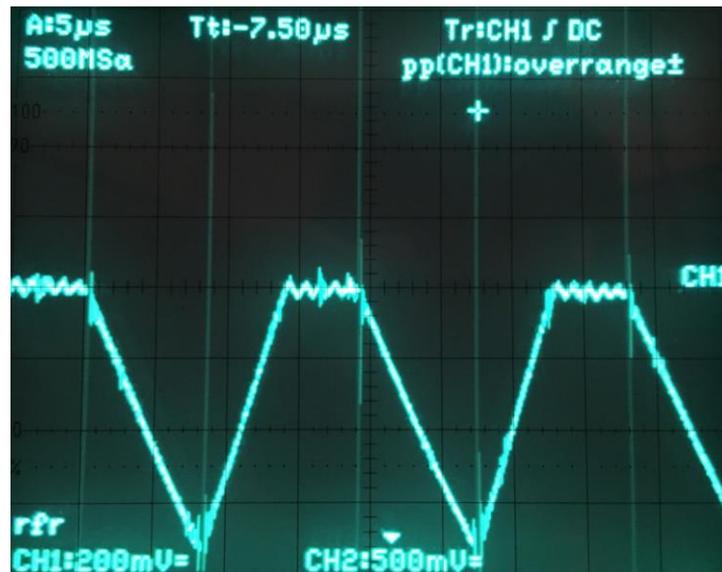


Figura 90 - Corrente inversa na bobine do PFC para 120 VAC em carga máxima

- 220 VAC

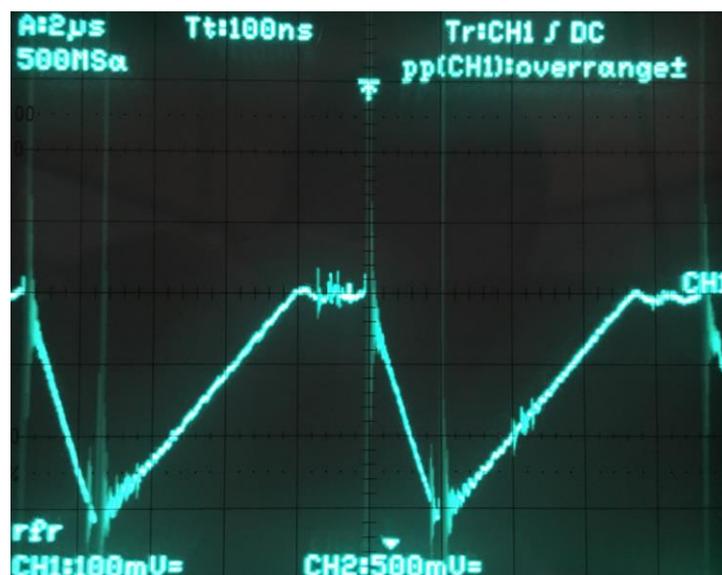


Figura 91 - Corrente inversa na bobine do PFC para 220 VAC em carga máxima

Pode-se verificar que no funcionamento a carga máxima a corrente máxima ocorre com a entrada a 120 VAC e com valor de pico igual a 7 A.

Na figura 92 pode ser visualizada a corrente i_L que flui pela malha ressonante no CH1 e a tensão no nó HB no CH2.

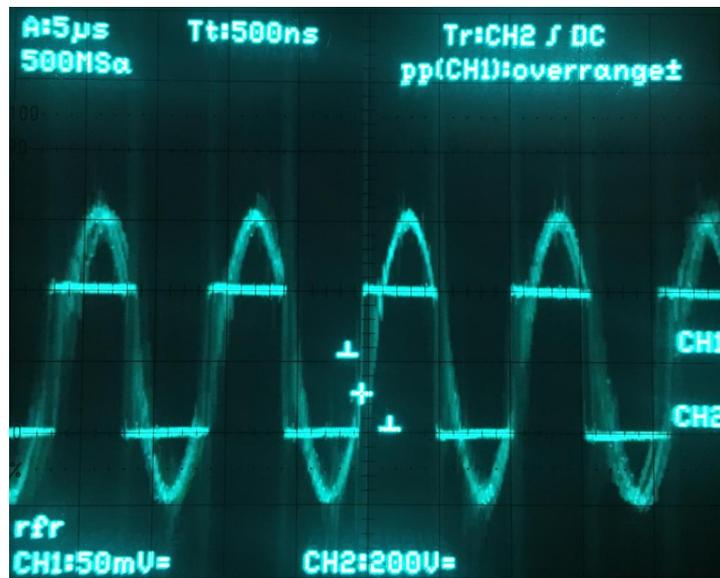


Figura 92 - Corrente na malha ressonante e tensão no nó HB em carga máxima

Pode-se verificar que a corrente na malha ressonante é sinusoidal. Como a tensão no nó HB e a corrente da malha ressonante estão praticamente em fase, pode-se concluir que a frequência de operação é próxima da frequência de ressonância. A frequência de operação neste caso é 92 kHz.

De seguida pode-se observar a corrente que flui pelos díodos de retificação no lado secundário do transformador.

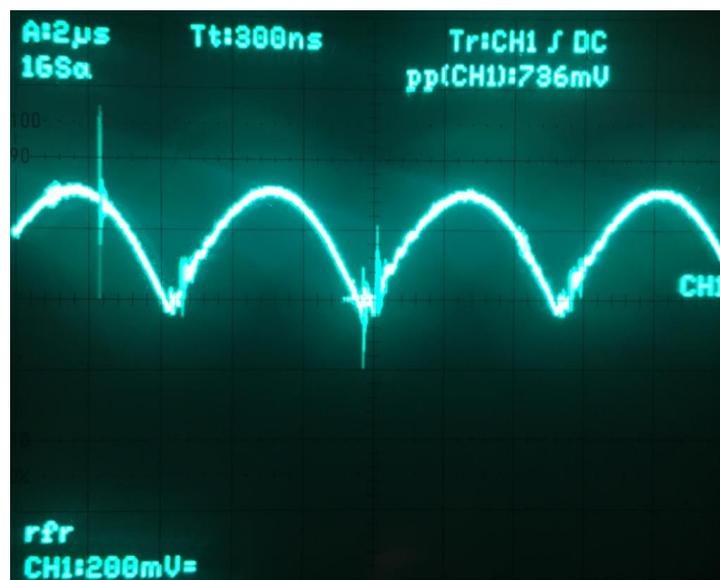


Figura 93 - Corrente nos díodos do secundário em carga máxima

Pode-se verificar que a corrente dos díodos do lado secundário apresenta 15 A de valor de pico.

7.6 - Discussão dos Resultados

Neste subcapítulo será realizada uma comparação entre os objetivos propostos pela empresa e os alcançados neste projeto, serão, igualmente, descritos os principais problemas encontrados no desenvolvimento do projeto.

Os objetivos propostos pela empresa foram: o desenvolvimento de uma fonte de alimentação comutada com potência de 200W (garantidos), com saída de 24 V DC, com uma eficiência próxima dos 90 %, com correção do fator de potência e que esteja em conformidade EMC.

Após a análise dos resultados obtidos verificou-se que foram todos cumpridos à exceção da conformidade EMC, visto não existirem recursos para análise deste parâmetro.

Pode-se perceber, através de alguns gráficos documentados neste documento, que existe bastante ruído em algumas partes do circuito, sabendo-se que este ruído deveria ser reduzido para um melhor funcionamento da fonte. Este ruído provém, essencialmente, das comutações dos *MOSFETS* e do baixo isolamento da ponta de prova do osciloscópio utilizado.

Também se verificaram perdas elevadas quando esta funcionava sem carga, ou seja, no modo *standby*. Neste caso, identificou-se a causa deste problema, o filtro EMI. Contudo, neste projeto não foi possível encontrar solução no tempo útil do seu decurso. Quanto à eficiência foram conseguidos valores bastante satisfatórios.

De seguida é realizada uma comparação entre a eficiência projetada e a obtida para diferentes níveis de potência. Será documentado pela mesma ordem que na apresentação dos resultados, isto é, primeiro do PFC, depois do LLC e, por último, a fonte de alimentação comutada PFC+LLC.

A eficiência projetada para a PCB PFC foi de 94 %, sendo que os resultados obtidos para as duas tensões de entrada analisadas são bastante próximos desse valor, como pode ser verificado na tabela 14.

	Vin VAC	40 W	80 W	120 W	160 W	200 W	240 W	Média
PFC	120	92,6	94,5	92,7	94,2	94,8	91,0	93,3
	220	89,7	94,4	96,0	95,4	93,9	94,1	93,9

Tabela 14 - Cálculo das médias das eficiências obtidas na PCB PFC

No caso da eficiência da PCB LLC, esta foi projetada de modo a ir ao encontro dos 93 %. Obteve-se uma média de resultados a rondar os 92,6 % como se pode verificar na tabela 15:

LLC	15 W	30 W	45 W	60 W	75 W	90 W	105 W
	80,9	88,9	91,2	92,7	93,6	94,2	94,1
	120 W	135 W	150 W	165 W	180 W	195 W	210 W
	94,3	94,6	94,5	94,3	94,4	94,3	94,4
	Média						
	92,6						

Tabela 15 - Cálculo das médias das eficiências obtidas na PCB LLC

A eficiência projetada para a PCB PFC foi de 94 % e para a PCB LLC foi de 93 % que no total resulta numa eficiência para a fonte de alimentação comutada igual a 87,4 %.

Os resultados para as duas tensões de entrada analisadas ficaram relativamente próximos do objetivo pretendido. Obteve-se uma média de eficiência para 120 VAC de entrada igual a 87 % e para 220 VAC igual a 86,5 %, como pode ser comprovado na tabela 16.

PFC + LLC	120 VAC						
	15 W	30 W	45 W	60 W	75 W	90 W	105 W
	73,7	81,3	85,0	86,9	89,0	89,7	89,2
	120 W	135 W	150 W	165 W	180 W	195 W	210 W
	88,4	87,7	89,1	90,1	90,0	88,5	89,1
	Média						
	87,0						
	220 VAC						
	15 W	30 W	45 W	60 W	75 W	90 W	105 W
	64,6	77,9	82,9	86,2	87,6	88,4	89,3
	120 W	135 W	150 W	165 W	180 W	195 W	210 W
	90,4	90,4	90,0	90,8	90,4	90,8	90,7
	Média						
	86,5						

Tabela 16 - Cálculo das médias das eficiências obtidas na PCB PFC+LLC

Capítulo 8

Conclusão

As conclusões relativas ao projeto desenvolvido são apresentadas de seguida, bem como possíveis melhorias a implementar no futuro.

Relativamente à correção do fator de potência, foi verificada a importância desta, visto ser responsável por colocar a tensão e a corrente em fase, e elevar a tensão da rede para os valores pretendidos pela topologia LLC. O modo FCCrM cumpriu as expectativas, pois o PFC implementado suporta grandes variações de carga e apresenta um bom comportamento independentemente da tensão de entrada, e, sempre com um nível de eficiência bastante elevado.

A topologia LLC mostrou ser bastante eficiente, tal como o esperado, pois apresentou boas eficiências energéticas para os diferentes níveis de carga tornando, assim, possível cumprir os requisitos de eficiência impostos pela empresa.

Este projeto desenvolveu-se em várias etapas. Inicialmente, com o estudo detalhado e aprofundado dos vários modos de operação do PFC e as diferentes topologias de fontes de alimentação comutada e, posteriormente, com a escolha do melhor modo/topologia a usar neste projeto, onde se definiram os seguintes fatores como prioridades a ter em conta nas escolhas efetuadas:

- EMI - foi desde logo reconhecido que não existiam recursos para a sua medição e para implementar a correta prevenção desta. Contudo, como a conformidade EMC era um dos objetivos que a empresa queria ver cumprido, as escolhas efetuadas tiveram sempre em atenção serem as melhores opções para redução desta.
- Eficiência - visto também ser um dos objetivos da empresa, o nível de eficiência teve sempre bastante peso nas escolhas efetuadas.
- Custo - este requisito não está incluído nos objetivos, mas por este fator ser bastante importante para o desenvolvimento de projetos semelhantes e, ser um fator relevante para a empresa, as escolhas efetuadas foram realizadas com vista

a reduzir o custo sempre que possível, na medida em que não influenciasse o nível de eficiência da fonte.

No geral, a solução aqui proposta, e implementada, cumpriu os objetivos pretendidos apresentando resultados bastante satisfatórios com a exceção de um problema que é apresentado de seguida.

O consumo no modo *standby* não foi satisfatório. Neste caso, foi realizado um debug para saber a principal causa deste problema e, verificou-se que era filtro EMI o responsável por tais consumos. Por este motivo, conclui-se que este filtro EMI não é adequado para este projeto e que o ruído presente na fonte também não foi satisfatório.

De seguida, são descritas propostas de possíveis melhorias a efetuar no projeto no futuro:

- Colocar um filtro EMI dimensionado para este projeto, isto é, adequado para a fonte de alimentação comutada projetada, uma vez que, dois dos problemas descritos acima têm origem no filtro EMI, entre os quais o ruído presente na fonte projetada e as perdas no modo *standby* serem originadas por este filtro;
- Colocar um *flyback* de 5 W com o intuito que reduzir as perdas com baixa carga, ou seja, em *standby*, uma vez que esta fonte comutada, foi desenvolvida para uma aplicação que estará a maior parte do tempo em modo *standby*, precisando apenas de um recetor de rádio-frequência ligado. Este *flyback* seria responsável por manter este recetor ligado durante o modo de *standby* e quando fosse necessária mais potência, este faria o *enable* ao conjunto PFC+LLC, conseguindo, assim, uma eficiência elevada em todos os níveis de potência, como também, uma redução das perdas em vazio;
- Utilizar malhas de *snubbers* no lado secundário numa tentativa de redução das perdas ou, para uma eficiência superior, usar sincronização sincronizada.

Referências

- [1] S. Tripathi, “Design and Implementation of Switched Mode Power Supply Using PWM Concepts,” 2010.
- [2] A. Majid, “Analysis and Implementation of Switch Mode Power Supplies in MHz Frequency Range,” 2012.
- [3] “Würth Elektronik,” [Online]. Available: http://www.wurth-electronics.com/web/en/passive_components_custom_magnetics/blog_pbcm/blog_detail_electronics_in_action_45887.php. [Acedido em 15 Dezembro 2017].
- [4] K. Mohammad, “AN1114 - Switch Mode Power Supply (SMPS) Topologies Part 1,” Microchip Technology Inc., 2007.
- [5] M. Thornton, “ABB,” [Online]. Available: http://www.maintenanceonline.org/maintenanceonline/content_images/Page%2053-20110527-150121.pdf. [Acedido em 4 Dezembro 2017].
- [6] “HBD853/D - Power Factor Correction (PFC) Handbook - Choosing the Right Power Factor Controller Solution,” ON Semiconductor, 2011 - Rev.4.
- [7] L. C. Martinhago, “Contribuição ao Estudo da Compatibilidade Eletromagnética Aplicada a Conversores Estáticos,” Universidade Federal de Santa Catarina, 2003.
- [8] L. Tihanyi, EMC in Power Electronics, 1st Edition, 1995.
- [9] “Schneider Electric,” [Online]. Available: https://www.schneider-electric.com.br/documents/cadernos-tecnicos/tema10_compatibilidade.pdf. [Acedido em 12 Junho 2017].
- [10] M. Bittencourt de Liz, “Contribuição para a redução da interferência eletromagnética em fontes chaveadas,” Universidade Federal de Santa Catarina, 2003.
- [11] “EMC standards,” [Online]. Available: https://interferencetechnology.com/wp-content/uploads/2017/04/EEG_2017_Digital_Final_Low-Res.pdf. [Acedido em 25 Junho 2017].

- [12] A. Hesener, "Electromagnetic Interference (EMI) in Power Supplies," Fairchild Semiconductor, 2010-2011.
- [13] D. Moura, "Contribuição à Análise de Interferência e Compatibilidade Eletromagnética em Circuito Digital Através de Simulação Numérica," Universidade Federal de Santa Catarina, 2011.
- [14] C. Rech, "Snubbers," [Online]. Available: http://www.joinville.udesc.br/portal/professores/cassiano/materiais/EPOII__Capitulo_9__Circuitos_de_ajuda_a_comuta_ao__snubber.pdf. [Acedido em 20 Junho 2017].
- [15] P. R. Mohan, M. V. Kumar e O. R. Reddy, "A Novel Toplogy of EMI Filter to Supress Common Mode and Differential Mode Noises of Electromagnetic Interference in Switching Power Supplies," Vol.2 No.4, 2007.
- [16] "AN2644 - AN introduction to LLC resonant half-bridge converter," 2008.
- [17] C. Basso, "AND8311/D - Understanding the LLC Structure in Resonant Applications," ON Semiconductor, 2008.
- [18] A. Scuto, "AN4720 - Half bridge resonant LLC converters and primary side MOSFET selection," STMicroelectronics, 2015.
- [19] R. Stuler, J. Uherek e I. Seifert, "AND8460/D - Implementing a 12 V / 240 W Power Supply with the NCP4303B, NCP1605, and NCP1397B," ON Semiconductor, 2010.
- [20] J. Turchi, "AND8281/D - Implementing the NCP1605 to Drive the PFC Stage of a 19 V / 8 A Power Supply," 2007 - Rev. 0.
- [21] "Datasheet - NCP1605, NCP1605A, NCP1605B - Enhanced, High Voltage and Efficient Standby Mode, Power Factor Controller," 2014 - Rev.12.
- [22] R. Stuler, "ON Semiconductor," [Online]. Available: http://www.urel.feec.vutbr.cz/web_documents/seminare/2011/OnSemi_LL_C_converters.pdf. [Acedido em 13 Novembro 2017].
- [23] "Datasheet - NCP1397A/B, NCV1397A/B - High Performance Resonant Mode Controller with Integrated High-Voltage Drivers," 2015 - Rev.6.
- [24] "TND399/D - 216 W All in One Power Supply Reference Design Featuring NCP1605, NCP1397 and NCP4303 Documentation," ON Semiconductor, 2010.