

Seltenerd-basierte ternäre Oxide als alternative Gatedielektrika

Jens Martin Roeckerath

Seltenerd-basierte ternäre Oxide als alternative Gatedielektrika

Von der Fakultät für
Elektrotechnik und Informationstechnik
der Rheinisch-Westfälischen
Technischen Hochschule Aachen
zur Erlangung des akademischen Grades
eines Doktors der Ingenieurwissenschaften
genehmigte Dissertation

vorgelegt von

Diplom-Ingenieur
Jens Martin Roeckerath, geb. Wagner
aus Essen

Berichter: Univ.-Prof. Dr.-Ing. R. Waser
Univ.-Prof. Dr. phil. S. Mantl

Tag der mündlichen Prüfung:
22. Juli 2008

Diese Dissertation ist auf den Internetseiten der
Hochschulbibliothek online verfügbar.

Forschungszentrum Jülich GmbH
Institut für Bio- und Nanosysteme (IBN)
Halbleiter-Nanoelektronik (IBN-1)

Seltenerd-basierte ternäre Oxide als alternative Gatedielektrika

Jens Martin Roeckerath

Schriften des Forschungszentrums Jülich
Reihe Information / Information

Band / Volume 3

ISSN 1866-1777

ISBN 978-3-89336-543-2

Bibliografische Information der Deutschen Nationalbibliothek.
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der
Deutschen Nationalbibliografie; detaillierte Bibliografische Daten
sind im Internet über <http://dnb.d-nb.de> abrufbar.

Herausgeber und Vertrieb: Forschungszentrum Jülich GmbH
Zentralbibliothek, Verlag
D-52425 Jülich
Telefon (02461) 61-5368 · Telefax (02461) 61-6103
e-mail: zb-publikation@fz-juelich.de
Internet: <http://www.fz-juelich.de/zb>

Umschlaggestaltung: Grafische Medien, Forschungszentrum Jülich GmbH

Druck: Grafische Medien, Forschungszentrum Jülich GmbH

Copyright: Forschungszentrum Jülich 2008

Schriften des Forschungszentrums Jülich
Reihe Information / Information Band / Volume 3

D 82 (Diss., RWTH Aachen, 2008)

ISSN 1866-1777
ISBN 978-3-89336-543-2

Vollständig frei verfügbar im Internet auf dem Jülicher Open Access Server (JUWEL)
unter <http://www.fz-juelich.de/zb/juwel>

Alle Rechte vorbehalten. Kein Teil des Werkes darf in irgendeiner Form (Druck, Fotokopie oder in einem anderen Verfahren) ohne schriftliche Genehmigung des Verlages reproduziert oder unter Verwendung elektronischer Systeme verarbeitet, vervielfältigt oder verbreitet werden.

Inhaltsverzeichnis

1	Einleitung	7
2	Grundlagen	11
2.1	Die MOS-Diode	11
2.1.1	Aufbau und Funktion	11
2.1.2	Elektrische Eigenschaften	16
2.2	Der MOSFET	19
2.2.1	Aufbau und Funktion	19
2.2.2	Wichtige Kenngrößen	23
2.3	Skalierung von MOSFETs	25
2.3.1	Geschichte	25
2.3.2	Kritische Faktoren bei der Skalierung	25
2.3.3	Mögliche Lösungen	28
2.4	High- κ -Dielektrika	33
2.4.1	Anforderungen an high- κ -Dielektrika	33
2.4.2	Potenzielle Materialien	34
2.4.3	Seltenerd-basierte binäre Oxide	35
2.4.4	Seltenerd-basierte ternäre Oxide	37
2.5	Metalle als Gatekontakte	40
3	Probenherstellung	43
3.1	Gepulste Laserdeposition	43
3.2	Elektronenstrahlverdampfen	46
3.3	Atomic Layer Deposition (ALD)	48
3.4	Sputterdeposition	51
3.5	Prozessierung	54
3.5.1	Verwendete Chemikalien und Geräte	54
3.5.2	RCA-Reinigung	55
3.5.3	Der MOS-Dioden-Prozess	56
3.5.4	Der MOSFET-Prozess	58

4	Probencharakterisierung	63
4.1	Rutherford-Rückstreu-Spektrometrie	63
4.2	Röntgenbeugungsanalyse	65
4.3	Rasterkraftmikroskopie	68
4.4	Röntgen-Photoelektron-Spektrometrie	69
4.5	Innerer Photoeffekt und Photoleitung	70
4.6	Elektrische Charakterisierung	71
	4.6.1 CET und EOT	71
	4.6.2 Charakterisierung der MOS-Kondensatoren	73
	4.6.3 Charakterisierung der MOSFETs	73
5	GdScO₃-Schichten	75
5.1	Chemische Zusammensetzung	75
5.2	Morphologie	77
5.3	Elektrische Charakterisierung	81
5.4	Zusammenfassung	85
6	LaLuO₃-Schichten	87
6.1	Chemische Zusammensetzung	87
6.2	Morphologie	91
6.3	Elektronische Eigenschaften	92
6.4	Elektrische Charakterisierung	94
6.5	Zusammenfassung	96
7	MOSFETs mit GdScO₃-Gateoxid	97
7.1	Modifikation der high- κ /Si-Grenzfläche	97
7.2	MOSFETs mit GdScO ₃ -Gateoxid auf Si(100)	98
7.3	SOI- und sSOI-MOSFETs mit GdScO ₃ -Gateoxid	101
7.4	Zusammenfassung	105
8	AlGa_N/Ga_N-MISHFETs mit GdScO₃-Gateoxid	107
8.1	Motivation	107
8.2	Experimentelles	109
8.3	Ergebnisse	111
	8.3.1 C-V- und I-V-Messungen	111
	8.3.2 Ausgangscharakteristik	113
	8.3.3 Load-Pull-Messungen	114
8.4	Zusammenfassung	116
9	Zusammenfassung der Ergebnisse und Ausblick	117
A	Literaturverzeichnis	121
B	Danksagung	135

C Veröffentlichungen	139
D Lebenslauf	143

Kapitel 1

Einleitung

In der steten Verkleinerung von integrierten Schaltkreisen in der Mikroelektronik wurde schon 1965 von Gordon E. Moore eine Gesetzmäßigkeit erkannt, die später als das Moore'sche Gesetz bekannt wurde [1]. Dieses Gesetz sagt eine Verdopplung der Anzahl von Bauelementen auf einem Chip alle ein bis zwei Jahre voraus. Dessen Gültigkeit wurde anfangs auf mindestens 10 Jahre geschätzt. Die Halbleiterindustrie folgt diesem Gesetz nun schon seit über 40 Jahren und es ist längst zu einer sich selbst erfüllenden Prophezeiung geworden. Gleichzeitig stellt es den wichtigsten Leitfaden für die „International Technology Roadmap for Semiconductors“ (ITRS) [2] dar, die jedes Jahr die Herausforderungen für die Halbleiterentwicklung neu zusammenfasst und veröffentlicht. Darin wird zwischen zwei Hauptanwendungen von integrierten Schaltkreisen unterschieden, solche für geringen Energieverbrauch (vorwiegend für Datenspeicher oder mobile Geräte) und solche für hohe Leistungen (Prozessoren aller Art).

Bei letzteren ist der planare MOSFET (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor) das wesentliche Bauelement, das die Verarbeitung von digitalen Daten ermöglicht. Im Zuge der Verkleinerung der Schaltkreise nähert sich diese Technologie Grenzen, die durch die physikalischen Eigenschaften der verwendeten Materialien gegeben sind und nicht durch eine weitere Optimierung der Prozesstechnologie überwunden werden können. Denn bei der Skalierung eines MOSFETs werden nicht nur dessen laterale Abmessungen, sondern gleichzeitig auch die Schichtdicke des isolierenden Gateoxides verringert. Dieses hat mit einer Dicke von ca. 1,2 nm eine kritische Größenordnung als Barriere gegenüber Tunnelströmen erreicht. Zudem verändern sich bei dünnen Schichten aus wenigen Atomlagen die Eigenschaften im Vergleich zum Vollmaterial. Z. B. verringert sich die Bandlücke und damit die Isolationsfähigkeit, was die Gateleckströme ebenfalls erhöht. Große Leckströme können die Funktion des Transistors erheblich stören. Außerdem steigt die dissipierte Wärmeenergie stark an, so dass eine ausreichende Kühlung des Chips zu einem kritischen Faktor werden kann [3].

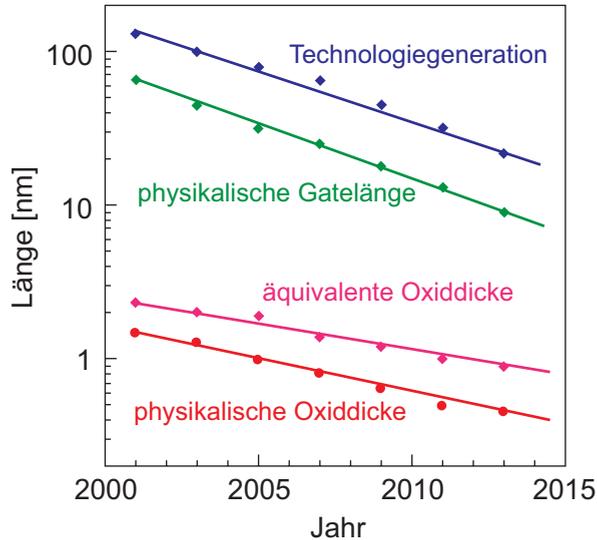


Abbildung 1.1: Entwicklung von Strukturgröße und Transistor-Gatellänge (nach [4]).

Abhilfe schafft hier der Einsatz von sogenannten high- κ -Dielektrika, die eine größere Dielektrizitätskonstante als SiO_2 ($\kappa = 3,9$) aufweisen und somit bei gleicher Gatekapazität und damit elektrostatischer Gatekontrolle wieder dicker ausgeführt werden können, wodurch die Leckströme stark reduziert werden.

Eines der wichtigsten Kriterien bei der Auswahl eines high- κ -Dielektrikums ist dessen thermodynamische Stabilität auf Silizium. Das bedeutet, dass das Material im Rahmen des in der CMOS-Technologie benötigten thermischen Budgets keine Reaktionen mit dem darunterliegenden Substrat eingehen darf. Dabei kann z. B. das Metall eines Metalloxids reduziert werden und der dabei freiwerdende Sauerstoff das Silizium oxidieren, wie es z. B. bei Ta_2O_5 der Fall ist [5]. Dieses unerwünschte Interfaceoxid hebt die Wirkung des high- κ -Materials zum Teil auf. Auch eine Silizidbildung zwischen dem Metall und dem Silizium tritt häufig auf. Viele binäre Metalloxide scheiden aufgrund von theoretischen Stabilitätsberechnungen für die Verwendung als high- κ -Dielektrika schon im Vorfeld aus [6]. Im Jahr 2002 veröffentlichten Schlom und Haeni eine systematische Untersuchung der thermodynamischen Stabilität von verschiedenen binären und ternären Oxiden [7]. Als ein Ergebnis der Untersuchungen schlugen sie ternäre Verbindun-

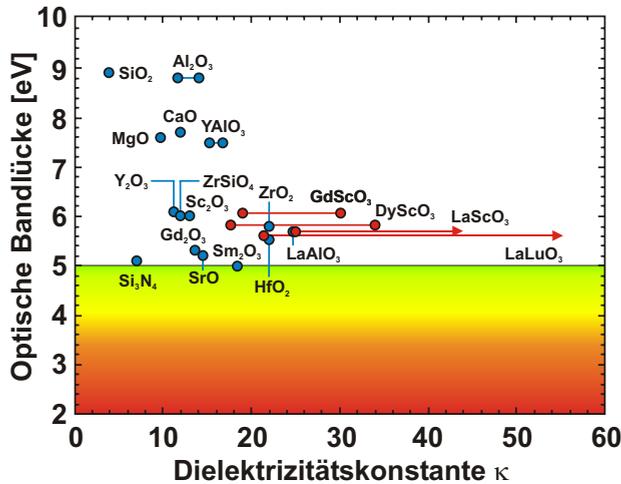


Abbildung 1.2: Optische Bandlücke gegen Dielektrizitätskonstante für einige konventionelle Gateoxide und viele high- κ -Dielektrika (nach [7], erweitert um einige zusätzliche Materialien bzw. Messergebnisse). Der farbige Bereich gibt die Mindestanforderung der ITRS [2] für alternative Gatedielektrika an ($E_g \geq 5$ eV).

gen aus Scandium, einer Seltenen Erde (engl. *RE* = Y, La oder ein Element aus der Lanthaniden-Gruppe) und Sauerstoff vor, die so genannten Seltenerd-Scandate (*REScO₃*). In Abbildung 1.2 sind einige konventionelle sowie alternative Gateoxide in einem Diagramm eingetragen, das die optische Bandlücke der Dielektrizitätskonstante gegenüberstellt. Tendenziell ist eine Abnahme der optischen Bandlücke, die in erster Näherung mit den Isolationseigenschaften des Materials korreliert, mit steigender Dielektrizitätskonstante zu erkennen. Sowohl die Seltenerd-Scandate als auch LaLuO_3 erfüllen die Anforderungen eines hohen κ zusammen mit einer optischen Bandlücke größer als 5 eV.

Das Ziel der vorliegenden Arbeit ist es, amorphe Dünnschichten aus GdScO_3 und LaLuO_3 hinsichtlich ihrer strukturellen und elektrischen Eigenschaften zu untersuchen und im Hinblick auf verschiedene, verwendete Abscheidungsverfahren miteinander zu vergleichen. Zudem soll ein MOSFET-Prozess entwickelt werden, der eine Integration von GdScO_3 als alternatives Gateoxid in einen siliziumbasierten Feldeffekttransistor ermöglicht. Schließlich wird die Eignung von GdScO_3 als Gateoxid in galliumnitridbasierten MISHFETs als nicht-siliziumbasiertes Materialsystem überprüft.

Kapitel 2

Grundlagen

In diesem Kapitel sollen die für die vorliegende Arbeit relevanten theoretischen Grundlagen erarbeitet werden. Ausgehend von der einfachen Struktur der MOS-Diode soll das wichtigste Bauelement der heutigen Halbleitertechnologie – der MOSFET – beschrieben und wichtige Kenngrößen erläutert werden. Danach wird auf die Skalierung dieses Bauelementes und die dabei auftretenden Probleme sowie auf mögliche Lösungen eingegangen. Im Folgenden werden Anforderungen an high- κ -Dielektrika allgemein diskutiert und schließlich besonderes Augenmerk auf die Seltenerd-basierten ternären Oxide als alternative Gatedielektrika gelegt. Des Weiteren wird die Problematik der Auswahl eines geeigneten Kontaktmetalles diskutiert.

2.1 Die MOS-Diode

2.1.1 Aufbau und Funktion

Die MOS-Diode (Metal Oxide Semiconductor-Diode) besteht aus einem halbleitenden Substrat, das mit einem isolierenden Dünnschicht beschichtet ist – in diesem Fall mit dem Gateoxid (siehe Abbildung 2.1a). Darauf ist eine metallene Elektrode aufgebracht, an die die Gatespannung V_G angelegt werden kann. Das Substrat wird durch einen ohmschen Kontakt auf ein Referenzpotenzial gelegt. Teil b) von Abbildung 2.1 zeigt das Banddiagramm einer idealisierten MOS-Diode mit p-dotiertem Silizium als Halbleitersubstrat ohne eine angelegte Gatespannung, so dass die Differenz der Austrittsarbeiten (Φ_{MS}) gerade gleich Null ist:

$$\Phi_{MS} = \Phi_M - \left(\chi_{Si} + \frac{E_{gSi}}{2q} \pm \Psi_B \right) = 0 \quad (2.1)$$

Dabei ist Φ_M die Austrittsarbeit des Metalls, χ_{Si} die Elektronenaffinität von Silizium, E_{gSi} die Bandlücke von Silizium, q die Elementarladung und

Ψ_B die Potenzialdifferenz zwischen der Fermienergie E_F und der intrinsischen Fermienergie des Halbleiters E_{iSi} . Das Pluszeichen gilt für p-dotiertes Silizium und das Minuszeichen für n-dotiertes (siehe [8]). Die Bandkanten verlaufen in diesem Fall waagrecht, was als Flachbandfall bezeichnet wird. Da das System im thermodynamischen Gleichgewicht ist, ist die Fermienergie überall gleich. Im Gegensatz dazu zeigt Teil c) von Abbildung 2.1 das Banddiagramm einer nichtidealen MOS-Struktur. Die Austrittsarbeiten von Metall und Halbleiter sind verschieden. Es entsteht eine Bandverbiegung an der Oberfläche des Halbleiters. Das ortsabhängige Potenzial $\Psi(x)$ steigt von Null tief im Halbleiter bis auf den Wert Ψ_s an der Oberfläche an. Die sich mit der Abkürzung $\beta = q/k_B T$ daraus ergebenden ortsabhängigen Elektronen- und Löcherkonzentrationen betragen:

$$n_p = n_{p0} \cdot e^{\beta\Psi} \quad \text{bzw.} \quad p_p = p_{p0} \cdot e^{\beta\Psi} \quad (2.2)$$

mit den Gleichgewichtskonzentrationen n_{p0} für Elektronen bzw. p_{p0} für Löcher tief im Halbleiter, wo $\Phi = 0$ ist. Betrachtet man Gleichung 2.2 für $x = 0$, wo $\Psi(x) = \Psi_s$ wird, kann man für die MOS-Struktur mit p-dotiertes Silizium die folgenden Fälle abschätzen:

- $\Psi_s < 0$: Anreicherung oder Akkumulation von Löchern an der Grenzfläche zwischen Halbleiter und Oxid
- $\Psi_s = 0$: Flachbandfall. Die Bänder verlaufen waagrecht und verbiegungsfrei. Die Gatespannung V_g gleicht gerade die Differenz der Austrittsarbeiten zwischen Silizium und Metall aus.
- $\Psi_B > \Psi_s > 0$: Verarmung oder Depletion an Löchern an der Grenzfläche zwischen Halbleiter und Oxid. Es bildet sich eine Raumladungszone aus negativ geladenen ionisierten Akzeptoren aus, die in den Halbleiter hineinreicht.
- $\Psi_s = \Psi_B$: Der Halbleiter befindet sich an der Grenzfläche zum Oxid im intrinsischen Zustand. Das heißt, dass dort genauso viele freie Elektronen wie Löcher zu finden sind ($n(x=0) = p(x=0) = n_i$ (intrinsische Ladungsträgerkonzentration)) und es gilt: $E_F = E_i$.
- $\Psi_s > \Psi_B$: Inversion. Minoritätsladungsträger (in diesem Fall Elektronen) sammeln sich an der Grenzfläche zwischen Halbleiter und Oxid.

Die Banddiagramme für die Fälle der Anreicherung, Verarmung und Inversion sind zusammen mit Darstellungen der Ladungsverteilungen in der MOS-Struktur in Abbildung 2.2 dargestellt.

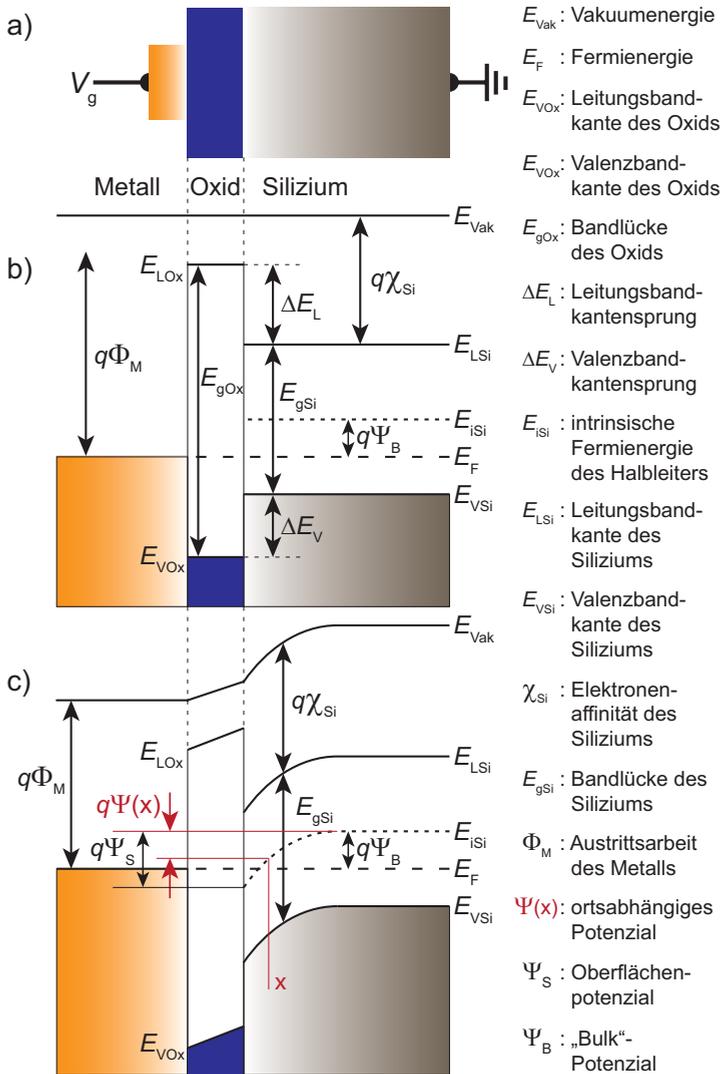


Abbildung 2.1: a) Aufbau der MOS-Diode b) Banddiagramm einer idealen MOS-Diode ohne Unterschied der Austrittsarbeiten von Metall und Halbleiter c) Banddiagramm einer realen MOS-Diode mit unterschiedlichen Austrittsarbeiten von Metall und Halbleiter. Das ortsabhängige Potenzial $\Psi(x)$ wird an der Oberfläche des Halbleiters gleich Ψ_s [8].

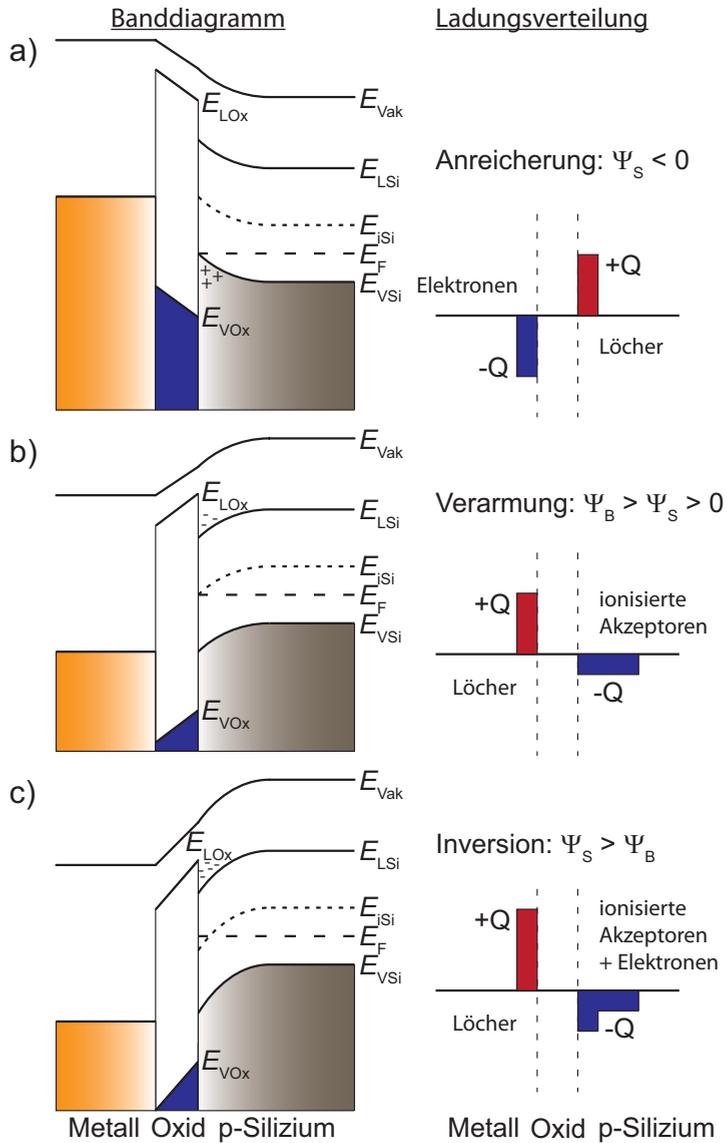


Abbildung 2.2: Verschiedene Zustände einer idealisierten MOS-Diode in Bezug auf die angelegte Spannung. a) Anreicherung oder Akkumulation b) Verarmung oder Depletion c) Inversion.

Um das ortsabhängige Potenzial $\Psi(x)$ zu berechnen, kann die eindimensionale Poisson-Gleichung verwendet werden:

$$\frac{d^2\Psi}{dx^2} = -\frac{\rho(x)}{\epsilon_0\epsilon_{\text{rSi}}} \quad (2.3)$$

wobei ϵ_0 die Dielektrizitätskonstante des Vakuums und ϵ_{rSi} die relative Dielektrizitätskonstante des Siliziums ist und $\rho(x)$ die Ladungsträgerdichte, die durch:

$$\rho(x) = q(N_{\text{D}} - N_{\text{A}} + p_{\text{p}} - n_{\text{p}}) \quad (2.4)$$

gegeben ist. N_{D} und N_{A} sind dabei die Donator- bzw. Akzeptordichten. Wie zuvor erwähnt, gilt tief im Halbleiter $\Psi = 0$, damit auch $\rho = 0$ und Gleichung 2.4 kann umgeformt werden zu:

$$N_{\text{D}} - N_{\text{A}} = n_{\text{p}0} - p_{\text{p}0} \quad (2.5)$$

Zusammen mit Gleichung 2.2 wird die zu lösende Poisson-Gleichung zu:

$$\frac{d^2\Psi}{dx^2} = -\frac{q}{\epsilon_0\epsilon_{\text{rSi}}}[p_{\text{p}0}(e^{-\beta\Psi} - 1) - n_{\text{p}0}(e^{\beta\Psi} - 1)] \quad (2.6)$$

Durch Integration vom Inneren des Halbleiters zur Oberfläche ergibt sich die folgende Beziehung zwischen dem elektrischen Feld ($\mathcal{E} = -\frac{d\Psi}{dx}$) und dem Potenzial Ψ :

$$\mathcal{E}^2 = \left(\frac{2k_{\text{B}}T}{q}\right)^2 \left(\frac{qp_{\text{p}0}\beta}{2\epsilon_0\epsilon_{\text{rSi}}}\right) \left[(e^{-\beta\Psi} + \beta\Psi - 1) + \frac{n_{\text{p}0}}{p_{\text{p}0}}(e^{\beta\Psi} - \beta\Psi - 1) \right] \quad (2.7)$$

Zur Vereinfachung werden folgende Abkürzungen eingeführt:

$$L_{\text{D}} = \sqrt{\frac{k_{\text{B}}T\epsilon_0\epsilon_{\text{rSi}}}{p_{\text{p}0}q^2}} = \sqrt{\frac{\epsilon_0\epsilon_{\text{rSi}}}{qp_{\text{p}0}\beta}} \quad (2.8)$$

und

$$F\left(\beta\Psi, \frac{n_{\text{p}0}}{p_{\text{p}0}}\right) = \left[(e^{-\beta\Psi} + \beta\Psi - 1) + \frac{n_{\text{p}0}}{p_{\text{p}0}}(e^{\beta\Psi} - \beta\Psi - 1) \right]^{\frac{1}{2}} \quad (2.9)$$

wobei L_{D} die Debye-Länge für Löcher genannt wird. Mithilfe der Abkürzungen kann für das elektrische Feld an der Oberfläche des Halbleiters ($\Psi = \Psi_{\text{s}}$) geschrieben werden:

$$\mathcal{E}_{\text{s}} = \pm \frac{\sqrt{2}k_{\text{B}}T}{qL_{\text{D}}} F\left(\beta\Psi_{\text{s}}, \frac{n_{\text{p}0}}{p_{\text{p}0}}\right) \quad (2.10)$$

Nach dem Gauss'schen Gesetz ist die Ladung pro Fläche, die nötig ist um dieses Feld zu erzeugen

$$Q_s = -\epsilon_0 \epsilon_{rSi} \mathcal{E}_s = \mp \frac{\sqrt{2} \epsilon_0 \epsilon_{rSi} k_B T}{q L_D} F \left(\beta \Psi_s, \frac{n_{p0}}{p_{p0}} \right) \quad (2.11)$$

Leitet man die Flächenladungsdichte nach dem Potenzial an der Oberfläche des Halbleiters ab, so erhält man die durch die Verarmungszone (engl. depletion zone) hervorgerufene Kapazitätsflächendichte:

$$C_D = \frac{\partial Q_s}{\partial \Psi_s} = \frac{\epsilon_0 \epsilon_{rSi}}{\sqrt{2} L_D} \frac{[1 - e^{-\beta \Psi_s} + \frac{n_{p0}}{p_{p0}} (e^{\beta \Psi_s} - 1)]}{F \left(\beta \Psi_s, \frac{n_{p0}}{p_{p0}} \right)} \quad (2.12)$$

Die Kapazitätsflächendichte der Oxidschicht ist nicht spannungsabhängig und daher die eines einfachen Plattenkondensators:

$$C_{ox} = \frac{\epsilon_0 \epsilon_{rox}}{d_{ox}} \quad (2.13)$$

Schließlich ergibt sich die Gesamtkapazitäts-Flächendichte einer MOS-Struktur als Serienschaltung der Oxidkapazitäts-Flächendichte C_{ox} und der spannungsabhängigen Kapazitätsflächendichte der Verarmungszone C_D :

$$C_{ges} = \frac{C_{ox} C_D}{C_{ox} + C_D} \quad (2.14)$$

2.1.2 Elektrische Eigenschaften

Eine elektrische Charakterisierung der MOS-Diode ist erforderlich, um Informationen sowohl über die verwendeten Materialien als auch deren Grenzflächen zu erhalten. Unter anderem können Aussagen zu folgenden Eigenschaften getroffen werden [9]:

- Oberflächenbandverbiegung und Ausdehnung der Verarmungszone als Funktion der Gatespannung
- Art der Dotierung im Siliziumsubstrat
- Dotierprofil im Siliziumsubstrat
- Dichte der Ladungshaftstellen an der Grenzfläche als Funktion der Energie in der Bandlücke
- Dicke des Oxids
- Durchbruchspannung des Oxids

- Art der Leitung im Oxid
- Polarisierung des Oxids
- Dielektrizitätskonstante des Oxids
- Ladungskonfiguration im Oxid (z. B. durch unbewegliche Ladungen bzw. Haftstellen oder auch durch mobile Ionen)
- Austrittsenergieunterschied zwischen dem Siliziumsubstrat und dem Gatekontakt
- Quanteneffekte in der Inversionsschicht im Silizium bei geringen Temperaturen

Insbesondere kann auch das Verhalten von verschiedensten Feldeffekt-Bauelementen (siehe Kap. 2.2.1) aus den untersuchten Materialien im Vorfeld abgeschätzt werden. Der Kurvenverlauf der Kapazität der MOS-Diode gegen die angelegte Gatespannung (so genannte C-V-Kurve) ist dabei ein wichtiges Hilfsmittel. Eine C-V-Kurve wird gemessen, indem an die Kondensatorstruktur eine Bias-Spannung angelegt wird, der eine Wechselspannung kleiner Amplitude (üblicherweise ~ 50 mV) überlagert ist. So kann anhand des fließenden Wechselstromes die Kapazität für jede Bias-Spannung am Kondensator aufgezeichnet werden. In der Regel wird der Bias-Spannungsbereich in beiden Richtungen durchlaufen, um eine Abweichung der beiden Kurvenzweige voneinander erkennen zu können.

In Abbildung 2.3 ist die numerisch berechnete und auf die Oxidkapazität normierte C-V-Kurve einer MOS-Diode dargestellt. Bei negativer Gatespannung stellt sich eine Akkumulation im Halbleiter ein. Die Majoritätsladungsträger sind sehr nah an der Grenzfläche zum Oxid, die Gesamtkapazität wird im Wesentlichen durch die Oxidkapazität bestimmt und ist entsprechend hoch. Nähert sich die Spannung dem Flachbandfall, nimmt die Ladungsträgerdichte an der Grenzfläche ab und die Kapazität sinkt, bis für $\Psi_s = \Psi_B$ die Zahl der Ladungsträger mit $n_s = p_s = n_i$ ein Minimum erreicht hat. Die Gesamtkapazität ist beinahe an ihrem geringsten Wert. Dabei sind n_s und p_s die Elektronen- bzw. die Löcherdichte an der Grenzfläche zwischen Halbleiter und Oxid und n_i die intrinsische Ladungsträgerkonzentration von Silizium. Bei weiter steigender Gatespannung gibt es zwei Möglichkeiten für den weiteren Verlauf der Kapazität, der von der Frequenz der Wechselspannung abhängt, die der Bias-Spannung für die Kapazitätsmessung überlagert ist. Bei niedriger Frequenz geht der Halbleiter in Inversion. Das heißt, dass sich Minoritätsladungsträger nahe der Grenzfläche sammeln und daher die Kapazität steil ansteigt, bis sie wieder den Wert der Oxidkapazität erreicht.

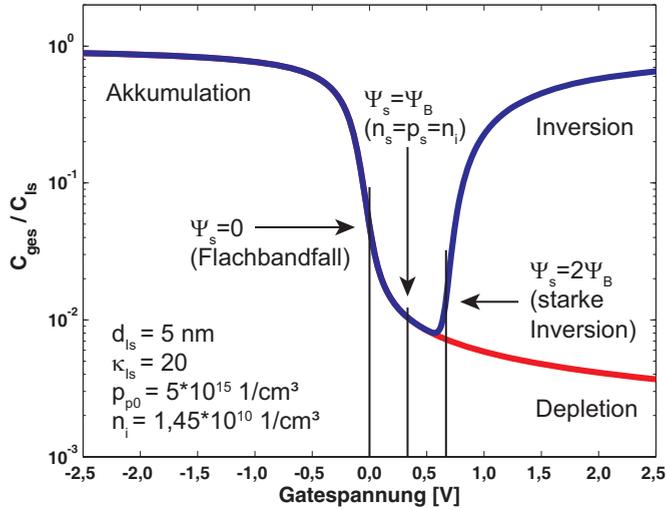


Abbildung 2.3: Normierte Kapazität gegen Spannung für eine idealisierte MOS-Diode mit p-dotiertem ($5 \cdot 10^{15} \frac{1}{\text{cm}^3}$) Silizium als Halbleiter. Bei negativer Gatespannung ist der Halbleiter in Akkumulation. Bei positiver Gatespannung herrscht an der Grenzfläche entweder Inversion (bei geringer Messfrequenz) oder aber Verarmung (bei hoher Messfrequenz).

Ist die Messfrequenz hingegen hoch, können die Minoritätsladungsträger dem Feld nicht schnell genug folgen, es entsteht keine Inversionsschicht und der Halbleiter bleibt in der Verarmung. Bei der Simulation werden die beiden Fälle unterschieden, in dem man Minoritätsladungsträger im Halbleiter zulässt ($n_0 = n_i^2 / p_0$) oder nicht ($n_0 = 0$).

Aus der Ausrichtung der C-V-Kurve lässt sich die Art der Substratdotierung ableiten und aus dem Verlauf der Kurve in der Verarmung die Höhe der Dotierung. Je höher das Substrat nämlich dotiert ist (im Beispiel: je höher p_{p0}), desto größer wird die Kapazität im Bereich der Verarmung, weil dort immer mehr freie Ladungsträger vorhanden sind.

Zudem kann am Verlauf der C-V-Kurve die Art und Zahl der Ladungen an der Grenzfläche oder im Oxid abgeschätzt werden. So verschieben feste Ladungen (engl. oxide fixed charge – Q_f) im Oxid die C-V-Kurve entlang der x-Achse (was einer Verschiebung der Flachbandspannung V_{fb} entspricht), je nach ihrer Polarität zu positiven oder negativen Gatespannungen hin. Eingefangene Grenzflächenladungen (engl. interface trapped charge – Q_{it}) hingegen erzeugen einen flachen Anstieg im Übergangsbereich zwischen Ver-

armung und Anreicherung (engl. stretch-out) der C-V-Kurve. Eingefangene Oxidladungen (engl. oxide trapped charge – Q_{ot}) und bewegliche ionische Ladungen (engl. mobile ionic charge – Q_m) schließlich führen zu einer Hysteresis zwischen vor- und rückwärts gemessenem Zweig der C-V-Kurve [8, 9]. Alle diese Ladungen sind unerwünscht, da sie die Betriebsparameter von Bauelementen beeinflussen und damit einen verlässlichen Betrieb dieser gefährden.

2.2 Der MOSFET

2.2.1 Aufbau und Funktion

Ergänzt man eine MOS-Diode um zwei entgegengesetzt zum Substrat dotierte Kontakte beiderseits der Gateelektrode (Source und Drain genannt) im Abstand L zueinander, entsteht ein Metall-Oxid-Halbleiter-Feldeffekttransistor (Metal Oxide Semiconductor Field Effect Transistor – MOSFET), wie er in Abb. 2.4 dargestellt ist. Im Folgenden soll – wie

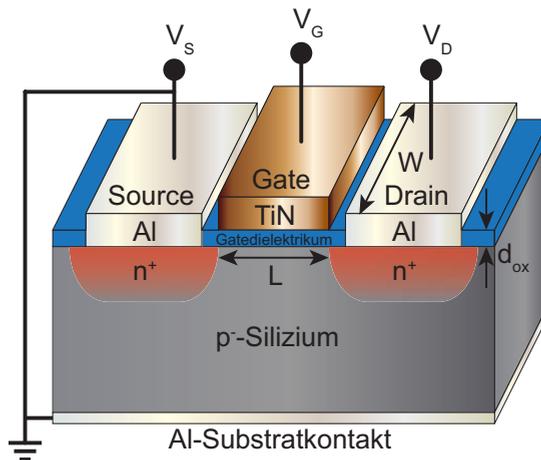


Abbildung 2.4: Aufbau eines nMOSFETs mit der Kanallänge L , der Kanalweite W und der Gatedielektrikumsdicke d_{Is} . Source und Substratkontakt sind zusammen auf ein Referenzpotenzial festgelegt. Das heißt, es gilt: $V_S = 0$.

in der Abbildung – von einem nMOSFET mit p^- -dotiertem Substrat und n^+ -dotierter Source und Drain ausgegangen werden. Der Sourcekontakt soll genauso wie der ebenfalls in der Abbildung eingezeichnete Substratkontakt

auf einem Referenzpotenzial liegen. Die Bandverbiegungen, hervorgerufen durch die beiden p-n-Übergänge an Source und Drain, bilden zusammen eine Potenzialbarriere unter dem Gate, die die Ladungsträger bei V_G gleich Null nicht überwinden können (schwarze, durchgehende Linie in Abbildung 2.5). Deshalb fließt kein Strom zwischen Source und Drain, selbst wenn die Bänder am Drainkontakt durch $V_D > 0$ erniedrigt werden (gestrichelte, blaue Linien in Abbildung 2.5). Wird eine Gatespannung größer Null an das Gate angelegt ($V_G > 0$), wird die Potenzialbarriere verringert, bis sie – bei Erreichen der so genannten Schwellenspannung V_T (siehe Gleichung 2.19) – so gering ist, dass die Ladungsträger sie überwinden können. Dieser Zustand entspricht dem Erreichen der starken Inversion im Halbleiter an der Grenzfläche zum Gateoxid unterhalb der Gateelektrode und damit der Ausbildung eines leitenden Oberflächenkanals zwischen Source und Drain.

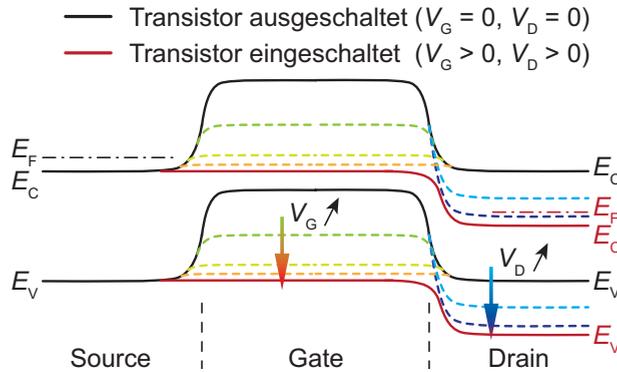


Abbildung 2.5: Schematische Darstellung des Bandverlaufs in einem Langkanal-nMOSFET. Die schwarze, durchgezogene Linie zeigt den Fall des ausgeschalteten und die rote, durchgezogene Linie den Fall des eingeschalteten Transistors. Die gestrichelten Linien repräsentieren Übergangszustände.

Dieses Phänomen der Anreicherung von Ladungsträgern in Halbleitern durch ein elektrisches Feld wird Feldeffekt genannt und wurde schon im Jahr 1926 von Julius Edgar Lilienfeld [10] und 1934 von Oskar Ernst Heil [11] entdeckt und patentiert. In den 1940er Jahren wurde der Effekt von Shockley und Pearson [12] studiert, doch erst 1960 gelang Kahng und Atalla [13] die Herstellung des ersten MOSFETs. Denn erst zu diesem Zeitpunkt war der negative Einfluss von Verunreinigungen im Silizium auf die Funktion des MOSFETs bekannt und gleichzeitig konnte Silizium mit ausreichender Reinheit für ein funktionsfähiges Bauelement hergestellt werden.

Die Herleitung der Ladung im Leitungskanal ist ähnlich wie für die MOS-Diode in Kapitel 2.1.1. Ein wichtiger Unterschied ist jedoch, dass sich der MOSFET bei gleichzeitig angelegter Gate- und Drainspannung nicht im Gleichgewicht befindet. Das bedeutet, dass die Quasi-Fermi-Potenziale für Elektronen und Löcher verschieden sind. Im Zustand starker Inversion kann aus dem Flächenladungs-Modell [14] ein vereinfachter Ausdruck für die Dichte der Minoritätsladungsträger Q_n (hier Elektronen) gewonnen werden:

$$|Q_n| = \sqrt{2}qN_A L_D \left\{ \left[\beta\Psi_s + \left(\frac{n_{p0}}{p_{p0}} \right) e^{(\beta\Psi_s - \beta V_D)} \right]^{\frac{1}{2}} - (\beta\Psi_s)^{\frac{1}{2}} \right\} \quad (2.15)$$

Wird angenommen, dass die MOS-Struktur ideal ist, keine Grenzflächen- oder feste Oxidladungen vorhanden sind, nur Driftströme betrachtet werden, die Ladungsträgerbeweglichkeit im Inversionskanal konstant ist, die Dotierung im Kanal gleichmäßig ist, Sperrströme vernachlässigbar klein sind und das transversale Feld unter dem Gate deutlich größer als das longitudinale Feld in Transportrichtung ist, kann für den Widerstand eines infinitesimalen Kanalstückes dR geschrieben werden [8]:

$$dR = \frac{dy}{W\mu_n |Q_n(y)|}. \quad (2.16)$$

Dabei ist y die Richtung des Ladungstransportes durch den Kanal. Integriert man schließlich von Source nach Drain, erhält man für den Drainstrom I_D des Transistors:

$$I_D = \frac{W}{L}\mu_n C_{ox} \left\{ \left(V_G - 2\Psi_B - \frac{V_D}{2} \right) V_D - \frac{2}{3} \frac{\sqrt{2\epsilon_0\epsilon_r q N_A}}{C_{ox}} \left[(V_D + 2\Psi_B)^{\frac{3}{2}} - (2\Psi_B)^{\frac{3}{2}} \right] \right\}. \quad (2.17)$$

Dabei sind W und L Weite und Länge des Kanals, μ_n ist die Ladungsträgerbeweglichkeit (hier für Elektronen), C_{ox} die Kapazität des Gatedielektrikums (da diese in erster Näherung gleich der Kapazität der invertierten MOS-Diode ist), Ψ_B das Bulkpotenzial des Halbleiters und N_A die Akzeptorkonzentration im Halbleiter. Gleichung 2.17 sagt zwei verschiedene Bereiche für den Strom im MOSFET voraus: Für eine gegebene Gatespannung V_G und eine geringe Drainspannung V_D steigt der Strom linear und kann durch folgenden Ausdruck angenähert werden:

$$I_D = \frac{W}{L}\mu_n C_{ox} (V_G - V_T) V_D, \quad (2.18)$$

wobei

$$V_T = V_{FB} + 2\Psi_B + \frac{\sqrt{2\epsilon_0\epsilon_r q N_A} (2\Psi_B)}{C_{ox}} \quad (2.19)$$

die Schwellenspannung genannt wird. Das ist die Spannung, bei der die MOS-Struktur in starke Inversion geht und damit der Transistor einschaltet (siehe auch Abbildung 2.3). Erhöht man die Drainspannung, flacht der Verlauf des Drainstromes allmählich ab und erreicht mit dem Sättigungsstrom $I_{D,\text{sat}}$ schließlich einen konstanten Wert [15]:

$$I_{D,\text{sat}} = \frac{1}{2n} \mu_n C_{\text{ox}} \frac{W}{L} (V_G - V_T)^2. \quad (2.20)$$

Dabei ist n der so genannte Body-Faktor, der durch $n = 1 + \frac{C_D}{C_{\text{ox}}}$ gegeben ist, wobei die Kapazität der Verarmungszone in Gleichung 2.12 definiert ist. Bei hoher Kanaldotierung kann dieser Faktor deutlich größer als Eins werden, was den maximalen Drainstrom reduziert. Die Sättigung des Drainstromes

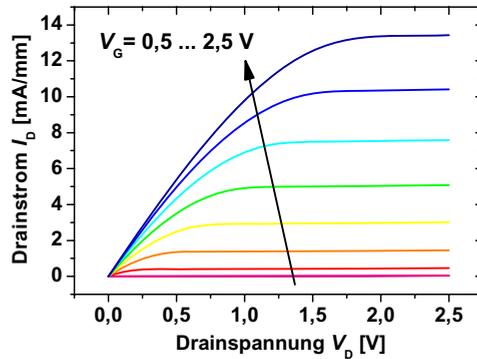


Abbildung 2.6: Typisches Ausgangskennlinienfeld eines nMOSFETs. Man kann gut den linearen Drainstrombereich sowie die Sättigung des Drainstromes erkennen.

wird durch die steigende Drainspannung hervorgerufen. Diese kompensiert nahe des Drainkontaktes die Gatespannung immer mehr, bis schließlich der Inversionskanal abgeschnürt wird (engl. pinch-off). Eine weitere Erhöhung von V_D vergrößert nur noch die Verarmungszone um den Drainkontakt und der Abschmürpunkt des Kanals wandert in Richtung Source. Eine geschlossene Beschreibung der Drainstromcharakteristik eines Feldeffekttransistors für alle Arbeitsbereiche ist in [16] zu finden. In Abbildung 2.6 ist der Drainstrom eines Bulk-MOSFETs in Abhängigkeit der Drainspannung für verschiedene Gatespannungen als Kurvenschar aufgetragen – das so genannte Ausgangskennlinienfeld. Trägt man stattdessen den Drainstrom in Abhängigkeit der Gatespannung für verschiedene Source-Drain-Spannungen auf, erhält man das Transferkennlinienfeld des Transistors (Abbildung 2.7).

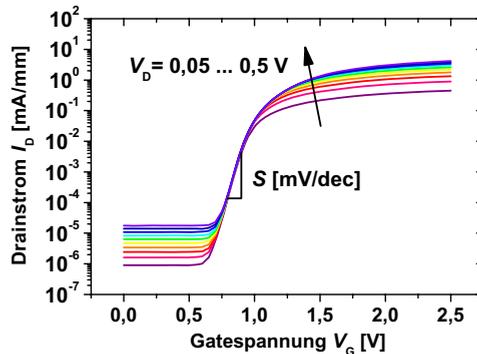


Abbildung 2.7: Typisches Transferkennlinienfeld eines nMOSFETs. Aus der Steigung im linearen Bereich (in halblogarithmischer Auftragung) kann die inverse Schwellensteigung S extrahiert werden (siehe Kap. 2.2.2).

2.2.2 Wichtige Kenngrößen

Schwellenspannung

Die Schwellenspannung V_T ist eine wichtige Kenngrößen eines MOSFETs, weil sie den Einschaltpunkt des Bauelementes definiert. Sie wird laut Gleichung 2.19 durch die Flachbandspannung V_{FB} , die Substratdotierung N_A , sowie die Oxidkapazität C_{ox} beeinflusst. Jegliche Schwankungen der Schwellenspannung durch Ungleichmäßigkeiten der genannten Werte (z. B. durch Oxidladungen, Dotierungsschwankungen, Schichtdickenvariationen) können zu einer Fehlfunktion des Schaltkreises führen, weil die Transistoren nicht mehr gemeinsam geschaltet werden können. Es gibt eine Vielzahl von Methoden, um die Schwellenspannung zu bestimmen, nicht weniger als elf werden in [17] miteinander verglichen. Im Rahmen dieser Arbeit wurde die $I_D/\sqrt{g_m}$ -Methode zur Extraktion der Schwellenspannung verwendet (siehe Kapitel 4.6.3).

Steilheit

Die Steilheit g_m eines Feldeffekttransistors beschreibt die Effizienz, mit der der Drainstrom durch die Gatespannung kontrolliert wird. Sie wird üblicherweise in S/mm angegeben und ist gleich der Ableitung des Drainstromes nach der Gatespannung und für einen Bulk-MOSFET in Sättigung

beschrieben durch [15]:

$$g_m = \frac{dI_{D,\text{sat}}}{dV_G} = \frac{\mu_n C_{\text{ox}} W}{nL} (V_G - V_T) \quad (2.21)$$

mit $n = 1 + \frac{C_D}{C_{\text{ox}}}$ dem Body-Faktor wie in Gleichung 2.20. Je höher die Steilheit ist, desto stärker reagiert der Transistor auf eine Änderung der Gatespannung. Sie wird aus einer bei niedriger Drainspannung aufgenommenen Transferkennlinie gewonnen.

Inverse Unterschwellensteigung

Die inverse Unterschwellensteigung S angegeben in mV pro Dekade ($\frac{\text{mV}}{\text{dec}}$) ist ein Mass dafür, um wieviel Millivolt die Gatespannung erhöht werden muss, um eine Vergrößerung des Drainstromes um eine Größenordnung zu erreichen – also wie schnell ein MOSFET einschaltet [15]:

$$S = \frac{k_B T}{q} \ln(10) \left(1 + \frac{C_D}{C_{\text{ox}}} \right) \quad (2.22)$$

Je kleiner der Wert der inversen Unterschwellensteigung ist, desto besser ist die Schalteigenschaft des Transistors. Für MOSFETs mit thermischer Injektion als Haupt-Drainstromquelle liegt das theoretische Minimum für Raumtemperatur bei etwa 60 mV/dec. Ist die Dichte der Ladungshaftstellen an der Gateoxid/Si-Grenzfläche D_{it} nicht vernachlässigbar klein, so bilden diese Ladungen nach $qD_{\text{it}} = C_{\text{it}}$ eine Kapazität, die parallel zu C_D geschaltet ist. C_D wird dann durch $C_D + C_{\text{it}}$ ersetzt und S vergrößert sich dementsprechend. Die inverse Unterschwellensteigung wird durch einen linearen Fit an eine Transferkennlinie des Transistors in logarithmischer Darstellung, aufgenommen bei moderater Drainspannung, ermittelt (siehe Abbildung 2.7).

Ladungsträgerbeweglichkeit

Die Ladungsträgerbeweglichkeit μ geht nach Gleichungen 2.18 und 2.20 linear in den Drainstrom eines MOSFET ein. Sie ist allgemein definiert als die Proportionalitätskonstante zwischen der Driftgeschwindigkeit v_d und dem elektrischen Feld \mathcal{E} [8]: $v_d = \mu \mathcal{E}$ und wird in cm^2/Vs angegeben. In nicht-polaren Halbleitern wie Silizium werden Ladungsträger hauptsächlich an akustischen Phononen und ionisierten Dotierstoffen gestreut. Beide Streumechanismen sind gegensätzlich von der Temperatur abhängig. Außerdem ist die Beweglichkeit invers proportional zur effektiven Masse der Ladungsträger. Insgesamt ergibt sich folgende Relation:

$$\mu \propto (m^*)^{-\frac{3}{2}} T^{-\frac{1}{2}}. \quad (2.23)$$

Bei der Verwendung von alternativen Gatedielektrika in MOSFETs tritt häufig eine Beweglichkeits-Degradation durch die Streuung an akustischen Phononen auf (siehe Kapitel 2.4.1). Außerdem ist die Streuung an der Grenzfläche high- κ /Si durch die oft hohe Zahl von Ladungen erhöht [18]. Bei der Herstellung von MOSFETs mit high- κ -Materialien als Gatedielektrika sollte also besondere Aufmerksamkeit auf die Ladungsträgerbeweglichkeit in den Bauelementen gelegt werden. Im Rahmen dieser Arbeit wurde die $I_D/\sqrt{g_m}$ -Methode zur Extraktion der Ladungsträgerbeweglichkeit verwendet (siehe Kapitel 4.6.3).

2.3 Skalierung von MOSFETs

2.3.1 Geschichte

Das Reduzieren der Größe von mikroelektronischen Schaltkreisen und damit die Erhöhung der Bauelementdichte auf einem Chip ist die Grundlage des enormen Erfolges, den die CMOS-Technologie in den letzten 40 Jahren verzeichnen konnte. Denn dabei sinken nicht nur die Kosten pro Bauelement, sondern es verbessern sich auch die Eigenschaften der verkleinerten Bauelemente. Vor allem die Schaltzeit wird reduziert und damit die Rechengeschwindigkeit des Schaltkreises erhöht. Obwohl die Kosten für die Produktionswerkzeuge in den letzten Jahrzehnten durch die steigenden Anforderungen an die Präzision um über drei Größenordnungen gestiegen sind, konnten in derselben Zeit die Kosten pro Transistor um sieben Größenordnungen gesenkt werden [19]. Bei der Skalierung wurde zunächst das als „constant field scaling“ bekannte Verfahren angewendet, das zum Ziel hat, die elektrostatischen Verhältnisse in einem MOSFET beizubehalten [20]. Später wurde eine Erhöhung der elektrischen Feldstärke zugelassen, um damit gleichzeitig die Betriebsspannung reduzieren zu können [21]. Da in heutiger Zeit die Leckströme und Instabilitäten der Schwellenspannung stärker in Betracht gezogen werden müssen, wird mittlerweile die Betriebsspannung des Schaltkreises bei der Skalierung konstant gehalten [22]. Allen Skalierungsmethoden ist aber gemeinsam, dass zusammen mit den lateralen Abmessungen des Transistors auch die Schichtdicke des Gateoxids reduziert und gleichzeitig die Dotierung des Kanals erhöht wird.

2.3.2 Kritische Faktoren bei der Skalierung

Im Folgenden werden die wichtigsten Faktoren genannt, die bei fortschreitender Skalierung von integrierten Schaltkreisen zu Problemen beim Betrieb derselben führen.

Dicke des Gatedielektrikums

Ein schwerwiegendes Problem durch die ständige Verringerung der Gateoxiddicke ist der Leckstrom durch direktes Tunneln durch das Oxid, der nach [23] mit sinkender Oxiddicke exponentiell ansteigt:

$$J_{DT} = \frac{A\mathcal{E}_{ox}^2}{\left(1 - \sqrt{\frac{\Phi_B + eV_{ox}}{\Phi_B}}\right)^2} \cdot \exp\left[-\frac{B}{\mathcal{E}_{ox}} \left(1 - \frac{(\Phi_B - eV_{ox})^{\frac{3}{2}}}{\Phi_B^{\frac{3}{2}}}\right)\right]. \quad (2.24)$$

Dabei ist \mathcal{E}_{ox} das elektrische Feld im Oxid, V_{ox} die Spannung, die über dem Oxid abfällt, Φ_B die Höhe der Tunnelbarriere, e die elektrische Elementarladung und A und B Parameter, die im Wesentlichen von der Barrierenhöhe abhängen. Der Term eV_{ox} korreliert mit der Breite der Tunnelbarriere, also in diesem Fall die Dicke des Gateoxids. Der Leckstrom durch ein Gateoxid ist neben dessen Dicke auch von der Polarität der Spannung, der Art und Dicke einer Interfaceschicht und die Größe der Bandkantensprünge zu Silizium – die die Barrierenhöhe Φ_B in Gleichung 2.24 bestimmen – abhängig. Deshalb müssen diese Faktoren ebenfalls berücksichtigt werden [24]. In [25] wird der Einfluss des direkten Tunnelns auf die Skalierbarkeit bei verschiedenen Gatedielektrika verglichen.

Für Siliziumdioxid als Gateoxid gibt es außerdem eine Grenze für die Skalierung, die in den atomaren Bindungen begründet liegt. Damit sich ein Sauerstoffatom so verhält, wie in SiO_2 -Vollmaterial, müssen alle sechs nächsten Nachbarn ebenfalls Sauerstoffatome sein. Die Reihe Sauerstoffatome, die am nächsten an der Grenzfläche zum Substrat liegt, erfüllt diese Bedingung nicht, weil dort der einzig mögliche Bindungspartner in Richtung des Substrates Silizium ist. Erst die zweite Reihe Sauerstoffatome verhält sich wie im Bulk- SiO_2 . Berücksichtigt man in gleicher Weise die Grenzfläche zur Gateelektrode ergibt sich ein Minimum von drei Reihen Sauerstoffatome und damit eine Dicke von ungefähr 7 \AA für das Gateoxid. Unterhalb dieses Wertes entsteht nicht die volle Bandlücke von $8,9 \text{ eV}$ und das Oxid verliert seine isolierenden Eigenschaften [3].

Kurzkanaleffekte

Ein großes Problem beim lateralen Skalieren von MOSFETs sind die sogenannten Kurzkanaleffekte. Dieser Begriff fasst einige Phänomene zusammen, die zu beobachten sind, wenn Source und Drain eines MOSFETs so nah zusammenrücken, dass das longitudinale elektrische Feld des Drainkontaktes einen merkbaren Einfluss auf den Kanal unter dem Gate gewinnt. Die Feldverteilung wird zweidimensional und die Gatekontrolle wird reduziert. Um abzuschätzen, ab welcher Kanallänge in einem Bulk-Transistor

Kurzkanaleffekte auftreten, kann man folgende Formel benutzen [26]:

$$L_{\min} = 0,4 \mu\text{m} \cdot \sqrt[3]{\frac{r_j}{\mu\text{m}} \frac{d_{\text{ox}}}{\text{\AA}} \left(\frac{W_S + W_D}{\mu\text{m}} \right)^2}, \quad (2.25)$$

wobei r_j die Tiefe der implantierten Source- und Drainkontakte bedeutet, d_{ox} die Dicke des Gateoxids und W_S bzw. W_D die Ausdehnungen der Verarmungszonen von Source bzw. Drain.

Der wichtigste Kurzkanaleffekt ist DIBL (engl. **D**rain **I**nduced **B**arrier **L**owering) und er beschreibt die Reduktion der Barriere zwischen Source und Drain durch das Drainpotenzial (siehe Abbildung 2.5). Erreicht diese Barriere nicht die nötige Höhe, fließen auch im Auszustand des Bauelementes nicht zu vernachlässigende Ströme und die Verlustwärme vergrößert sich [27]. Außerdem beschreibt der DIBL die Abhängigkeit der Schwellenspannung des Transistors von der Kanallänge und den angelegten Spannungen bei sehr kleinen Kanallängen, was ein kontrolliertes Schalten mehrerer Bauelemente eines Schaltkreises erschwert. Außerdem können sich bei nicht ausreichend hoher Substratdotierung im Kanalbereich die Verarmungszonen von Source und Drain unterhalb des Kanals berühren, was zu einem hohen Leckstrom führt (so genannter punch-through) [8]. Schließlich verringert die hohe Feldstärke im Kanalbereich die Beweglichkeit der Ladungsträger und führt dadurch zu einer Reduktion des Drainstromes.

Da im Rahmen dieser Arbeit nur Langkanal-Transistoren ($L \geq 5 \mu\text{m}$) hergestellt wurden, musste den Kurzkanaleffekten keine Bedeutung beigegeben werden.

Parasitäre Widerstände und Kapazitäten

Beim Skalieren von integrierten Schaltungen werden nicht nur die Bauelemente selbst verkleinert, sondern auch die Zuleitungen sowie die Abstände zwischen ihnen. Gleichzeitig wird die Dotierung im Kanalbereich des Transistors immer weiter erhöht (bis zu $5 \times 10^{18} \text{cm}^{-3}$ [28]). Beide Faktoren bedingen höhere parasitäre Kapazitäten. Da die Kapazität des Leitungskanals selbst durch die Skalierung stark sinkt, erreichen die parasitären Kapazitäten irgendwann dieselbe Größenordnung und sind damit nicht mehr vernachlässigbar. Durch die verkleinerten Zuleitungen ist deren Widerstand größer, der nun ebenfalls in den Bereich des Kanalwiderstandes kommt [19]. In Abbildung 2.8 sind die parasitären und intrinsischen Widerstände und Kapazitäten von Bauelementen gegen ihre Abmessungen entsprechend ihrer Technologiegeneration aufgetragen. Mit sinkender Strukturgröße gewinnen die parasitären Größen immer stärker an Bedeutung, bis sie schließlich dominieren. Da in einer integrierten Schaltung Transistoren verzweigt

hintereinander geschaltet sind, kann der durch die parasitären Widerstände verringerte Strom eines Transistors schließlich nicht mehr die durch die parasitären Kapazitäten erhöhte Gesamtkapazität der nachfolgenden Schaltung aufladen und der Schaltkreis ist damit nicht mehr funktionsfähig.

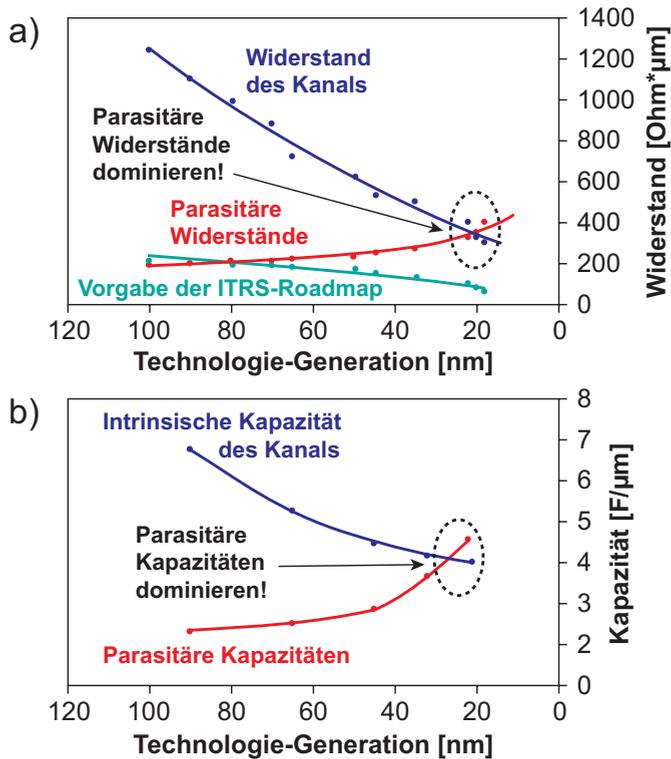


Abbildung 2.8: Entwicklung parasitärer und intrinsischer Widerstände (a) und Kapazitäten (b) fortschreitender Technologie-Generationen (nach [19]).

2.3.3 Mögliche Lösungen

In diesem Kapitel sollen mögliche Lösungen für die Probleme bei der Skalierung von integrierten Schaltkreisen aufgezeigt und beschrieben werden.

Alternative Gatedielektrika

Die vielversprechendste Lösung für das Problem der steigenden Leckströme durch immer dünner werdende Gateoxide ist der Einsatz von alternativen Gatedielektrika, so genannten high- κ -Dielektrika. Diese zeichnen sich durch eine Dielektrizitätskonstante aus, die höher ist als bei SiO_2 ($\kappa > 3,9$). Dadurch kann die Dicke des Gatedielektrikums wieder erhöht werden, ohne dabei die elektrostatischen Gegebenheiten im Bauelement zu verändern. Das bewirkt eine deutliche Reduktion des Tunnelstroms [29].

Neben der hohen Permittivität müssen high- κ -Dielektrika eine Vielzahl von weiteren Anforderungen erfüllen, um tatsächlich als potenzieller Ersatz für das bewährte SiO_2 in Frage zu kommen. Diese werden in Kapitel 2.4.1 ausführlich behandelt.

SOI-Substrate

In den vorigen Abschnitten wurden die Probleme der Kurzkanaleffekte sowie der parasitären Kapazitäten diskutiert. Eine Möglichkeit, beide Phänomene fast vollständig zu eliminieren, ist die Herstellung des MOSFETs auf einem Substratmaterial, das aus einer dünnen, kristallinen Siliziumschicht auf einer vergrabenen SiO_2 -Schicht (engl. **Buried Oxide** – BOX) anstatt aus Vollmaterial besteht (so genanntes **Silicon On Insulator** – SOI) (siehe Abbildung 2.9). Damit werden die meisten störenden kapazitiven Kopplungen zum Substrat verhindert und die Bauelementeigenschaften nähern sich deutlich dem theoretischen Idealfall. Voraussetzung dafür ist allerdings, dass die Dicke und die Dotierung der Siliziumschicht so gering sind, dass die durch das Gate verursachte Verarmungszone durch die gesamte Siliziumschicht hindurchreicht. Man spricht dann von einem vollständig verarmten (engl. fully depleted – FD) Bauelement. Ist die Siliziumschicht hingegen nur teilweise verarmt (engl. partially depleted – PD) entsprechen die Eigenschaften des Bauelementes im Wesentlichen denen des Bulk-MOSFETs [15].

Bei einem FD-SOI-MOSFET muss beachtet werden, dass es mit dem Übergang SOI/BOX eine zweite Grenzschicht gibt, an der Anreicherung, Verarmung oder Inversion herrschen kann. Eine Betrachtung des Drainstromes für alle möglichen Kombinationen der genannten Zustände an den beiden Grenzflächen ist in [30] zu finden. Auch die Qualität der zweiten Grenzschicht ist von Bedeutung für den Betrieb des Bauelementes.

Für den Fall der verarmten Silizium/BOX-Grenzfläche ergibt sich für den *Drainstrom* dieselbe Gesetzmäßigkeit wie beim Bulk-Transistor 2.20, allerdings ist der Body-Faktor hierbei [15]

$$n = 1 + \frac{C_{\text{SOI}}C_{\text{BOX}}}{C_{\text{ox}}(C_{\text{SOI}} + C_{\text{BOX}})}, \quad (2.26)$$

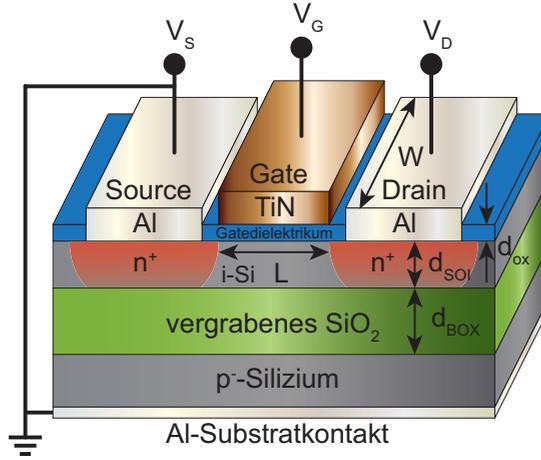


Abbildung 2.9: Aufbau eines SOI-nMOSFETs mit der Kanallänge L , der Kanalweite W , der Gatedielektrikumsdicke d_{is} , der Schichtdicke des Siliziums d_{SOI} und der Schichtdicke des vergrabenen Oxids d_{BOX} . Source und Substratkontakt sind geerdet, das heißt, es gilt: $V_{\text{S}} = 0$.

wobei C_{SOI} , C_{BOX} und C_{ox} die Kapazitäten der SOI-Schicht, des vergrabenen Oxids und des Gateoxids sind. Damit ist n unabhängig von der Dotierung und für typische Werte ($d_{\text{SOI}} = 25 \text{ nm}$, $d_{\text{BOX}} = 100 \text{ nm}$, $d_{\text{ox}} = 5 \text{ nm}$, $\kappa_{\text{ox}} = 20$) eines SOI-MOSFETs nur unwesentlich größer als Eins. Gerade bei hoher Kanaldotierung des Bulk-Bauelementes ist also das SOI-Bauelement in Bezug auf den Drainstrom überlegen.

Die Definition der *Schwellesspannung* eines SOI-MOSFETs ist identisch zu der des Bulk-Bauelementes, allerdings ist V_{th} beim SOI-Bauelement nur wenig dotierungsabhängig. Stattdessen kommt eine Abhängigkeit von der rückwärtigen Gatespannung – also der Spannung am Substratkontakt hinzu, so dass diese in jedem Fall fixiert werden sollte.

Die *Transkonduktanz* eines SOI-MOSFETs ist ebenfalls fast identisch zu der des Bulk-MOSFETs (siehe Gl. 2.21 mit dem Unterschied des abgeänderten Body-Faktors (siehe Gl. 2.26). Dieser bringt wiederum bei hoher Kanaldotierung des Bulk-Siliziums einen Vorteil für das SOI-Bauelement.

Die *inverse Unterschwellensteigung* eines SOI-MOSFETs ist definiert als [15]:

$$S = \frac{k_{\text{B}}T}{q} \ln(10)n \quad (2.27)$$

Dabei sind die Größen wie in Gleichung 2.22 definiert, und n ist der

Body-Faktor aus Gl. 2.26. Wiederum erkennt man die Vorteile des SOI-Bauelementes im Vergleich zu einem Bulk-Bauelement mit hoher Kanaldotierung.

Bei einer nicht zu vernachlässigenden Anzahl an Ladungshaftstellen an der Gateoxid/Si-Grenzfläche und damit einer signifikanten Störstellenkapazität $C_{it} = qD_{it}$ erweitert sich n zu:

$$n = 1 + \frac{C_{it}}{C_{ox}} + \frac{C_{SOI}}{C_{ox}} - F(C_{SOI}, C_{ox}, C_{BOX}, C_{itBOX}), \quad (2.28)$$

wobei F eine Funktion der angegebenen Größen und C_{itBOX} dabei die Störstellenkapazität an der Silizium/BOX-Grenzfläche ist. Wie im Fall der Transistoren auf konventionellem Silizium erhöht ein großes D_{it} auch bei SOI-Transistoren die inverse Unterschwellensteigung.

Verspanntes Silizium

Eine Alternative zu der Skalierung der Gatelänge eines MOSFET, um dessen Schaltgeschwindigkeit und den maximal erreichbaren Drainstrom zu erhöhen, ist die Vergrößerung der Beweglichkeit der Ladungsträger im Kanal (vgl. Gleichung 2.20). Soll dabei der Austausch des Kanalmaterials durch eines mit höherer Ladungsträgerbeweglichkeit vermieden werden, kann auch die Beweglichkeit der Ladungsträger im Silizium erhöht werden. Dazu wird auf das Silizium Druck- oder Zugspannung ausgeübt und so das Kristallgitter gestaucht oder gedehnt, was zu einer erheblichen Änderung der elektrischen Eigenschaften führt. Auf Zug verspanntes Silizium (engl. strained silicon) weist beispielsweise eine erhöhte Beweglichkeit für Elektronen auf [31], wohingegen in auf Druck verspanntem Silizium die Löcher beweglicher sind [32]. Ein in einer Dimension angelegter Druck oder Zug heißt uniaxial, wirkt er hingegen in zwei Dimensionen, spricht man von biaxial verspanntem Silizium. Der Beweglichkeitsgewinn der Ladungsträger in verspanntem Silizium hat mehrere Ursachen. Zum einen ändert sich direkt die Dispersionsrelation des Halbleiters insofern, als dass die effektive Masse der Elektronen bzw. der Löcher abnimmt und sich nach der Relation 4.12 damit die Beweglichkeit erhöht. Gleichzeitig verschieben sich die Valenz- bzw. Leitungsbänder derart, dass das Band mit der niedrigeren effektiven Masse energetisch absinkt und damit als einziges besetzt wird. Schließlich wird noch die Streuung der Ladungsträger in andere Täler der Bänder im k -Raum stark vermindert, was ebenfalls zu einer Mobilitätserhöhung führt [33].

Grundsätzlich gibt es zwei verschiedene Möglichkeiten, verspanntes Silizium im Kanalbereich eines MOSFETs zu erzeugen. Globale Verspannung ist durch die Verwendung von verspanntem Silizium als Substratmaterial möglich – entweder auf einer Si_xGe_y -Pufferschicht oder aber als „strained

Silicon On Insulator“ (sSOI) in Analogie zu den SOI-Substraten. Vorteilhaft beim sSOI ist, dass alle im vorhergehenden Punkt genannten Vorteile der Skalierung auch bei sSOI-Substraten zutreffen. Für eine lokale Zugverspannung direkt am Bauelement (engl. stress engineering) werden vor allem so genannte Stressor-Schichten aus Siliziumnitrid über dem gesamten MOSFET verwendet. Außerdem kann man Zug- bzw. Druckspannungen im Kanal erzeugen, indem man eingebettete Source- und Drainkontakte aus Kohlenstoff-dotiertem Silizium bzw. einer Silizium-Germanium-Legierung einsetzt, die eine von Silizium abweichende Gitterkonstante aufweisen [34]. Auch Kombinationen aus globaler und lokaler Verspannung sind schon erfolgreich demonstriert worden [35, 36] und erwiesen sich bis auf Ausnahmen als voll addierbar.

Im Rahmen dieser Arbeit wurden Transistoren mit einem high- κ -Dielektrikum auf biaxial zugverspanntem sSOI-Substratmaterial hergestellt und charakterisiert.

Low- κ -Materialien und Kupfer

Um die unerwünschten parasitären Widerstände und Kapazitäten in integrierten Schaltkreisen zu verringern, werden in der industriellen Fertigung vermehrt spezialisierte Materialien eingesetzt.

Zur Reduktion der parasitären Kapazitäten in den Schaltkreisen werden Füllmaterialien mit besonders niedriger Dielektrizitätskonstante gesucht, in die die Metallisierungsbahnen eingebettet werden können. Erfolge wurden dabei mit $\text{SiO}_2\text{:F}$ und SiOCH erzielt [37, 38]. Sie besitzen durch eine große Porosität eine Permittivität von $\kappa \leq 3$ und zusätzlich eine hohe mechanische und thermische Stabilität.

Für Leiterbahnen wird statt wie früher üblich Aluminium nun Kupfer eingesetzt, um die parasitären Widerstände der Zuleitungen bei vertretbarem Preis so weit wie möglich zu verringern. Dabei muss unter allen Umständen vermieden werden, dass Kupfer mit den Transistoren selbst in Berührung kommt, da es in Silizium tiefe Störstellen hervorruft, die die Schwellenspannung des Transistors erheblich verschieben können [39, 40]. Außerdem können Ausscheidungen von Kupferclustern die elektrische Festigkeit des Gateoxids negativ beeinflussen [41].

Da im Rahmen dieser Arbeit nur einlagige Transistorstrukturen hergestellt wurden, die direkt mit Messnadeln kontaktiert werden konnten, wurden low- κ -Materialien sowie hochleitfähige Leiterbahnen nicht verwendet.

2.4 High- κ -Dielektrika

2.4.1 Anforderungen an high- κ -Dielektrika

Wie schon in Kapitel 2.3 beschrieben, ist der Einsatz von high- κ -Dielektrika die vielversprechendste Möglichkeit, das Problem der wachsenden Leckströme durch das Gateoxid bei fortschreitender Skalierung der Bauelemente zu lösen. Doch nicht nur eine hohe Dielektrizitätskonstante ist wichtig für ein alternatives Gatedielektrikum, das für den Ersatz des bisher verwendeten Siliziumdioxids in Frage kommt. Vielmehr gibt es eine Vielzahl von Anforderungen an potenzielle high- κ -Dielektrika, die sich alle an den – abgesehen von der niedrigen Permittivität – hervorragenden Eigenschaften von SiO_2 orientieren. Diese sind [42]:

1. Die Dielektrizitätskonstante sollte deutlich höher als die von SiO_2 ($\kappa = 3,9$) sein, um durch eine größere physikalische Dicke die Tunnelströme zu reduzieren, aber auch nicht größer als ~ 60 , um unerwünscht hohe elektrische Randfelder an den Source- und Drainelektroden zu vermeiden [43, 44]. Gleichzeitig sollte die Bandlücke (und damit die Isolierfähigkeit) möglichst groß und darüberhinaus die Bandkanten angepasst zu denen von Silizium sein, um ausreichend hohe Barrieren für den Stromfluss von Elektronen bzw. Löchern zu bieten (mind. 1 eV).
2. Die thermodynamische Stabilität in Kontakt mit Silizium sollte bis zu dem in der CMOS-Technologie üblichen thermischen Budget (1000°C, 10 s [45]) gegeben sein, um unerwünschte Reaktionen an der Grenzfläche zu vermeiden.
3. Die Morphologie der Schicht sollte über den verwendeten Temperaturbereich stabil sein. Bevorzugt werden amorphe oder einkristalline Schichten.
4. Die Qualität der Grenzfläche zwischen high- κ -Dielektrikum und Silizium muss sehr hoch sein, quantifizierbar durch eine geringe Dichte an Grenzflächen-Ladungsfangstellen D_{it} .
5. Die Kompatibilität des high- κ -Dielektrikums mit den in der CMOS-Technologie zur Zeit oder auch geplant in der Zukunft verwendeten Materialien muss gegeben sein.
6. Die Kompatibilität der Depositions-, Strukturierungs- und Ätzverfahren des high- κ -Dielektrikums mit gängigen Verfahren der CMOS-Technologie muss gezeigt werden.

7. Eine ausreichende Zuverlässigkeit des high- κ -Dielektrikums bezüglich dessen elektrischen Eigenschaften über eine lange Zeit auch bei erhöhten Temperaturen, wie sie im Betrieb des Bauelementes auftreten können, muss gewährleistet sein.

Bei Verwendung von einigen alternativen high- κ -Dielektrika in MOS-FETs ist eine Verminderung der Beweglichkeit der Ladungsträger im Leitungskanal beobachtet worden. Als wesentliche Ursache hierfür wurde die Streuung der Ladungsträger an optischen, weichen Phononen, ausgelöst durch die hochpolarisierbaren Metall-Sauerstoff-Bindungen, identifiziert [18, 46]. Obwohl diesem Phänomen durch die Verwendung eines Gatekontaktes aus Metall (z. B. TiN, siehe Kapitel 2.5) entgegengewirkt werden kann [47], sind alternative Gatedielektrika, die keine oder nur eine geringe Verminderung der Beweglichkeit hervorrufen, zu bevorzugen.

2.4.2 Potenzielle Materialien

Im Laufe der letzten Jahre wurde eine Vielzahl von verschiedenen Materialien im Hinblick auf ihre Eignung als alternatives Gatedielektrikum untersucht. Darunter sind sowohl binäre als auch ternäre Oxide, aber auch einige Nitride. Die populärsten Kandidaten sind Si_3N_4 , Al_2O_3 , Ta_2O_5 , Y_2O_3 , La_2O_3 , Gd_2O_3 , TiO_2 , LaAlO_3 , SrTiO_3 , ZrO_2 , HfO_2 und HfSiO_4 [3, 4, 29, 48–51]. Die Spanne ihrer Dielektrizitätskonstanten reicht von Werten nur wenig größer als der von SiO_2 (z. B. Si_3N_4 : $\kappa = 7$, Al_2O_3 : $\kappa = 9$) über eine moderate Permittivität ($\kappa = 15$ – 25) für einige binäre und ternäre Oxide bis hin zu Oxiden und Ferroelektrika mit sehr hoher Dielektrizitätskonstante (z. B. TiO_2 : $\kappa = 80$, SrTiO_3 : $\kappa = 2000$). In Tabelle 2.1 sind die Eigenschaften verschiedener potenzieller high- κ -Materialien aufgelistet. Allerdings erfüllt keines der aufgeführten Materialien alle in Kapitel 2.4.1 genannten Anforderungen. So ist z. B. Al_2O_3 mit seinem relativ niedrigen $\kappa = 9$ nicht für high- κ -Applikationen zukünftiger Generationen geeignet, Ta_2O_5 ist thermodynamisch nicht stabil auf Silizium [5], SrTiO_3 besitzt einen zu kleinen Bandkantensprung zu Silizium und damit eine zu kleine Barriere für den Stromfluss von Löchern [4]. ZrO_2 und HfO_2 kristallisieren schon bei moderaten Temperaturen und bieten durch die entstandenen Korngrenzen Pfade für den Transport von Ladungsträgern oder die Diffusion von Dotierstoffen [52].

Unter den high- κ -Kandidaten sind hafniumbasierte Oxide, Nitride, Silikate, Aluminate und Kombinationen daraus die bisher mit Abstand meistuntersuchten [50]. Dieser Wissensvorsprung gepaart mit den guten Ergebnissen der Untersuchungen sind der Grund dafür, dass ein hafniumbasiertes Gatedielektrikum nun tatsächlich in die aktuelle 45 nm-Generation des Chipherstellers Intel (Codename „Penryn“) integriert wird [53].

Material	Permittivität κ	Bandlücke E_g [eV]	Bandkantensprung zum CB von Si ΔE_c [eV]
SiO ₂	3,9	9	3,2
Si ₃ N ₄	7	5,3	2,4
Al ₂ O ₃	9	8,8	2,8
Ta ₂ O ₅	22	4,4	0,35
TiO ₂	80	3,5	0
SrTiO ₃	2000	3,2	0
ZrO ₂	25	5,8	1,5
HfO ₂	25	5,8	1,4
HfSiO ₄	11	6,5	1,8
La ₂ O ₃	30	6	2,3
Y ₂ O ₃	15	6	2,3
Gd ₂ O ₃	14 [54]	5,9	2,1 [55]
LaAlO ₃	30	5,6	1,8

Tabelle 2.1: Vergleich verschiedener wichtiger Eigenschaften von möglichen high- κ -Kandidaten mit SiO₂ als Referenz (nach [4] ergänzt um die Werte für Gd₂O₃)

2.4.3 Seltenerd-basierte binäre Oxide

Neben den hafnium- und zirkonbasierten high- κ -Dielektrika sind auch die Seltenerd-basierten binären Oxide (RE_2O_3) in letzter Zeit immer mehr in den Fokus der Forschung gerückt. Einige dieser Oxide wurden schon im vorangegangenen Kapitel behandelt. RE ist Y, La oder ein Element aus der Lanthanidengruppe (Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu). Diese Materialien haben eine ähnlich hohe Dielektrizitätskonstante verglichen mit den hafniumbasierten Dielektrika, aber eine bessere thermische Stabilität und größere Bandkantensprünge zu Silizium und damit potentiell eine bessere Isolationsfähigkeit [56]. Außerdem wurde in systematischen Studien über die thermodynamische Stabilität von binären Oxiden und Nitriden in Kontakt mit Silizium (eine der wichtigsten Anforderungen an potentielle high- κ -Dielektrika, siehe Kapitel 2.4.1 Nr. 2) deren Stabilität in Kontakt mit Silizium vorausgesagt. Abbildung 2.10 zeigt die zusammengefassten Ergebnisse dieser Studien von Hubbard, Schlom, Haeni et al. [6, 7, 57]. Die Zahl der als Gateoxid verwendbaren Materialien wird bereits durch die theoretischen Berechnungen deutlich eingeschränkt.

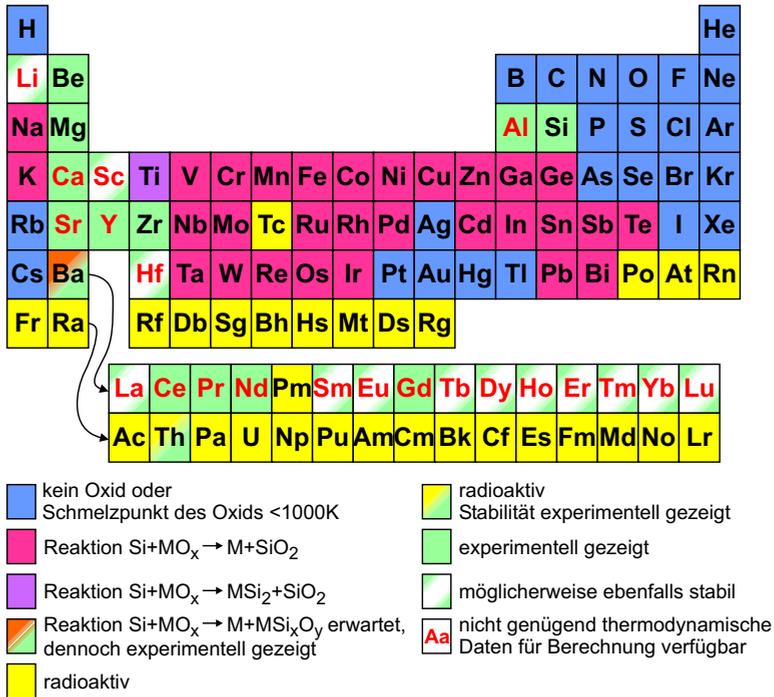


Abbildung 2.10: Zur Stabilität der Oxide auf Silizium bei einer Temperatur von 1000 K. Die verschiedenen Farben geben an, ob bzw. aus welchem Grund das jeweilige Oxid für die Verwendung als Gatedielektrikum geeignet bzw. nicht geeignet ist (entnommen aus [58]).

Ein weiterer Punkt, der die Seltenerd-basierten binären Oxide attraktiv für die Integration mit siliziumbasierter Mikroelektronik macht, ist die gute Übereinstimmung ihrer Gitterkonstante mit dem Vielfachen der Gitterkonstante von Silizium ($a(\text{Gd}_2\text{O}_3) = 10.812 \text{ \AA}$; $2a(\text{Si}) = 10.862 \text{ \AA}$ [59]), was prinzipiell eine Integration von epitaktischen Gatedielektrika in die CMOS-Technologie möglich macht. Es wurden schon vielversprechende Ergebnisse für Pr_2O_3 [60] und Gd_2O_3 [61] gezeigt.

Ein Nachteil der Seltenerd-basierten binären Oxide ist deren hygroskopisches Verhalten. Sie bilden schon mit der Luftfeuchtigkeit Hydroxide, die die elektrischen Eigenschaften negativ beeinflussen können [62]. Daher müssen diese Schichten direkt nach der Deposition *in situ* mit einer Schutzschicht abgedeckt werden, was die Integration dieser Materialien in bestehende Prozesse erschwert.

2.4.4 Seltenerd-basierte ternäre Oxide

Die ternären Oxide wurden in den Studien von Hubbard, Schlom, Haeni et al. [6, 7, 57] zwar nicht berücksichtigt, doch gilt als Faustregel: Sind zwei binäre Oxide stabil in Kontakt mit Silizium, so gilt dies auch für das aus beiden gebildete ternäre Oxid. Darunter fallen auch die Scandate der Seltenen Erden mit der Summenformel $REScO_3$.

Seltenerd-Scandate

Die Seltenerd-Scandate sind eine bislang nur wenig untersuchte Materialklasse. Die ersten Untersuchungen aus dem Jahre 1951 beschreiben $LaScO_3$ und $NdScO_3$ als deformierte Perowskite aufgrund von Pulverdiffraktometrie-Messungen [63]. Im Jahr 1978 veröffentlichten Clark et al. [64] eine Untersuchung der Kristallstruktur der gesamten Seltenerd-Scandate-Reihe (außer $CeScO_3$). Die ersten Einkristalle aus $GdScO_3$ wurden 1987 von Amanyan et al. [65] gezüchtet. Erst im Jahr 2004 haben Liferovich und Mitchell [66] mit Hilfe moderner Röntgendiffraktometrie erneut systematisch die Struktur der $REScO_3$ -Reihe bestimmt. Eine aufgrund dieser Daten angefertigte Darstellung der pseudokubischen Einheitszelle von orthorhombischem $GdScO_3$ ist in Abbildung 2.11 zu sehen.

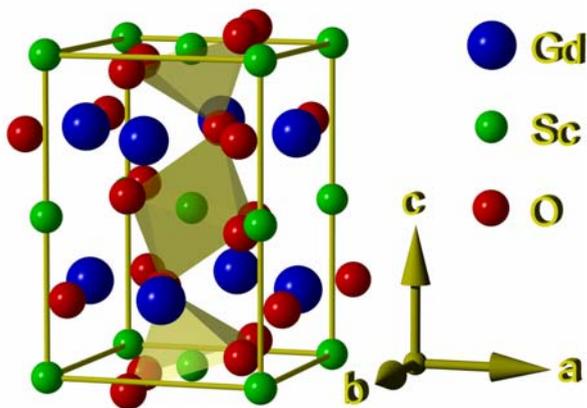


Abbildung 2.11: Darstellung der orthorhombischen Einheitszelle von $GdScO_3$. Die Pfeile kennzeichnen die Kristallrichtungen. Die verdrehten und verkippten Sauerstoff-Oktaeder machen die verzerrte Perowskitstruktur aus.

Diese orthorhombische Struktur (Raumgruppe $Pbnm$ (62), isostrukturell zu $GdFeO_3$ [67–69]) entsteht aus dem idealen Perowskit durch ein Verdrehen und Verkippen der Sauerstoff-Oktaeder um die Scandium-Atome. Grund für die Entstehung dieser verzerrten Struktur ist das unterschiedliche Größenverhältnis der Metallatome im Vergleich zum idealen Perowskit. Die ersten elektrischen Charakterisierungen von epitaktischen Dünnschichten aus $YScO_3$ und $NdScO_3$ bzw. aus $PrScO_3$, $SmScO_3$, $EuScO_3$ und $GdScO_3$ stammen aus den Jahren 1979 und 1980 und wurden von Kutolin et al. [70] bzw. Porotnikov et al. durchgeführt [71]. Sie bestimmten den spezifischen Widerstand sowie die Dielektrizitätskonstante der Schichten. Allerdings legen die von ihnen publizierten Werte für κ von 8 bis 15 im Vergleich mit den aktuellen Messungen an Einkristallen [58, 72–74] die Vermutung nahe, dass diese Filme nicht in Perowskitstruktur vorlagen.

Kürzlich durchgeführte Untersuchungen von amorphen Dünnschichten mittels interner Photoemissions- und Photoleitfähigkeits-Messungen von Afanas'ev et al. [75] ergaben für $LaScO_3$, $DyScO_3$ und $GdScO_3$ sowie $LaAlO_3$ große Bandlücken von 5,6–5,7 eV sowie günstige Bandanpassungen zu Silizium mit Leitungsbandkantensprüngen von 2 eV und Valenzbandkantensprüngen von 2,5–2,6 eV.

Die elektrische Charakterisierung von Dünnschichten der drei genannten Scandate abgeschieden auf Silizium mit gepulster Laserdeposition (PLD, siehe Kapitel 3.1) zeigte eine hervorragende thermodynamische Stabilität dieser Materialien. $DyScO_3$ und $GdScO_3$ blieben amorph bis zu einer Temperatur von 1000°C und $LaScO_3$ bis zu 800°C. Dazu wurden störungs- und fast hysteresefreie C-V-Kurven und niedrige Leckströme gemessen sowie eine Permittivität von etwa 22 bestimmt [76]. Ellipsometrische Untersuchungen von $LaScO_3$ - und $LaAlO_3$ -Schichten bestätigten mit einer gemessenen Bandlücke von $E_g = 5\text{--}6\text{ eV}$ im Wesentlichen die oben genannten Ergebnisse [77].

Heeg et al. [78, 79] demonstrierten das Wachstum von amorphen und auch epitaktischen $LaScO_3$ -, $DyScO_3$ - und $GdScO_3$ -Dünnschichten hoher kristalliner Perfektion (abgeschieden mit der PLD) auf $SrTiO_3$ - und MgO -Substraten und konnten mit den oben genannten vergleichbare elektrische Eigenschaften ermitteln. $LaScO_3$ -Schichten wiesen eine Permittivität von $\kappa \sim 24$ auf und $DyScO_3$ - und $GdScO_3$ -Schichten ein etwas geringeres κ von ~ 20 . Optische Absorptionsmessungen der Schichten auf den MgO -Substraten ergaben zudem Bandlücken für die kristallinen Materialien von $E_g \sim 5,8\text{ eV}$ und $E_g \sim 5,5\text{ eV}$ für die amorphen Schichten.

Christen et al. [80] fanden eine monoton steigende Kristallisationstemperatur mit steigender Ordnungszahl der Seltenen Erde. Die Kristallisationstemperaturen lagen zwischen 650°C und 800°C, wurden aber an relativ

dicken PLD-deponierten Schichten mit $d > 200$ nm gemessen und sind nicht ohne weiteres auf ultradünne Filme übertragbar. Zudem wurde eine Erhöhung der Dielektrizitätskonstante durch die Kristallisation auf Werte von $\kappa > 30$ (gemessen mit Mikrowellen-Mikroskopie bei einer Frequenz von 1,7 GHz) festgestellt.

Unabhängig voneinander konnten Van Elshocht et al. [81] und Thomas et al. [82, 83] die Deposition von stöchiometrischen DyScO_3 -Schichten mittels metallorganischer Gasphasenabscheidung (MOCVD) mit unterschiedlichen Precursoren $(\text{Me}(\text{mmp})_3$ bzw. $\text{Me}(\text{EDMDD})_3$, $\text{Me} = \text{RE}/\text{Sc}$) zeigen. Die Untersuchungen ergaben eine geringe Oberflächenrauigkeit ($\text{rms} < 2 \text{ \AA}$), eine Dielektrizitätszahl von ~ 22 , C-V-Kurven mit geringer Hysterese und niedrige Leckströme. Allerdings beobachteten Thomas et al. [82, 83] eine Interdiffusion zwischen dem Oxid und dem Siliziumsubstrat nach Tempern in Sauerstoff bei sehr hohen Temperaturen ($T > 1000^\circ\text{C}$).

Die Atomlagenabscheidung (ALD, siehe Kapitel 3.3) wurde bisher zur Abscheidung von YScO_3 [84] und GdScO_3 [85] verwendet, wobei für beide Materialien vorteilhafte morphologische sowie elektrische Eigenschaften gefunden wurden. Vor allem der $\text{WN}/\text{GdScO}_3/\text{Si}$ -Stack zeigte mit einer nur $1,5 \text{ \AA}$ dicken SiO_2 -Zwischenschicht, einer Dielektrizitätskonstante von ~ 22 und einem Leckstrom von $2 \text{ mA}/\text{cm}^2$ bei einer äquivalenten Oxiddicke von 1 nm und 1 V Gatespannung hervorragende Eigenschaften. Außerdem wurde eine relativ geringe Zahl von Ladungshaftstellen an der Grenzfläche ($\sim 3,0 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$) und von festen Ladungen im Oxid ($\sim 3,45 \times 10^{11} \text{ cm}^{-2}$) festgestellt.

Die beschriebenen Ergebnisse zeigen, dass die Seltenerd-Scandate die ersten vier der in Kapitel 2.4.1 aufgelisteten Anforderungen an potenzielle alternative Gatedielektrika erfüllen. Ziel dieser Arbeit ist es, die vielversprechenden Resultate für verschiedene Depositionsverfahren zu verifizieren und weiter zu optimieren und darüber hinaus die nächsten beiden Anforderungen – nämlich die Material- und Prozesskompatibilität – für GdScO_3 zu demonstrieren, indem es in einen Prozess zur Herstellung von MOSFETs integriert wird.

LaLuO₃

Über das Material LaLuO_3 liegen bislang noch nicht viele Daten vor. Ovanesyan et al. [86] beschrieben 1998 zum ersten Mal die Herstellung von LaLuO_3 -Einkristallen nach dem Czochralski-Verfahren. Sie ermittelten auch die Gitterkonstanten der orthorhombischen Kristallstruktur und einige optische Parameter und die Dichte. Die Kristallstruktur ist identisch zu der der Seltenerd-Scandate, besitzt nur andere Gitterkonstanten. Später entdeckte dieselbe Gruppe einen leichten Lu-Überschuss in den

gezüchteten Kristallen [87]. Die Gruppe um C. Pédrini untersuchte 1999 das Fluoreszenzverhalten von Cer-dotiertem LaLuO_3 und verglichen es mit dem von $\text{LuAlO}_3\text{:Ce}$ [88]. Ito et al. veröffentlichten im Jahr 2000 eine Studie zur magnetischen Suszeptibilität und der spezifischen Wärme des Systems ABO_3 mit $A = \text{La-Nd}$ und $B = \text{Dy-Lu}$ [89]. Sie identifizierten LaLuO_3 als Diamagneten und bestimmten außerdem erneut die Gitterparameter, die deutlich von denen in [86] abweichen.

Kürzlich untersuchten Schubert et al. [90] mit der PLD deponierte, epitaktische LaLuO_3 -Schichten auf SrTiO_3 - und LaAlO_3 -Substraten und konnten Dielektrizitätskonstanten von $\kappa \sim 45$ entlang der langen Achse in der orthorhombischen Kristallstruktur bestimmen. Diese Messungen unterstreichen das große Potenzial dieses Materials für den Einsatz als alternatives Gatedielektrikum, das in dieser Arbeit auch für amorphe Schichten gezeigt werden soll.

2.5 Metalle als Gatekontakte

In den letzten Jahrzehnten wurde als Material für den Gatekontakt hochdotiertes polykristallines Silizium (poly-Si) verwendet, weil es naturgemäß kompatibel mit dem CMOS-Prozess ist. Aufgrund der relativ geringen Ladungsträgerdichte wird bei fortschreitender Skalierung der Bauelemente die Verarmungszone trotz der hohen Dotierung des Siliziums relevant (einige Å breit). Diese bildet eine mit der Oxidkapazität in Reihe geschaltete Kapazität, die durch die relativ geringe Permittivität von Silizium ($\kappa = 11,9$) die Gesamtkapazität des Gatestacks reduziert. Dieser Effekt der Verarmungskapazität kann vermindert werden, indem man das poly-Si durch ein Metall ersetzt. Typische Gatemetalle sind Tantalcarbide (TaC_x), Titanitrid (TiN), Tantal-Siliziumnitrid (TaSiN) oder auch Ruthen (Ru) [4]. Dabei wird das Gatemetall vor allem nach seiner Austrittsarbeit und seiner thermischen Stabilität ausgewählt.

Die Austrittsarbeit des Gatemetalls bestimmt die Schwellenspannung des Bauelementes, also die Spannung, bei der das Bauelement in Inversion geht und damit einschaltet. Es gibt zwei Möglichkeiten, das Gatemetall auszuwählen. In einem CMOS-Schaltkreis gibt es NMOS- und PMOS-Transistoren. Die erste Möglichkeit ist, dasselbe Metall für beide Arten von Transistoren zu benutzen. Dann sollte die Austrittsarbeit etwa in der Mitte der Bandlücke von Silizium liegen (engl. midgap – $\sim 4,6 \text{ eV}$). Das ist die einfachste Möglichkeit, aber auch die schlechteste in Bezug auf die Leistungsfähigkeit der Bauelemente. Die andere Möglichkeit ist, unterschiedliche Gatemetalle für NMOS- und PMOS-Transistoren auszuwählen. Für NMOS-Transistoren benötigt man ein Metall, dessen Austritts-

Kapitel 3

Probenherstellung

In diesem Kapitel werden die Herstellungsmethoden für die im Rahmen der vorliegenden Arbeit untersuchten Schichtsysteme und Bauelemente vorgestellt und Besonderheiten der einzelnen Verfahren hervorgehoben. Außerdem werden die zur Präparation der untersuchten MOS-Dioden sowie MOSFETs entwickelten Prozesse detailliert beschrieben.

3.1 Gepulste Laserdeposition

Die Schichtabscheidung mit Hilfe gepulster Laserstrahlung (engl. **Pulsed Laser Deposition** – PLD) gehört zu den physikalischen Schichtabscheidungen (engl. **Physical Vapor Deposition** – PVD). Sie wird vorwiegend in der Forschung eingesetzt, um dünne Schichten beinahe beliebigen Materials auf verschiedensten Substraten abzuscheiden. Eine umfassende Liste von erfolgreich mit der PLD deponierten Materialien ist in [94] zu finden.

Das Grundprinzip der PLD ist einfach und wurde schon 1965 zum ersten Mal von Smith und Turner verwendet [95]. Der Strahl eines gepulst betriebenen Lasers wird auf die Oberfläche eines so genannten Targets aus dem abzuscheidenden Material fokussiert. Die Energie des Lasers wird im Targetmaterial absorbiert, es heizt sich auf und verdampft schlagartig. Dabei bildet sich ein laserinduziertes, dichtes Plasma in Form einer Keule, das sich senkrecht zur Targetoberfläche ausbreitet. Das Plasma trifft auf das in der Ausbreitungslinie positionierte Substrat, das Material kondensiert dort und bildet die gewünschte Schicht. Eine schematische Darstellung eines PLD-Aufbaus ist in Abbildung 3.1 zu sehen.

Der Materialabtrag bei der PLD findet in einem sehr kurzen Zeitfenster nach dem Laserpuls statt, weshalb Diffusion nur eine untergeordnete Rolle spielt. Das Material expandiert fern vom thermodynamischen Gleichgewicht in einer dichten Schockfront. Innerhalb dieser ist die mittlere freie Weglänge

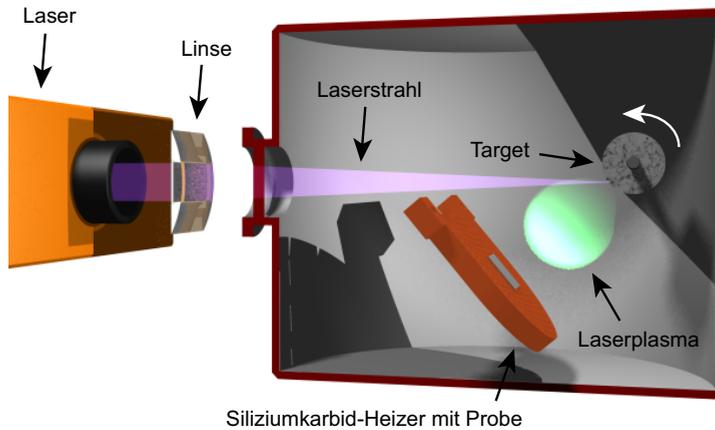


Abbildung 3.1: Schematischer Aufbau eines PLD-Systems. Der Excimer-Laser (links) emittiert einen Laserpuls, der von einer Linse gebündelt wird, über ein Fenster in die Ablationskammer eintritt und dort auf ein zylinderförmiges, rotierendes Target trifft. Das Substrat ist auf einem Siliziumkarbidheizer montiert. Das Laserplasma ist ebenfalls angedeutet.

der Teilchen klein und die Sättigungsdampfdrücke der einzelnen Elemente sind unerheblich. Dadurch wird im Vergleich zu anderen Abscheideverfahren auch bei komplexen Stoffen ein guter stöchiometrischer Übertrag vom Target zum Substrat erreicht.

Um eine geringe Eindringtiefe der Laserstrahlung in das Targetmaterial zu erzielen, werden üblicherweise Excimer-Laser im ultravioletten Wellenlängenbereich verwendet (KrF: $\lambda = 248 \text{ nm}$, ArF: $\lambda = 193 \text{ nm}$ oder F₂: $\lambda = 157 \text{ nm}$). Die maximal erreichbaren Abscheideraten liegen bei der PLD mit bis zu 50 nm/s höher als bei vielen anderen Beschichtungsverfahren [96]. Üblicherweise wird die gepulste Laserdeposition in einer Vakuumkammer bei einem Druck zwischen 10^{-4} und 10^{-1} mbar durchgeführt, um Streuprozesse zwischen Plasma und Restgasteilchen zu minimieren und eine eventuelle Oxidation der Substratoberfläche zu verhindern. Die Art der Restgasteilchen und der Restgasdruck bestimmen die kinetische Energie der ablatierten Teilchen. Es können Energien von Bruchteilen von eV bis hin zu 100 eV erreicht werden. Damit sind Effekte von thermischer Anlagerung über Einlagerung in die Substratoberfläche und Zerstäuben derselben bis hin zur Implantation in das Substratmaterial möglich [96].

In der Regel wird das Substrat auf einem Heizelement platziert, um dessen Temperatur während der Deposition variieren zu können. Damit wird

eine bestimmte Beweglichkeit der auf der Substratoberfläche adsorbierten Teilchen erreicht. Dies beeinflusst die Tendenz der Atome sich geordnet und damit kristallin anzuordnen. Von Raumtemperatur bis zu einigen hundert Grad Celsius bilden sich typischerweise amorphe Schichten. Bei höheren Temperaturen (abhängig vom Material) wachsen hingegen polykristalline bzw. – bei geeignetem Substrat – epitaktische Schichten auf.

Ist die Laserleistung bei der Abscheidung zu klein, kann aufgeschmolzenes und ausgetriebenes Targetmaterial auf der Substratoberfläche zu so genannten „Droplets“ erstarren, die die Schichtqualität mindern. Ferner findet man auf den deponierten Schichten häufig Partikel unterschiedlicher Größe, die aus dem Target ausgebrochen und mit dem Plasma zum Substrat transportiert worden sind. Die Zahl, Größe und Verteilung dieser Partikel wird neben den Depositionsparametern auch von der Art des Targets bestimmt. Die geringste Zahl an Partikeln liefern Targets aus einem Einkristall. Zusammengesinterte Körper aus Pulvern der einzelnen Komponenten erzeugen sie eine höhere Zahl von Partikeln, sind in der Herstellung aber weitaus günstiger [94].

Die Größe des nutzbaren Laserfokusses bei kommerziell erhältlichen Lasersystemen ist durch die Laserleistung begrenzt. Bei starrer Anordnung von Target und Substrat ist daher eine gleichmäßige Beschichtung größerer Flächen – z. B. ganzer 100 mm-Wafer – nicht möglich. Durch eine relative Bewegung zwischen Target und Substrat kann auch eine großflächigere Abscheidung erreicht werden. Da dabei auch die Randbereiche des Plasmas zur Beschichtung genutzt werden, sind genaue Kenntnisse über die winkelabhängige Plasmazusammensetzung nötig, um eine hohe Schichtqualität erreichen zu können [97].

Im Rahmen dieser Arbeit wurde ein PLD-System mit einem Krypton-Fluorid-Excimerlaser der Firma Lambda Physik (LPX 305i) zur Abscheidung von Seltenerd-basierten ternären Oxiden auf Siliziumsubstraten verwendet. Dieser Laser erzeugt Pulse mit einer Wellenlänge von $\lambda = 248$ nm, einer Dauer von $t_P = 25$ ns und einer Energie von etwa $E_P = 1$ J bei einer maximalen Repetitionsrate von $f_P = 50$ Hz. Zur Schichtabscheidung wurde der Laser mit einer Frequenz von 10 Hz betrieben. Die Depositionskammer erreicht einen Basisdruck von etwa $p = 10^{-5}$ mbar. Während der Deposition kann wahlweise Sauerstoff oder Stickstoff als Prozessgas über ein Magnetventil in die Kammer gelassen werden. Die Substrate der Größe 10×10 mm² oder 10×20 mm² werden auf einem mäanderförmigen Siliziumkarbid-Heizelement platziert, das diese auf eine Temperatur von 1000°C bringen kann. Die Kontrolle der abgeschiedenen Schichtdicke erfolgt über die Herstellung von Kalibrierungsproben, die kurz vor der eigentlichen Probe hergestellt und dann vermessen werden.

3.2 Elektronenstrahlverdampfen

Das Elektronenstrahlverdampfen ein einfaches Beschichtungsverfahren, was die Komplexität des physikalischen Vorganges als auch den apparativen Aufwand angeht. In einem Vakuumrezipienten werden bei einem Druck von 10^{-5} bis 10^{-7} mbar das abzuschneidende Material in einem Tiegel und das Substrat in Sichtlinie zueinander positioniert. Die von einer Glühkathode emittierten Elektronen werden durch eine Spannung von einigen kV beschleunigt und durch ein Magnetfeld derart auf eine kreisförmige Bahn gelenkt, dass sie auf das Material im Tiegel treffen. Die Elektronen geben ihre kinetische Energie an das abzuschneidende Material ab, das sich daraufhin erhitzt, anfängt zu schmelzen und schließlich verdampft. Der Dampf breitet sich durch den geringen Druck in der Kammer nahezu ohne Streuung aus, trifft auf das Substrat und kondensiert dort. Betrachtet man die Verdampfungsrates Φ_e als Zahl der Atome bzw. Moleküle pro Fläche und Zeit, erhält man [98]:

$$\Phi_e = \frac{\alpha_e N_A (p_{eq} - p_h)}{\sqrt{2\pi MRT}}. \quad (3.1)$$

wobei α_e der materialspezifische Verdampfungskoeffizient – eine Zahl zwischen 0 und 1, N_A die Avogadro-Zahl, p_{eq} der Sättigungsdampfdruck des zu verdampfenden Materials bei der gegebenen Temperatur, p_h der Umgebungsdruck, M das molare Gewicht des Materials, R die universelle Gas-Konstante und T die Umgebungstemperatur ist. Das bedeutet auch, dass das stöchiometrisch korrekte Abscheiden von multikomponentigen Materialien nur möglich ist, wenn jeweils die Verdampfungsrates der einzelnen Elemente gleich sind. Die mittlere Energie der Dampfteilchen beträgt $E_D = 3/2 \cdot k_B T_V$, wobei k_B die Boltzmannkonstante und T_V die Temperatur der Verdampfungsquelle ist. Sie liegt in der Regel bei deutlich unter 1 eV [99].

Da das Verdampfen von einem kleinen Bereich der Quelle aus halbkugelförmig in den Halbraum darüber erfolgt, ist es winkelabhängig. Wenn d_0 die Dicke der deponierten Schicht senkrecht über der Quelle in der Höhe h ist und d die Schichtdicke in einer Entfernung l von der Mitte, dann gilt [100]:

$$\frac{d}{d_0} = \frac{1}{\left[1 + \left(\frac{l}{h}\right)^2\right]^2}. \quad (3.2)$$

Da die Probengröße im Rahmen dieser Arbeit jedoch nicht mehr als $20 \times 20 \text{ mm}^2$ beträgt, bleibt bei einem Abstand von ca. 30 cm von der Quelle zum Substrat die resultierende Schichtdickenabweichung unter 0,5% und ist damit vernachlässigbar.

Es wurde ein konventionelles Verdampfersystem der Firma Leybold (Univex 450) mit einem drehbaren, wassergekühlten 4-Tiegel-Einsatz

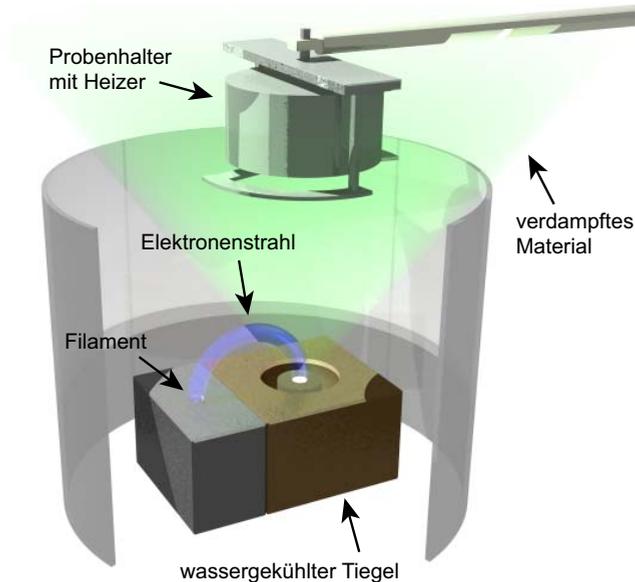


Abbildung 3.2: Exemplarischer Aufbau eines Elektronenstrahlverdampfers. Zu sehen sind das Filament, der bogenförmige Elektronenstrahl, das Targetmaterial im Kupfertiegel, der Probenhalter, sowie der Quarzglaszylinder, der ein Beschichten der Kammerwände verhindern soll.

verwendet. Die Kammer erreicht einen Basisdruck von 10^{-7} mbar. Der Elektronenstrahl wird mit einer Spannung von 10 kV beschleunigt. Die Stromstärke ist stark abhängig von dem zu verdampfenden Material und reicht von einigen mA für die ternären Oxide bis zu über 100 mA für Aluminium und Platin. Der Substrathalter ist mit einem scheibenförmigen Heizelement aus Inconel mit einem Durchmesser von ca. 5 cm ausgerüstet, das eine Substrattemperatur von bis zu 950°C ermöglicht. Zur Kontrolle der abgeschiedenen Schichtdicke ist die Kammer mit einem Schwingquartz-Messsystem der Firma Inficon ausgerüstet.

Im Rahmen dieser Arbeit wurde das Elektronenstrahlverdampfen sowohl für die Abscheidung von Gadoliniumscandat-high- κ -Schichten als auch für die Deposition der Kontaktmetalle Platin und Aluminium eingesetzt. Außerdem wurden z. T. dünne Titanschichten zwischen Substrat und Platinschicht als Haftvermittler aufgedampft.

3.3 Atomic Layer Deposition (ALD)

Die **Atomic Layer Deposition (ALD)** ist ein Spezialfall der chemischen Gasphasenabscheidung (engl. **Chemical Vapor Deposition – CVD**) und das für die industrielle Produktion wichtigste Verfahren zur Abscheidung von Dünnschichten auf großflächigen Substraten. Es wurde vor 30 Jahren von Suntola et. al. unter dem Namen Atomic Layer Epitaxy vorgestellt [101, 102]. Das Funktionsprinzip der ALD beruht auf wiederholten, selbstlimitierenden Wachstumszyklen. Dabei werden die Elemente der abzuscheidenden Verbindung gebunden in metallorganischen oder metallhalogeniden, flüchtigen Verbindungen (so genannten Precursoren) nacheinander in die Reaktionskammer eingelassen. Bei der Abscheidung von Oxiden wird der Sauerstoff in der Regel gasförmig als O_3 oder H_2O bereitgestellt. Ein idealer Wachstumszyklus ist in Abbildung 3.3 beschrieben und beginnt mit einer definierten – z. B. mit Hydroxylgruppen (-OH) terminierten – Substratoberfläche [103].

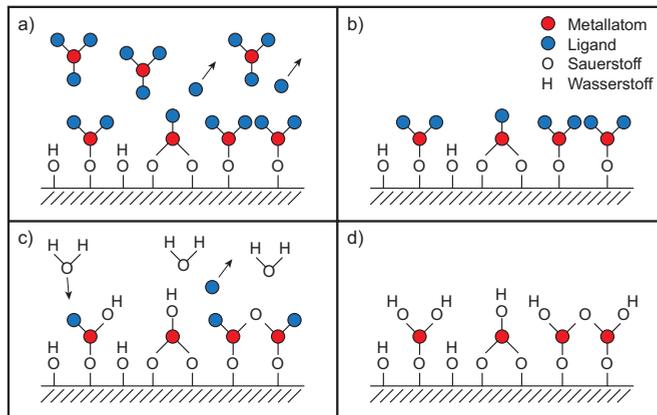


Abbildung 3.3: Ablauf eines ALD-Depositionszyklus zur Abscheidung einer Metalloxid-Dünnschicht. a) Adsorption des ersten Precursors an den funktionellen Gruppen an der Oberfläche des Substrates; b) Entfernen von überflüssigem Precursor durch ein Spülgas; c) Adsorption des zweiten Precursors an den Oberflächengruppen; d) Entfernen von überflüssigem Precursor und Nebenprodukten (nach [103]).

Sind nach dem Zyklus die funktionellen Gruppen an der Oberfläche dieselben wie am Anfang, kann dieser wieder von vorne beginnen. Bei der Abscheidung von multikomponentigen Materialien kann ein Zyklus auch aus mehreren Schritten mit verschiedenen Precursoren bestehen.

Der Vorteile der ALD sind die hervorragende Kontrolle der Schichtdicke – gegeben durch die Zahl der Depositions-Zyklen – sowie die konforme Kantenbedeckung auch von komplizierten Strukturen mit großen Aspektverhältnissen.

Der Temperaturbereich für die selbstlimitierende Abscheidung wird durch die jeweilige Precursorchemie eingeschränkt. Dieses so genannte ALD-Fenster (siehe Abbildung 3.4) kann über Hunderte von Grad hinweg reichen oder aber nur eine Weite von einigen Zehntel Grad besitzen. Eine Herausforderungen bei der Abscheidung von multikomponentigen Materialien ist die Auswahl von Precursoren, die ein sich überschneidendes Prozessfenster besitzen. Um die Reaktion gezielt auf der Substratoberfläche stattfinden zu lassen, wird möglichst nur das Substrat auf Temperaturen zwischen ca. 200°C und 600°C geheizt [104].

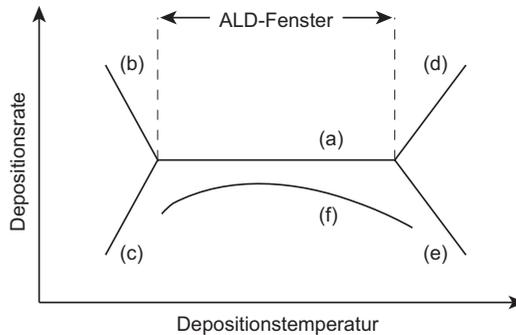


Abbildung 3.4: Typisches Verhalten eines ALD-Precursors in Bezug auf seine Reaktivität in Abhängigkeit von der Temperatur. Der ideale Bereich – das ALD-Fenster a) – wird nach unten durch eine Kondensation des Precursors (b) bzw. eine unzureichende Reaktivität (c) und nach oben durch eine Zersetzung des Precursors (d) bzw. dessen Desorption von der Oberfläche (e) begrenzt. Wenn die Abscheiderate von der Zahl der verfügbaren, reaktiven Gruppen abhängt, kann kein ALD-Fenster beobachtet werden (f) (nach [103]).

Für die Seltenen Erden werden meist so genannte β -Diketonate vom Typ $M(\text{thd})_3$ ($M=RE$; $\text{thd}=2,2,6,6\text{-tetramethyl-3,5-heptanedionato}$) eingesetzt. Das sind flüchtige, thermisch stabile Feststoffe, die einfach herzustellen, handzuhaben und zu lagern sind. In Abbildung 3.5 ist die Strukturformel eines solchen β -Diketonates gezeigt. Für fast alle Seltenen Erden gibt es Precursoren diesen Typs. Die Listen der dazugehörigen Prozesse sind in [103] und [105] zu finden. Ein Nachteil der β -Diketonate ist ihre geringe

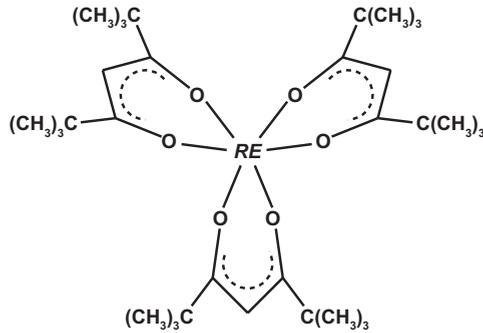


Abbildung 3.5: Strukturformel eines β -Diketonat-ALD-Precursors vom Typ $M(\text{thd})_3$.

Reaktivität, so dass bei der Abscheidung von Oxiden Ozon als Sauerstoffquelle verwendet werden muss. Dieses oxidiert auch die Oberfläche des Siliziumsubstrates und führt so zu einer parasitären Zwischenschicht im MOS-Stack [103]. Die im Rahmen dieser Arbeit untersuchten ALD-GdScO₃- und -LaLuO₃-Dünnschichten wurden am Institut für chemische Technologie der Universität von Helsinki, Finnland, in einem handelsüblichen Heißwand-ALD-Reaktor der Firma ASM Microchemistry Ltd. (F-120) abgeschieden (siehe Abbildung 3.6).

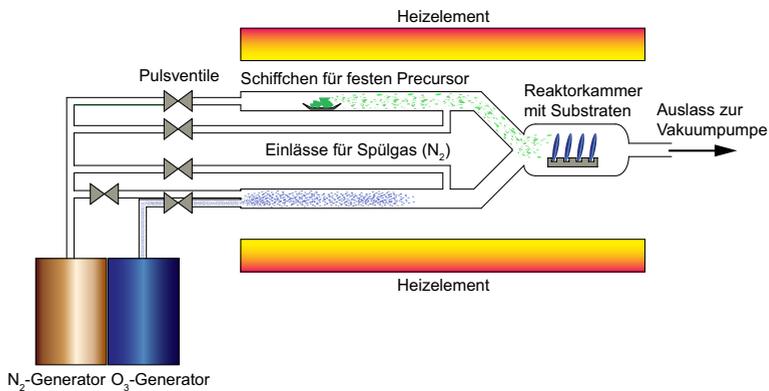


Abbildung 3.6: Schematische Darstellung des verwendeten ALD-Systems.

Als Precursoren kamen $M(\text{thd})_3$ - β -Diketonate für Gd, La, Lu und Sc zum Einsatz und Ozon als Sauerstoffquelle, sowie Stickstoff als Träger- und Spülgas. Die $M(\text{thd})_3$ -Precursoren wurden nach dem Verfahren von Eisen-traut und Sievers hergestellt [106] und durch Sublimation gereinigt. Das Ozon und der Stickstoff wurden in Generatoren der Firmen Fischer (Modell 502) und Schmidlin (UHPN 3000) erzeugt. Die Schichten wurden auf $10 \times 50 \text{ mm}^2$ großen Silizium(100)-Substraten bei einem Druck von 2–3 mbar und einer Temperatur von 300°C abgeschieden. Die Kontrolle der Schichtdicke erfolgte über Kalibrationsproben.

3.4 Sputterdeposition

Bei der Sputterdeposition (auch Kathodenzerstäubung genannt) wird die Oberfläche eines so genannten Targets aus dem abzuschneidenden Material mit hochenergetischen, inerten Ionen (z. B. Ar^+) beschossen. Dabei werden neutrale Atome oder auch Atomcluster aus der Targetoberfläche herausgeschlagen, die sich vom Target wegbewegen. Platziert man nun das zu beschichtende Substrat in der Nähe des Targets, kondensieren auf diesem die frei gewordenen Atome und es bildet sich die gewünschte Materialschicht (siehe Abbildung 3.7).

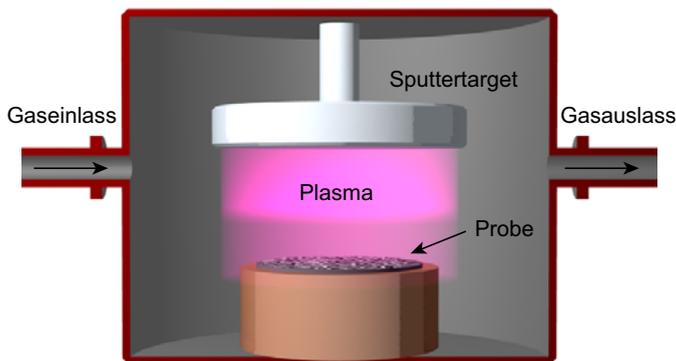


Abbildung 3.7: Schematische Darstellung einer Sputterdepositionskammer.

Um die Ionen zu erzeugen, gibt es zwei Möglichkeiten. Beim so genannten Gleichstrom-Sputtern (engl. direct current – DC) wird zwischen Substrat und Target eine Spannung im kV-Bereich angelegt, die bei geeignetem Druck (typischerweise 10^{-2} mbar [107]) in der Prozesskammer eine Glimmentladung zündet und so das Plasma herstellt. Die positiv

geladenen Ionen werden durch die Spannung auf die Targetoberfläche (Kathode) beschleunigt. Die Spannung bestimmt die Energie der auf das Target auftreffenden Ionen. Sie kann allerdings nur an Targets aus leitfähigen Materialien angelegt werden.

Soll ein isolierendes Material abgeschieden werden, ist das mit dem so genannten Hochfrequenz-Sputtern (engl. radio frequency – RF) möglich. Hierbei wird das Target über einen Kondensator mit einem Hochfrequenz-generator verbunden. Im elektrischen Wechselfeld zwischen Target und Substrat bildet sich ein Plasma und damit die benötigten inerten Ionen. Weil die leichten Elektronen im Plasma eine deutlich höhere Beweglichkeit besitzen als die schwereren Ionen, können diese der Hochfrequenz viel eher folgen und treffen daher häufiger auf das Target auf. Durch den Kondensator zwischen Target und Generator kann diese Ladung nicht abfließen und das Target lädt sich negativ auf. Somit bildet sich die Beschleunigungsspannung für die Ionen von selbst aus [99].

Um die Plasmadichte noch weiter zu erhöhen, wird heutzutage meistens das so genannte Magnetron-Sputtern eingesetzt. Dabei zwingt ein statisches Magnetfeld am Target die Elektronen auf längere Spiralbahnen und ihre Stoßwahrscheinlichkeit im Plasma wird erhöht. Allerdings bedingt dieser Effekt auch einen ungleichmäßigen Materialabtrag am Target und gleichzeitig ein spezifisches Profil der deponierten Schicht [104].

Die wichtigsten Vorteile der Sputterdeposition sind [99]:

- Fast jedes Material ist abscheidbar
- Die Targettemperatur bleibt gering, Segregations- und Entmischungsprozesse werden unterdrückt, dadurch wird ein guter Stöchiometrieübertrag erzielt
- Durch Hinzufügen eines reaktiven Gases kann eine bestimmte chemische Reaktion ermöglicht und das Reaktionsprodukt abgeschieden werden (z. B. ein Oxid oder Nitrid oder Karbid)
- Das Sputtertarget ist eine Flächenquelle, damit ist die Homogenität der Deposition gut
- Vor der Deposition können die Substrate mit Hilfe der Plasmaentladung gereinigt werden

Wie schon zuvor erwähnt, kann durch Zugabe eines reaktiven Gases während des Sputterns gezielt eine chemische Reaktion hervorgerufen und das Reaktionsprodukt auf dem Substrat abgeschieden werden. Typisch für das reaktive Abscheiden von Metalloxiden oder -nitriden sind zwei verschiedene Sputter-Moden abhängig vom Fluss des reaktiven Gases in die

Kammer. Bei geringem Fluss ϕ_{re} wird nur das reine Metall abgeschieden. Bei steigendem ϕ_{re} springt der Partialdruck des reaktiven Gases p_{re} plötzlich nach oben, die Abscheidung wechselt in den reaktiven Modus und die gewünschte Verbindung wird abgeschieden [108].

Die komplexen Zusammenhänge der verschiedenen Prozessparameter beim reaktiven Sputtern sind für das in dieser Arbeit verwendete System TiN in Abbildung 3.8 dargestellt. Da Titan sehr reaktiv ist, reagiert es sehr leicht mit Restsauerstoff in der Sputterkammer. Da dies umso wahrscheinlicher ist, je länger die Deposition dauert, sollte sie möglichst schnell ablaufen, also die Sputterrate möglichst hoch sein. Das erklärt die direkte Abhängigkeit der Stöchiometrie der Schicht von der Sputterrate.

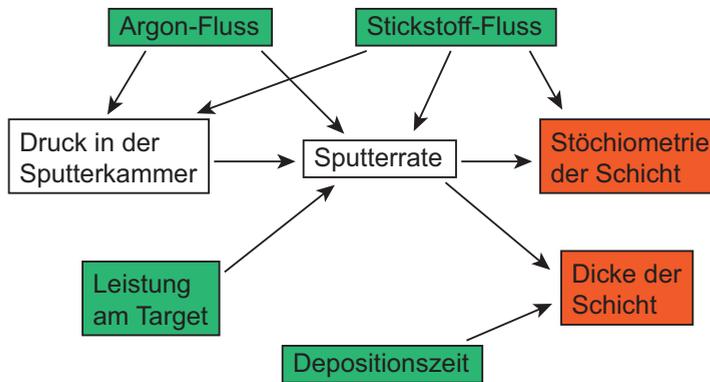


Abbildung 3.8: Zusammenhänge der Depositionsparameter beim reaktiven DC-Magnetron-Sputtern. Die grün unterlegten Parameter sind Eingaben, die rot unterlegten Resultate des Sputterprozesses.

Im Rahmen dieser Arbeit wurden Titanitrid-Schichten als elektrische Kontakte durch reaktives DC-Magnetron-Sputtern in einer Anlage des Herstellers Leybold (UNIVEX 450B) hergestellt. Dazu wurden zunächst ausführliche Tests durchgeführt, um alle in Abbildung 3.8 aufgeführten Parameter für die Abscheidung von Schichten mit guten elektrischen Eigenschaften zu optimieren. Die Deposition wurde von einem 150 mm-Titan-Target (Reinheit: 99,5%) in Stickstoff der Reinheit 6.0 bei einem Druck von ca. 5×10^{-3} mbar durchgeführt. Die Gasflüsse für Argon bzw. Stickstoff betragen 3 bzw. 5 sccm. Über das Target wurde eine Leistung von 1000 W bei einer DC-Spannung von ca. 350 V in die Kammer eingekoppelt und dabei eine Sputterrate von etwa 0,5 nm/s erreicht.

3.5 Prozessierung

In diesem Kapitel wird die Herstellung der im Rahmen dieser Arbeit behandelten Proben beschrieben. Es werden die Prozessabfolgen zur Reinigung des Ausgangsmaterials und zur Herstellung sowohl der einfachen MOS-Kondensatoren als auch der Transistoren mit alternativem Gatedielektrikum vorgestellt und detailliert beschrieben. Die Darstellung der nasschemischen Prozessierung beschränkt sich auf die Auflistung der erforderlichen Geräte und Betriebsmittel. Grundlagen zur Reinraumtechnologie im Allgemeinen sowie zur Strukturherzeugung mittels optischer Lithografie, Strukturübertragung durch reaktives Ionenätzen (RIE) und zur Ionenimplantation können z. B. in [109, 110] nachgelesen werden.

3.5.1 Verwendete Chemikalien und Geräte

In Tabelle 3.1 sind die zur nasschemischen Prozessierung der Proben benötigten Chemikalien zusammen mit ihrer Reinheit und dem Hersteller aufgelistet.

Verbindung	Bezeichnung/ Konzentration	Reinheit	Hersteller
Haftvermittler	HMDS	MOS PURANAL	Riedel-de Haën
Fotolack	AZ 5214		Microchemicals
Entwickler	AZ 326 MIF		Microchemicals
Aceton	100%	MOS PURANAL	Riedel-de Haën
2-Propanol	100%	MOS PURANAL	Riedel-de Haën
H ₂ SO ₄	95–97%	MOS PURANAL	Riedel-de Haën
H ₂ O ₂	30%	MOS PURANAL	Riedel-de Haën
HF	40%	MOS PURANAL	Riedel-de Haën
NH ₄ OH	25%	MOS Grade	J. T. Baker
HCl	mind. 37%	VLSI PURANAL	Riedel-de Haën
H ₂ O	100%	deionisiert	

Tabelle 3.1: Auflistung der bei der Prozessierung verwendeten Chemikalien zusammen mit den Konzentrationen bzw. Bezeichnungen, Reinheiten und Herstellern.

Tabelle 3.2 enthält die bei der Prozessierung der Proben benutzten Geräte inklusive ihrer Hersteller. Alle Geräte sind im Reinraum aufgestellt, nur ein RTP außerhalb des Reinraums (baugleich mit dem aufgeführten) wurde ebenfalls zum Tempern einiger Proben genutzt.

Gerät	Hersteller	Bezeichnung
Lackschleuder	CONVAC	1001 S
Belichter	Karl Süß	MA 6
Schnellglühofen (RTP)	ASM	ADDAX RM V4/24
Trockenätzanlage (RIE)	Oxford	AMR Dual
O ₂ -Plasmaprozessor	Technics Plasma	300-M
Temperofen	Heraeus	Vacutherm VT 6060 P

Tabelle 3.2: Auflistung der bei der Prozessierung verwendeten Geräte zusammen mit dem jeweiligen Hersteller.

Die Verfahren und Geräte zur Abscheidung der Schichten des Gatestacks sind in den Kapiteln 3.1, 3.2, 3.3 und 3.4 detailliert beschrieben.

3.5.2 RCA-Reinigung

Die Reinigung der Siliziumoberfläche vor jeglicher Prozessierung ist ein wesentliches Element in der Siliziumtechnologie. Die so genannte RCA-Reinigung (benannt nach der damaligen Arbeitsstätte des Entwicklers, Werner Kern, die **R**adio **C**orporation of **A**merica) hat sich als die beste Methode zur Herstellung einer Siliziumoberfläche höchster Qualität und Reinheit herausgestellt [111].

Das Grundprinzip der RCA-Reinigung ist, mit jedem der Reinigungsbäder eine spezielle Art von Kontaminationen zu entfernen, auf das es optimiert ist. Außerdem wird in jedem Schritt die Oberfläche des Siliziums oxidiert und dabei ein Teil der Verunreinigungen in dieses Oxid eingebaut. Mit dem jeweils folgenden kurzen Bad in 1%iger Flußsäure (so genannter HF Dip) wird das gebildete Oxid mitsamt den Verunreinigungen weggeätzt. Gegebenenfalls geht der RCA-Reinigung Bäder in Aceton und 2-Propanol voraus, wenn z. B. eine Fotolackschicht zuvor entfernt werden soll. Das erste Bad der RCA-Reinigung ist unter dem Namen „Piranha“ bekannt und entfernt vor allem organische Verunreinigungen von der Siliziumoberfläche. Das „RC1“ genannte Bad entfernt bevorzugt Leichtmetallionen wie Natrium- und Kaliumionen und „RC2“ ist auf die Entfernung von Schwermetallionen spezialisiert. Die „Piranha“-Lösung erhitzt sich beim Ansetzen von selbst so stark ($\sim 80^\circ\text{C}$), dass ein zusätzliches Heizen von außen nicht nötig ist, wohingegen „RC1“ und „RC2“ in 60°C heißen Wasserbädern auf Temperatur gehalten werden müssen.

Der letzte HF Dip der Reinigungssequenz ist optional und wird nur eingesetzt, wenn mit einer wasserstoffterminierten, hydrophoben Siliziumoberfläche (engl. HF last) weitergearbeitet werden soll. Diese ist

Name	Zusammensetzung	Verhältnis	Zeit	Temp.
Piranha	H ₂ SO ₄ : H ₂ O ₂	4 : 1	10 min	80°C
Spülen	H ₂ O		5 min	20°C
HF dip	HF : H ₂ O	1 : 40	30 s	20°C
Spülen	H ₂ O		5 min	20°C
RC 1	NH ₄ OH : H ₂ O ₂ : H ₂ O	1 : 4 : 20	10 min	60°C
Spülen	H ₂ O		5 min	20°C
HF dip	HF : H ₂ O	1 : 40	30 s	20°C
Spülen	H ₂ O		5 min	20°C
RC 2	HCl : H ₂ O ₂ : H ₂ O	1 : 1 : 20	10 min	60°C
Spülen	H ₂ O		5 min	20°C
HF dip	HF : H ₂ O	1 : 40	30 s	20°C
Spülen	H ₂ O		5 min	20°C

Tabelle 3.3: Als RCA-Reinigung bekannte Abfolge verschiedener Reinigungs­bäder zur Bereitstellung einer hochreinen Siliziumoberfläche

für etwa 20 min stabil, aber in dieser Zeit empfindlich gegenüber Partikelablagerungen. Daher sollten die Proben nach dem letzten HF Dip so schnell wie möglich weiter verarbeitet werden. Ist eine hydrophile Siliziumoberfläche gewünscht, wird die Reinigung mit dem Spülen nach dem „RC 2“ beendet und man erhält ein etwa 1 nm dickes chemisches Siliziumdioxid auf der Substratoberfläche. In Tabelle 3.3 sind die einzelnen Bäder der RCA-Reinigung in der korrekten Abfolge übersichtlich aufgelistet.

3.5.3 Der MOS-Dioden-Prozess

Für die Herstellung der Kapazitätsstrukturen wurden Bor-dotierte (100)-Siliziumwafer mit einer Leitfähigkeit von 1-10 Ωcm (entspricht einer Dotierung von etwa 10^{15} - 10^{16} cm⁻³) der Firma Si-Mat verwendet. Diese wurden mit Hilfe einer Wafersäge in 10 × 10mm² oder 20 × 20mm² große Stücke zersägt, die bei Bedarf durch Anritzen mit einem Diamantritzer und Brechen in noch kleinere Stücke zerteilt wurden.

Vor der Deposition des high-κ-Dielektrikums wurden die Siliziumstücke mit einer RCA-Reinigung gesäubert (siehe Kapitel 3.5.2). Die Deposition des high-κ-Dielektrikums erfolgte – je nach Versuch – auf HF-geätzter (also wasserstoffterminierter) Oberfläche oder auf einem chemischen Oxid. Im Falle von HF-geätzten Substraten wurden diese nach dem Ätzen so schnell wie möglich in die jeweilige Depositionskammer eingebracht und diese sofort abgepumpt, um das Wachstum eines natürlichen Oxids auf der Siliziumo-

berfläche vor der Deposition zu minimieren. Nach der Deposition wurden die Proben teilweise in Sauerstoff getempert (engl. **Post Deposition Anneal** – PDA), um einen eventuellen Sauerstoffunterschuss im Dielektrikum auszugleichen.

Die Herstellung der Topkontakte der MOS-Kapazitäten erfolgte mittels thermischem bzw. Elektronenstrahlverdampfens von 70–100 nm Platin, Palladium oder Gold durch Metall- oder Silizium-Schattenmasken. Diese Masken wurden auf die Probenoberfläche aufgelegt und durch Klammern fixiert.

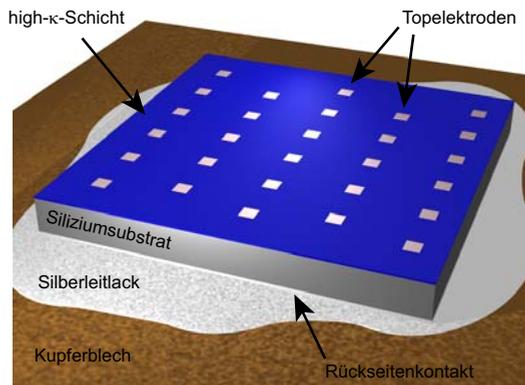


Abbildung 3.9: Darstellung einer fertig prozessierten Siliziumprobe mit MOS-Kapazitätsstrukturen.

Der Rückseitenkontakt der MOS-Struktur sollte ein ohmsches Verhalten zeigen, um die Messung des high- κ -Materials nicht durch ein zusätzliches Diodenverhalten des Rückseitenkontaktes zu beeinflussen. Dieser Kontakt wurde realisiert, indem zunächst die natürliche Oxidschicht auf der Rückseite der Siliziumprobe entweder mit Flusssäure geätzt oder aber durch einen Diamantritzer mechanisch zerstört wurde. Danach wurde die Probe so schnell wie möglich in die Elektronenstrahlverdampfer-Kammer eingebracht und etwa 120 nm Aluminium auf der Rückseite deponiert. Nach der Deposition wurden alle Proben einem Tempersschritt in Formiergas (eine Mischung aus 10% H₂ und 90% N₂) unterzogen (engl. **Forming Gas Annealing** – FGA), um die Zahl an elektrisch aktiven Zuständen an der Silizium-high- κ -Grenzfläche zu reduzieren. Dabei lagern sich Wasserstoffatome an ungebundene Siliziumbindungen (so genannte „dangling bonds“) an und sättigen diese ab, so dass sie elektrisch nicht mehr aktiv sind. Außerdem bildet das Aluminium während des Temperns auf der Rückseite der Probe eine Legie-

rung mit dem Silizium und es entsteht eine dünne, hoch-p-dotierte Schicht, die den ohmschen Rückseitenkontakt garantiert. Abschließend wurden die Proben mit Leitsilberlack auf gereinigte Kupferblechstückchen aufgeklebt, um den Rückseitenkontakt von der Oberseite aus mit Messnadeln erreichen zu können. In Abbildung 3.9 ist die Darstellung einer fertig prozessierten Probe mit dem high- κ -Dielektrikum und den Platin-Topkontakten auf der Oberfläche zu sehen.

3.5.4 Der MOSFET-Prozess

In diesem Kapitel wird der im Rahmen dieser Arbeit entwickelte Prozess zur Herstellung von MOSFETs mit GdScO_3 als alternativem Gateoxid sowohl auf Bulk-Silizium als auch auf SOI- und sSOI-Substraten im Detail vorgestellt. Es wird nur der Prozess erläutert, der die Bauelemente mit den besten Eigenschaften hervorgebracht hat. Einige Proben wurden mit leicht abgewandelten Prozessen hergestellt. Dies ist an geeigneter Stelle vermerkt. Für die Transistoren auf konventionellem Silizium wurde Bor-dotiertes Silizium(100) mit einer Leitfähigkeit von $1\text{-}10\ \Omega\text{cm}$ – zerteilt in $10 \times 10\ \text{mm}^2$ große Stücke – verwendet. Für die SOI-Transistoren kam undotiertes SOI-Material ($d_{\text{SOI}} = 30\ \text{nm}$) zum Einsatz und für die sSOI-Transistoren undotiertes $25\ \text{nm}$ dickes sSOI-Material. In beiden Fällen beträgt die Dicke der BOX-Schicht ungefähr $100\ \text{nm}$ und die Größe der Probenstücke ebenfalls $10 \times 10\ \text{mm}^2$.

Der Prozess beginnt mit einer RCA-Reinigung (siehe 3.5.2) der Substrate. In einem Lithografieschritt werden die Marker zur Ausrichtung der nachfolgenden Masken definiert und mit dem RIE in das Silizium geätzt (Abb. 3.10a). Danach wird eine Lackmaske für die Implantation der Source- und Drainkontakte erstellt und diese implantiert (Abb. 3.10b). Das funktioniert nur, wenn der Lack während der Implantation nicht zu heiß wird, da er sich sonst später nur schwer entfernen lässt. Die implantierten Dotierstoffe werden in einem Tempersschritt aktiviert und die Substrate vor der Gateoxid-Deposition noch einmal gründlich gereinigt, damit man eine Grenzfläche möglichst hoher Qualität erhält. Nach der Gateoxid-Deposition (Abb. 3.10c) wird ein PDA in Sauerstoff und ein FGA durchgeführt. Danach werden die Gateelektroden lithografisch definiert und per Sputterdeposition Titanitrid abgeschieden (Abb. 3.10d). Um etwaige parasitäre Strompfade im fertigen Bauelement zwischen Source und Drain zu minimieren, wird eine Mesa definiert und die (s)SOI-Substrate um die Bauelemente herum mittels Trockenätzen auf das BOX zurückgeätzt und so die Mesa gebildet (Abb. 3.10e). Bei Bulk-Transistoren wird dieser Schritt übersprungen. Danach wird auf die ganze Oberfläche HSQ (**H**ydrogen **S**ilsesquioxan –

ein Photolack, der sich nach Ausbacken wie SiO_2 verhält) aufgeschleudert und zu SiO_2 ausgebacken (Abb. 3.10f), um zum einen die freigelegten Siliziumflanken abzudecken und zum anderen durch dessen planarisierende Wirkung eine ebene Auflagefläche für den Gatekontakt zu schaffen. Um die Gateelektrode sowie Source und Drain kontaktieren zu können, wird eine Lackmaske definiert und mit dem RIE Löcher in die Gateabdeckung geätzt (Abb. 3.11g). Durch die hohe Selektivität des Ätzprozesses gegenüber dem high- κ -Dielektrikum wird dieses nur leicht angeätzt – der Prozess „stoppt“ gewissermaßen auf dem Gateoxid. Als nächstes werden die Gatekontakte definiert, ein Ti/Pt-Stapel abgeschieden (Ti als Haftvermittler) und danach mit einem Liftoff in Aceton das überflüssige Metall wieder entfernt (Abb. 3.11h). Das Platin als Kontaktmaterial bietet dabei den Vorteil, dass es nicht oxidiert und außerdem mechanisch sehr belastbar ist und daher durch die Messspitzen nicht beschädigt wird. Dasselbe Liftoff-Verfahren wird zur Herstellung der Aluminium-S/D-Kontakte verwendet (Abb. 3.11j), allerdings müssen vorher noch Kontaktlöcher im high- κ -Dielektrikum geöffnet werden (Abb. 3.11i). Dazu wird mit Ammoniaklösung auf pH 3 gepufferte 5%ige Salzsäure verwendet, da diese in Versuchen eine günstige Ätzrate sowie gleichzeitig eine geringe Unterätzung gezeigt hat. Mit einem weiteren FGA zum Einlegieren der S/D-Kontakte für einen geringen Kontaktwiderstand wird der Prozess abgeschlossen und die Transistoren sind fertig für die elektrische Charakterisierung.

Der Prozessfluss zur Herstellung der high- κ -Transistoren ist im Nachfolgenden noch einmal mit allen wichtigen Parametern aufgelistet und außerdem in den Abbildungen 3.10 und 3.11 bildlich dargestellt.

1. RCA-Reinigung der Ausgangssubstrate
2. Belichter: Definition der Marker
3. RIE: Ätzen der Marker (SF_6 -Plasma, 200 W, 120 s) (Abb. 3.10a)
4. Belichter: Definition der Implantationsgebiete für die S/D-Kontakte
5. Implantation der S/D-Kontakte: $1 \times 10^{15} \text{ 1/cm}^2$ Arsen (Bulk: 30 keV, sSOI/SOI: 8 keV) (Abb. 3.10b)
6. RCA-Reinigung
7. RTP: Aktivierung der Dotierstoffe, 950 °C, 30 s in N_2
8. RCA-Reinigung
9. E-Verdampfer: Deposition des Gateoxids, 5 nm GSO @ 600 °C (Abb. 3.10c)

10. RTP: PDA des Gateoxids, 400 °C, 10 min in O₂
11. RTP: FGA des Gateoxids, 400 °C, 10 min in 90%N₂/10%H₂
12. Belichter: Definition der Gateelektroden
13. Sputtern: Deposition der Gateelektroden, ~100 nm TiN (3 × 60 s Ti @ 1000 W, Ar: 3 sccm, N₂: 5 sccm)
14. Liftoff in Aceton (Abb. 3.10d)
15. Belichter: Definition der Silizium-Mesa
16. RIE: Ätzen der Mesa (Ar-Plasma, 200 W, 4 min) (Abb. 3.10e)
17. Lackschleuder: Deposition der Gateabdeckung, ~150 nm HSQ @ 4000 U/min (Abb. 3.10f)
18. Temperofen: Aushärten des HSQ, 450 °C, 60 min in N₂
19. Belichter: Definition der Löcher für die S/D- und Gatekontakte
20. RIE: Ätzen der Kontaktlöcher (CHF₃-Plasma, 200 W, 10 min) (Abb. 3.11g)
21. Belichter: Definition der Gatekontakte
22. E-Verdampfer: Deposition der Gatekontakte, ~30 nm Ti, ~70 nm Pt
23. Liftoff in Aceton (Abb. 3.11h)
24. Belichter: Definition der S/D-Kontakte
25. Ätzen des Gateoxids mit NH₄OH gepufferte 5%ige HCl (pH 3), 60 s (Abb. 3.11i)
26. E-Verdampfer: Deposition der S/D-Kontakte: ~120 nm Al
27. Liftoff in Aceton (Abb. 3.11j)
28. RTP: FGA, 400 °C, 10 min in 90%N₂/10%H₂

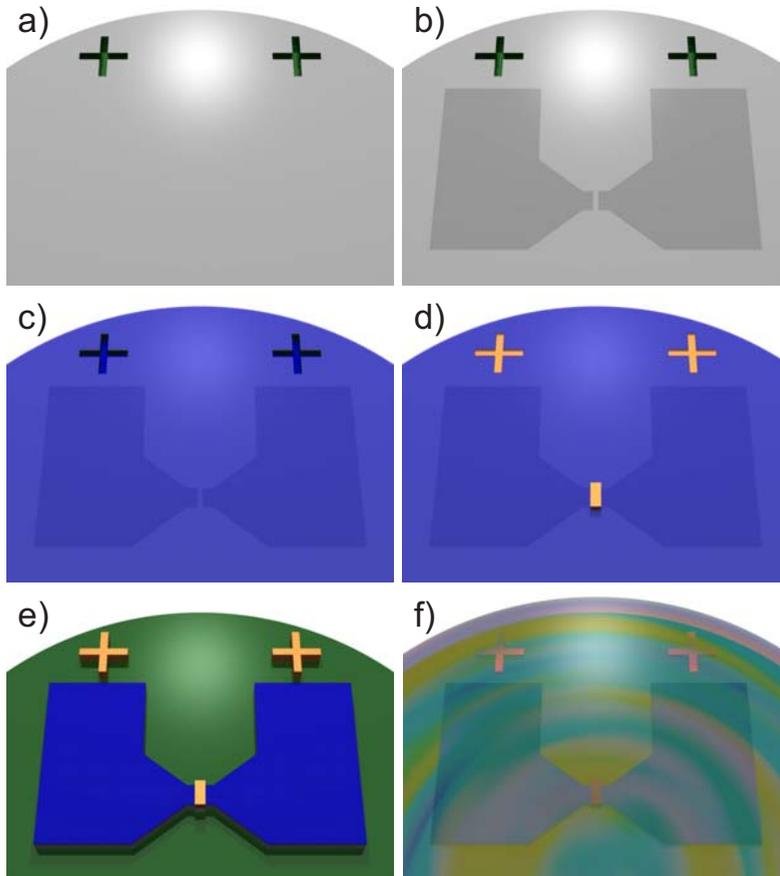


Abbildung 3.10: Darstellung des Prozessablaufes zur Herstellung von fully depleted SOI- und sSOI-MOSFETs mit GdScO_3 als Gate-dielektrikum. a) Litho und Ätzen der Marker; b) Litho, Implantation und Aktivierung; c) GdScO_3 -Deposition mittels Elektronenstrahlverdampfen und PDA; d) Litho, TiN-Gateelektroden-Deposition mittels Sputterdeposition und Lift-off; e) Litho und Mesa-Ätzen mit RIE; f) Deposition der HSQ-Gateabdeckung mittels Aufschleudern und nachfolgendem Ausbacken (Fortsetzung siehe Abbildung 3.11).

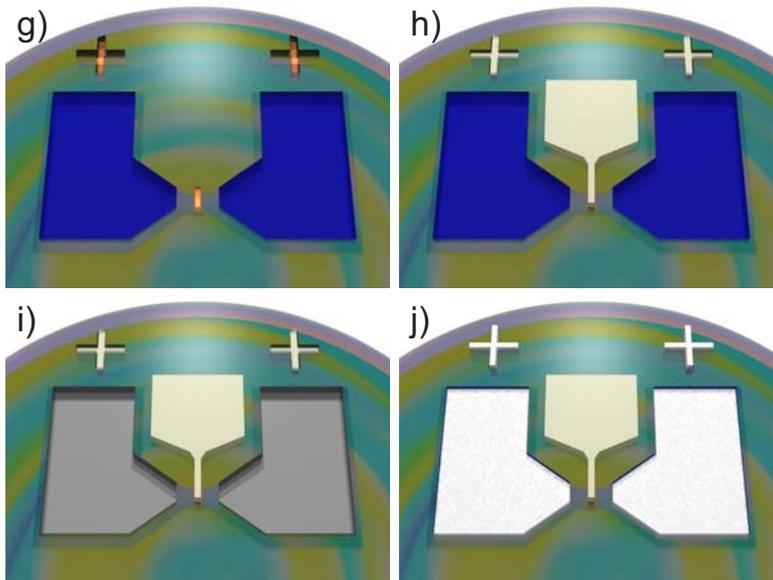


Abbildung 3.11: (Fortsetzung von Abbildung 3.10) g) Litho und Ätzen der S/D- und Gatekontaktlöcher in die HSQ-Schicht mit RIE; h) Litho, Deposition der Pt-Gatekontaktierung und Liftoff; i) Litho und Ätzen der S/D-Kontaktlöcher in die GdScO₃-Schicht mit gepufferter HCl; j) Deposition der Al-S/D-Kontakte, Liftoff und abschließender FGA.

Kapitel 4

Probencharakterisierung

In diesem Kapitel werden die relevanten Methoden vorgestellt, mit denen die im Rahmen dieser Arbeit hergestellten Proben charakterisiert wurden. Darunter sind Methoden zur Untersuchung der chemischen Zusammensetzung der Schichten, zur Morphologie, zur Dicke und zu den optischen und elektrischen Eigenschaften.

4.1 Rutherford-Rückstreu-Spektrometrie

Die Rutherford-Rückstreu-Spektrometrie (**R**utherford **B**ackscattering **S**pectrometry – RBS) ist ein vom Prinzip her sehr effizientes Verfahren zur Untersuchung von dünnen Schichten. Dabei wird die Probe mit hochenergetischen Ionen – typischerweise He^+ – beschossen und die rückgestreuten Ionen unter einem bestimmten Winkel energieaufgelöst detektiert. Unter der Voraussetzung, dass man Ionenart und -energie so wählt, dass keine Kernreaktionen ausgelöst werden können, handelt es sich bei den beobachteten Streueignissen um elastische Stöße, d. h. es gelten sowohl die Impuls- als auch die Energieerhaltung. Die Energie des einfallenden Teilchens E_0 ändert sich nach dem Stoß zu E_1 nach der Gesetzmäßigkeit $E_1 = k \cdot E_0$. Der kinematische Faktor k ist abhängig von den Massen der Streupartner und berücksichtigt gleichzeitig die Winkelabhängigkeit der Streuung. Er ist definiert durch [112]:

$$k := \frac{E_1}{E_0} = \left(\frac{\sqrt{M^2 - (m \sin \theta)^2} + m \cos \theta}{M + m} \right)^2. \quad (4.1)$$

Dabei sind m bzw. M die Masse des einfallenden Teilchens bzw. des Atoms in der Probe und θ der Winkel zwischen Einfalls- und Ausfallsrichtung des gestreuten Teilchens – ein Winkel von 180° entspricht also totaler Rückstreuung. Da die Masse m und Energie E_0 des einfallenden Teilchens bekannt

sind, kann also die Masse M des Streupartners und damit das chemische Element bestimmt werden.

Die Wahrscheinlichkeit eines Streueignisses bezogen auf ein Raumwinkel-element $d\sigma/d\Omega$ ist abhängig vom differentiellen Rutherford'schen Rückstreuquerschnitt der Atome in der Probe [112]:

$$\left(\frac{d\sigma}{d\Omega}\right) = \left(\frac{Z_1 Z_2 e^2}{4E_0 \sin^2 \frac{\theta}{2}}\right)^2. \quad (4.2)$$

E_0 ist wie oben die Energie des einfallenden Teilchens, Z_1 und Z_2 sind die Kernladungszahlen der Streupartner, e die Elementarladung und θ der Streuwinkel. Da der Streuquerschnitt quadratisch von der Kernladungszahl der Atome in der Probe abhängt, streuen schwere Atome deutlich stärker als leichte. Das erlaubt die Bestimmung der Stöchiometrie der Probe.

Die beschleunigten Teilchen werden nicht nur an der Probenoberfläche gestreut, sondern dringen auch in diese ein. Dabei verlieren sie durch Wechselwirkungen mit Atomkernen und Elektronen einen Teil ihrer Energie und werden abgebremst (so genanntes *stopping*). Diesen Effekt beschreibt der Bremsquerschnitt [112]:

$$\epsilon := \frac{1}{N} \cdot \frac{dE}{dx}. \quad (4.3)$$

N ist die Atomdichte der Probe, und dE/dx der Energieverlust des einfallenden Teilchens bezogen auf den zurückgelegten Weg. Für den durch die Wechselwirkung mit den Elektronen hervorgerufenen Teil des stoppings liefert die Bethe-Bloch-Gleichung [112]:

$$\left(\frac{dE}{dx}\right)_e = N \cdot Z_2 \cdot \frac{4\pi (Z_1 e^2)^2}{(4\pi\epsilon_0)^2 m_e v^2} \cdot \ln\left(\frac{2m_e v^2}{I}\right) \quad (4.4)$$

N ist wiederum die Atomdichte der Probe und Z_1 und Z_2 die Kernladungszahlen der Streupartner. I ist üblicherweise ein empirischer Parameter und beschreibt die gemittelte Energie der verschiedenen elektronischen Anregungs- und Ionisationszustände. Gewöhnlich werden Tabellenwerte für ϵ verwendet [112].

Aus der Abbremsung der beschleunigten Teilchen lässt sich die Bedeckung des Substrates mit Teilchen pro Fläche ermitteln. Ist die Dichte des Materials bekannt, lässt sich daraus die Dicke der untersuchten Schicht ableiten.

In Abbildung 4.1 ist schematisch der Aufbau des im Rahmen dieser Arbeit benutzten RBS-Messsystems dargestellt. Das vom Detektor aufgenommene Signal wird von einem Computer verarbeitet. Mit dem Programm RUMP [113] kann eine Simulation berechnet und über die gemessene Kurve

gelegt werden, da das Substratmaterial und die Schicht bzw. Schichtabfolge bei der gezielten Herstellung von Proben bekannt sind. In iterativen Schritten wird die Simulation so lange verändert, bis sie mit der Messung übereinstimmt.

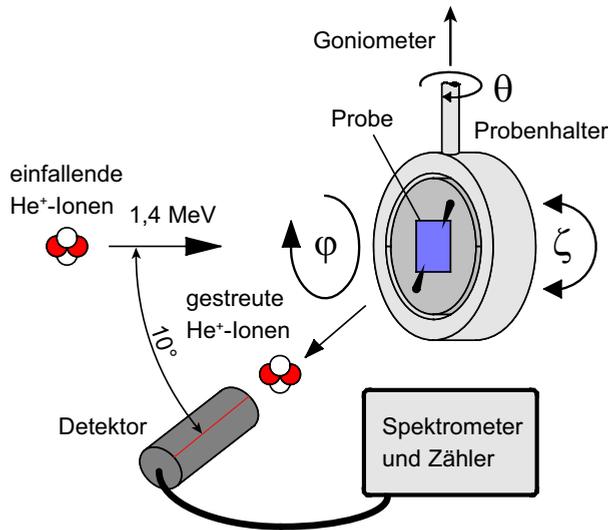


Abbildung 4.1: Schematischer Aufbau des RBS-Systems. Die Probe, die auf einem Goniometer positioniert ist, wird mit He⁺-Ionen einer Energie von 1,4 MeV beschossen. Die rückgestreuten Ionen werden unter einem Winkel von 10° zum einfallenden Strahl von einem Detektor nach Zahl und Energie erfasst.

4.2 Röntgenbeugungsanalyse

Die Röntgenbeugungsanalyse nutzt die Reflexion von Röntgenstrahlung an regelmäßigen Strukturen innerhalb der Probe aus. Das können Gitterebenen in Kristallen sein, oder aber auch Grenzflächen von Schichtsystemen bei sehr flachem Einstrahlwinkel (siehe Abbildung 4.2a).

Wird der Strahl nun an mehreren Strukturen reflektiert, überlagern sich die reflektierten Wellen und interferieren dabei je nach Gangunterschied konstruktiv oder destruktiv. Konstruktive Interferenz ergibt sich, wenn die Bragg-Bedingung [114] erfüllt ist (siehe auch Abbildung 4.2a):

$$n \cdot \lambda = 2d \cdot \sin \theta. \quad (4.5)$$

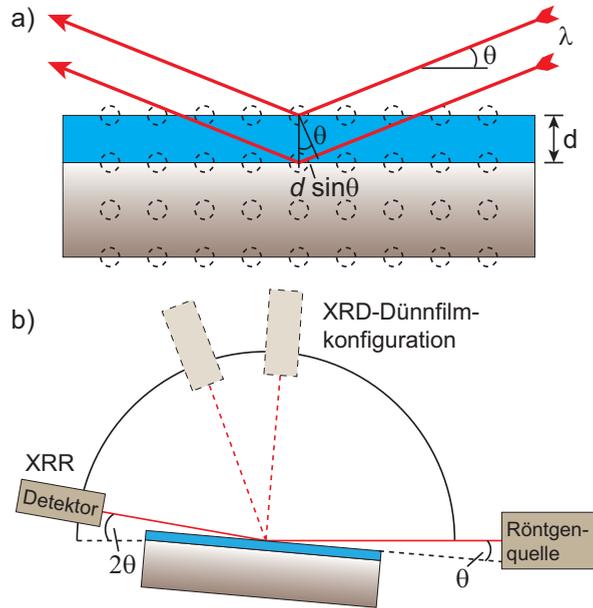


Abbildung 4.2: a) Bragg-Bedingung bei der Reflexion an Gitterebenen bzw. Grenzflächen b) Anordnungen von Röntgenquelle, Probe und Detektor für XRR- bzw. XRD-Dünnschicht-Messungen.

Dabei ist λ die Wellenlänge des einfallenden Lichtes, $n \in \mathbb{N}$, d der Gitterebenenabstand bzw. die Schichtdicke und θ der Einfallswinkel der Röntgenstrahlung.

Röntgendiffraktometrie

Bei der Röntgendiffraktometrie (engl. **X-Ray Diffractometry** – XRD) wird die Reflexion der Röntgenstrahlen an Gitterebenen eines Kristalls genutzt. Zur Bestimmung der Gitterparameter einer kristallinen Probe wird in der Regel ein so genannter θ - 2θ -Scan durchgeführt. Dabei wird während der Messung bei feststehender Röntgenquelle die Probe um den Winkel θ und der Detektor gleichzeitig um 2θ gedreht, so dass Ein- und Ausfallswinkel immer gleich bleiben und damit Gleichung 4.5 gültig ist. Das aufgezeichnete Beugungsmuster wird nachfolgend mit theoretisch berechneten verglichen und so die Kristallstruktur der Probe bestimmt.

Die XRD-Dünnschichtkonfiguration (siehe auch Abbildung 4.2b) wird benutzt, wenn die Probe polykristallin ist oder wenn man einen polykristallinen An-

teil in einer amorphen Probe nachweisen möchte. Da die ggf. vorhandenen Kristallite statistisch ausgerichtet sind, ist Gleichung 4.5 ständig erfüllt, ohne dass man definierte Winkel der Probe oder des Detektors einstellen müsste. Die Probe wird in einem sehr flachen Winkel (z. B. 1°) angestrahlt, so dass eine möglichst große Fläche der Probe ausgeleuchtet wird. Der Detektor scannt nun einen großen Winkelbereich des Halbraumes ab und zeichnet ein Reflexionsmuster auf, das alle möglichen Kristallrichtungen enthält und charakteristisch für die Kristallstruktur ist. Zum Nachweis von Kristalliten in einer amorphen Probe ist es hingegen nur wichtig, ob überhaupt Reflexe zu sehen sind.

Röntgenreflektometrie

Zur genauen Schichtdickenmessung von Proben kann die Röntgenreflektometrie (engl. **X-Ray Reflectometry** – XRR) eingesetzt werden. Dabei nutzt man die Reflexion von Röntgenstrahlung an Grenzflächen von Schichtsystemen aus. Unter sehr flachem Einfallswinkel findet dort Totalreflexion statt, da der Brechungsindex der meisten Materialien bei der eingesetzten Wellenlänge kleiner 1 ist. Führt man von $\theta = 0^\circ$ einen θ - 2θ -Scan durch, ist das Signal zunächst durch die Totalreflexion konstant hoch. Ab einem gewissen Winkel θ – abhängig von der Dichte der Dünnschicht – ist die Bedingung für Totalreflexion nicht mehr gegeben und die Röntgenstrahlung beginnt in die Probe einzudringen. Dadurch fällt das Signal am Detektor stark ab, jedoch nicht gleichmäßig, da es nun periodisch zu konstruktiver und destruktiver Interferenz durch den Gangunterschied der Röntgenstrahlung bei der Reflexion an der Ober- bzw. Grenzfläche der Schicht gegebener Dicke d kommt. Das abfallende Signal schwankt also periodisch auf und ab und aus dem Abstand der Maxima (oder Minima) kann nach

$$d\theta \approx \frac{\lambda}{2d} \quad (4.6)$$

die Schichtdicke ermittelt werden [115]. Dabei ist $d\theta$ der Winkel zwischen zwei Maxima (oder Minima), λ die Wellenlänge der verwendeten Röntgenstrahlung und d die Dicke der untersuchten Schicht ist.

Die im Rahmen der vorliegenden Arbeit benutzte Röntgenbeugungsanlage ist ein Philips X'Pert MRD Vierkreis-Diffraktometer. Es erlaubt die Rotation der Probe um drei Achsen und ist mit einer Röntgenröhre mit Kupferanode ausgestattet. Ein Graphitmonochromator vor dem Detektor filtert auf die Cu K_{α} -Linie (bzw. auf die beiden Cu K_{α_1} -, $\lambda = 1,5405 \text{ \AA}$ und Cu K_{α_2} -Linien, $\lambda = 1,5446 \text{ \AA}$).

4.3 Rasterkraftmikroskopie

Die Rasterkraft-Mikroskopie (engl. **A**tomic **F**orce **M**icroscopy – AFM) ist ein bildgebendes Verfahren, das für die zeilenweise Darstellung der Topografie einer Oberfläche genutzt wird. Es ist zudem das Standardverfahren zur Ermittlung der Rauigkeit einer Oberfläche. In Abbildung 4.3 ist der prinzipielle Aufbau eines Rasterkraft-Mikroskopes dargestellt.

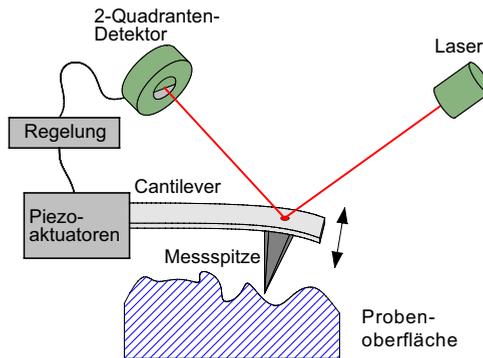


Abbildung 4.3: Schematischer Aufbau eines Rasterkraft-Mikroskopes.

Eine möglichst fein zulaufende Messspitze an der Unterseite einer feinen Blattfeder (auch *Cantilever* genannt) rastert linienweise die zu untersuchende Probe ab. Um sehr kleine Verstellwege zu realisieren, wird zur Positionierung der Messspitze ein Piezoaktuator verwendet. Ein Laserstrahl wird von der Rückseite dieses Cantilevers auf einen 2-Quadranten-Detektor reflektiert, der die Leistung der auftreffenden Strahlung in zwei voneinander getrennten Feldern messen kann. Bewegt sich die Messspitze mit dem Cantilever über eine Unebenheit auf der Oberfläche, bewegt sich auch der Laserpunkt auf dem Detektor und die Verschiebung wird registriert. Durch die Geometrie der Strahlführung wird eine bis zu 1000fache Verstärkung der Messspitzenbewegung erreicht, so dass noch Auslenkungen bis zu 10 pm registriert werden können [116].

Die oben beschriebene Methode wird als *contact mode* bezeichnet, da der Abstand zwischen Messspitze und Probenoberfläche sehr klein ist. Nachteilig bei dieser Methode ist der hohe Verschleiß der Spitze sowie die Gefahr, weiche Proben zu beschädigen. Um dieses Problem zu vermeiden kann auch im *non-contact mode* – auch als *tapping mode* bezeichnet – gearbeitet werden. Dabei wird der Cantilever zu einer Oszillation angeregt,

die von seiner Federkonstanten D abhängt. Wird die schwingende Spitze in die Nähe der Probe gebracht, überlagern sich anziehende Van-der-Waals-Kräfte zwischen ihr und der Probenoberfläche mit der Oszillation, was einer Modifikation der Federkonstanten entspricht. Als Folge reduziert sich die Amplitude der Schwingung und wird damit zu einem Maß für den Abstand der Messspitze zur Probe. Werden die Piezoaktuatoren so geregelt, dass die Schwingungsamplitude des Cantilevers konstant gehalten wird, kann aus dem Regelsignal die Topografie der Probe gewonnen werden.

Im Rahmen dieser Arbeit wurde ein Rasterkraft-Mikroskop der Firma S.I.S. GmbH (PICOSTation) eingesetzt.

4.4 Röntgen-Photoelektron-Spektrometrie

Die Röntgen-Photoelektron-Spektrometrie (engl. **X-ray Photoelectron Spectrometry – XPS**) ist eine oberflächensensitive Untersuchungsmethode, die Informationen über die chemische Zusammensetzung einer Probe liefert und außerdem über die Bindungszustände der Oberflächenatome. Dadurch können mit Hilfe der XPS verschiedene Materialien mit gleicher Zusammensetzung unterschieden werden. Die XPS beruht auf dem Prinzip, dass Elektronen eines Atoms Röntgenstrahlung absorbieren können und dabei angeregt werden. Übersteigt die Energie des Photons $h \cdot \nu$ die Bindungsenergie des Elektrons E_b plus die Austrittsarbeit des Probenmaterials W , so wird das Elektron aus der Atomschale herausgeschlagen und entfernt sich mit einer kinetischen Energie E_k , die sich zu

$$E_k = h \cdot \nu - E_b - W \quad (4.7)$$

berechnet [117]. Also kann aus der Energie der Elektronen auf deren ursprüngliche Bindungsenergie geschlossen werden. Dazu werden sie nach Energie separiert und detektiert. Da die Tiefenauflösung in der Regel nur 1–5 nm beträgt, ist die XPS zur Untersuchung von Oberflächen und ultradünnen Schichten geeignet. Wird die XPS-Messung mit Ar-Sputtern kombiniert, können auch Tiefenprofile aufgenommen werden. Die Proben müssen für die Messung eine extrem saubere Oberfläche aufweisen, möglichst frei von jeglichen Adsorbaten (Wasser, Kohlenstoff etc.). Diese Anforderungen an die Oberflächenbeschaffenheit der Proben bedingen auch das Arbeiten im Ultrahochvakuum bei einem Druck $< 10^{-7}$ mbar.

Die in der vorliegenden Arbeit gezeigten XPS-Messungen wurden mit einem XPS PE 5600-Messsystem mit halbkugelförmigem Analysator aufgenommen. Die verwendete Röntgenstrahlung war Al K_α -Strahlung.

4.5 Innerer Photoeffekt und Photoleitung

Wie in Kapitel 2.4.1 beschrieben, ist die Bandanpassung eines potenziellen alternativen Gatedielektrikums zu Silizium ein wichtiges Kriterium bei dessen Beurteilung. Mit Hilfe des inneren Photoeffekts (engl. **I**nternal **P**hoto **E**mission – IPE) und der Photoleitung (engl. **P**hoto **C**onductivity – PC) können die Bandlücke und Bandoffsets eines high- κ -Dielektrikums bestimmt werden [118]. Dazu werden MOS-Stacks mit so dünnen Metall-Topielektroden hergestellt, dass sie optisch transparent sind. Durch diese Elektroden wird Licht variabler Wellenlänge eingestrahlt und gleichzeitig durch die MOS-Struktur fließende Strom bei definierter Gatespannung gemessen.

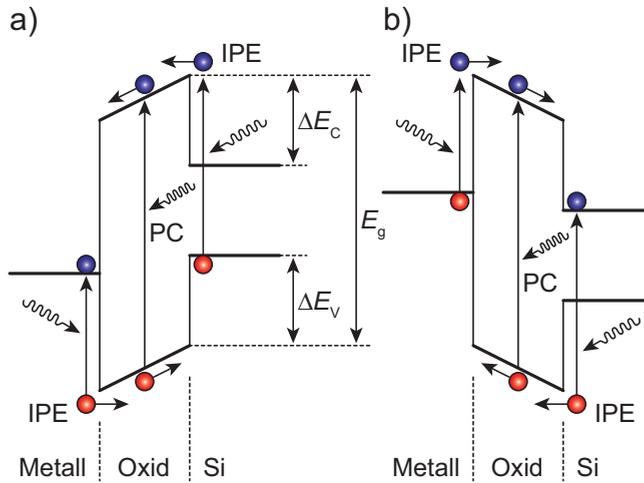


Abbildung 4.4: Die zum inneren Photoeffekt (IPE) und zur Photoleitung (PC) gehörenden elektronischen Übergänge einer MOS-Struktur mit a) positiver und b) negativer Vorspannung des Metalls gegenüber dem Halbleiter (nach [118]).

Abbildung 4.4 zeigt die verschiedenen elektronischen Übergänge, die dabei angeregt werden. Für den Strom bzw. die Quantenausbeute Y gilt:

$$Y \propto (h\nu - \Phi)^p \quad (4.8)$$

mit der Frequenz des eingestrahlt Lichtes ν und der zu überwindenden Energiebarriere Φ [119]. Der Exponent p wird von der Art des elektronischen Überganges und der Energieverteilung der Ladungsträger bestimmt

[118]. Problematisch bei dieser Messmethode ist, den Löcherstrom aus dem Silizium und den Elektronenstrom aus dem Metall messtechnisch voneinander zu trennen. Um das zu erreichen, werden Metalle mit unterschiedlichen Austrittsarbeiten (z. B. Mg, Al, Cu, Ni oder Au) als Elektroden verwendet. Dadurch verändert sich die Barriere für die Ladungsträger auf der Seite des Metalls, wohingegen die Barriere auf der Halbleiterseite konstant bleibt. Mit der Variation der metallseitigen Barriere geht eine Variation des Elektronenstromes einher. Auf diese Weise ist die Unterscheidung der Ströme und damit die Bestimmung des Bandoffsets für die Leitungsbandkante ΔE_C und für die Valenzbandkante ΔE_V sowie die Bestimmung der Bandlücke des Isolators E_g möglich [118].

4.6 Elektrische Charakterisierung

Sowohl die MOS-Kondensatoren als auch die MOSFETs mit alternativem Gatedielektrikum wurden auf einem elektrischen Messplatz der Firma Karl Süss (MA 5), ausgerüstet mit vier Messspitzen an Mikromanipulatoren, ausgemessen. Der Messplatz ist von einer Einhausung umgeben, um Störungen durch lichtinduzierte Ladungsträgergeneration auszuschließen. Zur Messung der Proben standen ein Impedanz-Analysator der Firma Hewlett Packard (HP 4192A) zur Aufnahme der C-V-Kurven und ein Halbleiter-Parameter-Analysator (HP 4155B) desselben Herstellers zur Messung von Leckströmen und Aufnahme von Ausgangs- und Transferkennlinien der MOSFETs zur Verfügung. Die Messgeräte wurden mit Hilfe eines PCs und selbstgeschriebener LabView-Programme (siehe [120]) über den GPIB-Bus angesprochen und die Messdaten direkt auf dem PC abgespeichert.

4.6.1 CET und EOT

Um high- κ -Dielektrika mit dem konventionellen Gateoxid-Material SiO_2 vergleichen zu können, verwendet man die so genannte äquivalente Oxiddicke t_{eq} . Für ein high- κ -Dielektrikum gegebener physikalischer Dicke gibt die äquivalente Oxiddicke diejenige Dicke an, die eine SiO_2 -Schicht mit identischen Eigenschaften bezüglich der elektrostatischen Feldverteilung hätte. Geht man von einem einfachen Kondensator in der MOS-Struktur aus, so lässt sich die äquivalente Oxiddicke einfach berechnen durch [29]:

$$t_{\text{eq}} = \frac{\kappa_{\text{SiO}_2}}{\kappa_{\text{high-}\kappa}} t_{\text{high-}\kappa} \quad (4.9)$$

Dabei bedeutet t_{eq} die äquivalente Oxiddicke der high- κ -Schicht, $\kappa_{\text{high-}\kappa}$ und $t_{\text{high-}\kappa}$ die relative Dielektrizitätskonstante bzw. die physikalische Dicke

des high- κ -Dielektrikums und κ_{SiO_2} die relative Dielektrizitätskonstante von SiO_2 .

Oft bildet sich während der Abscheidung eines high- κ -Dielektrikums oder bei der Nachbehandlung eine parasitäre Schicht mit niedriger Permittivität an der Grenzfläche zum Silizium, die die effektive Dielektrizitätskonstante des gesamten Gatestacks reduziert. Wird diese Schicht berücksichtigt, erweitert sich Gleichung 4.9 zu:

$$t_{\text{eq}} = \frac{\kappa_{\text{SiO}_2}}{\kappa_{\text{high-}\kappa}} t_{\text{high-}\kappa} + \frac{\kappa_{\text{SiO}_2}}{\kappa_{\text{Interface}}} t_{\text{Interface}} \quad (4.10)$$

mit $\kappa_{\text{Interface}}$ und $t_{\text{Interface}}$ gleich der relativen Dielektrizitätskonstante bzw. der Dicke der Interface-Schicht. Diese äquivalente Oxiddicke wird als kapazitätsäquivalente Schichtdicke (engl. **C**apacitance **E**quivalent **T**hickness – CET). Allerdings befinden sich in einer realen MOS-Kapazität die Ladungsträger aufgrund von Quanteneffekten nie direkt an der Grenzfläche zum Oxid [4] und bei Verwendung von poly-Si als Gateelektrode auch nicht direkt an dieser Grenzfläche (siehe 2.5). Diese verarmten Bereiche erzeugen Kapazitäten, die in Reihe zu der eigentlichen Oxidkapazität geschaltet sind. Die Dicken dieser Bereiche lassen sich als Beitrag zur CET verstehen:

$$\text{CET} = \text{EOT} + d_{\text{gate}} + d_{\text{Si}} \quad (4.11)$$

wobei EOT (engl. **E**quivalent **O**xide **T**hickness) die äquivalente Oxiddicke des Gatestacks bestehend aus high- κ -Dielektrikum und eventueller low- κ -Interfaceschicht ist. Wie aus Gleichung 4.11 zu ersehen ist, ist nur die CET direkt messtechnisch zugänglich. Sie lässt sich aus der gemessenen Oxidkapazitäts-Flächendichte in Anreicherung C_{ox} mit Gleichung 2.13 direkt berechnen. Um EOT zu erhalten, wird häufig der so genannte Hauser-Fit [121] auf die gemessenen C-V-Kurven angewendet, der außerdem Parameter des MOS-Kondensators wie die Flachbandspannung und die Substratdotierung berechnen kann.

Um die low- κ -Grenzflächenschicht aus einem Gatestack herauszurechnen und so die relative Dielektrizitätskonstante des high- κ -Dielektrikums selbst zu ermitteln, kann für verschiedene Proben die CET bzw. die EOT gegen die physikalische Schichtdicke des high- κ -Dielektrikums in einem Diagramm eingetragen werden. Die Punkte werden durch einen linearen Fit verbunden. Aus der Steigung der entstandenen Geraden kann die relative Dielektrizitätskonstante des high- κ -Dielektrikums und aus dem y-Achsen-Abschnitt die Dicke der Interfaceschicht (im Fall von CET inklusive der Anteile der Verarmungsschichten) ermittelt werden (vgl. Gleichung 4.10). Diese Darstellung wird CET- bzw. EOT-Plot genannt.

4.6.2 Charakterisierung der MOS-Kondensatoren

Die MOS-Kondensatoren wurden wie in Kapitel 3.5.3 beschrieben hergestellt und dann auf dem Messplatz ausgemessen. Dazu wurde mit einer Messnadel der Rückseitenkontakt und einer anderen Nadel eines der Kontaktpads auf der Oberseite kontaktiert.

Zur Aufnahme der C-V-Kurven wurde mit dem Impedanz-Analysator bei einer Frequenz von 100 kHz – wenn nicht anders vermerkt – mit einer Haltezeit von jeweils 3 s Messpunkt mit positiver Spannung beginnend bis zur maximalen negativen und zurück zur positiven aufgenommen. Die C-V-Kurve wurden hinsichtlich der erreichten Oxidkapazität in Anreicherung, der Flachbandspannung sowie einer etwaigen Hysterese zwischen vor- und rückwärts gemessener Kurve untersucht. Zum Teil wurden die C-V-Kurven mit dem Hauser-Fit [121] ausgewertet.

Die I-V-Kurven wurden mit dem Halbleiter-Parameter-Analysator mit 20 s Haltezeit pro Messpunkt aufgenommen, um jegliche Abklingvorgänge abzuwarten, die die Messung verfälschen könnten.

4.6.3 Charakterisierung der MOSFETs

Die MOSFETs mit alternativem Gatedielektrikum wurden wie in Kapitel 3.5.3 beschrieben hergestellt und dann auf dem Messplatz ausgemessen. Dazu wurden Source, Drain und das Gate mit je einer Messnadel kontaktiert. Zudem wurde mit einer vierten Nadel der Teller unter der Probe auf Referenzpotenzial gelegt, um störende Effekte durch eine Aufladung des Substrates zu vermeiden. In dieser Konfiguration wurden Ausgangs- und Transferkennlinienfelder aufgezeichnet. Zusätzlich wurde immer der Gate-Leckstrom mitgemessen.

Zur Ermittlung der inversen Unterswellensteigung S wurde eine Transferkennlinie mit moderater Source-Drain-Spannung ($V_D = 0,5 \text{ V}$) aufgenommen und der Einschaltbereich in logarithmischer Darstellung linear angefitet (vgl. Abbildung 2.7).

Das Verhältnis von An- zu Ausstrom des Transistors ($I_{\text{on}}/I_{\text{off}}$) wurde aus einer Transferkennlinie, gemessen mit $V_D = 0,5 \text{ V}$, bestimmt. Der Anstrom ist dabei der Wert des Drainstromes I_D bei $V_G = 2,5 \text{ V}$ und der Ausstrom der kleinste gemessene Strom der Kurve.

Die Schwellenspannung V_T wurde mit der $I_D/\sqrt{g_m}$ -Methode extrahiert. Dabei wird aus einer Transferkennlinie, gemessen bei geringer Spannung ($V_D = 50 \text{ mV}$), $I_D/\sqrt{g_m}$ errechnet und gegen die Gatespannung V_G aufgetragen. Kurz oberhalb des Einschaltpunktes des Transistors wird ein linearer Fit durchgeführt. Der x-Achsen-Abschnitt dieser Geraden entspricht der Schwellenspannung [15].

Die Steilheit des Transistors g_m wird bei der $I_D/\sqrt{g_m}$ -Methode als Zwischen-

produkt mitbestimmt.

Aus der Steigung der Fit-Geraden \sqrt{A} für die Schwellenspannung lässt sich außerdem die Beweglichkeit der Ladungsträger bei kleinem Feld nach der Formel

$$\mu_0 = \frac{AL}{WC_{\text{ox}}V_{\text{D}}} \quad (4.12)$$

errechnen [15], wobei L und W die Gatelänge und -weite des Transistors sind, V_{D} die angelegte Drainspannung und C_{ox} die gemessene Oxidkapazitäts-Flächendichte. Der Vorteil der $I_{\text{D}}/\sqrt{g_{\text{m}}}$ -Methode ist die Tatsache, dass durch die Ableitung parasitäre S/D-Widerstände aus der Rechnung eliminiert werden.

Bei einer weiterentwickelten Methode, die auch eine effektive Gatelänge $L_{\text{eff}} = L - \Delta L$ berücksichtigt, trägt man $1/A$ gegen verschiedene Gatelängen des Transistors auf und ermittelt einen linearen Fit (siehe Abbildung 4.5).

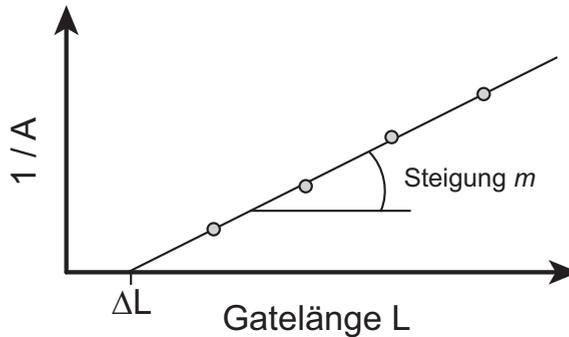


Abbildung 4.5: Methode zur Extraktion der Beweglichkeit von Ladungsträgern in MOSFETs unter Berücksichtigung einer effektiven Gatelänge L_{eff} . Die Steigung m des linearen Fits ist umgekehrt proportional zur Ladungsträgerbeweglichkeit (nach [15]).

Die Steigung m dieser Geraden ist dann umgekehrt proportional zur Beweglichkeit der Ladungsträger [15]:

$$m = \frac{1}{\mu_0 WC_{\text{ox}}V_{\text{D}}} \quad (4.13)$$

und der x-Achsen-Abschnitt der Gerade entspricht ΔL . Vorteilhaft bei dieser Methode ist, dass man Werte für mehrere Bauelemente mit unterschiedlicher Gatelänge mittelt und damit ein verlässlicheres Ergebnis für die Ladungsträgerbeweglichkeit erhält.

Kapitel 5

GdScO₃-Schichten

In diesem Kapitel werden die Ergebnisse der Untersuchungen an GdScO₃-Schichten erläutert. Die Schichten wurden mit den Verfahren der gepulsten Laserdeposition (PLD), des Elektronenstrahlverdampfens (ESV) und der atomic layer deposition (ALD) abgeschieden und bezüglich ihrer Stöchiometrie, Morphologie, Oberfläche und ihrer elektrischen Eigenschaften untersucht.

5.1 Chemische Zusammensetzung

Die Stöchiometrie der Schichten wurde mit RBS bestimmt. In Abbildung 6.1 sind exemplarisch die Gd- und Sc-Signale von RBS-Spektren unterschiedlich dicker GdScO₃-Schichten – abgeschieden mit der ALD – dargestellt. Die Gd-Peaks sind mit den zugehörigen Schichtdicken (gemessen mit XRR) beschriftet. Die Liste enthält zusätzlich die jeweiligen Flächenbelegungen mit Gd bzw. Sc, die zur besseren Vergleichbarkeit mit den XRR-Dicken auf den nm-Wert der dünnsten Schicht normiert sind. Es ist eine sehr gute Übereinstimmung zwischen Schichtdicke und Flächenbelegung zu erkennen, die zu einer konstanten Dichte von etwa 4,9 g/cm⁻³ führt, was etwa 70% der Dichte des kristallinen GdScO₃ entspricht. Die Dichte der ESV-deponierten Schichten liegt bei ~83% und für die PLD werden Werte von über 90% erreicht.

GdScO₃ ist mit RBS sehr gut zu untersuchen, weil die Signale von Gd und Sc weder gegenseitig noch mit dem Si-Signal überlappen. Dadurch kann mit guter Genauigkeit über die Peaks integriert werden, um die Flächenbelegung mit dem jeweiligen Element zu erhalten. Den genauen Sauerstoffgehalt der Schichten anhand des O-Signals zu bestimmen ist schwierig, weil – wie in Kapitel 4.1 beschrieben – die Empfindlichkeit der Messmethode mit sinkender Atommasse abnimmt. Der Sauerstoffgehalt hat aber auch einen deutlichen Einfluss auf die Peakhöhe der Metalle und kann dadurch abgeleitet werden.

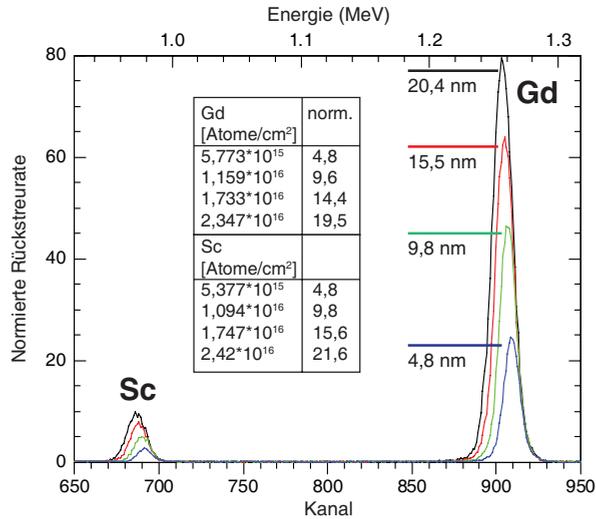


Abbildung 5.1: RBS-Spektren der Gd- und Sc-Signale unterschiedlich dicker ALD-GdScO₃-Schichten. An den Peaks ist die jeweilige XRR-Schichtdicke angegeben. Die Liste enthält die Flächenbelegungen mit Gd- bzw. Sc-Atomen. Zur besseren Vergleichbarkeit enthält die zweite Spalte Normierungen auf die XRR-Dicke der dünnsten Schicht.

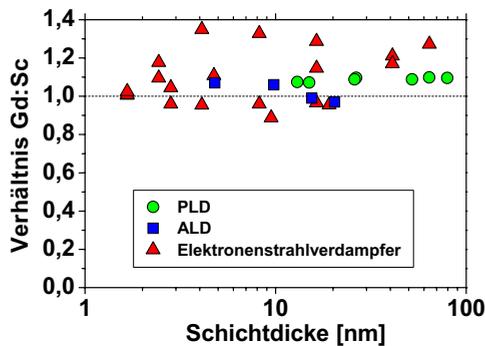


Abbildung 5.2: Verhältnis von Gd zu Sc in GdScO₃-Schichten aufgetragen gegen die Schichtdicke für verschiedene Abscheidungsverfahren.

Nachteilig bei der PLD ist die Verunreinigung der Oberfläche mit Partikeln vom Target und die Inhomogenität der Schichtdicke über die Probenfläche, in diesem Fall etwa 20% auf einer Fläche von $10 \times 10 \text{ mm}^2$. Um diese Probleme zu umgehen, wurde das Elektronenstrahlverdampfen vom stöchiometrischen, keramischen Target für die Abscheidung von GdScO_3 -Schichten etabliert. Da dieses Verfahren, wie in Kapitel 3.2 beschrieben, von den Verdampfungsraten der einzelnen Elemente abhängt, ist eine stöchiometrische Abscheidung mit keramischem Targetmaterial nicht notwendigerweise möglich. Tatsächlich ist die Variation des Gd:Sc-Verhältnisses für dieses Verfahren größer als für die PLD oder ALD, wie in Abbildung 5.2 zu erkennen ist. Es konnten jedoch keine Beeinträchtigungen der morphologischen oder elektrischen Eigenschaften der Schichten durch Stöchiometrieabweichungen beobachtet werden.

5.2 Morphologie

Um die Homogenität der Proben, die mit dem ESV abgeschieden worden sind, zu überprüfen, wurde eine etwa 6 nm dicke GdScO_3 auf einem 2-Zoll-Wafer abgeschieden und an mehreren Stellen mit RBS bzw. XRR vermessen (siehe Abbildung 5.3). Die RBS-Messungen an den Punkten P1–P9 weisen eine Variation der Flächenbelegung mit Atomen $< 5\%$ auf und das Gd:Sc-Verhältnis liegt zwischen 1,01 und 1,08. Die XRR-Messungen an den Punkten P1–P5 ergeben eine Schichtdickenabweichung $< 3\%$. Das Elektronenstrahlverdampfen ist also hervorragend zur Abscheidung von homogenen GdScO_3 -Filmen geeignet.

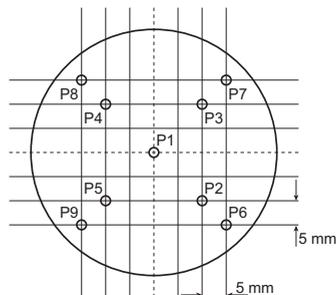


Abbildung 5.3: Schema eines 2[“]-Wafers mit Messpunkten zur Bestimmung der Homogenität der Atombelegung und Schichtdicke eines GdScO_3 -Dünnsfilmes.

Auch die Reproduzierbarkeit der Schichtdicke ist sehr gut, wie in Abbildung 5.4 zu sehen ist. In dieser Abbildung sind die XRR-Diffraktogramme von zwei Schichten aus verschiedenen Abscheideläufen dargestellt. Zwischen den beiden Kurven ist kein Dickenunterschied zu erkennen. Zusätzlich sind die theoretischen Peakpositionen für eine 5,4 nm dicke Schicht eingezeichnet. Sie stimmen mit den gemessenen Kurven überein. Diese Messungen bestätigen die gute Schichtdickenkontrolle mit dem Verfahren des Elektrostrahlverdampfens.

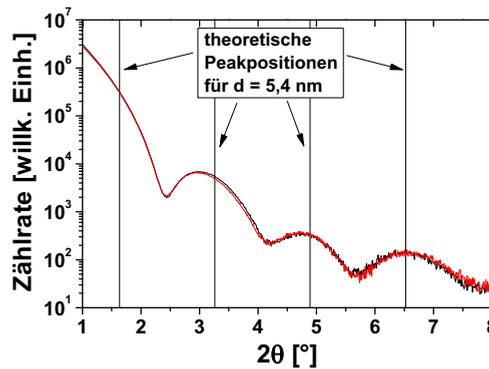


Abbildung 5.4: XRR-Diffraktogramme von zwei in unterschiedlichen Experimenten deponierten GdScO₃-Schichten (rot und schwarz).

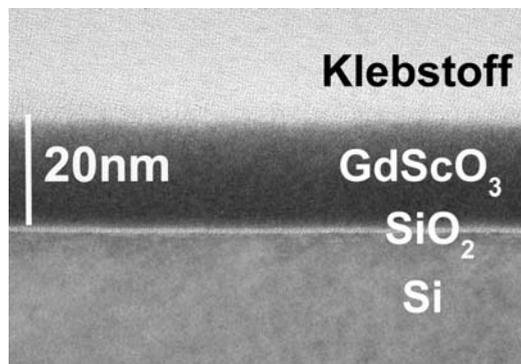


Abbildung 5.5: TEM-Aufnahme einer ~20 nm dicken GdScO₃-Schicht, abgeschieden mit ALD bei 300°C Substrattemperatur.

Alle Schichten sind nach der Abscheidung amorph und frei von Löchern oder Einschlüssen. Abbildung 5.5 zeigt die TEM-Aufnahme einer ~ 20 nm dicken GdScO_3 -Schicht, die mit der ALD bei einer Substrattemperatur von 300°C abgeschieden wurde. Es ist eine $\sim 1,3$ nm dicke SiO_2 -Grenzflächenschicht deutlich zu sehen. Diese entsteht, weil das im Depositionsprozess eingesetzte Ozon das Siliziumsubstrat während der Abscheidung oxidiert. Die Schicht kann nur durch eine Umstellung des Prozesses auf Precursor, die H_2O als Oxidant tolerieren, ganz vermieden werden (siehe z. B. [85]).

Die thermische Stabilität der amorphen Schichten wurde mittels XRD an einer ~ 20 nm dicken PLD- GdScO_3 -Schicht untersucht. Dazu wurde diese etwa 30 min auf der jeweiligen Temperatur gehalten und danach eine 2θ -Messung durchgeführt. In Abbildung 5.6 sind die Spektren für eine unbehandelte Schicht und die Daten für 900°C , 1000°C und 1100°C dargestellt. Bei 1100°C erscheinen Reflexe, die hexagonalem Gd_2O_3 zugeordnet werden können. Mit anderen Verfahren abgeschiedene Schichten zeigen dieselbe thermische Stabilität, und ein vergleichbares Verhalten wurde z. B. auch für DyScO_3 beobachtet [76].

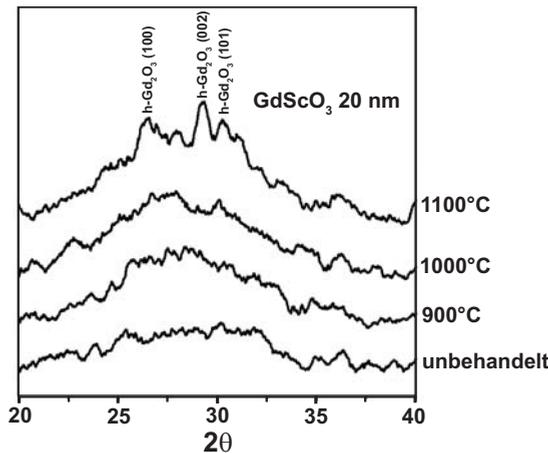


Abbildung 5.6: XRD-Spektren einer ~ 20 nm dicken GdScO_3 -Schicht, abgeschieden mit der PLD.

Die Oberfläche der GdScO_3 -Schichten ist grundsätzlich sehr glatt, vor allem die mit dem Elektronenstrahlverdampfer bei 600°C hergestellten Schichten erreichen sehr niedrige Rauigkeiten. So kann für eine ~ 20 nm dicke Schicht eine rms-Rauigkeit von $\sim 0,1$ nm und dabei eine maximale Höhendif-

ferenz von ~ 1 nm innerhalb einer $2 \times 2 \mu\text{m}^2$ großen Fläche bestimmt werden (siehe Abbildung 5.7). Damit liegt die Rauigkeit deutlich unter den Abmessungen einer Einheitszelle des kristallinen Materials und reproduziert im Wesentlichen die Anfangsrauigkeit der Substratoberfläche.

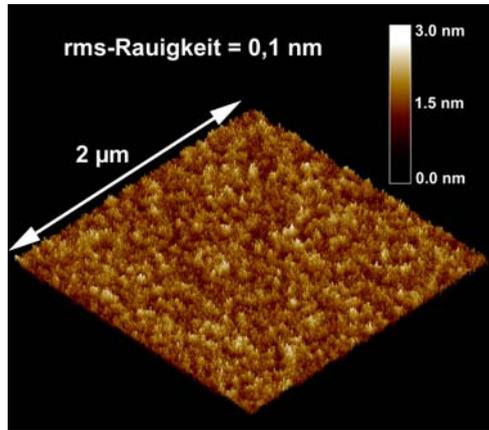


Abbildung 5.7: AFM-Messung einer $2 \times 2 \mu\text{m}^2$ großen Fläche einer ~ 20 nm dicken GdScO₃-Schicht, abgeschieden mit dem Elektronenstrahlverdampfer bei 600°C Substrattemperatur.

Wie in Kapitel 3.1 beschrieben, sind auf PLD-Schichten häufig Droplets oder Partikel vom Target zu finden. Die Bestimmung der Oberflächenrauigkeit kann nur auf einem partikelfreien Bereich durchgeführt werden, um aussagekräftige Messwerte zu erhalten. Aber auch bei der ALD kann es zu Problemen mit Partikeln kommen. In Abbildung 5.8 ist die AFM-Messung einer ~ 20 nm dicken ALD-GdScO₃-Schicht dargestellt. Es fallen mehrere kleine Partikel auf, die unregelmäßig über die Fläche verteilt sind. Sie können entstehen, wenn Partikel vom festen Precursor aus der Quelle mitgerissen werden, oder aber, wenn sich noch vor der Abscheidung im Trägergas Moleküle des Precursors zu Clustern zusammenheften. Die Partikel sind etwa 30 nm breit, wie in der REM-Aufnahme in Abbildung 5.8 abgelesen werden kann, und ca. 10 – 15 nm hoch, was die maximale Höhendifferenz des Gesamtbildes aussagt. Zwischen den Partikeln erreicht die Schichtoberfläche eine geringe rms-Rauigkeit von $0,26$ nm (siehe eingezeichnete Box in Abbildung 5.8). Die Entstehung solcher Partikel sollte vermieden werden, weil sie in einer MOS-Diode oder im Kanalbereich eines MOSFETs zu erheblichen Störungen der Funktion des Bauelementes führen können.

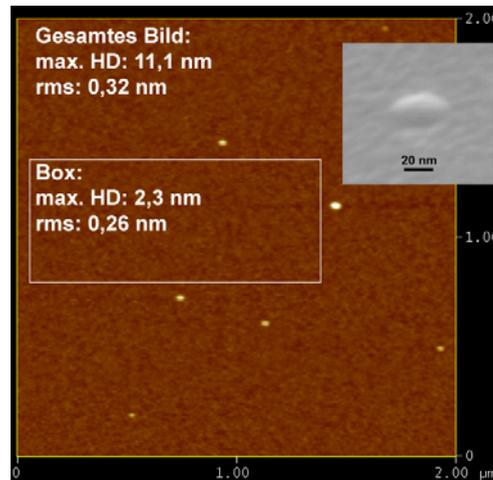


Abbildung 5.8: AFM-Messung einer $2 \times 2 \mu\text{m}^2$ großen Fläche einer $\sim 20 \text{ nm}$ dicken ALD-GdScO₃-Schicht. Die maximale Höhendifferenz (max. HD) sowie die rms-Rauigkeit sind sowohl für das gesamte Bild als auch für die eingezeichnete Box angegeben. Das eingefügte Bild zeigt die REM-Aufnahme eines kleinen Partikels.

5.3 Elektrische Charakterisierung

Von den hergestellten GdScO₃-MOS-Kondensatoren wurden C-V- und I-V-Kurven aufgenommen. In Abbildung 5.9 sind stellvertretend für alle Abscheidungsverfahren die C-V-Kurven von verschiedenen dicken ALD-GdScO₃-Schichten dargestellt. Sie sind frei von Unregelmäßigkeiten und die Hysterese der dünnsten Schicht liegt bei unter 100 mV. Abbildung 5.10 zeigt die I-V-Messung der dünnsten Schicht. Diese erreicht bei -1 V eine niedrige Leckstromdichte von 300 nA/cm^2 im Vergleich zum mehr als sechs Größenordnungen höheren maximal tolerierbaren Wert für Hochleistungs-CMOS-Schaltkreise ($1 \text{ A/cm}^2 @ -1 \text{ V}$ [29]).

Da die Schichten im Elektronenstrahlverdampfer unter Hochvakuumbedingungen abgeschieden werden und so keine weitere Oxidation wie z. B. in der ALD möglich ist, werden mit diesem Verfahren die dünnsten SiO₂-Schichten an der Grenzfläche zwischen GdScO₃ und Silizium und damit auch die geringsten CET-Werte erreicht. Die I-V-Kurven von elektronenstrahlverdampften GdScO₃-Schichten sind in Abbildung 5.11 dargestellt. Die dünnste Schicht mit einer Dicke von $3,8 \text{ nm}$ und einer kapazitätsäqui-

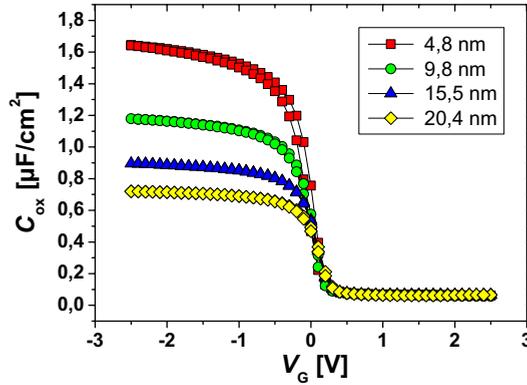


Abbildung 5.9: C-V-Kurven von ALD-GdScO₃-Proben verschiedener Dicke, abgeschieden bei 300°C.

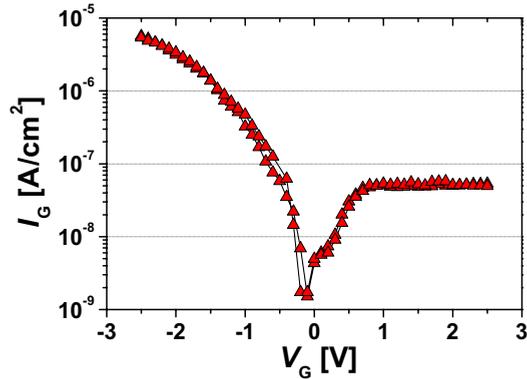


Abbildung 5.10: I-V-Kurve der dünnsten ALD-GdScO₃-Probe aus Abbildung 5.9 mit einer Dicke von 4,8 nm.

valenten Dicke von $\text{CET} = 1,5$ nm erreicht einen Leckstrom von $39 \mu\text{A}/\text{cm}^2$ bei -1 V und $770 \mu\text{A}/\text{cm}^2$ bei -2 V. Der Leckstrom der dicksten Probe geht im Rauschen des Messsystems bei der verwendeten Kontaktpadgröße unter und ist nicht mehr auswertbar. Im eingesetzten Diagramm der Abbildung ist die C-V-Kurve der Schicht mit $\text{CET} = 2,4$ nm abgebildet. Die Hysterese ist kleiner als 100 mV, allerdings ist die Flachbandspannung der Kurve, im Gegensatz zu den ALD-GdScO₃-Schichten, deutlich zu negativen Spannungen

hin verschoben. Das deutet auf die Präsenz von positiven Oxidladungen hin, z. B. Sauerstofffehlstellen hervorgerufen durch den geringen Sauerstoffpartialdruck während der Abscheidung. An der dicksten Probe wurde zudem durch den Vergleich von quasistatischen und Hochfrequenz-C-V-Kurven eine Grenzflächenladungsdichte von $D_{it} \sim 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ bestimmt. Mit der Methode nach Terman [122] wurden vergleichbare Werte ermittelt.

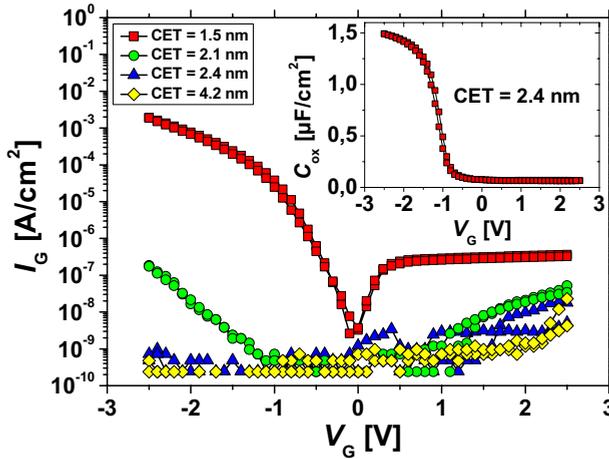


Abbildung 5.11: I-V-Kurven von elektronenstrahlaufgedampften GdScO_3 verschiedener Dicke. Die dünnste Schicht ($d = 3,8 \text{ nm}$, $\text{CET} = 1,5 \text{ nm}$) erreicht bei -2 V einen Leckstrom von $770 \mu\text{A}/\text{cm}^2$. Die Einfügung zeigt eine C-V-Kurve der Schicht mit $\text{CET} = 2,4 \text{ nm}$.

Die Leckstromdichten bei -2 V (was in etwa $V_{fb} - 1 \text{ V}$ entspricht) aus Abbildung 5.10 wurden extrahiert, um sie gegen die mit dem Hauser-Fit ermittelten EOT-Werte aufzutragen, was Abbildung 5.12 zeigt. Zusätzlich sind Werte für SiO_2 aus [123] zum Vergleich eingetragen. Der Verlauf der Leckstromdichten kann für GdScO_3 gut durch eine Gerade angenähert werden, die viele Größenordnungen unter der von SiO_2 liegt, aber eine größere Steigung besitzt. Bei etwa 1 nm EOT beträgt der Abstand immer noch 7 Größenordnungen. Verlängert man die Gerade für GdScO_3 bis zum laut ITRS Roadmap [2] maximal tolerierbaren Wert für CMOS-Schaltkreise von $1 \text{ A}/\text{cm}^2$, so ergibt sich theoretisch ein EOT-Wert von ca. $0,6 \text{ nm}$ als Skalierungsgrenze für dieses Material. Das entspricht dem in der Roadmap empfohlenen Wert für das Jahr 2010.

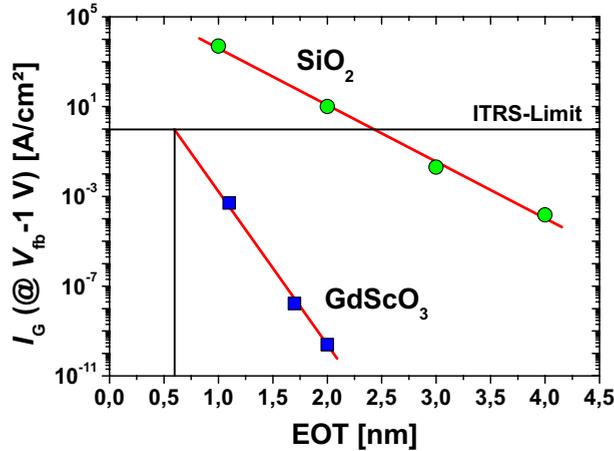


Abbildung 5.12: Leckstromdichten von GdScO₃-Schichten verschiedener Dicke aufgetragen gegen ihre EOT-Werte. Zum Vergleich sind Werte für SiO₂ (aus [123]) mit in das Diagramm eingetragen. Die Linien sind als Orientierungshilfe gedacht.

Aus den jeweiligen Kapazitätswerten der C-V-Kurven bei -2 V wurden CET-Plots erstellt, die in Abbildung 5.13 zu sehen sind. Dabei kamen verschiedene Metalle als Gatekontakte zum Einsatz. Die aus den Steigungen der linearen Fits ermittelten Dielektrizitätskonstanten variieren mit $\kappa = 22 \pm 1$ nur wenig zwischen den verschiedenen Abscheidungsverfahren. Allerdings ist ein deutlicher Unterschied im CET-Achsenabschnitt der Geraden zu erkennen, der mit der Dicke der Grenzflächenschicht korreliert. Der hohe CET-Wert der PLD-GdScO₃-Schichten von 4,4 nm ist nicht allein durch einen hohen Sauerstoffhintergrunddruck während der Abscheidung zu erklären, sondern durch den hohen Restgasdruck während des Gold-Aufdampfens, der zu einer Kontaminationsschicht mit niedrigem κ an der high- κ /Au-Grenzfläche führt. Die dickere Zwischenschicht für die ALD-Schichten von 1,2 nm gegenüber den ESV-Schichten mit 0,9 nm liegt an der erwähnten Verwendung von Ozon im Abscheidungsprozess. Das Elektronenstrahlverdampfen zeigt somit das beste Potenzial, eine unerwünschte SiO₂-Grenzflächenschicht zu minimieren und damit den geringsten CET-Wert zu erreichen.

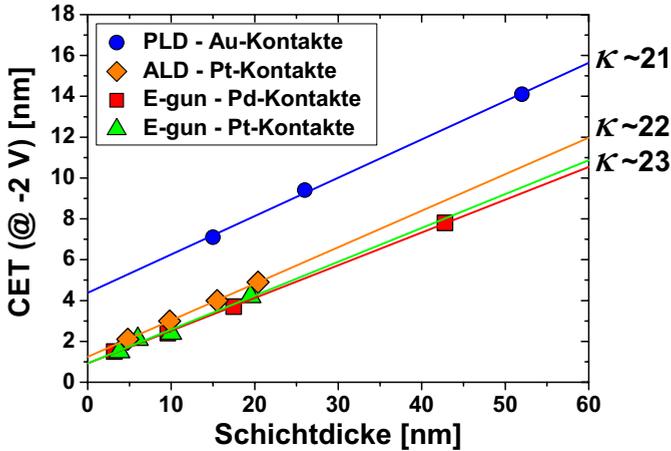


Abbildung 5.13: CET-Ergebnisse von GdScO_3 -Schichten, abgeschieden mit verschiedenen Verfahren und mit unterschiedlichen Metallkontakten.

5.4 Zusammenfassung

Insgesamt konnte gezeigt werden, dass mit den verwendeten Abscheidungsverfahren (PLD, Elektronenstrahlverdampfen, ALD) GdScO_3 -Schichten hoher Qualität hergestellt werden können. Die Schichten sind nach Abscheidung amorph und stöchiometrisch (mit Ausnahme der ESV-Schichten, die eine etwas größere Stöchiometrievariation zeigen). Die thermische Stabilität der amorphen Phase bis zu 1000°C erlaubt ein großes thermisches Budget bei der Prozessierung. Insbesondere mit dem ESV und der ALD lassen sich sehr homogene Filme abscheiden, allerdings wächst bei der ALD durch die Verwendung von Ozon ein dickeres SiO_2 an der Grenzfläche auf. Die Oberflächenrauigkeit ist mit einem rms-Wert $\sim 1 \text{ \AA}$ für Schichten bis 20 nm kleiner als die Abmessung einer Einheitszelle. Die elektrischen Eigenschaften der Schichten sind sehr gut. C-V-Kurven zeigen kleine Hysteresen, I-V-Messungen geringe Leckströme und die Grenzfläche weist eine moderate Zahl von elektrisch aktiven Zuständen. Die Dielektrizitätskonstante liegt unabhängig vom Abscheidungsverfahren bei 21–23. Die Filme aus dem Elektronenstrahlverdampfer erreichen zudem ein $I_{\text{G,max}} = 770 \mu\text{A}/\text{cm}^2$ ($@ V_{\text{G}} = -2 \text{ V}$) für $\text{CET} = 1,5 \text{ nm}$ und ein $D_{\text{it}} \sim 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$.

Kapitel 6

LaLuO₃-Schichten

In diesem Kapitel werden die Ergebnisse der Untersuchungen an LaLuO₃-Schichten beschrieben. Die Schichten wurden mit den Verfahren der gepulsten Laserdeposition (PLD) und der atomic layer deposition (ALD) abgeschieden und bezüglich ihrer Stöchiometrie, Morphologie, Oberflächenbeschaffenheit und ihrer elektrischen Eigenschaften untersucht. Die Deposition von stöchiometrischen LaLuO₃-Schichten mittels Elektronenstrahlverdampfung von stöchiometrischem, keramischem Material war aufgrund verschiedener Dampfdrücke der beiden Metalle nicht möglich.

6.1 Chemische Zusammensetzung

Bezogen auf die chemische Zusammensetzung zeigt LaLuO₃ ein anderes Verhalten als GdScO₃. Bei niedriger Temperatur abgeschiedene Filme weisen – unabhängig vom Depositionsverfahren – einen starken Sauerstoffüberschuss auf, während die Metalle in nahezu gleichen Anteilen vorliegen, was dem Idealfall entspricht. Der hohe Sauerstoffanteil liegt in den starken Sauerstoffaffinitäten der Seltenen Erden begründet. Für ALD-abgeschiedene Schichten bei 300°C Substrattemperatur liegt der Anteil bei 5,2 gegenüber den Metallen (siehe Abbildung 6.1) und bei der PLD bei etwa 4,0 für die Abscheidung auf kaltem Substrat. Wird die Teilchenenergie erhöht, kann ein stöchiometrisches Aufwachsen begünstigt bzw. überschüssiger Sauerstoff aus den Schichten ausgetrieben werden. Bei der PLD – bei der ohnehin höhere Teilchenenergien auftreten – ist eine Substrattemperatur von 450°C ausreichend, um stöchiometrische Filme herzustellen. Bei der ALD hingegen reicht die durch das Prozessfenster der Precursoren festgelegte Substrattemperatur von 300°C nicht aus. Durch ein nachträgliches Tempern der Schichten bei 800°C für 5 min kann aber auch hier der Sauerstoffanteil deutlich reduziert werden, selbst wenn in Sauerstoffatmosphäre getempert wird. Dieses Verhalten wird durch RBS-Messungen in Abbildung 6.1 belegt. Für die Dar-

stellung wurden die Signale der Metalle ausgewählt, da eine „Verdünnung“ dieser durch leichtere Elemente gut nachvollzogen werden kann. Das Verhalten ist analog auch am Sauerstoffsignal zu sehen. Das Signal der Metalle erhöht sich nach dem Tempern deutlich, was der Reduktion eines leichteren Elementes in der Schicht entspricht. Gleichzeitig wird der Peak aber schmaler und verändert daher nicht wesentlich seine Fläche, was bedeutet, dass kein Metall abdampft. Tatsächlich konnte aber mit Hilfe von XRR eine Reduktion der Schichtdicke um $\sim 16\%$ nachgewiesen werden. Ein Vergleich von RBS- (Anzahl der Atome pro Fläche) und XRR-Messungen (physikalische Schichtdicke) ergibt nach dem Tempern eine Dichte von etwa 88% der theoretischen Dichte eines LaLuO_3 -Einkristalls.

Ein ähnliches Verhalten konnte für LaLuO_3 -Schichten, abgeschieden mit Hilfe der Molekularstrahlepitaxie, nachgewiesen werden [124].

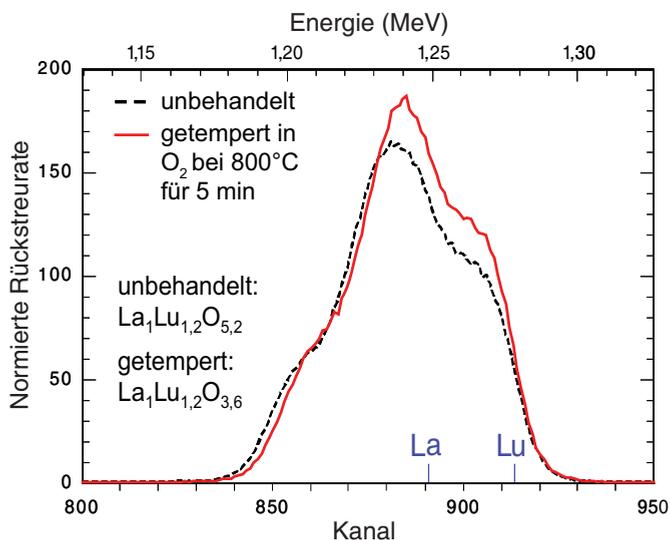


Abbildung 6.1: RBS-Spektrum der La- und Lu-Signale einer 73 nm dicken LaLuO_3 -Schicht abgeschieden mit ALD bei $\sim 300^\circ\text{C}$ Substrattemperatur (schwarze, gestrichelte Linie) und derselben Schicht, getempert in O_2 bei 800°C für 5 min (rote, durchgezogene Linie).

Zusätzlich zu den RBS-Messungen wurden auch XPS-Messungen durchgeführt, um die Art der atomaren Bindungen in den Schichten zu untersuchen. Dabei muss beachtet werden, dass XPS im Vergleich zu RBS ein oberflächensensitives Messverfahren ist, bei dem die Informationen aus maximal 5 nm Tiefe gewonnen werden. Deshalb können Oberflächenkontaminationen

einen erheblichen Einfluss auf das Messergebnis haben.

In Abbildung 6.2 sind die XPS-Spektren der O1s-Bindung für vier verschiedene Proben abgebildet: Eine unbehandelte ALD-LaLuO₃-Schicht, eine bei 800°C für 5 min in Sauerstoff getemperte ALD-LaLuO₃-Schicht, eine unbehandelte, amorphe PLD-LaLuO₃-Schicht und eine Probe mit einer unbehandelten, epitaktischen LaLuO₃-Schicht auf einem SrTiO₃-Substrat. Letztere wurde ebenfalls mit der PLD abgeschieden und dient als Referenzprobe für eine nahezu ideale Stöchiometrie.

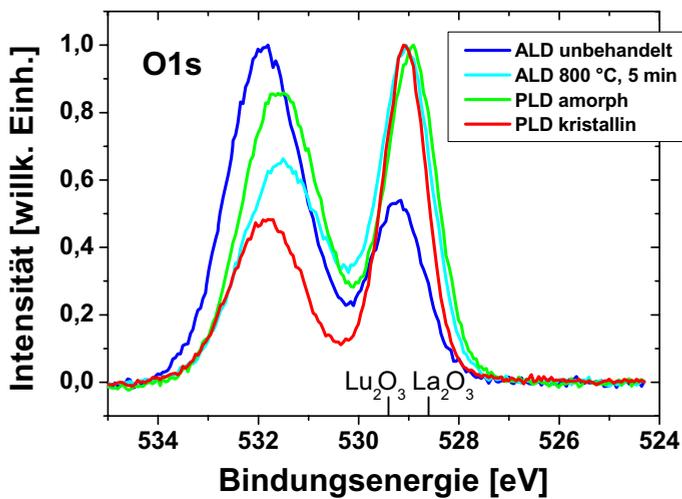


Abbildung 6.2: XPS-Spektren der O1s-Bindung von verschiedenen LaLuO₃-Schichten. Jedes Spektrum ist auf dessen Maximalwert normiert. Die kristalline Schicht dient als Referenz für eine nahezu ideale Stöchiometrie. Die Bindungsenergien für an La bzw. Lu gebundenen Sauerstoff sind an der Energieachse markiert.

Die Spektren zeigen eine Doppelspitze, deren rechte Hälfte eindeutig den mit Lanthan bzw. Lutetium gebundenen Sauerstoffatomen zugeordnet werden kann (siehe Markierungen in Abbildung 6.2). Das linke Signal korreliert vor allem mit freiem Sauerstoff sowie mit Hydroxid- und Carbonatgruppen und anderen Verunreinigungen, die sich auf der Oberfläche befinden. In Tabelle 6.1 sind die aus den Spektren berechneten Sauerstoff- und Kohlenstoffgehalte der Proben sowie die Positionen und Höhen von Gaußkurven zum Anfitzen der Kurven aufgelistet. Für die ideale Stöchiometrie von

La₁Lu₁O₃ beträgt der gesamte Sauerstoffgehalt 60 at%. Dieser Wert wird in der Messung nicht erreicht, weil die Oberfläche z. T. mit kohlenwasserstoffhaltigen Verunreinigungen belegt ist, die keinen Sauerstoff enthalten. Es ist aber ein signifikanter Unterschied im Anteil der an La oder Lu gebundenen Sauerstoffatome (La/Lu–O) zu sehen, der nicht durch eine anders zusammengesetzte Kontaminationsschicht auf der Oberfläche erklärt werden kann.

		ALD unbeh.	ALD 800°C, 5 min	PLD amorph	PLD kristallin
O	Konz. O	51,2%	50,1%	49,0%	47,5%
O	La/Lu–O	529,3 / 27%	529,1 / 49%	528,9 / 43%	529,1 / 55%
	Kontamin.	531,4 / 21%	530,9 / 21%	531,0 / 21%	531,4 / 17%
	OH ⁻ , CO ₃ ⁻	532,1 / 52%	531,9 / 30%	531,8 / 36%	532,0 / 28%
C	Konz. C	12,9%	6,7%	9,0%	11,2%
C	CH ₂	285,0 / 27%	285,0 / 41%	285,0 / 41%	285,0 / 54%
	COC,COH	285,7 / 15%	286,2 / 8%	286,7 / 5%	286,9 / 6%
	COOH	288,7 / 5%	288,4 / 10%	288,5 / 8%	288,6 / 10%
	CO ₃ ,C+F	290,0 / 53%	289,8 / 41%	289,8 / 46%	289,9 / 30%

Tabelle 6.1: Aus XPS-Spektren errechnete Konzentrationen für O und C (in at%) in verschiedenen LaLuO₃-Filmen. Außerdem sind die Positionen (in eV) und Anteile (in %) verschiedener Gaußkurven zum Anfitzen der Spektren in Abbildung 6.2 angegeben.

Dieser Anteil ist erwartungsgemäß für die unbehandelte ALD-Schicht mit 27% am kleinsten. Sie enthält also viel freien Sauerstoff, was sich mit den RBS-Messungen deckt. Die kristalline LaLuO₃-Schicht dagegen enthält den meisten La/Lu-gebundenen Sauerstoff (55%). Die getemperte ALD-Schicht und die amorphe PLD-Schicht liegen mit Werten von 49% bzw. 43% dazwischen. Es ist also möglich, durch eine nachträgliche Temperaturbehandlung überschüssigen Sauerstoff aus der Probe zu entfernen und die Anzahl an La/Lu–O-Bindungen deutlich zu erhöhen. Wie in Kapitel 6.4 gezeigt wird, verringert ein überstöchiometrischer Sauerstoffanteil in den LaLuO₃-Filmen die Dielektrizitätskonstante und sollte daher für die Herstellung von alternativen Gatedielektrika vermieden werden. Warum die getemperte ALD-Schicht nicht dieselben elektrischen Eigenschaften wie die amorphe PLD-Schicht erreicht (siehe Kapitel 6.4), kann mit diesen Messungen nicht geklärt werden. Bei der hohen Temperatur von 800°C könnten Diffusionsprozesse auftreten, die in einer RBS-Messung noch nicht sichtbar sind, aber die elektrischen Eigenschaften der Schicht bereits beeinflussen.

6.2 Morphologie

Sowohl die ALD- als auch die PLD-Schichten sind nach der Abscheidung mit den beschriebenen Parametern amorph. Abbildung 6.3 zeigt eine TEM-Aufnahme einer ~ 20 nm dicken ALD-LaLuO₃-Schicht und das eingesetzte Bild eine etwas dickere, bei Raumtemperatur mit der PLD abgeschiedene Schicht. Bei beiden Filmen sind keine Anzeichen von Kristallisation zu erkennen. Außerdem verdeutlichen die Aufnahmen, dass bei diesen Bedingungen die Deposition von LaLuO₃-Schichten mit einer nur minimalen parasitären Zwischenschicht an der Grenzfläche (~ 1 nm) möglich ist. Allerdings wächst diese Zwischenschicht bei der Abscheidung auf heißem Substrat in der PLD aufgrund eines recht hohen Sauerstoff-Partialdruckes von 10^{-3} mbar bzw. beim nachträglichen Tempern der Schichten in Sauerstoff. Eine dickere Zwischenschicht beeinträchtigt wiederum die elektrischen Eigenschaften der MOS-Struktur (siehe Kapitel 6.4).

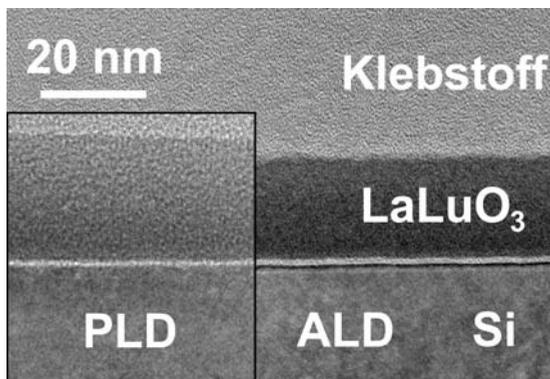


Abbildung 6.3: TEM-Aufnahmen einer ~ 20 nm dicken ALD- und einer ~ 22 nm dicken PLD-LaLuO₃-Schicht (eingefügter Bereich). Die ALD-Schicht wurde bei 300°C und die PLD-Schicht bei Raumtemperatur abgeschieden.

Die amorphe Phase der LaLuO₃-Schichten ist thermisch sehr stabil. Temperversuche in Stickstoffatmosphäre (jeweils für 10 s) haben gezeigt, dass die Kristallisation von dünnen Schichten (< 20 nm), die für die Anwendung als Gateoxid interessant sind, erst bei 1100°C einsetzt. In Abbildung 6.4 ist dies exemplarisch für eine ~ 11 nm dicke PLD-abgeschiedene Schicht anhand von XRD-Diffraktogrammen belegt. Die Abwesenheit jeglicher Reflexe für die Kurven der unbehandelten und der bei 700 – 1000°C getemperten Schichten weist darauf hin, dass keine Kristallite in der Schicht vorhanden sind.

Erst bei der 1100°C -Kurve sind deutlich aufkommende Reflexe und damit eine beginnende Kristallisation zu erkennen. Die Ergebnisse für eine ~ 11 nm dicke ALD- LaLuO_3 -Schicht sind identisch mit den hier gezeigten.

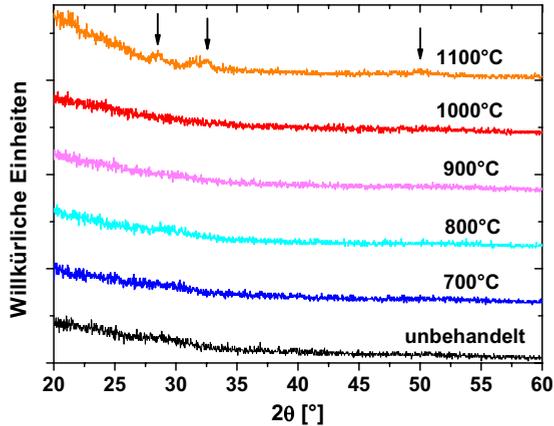


Abbildung 6.4: XRD-Diffraktogramme einer ~ 11 nm dicken PLD- LaLuO_3 -Schicht für den unbehandelten Zustand und nach Tempern in Stickstoffatmosphäre bei 700 - 1100°C für 10 s. Die Pfeile markieren Reflexe, die auf eine beginnende Kristallisation hindeuten.

Die Oberfläche der LaLuO_3 -Dünnschichten ist unabhängig vom Depositionsverfahren sehr glatt. Für eine $6,3$ nm dicke ALD- LaLuO_3 -Schicht kann eine rms-Rauigkeit von $0,3$ nm gemessen werden, die PLD- LaLuO_3 -Schicht bleiben bis zu einer Schichtdicke von 60 nm unter einem Wert von $0,4$ nm, entsprechend einer halben Einheitszelle des kristallinen Materials.

6.3 Elektronische Eigenschaften

Bandlücke und Bandkantensprünge der PLD-abgeschiedenen LaLuO_3 -Schichten wurde mit Hilfe des inneren Photoeffektes (IPE) und der Photoleitung (PC) bestimmt. Abbildung 6.5 zeigt Messungen einer $\text{Au}/\text{LaLuO}_3/\text{Si-MOS}$ -Struktur mit einer 20 nm dicken LaLuO_3 -Schicht und einer 15 nm dicken, semitransparenten Goldelektrode mit $0,5\text{ mm}^2$ Fläche bei unterschiedlicher Polarität der Vorspannung. Die Quantenausbeute Y ist definiert als der durch die MOS-Struktur fließende Photostrom normiert auf den eingestrahlenen Photonfluss.

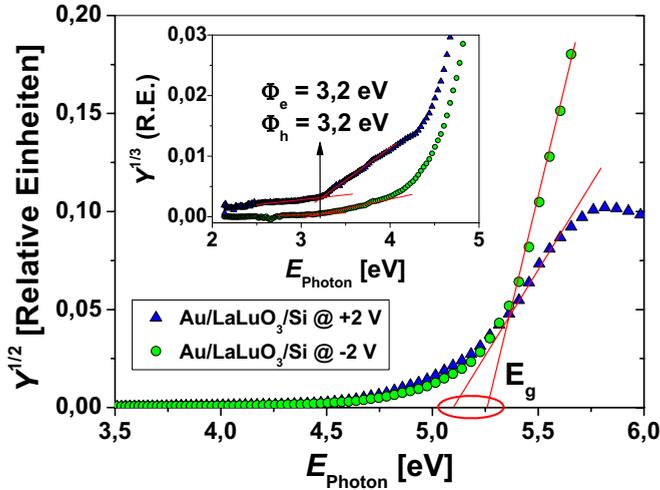


Abbildung 6.5: IPE- und PC-Messungen einer 15 nm Au/20 nm LaLuO₃/Si-MOS-Struktur bei Vorspannung mit unterschiedlicher Polarität. Aus $Y^{1/2}$ gegen E_{Photon} lässt sich eine Bandlücke des LaLuO₃ von $E_g = 5,2 \pm 0,2$ eV ableiten. Die Auswertung der $Y^{1/3}$ gegen E_{Photon} -Plots (Einfügung) ergibt symmetrische Bandkantensprünge des LaLuO₃ zu Silizium von $\Delta E_V, \Delta E_L = 2,1 \pm 0,1$ eV.

Aus der Quadratwurzel der Quantenausbeute $Y^{1/2}$, aufgetragen gegen die Photonenenergie E_{Photon} , lässt sich eine Bandlücke von $E_g = 5,2 \pm 0,2$ eV aus der Extrapolation auf die Energieachse ableiten. Außerdem ist ein etwa 0,7 eV breites Auslaufen der Kurve – in Übereinstimmung mit früheren Messungen von Seltenerd-Scandaten [75] – zu beobachten. Im eingefügten Diagramm ist die Kubikwurzel der Quantenausbeute $Y^{1/3}$ gegen E_{Photon} aufgetragen. Bei positiver Vorspannung der MOS-Struktur tritt nur ein Elektronenstrom vom Silizium in das Oxid auf, da das Metall als Elektronenleiter keine Löcher in das Oxid emittieren kann. Die Änderung der Steigung in der Kurve markiert die Energie des Übergangs zwischen dem Valenzband des Siliziums und dem Leitungsband des Oxids. Es kann ein Wert von $3,2 \pm 0,1$ eV abgelesen werden, wie der Pfeil in dem Diagramm verdeutlicht. Derselbe Wert wird für die Kurve der entgegengesetzt vorgespannten Probe ermittelt. Allerdings kann in diesem Fall sowohl ein Elektronenstrom vom Metall als auch ein Löcherstrom vom Halbleiter zum Photostrom beitragen. Da die aus diesen Werten errechnete Bandlücke von 5,3 eV aber mit der aus den PC-Messungen im Rahmen der Messgenauigkeit

übereinstimmt, ist ein Elektronenstrom vom Metall in das Oxid unwahrscheinlich. Abzüglich der Bandlücke des Siliziums ergeben sich aus den IPE-Messungen symmetrische Bandkantensprünge $\Delta E_V, \Delta E_L = 2,1 \pm 0,1 \text{ eV}$. Dies sind ideale Voraussetzungen für die Anwendung als Gatedielektrikum, da im Oxid die Barrieren für Löcher und Elektronen gleich hoch sind und damit der Leckstrom durch beide Ladungsträger gleichermaßen gehemmt wird.

6.4 Elektrische Charakterisierung

Von den mit Hilfe der ALD hergestellten LaLuO_3 -MOS-Strukturen wurden C-V-Kurven für verschiedene Schichtdicken aufgenommen. Diese sind in Abbildung 6.6 für Proben, die nach Abscheidung bei 600°C für 10 min in O_2 getempert wurden, zu sehen. Der Verlauf der Kurven ist nahezu ideal, es sind keine Unregelmäßigkeiten zu erkennen, die auf Ladungshaftstellen an der Grenzfläche hindeuten würden.

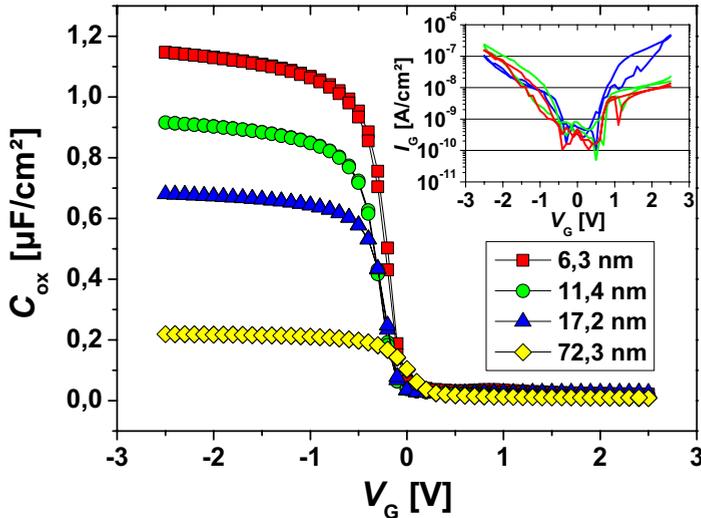


Abbildung 6.6: C-V-Kurven von ALD- LaLuO_3 -Schichten unterschiedlicher Dicke, getempert in O_2 bei 600°C für 10 min. Das eingefügte Diagramm zeigt Leckstromkurven der dünnsten Schicht.

Die Hysteresen der Kurven sind vernachlässigbar klein und die Verschiebung der Flachbandspannung mit steigender Schichtdicke ist minimal, was auf eine geringe Anzahl an festen Oxidladungen schließen lässt. Im eingefügten Diagramm in Abbildung 6.6 sind drei I-V-Kurven für die dünnste LaLuO₃-Schicht mit einer CET = 3,1 nm dargestellt. Es wird immer eine geringe Leckstromdichte bei -2 V von 100 nA/cm² und bei -1 V von nur 10 nA/cm² erreicht. Die Leckstromdichte für eine PLD-Schicht vergleichbarer Dicke liegt bei 2 μ A/cm² (@ -1 V). Dagegen liegt die Grenze für Hochleistungs-CMOS-Schaltkreise mit 1 A/cm² gemessen bei -1 V um viele Größenordnungen darüber [29].

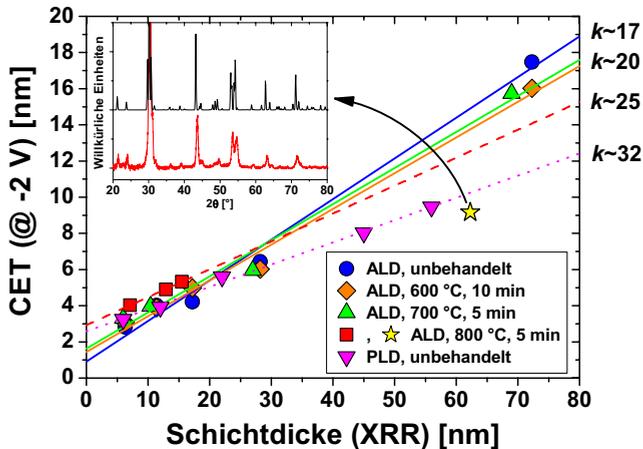


Abbildung 6.7: CET-Plots von LaLuO₃-Schichten, unterschiedlich abgeschieden bzw. nachbehandelt. Aus den Steigungen der linearen Fits lassen sich die angegebenen Dielektrizitätskonstanten ermitteln. Das eingefügte Bild enthält das XRD-Spektrum der dicksten Schicht, getempert bei 800°C für 5 min (rot), im Vergleich zur theoretischen Kurve von orthorhombischem LaLuO₃ (schwarz).

Mit Hilfe der Methode nach Terman [122] wurde die Anzahl der elektrischen Störstellen an der LaLuO₃/Si-Grenzfläche bestimmt. Für die dünnen Schichten wurden Werte von $1\text{--}3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ errechnet. Aus den Kapazitätswerten der C-V-Kurven bei -2 V wurden CET-Plots erstellt, die in Abbildung 6.7 abgebildet sind. Die stöchiometrischen, unbehandelten PLD-LaLuO₃-Schichten erreichen mit $\kappa \sim 32$ einen deutlich höheren Wert als GdScO₃ (siehe Kapitel 5.3). Der hohe Sauerstoffanteil der unbe-

handelten ALD-LaLuO₃-Schichten führt zu einem deutlich niedrigeren Wert von $\kappa \sim 17$. Vermutlich stören die überzähligen Sauerstoffatome die Ausbildung einer Nahordnung, wie sie im Einkristall auftritt und dort eine noch erheblich höhere Permittivität erzeugt ($\kappa \sim 45$ entlang der langen Achse des Kristalls [90]). Durch das Tempern wird überschüssiger Sauerstoff ausgetrieben, die Bildung einer Nahordnung mehr und mehr ermöglicht und deshalb die Dielektrizitätskonstante der Schichten erhöht. Die dünnen Schichten erreichen nach 5 min Tempern bei 800°C ein $\kappa = 25$. Allerdings weisen die y-Achsen-Abschnitte der linearen Fits auf das Wachstum einer parasitären Grenzflächenschicht mit steigendem thermischen Budget hin, die die effektive Permittivität der MOS-Struktur wieder verringert. Der CET-Wert der 62 nm dicken Schicht sinkt durch das Tempern am stärksten, allerdings kristallisiert diese dabei in orthorhombisches LaLuO₃, wie ein Vergleich des gemessenen XRD-Spektrums mit der theoretischen Kurve bestätigt (siehe eingefügtes Diagramm in Abbildung 6.7).

Die zukünftige Herausforderung ist, den ALD-Prozess für LaLuO₃ derart zu modifizieren, dass ohne eine nötige Nachbehandlung die Abscheidung von Schichten mit hohem κ und gleichzeitig minimaler Grenzflächenschicht möglich wird. Dazu könnte die Abscheidetemperatur innerhalb des zulässigen Prozessfenster der verwendeten Precursoren erhöht oder aber auf andere, temperaturstabilere Precursoren ausgewichen werden.

6.5 Zusammenfassung

Es konnte gezeigt werden, dass LaLuO₃ ein sehr großes Potenzial für die Verwendung als alternatives Gatedielektrikum hat. Die Deposition von gleichmäßigen und stöchiometrischen Dünnschichten gelingt bei hoher Substrattemperatur mit verschiedenen Abscheidungsverfahren. Von besonderer Bedeutung ist dabei die Kontrolle der Silizium/Oxid-Grenzfläche. Dünne Schichten sind nach der Abscheidung amorph und in dieser Phase stabil bis zu einer Temperatur von 1000°C. Die Oberflächenrauigkeit ist mit unter 0,4 nm rms sehr gering und damit kein Hindernis für die Anwendung. Die Bandanpassung von LaLuO₃ zu Silizium ist mit symmetrischen Bandkantensprüngen von $\sim 2,1$ eV Höhe ideal, die Bandlücke ist groß ($E_g = 5,2 \pm 0,2$ eV). Das C-V-Verhalten der Dünnschichten ist sehr gut. Es sind keine Unregelmäßigkeiten in den C-V-Kurven zu sehen und die Hysterese ist vernachlässigbar. Die Leckströme für eine ~ 6 nm dicke Schicht (CET = 3,2 nm) liegen für -1 V bei $2 \mu\text{A}/\text{cm}^2$ oder noch deutlich darunter – je nach Abscheidungsverfahren. Die Dielektrizitätskonstante der PLD-LaLuO₃-Schichten ist mit ~ 32 deutlich höher als für GdScO₃. Bei der ALD besteht ein großes Potenzial, die Permittivität der Dünnschichten durch eine Optimierung des Abscheideprozesses über den erreichten Wert von 25 hinaus zu erhöhen.

Kapitel 7

MOSFETs mit GdScO₃-Gateoxid

In diesem Kapitel werden die Ergebnisse der Untersuchungen von Transistoren mit GdScO₃ als Gateoxid – hergestellt nach dem in Kapitel 3.5.4 beschriebenen Prozess – vorgestellt. Dabei handelt es sich um Transistoren auf konventionellem Bulk-Silizium, auf dünnem SOI- und sSOI-Material als Substrat.

7.1 Modifikation der high- κ /Si-Grenzfläche

Um den Einfluss eines Sauerstofftemperns auf die high- κ /Silizium-Grenzfläche zu studieren, wurden TEM-Aufnahmen des high- κ /Silizium-Stacks vor und nach einem Tempern bei 500°C für 5 min in O₂ miteinander verglichen, wie in Abbildung 7.1 zu sehen ist. Vor der Temperaturbehandlung ist keine Zwischenschicht an der Grenzfläche zu sehen. Nach dem Tempern ist eine etwa 1 nm dicke Zwischenschicht entstanden. Elektrische Messungen der hergestellten Bauelemente deuten auf eine Dielektrizitätskonstante der Grenzflächenschicht von etwa 3,9 hin, was Siliziumdioxid als Grenzflächenschicht entspricht. Diese Zwischenschicht verringert die Grenzflächenzustandsdichte und führt zu einer leichten Reduktion von C_{ox} bzw. einer Erhöhung des CET-Wertes. Sie entsteht durch die Oxidation des Siliziumsubstrates an der Grenzfläche zum Oxid. Der dazu benötigte Sauerstoff gelangt entweder durch Diffusion an die Grenzfläche oder aber er wird bei der Reduktion des Oxids frei, was unabhängig vom Prozessgas geschieht. Da das Wachstum einer Grenzflächenschicht aber nicht in Stickstoffatmosphäre beobachtet wurde, ist der zweite Fall eher unwahrscheinlich.

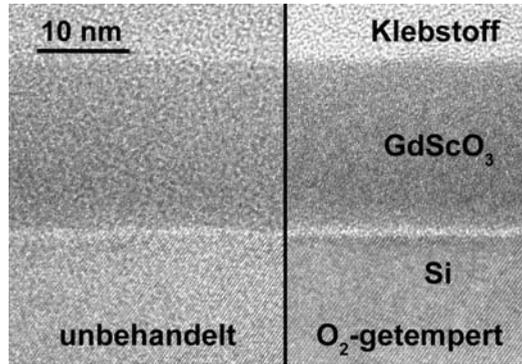


Abbildung 7.1: TEM-Aufnahmen einer etwa 18 nm dicken GdScO_3 -Schicht auf einem Siliziumsubstrat vor (links) und nach (rechts) einem Tempern bei 500°C für 5 min in O_2 . Nach dem Tempern ist deutlich eine Zwischenschicht an der GdScO_3/Si -Grenzfläche zu erkennen.

7.2 MOSFETs mit GdScO_3 -Gateoxid auf Si(100)

Für die MOSFETs auf Si(100)-Wafers wurde anders als in Kapitel 3.5.4 beschrieben ~ 70 nm Platin für die Gateelektrode und elektronenstrahlverdampftes SiO_2 anstatt HSQ für die Gateabdeckung verwendet. Aufgrund eines nicht optimierten Maskenlayouts für diesen Prozess standen nur Bauelemente mit $26 \mu\text{m}$ Gatelänge und $100 \mu\text{m}$ Gateweite für die elektrische Charakterisierung zur Verfügung. Um die Eigenschaften an der high- κ /Silizium-Grenzfläche zu studieren, wurden $5,4$ nm GdScO_3 mittels Elektronenstrahlverdampfung auf chemischem SiO_2 nach einer RCA-Reinigung ($d_{\text{ox}} \sim 1$ nm) bzw. auf HF-geätzter Oberfläche abgeschieden. Ein Teil der Proben wurde nach der high- κ -Deposition bei 500°C in Sauerstoff 5 min lang getempert. Abbildung 7.2 zeigt exemplarisch das Ausgangskennlinienfeld eines MOSFETs mit einer Gatelänge von $26 \mu\text{m}$ und einer Gateweite von $100 \mu\text{m}$ mit GdScO_3 auf chemischem Oxid als Gatedielektrikum. Der lineare und der Sättigungsbereich des Drainstromes sind gut voneinander zu unterscheiden und es sind keine Unregelmäßigkeiten in den Kurven zu erkennen. Nimmt man $\kappa = 23$ für GdScO_3 und zusätzlich ein 1 nm dickes SiO_2 -Interface ($\kappa = 3,9$) an sowie $\mu_{\text{eff}} = 120 \text{ cm}^2/\text{Vs}$ (siehe Abbildung 7.4) und $V_{\text{FB}} = 0$ V, so ergibt sich nach Gleichung 2.20 theoretisch ein maximaler Drainstrom bei $V_{\text{G}} = 2,5$ V von $I_{\text{D,sat}} = 14 \text{ mA/mm}$. Der in Abbildung 7.2 abgelesene Strom entspricht in etwa diesem Wert.

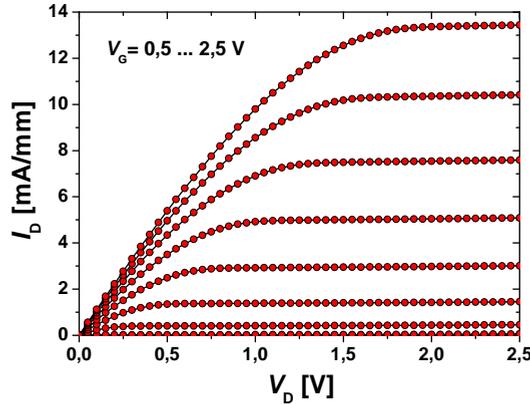


Abbildung 7.2: Ausgangskennlinienfeld eines Bulk-MOSFETs mit $L = 26 \mu\text{m}$, $W = 100 \mu\text{m}$ und einem $5,4 \text{ nm}$ dünnem GdScO₃-Gateoxid abgeschieden auf chemischem Oxid ($\sim 1 \text{ nm SiO}_2$).

In Abbildung 7.3 sind Transferkennlinienfelder für MOSFETs mit GdScO₃-Gateoxid – abgeschieden auf HF-last-Oberfläche bzw. auf chemischem SiO₂ – vor und nach Sauerstofftempern gezeigt. Das HF-last-Bauelement weist einen höheren Strom im ausgeschalteten Zustand auf als der Transistor mit chemischem Oxid. Der größere Leckstrom dürfte an der höheren Anzahl an Grenzflächenladungen der HF-last-Oberfläche liegen. In beiden Fällen ist durch das Tempern eine drastische Reduktion

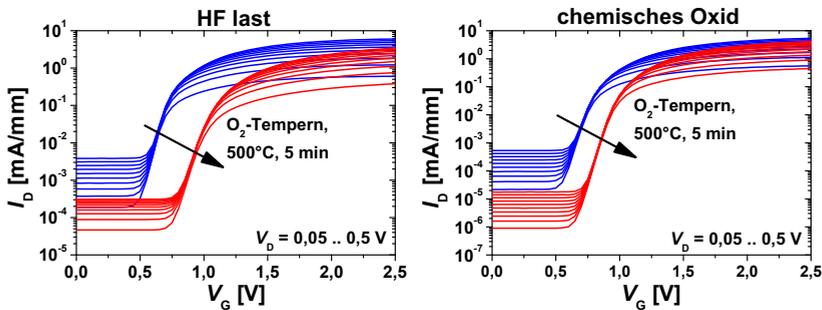


Abbildung 7.3: Transferkennlinienfelder von MOSFETs mit $L = 26 \mu\text{m}$, $W = 100 \mu\text{m}$ und $5,4 \text{ nm}$ GdScO₃-Gateoxid vor und nach dem Sauerstofftempern für verschiedene Substratpräparationen.

des Ausstromes um mehr als eine Größenordnung zu beobachten, die zu einer entsprechenden Erhöhung des $I_{\text{on}}/I_{\text{off}}$ -Verhältnisses führt ($\sim 10^4$). Ist der S/D-Leckstrom tatsächlich auf Grenzflächenzustände zurückzuführen, kann dessen Verringerung durch eine Verringerung der Anzahl an elektrischen Grenzflächenzuständen durch ein Aufwachsen von SiO_2 während des Temperns erklärt werden (bzw. durch die Verbesserung der Qualität des bestehenden, chemischen Siliziumdioxids). Auch der Gateleckstrom verringert sich in beiden Fällen, was diese These unterstützt. Bei den HF-last-Bauelementen sinkt er von $100 \mu\text{A}/\text{cm}^2$ auf $100 \text{nA}/\text{cm}^2$ und bei denen mit chemischem Oxid von $3 \text{mA}/\text{cm}^2$ auf ebenfalls $100 \text{nA}/\text{cm}^2$. Die CET-Werte für die MOSFETs mit chemischem SiO_2 steigen nur unwesentlich (von $1,48 \text{nm}$ auf $1,53 \text{nm}$), weil sich schon vor dem Tempern ein SiO_2 an der Grenzfläche befindet. Bei den HF-last-Bauelementen ist die Grenzschicht vor dem Tempern deutlich dünner. Deshalb fällt die Reduktion der CET von $1,32 \text{nm}$ auf $1,58 \text{nm}$ deutlicher aus. Dieses bewirkt allerdings auch eine Reduktion im Anstrom um 43% , wohingegen für die anderen MOSFETs der Sättigungsstrom nur um etwa 23% sinkt.

Die inversen Unterschwellensteigungen liegen mit 85 bis $100 \text{mV}/\text{dec}$ nach dem Sauerstofftempern deutlich über dem Idealwert von $60 \text{mV}/\text{dec}$. Das liegt unter anderem an den Überlappkapazitäten zwischen der Gateelektrode und den S/D-Kontakten, die bei diesem Transistordesign parallel zu C_D geschaltet sind und damit S nach Gleichung 2.22 erhöhen.

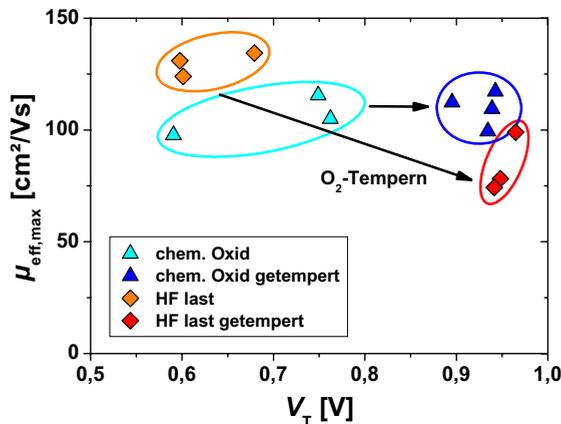


Abbildung 7.4: Effektive Mobilität der Ladungsträger im Kanal aufgetragen gegen die Schwellenspannung der Bauelemente.

Wie in Abbildung 7.3 zu erkennen ist, verändern die MOSFETs durch das Sauerstofftempern deutlich ihre Schwellenspannung. In Abbildung 7.4 ist die effektive Ladungsträgerbeweglichkeit gegen die Schwellenspannung einiger Bauelemente vor und nach dem Sauerstofftempern aufgetragen. Da alle Transistoren dieselbe Gatelänge haben, ist das Verfahren der Gatelängen-abhängigen Extraktion der Beweglichkeit nicht anwendbar. Stattdessen wurde die Beweglichkeit mit Hilfe der $I_D/\sqrt{g_m}$ -Methode für jedes einzelne Bauelement ermittelt. Wie in der Abbildung zu sehen ist, beträgt die V_T -Verschiebung durch das Tempern etwa 0,2 bis 0,3 V. Diese kann z. B. durch die Neutralisation von positiv geladenen Sauerstofffehlstellen in der GdScO₃-Schicht während des Temperns hervorgerufen werden. Die Beweglichkeit der Ladungsträger liegt für die MOSFETs mit chemischem SiO₂ bei etwa 100 cm²/Vs vor und nach dem Tempern. Für die HF-last-MOSFETs liegt der Wert zuerst etwas höher ($\mu_{\text{eff}} \sim 125$ cm²/Vs), sinkt aber durch das Sauerstofftempern unter 100 cm²/Vs ab.

7.3 SOI- und sSOI-MOSFETs mit GdScO₃-Gateoxid

Es wurden SOI- und sSOI-Bauelemente mit 5, 10, 20 und 40 μm Gatelänge und 20 und 40 μm Gateweite hergestellt. Auf jeder Probe befinden sich 76 MOSFETs – immer mindestens acht gleicher Abmessungen. Zusätzlich sind auf der Probe noch 16 Testkapazitäten verschiedener Größe platziert.

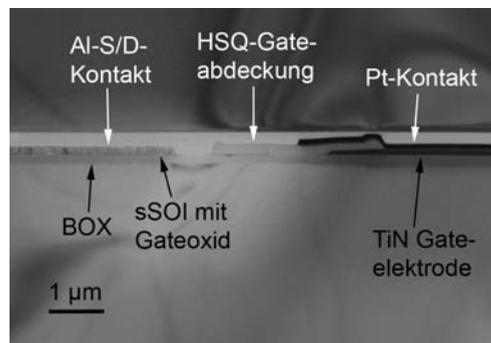


Abbildung 7.5: TEM-Aufnahme des S/D- und Gatekontaktbereiches einer MOSFET-Struktur auf 25 nm sSOI-Substrat. Die verschiedenen Schichten sind im Bild beschriftet.

In Abbildung 7.5 ist die TEM-Aufnahme des S/D- und Gate-Kontaktbereiches einer MOSFET-Struktur dargestellt, wie sie mit dem in Kapitel 3.5.4 beschriebenen Prozess hergestellt worden ist. Die verschiedenen Schichten sind in der Abbildung beschriftet. Es ist gut zu sehen, wie die HSQ-Schicht die Gateelektrode abdeckt, um parasitäre Strompfade über die Oberfläche zu minimieren.

Die Ausgangskennlinienfelder von zwei SOI- bzw. sSOI-MOSFETs mit $5\ \mu\text{m}$ Gatelänge und $40\ \mu\text{m}$ Gateweite sind in Abbildung 7.6 zu sehen. Die Kurven zeigen einen relativ flachen Anstieg des Drainstromes mit der Drainspannung im linearen Bereich. Der Grund hierfür ist ein hoher Gesamtwiderstand von etwa $1100\ \Omega$, wie er aus den Ableitungen der Kurven ermittelt werden kann. Dieser begrenzt den maximalen Drainstrom des SOI-Transistors bei $V_D = 2,5\ \text{V}$ auf einen Wert, der bei nur einem Drittel des theoretischen Wertes liegt ($I_{D,\text{sat}} = 130\ \text{mA}/\text{mm}$ für $5\ \text{nm}\ \text{GdScO}_3$ mit $\kappa_{\text{ox}} = 23$ und einer $1\ \text{nm}$ dicken SiO_2 -Grenzflächenschicht mit $\kappa = 3,9$ sowie $\mu_{\text{eff}} = 150\ \text{cm}^2/\text{Vs}$ und $V_{\text{FB}} = 0\ \text{V}$). Berücksichtigt man die Abmessungen der implantierten S/D-Zuleitungen zum Kanal, kann eine aktive Dotierstoffkonzentration von etwa $3 \times 10^{19}\ \text{cm}^{-3}$ abgeleitet werden. Diese könnte durch eine Erhöhung der Implantationsdosis der S/D-Kontakte oder die Erhöhung der Aktivierungstemperatur gesteigert werden.

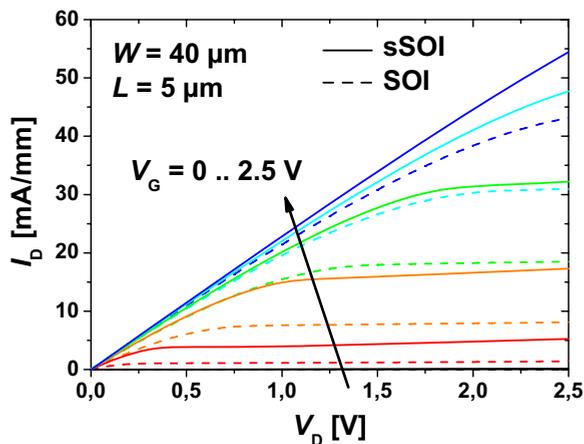


Abbildung 7.6: Ausgangskennlinienfelder von SOI und sSOI-MOSFETs gleicher Abmessungen. Aus den Ableitungen der Kurven erhält man einen hohen Gesamtwiderstand von etwa $1100\ \Omega$, der den maximal erreichbaren Drainstrom begrenzt.

Für $V_D = 1,5 \text{ V}$ und $V_G = 1 \text{ V}$ ist der Drainstrom des sSOI-Transistors etwa 30% größer als der des SOI-Bauelementes, was für eine erwartungsgemäß deutlich höhere Beweglichkeit der Ladungsträger im verspannten Silizium spricht. Die Unterschiede in den Spannungen, bei denen die Sättigungsströme erreicht werden, werden durch Variationen in den Schwellenspannungen V_T und den Dotierstoffkonzentrationen verursacht.

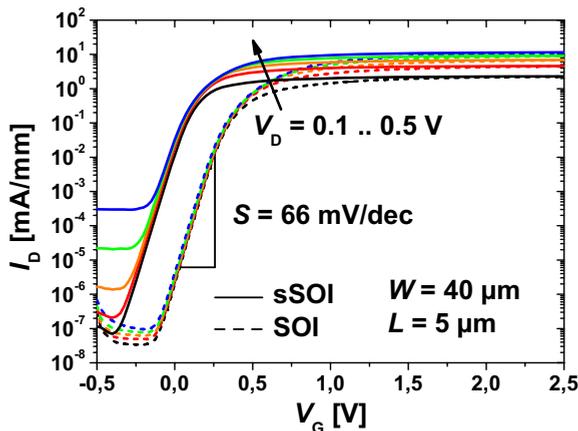


Abbildung 7.7: Transferkennlinienfelder von SOI und sSOI-MOSFETs gleicher Abmessungen. Der SOI-Transistor erreicht ein hohes I_{on}/I_{off} -Verhältnis und ein fast ideales S . Der sSOI-Transistor zeigt allerdings hohe S/D -Leckströme im ausgeschalteten Zustand.

Die Transferkennlinienfelder der beschriebenen MOSFETs zeigt Abbildung 7.7. Das SOI-Bauelement erreicht ein sehr hohes I_{on}/I_{off} -Verhältnis von 10^8 und eine fast ideale inverse Unterschwellensteigung von 66 mV/dec bedingt durch die gute Gatekontrolle bei der geringen Dicke der Siliziumschicht. Beim sSOI-Transistor fallen hohe S/D -Leckströme im Auszustand mit größer werdendem V_D auf, die zu einem deutlich schlechteren I_{on}/I_{off} -Verhältnis von nur knapp 10^5 bei $V_D = 0,5 \text{ V}$ führen. Diese lassen sich nicht ausschließlich durch höhere Gateleckströme erklären. Daher liegt die Vermutung nahe, dass sie entweder durch die high- κ /Si-Grenzfläche oder aber durch die Si/BOX-Grenzfläche verursacht werden. Der sSOI-Transistor zeigt zudem eine schlechtere inverse Unterschwellensteigung, die nach Gleichung 2.28 auch durch eine geringere Qualität der Grenzflächen erklärt werden kann.

Um die Beweglichkeit der Ladungsträger im Leitungskanal der MOSFETs zu bestimmen, wurde die $I_D/\sqrt{g_m}$ -Methode angewendet und mit den gewonnenen Daten ein $1/A$ gegen L -Plot angefertigt (siehe Abbildung 7.8).

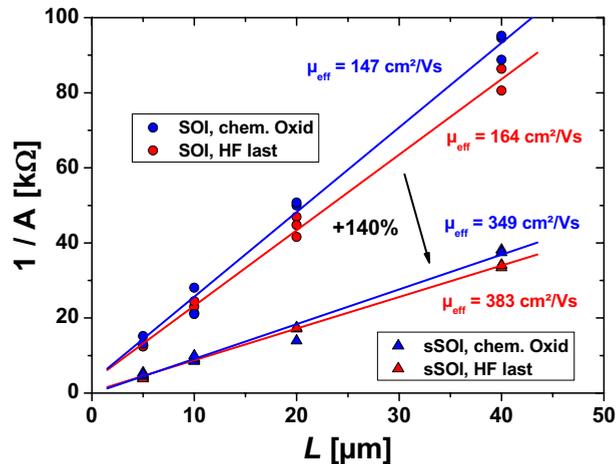


Abbildung 7.8: $1/A$ gegen Gatelänge für MOSFETs mit $W = 40 \mu\text{m}$. Aus den Steigungen der Fit-Geraden lassen sich gemittelte, effektive Ladungsträgerbeweglichkeiten berechnen. Der Gewinn von μ_{eff} durch das Verspannen des Siliziums liegt bei +140%.

Aus den Steigungen der Fit-Geraden lassen sich gemittelte, effektive Ladungsträgerbeweglichkeiten für die verschiedenen Gruppen von Bauelementen berechnen. Der Unterschied zwischen dem unverspannten und dem verspannten Silizium ist groß. Wie erwartet, ist μ_{eff} im verspannten Silizium mehr als doppelt so hoch wie im unverspannten (+140%). Der Wert erreicht etwa $366 \text{ cm}^2/\text{Vs}$ für sSOI- und $155 \text{ cm}^2/\text{Vs}$ für konventionelles SOI. Der Unterschied zwischen verschiedenen präparierten Oberflächen ist gering. Sowohl bei den SOI- als auch bei den sSOI-Substraten sind die Beweglichkeiten für die HF-geätzte Oberfläche höher als für die oxidierte, was auf eine höhere Grenzflächenqualität nach HF-Ätzen und Tempern schließen lässt.

Durch die doppelt so hohe Ladungsträgerbeweglichkeit erreichen die sSOI-MOSFETs mit $g_{m,\text{max}} = 3 \mu\text{S}/\mu\text{m}$ auch eine doppelt so hohe maximale Steilheit wie die SOI-MOSFETs.

7.4 Zusammenfassung

Insgesamt konnte die erfolgreiche Integration von GdScO_3 als Gatedielektrikum auf konventionellem Si(100), SOI- und sSOI in MOSFETs mit einem Gate-last-Prozess demonstriert werden. Die Transistoren zeigen normale Ein- und Ausgangscharakteristiken. Der maximale Drainstrom für die Bauelemente auf Si(100) entspricht dem erwarteten Wert. Die SOI- und sSOI-MOSFETs leiden unter hohen S/D-Widerständen, was sich in einem reduzierten, maximalen Drainstrom zeigt.

Leckströme der MOSFETs auf Si(100) können mit einem Sauerstofftempern nach der high- κ -Deposition durch die Bildung einer SiO_2 -Schicht an der Grenzfläche drastisch reduziert werden, wobei allerdings $I_{D,\text{max}}$ etwas absinkt.

Die SOI-MOSFETs erreichen die höchsten $I_{\text{on}}/I_{\text{off}}$ -Verhältnisse von 10^8 und auch die niedrigsten inversen Unterschwellensteigungen mit Werten bis zu 66 mV/dec. Die Schwellenspannungen der SOI-Bauelemente schwanken erheblich und die sSOI-MOSFETs zeigen hohe S/D-Leckströme und hohe inverse Unterschwellenspannungen, was an Effekten an den Grenzflächen des Gatestacks zu liegen scheint.

Verspanntes Silizium bringt einen Gewinn der Elektronenbeweglichkeit von +140%, eine Erhöhung des maximalen Drainstromes um $\sim 30\%$ und eine Verdopplung der maximalen Steilheit gegenüber unverspanntem Silizium. Die Beweglichkeit der sSOI-MOSFETs erreicht etwa $366 \text{ cm}^2/\text{Vs}$, wohingegen die SOI-MOSFETs bei $\sim 155 \text{ cm}^2/\text{Vs}$ liegen. Die Bauelemente auf Si(100) weisen Werte zwischen 100 und $120 \text{ cm}^2/\text{Vs}$ auf.

Kapitel 8

AlGaN/GaN-MISHFETs mit GdScO₃-Gateoxid

8.1 Motivation

Bei besonders hohen Frequenzen, Ausgangsleistungen und Betriebstemperaturen, stoßen siliziumbasierte Bauelemente an ihre Grenzen. Die nitridbasierten III-V-Halbleiter zeigen gerade in diesen Bereichen ihre Stärken. Ihre hohe thermische Stabilität zusammen mit einer guten Wärmeleitfähigkeit (vor allem auf SiC-Substraten) macht sie besonders attraktiv für Hochleistungsanwendungen (z. B. bei Verstärkern), die hohe Ladungsträgerbeweglichkeit und -sättigungsgeschwindigkeit ermöglicht den Einsatz bei höchsten Frequenzen (z. B. für die Erzeugung von Mikrowellen). Die große Bandlücke dieser Halbleiter macht sie zudem interessant für die Anwendung in optischen Quellen oder Detektoren bis in den sichtbaren Wellenlängenbereich [125] und als Hochtemperatur-Bauelemente.

Bei so genannten HFETs (engl. **H**etero**j**unction **F**ield **E**ffect **T**ransistors) wird ein Halbleiter mit großer Bandlücke (in diesem Fall Aluminium-Gallium-Nitrid – AlGaN) direkt auf einem Halbleiter mit kleinerer Bandlücke (in diesem Fall Gallium-Nitrid – GaN – mit $E_g = 3,4$) aufgewachsen. Die Bandlücke des $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ist dabei abhängig vom Aluminium-Anteil x und liegt zwischen 3,4 und 6 eV [126]. In diesem Materialstapel entsteht eine Bandstruktur, die einen Potenzialtopf an der Grenzfläche des GaN zum AlGaN enthält, in dem sich Elektronen sammeln und eingeschlossen werden (siehe Abbildung 8.1). Da die Ladungsträgerschicht sehr dünn ist, wird sie auch als zweidimensionales Elektronengas (2DEG) bezeichnet [127]. Diese Heteroübergangsstruktur eignet sich hervorragend zur Herstellung von HFETs.

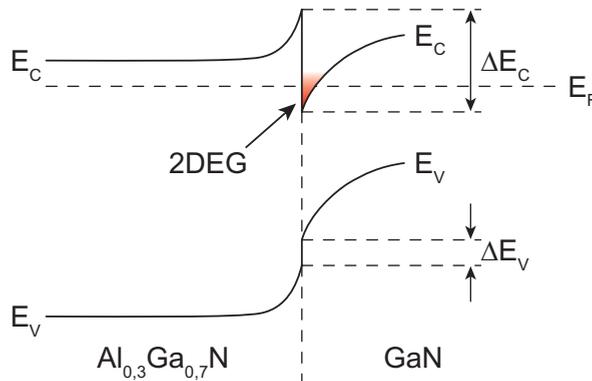


Abbildung 8.1: Banddiagramm eines AlGaIn/GaN-HFETs. Durch die Kombination von Materialien mit großer ($\text{Al}_{0,3}\text{Ga}_{0,7}\text{N}$) und kleiner Bandlücke (GaN) bildet sich ein Potenzialtopf an der Grenzfläche, in dem sich Elektronen sammeln. Sie besitzen in diesem zweidimensionalen Elektronengas (2DEG) eine hohe Beweglichkeit und Geschwindigkeit (nach [127]).

In den letzten Jahren wurden AlGaIn/GaN-HFETs mit herausragenden Eigenschaften demonstriert. Es konnten hohe Leistungsdichten ($P_{\text{out}} > 6 \text{ W/mm}$ [128]), hohe Ladungsträgerbeweglichkeiten ($\mu_{\text{H}} > 2000 \text{ cm}^2/\text{Vs}$ [129]), hohe Grenzfrequenzen ($f_{\text{T}} = 110 \text{ GHz}$ [130]), hohe Durchbruchfeldstärken ($V_{\text{B}} = 340 \text{ V}$ [131]) und der störungsfreie Betrieb bei hohen Temperaturen ($T = 250^\circ\text{C}$ [132]) gezeigt werden. Prinzipiell ist beim Betrieb eines HFETs kein Gateoxid notwendig, da die AlGaIn-Schicht, auf der die Gateelektrode aufliegt, keine hohe Leitfähigkeit besitzt. Trotzdem können die vor allem durch vertikales Tunneln erzeugten Leckströme die Eigenschaften des Bauelementes negativ beeinflussen [133, 134].

Mit dem Einsatz eines geeigneten Gateoxides unter der Gateelektrode können zwei Effekte erreicht werden. Zum einen kann der Gateleckstrom um Größenordnungen verringert werden zum anderen kann die Halbleiteroberfläche elektrisch passiviert werden. Diese ist in der Regel durch positiv geladene Donatoren besetzt. Dieselbe Anzahl an Elektronen befinden sich als Spiegelladungen im 2DEG. Werden die Donatoren durch Elektronen aus dem Gatekontakt neutralisiert, sinkt die Dichte des 2DEGs und damit der maximal erreichbare Drainstrom. Das kann durch die Passivierung der Oberfläche verhindert werden, weil die Ladungshaftstellen nicht mehr erreichbar sind. Ein Heteroübergangs-Transistor mit Gateoxid wird MISHFET (engl. **M**etal **I**nsulator **S**emiconductor-HFET) genannt.

Um bei Einsatz eines Gateoxides die Steuerbarkeit des Transistors so wenig wie möglich zu beeinträchtigen, ist die Verwendung eines high- κ -Dielektrikums vorteilhaft. Die Materialien, die bisher untersucht wurden, sind weitgehend identisch mit denen für siliziumbasierte Bauelemente (siehe Kapitel 2.4.2). Darunter sind SiO_2 [135], SiON [136], Si_3N_4 [137], Al_2O_3 [138, 139], Sc_2O_3 und Gd_2O_3 [140], ZrO_2 [141] und HfO_2 [142]. Dabei konnte meist eine Verbesserung der elektrischen Eigenschaften der MISHFETs entweder durch die Reduktion des Gateleckstromes oder durch die Oberflächenpassivierung oder auch durch beide Effekte nachgewiesen werden.

Vor diesem Hintergrund scheint es sehr aussichtsreich, zu erforschen, ob sich die guten Ergebnisse der Untersuchungen der Seltenerd-basierten ternären Oxide auf Silizium auf das AlGaN/GaN-Materialsystem übertragen lassen.

8.2 Experimentelles

In Abbildung 8.2 ist schematisch der Aufbau eines MISHFETs mit GdScO_3 als Gatedielektrikum zu sehen. Die Bauelemente wurden in Zusammenarbeit mit Dr. Gero Heidelberger vom Institut für Bio- und Nanosysteme (IBN-1) des Forschungszentrums Jülich hergestellt [143]. Auf SiC-Substraten wurde mittels metallorganischer Gasphasenepitaxie (engl. **Metal Organic Vapor Phase Epitaxy** – MOVPE), einer speziellen Form der chemischen Gasphasenabscheidung (CVD), zuerst eine $\sim 1,5 \mu\text{m}$ dicke GaN-Pufferschicht aufgewachsen. Darauf folgte entweder eine 25 nm dicke $\text{Al}_{0,3}\text{Ga}_{0,7}\text{N}$ -Schicht oder aber ein Schichtstapel aus 10 nm, 5 nm und wieder 10 nm dicken $\text{Al}_{0,3}\text{Ga}_{0,7}\text{N}$ -Schichten, bei dem die mittlere mit $1 \times 10^{18} \text{ Si cm}^{-3}$ dotiert wurde, um zusätzliche Ladungsträger zur Verfügung zu stellen und damit die erreichbare Dichte des 2DEGs zu erhöhen. Die MOVPE-Deposition wurde mit einer 3 nm dicken GaN-Abdeckschicht abgeschlossen.

In einem optischen Lithografieschritt wurden zunächst Mesen für die späteren Bauelemente definiert und die AlGaN-Schicht durch anschließendes Argonionen-Ätzen in den übrigen Bereichen entfernt, um die Bauelemente elektrisch voneinander zu isolieren. Als nächstes wurden die Source- und Drainelektroden lithografisch definiert und dann durch Elektronenstrahlverdampfen ein insgesamt etwa 400 nm dickes Ti/Al/Ni/Au-Schichtsystem abgeschieden, das bei 950°C für 30 s in N_2 -Atmosphäre einlegiert wurde. Die Metalle diffundierten dabei bis zur AlGaN/GaN-Grenzfläche und bildeten einen ohmschen Kontakt zum 2DEG.

Das Gatedielektrikum (5 bzw. 10 nm GdScO_3), das den MISHFET von einem normalen HFET unterscheidet, wurde im nächsten Schritt mittels Elektronenstrahlverdampfens abgeschieden (siehe Kapitel 3.2) und nach-

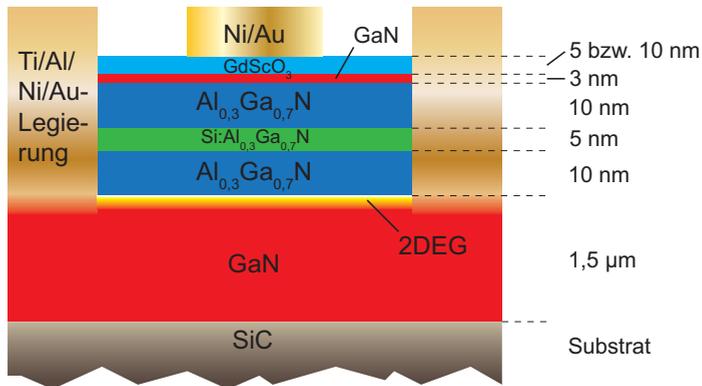


Abbildung 8.2: Schematischer Aufbau eines AlGaIn/GaN-MISHFETs. Der AlGaIn/GaN-Schichtstapel wurde mittels MOVPE auf dem SiC-Substrat deponiert, die Metalle und das Gateoxid durch Elektronenstrahlverdampfen abgeschieden.

folgend 10 min bei 500°C in O₂ getempert. Dieser Temperaturschritt hat sich in vorhergehenden Versuchen mit AlGaIn/GaN-Dioden als wirkungsvoll herausgestellt, um die Leckströme durch das Oxid zu reduzieren und allgemein die elektrischen Eigenschaften zu verbessern. Vollendet wurden die Strukturen durch Abscheidung und Definition eines Ni/Au-Stacks für die Gateelektroden.

Probenr.	Si-Dotierung	GdScO ₃ -Schichtdicke
Z10 (Ref.)	keine Dotierung	0 nm
Z11	keine Dotierung	5 nm
Z03	keine Dotierung	10 nm
Y06 (Ref.)	10 ¹⁸ cm ⁻³	0 nm
Y07	10 ¹⁸ cm ⁻³	10 nm

Tabelle 8.1: Auflistung der verschiedenen MISHFET-Proben mit Angabe der Dotierung und der GdScO₃-Schichtdicke

In Tabelle 8.2 sind die im Rahmen dieser Arbeit hergestellten Proben zusammen mit den wichtigsten Parametern aufgelistet. Die fertig prozessierten MISHFETs sowie Kapazitäts-Teststrukturen wurden auf einem elektrischen Messplatz mit Hilfe von C-V-, I-V-, gepulster I-V-, S-Parameter- und Load-Pull-Messungen charakterisiert.

Aus den C-V- und I-V-Kurven können Kennwerte wie die Dichte des 2DEG n_s und die Gateleckströme bei positiver und negativer Spannung abgeleitet werden. Aus der DC-Ausgangscharakteristik folgt der maximale Drainstrom $I_{D,max}$ und die maximale Steilheit $g_{m,max}$. Gepulst durchgeführte Messungen geben Auskunft über den Passivierungszustand an der Oberfläche des Halbleiters. Bei den Load-Pull-Messungen werden die absolute Ausgangsleistung (P_{out}), der Leistungsgewinn (Gain) und die auf die DC-Leistung bezogene Hochfrequenzleistung (engl. **P**ower **A**dded **E**fficiency – *PAE*) ermittelt. Details zum Messaufbau und den angewendeten Methoden können in [143] nachgelesen werden.

8.3 Ergebnisse

8.3.1 C-V- und I-V-Messungen

Die in diesem Kapitel beschriebenen C-V- und I-V-Messungen sind an Dioden mit Heteroübergangsstruktur (HDioden) verschiedener Abmessungen durchgeführt worden ($(50 \mu\text{m})^2$ für die C-V- und $(200 \mu\text{m})^2$ für die I-V-Messungen). In Abbildung 8.3 sind C-V-Kurven für HDioden mit und ohne GdScO_3 -Gatedielektrikum basierend auf undotiertem (a) und dotiertem (b) AlGaIn/GaN-Material zu sehen. Bis auf den „stretch-out“ im Bereich der Flachbandspannung, der auf eine erhöhte Zahl von Ladungsfangstellen an der Grenzfläche hinweist, zeigen die Kurven normale Verläufe. Die deutliche Verschiebung der Flachbandspannung in Abhängigkeit der GdScO_3 -Dicke kann durch feste Oxidladungen erklärt werden (s. Kapitel 2.1.2).

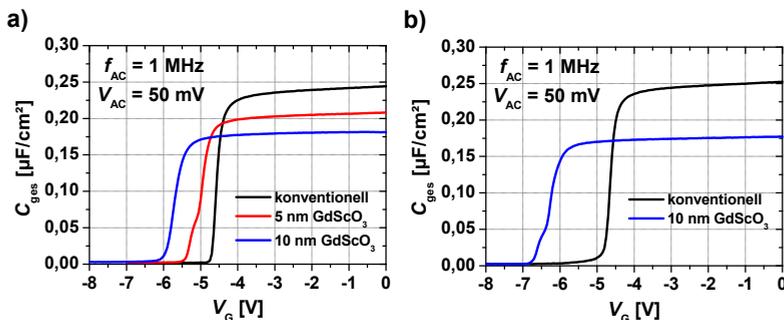


Abbildung 8.3: Kapazitäts-Spannungs-Kurven für undotierte (a) und Si-dotierte (b) HDioden ohne und mit GdScO_3 -Gatedielektrikum verschiedener Dicke auf AlGaIn. Die Diodenfläche beträgt $(50 \mu\text{m})^2$.

In Tabelle 8.2 sind zusätzlich die wichtigsten Größen angegeben, die aus den C-V-Kurven extrahiert bzw. errechnet werden können. Sie zeigen das große Potenzial von GdScO₃ als Gatedielektrikum auf. Im Falle des undotierten AlGa_N mit 5 nm GdScO₃ fällt die Gesamtkapazität des Stacks im Vergleich zur konventionellen HDiode nur um 15%.

Probennr.	C_{ges}	$ V_T $	n_s
Z10 (Ref.)	0,24 $\mu\text{F}/\text{cm}^2$	4,8 V	$6,8 \cdot 10^{12} \text{ cm}^{-2}$
Z11	-15%	+14%	-6%
Z03	-26%	+37%	-6%
Y06 (Ref.)	0,25 $\mu\text{F}/\text{cm}^2$	5,1 V	$7,2 \cdot 10^{12} \text{ cm}^{-2}$
Y07	-30%	+70%	-5%

Tabelle 8.2: Die wichtigsten aus den C-V-Messungen der HDioden extrahierten Größen einschließlich der aus C_{ges} errechneten Ladungsträgerdichte n_s im 2DEG. Die Prozentangaben geben einen höheren (+) bzw. niedrigeren (-) Wert im Vergleich zur Referenzdiode an.

Um dasselbe Ergebnis z. B. mit SiO₂ zu erreichen, müsste eine hochqualitative, etwa 2 nm dicke Schicht deponiert werden, was eine große Herausforderung für aktuelle Depositionsverfahren darstellt. Andererseits zeigen die Werte für die Ladungsträgerdichte n_s , dass GdScO₃ nicht in der Lage ist, die Halbleiteroberfläche zu passivieren. Bei Passivierung wäre n_s für die MISHDioden höher als im konventionellen Fall, tatsächlich ist n_s für die GdScO₃-HDioden aber etwas geringer. Das Verhalten der 10 nm dicken GdScO₃-Schicht auf undotiertem bzw. dotiertem AlGa_N ist vergleichbar.

In Abbildung 8.4 sind I-V-Kurven für HDioden mit und ohne GdScO₃-Gatedielektrikum basierend auf undotiertem (a) und dotiertem (b) AlGa_N/Ga_N-Material dargestellt. Der Gateleckstrom in Sperrrichtung für die konventionelle HDiode mit undotiertem AlGa_N beträgt 0,63 mA/cm² bei -8 V. Im Vergleich dazu liegen die Ströme für die MISHDioden vier Größenordnungen darunter. Der Gateleckstrom in Durchlassrichtung liegt für die HDiode bei 83,8 A/cm² und für die MISHDioden knapp vier (5 nm GdScO₃) bzw. sogar über neun (10 nm GdScO₃) Größenordnungen niedriger. Für die HDiode mit dotiertem AlGa_N liegt der Sperrrichtungsleckstrom mit 30,9 mA/cm² deutlich höher als im undotierten Fall, aber die Reduktion durch die GdScO₃-Schicht ist vergleichbar. Auch hier ist die Wirkung in Vorwärtsrichtung der Diode deutlich größer, aber da ein MISHFET normalerweise bei negativer Gatespannung betrieben wird, ist diese Tatsache technologisch gesehen von untergeordneter Bedeu-

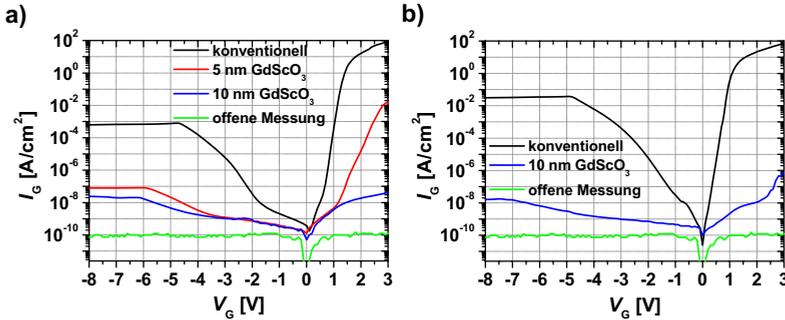


Abbildung 8.4: Strom-Spannungs-Kurven für undotierte (a) und Si-dotierte (b) HDioden ohne und mit GdScO_3 -Gatedielektrikum verschiedener Dicke. Die Diodenfläche beträgt $(200 \mu\text{m})^2$.

tung. Die deutlichen Reduktionen der Gateleakströme sind die Folge der großen Bandlücke und damit der guten Isolationsfähigkeit des GdScO_3 -Gatedielektrikums.

8.3.2 Ausgangscharakteristik

In Abbildung 8.5 sind die Ausgangskennlinien sowohl für einen undotierten, konventionellen HFET als auch für undotierte MISHFETs mit 5 bzw. 10 nm GdScO_3 als Gatedielektrikum für Gatespannungen zwischen $-4,5$ und $+3$ V abgebildet.

Bei $V_G = 0$ V erreicht der Drainstrom für alle drei Bauelemente einen Wert von $I_{D,\text{max}} = 0,69 \pm 0,01$ A/mm, allerdings ist die Drainspannung, bei der dieser Wert erreicht wird, für die Bauelemente unterschiedlich (HFET: 7 V, 5 nm GdScO_3 : 8 V, 10 nm GdScO_3 : 9 V). Die Tatsache, dass der maximale Drainstrom für alle Transistoren gleich ist, unterstützt die in Kapitel 8.3.1 aufgestellte These, dass keine passivierende Wirkung des GdScO_3 auf die Halbleiteroberfläche vorhanden ist. Gestützt wird diese Aussage außerdem von gepulst durchgeführten Messungen der Ausgangskennlinien (nicht gezeigt). Dabei kann dieselbe Frequenzabhängigkeit für den HFET und die MISHFETs beobachtet werden, was wiederum für einen nicht vorhandenen Passivierungseffekt spricht.

Die maximale Steilheit ($g_{m,\text{max}}$) für den konventionellen HFET beträgt 170 mS/mm. Für die 5- und 10 nm- GdScO_3 -MISHFETs liegt der Wert 6% bzw. 18% darunter. Dabei wurde $g_{m,\text{max}}$ für die Drainspannung berechnet, an der der Drainstrom maximal ist (für $V_G = 0$). Die geringere Steilheit für die

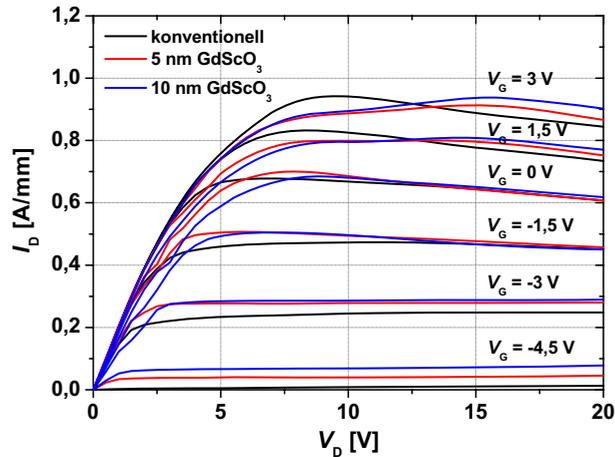


Abbildung 8.5: Ausgangscharakteristiken für undotierte HFETs ohne und mit GdScO₃-Gatedielektrikum verschiedener Dicke.

Bauelemente mit der 5 und 10 nm dicken GdScO₃-Schicht lässt auf zunehmende Source- und Drainwiderstände mit größerer Gatedielektrikumdicke schließen.

Die Schwellenspannung V_T des Referenz-HFETs liegt bei $-5,5$ V und für die 5- und 10 nm-GdScO₃-Bauelemente 10% bzw. 22% weiter im Negativen in Übereinstimmung mit den beobachteten Flachbandverschiebungen bei den C-V-Kurven.

8.3.3 Load-Pull-Messungen

Bei Load-Pull-Messungen wurden die HFETs ein- und ausgangsseitig elektrisch angepasst bei einer Frequenz von 7,5 GHz betrieben. Die Ergebnisse sind in den Abbildung 8.6 und 8.7 dargestellt.

Der konventionelle HFET zeigt eine absolute Ausgangsleistung P_{out} von 25,19 dBm. Demgegenüber erreichen die MISHFETs eine um 3,58 dBm (5 nm GdScO₃) bzw. 3,34 dBm (10 nm GdScO₃) höhere Leistung. Der Leistungsgewinn (Gain) für den konventionellen Transistor liegt bei maximal 11,21 dB und für die MISHFETs 44% (5 nm GdScO₃) bzw. 31% (10 nm GdScO₃) höher. Bezüglich des Leistungswirkungsgrades (PAE) erzielt der konventionelle HFET einen Wert von 14%. Die Werte für die MISHFETs liegen signifikant darüber (5 nm GdScO₃: 41,47%, 10 nm GdScO₃: 36,58%).

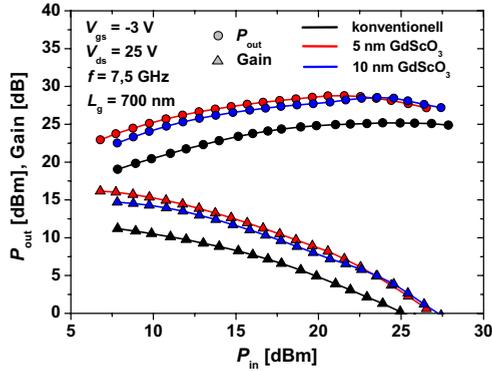


Abbildung 8.6: Ausgangsleistung P_{out} und Leistungsgewinn (Gain) von undotierten HFETs und MISHFETs in Abhängigkeit der Eingangsleistung P_{in} . Die Ausgangsleistung der MISHFETs ist fast doppelt so hoch wie die der konventionellen Bauelemente.

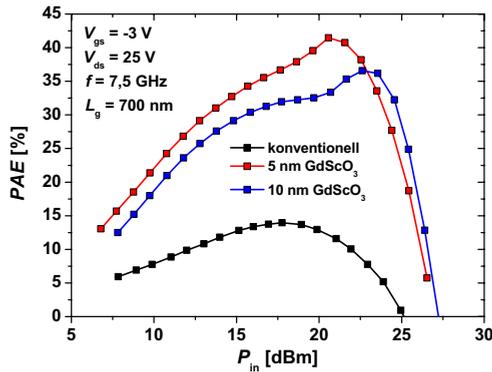


Abbildung 8.7: Leistungswirkungsgrad (PAE) von undotierten HFETs und MISHFETs in Abhängigkeit der Eingangsleistung P_{in} . Die MISHFETs zeigen eine signifikante Erhöhung des PAE .

Die Load-Pull-Messungen bestätigen den positiven Einfluss des GdScO₃-Gatedielektrikums auf die elektrischen Eigenschaften der AlGaIn/GaN-MISHFETs. Diese können mehr als doppelt so viel Leistung wie das konventionelle Bauelement liefern und die Leistungswirkungsgrade liegen deutlich höher.

8.4 Zusammenfassung

Die Experimente zeigen, dass mit dem Einsatz von GdScO₃ als Gatedielektrikum bei AlGaN/GaN-MISHFETs eine Reduktion des Gateleckstromes um sechs Größenordnungen erreicht werden kann. Gleichzeitig wird die Eingangskapazität nur wenig reduziert (ca. 10%) im Vergleich zu anderen Dielektrika (bis zu 50% für SiO₂). Da der maximale Ausgangsstrom in etwa dem des konventionellen Falles entspricht, kann keine passivierende Wirkung des GdScO₃ auf die AlGaN-Oberfläche nachgewiesen werden. Das wird auch durch gepulste I-V-Messungen bestätigt. Trotzdem kann ein positiver Einfluss auf die Beweglichkeit der Ladungsträger beobachtet werden. So werden wichtige Kenngrößen für die Hochfrequenzeigenschaften der Bauelemente wie f_T und f_{\max} signifikant erhöht. Als wichtigstes Resultat konnte gezeigt werden, dass sich die RF-Ausgangsleistung der MISHFETs durch den Einsatz von GdScO₃ als Gatedielektrikum im Vergleich zum konventionellen Fall mehr als verdoppelt.

Kapitel 9

Zusammenfassung der Ergebnisse und Ausblick

Zusammenfassung

Im Rahmen der vorliegenden Arbeit wurden amorphe LaLuO_3 - und GdScO_3 -Dünnschichten mit der gepulsten Laserdeposition (PLD) und der Atomic Layer Deposition (ALD) auf Siliziumsubstraten abgeschieden. Für GdScO_3 wurde zudem erstmals das Elektronenstrahlverdampfen (ESV) von keramischem Targetmaterial eingesetzt. Die Schichten wurden bezüglich ihrer chemischen Zusammensetzung und ihrer Morphologie mit verschiedensten Verfahren untersucht. Die Bandanpassung von LaLuO_3 wurde mittels IPE und PC bestimmt. Zur elektrischen Charakterisierung der Schichten wurden MOS-Kondensatoren hergestellt und vermessen. Es wurde zudem ein Gate-last-Prozess entwickelt, mit dem GdScO_3 als Gatedielektrikum erfolgreich in Langkanal-nMOSFETs auf konventionellen Silizium(100)- sowie SOI- und sSOI-Substraten integriert werden konnte. Die Ergebnisse zeigen, dass sowohl GdScO_3 - als auch LaLuO_3 -Dünnschichten hoher Qualität mit diesen Abscheideverfahren hergestellt werden können. Die GdScO_3 -Schichten sind – verifiziert durch RBS-Messungen – stöchiometrisch und homogen und bleiben bis 1000°C amorph, wie TEM-Bilder und XRD-Diffraktogramme zeigen. Die physikalischen Dicken der Schichten wurden mit Hilfe von XRR kontrolliert. Die Oberflächenrauigkeit (rms), gemessen mit AFM, bleibt auch für dickere Schichten beider Materialien ($d > 20\text{ nm}$) deutlich unterhalb von $0,5\text{ nm}$. Die thermodynamische Stabilität von LaLuO_3 ist vergleichbar mit der von GdScO_3 . Die Dünnschichten weisen, kalt abgeschieden, einen Sauerstoffüberschuss auf, der aber durch Erhöhung der Abscheidetemperatur oder durch ein nachträgliches Tempern reduziert werden kann. Bei nahezu idealer Stöchiometrie wird eine sehr hohe Dielektrizitätskonstante für die PLD- LaLuO_3 -Schichten von 32 erzielt. Für GdScO_3 wurde für die

verwendeten Abscheidungsverfahren $\kappa = 21\text{--}23$ gemessen. Alle Schichten zeigen störungsfreie C-V-Kurven mit nur kleinen Hysteresen und sehr geringe Leckstromdichten. Die elektronenstrahlaufgedampften GdScO_3 -Filme erreichen die dünnste parasitäre Grenzflächenschicht und damit die kleinsten CET-Werte (1,5 nm) sowie gleichzeitig geringe Leckströme ($770 \mu\text{A}/\text{cm}^2 @ -2\text{V}$). Die Grenzflächenladungsdichte liegt bei ca. $5 \times 10^{11} \text{cm}^{-2}\text{eV}^{-1}$ für ESV- GdScO_3 und bei ca. $2 \times 10^{12} \text{cm}^{-2}\text{eV}^{-1}$ für ALD- LaLuO_3 . Mittels innerem Photoeffekt (IPE) und Photoleitung (PC) konnten für die LaLuO_3 -Schichten eine Bandlücke von 5,2 eV und ideale, symmetrische Leitungs- und Valenzbandkantensprünge zu Silizium von je 2,1 eV bestimmt werden. Die MOSFETs auf konventionellem Silizium sowie die SOI- und sSOI-Bauelemente zeigen normale Ausgangs- und Transfercharakteristiken. Sauerstofftempern nach der high- κ -Deposition reduziert die Leckströme drastisch, allerdings nimmt auch der maximale Drainstrom leicht ab. Die SOI-MOSFETs erreichen die höchsten $I_{\text{on}}/I_{\text{off}}$ -Verhältnisse von 10^8 und niedrige inverse Schwellensteigungen mit Werten bis zu 66 mV/dec. Durch den Einsatz des verspannten Siliziums wird die Ladungsträgerbeweglichkeit gegenüber dem konventionellen SOI von $\mu_{\text{eff}} \sim 155 \text{cm}^2/\text{Vs}$ auf $366 \text{cm}^2/\text{Vs}$ sowie $I_{\text{D,max}}$ um $\sim 30\%$ erhöht und $g_{\text{m,max}}$ verdoppelt.

Außerdem konnte GdScO_3 erfolgreich in $\text{AlGaIn}/\text{GaIn}$ -basierten MISHFETs als Gateoxid eingesetzt werden. Dabei wurde eine Reduktion der Gateleckströme um vier Größenordnungen und gleichzeitig eine Verdopplung der Ausgangsleistung erzielt. Auch der Leistungswirkungsgrad wurde signifikant gesteigert.

Insgesamt wurde die Eignung der Seltenerd-basierten ternären Oxide GdScO_3 und LaLuO_3 als alternative Gatedielektrika auf Siliziumsubstraten gezeigt. Für GdScO_3 wurde zudem die Integrationsfähigkeit in silizium- und $\text{GaIn}/\text{AlGaIn}$ -basierte Feldeffekt-Bauelemente demonstriert.

Ausblick

Für GdScO_3 und LaLuO_3 besteht ein großes Potenzial, durch die Optimierung des ALD-Prozesses die Dicke der Grenzflächenschicht zwischen high- κ -Dielektrikum und Substrat zu vermindern und damit EOT-Werte $< 1\text{ nm}$ bei einem industriell einsetzbaren Abscheidungsverfahren zu erreichen.

Ob die günstigere Dielektrizitätskonstante von LaLuO_3 gegenüber GdScO_3 ebenfalls für den Einsatz in Feldeffekt-Transistoren genutzt werden kann, muss durch zukünftige Untersuchungen geklärt werden. Da ein Gate-last-Prozess nicht beliebig skaliert werden kann, ist für die Herstellung von Kurzkanal-Transistoren die Entwicklung eines „Replacement Gate“-Prozesses erforderlich, der aber eine konforme Abscheidung des alternativen Gatedielektrikums voraussetzt.

Anhang

Anhang A

Literaturverzeichnis

- [1] G. E. MOORE, *Cramming More Components onto Integrated Circuits*, Electronics **38**, (1965).
- [2] *International Technology Roadmap for Semiconductors*, 2006 Update, USA (2006), online verfügbar auf <http://www.itrs.net>.
- [3] H. WONG, H. IWAI, *On the Scaling Issues and High- κ Replacement of Ultrathin Gate Dielectrics for Nanoscale MOS Transistors*, Microelectron. Eng. **83**, 1867 (2006).
- [4] J. ROBERTSON, *High Dielectric Constant Gate Oxides for Metal Oxide Si Transistors*, Rep. Prog. Phys. **69**, 327 (2006).
- [5] G. B. ALERS, D. J. WERDER, Y. CHABAL, H. C. LU, E. P. GUSEV, E. GARFUNKEL, T. GUSTAFSSON, R. S. URDAHL *Intermixing at the tantalum oxide/silicon interface in gate dielectric structures*, Appl. Phys. Lett. **73**, 1517 (1998).
- [6] J. J. HUBBARD, D. G. SCHLOM, *Thermodynamic Stability of Binary Oxides in Contact with Silicon*, J. Mater. Res. **11**, 2757 (1996).
- [7] D. G. SCHLOM, J. H. HAENI, *A Thermodynamic Approach to Selecting Alternative Gate Dielectrics*, MRS Bull. **27**, 198 (2002).
- [8] S. M. SZE, *Physics of Semiconductor Devices*, second edition, John Wiley & Sons, New York (1981).
- [9] E. H. NICOLLIAN, J. R. BREWS *MOS (Metal Oxide Semiconductor) Physics and Technology*, John Wiley & Sons, New York (1982).
- [10] J. E. LILIENTHAL, *Method and Apparatus for Controlling Electric Currents*, United States Patent **1.745.175** (1930).

- [11] O. HEIL, *Verfahren zum Steuern oder Verstärken elektrischer Ströme*, Patent der Schweizerischen Eidgenossenschaft **184396** (1936).
- [12] W. SHOCKLEY, G. L. PEARSON, *Modulation of Conductance of Thin Films of Semiconductors by Surface Charges*, Phys. Rev. **74**, 232 (1948).
- [13] D. KAHNG, M. M. ATALLA, *Silicon-Silicon Dioxide Field Induced Surface Devices*, IRE Solid-State Device Res. Conf., Carnegie Institute of Technology, Pittsburgh, Pa. (1948).
- [14] J. R. BREWS, *A Charge-Sheet Model of the MOSFET*, Solid-State Electron. **21**, 345 (1978).
- [15] J.-P. COLINGE, *Silicon-on-Insulator Technology: Materials to VLSI, 3rd Edition*, Kluwer Academic Publishers, Boston (2004).
- [16] H. C. PAO, C. T. SAH, *Effects of diffusion current on characteristics of Metal-Oxide (Insulator)- Semiconductor Transistors*, Solid-State Electron. **9**, 927 (1966).
- [17] A. ORTIZ-CONDE, F. J. GARCÍA SÁNCHEZ, J. J. LIOU, A. CERDEIRA, M. ESTRADA, Y. YUE, *A review of recent MOSFET threshold voltage extraction methods*, Microelectron. Reliab. **42**, 583 (2002).
- [18] W. ZHU, J.-P. HAN, T. P. MA, *Mobility Measurement and Degradation Mechanisms of MOSFETs Made With Ultrathin High-k Dielectrics*, IEEE Trans. Electron Devices **51**, 98 (2004).
- [19] S. E. THOMPSON, S. PARTHASARATHY, *Moore's Law: The Future of Si Nanoelectronics*, Mat. Today **9**, 8-20 (2006).
- [20] R. H. DENNARD, F. H. GAENSSLEN, L. KUHN, H. N. YU, *Design of micron MOS switching devices* International Electron Devices Meeting, **18**, 168 (1972).
- [21] G. BACCARANI, M. R. WORDEMAN, R. H. DENNARD *Generalized Scaling Theory and Its Application to a 1/4 Micrometer MOSFET Design*, IEEE Trans. Electron Devices **ED-31**, 452 (1984).
- [22] R. H. DENNARD, J. CAI, A. KUMAR, *A perspective on today's scaling challenges and possible future directions*, Solid-State Electron., **51**, 518 (2007).

- [23] M. DEPAS, B. VERMEIRE, P.W. MERTENS, R.L. VAN MEIRHAEGHE, M.M. HEYNS, *Determination of Tunnelling Parameters in Ultra-Thin Oxide Layer Poly-Si/SiO₂/Si Structures*, Solid-State Electron. **38**, 1465 (1995).
- [24] T. KAUEAUF, B. GOVOREANU, R. DEGRAEVE, G. GROESENENKEN, H. MAES, *Scaling CMOS: Finding the gate stack with the lowest leakage current*, Solid-State Electron. **49**, 695 (2005).
- [25] Y.-C. YEO, T.-J. KING, C. HU, *Direct tunneling leakage current and scalability of alternative gate dielectrics*, Appl. Phys. Lett. **81**, 2091 (2002).
- [26] J.R. BREWS, W. FICHTNER, E.H. NICOLLIAN, S.M. SZE, *Generalized Guide for MOSFET Miniaturization*, IEEE Electron Device Lett. **1**, 2 (1980).
- [27] R.R. TROUTMAN, *VLSI Limitations from Drain-Induced Barrier Lowering*, IEEE J. Solid-State Circuits **SC-14**, 383 (1979).
- [28] S. DELEONIBUS, M.M. HEYNS, *Device architectures for the nano-CMOS era*, in M. HOUSSA (Hrsg.): *High- κ Gate Dielectrics*, IoP Publishing, Bristol (2004).
- [29] G.D. WILK, R.M. WALLACE, J.M. ANTHONY, *High- κ Gate Dielectrics: Current Status and Materials Properties Considerations*, J. Appl. Phys. **89**, 5243 (2001).
- [30] H.K. LIM, J.G. FOSSUM, *Generalized Scale Length for Two-Dimensional Effects in MOSFET's*, IEEE Trans. Electron. Devices **32**, 446 (1985).
- [31] TH. VOGELSANG, K.R. HOFMANN, *Electron transport in strained Si layers on Si_{1-x}Ge_x substrates*, Appl. Phys. Lett. **63**, 187 (1992).
- [32] M.L. LEE, E.A. FITZGERALD, *Hole mobility enhancements in nanometer-scale strained-silicon heterostructures grown on Ge-rich relaxed Si_{1-x}Ge_x*, J. Appl. Phys., **94**, 2590 (2003).
- [33] S.F. NELSON, K. ISMAIL, *Room-temperature electron mobility in strained Si/SiGe heterostructures*, Appl Phys. Lett. **63**, 367 (1993).
- [34] K.-J. CHUI, K.-W. ANG, N. BALASUBRAMANIAN, M.-F. LI, G.S. SAMUDRA, Y.-C. YEO, IEEE Trans. Electron Devices, **54**, 249 (2007).

- [35] F. ANDRIEU, O. WEBER, T. ERNST, O. FAYNOT, S. DELEONIBUS, *Strain and channel engineering for fully depleted SOI MOSFETs towards the 32 nm technology node*, Microelectron. Eng. **84**, 2047 (2007).
- [36] A. WEI, S. DÜNKEL, R. BOSCHKE, T. KAMMLER, K. HEMPEL, J. RINDERKNECHT, M. HORSTMANN, I. CAYREFOUREQ, F. METRAL, M. KENNARD, E. GUIOT *Integration Challenges for Advanced Process-Strained CMOS on Biaxially-Strained SOI (SSOI) Substrates*, ECS Transactions, **6**, 15 (2007).
- [37] K. YAMAOKA, Y. YOSHIZAKO, H. KATO, D. TSUKIYAMA, Y. TERAJ, Y. FUJIWARA, *Room-Temperature Plasma-Enhanced Chemical Vapor Deposition of SiOCH Films Using Tetraethoxysilane*, Physica B **376–377**, 399 (2006).
- [38] L. PETERS, *Who Will Gamble at 0.13 μ m?*, Semicond. Int. **23** 1, 52 (2000).
- [39] S. J. PEARTON, A. J. TAVENDALE, *The electrical properties of deep copper- and nickel-related centers in silicon*, J. Appl. Phys. **54**, 1375 (1987).
- [40] S. D. BROTHERTON, J. R. AYRES, A. GILL, H. W. VAN KESTEREN, F. J. A. M. GREIDANUS, *Deep levels of copper in silicon*, J. Appl. Phys. **62**, 1826 (1989).
- [41] H. WENDT, H. CERVA, V. LEHMANN, W. PAMLER, *Impact of copper contamination on the quality of silicon oxides*, J. Appl. Phys. **65**, 2402 (1989).
- [42] R. M. WALLACE, G. WILK, *High- κ Gate Dielectric Materials*, MRS Bull. **27**, 192 (2002).
- [43] J. D. PLUMMER, P. B. GRIFFIN, *Material and Process Limits in Silicon VLSI Technology*, Proc. IEEE **89**, 240 (2001).
- [44] D. J. FRANK, Y. TAUR, H.-S. P. WONG, *Generalized Scale Length for Two-Dimensional Effects in MOSFET's*, IEEE Electron Device Lett. **19**, 385 (1998).
- [45] E. W. A. YOUNG, V. KAUSHIK, *Device integration issues*, in M. HOUSSA (Hrsg.): *High- κ Gate Dielectrics*, IoP Publishing, Bristol (2004).

- [46] M. V. FISCHETTI, D. A. NEUMAYER, E. A. CARTIER, *Effective electron mobility in Si inversion layers in metal-oxide-semiconductor systems with a high- k insulator: The role of remote phonon scattering*, J. Appl. Phys. **90**, 4587 (2001).
- [47] R. CHAU, S. DATTA, M. DOCZY, B. DOYLE, J. KAVALIEROS, M. METZ, *High- κ /Metal-Gate Stack and Its MOSFET Characteristics*, IEEE Electron Device Lett., **25**, 408 (2004).
- [48] K. HASEGAWA, P. AHMET, N. OKAZAKI, T. HASEGAWA, K. FUJIMOTO, M. WATANABE, T. CHIKYOW, H. KOINUMA, *Amorphous Stability of HfO₂ Based Ternary and Binary Composition Spread Oxide Films as Alternative Gate Dielectrics*, Appl. Surf. Sci. **223**, 229 (2004).
- [49] E. P. GUSEV, E. CARTIER, D. A. BUCHANAN, M. GRIBELYUK, M. COPEL, H. OKORN-SCHMIDT, C. D'EMIC, *Ultrathin high- K metal oxides on silicon: processing, characterization and integration issues*, Microelectron. Engin. **59**, 341 (2001).
- [50] E. P. GUSEV, V. NARAYANAN, M. M. FRANK, *Advanced high- κ dielectric stacks with polySi and metal gates: Recent progress and current challenges*, IBM J. Res. & Dev. **50**, 387 (2006).
- [51] M. LESKELÄ, M. RITALA, *Rare-earth oxide thin films as gate oxides in MOSFET transistors*, J. Solid State Chem. **171**, 170 (2003).
- [52] B. W. BUSCH, O. PLUCHERY, Y. J. CHABAL, D. A. MULLER, R. L. OPILA, J. R. KWO, E. GARFUNKEL, *Materials Characterization of Alternative Gate Dielectrics*, MRS Bull. **27**, 206 (2002).
- [53] M. T. BOHR, R. S. CHAU, T. GHANI, K. MISTRY, *The High- k Solution*, IEEE Spectrum, **44**, 29 (2007).
- [54] J. KWO, M. HONG, A. R. KORTAN, K. T. QUEENEY, Y. J. CHABAL, J. P. MANNAERTS, T. BOONE, J. J. KRAJEWSKI, A. M. SERGENT, J. M. ROSAMILIA, *High ϵ gate dielectrics Gd₂O₃ and Y₂O₃ for silicon*, Appl. Phys. Lett. **77**, 130 (2000).
- [55] M. BADYLEVICH, S. SHAMULIA, V. V. AFANAS'EV, A. STESMANS, A. LAHA, H. J. OSTEN, A. FISSEL, *Investigation of the electronic structure at interfaces of crystalline and amorphous Gd₂O₃ thin layers with silicon substrates of different orientations*, Appl. Phys. Lett. **90**, 252101 (2007).

- [56] J. ROBERTSON, S. DATTA, M. DOCZY, B. DOYLE, J. KAVALIEROS, M. METZ, *Band offsets of wide-band-gap oxides and implications for future electronic devices*, J. Vac. Sci. Technol. B **18**, 1785 (2000).
- [57] D. G. SCHLOM, C. A. BILLMAN, J. H. HAENI, J. LETTIERI, P. H. TAN, R. R. M. HELD, S. VÖLK, K. J. HUBBARD, *High- κ Candidates for Use as the Gate Dielectric in Silicon MOSFETs*, in S. B. OGALE (Hrsg.): *Thin Films and Heterostructures for Oxide Electronics*, Springer, New York (2005).
- [58] T. HEEG, *Epitaktische Seltenerd-Scandatschichten für die Mikroelektronik*, Dissertation im Fachbereich Physik, Universität zu Köln, Köln/Jülich (2007). Online erhältlich unter <http://kups.ub.uni-koeln.de/volltexte/2007/2072/>.
- [59] J. NIINISTÖ, N. PETROVA, M. PUTKONEN, L. NIINISTÖ, K. ARSTILA, T. SAJAVAARA, *Gadolinium oxide thin films by atomiclayer deposition*, J. Crystal Growth **285**, 191 (2005).
- [60] H. D. B. GOTTLOB, M. C. LEMME, T. MOLLENHAUER, T. WAHLBRINK, J. K. EFAVI, H. KURZ, Y. STEFANOV, K. HABERLE, R. KOMARAGIRI, T. RULAND, F. ZAUNERT, U. SCHWALKE, *Introduction of crystalline high- κ gate dielectrics in a CMOS process*, J. Non-Cryst. Solids **351**, 1885 (2005).
- [61] H. D. B. GOTTLOB, T. ECHTERMAYER, T. MOLLENHAUER, J. K. EFAVI, M. SCHMIDT, T. WAHLBRINK, M. C. LEMME, H. KURZ, M. CZERNOHORSKY, E. BUGIEL, H.-J. OSTEN, A. FISSEL, *CMOS integration of epitaxial Gd₂O₃ high- κ gate dielectrics*, Solid-State Electron. **50**, 979 (2006).
- [62] S. JEON, H. HWANG, *Effect of hygroscopic nature on the electrical characteristics of lanthanide oxides Pr₂O₃, Sm₂O₃, Gd₂O₃, and Dy₂O₃*, J. Appl. Phys. **93**, 6393 (2003).
- [63] H. GRÄNICHER, *Dielektrische Eigenschaften von Substanzen des Perowskittyps*, Helv. Phys. Acta **24**, 619 (1951).
- [64] J. B. CLARK, P. W. RICHTER, L. DU TOIT, *High-Pressure Synthesis of YScO₃, HoScO₃, and TmScO₃, and a Reevaluation of the Lattice Constants of the Rare Earth Scandates*, J. Solid State Chem. **23**, 129 (1978).

- [65] S. N. AMANYAN, E. V. ANTIPOV, V. A. ANTONOV, P. A. ARSEN'EV, KH. S. BAGDASAROV, A. M. KEVORKOV, L. M. KOVBA, A. V. RAKHMATULIN, *The Synthesis and Structure of GdScO₃*, Russ. J. Inorg. Chem. **32**, 1225 (1987), Übersetzung von Журнал неорганической химии **32**, 2087 (1987).
- [66] R. P. LIFEROVICH, R. H. MITCHELL, *A Structural Study of Ternary Lanthanide Orthoscamate Perovskites*, J. Solid State Chem. **177**, 2188 (2004).
- [67] V. M. GOLDSCHMIDT, *Die Gesetze der Krystallochemie*, Naturwiss. **21**, 477 (1926).
- [68] ST. V. NÁRAY-SZABÓ, *Der Strukturtyp des Perowskits*, Naturwiss. **31**, 202 (1943).
- [69] H. D. MEGAW, *Crystal Structure of Double Oxides of the Perovskite Type*, Proc. Phys. Soc. **58**, 10 (1946).
- [70] S. A. KUTOLIN, V. I. KOTYUKOV, S. N. KOMAROVA, D. I. CHERNOBROVKIN, *Prediction of the Properties of Rare Earth Aluminate, Zirconate, and Scandate Film Coatings in Relation to Their Preparation Technologies*, Inorg. Mat. **15**, 615 (1979), Übersetzung von Известия Академии наук СССР: Неорганические материалы **15**, 786 (1979).
- [71] N. V. POROTNIKOV, K. I. PETROV, V. N. TSYGANKOV, M. E. BOGDANOVA, *Preparation and Certain Properties of Binary Oxides of Rare Earths and Scandium*, Inorg. Mat. **16**, 62 (1980), Übersetzung von Известия Академии наук СССР: Неорганические материалы **16**, 80 (1980).
- [72] R. UECKER, H. WILKE, D. G. SCHLOM, B. VELICKOV, P. REICHE, A. POLITY, M. BERNHAGEN, M. ROSSBERG, *Spiral Formation During Czochralski Growth of Rare-Earth Scandates*, J. Crystal Growth **295**, 84 (2006).
- [73] J. H. HAENI, *Nanoengineering of Ruddlesden-Popper Phases Using Molecular Beam Epitaxy*, Ph.D. Thesis, Pennsylvania State University, 2002. Online erhältlich unter <http://www.etda.libraries.psu.edu/theses/approved/WorldWideIndex/ETD-181/>.

- [74] J. H. HAENI, J. LETTIERI, M. BIEGALSKI, T. HEEG, L. F. EDGE, K. E. O'BRIEN, S. TROLIER-MCKINSTRY, D. G. SCHLOM, S.-G. LIM, T. N. JACKSON, M. M. ROSARIO, R. UECKER, P. REICHE, A. VEN GRAITIS, C. D. BRANDLE, *Dielectric Tensor Measurement of Single Crystals of the Alternative Gate Oxide Candidates ReScO₃*, bislang unveröffentlicht.
- [75] V. V. AFANAS'EV, A. STESMANS, C. ZHAO, M. CAYMAX, T. HEEG, J. SCHUBERT, Y. JIA, D. G. SCHLOM, G. LUCOVSKY, *Band Alignment Between (100)Si and Complex Rare Earth/Transition Metal Oxides*, Appl. Phys. Lett. **85**, 5917 (2004).
- [76] C. ZHAO, T. WITTERS, B. BRIJS, H. BENDER, O. RICHARD, M. CAYMAX, T. HEEG, J. SCHUBERT, V. V. AFANAS'EV, A. STESMANS, D. G. SCHLOM, *Ternary Rare-Earth Metal Oxide High- κ Layers on Silicon Oxide*, Appl. Phys. Lett. **86**, 132903 (2005).
- [77] E. CICERRELLA, J. L. FREEOUF, L. F. EDGE, D. G. SCHLOM, T. HEEG, J. SCHUBERT, S. A. CHAMBERS, *Optical properties of La-based high-K dielectric films*, J. Vac. Sci. Technol. A **23**, 1676 (2005).
- [78] T. HEEG, J. SCHUBERT, C. BUCHAL, E. CICERRELLA, J. L. FREEOUF, W. TIAN, Y. JIA, D. G. SCHLOM, *Growth and Properties of Epitaxial Rare-Earth Scandate Thin Films*, Appl. Phys. A **83**, 103 (2006).
- [79] T. HEEG, M. WAGNER, J. SCHUBERT, CH. BUCHAL, M. BOESE, M. LUYBERG, E. CICERRELLA, J. L. FREEOUF, *Rare-Earth Scandate Single- and Multi-Layer Thin Films as Alternative Gate Oxides for Microelectronic Applications*, Microel. Eng. **80**, 150 (2005).
- [80] H. M. CHRISTEN, G. E. JELLISON JR., I. OHKUBO, S. HUANG, M. E. REEVES, E. CICERRELLA, J. L. FREEOUF, Y. JIA, D. G. SCHLOM, *Dielectric and Optical Properties of Epitaxial Rare-Earth Scandate Films and Their Crystallization Behavior*, Appl. Phys. Lett. **88**, 262906 (2006).
- [81] S. VAN ELSHOCHT, P. LEHNEN, B. SEITZINGER, A. ABRUTIS, C. ADELMANN, B. BRIJS, M. CAYMAX, T. CONARD, S. DE GENDT, A. FRANQUET, C. LOHE, M. LUKOSIUS, A. MOUSSA, O. RICHARD, P. WILLIAMS, T. WITTERS, P. ZIMMERMAN, M. HEYNS, *Metalorganic Chemical Vapor Deposition of Dysprosium Scandate High-k Layers Using mmp-Type Precursors*, J. Electrochem. Soc. **153**, F219 (2006).

- [82] R. THOMAS, P. EHRHART, M. LUYSBERG, M. BOESE, R. WASER, M. ROECKERATH, E. RIJE, J. SCHUBERT, S. VAN ELSHOCHT, M. CAYMAX, *Dysprosium scandate thin films as an alternate amorphous gate oxide prepared by metal-organic chemical vapor deposition*, Appl. Phys. Lett. **89**, 232902 (2006).
- [83] R. THOMAS, P. EHRHART, M. ROECKERATH, S. VAN ELSHOCHT, E. RIJE, M. LUYSBERG, M. BOESE, J. SCHUBERT, M. CAYMAX, R. WASER, *Liquid Injection MOCVD of Dysprosium Scandate Films*, J. Elec. Soc. **154**, G147 (2007).
- [84] P. MYLLYMÄKI, M. NIEMINEN, J. NIINISTÖ, M. PUTKONEN, K. KUKLIB, L. NIINISTÖ, *High-permittivity YScO₃ thin films by atomic layer deposition using two precursor approaches*, J. Mater. Chem. **16**, 563 (2006).
- [85] K. H. KIM, D. B. FARMER, J.-S. M. LEHN, P. V. RAO, R. G. GORDON, *Atomic layer deposition of gadolinium scandate films with high dielectric constant and low leakage current*, Appl. Phys. Lett. **89**, 133512 (2006).
- [86] K. L. OVANESYAN, A. G. PETROSYAN, G. O. SHIRINYAN, C. PEDRINI, L. ZHANG, *Single crystal growth and characterization of LaLuO₃*, Optical Materials **10**, 291 (1998).
- [87] K. L. OVANESYAN, A. G. PETROSYAN, G. O. SHIRINYAN, C. PEDRINI, L. ZHANG, *Czochralski single crystal growth of Ce- and Pr-doped LaLuO₃ double oxide*, J. Crystal Growth, **198/199**, 497 (1999).
- [88] C. PÉDRINI, L. ZHANG, C. DUJARDIN, A. PETROSYAN, A. N. BELSKY, *CERIUM-BOUND EXCITONS AND FLUORESCENCE QUENCHING EFFECTS IN CERIUM DOPED LaLuO₃ SINGLE CRYSTALS*, Radiat. Eff. Defects Solids **150**, 29 (1998).
- [89] K. ITO, K. TEZUKA, Y. HINATSU, *Preparation, Magnetic Susceptibility, and Specific Heat on Interlanthanide Perovskites ABO₃ (A = La-Nd, B = Dy-Lu)*, J. Solid State Chem. **157**, 173 (2001).
- [90] J. SCHUBERT, O. TRITHAVEESAK, W. ZANDER, M. ROECKERATH, T. HEEG, H. Y. CHEN, C. L. JIA, P. MEUFFELS, Y. JIA, D. G. SCHLOM, *Characterization of epitaxial lanthanum lutetium oxide thin films prepared by pulsed-laser deposition*, Appl. Phys. A **90**, 577 (2007).

- [91] F. R. DE BOER, R. BOON, W. C. M. MATTENS, A. R. MIEDEMA, *Cohesion in Metals*, North Holland (1988).
- [92] K. CHOI, P. LYSAGHT, H. ALSHAREEF, C. HUFFMAN, H.-C. WEN, R. HARRIS, H. LUAN, P.-Y. HUNG, C. SPARKS, M. CRUZ, K. MATTHEWS, P. MAJHI, B. H. LEEF, *Growth mechanism of TiN film on dielectric films and the effects on the work function*, *Thin Solid Films* **486**, 141 (2005).
- [93] M. C. LEMME, J. K. EFAVI, T. MOLLENHAUER, M. SCHMIDT, H. D. B. GOTTLOB, T. WAHLBRINK, H. KURZ, *Nanoscale TiN metal gate technology for CMOS integration*, *Microelectron. Eng.* **83**, 1551 (2006).
- [94] D. B. CHRISEY, G. K. HUBLER, *Pulsed Laser Deposition of Thin Films*, John Wiley & Sons, New York (1994).
- [95] H. M. SMITH, A. F. TURNER, *Vacuum Deposited Thin Films Using a Ruby Laser*, *Appl. Opt.* **4**, 147 (1965).
- [96] J. GOTTMANN, *Dynamik der Schichtabscheidung von Keramiken mit KrF Excimer-Laserstrahlung*, Diplomarbeit der Fakultät für Maschinenwesen, RWTH Aachen, Aachen (2001).
- [97] M. MERTIN, *Modellierung des PLD-Prozesses zur Abscheidung elektrokeramischer Dünnschichten*, Diplomarbeit der Fakultät für Maschinenwesen, RWTH Aachen, Aachen (1996).
- [98] M. OHRING, *The Materials Science of Thin Films*, Academic Press, New York (1992).
- [99] G. KIENEL, K. RÖLL, *Vakuumbeschichtungen 2 - Verfahren und Anlagen*, VDI-Verlag GmbH, Düsseldorf (1995).
- [100] J. GEORGE, *Preparation of thin films*, Marcel Dekker, New York (1995).
- [101] T. SUNTOLA, J. ANSTON, US-Patent Nr. 4 058 430, (1977).
- [102] T. SUNTOLA, M. SIMPSON, *Atomic Layer Epitaxy*, Blackie and Son Ltd, Glasgow (1990).
- [103] J. PÄIVÄSAARI, J. NIINISTÖ, P. MYLLYMÄKI, C. DEZELAH IV, C. H. WINTER, M. PUTKONEN, M. NIEMINEN, L. NIINISTÖ, *Atomic Layer Deposition of Rare Earth Oxides*, in M. FANCIULLI, G. SCAREL (Hrsg.): *Rare Earth Oxide Thin Films*, *Topics Appl. Physics* **106**, 15 (2007).

- [104] K. WETZIG, C. M. SCHNEIDER, *Metal Based Thin Films for Electronics*, WILEY-VCH GmbH & Co. KGaA, Weinheim (2003).
- [105] M. LESKELÄ, K. KUKLI, M. RITALA, *Rare-earth oxide thin films for gate dielectrics in microelectronics*, *J. Alloys Compd.* **418**, 27 (2006).
- [106] K. J. EISENTRAUT, R. E. SIEVERS, *Volatile rare earth chelates*, *J. Am. Chem. Soc.* **87**, 5254 (1965).
- [107] H. FREY, G. KIENEL, *Dünnschichttechnologie*, VDI-Verlag GmbH, Düsseldorf (1987).
- [108] J. MUSIL, P. BAROCHA, J. VLČEK, K. H. NAM, J. G. HAN, *Reactive magnetron sputtering of thin films: present status and trends*, *Thin Solid Films* **475**, 208 (2005).
- [109] G. SCHUMICKI, P. SEEGBRECHT, *Prozeßtechnologie*, Springer-Verlag, Berlin (1991).
- [110] U. HILLERINGMANN, *Silizium-Halbleitertechnologie*, B. G. Teubner Verlag / GWV Fachverlag GmbH, Wiesbaden (2004).
- [111] W. KERN, *The evolution of silicon wafer cleaning technology*, *J. Electrochem. Soc.* **137**, 1887 (1990).
- [112] W.-K. CHU, J. M. MAYER, M.-A. NICOLET, *Backscattering Spectrometry*, Academic Press, New York (1978).
- [113] <http://www.genplot.com/RUMP/index.htm>
- [114] W. H. BRAGG, W. L. BRAGG, *The Reflection of X-rays by Crystals*, *Proc. R. Soc. London A* **88**, 428 (1913).
- [115] V. HOLÝ, U. PIETSCH, T. BAUMBACH, *High-Resolution X-Ray Scattering from Thin Films and Multilayers*, Springer-Verlag, Berlin (1999).
- [116] P. EBERT, K. SZOT, A. ROELOFS, *Scanning Probe Techniques*, in R. WASER (Hrsg.): *Nanoelectronics and Information Technology*, Wiley-VCH Verlag, Weinheim (2003).
- [117] M. GRASSERBAUER, J. DUDEK, M. F. EBEL, *Angewandte Oberflächenanalyse*, Springer-Verlag, Berlin (1986).
- [118] V. V. AFANAS'EV, A. STESMANS, *Band Alignment at the Interfaces of Si and Metals with High-Permittivity Insulating Oxides*, in M. HOUSSA (Hrsg.): *High- κ Gate Dielectrics*, IoP Publishing, Bristol (2004).

- [119] R. J. POWELL, *Interface Barrier Energy Determination from Voltage Dependence of Photoinjected Currents*, J. Appl. Phys. **41**, 2424 (1970).
- [120] <http://www.ni.com/labview/>
- [121] J. R. HAUSER, K. AHMED, *Characterization of Ultra-Thin Oxides Using Electrical C-V and I-V Measurements*, in D. G. SEILER (Hrsg.): *Characterization and Metrology for ULSI Technology: 1998 International Conference*, AIP Conf. Proc. **449**, 235 (1998).
- [122] L. M. TERMAN AN INVESTIGATION OF SURFACE STATES AT A SILICON/SILICON OXIDE INTERFACE EMPLOYING METAL-OXIDE-SILICON DIODES, Solid-State Electron. **5**, 285 (1962).
- [123] S.-H. LO, D. A. BUCHANAN, Y. TAUR, *Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultrathin oxides*, IBM J. Res. Dev. **43**, 327 (1999).
- [124] J. M. J. LOPES, M. ROECKERATH, T. HEEG, U. LITTMARK, J. SCHUBERT, S. MANTL, Y. JIA, D. G. SCHLOM, *La-based ternary rare-earth oxides as alternative high- κ dielectrics*, Microel. Eng. **84**, 1890 (2007).
- [125] H. MORKOÇ, *Potential applications of III-V nitride semiconductors*, Mater. Sci. Eng., B **43**, 137 (1997).
- [126] S. STRITE, H. MORKOÇ, *GaN, AlN, and InN: A review*, J. Vac. Sci. Technol., B **10**, 1237 (1992).
- [127] F. ALI, A. GUPTA, *HEMTs and HBTs: Devices, Fabrication, and Circuits*, Artech House, Inc., Norwood (1991).
- [128] S. T. SHEPPARD, K. DOVERSPIKE, W. L. PRIBBLE, S. T. ALLEN, J. W. PALMOUR, L. T. KEHIAS, T. J. JENKINS, *High-Power Microwave GaN/AlGaN HEMT's on Semi-Insulating Silicon Carbide Substrates*, IEEE Electron Device Lett. **20**, 161 (1999).
- [129] R. GASKA, M. S. SHURA, A. D. BYKHOVSKI, A. O. ORLOV, G. L. SNIDER, *Electron mobility in modulation-doped AlGaN-GaN heterostructures*, Appl. Phys. Lett. **74**, 287 (1999).
- [130] M. MICOVIC, N. X. NGUYEN, P. JANKE, W.-S. WONG, P. HASHIMOTO, L.-M. MCCRAY, C. NGUYEN, *GaN/AlGaN high electron mobility transistors with f_T of 110GHz*, Electron. Lett. **36**, 358 (2000).

- [131] Y.-F. WU, B. P. KELLER, S. KELLER, D. KAPOLNEK, P. KOZODOY, S. P. DENBAARS, U. K. MISHRA, *Very high breakdown voltage and large transconductance realized on GaN heterojunction field effect transistors*, Appl. Phys. Lett. **69**, 1438 (1996).
- [132] R. GASKA, Q. CHEN, J. YANG, A. OSINSKY, M. ASIF KHAN, M. S. SHUR, *High-Temperature Performance of AlGaIn/GaN HFET's on SiC Substrates*, IEEE Electron Device Lett. **18**, 492 (1997).
- [133] S. MIZUNO, Y. OHNO, S. KISHIMOTO, K. MAEZAWA, T. MIZUTANI, *Large Gate Leakage Current in AlGaIn/GaN High Electron Mobility Transistors*, Jpn. J. Appl. Phys. **41**, 5125 (2002).
- [134] E. J. MILLER, X. Z. DANG, E. T. YU, *Gate leakage current mechanisms in AlGaIn/GaN heterostructure field-effect transistors*, J. Appl. Phys. **88**, 5951 (2000).
- [135] M. MARSO, G. HEIDELBERGER, K. M. INDLEKOFER, J. BERNÁT, A. FOX, P. KORDOŠ, H. LÜTH, *Origin of Improved RF Performance of AlGaIn/GaN MOSHFETs Compared to HFETs*, IEEE Trans. Electron Devices **53**, 1517 (2006).
- [136] K. BALACHANDER, S. ARULKUMARAN, T. EGAWA, Y. SANO, K. BASKAR, *Demonstration of AlGaIn/GaN metal-oxide-semiconductor high-electron-mobility transistors with silicon-oxynitride as the gate insulator*, Mat. Sci. Eng., B **119**, 36 (2005).
- [137] V. ADIVARAHAN, M. GAEVSKI, W.H. SUN, H. FATIMA, A. KOUDYMOV, S. SAYGI, G. SIMIN, J. YANG, M. AFIR KHAN, A. TARAKJI, M. S. SHUR, R. GASKA, *Submicron Gate Si₃N₄/AlGaIn/GaN-Metal-Insulator-Semiconductor Heterostructure Field-Effect Transistors*, IEEE Electron Device Lett. **24**, 541 (2003).
- [138] P. D. YE, B. YANG, K. K. NG, J. BUDE, G. D. WILK, S. HAIDER, J. C. M. HWANG, *GaN MOS-HEMT USING ATOMIC LAYER DEPOSITION Al₂O₃ AS GATE DIELECTRIC AND SURFACE PASSIVATION*, International Journal of High Speed Electronics and Systems **14**, 791 (2004).
- [139] P. KORDOŠ, D. GREGUŠOVÁ, R. STOKLAS, K. ČIČO, J. NOVÁK, *Improved transport properties of Al₂O₃/AlGaIn/GaN metal-oxide-semiconductor heterostructure field-effect transistor*, Appl. Phys. Lett. **90**, 123513 (2007).

- [140] B. P. GILA, J. W. JOHNSON, R. MEHANDRU, B. LUO, A. H. ONSTINE, K. K. ALLUMS, V. KRISHNAMOORTHY, S. BATES, C. R. ABERNATHY, F. REN, S. J. PEARTON, *Gadolinium Oxide and Scandium Oxide: Gate Dielectrics for GaN MOSFETs*, Phys. Status Solidi A **188**, 239 (2001).
- [141] S. RAI, V. ADIVARAHAN, N. TIPIRNENI, A. KOUDYMOV, J. YANG, G. SIMIN, M. ASIF KHAN, *Low Threshold-14W/mm ZrO₂/AlGa_N/Ga_N Metal-Oxide-Semiconductor Heterostructure Field Effect Transistors*, Jpn. J. Appl. Phys. **45**, 4985 (2006).
- [142] C. LIU, E. F. CHOR, L. S. TAN, *Enhanced device performance of AlGa_N/Ga_N HEMTs using HfO₂ high-k dielectric for surface passivation and gate oxide*, Semicond. Sci. Technol. **22**, 522 (2007).
- [143] G. HEIDELBERGER, *Untersuchung von „high-κ“ Materialien als alternative Dielektrika für AlGa_N/Ga_N-basierte Metall-Isolator-Halbleiter Heterostruktur-Feldeffekt-Transistoren (MISHFET)*, Dissertation der Fakultät für Elektrotechnik und Informationstechnik, Rheinisch Westfälische Technische Hochschule Aachen, Aachen (2008).

Anhang B

Danksagung

Abschließend möchte ich mich bei allen Personen bedanken, die mit ihrer Hilfe, ihren Anregungen und wertvollen Diskussionen zum Gelingen dieser Arbeit wesentlich beigetragen haben. Mein besonderer Dank gilt

Herrn *Prof. Dr. Siegfried Mantl* für die Betreuung meiner Doktorarbeit am Institut für Bio- und Nanosysteme des Forschungszentrums Jülich, für das Koreferat, und für seine Hilfe und Unterstützung während der gesamten Dauer der Arbeit,

Herrn *Prof. Dr. Rainer Waser* als Doktorvater für die Möglichkeit, den Dokortitel an der RWTH Aachen zu erlangen,

Herrn *Dr. Jürgen Schubert* für die exzellente wissenschaftliche Betreuung dieser Arbeit mit vielen wertvollen Anregungen und einer steten Unterstützung und einem offenen Ohr bei allen Problemen, außerdem für alle privaten Einladungen und viele nette Konferenzteilnahmen,

Herrn *Dr. Tassilo Heeg* für die lange hervorragende Zusammenarbeit auf allen Ebenen und einer Rund-um-die-Uhr-Betreuung von allen Computern oder elektronischen Geräten,

Frau *Steffi Lenk* für eine gute Versorgung mit TEM-Bildern und „Nervennahrung“ und für viele nette persönliche Gespräche, Herrn *Willi Zander* für viele hilfreiche Diskussionen und Hilfe bei Konstruktionszeichnungen aller Art und Herrn *Dr. Bernd Holländer* für die Einführung in das RBS-Messen und Hilfe bei Fragestellungen rund um das Kfz,

Herrn *Dr. João Marcelo Jordão Lopes*, Herrn *Dr. Uffe Littmark*, Herrn *Dipl.-Phys. Christian Sandow* und Herrn *Dipl.-Phys. Christoph Urban* für ihre kontinuierliche Hilfe, die vielen Diskussionen, aber auch die persönlichen Gespräche, Treffen, und für den gemeinsamen Spaß (und Sport),

Herrn *Dr. Joachim Knoch* für eine wertvolle Hilfe und immer einen guten Rat in allen Lebenslagen, sowie viele kurzweilige Arbeitswege durch die Fahrgemeinschaft,

Herrn *Prof. Dr. Christoph Buchal*, Herrn *Dr. Dan Mihai Buca*, Herrn *Dr. Qing-Tai Zhao* und Herrn *Dipl.-Phys. Eduard Rije* für die vielen fruchtbaren Diskussionen bei prozesstechnischen oder sonstigen Fragestellungen,

Frau *Katja Panitz*, Herrn *Heinrich Schwalbach* und Herrn *Wilfried Michelsen* für die Bereitstellung von RBS-Strahlzeit, die Durchführung von Implantationen und die schnelle Hilfe bei Konstruktionen bzw. Reparaturen auch zu ungewöhnlichen Zeiten,

allen anderen *Mitarbeitern der Abteilung Ionentechnik* des Instituts für Bio- und Nanosysteme für die stets hervorragende Zusammenarbeit,

dem *Reinraumteam* des Instituts für Bio- und Nanosysteme für die Betreuung des Reinraums und Hilfestellungen bei prozesstechnischen Fragestellungen,

Herrn *Dr. Hermann Kohlstedt*, Herrn *Dr. Reji Thomas*, Herrn *Dr. Andreas Gerber*, Herrn *Dr. Martin Weides* und Herrn *Dr. Paul Meuffels* vom Institut für Festkörperforschung für die problemlose, institutsübergreifende Zusammenarbeit über mehrere Jahre hinweg,

Herrn *Dr. Gero Heidelberger* vom IBN1 für eine effektive Zusammenarbeit und auch viele persönliche Gespräche,

Frau *Dr. Astrid Besmehn* vom Zentrallabor für chemische Analysen für die XPS-Messungen und hilfreiche Diskussionen zu diesem Thema,

Frau *Dr. Martina Luysberg* und Herrn *Dr. Markus Boese* vom Ernst Ruska Centrum für angeregte Diskussionen zum Thema TEM,

Herrn *Prof. Darrell G. Schlom* und Herrn *Dr. Andreas Schmehl* von der Universität von Pennsylvania, USA, für die freundschaftliche und erfolgreiche Kooperation und viele nette Treffen,

Herrn *Prof. Lauri Niinistö* und Frau *Pia Myllymäki* von der Universität Helsinki, Finnland, für die Herstellung der ALD-Proben und eine insgesamt sehr erfolgreiche Kooperation,

Herrn *Dr. Chao Zhao*, Herrn *Dr. Matty Caymax*, Herrn *Dr. Christoph Adelmann*, Herrn *Dr. Sven van Elshocht* und *Dr. Stefan de Gendt* vom Forschungszentrum IMEC, Belgien, für die gute und effektive Zusammenarbeit über lange Zeit hinweg,

Herrn *Dr. Valeri Afanas'ev* von der KU Leuven, Belgien für die reibungslose Zusammenarbeit, für die IPE-Messungen und wichtige Diskussionen zu diesem Thema

und allen anderen *wissenschaftlichen Kooperationspartnern und Koautoren* für die hervorragende und fruchtbare Zusammenarbeit.

Zu guter Letzt möchte ich mich bei meinen *Eltern* bedanken, die durch ihre kontinuierliche Unterstützung den Weg bis zur Promotion überhaupt erst ermöglicht haben und meiner lieben *Frau Michaela* ♡ und meinem *Sohn Moritz*, die stets hinter mir gestanden, mir den Rücken gestärkt und mir Kraft gegeben haben.

Anhang C

Veröffentlichungen

T. HEEG, M. WAGNER, J. SCHUBERT, CH. BUCHAL, M. BOESE, M. LUYSBERG, E. CICERRELLA, J. L. FREEOUF, *Rare-Earth Scandate Single- and Multi-Layer Thin Films as Alternative Gate Oxides for Micro-electronic Applications*, *Microel. Eng.* **80**, 150 (2005).

M. WAGNER, T. HEEG, J. SCHUBERT, S. MANTL, C. ZHAO, O. RICHARD, M. CAYMAX, V. V. AFANAS'EV, *Preparation and Characterization of Rare Earth Scandates as Alternative Gate Oxide Materials*, in *6th European Conference on ULtimate Integration of Silicon (ULIS 2005). Conference Proceedings*, Publ. Univ. Bologna (ISBN 88-900847-0-7), Italy (2005).

M. WAGNER, T. HEEG, J. SCHUBERT, C. ZHAO, O. RICHARD, M. CAYMAX, V. V. AFANAS'EV, S. MANTL, *Preparation and Characterization of Rare Earth Scandates as Alternative Gate Oxide Materials*, *Solid-State Electron.* **50**, 58 (2006).

M. WAGNER, T. HEEG, J. SCHUBERT, ST. LENK, S. MANTL, C. ZHAO, M. CAYMAX, S. DE GENDT, *Gadolinium Scandate Thin Films as an Alternative Gate Dielectric Prepared by Electron Beam Evaporation*, *Appl. Phys. Lett.* **88**, 172901 (2006).

C. ZHAO, T. HEEG, M. WAGNER, J. SCHUBERT, T. WITTERS, B. BRIJS, H. BENDER, O. RICHARD, V. V. AFANAS'EV, M. HOUSSA, M. CAYMAX, S. DE GENDT, *Rare-Earth Metal Scandate High- κ Layers*, *ECS Trans.* **1**, 161 (2006).

J. M. J. LOPES, M. ROECKERATH, T. HEEG, E. RIJE, J. SCHUBERT, S. MANTL, V. V. AFANAS'EV, S. SHAMULIA, A. STESMANS, Y. JIA, D. G. SCHLOM, *Amorphous Lanthanum Lutetium Oxide Thin Films as an Alternative High- κ Gate Dielectric*, Appl. Phys. Lett. **89**, 222902 (2006).

R. THOMAS, P. EHRHART, M. LUYBERG, M. BOESE, R. WASER, M. ROECKERATH, E. RIJE, J. SCHUBERT, S. VAN ELSHOCHT, M. CAYMAX, *Dysprosium scandate thin films as an alternate amorphous gate oxide prepared by metal-organic chemical vapor deposition*, Appl. Phys. Lett. **89**, 232902 (2006).

J. SCHUBERT, T. HEEG, M. WAGNER, *Fabrication and Characterization of Rare Earth Scandate Thin Films Prepared by Pulsed Laser Deposition*, in M. FANCIULLI, G. SCAREL (Hrsg.): *Rare Earth Oxide Thin Films; Growth, Characterization, and Applications*, Springer, Berlin (2006).

T. HEEG, M. ROECKERATH, J. SCHUBERT, W. ZANDER, CH. BUCHAL, H. Y. CHEN, C. L. JIA, Y. JIA, C. ADAMO, D. G. SCHLOM, *Epitaxially Stabilized Growth of Orthorhombic LuScO_3 Thin Films*, Appl. Phys. Lett. **90**, 192901 (2007).

R. THOMAS, P. EHRHART, M. ROECKERATH, S. VAN ELSHOCHT, E. RIJE, M. LUYBERG, M. BOESE, J. SCHUBERT, M. CAYMAX, R. WASER, *Liquid Injection MOCVD of Dysprosium Scandate Films*, J. Elec. Soc. **154**, G147 (2007).

J. M. J. LOPES, U. LITTMARK, M. ROECKERATH, ST. LENK, J. SCHUBERT, S. MANTL, A. BESMEHN, *Effects of annealing on the electrical and interfacial properties of amorphous lanthanum scandate high- κ films prepared by molecular beam deposition*, J. Appl. Phys. **101**, 104109 (2007).

P. MYLLYMÄKI, M. ROECKERATH, M. PUTKONEN, S. LENK, J. SCHUBERT, L. NIINISTÖ, S. MANTL, *Characterization and electrical properties of high- k GdScO_3 thin films grown by atomic layer deposition*, Appl. Phys. A **88**, 633 (2007).

J. M. J. LOPES, M. ROECKERATH, T. HEEG, U. LITTMARK, J. SCHUBERT, S. MANTL, Y. JIA, D. G. SCHLOM *La-based ternary rare-earth oxides as alternative high- κ dielectrics*, Microel. Eng. **84**, 1890 (2007).

V. V. AFANAS'EV, S. SHAMUILIA, M. BADYLEVICH, A. STESMANS, L. F. EDGE, W. TIAN, D. G. SCHLOM, J. M. J. LOPES, M. ROECKERATH, J. SCHUBERT, *Electronic structure of silicon interfaces with amorphous and epitaxial insulating oxides: Sc_2O_3 , Lu_2O_3 , $LaLuO_3$* , Microel. Eng. **84**, 2278 (2007).

M. A. ZURBUCHEN, R. S. FREITAS, M. J. WILSON, P. SCHIFFER, M. ROECKERATH, J. SCHUBERT, M. D. BIEGALSKI, G. H. MEHTA, D. J. COMSTOCK, J. H. LEE, Y. JIA, D. G. SCHLOM, *Synthesis and characterization of an $n = 6$ Aurivillius phase incorporating magnetically active manganese, $Bi_7(Mn,Ti)_6O_{21}$* , Appl. Phys. Lett. **91**, 033113 (2007).

A. SCHMEHL, V. VAITHYANATHAN, A. HERRNBERGER, S. THIEL, C. RICHTER, M. LIBERATI, T. HEEG, M. ROECKERATH, L. FITTING KOURKOUTIS, S. MÜHLBAUER, P. BÖNI, D. A. MULLER, Y. BARASH, J. SCHUBERT, Y. IDZERDA, J. MANNHART, D. G. SCHLOM, *Epitaxial integration of the highly spin-polarized ferromagnetic semiconductor EuO with silicon and GaN* , Nature Mat. **6**, 882 (2007).

J. M. J. LOPES, M. ROECKERATH, T. HEEG, J. SCHUBERT, U. LITTMARK, S. MANTL, A. BESMEHN, P. MYLLYMÄKI, L. NIINISTÖ, C. ADAMO, D. G. SCHLOM, *Amorphous lanthanum lutetium oxide thin films as an alternative high- κ material* Physics and technology of high- κ gate dielectrics 5, ECS Trans. **11**, 311 (2007)

C. ADELMANN, P. LEHNEN, S. VAN ELSHOCHT, C. ZHAO, B. BRIJS, A. FRANQUET, T. CONARD, M. ROECKERATH, J. SCHUBERT, O. BOISSIÈRE, C. LOHE, S. DE GENDT, *Growth of Dysprosium-, Scandium-, and Hafnium-based Third Generation High- κ Dielectrics by Atomic Vapor Deposition*, Chem. Vap. Deposition **13**, 567 (2007).

J. SCHUBERT, O. TRITHAVEESAK, W. ZANDER, M. ROECKERATH, T. HEEG, H. Y. CHEN, C. L. JIA, P. MEUFFELS, Y. JIA, D. G. SCHLOM, *Characterization of epitaxial lanthanum lutetium oxide thin films prepared by pulsed-laser deposition*, Appl. Phys. A **90**, 577 (2007).

M. ROECKERATH, T. HEEG, J. M. J. LOPES, J. SCHUBERT, S. MANTL, A. BESMEHN, P. MYLLYMÄKI, L. NIINISTÖ, *Characterization of lanthanum lutetium oxide thin films grown by atomic layer deposition as an alternative gate dielectric*, eingereicht bei Thin Solid Films

Anhang D

Lebenslauf

Persönliche Angaben

Geburtstag: 02. September 1977
Geburtsort: Essen
Familienstand: verheiratet
Staatsangehörigkeit: deutsch
Anschrift: An der Landwehr 4a
52428 Jülich
Deutschland

Ausbildung

Mär. 2005 – Feb. 2008 Promotion am Institut für Bio- und Nanosysteme (IBN1-IT), Forschungszentrum Jülich GmbH,
Arbeitsgebiet: high- κ -Dielektrika für die Nanoelektronik

Jun. 2004 – Jan. 2005 Diplomarbeit am Institut für Schichten und Grenzflächen (ISG1-IT), Forschungszentrum Jülich GmbH,
Thema: Herstellung und Charakterisierung von Seltene-Erde-Scandaten als alternative Gateoxid-Materialien

- Okt. 2003 – Apr. 2004 Praktikum am Fraunhofer Center for Laser Technology (CLT) in Plymouth, Michigan, USA
Arbeitsgebiet: Untersuchung von Polyimid-Titan- und von Glas-Glas-Verbindungen hergestellt durch Laserbonden
- Jan. 2001 – Dez. 2002 Wissenschaftliche Hilfskraft am Lehrstuhl für Lasertechnik der Rheinisch-Westfälischen Technischen Hochschule Aachen,
Arbeitsgebiet: Dünnschichttechnik und integrierte Optik
- Okt. 1998 – Jan. 2005 Studium der Elektrotechnik und Informationstechnik an der Rheinisch-Westfälischen Technischen Hochschule Aachen,
Vertiefungsrichtung: Produktionstechnik für Mikrosysteme
- Jul. 1997 – Apr. 1998 Militärischer Grundwehrdienst an den Standorten Budel (Niederlande) und Burbach
- Aug. 1988 – Jun. 1997 Geschwister-Scholl-Gymnasium, Lüdenscheid, Abschluss: Abitur
- Aug. 1984 – Jul. 1988 Wehberger Grundschule, Lüdenscheid

Sprachen

- Deutsch (Muttersprache)
Englisch (fließend)
Französisch (Grundkenntnisse)

Interessen

- Fotografie
- Musik (klassische Gitarre)
- Mountainbiking, Wandern, Skifahren

- 1. Ferrocenes as Potential Building Blocks for Molecular Electronics**
Self-Assembly and Tunneling Spectroscopy
by L. Müller-Meskamp (2008), 153 pages
ISBN: 978-3-89336-509-8
- 2. Magnetic Proximity Effects in Highly-ordered Transition Metal Oxide Heterosystems studied by Soft x-Ray Photoemission Electron Microscopy**
by I. P. Krug (2008), XX, 180 pages
ISBN: 978-3-89336-521-0
- 3. Seltenerd-basierte ternäre Oxide als alternative Gatedielektrika**
von J. M. Roeckerath (2008), 148 Seiten
ISBN: 978-3-89336-543-2



Band | Volume 3
ISBN 978-3-89336-543-2

