

OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 N.º de publicación: **ES 2 042 382**

21 Número de solicitud: 9102409

51 Int. Cl.⁵: G01R 31/26

G01R 31/30

H01L 21/72

12

PATENTE DE INVENCION

B1

22 Fecha de presentación: **30.10.91**

43 Fecha de publicación de la solicitud: **01.12.93**

Fecha de concesión: **20.02.96**

45 Fecha de anuncio de la concesión: **01.04.96**

45 Fecha de publicación del folleto de patente:
01.04.96

73 Titular/es:
**Consejo Superior Investigaciones Cientificas
Serrano, 117
28062 Madrid, ES**

72 Inventor/es: **Lozano, M.;**
Cané, C.;
Perelló, C. y
Lora-Tamayo, E.

74 Agente: **No consta**

54 Título: **Estructura de test para la medida del desalineamiento entre niveles en tecnologías microelectrónicas, basada en transistores MOS con puerta triangular.**

57 Resumen:

La estructura de test para la medida del desalineamiento entre niveles de tecnologías microeléctricas, basada en transistores MOS con puerta triangular, es un dispositivo microelectrónico compuesto de cuatro transistores MOS con la puerta triangular, dispuestos formando 90° entre sí, con los terminales de fuente unidos, sensible al desalineamiento entre los niveles de puerta y áreas activas en tecnologías autoalineadas. El desalineamiento se obtiene a partir de la medida de la corriente de canal en cada uno de los transistores, polarizando los mismos en la zona lineal o en la de saturación.

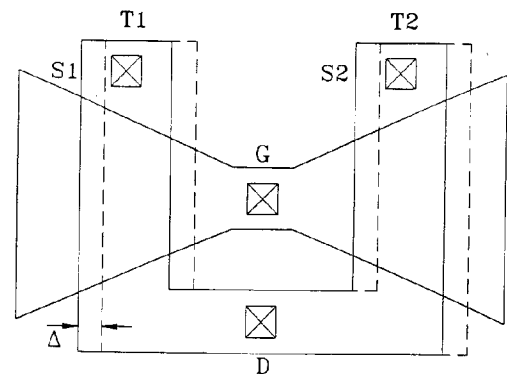


Figura 1

ES 2 042 382 B1

Aviso: Se puede realizar consulta prevista por el artº 37.3.8 LP.

DESCRIPCION

La fabricación de circuitos microelectrónicos se basa en la formación de diferentes capas una sobre la otra que posteriormente se graban mediante procedimientos fotolitográficos. Para asegurar la calidad del producto final es imprescindible que cada capa nueva quede precisamente alineada con las anteriores. Debido a la imperfección de los equipos empleados, siempre se producen pequeños errores que es preciso controlar. Al diseñar los circuitos ya se cuenta con un cierto desalineamiento y se deja un margen de error, de forma que las prestaciones finales no se resentan. Sin embargo, este hecho no exime de la necesidad de control de los desalineamientos.

La importancia de los errores de desalineamiento es cada vez mayor en la industria microelectrónica debido a la reducción de dimensiones. Para evaluar un proceso de alineamiento es necesario utilizar algún tipo de estructura que permita la lectura rápida de la magnitud buscada. En la práctica se utilizan diferentes sistemas de medida, tanto ópticos como eléctricos. Pero habrá que buscar aquel sistema que sea más preciso, más rápido, más fácilmente automatizable y menos sujeto a errores del operador.

Estado de la técnica

Para la medida de desalineamientos se han utilizado clásicamente las estructuras ópticas, tipo nonius. Su medida requiere la observación al microscopio por parte de un operador entrenado. Es un método de difícil automatización y sujeto a errores por fatiga del operador. Recientemente han aparecido equipos que, mediante sistemas de procesado de imágenes por ordenador, realizan de forma automática esta lectura. Sin embargo, son muy costosos y no pueden emplearse en capas que no ofrecen un buen contraste óptico.

La alternativa más interesante la constituyen las estructuras de test eléctrico. Son dispositivos especialmente diseñados para ser sensibles a la magnitud deseada, que puede ser extraída a partir de medidas eléctricas. Este tipo de medidas es muy simple de realizar, no exige equipos muy caros y son fácilmente automatizables. Se han diseñado diferentes estructuras de test para medir el desalineamiento entre niveles (I. J. Stemp, K. H. Nicholas y H.E. Brockman, Automatic Testing and analysis of Misregistration Found in Semiconductor Processing en IEEE Transactions on Electron Devices, vol. ED-26, num. 4 abril 1979 y M.G. Buehler y D. E. Sawyer, Microelectronic Test Patterns en Circuits Manufacturing, vol. 17, pág. 46-56. Febrero, 1977). Todas ellas se basan en variación de anchura o longitud de barrotos conductores, con lo que varía su resistencia total. Midiendo dicha resistencia, inyectando una corriente y midiendo la diferencia de potencial, es posible deducir la magnitud de desplazamiento de un nivel respecto al otro.

Estos tipos de estructuras se basan en la medida de diferencia de potencial, lo que representa una técnica poco precisa. La resolución típica es del orden de 100 μ V, mientras que en la medida de corrientes es fácil alcanzar una resolución del orden de 1pA. Por esta razón los sistemas basados en la medida de corriente son preferibles a los basados en tensiones.

La estructura patentada sirve para obtener el valor de desalineamiento entre los niveles de puerta y áreas activas en tecnologías MOS autoalineadas, por medio de medida de corrientes. Se basa en la diferencia de corriente que suministra un transistor MOS de puerta triangular al desplazarse dicha puerta respecto de la posición ideal diseñada.

Descripción

En su configuración básica, el dispositivo consiste en dos transistores MOS, T1 y T2, autoalineados con una puerta trapezoidal, dispuestos simétricamente y compartiendo los terminales de drenador, D, y puerta, G, y con dos terminales de fuente, S1 y S2, individuales, tal como se muestra en la figura 1. En dicha figura aparece una vista esquemática del dispositivo y dibujada en trazo punteado está la posición de las puertas para un desplazamiento Δ en la dirección del eje X.

Un desplazamiento del nivel de puerta con respecto al de áreas activas produce una variación de la longitud efectiva del canal que se traduce en una variación de la corriente de fuente a drenador para una polarización dada. Esta variación se produce en sentidos opuestos en cada uno de los dos transistores. La corriente aumenta en uno mientras que disminuye en el otro. De esta manera el error se puede determinar a través de su medida.

Para analizar el funcionamiento de la estructura estudiaremos primero las características corriente-tensión de un transistor con la puerta trapezoidal. Sean L_h y L_l las longitudes máxima y mínima del canal, W su anchura y β el ángulo que forma la puerta, tal como se muestra en la figura 2. La corriente de drenador de un transistor MOS en la región activa o de saturación, con una longitud de canal $L(x)$, variable viene dada por la expresión:

$$I_{DS} = \mu C_i \left[\int_0^w \frac{dx}{L(x)} \right] V_P^2$$

donde μ es la movilidad de los portadores, C_i es la capacidad por unidad de área de la puerta, y V_P es un término de polarización expresado por $V_P^2 = [(V_G - V_T)V_D - V_D^2/2]$ si $(V_G - V_T) > V_D$ o por $V_P^2 = (V_G - V_T)^2/2$ si $(V_G - V_T) < V_D$, siendo V_G la tensión aplicada al terminal de puerta respecto al de fuente, V_D la tensión aplicada al terminal de drenador respecto al de fuente y V_T , la tensión umbral del transistor.

La dependencia de la longitud del canal, $L(X)$, con su posición viene dada por

$$L(X) = L_H - \frac{L_H - L_L}{W} x$$

variando entre el máximo L_H y el mínimo L_L , de donde, substituyendo en la expresión de I_{DS} e integrando se obtiene

$$I_{DS} = \frac{\mu c_i W \ln(L_H/L_L)}{L_H - L_L} V_P^2$$

Si se produce un desalineamiento Δ en la dirección X, aparece en la puerta una variación en las dimensiones efectivas del canal. Llamaremos $l_H(\Delta)$ y $l_L(\Delta)$ a las dimensiones máxima y mínima del canal cuando existe un tal desalineamiento, como se muestra en la figura 2, con lo que vendrán expresadas por:

$$l_H(\Delta) = L(\Delta) = L_H - \frac{L_H - L_L}{W} \Delta = L_H - 2\Delta \tan\beta$$

$$l_L(\Delta) = L(\Delta + W) = L_L - \frac{L_H - L_L}{W} \Delta = L_L - 2\Delta \tan\beta$$

Y por tanto la corriente de drenador, en función del desalineamiento es:

$$I_{DS}(\Delta) = A \ln \frac{L_H - 2\Delta \tan\beta}{L_L - 2\Delta \tan\beta}$$

donde $A = \mu C_i W V_P^2 / (L_H - L_L)$.

Hay que hacer notar que un desalineamiento en la dirección Y no afecta a la corriente de drenador, por lo que las dos componentes de vector de desalineamiento quedan perfectamente desacopladas. Puesto que la estructura está compuesta por dos transistores dispuestos simétricamente, un desalineamiento en la dirección X se traduce en un transistor como $\Delta = d_x$, mientras que en el otro tenemos $\Delta = -d_x$, por lo que:

$$I_{DS1} = I_D(d_x) = A \ln \frac{L_H - 2d_x \tan\beta}{L_L - 2d_x \tan\beta}$$

$$I_{DS2} = I_D(-d_x) = A \ln \frac{L_H + 2d_x \tan\beta}{L_L + 2d_x \tan\beta}$$

Que constituye el sistema de ecuaciones fundamental de la estructura, del cual podemos despejar la incógnita que nos interesa, d_x . La otra incógnita del problema, que es la variable A, no interesa conocerla para el propósito de la estructura. Este sistema debe resolverse por métodos de cálculo numérico, sin embargo es posible encontrar soluciones aproximadas mediante desarrollos en serie de Taylor. Una expresión analítica sencilla para d_x es,

$$d_x = \frac{I_{D1} - I_{D2}}{I_{D1} + I_{D2}} \frac{L_H L_L}{2 \tan\beta} \frac{\ln(L_H/L_L)}{(L_H - L_L)}$$

Para un rango de variación $d_x \leq 2.5 \mu\text{m}$ la expresión anterior introduce un error menor del 0.1%. Utilizando más términos en el desarrollo de Taylor pueden conseguirse expresiones más precisas.

Para minimizar los errores introducidos conviene que los transistores sean grandes, lo cual además nos evita efectos de canal corto que restarían validez a las ecuaciones. Hay que resaltar que las expresiones anteriores son independientes del punto de polarización de los transistores, siempre que estos se encuentren en la región activa o de saturación.

La estructura completa, mostrada en la figura 3 está formada por dos pares de transistores, girado un par 90° respecto del otro, para poder medir simultáneamente d_x y d_y , es decir el desalineamiento en las direcciones X e Y.

Explicación de las figuras

- Figura 1: esquema simplificado de la estructura básica, en punteado se muestra la puerta con un desalineamiento respecto de la posición ideal.

- Figura 2: vista esquemática de un transistor MOS con la puerta triangular, indicándose las principales dimensiones del dispositivo.

- Figura 3: estructura completa con todos sus niveles superpuestos.

- Figura 4: nivel de áreas activas, campo oscuro.

- Figura 5: nivel de polisilicio, campo claro.

- Figura 6: nivel de contactos, campo oscuro.

- Figura 7: nivel de metal, campo claro.

- Figura 8: nivel de pasivación, campo oscuro.

Realización

La estructura de test puede realizarse en cualquier tecnología MOS, es decir, tanto en NMOS como en CMOS, que utilicen puerta de polisilicio y áreas activas autoalineadas. En la figura 3 se muestra la estructura completa con todos los niveles superpuestos, encuadrada en un rectángulo de $600 \mu\text{m}$ por $840 \mu\text{m}$. En las figuras 4 a 8 se muestra cada nivel por separado. Estos niveles son los mínimos imprescindibles para la realización de un transistor MOS, los niveles tecnológicos no indicados, no forman parte de la estructura. Estos niveles son:

- Nivel 2: áreas activas.

- Nivel 6: polisilicio.

- Nivel 9: contactos.

- Nivel 10: metal.

- Nivel 11: pasivación.

Tecnología de fabricación

La nueva estructura se ha fabricado en un circuito integrado mediante una tecnología NMOS/CMOS estándar. Los pasos esquemáticos de fabricación son:

- Oxidación inicial.

- Fotolitografía nivel 1 de pozo.

- Implantación iónica p^+ .

- Oxidación.

- Deposición LPCVD de Si_3N_4 para LOCOS.

- Fotolitografía nivel 2 de áreas activas.

- Grabado del Si_3N_4 .

- Fotolitografía nivel 3 de implantación de campo.

- Implantación iónica B^+ de campo.

- Oxidación de campo.

- Implantación de B^+ de ajuste del umbral.

- Fotolitografía nivel 4 de implantación de vaciamiento.

- Implantación de As^+ de vaciamiento.

- Oxidación de puerta.

- Fotolitografía nivel 5 de contactos enterrados.

- Deposición LPCVD y dopado de polisilicio para puertas.

- Fotolitografía nivel 6 de polisilicio.

- Oxidación.

- Fotolitografía nivel 7 de difusión N^+ .

- Implantación iónica del P^+ .

- Fotolitografía nivel 8 de difusión P^+ .

- Implantación iónica de B^+ .

- Deposición óxido internivel.

- Fotolitografía nivel 9 de contactos.

- Deposición de aluminio.

- Fotolitografía nivel 10 de metal.

- Deposición de óxido de pasivación.

- Fotolitografía nivel 11 de pasivación.

Aplicaciones

La nueva estructura se emplea para la medida eléctrica del desalineamiento entre el nivel de áreas activas y el de puerta de polisilicio, en tecnologías NMOS/CMOS autoalineadas.

REIVINDICACIONES

1. Estructura de test para la medida del desalineamiento entre niveles en tecnologías microelectronicas, basada en transistores MOS con puerta, triangular, **caracterizada** porque utiliza la diferencia de corriente que suministra un transistor MOS de puerta triangular de desplazarse dicha puerta respecto a una posición ideal diseñada.

2. Estructura de test según reivindicación 1,

caracterizada porque está compuesta de dos parejas de transistores con puerta triangular, dispuestos según las direcciones de los ejes +X, -X, +Y y -Y, y seis terminales de medida, en la que el valor de desalineamiento es calculado mediante la medida de la corriente que atraviesa cada uno de los transistores al polarizarlos en la zona lineal.

3. Estructura de test según reivindicaciones anteriores **caracterizada** porque utiliza transistores MOS de puerta triangular, de polisilicio y autoalineados.

15

20

25

30

35

40

45

50

55

60

65

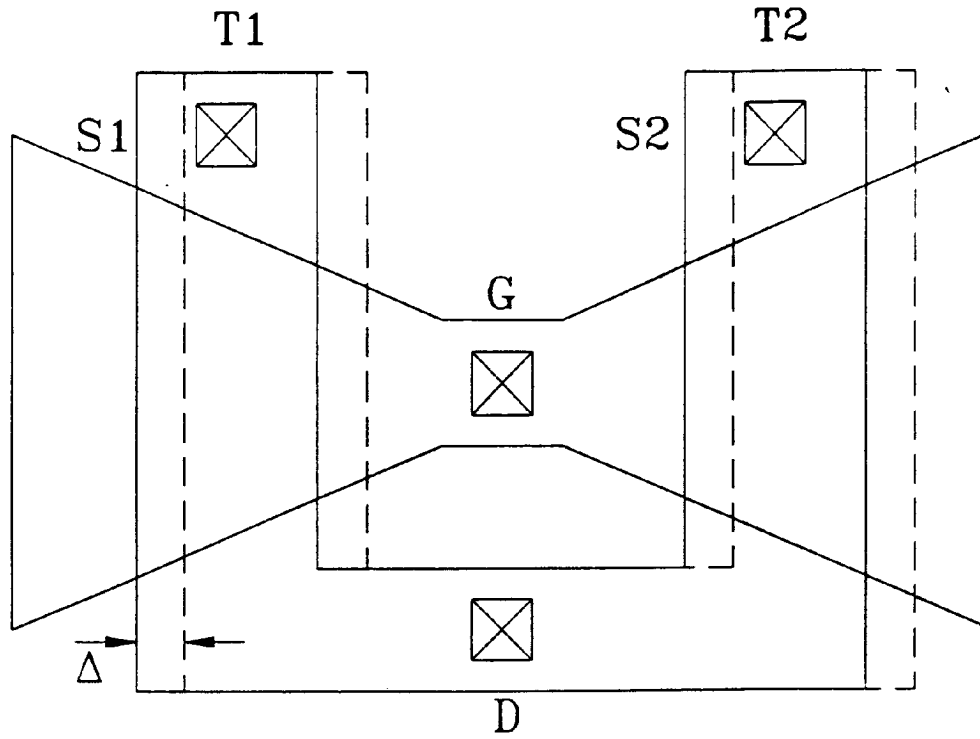


Figura 1

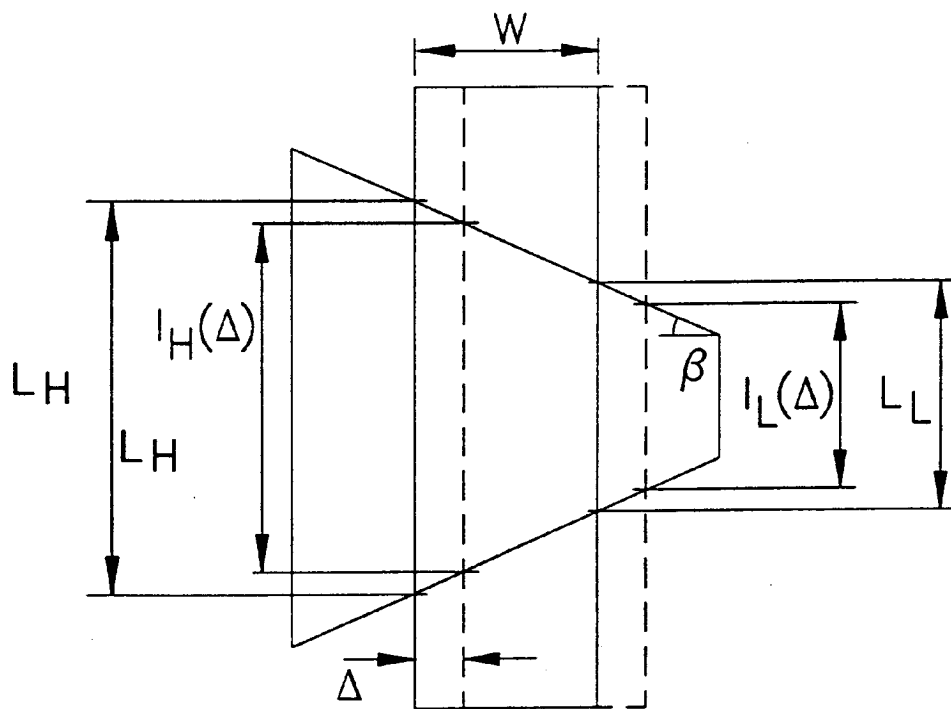


Figura 2

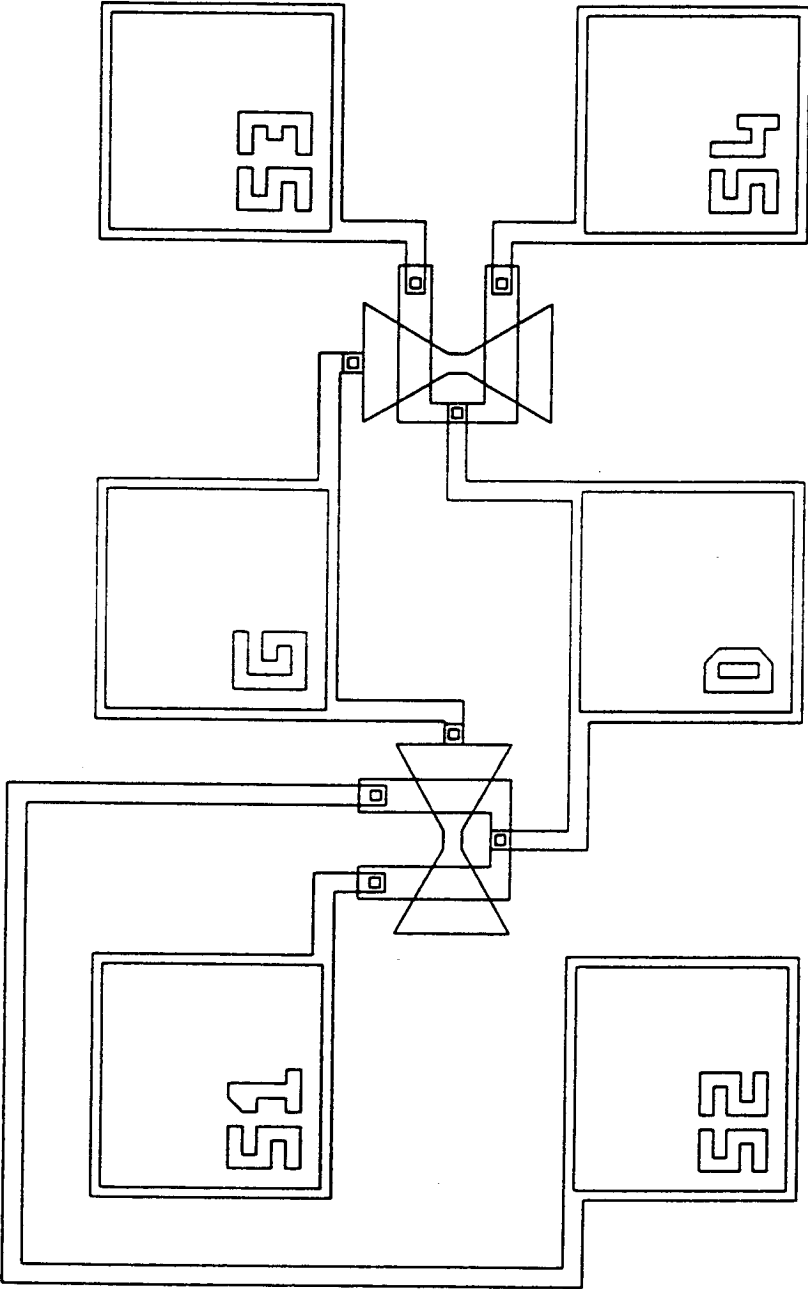


Figura 3

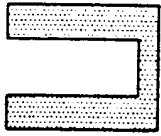
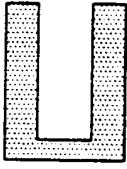


Figura 4

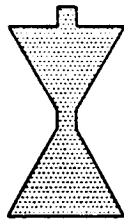
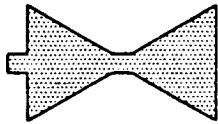
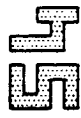
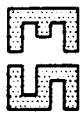


Figura 5



Figura 6

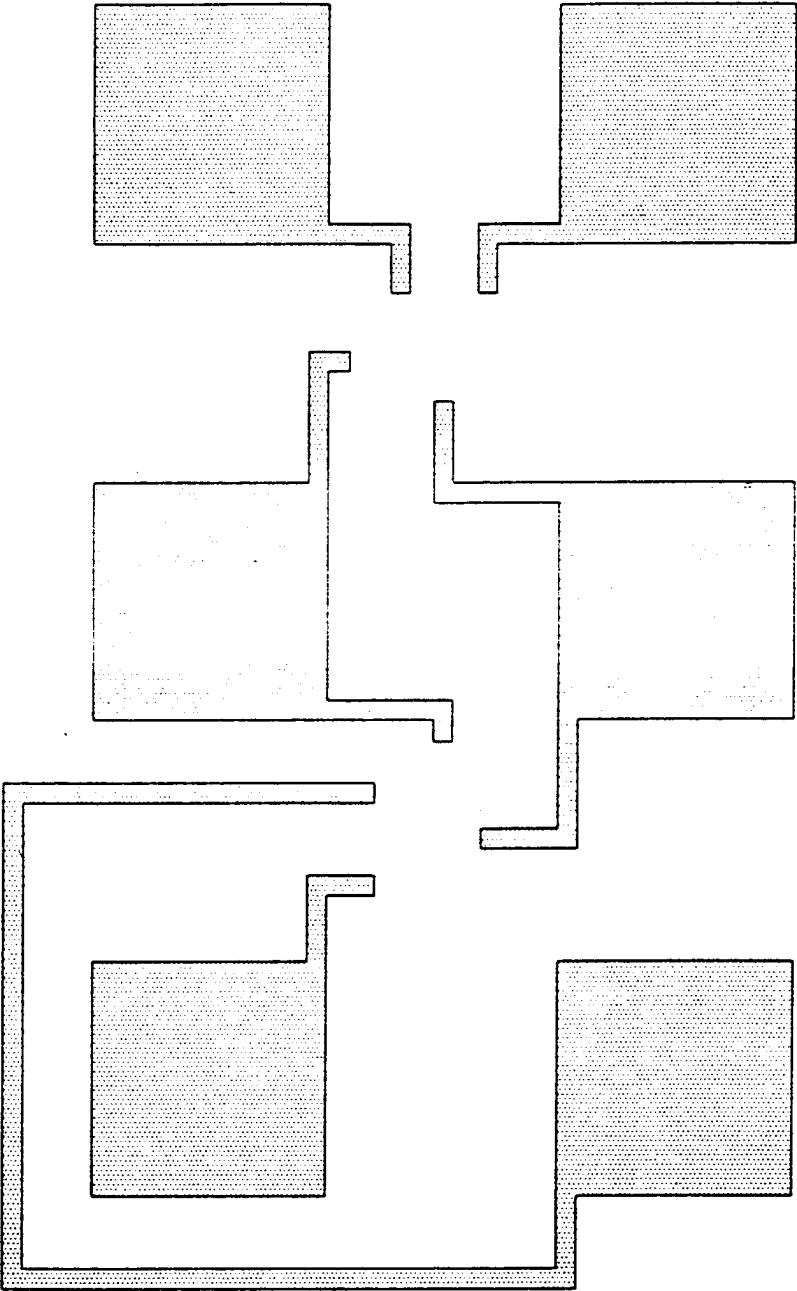


Figura 7

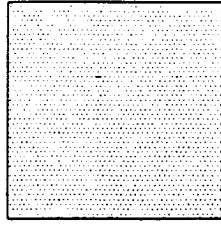
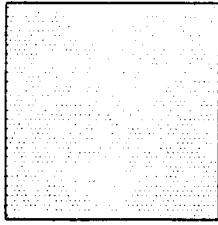


Figura 1

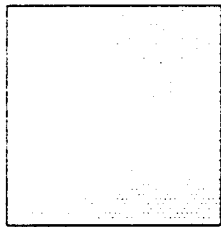
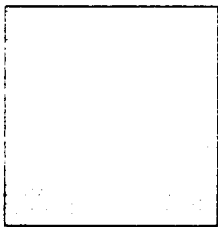


Figura 2

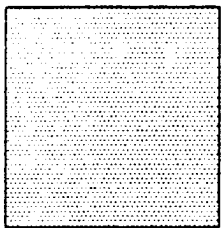
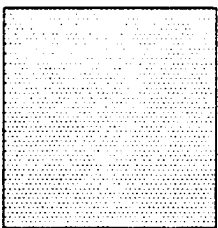


Figura 8



INFORME SOBRE EL ESTADO DE LA TECNICA

⑮ Int. Cl.⁶: G01R 31/26, 31/30, H01L 21/72

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	BASE DE DATOS WPIL en QUESTEL. Semana 7906. Londres: Derwent Publications Ltd. AN 79-B2303B. Class U12 RH6 SU-598159-A (UFA AVIATION INST), resumen	1,3
A	EP-370834-A (NEC CORPORATION) 30.05.90 * Reivindicación 1 *	2
A	US-4647850-A (BURROUGHS CORPORATION) 03.03.87 * Columna 2, líneas 5-29 *	2
A	EP-80619-A (IBM CORPORATION) 08.06.83 * Páginas 3,4 *	2
A	US-4386459-A (BELL TELEPHONE LABORATORIES) 07.06.83 * Columna 2, líneas 15-59 *	2

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones n.º:

Fecha de realización del informe
20.06.95

Examinador
E. Martín Pérez

Página
1/1