



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



① Número de publicación: **2 299 298**

② Número de solicitud: 200501833

⑤ Int. Cl.:
B81C 1/00 (2006.01)
B81B 7/00 (2006.01)
H01L 21/77 (2006.01)

⑫

SOLICITUD DE PATENTE

A1

② Fecha de presentación: **21.07.2005**

④ Fecha de publicación de la solicitud: **16.05.2008**

④ Fecha de publicación del folleto de la solicitud:
16.05.2008

⑦ Solicitante/s: **Universitat Autònoma de Barcelona
Area I+D - Edifici A
Campus Universitari, s/n
08193 Bellaterra, Barcelona, ES
Consejo Superior de Investigaciones Científicas**

⑦ Inventor/es: **Barniol Beumala, Núria;
Villarroya Gaudó, María;
Abadal Berini, Gabriel;
Verd Martorell, Jaume;
Esteve Tintó, Jaume;
Figueras Costa, Eduard;
Pérez Murano, Francesc y
Campabadal, Francesca**

⑦ Agente: **No consta**

⑤ Título: **Procedimiento de integración monolítica de materiales de alta calidad mecánica con circuitos integrados para aplicaciones MEMS/NEMS.**

⑤ Resumen:

Procedimiento de integración monolítica de materiales de alta calidad mecánica con circuitos integrados para aplicaciones MEMS/NEMS.

Comprende utilizar para la formación de dicha circuitería electrónica y de dichos sistemas micro/nano-electromecánicos, una estructura de al menos tres capas:

- una inferior o de base destinada a ser utilizada para formar dichos circuitos electrónicos;
- una capa intermedia aislante; y
- una capa superior destinada a formar, al menos en parte, dichos MEMS/NEMS.

Dicha estructura de al menos tres capas es un sustrato, tal como un sustrato SOI, cuyas capas están unidas entre sí previamente a la formación en las mismas tanto de los citados circuitos electrónicos como de los referidos MEMS/NEMS, definiéndose en primer lugar unas zonas de dichas capas superior en intermedia donde se desean formar dichos MEMS/NEMS, y eliminándose el resto de dichas capas para poder acceder a la capa inferior y poder formar la circuitería electrónica mediante técnicas convencionales.

ES 2 299 298 A1

DESCRIPCIÓN

Procedimiento de integración monolítica de materiales de alta calidad mecánica con circuitos integrados para aplicaciones MEMS/NEMS.

Campo de la invención

La presente invención se refiere a un procedimiento de fabricación de circuitos integrados caracterizado por una técnica de preparación de las obleas para su uso en procesos de fabricación de sistemas micro/nano-electromecánicos (MEMS/NEMS) compatibles con la fabricación de circuitería electrónica, tal como circuitería CMOS estándar.

Antecedentes de la invención

La solicitud de patente US 2004227201 por "Modules integrating MEMS devices with pre-processed electronic circuitry and methods for fabricating such modules" describe circuitería CMOS con MEMS sobre SOI. La patente propone fabricar un módulo MEMS conforme a una estructura de capas que puede ser una estructura SOI y lo unen adhesivamente a baja temperatura con un sustrato que puede ser un sustrato con circuitería CMOS integrada.

Los inventores han tenido asimismo conocimiento de los siguientes artículos relacionados con el objeto de la invención:

- T.J.Brosnihan *et al.*, *Embedded Interconnect and Electrical Isolation for High-Aspect Ratio, SOI Inertial Instruments*, Transducers 97, 637-640 (Chicago, 1997)

Se parte de una oblea SOI, en la que tras un pre-proceso se definen una parte de la capa de silicio SOI para formar el MEMS y la otra parte de la misma capa para definir el CMOS.

- T.J.Brosnihan *et al.*, *Optical MMEMS® - a fabrication process for MEMS optical switches with integrated on-chip electronics*. Transducers'03, 1638-1642, Boston (2003).

Se describe el uso de tecnología SOI de unión para definir sustratos con tres capas de silicio cristalino, el CMOS se realiza en la última capa.

A diferencia del procedimiento descrito en la citada patente US 2004227201 en la presente invención se parte de un sustrato comercial sobre el cual se definen tanto la circuitería CMOS como el dispositivo MEMS, no necesitando ningún tipo de soldadura.

En relación a las enseñanzas de los artículos, en la invención que se describirá a continuación no se necesita una tecnología CMOS compatible con SOI, puesto que el CMOS se integra en el silicio de sustrato

Exposición de la invención

La presente invención se refiere a la integración monolítica de materiales de alta calidad mecánica para aplicaciones MEMS, más en particular a un procedimiento apto para la fabricación de circuitos integrados combinan circuitería electrónica y MEMS/NEMS.

Conforme a la presente invención, se parte de sustratos comerciales tipo SOI (del inglés Silicon On Insulator: silicio sobre aislante). La oblea que hace de sustrato debe ser de silicio y tendrá las características eléctricas adecuadas para la fabricación del CMOS mientras que el grosor del óxido aislante y grosor del silicio que conforman la estructura SOI se eligen en función del micro/nano-sistema que se quiera realizar. Esta última capa que servirá para fabricar el micro/nano-sistema puede ser de silicio u otra capa de material a condición que sea compatible con los procesos de fabricación CMOS (silicio, SiC, zafiro,...).

Según el procedimiento que se propone, mediante un proceso previo a las etapas de fabricación de la circuitería CMOS, se prepara la oblea definiendo o seleccionando unas determinadas zonas destinadas a la fabricación de las estructuras dimensiones micro o nanométricas y mediante técnicas de grabado (seco o húmedo) se eliminan posteriormente las capas extras de la oblea para preparar el silicio sustrato para la fabricación CMOS.

Con este procedimiento la fabricación CMOS no se ve alterada por lo que no es necesario modificar las líneas de fabricación establecidas en una "foundry" (fabricación convencional -diseño y métodos de fabricación- de circuitería CMOS por dopaje).

Como proceso final, tras las etapas CMOS estándar de la tecnología seleccionada, se fabrica el transductor o transductores mecánicos, tales como: sensores químicos, sensores bioquímicos, sensores de masa, transductores ultrasónicos, espejos para enlaces ópticos y componentes de radiofrecuencia, entre los que se encuentran resonadores, filtros y osciladores.

Esta nueva tecnología permite la utilización de capas estructurales y sacrificiales para el transductor mecánico independientes de la tecnología CMOS utilizada. Así se pueden seleccionar materiales con características mecánicas apropiadas para cada aplicación, lo que hace muy versátil esta técnica.

5 Breve descripción de los dibujos

Las anteriores y otras ventajas y características se comprenderán más plenamente a partir de la siguiente descripción de los dibujos adjuntos, que reflejan la transformación de una oblea SOI virgen antes de aplicar el procedimiento propuesto y el resultado obtenido tras dicha aplicación.

10

En dichos dibujos:

la Fig. 1 muestra mediante dos vistas, una en planta y otra en alzado, una oblea SOI utilizable para la formación de circuitería electrónica y de MEMS/NEMS según el procedimiento propuesto por la presente invención,

15 y

la Fig. 2 muestra una sección ampliada de la oblea de la Fig. 1 previa y su transformación una vez ha sido utilizada para fabricar circuitos integrados según el procedimiento propuesto por la presente invención.

20 Descripción de los dibujos como base de la invención

La presente invención concierne a un procedimiento de fabricación de circuitos integrados con circuitería electrónica y MEMS/NEMS, del tipo que comprende utilizar para la formación de dicha circuitería electrónica y de dichos sistemas micro/nano-electromecánicos, una estructura de al menos tres capas, tal como la estructura SOI ilustrada por la Fig. 1:

25

- una inferior o de base destinada a ser utilizada para formar dichos circuitos electrónicos;
- una capa intermedia aislante; y
- una capa superior destinada a formar, al menos en parte, dichos MEMS/NEMS.

30

El procedimiento propuesto por la presente invención está caracterizado porque dicha estructura de al menos tres capas es un sustrato cuyas capas están unidas entre sí previamente a la formación en las mismas tanto de los citados circuitos electrónicos como de los referidos MEMS/NEMS, formándose preferentemente estos últimos entre la capa superior y la capa intermedia.

35

En la Fig. 1 se muestra una oblea SOI de diámetro d_{obl} , donde pueden apreciarse las tres capas citadas, con sus respectivos grosores t_{sub} , t_{ox} y t_{si} indicados, los cuales han sido escogidos de manera que sean adecuados para la formación de la circuitería CMOS, en el caso de la capa base, y adecuados para la formación de los MEMS/NEMS, en el caso de las otras dos capas.

40

Las características eléctricas de las capas son las adecuadas para los componentes que van a ser formados en ellas, no necesitando por tanto que, por ejemplo la capa inferior, en general consistente en un sustrato de silicio, reúna unas características eléctricas adecuadas para la formación de la circuitería CMOS y también de los MEMS/NEMS, sino única y específicamente para la formación de la circuitería CMOS.

45

El procedimiento propuesto por la presente invención comprende, en primer lugar definir unas zonas donde se pretenden formar los MEMS/NEMS, tanto de la capa superior como, preferentemente, también de la intermedia, tras lo cual se eliminan el resto de ambas capas, es decir las partes no comprendidas en dichas zonas seleccionadas, dejando así acceso a la capa de base para proceder a un tratamiento de dicha capa base o sustrato para formar en la misma los citados circuitos electrónicos mediante técnicas convencionales.

50

En la Fig. 2 puede apreciarse un trozo de una oblea SOI antes (imagen superior) y después (imagen inferior) de la formación de la circuitería electrónica y los MEMS/NEMS.

55

Las tres capas básicas necesarias para la aplicación del procedimiento propuesto, se han indicado en dicha Fig. 2 como SiO_2 la intermedia, y como Si las otras dos, aunque cada una de dichas capas de silicio no serán necesariamente iguales sino, como se ha apuntado arriba, de las características eléctricas adecuadas para la fabricación de circuitería CMOS, la inferior, y de los MEMS/NEMS, la superior.

60

En la imagen inferior de la Fig. 2 puede observarse un componente CMOS formado en la capa inferior mediante un pozo definido en dicha capa inferior de silicio, un MEMS/NEMS definido en la capa superior de silicio soportado en parte por la capa de óxido intermedia SiO_2 , y en parte en voladizo debido a la eliminación de parte de dicha capa intermedia, con el fin de que el MEMS/NEMS pueda moverse mecánicamente.

65

Se muestran otra serie de elementos y capas en dicha Fig. 2, tales como los correspondientes a las conexiones eléctricas (mostradas en sección) que conectan los MEMS/NEMS con la circuitería CMOS, así como una capa de

ES 2 299 298 A1

pasivación posteriormente superpuesta sobre las zonas del circuito integrado que ocupa la circuitería CMOS, dejando al aire el MEMS/NEMS ilustrado, o gran parte de él.

5 La imagen inferior de la Fig. 2 solamente ilustra un ejemplo de realización de un circuito integrado conseguido mediante la aplicación del procedimiento propuesto, pero un experto en la materia podría conseguir realizar circuitos integrados distintos al ilustrado sin salirse del alcance de la invención según está definido en las reivindicaciones adjuntas.

10

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Procedimiento de fabricación de circuitos integrados con circuitería electrónica y MEMS/NEMS, del tipo que comprende utilizar para la formación de dicha circuitería electrónica y de dichos sistemas micro/nano-electromecánicos, una estructura de al menos tres capas:

- una inferior o de base destinada a ser utilizada para formar dichos circuitos electrónicos;
- una capa intermedia aislante; y
- una capa superior destinada a formar, al menos en parte, dichos MEMS/NEMS,

estando dicho procedimiento **caracterizado** porque dicha estructura de al menos tres capas es un sustrato cuyas capas están unidas entre sí previamente a la formación en las mismas tanto de los citados circuitos electrónicos como de los referidos MEMS/NEMS.

2. Procedimiento según la reivindicación 1, **caracterizado** porque comprende la definición de unas zonas seleccionadas en al menos dicha capa superior destinadas a la formación de dichos MEMS/NEMS.

3. Procedimiento según la reivindicación 2, **caracterizado** por la eliminación de parte de la citada capa superior no comprendida en dichas zonas seleccionadas.

4. Procedimiento según la reivindicación 3, **caracterizado** porque dicha eliminación se realiza por una técnica de grabado.

5. Procedimiento según la reivindicación 4, **caracterizado** porque dicha técnica de grabado es una técnica de grabado en seco o en húmedo.

6. Procedimiento según la reivindicación 3, **caracterizado** porque comprende la definición de unas zonas seleccionadas en al menos dicha capa intermedia y la eliminación de una parte de dicha capa intermedia no delimitada en dichas zonas seleccionadas, dejando acceso a la capa de base para proceder a un tratamiento de dicha capa base o sustrato para formar en la misma los citados circuitos electrónicos.

7. Procedimiento según la reivindicación 6, **caracterizado** porque para al menos uno de dichos MEMS/NEMS la zona de la capa intermedia situada por debajo de la capa superior la cual configurará, al menos en parte, dicho MEMS/NEMS es de una extensión menor.

8. Procedimiento según la reivindicación 6, **caracterizado** porque para al menos uno de dichos MEMS/NEMS la zona de la capa intermedia situada por debajo de la capa superior la cual configurará, al menos en parte, dicho MEMS/NEMS es de una extensión igual.

9. Procedimiento según la reivindicación 6, **caracterizado** porque para al menos uno de dichos MEMS/NEMS la zona de la capa intermedia situada por debajo de la capa superior la cual configurará, al menos en parte, dicho MEMS es de una extensión superior.

10. Procedimiento según una cualquiera de las reivindicaciones anteriores en donde dicha capa intermedia es una capa sacrificial y porque en base a al menos una parte de la misma se obtiene la formación de dichos MEMS/NEMS junto con dicha capa superior.

11. Procedimiento según una cualquiera de las reivindicaciones anteriores, **caracterizada** porque dicha capa de base o sustrato es de Silicio.

12. Procedimiento según una cualquiera de las anteriores reivindicaciones **caracterizado** porque dicha capa intermedia es un óxido.

13. Procedimiento según la reivindicación 12, **caracterizado** porque dicha capa superior es de un material escogido entre el grupo que comprende Si, SiC o zafiro.

14. Procedimiento según la reivindicación 12, **caracterizado** porque dicho sustrato es una estructura SOI en la forma de una oblea.

15. Procedimiento según la reivindicación 11 **caracterizado** porque dicha circuitería electrónica formada en dicho sustrato es circuitería CMOS.

16. Procedimiento según la reivindicación 1, **caracterizado** porque dichos MEMS/NEMS son al menos uno del grupo formado por los siguientes elementos: sensores químicos, sensores bioquímicos, sensores de masa, transductores ultrasónicos y componentes de radiofrecuencia, entre los que se encuentran resonadores, filtros y osciladores.

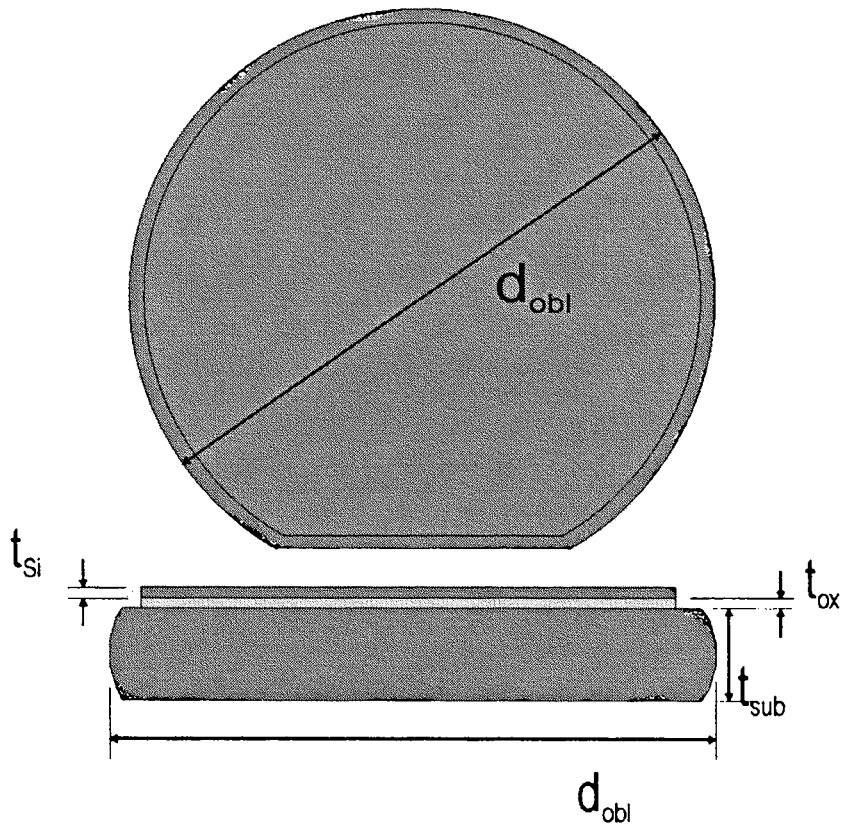


Fig. 1

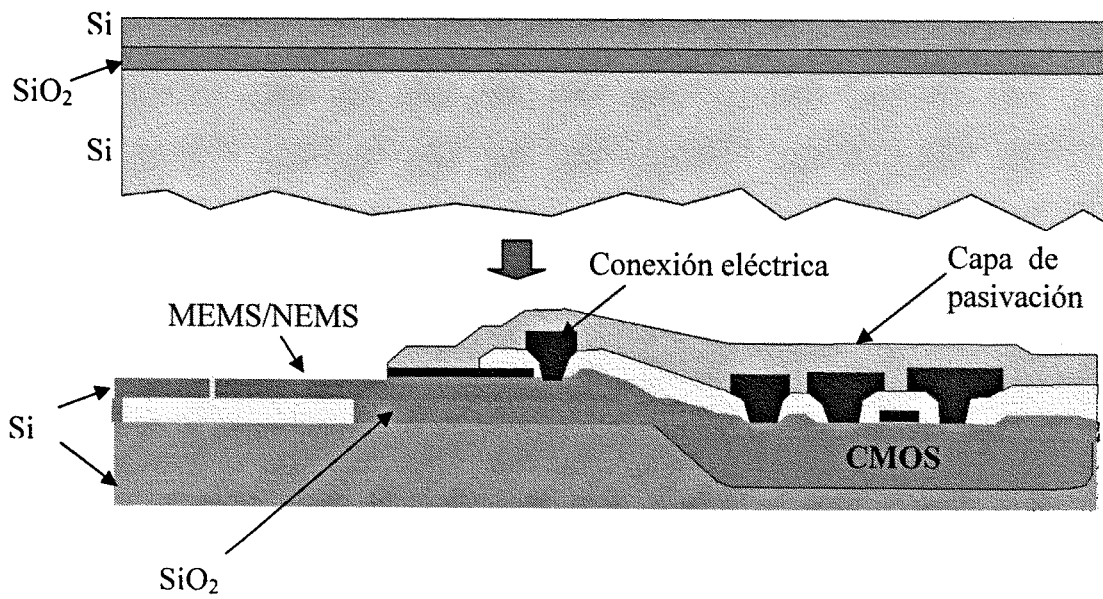


Fig. 2



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① ES 2 299 298

② Nº de solicitud: 200501833

③ Fecha de presentación de la solicitud: 21.07.2005

④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.: Ver hoja adicional

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
X	WO 2004071943 A2 (KONINKL PHILIPS ELECTRONICS NV; BOEZEN HENDRIK; DEN HARTOG) 26.08.2004, página 1, líneas 1-20; página 8, línea 12 - página 9, línea 10; reivindicación 1.	1-16
A	EP 1452481 A2 (DALSA SEMICONDUCTOR INC) 01.09.2004, párrafos [22-23],[57-61],[74],[88]; figura 11.	1-16
A	WO 2005017972 A2 (DRAPER LAB CHARLES S; SAWYER WILLIAM D; BORENSTEIN JEFFREY T) 24.02.2005, descripción; figuras.	1-16
A	WO 03076330 A2 (CORNELL RES FOUNDATION INC; KORNEGAY KEVIN; ATWELL ANDREW) 18.09.2003, página 4, línea 1 - página 9, línea 18; figura 2.	1-16

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe

08.04.2008

Examinador

E. Pina Martínez

Página

1/2

CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

B81C 1/00 (2006.01)

B81B 7/00 (2006.01)

H01L 21/77 (2006.01)