



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



① Número de publicación: **2 129 004**

② Número de solicitud: 009701930

⑤ Int. Cl.⁶: G01N 29/06
G01N 29/22

⑫

PATENTE DE INVENCION

B1

⑫ Fecha de presentación: **12.09.1997**

⑬ Fecha de publicación de la solicitud: **16.05.1999**

Fecha de concesión: **23.11.1999**

⑮ Fecha de anuncio de la concesión: **01.01.2000**

⑯ Fecha de publicación del folleto de patente:
01.01.2000

⑰ Titular/es: **Consejo Superior de
Investigaciones Científicas
Serrano, 117
28006 Madrid, ES**

⑱ Inventor/es: **Anaya Velayos, José Javier;
Fritsch Yusta, Carlos;
Sánchez Martín, Teresa;
Parrilla Romero, Montserrat;
García Izquierdo, Miguel Angel y
Martínez Gravillera, Oscar**

⑲ Agente: **No consta**

⑳ Título: **Sistema de ensayos no destructivos de arquitectura segmentada (SENDAS).**

㉑ Resumen:

Sistema de ensayos no destructivos de arquitectura segmentada (SENDAS).

El objeto de esta patente es la definición de una arquitectura para la realización de sistemas de ensayos no destructivos por ultrasonidos. Esta arquitectura permite que todo el procesamiento tanto analógico como digital y la extracción de la información de las señales se realice de forma paralela y al mismo tiempo que la admisión, mejorando la calidad de las adquisiciones y manteniendo altas velocidades de inspección. Esta característica lo diferencia de los sistemas actuales que, o bien, realizan un procesamiento únicamente analógico, o realizan una secuencia de procesamientos digitales una vez adquiridas y almacenadas las señales.

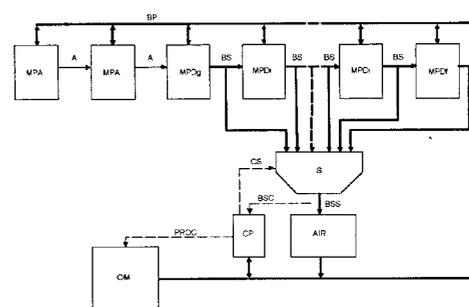


Figura. 1. Esquema de la arquitectura SENDAS.

Aviso: Se puede realizar consulta prevista por el artº 37.3.8 LP.

Venta de fascículos: Oficina Española de Patentes y Marcas. C/Panamá, 1 - 28036 Madrid

ES 2 129 004 B1

DESCRIPCION

Sistema de ensayos no destructivos de arquitectura segmentada (SENDAS).

Sector de la técnica

Se encuadra dentro de las tecnologías físicas específicamente en los ensayos no destructivos mediante ultrasonidos (ENDUS).

Estado de la técnica

Durante los últimos años, los métodos de Evaluación No Destructiva (END) de materiales y, estructuras, han pasado a ser práctica común en numerosos ambientes industriales. Estas técnicas permiten determinar la calidad de un determinado producto en cuanto a ciertas propiedades físicas, generalmente mecánicas. A diferencia de los ensayos destructivos, que obligan a que los controles de calidad sean de tipo estadístico, los métodos END posibilitan que la totalidad de las piezas fabricadas sean inspeccionadas, así como efectuar revisiones periódicas a lo largo de su vida útil. En casi todos los sectores industriales, de forma directa o indirecta, se requieren métodos de ensayo no destructivo para garantizar ciertas características de los productos o del propio proceso productivo.

Las técnicas ultrasónicas destacan como las más ampliamente utilizadas para la detección de defectos (grietas, delaminaciones, fisuras, poros, etc.) en materiales o estructuras que requieran un alto grado de seguridad o calidad. Entre las ventajas que presentan frente a otras técnicas (corrientes inducidas, líquidos penetrantes, rayos X, etc.) cabe destacar: la posibilidad de detección y evaluación de defectos en el interior de los materiales con una radiación no ionizante, la de utilizar ondas elásticas para estimar parámetros mecánicos y la repetibilidad de sus resultados. También presenta algunas dificultades ligadas a la naturaleza de las ondas ultrasónicas (US) y que intentan resolverse mediante un continuado avance en las técnicas de procesamiento de señales.

En la industria, es todavía frecuente encontrar inspecciones por pulso-eco basadas en la mera inspección manual y observación directa de las señales US. Esto es así porque son fáciles de obtener por un sencillo procesamiento analógico, en cambio, la evaluación es subjetiva y requiere atención permanente de un operario experto en interpretar señales complejas. Por ello, la eficacia de estos métodos es muy baja y el coste de la inspección muy alto.

Hoy día se tiende a basar las inspecciones en imágenes ultrasónicas 2D y/o 3D, adquiridas por procedimientos automáticos. La resolución espacial medida en puntos/mm, y el tamaño de la pieza determinan el número de puntos que componen una imagen. Ciertas inspecciones de piezas grandes pueden contener varias decenas de millones de puntos (p.e un ala de avión que mide 20m x 3m, inspeccionada con una resolución de un punto/mm, requiere adquirir 60 millones de trazas de 1000 datos cada una).

En la mayoría de los sistemas ultrasónicos se tiende a utilizar en lo posible el procesamiento analógico de las señales debido a que son más sencillas y permiten mantener grandes velocidades de inspección [Nagamune et al. "Ultrasonic inspec-

tion system for tubular products using real-time digital processing". NDT&E International, Vol. 28, N° 5, 1995]. Por otro lado, son conocidas las ventajas que proporciona el procesamiento digital de las señales para obtener imágenes acústicas de mejor calidad y aumentar la fiabilidad de las inspecciones END [McRae et al. "Signal processing applications to the in-service inspection of a CF-18 aircraft" Review of Progress in Quantitative Nondestructive Evaluation, Vol 11, pp. 2241-2248, 1992]. El principal inconveniente a resolver radica en la determinación de métodos y arquitecturas capaces de realizar este procesamiento de manera que se alcancen las velocidades de inspección requeridas por las aplicaciones industriales (típicamente 5000 adquisiciones/s). En estas condiciones, resulta sumamente difícil incorporar funciones de procesamiento digital de señal sin ralentizar el proceso. De este modo, la solución convencional se limita a registrar muy pocos parámetros de la señal entregada por los transductores, con frecuencia reducidos al valor máximo de la señal y su posición en el tiempo [Hillgert, "Ultrasonic imaging of damages in CFRP-laminates", Acustical Imaging, vol. 19, pp 575-579, 1992].

Sin embargo, es bien conocido que existe una gran cantidad de métodos, desarrollados a lo largo de muchos años, que podrían ser utilizados con la finalidad de mejorar el contenido de información de las señales y la calidad de las imágenes acústicas obtenidas, pero cuyo uso queda en la práctica restringido a la experimentación científica [Benoist et al. "CIVA workstation for NDE: Mixing of NDE techniques and modeling". Review of Progress in Quantitative Nondestructive Evaluation, Vol 14. pp 2353-2360, 1995]. Considerando que cada segundo deben obtenerse y procesarse miles de señales, cada una de ellas compuesta por miles de muestras, un sistema de procesamiento digital de señales utilizable en aplicaciones ENDUS debería ser capaz de tratar varios millones de muestras por segundo. Por otra parte, al no existir ningún procedimiento universal, deben aplicarse diferentes técnicas de entre un conjunto de métodos generales y específicos para las señales ultrasónicas: filtrados digitales, deconvolución, filtrado espacial, focalización de haces, eliminación de ruido impulsivo, extracción digital de envolvente, reducción de datos, detección múltiple de picos, etc.

Los sistemas más avanzados tecnológicamente, que incorporan alguno de los procesamientos digitales antes mencionados, se basan en digitalizar las señales, transferirlas a memoria y tratarlas bien en procesadores convencionales [Benoist et al. "Spartacus: a new system of data acquisition and processing for ultrasonic examination". Review of Progress in Quantitative Nondestructive Evaluation, Vol. 11, pp. 2209-2215, 1992] o bien en procesadores digitales de señal [Sistema SONIX STR*8100D+SONIX SDC-5600. <http://www.access.digex.net/~gshotts/SONIX/sonix.html>], [Sistemas Krautkramer y otros. http://www.ultrasonic/article/report/seattle/q_show.htm].

Descripción de la invención

Breve descripción de la invención

El objeto de esta patente es la definición de una arquitectura para la realización de sistemas

de ensayos no destructivos por ultrasonidos. Esta arquitectura permite que todo el procesamiento tanto analógico como digital y la extracción de la información de las señales se realice de forma paralela y al mismo tiempo que la adquisición, mejorando la calidad de las adquisiciones y manteniendo altas velocidades de inspección. Esta característica lo diferencia de los sistemas actuales que, o bien, realizan un procesamiento únicamente analógico, o realizan una secuencia de procesamientos digitales una vez adquiridas y almacenadas las señales.

Se ha definido una arquitectura segmentada que permite un procesamiento en paralelo y que ofrece, principalmente, las siguientes ventajas:

Sencillez: El conjunto de algoritmos demandados por una aplicación pueden descomponerse en partes cuya realización es más simple, a la vez que permite su operación concurrente.

Flexibilidad: Una determinada aplicación puede hacer uso de un subconjunto de las funciones desarrolladas mediante su simple inserción en la cadena de procesamiento. Este aspecto se puede afianzar con la definición de estándares mecánicos y eléctricos.

Velocidad: En un sistema SENDAS con procesamientos paralelos, el tiempo de cálculo corresponderá al procesamiento más lento, y no a la suma de todos ellos como en sistemas de procesamiento secuencial los únicos que se utilizan actualmente. Mediante esta arquitectura se resuelven las dos principales limitaciones de la velocidad en los sistemas convencionales: la capacidad de procesamiento y volumen de transferencia de datos.

Capacidad de evolución: Aspecto fundamental dado el rápido desarrollo de la tecnología microelectrónica. Cada función elemental puede ser adaptada rápidamente a las nuevas disponibilidades tecnológicas sin afectar al resto de componentes. Asimismo, pueden incorporarse nuevas funciones de procesamiento conforme vayan siendo obtenidas como resultado de trabajos de investigación.

Descripción detallada de la invención.

La arquitectura SENDAS realiza un procesamiento encauzado segmentado en diferentes módulos independientes, que se relacionan mediante dos tipos de buses: bus de programación y bus de señal. Simultáneamente, al procesamiento de la señal es posible realizar un seguimiento del flujo de datos procesados. Esto permite el control del proceso y la obtención de resultados parciales que facilitan la depuración de los diferentes algoritmos de procesamiento implementados en la arquitectura. La Figura 1 muestra un esquema de la arquitectura SENDAS que está basada en los siguientes elementos:

1. Bus de programación (BP)
2. Bus de señal (BS).
3. Control del proceso (CP) y almacenamiento intermedio de resultados (AIR).

4. Módulos de procesamiento analógicos (MPA) y digitales (MPDg, MPDi y MPDf).

Los tres primeros elementos se deberán incluir físicamente en una tarjeta o placa base del sistema. Los módulos de procesamiento de funcionamiento independiente se insertarán en la placa base, constituyendo la cadena de procesamiento necesaria para cada aplicación. La definición y funcionamiento de cada uno de estos elementos se expone en los siguientes apartados:

Bus de programación

Permite enviar los parámetros necesarios para configurar los distintos módulos de procesamiento y extraer los resultados obtenidos en los mismos. Es un *bus* paralelo asíncrono monoprocesador y al menos deberá incluir las siguientes señales:

- Direcciones: Permiten seleccionar los registros y las memorias que se incluyan en el sistema.
- Datos: Mediante estos datos se enviarán los diferentes parámetros necesarios para la programación de los procesamientos y se recogerán los resultados.
- Señales de validación de los datos y direcciones en escritura y lectura.
- Señal de inicialización de los módulos insertados en el bus de programación.
- Finalmente líneas de masa y de alimentación.

El control de este *bus* lo realiza un procesador convencional que actúa como ordenador maestro (OM). Este procesador puede ser desde un microcontrolador al microprocesador de la estación de trabajo o PC donde esté incluido el sistema.

Bus de señal

Es un *bus* segmentado y síncrono que conecta cada módulo con el que le sigue en la cadena de procesamiento digital, por lo que se encuentra segmentado en tantos trozos como módulos de procesamiento digital haya. Mediante este *bus* los módulos envían sus datos ya procesados al siguiente de la cadena. De esta manera el procesamiento se realiza de forma paralela en todos los módulos. Debe incluir una señal o reloj de sincronismo de manera que cada dos ciclos del reloj cada módulo pueda suministrar un dato ya procesado al siguiente (Figura 2). El número de datos que se suministra después de cada procesamiento no ha de ser necesariamente el mismo que el anterior. Interesa que el número de datos sea menor tras cada procesamiento ya que se consigue una condensación de la información de la señal ultrasónica. Para realizar el bus de señal de la arquitectura SENDAS se deben definir las siguientes señales:

- Reloj de sincronismo.
- Datos de la señal procesada por el módulo.
- Inicio de un conjunto de datos procesados.
- Final del conjunto de datos que se ha iniciado con el "Inicio".
- Validación de cada uno de los datos de la señal procesada.

Un módulo puede estar conectado a uno o a dos buses segmentados, de tal manera que pueda recibir o generar datos procesados o las dos cosas a la vez. Por consiguiente, los módulos de la cadena recibirán los datos y el sincronismo por un bus de entrada, y deberán generar los datos procesados y las señales de sincronismo a través del bus de salida.

Control del proceso y almacenamiento intermedio

La arquitectura SENDAS incorpora la posibilidad de conectar una memoria en paralelo a un segmento del bus de señal, siendo posible de esta forma acceder a la señal procesada en ese punto, de la cadena. Esta conexión permite también el control del estado del procesamiento en ese punto.

El procedimiento operativo que se sigue para la adquisición y tratamiento de señales ultrasónicas para END mediante la arquitectura SENDAS es el siguiente:

1. Se programan todos los parámetros de emisión, adquisición y procesamiento de la señal ultrasónica. Entre estos parámetros se encuentra la conexión de la memoria intermedia a un segmento del bus de señal mediante el selector (S). Esta conexión permite recoger los datos que han sido procesados por un módulo determinado y que están siendo enviados al resto de la cadena de procesamiento. A la vez, utilizando las señales que indican el inicio y final de un conjunto de datos producidas por este mismo módulo se genera una señal (PROC) que nos indica el estado de procesamiento en ese punto. Si la memoria se conecta al último módulo de la cadena se obtiene la señal totalmente procesada y se sabe cuando ha acabado todo el procesamiento.
2. Se vigila el estado del proceso seleccionado mediante la señal PROC, que nos indica cuando se encuentra disponible la información que recoger o analizar.
3. Cuando el proceso ha terminado se recoge la información generada para la aplicación de ENDUS. A continuación se empieza de nuevo en el punto 1, reprogramando los parámetros que deban ser cambiados e iniciando los procesamientos que lo requieran.

El módulo SENDAS

El módulo es la unidad física y funcional de procesamiento de la arquitectura SENDAS. Dependiendo de la características de las señales que procesan o generan existen dos tipos de módulos:

- Módulos de procesamiento analógico (MPA).
- Módulos de procesamiento digital (MPD).

Los módulos de procesamiento analógico (MPA), no proporcionan ni reciben señales digitales que deban procesar, por lo que, no necesitan estar conectados a los buses de señal. Únicamente reciben, desde el bus de programación, los diferentes parámetros que necesitan para realizar el procesamiento analógico.

Los módulos de procesamiento digital están conectados al bus de programación y al bus de

señal. Dependiendo de su situación en la cadena de procesamiento se pueden dividir en tres tipos:

1. Módulo inicial o generador de datos (MPDg): Es el módulo que genera los datos en el inicio de la cadena de procesamiento digital. Existe uno sólo en cada cadena de procesamiento y es, generalmente, el módulo de conversión analógica-digital. Únicamente está conectado a un segmento del bus de señal.
2. Módulo final o condensador de datos (MPDf): Es el módulo que se encuentra al final de la cadena de procesamiento. Su función es condensar la información de las señales ultrasónicas. Únicamente debe estar conectado a un segmento del bus de señal y a la memoria de almacenamiento intermedio. Mediante este tipo de módulo se condensa la información que se quiere obtener de la señal ultrasónica ya procesada disminuyendo por tanto el volumen de datos que se necesita enviar al procesador maestro.
3. Módulo intermedio (MPDi): Se encuentra entre los dos anteriores. En una cadena de procesamiento pueden existir tantos como sean necesarios. Realizan un procesamiento intermedio, de tal manera, que reciben y generan señales digitales, por lo que deben estar conectados a dos segmentos del bus de señal.

Para cada aplicación de ensayos no destructivos por ultrasonidos se deberá escoger una cadena de módulos que optimice el procesamiento y por tanto los resultados que se obtengan con la inspección.

Explicación detallada de los dibujos.

Figura 1: *Esquema de la arquitectura SENDAS.*

- MPA: Módulo de procesamiento analógico.
- MPDg: Modulo de procesamiento digital generador de datos.
- MPDi: Módulo intermedio de procesamiento digital.
- MPDf: Módulo final de procesamiento digital.
- A: Señal analógica.
- BP: Bus de programación.
- BS: Bus de señal.
- BSS: Segmento del bus de señal seleccionado para el control de procesamiento.
- BSC: Señales de control del bus de señal seleccionado.
- S: Selector del bus de señal.
- CS: Control del selector del bus de señal.
- CP: Control del proceso.
- AIR: Almacenamiento intermedio de resultados.
- PROC: Estado del proceso en el bus de señal seleccionado.
- OM: Ordenador maestro que programa los módulos, vigila el procesamiento y recoge los resultados.

Figura 2: *Secuencia de procesamiento en SENDAS.*

- REL: Señal de sincronismo del bus de señal.
- BS₁: Segmento del bus de señal correspondiente al primer módulo normalmente para la conversión analógico digital.
- D₁..D_n: Datos de la señal que entrega el primer módulo digital de la cadena de procesamiento.
- BS₂..BS_m: Segmentos del bus de señal correspondientes a los m-1 módulos digitales restantes que se integren en la cadena.
- D_{1P1}..D_{sP1}: Datos de la señal a los que se ha realizado un procesamiento digital.
- D_{1Pm}D_{rPm}: Datos de la señal una vez que se han realizado los m procesamientos necesarios para una determinada aplicación ENDUS.
- n, r, s: Número de datos después de cada uno de los procesamientos.

Figura 3: *Esquema del ejemplo de realización de un sistema ENDUS desarrollado mediante la arquitectura SENDAS.*

- BP: Bus de programación.
- T: Transductor ultrasónico en emisión-recepción
- P: Pulso de excitación al transductor.
- A1: Señal analógica correspondiente al eco ultrasónico.
- A2: Señal analógica del eco ultrasónico amplificado.
- MPA₁: Primer módulo de procesamiento analógico que corresponde al generador del pulso de excitación del transductor.
- MPA₂: Segundo módulo de procesamiento analógico que corresponde al amplificador lineal de ganancia programable.
- MPD₁: Módulo generador de datos que corresponde al conversor analógico/digital.
- MPD₂: Módulo intermedio de filtrado digital.
- MPD₃: Módulo reductor de detección de máximos.
- BS₁: Segmento del bus de señal del primer módulo digital.
- BS₂: Segmento del bus de señal del segundo módulo digital.
- S₁: Circuito de apantallamiento de BS₁.
- S₂: Circuito de apantallamiento de BS₂.
- C1: Señal de habilitación del primer circuito de apantallamiento.
- C2: Señal de habilitación del segundo circuito de apantallamiento.
- BS_n: Segmento del bus de señal escogido para generar la señal PROC y volcar sus datos a la memoria de almacenamiento intermedio.
- In: Señal inicio del segmento del bus de señal escogido.

Fn: Señal fin del segmento del bus de señal escogido.

PROC: Estado del procesamiento en el módulo escogido.

CP: Control de proceso.

AI: Almacenamiento intermedio.

IBI: Interfaz del bus de programación con el bus del ISA.

ISA: Bus electrónico compatible con el estándar ISA.

Figura 4: *Diagrama de tiempos del bus de programación del ejemplo de realización.*

I. Ciclo de lectura; II. Ciclo escritura; III. Reset

/RST: Señal de inicialización de los módulos del sistema.

A(0..7): Señales de dirección.

/RD: Señal de validación de los datos en lectura.
/WR: Señal de validación de los datos en escritura.

D(0..7): Señales de datos.

En la Tabla 1 se refleja el significado y el valor de los diferentes tiempos que deben de cumplir las señales del bus de programación.

TABLA 1

Relación de tiempos del bus de programación.

	Descripción	Mínimo	Máximo	Unidad
Tsad	Dirección estable (para /rd y /wr)	0		ns
Trd	Anchura pulso lectura	200		ns
Tsrd	Dato estable después de ↓/RD		20	ns
Thrd	Dato estable después de ↑/RD		10	ns
Twr	Anchura del pulso de escritura	200		ns
Tswr	Dato estable antes de ↑/WR	25		ns
Thmr	Dato estable después de ↑/WR	20		ns
Trst	Anchura del pulso/RST	300		ns

Figura 5: *Diagrama de tiempos del bus de señal del ejemplo de realización.*

CLK20: Reloj de sincronismo de 20 Mhz.

INI: Señal de inicio de una secuencia de datos.

FIN: Señal de finalización de la secuencia de datos.

/DAV: Señal de validación de cada uno de los datos.

D0-D7: Datos de la señal de US digitalizada o procesada.

En la Tabla 2 se refleja el significado y el valor de los diferentes tiempos que han de cumplir las señales del bus.

TABLA II

Relación de tiempos del bus de señal.

	Descripción	Míni- mo	Máxi- mo	Uni- dad
Tclk	Periodo reloj sincronismo	50		ns
Tini	Anchura pulso inicio	tclk	tclk	
Tfin	Anchura pulso fin	tclk	tclk	
Tdav	Anchura pulso validación dato	tclk	tclk	
Tad	Dato estable antes de \uparrow /DAV	25		ns
Tdd	Dato estable después de \uparrow /DAV	5		ns

Ejemplo de realización de la invención.

Como ejemplo vamos a definir un sistema de ENDUS (figura 3) que deberá realizar las siguientes funciones.

- Generación del pulso de excitación de los transductores de anchura programable.
- Amplificación lineal programable.
- Conversión analógica digital.
- Filtro digital de 64 coeficientes.
- Detección de máximos de la señal ultrasónica.

La base del sistema será una tarjeta compatible con el bus ISA (Industry Standard Architecture) [Edward Solari. "AT bus design". Ed. Annabooks 1990, ISBN 0-929392-08-6]. En primer lugar vamos a definir las señales y el diagrama temporal para que se cumplan las especificaciones de los dos buses descritos en la invención.

El bus de programación (BP) será un subconjunto del espacio de entrada/salida del bus ISA conectándose mediante un interfaz adecuado (IBI). Este bus constará de las siguientes señales cuyo diagrama de tiempos se muestra en la figura 4:

A0-A7: Son las líneas de dirección del bus de programación lo que permite seleccionar 256 puertos diferentes. Puede obtenerse a partir de una dirección base del espacio de entrada/salida del bus ISA.

D0-D8: Líneas de datos, pueden provenir directamente del bus ISA.

/WR y /RD: Señales de validación de escritura y lectura. Equivalen a las señales del bus ISA, /IOWR y /IORD validadas por la selección de la dirección base de la tarjeta.

/RST: Es la señal de inicialización del bus de programación, se puede generar a partir de la señal RESET del bus ISA.

Las líneas de masa y alimentación se obtienen directamente del bus ISA.

El bus de señal (BS) se define de forma que cada dos ciclos del reloj de sincronismo cada módulo de procesamiento pueda suministrar un dato al siguiente. La tecnología actual permite un reloj de sincronismo de 20 MHz, por lo que se consigue una velocidad de transmisión de datos de 10 Mmuestras/s. La definición de señales que integran los buses de señal es la siguiente y su diagrama temporal se muestra en la figura 5:

CLK20: Reloj de sincronismo de 20 Mhz.

D0..D7: Dato de la señal procesada por el módulo.

INI: Señal que indica el comienzo de una señal o conjunto de datos procesados.

FIN: Indica el final del conjunto de datos que se ha iniciado con la señal anterior.

/DAV: Señal que valida cada uno de los datos de la señal procesada y permite adecuar diferentes velocidades de procesamiento.

Un MPD_n puede estar conectado a uno o a dos buses segmentados, de tal manera que pueda recibir o generar datos procesados o las dos cosas a la vez. Por consiguiente, los módulos de la cadena recibirán los datos y el sincronismo por un BS_{n-1} , y deberán generar los datos procesados y las señales de sincronismo del bus BS_n .

El sistema de almacenamiento intermedio (AI) se puede realizar mediante una memoria tipo FIFO cuyo puerto de entrada se conecte a un BS_n mediante la apertura del circuito de apantallamiento S_n siendo la señal de escritura /DAV $_n$. El puerto de salida de la FIFO se conecta al bus de programación para permitir recoger los datos mediante el bus ISA.

El control de proceso (CP) se puede realizar mediante un circuito tipo PAL y realizará las siguientes dos funciones:

1. Seleccionar cual es el circuito S_n que está abierto.
2. Generar la señal PROC mediante un registro que se ponga a uno cuando llegue la señal IN $_n$ y a cero cuando llegue FIN $_n$. El contenido de este registro, se puede leer mediante el BP o puede generar una interrupción del bus ISA.

Para completar la realización del sistema ENDUS mediante la arquitectura SENDAS falta definir los módulos que irán insertados en la placa base del sistema:

- MPA $_1$: Genera el pulso de excitación de los transductores de anchura programable que se puede realizar mediante los circuitos descritos en la patente C. Fritsch et al. "Excitador universal de transductores ultrasónico"

- MPA $_2$: Amplificación lineal programable en el rango [0,60] db. Se deberá diseñar un circuito de amplificación en el que se pueda programar, mediante el BP, su ganancia.

- MPD $_1$: Conversión analógica digital. Este será el módulo generador del sistema deberá recibir la señal analógica de MPA $_2$ y convertirla a digital. Si la frecuencia de muestreo

es superior a 10 Mmuestras/s que es la velocidad de procesamiento que se ha escogido para este sistema, se deberá incluir en este módulo una memoria tipo FIFO para adaptar la velocidad de muestreo a la velocidad de procesamiento.

- MPD₂: Filtro digital de 64 coeficientes. Para el desarrollo de este módulo se puede utilizar el procesador digital de señal IMS A100 [Image Processing Databook SGS-THOMSON Microelectronics, 1990]. que permite realizar filtros FIR a una velocidad de 10 Mmuestras/s.

- MPD₃: Detección de máximos de la señal. Es el módulo final de la arquitectura que se puede realizar a la velocidad de procesamiento nominal con los circuitos descritos en la patente M.T. Sánchez et al. "Reductor de datos mediante detección de picos en sistemas ultrasónicos de ensayos no destructivo". No está conectado a un bus de señal de salida porque al generar muy pocos datos se pueden recoger directamente del módulo mediante el bus de programación y porque su procesamiento es simultáneo al del módulo anterior.

5

10

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Sistema de ensayos no destructivos de arquitectura segmentada, **caracterizado** por estar compuesto de un *bus* electrónico asíncrono (BP), un *bus* segmentado y síncrono (BS), un sistema de control del procesamiento (CP), una memoria de almacenamiento intermedio (AIR) y en el que se pueden integrar un conjunto de módulos procesadores analógicos y digitales (MPA y MPD).

2. Un sistema de ensayos no destructivos según reivindicación 1, **caracterizado** por tener un bus electrónico asíncrono (BP) que permite programar los parámetros de los diferentes módulos procesadores y recoger los resultados de los mismos.

3. Un sistema de ensayos no destructivos según reivindicación 1, **caracterizado** por tener un bus electrónico segmentado y síncrono (BS) que conecta cada módulo con el siguiente de la cadena de procesamiento y que se utiliza para enviar los datos de la señal a medida que va siendo proce-

sada por cada uno de los módulos.

4. Un sistema de ensayos no destructivos según reivindicación 1, **caracterizado** por un sistema de control (CP) que utiliza el bus de señal para conocer el estado del proceso en un determinado módulo.

5. Un sistema de ensayos no destructivos según reivindicación 1, **caracterizado** por tener un sistema de almacenamiento, intermedio de resultados (AIR) capaz de almacenar los resultados al mismo tiempo que se están enviando desde un módulo al siguiente de la cadena de procesamiento y sin interrumpirla.

6. Un sistema de ensayos no destructivos según reivindicación 1, **caracterizado** por ser capaz de incorporar un conjunto de módulos procesadores, analógicos (MPA) y digitales (MPD), que encadenados en el orden adecuado mediante los buses de señal y programados mediante el bus de programación permiten realizar todos los procesamientos de las señales ultrasónicas de forma paralela.

5

10

15

20

25

30

35

40

45

50

55

60

65

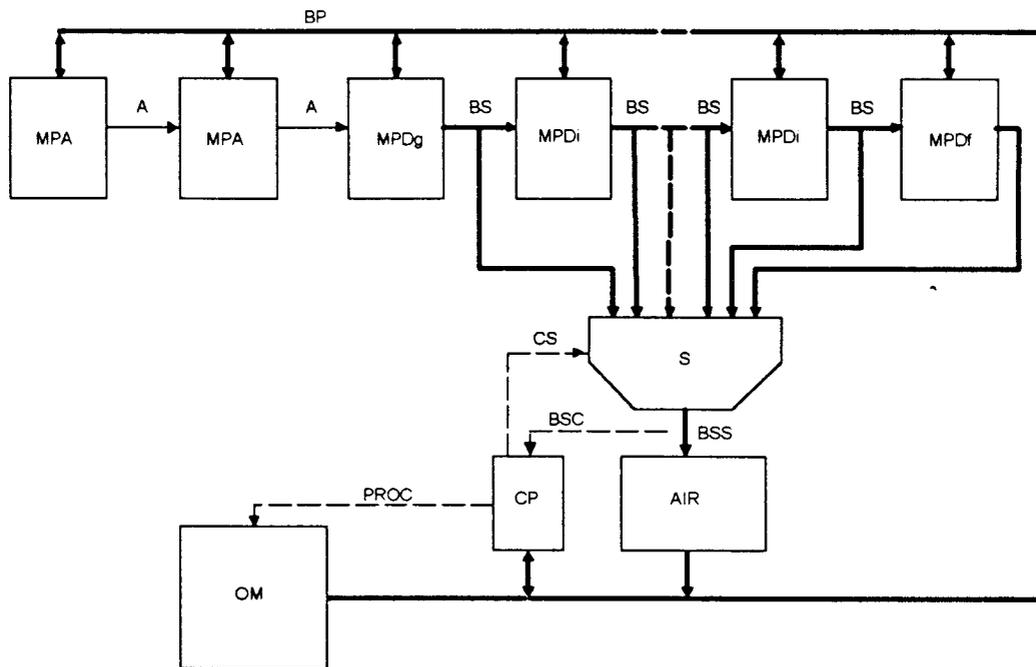


Figura. 1. Esquema de la arquitectura SENDAS.

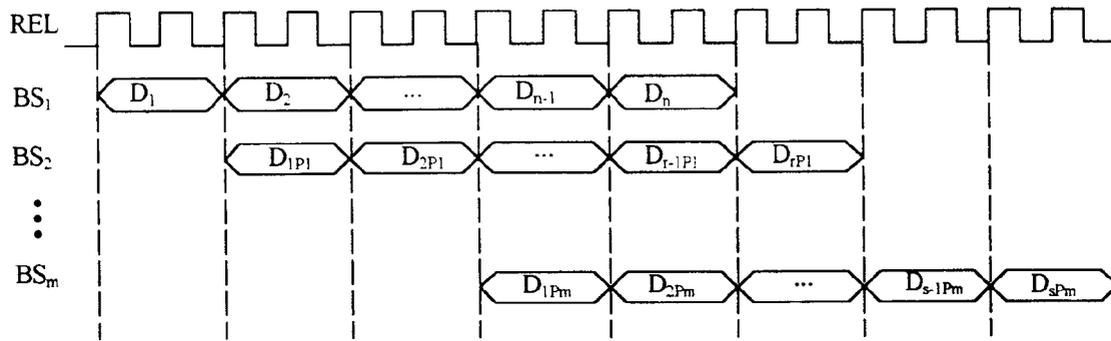


Figura 2. Secuencia de procesamiento en arquitectura SENDAS.

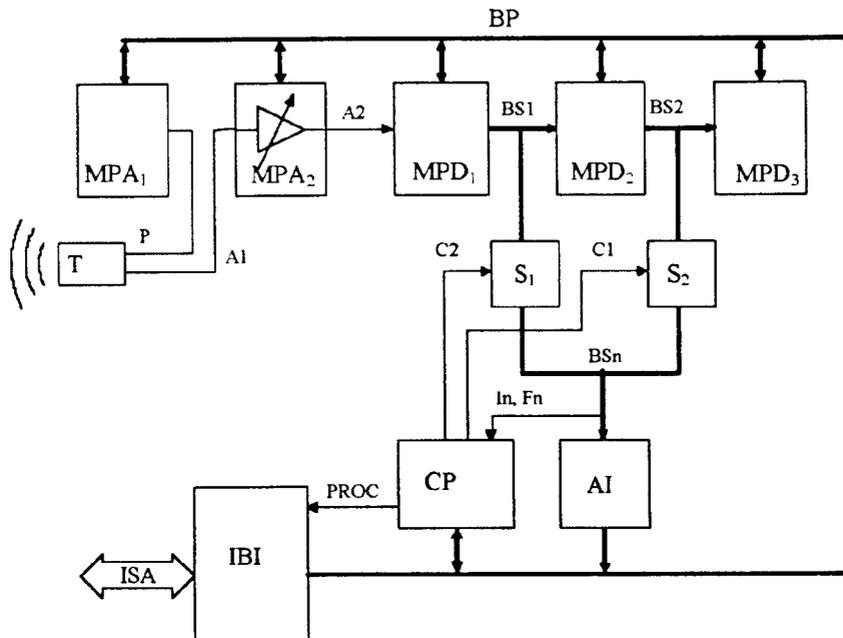


Figura 3. Ejemplo de realización sistema ENDUS con arquitectura SENDAS.

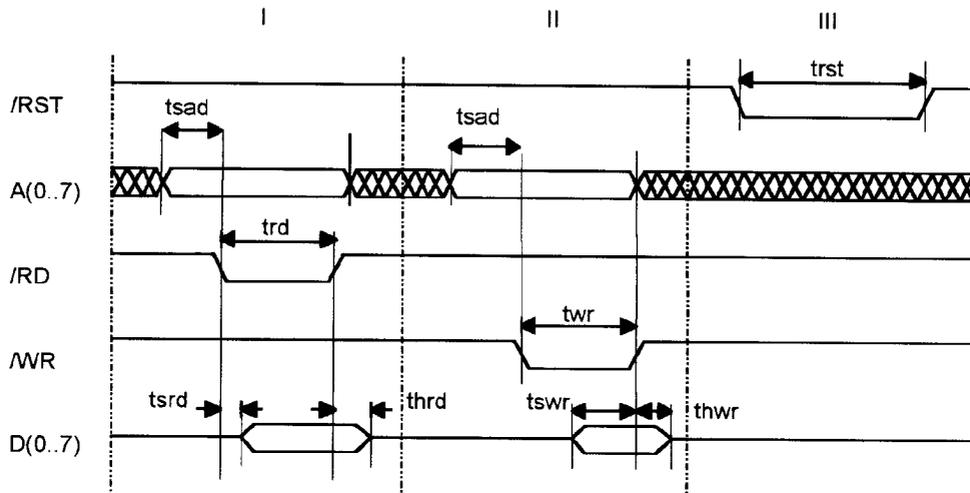


Figura 4. Diagrama de tiempos del bus de programación

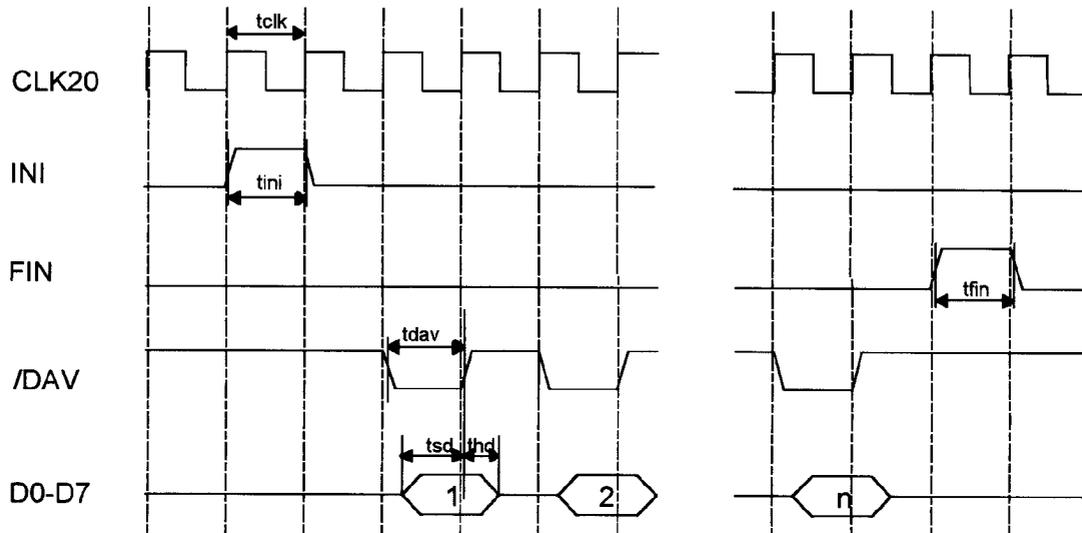


Figura 5. Diagrama de tiempos del bus de señal.



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS
ESPAÑA

- ① ES 2 129 004
② N.º solicitud: 9701930
③ Fecha de presentación de la solicitud: 12.09.97
④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.⁶: G01N 29/06, 29/22

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
X	WO 9303441 A1 (COMMISSARIAT A L'ÉNERGIE ATOMIQUE) 18.02.1993, páginas 6,8,13; figura 4.	1,3-5
A	WO 9711364 A1 (COMBUSTION ENGINEERING, INC.) 27.03.1997, página 11, líneas 12-16.	1

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones n.º:

Fecha de realización del informe

15.04.99

Examinador

S. Fernández Díez-Picazo

Página

1/1