

UNIVERZITET U BEOGRADU
ELEKTROTEHNIČKI FAKULTET

Ivan M. Milosavljević

**Sintetizator učestanosti za integrisane
FMCW radarske senzore u
milimetarskom talasnom opsegu**

doktorska disertacija

Beograd, 2019

UNIVERSITY OF BELGRADE
SCHOOL OF ELECTRICAL ENGINEERING

Ivan M. Milosavljević

**Frequency synthesizer for integrated
FMCW radar sensors in the
millimeter-wave band**

Doctoral Dissertation

Belgrade, 2019

Komisija

dr Lazar Saranovac, redovni profesor (mentor)
Univerzitet u Beogradu, Elektrotehnički fakultet

dr Dušan Grujić, docent (mentor)
Univerzitet u Beogradu, Elektrotehnički fakultet

dr Jelena Popović-Božović, docent
Univerzitet u Beogradu, Elektrotehnički fakultet

dr Vladimir Milovanović, docent
Univerzitet u Kragujevcu, Fakultet inženjerskih nauka

dr Milan Ilić, redovni profesor
Univerzitet u Beogradu, Elektrotehnički fakultet

Datum odbrane:

Zahvalnica

Najpre bih hteo da se zahvalim firmi NovelIC Microsystems na finansijskoj i logičkoj podršci tokom razvoja prikazanih FMCW sintetizatora učestanosti. Veliku zahvalnost dugujem članovima svog tima, Đorđu Glavonjiću, Dušanu Krčumu, dr Siniši Jovanoviću i doc. dr Vladimiru Milovanoviću, koji su zajedno sa mnom radili na razvoju mmWave FMCW radara i umnogome doprineli uspehu ovih projekata.

Zahvaljujem se svom mentoru prof. dr Lazaru Saranovcu na nesebičnoj podršci tokom osnovnih, master i doktorskih studija. Iskrenu zahvalnost dugujem svom bivšem kolegi, a sada komentoru na doktorskim studijama doc. dr Dušanu Grujiću od koga sam mnogo naučio i zahvaljujući kome sam stasao kao inženjer.

Takođe bih iskoristio ovu priliku da se zahvalim profesoru matematike Jovanu Kneževiću na satima provedenim zajedno tokom mojih akademskih studija i mnoštvu datih saveta koji su mi u teškim trenucima pomogli i izveli na pravi put.

Na kraju želim da se zahvalim svojoj budućoj supruzi Ani i porodici na kontinualnoj podršci svih ovih godina, bez koje ovo putovanje ne bi bilo moguće. Hvala vam od srca!

Sintetizator učestanosti za integrisane FMCW radarske senzore u milimetarskom talasnom opsegu

Rezime

Primene prenosivih beskontaktnih radarskih senzora kratkog dometa, koji daju informacije o prisustvu, položaju i relativnoj brzini, praktično su neprebrojive. Ovi radarski sistemi ne samo da imaju potencijal da poboljšaju kvalitet usluga u mnogim oblastima, već se očekuje da budu pokretač mnogih inovativnih rešenja ubuduće.

Do sada su predložene mnoge senzorske tehnologije zasnovane na laserima/optici, ultrazvuku i radio talasima. Među njima su radari koji rade u milimetarskom opsegu privukli značajnu pažnju zahvaljujući svojoj robusnosti na loše vremenske uslove i nepovoljno radno okruženje. Zato je radarska tehnologija danas nezaobilazna u automobilskoj industriji. Pored toga, zahvaljujući intenzivnom razvoju tehnoloških procesa, koji omogućavaju rad u milimetarskom opsegu i visok stepen integracije radarskih sistema, integrisani radarski senzori imaju široku primenu u potrošačkim i industrijskim elektronskim uređajima. Izuzetno visoke radne učestanosti radara omogućavaju relativno male površine antena i pasivnih RF struktura u integrisanom kolu. To za posledicu ima nižu cenu konačnog proizvoda.

Frekvencijski modulisani neprekidno zračeći (FMCW) radarski senzori su u stanju da mere istovremeno relativnu brzinu i rastojanje mete, što je važna prednost u odnosu na Doplerove i impulsne radare. Zbog toga se FMCW radarski senzori sve više koriste u integrisanim realizacijama. Ključne komponente u FMCW radarima su sintetizatori učestanosti, koji imaju ulogu da generišu linearne frekvencijske rampe. Ovi podblokovi radara određuju radnu učestanost sistema, propusni opseg rampi i čistotu predajnog signala, pa tako utiču na osnovne karakteristike radara, kao što su rezolucija rastojanja i odnos signal/šum na ulazu u prijemnik.

U okviru ove disertacije su detaljno analizirane osnovne karakteristike FMCW sintetizatora, prikazane su različite topologije i dato je njihovo poređenje. Detaljno su razmatrani kompromisi između pojedinih oprečnih zahteva, koje je potrebno napraviti prilikom projektovanja FMCW sintetizatora učestanosti, kao što su širok propusni opseg rampe i mali fazni šum, odlična linearnost rampe i velika brzina modulacije, velika izlazna snaga i mala potrošnja, niska radna učestanost i mala površina čipa. Veoma važni parametri FMCW sintetizatora su linearnost frekvencijske rampe i fazni šum, koji direktno određuju karakteristike celog radarskog sistema. Stoga je posebna pažnja posvećena pronalaženju optimalne topologije kojom se može

postići izuzetna linearnost rampi i mali fazni šum. Pokazano je da se pomoću topologije FMCW sintetizatora na bazi *fractional*-N PLL-a postižu izuzetne performanse, pa je samim tim ona nadalje korišćena i detaljno analizirana. Prikazane su različite hardverske arhitekture ove topologije i razmatrane su njihove prednosti i nedostaci.

Imajući u vidu da je rezolucija rastojanja obrnuto srazmerna propusnom opsegu rampi, fokus u ovoj disertaciji je na širokopojasnim FMCW sintetizatorima koji omogućavaju rezolucije manje od nekoliko centimetara. Takođe, FMCW radarski senzori koji detektuju mete na relativno bliskim rastojanjima uglavnom zahtevaju rampe velikog nagiba, kako bi se rezultujuće *beat* učestanosti pomerile na više i tako smanjio uticaj fliker šuma. To dodatno otežava projektovanje širokopojasnih FMCW sintetizatora koji generišu visoko linearne rampe, pa je neophodan sistematski pristup problemu. Zato je u okviru ove disertacije predložena metodologija projektovanja milimetarskog FMCW sintetizatora učestanosti na bazi *fractional*-N PLL-a, kao i nova mera kvaliteta kojom se mogu kvantifikovati performanse projektovanih kola.

Na osnovu predložene metodologije su projektovana dva širokopojasna FMCW sintetizatora učestanosti na bazi *fractional*-N PLL-a sa oscilatorom na fundamentalnoj učestanosti. Prvi FMCW sintetizator radi u nelicenciranom 60 GHz-nom opsegu i može da sintetiše rampe nagiba većeg od 60 GHz/ms, pri čemu postiže linearnost rampi bolju od 0,012% i omogućava rezoluciju rastojanja manju od 1,5 cm. Drugi FMCW sintetizator radi u automobilskom 79 GHz-nom opsegu i može da sintetiše rampe nagiba većeg od 30 GHz/ms, pri čemu postiže linearnost rampi bolju od 0,01% i omogućava rezoluciju rastojanja manju od 3,8 cm. Projektovani sintetizatori poseduju integrisani FMCW generator, čija je hardverska arhitektura detaljno opisana u disertaciji i koji omogućava sintezu složenih talasnih oblika učestanosti sa do 16 različitih konfiguracija čirpova. Integrisana kola su razvijena u 0,13 μm BiCMOS SiGe:C tehnološkom procesu firme IHP Microelectronics.

Ključne reči: FMCW sintetizator učestanosti, fazno sinhronisana petlja, milimetarski talasni opseg, SiGe BiCMOS, širokopojasni naponom kontrolisani oscilator

Naučna oblast: Elektronika

Uža naučna oblast: Mikrotalasna integrisana kola

UDK broj: 621.3

Frequency synthesizer for integrated FMCW radar sensors in the millimeter-wave band

Abstract

Applications of portable short-range noncontact radar sensors, which provide information on presence, position, and relative speed, are virtually countless. These radar systems not only have the potential to improve the service quality in numerous existing fields, but are also expected to be the driving force for many novel applications in the near future.

Multiple sensor technologies based on lasers/optics, ultrasound, and radio waves have been proposed in the past. Among these, millimeter-wave radars attracted considerable attention thanks to their robustness in bad weather conditions and harsh environments. Thus, radar technology is inevitable in the automotive industry nowadays. In addition, thanks to the intensive development of technological processes, which enable operations in the millimeter-wave band and a high degree of integration for radar systems, integrated radar sensors have a wide application in consumer and industrial electronic devices. The extremely high operating frequencies of the radar allow for relatively small areas of antennas and passive RF structures in the integrated circuit. This results in a lower price of the final product.

Frequency-modulated continuous-wave (FMCW) radar sensors are able to simultaneously measure the relative velocity and distance of the target, which is an important advantage in comparison to Doppler and pulse radars. This is why there is an increase in the use of FMCW radar sensors in integrated implementations. The key components in FMCW radars are frequency synthesizers, which are used to generate linear frequency ramps. These radar subblocks determine the operating frequency of the system, the ramp bandwidth and the purity of the transmit signal, thus affecting basic radar characteristics such as distance resolution and the signal-to-noise ratio at the input of the receiver.

In this dissertation, the basic features of an FMCW synthesizer are profoundly analyzed, different topologies are presented and a comparison is given. The trade-offs between certain contrary requirements that need to be made when designing an FMCW frequency synthesizer are discussed in detail, such as the wide ramp bandwidth and low phase noise, excellent ramp linearity and high modulation speed, high output power and low consumption, low operating frequency and small chip area. The linearity of the frequency ramp and phase noise, which directly determine

the characteristics of the entire radar system, are very important parameters of the FMCW synthesizer. Therefore, particular attention has been paid to finding the optimal topology that can achieve exceptional ramp linearity and a low phase noise. It has been shown that the FMCW synthesizers' topology based on fractional-N PLL achieves an exceptional performance and is therefore further used and analyzed in detail. Various hardware architectures of this topology are presented and their advantages and disadvantages are discussed.

Considering that the distance resolution is inversely proportional to the bandwidth of the ramps, the focus in this dissertation is on broadband FMCW synthesizers that enable resolutions better than a few centimeters. Also, FMCW radar sensors that detect targets at relatively close distances generally require high slope ramps to move the resulting beat frequencies higher and thus reduce the impact of flicker noise. This further complicates the design of broadband FMCW synthesizers that generate highly linear ramps, so a systematic approach to the problem is necessary. Therefore, this dissertation proposes a methodology for designing a millimeter-wave FMCW frequency synthesizer based on fractional-N PLL, as well as a new quality measure that can quantify the performance of designed circuits.

Two broadband FMCW frequency synthesizers based on fractional-N PLL with a fundamental frequency oscillator were designed based on the proposed methodology. The first FMCW synthesizer operates in an unlicensed 60-GHz band and can synthesize ramps of a slope greater than 60 GHz/ms, achieving ramp linearity greater than 0.012% and enabling a distance resolution of less than 1.5 cm. The other FMCW synthesizer operates in the automotive 79-GHz band and can synthesize ramps of a slope greater than 30 GHz/ms, achieving ramp linearity greater than 0.01% and enabling a distance resolution of less than 3.8 cm. The designed synthesizers feature an integrated FMCW generator, whose hardware architecture is detailed in the dissertation, and which enables the synthesis of complex frequency waveforms with up to 16 different chirp configurations. The integrated circuits were developed in the 0.13- μm BiCMOS SiGe:C technological process of the company IHP Microelectronics.

Keywords: FMCW frequency synthesizer, phase-locked loop, millimeter-wave band, SiGe BiCMOS, wideband voltage-controlled oscillator

Scientific field: Electronics

Scientific discipline: Microwave integrated circuits

UDK number: 621.3

Sadržaj

1	Uvod	1
1.1	Opis problema	7
1.2	Organizacija teze	9
2	Osnove FMCW radara i sinteze učestanosti	10
2.1	Princip rada FMCW radara i osnovne karakteristike	11
2.1.1	SNR i radarska jednačina	13
2.1.2	Maksimalno rastojanje i relativna brzina	13
2.1.3	Rezolucije radara	15
2.1.4	Formiranje radarskog snopa	16
2.1.5	Ekstrakcija rastojanja i relativne brzine više meta	17
2.1.6	2D-FFT pristup ekstrakcije rastojanja i relativne brzine	18
2.1.7	Detekcija ugla dolaska (AoA)	20
2.2	Kompromisi pri projektovanju FMCW sintetizatora	22
2.2.1	Fazni šum i propusni opseg	23
2.2.2	Brzina modulacije i linearnost rampe	27
2.2.3	Izlazna snaga i potrošnja	31
2.2.4	Radna učestanost i površina	32
2.3	Topologije FMCW sintetizatora učestanosti	33
2.3.1	VCO u otvorenoj sprezi	33
2.3.2	<i>Integer-N</i> PLL	34
2.3.3	<i>Fractional-N</i> PLL	38
2.3.4	Potpuno digitalni PLL	40
2.3.5	Poređenje topologija FMCW sintetizatora	42
2.3.6	Odabir optimalne topologije FMCW sintetizatora	45
2.4	Sinteza učestanosti u mmWave opsegu	46
2.4.1	Opsezi od interesa za primene FMCW radara	47
2.4.2	Odabir tehnološkog procesa za rad u mmWave opsegu	48
3	FMCW sintetizatori na bazi <i>fractional-N</i> tehnike	52
3.1	Poređenje različitih hardverskih arhitektura	53
3.1.1	<i>Fractional-N</i> PLL sa oscilatorom na fundamentalnoj učestanosti	53

3.1.2	<i>Fractional-N PLL sa izlaznim množačem učestanosti</i>	54
3.1.3	<i>Fractional-N PLL sa N-push VCO-om</i>	55
3.1.4	<i>Fractional-N PLL sa IL oscilatorom na izlazu</i>	56
3.1.5	Odabir optimalne hardverske arhitekture	57
3.2	Analiza osnovnih podblokova <i>fractional-N PLL-a</i>	59
3.2.1	VCO	59
3.2.2	PFD	66
3.2.3	Strujna pumpa (CP)	70
3.2.4	Filtar petlje (LF)	78
3.2.5	Delitelj učestanosti	82
3.2.6	Sigma-delta ($\Sigma\Delta$) modulator	94
3.3	Analiza faznog šuma <i>fractional-N PLL-a</i>	98
3.4	Optimizacija linearnosti frekvencijske rampe	105
3.5	Metodologija projektovanja FMCW sintetizatora	108
3.5.1	Proces razvoja potpuno integrisanog FMCW sintetizatora	108
3.5.2	Postupak izvođenja specifikacija podblokova	110
3.5.3	Mera kvaliteta (FoM)	111
4	Programabilni FMCW generator rampi	113
4.1	Osnovni zahtevi savremenih FMCW generatora	115
4.2	Pregled postojećih hardverskih arhitektura	117
4.3	Predlog efikasne hardverske realizacije	118
5	Projektovanje FMCW sintetizatora učestanosti za rad u 60 GHz nelicenciranom opsegu	122
5.1	Osnovne karakteristike i ograničenja IHP-ovog SG13S tehnološkog procesa	123
5.2	Frekvencijski plan i određivanje parametara petlje	129
5.3	Arhitektura i projektovanje ključnih podblokova	134
5.3.1	Širokopojasni VCO za rad u 60 GHz nelicenciranom opsegu	135
5.3.2	Automatska amplitudska kalibracija (AAC)	138
5.3.3	Preskaler i pomoćni delitelj	140
5.3.4	MMD sa vrednošću delioca u opsegu 48–79	142
5.3.5	Petlja	144
5.3.6	Aktivni delitelj snage sa podesivim pojačanjima	149
5.3.7	Pasivni generator kvadraturnih signala	151

5.4	Eksperimentalni rezultati	153
5.4.1	Opis test okruženja za karakterizaciju FMCW sintetizatora . . .	155
5.4.2	Merenja na skaliranom izlazu ($f_{\text{out}} \div 32$)	158
5.4.3	Merenja na direktnim izlazima	164
5.4.4	Poređenje sa podacima iz literature	167
6	Projektovanje FMCW sintetizatora učestanosti za rad u 79 GHz automobilskom opsegu	169
6.1	Frekvencijski plan i određivanje parametara petlje	170
6.2	Arhitektura i projektovanje ključnih podblokova	174
6.2.1	Širokopolasni VCO za rad u 79 GHz automobilskom opsegu . . .	175
6.2.2	Automatska frekvencijska kalibracija (AFC)	177
6.2.3	Preskaler	179
6.2.4	MMD sa vrednošću delioca u opsegu 64–95	179
6.2.5	Petlja	179
6.3	Rezultati simulacija	180
6.3.1	Simulacije faznog šuma i osnovnih karakteristika rampi	181
6.3.2	Poređenje sa podacima iz literature	183
6.4	Poređenje 60 i 79 GHz-nih rešenja	184
7	Zaključak	185

Slike

1	Eksterna primena radarskih senzora u automobilskoj industriji [6].	2
2	Primeri savremenih antenskih rešenja u radarskim modulima: (a) 122 GHz AoC [61], (b) 160 GHz AoC [62], (c) 60 GHz AiP [21], i (d) 122 GHz AiP [63].	5
3	Blok dijagram potpuno integrisanog radarskog sistema (RoC).	6
4	Prvi komercijalno dostupni CMOS RoC na 79 GHz razvijen od strane firme Texas Instruments za primene u automobilskoj industriji.	6
5	Detekcija objekta pomoću FMCW radara: (a) pozicioniranje u prostoru, merenje (b) relativne brzine u CW modu i (c) rastojanja u FMCW modu rada.	12
6	FMCW mod rada u graničnim slučajevima jednoznačne detekcije: (a) najudaljenije stacionarne mete i (b) mete koja se kreće najvećom brzinom.	14
7	Rezolucije rastojanja, brzine i ugla.	15
8	Zavisnost relativne brzine od rastojanja za dve mete u pokretu i modulacione šeme sa: (a) dve i (b) četiri linearne rampe različitog nagiba.	17
9	Detekcija dva objekta različitih brzina na istom rastojanju od radara: (a) pozicioniranje u prostoru, (b) sekvenca M linearnih rampi i (c) 2D-FFT metod.	19
10	Detekcija AoA objekta pomoću dve prijemne antene.	21
11	Naponski spektar izlaznog signala (a) idealnog i (b) realnog oscilatora.	24
12	Fazni šum realnog oscilatora.	25
13	Detekcija dva bliska statička objekta: (a) pozicioniranje u prostoru, (b) učestanost predajnog signala u vremenskom domenu za različite propusne opsege i (c) odgovarajuće filtriran naponski spektar IF signala.	26
14	Detekcija više statičkih objekata: (a) pozicioniranje u prostoru, (b) učestanosti RF i IF signala u vremenskom domenu i (c) odgovarajuće filtriran naponski spektar IF signala.	28
15	Uticaaj brzine modulacije, S , na <i>beat</i> učestanost statičke mete: (a) učestanost predajnog signala u vremenskom domenu za tri različita nagiba i (b) odgovarajuće filtriran naponski spektar IF signala.	29
16	Uticaaj šuma i periodične nelinearnosti na linearnu frekvencijsku rampu.	30

17	Blok šema FMCW sintetizatora na bazi VCO-a u otvorenoj sprezi. . .	33
18	Blok šema FMCW sintetizatora na bazi <i>integer</i> -N PLL-a sa direktnom modulacijom VCO-a.	35
19	Blok šema FMCW sintetizatora na bazi <i>integer</i> -N PLL-a sa digitalno modulisanom referencom.	37
20	Blok šema FMCW sintetizatora na bazi analognog <i>fractional</i> -N PLL-a.	38
21	Blok šema FMCW sintetizatora na bazi ADPLL-a sa TPM-om. . . .	41
22	Blok šema <i>fractional</i> -N PLL-a sa oscilatorom na fundamentalnoj učestanosti.	54
23	Blok šema <i>fractional</i> -N PLL-a sa izlaznim množačem učestanosti. . .	54
24	Blok šema <i>fractional</i> -N PLL-a sa <i>N-push</i> VCO-om.	55
25	Blok šema <i>fractional</i> -N PLL-a sa IL oscilatorom na izlazu.	56
26	Arhitektura LC VCO-a sa unakrsno spojenim tranzistorima na bazi (a) nMOS i (b) bipolarnih tranzistora.	60
27	Arhitektura diferencijalnog Kolpic VCO-a sa bipolarnim tranzistorima.	63
28	(a) Uticaj trenutka injekcije impulsa na prostoperiodični izlazni napon VCO-a i (b) talasni oblik izlaznog napona sa odgovarajućom ISF.	65
29	Arhitektura linearnog PFD-a.	66
30	Dijagram stanja linearnog PFD-a.	67
31	Funkcija prenosa linearnog PFD-a sa CP-om: (a) idealna i (b) realna.	68
32	Arhitekture modifikovanog DFF-a sa logičkom jedinicom na ulazu i asinhronim resetom u (a) statičkoj CMOS i (b) dinamičkoj TSPC logici.	69
33	Modovi rada konvencionalnog CP-a za različita stanja PFD-a: (a) <i>Zadrži</i> , (b) <i>Ubrzaj</i> , (c) <i>Uspori</i> i (d) <i>Reset</i>	71
34	Arhitekture jednostranog CP-a: (a) sa jediničnim pojačavačem, (b) sa prekidačem za upravljanje strujom i (c) sa isključivo nMOS prekidačima.	72
35	Struje punjenja, I_{up} , i pražnjenja, I_{dn} , u slučajevima kada se strujni izvori CP-a sastoje od (a) jednog tranzistora i (b) kaskodno povezana dva tranzistora.	74
36	Arhitektura CP-a sa kolom za kompenzaciju neuparenosti I_{up} i I_{dn} struja.	75
37	Statičke karakteristike predložene arhitekture CP-a sa kolom za kompenzaciju neuparenosti I_{up} i I_{dn} struja.	76

38	Arhitekture transmisionog gejta: (a) konvencionalna i (b) poboljšana sa redukovanim efektima injekcije naelektrisanja i preslušavanja.	77
39	Arhitekture pasivnog RC LF-a: (a) drugog reda, (b) trećeg reda i (c) k -tog reda.	79
40	Blok šema statičkog delitelja učestanosti sa dva.	83
41	Arhitekture D leča: (a) CMOS CML i (b) SiGe ECL.	84
42	Regenerativni (Milerov) delitelj učestanosti sa dva: (a) blok šema i (b) realizacija pomoću bipolarnih tranzistora.	85
43	Arhitekture injeksiono sinhronisanog delitelja sa dva u CMOS procesu: (a) jednostrana i (b) diferencijalna injekcija signala.	87
44	Arhitektura injeksiono sinhronisanog delitelja sa dva u SiGe procesu.	87
45	Blok šema logičke implementacije DMD-a koji deli sa 2 ili 3.	89
46	Arhitekture “i” logičkog kola: (a) CMOS CML i (b) SiGe ECL.	90
47	Blok šema logičke implementacije DMD-a koji deli sa 3 ili 4.	91
48	Generička blok šema statičkog DMD-a koji deli sa $2k$ ili $2k+1$	91
49	Generička blok šema statičkog DMD-a koji deli sa $2k-1$ ili $2k$	92
50	Generička blok šema potpuno diferencijalnog MMD-a.	92
51	(a) Spur uzrokovan periodičnom kontrolnom sekvencom MMD-a i (b) uticaj pseudoslučajnih promena $\Sigma\Delta$ modulatora na razbijanje spura.	94
52	Poređenje uticaja prekomernog uzorkovanja i oblikovanja šuma na ukupan kvantizacioni šum u propusnom opsegu <i>fractional</i> -N PLL-a: (a) $f_s > 2f_C$ bez oblikovanja, (b) $f_s > 4f_C$ bez oblikovanja i (c) $f_s > 4f_C$ sa oblikovanjem šuma.	95
53	Blok šema logičke implementacije MASH 1-1 $\Sigma\Delta$ modulatora.	96
54	Blok šema logičke implementacije MASH 1-1-1 $\Sigma\Delta$ modulatora.	97
55	Linearizovan vremenski nepromenljiv model faznog šuma <i>fractional</i> -N PLL-a sa fundamental VCO-om.	99
56	Funkcije prenosa šuma podblokova do izlaza <i>fractional</i> -N PLL-a: (a) niskopropusna, (b) propusnik opsega i (c) visokopropusna.	101
57	Optimizacija propusnog opsega <i>fractional</i> -N PLL-a za postizanje visoko linearnih frekvencijskih rampi.	106
58	Postupak razvoja milimetarskog FMCW sintetizatora učestanosti.	108
59	Postupak izvođenja specifikacija podblokova FMCW sintetizatora na bazi <i>fractional</i> -N PLL-a.	110
60	Osnovni parametri linearne frekvencijske rampe.	113

61	Tipični primeri talasnih oblika frekvenjski modulisanog signala: (a) simetrični trougaoni, (b) simetrični trougaoni sa različitim nagibima i (c) testerasti.	116
62	Primer složene modulacione šeme sa različitim konfiguracijama čirpova.	118
63	Konfiguracioni registar i četiri različita moda čirpa.	119
64	Hardverska arhitektura programabilnog FMCW multičirp generatora.	120
65	Minimalni faktor šuma HBT-a na različitim temperaturama i za površine emitera (a) $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ i (b) $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$	123
66	Učestanost jediničnog pojačanja HBT-a na različitim temperaturama i za površine emitera (a) $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ i (b) $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$	124
67	Kapacitivnost diferencijalne strukture varaktora od deset paralelnih segmenata površine (a) $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i (b) $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$	126
68	Diferencijalni faktor dobrote strukture varaktora od deset paralelnih segmenata površine (a) $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i (b) $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$	126
69	BEOL IHP-ovog procesa SG13S: (a) poprečni presek i (b) 3D pregled.	127
70	Poređenje karakteristika MIM kondenzatora dimenzija $12 \mu\text{m} \times 12 \mu\text{m}$ dobijenih simulacijom različitih modela: (a) kapacitivnost i (b) faktor dobrote.	128
71	Transimpedansa filtra petlje <i>fractional-N</i> PLL-a za 60 GHz-ni opseg.	131
72	Funkcija prenosa otvorene petlje <i>fractional-N</i> PLL-a za 60 GHz-ni opseg.	132
73	Funkcija prenosa zatvorene petlje <i>fractional-N</i> PLL-a za 60 GHz-ni opseg.	132
74	Vremenski odziv 60 GHz <i>fractional-N</i> PLL-a na frekvenjski skok $\Delta f = 10 \text{ MHz}$: (a) fazna greška i (b) normalizovana promena kontrolnog napona.	133
75	Simulirani čirp i frekvenjska greška za linearnu rampu propusnog opsega 7 GHz i trajanja $140 \mu\text{s}$ oko centralne učestanosti 60,5 GHz.	133
76	Blok dijagram FMCW predajnika za rad u 60 GHz-nom opsegu.	134
77	Širokopojasni VCO za rad u 60 GHz-nom opsegu: (a) uprošćena električna šema jezgra i (b) 3D prikaz fizičke realizacije.	136
78	Radna učestanost i izlazna snaga VCO-a za rad u 60 GHz-nom opsegu.	137

79	Blok dijagram automatske amplitudske kalibracije.	138
80	Uprošćena električna šema (a) Milerovog delitelja sa dva i (b) statičkog delitelja sa dva.	140
81	3D prikaz fizičke realizacije preskalera za 60 GHz-ni opseg.	141
82	Blok dijagram MMD-a sa vrednošću delioca u opsegu 48–79.	142
83	(a) Blok dijagram linearnog PFD-a i (b) funkcija prenosa PFD-a na radnoj učestanosti 250 MHz za tri karakteristična PVT slučaja.	144
84	Blok dijagram digitalnog detektora zaključavanja.	145
85	Uprošćena električna šema strujne pumpe.	146
86	Statičke karakteristike predložene strujne pumpe.	147
87	Uprošćena električna šema pasivnog LF-a za 60 GHz <i>fractional</i> -N PLL. 148	
88	(a) Uprošćena električna šema jezgra APD-a i (b) 3D prikaz fizičke realizacije APD-a sa kompletnim kolom za polarizaciju.	149
89	(a) 3D pregled fizičke realizacije pasivnog I/Q generatora za RX lanac predviđen van čipa, (b) simulacija I/Q fazne razlike i amplitudske neusklađenosti i (c) poređenje rezultata merenja i simulacija izlaznih snaga.	151
90	Fotografija fabrikovanog FMCW predajnika za rad u 60 GHz-nom opsegu.	153
91	Fotografija PCB-ova za testiranje i povezanog FMCW predajnika.	156
92	Postavka za merenje faznog šuma na skaliranom izlazu čipa.	158
93	Statički fazni šum FMCW sintetizatora izmeren u <i>fractional</i> -N modu u zavisnosti od (a) ofset frekvencije na tri različite učestanosti nosioca sa odgovarajućim rezultatima simulacija doprinosa individualnih podblokova i (b) učestanosti nosioca na pet različitih ofset frekvencija. 159	
94	Postavka za merenje talasnih oblika učestanosti i linearnosti rampe na skaliranom izlazu čipa.	160
95	Izmereni primeri (a) složenog talasnog oblika učestanosti, (b) simetričnog trougaonog talasnog oblika učestanosti sa više različitih nagiba i (c) testerastog talasnog oblika učestanosti za 2D-FFT princip ekstrakcije.	161
96	Izmerena frekvencijska greška (nelinearnost) u poređenju sa idealno linearnim čirpom trougaonog talasnog oblika učestanosti sa brzinom modulacije (a) 11 GHz/180 μ s, (b) 11 GHz/500 μ s i (c) 11 GHz/1 ms, kao i (d) sve pomenute nelinearnosti uvećane zajedno.	162

97	Poređenje rezultata merenja i simulacija RMS frekvencijske greške za uzlazne i silazne čirpove od 11 GHz u funkciji trajanja modulacije. . .	163
98	Postavka za merenje spektra tokom modulacije na direktnom izlazu čipa.	164
99	GSG sonda povezana na TX izlaz FMCW predajnika.	164
100	Izmereni frekvencijski spektar na TX izlaznoj stopici čipa za trougaoni talasni oblik učestanosti sa rampama propusnog opsega 11 GHz i trajanjem modulacije 500 μ s. SSA radi u <i>MAX HOLD</i> modu bez sinhronizacije sa čipom.	165
101	Transimpedansa filtra petlje <i>fractional-N</i> PLL-a za 79 GHz-ni opseg. .	171
102	Funkcija prenosa otvorene petlje <i>fractional-N</i> PLL-a za 79 GHz-ni opseg.	172
103	Funkcija prenosa zatvorene petlje <i>fractional-N</i> PLL-a za 79 GHz-ni opseg.	172
104	Vremenski odziv 79 GHz <i>fractional-N</i> PLL-a na frekvencijski skok $\Delta f = 10$ MHz: (a) fazna greška i (b) normalizovana promena kontrolnog napona.	173
105	Simulirani čirp i frekvencijska greška za linearnu rampu propusnog opsega 4 GHz i trajanja 133 μ s oko centralne učestanosti 79 GHz. . . .	173
106	Blok dijagram FMCW sintetizatora za rad u 79 GHz-nom opsegu. . .	174
107	Širokopolasni VCO za rad u 79 GHz-nom opsegu: (a) uprošćena električna šema jezgra i (b) 3D prikaz fizičke realizacije.	175
108	Krive podešavanja Kolpic VCO-a za rad u 79 GHz-nom opsegu. . . .	176
109	Blok dijagram automatske frekvencijske kalibracije.	177
110	Uprošćena električna šema pasivnog LF-a za 79 GHz <i>fractional-N</i> PLL. .	179
111	Fizička realizacija FMCW sintetizatora za rad u 79 GHz-nom opsegu. .	180
112	Statički fazni šum FMCW sintetizatora učestanosti simuliran u <i>fractional-N</i> modu na 79 GHz zajedno sa doprinosima individualnih podblokova.	181
113	Rezultat simulacije složenog talasnog oblika učestanosti koji sadrži sve četiri konfiguracije čirpa za rad u 79 GHz-nom opsegu.	182

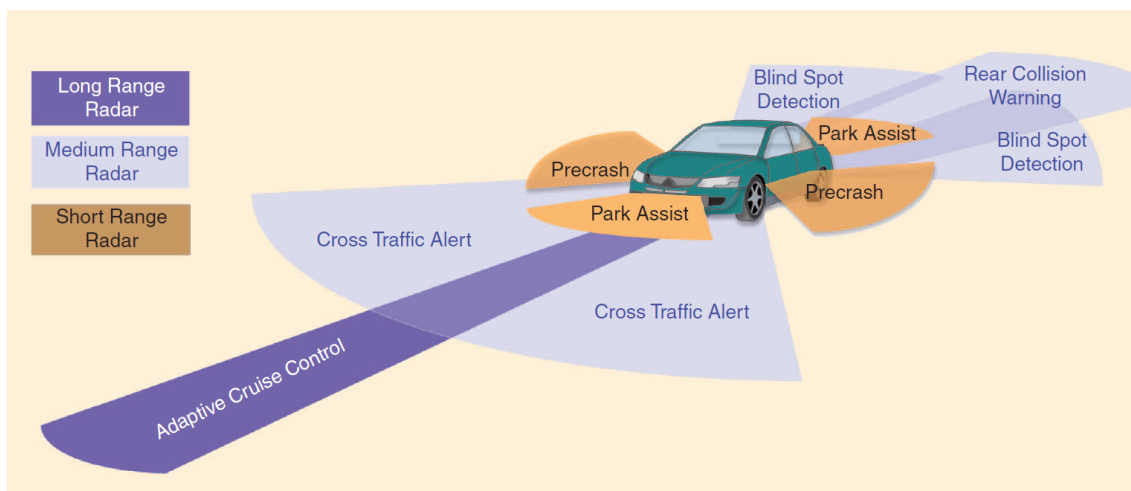
Tabele

1	Prioriteti projektnih parametara integriranih FMCW sintetizatora učestanosti u zavisnosti od primene radarskih senzora.	22
2	Poređenje topologija FMCW sintetizatora učestanosti.	43
3	Fekvencijski opsezi od interesa za FMCW radarske senzore.	47
4	Pregled komercijalno dostupnih SiGe BiCMOS tehnoloških procesa visokih performansi za rad u mmWave opsegu.	50
5	Poređenje hardverskih arhitektura FMCW sintetizatora učestanosti na bazi <i>fractional-N</i> PLL-a [115].	58
6	Poređenje različitih arhitektura VCO-a za rad u mmWave opsegu.	64
7	Poređenje različitih arhitektura delitelja učestanosti sa fiksnim deliocem.	88
8	Doprinosi šuma podblokova na izlazu <i>fractional-N</i> PLL-a.	102
9	Osnovne karakteristike 60 GHz-nog PLL-a dobijene optimizacijom.	131
10	Izmerena potrošnja po domenima napajanja FMCW predajnika za rad u 60 GHz-nom opsegu.	154
11	Poređenje nedavno objavljenih FMCW sintetizatora učestanosti za rad u 60 GHz-nom opsegu.	167
12	Osnovne karakteristike 79 GHz-nog PLL-a dobijene optimizacijom.	171
13	Simulirana potrošnja po domenima napajanja FMCW sintetizatora za rad u 79 GHz-nom opsegu.	181
14	Poređenje nedavno objavljenih FMCW sintetizatora učestanosti za rad u 79 GHz automobilskom opsegu.	183

1 Uvod

Koncept i naziv radara datira još iz perioda II Svetskog rata kada je korišćen za otkrivanje protivničkih položaja i navođenje. Od tada su radarski sistemi značajno napredovali i danas imaju široku primenu. Tipičan radarski sistem emituje elektromagnetske talase određene učestanosti; oni se prostiru, odbijaju od mete i vraćaju ka radarskom sistemu gde se demodulišu, a na osnovu niskofrekventne informacije određuje se brzina, ugao, smer i/ili rastojanje mete. Današnje poluprovodničke tehnologije omogućavaju visok stepen integracije, što olakšava projektovanje ključnih delova pa i celih radarskih sistema u jednom integrisanom kolu i značajno utiče na redukciju cene radara. Ovakvi sistemi se najčešće u literaturi nazivaju integrisani radarski senzori, i danas su zbog pristupačne cene dostupni svima u poređenju sa gabaritnim i skupim radarskim sistemima velikog dometa koji se koriste u vojne svrhe, civilnom vazduhoplovstvu, radio astronomiji ili meteorološkim stanicama. Naravno, u poređenju sa velikim radarskim sistemima, njihov domet je ograničen snagom emisije i ne prelazi nekoliko stotina metara.

Najveći pokretač razvoja integrisane radarske tehnologije je svakako automobilska industrija. Namena radarskih sistema u prevoznim sredstvima je da omogući bezbednu i udobnu vožnju ulicama, kao i da se vozači oslobode kombinacije monotonih zadataka i potrebe za brzim reakcijama u složenim saobraćajnim situacijama. Iako su prvi pokušaji korišćenja radarske tehnologije u vozilima, ranih 1970-ih godina [1–3], uzrokovali da veliki broj kompanija i istraživačkih instituta započne rad na novim bezbednosnim izazovima, tadašnja tehnologija nije omogućavala integraciju celog radarskog sistema. To je dominantno uticalo na cenu i veličinu, pa se prvi automobilski radari na tržištu pojavljuju tek krajem 20. veka [1–3]. Prva primena radara, koja je napravila komercijalni proboj ove tehnologije u automobilskoj industriji, je adaptivni tempomat (engl. *Adaptive Cruise Control* - ACC) [4, 5] baziran na radaru velikog dometa (engl. *Long-Range Radar* - LRR). Ovi radarski sistemi prate saobraćaj ispred vozila, održavaju zadatu brzinu i po potrebi je prilagođavaju tako da se zadrži bezbedno odstojanje između vozila. Nakon razvoja adaptivnih tempomata, radarski sistemi su pronašli mnoštvo drugih primena kao što je prikazano na slici 1. Među njima se ističu sistemi za upozorenje i izbegavanje sudara (engl. *Collision Warning and Avoidance*) [5, 7], čija je uloga da aktivno



Slika 1: Eksterna primena radarskih senzora u automobilskoj industriji [6].

prate situaciju u saobraćaju, upozore vozača o mogućem sudaru i upravljaju sistemom za kočenje u slučaju nužde. Na ovaj način se izbegavaju potencijalne nesreće i pruža dodatna sigurnost. Automobilski radari se danas, u zavisnosti od toga da li imaju direktan uticaj na kretanje vozila ili ne, svrstavaju u dve kategorije, aktivne i pasivne sisteme [1], respektivno. Tipičan primer pasivnog radarskog sistema u automobilima su senzori za pomoć pri parkiranju [8–10], bazirani na radaru kratkog dometa (engl. *Short-Range Radar* - SRR). Od velike pomoći vozaču su i sistemi za otkrivanje “slepe zone” (engl. *Blind Spot Detection* - BSD) [3], bazirani na radaru srednjeg dometa (engl. *Medium-Range Radar* - MRR). Oni obaveštavaju vozača tokom vožnje ukoliko se u neposrednoj blizini (sa leve ili desne strane) nađe drugo vozilo, čime sugerišu da prestrojavanje ili skretanje nije bezbedno. Nagla ekspanzija i napredak radarske tehnologije, kao i sve veći stepen integracije, zaslužni su i za mnoga druga bezbednosna i luksuzna svojstva, koja se nalaze u savremenim automobilima. Tu spadaju sistemi za upravljanje vazдушnim jastucima [11], detekciju zauzetosti sedišta [12], detekciju umora vozača [13] itd. Potrebno je izdvojiti jednu važnu primenu radarskih senzora u upravljanju autonomnim automobilima [14–17] na kojima uveliko rade mnogi istraživački timovi. Autonomni i polu-autonomni automobili, pored lasera, kamera i sistema za globalno pozicioniranje [6], poseduju više radarskih senzora koji omogućavaju kretanje bez vozača na osnovu unapred zadatih putanja. Ova mogućnost će ubuduće vozačima u mnogome olakšati duga i naporna putovanja. Korišćenje radarskih sistema u automobilskoj industriji je strogo kontrolisano regulatornim telima zemlje u kojoj se sistem koristi i moguće samo u jasno definisanom delu frekvencijskog spektra sa odgovarajućom snagom emisije.

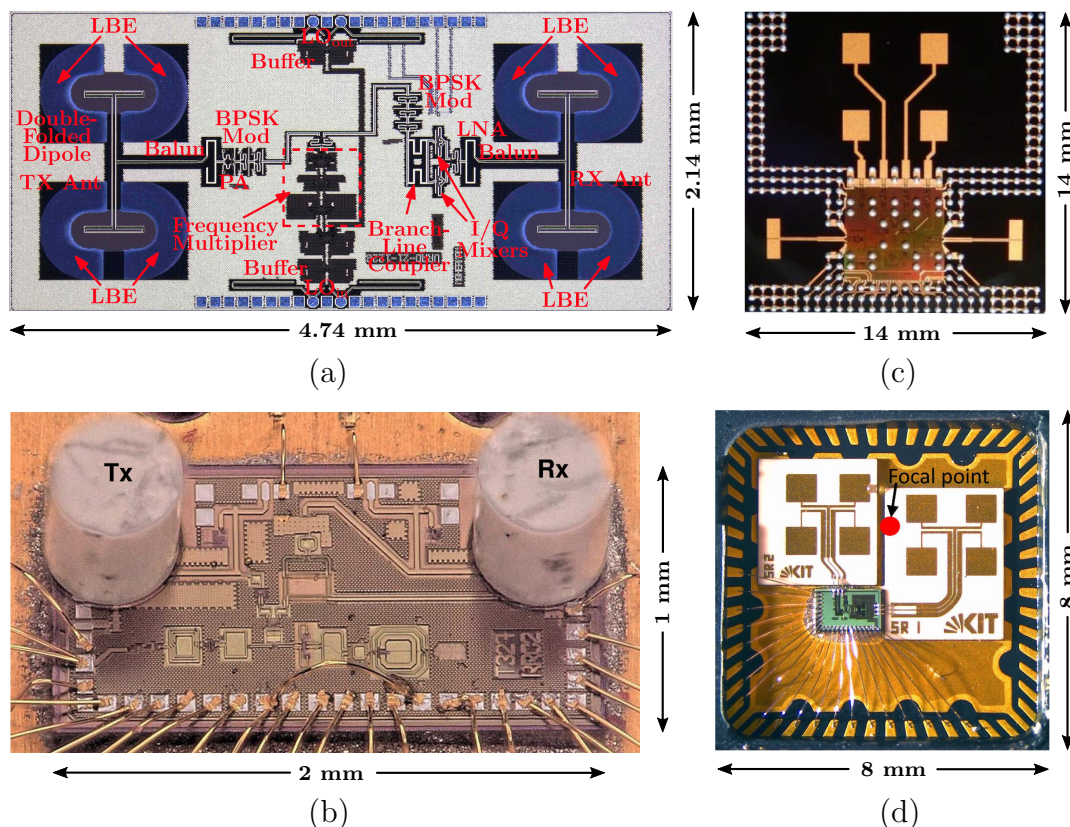
Pored automobilske industrije, integrisani radarski senzori imaju ogroman potencijal u medicinskoj i potrošačkoj industriji [18], gde se mogu koristiti za razne primene koje poboljšavaju kvalitet i olakšavaju svakodnevni život. Svakako danas aktuelna primena radara za detekciju pokreta ruke [19–23] je korak napred ka uspostavljanju jednostavne i intuitivne komunikacije između čoveka i računara. Ideja je da se na osnovu određenih pokreta ruke, pomoću integrisanog radarskog senzora i kompleksnog digitalnog procesiranja signala (engl. *Digital Signal Processing* - DSP), detektuju unapred definisani pokreti koji predstavljaju odgovarajuće instrukcije za računar. Na ovaj način se izbegava korišćenje dosadašnjih interfejsa, kao što su miš i tastatura. Pun potencijal ove aplikacije još nije istražen i prisutan na tržištu, ali se očekuje da u skoroj budućnosti svaki pametni telefon u sebi ima integrisan radar za detekciju pokreta. Neke od praktičnih primena radara u medicinske svrhe su beskontaktna naočare za osobe sa oštećenim vidom [24], detekcija vitalnih znakova bolesnika [25–31], detekcija govora [32–34], formiranje 2D i 3D biomedicinskih slika [35–39] na osnovu kojih se mogu otkriti maligna oboljenja kao što je rak dojke [40–43].

U industrijskim primenama, radarski senzori se uglavnom koriste za precizna merenja rastojanja i detekciju vibracija [44–47]. Danas se najčešće sreću radari za merenje nivoa dobara u rezervoarima i silosima [48–50], praćenje rada vetrogeneratora [51, 52], merenje pozicije klipa u hidrauličnim cilindrima [53], merenje visine snega [54] i preciznu lokalizaciju [55]. Postoje i druge vrste industrijskih radara koje rade na principu formiranja radarskih slika, i koriste se za analizu materijala i kontrolu kvaliteta.

Posebno je zanimljiva primena lakih radarskih senzora u bespilotnim letelicama (engl. *Unmanned Aerial Vehicle* - UAV), poznatim kao dronovi, koje se danas sve češće mogu videti u vazduhu. Radari se u ovim sistemima koriste u svrhu snimanja terena iz vazduha [56] i izbegavanja sudara [57]. Dronovi imaju veliki potencijal i očekuje se da će preuzeti glavnu ulogu u budućim dostavnim sistemima, potencijalno služiti kao mobilni linkovi i imati mnoge druge primene u budućim pametnim gradovima. Stoga je neophodna detaljna kontrola i nadzor vazdušnog prostora. Obzirom da male dimenzije i mobilnost omogućavaju dronovima pristup teško dostupnim predelima, oni se sve više zloupotrebljavaju i koriste za narušavanje privatnosti ljudi i objekata. To je donelo pred istraživače novi izazov, kako jednostavno detektovati dronove sa malim radarskim presekom (engl. *Radar Cross-Section* - RCS)? Kao idealno rešenje opet se nameću radarski senzori, koji polako nalaze primenu i u oblasti detekcije i praćenja malih vazdušnih meta [58, 59].

Kako bi se postigle što manje dimenzije integrisanih radarskih senzora i ujedno smanjili troškovi fabrikacije integrisanih kola, radne učestanosti radara su pome-
rene u oblast milimetarskih talasa (engl. *Millimeter-Wave* - mmWave). Ovom delu
frekvencijskog spektra odgovara opseg učestanosti od 30 do 300 GHz, pri čemu se
talasna dužina signala, λ , kreće u opsegu od 10 do 1 mm, respektivno. Shodno
tome, opseg je dobio naziv “milimetarski”. Posledica rada na ovako visokim učesta-
nostima je svakako kompleksnost i osetljivost projektovanja integrisanih kola, koja
sa inženjerske tačke gledišta predstavlja veliki izazov i dodatnu motivaciju. S druge
strane, mmWave opseg pruža nove mogućnosti za poboljšanje performansi radarskih
senzora, a jedna od najvažnijih je propusni opseg. Prilikom projektovanja kola za
rad u mmWave opsegu koriste se kalemovi i ogranci vodova fizički malih dimenzija,
što olakšava integraciju transformatora, mreža za prilagođenje i drugih pasivnih
struktura, a samim tim se smanjuje ukupna površina radarskog senzora.

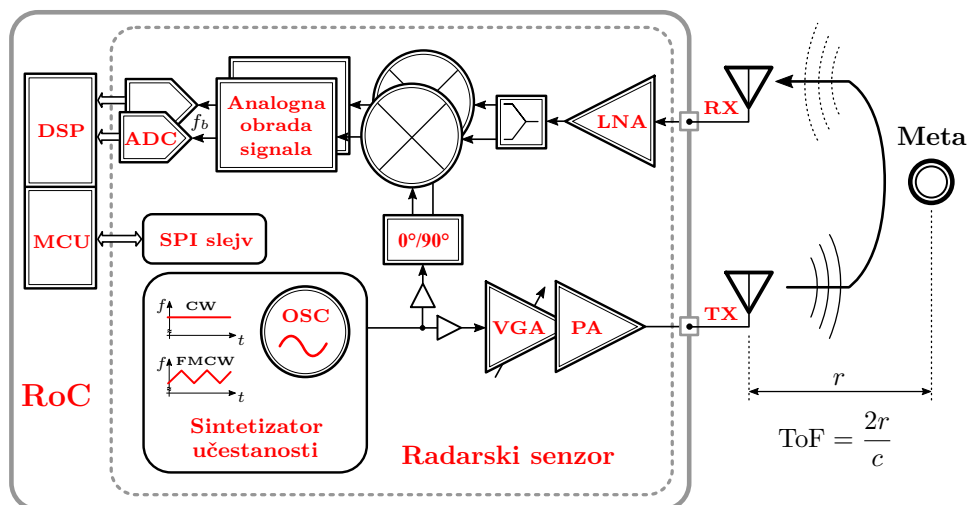
Proces integracije se nije zaustavio na radarskim sensorima, već se uveliko radi
na novim strategijama koje imaju za cilj da spoje senzor sa antenama. Ideja je da
se, kao rezultat integracije, dobije mali i kompaktni modul sa niskofrekventnim izla-
zima, koji se jednostavno može povezati sa ostatkom sistema na jeftinoj štampanoj
ploči (engl. *Printed Circuit Board* - PCB). Na ovaj način se cena radara dodatno
smanjuje, jer nisu potrebni skupi supstrati sa malim gubicima u mmWave opsegu.
Dve integracione strategije su danas najzastupljenije, a to su smeštanje antena na
čipu (engl. *Antenna-on-Chip* - AoC) ili u pakovanju (engl. *Antenna-in-Package* -
AiP) [60]. Reprezentativni primeri AoC i AiP rešenja sa potpuno integrisanim ra-
darskim primopredajnicima u BiCMOS tehnologijama su prikazani na slici 2. AoC
rešenja (a) i (b), sa po jednom prijemnom i predajnom antenom, predstavljaju in-
tegrisane radarske module za rad u 122 i 160 GHz-nim opsezima, respektivno. Za
razliku od njih, (c) i (d) predstavljaju AiP rešenja za rad u 60 i 122 GHz-nim op-
sezima, respektivno. Sistem na 60 GHz poseduju više prijemnih i predajnih antena
koje omogućavaju digitalno usmeravanje radarskog snopa i detekciju ugla dolaska
(engl. *Angle of Arrival* - AoA) [21]. Obe integracione strategije imaju prednosti
i nedostatke, koje izrazito zavise od radne učestanosti radarskog sistema. Na gor-
njem delu mmWave opsega, veliku prednost u integraciji i ukupnoj ceni modula
imaju antene na čipu. Međutim, na nižim učestanostima ovo rešenje zahteva znatno
veću površinu antena, koja dominira u odnosu na senzor, pa samim tim troškovi
fabrikacije integrisanog kola postaju neprihvatljivi za masovnu proizvodnju. Iako
AoC deluje intuitivnije i jednostavnije od AiP rešenja, tu su mnogi izazovi koje je



Slika 2: Primeri savremenih antenskih rešenja u radarskim modulima: (a) 122 GHz AoC [61], (b) 160 GHz AoC [62], (c) 60 GHz AiP [21], i (d) 122 GHz AiP [63].

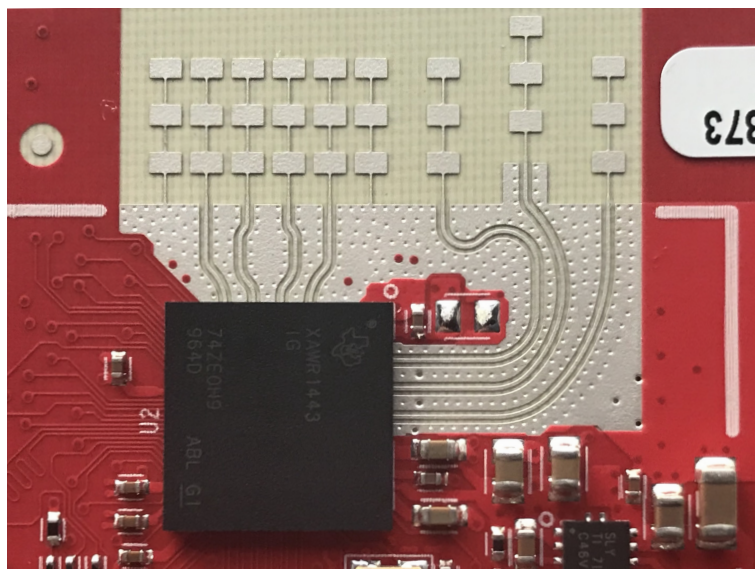
potrebno prevazići prilikom projektovanja, kao što su efikasnost antena, izolacija, propusni opseg, dijagram zračenja i dalja integracija pakovanja [64]. U radarskim sistemima koji rade na učestanostima preko 100 GHz, česta je praksa da se antene integrišu na čipu zajedno sa senzorom [61, 62], čime se postižu male površine od nekoliko kvadratnih milimetara.

Velike prednosti integracije radarskih sistema su svakako smanjenje dimenzija radara i njihova mobilnost, što je za određene primene od suštinske važnosti. Danas se kompleksni radarski sistemi, koji rade u mmWave opsegu, sve više integrišu u jednu celinu, uključujući pored RF radarskog jezgra i analogno-digitalne konvertore (engl. *Analog-to-Digital Converter* - ADC), DSP i mikrokontrolerske jedinice (engl. *Microcontroller Unit* - MCU). Ovakav radarski sistem, projektovan i spakovan u jednom integrisanom kolu, se naziva radar na čipu (engl. *Radar-on-Chip* - RoC). Blok dijagram savremenog RoC-a je prikazan na slici 3. Visok stepen integracije, pored malih dimenzija, omogućava značajnu redukciju cene sistema, a samim tim i široku dostupnost. Prvi komercijalni RoC pojavio se na tržištu u maju 2017.



Slika 3: Blok dijagram potpuno integrisanog radarskog sistema (RoC).

godine, kada je firma Texas Instruments objavila seriju CMOS radara za industrijske primene u opsegu od 76 do 81 GHz. Jedan od tih je i RoC sa oznakom AWR1443 [65] sertifikovan za automobilsku industriju i prikazan na slici 4, koji pored senzora ima integrisan mikrokontroler ARM-Cortex R4F i hardverski akcelerator.



Slika 4: Prvi komercijalno dostupni CMOS RoC na 79 GHz razvijen od strane firme Texas Instruments za primene u automobilskoj industriji.

Radarska tehnologija danas ima veliku konkurenciju na tržištu senzora, imajući u vidu da je sve veći broj rešenja za određivanje rastojanja na osnovu merenja vremena preleta (engl. *Time of Flight* - ToF). Najčešće primene ToF tehnologije su

u optičkim sistemima, kao što su lidari, CCD/CMOS kamere, PMD itd. Prednost ovih senzora u odnosu na radarske je tačnost merenja rastojanja, koja je znatno veća usled veoma malih talasnih dužina svetlosti karakterističnih za pomenute senzore. U poređenju sa navedenim tehnologijama, radarski senzori su robusniji i mogu da rade u uslovima povećanog ili smanjenog intenziteta svetlosti, kao i u nedostatku optičke vidljivosti usled magle ili prašine. Stoga su radarski senzori nezamenljivi u industrijskim aplikacijama, gde je pravilno funkcionisanje u otežanim okolnostima od velikog značaja. Još jedna od prednosti radarskih senzora je mogućnost integracije i pristupačna cena, koja je mnogo manja u odnosu na optičke sisteme na bazi lasera ili kamera. U kompleksnim sistemima, kao što su autonomni automobili, koristi se kombinacija radarske i drugih ToF tehnologija kako bi se iskoristio potencijal svake od njih i senzori međusobno dopunjavali.

1.1 Opis problema

Iako postoje različite vrste, u praksi su najčešći Doplerovi i frekvencijski modulirani (engl. *Frequency-Modulated Continuous-Wave* - FMCW) integrisani radarski senzori. Za razliku od Doplerovih radara koji u zavisnosti od konfiguracije mogu da određuju male pomeraje ili relativnu brzinu, frekvencijski modulirani radari su u stanju da mere istovremeno brzinu i rastojanje mete. Stoga integrisani FMCW radarski senzori imaju veoma široku primenu. Ključna komponenta u FMCW radarima je sintetizator učestanosti, koji sintetiše predajni signal radara i obezbeđuje željenu modulacionu šemu. Osnovni talasni oblik FMCW radara je linearna frekvencijska rampa, čirp (engl. *Chirp*), određenog propusnog opsega (devijacije učestanosti) i trajanja. Često su u praksi potrebne veoma kompleksne modulacione šeme koje se sastoje iz čirpova različitih devijacija učestanosti i nagiba. One omogućavaju korišćenje različitih tehnika za izbegavanje imaginarnih meta, kao i jednostavnije procesiranje signala niskih učestanosti na izlazu radarskih senzora.

Kako bi se postigle željene karakteristike integrisanih FMCW sintetizatora na nivou sistema, neophodni su kompromisi u pogledu odabira tehnologije i topologije. Prilikom projektovanja često se javljaju oprečni zahtevi koje nije jednostavno zadovoljiti, kao što su širok propusni opseg i mali fazni šum (engl. *Phase Noise* - PN), ili velika izlazna snaga i mala potrošnja. Stoga je izbor optimalnog rešenja od izuzetne važnosti. Topologija i hardverska arhitektura FMCW sintetizatora dominantno utiču na linearnost rampe, koja je pored toga ograničena dinamičkim karakteristikama sintetizatora i pojačanjem naponski kontrolisanog oscilatora. Po-

sebnost je teško postići mali fazni šum oscilatora na milimetarskim učestanostima, što uzrokuje viši nivo ukupnog šuma sintetizatora. Redukcija faznog šuma u mmWave opsegu neretko zahteva sofisticirane hardverske arhitekture [66–68] i ujedno otežava postupak projektovanja. Zbog toga linearnost rampe i fazni šum predstavljaju ograničavajuće faktore FMCW sintetizatora. Ti faktori utiču na tačnost i rezoluciju integrisanog radarskog senzora i ključni su parametri prilikom projektovanja.

Konkretni zahtevi o linearnosti i faznom šumu zavise pre svega od primene radara. Savremeni LRR senzori za rad u mmWave opsegu tipično zahtevaju dobru linearnost rampe i veoma mali fazni šum. Ovo omogućava bolji odnos signal/šum (engl. *Signal-to-Noise Ratio* - SNR) na ulazu u prijemnik, što ujedno povećava prag detekcije i tačnost određivanja rastojanja. Kod ovih senzora SNR je izrazito osetljiv parametar, imajući u vidu prostorno slabljenje talasa i veliku udaljenost mete od radara. S druge strane, detekcija dalekih objekata najčešće ne zahteva visoku rezoluciju radara pa dopušta integrisanim LRR sensorima relativno uzak propusni opseg. Uskopojasnost oscilatora pruža mogućnost za poboljšanje faznog šuma i pojednostavljuje projektne zahteve fundamentalnih blokova radara. Osnovna osobina LRR senzora je potreba za velikom predajnom snagom, koja može biti problematična na milimetarskim učestanostima čak i u savremenim tehnološkim procesima. Iako na prvi pogled deluje nelogično, izuzev primopredajnog lanca, naročito pojačavača snage (engl. *Power Amplifier* - PA) i malošumnog pojačavača (engl. *Low-Noise Amplifier* - LNA), SRR senzori su izazovniji za projektovanje od LRR senzora. Oni zahtevaju izuzetnu rezoluciju radara i širok propusni opseg, s obzirom na to da vrše lokalizaciju relativno malih i bliskih meta. Širok propusni opseg povećava složenost SRR senzora i čini ih posebno zahtevnim za projektovanje. Postizanje kompromisa između visoko linearnih i širokopojasnih rampi, kao i zadovoljavajućeg faznog šuma sintetisanog signala, je najveći izazov kod ovih radara. U okviru disertacije posebna pažnja je posvećena projektovanju širokopojasnih FMCW sintetizatora učestanosti za integrisane SRR senzore.

Dva mmWave opsega, 57–64 GHz i 77–81 GHz, su od posebnog interesa za SRR senzore. Prvi deo spektra predstavlja nelicencirani opseg od 7 GHz dodeljen za upotrebu u industrijske, medicinske i naučne (engl. *Industrial, Scientific and Medical* - ISM) svrhe. Isto tako, ovaj opseg se može koristiti za komercijalne primene radarskih senzora sa ograničenom snagom emisije. Drugi deo spektra je opseg od 4 GHz rezervisan za primene u automobilske industriji. Ukoliko se iskoristi pun potencijal ovih opsega i sintetišu linearne rampe maksimalne devijacije učestanosti, postiže se

izvanredna širokopoljasnost i rezolucija radarskog sistema. Na ovaj način se poboljšava mogućnost radara da detektuje dve bliske mete. Ta osobina se često naziva prostorna rezolucija radara, a propusni opsezi od 7 i 4 GHz odgovaraju prostornim rezolucijama od 2,2 i 3,8 cm, respektivno.

Kao dva projektna primera u okviru ove teze, prikazani su širokopoljasni FMCW sintetizatori učestanosti koji rade u pomenutim mmWave opsezima. Integrisana kola su projektovana u 0,13 μm BiCMOS SiGe:C HBT procesu oznake SG13S proizvođača IHP Microelectronics [69].

1.2 Organizacija teze

Teza je organizovana po poglavljima na sledeći način:

- Poglavlje 2 sadrži teorijske osnove o FMCW radarskim sensorima i sintezi učestanosti. Presentovani su kompromisi, koje je neophodno praviti prilikom projektovanja integrisanih FMCW sintetizatora učestanosti, između faznog šuma i propusnog opsega, brzine modulacije i linearnosti rampe, izlazne snage i potrošnje, kao i odabira radne učestanosti i površine. Detaljan pregled i analiza različitih topologija FMCW sintetizatora omogućavaju izbor optimalne topologije za rad u mmWave opsegu. Presentovana su tehnička i tehnološka ograničenja performansi usled izbora topologije.
- Poglavlje 3 sadrži razmatranja o različitim hardverskim arhitekturama FMCW sintetizatora na bazi fazno sinhronisanih petlji sa racionalnom vrednošću delioca u povratnoj sprezi. Izvedeni zaključci, uz smernice projektovanja koje uzimaju u obzir tehnološka ograničenja, su primenjeni na projektovanje dva sintetizatora učestanosti u mmWave opsegu.
- Poglavlje 4 sadrži detaljnu analizu programabilnih FMCW generatora rampi i predlog nove hardverske arhitekture.
- Poglavlje 5 sadrži postupak projektovanja i rezultate merenja širokopoljasnog FMCW sintetizatora koji radi u nelicenciranom opsegu od 57 do 64 GHz.
- Poglavlje 6 sadrži postupak projektovanja širokopoljasnog FMCW sintetizatora za automobilske radarske senzore kratkog dometa u opsegu od 77 do 81 GHz.
- Poglavlje 7 sadrži zaključak i završne komentare.

2 Osnove FMCW radara i sinteze učestanosti

Postoje dva fundamentalno različita načina rada radarskih senzora, a to su impulsni i kontinualni (engl. *Continuous Wave* - CW). Impulsni radari emituju elektromagnetske talase u kratkim vremenskim intervalima, koji se periodično ponavljaju. To zahteva generisanje impulsa velike snage i kratkog trajanja. Zbog čega su impulsni radari neefikasni za monolitnu integraciju [70] i po prirodi imaju velik odnos vršne i srednje snage (engl. *Peak-to-Average Power Ratio* - PAPR). S druge strane, CW radari neprekidno emituju elektromagnetske talase i imaju PAPR jednak tri decibela, pa su zbog toga efikasniji i prikladniji za integrisane realizacije. Oni se često u literaturi nazivaju Doplerovi radari.

Nemodulisani CW radari određuju relativnu brzinu objekta pomoću Doplerovog frekvencijskog pomeraja, pri čemu se može odrediti i smer kretanja [71]. Doplerova učestanost, f_d , je određena kao [72]:

$$f_d = 2v_r \cdot \frac{f_0}{c - v_r} \approx \frac{2v_r}{\lambda}, \quad (1)$$

gde je v_r relativna brzina mete u odnosu na radar, c brzina svetlosti ($c \gg v_r$), a f_0 radna učestanost. Veza između relativne i prave brzine objekta je $v_r = v \cos \theta$, gde je θ ugao koji zaklapaju pravac kretanja objekta i pravac radar-objekat.

Korišćenjem veze između frekvencije i faze, CW radari sa fiksnom učestanošću nosioca se mogu koristiti za detekciju promene faze prijemnog signala u odnosu na predajni. Na ovaj način se mogu meriti veoma mali prostorni pomeraji ($< \lambda/2$), a radari koji rade u ovom modu se nazivaju interferometrijski [18]. Doplerovi i interferometrijski radari imaju prednost jednostavne hardverske arhitekture i uskog propusnog opsega, što ih čini podobnim za integraciju na čipu. Međutim, oni ne mogu da mere apsolutno rastojanje mete.

Ukoliko se u CW radarima primeni odgovarajuća modulacija nosioca [72], moguće je, pored relativne brzine i smeru, odrediti i apsolutno rastojanja mete. U praksi, najveću primenu imaju dva oblika modulacije nosioca, fazna (engl. *Phase Modulation* - PM) i frekvencijska modulacija (engl. *Frequency Modulation* - FM). CW radari modulisani pseudoslučajnim šumom [73], koji koriste tehnike kompresije impulsa za vremensku raspodelu energije, su održiva opcija pogotovo za pretežno digitalne im-

plementacije razvijene u savremenim CMOS procesima [74, 75]. Ozbiljan nedostatak PMCW radara je širina spektra signala u osnovnom opsegu (engl. *Baseband* - BB) učestanosti, koja iznosi polovinu RF opsega. Ova osobina je naročito problematična u sensorima ultra visoke rezolucije, gde je neizbežna ogromna potrošnja usled potrebe za izuzetno brzim konvertorima podataka. Kao alternativno rešenje nameću se FMCW radari, koji u poslednje vreme privlače veliku pažnju [62, 66, 76–85], delimično zahvaljujući velikom potencijalu za integraciju.

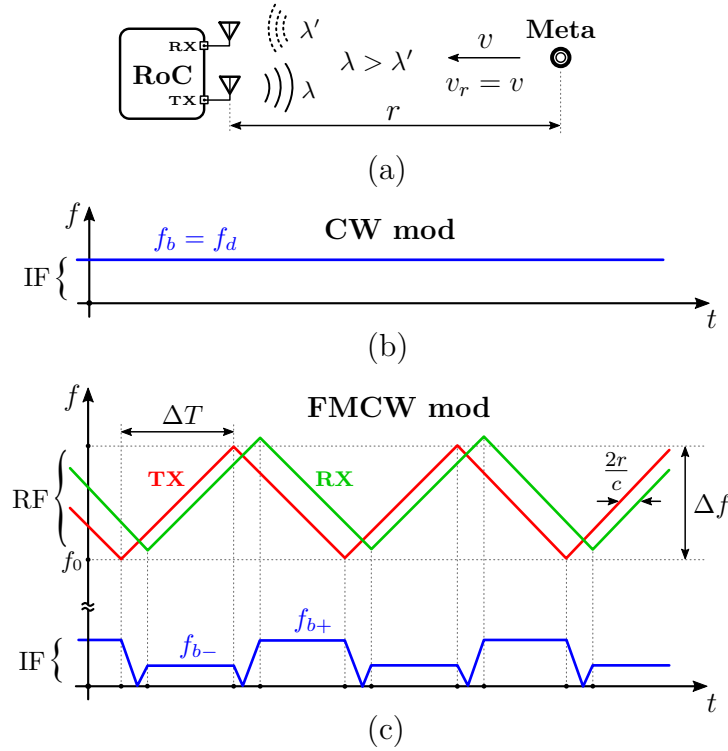
2.1 Princip rada FMCW radara i osnovne karakteristike

FMCW radari emituju sekvencu linearnih rampi, koje se simultano koriste i kao signal lokalnog oscilatora (engl. *Local Oscillator* - LO) za prijemni mešač. Pod pretpostavkom da nema nelinearne distorzije, demodulisani signal u osnovnom opsegu učestanosti će sadržati informacije o rastojanju (preko ToF efekta) i brzini (preko Doplerovog efekta) mete. Analogno sa akustikom, rezultujuća frekvencija, f_b , na izlazu mešača se obično naziva *beat* učestanost i za metu u pokretu se izračunava kao [86]:

$$f_b = f_r + f_d = \frac{2\Delta f}{c\Delta T} \cdot r + \frac{2}{\lambda} \cdot v_r, \quad (2)$$

gde je f_r pomeraj učestanosti usled rastojanja, Δf propusni opseg linearnog čirpa, ΔT trajanje modulacije, a r rastojanje mete. Ako želimo istovremeno da odredimo rastojanje i brzinu na osnovu izraza (2), neophodne su najmanje dve linearne rampe različitog nagiba. Kao rezultat, iz dva merenja se dobijaju različite *beat* učestanosti pomoću kojih se formira linearni sistem jednačina sa dve nepoznate. Na ovaj način se mogu jednoznačno meriti rastojanje i brzina mete. U praksi se najčešće koristi trougaona modulaciona šema sa rampama komplementarnog nagiba.

Princip detekcije objekta pomoću FMCW radara je prikazan na slici 5. Meta se nalazi na rastojanju r i kreće relativnom brzinom v_r ka radaru. U CW modu rada (b), f_b je kontinualno srazmerna Doplerovoj učestanosti, pa se pomoću jednačine (1) može izračunati relativna brzina mete. Za razliku od toga, u FMCW modu rada (c) se za trougaonu modulacionu šemu dobijaju dve *beat* učestanosti, f_{b-} i f_{b+} . Ove učestanosti se na izlazu prijemnog mešača pojavljuju u ograničenim vremenskim intervalima i njihova vrednost eksplicitno zavisi od nagiba rampe. U opštem slučaju, za uzlazne rampe imamo da je $f_{b-} = f_d - f_r$, a za silazne $f_{b+} = f_d + f_r$. Na osnovu



Slika 5: Detekcija objekta pomoću FMCW radara: (a) pozicioniranje u prostoru, merenje (b) relativne brzine u CW modu i (c) rastojanja u FMCW modu rada.

ovih izraza se izračunavaju rastojanje i relativna brzina u FMCW modu rada:

$$r = \frac{c\Delta T}{2\Delta f} \cdot \frac{f_{b+} + f_{b-}}{2}, \quad (3)$$

$$v_r = \frac{c}{2f_0 + \Delta f} \cdot \frac{f_{b+} - f_{b-}}{2}. \quad (4)$$

Svaki FMCW radar ujedno može da radi i u CW modu, pa je skladno tome Doplerov radar hardverski podskup FMCW radara. Na blok nivou, jedina razlika između ove dve vrste radara je u sintezi učestanosti, kao što je prikazano na slici 3. Zbog toga je sintetizator učestanosti ključna komponenta FMCW radara. Uloga ovog podsistema je da generiše nosilac i obezbedi željenu modulacionu šemu. Pored toga, FMCW sintetizatori dominantno utiču na osnovne karakteristike integrisanih radarskih senzora, od kojih je posebno važan SNR.

2.1.1 SNR i radarska jednačina

SNR na ulazu u radarski prijemnik se može izraziti kao:

$$SNR = \frac{P_R}{P_N}, \quad (5)$$

gde je P_R snaga korisnog signala na ulazu u prijemnik, a P_N snaga šuma. Ovaj odnos određuje prag detekcije mete, što je od izuzetnog značaja pri merenju udaljenih objekata. Kod radarskih senzora prag detekcije je tipično oko 10 dB [1]. Ova vrednost daje mali procenat lažnih uzbuna sa visokom verovatnoćom otkrivanja mete.

Snaga korisnog signala na ulazu u prijemnik je određena dobro poznatom radarskom jednačinom [72]:

$$P_R = \frac{G_T G_R \lambda^2 \sigma}{(4\pi)^3 r^4 L_{\text{tot}}} \cdot P_T, \quad (6)$$

gde su G_T i G_R pojačanja predajne i prijemne antene, σ radarski poprečni presek (RCS), P_T predajna snaga senzora, a L_{tot} koeficijent ukupnih gubitaka koji se moraju uračunati prilikom korišćenja radarske jednačine (atmosfersko slabljenje, kombinovani gubici u senzoru itd). Iz jednačina (5) i (6) se može zaključiti da se povećanjem predajne snage poboljšava SNR. Iako na prvi pogled deluje kao jednostavno i logično rešenje, povećanje predajne snage na milimetarskim učestanostima nije lako postići usled tehnoloških ograničenja. Još jedan limitirajući faktor su regulative koje propisuju maksimalnu efektivnu snagu emisije (engl. *Effective Isotropic Radiated Power* - EIRP) radarskih senzora na određenoj učestanosti.

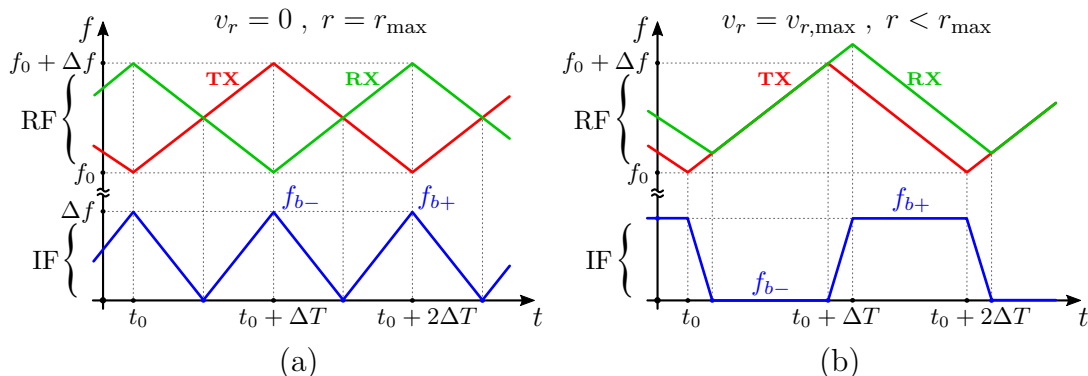
S druge strane, glavni uzrok pogoršanja SNR-a radarskih senzora, pored prostornog slabljenja signala i kombinovanih gubitaka unutar radarskog sistema, je šum. Ukupna snaga šuma u osnovnom opsegu je uzrokovana većim brojem izvora, kao što su termički šum, propusni opseg, šum prijemnika, fliker ($1/f$) šum, amplitudski i fazni šum oscilatora [1]. Stoga je postizanje što manjeg faktora šuma prijemnika veoma važan zadatak prilikom projektovanja integrisanih radarskih senzora.

Zahvaljujući slučajnoj prirodi šuma i determinističkoj prirodi prijemnog signala, poboljšanje SNR-a u radarskim sensorima se može postići vremenskim usrednjavanjem za više uzastopnih rampi.

2.1.2 Maksimalno rastojanje i relativna brzina

Zanimljivo je razmotriti sistemska ograničenja FMCW radara po pitanju određivanja rastojanja i relativne brzine. Granični slučajevi jednoznačne detekcije ovih

veličina su prikazani na slici 6.



Slika 6: FMCW mod rada u graničnim slučajevima jednoznačne detekcije: (a) najudaljenije stacionarne mete i (b) mete koja se kreće najvećom brzinom.

Slučaj (a) predstavlja određivanje stacionarne mete koja se nalazi na najvećem odstojanju. Usled efekta prostiranja, signal na ulazu u prijemnik je znatno zakašnjen, tako da su trougaoni talasni oblici frekvencije prijemnog i predajnog signala u kontrafazi. To ima za posledicu da se nakon demodulacije dobija trougaoni talasni oblik *beat* učestanosti sa vršnim vrednostima, f_{b-} i f_{b+} , jednakim propusnom opsegu rampe. Maksimalno rastojanje, koje FMCW radar može jednoznačno detektovati, je:

$$r_{\max} = \frac{c\Delta T}{2}. \quad (7)$$

U drugom slučaju (b), meta se nalazi na poznatom rastojanju ($r < r_{\max}$) i kreće najvećom brzinom. Tada je vrednost učestanosti f_{b-} jednaka nuli, pa se na osnovu izraza (3) i (4) dobija maksimalna relativna brzina koju FMCW radar može jednoznačno detektovati:

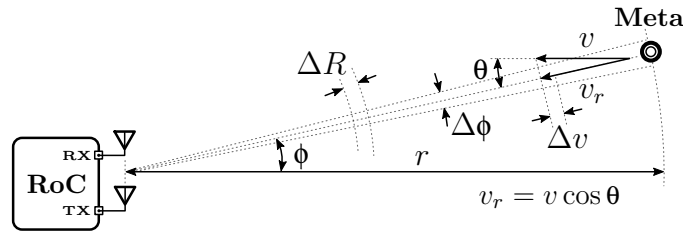
$$v_{r,\max} = \frac{2\Delta f}{(2f_0 + \Delta f)\Delta T} \cdot r. \quad (8)$$

Ova brzina zavisi od rastojanja na kome se objekat nalazi i postaje značajan faktor tek na malim odstojanjima.

Kao što se može zaključiti na osnovu izraza (7) i (8), granične vrednosti rastojanja i relativne brzine su određene parametrima rampe, odnosno propusnim opsegom, trajanjem rampe i radnom učestanošću radarskog senzora. Predstavljeni granični slučajevi se u praktičnim primenama retko dostižu usled pojave drugih ograničenja, kao što su šum i maksimalna učestanost odabiranja ADC-a.

2.1.3 Rezolucije radara

Kada u prostoru postoji više meta, veoma važne karakteristike radara su separabilnosti rastojanja i brzine, kao i ugaona rezolucija. Ove vrednosti utiču na tačnost lokalizacije meta i prikazane su na slici 7.



Slika 7: Rezolucije rastojanja, brzine i ugla.

Rezolucija rastojanja, ΔR , kvantifikuje sposobnost radara da razlikuje dve mete blizu jedne drugoj po radijalnoj osi. Određena je konačnom tačnošću prelaska vremenski ograničenog signala *beat* učestanosti u frekvencijski domen. Teorijska donja granica za ΔR je [87]:

$$\Delta R = \frac{c}{2\Delta f}. \quad (9)$$

Najmanja razlika u relativnoj brzini dve mete, koju radar može da detektuje, je rezolucija brzine, Δv , i data je kao [87]:

$$\Delta v = \frac{\lambda}{2\Delta T}. \quad (10)$$

Jednačine (9) i (10) važe samo za odgovarajuću tačnost detekcije radarskog senzora, odnosno kada SNR i linearnost rampe nisu ograničavajući faktori. U suprotnom, rezolucije rastojanja i brzine FMCW radara su ograničene ovim parametrima.

Antenski deo FMCW radara je od izuzetne važnosti, jer on, pored konverzije električnih signala u elektromagnetske talase, određuje ugaonu rezoluciju radara, $\Delta\phi$. Ona predstavlja minimalni ugao između dve mete, koje se nalaze na istoj udaljenosti od radara, za koji ih radar detektuje odvojeno. Koristeći Rejljev kriterijum, ugaona rezolucija se izračunava kao [88]:

$$\Delta\phi = 1.22 \frac{\lambda}{d}, \quad (11)$$

gde je d veličina otvora antene u pravcu od interesa. Tačnost određivanja ugla zavisi od SNR-a, koji u realnim slučajevima može da ograniči rezoluciju ugla senzora.

2.1.4 Formiranje radarskog snopa

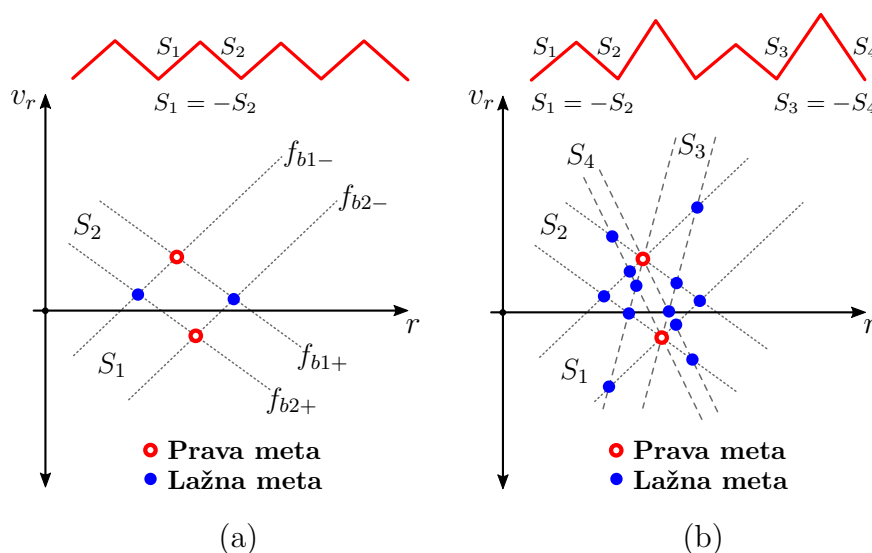
Ukoliko je potrebno detektovati dve bliske statičke mete na istom rastojanju od radara, neophodno je adekvatno uobličavanje prijemnog i/ili predajnog radarskog snopa. Ovo zahteva kompleksniji antenski sistem od prikazanog na slici 3. Kako bi se obezbedila potrebna separabilnost, poželjno je da radarski snop bude uzak i upravljiv. Uzak snop se postiže pomoću antenskih nizova (engl. *Antenna Array*) ili dodatnih kvazi-optičkih elemenata, kao što su dielektrična sočiva. Tako se oblikuju dijagrami zračenja antena i postiže fiksna usmerenost. Ovaj pristup formiranja radarskog snopa je posebno važan za LRR senzore u automobilskoj industriji [1, 89], ali i za sve druge primene [39, 62, 63] u kojima je potrebno izbeći detekciju velikog broja neželjenih objekata iz okruženja i usresrediti se na mete od interesa. Pored toga, poželjno je omogućiti usmeravanje radarskog snopa. Na taj način se radaru daje mogućnost da vrši skeniranje prostora i odvojeno detektuje objekte na istom odstojanju. Pretraživanje vidnog polja radara se može realizovati na više načina, kao što su mehaničko usmeravanje, digitalno (engl. *Digital Beamforming* - DBF) ili analogno (engl. *Analog Beamforming* - ABF) formiranje radarskog snopa.

Pomoću mehaničkog usmeravanja se može postići odlična rezolucija ugla, potiskivanje interferencije i veliko vidno polje. Međutim, ovakvi sistemi su glomazni, komplikovani za proizvodnju i ono što je presudno, veoma su skupi. Zato se u integrisanim realizacijama najčešće koriste DBF i ABF. Korišćenje ovih tehnika značajno povećava ukupnu površinu čipa, jer zahteva integraciju više prijemnika i predajnika. Kod prvih se formiranje radarskog snopa vrši u digitalnom domenu, pa je zato ovaj koncept prilično fleksibilan. Glavni nedostaci koncepta su osetljivost na interferenciju i potreba za velikim brojem kanala da bi se postigli dobra ugaona rezolucija i uski radarski snop. Reprezentativni primeri integrisanih sistema koji koriste DBF su prikazani u [21, 90]. ABF podrazumeva upravljanje snopom u okviru RF dela sistema, pa je samim tim mnogo brži od digitalnog i izvršava se skoro trenutno. Najčešća implementacija ABF-a je tehnika faznih nizova (engl. *Phased Array*) sa pomeračima faze (engl. *Phase Shifter*). Programabilni pomerači faze kontrolišu fazu mmWave signala i na taj način usmeravaju radarski snop. Velika prednost ABF-a u odnosu na DBF je otpornost na interferenciju, a nedostaci su potreba za dodatnim RF blokovima i zahtevnost projektovanja ovakvih sistema. Reprezentativne implementacije integrisanih faznih nizova su prikazane u [82, 84, 91, 92]. Detaljnije poređenje ovih tehnika je predstavljeno u [1]. Neretko se koriste hibridni sistemi koji kombinuju pomenute pristupe da bi iskoristili njihove najbolje osobine.

2.1.5 Ekstrakcija rastojanja i relativne brzine više meta

Klasičan pristup ekstrakcije rastojanja i relativne brzine, prikazan na slici 5(c) i određen izrazima (3) i (4), ima problem sa jednoznačnim određivanjem više meta. Naime, detekcija N objekata rezultuje sa po N vršnih vrednosti *beat* učestanosti za svaku uzlaznu i silaznu rampu. To daje N^2 kombinacija, od kojih samo N odgovara pravim metama. Ostale kombinacije predstavljaju lažne mete i često se nazivaju mete duhovi (engl. *Ghost Targets*). One su posebno opasne, jer povećavaju procenat lažnih uzbuna radara i mogu dovesti do nesreće.

Dijagram zavisnosti relativne brzine od rastojanja je prikazan na slici 8 za dve pokretne mete, pri čemu se koriste modulacione šeme sa: (a) dve i (b) četiri linearne rampe različitog nagiba. Ako se koriste samo dve rampe, prave i lažne mete se ne mogu razlikovati u brzina-rastojanje ravni. Za četiri rampe se dobija 16 kombinacija, od kojih su samo dve dvostruke i odgovaraju pravim metama. Svaka rampa rezultuje sa po dve prave u brzina-rastojanje ravni, čiji je nagib određen brzinom modulacije. Kada se nagib rampe promeni, preseki prava koje prolaze kroz lažne mete se isto tako pomeraju. Nasuprot tome, tačke preseka pravih meta se ne pomeraju sa promenom nagiba, što omogućava jednoznačnu detekciju.



Slika 8: Zavisnost relativne brzine od rastojanja za dve mete u pokretu i modulacione šeme sa: (a) dve i (b) četiri linearne rampe različitog nagiba.

U opštem slučaju, potrebno je 2^N različitih nagiba rampi da bi se jednoznačno detektovalo N meta. Stoga klasičan pristup ekstrakcije zahteva veoma kompleksne modulacione šeme, kada je potrebno detektovati veliki broj meta.

2.1.6 2D-FFT pristup ekstrakcije rastojanja i relativne brzine

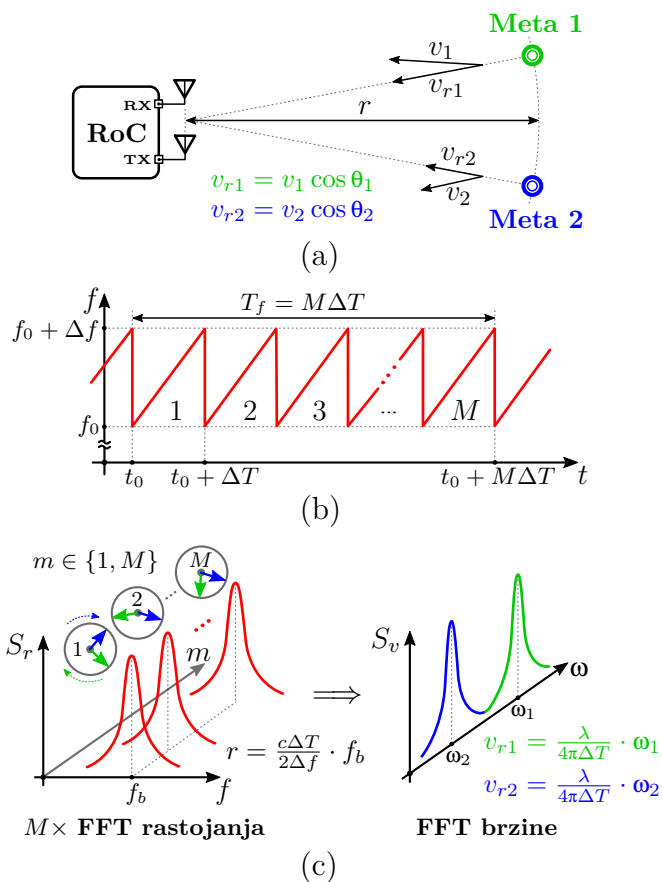
Drugi pristup ekstrakcije rastojanja i relativne brzine se zasniva na određivanju vršnih vrednosti frekvencijskog spektra IF signala i promene faze *beat* učestanosti za više uzastopnih rampi. Ovaj pristup ne zahteva kompleksne modulacione šeme. Potrebna je samo sekvenca brzih rampi istog nagiba, koja se naziva frejm (engl. *Frame*). Dužina sekvence, M , određuje trajanje frejma, T_f , i broj meta koje možemo jednoznačno da detektujemo.

Princip ekstrakcije rastojanja i relativne brzine na osnovu brzih linearnih rampi, za dve mete različitih brzina koje se nalaze na istoj udaljenosti od radara, prikazan je na slici 9. Rastojanje meta od radara se određuje pomoću diskretne brze Furijeove transformacije (engl. *Fast Fourier Transformation* - FFT) IF signala, koja se još naziva FFT rastojanja. Za svaku rampu se pronalaze pozicije vršnih vrednosti u frekvencijskom spektru, na osnovu kojih se izračunava rastojanje. Pošto su rampe veoma brze, *beat* učestanosti su dominantno određene ToF efektom, pa ih je usled ograničene rezolucije FFT-a ($1/\Delta T$) nemoguće razdvojiti. Isto tako je relativni pomeraj objekta u odnosu na radar, za trajanje jedne rampe, zanemarljivo mali i ne može se detektovati u amplitudskom delu spektra. Kao rezultat, za dve mete dobijamo samo jednu vršnu vrednost u FFT-u rastojanja, na osnovu koje nije moguće razlikovati mete. Iako amplitudski deo spektra u ovom slučaju ne daje rešenje, razdvajanje meta se može postići analizom faze *beat* učestanosti. Mali pomeraj mete tokom intervala ΔT značajno utiče na fazu sinusoidnih komponenti IF signala. Tako se posmatrajući promenu faze susednih rampi može odrediti relativna brzina.

Nakon određivanja rastojanja, nad sekvencom faza koje odgovaraju vršnim vrednostima amplitudskog dela spektra rampi, izračunava se FFT brzine. Rezultat FFT-a je spektar fazne razlike uzastopnih rampi u kom se jasno razdvajaju dve vršne vrednosti. Fazne razlike koje odgovaraju ovim maksimumima su srazmerne relativnim brzinama meta. Ovaj pristup ekstrakcije se naziva dvodimenzionalni FFT (2D-FFT) i prikazan je na slici 9(c). Relacija između fazne razlike uzastopnih rampi, ω , i relativne brzine mete je:

$$\omega = \frac{4\pi\Delta T}{\lambda} \cdot v_r. \quad (12)$$

Ako se relativne brzine meta na istom rastojanju razlikuju, radar će biti u mogućnosti da ih odvojeno detektuje. U slučaju kada postoji samo jedna meta, dovoljna je sekvenca od dve rampe da bi se ekstrahovali rastojanje i relativna brzina.



Slika 9: Detekcija dva objekta različitih brzina na istom rastojanju od radara: (a) pozicioniranje u prostoru, (b) sekvenca M linearnih rampi i (c) 2D-FFT metod.

Maksimalna relativna brzina mete, koja se može ekstrahovati ovom metodom, je određena trajanjem jedne rampe. Kako bi se izbegla dvosmislena estimacija relativne brzine, fazna razlika uzastopnih rampi mora da bude ograničena tako da važi $|\omega| < \pi$, odnosno:

$$\frac{4\pi\Delta T}{\lambda} \cdot v_r < \pi \implies v_r < \frac{\lambda}{4\Delta T}. \quad (13)$$

Glavni nedostatak ovog pristupa je potreba za izuzetno brzim rampama, koje omogućavaju jednoznačnu detekciju velikih relativnih brzina.

Broj linearnih rampi u frejmu neposredno utiče na separabilnost fazne razlike u FFT-u brzine. Stoga se rezolucija relativne brzine za 2D-FFT pristup ekstrakcije može izvesti kao:

$$\Delta\omega = \frac{4\pi\Delta T}{\lambda} \cdot \Delta v > \frac{2\pi}{M} \implies \Delta v > \frac{\lambda}{2M\Delta T} = \frac{\lambda}{2T_f}. \quad (14)$$

Trajanje frejma direktno ograničava rezoluciju brzine. Na osnovu izraza (13) i (14) se može zaključiti da je za detekciju brzih meta poželjno da ΔT bude malo, dok je za dobru rezoluciju brzine potrebno da ΔT bude veliko. Prema tome, neophodno je pronaći kompromis između ova dva oprečna zahteva, koji će zavisiti od namene radarskog sistema. Određivanje relativne brzine pomoću 2D-FFT pristupa ima zanimljivu primenu u merenju vibracija, na osnovu kojih se analiziraju fizička svojstva kao što su vitalni znaci bolesnika.

Pod pretpostavkom da se koristi sekvenca rampi adekvatne dužine, 2D-FFT pristup nema problem sa jednoznačnim određivanjem *beat* učestanosti u prisustvu više meta, za razliku od klasičnog pristupa ekstrakcije. Zato se ovaj pristup koristi za detekciju objekata u gusto popunjenim okruženjima, gde su automatska određivanja jednoznačnih rastojanja i relativnih brzina od krucijalnog značaja.

2.1.7 Detekcija ugla dolaska (AoA)

Kako bi mogli da lokalizujemo objekte u prostoru, potrebna je pored rastojanja i informacija o uglu dolaska (AoA). Za razliku od estimacije rastojanja i relativne brzine, gde je potrebna samo jedna prijemna antena, određivanje AoA mete zahteva bar dve prijemne antene. Na slici 10 je prikazana detekcija AoA objekta pomoću RoC sistema sa dve prijemne i jednom predajnom antenom. Razlika rastojanja između mete i dve prijemne antene, Δr , je srazmerna promeni faze *beat* učestanosti, ω , kao:

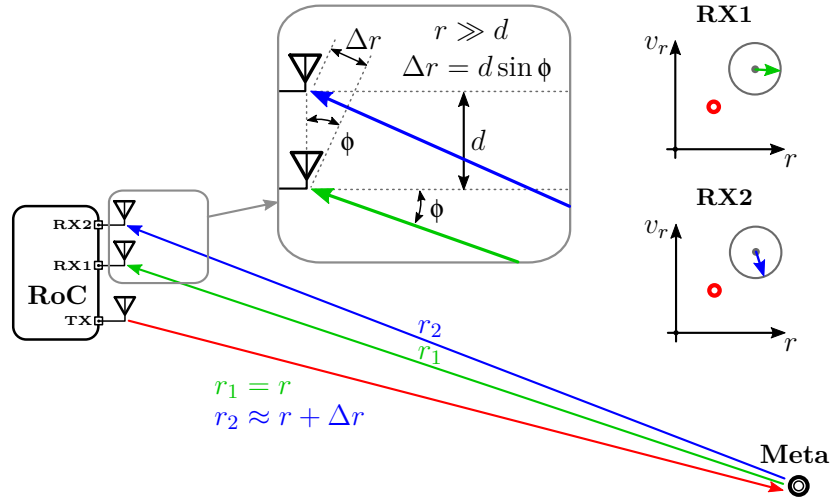
$$\Delta r = \frac{\lambda}{2\pi} \cdot \omega. \quad (15)$$

S druge strane, ova razlika se može aproksimirati kao $\Delta r = d \sin \phi$, gde je d rastojanje između prijemnih antena, a ϕ ugao koji zaklapaju centralni pravac vidnog polja radara i pravac radar-objekat. Odatle sledi da se AoA može estimirati izrazom:

$$\phi = \sin^{-1} \left(\frac{\lambda \omega}{2\pi d} \right). \quad (16)$$

Relacija između ugla i fazne razlike je nelinearna, što ima za posledicu da tačnost estimacije AoA zavisi od pozicije mete u prostoru. Tačnost estimacije je veća kada je ϕ blizu nule, jer je tada najveća osetljivost sinusne funkcije ($\sin \phi \approx \phi$). Kako se ϕ približava 90° , tačnost estimacije AoA se smanjuje.

Vidno polje AoA je određeno jednoznačnom detekcijom ugla, odnosno uslovom



Slika 10: Detekcija AoA objekta pomoću dve prijemne antene.

$|\omega| < \pi$ odakle se izračunava maksimalni AoA koji radar može da estimira:

$$\frac{2\pi d}{\lambda} \cdot \sin \phi < \pi \implies \phi < \sin^{-1} \left(\frac{\lambda}{2d} \right). \quad (17)$$

Za rastojanje dve prijemne antene $d = \lambda/2$ se dobija najveće vidno polje od $\pm 90^\circ$.

U slučaju detekcije AoA više meta, neophodan je veći broj prijemnih antena. Za svaku prijemnu antenu se izračunava FFT rastojanja i određuju faze vršnih vrednosti amplitudskog dela spektra IF signala. Potom se na osnovu dobijenih faza izračunava FFT ugla, što rezultuje spektrom fazne razlike susednih antena. U ovom spektru se razdvajaju vršne vrednosti koje odgovaraju različitim metama, pa se na osnovu jednačine (16) estimiraju uglovi dolaska. Princip je sličan kao i u slučaju određivanja relativnih brzina više meta na osnovu 2D-FFT-a frejma. Jedina razlika je u tome što se za separaciju brzina koristi sekvenca rampi pomerenih u vremenu, a za određivanje AoA niz antena pomerenih u prostoru. Bolja rezolucija separacije ugla zahteva veći broj faza na ulazu u 2D-FFT, odnosno više prijemnih antena.

Rezolucija AoA, $\Delta\phi$, je minimalni ugao za koji će se dve mete pojaviti kao odvojene vršne vrednosti u FFT-u ugla. Ona se aproksimativno izračunava:

$$\Delta\omega \approx \frac{2\pi d \cos \phi}{\lambda} \cdot \Delta\phi > \frac{2\pi}{P} \implies \Delta\phi > \frac{\lambda}{dP \cos \phi}, \quad (18)$$

gde je P broj prijemnih antena. Zavisnost rezolucije AoA od ϕ je posledica nelinearnosti izraza (16). Najbolja rezolucija AoA se dobija kada je $\phi = 0$, i za $d = \lambda/2$ iznosi $2/P$.

2.2 Kompromisi pri projektovanju FMCW sintetizatora

Sistemske parametri FMCW radarskih senzora zavise od primene i definišu se na samom početku projektovanja. U ovu grupu parametara spadaju rezolucije i tačnosti određivanja rastojanja, brzine i ugla, vidno polje, maksimalna i minimalna rastojanja i brzine koje je moguće detektovati, i drugi. Oni opisuju opšte karakteristike radarskog sistema i diktiraju zahteve projektnih parametara, koji su većim delom preslikani na parametre ključnog bloka FMCW radara, sintetizator učestanosti.

Većina projektnih parametara integrisanih FMCW sintetizatora se izvodi na osnovu jednačina pomenutih u prethodnom potpoglavlju. Potrebno je postići kompromis između osnovnih projektnih parametara, kao što su propusni opseg, brzina modulacije, linearnost, fazni šum, izlazna snaga, potrošnja, radna učestanost i površina sintetizatora. Ovi parametri predstavljaju detaljne specifikacije na osnovu kojih se projektuje sistem. Tipični prioriteti projektnih parametara FMCW sintetizatora učestanosti su prikazani u Tabeli 1 za različite primene radarskih senzora.

Tabela 1: Prioriteti projektnih parametara integrisanih FMCW sintetizatora učestanosti u zavisnosti od primene radarskih senzora.

Tip senzora	SRR	MRR	LRR
Fazni šum	srednji	visok	veoma visok
Propusni opseg	veoma visok	srednji	nizak
Brzina modulacije	veoma visok	srednji	nizak
Linearnost	visok	visok	visok
Izlazna snaga	mali	srednji	visok
Potrošnja	visok	visok	visok
Radna učestanost	visok	visok	visok
Površina	visok	visok	visok

Projektni parametri FMCW sintetizatora učestanosti su međusobno zavisni i teško ih je analizirati nezavisno. Pored toga, oni su često oprečni pa je neophodno pronaći odgovarajući kompromis. Iako postoji jaka korelacija između svih pomenutih parametara, izdvajaju se važni parovi čije zavisnosti ograničavaju i dominantno određuju performanse radarskog sistema. Stoga će u ovom potpoglavlju biti razmatrani najvažniji kompromisi između pojedinih parametara sintetizatora, kao i njihove osnovne karakteristike.

2.2.1 Fazni šum i propusni opseg

Šum komponenata u oscilatoru uzrokuje brzopromenljive, kratkotrajne i slučajne varijacije faze u frekvencijskom domenu koje se karakterišu faznim šumom, \mathcal{L} . Ovaj projektni parametar je definisan kao jedna polovina jednostrane spektralne gustine fluktuacije faze [93]. Šum kontrolisanih oscilatora dominantno utiče na ukupan fazni šum radarskih senzora i ujedno ograničava glavne performanse sistema. Zato je za uspešno projektovanja oscilatora važno ustanoviti odakle fazni šum potiče i razumeti mehanizme njegovog formiranja.

Pretpostavimo da idealni oscilator generiše prostoperiodični signal:

$$v(t) = A_0 \cos(2\pi f_0 t + \phi_0), \quad (19)$$

izlazne amplitude A_0 , učestanosti nosioca f_0 i početne faze ϕ_0 , koje su nepromenljive u vremenu. Ovakvom oscilatoru odgovara jedna spektralna komponenta u naponskom spektru izlaznog signala, S_V , kao što je prikazano na slici 11(a). Kako bi odredili relaciju između faznog i naponskog spektra signala, pretpostavimo sada da je ovaj signal frekvencijski modulisan, odnosno da važi $f(t) = f_0 + \Delta f_0 \cos(2\pi f_m t)$, gde je Δf_0 amplituda modulacije, a f_m učestanost modulacije. Uzimajući u obzir da je faza integral frekvencije, dobijamo:

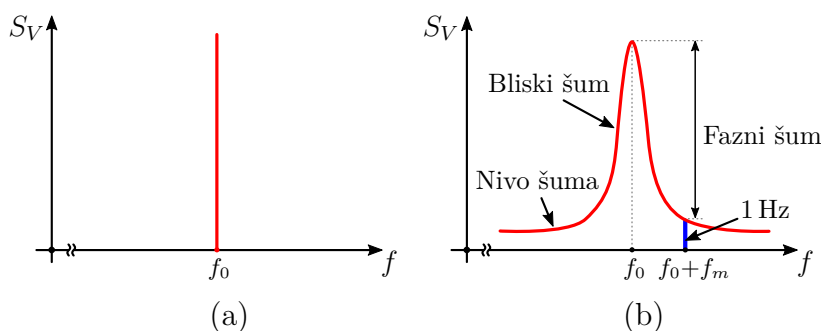
$$v(t) = A_0 \cos \left[2\pi f_0 t + \phi_0 + \frac{\Delta f_0}{f_m} \sin(2\pi f_m t) \right]. \quad (20)$$

Ovo ima za posledicu faznu modulaciju, amplitude $\Delta\phi = \Delta f_0 / f_m$. Ako je amplituda modulacije mala ($\Delta\phi \ll 1$ rad), što je slučaj sa faznim šumom, dobija se [94]:

$$\begin{aligned} v(t) &\approx A_0 \cos(2\pi f_0 t + \phi_0) - A_0 \sin(2\pi f_0 t + \phi_0) \cdot \frac{\Delta f_0}{f_m} \sin(2\pi f_m t) \\ &= A_0 \cos(2\pi f_0 t + \phi_0) + \frac{A_0}{2} \cdot \frac{\Delta f_0}{f_m} \cos \left[2\pi(f_0 + f_m)t + \phi_0 \right] \\ &\quad - \frac{A_0}{2} \cdot \frac{\Delta f_0}{f_m} \cos \left[2\pi(f_0 - f_m)t + \phi_0 \right]. \end{aligned} \quad (21)$$

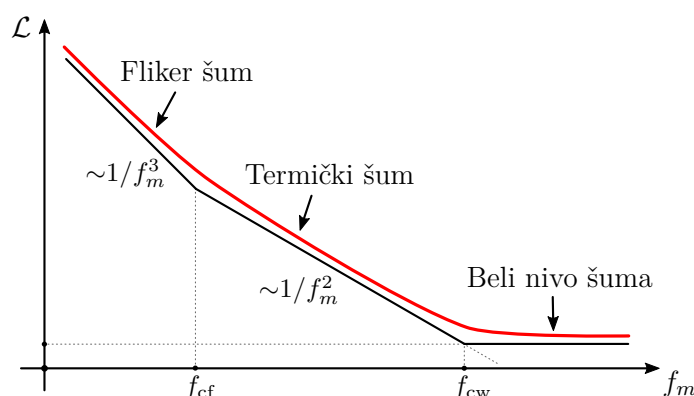
U naponskom spektru signala se usled fazne modulacije, pored nosioca, pojavljuju dve spektralne komponente na učestanostima $f_0 + f_m$ i $f_0 - f_m$, jednakih amplituda $\frac{1}{2} \cdot \left(\frac{A_0}{2} \cdot \frac{\Delta f_0}{f_m} \right)^2$. Analogno se u jednostranom spektru faze dobija komponenta na relativnoj učestanosti f_m od nosioca, amplitude $\frac{1}{2} \cdot \left(\frac{\Delta f_0}{f_m} \right)^2$. Odatle sledi da je odnos odgovarajućih spektralnih komponenti naponskog i faznog spektra jednak snazi nosioca $A_0^2/2$. Prema tome, fazni šum se u ovom slučaju može izračunati kao odnos

snage šuma u 1 Hz opsegu na relativnoj učestanosti f_m od nosioca i snage nosioca. Ovaj pristup je praktičan i značajno pojednostavljuje merenje faznog šuma, ali se mora oprezno koristiti jer se generalno u naponskom spektru izlaznog signala nalazi i doprinos amplitudskog šuma. Zato se on može primeniti samo na signale čiji je ukupan šum dominantno određen faznim šumom. To je slučaj u oscilatorima, gde postoji jaka automatska regulacija amplitude i potiskivanje amplitudskog šuma. Spektar realnog oscilatora je prikazan na slici 11(b), kao i pomenuti pristup određivanja faznog šuma.



Slika 11: Naponski spektar izlaznog signala (a) idealnog i (b) realnog oscilatora.

Još jedan važan zaključak se može izvesti iz izraza (21), a to je da spektralna gustina opada sa kvadratom učestanosti f_m . To za posledicu ima da doprinosi termičkog šuma i šuma sačme konvertovanih oko nosioca u ukupnom faznom šumu oscilatora opadaju sa $1/f_m^2$ (nagib -20 dBc/dec), dok fliker šum opada sa $1/f_m^3$ (nagib -30 dBc/dec). Tipičan izgled faznog šuma oscilatora je prikazan na slici 12. Iz osnovnog opsega se na učestanosti blizu nosioca, pored fliker šuma, konvertuju i drugi “obojeni” šumovi, kao što su difuzioni ili generaciono-rekombinacioni šum. Oni u osnovnom opsegu zavise kao $1/f_m^n$ ($n > 1$), pa se u faznom spektru pojavljuju kao $1/f_m^{n+2}$ regioni [95]. Važna karakteristika oscilatora je granična učestanost fliker šuma, f_{cf} , na kojoj su doprinosi konvertovanih fliker i termičkih šumova isti. Ona zavisi od graničnih učestanosti fliker šuma pojedinačnih komponenata oscilatora, kao što su tranzistori, varaktori i otpornici. Pažljivim projektovanjem, f_{cf} se može značajno potisnuti na niže učestanosti [96]. Uticaj termičkog šuma slabi, kako se odaljavamo od nosioca, sve dok u jednom trenutku ne postane jednak ravnom nivou šuma. Ovo ograničenje je posledica izvora belog šuma u oscilatoru i izlaznim bufferima. Granična učestanost između uticaja termičkog šuma i ravnog nivoa šuma, f_{cw} , je određena ukupnim šumom sistema i značajno utiče na SNR. Poželjno je da f_{cw} bude što dalje od nosioca da bi se povećao SNR na ulazu u prijemnik.



Slika 12: Fazni šum realnog oscilatora.

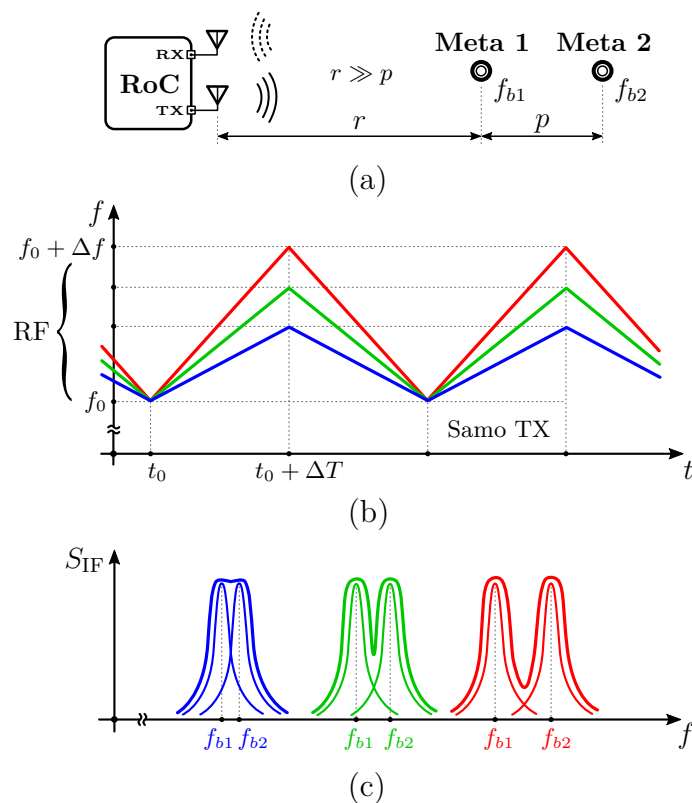
Fazni šum oscilatora u blizini nosioca ograničen je konvertovanjem naviše (engl. *Up-Conversion*) šuma iz osnovnog opsega, dok je na daljim učestanostima pretežno određen konverzijom naniže (engl. *Down-Conversion*) termičkog šuma koji se nalazi oko viših harmonika nosioca [96]. Sa aspekta projektovanja integrisanih kola, veoma je važno naći odgovor na pitanje, šta to konkretno utiče na konverziju šuma u naponski kontrolisanom oscilatoru (engl. *Voltage-Controlled Oscillator* - VCO)? Odgovor na ovo pitanje nije jednostavan uzimajući u obzir da konverzija šuma na učestanosti bliske nosiocu zavisi od više mehanizama, kao što su [97]:

- konverzija amplitudski modulisanog (engl. *Amplitude Modulation* - AM) šuma u fazno modulisani šum usled nelinearne kapacitivno-naponske ($C-V$) zavisnosti varaktora [98, 99],
- modulacija struje koja protiče kroz kapacitivnost paralelnu izvoru u strujno polarisanim oscilatorima [100],
- modulacija parazitnih kapacitivnosti transkonduktansnog stepena [100],
- modulacija harmonijskog sadržaja talasnog oblika izlaznog napona [101].

Ove mehanizme je neophodno imati u vidu prilikom projektovanja oscilatora za radarske senzore. Konverzija šuma iz osnovnog opsega se može redukovati pažljivom optimizacijom, tako da se filtrira šum polarizacione struje, očuva stroga simetrija i smanje izobličenja izlaznog napona. Ipak, potrebno je izdvojiti uticaj prvog mehanizma konverzije, čije uspešno potiskivanje utiče na ostale karakteristike sintetizatora. Naime, smanjenje AM-PM konverzije se može postići izborom odgovarajućeg varaktora, koji ima približno linearnu $C-V$ zavisnost i malu vrednost kapacitivnosti što

omogućava malu osetljivost VCO-a, K_{VCO} . Kao rezultat, dobija se zadovoljavajući fazni šum, ali i mali opseg podešavanja (engl. *Tuning Range* - TR) VCO-a. Stoga se nameće opšti zaključak da je za postizanje malog faznog šuma u blizini nosioca potreban uzak propusni opseg.

S druge strane, jako važan projektni parametar FMCW sintetizatora je upravo propusni opseg, Δf . Širok propusni opseg ne samo da omogućava veću tačnost [47], već postavlja i teorijsku minimalnu granicu za rezoluciju rastojanja, kao što se može videti iz jednačine (9). On je presudan u slučajevima kada je potrebno detektovati više meta. Na slici 13 je prikazan uticaj propusnog opsega rampe na detekciju dve bliske statičke mete. Kao što se može videti, najveći propusni opseg omogućava razdvajanje vršnih vrednosti u odgovarajuće filtriranom naponskom spektru IF signala, S_{IF} . Prema jednačini (2), pozicije vršnih vrednosti, f_{b1} i f_{b2} , su linearno srazmerne rastojanju meta od radara, r i $r + p$, respektivno. Propusni opseg je od posebnog interesa za SRR senzore, gde dominantan izvor poteškoća proizilazi iz ograničenog vremenskog intervala koji je dostupan za mete u neposrednoj blizini radara.



Slika 13: Detekcija dva bliska statička objekta: (a) pozicioniranje u prostoru, (b) učestanost predajnog signala u vremenskom domenu za različite propusne opsege i (c) odgovarajuće filtriran naponski spektar IF signala.

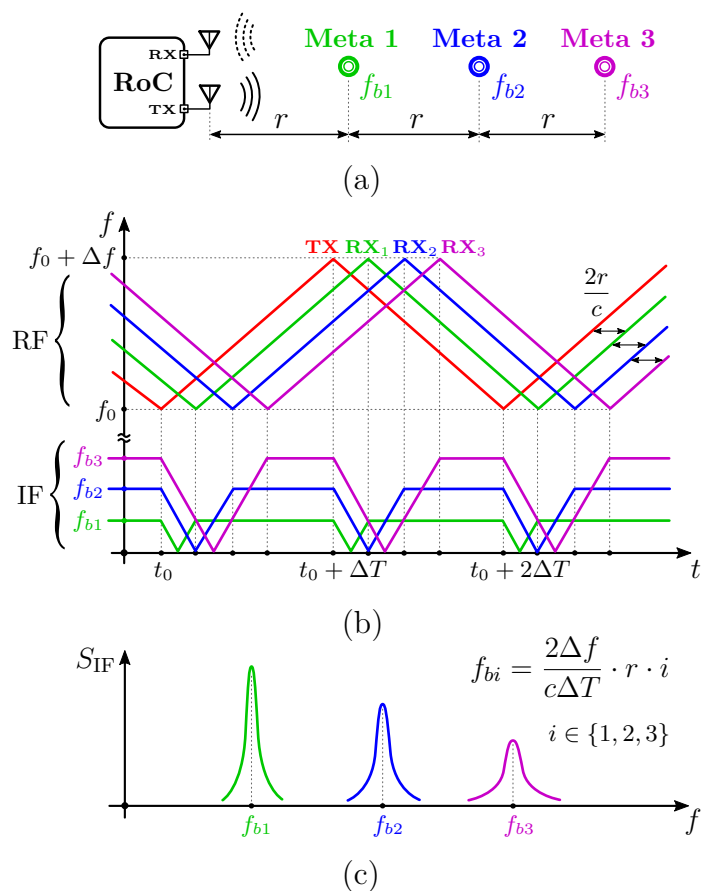
Na osnovu prethodne analize može se zaključiti da su širok propusni opseg i mali fazni šum FMCW sintetizatora učestanosti oprečni zahtevi, koje je teško istovremeno zadovoljiti. U komunikacionim sistemima problem male vrednosti K_{VCO} se jednostavno rešava paralelnom vezom programabilne kondenzatorske banke i varaktora za finu kontrolu trenutne učestanosti VCO-a. Pomoću programabilne kondenzatorske banke se vrši gruba kalibracija i postavlja približna učestanost VCO-a, koja se nakon toga fino podešava kontrolnim naponom varaktora. Na ovaj način se postiže željeni opseg podešavanja i zadovoljavajući fazni šum. Nažalost, u radarskim sistemima ovo rešenje je neprihvatljivo, prevashodno jer FMCW radarski senzori koriste ceo propusni opseg kontinualno kako bi postigli što bolju rezoluciju rastojanja. Zato se pomoću kondenzatorskih banaka teško može postići kontinualna i visoko linearna rampa. Kao logično rešenje nameće se kompromis između faznog šuma i propusnog opsega, koji zavisi pre svega od primene radarskog senzora.

Pronalaženje kompromisa je posebno kritično kod SRR senzora, jer oni imaju veoma visok prioritet za propusnim opsegom koji omogućava odličnu rezoluciju rastojanja. Pored toga, srednji prioritet za faznim šumom SRR senzora znači da on mora da bude dovoljno mali da ne ograniči rezoluciju na rastojanjima bliskim radaru. Samim tim je projektovanje FMCW sintetizatora za SRR senzore jako izazovno. S druge strane, ovaj problem ne postoji kod LRR senzora, koji imaju znatno užu propusni opseg. Mete koje oni detektuju su udaljene i do par stotina metara, pa im fina prostorna rezolucija nije neophodna. Iz tog razloga se LRR senzori optimizuju za relativno uzak propusni opseg i izuzetno mali fazni šum. Fazni šum LRR senzora je važan da bi se poboljšala tačnost detekcije, koja je kod ovih radara ključan faktor.

2.2.2 Brzina modulacije i linearnost rampe

Posmatrajmo tri radijalno ekvidistantne mete na međusobnom rastojanju r , pri čemu se najbliža meta nalazi na udaljenosti r od radara, kao što je prikazano na slici 14(a). Reflektovani signali na ulazu u prijemnik, koji odgovaraju susednim metama, će biti zakašnjeni za isti vremenski interval $2r/c$ srazmeran vremenu preleta. To se može zaključiti na osnovu talasnog oblika učestanosti predajnog i prijemnog signala FMCW radarskog senzora u vremenskom domenu, predstavljenim na slici 14(b). Za fiksni nagib rampe, niže *beat* učestanosti će odgovarati objektima na manjem rastojanju, kao što je ilustrovano na slici 14(c). Ovo za posledicu ima da metama u neposrednoj blizini radara odgovaraju veoma male *beat* učestanosti.

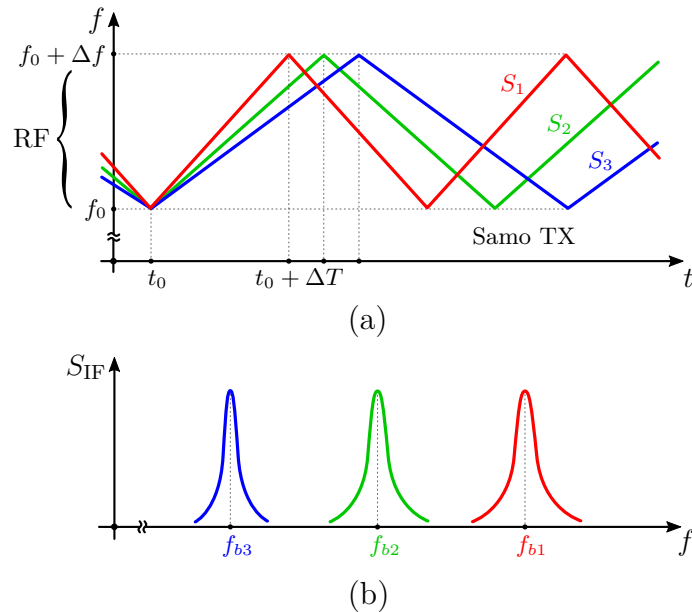
Usled efekata curenja RF signala unutar integrisanog kola i sprege kroz vazduh



Slika 14: Detekcija više statičkih objekata: (a) pozicioniranje u prostoru, (b) učestanosti RF i IF signala u vremenskom domenu i (c) odgovarajuće filtriran naponski spektar IF signala.

između prijemnih i predajnih antena, u FFT-u rastojanja se na niskim učestanostima pojavljuje vršna vrednost velikog intenziteta, koja predstavlja determinističku lažnu metu. Intenzitet, spektralna širina i pozicija ove mete zavise od mnogo faktora koji se tiču fizičke implementacije senzora, ali je njeno postojanje neizbežno i često toliko dominantno da su mete bliske radaru uronjene u ovu vršnu vrednost pa ih nije moguće razdvojiti. Prema tome, korisno je smanjiti vreme modulacije, ΔT , da bi se *beat* učestanosti bliskih meta pomerile dalje od ove neželjene vršne vrednosti. Efekat promene *beat* učestanosti sa nagibom rampe je prikazan na slici 15 za tri različite brzine modulacije, S . Na ovaj način se izbegavaju veoma niske učestanosti na kojima je značajan doprinos fliker šuma u BB lancu. Ovo zauzvrat povećava SNR, a ujedno i prag detekcije malih objekata. Stoga povećavanje brzine modulacije omogućava otkrivanje meta u neposrednoj blizini senzora.

Širi IF opseg olakšava projektovanje analognih BB filtara na izlazu prijemnog



Slika 15: Uticaj brzine modulacije, S , na $beat$ učestanost statičke mete: (a) učestanost predajnog signala u vremenskom domenu za tri različita nagiba i (b) odgovarajuće filtriran naponski spektar IF signala.

lanca, tako što zahteva manje vrednosti pasivnih komponenta kapacitivnosti i otpornosti. Ovo omogućava lakšu integraciju BB filtara. Ipak, brze rampe zahtevaju višu učestanost odabiranja ADC-a da bi se postiglo odgovarajuće maksimalno rastojanje koje radar može da detektuje.

Još jedna prednost strmijih nagiba rampi je da mete koje se nalaze na fiksnom međusobnom rastojanju radijalno u odnosu na radar uzrokuju razdvojenije $beat$ učestanosti. Analitički, za dve statičke mete prikazane na slici 13(a), ovo se može izraziti kao:

$$f_{b2} - f_{b1} = \frac{2\Delta f}{c\Delta T} \cdot (r + p) - \frac{2\Delta f}{c\Delta T} \cdot r = \frac{2\Delta f}{c\Delta T} \cdot p = \frac{2}{c} \cdot S \cdot p, \quad (22)$$

gde je p radijalno rastojanje meta u odnosu na radar.

Brzina modulacije je posebno važna kod 2D-FFT pristupa ekstrakcije brzine i rastojanja, gde su za merenje relativno brzih meta potrebne rampe velikog nagiba.

U opštem slučaju, trenutna frekvencija linearne rampe, $f(t)$, se na vremenskom intervalu $0 \leq t \leq \Delta T$ može predstaviti:

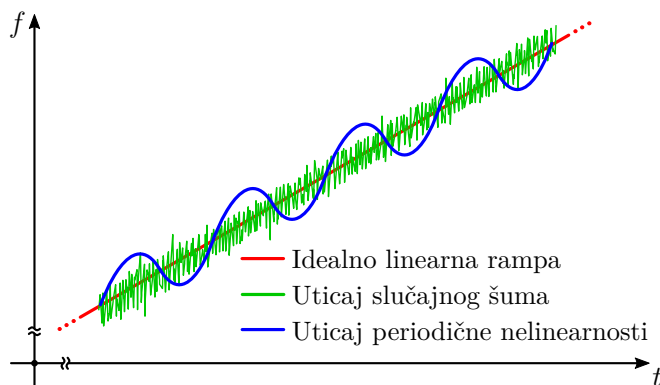
$$f(t) = f_0 + \frac{\Delta f}{\Delta T}t + e(t), \quad (23)$$

gde je $e(t)$ trenutno odstupanje frekvencije od idealno linearne rampe. Ovo odstu-

panje je uzrokovano raznim izvorima perturbacija i dato sa [102]:

$$e(t) = e_p(t) + e_n(t), \quad (24)$$

gde je $e_p(t)$ greška koja se periodično ponavlja, a $e_n(t)$ greška uzrokovana slučajnim šumom. Prema tome, iz jednačine (24) se može zaključiti da devijacije frekvencijske rampe mogu biti slučajne i periodične. Primeri uticaja ovih devijacija na linearnu rampu su prikazani na slici 16. Slučajne devijacije frekvencije su uzrokovane faznim šumom, dok su periodične najčešće rezultat diskretne prirode generisanja rampe ili konačnog vremenskog odziva petlje FMCW sintetizatora. Periodične devijacije se manifestuju u vidu neželjenih spektralnih komponenti, takozvanih spurova (engl. *Spurious Tones*), i predstavljaju deterministička odstupanja frekvencije od idealno linearne rampe. Iako utiče na trenutnu frekvenciju FMCW sintetizatora, šum u integrisanom kolu se ne smatra pravim izvorom nelinearnosti rampe, upravo zbog svoje slučajne prirode. Zato se u praksi karakterizacija nelinearnosti rampe vrši tako što se usrednje rezultati merenja većeg broja rampi u cilju potiskivanja slučajnog šuma. Na ovaj način ostaje samo doprinos ponovljivih perturbacija, koji je od interesa pri proceni linearnosti rampe.



Slika 16: Uticaj šuma i periodične nelinearnosti na linearnu frekvencijsku rampu.

Tačnost određivanja rastojanja zavisi od vrste nelinearnosti prisutne u frekvencijskoj rampi [102]. Izvori dominantnih nelinearnosti rampe su određeni topologijom sintetizatora pa je njen izbor od izuzetne važnosti. Nelinearnost rampe redukuje tačnost radara i može uzrokovati detekciju lažnih meta. Tačnost merenja rastojanja je karakterisana korenom srednje kvadratne (engl. *Root Mean Square* - RMS) greške rastojanja, σ_r . Ona je pretežno određena SNR-om i RMS vrednošću frekvencijske

greške rampe, σ_f , i iznosi [1, 103]:

$$\sigma_r = \sqrt{\left(\frac{\Delta R}{\sqrt{2SNR}}\right)^2 + \left(r_{\max} \frac{\sigma_f}{\Delta f}\right)^2}, \quad (25)$$

gde je r_{\max} maksimalno rastojanje koje radarski senzor može da detektuje, uzimajući u obzir SNR, učestanost odabiranja ADC-a i sistemsko ograničenje dato izrazom (7).

Linearnost FMCW sintetizatora učestanosti se može kvantifikovati izrazom [83]:

$$L = \frac{3\sigma_f}{k\Delta f}, \quad (26)$$

gde je k parametar skaliranja rampe. Linearnost se izražava u procentima i računa za srednji deo rampe zbog značajne nelinearnosti na početnim i krajnjim delovima. Ovaj problem je prisutan kod svih FMCW sintetizatora na bazi zatvorene sprege, kao rezultat smirivanja petlje (engl. *Settling Time*). Takođe, oko ivica rampe nije moguće procesirati IF signal pa je to još jedan od razloga da se ovi delovi rampe ne koriste. Ovaj efekat je modelovan parametrom k u jednačini (26). Deo rampe od 10 do 90% je najčešće od interesa u praktičnim primenama, što rezultuje faktorom skaliranja od 0,8. U ovom opsegu se izračunava i RMS vrednost frekvencijske greške u odnosu na idealno linearnu rampu.

Kompromis između brzine modulacije i linearnosti je kritičan kod SRR senzora, jer oni imaju veoma visok prioritet za brzim rampama velikog propusnog opsega. Povećanje brzine modulacije ima za posledicu degradaciju linearnosti pa su zahtevi ova dva projektna parametra u direktnoj suprotnosti. Brze rampe prihvatljive linearnosti se postižu izborom odgovarajuće hardverske arhitekture FMCW sintetizatora i pažljivom optimizacijom petlje. Isto tako, postizanje velikih nagiba rampi zahteva širok propusni opseg petlje sintetizatora, što ima negativne posledice po fazni šum. Za razliku od SRR senzora, željena linearnost LRR senzora se relativno jednostavno postiže, imajući u vidu nizak prioritet za propusnim opsegom i brzinom modulacije.

2.2.3 Izlazna snaga i potrošnja

Izlazna snaga i potrošnja FMCW sintetizatora učestanosti su usko povezani projektni parametri. Velika izlazna snaga i mala potrošnja su gotovo uvek u vrhu prioriteta prilikom projektovanja RF integrisanih kola, posebno u milimetarskom opsegu. Kako bi pronašli optimalno rešenje i kompromis između ova dva oprečna parametra, potrebno je projektovati sintetizator tako da bude što efikasniji. To se

može postići izborom odgovarajuće arhitekture. Na taj način se dobija najveća izlazna snaga RF signala za najmanju potrošnju. Ovaj izbor nije jednostavan jer zavisi i od drugih ciljeva, kao što su rad na željenoj učestanosti, maksimalni propusni opseg, zadovoljavajuća linearnost i prihvatljiv fazni šum.

LRR senzori imaju izuzetno visok prioritet za izlaznom snagom RF signala, koja je neophodna da bi se detektovale mete na velikim rastojanjima. Ona se u opštem slučaju postiže velikim pojačanjem u predajnom lancu, ali je poželjno i da snaga signala na izlazu FMCW sintetizatora bude što veća. To naravno zahteva veću potrošnju pa je potrebno pronaći kompromisno rešenje, shodno primeni senzora. S druge strane, SRR senzori ne zahtevaju velike izlazne snage pa je mnogo lakše optimizovati FMCW sintetizator da ima malu potrošnju.

2.2.4 Radna učestanost i površina

Radna učestanost FMCW sintetizatora i površina koju ovaj blok zauzima u integrisanom kolu su međusobno korelisane veličine. U zavisnosti od radne učestanosti skaliraju se dimenzije pasivnih struktura, kao što su kola za prilagođenje, ogranci vodova, transformatori, kalemovi i kondenzatori. Veća radna učestanost omogućava lakšu integraciju i manju površinu čipa, ali otežava postupak projektovanja i unosi dodatnu nesigurnost usled tehnoloških ograničenja silicijumskih procesa i neželjenih efekata koji se pojavljuju na visokim učestanostima. Kada je površina radarskog senzora dominantno određena pasivnim strukturama, što je uglavnom slučaj u mmWave opsegu, tada se ukupna površina integrisanog kola smanjuje sa kvadratom radne učestanosti. Ovo je veoma važno za postizanje visokog stepena integracije radarskog sistema i niže cene konačnog proizvoda, što je od sve većeg značaja u primenama savremenih SRR senzora.

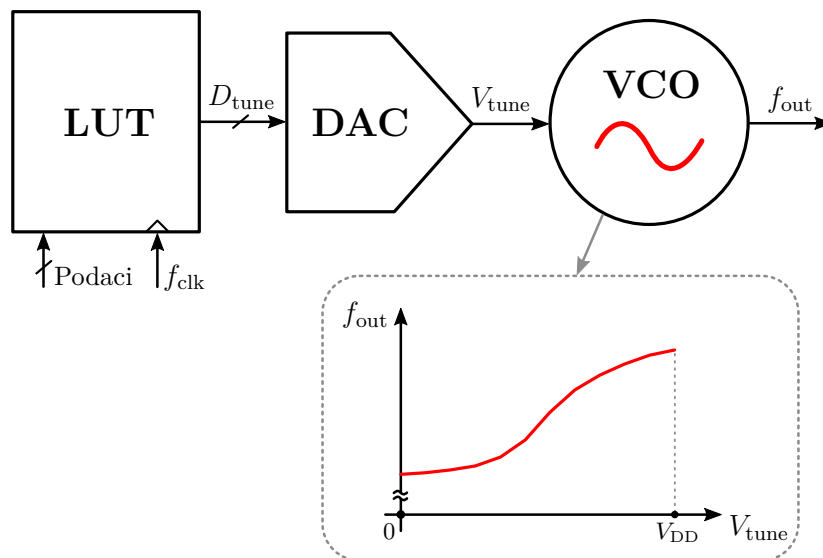
Ukoliko je cilj komercijalizacija finalnog proizvoda, izbor radne učestanosti je ograničen na neki od milimetarskih ISM opsega ili 79 GHz automobilski opseg. Ovaj izbor je primarno određen namenom radarskog senzora.

2.3 Topologije FMCW sintetizatora učestanosti

Osnovni zadatak FMCW sintetizatora je da generiše što linearnije frekvencijske rampe određenog propusnog opsega i nagiba. Kako bi se ovo postiglo, neophodna komponenta svakog sintetizatora je neka vrsta kontrolisanog oscilatora. U praktičnim implementacijama FMCW sintetizatora, najčešće korišćene komponente za sintezu učestanosti su naponski kontrolisani oscilatori. Integrisani mmWave VCO-ovi u savremenim CMOS i BiCMOS tehnološkim procesima su generalno nelinearne komponente [70]. Uzrok degradirane linearnosti je nelinearna $C-V$ zavisnost varaktora, koji se koriste u rezonantnim kolima za podešavanje učestanosti oscilovanja. Prema tome, najveći izazov pri projektovanju FMCW sintetizatora je kompenzacija nelinearnosti frekvencijske krive VCO-a. Razne metode sinteze FMCW signala su predložene do sada, svaka sa svojim prednostima i nedostacima. Zato su u ovom potpoglavlju detaljno analizirane i poredene različite topologije FMCW sintetizatora učestanosti za rad u mmWave opsegu.

2.3.1 VCO u otvorenoj sprezi

Najjednostavnija metoda sinteze linearne frekvencijske rampe je zasnovana na korišćenju VCO-a u otvorenoj sprezi, kao što je prikazano na slici 17.



Slika 17: Blok šema FMCW sintetizatora na bazi VCO-a u otvorenoj sprezi.

Kompenzacija nelinearnosti krive podešavanja VCO-a se u ovom slučaju vrši pomoću “lukap” tabele (engl. *Lookup Table* - LUT) i digitalno-analognog konvertora (engl. *Digital-to-Analog Converter* - DAC). U LUT-u se smeštaju informacije o digi-

talnoj predstavi vremenski promenljivog kontrolnog napona VCO-a za koji se postiže linearna frekvencijska rampa. Digitalna predstava kontrolnog napona, D_{tune} , se pomoću DAC-a konvertuje u analogni signal, V_{tune} , koji kontroliše trenutnu učestanost VCO-a, f_{out} . Linearnost rampe je direktno ograničena realnim karakteristikama DAC-a, kao što su rezolucija, brzina i tačnost konverzije.

Nedostatak ovog pristupa je šetanje frekvencije VCO-a usled malih varijacija temperature ili napona napajanja, što zahteva da se LUT periodično ažurira [70]. Pored pomenutih varijacija, veliki uticaj na učestanost VCO-a imaju neželjene varijacije izlaznog opterećenja i smetnje koje uzrokuju brze promene izlazne učestanosti. One se ne mogu kompenzovati periodičnim ažuriranjem LUT-a i predstavljaju glavni nedostatak ove topologije. Zbog toga je nelinearnost VCO-a često kontinualno kompenzovana unutar povratne sprege, kao što je to slučaj u fazno sinhronisanim petljama (engl. *Phase-Locked Loop* - PLL).

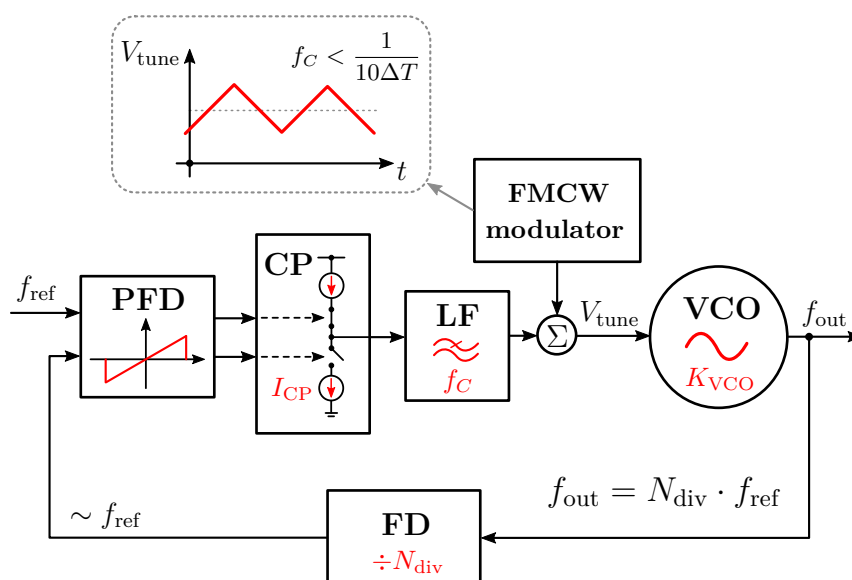
Prednosti ove topologije su mala potrošnja i jednostavnost projektovanja FMCW sintetizatora. Međutim, ona zahteva veoma kompleksne karakterizacije i kalibracije da bi bila primenljiva u praktičnim slučajevima. Takođe, značajni nedostaci ove topologije su veliki fazni šum na učestanostima bliskim nosiocu i neželjene spektralne komponente na izlazu DAC-a. Ove komponente se modulišu usled nelinearnosti VCO-a i pojavljuju oko nosioca u spektru izlaznog signala, pa tako mogu ograničiti performanse celog radarskog sistema. Iz ovih razloga danas gotovo svi sintetizatori visokih performansi koriste neku vrstu povratne sprege.

2.3.2 Integer-N PLL

Najjednostavniji primer sintetizatora sa povratnom spregom je *integer-N* PLL. Dobio je naziv *integer-N* jer je njegova izlazna učestanost, f_{out} , u zaključanom stanju jednaka celobrojnom umnošku referentne učestanosti, f_{ref} . Povratna sprega se vraća sa izlaza VCO-a, preko delitelja učestanosti (engl. *Frequency Divider* - FD), na ulaz fazno-frekvencijskog detektora (engl. *Phase-Frequency Detector* - PFD) koji poredi učestanost i fazu referentnog signala sa podeljenim izlazom VCO-a. Razlika ova dva signala kontroliše strujnu pumpu (engl. *Charge Pump* - CP) koja puni ili prazni filter petlje (engl. *Loop Filter* - LF) u zavisnosti od znaka razlike. Na ovaj način se vrši strujno-naponska konverzija signala i kontrolom VCO-a zatvara petlja. Vrednosti delioca FD-a, N_{div} , učestanosti reference, f_{ref} , struje CP-a, I_{CP} , granične učestanosti LF-a, f_{C} , i osetljivosti VCO-a, K_{VCO} , određuju dinamiku petlje i oblikuju ukupan fazni šum na izlazu PLL-a.

U FMCW sintetizatorima na bazi *integer*-N PLL-a, učestanost nosioca može da bude modulirana uticanjem na kontrolni napon VCO-a [104, 105] ili modulacijom referentne učestanosti [70, 81].

Direktna modulacija VCO-a: Na slici 18 je prikazana blok šema FMCW sintetizatora na bazi *integer*-N PLL-a sa direktnom modulacijom (engl. *Directly Modulated* - DM) VCO-a. Osnovna ideja ove topologije je da se u zaključanoj petlji na kontrolni napon VCO-a superponira izlazni signal FMCW modulatora takav da VCO na izlazu generiše linearne frekvencijske rampe. FMCW modulator sadrži dodatnu strujnu pumpu i pasivnu mrežu za strujno-naponsku konverziju signala.



Slika 18: Blok šema FMCW sintetizatora na bazi *integer*-N PLL-a sa direktnom modulacijom VCO-a.

Ova topologija ima prednost jednostavne strukture kola i odsustva dodatnih izvora šuma uzrokovanih blokovima kao što su ADC, DAC ili sigma-delta ($\Sigma\Delta$) modulator.

Glavni nedostatak ove topologije je to što zahteva propusni opseg PLL-a bar 10 puta manji od učestanosti modulacije ($1/\Delta T$) [105]. Samo u tom slučaju će sistem dozvoliti odgovarajuću varijaciju učestanosti VCO-a. U suprotnom će brza petlja detektovati razliku učestanosti na ulazu u PFD i pokušati da se suprostavi modulaciji kontrolnog napona VCO-a. To za posledicu ima degradaciju linearnosti rampe. Ako je prosečno vreme modulacije, koje se koristi u savremenim FMCW radarskim sensorima, u opsegu od $100\ \mu\text{s}$ do $1\ \text{ms}$, tada se dobija da bi granična učestanost LF-a

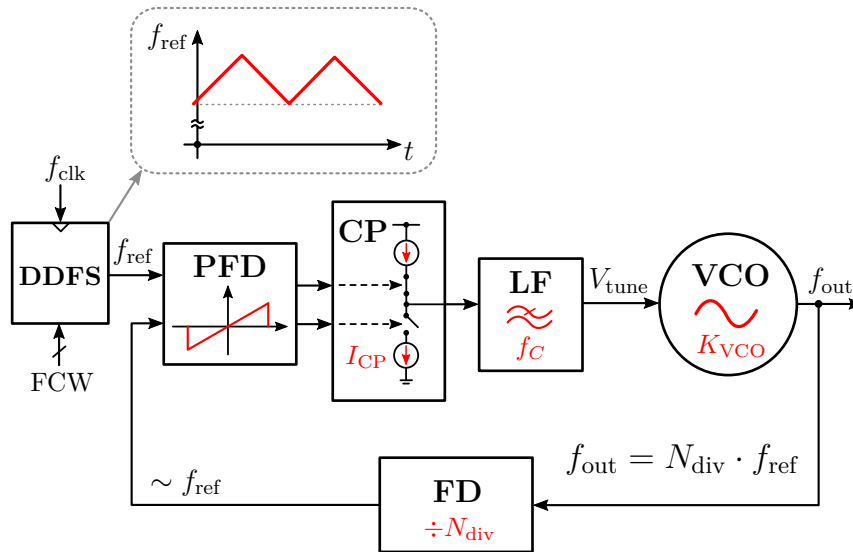
trebalo da bude manja od 100 Hz za postizanje dobre linearnosti rampe. Ovako niske granične učestanosti LF-a zahtevaju ogromne vrednosti kondenzatora i nepraktične su za integrisane realizacije. Primenom tehnike multiplikacije kapacitivnosti [106] moguće je relaksirati zahteve za velikim vrednostima kondenzatora. Takođe, njihovo smanjivanje se može postići korišćenjem kompleksne strukture LF-a sa dvostrukom putanjom, dodatnom strujnom pumpom i jediničnim pojačavačem [105].

Čak i nakon uspešne integracije LF-a sa ostatkom sintetizatora, javljaju se druge poteškoće koje otežavaju korišćenje ove topologije. Pre svega, tako uzak propusni opseg PLL-a je u većini slučajeva daleko od optimalnog koji je potreban za odlično potiskivanje faznog šuma. Pored toga, analogna priroda frekvencijske modulacije čini ovu topologiju osetljivom na razne uticaje, kao što su varijacije temperature, izlaznog opterećenja, tehnološkog procesa i neuparenosti komponenata unutar ključnih podblokova PLL-a. Stoga je tačnost propusnog opsega i vremena modulacije rampe, kod FMCW sintetizatora na bazi PLL-a sa direktnom modulacijom VCO-a, veoma osetljiva na pomenute varijacije.

Još jedan nedostatak ove topologije je nefleksibilnost generisanja različitih talasnih oblika. Naime, petlja FMCW sintetizatora na bazi direktne modulacije VCO-a se projektuje za maksimalno vreme modulacije i određen propusni opseg rampe za koje se dobija zadovoljavajuća linearnost. Prema tome, ovakav FMCW sintetizator može da generiše samo određen profil rampi ograničenog nagiba. Kod ove topologije preterano povećanje vremena modulacije uzrokuje veliku degradaciju linearnosti.

Modulacija referentne učestanosti: Blok šema FMCW sintetizatora na bazi *integer-N* PLL-a sa digitalno modulisanom referencom (engl. *Direct Digital Frequency Synthesis* - DDFS) je prikazana na slici 19. DDFS kolo na svom izlazu daje sinusoidalni signal visoke tačnosti frekvencije i fine rezolucije podešavanja. Učestanost signala na izlazu ovog bloka je srazmerna ulaznoj digitalnoj reči FCW (engl. *Frequency Control Word*). DDFS poseduje digitalni akumulator faze čiji se sadržaj ažurira na svaku uzlaznu ivicu signala takta, f_{clk} . Trenutna vrednost akumulatora se konvertuje pomoću LUT-a i DAC-a u analogni napon. Nakon toga se ovaj signal filtrira i koristi kao referenca u *integer-N* PLL-u. Linearna promena kontrolne reči FCW rezultuje rampom referentne učestanosti, f_{ref} , koja se dalje množi N_{div} puta pomoću PLL-a. Tako se na izlazu VCO-a dobija željena linearna rampa oko učestanosti nosioca.

Veoma je važno da faza referentnog signala bude kontinualna, tako da nema



Slika 19: Blok šema FMCW sintetizatora na bazi *integer*-N PLL-a sa digitalno modulisanom referencom.

otključavanja PLL-a prilikom promene kontrolne reči FCW. Ovo omogućava dobru linearnost rampe na izlazu FMCW sintetizatora. Kako bi se linearnost dodatno popravila, potrebna je fina rezolucija digitalne reči FCW, koja omogućava precizno podešavanje referentne učestanosti. To je posebno od interesa jer se svaka devijacija učestanosti reference manifestuje promenom izlazne učestanosti PLL-a N_{div} puta.

Isto tako, od velikog je interesa da signal takta, koji koriste podblokovi DDFS-a, bude što čistiji, imajući u vidu da je fazni šum referentnog signala blizu nosioca dominantno određen njegovim šumom. Na daljim učestanostima od nosioca, fazni šum reference je određen šumom kvantizacije DAC-a i nivoom šuma signala takta.

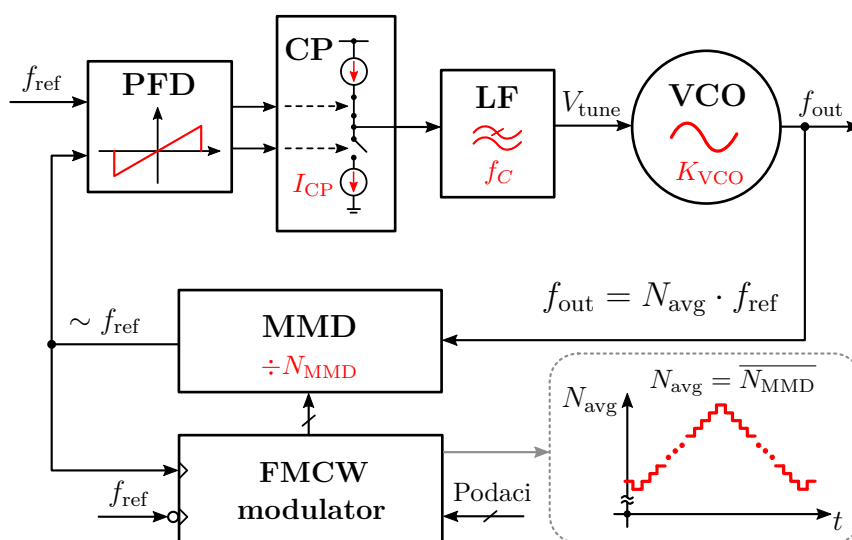
Prednosti ove topologije su jednostavnost RF dela kola i dobra otpornost na varijacije procesa, temperature i napona napajanja (engl. *Process, Voltage and Temperature* - PVT). Ove prednosti su rezultat digitalne modulacije učestanosti, koja je po prirodi robusnija od analogne. Međutim, fino podešavanje referentne učestanosti zahteva kompleksan DDFS sa ogromnim LUT-om i DAC-om visoke rezolucije, što rezultuje velikom potrošnjom i površinom čipa. Stoga integracija DDFS-a na čip zajedno sa ostatkom sintetizatora nije jednostavna i zahteva mnoge kompromise, pa se zato retko sreće u praksi. U milimetarskim FMCW sintetizatorima, DDFS blok se gotovo uvek [70] nalazi van čipa i realizuje pomoću dodatnog digitalnog hardvera, kao što su mikrokontroler ili FPGA (engl. *Field-Programmable Gate Array*).

Korišćenje DAC-a za sintezu referentnog signala je glavni nedostatak ove topologije, koji ograničava osnovne karakteristike sintetizatora. Nelinearnost konverzije,

vreme postavljanja, konačna brzina promene izlaznog signala (engl. *Slew Rate* - SR) i džiter (engl. *Jitter*) koji potiče iz DAC-a uzrokuju neželjene spektralne komponente na izlazu FMCW sintetizatora i ozbiljnu degradaciju faznog šuma.

2.3.3 *Fractional-N* PLL

FMCW sintetizator na bazi PLL-a sa racionalnom vrednošću delioca u povratnoj sprezi se najčešće koristi kada je potrebno postići visoke performanse radarskog sistema [66, 76–78, 80, 82, 107, 108]. U literaturi je ova vrsta kontrolisane povratne sprege poznata pod nazivom *fractional-N* PLL. Blok šema FMCW sintetizatora na bazi *fractional-N* PLL-a je prikazana na slici 20. Deljenje učestanosti izlaznog signala sa racionalnim brojem se postiže korišćenjem delitelja učestanosti sa promenljivim deliocem (engl. *Multi-Modulus Divider* - MMD). MMD u svakom trenutku deli učestanost izlaznog signala sa celobrojnom vrednošću iz unapred definisanog opsega. Trenutna vrednost delioca, N_{MMD} , se menja po određenom redosledu oko željene srednje vrednosti, N_{avg} . Na ovaj način se adekvatnom kontrolom MMD-a u vremenskom domenu i propusnim opsegom petlje može postići proizvoljan umnožak referentne učestanosti na izlazu PLL-a. Kao rezultat, postiže se prividan efekat da MMD deli učestanost izlaznog signala sa realnim brojem, koji je jednak srednjoj vrednosti delioca. Ova ideja se koristi u svim *fractional-N* sintetizatorima učestanosti, a posebno je pogodna pri generisanju linearnih rampi. Naime, FMCW modulator sintetiše digitalnu kontrolu za MMD čija se srednja vrednost delioca linearno menja. Tako se na izlazu FMCW sintetizatora dobija linearna frekvencijska rampa.



Slika 20: Blok šema FMCW sintetizatora na bazi analognog *fractional-N* PLL-a.

Broj izlaznih bita FMCW modulatora odgovara ukupnom broju stepena MMD-a i zajedno sa deliocima podstepena definiše opseg promene vrednosti N_{MMD} . FMCW modulator se sastoji iz dva glavna bloka, $\Sigma\Delta$ modulatora i generatora rampe. Osnovna uloga $\Sigma\Delta$ modulatora je da spreči ponavljanje sekvence kontrolnih reči MMD-a, tako da N_{avg} ostane nepromenjen. Drugim rečima, pseudoslučajna promena vrednosti N_{MMD} oko N_{avg} ima za posledicu razbijanje periodičnosti kontrolne sekvence, što rezultuje potiskivanjem spurova na izlazu sintetizatora. Rad $\Sigma\Delta$ modulatora doprinosi oblikovanju spektralne gustine šuma, tako da se šum smanjuje na nižim učestanostima i povećava na višim, odakle se lako uklanja niskopropusnim LF-om. Oblikovanje spektralne gustine šuma zavisi od reda $\Sigma\Delta$ modulatora. Veći red omogućava bolje potiskivanje šuma na nižim učestanostima, ali zahteva znatno složenija rešenja na nivou kola. Zadatak digitalnog generatora rampe je da upravlja srednjom vrednošću delioca MMD-a. Kontrolna sekvenca MMD-a za koju se na izlazu FMCW sintetizatora dobija trougaona modulaciona šema ima stepeničast oblik, kao što je prikazano na slici 20.

Izbor propusnog opsega FMCW sintetizatora na bazi *fractional-N* PLL-a je od presudnog značaja kada su u pitanju glavne karakteristike sistema. Zato je potrebno pronaći optimalan propusni opseg tako da se postigne što bolje potiskivanje šuma $\Sigma\Delta$ modulatora, ali u isto vreme sačuva dobra linearnost rampe. Neophodan uslov za to je da propusni opseg bude mnogo veći od učestanosti modulacije i manji od učestanosti promene vrednosti N_{avg} .

Pomoću ove topologije može se postići izuzetna rezolucija izlazne učestanosti, bez potrebe za veoma preciznim malošumnim DAC-ovima i ogromnim memorijama za skladištenje podataka, kao što je to slučaj sa većinom drugih topologija. Takođe, parametri kao što su propusni opseg i vreme modulacije rampe su veoma robusni na PVT varijacije, pošto je modulacija generisana u digitalnom domenu. Prednosti ove topologije su veliki potencijal za integraciju i mogućnost postizanja izuzetne linearnosti rampe. U poređenju sa drugim topologijama, FMCW sintetizator na bazi *fractional-N* PLL-a ima visok stepen fleksibilnosti i programabilnosti parametara rampe. S druge strane, nedostatak ove topologije je izražena nelinearnost rampe na početnim i krajnjim delovima usled ograničenog propusnog opsega petlje. Pored toga, performanse faznog šuma sintetizatora na bazi *fractional-N* PLL-a su generalno inferiorne u odnosu na *integer-N* PLL. Razlog je stalno menjanje trenutne vrednosti delioca MMD-a u *fractional-N* PLL-u. Tako signal na izlazu povratne sprege čak ni u zaključanom stanju nije idealno poravnat sa referentnim signalom. Uzlazne ivice

podeljenog signala naizmenično kasne i prednjače u odnosu na referentnu uzrokujući varijacije kontrolnog napona VCO-a i povećanje faznog šuma. Ipak, pravim izborom propusnog opsega PLL-a moguće je potisnuti ovaj efekat u velikoj meri.

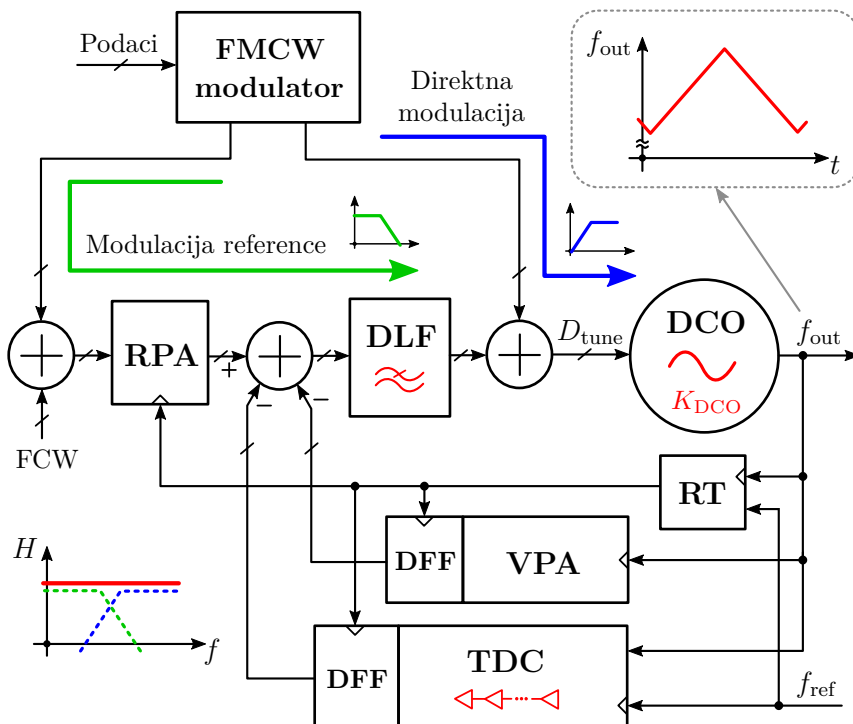
2.3.4 Potpuno digitalni PLL

Ubrzan razvoj i skaliranje CMOS tehnoloških procesa omogućili su potpuno digitalni pristup sinteze učestanosti, koji se danas sve više sreće ne samo u digitalnim već i u RF sistemima visokih performansi. Osnovna ideja je prebaciti negativnu povratnu spregu PLL-a i kontrolu oscilatora iz analognog u digitalni domen. Na ovaj način se izbegava korišćenje PFD-CP lanca, a samim tim i uticaj neželjenih efekata karakterističnih za analogna kola, kao što su osetljivosti na PVT varijacije i neuparenosti komponenata. Pored toga, izbegava se upotreba analognog LF-a koji zauzima značajnu površinu usled velikih vrednosti pasivnih komponenata. Umesto analognog LF-a koristi se digitalni LF (engl. *Digital Loop Filter* - DLF), čije su prednosti potpuna programabilnost i veoma mala površina. Isto tako, korišćenje standardnih digitalnih ćelija omogućava veću robusnost i skalabilnost sistema što je danas od velike važnosti pri projektovanju integrisanih kola. To smanjuje ukupno vreme razvoja sistema i pruža mogućnost upotrebe već oprobanih blokova u novim tehnološkim procesima sa izuzetno malim dimenzijama tranzistora.

Postoje različite topologije FMCW sintetizatora na bazi potpuno digitalnih PLL-ova (engl. *All-Digital PLL* - ADPLL). Svaka od njih, u povratnoj sprezi, koristi konvertor vremenskog intervala u digitalnu reč (engl. *Time-to-Digital Converter* - TDC). Uloga TDC-a zavisi od konkretne topologije FMCW sintetizatora i može biti estimacija faze izlaznog signala ili fazne razlike (zamena za PFD-CP lanac). Sinteza izlazne učestanosti se vrši pomoću digitalno kontrolisanog oscilatora (engl. *Digitally Controlled Oscillator* - DCO). Digitalna reč na izlazu DLF-a podešava učestanost DCO-a, pa se na taj način zatvara povratna sprega. Tako svaki analogni podblok PLL-a dobija svoju digitalnu predstavu u ADPLL-u. Linearne frekvencijske rampe se, slično kao kod analognih PLL-ova, mogu dobiti modulacijom reference ili vrednosti delioca u MMD-u. Ova dva pristupa rezultuju digitalnim predstavama sintetizatora koje odgovaraju već pomenutim analognim topologijama. Samim tim, prednosti digitalne implementacije nisu najbolje iskorišćene pa se teško mogu postići bolje performanse u poređenju sa analognim pristupima. Zato se u praksi najčešće sreću složeni FMCW sintetizatori na bazi višestrukih modulacija ADPLL-ova, koje se u digitalnom domenu mnogo lakše implementiraju. Najbolji primer su topologije

na bazi dvostruke modulacije (engl. *Two-Point Modulation* - TPM) petlje [109].

Topologije FMCW sintetizatora na bazi ADPLL-a sa TPM-om imaju veliku prednost po pitanju fleksibilnosti generisanja talasnih oblika različitog nagiba. Neke od digitalnih topologija sa TPM-om su opisane u [79, 109–112]. Teorijski gledano, ove topologije nemaju fizička ograničenja po pitanju mogućeg nagiba rampe upravo zbog svoje svepropusne (engl. *All-Pass*) prirode funkcije prenosa [79]. Drugim rečima, sinteza proizvoljnog talasnog oblika učestanosti ne zavisi od propusnog opsega petlje. Primer blok šeme FMCW sintetizatora na bazi ADPLL-a sa TPM-om je prikazan na slici 21 [109]. U ovom slučaju, jedna putanja moduliše direktno DCO i ima visokopropusnu karakteristiku, dok druga kompenzuje modulisani signal povratne sprege adekvatnom modulacijom reference i ima niskopropusnu karakteristiku. Tako se omogućava sinteza linearnih rampi proizvoljne učestanosti modulacije. U praktičnim primenama ADPLL-a sa TPM-om, kašnjenja u putanjama se često razlikuju usled nesimetrija u fizičkoj implementaciji integrisanog kola. Pored toga, direktna modulacija zahteva poznavanje pojačanja DCO-a, K_{DCO} , da bi se ispravno generisala linearna rampa. Male varijacije ovih vrednosti uzrokuju promenu funkcije prenosa, a samim tim i degradaciju svepropusne karakteristike ADPLL-a [79].



Slika 21: Blok šema FMCW sintetizatora na bazi ADPLL-a sa TPM-om.

Ključna komponenta u svim FMCW sintetizatorima na bazi ADPLL-a je DCO,

kao što se može videti na slici 21. Učestanost ovog oscilatora se menja približno linearno sa promenom digitalne kontrolne reči, D_{tune} . U negativnoj povratnoj sprezi, učestanost i faza izlaznog signala DCO-a se konvertuju u digitalni domen pomoću akumulatora promenljive faze (engl. *Variable Phase Accumulator* - VPA), koji broji uzlazne ivice signala, i TDC-a, respektivno. Rezultujuća digitalna reč se poredi sa digitalnom predstavom faze modulisane reference, koja se dobija na izlazu akumulatora referentne faze (engl. *Reference Phase Accumulator* - RPA). Referentni signal je sinhronizovan sa brzo promenljivim RF signalom pomoću “retajming” kola (engl. *Retiming* - RT), kako bi se omogućilo da digitalna logika radi tek nakon što TDC detektuje faznu grešku [113]. Digitalna vrednost FCW definiše učestanost referentnog signala. Fazna greška se dalje filtrira programabilnim DLF-om i sabira sa digitalnom vrednošću direktne modulacije. Tako se dobija modulisani D_{tune} koji upravlja DCO-om i uzrokuje linearne frekvencijske rampe na izlazu sintetizatora.

Iako topologije na bazi ADPLL-a imaju mnoge prednosti u odnosu na analogne PLL-ove i veliki potencijal u savremenim CMOS procesima, postizanje kompromisa između visokih performansi i male potrošnje je veliki izazov [109]. Naime, ove topologije zahtevaju veoma precizne TDC-ove visoke rezolucije, koji imaju veliku potrošnju i površinu. TDC dominantno utiče na ukupan fazni šum sintetizatora na učestanostima bliskim nosiocu, dok je dalje od nosioca fazni šum određen karakteristikom DCO-a. Još veći izazov ove topologije je projektovanje DCO-a koji radi u milimetarskom opsegu. To ujedno predstavlja i najveću prepreku za korišćenje ADPLL-ova u FMCW sintetizatorima, s obzirom na to da se sistemi na bazi ADPLL-ova pretežno koriste za sintezu učestanosti u opsegu do nekoliko gigaherca. Glavni problemi pri projektovanju mmWave DCO-ova su potreba za finom rezolucijom, velikim propusnim opsegom i linearnom krivom podešavanja učestanosti. Ovi parametri su neophodni za sintezu širokopojasnih i visoko linearnih frekvencijskih rampi. Zato su u ADPLL-ovima često potrebne sofisticirane kalibracije pojačanja DCO-a i razne tehnike linearizacije, koje dodatno komplikuju sistem. Posledica toga je da se visoko linearne frekvencijske rampe velikog propusnog opsega izuzetno teško postižu pomoću digitalne topologije FMCW sintetizatora.

2.3.5 Poređenje topologija FMCW sintetizatora

Poređenje različitih topologija FMCW sintetizatora po karakteristikama faznog šuma, propusnom opsegu rampe, maksimalnoj brzini modulacije, linearnosti rampe, izlaznoj snazi, prosečnoj potrošnji, maksimalnoj radnoj učestanosti i površini inte-

grisanog kola je prikazano u Tabeli 2.

Tabela 2: Poređenje topologija FMCW sintetizatora učestanosti.

Topologija	DAC + VCO	DM + PLL	DDFS + PLL	Frac-N PLL	TPM + ADPLL
Fazni šum	--	-	+	++	+
Propusni opseg	+	+	+	++	-
Brzina modulacije	-	+	+	+	++
Linearnost	--	-	+	++	+
Izlazna snaga	+	+	+	+	-
Potrošnja	-	-	-	-	++
Radna učestanost	+	+	++	++	-
Površina	-	+	-	+	++

Najbolje performanse faznog šuma FMCW sintetizatora se mogu postići pomoću topologije na bazi *fractional-N* PLL-a, dok se očekivano najlošiji rezultati dobijaju koristeći VCO u otvorenoj sprezi. Isto tako, veliki propusni opseg rampe se najlakše postiže *fractional-N* PLL-om, zahvaljujući širokom opsegu podešavanja VCO-a i programabilnosti delioca u povratnoj sprezi. Topologije na bazi ADPLL-a sa TPM-om imaju relativno mali propusni opseg rampe, iako mogu imati širok opseg podešavanja DCO-a. Razlog tome je nelinearnost krive podešavanja koja zahteva kompleksne tehnike linearizacije, kao i velike banke kondenzatora visokog faktora dobrote i fine rezolucije. Kako bi postigle željenu rezoluciju, banke kondenzatora se obično sastoje iz različitih tipova kontrolabilnih kapacitivnosti, što ima za posledicu da određeni granični prelazi uzrokuju skokovite promene vrednosti ukupne kapacitivnosti takve da kriva podešavanja više nije monotona. Ove nelinearnosti se direktno odražavaju na izlaznu učestanost, pa je samim tim veoma teško sintetisati linearne rampe na celom opsegu podešavanja DCO-a. To je glavni nedostatak digitalnih topologija u odnosu na analogne.

S druge strane, digitalne topologije imaju odličnu fleksibilnost i svepropusnu funkciju prenosa koja omogućava sintezu linearnih rampi velikog nagiba. Najmanju

maksimalnu brzinu modulacije ima topologija VCO-a u otvorenoj sprezi usled ograničene brzine DAC-a koji generiše kontrolni napon oscilatora. Još jedna posledica nedostatka povratne sprege je značajna degradacija linearnosti rampe. Zato se VCO u otvorenoj sprezi ne koristi kada je linearnost presudan faktor. Za sintezu visoko linearnih frekvencijskih rampi koristi se topologija na bazi *fractional*-N PLL-a, koja zahvaljujući finom podešavanju srednje vrednosti delioca MMD-a može postići izvanrednu linearnost. Zbog ove osobine, topologija na bazi *fractional*-N PLL-a je prvi izbor kada je potrebno postići izuzetne performanse radarskog sistema, kao što je tačnost detektovanog rastojanja mete. Redukovana tačnost detekcije degradira rezoluciju rastojanja FMCW radarskog senzora, pa tako smanjuje i stepen iskorišćenja propusnog opsega rampe.

Izlazna snaga sintetizatora u opštem slučaju zavisi od izabrane arhitekture i ukupne potrošnje kola. Sve analogne topologije FMCW sintetizatora imaju prednost po pitanju izlazne snage u odnosu na digitalne, pre svega zbog odgovarajućeg tehnološkog procesa u kome se projektuje integrisano kolo. Imajući u vidu da je za uspešnu realizaciju ADPLL-ova potreban savremen CMOS proces sa malim dimenzijama tranzistora, izlazna snaga sintetizatora je definitivno manja u odnosu na konkurentne analogne topologije koje najčešće koriste bipolarne tranzistore visokih performansi za sintezu RF signala. Upravo iz ovog razloga je ukupna potrošnja FMCW sintetizatora na bazi ADPLL-a znatno manja u poređenju sa analognim topologijama. Ipak, važno je napomenuti da potrošnja ADPLL-ova značajno raste na visokim učestanostima, pa je njihova efikasnost blago redukovana u odnosu na rad u gigahercnom opsegu.

Maksimalna radna učestanost ADPLL-ova je ograničena performansama CMOS tehnološkog procesa opšte namene i niža je od analognih topologija koje se realizuju u BiCMOS ili RF CMOS procesima. Sinteza linearnih frekvencijskih rampi na visokim učestanostima se najlakše može ostvariti pomoću topologije na bazi *fractional*-N PLL-a ili *integer*-N PLL-a sa modulacijom reference. Površina analognih topologija je često važan faktor, koji utiče na cenu celog radarskog sistema. Ove topologije po prirodi zauzimaju veću površinu zbog velikih vrednosti pasivnih komponenata u analognim kolima, kao što su kondenzatori, otpornici i kalemovi. Stoga je nemoguće smanjiti dimenzije ovih blokova ispod određene granice, što ograničava ukupnu površinu sintetizatora. Značajna prednost digitalnih topologija u odnosu na analogne je upravo površina integrisanog kola. S obzirom na to da koriste tranzistore sa efektom polja (engl. *Field-Effect Transistor* - FET) malih dimenzija i pretežno

digitalna kola, površina ADPLL-ova može biti veoma mala, što ih čini kompaktnim i ekonomičnim. Ovo pruža mogućnost jednostavne integracije FMCW sintetizatora sa ostatkom radarskog sistema, uključujući MCU i DSP deo.

Potrebno je pomenuti dve važne osobine FMCW sintetizatora koje nisu date u Tabeli 2, a to su rekonfigurabilnost rampi i sinteza proizvoljnih talasnih oblika učestanosti koji se sastoje iz većeg broja rampi različitih brzina modulacija. Ove osobine umnogome olakšavaju procesiranje radarskog signala i omogućavaju dodatne funkcionalnosti. Prednost ovakve sinteze je na strani ADPLL-ova sa TPM-om koji zahvaljujući svojoj svepropusnoj karakteristici mogu da generišu rampe proizvoljnog nagiba, a samim tim i složene talasne oblike učestanosti. Pored ADPLL-ova, približno dobre performanse po pitanju rekonfigurabilnosti rampi i sinteze proizvoljnih talasnih oblika mogu se postići pomoću *fractional-N* PLL-a.

2.3.6 Odabir optimalne topologije FMCW sintetizatora

Izbor topologije FMCW sintetizatora najviše zavisi od oblasti primene radarskog sistema. Ona diktira osnovne zahteve radarskih senzora, koji direktno određuju projektne parametre i prihvatljivu cenu fabrikacije FMCW sintetizatora. Na taj način namena radarskog senzora sužava izbor topologije sintetizatora. Za većinu radarskih primena, potrebne su male dimenzije modula i niska cena, pa su visok stepen integracije i rad na visokim učestanostima od posebnog interesa. Upravo iz ovih razloga se, kao logičan izbor, nameće topologija na bazi *fractional-N* PLL-a. Pored relativno male površine integrisanog kola i sinteze učestanosti u mmWave opsegu, koristeći *fractional-N* PLL mogu se postići izuzetne performanse faznog šuma, propusnog opsega i linearnosti rampe.

FMCW radarski senzori koji se danas koriste u automobilskoj industriji su većim delom integrisani. Stepem integracije zavisi od tehnološkog procesa, a prioritet imaju RF kola da bi se izbegli parazitni efekti usled povezivanja podblokova radara van čipa, koji znatno degradiraju karakteristike na visokim učestanostima. Sve vrste radarskih senzora u automobilima, LRR, MRR i SRR, pretežno koriste topologiju na bazi *fractional-N* PLL-a jer ona omogućava najbolje sistemske performanse, kao što su rezolucija i tačnost određivanja rastojanja mete.

Postupak projektovanja FMCW sintetizatora učestanosti na bazi *fractional-N* PLL-a je detaljno opisan u okviru ove disertacije. Ova topologija je odabrana za referentnu prilikom projektovanja dva primera širokopojasnih FMCW sintetizatora u mmWave opsegu.

2.4 Sinteza učestanosti u mmWave opsegu

Sinteza učestanosti u mmWave opsegu predstavlja živu oblast istraživanja sa mnogobrojnim izazovima. Uspešna realizacija potpuno integrisanih i visoko stabilnih frekvencijskih izvora, koji rade na učestanostima iznad 30 GHz, zahteva kombinovanje analognog i mikrotalasnog pristupa projektovanja. Analogni pristup podrazumeva klasično projektovanje električnih kola na osnovu simulacija sa koncentrisanim parametrima, kao što su simulacije u vremenskom i frekvencijskom domenu. S druge strane, mikrotalasni pristup podrazumeva korišćenje elektromagnetskih (EM) simulatora za karakterizaciju pasivnih delova kola. Rezultati EM simulacija su parametri rasejanja (engl. *Scattering Parameters* - *S*-parameters) koji opisuju ponašanje kola u frekvencijskom domenu. Kombinacija ova dva pristupa pruža detaljan uvid u karakteristike mmWave integrisanih kola i uzima u obzir mnoge fizičke pojave koje su izražene na visokim učestanostima, kao što su efekat konačne brzine prostiranja, skin efekat, gubici usled površinskih neravnina provodnika i efekat izračivanja [114]. Ovi efekti mogu uticati na smanjenje faktora dobrote rezonantnog kola oscilatora, pa samim tim i na redukciju amplitude oscilovanja, pogoršanje faznog šuma i promenu rezonantne učestanosti. Stoga oni imaju negativne, često i fatalne, posledice na rad sintetizatora učestanosti, pa ih je neophodno uzeti u obzir prilikom projektovanja.

Posebno važan deo mmWave sintetizatora je mreža za distribuciju LO signala. Deljenje i pojačanje RF signala, kao i ujednačavanje kašnjenja između RF putanja, se mnogo jednostavnije realizuje na nižim učestanostima usled manjeg uticaja parazitnih efekata i veće talasne dužine. Ukoliko RF signal nije pravilno isporučen primopredajnom lancu, čak iako je sinteza učestanosti dobra, dolazi do značajne degradacije performansi celog sistema [115]. Zato je u mmWave opsegu neophodno posvetiti posebnu pažnju pri projektovanju i optimizaciji mreže za distribuciju LO signala. U opštem slučaju, izgled ove mreže zavisi od topologije radarskog sistema, odnosno od broja prijemnih i predajnih lanaca.

Pored oscilatora i mreže za distribuciju LO signala, u sintetizatorima učestanosti na bazi *fractional-N* PLL-a važne su i karakteristike drugih blokova koje lako mogu ograničiti ukupne performanse šuma, kao što su PFD-CP lanac i delitelji učestanosti.

Realizacija FMCW sintetizatora često zahteva i digitalni pristup projektovanja, koji je poželjan za implementaciju digitalnog generatora rampi. Prema tome, projektovanje visoko integrisanog mmWave FMCW sintetizatora učestanosti predstavlja spoj tri potpuno različita pristupa projektovanja (analogni, digitalni i mikrotalasni), što ga čini posebno zanimljivim i izazovnim.

2.4.1 Opsezi od interesa za primene FMCW radara

Radarski senzori se u automobilskoj industriji intenzivno koriste u poslednje dve decenije. Veliki broj specifičnih primena automobilskih radara, kao i uređaja koji rade istovremeno, zahteva alokaciju posebnih frekvencijskih opsega za ovu namenu. Neki od danas aktuelnih opsega su prikazani u Tabeli 3.

Tabela 3: Fekvencijski opsezi od interesa za FMCW radarske senzore.

Naziv opsega	Namena	Centralna učestanost	Propusni opseg
79 GHz	MRR/SRR	79 GHz	4 GHz
77 GHz	LRR	76,5 GHz	1 GHz
24 GHz	ISM	24,125 GHz	0,25 GHz
60 GHz	ISM	60,5 GHz	7 GHz
Prošireni 60 GHz	ISM	64 GHz	14 GHz
122 GHz	ISM	122,5 GHz	1 GHz
245 GHz	ISM	245 GHz	2 GHz

Hronološki gledano, prvi opseg rezervisan za automobilske radarske senzore bio je ultra-širokopojasni 24 GHz-ni opseg. Razlog odabira ovog opsega je bio strogo tehničke prirode, jer je koristeći tehnologiju tog vremena bilo izuzetno teško projektovati i fabrikovati pouzdane radarske senzore za rad na učestanostima iznad 30 GHz. Ovaj opseg je kasnije zamenjen 79 GHz-nim opsegom, koji u odnosu na pomenuti ima manji relativni propusni opseg, što umnogome olakšava projektovanje antena i komponenata zavisnih od talasne dužine signala [1]. Rad u 79 GHz-nom opsegu omogućava korišćenje linearnih frekvencijskih rampi propusnog opsega od 4 GHz, koji predstavlja samo 5% relativnog propusnog opsega u odnosu na centralnu učestanost. Dogovorom odgovarajućih regulatornih tela, kao što su CEPT (European Conference of Postal and Telecommunications Administrations) u Evropi i FCC (Federal Communications Commission) u Sjedinjenim Američkim Državama, danas je gotovo u celom svetu ovaj opseg rezervisan samo za rad MRR i SRR automobilskih senzora. Za LRR senzore je određen 77 GHz-ni opseg sa propusnim opsegom od 1 GHz. To je sasvim dovoljno za detekciju dalekih meta gde nije neophodna fina rezolucija rastojanja.

Postoji tendencija da se radna učestanost automobilskih radara podigne na još

više učestanosti u daljoj budućnosti. Pored 77 i 79 GHz-nih opsega, istraživači uveliko rade na projektima koji uključuju implementaciju radarskih sistema za rad u 122 i 140 GHz-nim opsezima. Međutim, trenutno ne postoje nikakve garancije regulatornih tela da će u budućnosti neki od ovih opsega biti alociran samo za primene u automobilskoj industriji.

Danas je veoma popularan 60 GHz-ni opseg, koji omogućava najveći propusni opseg rampe od 7 GHz pa tako i najbolju prostornu rezoluciju od svih ISM opsega. Od izuzetne važnosti je činjenica da je FCC u novembru 2016. godine dodatno proširio ovaj nelicencirani opseg [116]. Tako proširen 60 GHz-ni opseg pokriva deo spektra od 57 do 71 GHz što omogućava prethodno nedostižnu prostornu rezoluciju radara. Drugim rečima, ovih 14 GHz kontinualnog nelicenciranog spektra se prevode u centimetarsku rezoluciju rastojanja čime se omogućava korišćenje FMCW radarskih senzora u kompleksnim okruženjima na otvorenom i zatvorenom prostoru koja sadrže veliki broj bliskih objekata [117].

Radarski sistemi koji rade u višim ISM opsezima, kao što su 122 i 245 GHz, su još u eksperimentalnoj fazi razvoja. Ovi opsezi nisu potpuno standardizovani i skloni su promenama. Prednost 122 i 245 GHz-nih opsega u odnosu na ostale je manji relativni propusni opseg, pa tako i jednostavnija sinteza širokopojasnih rampi. Nažalost, za ove opsege su rezervisani uski delovi frekvencijskog spektra pa je trenutno nemoguće iskoristiti njihov širokopojasni potencijal u komercijalne svrhe.

S obzirom na to da je u ovoj disertaciji fokus na širokopojasnim FMCW sintetizatorima, izabrani projektni primeri rade u 60 i 79 GHz-nim opsezima što im omogućava izuzetne rezolucije rastojanja.

2.4.2 Odabir tehnološkog procesa za rad u mmWave opsegu

Rad u mmWave opsegu je istorijski gledano dugo bio rezervisan za III-V tehnologije, kao što su galijum-arsenid (GaAs), galijum-nitrid (GaN) i indijum-fosfid (InP). Ove poluprovodničke tehnologije imaju izvanredne RF performanse, ali su zato veoma skupe i nisu dostupne za masovnu proizvodnju. Stoga je za komercijalne primene u mmWave opsegu, izbor ograničen na silicijumske tehnologije koje u poslednje dve decenije doživljavaju veliki procvat.

Borba između već duže prisutnih poluprovodničkih tehnologija na bazi silicijum-germanijumskih (SiGe) BiCMOS procesa i novijih čisto silicijumskih (Si) RF CMOS procesa uveliko traje. Za sada nema pobednika, a najveće su šanse da će tako i ostati jer obe poluprovodničke tehnologije nalaze svoju primenu koja pre svega zavisi od

namene radarskog sistema. Ključni faktori na osnovu kojih se vrši odabir poluprovodničke tehnologije su performanse aktivnih komponenata, potencijalni stepen integracije i potrošnja [1]. Pored ovih faktora, neophodno je poznavanje radne učestanosti radara, s obzirom na to da izbor frekvencijskog opsega značajno ograničava potrebne karakteristike aktivnih i pasivnih komponenata koje se koriste u integrisanim radarskim sensorima. U automobilskoj industriji pouzdan rad elektronskih komponenata je od presudnog značaja, pa tako dodatni pritisak na tehnološki proces stvara zahtev da radarski senzori rade robusno na širokom temperaturnom opsegu od -40 do $+125$ °C [118].

Srce BiCMOS tehnologije je SiGe heterospojni bipolarni tranzistor (engl. *Heterojunction Bipolar Transistor* - HBT), koji u savremenim tehnološkim procesima dostiže maksimalnu radnu učestanost (engl. *Maximum Oscillation Frequency* - f_{max}) iznad 300 GHz. Učestanost jediničnog pojačanja (engl. *Unity Gain Cutoff Frequency* - f_T) HBT-a je u proseku nešto niža od f_{max} , dok strujno pojačanje, β , varira u opsegu 400–2000. Probajni napon između kolektora i emitera, BV_{CE0} , brzih HBT-ova je veći od 1,5 V, što omogućava širok opseg promene izlaznog napona u pojačavačkim stepenima. Stoga performanse SiGe HBT-ova u savremenim tehnološkim procesima uglavnom nisu ograničavajući faktor prilikom projektovanja mmWave integrisanih kola, već su to postale integrisane pasivne komponente, kao što su kalemovi, kondenzatori, mreže za prilagođenje, transformatori i varaktor diode. Faktor dobrote ovih komponenata se izrazito smanjuje na visokim učestanostima, što značajno otežava projektovanje. Zato je posebno važna tačna karakterizacija pasivnih komponenata u mmWave opsegu, odnosno njihovo adekvatno modelovanje. Dostupnost specifičnih mmWave komponenata, kao što su varaktor diode i metal-izolator-metal (engl. *Metal-Insulator-Metal* - MIM) kondenzatori visokog faktora dobrote, i njihovih pouzdanih modela su velika prednost tehnologije koja umnogome olakšava projektovanje.

Pregled savremenih SiGe BiCMOS procesa visokih performansi za rad u mmWave opsegu je dat u Tabeli 4. Prikazane su tehnologije poluprovodničkih proizvođača GlobalFoundries (GF), odnosno bivši IBM Semiconductors sa procesima 8XP [119] i 9HP [120], IHP sa procesima SG13S [69] i SG13G2 [121], kao i ST Microelectronics (STM) sa procesima BiCMOS9MW (B9MW) [122] i BiCMOS55 (B55) [123]. Ovi komercijalno dostupni procesi su trenutno najpopularniji i imaju odlične performanse bipolarnih tranzistora, koji omogućavaju rad integrisanih radarskih senzora u mmWave opsegu. Treba pomenuti i druge SiGe BiCMOS tehnologije i proizvođače

koji su takođe dostupni na tržištu, kao što su SBC18H3 [124] proces TowerJazz-a, QUBiC4Xi [125] proces NXP-a i B11HFC [126] proces Infineon-a. Sve ove tehnologije dodatno podržavaju MOSFET-e, koji omogućavaju jednostavnu integraciju digitalnih kola. Takođe, supstrat ovih tehnologija ima relativno veliku otpornost pa tako omogućava bolju izolaciju pojedinih blokova sistema, kao i visok faktor dobrote kalemova implementiranih u debelim metalima na samoj površini čipa.

Tabela 4: Pregled komercijalno dostupnih SiGe BiCMOS tehnoloških procesa visokih performansi za rad u mmWave opsegu.

Parametar	GF		IHP		STM	
Skraćeno ime procesa	8XP [119]	9HP [120]	SG13S [69]	SG13G2 [121]	B9MW [122]	B55 [123]
CMOS nod [nm]	130	90	130	130	130	55
nnp f_T [GHz]	250	300	240	300	230	320
nnp f_{max} [GHz]	330	360	330	500	280	370
nnp β	650	470	900	650	650	1900
nnp BV_{CE0} [V]	1,65	1,7	1,7	1,7	1,5	1,5
Broj metala	4×Cu 3×Al	9×Cu 1×Al	7×Al	7×Al	6×Cu	8×Cu 1×Al
MIM [fF/ μm^2]	2	2,7	1,5	1,5	2	5
mmWave varaktor	da	da	ne	ne	da	da

S druge strane, skaliranje RF CMOS procesa omogućilo je redukciju parazitnih kapacitivnosti MOSFET-a pa tako i povećanje f_T/f_{max} učestanosti. Ovi tehnološki procesi su doživeli naglu ekspanziju zahvaljujući velikim kompanijama, kao što su Texas Instruments i Samsung, koje su uložile veliki trud u razvoj RF CMOS procesa tehnoloških nodova koji bi omogućili neophodne performanse aktivnih komponenata za rad u mmWave opsegu istovremeno sa visokim stepenom integracije i relativno malom potrošnjom, a sve u cilju komercijalizacije integriranih radarskih sistema. Još jedan veliki pokretač razvoja savremenih RF CMOS procesa je svakako peta generacija (5G) komunikacionih sistema, kao i buduća šesta generacija koje će isto tako raditi u mmWave opsegu. Kako bi se postigle poredive performanse tranzistora, pre svega f_T/f_{max} , u odnosu na SiGe BiCMOS procese, potrebni su RF CMOS procesi tehnološkog noda ispod 40 nm [118]. Većina današnjih CMOS procesa je predviđena za opštu namenu, odnosno optimizovani su za visok stepen integracije

prvenstveno digitalnih kola, malu potrošnju i pristupačnu cenu. Ovakvi procesi su daleko od optimalnih za projektovanje mmWave integrisanih kola, pre svega zbog loših visokofrekventnih karakteristika komponentata i nedostatka adekvatnih modela. Stoga su pored standardnih komponentata neophodni specijalizovani RF tranzistori i pasivne komponente visokog faktora dobrote, imajući u vidu kompleksne zahteve za rad u mmWave opsegu. Pored toga, potrebni su i sofisticirani mmWave modeli komponentata, a često i dodatne maske za nestandardne RF komponente. Zato savremeni RF CMOS procesi, kao što su 40, 28 i 22 nm, nisu jeftini, kao ni svima komercijalno dostupni.

S obzirom na to da su f_T/f_{\max} savremenih MOSFET i HBT-ova poredivi i da mogu biti iznad 300 GHz, druge karakteristike aktivnih komponentata su od presudnog značaja prilikom izbora optimalnog tehnološkog procesa za rad u mmWave opsegu. U opštem slučaju, HBT ima veću transkonduktansu od MOSFET-a, jer je njegova naponsko-strujna zavisnost eksponencijalna za razliku od kvadratne zavisnosti MOSFET-a [127]. Još jedna prednost HBT-a je pretežno rezistivna impedansa priključaka za razliku od pretežno kapacitivne MOSFET-a. Tako se kod HBT-ova mnogo jednostavnije pronalazi optimalna mreža za prilagođenje i ujedno lakše optimizuju minimalni faktor šuma i odgovarajuće pojačanje [128]. Usled većih dimenzija, pa samim tim i većih nasleđenih parazitnih kapacitivnosti, HBT-ovi su manje osetljivi na parazitne efekte iz lejauta [129]. Pored toga, HBT ima mnogo nižu graničnu učestanost fliker šuma u poređenju sa MOSFET-om, što HBT-ovima omogućava za red veličine manji fliker šum [128]. Ovo je posebno važno prilikom projektovanja sintetizatora i optimizacije ukupnog faznog šuma. Nedostaci HBT-ova su velike polarizacione struje i mali stepen skaliranja sa tehnološkim procesom.

Odabir tehnološkog procesa je kompromis između prihvatljive cene integrisanog kola i željenih sistemskih parametara. Projektovanje mmWave FMCW sintetizatora u RF CMOS procesima malog tehnološkog noda generalno podiže cenu kompleta maski potrebnih prilikom fabrikacije, ali zato smanjuje ukupnu površinu integrisanog kola pa se dobija veći broj čipova sa jednog "vejfera" (engl. *Wafer*). Imajući u vidu da je površina RF blokova pretežno određena pasivnim strukturama u mmWave opsegu, uticaj tehnološkog noda na dimenzije RF kola je zanemarljiv. Međutim, ukoliko se vrši integracija celog radarskog sistema, uključujući značajno veliki digitalni deo (DSP), tada je isplativost definitivno na strani CMOS-a. U ovoj disertaciji je za projektovanje FMCW sintetizatora, kao kompromisno rešenje, izabran 0,13 μm SiGe BiCMOS proces pre svega zbog dostupnosti i cene, ali i dovoljno dobrih performansi.

3 FMCW sintetizatori na bazi *fractional*-N tehnike

Sinteza učestanosti u mmWave opsegu pomoću *fractional*-N PLL-a je optimalan izbor kada je potrebno postići odlične performanse šuma i visoko linearne rampe. U ovim sistemima se, koristeći negativnu povratnu spregu, postiže značajno potiskivanje ukupnog faznog šuma sintetizatora i sinhronizacija faza oscilatora. Na ovaj način se omogućava stabilnost izlazne učestanosti, odnosno izrazito povećava otpornost sistema na varijacije temperature, napona napajanja i izlaznog opterećenja VCO-a. Učestanost izlaznog signala se podešava finom kontrolom srednje vrednosti delioca u povratnoj sprezi. Visoka rezolucija podešavanja izlazne učestanosti se dobija na osnovu velikog broja bita akumulatora u $\Sigma\Delta$ modulatoru, koji upravlja trenutnom vrednošću delioca MMD-a. To omogućava potpuno digitalnom FMCW generatoru sintezu linearnih frekvencijskih rampi. Usled izuzetno visokih izlaznih učestanosti često se u povratnoj sprezi, pre MMD-a, koriste visokofrekventni delitelji učestanosti koji skaliraju frekvenciju signala, deleći je celobrojnom vrednošću, N_{PS} . Pored toga, u nekim konfiguracijama sintetizatora na bazi *fractional*-N PLL-a se koriste ulazni množači referentne učestanosti pomoću kojih se povećava radna učestanost $\Sigma\Delta$ modulatora i ujedno smanjuje ukupan faktor multiplikacije reference unutar PLL-a. Ovo može doprineti poboljšanju ukupnog faznog šuma milimetarskog sintetizatora učestanosti, ali otežava projektovanje PFD-CP lanca i $\Sigma\Delta$ modulatora.

U ovom poglavlju su analizirane osnovne karakteristike FMCW sintetizatora učestanosti na bazi *fractional*-N PLL-a. U odeljku 3.1 je prikazano poređenje različitih hardverskih arhitektura. Analiza osnovnih podblokova *fractional*-N PLL-a je predstavljena u odeljku 3.2, što pruža detaljan uvid u glavne osobine i različite arhitekture podblokova predstavljenih na nivou tranzistora. U odeljku 3.3 je data detaljna analiza faznog šuma *fractional*-N PLL-a, kao i odgovarajući model u faznom domenu sa funkcijama prenosa podblokova. Optimizacija linearnosti rampe i odabir propusnog opsega petlje su prikazani u odeljku 3.4. Na kraju je u odeljku 3.5 predstavljena metodologija projektovanja FMCW sintetizatora na bazi *fractional*-N PLL-a, koja sadrži osnovne smernice i korake koje je potrebno proći pri projektovanju, kao i neophodne kompromise za postizanje izuzetne linearnosti i faznog šuma.

3.1 Poređenje različitih hardverskih arhitektura

Signal određene učestanosti u mmWave opsegu se na osnovu *fractional-N* tehnike može generisati na više načina u zavisnosti od hardverske arhitekture sintetizatora. Pod pretpostavkom da je učestanost referentnog signala ista, kao i izlazna učestanost sintetizatora, razlikuju se sledeće hardverske arhitekture [115]:

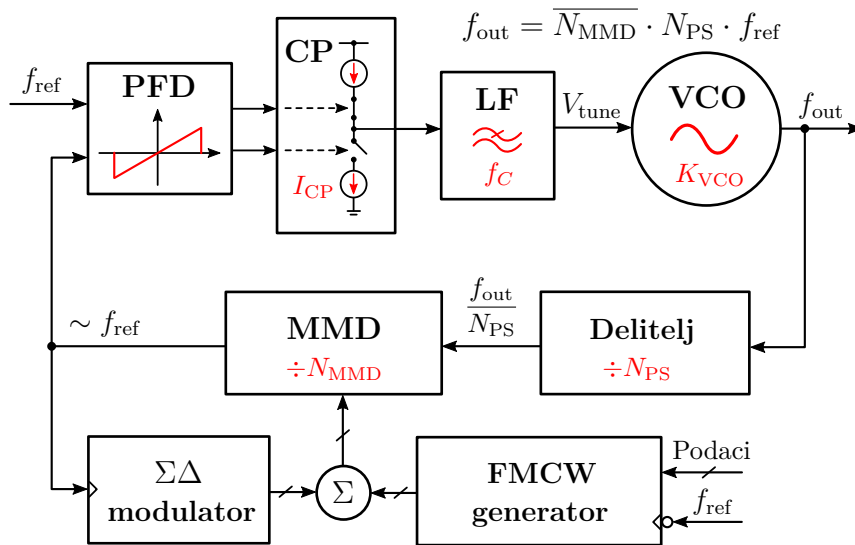
- *fractional-N* PLL sa oscilatorom na fundamentalnoj učestanosti,
- *fractional-N* PLL sa izlaznim množačem učestanosti,
- *fractional-N* PLL sa N spregnutih oscilatora (engl. *N-push VCO*),
- *fractional-N* PLL sa injekciono sinhronisanim oscilatorom na izlazu.

Pomoću ovih hardverskih arhitektura se na različite načine može realizovati željeni frekvencijski plan (engl. *Frequency Plan*), koji je najvažniji faktor prilikom projektovanja sintetizatora učestanosti. Dobar frekvencijski plan je ključan za postizanje visokih performansi sistema uz nisku cenu proizvodnje, što zahteva temeljno razumevanje arhitekture primopredajnika i ključnih blokova sintetizatora, poput oscilatora, delitelja učestanosti i drugih [109].

3.1.1 *Fractional-N* PLL sa oscilatorom na fundamentalnoj učestanosti

Prva hardverska arhitektura predstavlja direktnu sintezu učestanosti koristeći VCO koji osciluje na željenoj frekvenciji u mmWave opsegu [66, 76–78]. Blok šema ove topologije je prikazana na slici 22.

S obzirom na to da se mmWave signal u povratnoj sprezi vraća preko fiksnog delitelja učestanosti, koji se često naziva preskaler, potrebne su izuzetno brze arhitekture ovog bloka čije je projektovanje kritično. Takođe, projektovanje mmWave VCO-a je veoma izazovno, jer je teško istovremeno omogućiti rad na visokim učestanostima, odličan fazni šum i veliki opseg podešavanja. Ograničenja postoje pre svega zbog malog pojačanja tranzistora u mmWave opsegu i redukovanoj dobrotni varaktora, koji su neophodni za fino podešavanje učestanosti. VCO-ovi koji rade u fundamental modu, odnosno kod kojih je izlaz prvi harmonik oscilacija, imaju veliku prednost u odnosu na oscilatore čiji je izlaz N -ti harmonik, jer mogu da omoguće mnogo veće izlazne snage, što je posebno važno u mmWave opsegu. Pored toga, fundamental VCO-ovi su poželjni zbog toga što je lakše ostvariti uslove oscilovanja u odnosu na složenija kola kao što su *N-push VCO*-ovi [109]. Nedostatak ove

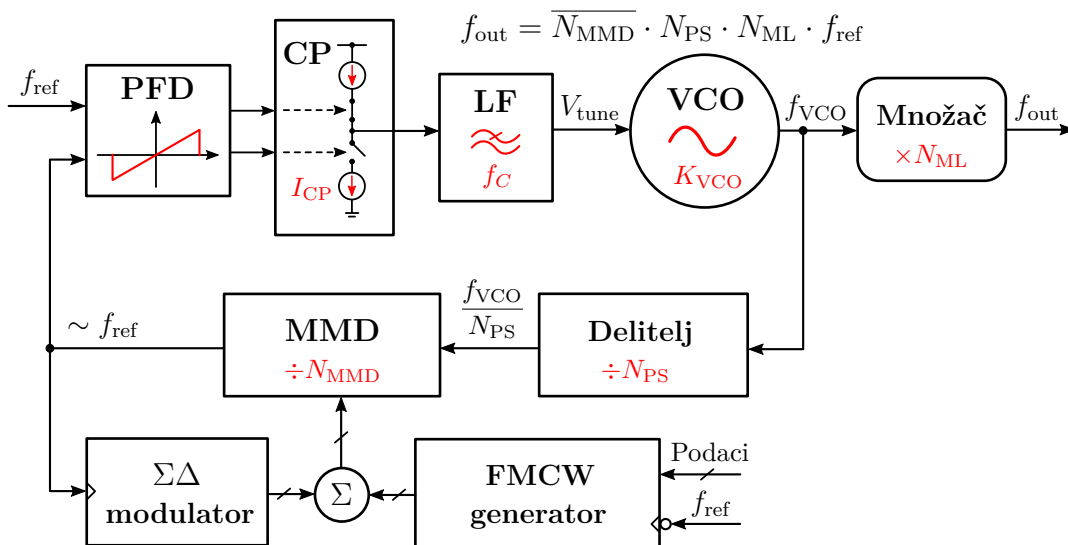


Slika 22: Blok šema *fractional-N* PLL-a sa oscilatorom na fundamentalnoj učestanosti.

hardverske arhitekture je relativno mali opseg podešavanja mmWave VCO-a, koji zahteva dodatne margine da bi se kompenzovao uticaj PVT varijacija.

3.1.2 *Fractional-N* PLL sa izlaznim množačem učestanosti

Kako bi se relaksirali zahtevi VCO-a, smanjila radna učestanost pa samim tim i omogućilo lakše postizanje ciljanih performansi, često se koristi hardverska arhitektura *fractional-N* PLL-a sa izlaznim množačem učestanosti [80, 81, 108], prikazana na slici 23.

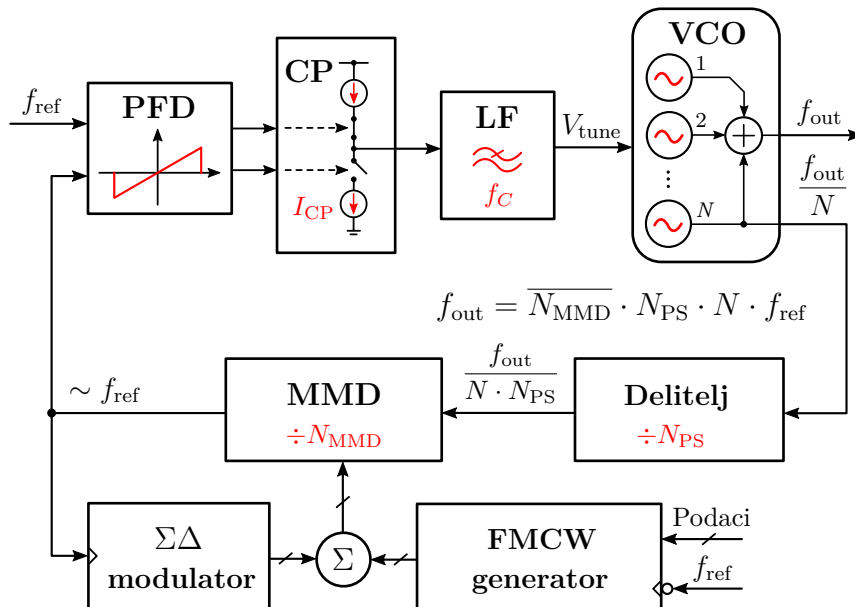


Slika 23: Blok šema *fractional-N* PLL-a sa izlaznim množačem učestanosti.

U slučaju ove hardverske arhitekture, projektovanje celog *fractional-N* PLL-a je značajno pojednostavljeno jer nema potrebe za veoma brzim deliteljima učestanosti i mmWave VCO-ovima sa velikim opsegom podešavanja. Još jedna važna prednost ove arhitekture je činjenica da se pored učestanosti multiplicira i opseg podešavanja VCO-a, pa se tako veliki propusni opseg rampe relativno lako postiže. Arhitektura *fractional-N* PLL-a sa izlaznim množačem učestanosti se često sreće u savremenim CMOS procesima, gde se PLL koji radi na gigahercnim učestanostima jednostavno implementira, a onda se posebna pažnja posvećuje projektovanju mmWave množača. Nedostatak ove arhitekture je ograničena izlazna snaga, kao i pojava neželjenih spektralnih komponenti koje su celobrojni umnošci izlazne učestanosti PLL-a. Posebno je opasno curenje osnovnog harmonika VCO-a kroz množač [115], što lako može degradirati performanse mešača ili celog sistema pa je neophodno adekvatno filtriranje. Najčešći faktori multiplikacije, N_{ML} , su dva i tri, ali se sreću i kompleksne strukture kaskadno povezanih množača učestanosti [81] koji mogu da umnože učestanost izlaznog signala sa nekoliko gigaherca čak u mmWave opseg [108].

3.1.3 *Fractional-N* PLL sa *N-push* VCO-om

Slična ideja multiplikacije učestanosti se koristi i kod *fractional-N* PLL-a sa *N* spregnutih oscilatora [39, 130], kao što je prikazano na slici 24.



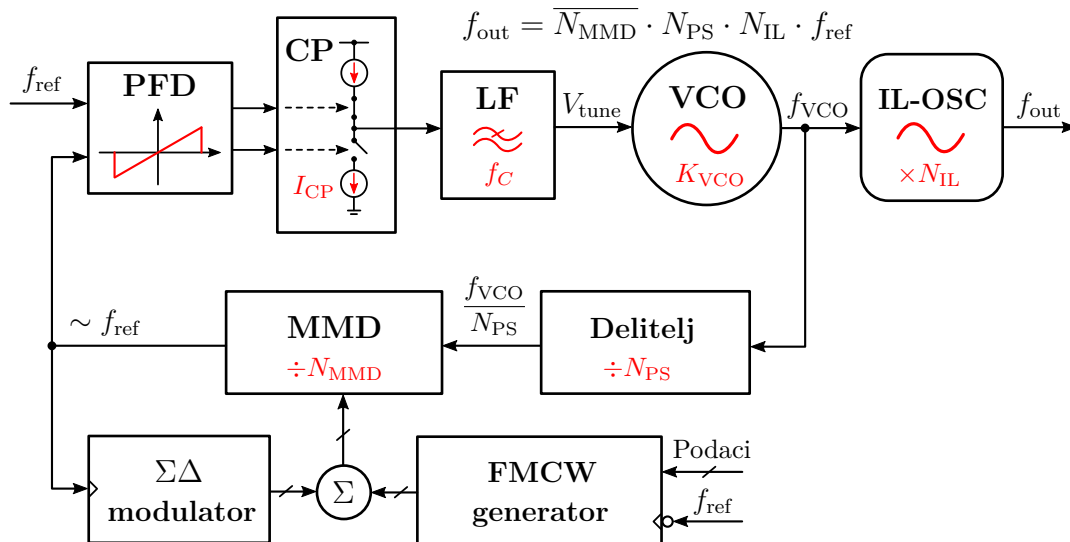
Slika 24: Blok šema *fractional-N* PLL-a sa *N-push* VCO-om.

Jedina razlika između ove i prethodne arhitekture je u tome što *fractional-N*

PLL sa N -push VCO-om umesto množača učestanosti sadrži složen harmonijski VCO čiji je izlaz N -ti harmonik osnovne učestanosti. Stoga za ovu arhitekturu važe iste prednosti kao i za *fractional-N* PLL sa izlaznim množačem, a to je da ima širok propusni opseg petlje, kao i da delitelj i VCO rade na nižim učestanostima pa samim tim imaju manju potrošnju. Rad na nižim učestanostima omogućava veće pojačanje tranzistora i bolji faktor dobrote varaktora, što ima za posledicu da sintetizator učestanosti ima manji fazni šum. S druge strane, nedostatak ove arhitekture je mala izlazna snaga koja pre svega zavisi od nelinearnosti komponenata [115]. U praksi su prisutni harmonijski VCO-ovi kod kojih je izlaz drugi (engl. *Push-Push*) ili treći (engl. *Triple-Push*) harmonik osnovne učestanosti. Arhitektura *push-push* VCO-a je najjednostavnija jer se dve faze lako dobijaju iz diferencijalnog signala, dok je za *triple-push* VCO i složenije konstrukcije neophodan veći broj faza, odnosno oscilatora u paraleli. Ovo uzrokuje veću potrošnju i kompleksnost povezivanja pa se zato N -push VCO-ovi, gde je $N > 2$, retko sreću u integrisanim radarskim sensorima.

3.1.4 Fractional-N PLL sa IL oscilatorom na izlazu

Hardverska arhitektura *fractional-N* PLL-a sa injecciono sinhronisanim (engl. *Injection-Locked - IL*) oscilatorom na izlazu je prikazana na slici 25.



Slika 25: Blok šema *fractional-N* PLL-a sa IL oscilatorom na izlazu.

Prednost ove arhitekture je, isto kao i kod one sa množačem učestanosti, odsustvo mmWave delitelja i niskofrekventni VCO. Pored toga, ova arhitektura zahteva dodatni mmWave oscilator i tehniku injekcije signala koja se generalno koristi za

poboljšanje faznog šuma [115]. Kako bi omogućio uspešno injektovanje ulaznog signala i zaključavanje na željenu učestanost pod svim PVT varijacijama, IL oscilator mora da ima širok opseg zaključavanja (engl. *Locking Range*). Ovom oscilatoru nije potreban varaktor za fino podešavanje učestanosti, ali je poželjno da ima banku kondenzatora u rezonantnom kolu pomoću koje se kompenzuje uticaj PVT varijacija i podešava centralna učestanost opsega zaključavanja. Ukoliko IL oscilator ne uspe da se zaključa na osnovu injektovanog signala PLL-a, dolazi do efekta povlačenja (engl. *Pulling Effect*) i kontaminacije spektra izlaznog signala što za posledicu ima neželjeno ponašanje sistema [115]. Zato je veoma važno da se prilikom projektovanja IL oscilatora vodi računa o opsegu zaključavanja i obezbede dovoljne margine za sigurno zaključavanje na ulaznu učestanost. Širok opseg zaključavanja zahteva jaku injekciju i mali faktor dobrote rezonatora [131], što degradira performanse faznog šuma i povećava potrošnju. Stoga je potrebna veća snaga na izlazu PLL-a kako bi se obezbedio ispravan rad IL oscilatora. Ova hardverska arhitektura se retko sreće u FMCW radarskim sensorima upravo zbog uskopojasnosti IL oscilatora, kao i velike osetljivosti na parazitne sprege između kritičnih blokova unutar čipa koje u najgorem slučaju mogu dovesti do zaključavanja na pogrešnoj učestanosti.

3.1.5 Odabir optimalne hardverske arhitekture

Izbor optimalne hardverske arhitekture za određenu primenu zavisi pre svega od frekvencijskog plana i arhitekture primopredajnog dela radarskog senzora, kao i potrebnog opsega podešavanja, faznog šuma, izlazne snage, potrošnje i površine [109]. Pored toga, na izbor optimalne hardverske arhitekture umnogome utiču parametri tehnološkog procesa, kao što su karakteristike komponenata, ogranaka vodova itd [115]. Potrebno je uzeti u obzir, u slučaju kada je to poznato, i ostale specifičnosti sistema, kao što su na primer potreba za generisanjem signala različitih faza (signali u kvadraturi), raspored ključnih blokova u leajutu ili rastojanja između sintetizatora učestanosti i ostalih blokova. Svi ovi zahtevi predstavljaju ulaze na osnovu kojih se donosi odluka o izboru optimalne hardverske arhitekture FMCW sintetizatora.

U Tabeli 5 je dato poređenje prednosti i nedostataka hardverskih arhitektura FMCW sintetizatora na bazi *fractional-N* PLL-a. S obzirom na to da je linearnost frekvencijske rampe direktno određena kontrolom MMD-a u povratnoj sprezi, prilikom multiplikacije izlazne učestanosti PLL-a nema dodatnih izobličenja rampe. Međutim, treba imati u vidu da se sve neidealnosti rampe nastale u PLL-u multipliraju kao i učestanost signala, što ujedno predstavlja nedostatak svih arhitektura

koje generišu više harmonike. Zahtevi za malim faznim šumom su kod FMCW radara relaksiraniji u poređenju sa komunikacionim sistemima, jer je fazni šum predajnog i prijemnog signala korelisan pa su na taj način smanjeni štetni efekti faznog šuma sintetizatora [109].

Tabela 5: Poređenje hardverskih arhitektura FMCW sintetizatora učestanosti na bazi *fractional*-N PLL-a [115].

Arhitektura	Potrebni blokovi	Prednosti	Nedostaci
<i>Fractional</i> -N PLL sa fundamental VCO-om	fundamental VCO i mmWave delitelj	mala kompleksnost i površina	mmWave delitelj, mali faktor dobrote varaktora i opseg podešavanja
<i>Fractional</i> -N PLL i množač učestanosti	niskofrekventni VCO i množač učestanosti	mala vrednost delioca u petlji i širok opseg podešavanja	mala izlazna snaga i mnogo oscilatora ($N > 2$)
<i>Fractional</i> -N PLL sa <i>N-push</i> VCO-om	<i>N-push</i> VCO	mala vrednost delioca u petlji i širok opseg podešavanja	mala izlazna snaga i izlazni harmonici
<i>Fractional</i> -N PLL i IL oscilator	niskofrekventni VCO i IL oscilator	mala vrednost delioca u petlji i dobar fazni šum	problemi sa povlačenjem i uzak opseg zaključavanja

U okviru ove disertacije su u $0,13\mu\text{m}$ SiGe BiCMOS procesu projektovana dva primera *fractional*-N PLL-a sa fundamental VCO-om, koji rade u 60 i 79 GHz-nim opsezima. Ova arhitektura je izabrana jer je potrebno maksimizovati izlaznu snagu sintetizatora, a istovremeno postići što bolji fazni šum i linearnost širokopojasnih rampi. Velika izlazna snaga je uobičajen zahtev kod FMCW sintetizatora, pošto se snaga LO signala najčešće deli više puta kako bi se isporučila predajnim i prijemnim lancima. Stoga je uglavnom na izlazu sintetizatora potrebna snaga veća od 0 dBm. Prema tome, arhitekture sa izlaznim množačem učestanosti i sa *N-push* VCO-om ne dolaze u obzir zbog male izlazne snage. S druge strane, arhitektura sa IL oscilatorom pruža slične performanse kao i fundamental VCO arhitektura pri čemu ne zahteva mmWave delitelj. Međutim, glavni problem ove arhitekture je relativno uzak opseg zaključavanja koji onemogućava sintezu širokopojasnih rampi. Zato je optimalan izbor *fractional*-N PLL sa oscilatorom na fundamentalnoj učestanosti.

3.2 Analiza osnovnih podblokova *fractional-N* PLL-a

U ovom potpoglavlju je dat opis osnovnih podblokova *fractional-N* PLL-a na nivou tranzistora. Prikazane su različite arhitekture ovih kola za rad u mmWave opsegu, kao i njihove glavne prednosti i nedostaci. Isto tako su izvedene osnovne smernice za projektovanje podblokova milimetarskih PLL-ova, koje su kasnije primenjene na dva pomenuta projektna primera.

3.2.1 VCO

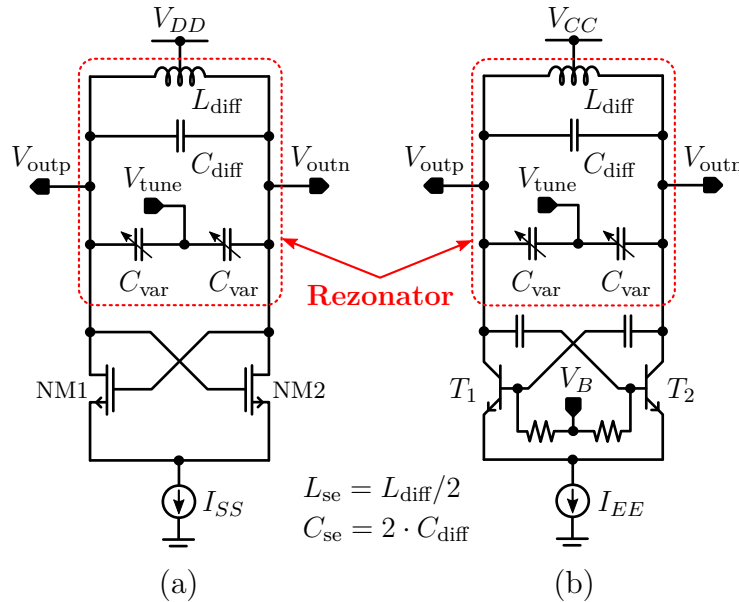
VCO-ovi sintetišu signal željene učestanosti u zavisnosti od ulaznog kontrolnog napona. U integrisanim realizacijama najčešći su oscilatori sa diferencijalnim izlazom koji im pruža dodatnu otpornost na izvore šuma iz okruženja, kao što su šum napajanja ili šum uzrokovan spregom kroz supstrat. VCO se sastoji iz aktivnog kola, rezonantnog kola i pozitivne povratne sprege. Aktivno kolo sadrži tranzistore koji kompenzuju gubitke u rezonantnom kolu i održavaju oscilacije, dok se rezonantno kolo sastoji iz pasivnih komponenata, integrisanih kalemova i kondenzatora.

Učestanost oscilovanja je pretežno određena komponentama rezonantnog kola. Najveći uticaj na uspostavljanje i održanje oscilacija ima faktor dobrote rezonatora, koji je određen dominantnim faktorom dobrote kalema ili kondenzatora. Faktor dobrote kalema je linearno srazmeran radnoj učestanosti za razliku od kondenzatora kod koga je obrnuto srazmeran istoj. Stoga su u mmWave opsegu faktori dobrote kondenzatora i varaktora ograničavajući faktori u VCO-u. Kako bi se uspostavile i održale oscilacije po Barkhauzenovom kriterijumu (engl. *Barkhausen Criterion*), potrebno je da pojačanje u petlji koju formiraju aktivno kolo i rezonator bude tačno jedan, kao i da fazni pomeraj bude tačno 360° [100].

Alternativno, VCO-ovi koji rade u mmWave opsegu se mogu posmatrati kao sistemi sa odvojenim pasivnim rezonantnim kolom i aktivnim kolom za generisanje negativne rezistanse. Uloga aktivnog kola za generisanje negativne rezistanse je da uspostavi regenerativnu povratnu spregu i tako dodaje energiju rezonantnom kolu potrebnu za kompenzaciju gubitaka i održanje oscilacija, pa je otuda u literaturi uobičajen naziv “negativna” rezistansa.

U mmWave opsegu se dominantno koriste dve arhitekture VCO-a zbog jednostavnosti projektovanja i zadovoljavajućih performansi [132], a to su LC VCO sa unakrsno spojenim tranzistorima (engl. *Cross-Coupled - CC*) [70, 76, 78, 133] i diferencijalni Kolpic (engl. *Colpitts*) VCO [77, 115, 117, 132, 134–136].

CC-LC VCO: Arhitektura CC-LC VCO-a se sastoji iz dva tranzistora unakrsno povezanih gejt-drejn (baza-kolektor) priključaka i rezonatora, kao što je prikazano na slici 26.



Slika 26: Arhitektura LC VCO-a sa unakrsno spojenim tranzistorima na bazi (a) nMOS i (b) bipolarnih tranzistora.

Učestanost oscilovanja CC-LC VCO-a sa MOSFET-ovima je određena izrazom:

$$f_{CC} = \frac{1}{2\pi\sqrt{L_{se}(C_{se} + C_{var} + C_{par})}}, \quad (27)$$

gde je L_{se} jednostrana (engl. *Single-Ended*) induktivnost kabela, C_{se} jednostrana kapacitivnost kondenzatora, C_{var} kapacitivnost varaktora, a C_{par} jednostrana parazitna kapacitivnost koju vidi rezonantno kolo. Parazitna kapacitivnost rezonantnog i aktivnog kola se dodaje na ukupnu kapacitivnost rezonatora i na ovaj način redukuje učestanost oscilovanja. Pored parazitne kapacitivnosti u mmWave CC-LC VCO-ovima značajne su i parazitne induktivnosti interkonekcija, koje je neophodno uzeti u obzir prilikom projektovanja. Zato je poželjno da se kompletno rezonantno kolo karakteriše pomoću EM simulatora.

U SiGe i BiCMOS tehnološkim procesima je korišćenje arhitekture prikazane na slici 26(b) ograničeno maksimalnom radnom učestanošću VCO-a imajući u vidu veliku otpornost baze bipolarnih tranzistora [132]. Pored toga, na putanji signala pozitivne povratne sprege neophodni su sprežni kondenzatori da bi se obezbedila ispravna polarizacija i sprečio ulazak bipolarnih tranzistora u režim saturacije, što

dodatno otežava projektovanje VCO-a. Stoga se CC-LC arhitektura retko sreće kod bipolarnih mmWave VCO-ova. S druge strane, u savremenim CMOS procesima je ova arhitektura dominantna na učestanostima iznad 5 GHz, pa je zato u daljem tekstu posebna pažnja posvećena kolu sa slike 26(a).

Ukupni jednostrani gubici u rezonatoru se mogu modelovati pomoću otpornika vrednosti R_{par} , koji predstavlja ekvivalentnu paralelnu otpornost dodatu rezonantnom kolu. Ova otpornost ima negativne posledice po faktor dobrote rezonatora, pa samim tim smanjuje amplitudu oscilacija i povećava fazni šum. Uslov uspostavljanja oscilacija po Barkhauzenovom kriterijumu kod CC-LC VCO-a na bazi CMOS tranzistora je da na rezonantnoj učestanosti važi:

$$g_m \cdot (r_{ds} \parallel R_{\text{par}}) \geq 1, \quad (28)$$

gde je g_m transkonduktansa jednog od unakrsno spojenih tranzistora, a r_{ds} je odgovarajuća izlazna otpornost tranzistora. U jednačini (28) se leva strana može aproksimirati kao $g_m \cdot (r_{ds} \parallel R_{\text{par}}) \approx g_m \cdot R_{\text{par}}$. Ako je ovaj proizvod jednak ili veći od jedan, uspostaviće se oscilacije u VCO-u. U praksi se uvek ostavlja dovoljno velika margina tako da se obezbedi sigurno startovanje oscilatora usled PVT varijacija. Najčešće se usvaja da leva strana jednačine (28) ima vrednost u opsegu 2–4.

Zanemarujući pojavu efekta modulacije dužine kanala, transkonduktansa CMOS tranzistora u unakrsno spojenom paru se može aproksimirati kao:

$$g_m \approx \mu C_{ox} \frac{W}{L} (V_{GS} - V_t), \quad (29)$$

gde je μ pokretljivost nosioca u kanalu, C_{ox} površinska kapacitivnost gejta, V_{GS} napon gejta-sors priključaka, V_t napon praga provođenja, W širina i L dužina kanala. Imajući u vidu jednačinu (29) i činjenicu da je maksimalni V_{GS} ograničen naponom napajanja, kao i da je proizvod μC_{ox} određen izabranom tehnologijom, odnos W/L se bira tako da obezbedi sigurno startovanje oscilatora. U savremenim primenama koje zahtevaju da VCO radi na visokim učestanostima dužina kanala se obično bira tako da bude minimalna koju data tehnologija dozvoljava. Na ovaj način se minimiziraju parazitne kapacitivnosti aktivnog kola i omogućava viša radna učestanost.

Osnovna razlika između arhitektura koje koriste nMOS ili pMOS unakrsno spojeni par je u tome što nMOS tranzistori imaju veću transkonduktansu uzrokovanu većom pokretljivošću nosioca u kanalu. Stoga je za postizanje iste transkonduktanse potrebna veća površina pMOS tranzistora, pa se samim tim dobijaju i veće

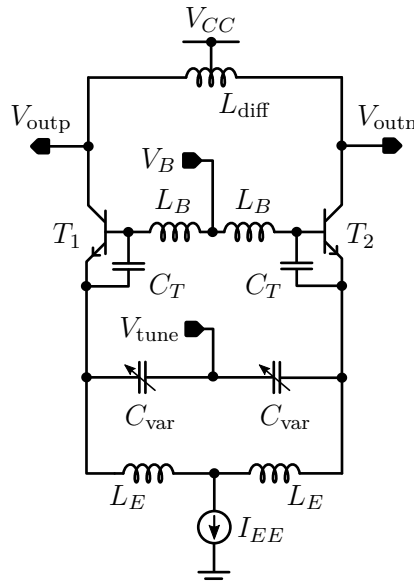
parazitne kapacitivnosti. U mmWave opsegu se dominantno koristi nMOS unakrsno spojeni par zbog više učestanosti jediničnog pojačanja nMOS tranzistora u odnosu na pMOS, kao i zbog manjeg opterećenja rezonantnog kola [133]. Međutim, ovo ne eliminiše potpuno korišćenje pMOS tranzistora imajući u vidu da pored manje transkonduktanse ovi tranzistori imaju i manji fliker šum u poređenju sa nMOS tranzistorima, pa se zato često koriste u CC-LC VCO-ovima do 20 GHz [137]. U praksi se sreće i komplementarna arhitektura koja sadrži kombinaciju pMOS i nMOS para. Prednost ove arhitekture je dvostruko veća amplituda oscilacija, koja omogućava manju polarizacionu struju. Izlazni napon u ovoj arhitekturi ne može da ide iznad napona napajanja pa to predstavlja ograničenje koje utiče na maksimalnu amplitudu izlaznog signala. Važan nedostatak komplementarne arhitekture je potreba za višim naponom napajanja u poređenju sa arhitekturom koja ima pMOS ili nMOS unakrsno spojene tranzistore, kao i relativno mala maksimalna radna učestanost.

S obzirom na to da je amplituda oscilacija direktno određena polarizacionom strujom VCO-a, veoma je važno da ona bude precizno kontrolisana. Strujni izvori za polarizaciju sa slike 26 predstavljaju strujna ogledala, koja kod mmWave CC-LC VCO-a mogu biti pMOS [76] ili nMOS [78] tipa. Polarizaciona struja se obavezno filtrira kako bi se u VCO-u sprečilo konvertovanje naviše šuma iz osnovnog opsega. Arhitektura VCO-a sa pMOS strujnim izvorom je u blagoj prednosti u odnosu na nMOS izvore imajući u vidu da je fliker šum pMOS tranzistora manji, kao i činjenicu da se tako pored šuma polarizacione struje dodatno filtrira i šum napajanja. Postoji još jedan pristup polarizacije VCO-a ograničenjem struje koja protiče kroz njega. To se može postići programabilnim otpornikom [133] pri čemu se izbegava korišćene MOSFET-a, a samim tim značajno redukuje fliker šum.

Diferencijalni Kolpic VCO: Za razliku od CC-LC VCO-a kod koga prolasci kroz nulu diferencijalnog izlaznog napona, $V_{\text{out}} = V_{\text{outp}} - V_{\text{outn}}$, uzrokuju naizmenično uključivanje i isključivanje aktivnih komponenata, kod diferencijalnog Kolpic VCO-a se samo prilikom vršnih vrednosti napona V_{out} injektuje struja u rezonator iz aktivnih komponenata. Na slici 27 je prikazana arhitektura diferencijalnog Kolpic VCO-a sa bipolarnim tranzistorima.

U slučaju diferencijalnog Kolpic VCO-a sa bipolarnim tranzistorima, učestanost izlaznog signala je:

$$f_{\text{COLP}} = \frac{1}{2\pi\sqrt{L_B((C_T + C_\pi) \parallel C_{\text{var}})}}, \quad (30)$$



Slika 27: Arhitektura diferencijalnog Kolpica VCO-a sa bipolarnim tranzistorima.

gde je L_B induktivnost kalema u bazi tranzistora, C_T kapacitivnost kondenzatora paralelnog sa baza-emiter spojem, a C_π kapacitivnost baza-emiter spoja tranzistora. U jednačini (30) nisu uzete u obzir parazitne kapacitivnosti koje postoje u lejaui i blago redukuju učestanost oscilatora. Za razliku od CC-LC VCO-a kod koga se parazitne kapacitivnosti direktno sabiraju sa ukupnom kapacitivnošću rezonantnog kola, kod diferencijalnog Kolpica VCO-a se one dodaju na kapacitivnost varaktora, koji se nalazi u paraleli sa ekvivalentnom kapacitivnošću $C_T + C_\pi$. Paralelna veza ovih kapacitivnosti je jedna od važnih prednosti ove arhitekture, što je čini prvim izborom kada je u pitanju rad na izuzetno visokim učestanostima u mmWave opsegu.

Pored struje polarizacije Kolpica VCO-a, I_{EE} , neophodno je generisati i napon polarizacije baze bipolarnih tranzistora, V_B . Uloga kalema L_E je da napravi veliku impedansu za RF signal koja se vidi iz rezonantnog kola, što se u šemi za male signale može predstaviti otvorenom vezom.

Kod pomenutih arhitekture VCO-a, amplituda oscilacija je određena proizvodom polarizacione struje aktivnog kola i ekvivalentne otpornosti rezonatora. Prema tome, ukoliko želimo da održimo konstantnu amplitudu oscilacija na zadatom frekvencijskom opsegu, ovaj proizvod moramo održati konstantnim. Ovo se može ostvariti pomoću kola za automatsku regulaciju amplitude (engl. *Automatic Amplitude Control* - AAC) [83], koje može biti digitalno ili analogno. Rad digitalne AAC se zasniva na ideji da strujni izvor bude podesiv sa diskretnim koracima i da se kontrola viši

pomoću jednostavne mašine stanja koja estimira amplitudu na osnovu izlaza detektora snage, dok je analogna AAC malo složenija jer obrazuje analognu petlju koja unosi dodatni rizik po stabilnost sistema i otežava projektovanje pa se zato retko sreće u mmWave VCO-ovima. Glavni nedostatak digitalne AAC je konačna tačnost podešavanja željene amplitude oscilacija, koja zavisi od rezolucije strujnog izvora.

Poređenje arhitektura VCO-a za rad u mmWave opsegu je dato u Tabeli 6.

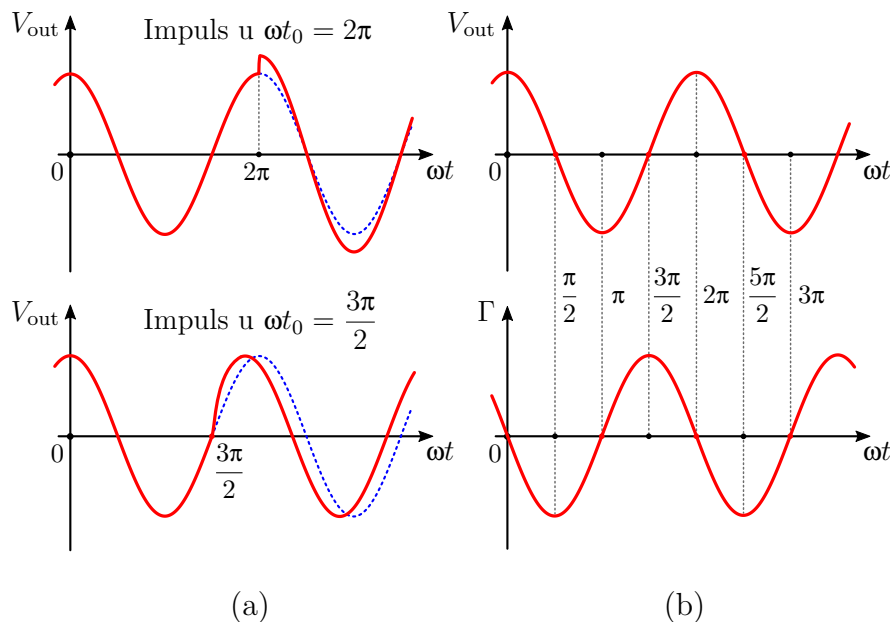
Tabela 6: Poređenje različitih arhitektura VCO-a za rad u mmWave opsegu.

Parametar	CMOS		BiCMOS/SiGe	
	CC-LC VCO	Kolpic VCO	CC-LC VCO	Kolpic VCO
Opseg podešavanja	+	+	+	+
Fazni šum	+	–	+	++
Maksimalna radna učestanost	+	+	--	++
Izlazna snaga	–	–	+	+
Potrošnja	–	–	–	–
FoM	+	–	–	++

U literaturi [138] je pokazano da arhitektura CMOS CC-LC VCO-a na relativno niskim učestanostima ima bolje kvantitativne pokazatelje performansi (engl. *Figure of Merit* - FoM) VCO-a od diferencijalne Kolpic arhitekture sa CMOS tranzistorima, koja se iz istog razloga retko koristi u mmWave opsegu. S druge strane, u BiCMOS i SiGe tehnološkim procesima se dominantno koriste diferencijalni Kolpic VCO-ovi zbog izuzetnih performansi faznog šuma i opsega podešavanja [117, 134], koje se postižu zahvaljujući visokoj maksimalnoj radnoj učestanosti [132]. Izlazna snaga arhitektura na bazi bipolarnih tranzistora je značajno veća u poređenju sa CMOS arhitekturama. Ukupna potrošnja struje pomenutih arhitektura mmWave VCO-ova je prilično visoka i najčešće veća od 10 mA.

Odgovor na pitanje zašto diferencijalni Kolpic VCO sa bipolarnim tranzistorima ima bolje performanse od CC-LC VCO-a, dok je sa CMOS tranzistorima situacija obrnuta, može se dobiti detaljnom analizom vremenski promenljivih izvora šumova u oscilatoru, kao i talasnih oblika napona i struje. Na slici 28(a) je prikazan uticaj trenutka injekcije impulsa na prostoperiodični izlazni napon VCO-a, što pokazuje vremenski promenljivu prirodu ovog sistema. Impulsna funkcija osetljivosti (engl.

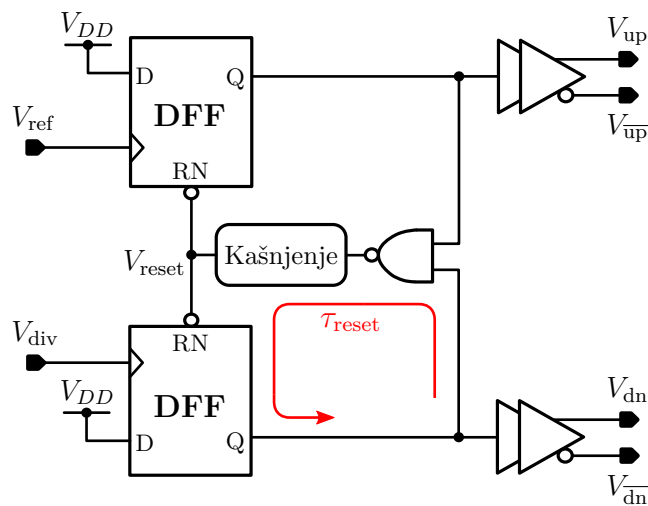
Impulse Sensitivity Function - ISF) izlaznog napona oscilatora, Γ , predstavlja periodičnu (sa periodom 2π) bezdimenzionu funkciju nezavisnu od frekvencije i amplitude signala [96]. Odgovarajuća ISF za prostoperiodični izlazni napon VCO-a je prikazana na slici 28(b). Ukoliko se posmatra ciklostacionarni izvor šuma, odnosno izvor čija se spektralna gustina šuma menja periodično, kao što je to najčešće slučaj sa šumovima u oscilatoru, može se definisati efektivna ISF, Γ_{eff} , pomoću koje se izračunavaju odgovarajući doprinosi ukupnog faznog šuma VCO-a. Ona direktno određuje efektivni šum struje na jednoj periodi, a ujedno opisuje talasne oblike napona i struje VCO-a. Poželjno je da amplituda efektivne ISF bude što manja, a trajanje impulsa što kraće. Upravo ovi zahtevi su ispunjeni kod diferencijalnog Kolpic VCO-a sa bipolarnim tranzistorima. Impulsi efektivne ISF su kod ove arhitekture uski usled velike transkonduktanse tranzistora koja omogućava brzo prekidanje toka struje, a samim tim je trajanje injekcije šuma bipolarnog tranzistora kraće pa je doprinos faznom šumu manji. Ovo nije slučaj kod diferencijalnih Kolpic VCO-ova sa CMOS tranzistorima, jer je njihova transkonduktansa mnogo manja pa je vreme isključivanja/uključivanja tranzistora veće. Zato efektivna ISF ovih VCO-ova ima zaobljenije ivice koje su slične CMOS CC-LC VCO-ovima, što rezultuje degradacijom performansi faznog šuma.



Slika 28: (a) Uticaj trenutka injekcije impulsa na prostoperiodični izlazni napon VCO-a i (b) talasni oblik izlaznog napona sa odgovarajućom ISF.

3.2.2 PFD

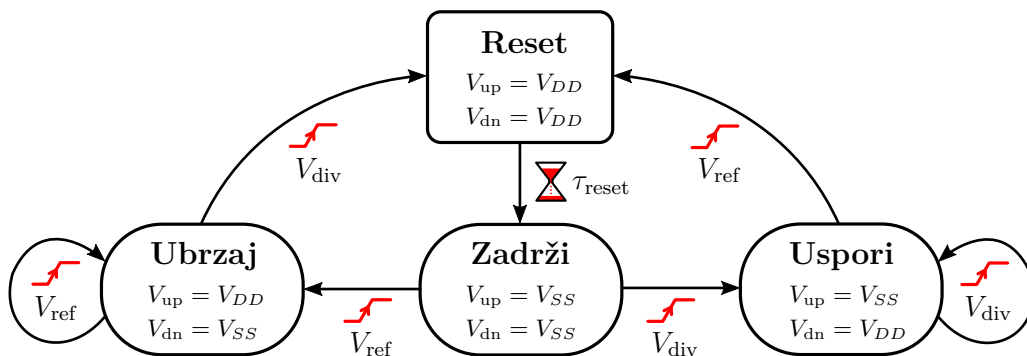
Važan deo sintetizatora na bazi PLL-a je fazni detektor, koji ima ulogu da odredi faznu razliku između referentnog signala, V_{ref} , i signala povratne sprege na izlazu delitelja učestanosti, V_{div} . Umesto faznih detektora, često se koriste složenija kola koja mogu detektovati istovremeno fazu i frekvenciju, poznatija kao fazno-frekvencijski detektori (PFD). Izlaz ovih kola ne zavisi samo od razlike faza ulaznih signala, već i od razlike učestanosti u slučaju kada PLL nije zaključan. To omogućava brži proces zaključavanja PLL-a, što je često od interesa u komercijalnim primenama. Postoje različite arhitekture PFD-ova, među kojima se najviše koristi linearni PFD [139], čija je blok šema prikazana na slici 29. Linearni PFD se sastoji iz dva D flip-flopa (DFF) na čijim je ulazima stalno logička jedinica, izlaznih bafera, “ni” kola i dodatnog kola za kašnjenje u reset putanji (engl. *Reset Path Delay*).



Slika 29: Arhitektura linearnog PFD-a.

Ako faza referentnog signala, θ_{ref} , prednjači u odnosu na fazu signala na izlazu delitelja učestanosti, θ_{div} , tada kolo generiše signal V_{up} koji za posledicu ima da VCO poveća radnu učestanost i na taj način omogućava da se faza izlaznog signala izjednači sa fazom referentnog signala. Obrnuto, ako faza referentnog signala kasni za fazom izlaznog signala, generiše se signal V_{dn} koji za posledicu ima da VCO smanji radnu učestanost i tako poravna fazu sa referentnom. Ukoliko su na ulazu u PFD signali u fazi, tada detektor generiše logičke nule na oba izlaza. S obzirom na to da signali V_{up} i V_{dn} kontrolišu prekidače u CP-u, koji su najčešće transmisioni gejtovi, potrebni su i komplementarni signali V_{up} i V_{dn} za upravljanje njima.

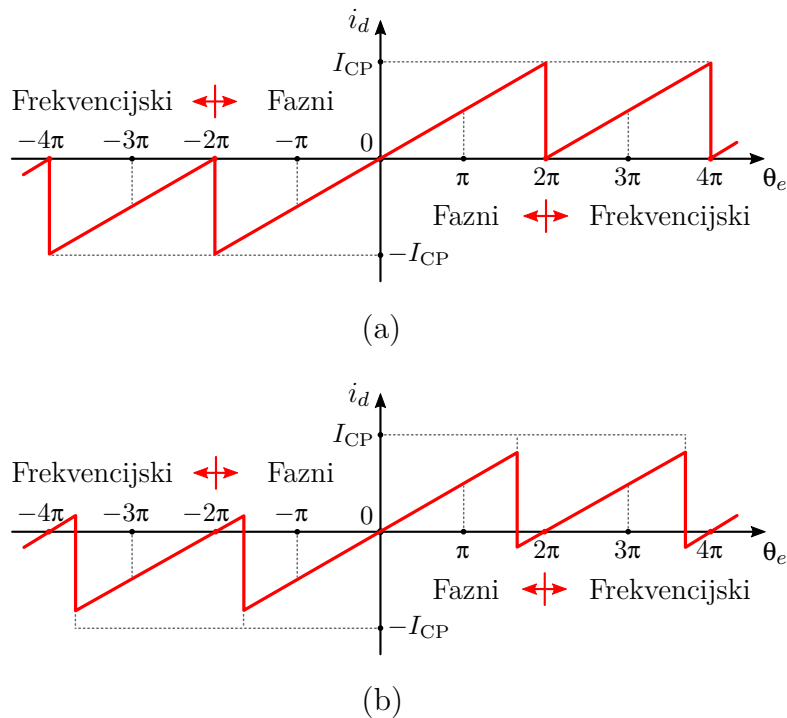
Detaljan dijagram stanja PFD-a je prikazan na slici 30. Prelazi se dešavaju samo na uzlazne ivice signala V_{ref} i V_{div} . Ako pretpostavimo da je PFD u početnom stanju *Zadrži*, tada su na oba izlaza logičke nule. U zavisnosti koja uzlazna ivica stigne prva, PFD će preći u *Ubrzaj* ili *Uspori* stanje. Ukoliko uzlazna ivica referentnog signala stigne prva, potrebno je povećati učestanost VCO-a, pa CP puni kondenzator na svom izlazu i uvećava vrednost kontrolnog napona. PFD ostaje u stanju *Ubrzaj* sve dok ne stigne uzlazna ivica V_{div} signala. Kada stigne uzlazna ivica V_{div} signala, PFD prelazi u privremeno *Reset* stanje čije je trajanje određeno kašnjenjem u reset putanji, τ_{reset} . Tokom *Reset* stanja na oba izlaza su logičke jedinice, što znači da su oba strujna izvora u CP-u uključena tako da struja slobodno protiče. Na ovaj način se omogućava da petlja i u zaključanom stanju, odnosno kada su ulazi PFD-a u fazi, nije prekinuta i sprečava se pojava slobodno oscilujućeg VCO-a (engl. *Free-Running VCO*) koja dovodi do degradacije performansi faznog šuma PLL-a. Zato se PFD projektuje tako da τ_{reset} bude u opsegu od 1 do 15% periode referentnog signala, pri čemu odabir zavisi od radne učestanosti i prihvatljivog faznog šuma PFD-CP lanca. Nakon resetovanja DFF-ova, PFD prelazi u početno stanje *Zadrži*. U slučaju kada faza V_{ref} signala kasni za fazom V_{div} signala, izlazni signal VCO-a je previše brz pa ga je potrebno usporiti. Zato PFD generiše V_{dn} signal koji uzrokuje struju pražnjenja kondenzatora i redukuje kontrolni napon VCO-a. Prema tome, može se zaključiti da struja na izlazu CP-a puni ili prazni LF u vremenskom intervalu τ između uzlaznih ivica signala V_{ref} i V_{div} u kome je PFD u *Ubrzaj* ili *Uspori* stanju, respektivno.



Slika 30: Dijagram stanja linearnog PFD-a.

Jedna od najvažnijih karakteristika PFD-a je da nema mrtvu zonu, koja uzrokuje povećanje faznog šuma i pojavu neželjenih spektralnih komponenti [140]. Ova zona predstavlja opseg fazne razlike ulaznih signala za koji PFD nije aktivan, pa samim tim nulta mrtva zona (engl. *Zero Dead Zone*) omogućava PFD-u da detektuje proizvoljno malu faznu grešku, $\theta_e = \theta_{\text{ref}} - \theta_{\text{div}}$.

Zavisnost srednje vrednosti izlazne struje CP-a od fazne greške na ulazu linearnog PFD-a predstavlja funkciju prenosa PFD-CP lanca, koja je prikazana na slici 31. Kao što se može videti na slici 31(a), karakteristika idealnog PFD-a sa CP-om je linearna u opsegu $\pm 2\pi$. Ako je fazna greška unutar ovog opsega, PFD vrši akviziciju faze i ponaša se kao fazni detektor. S druge strane, kada je fazna greška izvan opsega $\pm 2\pi$, učestanosti ulaznih signala se značajno razlikuju, pa dolazi do pojave isklizavanja ciklusa (engl. *Cycle Slipping*). Tada linearni PFD radi kao frekvencijski detektor, koji uzrokuje veću promenu kontrolnog napona VCO-a i ujedno ubrzava proces zaključavanja PLL-a. Kako se frekvencijska greška smanjuje, fazna razlika ulaznih signala se vraća u linearni opseg $\pm 2\pi$, pa više nema isklizavanja ciklusa [141]. To omogućava PLL-u zaključavanje faze izlaznog signala. Isklizavanje ciklusa je često nepoželjno, jer izaziva nelinearno ponašanje PFD-a. Zato se ubacivanjem dodatnih stanja u linearni PFD može proširiti linearni radni opseg [139].

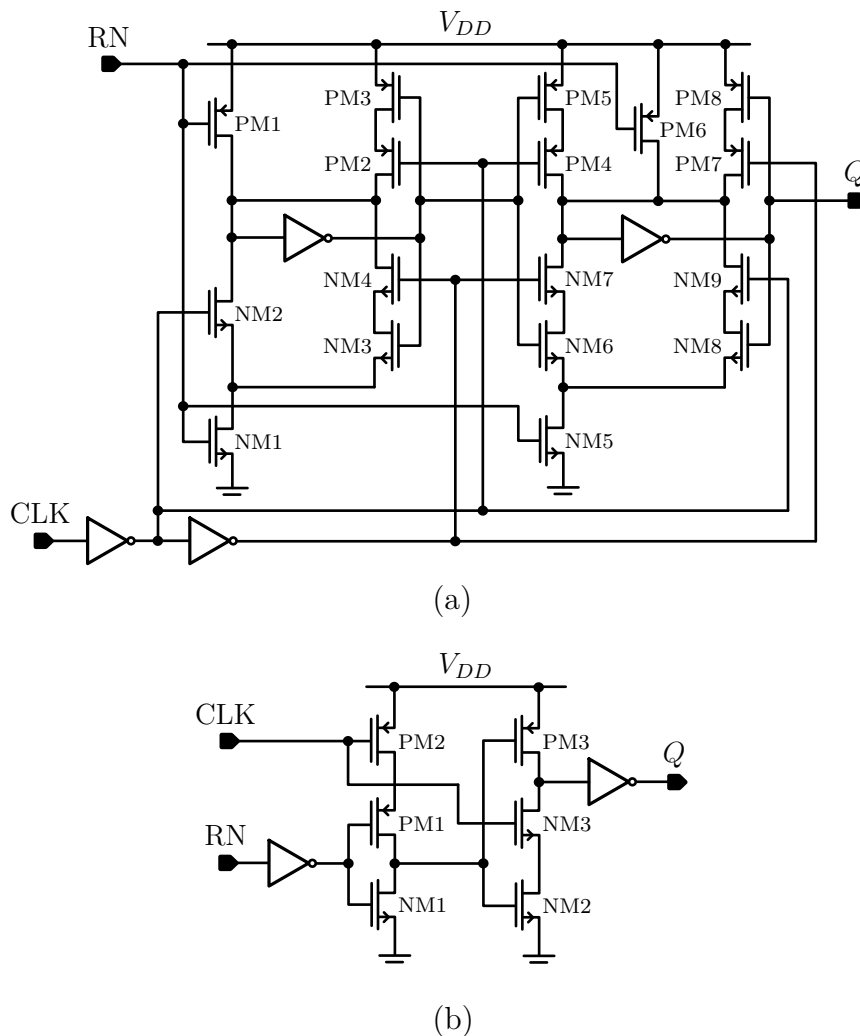


Slika 31: Funkcija prenosa linearnog PFD-a sa CP-om: (a) idealna i (b) realna.

Usled konačnog kašnjenja u reset putanji, odnosno slepe zone (engl. *Blind Zone*) koja postoji kod realnog PFD-a, dolazi do smanjenja linearnog opsega ispod 4π [141], kao što je prikazano na slici 31(b). Ovo smanjenje ima uticaj na brzinu zaključavanja PLL-a, jer tokom ovog procesa frekvencija ne raste monotono, imajući u vidu da zbog nelinearne funkcije prenosa PFD periodično daje pogrešnu informaciju.

Sintetizatori koji rade u mmWave opsegu uglavnom zahtevaju relativno visoke referentne učestanosti (>100 MHz) kako bi se smanjio ukupan faktor multiplikacije unutar petlje i postigle optimalne performanse faznog šuma. To zahteva veoma brz PFD, pa je zato maksimalna radna učestanost od velikog interesa prilikom projektovanja. Maksimalna radna učestanost je kod arhitekture linearnog PFD-a ograničena kašnjenjem u reset putanji, odnosno brzinom rada modifikovanog DFF-a i “ni” kola.

U praktičnim primenama se za implementaciju digitalnih kola u PFD-u najčešće koriste dve logike, statička CMOS logika i dinamička logika sa jednom fazom signala takta (engl. *True Single-Phase Clock* - TSPC). Na slici 32 su prikazane arhitekture modifikovanog DFF-a sa logičkom jedinicom na ulazu i asinhronim resetom u dve digitalne logike: (a) statičkoj CMOS i (b) dinamičkoj TSPC logici.



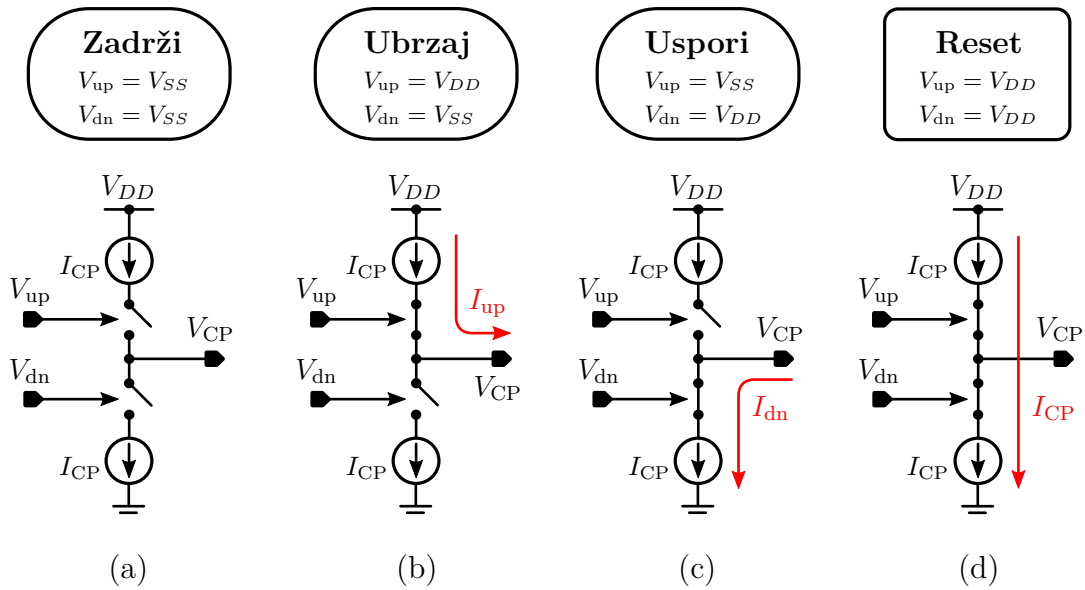
Slika 32: Arhitekture modifikovanog DFF-a sa logičkom jedinicom na ulazu i asinhronim resetom u (a) statičkoj CMOS i (b) dinamičkoj TSPC logici.

Digitalna logička kola na bazi TSPC strukture se u PFD-u dominantno koriste na učestanostima preko 500 MHz, jer troše neuporedivo manje i zauzimaju manju površinu u odnosu na statička CMOS kola. Međutim, na relativno niskim radnim učestanostima (<100 MHz) zbog uvećanja struja curenja tranzistora, koje potiču od provođenja u potpražnom režimu, kao i iz sors/drejn spojeva, dolazi do promene potencijala ključnih čvorova unutar TSPC kola pri čemu može doći i do promene trenutnog stanja [142]. Prema tome, ova kola su zavisna od dinamike rada, pa u slučaju sporih promena stanja dolazi do degradacije logičkih nivoa i velikog povećanja potrošnje. Ovaj problem je posebno izražen na visokim temperaturama. Granični opseg učestanosti u kome pomenute logike imaju sličnu potrošnju je oko par stotina megaherca. Prilikom projektovanja TSPC logičkih kola potrebno je voditi računa da usled lošeg odabira dimenzija tranzistora ne dođe do trke signala unutar kola, što rezultuje pojavom gličeva [142].

Pored izuzetno male površine i potrošnje, još jedna velika prednost TSPC logike je znatno manji fazni šum koji se može postići pre svega zahvaljujući manjem broju tranzistora i bržim tranzicijama na putanji signala [142]. S druge strane, osnovne prednosti statičke CMOS logike u odnosu na TSPC logiku su pouzdanost rada kola i bolja otpornost na PVT varijacije. Ove prednosti se dobijaju kao rezultat čvrsto kontrolisanih potencijala svih čvorova u kolu.

3.2.3 Strujna pumpa (CP)

Fazna razlika referentnog signala i signala na izlazu delitelja učestanosti se pomoću PFD-a konvertuje u digitalne signale V_{up} i V_{dn} , koji upravljaju izlaznom strujom CP-a. Ova struja puni ili prazni kondenzatore u LF-u pri čemu dolazi do strujno-naponske konverzije, nakon koje se dobija filtrirani kontrolni napon VCO-a. U opštem slučaju, CP se sastoji od dva kontrolabilna strujna izvora povezana na zajednički izlaz koji je dalje povezan za ulaz LF-a. Modovi rada konvencionalnog CP-a u zavisnosti od stanja PFD-a su prikazani na slici 33. U stanju (a) *Zadrži* petlja je otvorena, jer su oba strujna izvora u CP-u isključena. Tokom (b) *Ubrzaj* ili (c) *Uspori* stanja jedan od strujnih izvora je uključen pa CP puni ili prazni LF, respektivno. Kako bi se sprečilo trajno otvaranje petlje, pa samim tim i degradacija faznog šuma u blizini nosioca, potrebno je da oba strujna izvora budu uključena tokom dela periode referentnog takta. To se postiže privremenim (d) *Reset* stanjem PFD-a, čije je trajanje određeno kašnjenjem u reset putanji.



Slika 33: Modovi rada konvencionalnog CP-a za različita stanja PFD-a: (a) *Zadrži*, (b) *Ubrzaj*, (c) *Uspori* i (d) *Reset*.

Srednja vrednost izlazne struje CP-a na linearnom opsegu fazne razlike $\pm 2\pi$ je:

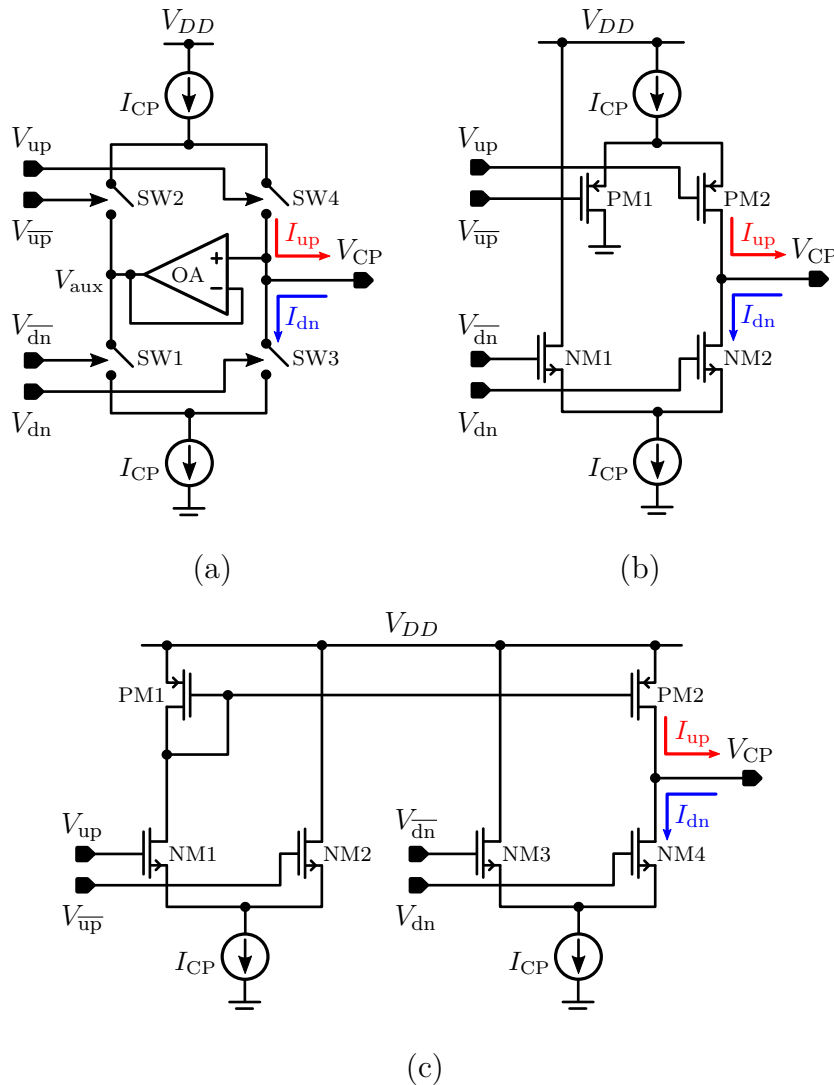
$$\overline{i_{CP}} = I_{CP} \cdot \frac{\theta_e}{2\pi}, \quad |\theta_e| \leq 2\pi. \quad (31)$$

U idealnom slučaju, struje punjenja, I_{up} , i pražnjenja, I_{dn} , LF-a su konstantne i jednake I_{CP} . To u realnom slučaju nije tačno jer u CP-u gotovo uvek postoji određena neuparenost ovih struja, kao i neželjene struje curenja [143]. Ove neidealnosti mogu uzrokovati gličeve na kontrolnom naponu VCO-a i degradirati fazni šum na izlazu PLL-a. Zato je prilikom projektovanja CP-a veoma važno smanjiti ove efekte što je više moguće.

Postoje arhitekture CP-ova sa jednostranim i diferencijalnim strujnim izlazima. Prednosti diferencijalnih strujnih izlaza su smanjenje uticaja neuparenosti nMOS i pMOS tranzistora na ukupne performanse CP-a, dvostruko veći opseg promene izlaznog napona, manja osetljivost na struje curenja, bolja imunost na šumove iz napajanja, mase i supstrata, kao i korišćenje isključivo nMOS tranzistora u prekidačima što rezultuje potpunom simetrijom putanja kontrolnih V_{up} i V_{dn} signala i uklanjanjem potencijalnog ofseta [143]. Međutim, sve ove prednosti CP-ova sa diferencijalnim strujnim izlazima se mogu postići samo po cenu dodatne površine, koja je potrebna za smeštanje dva LF-a i kola za regulaciju zajedničkog moda (engl. *Common Mode*). Takođe, korišćenje diferencijalnih strujnih izlaza zahteva promene

u rezonantnom kolu mmWave VCO-a gde se kapacitivnost varaktora mora kontrolisati diferencijalno. Tako se u integrisanim sintetizatorima učestanosti uglavnom koriste CP-ovi sa jednostranim strujnim izlazom, pre svega jer ne zahtevaju dodatni LF, ali i zbog manje kompleksnosti i potrošnje sistema.

Jednostrani CP-ovi se prema poziciji prekidača dele na konfiguracije sa prekidačima u drejnu, sorsu i gejtu, pri čemu se u praktičnim primenama najviše koristi ona sa prekidačima u drejnu. Ova konfiguracija omogućava korišćenje tehnike upravljanja strujom (engl. *Current Steering*) kojom se mogu postići izuzetne dinamičke performanse CP-a pa je zato od posebnog interesa za mmWave sintetizatore. Tipične arhitekture jednostranog CP-a sa prekidačima u drejnu su prikazane na slici 34 [143].

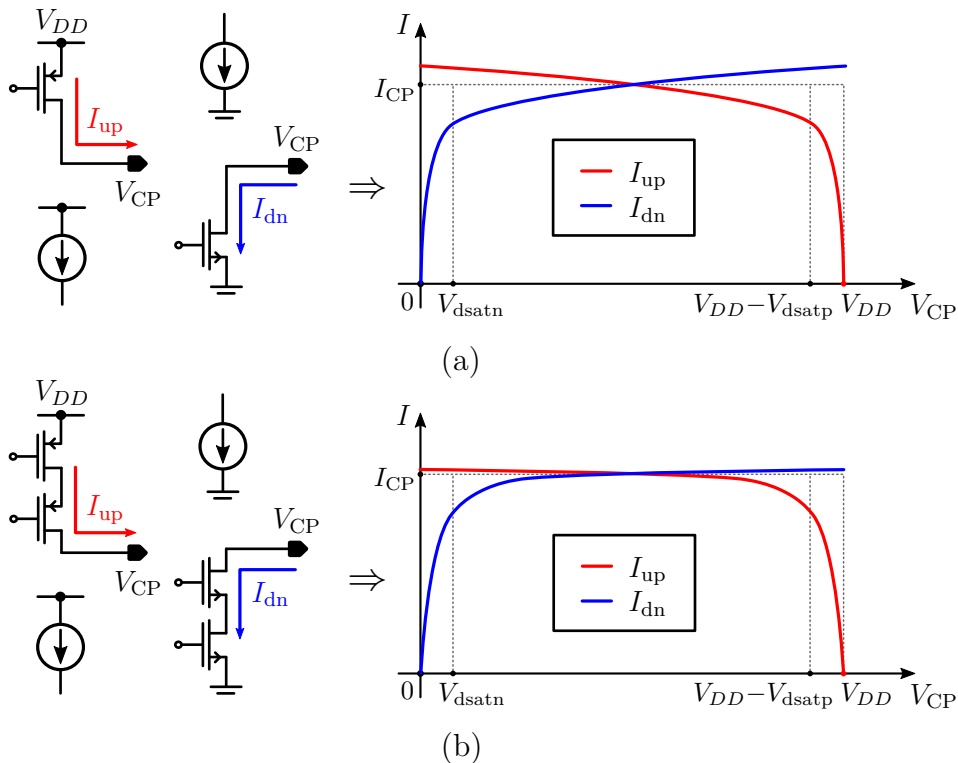


Slika 34: Arhitekture jednostranog CP-a: (a) sa jediničnim pojačavačem, (b) sa prekidačem za upravljanje strujom i (c) sa isključivo nMOS prekidačima.

U arhitekturi jednostranog CP-a, koja je prikazana na slici 34(a), koristi se aktivni pojačavač sa jediničnim pojačanjem za izjednačavanje napona pomoćne grane, V_{aux} , sa izlaznim naponom, V_{CP} . Tako se pomoću operacionog pojačavača (engl. *Operational Amplifier* - OA) smanjuje efekat razmene naelektrisanja (engl. *Charge Sharing*) između LF-a i drejna nMOS ili pMOS tranzistora u strujnim izvorima kada je prekidač SW3 ili SW4 uključen, respektivno. Ovaj efekat se manifestuje periodičnim impulsima u izlaznoj struji CP-a koji uzrokuju povećanje amplitude referentnog spura na izlazu PLL-a. Ukoliko je potrebno da CP ima ujednačene performanse za širok opseg promene izlaznog napona, tada je neophodno da jedinični pojačavač radi ispravno najmanje za isti opseg promene ulaznog i izlaznog napona kako bi se smanjio efekat razmene naelektrisanja. To najčešće zahteva da OA radi za ulazne i izlazne signale čije se vrednosti menjaju na celom opsegu napona napajanja (engl. *Rail-to-Rail*). Na slici 34(b) je prikazana arhitektura jednostranog CP-a u kojoj se koristi prekidač za upravljanje strujom. Zajednička prednost arhitektura (a) i (b) je brzina rada, imajući u vidu da je vreme prekidanja značajno smanjeno usled primene tehnike upravljanja strujom, odnosno činjenice da strujni izvori rade uvek u saturaciji dok se struja usmerava prekidačima. Nedostatak svih arhitektura na bazi tehnike upravljanja strujom je veća potrošnja u poređenju sa konvencionalnim CP-om, prikazanim na slici 33. U poslednjoj arhitekturi, koja je predstavljena na slici 34(c), koriste se isključivo nMOS prekidači kako bi se izbegla neuparenost pMOS i nMOS tranzistora [144]. S obzirom na to da struja ne protiče kroz strujna ogledala, tranzistore PM1 i PM2, kada je $V_{up} = V_{SS}$, strujna ogledala ograničavaju dinamičke performanse ove arhitekture [143].

Strujni izvori unutar CP-a se sastoje od strujnih ogledala ili direktno polarisanih tranzistora. U oba slučaja, izlazna otpornost strujnih izvora je konačna, pa samim tim napon na izlazu CP-a, V_{CP} , usled efekta modulacije dužine kanala ima uticaj na vrednost struje I_{CP} . Ovaj efekat je posebno izražen u savremenim CMOS procesima, gde je minimalna dužina kanala značajno kraća pa je izlazna otpornost tranzistora manja. Zato se, uvek kada to dozvoljavaju napon napajanja i dinamički opseg izlaznog napona, koriste strujni izvori velike izlazne otpornosti sa kaskodno povezanim tranzistorima. Na ovaj način se značajno smanjuje efekat modulacije dužine kanala u strujnim izvorima CP-a. Na slici 35 je prikazan uticaj modulacije dužine kanala na izlaznu struju CP-a, za strujne izvore koji se sastoje od (a) jednog tranzistora i (b) kaskodno povezana dva tranzistora. Strujni izvori sa jednim tranzistorom rade u saturaciji u opsegu od V_{dsatn} do $V_{DD} - V_{dsatp}$ izlaznog napona CP-a.

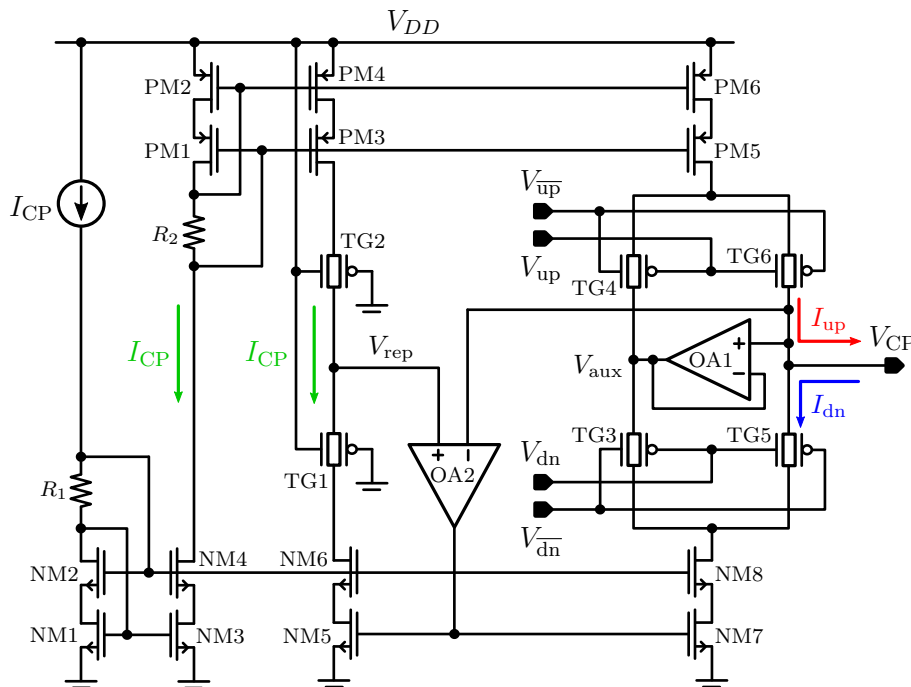
Zato je poželjno minimizovati napone drejn-sors saturacije pMOS, V_{dsatp} , i nMOS, V_{dsatn} , tranzistora povećanjem odnosa širine i dužine kanala, što rezultuje širim opsegom promene izlaznog napona za koji CP radi ispravno. Kao što se može videti na slici 35(b), dinamički opseg izlaznog napona za koji se dobijaju bolja uparenost struja i veća izlazna otpornost strujnih izvora je zbog kaskodnih tranzistora redukovana na opseg od $2V_{dsatn}$ do $V_{DD}-2V_{dsatp}$. Iz ovog razloga se kaskodni tranzistori biraju tako da njihovi odnosi širine i dužine kanala budu veoma veliki, što ujedno povećava transkonduktanse i smanjuje napone drejn-sors saturacije.



Slika 35: Struje punjenja, I_{up} , i pražnjenja, I_{dn} , u slučajevima kada se strujni izvori CP-a sastoje od (a) jednog tranzistora i (b) kaskodno povezana dva tranzistora.

Još jedan uzrok neuparenosti I_{up} i I_{dn} struja je korišćenje različitih tipova MOS tranzistora u strujnim izvorima. Ovaj efekat je posebno osetljiv na PVT varijacije, jer se usled različite pokretljivosti nosilaca strujno-naponske karakteristike pMOS i nMOS tranzistora ne menjaju srazmerno. Prema tome, za postizanje izuzetne uparenosti izlaznih struja neophodne su posebne tehnike uparivanja. Predložena arhitektura CP-a sa kolom za kompenzaciju neuparenosti I_{up} i I_{dn} struja je prikazana na slici 36 [83]. Kako bi se smanjila neuparenost struja dodaje se aktivni pojačavač u povratnoj sprezi za regulaciju nMOS strujnog izvora, kao i dodatna grana koja predstavlja repliku konvencionalnog CP-a. Prekidači TG1 i TG2 u ovoj grani su

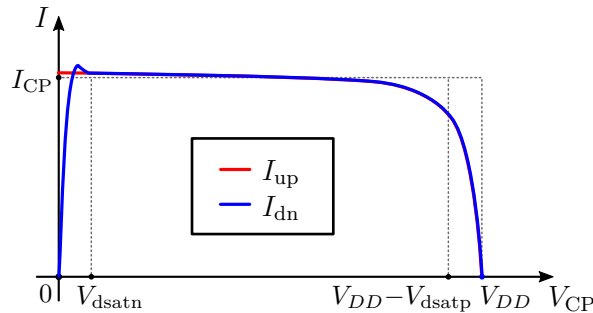
uvek uključeni tako da struja I_{CP} konstantno protiče. Pojačavač OA2 prati promene izlaznog napona CP-a i poredi ga sa izlaznim naponom replike, V_{rep} . Ako je napon na izlazu CP-a manji od V_{rep} , tada OA2 povećava napon na gejtovima tranzistora NM5 i NM7, što uzrokuje povećanje struje I_{dn} . Tako OA2 reguliše struju I_{dn} koja prati promenu struje I_{up} . U predloženoj arhitekturi se koriste kaskodna strujna ogledala koja mogu da rade sa veoma malim izlaznim naponima ($>2V_{dsat}$), čime se postiže širok dinamički opseg izlaznog napona CP-a. Nedostaci ove arhitekture su povećana potrošnja i kompleksnost CP-a.



Slika 36: Arhitektura CP-a sa kolom za kompenzaciju neuparenosti I_{up} i I_{dn} struja.

Dobra osobina predložene arhitekture CP-a sa slike 36 je to što se regulacijom struje I_{dn} ubrzava proces zaključavanja PLL-a [83]. Naime, nakon uspostavljanja napona napajanja, kondenzatori u LF-u su prazni, pa je izlazni napon CP-a blizu nule. Tada radi samo pMOS strujni izvor, koji puni LF i uvećava napon V_{CP} . Sa povećanjem izlaznog napona CP-a, nMOS strujni izvor izlazi iz triodne oblasti i PLL nastavlja proces zaključavanja u kome su I_{up} i I_{dn} struje uparene. Ova osobina je značajna u određenim primenama sintetizatora, kada je nakon reseta potrebno da izlazni signal stabilne učestanosti bude što pre dostupan drugim blokovima sistema. Alternativna arhitektura CP-a u kojoj se reguliše struja I_{up} nema pomenutu osobinu ubrzanog procesa zaključavanja PLL-a.

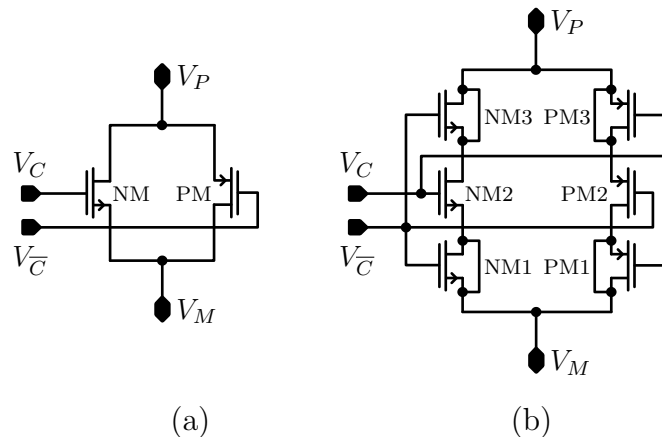
Statičke karakteristike predložene arhitekture CP-a sa kolom za kompenzaciju neuparenosti I_{up} i I_{dn} struja su prikazane na slici 37. Pomoću ove tehnike uparivanja struja se mogu postići izvanredne statičke performanse CP-a sa neuparenošću I_{up} i I_{dn} struja manjom od 0,05% na opsegu izlaznog napona od 10 do 90% napona napajanja, dok se zahvaljujući kaskodnim strujnim izvorima može postići varijacija izlazne struje manja od 1,1% na istom opsegu [83].



Slika 37: Statičke karakteristike predložene arhitekture CP-a sa kolom za kompenzaciju neuparenosti I_{up} i I_{dn} struja.

U arhitekturi CP-a prikazanoj na slici 36 se koriste transmisioni gejtovi kao prekidači, kako bi se omogućio širi dinamički opseg izlaznog napona. Arhitektura konvencionalnog transmisionog gejta je prikazana na slici 38(a). Ovi prekidači se sastoje od paralelno povezanih pMOS i nMOS tranzistora. Na gejtove tranzistora se dovode komplementarni kontrolni signali. U slučaju kada su kontrolni signali transmisionog gejta aktivni ($V_C = V_{DD}$ i $V_{\bar{C}} = V_{SS}$), uključen je bar jedan tranzistor. Ako je razlika napona napajanja i izlaznog napona transmisionog gejta V_M manja od praga provođenja nMOS tranzistora, tada radi samo pMOS i obrnuto, kada je napon V_P manji od praga provođenja pMOS tranzistora, tada radi samo nMOS, dok u suprotnom rade oba tranzistora. Kada su kontrolni signali neaktivni ($V_C = V_{SS}$ i $V_{\bar{C}} = V_{DD}$), oba tranzistora su zakočena.

U slučaju kada je prekidački tranzistor uključen, ispod gejta postoji nagomilano naelektrisanje koje formira provodni kanal. Ovo naelektrisanje se prilikom isključivanja tranzistora injektuje u sors i drejn priključke, izazivajući strujne impulse i talasanje izlaznih napona. Isti efekat se javlja i prilikom uključivanja tranzistora, kada se naelektrisanje akumulira ispod gejta i formira provodni kanal. U literaturi je ovaj efekat poznat kao injektovanje naelektrisanja (engl. *Charge Injection*) [145] i kod transmisionih gejtova je znatno smanjen. Kanali pMOS i nMOS tranzistora se formiraju na osnovu različitih tipova naelektrisanja, pa samim tim prilikom pro-



Slika 38: Arhitekture transmissionog gejta: (a) konvencionalna i (b) poboljšana sa redukovanim efektima injekcije naelektrisanja i preslušavanja.

menne stanja transmissionog gejta na izlaznim priključcima dolazi do razmene naelektrisanja. Imajući u vidu da optimalne dimenzije pMOS i nMOS tranzistora u transmissionim gejtovima usled različite pokretljivosti nosilaca gotovo nikada nisu iste, naelektrisanja akumulirana u kanalima ovih tranzistora se razlikuju, pa efekat injekcije naelektrisanja nije potpuno eliminisan. Drugi efekat koji se javlja prilikom promene stanja prekidačkog tranzistora je preslušavanje kontrolnog signala na izlazne napone (engl. *Clock Feedthrough*) [145] preko parazitnih kapacitivnosti gejtdrejn i gejtsors priključaka. Ovaj efekat je isto tako smanjen u transmissionim gejtovima, ali je zbog različite površine parazitnih kapacitivnosti pMOS i nMOS tranzistora ipak prisutan.

S obzirom na to da se tokom rada CP-a efekti injekcije naelektrisanja i preslušavanja ponavljaju sa periodom referentnog signala, rezultujuće talasanje izlaznog napona ima za posledicu povećanje intenziteta referentnog spura na izlazu PLL-a. Smanjivanje uticaja ova dva efekta se može najlakše postići zamenom mesta strujnih izvora i prekidača, odnosno korišćenjem arhitekture CP-a sa prekidačima u sorsu. Međutim, to ima za posledicu degradaciju dinamičkih karakteristika CP-a koje su u mmWave sintetizatorima od presudnog značaja, pa se ovo rešenje retko koristi. Zato se u praktičnim primenama efekti injekcije naelektrisanja i preslušavanja smanjuju pomoću tehnike “lažnih” tranzistora (engl. *Dummy Transistors*). Na slici 38(b) je prikazana arhitektura transmissionog gejta sa pomenutom tehnikom kompenzacije naelektrisanja. Pomoćni tranzistori imaju kratko spojene drejn-sors priključke i ulogu da apsorbiraju ili predaju tačno po polovinu ukupne količine naelektrisanja prekidačkih tranzistora. Zahvaljujući komplementarnoj kontroli prekidačkog i po-

moćnih tranzistora, izjednačavaju se ukupna naelektrisanja u grani tako da nema rezultujućih strujnih impulsa na izlaznim priključcima transmisionog gejta. Kako bi se uspešno izvršila kompenzacija viška naelektrisanja usled pomenutih efekata, potrebno je da budu zadovoljena dva uslova [145]:

$$\left(\frac{W}{L}\right)_{\text{PM1}} = \frac{1}{2}\left(\frac{W}{L}\right)_{\text{PM2}} = \left(\frac{W}{L}\right)_{\text{PM3}}, \quad (32)$$

$$\left(\frac{W}{L}\right)_{\text{NM1}} = \frac{1}{2}\left(\frac{W}{L}\right)_{\text{NM2}} = \left(\frac{W}{L}\right)_{\text{NM3}}. \quad (33)$$

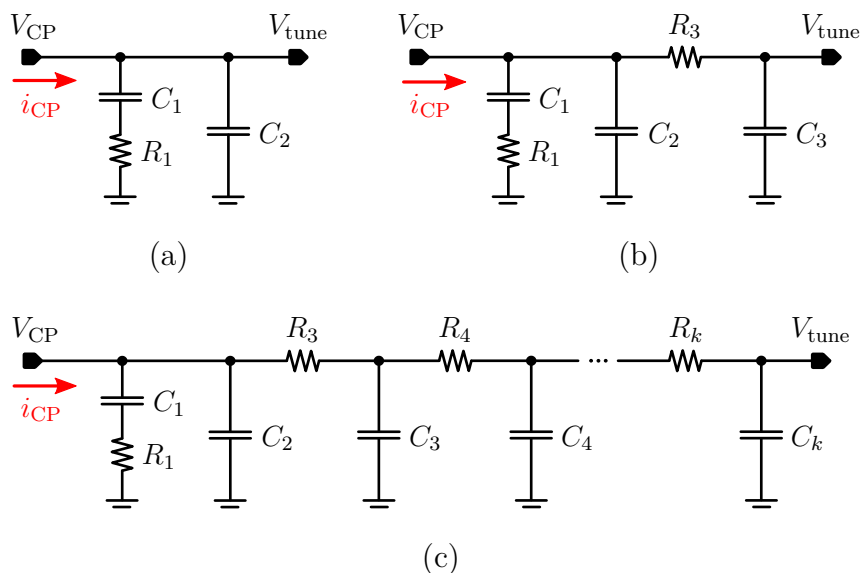
Pod pretpostavkom da se akumulirano naelektrisanje tranzistora ravnomerno deli između drejn i sors priključaka, ispunjavanjem uslova (32) i (33) se postiže teorijski idealna kompenzacija efekata injekcije naelektrisanja i preslušavanja. U praktičnim primenama, uklanjanje ovih efekata nikada nije potpuno usled ostalih neidealnosti u kolu, kao što su uticaj parazitnih kapacitivnosti metalnih interkonekcija, asimetrija uzlaznih i silaznih ivica komplementarnih signala.

Pomenuti efekti se mogu dodatno smanjiti izborom manjih dimenzija tranzistora u transmisionom gejtu. S obzirom na to da je minimalna dužina kanala ograničena izabranim tehnološkim procesom, smanjivanje ovih efekata direktno zahteva manji odnos širine i dužine kanala. To uzrokuje veću izlaznu otpornost prekidača, odnosno veći pad napona na transmisionom gejtu koji smanjuje dinamički opseg izlaznog napona CP-a. Zato je pažljiva optimizacija prekidača prilikom projektovanja CP-a ključna za postizanje izuzetnih dinamičkih karakteristika.

3.2.4 Filtar petlje (LF)

Pomoću LF-a se vrši pretvaranje izlazne struje CP-a, i_{CP} , u kontrolni napon VCO-a, V_{tune} . Stoga je funkcija prenosa filtra, $Z_{\text{LF}}(s)$, transimpedansna funkcija. Pored strujno-naponske konverzije, LF ima ulogu da filtrira brzo promenljive komponente kontrolnog napona koji je veoma osetljiv na šum iz okruženja. Parametri ovog niskopropusnog filtra određuju dinamičke karakteristike *fractional-N* PLL-a, kao što su brzina zaključavanja i stabilnost petlje. Od funkcije prenosa LF-a zavisi intenzitet frakcionih spurova (engl. *Fractional Spurs*), kao i oblikovanje ukupnog faznog šuma na izlazu sintetizatora učestanosti. Prema tome, pažljivo projektovanje ovog podbloka je od posebne važnosti za ceo sistem, jer on ima presudan uticaj na glavne performanse *fractional-N* PLL-a.

U zavisnosti od potrošnje, LF-ovi se dele na dva tipa: aktivne i pasivne. U prvom tipu se pored pasivnih komponenata koriste i aktivna kola, odnosno operacioni pojačavači koji povećavaju ukupnu potrošnju. Aktivne komponente uzrokuju dodatne polove u funkciji prenosa filtra. Stoga je potrebno pažljivo projektovati LF tako da ovi polovi budu izvan propusnog opsega petlje [139] i da se ujedno očuva stabilnost sistema u svim uslovima PVT varijacija. Prednost aktivnih filtara je potencijalno širi dinamički opseg napona V_{tune} , koji je direktno određen naponom napajanja aktivnih komponenata. Vrednost ovog napona ne mora biti ista kao i napajanja CP-a, već može biti proizvoljna što pruža dodatnu fleksibilnost. Tako se može postići širi opseg podešavanja mmWave VCO-a [134], što je od interesa prilikom projektovanja širokopojasnih *fractional-N* PLL-ova, kao što su FMCW sintetizatori učestanosti za SRR senzore. Međutim, to zahteva visoke napone napajanja, uglavnom iznad 5 V, koji su nepraktični za monolitnu integraciju kola jer su probojni naponi savremenih tranzistora znatno niži, pa je potrebno koristiti starije procese. Stoga se sintetizatori sa aktivnim filtrima retko realizuju kao potpuno integrisana kola. To predstavlja veliki nedostatak aktivnih LF-ova koji uzrokuje dodatnu nesigurnost, komplikuje projektovanje i ono što je najvažnije povećava cenu konačnog proizvoda. Još jedan nedostatak ovih filtara je uticaj šuma aktivnih kola koji se unutar propusnog opsega petlje sabira sa korisnim signalom i degradira performanse ukupnog faznog šuma *fractional-N* PLL-a. Zato se u mmWave sintetizatorima uglavnom koriste pasivni RC filtri [80, 115, 117, 133], čije su različite arhitekture prikazane na slici 39.



Slika 39: Arhitekture pasivnog RC LF-a: (a) drugog reda, (b) trećeg reda i (c) k -tog reda.

Filtar drugog reda je najviši red pasivnog RC LF-a za koji se ne koristi otpornik između izlaza CP-a i kontrolnog ulaza VCO-a, kao što je prikazano na slici 39(a). Ovo je veoma važno jer se termički šum otpornika direktno sabira sa kontrolnim naponom VCO-a, što uzrokuje dodatni šum unutar propusnog opsega petlje koji se konvertuje naviše i degradira performanse ukupnog faznog šuma *fractional*-N PLL-a. Funkcija prenosa pasivnog RC filtra drugog reda je:

$$Z_{\text{LF},2}(s) = \frac{(1 + sC_1R_1)}{s(C_1 + C_2) \left(1 + s \frac{C_1C_2}{C_1 + C_2} R_1\right)}. \quad (34)$$

U sintetizatorima učestanosti visokih performansi, pasivni RC LF-ovi drugog reda često nemaju zadovoljavajuće karakteristike zbog blage strmine niskopropusne funkcije prenosa. Oštar prelaz između propusnog i nepropusnog dela je posebno važan kod *fractional*-N PLL-ova kako bi se izvan propusnog opsega petlje što bolje potisli frakcioni spurovi. Zato se koriste pasivni LF-ovi višeg reda. Od posebnog interesa je pasivni filter trećeg reda, čija je arhitektura prikazana na slici 39(b). Ovaj filter se najčešće koristi u mmWave sintetizatorima jer predstavlja dobar kompromis između kompleksnosti kola, stabilnosti i nivoa potiskivanja spurova [83, 117, 133]. Funkcija prenosa pasivnog RC filtra trećeg reda je data kao [139]:

$$Z_{\text{LF},3}(s) \approx \frac{(1 + sC_1R_1)}{s(C_1 + C_2 + C_3) \left(1 + s \frac{C_1C_2}{C_1 + C_2 + C_3} R_1\right) (1 + sC_3R_3)}, \quad (35)$$

pri čemu je aproksimacija tačna samo ako su ispunjeni uslovi:

$$C_i \ll C_1, \quad i = 2, 3 \quad (36)$$

$$\frac{C_2}{C_3} + \frac{R_3C_3}{R_1C_1} \gg 1. \quad (37)$$

U opštem slučaju, funkcija prenosa LF-a k -tog reda u nepropusnom opsegu opada sa nagibom $(k-1) \cdot 20$ dB/dec. Na slici 39(c) je prikazana generička arhitektura pasivnog RC LF-a k -tog reda, čija se funkcija prenosa može aproksimirati kao [139]:

$$Z_{\text{LF},k}(s) \approx \frac{(1 + sC_1R_1)}{sC_{\text{tot}} \left(1 + s \frac{C_1C_2}{C_{\text{tot}}} R_1\right) \cdot \prod_{i=3}^k (1 + sC_iR_i)}, \quad (38)$$

gde je:

$$C_{\text{tot}} = \sum_{i=1}^k C_i. \quad (39)$$

Jednačina (38) je tačna samo ako su ispunjeni uslovi:

$$C_i \ll C_1, \quad i = 3, 4, \dots, k \quad (40)$$

$$\frac{C_i}{C_{i+1}} + \frac{R_{i+1}}{R_i} \gg 1, \quad i = 3, 4, \dots, k. \quad (41)$$

Pored pasivnih RC filtara, postoje i arhitekture na bazi LC kola koje poseduju bolje karakteristike u prelaznom opsegu (engl. *Roll-Off Characteristics*) [139]. LC filtri imaju manji šum u odnosu na RC filtre jer ne sadrže otpornike. Međutim, kalemovi u LC filtrima zahtevaju ogromnu površinu, pa se zbog toga ovi filtri ne koriste u potpuno integrisanim realizacijama *fractional*-N PLL-ova.

Vrednosti komponenata LF-a zajedno sa glavnim parametrima PLL-a, kao što su izlazna učestanost, referentna učestanost, struja CP-a, osetljivost VCO-a i ukupna vrednost delioca u petlji, određuju propusni opseg PLL-a, odnosno graničnu učestanost f_C . Kod pasivnih RC LF-ova varijacije procesa kondenzatora i otpornika imaju veliki uticaj na funkciju prenosa filtra, pa samim tim i na propusni opseg PLL-a. Granična učestanost sa promenom parametara tehnološkog procesa može varirati i do 20% u zavisnosti od tipova komponenata, što je za mnoge primene neprihvatljivo. Zato se sve komponente u filtru projektuju tako da im vrednosti budu podesive. Na taj način se omogućava kompenzacija uticaja PVT varijacija.

Programabilne komponente RC filtra pružaju mogućnost da se granična učestanost, nakon merenja čipa, podesi na željenu vrednost. Ovaj proces nije automatizovan i zahteva dodatne korake koji su često nepraktični. Stoga se projektuju namenska kola za automatsku kalibraciju varijacije procesa pasivnih komponenata. Estimacija varijacije procesa otpornika se realizuje merenjem struje kroz otpornik, koji je polarisan konstantnim naponskim izvorom. Vrednost struje je obrnuto srazmerna otpornosti, pa se tako određuje odstupanje procesa. Na osnovu dobijene informacije i LUT-a se podešavaju vrednosti otpornika tako da budu blizu nominalnih. S druge strane, estimacija varijacije procesa kondenzatora je složenija i zahteva dodatna kola, kao što su oscilatori čija učestanost oscilovanja zavisi od vrednosti kondenzatora [146]. Poređenjem učestanosti oscilatora sa referentnom učestanošću se dobija informacija o odstupanju procesa, pa se pomoću LUT-a koriguju vrednosti kondenzatora u filtru tako da budu što bliže nominalnim [146].

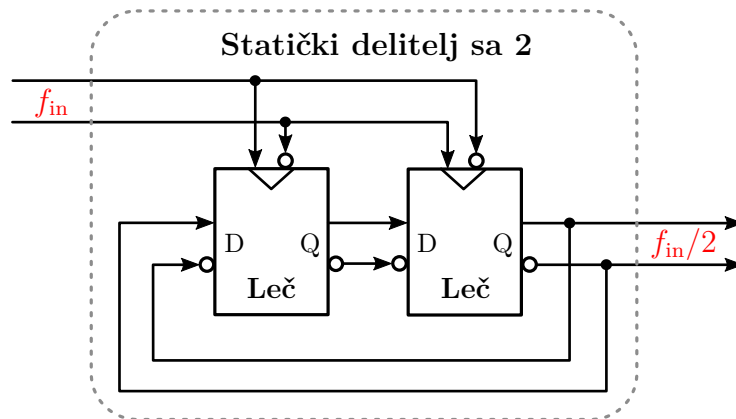
U realizacijama pasivnih RC filtara se koriste različiti tipovi kondenzatora, čiji je izbor ograničen tehnološkim procesom. Najčešći tipovi kondenzatora u integrisanim kolima su metal-oksid-poluprovodnik (engl. *Metal-Oxide-Semiconductor* - MOS), MIM i metal-oksid-metal (engl. *Metal-Oxide-Metal* - MOM). Određivanje optimalnog tipa kondenzatora za određenu primenu se zasniva na pronalaženju kompromisa između linearnosti, napona proboja, faktora dobrote, gustine kapacitivnosti i zavisnosti od procesa i temperature [147]. MOS kondenzatori su nelinearni i zavise od napona polarizacije, pa se retko koriste u LF-ovima [146]. Sprežne kapacitivnosti između metala, kao što su MIM i MOM, imaju odličan faktor dobrote i linearnost, pa su prvi izbor prilikom projektovanja RC LF-a. Nedostaci ovih kondenzatora su mala gustina kapacitivnosti i veliki uticaj varijacije procesa (čak i do 25% od nominalne vrednosti) koji uglavnom zahteva kompenzaciju. Imajući u vidu da je propusni opseg PLL-a najčešće u opsegu od 10 kHz do 10 MHz, optimizacija površine filtra zahteva posebnu pažnju u integrisanim realizacijama. Površina RC LF-a znatno povećava cenu čipa, pa je poželjno da bude što manja. Zato se često koriste kombinacije više tipova kondenzatora koji se vertikalno slažu da bi se povećala gustina i smanjila ukupna površina LF-a.

3.2.5 Delitelj učestanosti

Delitelji učestanosti su esencijalni deo sintetizatora na bazi *fractional-N* PLL-a. Uloga glavnog delitelja u povratnoj sprezi PLL-a je da skalira frekvenciju izlaznog signala oscilatora tako da se na ulazu u PFD dobije učestanost približna referentnoj. S obzirom na to da se visokofrekventni izlaz oscilatora direktno vodi na ulaz delitelja učestanosti, brzina rada delitelja je od izuzetne važnosti. Dobar delitelj učestanosti mora da obezbedi ispravan rad na celom opsegu od interesa, pri čemu zanemarljivo doprinosi ukupnom faznom šumu *fractional-N* PLL-a [148]. Odnos izlazne i referentne učestanosti u mmWave sintetizatorima je gotovo uvek velik, pa se zato delitelji učestanosti sastoje iz više serijski povezanih delitelja. Prvih par podblokova glavnog delitelja učestanosti su kritični jer rade u milimetarskom opsegu, što zahteva napredne hardverske arhitekture koje su optimizovane po brzini pa shodno tome imaju veću potrošnju. Ostali podbloкови glavnog delitelja, koji rade na nižim učestanostima (<10 GHz), se projektuju tako da imaju što manju potrošnju. Stoga se particionisanjem glavnog delitelja, pored tehničke izvodljivosti, ostvaruje i niska potrošnja i fleksibilnost [114]. Na osnovu opšte funkcionalnosti razlikuju se delitelji učestanosti sa fiksnom i promenljivom vrednošću delioca.

Delitelji učestanosti sa fiksnim deliocem: Fiksni delitelji dele učestanost ulaznog signala sa celobrojnomo vrednošću delioca koja se ne menja. U zavisnosti od radne učestanosti, koriste se sledeće topologije delitelja učestanosti: statički delitelj, regenerativni (Milerov) delitelj i delitelj učestanosti sa injekcionom sinhronizacijom (engl. *Injection-Locked Frequency Divider - ILFD*).

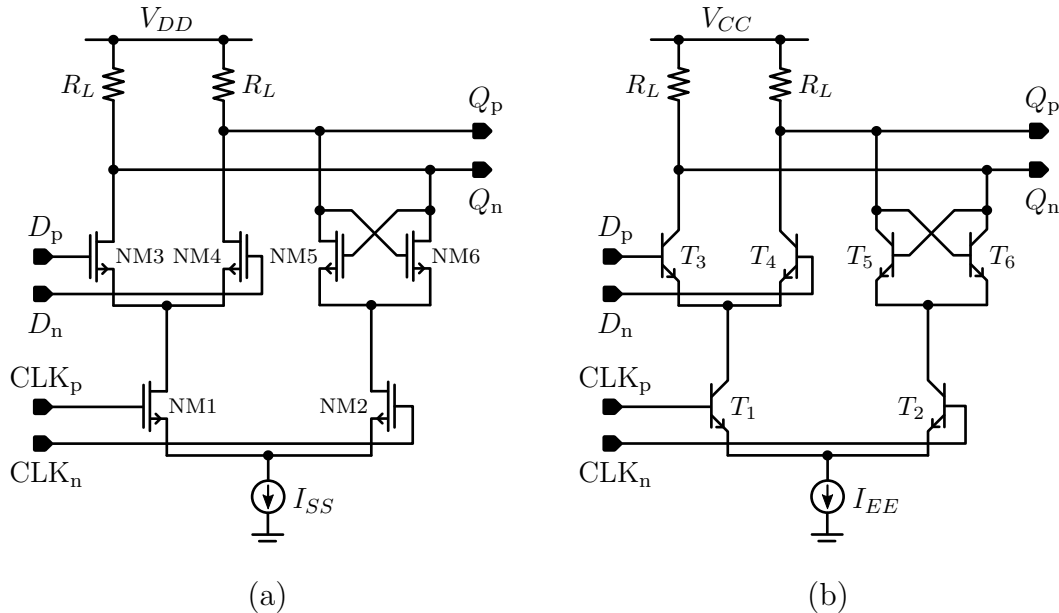
Na slici 40 je prikazana blok šema statičkog delitelja učestanosti sa dva, koji se sastoji iz dva diferencijalna D leča i povratne sprege. Ova dva D leča predstavljaju T flip-flop, čije se stanje menja na uzlaznu ivicu ulaznog signala. Imajući u vidu da je stanje lečeva trajno sačuvano, statički delitelji mogu teorijski da rade na proizvoljno niskim učestanostima [148].



Slika 40: Blok šema statičkog delitelja učestanosti sa dva.

S druge strane, maksimalna radna učestanost statičkih delitelja je ograničena brzinom lečeva, pod uslovom da ulazni signal ima dovoljno brzu uzlaznu ivicu i da mreža za prilagođenje ne ograničava opseg radnih učestanosti [114]. D lečevi u statičkom delitelju mogu biti proizvoljne arhitekture, pri čemu izbor predstavlja kompromis između propusnog opsega, snage, robusnosti i integriteta signala [148]. Jednostrane realizacije lečeva u digitalnim logikama, kao što su statička CMOS ili dinamička TSPC logika, su posebno osetljive na uticaj šuma napona napajanja koji potencijalno uzrokuje džiter na izlazu. Pored toga, promene stanja lečeva u digitalnoj logici izazivaju povlačenje značajnih struja iz napajanja tokom prelaznih režima. To rezultuje blagim talasanjem napona i perturbacijama u okolnim analognim kolima [148]. Zato se najčešće za realizaciju lečeva u statičkom delitelju koristi diferencijalna logika upravljanja strujom, odnosno ECL (Emitter-Coupled Logic) u SiGe i CML (Current-Mode Logic) u CMOS tehnološkim procesima. U ovim kolima je potrošnja približno konstantna, što otklanja potencijalne probleme koji postoje

u drugim prekidačkim logikama. Stoga je maksimalna radna učestanost delitelja srazmerna polarizacionoj struji lečeva. Na slici 41 su prikazane (a) CMOS CML i (b) SiGe ECL arhitekture D leča.

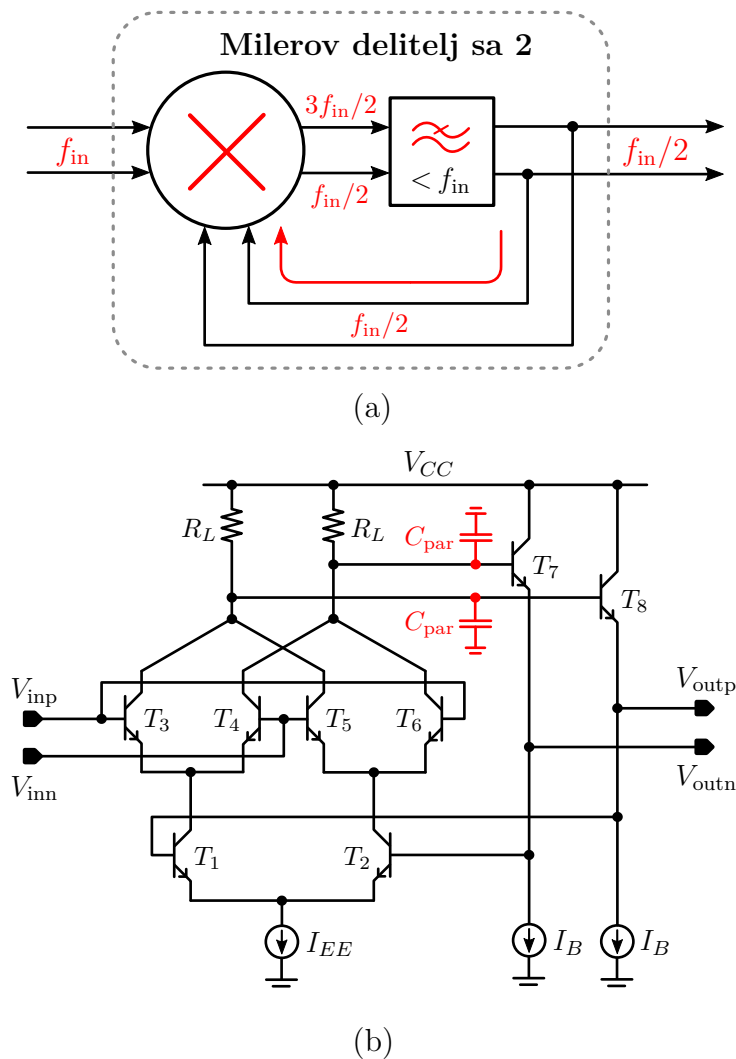


Slika 41: Arhitekture D leča: (a) CMOS CML i (b) SiGe ECL.

Ukoliko na ulazu nema signala ili je ulazni signal veoma male amplitude, statički delitelj sa lečevima u diferencijalnoj logici upravljanja strujom (CMOS CML ili SiGe ECL) radi na sopstvenoj učestanosti (engl. *Self-Resonance Frequency*) nakon uspostavljanja napona napajanja. Ovaj efekat se javlja zahvaljujući pozitivnoj povratnoj sprezi unutar kola usled koje se statički delitelj učestanosti ponaša kao ring oscilator čija je rezonantna učestanost jednaka sopstvenoj. Kao i kod svih oscilatora, dovoljan je mali termički šum kako bi započele oscilacije. Još jedna važna osobina delitelja učestanosti je ulazna osetljivost (engl. *Input Sensitivity*), koja predstavlja minimalnu amplitudu ulaznog signala za koju delitelj radi ispravno na opsegu od interesa. Ulazna osetljivost statičkih delitelja nije ravna na celom radnom opsegu i najbolja je u okolini sopstvene učestanosti. Stoga se statički delitelji projektuju tako da sopstvena učestanost kola bude u radnom opsegu delitelja.

Rad regenerativnog delitelja, predstavljenog od strane Milera 1939 godine, se zasniva na mešanju izlaznog signala sa ulaznim i odgovarajućem niskopropusnom filtriranju rezultujućeg signala [149]. Blok šema Milerovog delitelja učestanosti sa dva je prikazana na slici 42(a). Ukoliko su ispunjeni uslovi za adekvatnim faznim pomerajem i pojačanjem, niskofrekventna komponenta ($f_{in}/2$) opstaje i kruži pet-

ljom, dok se visokofrekventna komponenta ($3f_{in}/2$) filtrira. Tako se ostvaruje željena funkcija deljenja ulazne učestanosti sa dva. Za razliku od statičkih i injeksiono sinhronisanih delitelja učestanosti, regenerativni delitelji nemaju sopstvenu učestanost, što rezultuje relativno ravnom ulaznom osetljivošću [148]. Na slici 42(b) je prikazana arhitektura Milerovog delitelja učestanosti sa dva realizovana u SiGe tehnološkom procesu. Bipolarni tranzistori T_1 – T_6 čine jezgro mešača, dok tranzistori T_7 i T_8 predstavljaju istovremeno izlazni bafer i pomerač nivoa (engl. *Level Shifter*) koji omogućava povratnu spregu i obezbeđuje potrebne naponske nivoe. Kondenzatori C_{par} modeluju parazitne kapacitivnosti interkonekcija i bipolarnih tranzistora, koje zajedno sa otpornicima R_L u opterećenju delitelja određuju graničnu učestanost niskopropusnog filtra.



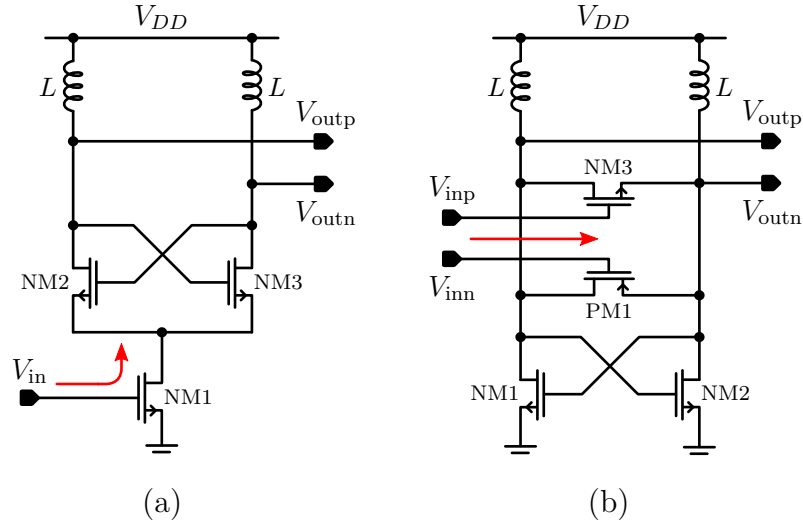
Slika 42: Regenerativni (Milerov) delitelj učestanosti sa dva: (a) blok šema i (b) realizacija pomoću bipolarnih tranzistora.

U CMOS tehnološkim procesima se arhitektura Milerovog delitelja sa slike 42(b) teško može ostvariti zbog znatno manje transkonduktanse MOS tranzistora. Zato se umesto rezistivnog opterećenja koriste LC rezonantna kola, čime se postiže bolja selektivnost i povećava maksimalna radna učestanost delitelja. Na ovaj način se niskopropusni filter pretvara u filter propusnik učestanosti, koji ima funkciju da propusti samo željeni subharmonik. Odabirom vrednosti komponenata LC rezonantnog kola se određuju karakteristike filtra propusnika opsega, kao što su centralna učestanost i propusni opseg. Ovi parametri filtra direktno određuju osnovnu funkcionalnost delitelja, odnosno odnos deljenja. Često se i u bipolarnim realizacijama Milerovih delitelja učestanosti, koje rade u mmWave opsegu, dodaju serijski povezani kalemovi u opterećenju koji omogućavaju postizanje viših radnih učestanosti [115]. Ova tehnika je u literaturi [150] poznata kao tehnika proširenja propusnog opsega pomoću kalema (engl. *Shunt-Peaking Inductor Technique*) i pored delitelja učestanosti se koristi u pojačavačima i drugim visokofrekventnim kolima, kada god je potrebno povećati maksimalnu radnu učestanost i amplitudu izlaznog signala.

Prednosti dinamičke arhitekture Milerovog delitelja su veća brzina rada i manja potrošnja na visokim učestanostima u poređenju sa statičkim deliteljima. Zato se ova arhitektura koristi za rad sa milimetarskim signalima čija je učestanost u opsegu od 30 do 100 GHz [150, 151]. Regenerativni delitelj ima ograničenu minimalnu radnu učestanost, koja je određena propusnim opsegom filtra. Nedostatak dinamičkih delitelja je potreba za većom snagom ulaznog signala u odnosu na statičke delitelje, uglavnom iznad -5 dBm.

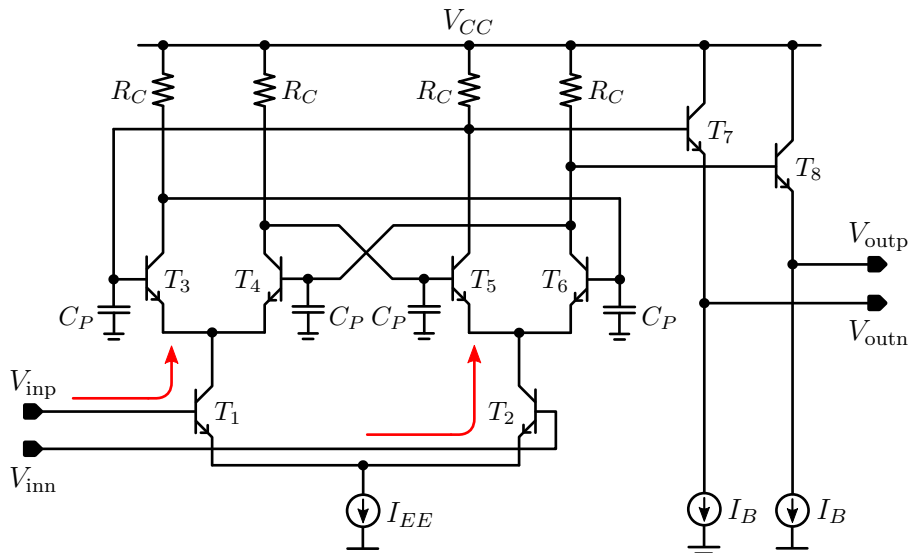
Kako bi se dodatno ubrzao rad Milerovog delitelja, potrebno je pojednostaviti kolo sa slike 42(b). To se postiže smanjivanjem broja tranzistora na RF putanji, zamenom otpornika u opterećenju kalemovima i uspostavljanjem povratne sprege između tranzistora diferencijalnog para, čime se dobija CC-LC oscilator. Koristan signal se injektuje u oscilator da bi se uticalo na sopstvenu učestanost oscilovanja i omogućilo zaključavanje na željenom subharmoniku [152]. Imajući u vidu da je CC-LC oscilator najjednostavnije visokofrekventno kolo za generisanje diferencijalnih oscilacija, ono zajedno sa tranzistorima za injekciju signala predstavlja najbržu arhitekturu delitelja učestanosti [148]. Arhitekture injeksiono sinhronisanog delitelja sa dva u CMOS tehnološkom procesu, sa (a) jednostranom i (b) diferencijalnom injekcijom signala, su prikazane na slici 43. Jednostrana arhitektura ILFD-a je jednostavnija za realizaciju, ali ima manju ulaznu osetljivost i radni opseg u poređenju sa diferencijalnom [153]. Diferencijalna arhitektura ILFD-a sa slike 43(b)

ima direktnu injekciju ulaznog signala pomoću komplementarnih tranzistora NM3 i PM1 [154]. Amplituda ulaznog signala potrebna za ispravan rad ILFD-a je određena efikasnošću injekcije signala koja ujedno ograničava i radni opseg delitelja [131].



Slika 43: Arhitekture injeksiono sinhronisanog delitelja sa dva u CMOS procesu: (a) jednostrana i (b) diferencijalna injekcija signala.

ILFD se može dobiti i injekcijom signala u diferencijalni ring oscilator [155]. Na slici 44 je prikazana arhitektura ILFD-a koji deli sa dva u SiGe tehnološkom procesu [156]. Bipolarni tranzistori T_3 – T_6 predstavljaju diferencijalni ring oscilator od dva stepena, dok se preko tranzistora T_1 i T_2 injektuje diferencijalni ulazni signal.



Slika 44: Arhitektura injeksiono sinhronisanog delitelja sa dva u SiGe procesu.

U Tabeli 7 je dato poređenje različitih arhitektura delitelja učestanosti sa fiksnim deliocem. Može se zaključiti da odabir arhitekture delitelja zavisi pre svega od učestanosti ulaznog signala, ali i potrebnog propusnog opsega i potrošnje. Statički delitelji se uglavnom koriste za rad na učestanostima ispod 30 GHz, imajući u vidu da na višim učestanostima zahtevaju preveliko povećanje potrošnje. Stoga su za rad u mmWave opsegu podobnije druge dve arhitekture. Milerovi delitelji se uglavnom koriste kada je potreban širok propusni opseg, dok su injeksiono sinhronisani delitelji optimalan izbor kada je potrebno postići veoma malu potrošnju i relativno uzak propusni opseg.

Tabela 7: Poređenje različitih arhitektura delitelja učestanosti sa fiksnim deliocem.

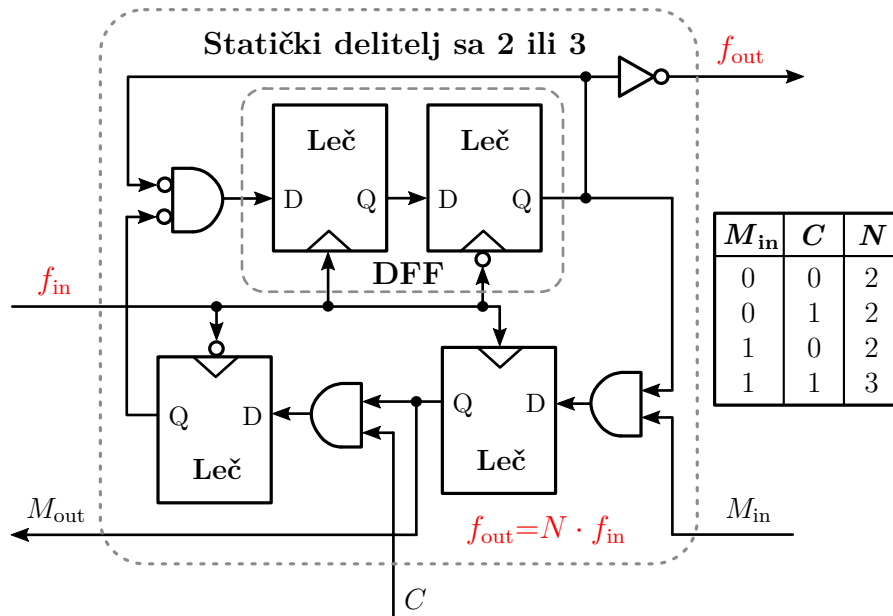
Parametar	Statički delitelj	Milerov delitelj	ILFD
Maksimalna radna učestanost	–	+	++
Propusni opseg	++	+	–
Ulazna osetljivost	++	–	+
Potrošnja	--	+	++

Delitelji učestanosti sa promenljivim deliocem: U sklopu glavnog delitelja učestanosti *fractional-N* PLL-a se posle visokofrekventnih delitelja sa fiksnim deliocem nalaze programabilni delitelji, odnosno delitelji čija je vrednost delioca podesiva u određenom opsegu celobrojnih vrednosti. Oni omogućavaju osnovnu funkcionalnost *fractional-N* PLL-a. Imajući u vidu da se u mmWave *fractional-N* PLL-ovima učestanost izlaznog signala skalira prvo sa fiksnim deliocem preskalera, učestanost signala na ulazu u delitelj sa promenljivim deliocem je uglavnom ispod 30 GHz. Stoga se gotovo uvek koriste arhitekture na bazi statičkog delitelja učestanosti.

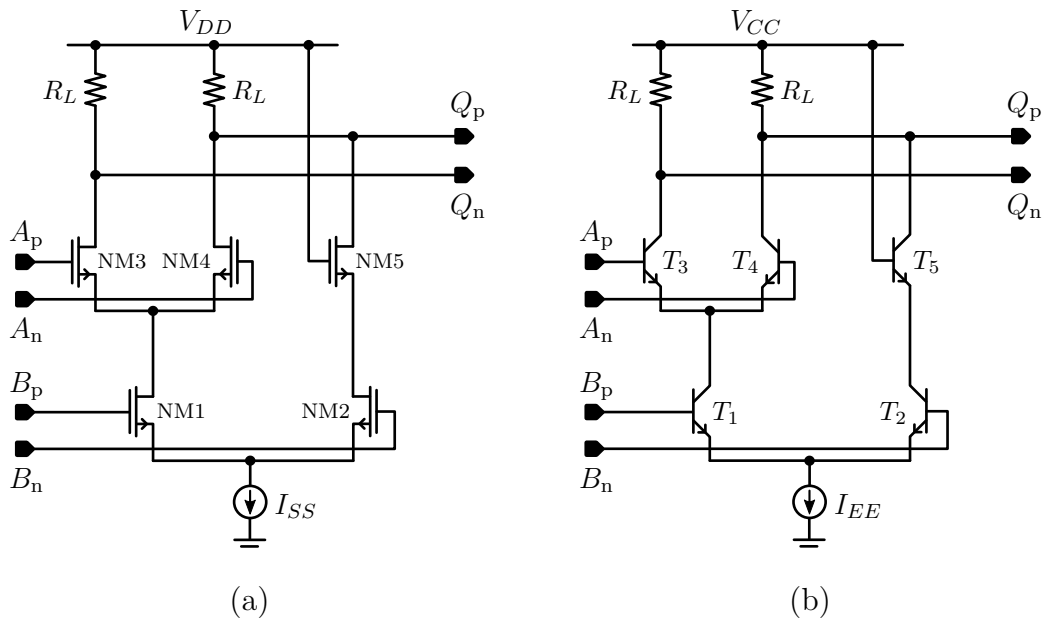
Najjednostavniji delitelj učestanosti sa promenljivim deliocem je delitelj sa dve različite vrednosti delioca (engl. *Dual-Modulus Divider* - DMD). Vrednosti delioca DMD-a su uvek celobrojne i razlikuju se za jedan. Ovakav delitelj predstavlja osnovni podblok složenih delitelja učestanosti višeg reda, odnosno MMD-ova [157]. DMD-ovi su kaskadno povezani unutar MMD-a, što zahteva da susedni podblovi međusobno interaguju pomoću kontrolnih signala čija je uloga da u određenim vremenskim intervalima omoguće prethodnom stepenu deljenje sa većom vrednošću delioca. Na taj način se obezbeđuje inkrementalni korak ukupnog delioca MMD-a.

U opštem slučaju, MMD-ove je moguće projektovati tako da se vrednost delioca ne menja linearno sa promenom kontrolne reči. Ovakvi delitelji nisu dobro rešenje u FMCW sintetizatorima na bazi *fractional-N* PLL-a u kojima se srednja vrednost delioca MMD-a, N_{avg} , tokom generisanja frekvencijske rampe menja linearno, kao i učestanost VCO-a. Pseudoslučajne promene kontrolnih signala MMD-a uzrokovane od strane $\Sigma\Delta$ modulatora su generalno linearan proces, što umnogome otežava projektovanje koristeći MMD čija se vrednost delioca ne menja linearno. Stoga je u FMCW sintetizatorima na bazi *fractional-N* PLL-a optimalno da se trenutna vrednost delioca, N_{MMD} , uvek menja linearno sa promenom kontrolne reči u celom opsegu celobrojnih vrednosti. Linearna promena vrednosti delioca MMD-a se postiže kaskadnim povezivanjem proizvoljnog broja DMD-ova koji dele sa 2 ili 3, pri čemu jedino poslednji stepen može biti DMD sa proizvoljnom vrednošću delioca.

Na slici 45 je prikazana blok šema logičke implementacije DMD-a koji deli sa 2 ili 3 [157]. Blok šema je predstavljena kao jednostrana radi lakšeg razumevanja i čitljivosti slike, dok je u praktičnim primenama kolo najčešće potpuno diferencijalno. Za rad na visokim učestanostima, statički DMD koji deli sa 2 ili 3 se realizuje koristeći CMOS CML ili SiGe ECL kola i veću polarizacionu struju. Arhitekture diferencijalnih D lečeva su prikazane na slici 41, dok su arhitekture “i” logičkog kola u (a) CMOS CML i (b) SiGe ECL date na slici 46. Povećanje brzine rada delitelja je moguće spajanjem D leča i “i” logičkog kola [78].



Slika 45: Blok šema logičke implementacije DMD-a koji deli sa 2 ili 3.

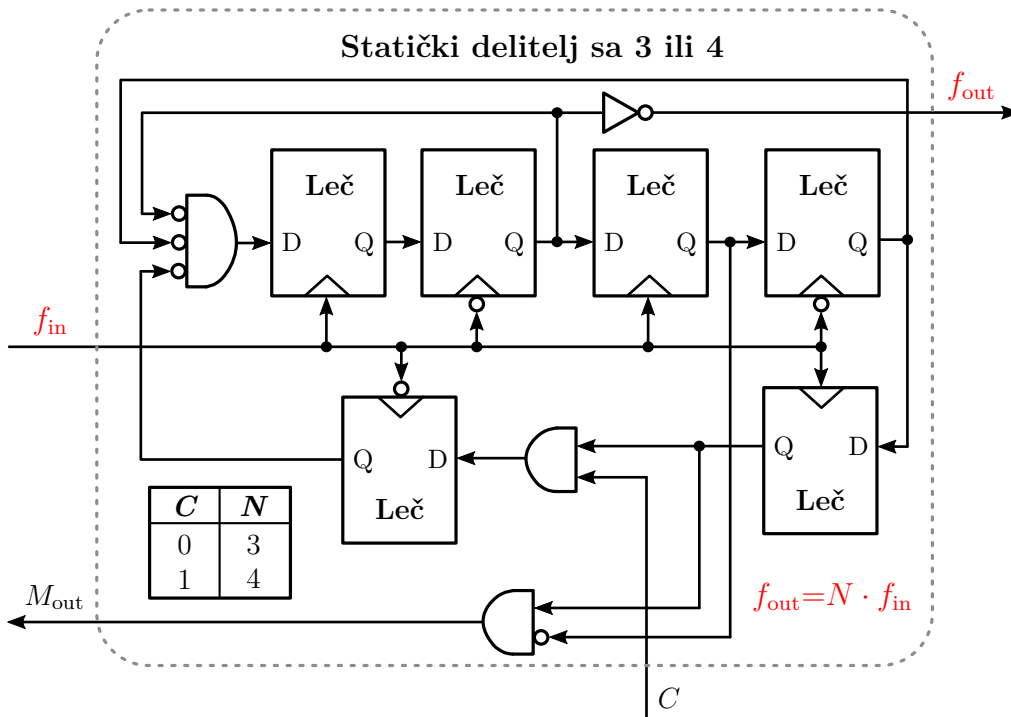


Slika 46: Arhitekture “i” logičkog kola: (a) CMOS CML i (b) SiGe ECL.

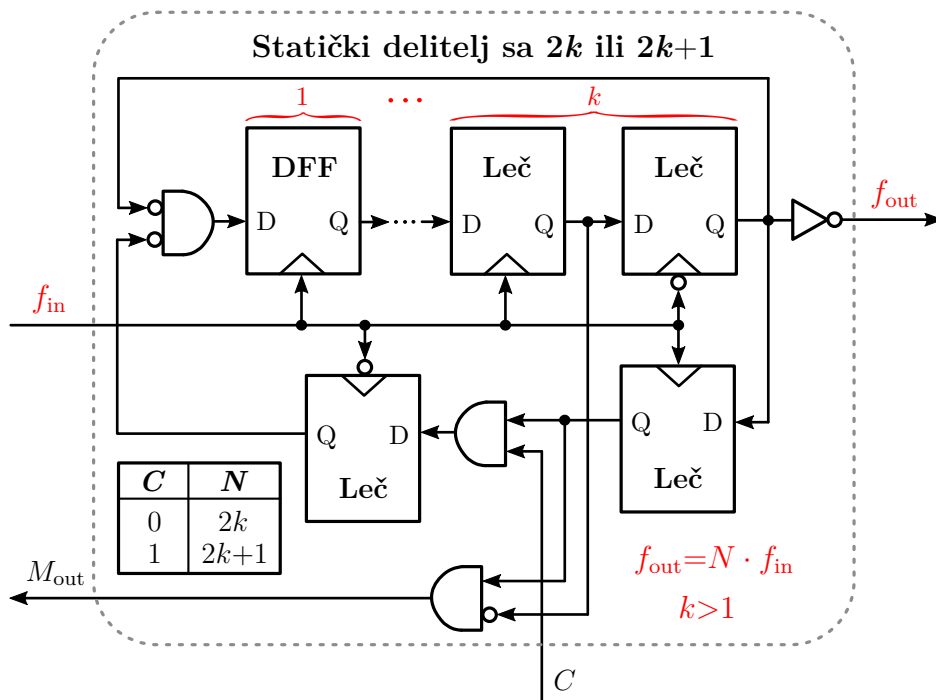
DMD koji deli sa 2 ili 3 je osnovni gradivni blok MMD-ova i može se nalaziti na proizvoljnoj poziciji u lancu. Na osnovu kontrolnih signala delitelja, M_{in} i C , se određuje trenutna vrednost delioca, kao što je prikazano u dodatnoj tabeli na slici 45. Izlazni signal M_{out} daje informaciju prethodnom podbloku o tome kada njegova vrednost delioca može biti veća, pod uslovom da je vrednost kontrolnog signala C odgovarajućeg podbloka logička jedinica.

Blok šema logičke implementacije DMD-a koji deli sa 3 ili 4 je prikazana na slici 47. U odnosu na kolo sa slike 45, delitelj učestanosti sa 3 ili 4 nema kontrolni signal M_{in} jer je poslednji u lancu. Drugim rečima, na ulazu M_{in} poslednjeg DMD-a u MMD-u je uvek logička jedinica, pa se kolo može pojednostaviti.

Logičke implementacije podesivih delitelja učestanosti prikazane na slikama 45 i 47 predstavljaju osnovne arhitekture na bazi kojih se mogu izvesti generičke blok šeme DMD-ova sa proizvoljnom vrednošću delioca ($\div P|P+1$). Na slici 48 je prikazana generička blok šema DMD-a koji deli sa $2k$ ili $2k+1$, gde je k proizvoljna celobrojna vrednost veća od jedan. Isto tako je na slici 49 prikazana generička blok šema DMD-a koji deli sa $2k-1$ ili $2k$, gde je k proizvoljna celobrojna vrednost veća od dva. Na osnovu slika 45 i 47 se može zaključiti da su realizacije kod kojih je P paran broj optimalnije, odnosno imaju manji broj lečeva. Drugim rečima, za isti broj lečeva u kolu, realizacije kod kojih je broj P paran imaju veći odnos deljenja u poređenju sa realizacijama kod kojih je neparan.

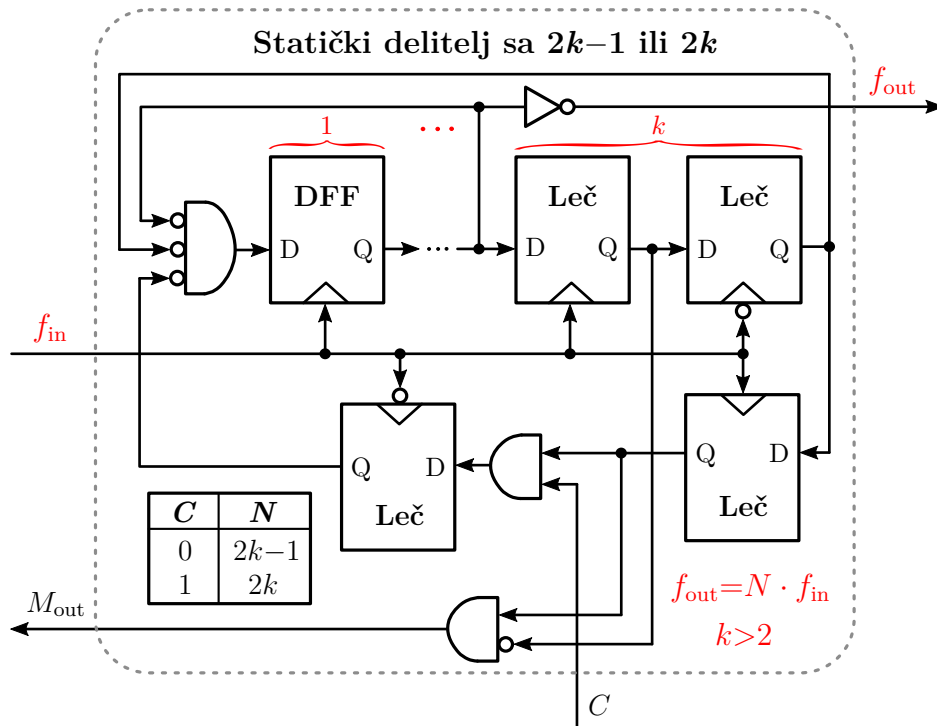


Slika 47: Blok šema logičke implementacije DMD-a koji deli sa 3 ili 4.

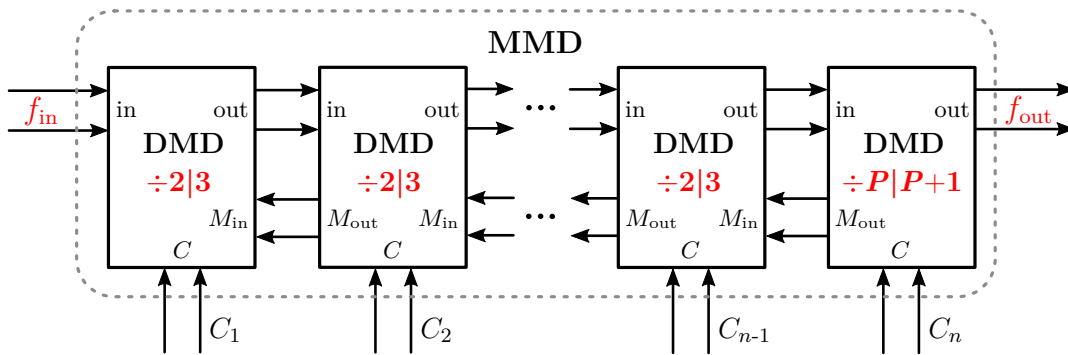


Slika 48: Generička blok šema statičkog DMD-a koji deli sa $2k$ ili $2k+1$.

Generička blok šema potpuno diferencijalnog MMD-a, koji se sastoji od n ka-


 Slika 49: Generička blok šema statičkog DMD-a koji deli sa $2k-1$ ili $2k$.

skadnih DMD-ova, je prikazana na slici 50 [158].



Slika 50: Generička blok šema potpuno diferencijalnog MMD-a.

Trenutna vrednost delioca MMD-a je:

$$N_{\text{MMD}} = 2^{n-1} \cdot P + C_n \cdot 2^{n-1} + C_{n-1} \cdot 2^{n-2} + \dots + C_2 \cdot 2^1 + C_1 \cdot 2^0, \quad (42)$$

gde su $C_{n..1}$ kontrolni signali koje postavlja $\Sigma\Delta$ modulator. Potencijalne vrednosti delioca MMD-a su celobrojne i nalaze se u opsegu od $2^{n-1}P$ do $2^{n-1}(P+2) - 1$. U specijalnom slučaju kada je $P = 2$, vrednost delioca se nalazi u opsegu od 2^n

do $2^{n+1} - 1$. Ovaj slučaj je važan kada je potrebno postići veliki dinamički opseg delioca. Kako bi se ujedno postigla i željena vrednost delioca obično je potreban veliki broj kaskadno povezanih DMD-ova koji dele sa 2 ili 3, što rezultuje složenošću i povećanom potrošnjom MMD-a. S druge strane, kada je potreban mali dinamički opseg i ograničena najmanja vrednost delioca, izborom velike vrednosti P se može značajno smanjiti potrošnja i kompleksnost MMD-a.

Radne učestanosti kaskadnih podblokova MMD-a se znatno razlikuju. Poslednji DMD u lancu radi na n puta manjoj učestanosti u odnosu na prvi DMD. Zato se svaki stepen MMD-a projektuje kao zasebno kolo, a polarizaciona struja DMD-ova se skalira sa radnom učestanošću. Tako se dobija optimalna potrošnja MMD-a.

Kako bi se izbegli gličevi tokom rada MMD-a i nekompletni ciklusi deljenja, potrebna su kola za sinhronizaciju promene kontrolnih signala [146]. Dodatna kola za sinhronizaciju omogućavaju promenu kontrolnih signala, odnosno vrednosti delioca, samo u bezbednim trenucima u kojima se ne može uticati na tekući ciklus deljenja MMD-a. Ovaj problem se najčešće rešava dodavanjem prihvatnog registra u koji se skladište vrednosti kontrolnih signala na svaku uzlaznu ivicu sinhronizacionog signala. Sinhronizacioni signal se dobija iz poslednjeg DMD-a u lancu i aktivan je neposredno pred kraj svakog ciklusa deljenja MMD-a.

Pored MMD-a, postoje i druge arhitekture programabilnih delitelja učestanosti, kao što su delitelji sa brojačem koji omogućava preskakanje određenog broja uzlaznih ivica (engl. *Pulse-Swallow Divider*). Ova arhitektura se sastoji od visokofrekventnog DMD-a, programabilnog brojača i brojača na dole koji kontroliše vrednost delioca DMD-a [139]. Za razliku od MMD-ova, ova arhitektura ne može dinamički da menja vrednost delioca, pa je to glavni nedostatak zbog koga se retko koristi u FMCW sintetizatorima na bazi *fractional-N* PLL-a.

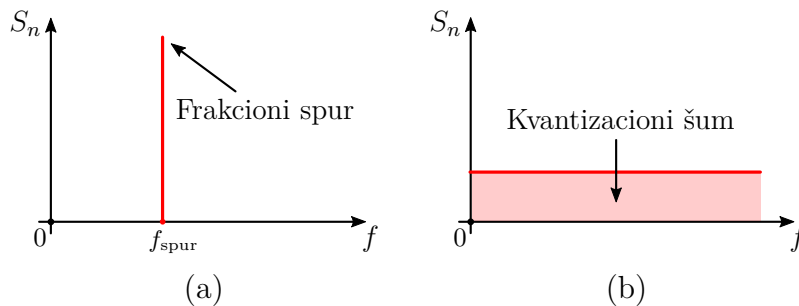
Ukupna vrednost delioca u povratnoj sprezi *fractional-N* PLL-a je:

$$N_{\text{tot}} = N_{\text{MMD}} \cdot N_{\text{PS}} = (2^{n-1} \cdot P + C_n \cdot 2^{n-1} + C_{n-1} \cdot 2^{n-2} + \dots + C_2 \cdot 2^1 + C_1 \cdot 2^0) \cdot N_{\text{PS}}, \quad (43)$$

gde je N_{PS} vrednost delioca preskalera. Iz jednačine (43) se može zaključiti da je korak promene delioca glavnog delitelja jednak N_{PS} , pa je samim tim poželjno da ova vrednost bude što manja. S druge strane, mala vrednost delioca preskalera zahteva da MMD radi na visokim učestanostima. Stoga je prilikom projektovanja frekvencijskog plana sintetizatora potrebno pronaći kompromis između vrednosti N_{PS} , maksimalne učestanosti signala na ulazu MMD-a i broja stepena MMD-a.

3.2.6 Sigma-delta ($\Sigma\Delta$) modulator

$\Sigma\Delta$ modulatori u *fractional-N* PLL-ovima kontrolišu MMD-ove tako da se trenutna vrednost delioca N_{MMD} menja nepredvidivo, a da ujedno efektivna srednja vrednost delioca N_{avg} , koja je u opštem slučaju realan broj, ostane nepromenjena. Na ovaj način se razbija periodičnost kontrolne sekvence MMD-a, pa se samim tim značajno smanjuje korelacija kvantizacionog šuma koja za posledicu ima pojavu spurova u frekvencijskom domenu. Tako se uklanjaju frakcioni spurovi čija se energija ravnomerno rasipa po celom frekvencijskom opsegu i može se posmatrati kao slučajni beli šum. Ovaj efekat je prikazan na slici 51. Nakon razbijanja spurova, spektralna gustina šuma se pomoću povratnih sprege u $\Sigma\Delta$ modulatoru oblikuje i potiskuje na više učestanosti gde se u većoj meri uklanja LF-om.

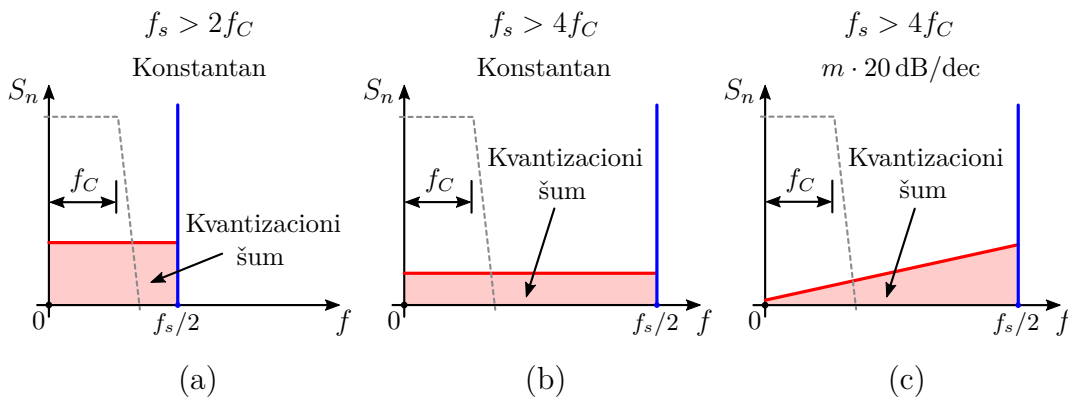


Slika 51: (a) Spur uzrokovan periodičnom kontrolnom sekvencom MMD-a i (b) uticaj pseudoslučajnih promena $\Sigma\Delta$ modulatora na razbijanje spura.

$\Sigma\Delta$ modulator se može posmatrati kao diskretan sistem koji radi na učestanosti odabiranja, f_s , približno jednakoj referentnom taktu. Veća učestanost odabiranja doprinosi smanjenju spektralne gustine šuma. Povećanje učestanosti odabiranja iznad Nikvistove učestanosti ($2f_c$) se naziva prekomerno uzorkovanje (engl. *Oversampling*). Ovom tehnikom se postiže širenje kvantizacionog šuma preko celog opsega učestanosti odabiranja, zahvaljujući čemu se postiže bolji SNR. Stoga je izbor radne učestanosti $\Sigma\Delta$ modulatora od izuzetne važnosti jer predstavlja jedno od ograničenja performansi šuma. S druge strane, odabir visoke radne učestanosti zahteva mnoge kompromise prilikom realizacije $\Sigma\Delta$ modulatora, koji imaju za posledicu povećanu potrošnju i potrebu za veoma brzim tranzistorima. Iako može smanjiti ukupan doprinos kvantizacionog šuma, tehnika prekomernog uzorkovanja nema uticaj na frakcione spurove koji se nalaze na specifičnim učestanostima [139].

Pored tehnike prekomernog uzorkovanja koja širenjem opsega može da smanji spektralnu gustinu šuma, značajna redukcija šuma se postiže i pomoću tehnike oblikovanja šuma (engl. *Noise Shaping*) na osnovu povratne sprege [139]. Poređenje

uticaja ove dve tehnike je prikazano na slici 52. Ukupna snaga kvantizacionog šuma je ista pa se raspodelom na većem opsegu (b) može smanjiti deo šuma u propusnom opsegu *fractional-N* PLL-a. Isto tako se oblikovanjem šuma (c) može dodatno smanjiti kvantizacioni šum na niskim učestanostima, pri čemu stepen potiskivanja zavisi od broja akumulatora u $\Sigma\Delta$ modulatoru. Prema tome, red $\Sigma\Delta$ modulatora određuje visokopropusnu funkciju prenosa kvantizacionog šuma. Potrebno je napomenuti da iako ove dve tehnike potiču od različitih fenomena, korišćenjem povratne sprege se pojačava dejstvo tehnike prekomernog uzorkovanja, odnosno intenzivnije redukuje kvantizacioni šum unutar propusnog opsega PLL-a [139]. S druge strane, ukoliko je učestanost odabiranja mala ($f_s < 4f_C$), tehnikom oblikovanja šuma se neće postići željeno potiskivanje kvantizacionog šuma na niskim učestanostima [139].



Slika 52: Poređenje uticaja prekomernog uzorkovanja i oblikovanja šuma na ukupan kvantizacioni šum u propusnom opsegu *fractional-N* PLL-a: (a) $f_s > 2f_C$ bez oblikovanja, (b) $f_s > 4f_C$ bez oblikovanja i (c) $f_s > 4f_C$ sa oblikovanjem šuma.

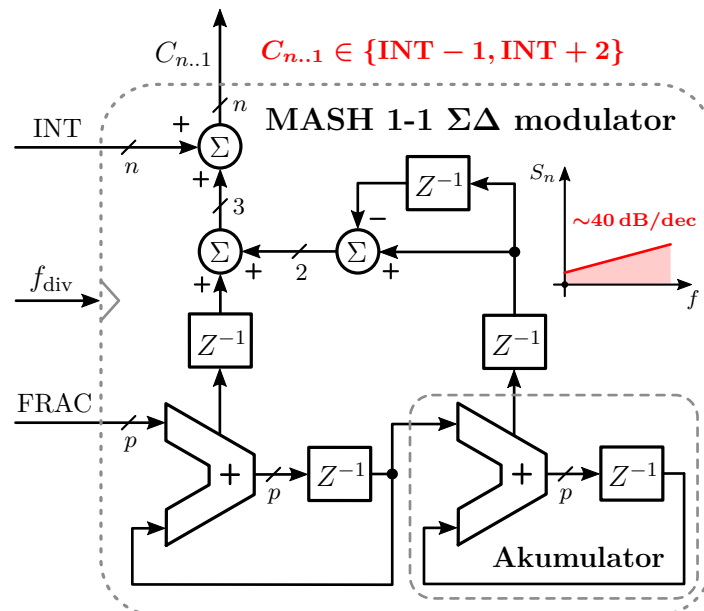
Jedna od najvažnijih osobina *fractional-N* PLL-a, koja je određena pre svega karakteristikama $\Sigma\Delta$ modulatora, je rezolucija izlazne učestanosti. Najmanji korak podešavanja izlazne učestanosti je definisan brojem bita p u akumulatorima $\Sigma\Delta$ modulatora. Stoga je rezolucija izlazne učestanosti *fractional-N* PLL-a data kao:

$$f_{\text{res}} = \frac{f_s}{2^p} \cdot N_{\text{PS}} = \frac{f_{\text{div}}}{2^p} \cdot N_{\text{PS}}, \quad (44)$$

gde je f_s učestanost odabiranja, odnosno radna učestanost $\Sigma\Delta$ modulatora koja je u zaključanom stanju približno jednaka referentnom taktu. U FMCW sintetizatorima na bazi *fractional-N* PLL-a, učestanost f_{res} direktno određuje maksimalni broj koraka u linearnoj frekvencijskoj rampi, pa je zato od posebnog interesa prilikom projektovanja.

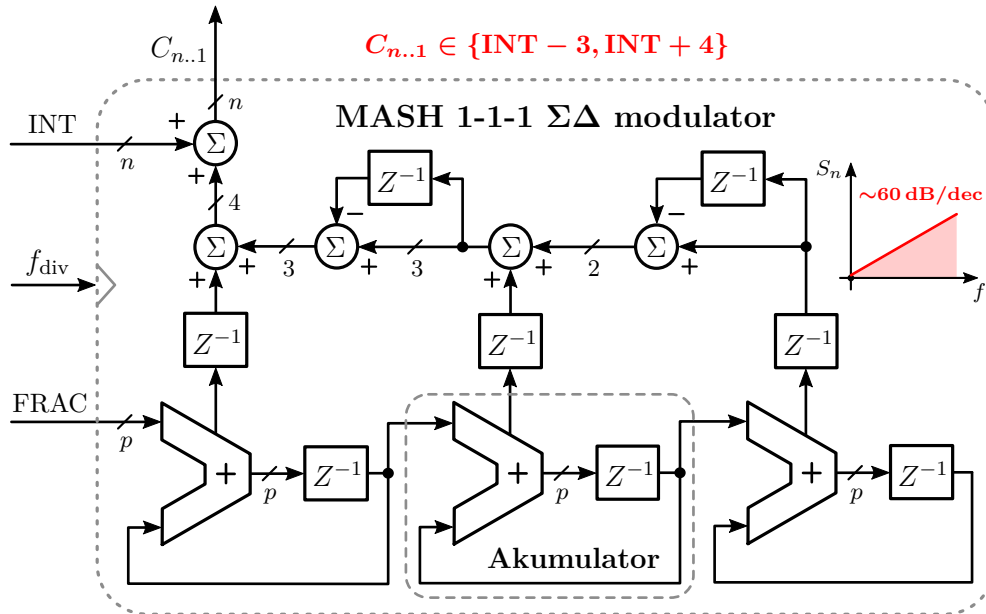
Osnovni gradivni blok $\Sigma\Delta$ modulatora je p -bitni akumulator. $\Sigma\Delta$ modulator m -tog reda sadrži m akumulatora, koji mogu biti povezani na više načina. Sa povećanjem reda $\Sigma\Delta$ modulatora se mogu dodati i pomoćne povratne sprege. U zavisnosti od načina povezivanja akumulatora i broja povratnih sprege postoje različite logičke implementacije $\Sigma\Delta$ modulatora istog reda. Na osnovu broja petlji, razlikuju se $\Sigma\Delta$ modulatori sa jednom i više petlji. Arhitekture sa jednom petljom mogu imati jedan ili više bita na izlazu u zavisnosti od prihvatljivog nivoa kvantizacionog šuma [139]. $\Sigma\Delta$ modulatori sa više petlji koji se sastoje iz kaskadno povezanih akumulatora (engl. *Multistage Noise Shaping* - MASH) imaju po jedan izlazni bit za svaki akumulator. MASH arhitekture su relativno jednostavne i bezuslovno stabilne.

Na slici 53 je prikazana blok šema logičke implementacije MASH 1-1 $\Sigma\Delta$ modulatora. Modulator je drugog reda i sadrži dva akumulatora. Stoga se spektralna gustina kvantizacionog šuma oblikuje sa nagibom 40 dB/dec. Na ulaz prvog akumulatora se dovodi p -bitna vrednost razlomljenog dela delioca, FRAC, dok se zakašnjeni izlaz vodi na ulaz drugog akumulatora. Svaki akumulator ima po jedan bit prenosa (engl. *Carry-Out*). Na osnovu bita prenosa se formira pseudoslučajna sekvenca promene vrednosti delioca, koja za MASH 1-1 $\Sigma\Delta$ modulator može biti celobrojna vrednost u opsegu od -1 do $+2$. Pseudoslučajna sekvenca predstavlja razlomljeni deo delioca koji se pomoću sabirača dodaje na celobrojnu vrednost delioca, INT. Rezultujuća kontrolna reč $C_{n..1}$ određuje trenutnu vrednost delioca MMD-a.



Slika 53: Blok šema logičke implementacije MASH 1-1 $\Sigma\Delta$ modulatora.

Blok šema logičke implementacije MASH 1-1-1 $\Sigma\Delta$ modulatora je prikazana na slici 54. Spektralna gustina kvantizacionog šuma MASH 1-1-1 $\Sigma\Delta$ modulatora se oblikuje sa nagibom 60 dB/dec. Promena izlazne vrednosti ovog modulatora može biti u opsegu od -3 do $+4$. U opštem slučaju, vrednosti u pseudoslučajnoj sekvenci se u zavisnosti od broja kaskadno povezanih akumulatora m menjaju u opsegu od $-2^{m-1} + 1$ do $+2^{m-1}$, dok se kvantizacioni šum oblikuje sa nagibom $m \cdot 20$ dB/dec.



Slika 54: Blok šema logičke implementacije MASH 1-1-1 $\Sigma\Delta$ modulatora.

U poređenju sa drugim arhitekturama trećeg reda, kao što su MASH 1-2 ili MASH 2-1, MASH 1-1-1 $\Sigma\Delta$ modulator zauzima najmanju površinu u integrisanom kolu, ima najbolju stabilnost i omogućava najbrži rad [139]. Zato je MASH 1-1-1 arhitektura prvi izbor u mmWave sintetizatorima [76, 78, 82, 117]. U sintetizatorima visokih performansi, gde je potreban izuzetno visok stepen potiskivanja kvantizacionog šuma, koriste se i $\Sigma\Delta$ modulatori višeg reda, kao što je MASH 1-1-1-1.

U FMCW sintetizatorima, visok red MASH $\Sigma\Delta$ modulatora često uzrokuje preveliki opseg promene delioca koji nije uvek koristan i može degradirati linearnost rampe [130]. Naime, sinteza linearnih rampi obično zahteva brzu promenu srednje vrednosti delioca MMD-a, što za posledicu ima mali broj promena u pseudoslučajnoj sekvenci oko jedne srednje vrednosti delioca. S druge strane, kod MASH arhitektura višeg reda ove promene su veće pa je potreban veći broj referentnih perioda da bi se postigla željena srednja vrednost. Stoga je prilikom odabira reda MASH $\Sigma\Delta$ modulatora potrebna pažljiva analiza uticaja ovog efekta na linearnost rampe.

3.3 Analiza faznog šuma *fractional*-N PLL-a

Fazni šum *fractional*-N PLL-a je jedna od ključnih karakteristika integriranih radarskih senzora. Uticaj šuma osnovnih podblokova na ukupne performanse faznog šuma sintetizatora učestanosti se može predstaviti i proceniti na dva načina. Prvi je modelovanjem sistema u naponskom domenu (engl. *Voltage-Domain Model*), a drugi modelovanjem u faznom domenu (engl. *Phase-Domain Model*) [159]. Modeli podblokova u naponskom domenu su verodostojniji i znatno složeniji u poređenju sa odgovarajućim modelima u faznom domenu. To za posledicu ima da je model *fractional*-N PLL-a u naponskom domenu veoma nelinearan i nema mirnu radnu tačku, pa je samim tim nekompatibilan sa frekvencijskim analizama šuma u simulatorima na bazi SPICE-a [159]. Za razliku od toga, model u faznom domenu je linearan i ima mirnu radnu tačku kada je PLL zaključan, pa se doprinosi šuma podblokova mogu na relativno jednostavan način proračunati. Još jedan nedostatak modela u naponskom domenu je trajanje simulacija, koje u slučaju sintetizatora sa velikim faktorom deljenja u povratnoj sprezi mogu imati veoma dugo vreme izvršavanja.

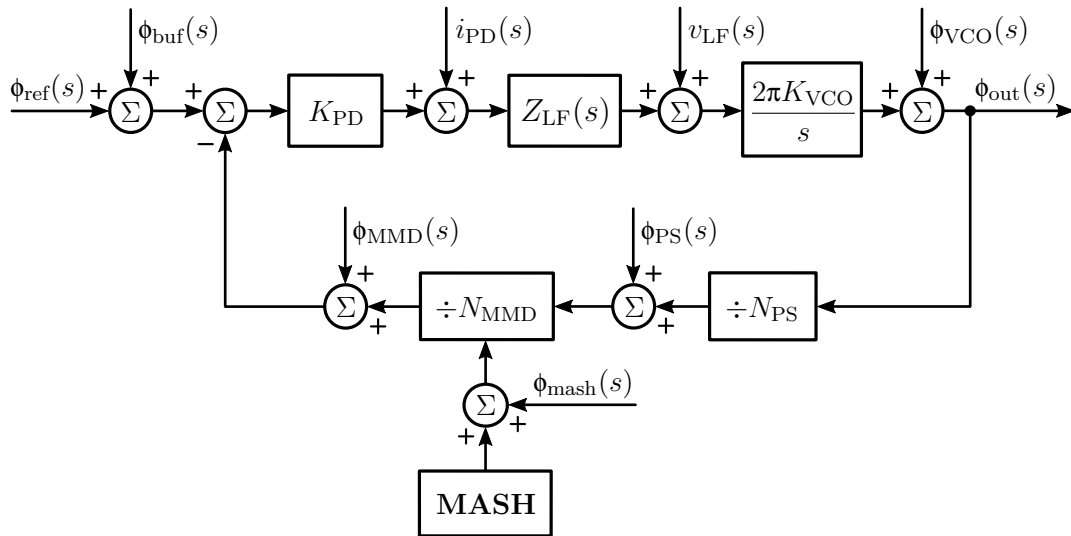
S obzirom na to da je većina kola unutar *fractional*-N PLL-a osetljiva na fazu u tačkama gde je šum injektovan, pogodno je da se signali predstave preko faza [159]. Ovo važi za sve podbloke čiji su izlazi primarno osetljivi na fazu ulaznih signala, što nije slučaj samo sa LF-om i VCO-om kod kojih su izlazi osetljivi na promenu struje i napona ulaza, respektivno. Prvi koraci prilikom procene faznog šuma PLL-a su particionisanje sistema i izvođenje odgovarajućih funkcija prenosa šuma.

Na slici 55 je prikazan linearizovan vremenski nepromenljiv model faznog šuma *fractional*-N PLL-a sa fundamental VCO-om. Pod pretpostavkom da se koristi arhitektura linearnog PFD-a, lanac podblokova PFD-CP se u modelu predstavlja konstantnim pojačanjem [139]:

$$K_{PD} = \frac{I_{CP}}{2\pi}. \quad (45)$$

Na izlazu CP-a se vrši strujno-naponska konverzija pomoću LF-a transimpedanse $Z_{LF}(s)$. Naponski signal se pomoću VCO-a konvertuje nazad u fazu, pa VCO ima ulogu integratora i njegova funkcija prenosa je $2\pi \cdot K_{VCO}/s$. Negativna povratna sprega se uspostavlja pomoću preskalera i MMD-a čije su funkcije prenosa $1/N_{PS}$ i $1/N_{MMD}$, respektivno. Prema tome, funkcija prenosa otvorene petlje *fractional*-N PLL-a sa slike 22 se može izraziti kao:

$$G_{ol}(s) = \frac{K_{PD} \cdot 2\pi \cdot K_{VCO} \cdot Z_{LF}(s)}{N_{MMD} \cdot N_{PS} \cdot s} = \frac{I_{CP} \cdot K_{VCO} \cdot Z_{LF}(s)}{N_{MMD} \cdot N_{PS} \cdot s}. \quad (46)$$



Slika 55: Linearizovan vremenski nepromenljiv model faznog šuma *fractional-N* PLL-a sa fundamental VCO-om.

Ukupan fazni šum na izlazu sintetizatora učestanosti, ϕ_{out} , se može proceniti na osnovu dominantnih izvora šumova, kao što su:

- ϕ_{ref} - fazni šum referentnog signala,
- ϕ_{buf} - fazni šum ulaznog bafera reference,
- i_{PD} - rezultujući šum izlazne struje PFD-CP lanca,
- v_{LF} - naponski šum filtra petlje,
- ϕ_{PS} - fazni šum preskalera,
- ϕ_{MMD} - fazni šum MMD-a,
- ϕ_{mash} - kvantizacioni šum $\Sigma\Delta$ modulatora,
- ϕ_{VCO} - fazni šum VCO-a.

Imajući u vidu da su ovi šumovi nekorelisani [160], kao i da je model prikazan na slici 55 linearan i vremenski nepromenljiv, moguće je koristiti metod superpozicije kako bi se sračunali doprinosi podblokova. Stoga se svaki od pomenutih izvora šumova množi odgovarajućom funkcijom prenosa i dodaje na ukupan fazni šum sintetizatora.

Fazni šum referentnog signala je važan faktor prilikom projektovanja sintetizatora učestanosti. Ovaj signal se uglavnom generiše van čipa pomoću oscilatora koji

imaju izuzetne performanse šuma i stabilne izlazne učestanosti, kao što su kristalni oscilatori. Samim tim su karakteristike ovog signala određene izborom spoljne reference. Referentni signal nakon ulaska u integrisano kolo prolazi kroz bafer i kolo za zaštitu od elektrostatičkog pražnjenja (engl. *Electrostatic Discharge* - ESD), što uzrokuje injektovanje dodatnog šuma u korisni signal. Fazni šum referentnog signala se sabira sa faznim šumom bafera reference koji se pažljivim projektovanjem može znatno smanjiti tako da njegov doprinos postane zanemarljiv. Zbog toga je potrebno da invertori ili pojačavački tranzistori u baferu reference imaju veliku transkonduktansu, kao i da ESD zaštita sadrži što manje vrednosti otpornika na putanji referentnog signala, kako bi se što manje dodavao šum [160]. Funkcije prenosa šuma referentnog signala i ulaznog bafera reference do izlaza *fractional*-N PLL-a su:

$$G_{\text{ref}}(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{ref}}(s)} = N_{\text{MMD}} \cdot N_{\text{PS}} \cdot \frac{G_{\text{ol}}(s)}{1 + G_{\text{ol}}(s)}, \quad (47)$$

$$G_{\text{buf}}(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{buf}}(s)} = G_{\text{ref}}(s). \quad (48)$$

Ukupan šum PFD-CP lanca je modelovan kao strujni šum CP-a čija se funkcija prenosa do izlaza sintetizatora može izraziti kao:

$$G_{\text{PD}}(s) = \frac{\Phi_{\text{out}}(s)}{i_{\text{PD}}(s)} = \frac{2\pi \cdot N_{\text{MMD}} \cdot N_{\text{PS}}}{I_{\text{CP}}} \cdot \frac{G_{\text{ol}}(s)}{1 + G_{\text{ol}}(s)}. \quad (49)$$

Doprinos ukupnom faznom šumu sintetizatora koji potiče od naponskog šuma LF-a se proračunava pomoću funkcije prenosa:

$$G_{\text{LF}}(s) = \frac{\Phi_{\text{out}}(s)}{v_{\text{LF}}(s)} = \frac{2\pi \cdot K_{\text{VCO}}}{s} \cdot \frac{1}{1 + G_{\text{ol}}(s)}. \quad (50)$$

Doprinosi faznog šuma delitelja učestanosti su određeni funkcijama prenosa:

$$G_{\text{PS}}(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{PS}}(s)} = -N_{\text{PS}} \cdot \frac{G_{\text{ol}}(s)}{1 + G_{\text{ol}}(s)}, \quad (51)$$

$$G_{\text{MMD}}(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{MMD}}(s)} = -N_{\text{MMD}} \cdot N_{\text{PS}} \cdot \frac{G_{\text{ol}}(s)}{1 + G_{\text{ol}}(s)}, \quad (52)$$

dok je funkcija prenosa šuma $\Sigma\Delta$ modulatora do izlaza sintetizatora:

$$G_{\text{mash}}(s) = \frac{\Phi_{\text{out}}(s)}{\Phi_{\text{mash}}(s)} = G_{\text{PS}}(s). \quad (53)$$

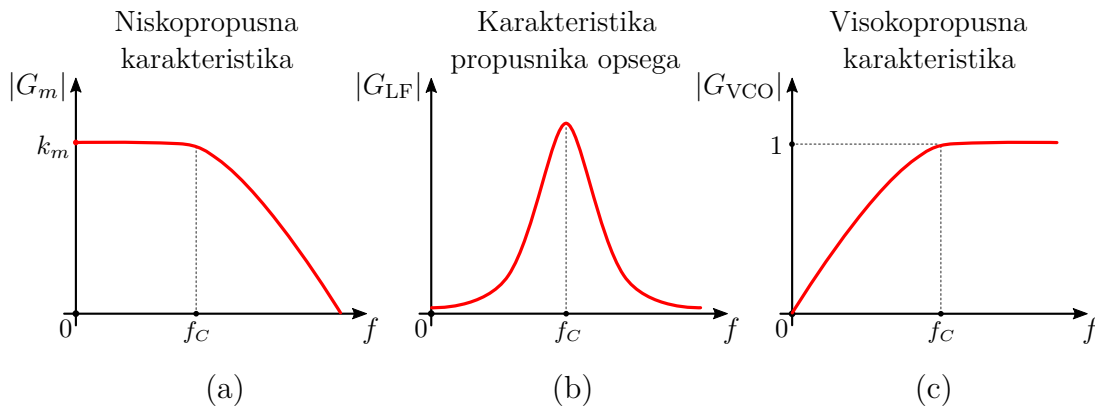
Doprinos šuma $\Sigma\Delta$ modulatora unutar propusnog opsega PLL-a je zanemarljiv ukoliko je referentna učestanost mnogo veća od propusnog opsega. Spektralna gustina kvantizacionog šuma na izlazu MASH $\Sigma\Delta$ modulatora m -tog reda se može analitički izraziti kao [161]:

$$S_{\text{mash}} = \frac{(2\pi)^2}{12f_s} \left[2 \sin \left(\frac{\pi f}{f_s} \right) \right]^{2(m-1)}. \quad (54)$$

Funkcija prenosa šuma VCO-a do izlaza *fractional*-N PLL-a je:

$$G_{\text{VCO}}(s) = \frac{\phi_{\text{out}}(s)}{\phi_{\text{VCO}}(s)} = \frac{1}{1 + G_{\text{ol}}(s)}. \quad (55)$$

Na osnovu izraza (47), (48), (49), (51), (52) i (53) se može zaključiti da referenca, ulazni bafer reference, PFD-CP lanac, preskaler, MMD i $\Sigma\Delta$ modulator imaju niskopropusne funkcije prenosa šuma. Talasni oblik niskopropusne funkcije prenosa šuma je prikazan na slici 56(a), dok su različiti faktori multiplikacije šuma, k_m , dati u Tabeli 8. Doprinosi podblokova koji imaju niskopropusnu karakteristiku dominantno određuju ukupan fazni šum sintetizatora unutar propusnog opsega. Poboljšanje faznog šuma unutar propusnog opsega je moguće postići smanjenjem vrednosti delioca preskalera ili MMD-a, pri čemu je faktor poboljšanja približno jednak $20 \log_{10}(x)$ gde je x faktor skaliranja delioca [108]. Međutim, u tom slučaju je za postizanje iste izlazne učestanosti potrebno da PFD-CP lanac i $\Sigma\Delta$ modulator rade na x puta većoj učestanosti, što dodatno otežava projektovanje *fractional*-N PLL-a.



Slika 56: Funkcije prenosa šuma podblokova do izlaza *fractional*-N PLL-a: (a) niskopropusna, (b) propusnik opsega i (c) visokopropusna.

Talasni oblik funkcije prenosa naponskog šuma LF-a do izlaza sintetizatora zavisi pre svega od reda filtra. Na slici 56(b) je prikazan tipičan talasni oblik funkcije prenosa šuma pasivnog filtra trećeg reda sa slike 39(b). Najveće pojačanje naponskog

Tabela 8: Doprinosi šuma podblokova na izlazu *fractional*-N PLL-a.

Podblok	Faktor multiplikacije šuma - k_m	
	$f < f_C$	$f > f_C$
Referenca	$N_{\text{MMD}} \cdot N_{\text{PS}}$	$\mapsto 0$
Bafer reference	$N_{\text{MMD}} \cdot N_{\text{PS}}$	$\mapsto 0$
PFD-CP lanac	$2\pi \cdot N_{\text{MMD}} \cdot N_{\text{PS}} \div I_{\text{CP}}$	$\mapsto 0$
Preskaler	N_{PS}	$\mapsto 0$
MMD	$N_{\text{MMD}} \cdot N_{\text{PS}}$	$\mapsto 0$
$\Sigma\Delta$ modulator	N_{PS}	$\mapsto 0$
VCO	$\mapsto 0$	1

šuma LF-a je oko granične učestanosti.

Od svih podblokova *fractional*-N PLL-a, jedino VCO ima visokopropusnu karakteristiku funkcije prenosa šuma, kao što je prikazano na slici 56(c). Zahvaljujući tome je doprinos faznog šuma VCO-a na učestanostima bliskim nosiocu potisnut od strane petlje, dok je na učestanostima većim od propusnog opsega direktno preslikan na izlaz sintetizatora. U opštem slučaju, fazni šum svakog *fractional*-N PLL-a je dominantno određen doprinosom VCO-a na učestanostima iznad f_C .

U praktičnim primenama je moguće relativno jednostavno proceniti pojedinačne doprinose pomenutih šumova koristeći simulatore kao što su SpectreRF ili Eldo. Nakon kvantifikovanja šumova, dobijene spektralne gustine snage šuma se množe odgovarajućim funkcijama prenosa i sumiraju. Imajući u vidu da su ovi šumovi nekorelisani, rezultujuća spektralna gustina snage šuma se dobija kao koren zbira kvadrata pojedinačnih doprinosa. U slučaju korelisanih šumova, kao što su sprega kroz supstrat ili napajanje, ukupna spektralna gustina šuma se dobija sabiranjem doprinosa. Fazni model sa slike 55, na osnovu koga se dobija ukupan fazni šum na izlazu sintetizatora, se može realizovati u MATLAB ili Verilog-A alatu.

Pored pomenutih nekorelisanih izvora šumova, veoma je važan uticaj korelisanih šumova koji mogu znatno degradirati karakteristike sintetizatora učestanosti. Ovi šumovi su uzrokovani radom digitalnih ili prekidačkih kola, kao što su delitelji učestanosti, $\Sigma\Delta$ modulatori i PFD-ovi, koji putem napona napajanja ili sprega kroz supstrat mogu uticati na osetljiva analogna kola [160]. Šumovi uzrokovani spregom kroz napajanje ili supstrat u brzim pretežno digitalnim sistemima mogu

lako nadmašiti ukupan šum uzrokovan komponentama u kolu i ograničiti performanse sintetizatora [162]. Stoga se prilikom projektovanja sintetizatora mora voditi računa o izolaciji kritičnih podblokova i adekvatnom filtriranju napona napajanja.

U savremenim CMOS tehnološkim procesima se kritični blokovi izoluju pomoću dubokih N jama (engl. *Deep N Well*), koje zajedno sa blago dopiranim P supstratom formiraju strukturu PNP spoja u kojem je N jama povezana na napon napajanja, a P jame na masu [163]. Tako se formira teško premostiva barijera za nosioce, odnosno trodimenziona struktura oblika kadice u koju se smeštaju zasebno podblokovi ili ceo *fractional*-N PLL. Na ovaj način se u integrisanom kolu razdvajaju lokalni i globalni supstrat, što redukuje injekciju šuma u globalni supstrat i spregu kroz isti. S druge strane, pravilna distribucija napajanja je od velikog interesa prilikom projektovanja integrisanih kola, imajući u vidu da pored povećanja šuma može uzrokovati funkcionalne probleme usled prevelikog pada napona ili pojave oscilacija u napajanju. Dobra praksa je da vodovi napajanja budu što širi kako bi se smanjila parazitna otpornost, kao i induktivnost zbog koje dolazi do visokofrekventnog talasanja napajanja. Pored toga, koriste se distribuirane niskopropusne mreže za filtriranje šuma napona napajanja koje uglavnom zahtevaju velike vrednosti šant kondenzatora [164].

Analiza faznog šuma *fractional*-N PLL-a na osnovu faznog modela sa slike 55 važi samo u CW modu, odnosno kada se generiše signal konstantne učestanosti. Prilikom sinteze linearne frekvencijske rampe dolazi do značajnog pogoršanja faznog šuma na učestanostima bliskim nosiocu gde je fazni šum dominantno određen parametrima petlje. S obzirom na to da je fazni šum *fractional*-N PLL-a tokom frekvencijske modulacije veoma teško meriti, on se može proceniti na osnovu faznog šuma u CW modu. U literaturi [165] je ovaj efekat detaljno opisan na primeru FMCW sintetizatora na bazi *integer*-N PLL-a sa digitalno modulisanom referencom. Pokazano je da do degradacije faznog šuma tokom FM-a dolazi usled povećane fazne greške na ulazu u PFD. Tada se ukupna fazna greška može predstaviti kao zbir statičke i dinamičke. Pod pretpostavkom da je vreme smirivanja petlje, t_s , mnogo manje od trajanja linearne frekvencijske rampe, može se smatrati da je nakon t_s ukupna fazna greška na ulazu u PFD jednaka statičkoj, θ_e^0 . U literaturi [166] je pokazano da statička fazna greška *fractional*-N PLL-a tokom FM-a zavisi kao:

$$\theta_e^0 = 2\pi \cdot \alpha_{CP} \propto \frac{S}{I_{CP} \cdot K_{VCO}}, \quad (56)$$

gde je α_{CP} normalizovana srednja vrednost izlazne struje CP-a, a S nagib rampe.

Statička fazna greška uzrokuje povišenu srednju vrednost izlazne struje CP-a tokom FM-a pa tako povećava i doprinos šuma PFD-CP lanca na učestanostima bliskim nosiocu. Kao što se može zaključiti na osnovu izraza (56), statička fazna greška zavisi od brzine modulacije, nominalne struje CP-a i osetljivosti VCO-a. Pored toga, na statičku faznu grešku ujedno utiče izbor arhitekture i vrednosti komponenata LF-a.

Spektralna gustina snage belog šuma izlazne struje CP-a usled termičkog šuma i šuma sačme je proporcionalna α_{CP} , dok je usled fliker šuma proporcionalna α_{CP}^2 [167]. Stoga se rezultujuća spektralna gustina snage šuma na izlazu PFD-CP lanca može izraziti kao:

$$S_{PD} = S_{CP}^{\text{beli}} \cdot \alpha_{CP} \cdot \left(1 + \frac{\alpha_{CP} f_{\text{cft}}}{f} \right), \quad (57)$$

gde je S_{CP}^{beli} spektralna gustina snage belog šuma strujnih izvora CP-a, a f_{cft} granična učestanost fliker šuma tranzistora u strujnim izvorima CP-a. Ukoliko se posmatra doprinos PFD-CP lanca ukupnom faznom šumu na izlazu sintetizatora, dobija se:

$$S_{PD}^{\text{out}} = \underbrace{S_{CP}^{\text{beli}} \cdot \alpha_{CP} \cdot \left(1 + \frac{\alpha_{CP} f_{\text{cft}}}{f} \right)}_{S_{PD}} \cdot \underbrace{\left(\frac{2\pi \cdot N_{\text{MMD}} \cdot N_{\text{PS}}}{I_{CP}} \right)^2 \cdot \left| \frac{G_{\text{ol}}}{1 + G_{\text{ol}}} \right|^2}_{|G_{PD}|^2}. \quad (58)$$

Drugim rečima, unutar propusnog opsega PLL-a se povećanjem struje CP-a dva puta, za date vrednosti osetljivosti VCO-a i komponenata LF-a, smanjuje doprinos faznog šuma za više od 9 dB [168]. Brzina modulacije isto tako utiče na faznu grešku na ulazu u PFD, pa samim tim sa povećanjem nagiba rampe dva puta dolazi do degradacije faznog šuma unutar propusnog opsega za više od 3 dB [168]. Stoga se može zaključiti da na pogoršanje faznog šuma *fractional-N* PLL-a tokom FM-a najviše utiču struja CP-a i nagib linearne frekvencijske rampe. Još jedna važna posledica povećanja struje CP-a ili smanjenja nagiba rampe je redukcija granične učestanosti fliker šuma koja je data kao $\alpha_{CP} \cdot f_{\text{cft}}$. Na učestanostima iznad $\alpha_{CP} \cdot f_{\text{cft}}$ je dominantan uticaj termičkog šuma pa se na ovaj način podešavanjem vrednosti α_{CP} može znatno potisnuti doprinos fliker šuma tranzistora u izlaznoj struji CP-a.

Prilikom sinteze linearnih frekvencijskih rampi je pored efekta povećanja fazne greške potrebno imati u vidu da osetljivost VCO-a u opštem slučaju nije konstantna, što je posebno izraženo u širokopojasnim VCO-ovima koji se koriste u integrisanim SRR sensorima. Ovo direktno utiče na dinamiku petlje pa tako i na ukupan fazni šum sintetizatora. Zato se često primenjuju posebne tehnike linearizacije VCO-a koje imaju za cilj održanje konstantne vrednosti K_{VCO} [165].

3.4 Optimizacija linearnosti frekvencijske rampe

Jedna od glavnih poteškoća prilikom projektovanja FMCW radarskih senzora je potreba za izuzetno linearnim frekvencijskim rampama. Odstupanje rampe od idealno linearne prave ima za posledicu širenje i/ili pomeranje vršnih vrednosti u frekvencijskom spektru IF signala [39]. Stoga nelinearnost frekvencijske rampe degradira rezoluciju rastojanja i istovremeno utiče na tačnost i preciznost određivanja meta. Pored toga, neželjena modulacija faze izlaznog signala povećava intenzitet spurova u izlaznom spektru IF signala pa tako može da maskira vršne vrednosti koje odgovaraju metama malog RCS-a. Samim tim je linearnost frekvencijske rampe od posebnog interesa prilikom projektovanja FMCW sintetizatora. Ova karakteristika rampe je usko povezana sa izborom arhitekture FMCW sintetizatora na bazi *fractional-N* PLL-a i parametara koji određuju dinamiku petlje.

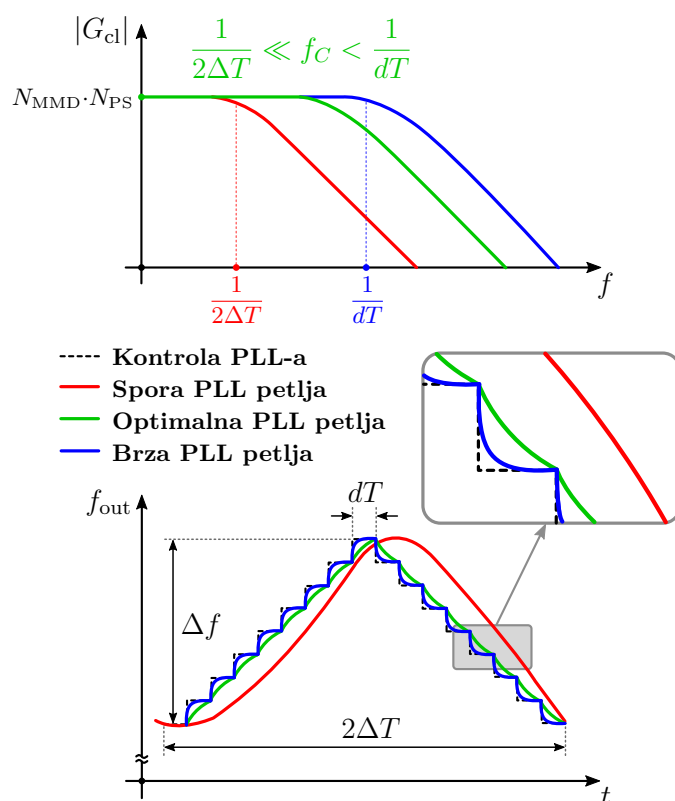
Dinamika petlje je opisana funkcijom prenosa *fractional-N* PLL-a u zatvorenoj sprezi, G_{cl} , koja u opštem slučaju ima niskopropusnu karakteristiku i jednaka je funkciji prenosa šuma referentnog signala, odnosno:

$$G_{cl}(s) = G_{ref}(s) = N_{MMD} \cdot N_{PS} \cdot \frac{G_{ol}(s)}{1 + G_{ol}(s)}. \quad (59)$$

Prema tome, pojačanje u propusnom opsegu je jednako ukupnoj vrednosti delioca u povratnoj sprezi, $N_{MMD} \cdot N_{PS}$, dok je nagib strmine funkcije prenosa u nepropusnom delu određen redom filtra petlje. Dinamiku petlje dominantno određuje položaj polova funkcije prenosa *fractional-N* PLL-a, od kog zavisi odziv petlje na promene učestanosti jednog od ulaznih signala PFD-a. Kao posledica položaja polova, dobijaju se vrednosti ključnih parametara koji opisuju dinamiku petlje, kao što su propusni opseg, fazna margina i vreme smirivanja. Ovi parametri su međusobno zavisni i direktno određuju brzinu i stabilnost petlje.

Kako bi se postigla izuzetna linearnost frekvencijskih rampi FMCW sintetizatora na bazi *fractional-N* PLL-a potrebno je rešiti dva ključna problema. Prvi je uzrokovan promenom trenutne vrednosti delioca MMD-a od strane $\Sigma\Delta$ modulatora. Ovo rezultuje pojavom niskofrekventnih spektralnih komponentata na izlazu MMD-a koje je potrebno filtrirati LF-om. Ukoliko ove komponente nisu dovoljno oslabljene, one se modulišu u VCO-u i pojavljuju oko nosioca u frekvencijskom spektru izlaznog signala FMCW sintetizatora. Viši red $\Sigma\Delta$ modulatora omogućava da se na niskim učestanostima ove neželjene spektralne komponente potisnu, ali ne i potpuno eliminišu. Zato je poželjno da granična učestanost LF-a bude što manja. S

druge strane, ako je učestanost f_C veoma mala tada je PLL previše spor, pa neće moći da prati brze promene izlazne učestanosti. To za posledicu ima veliku degradaciju linearnosti rampe. Na slici 57 je prikazano poređenje projektnih scenarija za različite vrednosti f_C . Isprekidanim linijama je prikazana kontrola *fractional-N* PLL-a, odnosno digitalna predstava vrednosti izlazne učestanosti koja se dovodi na ulaz $\Sigma\Delta$ modulatora. U slučaju simetrične trougaone modulacione šeme i jediničnog faktora skaliranja ($k = 1$), potrebno je da se propuste najmanje prvih 100 harmonika kroz LF da bi se postigla linearnost rampe bolja od 0,01% [169]. To znači da učestanost f_C mora da bude najmanje 100 puta veća od $1/(2\Delta T)$, što ograničava minimalno vreme modulacije, ΔT . Gornja granica za f_C se određuje na osnovu brzine promene srednje vrednosti delioca MMD-a, $1/dT$, koja je ograničena minimalnim brojem referentnih taktova potrebnim za ispravan rad $\Sigma\Delta$ modulatora. Za MASH $\Sigma\Delta$ modulatore m -tog reda je potrebno bar $m + 1$ referentnih taktova da bi vrednosti propagirale kroz sve akumulatore i tako se ispravno generisala srednja vrednost delioca MMD-a. Stoga učestanost f_C mora biti najmanje 10 puta manja od $f_{\text{ref}}/(m + 1)$ da bi se izbegli previše brz odziv PLL-a i smanjena linearnost rampe.



Slika 57: Optimizacija propusnog opsega *fractional-N* PLL-a za postizanje visoko linearnih frekvencijskih rampi.

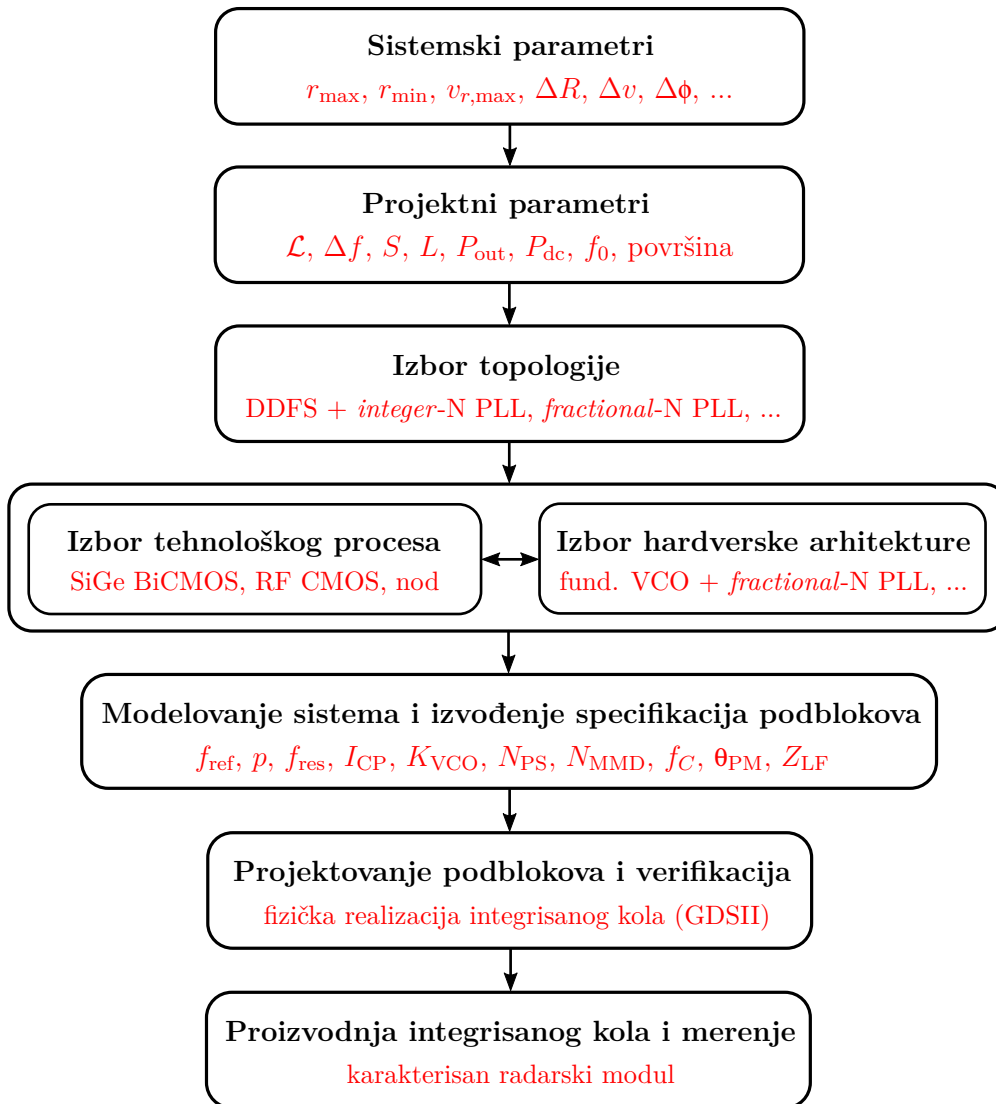
Drugi problem je fizička realizacija pasivnog RC LF-a koju treba imati u vidu prilikom izbora učestanosti f_C . Naime, mali propusni opseg petlje zahteva velike vrednosti kondenzatora koje su nepraktične za integraciju na čipu. Zato je izbor učestanosti f_C kompromis između linearnosti i površine koju zauzima LF, ali i ujedno ograničavajući faktor performansi FMCW sintetizatora. Kako bi se ovo ograničenje prevazišlo, u praktičnim primenama se neretko LF realizuje iz dva dela pri čemu se jedan deo nalazi na čipu, a drugi van čipa. Na ovaj način se veliki kondenzatori, koji određuju dominantne polove u funkciji prenosa, povezuju van čipa, dok se kondenzatori i otpornici malih vrednosti integrišu. Međutim, ovo rešenje izaziva brojne poteškoće i unosi nesigurnost prilikom projektovanja pa ga je poželjno izbeći ukoliko je to moguće. Glavni nedostatak ovog pristupa su velike parazitne induktivnosti i kapacitivnosti dugačkih interkonekcija koje je potrebno uračunati u simulacijama. Ove veze idu van čipa i uključuju žice za povezivanje (engl. *Bond Wires*) sa štampanom pločom (PCB). Induktivnost žica u mmWave opsegu daje relativno veliku reaktansu koja može izazvati nestabilnost petlje. Isto tako se usled preslušavanja između žica za povezivanje i okruženja u sistem unosi dodatni šum koji se preko kontrolnog napona VCO-a moduliše i pojavljuje u ukupnom faznom šumu izlaznog signala. Stoga je potpuna integracija LF-a najbolji izbor kada god je izvodljiva i finansijski isplativa.

Model u naponskom domenu FMCW sintetizatora na bazi *fractional-N* PLL-a je najlakše realizovati u Verilog-A jeziku za opis. Svi podblokovi sintetizatora se modeluju zasebno pa se tako na osnovu simulacija može uraditi funkcionalna verifikacija sistema. Takođe, pomoću ovog modela se može pronaći optimalan kompromis između linearnosti rampe, površine LF-a i drugih parametara petlje. Model FMCW sintetizatora u naponskom domenu uključuje razne efekte, kao što su kvantizacioni šum $\Sigma\Delta$ modulatora, nelinearnost krive podešavanja VCO-a, neuparenost struja punjenja i pražnjenja u CP-u ili neuparenost uzlaznih i silaznih ivica signala na izlazu PFD-a. Ove simulacije isto tako pružaju bolji uvid u sistemske specifikacije FMCW sintetizatora, kao i na uticaj različitih parametara *fractional-N* PLL-a na linearnost rampe. Imajući u vidu da čak i na nivou Verilog-A modela simulacije u vremenskom domenu veoma dugo traju usled izuzetno visokih radnih učestanosti, moguće je skalirati frekvenciju VCO-a sa faktorom $1/N_{PS}$ i istovremeno izbaciti preskaler iz modela. Na ovaj način se simulacija u vremenskom domenu ubrzava N_{PS} puta, a uticaj petlje na linearnost rampe ostaje nepromenjen.

3.5 Metodologija projektovanja FMCW sintetizatora

3.5.1 Proces razvoja potpuno integrisanog FMCW sintetizatora

Opšti postupak razvoja FMCW sintetizatora za rad u mmWave opsegu se sastoji iz više koraka koji su prikazani na slici 58.



Slika 58: Postupak razvoja milimetarskog FMCW sintetizatora učestanosti.

Prvi korak prilikom razvoja FMCW sintetizatora je određivanje sistemskih parametara na osnovu potencijalne primene integrisanog radarskog senzora. Na osnovu sistemskih parametara se izvode projektni parametri FMCW sintetizatora: fazni šum, propusni opseg rampe, brzina modulacije, linearnost rampe, izlazna snaga, potrošnja, radna učestanost i površina. Dalje se na osnovu projektnih parametara vrši

odabir optimalne topologije koja može da zadovolji date zahteve. Izbor topologije je dominantno određen zahtevima za faznim šumom i linearnošću rampe.

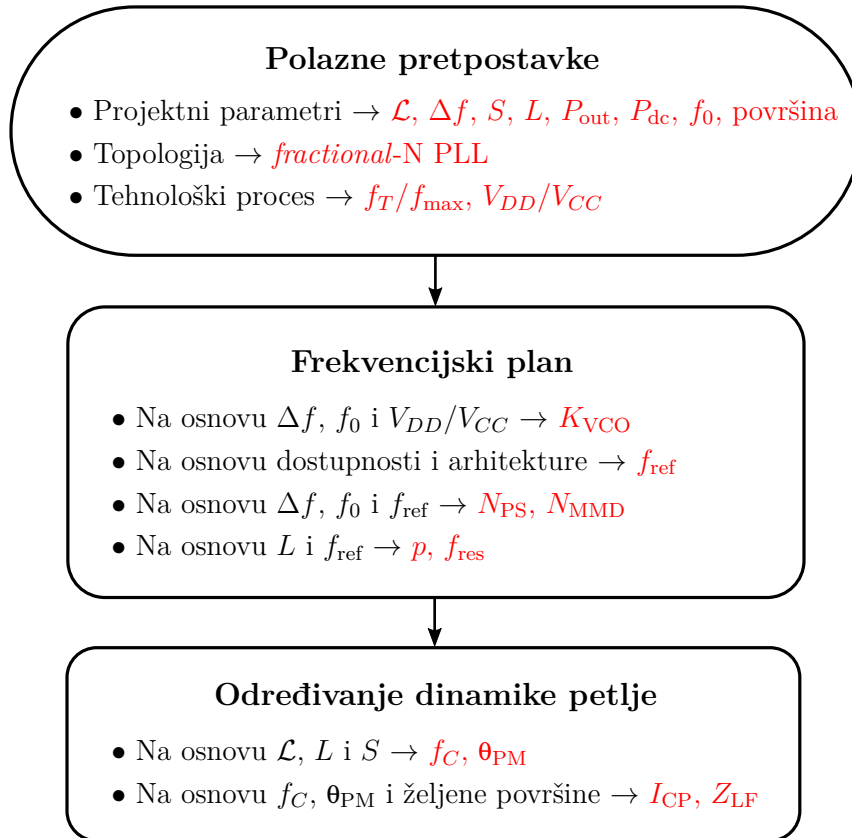
Na osnovu odabrane topologije i drugih uticaja koji postoje u praksi, a nisu prikazani na slici 58, kao što su dostupnost i finansijska opravdanost, biraju se tip tehnološkog procesa i odgovarajući nod. Ovaj izbor je usko povezan sa izborom hardverske arhitekture FMCW sintetizatora. Karakteristike komponenata dostupnih u tehnološkom procesu direktno utiču na izvodljivost projektnih parametara, pa samim tim sužavaju izbor mogućih arhitektura.

Nakon izbora optimalne hardverske arhitekture, razvija se model celog sistema i procenjuju ključni parametri petlje, kao što su granična učestanost LF-a i stabilnost. Pored toga, na osnovu rezultata dobijenih simulacijom modela izvode se detaljne specifikacije podblokova FMCW sintetizatora. Projektovanje podblokova se dalje vrši u nekom od softverskih alata za razvoj integrisanih kola, kao što su razvojno okruženje Virtuoso firme Cadence ili Custom Designer firme Synopsys. Prilikom projektovanja integrisanog kola prolazi se kroz više faza, od razvoja električnih šema podblokova pa sve do fizičke realizacije celog sistema. Paralelno sa projektnim fazama, pomoću simulatora se vrši verifikacija karakteristika električnog kola. Pored standardnih simulatora kola sa koncentrisanim parametrima, tokom faze projektovanja podblokova se koriste i EM simulatori za proračun parametara rasejanja i karakterizaciju pasivnih struktura. Projektovanje podblokova milimetarskih FMCW sintetizatora zahteva kombinovanje digitalnog, analognog i mikrotalasnog pristupa projektovanja, pa je zato posebno zahtevno.

Kao rezultat projektovanja integrisanog kola u softverskom alatu se dobija izlazni fajl u kome se nalaze informacije o fizičkoj realizaciji kompletnog sistema. Ovaj fajl je u standardnom GDSII formatu za razmenu projektnih crteža integrisanih kola. Na osnovu GDSII fajla se u fabrici čipova (engl. *Foundry*) proizvodi projektovano integrisano kolo. Nakon uspešne fabrikacije, sledi poslednji korak u kome se verifikuju postignute performanse. Merenja je moguće izvršiti u ranoj fazi dok su čipovi još na “vejferu” ili se nakon laserskog sečenja (engl. *Laser Dicing*) čipovi mogu povezati (engl. *Bonding*) na PCB i tako verifikovati. U slučaju mmWave FMCW sintetizatora učestanosti koji zahtevaju složeno okruženje sa odgovarajućim naponima napajanja, masama, vezama za SPI, referentnim signalom i izlazima, čipovi se uglavnom testiraju na RF štampanoj ploči usled velikog broja stopica za povezivanje (engl. *Pads*). Na ovaj način se posle merenja dobija potpuno karakterisan radarski modul spreman za upotrebu.

3.5.2 Postupak izvođenja specifikacija podblokova

Na slici 59 je prikazan postupak izvođenja osnovnih karakteristika podblokova FMCW sintetizatora na bazi *fractional-N* PLL-a.



Slika 59: Postupak izvođenja specifikacija podblokova FMCW sintetizatora na bazi *fractional-N* PLL-a.

Pod pretpostavkom da je primena integrisanog radarskog senzora poznata, kao i da su topologija FMCW sintetizatora i tehnološki proces izabrani, hardverska arhitekturana se bira na osnovu vrednosti projektnih parametara i tehnoloških ograničenja. Tehnološka ograničenja su dominantno određena karakteristikama tranzistora na visokim učestanostima, kao što su f_T/f_{max} i probojni naponi. Ovi parametri pre svega ograničavaju potencijalne arhitekture podblokova koji rade u mmWave opsegu, što se odražava na arhitekturu celog sintetizatora. Odabir arhitekture FMCW sintetizatora ima uticaj na formiranje frekvencijskog plana i određivanje optimalne dinamike petlje.

Radna učestanost sintetizatora i propusni opseg rampe dominantno utiču na izbor frekvencijskog plana *fractional-N* PLL-a. Zahtevani Δf i napon napajanja koji

zavisi od izabranih tehnoloških komponenata direktno određuju osetljivost VCO-a. Izbor referentne učestanosti zavisi od različitih faktora. Visokofrekventne reference koje istovremeno imaju izuzetno mali fazni šum su često veoma skupe i teško dostupne. Stoga je u opštem slučaju poželjno da učestanost reference bude što manja. Međutim, mala f_{ref} ima za posledicu veliku vrednost delioca u povratnoj sprezi, koja unutar propusnog opsega povećava doprinos faznog šuma petlje. Zato je u sintetizatorima visokih performansi poželjno da učestanost f_{ref} bude što veća kako bi se postigao veoma mali fazni šum u blizini nosioca. Ova dva zahteva su oprečna pa je neophodan kompromis prilikom izbora referentne učestanosti, koji u većoj meri zavisi od konkretnog projektnog scenarija. Nakon odabira f_{ref} , poznate su osnovne specifikacije delitelja učestanosti, odnosno N_{PS} i opseg vrednosti N_{MMD} . U ovom trenutku se pomoću sistemskih simulacija modela i zahteva za linearnošću rampe definiše potreban broj bita u akumulatorima $\Sigma\Delta$ modulatora, dok se na osnovu izraza (44) određuje rezolucija izlazne učestanosti.

Dinamika petlje je određena graničnom učestanošću LF-a i faznom marginom (engl. *Phase Margin* - θ_{PM}) koja predstavlja meru stabilnosti sistema. Pomenuti parametri se izvode na osnovu zahteva za faznim šumom, linearnošću rampe i brzinom modulacije. Imajući u vidu da su ovi zahtevi delimično oprečni i da je neophodno pronaći kompromisno rešenje, izbor učestanosti f_C je od fundamentalnog značaja za performanse *fractional-N* PLL-a. Najgora kombinacija za linearnost su kratkotrajne frekvencijske rampe velikog propusnog opsega, što FMCW sintetizatore za SRR senzore svrstava u kritičnu grupu. Stoga je u okviru ove disertacije posebna pažnja posvećena FMCW sintetizatorima za SRR senzore koji rade u mmWave opsegu. Pored učestanosti f_C , veoma važnu ulogu ima fazna margina od koje zavisi vreme smirivanja petlje tokom sinteze linearnih frekvencijskih rampi. Na osnovu f_C , θ_{PM} i željene površine integrisanog kola nalazi se kompromis između vrednosti struje CP-a i komponenata LF-a, odnosno impedanse Z_{LF} .

3.5.3 Mera kvaliteta (FoM)

Postoje različiti kvantitativni pokazatelji performansi (FoM) mmWave VCO-ova i sintetizatora učestanosti koji se mogu naći u literaturi [115, 170, 171]. Najčešće korišćen FoM koji uzima u obzir najviše karakteristika VCO-a je [115]:

$$FoM_{\text{VCO}} = 10 \log \left[\left(\frac{f_{\text{VCO}}}{f_m} \right)^2 \cdot \frac{1}{\mathcal{L}_{\text{VCO}}(f_m)} \cdot \frac{P_{\text{out}}}{P_{\text{VCO}}} \cdot \left(\frac{TR_{\text{VCO}}}{10} \right)^2 \right], \quad (60)$$

gde je f_{VCO} učestanost oscilovanja, \mathcal{L}_{VCO} fazni šum na učestanosti f_m od nosioca, P_{out} izlazna snaga, P_{VCO} potrošnja, a TR_{VCO} opseg podešavanja VCO-a. Opseg podešavanja VCO-a se izražava u procentima i dat je kao:

$$TR_{VCO} = 200 \cdot \frac{f_{VCO,max} - f_{VCO,min}}{f_{VCO,max} + f_{VCO,min}}, \quad (61)$$

gde je $f_{VCO,max}$ maksimalna, a $f_{VCO,min}$ minimalna učestanost VCO-a. Estimacija performansi data izrazom (60) ne uzima u obzir uticaj petlje, pa se ne može direktno primeniti na *fractional-N* PLL. Zato je u literaturi [170] izvedena nova metrika za PLL-ove koja uzima u obzir uticaj petlje:

$$FoM_{PLL} = 10 \log \left[\left(\frac{1 \text{ s}}{\sigma_{t,PLL}} \right)^2 \cdot \frac{1 \text{ mW}}{P_{PLL}} \right], \quad (62)$$

gde je $\sigma_{t,PLL}$ RMS vrednost apsolutnog džitera na izlazu PLL-a, a P_{PLL} ukupna potrošnja PLL-a. Ova mera kvaliteta se uglavnom koristi za ocenu performansi sintetizatora učestanosti u komunikacionim sistemima. Međutim, ona ne uzima u obzir parametre od interesa za FMCW radare, kao što su propusni opseg rampe, linearnost i brzina modulacije. Usled toga je neophodno definisati novu metriku za FMCW sintetizatore učestanosti koja će uzeti u obzir pomenute parametre. Takođe, FoM definisan izrazom (62) nije pogodan za poređenje različitih realizacija FMCW sintetizatora jer je vrednost RMS apsolutnog džitera, koja se dobija integracijom faznog šuma na širokom opsegu učestanosti oko nosioca, najčešće nepoznata. Zato se odgovarajući FoM može izvesti na osnovu jednačine (60) dodavanjem parametara relevantnih za sintezu FMCW signala. Kao rezultat, dobija se:

$$FoM_{FMCW} = 10 \log \left[\left(\frac{f_0 + \Delta f/2}{f_m} \right)^2 \cdot \frac{1}{\mathcal{L}(f_m)} \cdot \frac{P_{out}}{P_{FMCW}} \right] + 20 \log \left(\frac{TR_{FMCW}}{10} \right) \\ + 20 \log \left(\frac{1}{10^4 L} \right) + 20 \log \left(\frac{S}{1 \text{ GHz/ms}} \right), \quad (63)$$

gde je \mathcal{L} fazni šum na izlazu FMCW sintetizatora, P_{FMCW} ukupna potrošnja u FMCW modu, TR_{FMCW} opseg podešavanja FMCW sintetizatora, L linearnost, a S nagib rampe. Opseg podešavanja FMCW sintetizatora izražen u procentima je:

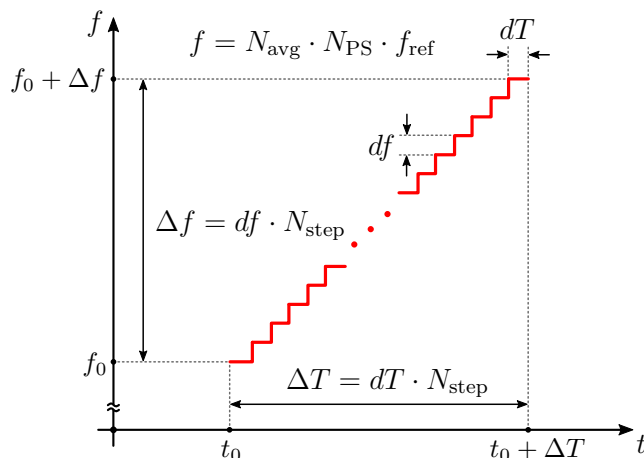
$$TR_{FMCW} = 200 \cdot \frac{f_{out,max} - f_{out,min}}{f_{out,max} + f_{out,min}} = 200 \cdot \frac{\Delta f}{2f_0 + \Delta f}, \quad (64)$$

gde je $f_{out,max}$ maksimalna, a $f_{out,min}$ minimalna učestanost rampe.

4 Programabilni FMCW generator rampi

Generisanje linearnih frekvencijskih rampi u sintetizatorima učestanosti na bazi *fractional-N* PLL-a se postiže pomoću digitalnog FMCW generatora. Ova kola se danas uglavnom realizuju van radarskog čipa koristeći FPGA platforme, što zahteva dodatne hardverske resurse i rezultuje povećanjem dimenzija konačnog proizvoda. Zato je u ovom poglavlju posebna pažnja posvećena programabilnim realizacijama FMCW generatora koje omogućavaju integraciju digitalnog i analognog dela sintetizatora u jedno integrisano kolo, pa tako smanjuju troškove izrade radarskog sistema.

Uloga FMCW generatora je da zajedno sa $\Sigma\Delta$ modulatorom upravlja MMD-om. Imajući u vidu diskretnu prirodu digitalnih kola, broj koraka FMCW generatora prilikom sinteze linearne frekvencijske rampe je ograničen, pa kao posledica srednja vrednost delioca MMD-a, $N_{avg} = \overline{N_{MMD}}$, ima stepeničast talasni oblik. Promena srednje vrednosti delioca MMD-a odgovara idealnoj promeni učestanosti prikazanoj na slici 60. U realnom slučaju, brzopromenljive varijacije su filtrirane unutar petlje *fractional-N* PLL-a pa se na izlazu FMCW sintetizatora dobija približno linearna frekvencijska rampa.



Slika 60: Osnovni parametri linearne frekvencijske rampe.

Ukupan broj srednjih vrednosti delioca MMD-a u jednoj linearnoj rampi je N_{step} . Broj različitih vremenski ekvidistantnih vrednosti N_{avg} utiče na propusni opseg rampe i vreme modulacije. Za izabrani propusni opseg rampe, poželjno je imati što veći N_{step} kako bi se postigla bolja linearnost. Pored vrednosti N_{step} , veoma

važan parametar linearne rampe je inkrement učestanosti, df . Ova dva parametra potpuno određuju propusni opseg rampe. Minimalna promena učestanosti prilikom sinteze linearne frekvencijske rampe je ograničena brojem bita $\Sigma\Delta$ modulatora i data je kao:

$$df_{\min} = \frac{f_{\text{ref}}}{2^p}. \quad (65)$$

Propusni opseg rampe ili ukupna devijacija učestanosti se određuje kao:

$$\Delta f = df \cdot N_{\text{step}} = \frac{f_{\text{ref}} \cdot N_{\text{PS}}}{2^p} \cdot D_{df} \cdot N_{\text{step}}, \quad (66)$$

gde je D_{df} digitalna celobrojna vrednost veća od nule koja definiše frekvencijski korak rampe. Još jedan važan parametar rampe je vremenski inkrement, dT , koji zajedno sa N_{step} određuje trajanje modulacije. Minimalno trajanje vremenskog koraka rampe zavisi od reda $\Sigma\Delta$ modulatora, pa je samim tim najmanji vremenski inkrement ograničen kao:

$$dT_{\min} = \frac{m+1}{f_{\text{ref}}}. \quad (67)$$

Vreme modulacije se izračunava kao:

$$\Delta T = dT \cdot N_{\text{step}} = \frac{1}{f_{\text{ref}}} \cdot D_{dT} \cdot N_{\text{step}}, \quad (68)$$

gde je D_{dT} digitalna celobrojna vrednost veća od m koja definiše vremenski korak rampe. Na ovaj način se parametrizovanjem linearne frekvencijske rampe, pomoću vrednosti N_{step} , D_{df} i D_{dT} , postiže potpuna programabilnost i omogućava relativno jednostavna hardverska realizacija.

Učestanost f_0 od koje počinje linearna rampa je često značajan faktor u FMCW radarskim senzorima, pre svega kod širokopojsnih sistema. Stoga se digitalni FMCW generator projektuje tako da učestanost f_0 bude podesiva, odnosno da važi:

$$f_0 = f_{0,\min} + \Delta f_0 = f_{0,\min} + df_0 \cdot D_{f_0}, \quad (69)$$

gde je $f_{0,\min}$ minimalna vrednost, Δf_0 relativna promena, df_0 inkrement početne učestanosti i D_{f_0} digitalna celobrojna vrednost pomoću koje se podešava f_0 . Vrednosti $f_{0,\min}$ i df_0 su konstante koje se definišu u hardverskoj realizaciji generatora.

Osnovni zahtevi savremenih FMCW generatora su opisani u odeljku 4.1, dok je pregled postojećih arhitektura dat u odeljku 4.2. U odeljku 4.3 je predložena nova hardverska arhitektura FMCW generatora za sintezu složenih talasnih oblika.

4.1 Osnovni zahtevi savremenih FMCW generatora

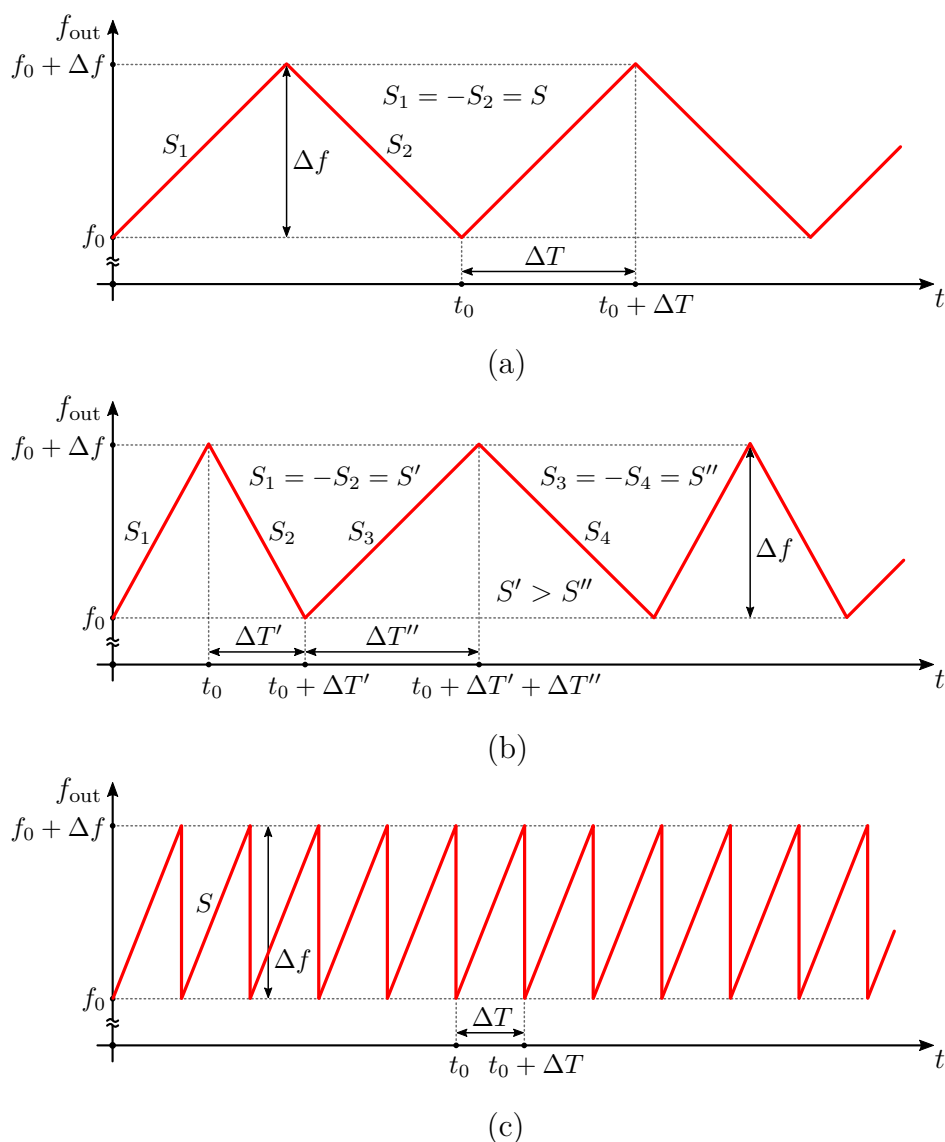
Savremeni FMCW radarski senzori koriste različite načine ekstrakcije rastojanja i relativne brzine, kao što je opisano u odeljku 2.1. Stoga se razlikuju i zahtevi za potrebnim talasnim oblicima i mogućnostima digitalnog FMCW generatora.

U slučaju konvencionalnog pristupa simultane ekstrakcije rastojanja i relativne brzine, potrebna je simetrična trougaona modulaciona šema koja je prikazana na slici 61(a). To znači da je pored rampe sa linearno rastućom frekvencijom izlaznog signala, potrebna i rampa sa linearno opadajućom frekvencijom. Apsolutna vrednost nagiba simetrične trougaone modulacione šeme je $S = \Delta f / \Delta T$. Mogućnost sinteze simetričnih trougaonih modulacionih šema je jedan od osnovnih zahteva koji se postavlja pred savremene FMCW generatore na osnovu koga se omogućava uspešna ekstrakcija rastojanja i relativne brzine za jednu metu u pokretu.

Međutim, situacija se značajno menja kada se u vidokrugu radarskog senzora nalaze dva ili više objekata. Tada se pomoću modulacione šeme sa slike 61(a) ne mogu jednoznačno odrediti rastojanja i relativne brzine meta. Zato su, kao što je to prikazano na slici 8, potrebne simetrične trougaone modulacione šeme različitog nagiba. Primer simetrične trougaone šeme sa više različitih nagiba je prikazan na slici 61(b). U ovom slučaju je na osnovu različitih apsolutnih vrednosti nagiba $S' = \Delta f / \Delta T'$ i $S'' = \Delta f / \Delta T''$ moguće jednoznačno detektovati dve mete u pokretu.

Alternativno klasičnom pristupu ekstrakcije rastojanja i relativne brzine, pomenute vrednosti je moguće proceniti pomoću 2D-FFT pristupa, pri čemu se koristi testerasti (engl. *Sawtooth*) talasni oblik učestanosti prikazan na slici 61(c). Ova modulaciona šema se sastoji iz sekvence uzlaznih rampi istog nagiba, što značajno pojednostavljuje hardversku arhitekturu FMCW generatora. U slučaju 2D-FFT ekstrakcije se na osnovu vršnih vrednosti spektra IF signala određuju rastojanja meta, dok se pomoću promene faze *beat* učestanosti za više uzastopnih rampi procenjuju relativne brzine. Kao što se može zaključiti na osnovu izraza (13), poželjno je da trajanje modulacije bude što kraće kako bi se povećala maksimalna relativna brzina koju radar može jednoznačno da detektuje. S druge strane, pod pretpostavkom da je broj rampi u frejmu isti, povećanjem vremena modulacije redukuje se rezolucija relativne brzine, pa izbor ΔT zavisi od konkretne primene radarskog senzora.

Pored pomenutih pristupa ekstrakcije u FMCW modu, složene modulacione šeme se koriste i u takozvanom hibridnom modu rada radarskog senzora [18]. Tada FMCW sintetizator učestanosti naizmenično radi u CW i FMCW modu, pri čemu se u Doplerovom modu određuje relativna brzina, a u FMCW modu rastojanje mete.



Slika 61: Tipični primeri talasnih oblika frekvencijski modulisanog signala: (a) simetrični trougaoni, (b) simetrični trougaoni sa različitim nagibima i (c) testerasti.

Tako se u jednom sistemu koriste prednosti dve različite vrste radara.

Prema tome, osnovni zahtevi koje savremeni FMCW generator treba da ispuni, kako bi podržao različite pristupe ekstrakcije i modove rada radarskog senzora, su:

- programabilnost parametara rampe N_{step} , D_{df} , D_{dT} i D_{f_0} ,
- mogućnost sinteze uzlaznih i silaznih frekvencijskih rampi, odnosno simetričnih trougaonih modulacionih šema,
- mogućnost naizmenične promene CW i FMCW moda rada, odnosno rada u hibridnom modu.

4.2 Pregled postojećih hardverskih arhitektura

Digitalni FMCW generatori se u većini radarskih senzora nalaze van čipa, kao što je to primer u literaturi [66, 77, 107]. Znatno manji broj FMCW generatora je potpuno integrisan zajedno sa mmWave sintetizatorom. Stoga je u ovoj disertaciji fokus na potpuno integrisanim realizacijama programabilnih generatora rampi.

Zanimljiva hardverska arhitektura digitalnog FMCW generatora koji ima mogućnost sinteze rekonfigurabilnih čirpova je predstavljena u literaturi [78]. Ovaj integrisani FMCW sintetizator koristi tehniku skokovite promene radne učestanosti (engl. *Frequency Hopping*). Osnovna ideja u pomenutom pristupu je da se pseudo-slučajno menjaju unapred definisane konfiguracije rampi, kako bi se na određenom radnom opsegu smanjila interferencija između različitih radarskih senzora. Tako se ujedno smanjuje i broj lažnih uzbuna kod automobilskih radara.

U literaturi [108] je predstavljen integrisani FMCW generator koji može da sintetiše linearne frekvencijske rampe podesivog propusnog opsega i trajanja modulacije. S obzirom na to da su u radu prikazani samo testerasti talasni oblici učestanosti, upotreba ove hardverske arhitekture je ograničena. Generator rampi predstavljen u literaturi [68] može da generiše CW signal, testerastu ili simetričnu trougaonu modulacionu šemu. To ga čini jednim od najkompletnijih generatora rampi koji su objavljeni do sada. Međutim, ovaj generator nema mogućnost sinteze simetričnih trougaonih modulacionih šema sa više različitih nagiba, pa samim tim ova hardverska arhitektura ne podržava standardnu tehniku izbegavanja lažnih meta.

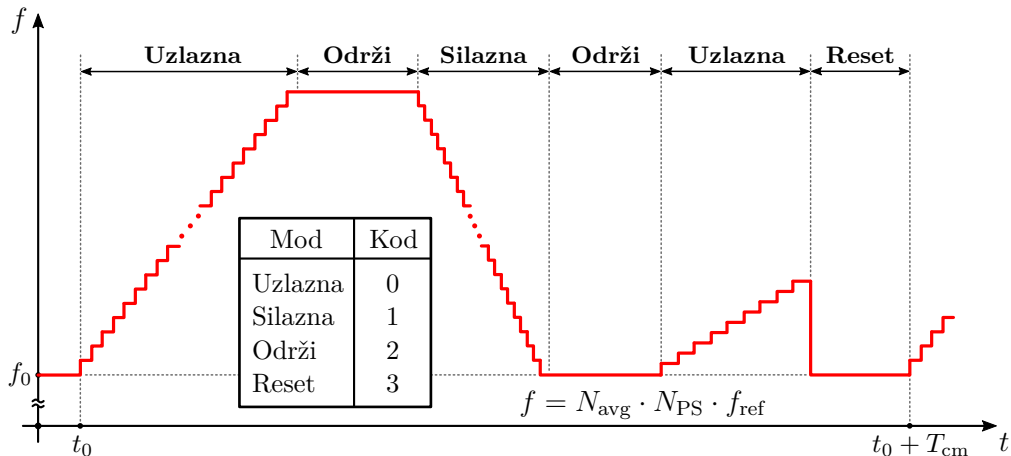
Digitalni FMCW generator rampi objavljen u literaturi [130] ima mogućnost sinteze simetričnih trougaonih modulacionih šema sa više različitih nagiba. Broj srednjih vrednosti delioca MMD-a i inkrement učestanosti su podesivi za svaku rampu i programiraju se preko SPI slejva. Međutim, nije navedeno da li sintetizator može da radi u hibridnom modu, što može biti značajan nedostatak ove arhitekture.

Stoga je najkompletnija hardverska arhitektura FMCW generatora prikazana u literaturi [80]. Ona omogućava sintezu složenih talasnih oblika, koji uključuju rad u hibridnom modu, kao i sintezu testerastih i simetričnih trougaonih modulacionih šema. Pored toga, moguće je generisati nesimetrične trougaone modulacione šeme proizvoljnih nagiba. Imajući u vidu da se pomoću ove hardverske arhitekture može sintetisati više različitih frekvencijskih rampi u jednoj kompleksnoj modulacionoj šemi, često se u literaturi sreće pod nazivom multičirp (engl. *Multichirp*) generator. Maksimalni broj različitih rampi u modulacionoj šemi zavisi od konkretne hardverske realizacije generatora i uglavnom se usvaja da to bude stepen broja dva.

4.3 Predlog efikasne hardverske realizacije

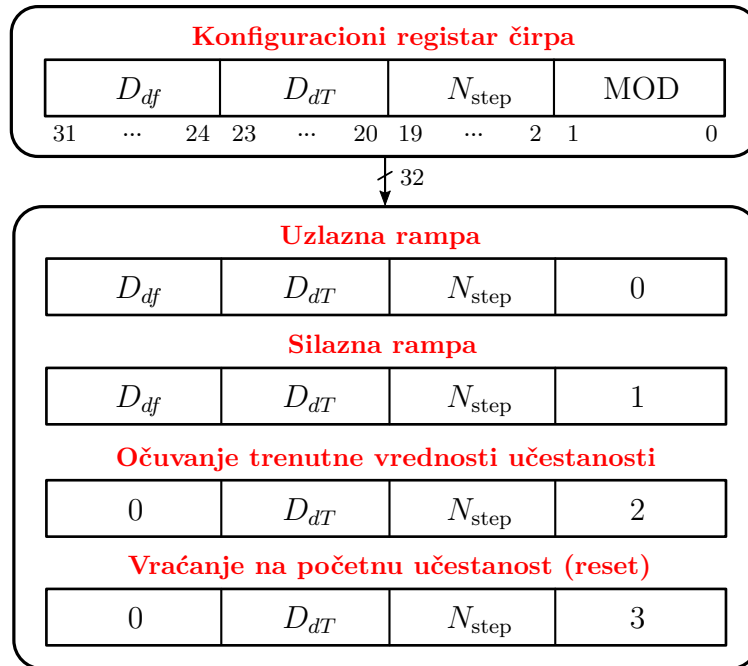
Zahvaljujući svim prednostima navedenim u odeljku 4.2 usvojena je arhitektura multičirp generatora. Stoga je u okviru ovog odeljka predložena efikasna hardverska realizacija potpuno programabilnog FMCW multičirp generatora.

Svaka konfiguracija čirpa ima radni mod, koji može biti uzlazni (engl. *Up-Chirp*), silazni (engl. *Down-Chirp*), očuvanje trenutne učestanosti (engl. *Hold*) ili povratak na početnu učestanost (engl. *Reset*). U modu očuvanja trenutne učestanosti se drži krajnja učestanost prethodne konfiguracije tačno definisan vremenski period. Na slici 62 je prikazan složeni talasni oblik učestanosti i označene su različite konfiguracije čirpova. Složena modulaciona šema se sastoji od šest različitih konfiguracija i ukupnog je trajanja T_{cm} . Multičirp generator je projektovan tako da se složena modulaciona šema periodično ponavlja.



Slika 62: Primer složene modulacione šeme sa različitim konfiguracijama čirpova.

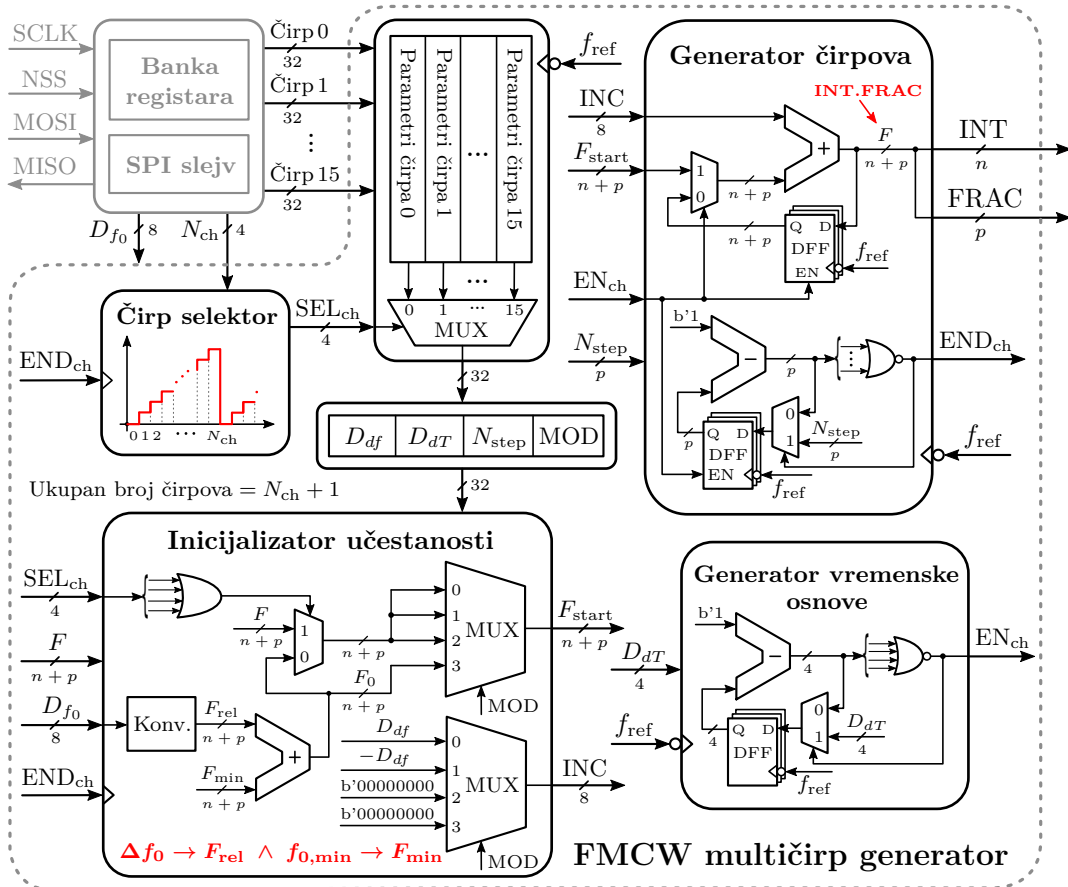
Izgled konfiguracionog registra čirpa je prikazan na slici 63. Konfiguracija čirpa je određena parametrima rampe MOD, N_{step} , D_{dT} i D_{df} . Odabrano je da jedan konfiguracioni registar čirpa ima 32 bita, odnosno četiri bajta kako bi se najbolje iskoristio adresni prostor. Mod čirpa zauzima prva dva bita konfiguracionog registra, dok se dalje nastavljaju 18-bitna vrednost N_{step} , 4-bitna vrednost D_{dT} i 8-bitna vrednost D_{df} . Na slici 63 su dodatno prikazana sva četiri moda čirpa. Uzlazna i silazna rampa su definisane parametrima N_{step} , D_{dT} i D_{df} , koji određuju propusni opseg rampe i trajanje modulacije na osnovu izraza (66) i (68), respektivno. U održi i reset konfiguracijama, parametar D_{df} ne nosi korisnu informaciju, pa je zato nula. Za razliku od D_{df} , parametri N_{step} i D_{dT} u održi i reset konfiguracijama su neophodni jer definišu trajanje modulacione pauze, odnosno rada u CW modu.



Slika 63: Konfiguracioni registar i četiri različita moda čirpa.

Predlog efikasne hardverske realizacije FMCW multičirp generatora prikazan je na slici 64 [172]. Osnovni podblokovi od kojih se sastoji FMCW generator rampi su inicijalizator učestanosti, podblok za smeštanje konfiguracija čirpova, čirp selektor, generator vremenske osnove i generator čirpova. Pored pomenutih podblokova, na slici 64 je sivom bojom prikazan SPI slejv zajedno sa bankom prihvatnih registara. Preko SPI slejva se učitavaju konfiguracije rampi koje se smeštaju u prihvatne registre, nakon čega multičirp generator može samostalno da sintetiše složene talasne oblike. Stoga su ova dva podbloka neophodna za postizanje potpune programabilnosti rampi FMCW sintetizatora. U prikazanom primeru, hardverska realizacija ima kapacitet od 16 podesivih konfiguracija čirpova. Broj aktivnih konfiguracija čirpova je jedinstveno određen vrednošću N_{ch} koja se smešta u poseban prihvatni registar. Podešavanjem ove vrednosti se može generisati proizvoljan niz čirpova. Ukupan broj aktivnih čirpova u kompleksnoj modulacionoj šemi je za jedan veći od vrednosti N_{ch} .

Ulazi u multičirp generator su podaci o konfiguracijama čirpova, 8-bitna vrednost D_{f_0} i 4-bitna vrednost N_{ch} . Na osnovu ovih parametara generator sintetiše n -bitne INT i p -bitne FRAC izlaze. INT i FRAC formiraju $(n+p)$ -bitnu vrednost INT.FRAC, koja je na slici 64 označena kao F . Vrednost F odgovara digitalnoj predstavi trenutne srednje vrednosti delioca MMD-a i ujedno definiše učestanost FMCW sintetizatora. Multičirp generator menja stanje na silaznu ivicu referentnog takta,



Slika 64: Hardverska arhitektura programabilnog FMCW multičirp generatora.

čime se omogućava promena izlaznih signala INT i FRAC u bezbednom trenutku u kome nema promena unutar $\Sigma\Delta$ modulatora. Imajući u vidu da $\Sigma\Delta$ modulator radi na uzlaznu ivicu signala koji je fazno sinhronisan sa referentnim taktom, izbegava se potencijalno stanje visoke impedanse koje može dovesti do naglih promena izlazne učestanosti i uzrokovati nelinearnost frekvencijske rampe. Pored toga, dodavanjem jednog registra između FMCW generatora i $\Sigma\Delta$ modulatora, koji će raditi u takt domenu MMD-a, izbegavaju se potencijalni sinhronizacioni problemi [173].

Inicijalizator učestanosti izračunava početnu učestanost i frekvencijski inkrement tekuće konfiguracije. U zavisnosti od moda čirpa, početna učestanost se određuje na osnovu parametra D_{f_0} ili krajnje učestanosti prethodne konfiguracije. Konstante $f_{0,\min}$ i df_0 iz izraza (69) su ugrađene u hardversku realizaciju podbloka za inicijalizaciju učestanosti, što rezultuje digitalnom vrednošću F_{\min} koja odgovara najmanjoj početnoj učestanosti. Na osnovu kola za konverziju i parametra D_{f_0} , određuje se digitalna vrednost F_{rel} koja odgovara relativnoj promeni početne učestanosti. Zbir

F_{\min} i F_{rel} se vodi na multiplekser koji u zavisnosti od moda čirpa propušta početnu vrednost F_0 ili trenutnu vrednost F . Inkrement učestanosti trenutne konfiguracije čirpa, INC, je takođe određen pomoću multipleksera koji u zavisnosti od moda čirpa propušta jednu od vrednosti D_{df} , $-D_{df}$ ili 0.

Pomoću generatora vremenske osnove i parametra D_{dT} određuje se vremenski inkrement tekuće konfiguracije. To se postiže na osnovu izlaznog signala EN_{ch} koji direktno kontroliše generator čirpova, odnosno predstavlja radni takt akumulatora čiji je izlaz F . Na osnovu parametra N_{step} određuje se trajanje čirpa. Kada brojač na dole dođe do nule, tada se aktivira signal END_{ch} koji menja stanje selektora čirpa i uvećava SEL_{ch} za jedan. Ova vrednost kontroliše multiplekser koji omogućava učitavanje sledeće konfiguracije čirpa. Čirp selektor inkrementira SEL_{ch} sve dok vrednost ne bude jednaka N_{ch} , nakon čega se brojač čirpova resetuje na nulu. Tako se ciklus ponavlja sa periodom T_{cm} i kontinualno sintetišu složene modulacione šeme.

Izlazi FMCW generatora INT i FRAC se preko sinhronizacionog registra vode na ulaz $\Sigma\Delta$ modulatora koji kontrolnim signalima $C_{n..1}$ upravlja MMD-om. Prilikom sinteze širokopojasnih rampi može doći do pojave gličeva, usled razlike u vremenu propagacije celobrojnog i razlomljenog dela delioca od izlaza FMCW generatora do sabirača na izlazu $\Sigma\Delta$ modulatora. Neželjene nagle promene izlazne učestanosti se dešavaju pri prolasku srednje vrednosti delioca MMD-a kroz celobrojne vrednosti. Razlog je to što razlomljeni deo delioca propagira kroz akumulatore $\Sigma\Delta$ modulatora, dok celobrojni deo direktno dolazi na sabirač. Ovaj problem se rešava dodavanjem kašnjenja na putanji celobrojnog dela delioca koje je jednako $m \cdot T_{\text{ref}}$ [173]. Tako se kompenzuje kašnjenje uzrokovano MASH $\Sigma\Delta$ modulatorom m -tog reda.

Programabilni FMCW generator rampi predstavlja složeno digitalno kolo koje sadrži veliki broj logičkih kola i tranzistora, pa je prilikom implementacije neophodan digitalni pristup projektovanja. To podrazumeva više projektnih faza koje obuhvataju projektovanje na nivou logičkih kola, sintezu i fizičku realizaciju kola. Projektovanje na nivou logičkih kola i sinteza se vrše pomoću softverskih alata kao što su RC Compiler firme Cadence ili Design Compiler firme Synopsys. Nakon uspešne sinteze na nivou tranzistora, vrši se projektovanje fizičke realizacije u nekom od naprednih softverskih alata, kao što su Encounter firme Cadence ili IC Compiler firme Synopsys. S obzirom na to da digitalni pristup projektovanja integrisanih kola prevazilazi obim ove disertacije, implementacija multičirp generatora nije detaljno diskutovana. Predložena hardverska arhitektura sa slike 64 je iskorišćena u oba primera širokopojasnih FMCW sintetizatora prikazanih u poglavljima 5 i 6.

5 Projektovanje FMCW sintetizatora učestanosti za rad u 60 GHz nelicenciranom opsegu

Primena SRR senzora je danas veoma rasprostranjena zahvaljujući napretku tehnologije i velikom stepenu integracije. Imajući u vidu relativno malo rastojanje objekata od radara, glavni izazov ovih sistema je preciznost i tačnost određivanja rastojanja. Ovi sistemski zahtevi se direktno preslikavaju na projektne parametre FMCW sintetizatora. Među njima su ključni potreba za izuzetnom linearnošću rampi, velikim propusnim opsegom i brzinom modulacije. U okviru ovog poglavlja je projektovan FMCW sintetizator za SRR senzore koji radi u nelicenciranom opsegu od 57 do 64 GHz. Projektovani sintetizator je potpuno integrisan zajedno sa predajnikom, prijemnom LO putanjom, SPI slejvom i bankom registara na istom radarskom čipu. Ovaj čip ujedno predstavlja prvu verziju integrisanog mmWave radarskog modula razvijenog u firmi NovelIC.

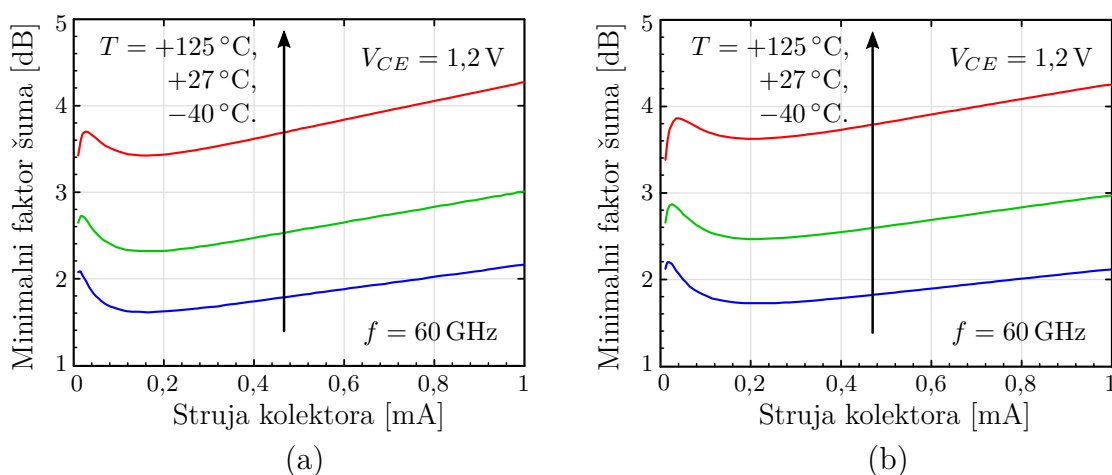
Prilikom razvoja FMCW sintetizatora za rad u 60 GHz nelicenciranom opsegu korišćena je predložena metodologija projektovanja opisana u odeljku 3.5. Kako bi se postigla izuzetna linearnost rampi izabrana je topologija FMCW sintetizatora na bazi *fractional-N* PLL-a, kao što je to objašnjeno u odeljku 2.3. S obzirom na to da su izbori tehnologije i hardverske arhitekture međusobno zavisni, u okviru ovog projektnog primera je odabran 0,13 μm SiGe BiCMOS tehnološki proces koji omogućava korišćenje hardverske arhitekture sa širokopojasnim VCO-om na osnovnoj učestanosti.

Osnovne karakteristike i ograničenja odabranog tehnološkog procesa su prikazani u odeljku 5.1. Detaljno su analizirani dostupni metalni slojevi, kao i osnovne karakteristike bipolarnih tranzistora, varaktora i MIM kondenzatora neophodnih u širokopojasnim mmWave VCO-ovima. Frekvencijski plan FMCW sintetizatora i proračun parametara petlje su razmatrani u odeljku 5.2. Nakon toga je u odeljku 5.3 predstavljena arhitektura sistema i projektovanje ključnih podblokova. Na kraju su u odeljku 5.4 prikazani rezultati merenja fabrikovanog čipa, kao i poređenje sa karakteristikama iz objavljenih radova koji predstavljaju poslednju reč tehnike.

5.1 Osnovne karakteristike i ograničenja IHP-ovog SG13S tehnološkog procesa

Osnovne karakteristike odabranog tehnološkog procesa SG13S [69] instituta IHP (Innovations for High Performance Microelectronics) iz Frankfurta na Odri su date u Tabeli 4. U procesu formiranja poluprovodničkih komponenti (engl. *Front End Of Line* - FEOL) su podržani MOS tranzistori sa tankim i debelim gejtom za napone napajanja 1,2 i 3,3 V, respektivno. Tranzistori sa debelim gejtom i $L_{\min} = 330$ nm se prioritarno koriste u ulazno/izlaznim periferijama i kolima sa velikim dinamičkim opsegom, dok se brzi tranzistori sa tankim gejtom i $L_{\min} = 130$ nm koriste najviše u jezgru integrisanog kola, kao i u gusto popunjenim digitalnim delovima kako bi se smanjila ukupna površina čipa. Pored modela za osnovni opseg učestanosti, dostupni su i RF modeli CMOS tranzistora koji su tačni do deset gigaherca.

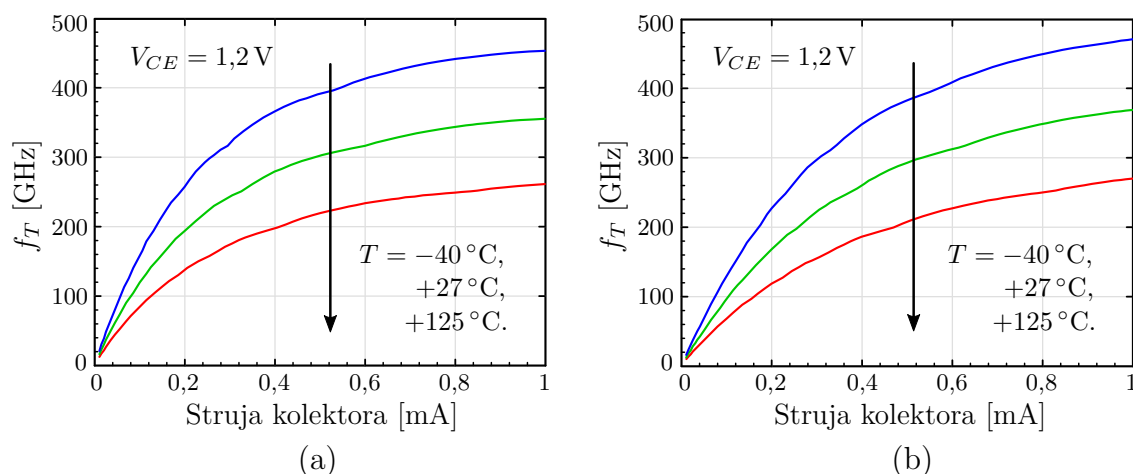
SG13S proces poseduje SiGe:C HBT-ove sa strujnim pojačanjem oko 900, učestanošću jediničnog pojačanja 240 GHz i maksimalnom radnom učestanošću 330 GHz. Probojni napon između kolektora i emitera je 1,7 V. Model HBT-a omogućava izbor dve predefinisane površine emitera pri čemu je broj paralelnih segmenata podesiv. Prilikom projektovanja mmWave VCO-ova od interesa je polarisati bipolarni tranzistor tako da ima što manji faktor šuma. Na slici 65 je prikazan rezultat parametarske simulacije minimalnog faktora šuma HBT-a u funkciji struje kolektora za dve različite površine emitera, (a) $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ i (b) $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$. Pored toga, prikazana je i temperaturna zavisnost minimalnog faktora šuma na 60 GHz i za napon između kolektora i emitera 1,2 V.



Slika 65: Minimalni faktor šuma HBT-a na različitim temperaturama i za površine emitera (a) $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ i (b) $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$.

Bipolarni tranzistori sa manjom površinom emitera imaju manji minimalni faktor šuma za oko 0,2 dB pri relativno malim polarizacionim strujama ($< 0,6$ mA), pa ih je zato poželjno koristiti u oscilatorima kako bi se minimizovao njihov doprinos ukupnom faznom šumu. Međutim, potrebno je voditi računa o tome da ovi tranzistori usled smanjene površine emitera imaju manji broj fizičkih kontakta pa je u slučaju velike polarizacione struje elektromigracija ograničavajući faktor. Stoga se optimalna polarizaciona struja za postizanje relativno malog faktora šuma jediničnog HBT-a površine emitera $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ nalazi u opsegu 100–250 μA .

S obzirom na to da strujno pojačanje tranzistora drastično opada na visokim učestanostima od velikog interesa je uticaj polarizacione struje na f_T . Učestanost jediničnog pojačanja na različitim temperaturama i za dve površine emitera, (a) $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ i (b) $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$, je prikazana na slici 66.



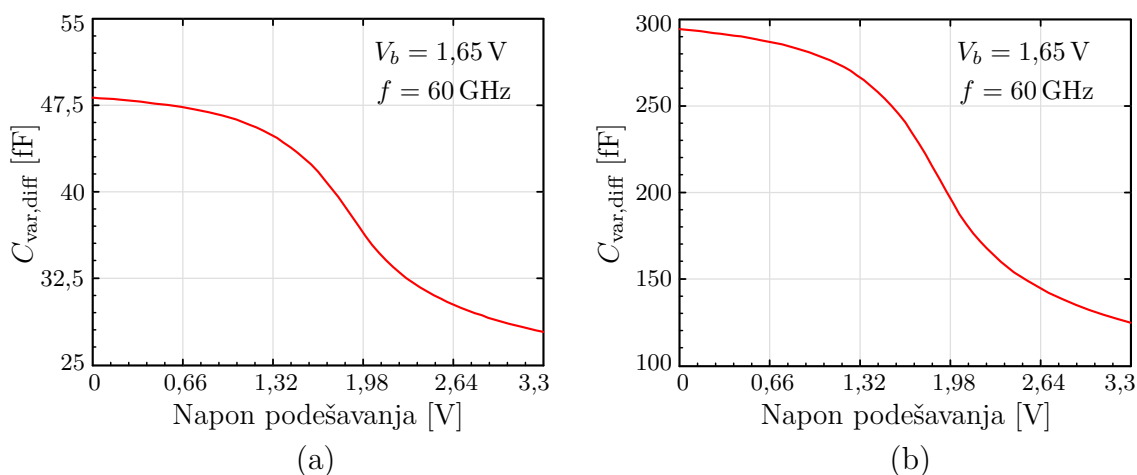
Slika 66: Učestanost jediničnog pojačanja HBT-a na različitim temperaturama i za površine emitera (a) $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$ i (b) $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$.

Na osnovu slika 65 i 66 se može zaključiti da radna temperatura ima veliki uticaj na karakteristike bipolarnih tranzistora. Zahtevi za relativno malim šumom i izuzetno visokom radnom učestanošću rezultuju kompromisnim izborom polarizacije tranzistora koji uglavnom daje veliku gustinu struje kolektora. Visoka disipacija tranzistora ima negativne posledice po zagrevanje okoline pa samim tim i na degradaciju njegovih karakteristika. Kao rezultat porasta radne temperature dolazi do povećanja šuma HBT-a i smanjenja strujnog pojačanja. Zagrevanje okoline se ne može potpuno izbeći i zato je potreban kompromis prilikom odabira broja segmenata i dimenzionisanja emitera u osetljivim milimetarskim kolima, kao što je VCO. U slučaju veoma visokih polarizacionih struja poželjno je dodati posebne metalne strukture oko HBT-a koje odvedu toplotu i na taj način smanjuju efekat zagrevanja.

Pored bipolarnih tranzistora, druga grupa esencijalno važnih komponenata u mmWave sintetizatorima učestanosti su naponski kontrolisani kondenzatori, odnosno varaktori. U SG13S tehnološkom procesu je dostupan model diferencijalnog akumulacionog nMOS (A-nMOS) varaktora sa debelim oksidom i dve površine gejta, $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$, kao i podesivim brojem paralelnih segmenata. RF model varaktora je usklađen sa merenjima do 16 GHz, što znači da se ne može sa pouzdanošću koristiti pri projektovanju milimetarskih kola. Iz ovog razloga je posebna pažnja posvećena razvoju empirijskog modela mmWave varaktora. Glavni nedostaci postojećeg RF modela na visokim učestanostima su značajno manje parazitne otpornosti i kapacitivnosti. To rezultuje velikim faktorom dobrote koji nije moguće postići u milimetarskom opsegu. Zato je na poseban zahtev fabrika čipova dostavila dodatna merenja specifičnih struktura varaktora poznatih polarizacija. Rezultati merenja pokrivaju opseg od 1 do 60 GHz sa veoma grubim korakom i samo pet tačaka preko 30 GHz. Na osnovu ovih merenja je formiran poboljšani model varaktora za mmWave primene pomoću koga je projektovana inicijalna verzija širokopojasnog VCO-a za 60 GHz-ni opseg. Rezultati merenja prve verzije čipa su pokazali da je poboljšani model varaktora previše konzervativan, imajući u vidu to da je radni opseg izmerenog VCO-a pomeren za par gigaherca naviše, a amplituda jezgra veća od predviđene. Drugim rečima, kapacitivnost u poboljšanom modelu je veća od stvarne, dok je faktor dobrote nešto manji u odnosu na izmerene rezultate. Stoga je model mmWave varaktora dodatno kalibrisan tako što su blago smanjene parazitne otpornosti i ukupna kapacitivnost. Kao rezultat, nakon fabrikacije sledeće verzije čipa je dobijen opseg podešavanja VCO-a koji pokriva kompletan nelicencirani opseg od 57 do 64 GHz, dok je slaganje rezultata merenja i simulacija veoma dobro. U okviru ove disertacije je prikazana samo prva verzija čipa.

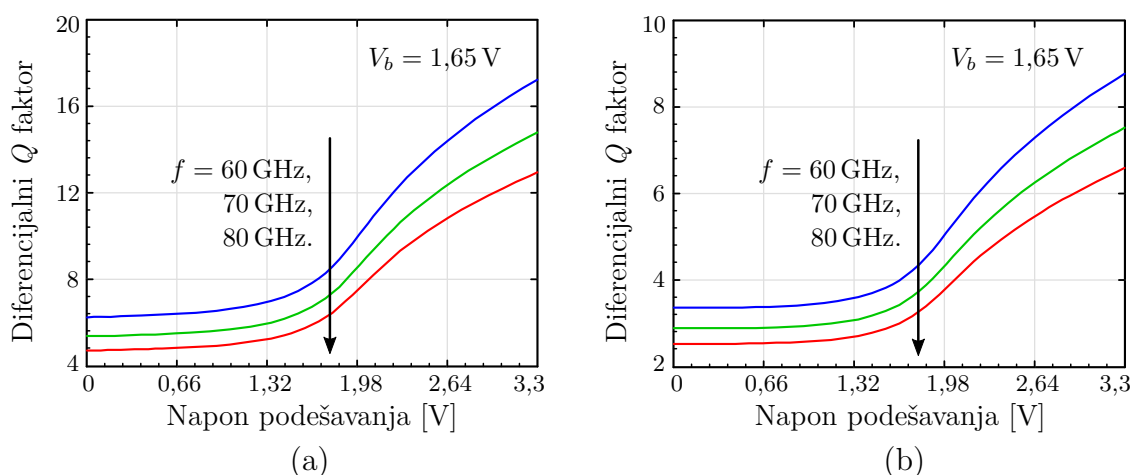
Kapacitivnost kalibrisanog mmWave modela varaktora u funkciji napona podešavanja za strukture sa deset paralelnih segmenata površine $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$ je simulirana pomoću Spectre simulatora i rezultati su prikazani na slici 67(a) i (b), respektivno. Može se zaključiti da je glavna prednost varaktora sa dužim gejtom ($L = 0,8 \mu\text{m}$) u odnosu na varaktor sa kraćim gejtom ($L = 0,3 \mu\text{m}$) veći odnos $C_{\text{var,max}}/C_{\text{var,min}}$ koji iznosi oko 2,4. Za razliku od toga varaktori sa kraćim gejtom imaju ovaj odnos oko 1,7. Stoga varaktori sa dužim gejtom imaju prednost kada god je potrebno postići veliki opseg podešavanja VCO-a.

Diferencijalni faktor dobrote strukture varaktora sa deset paralelnih segmenata površine $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$ je prikazan na slici 68(a)



Slika 67: Kapacitivnost diferencijalne strukture varaktora od deset paralelnih segmenata površine (a) $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i (b) $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$.

i (b), respektivno. Varaktori sa kratkim gejtom imaju značajno veći faktor dobrote, pogotovo na visokim učestanostima. To je uglavnom posledica otpornosti gejta uzrokovana dužinom kanala. Stoga je prilikom odabira dužine gejta varaktora neophodno napraviti kompromis između faktora dobrote i odnosa $C_{\text{var,max}}/C_{\text{var,min}}$.

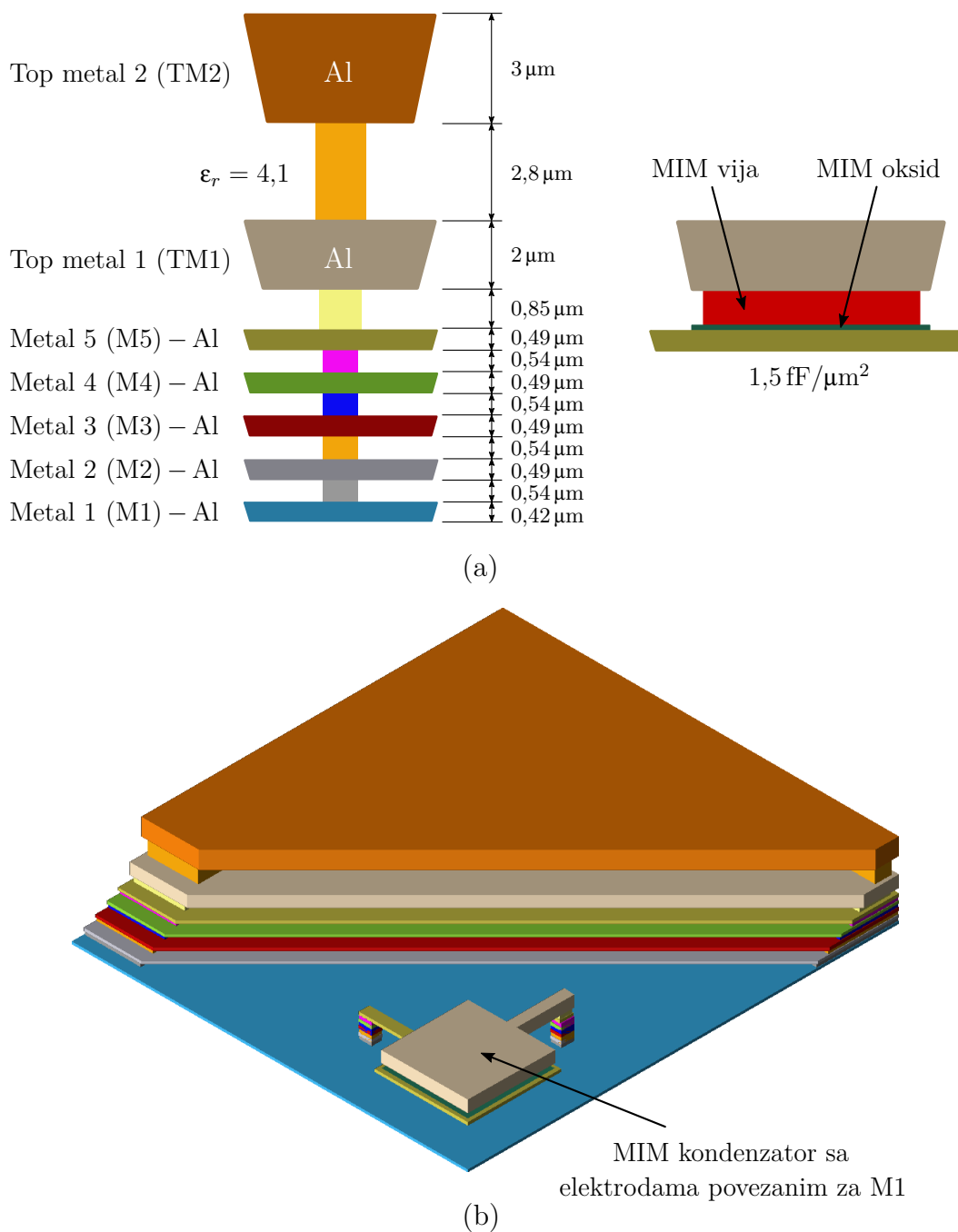


Slika 68: Diferencijalni faktor dobrote strukture varaktora od deset paralelnih segmenata površine (a) $A_g = 3,74 \mu\text{m} \times 0,3 \mu\text{m}$ i (b) $A_g = 9,74 \mu\text{m} \times 0,8 \mu\text{m}$.

Važno je napomenuti da fliker šum nije uračunat u modelu varaktora, pa su stoga rezultati simulacija faznog šuma VCO-a blago optimistični što je potvrđeno merenjima. Karakteristike varaktora su veoma stabilne sa varijacijom temperature.

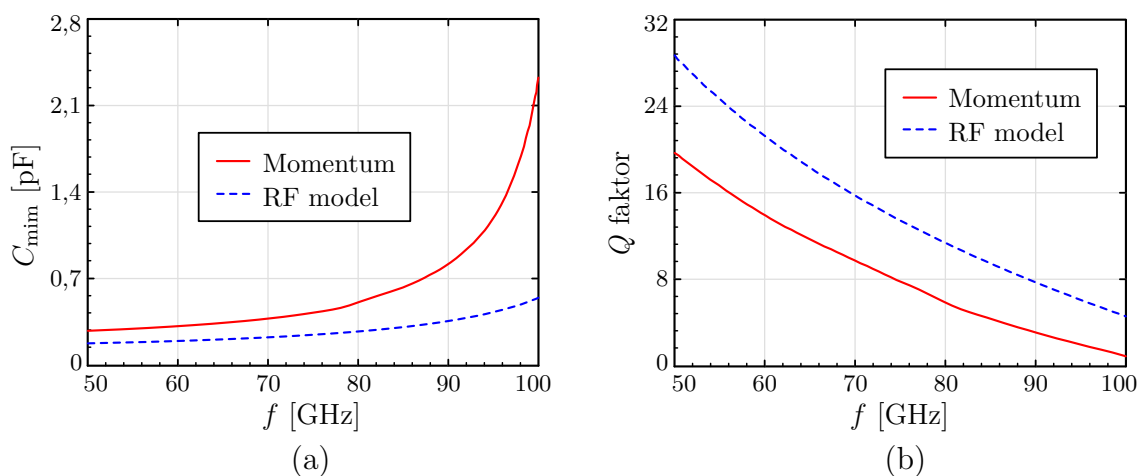
Još jedan važan faktor prilikom projektovanja integrisanih kola za rad u mmWave opsegu je formiranje metalnih interkonekcija (engl. *Back End Of Line* - BEOL). Debljina, materijal, broj metalnih slojeva i vrsta dielektrika između određuju osnovne

karakteristike pasivnih mmWave struktura, kao što su kalemovi, MIM kondenzatori, mreže za prilagođenje i transformatori. BEOL IHP-ovog procesa SG13S sadrži sedam aluminijskih (Al) slojeva, od kojih su dva debela površinska metala i pet tankih za formiranje lokalnih interkonekcija. Poprečni presek BEOL-a je prikazan na slici 69(a), dok je 3D prikaz dat na slici 69(b).



Slika 69: BEOL IHP-ovog procesa SG13S: (a) poprečni presek i (b) 3D pregled.

Dva površinska metala, TM2 i TM1, su debljine 3 i 2 μm , respektivno, i uglavnom se koriste za projektovanje kalemova i transformatora. SG13S tehnološki proces poseduje MIM kondenzatore, koje obrazuje tanak sloj oksida između metala 5 (M5) i TM1. Površinska kapacitivnost MIM strukture na relativno niskim učestanostima je oko 1,5 fF/ μm^2 . Model MIM kondenzatora u osnovnom opsegu je frekvencijski nezavisan pri čemu se kapacitivnost izračunava isključivo na osnovu efektivne površine. Pored osnovnog modela postoji i frekvencijski zavisani RF model MIM kondenzatora kome odgovara specifična fizička realizacija. RF MIM kondenzator poseduje veliki broj kontakata za supstrat, predefinisane ulazno/izlazne priključke i zabranu metalizacije ispod M5, pa samim tim nije pogodan za širu upotrebu. Takođe, ovaj model daje značajno manju vrednost kapacitivnosti u milimetarskom opsegu učestanosti, što je pokazano elektromagnetskim simulacijama. Stoga su MIM kondenzatori u okviru ove disertacije najčešće simulirani kao kola sa distribuiranim parametrima. Primer poređenja kapacitivnosti i faktora dobrote MIM kondenzatora površine 12 $\mu\text{m} \times 12 \mu\text{m}$, dobijenih simulacijom RF modela i pomoću planarnog EM simulatora, je prikazan na slici 70. Korišćen je Momentum EM simulator na bazi metode momenata (engl. *Method of Moments* - MoM), firme Keysight.



Slika 70: Poređenje karakteristika MIM kondenzatora dimenzija 12 $\mu\text{m} \times 12 \mu\text{m}$ dobijenih simulacijom različitih modela: (a) kapacitivnost i (b) faktor dobrote.

Modeli fizičkih komponenta SG13S tehnološkog procesa su dostupni u Virtuoso i ADS projektним okruženjima firmi Cadence i Keysight, respektivno. U okviru ove doktorske disertacije, mmWave blokovi su razvijani paralelno u Virtuoso i ADS projektним okruženjima, dok je na kraju integracija celog sistema urađena u Virtuoso-u. Prednost rada u ADS-u je dostupnost EM simulatora čiji se rad zasniva na korišćenju metode konačnih elemenata (engl. *Finite Element Method* - FEM).

5.2 Frekvencijski plan i određivanje parametara petlje

Glavni zahtevi projektovanog FMCW sintetizatora su veoma širok propusni opseg, poželjno širi od nelicenciranog opsega 57–64 GHz, i mogućnost sinteze brzih i visoko linearnih frekvencijskih rampi. Kako bi se postigao propusni opseg rampe veći od 7 GHz, potrebno je prilikom projektovanja uzeti u obzir dodatne margine zbog uticaja PVT varijacija. U slučaju mmWave VCO-ova, ove varijacije mogu menjati radnu učestanost i do $\pm 25\%$. Stoga je poželjno ciljati opseg podešavanja VCO-a veći od 10 GHz oko centralne učestanosti opsega 60,5 GHz. Uzimajući u obzir napon napajanja koji je u ovom slučaju 3,3 V, činjenicu da stujne pumpe visokih performansi najčešće rade u opsegu od 10 do 90% napona napajanja i nelinearnu $C-V$ zavisnost varaktora, može se zaključiti da je potrebna prosečna osetljivost VCO-a oko 4 GHz/V. Takođe, potrebno je imati u vidu da se osetljivost VCO-a menja u zavisnosti od kontrolnog napona, kao i da se njena vrednost, ukoliko se ne koriste specijalne tehnike linearizacije mmWave varaktora, može menjati i do pet puta na celom opsegu podešavanja. Varijacija vrednosti K_{VCO} uzrokuje promene dinamike petlje i uvek je poželjno da bude što manja.

Izbor f_{ref} određuje radnu učestanost PFD-CP lanca i $\Sigma\Delta$ modulatora, pa samim tim definiše brzinu promene trenutne vrednosti delioca u MMD-u. Visoka referentna učestanost ima za posledicu smanjenje faktora multiplikacije šuma pomenutih blokova i bolju izlaznu rezoluciju učestanosti usled bržeg rada $\Sigma\Delta$ modulatora, odnosno brže promene vrednosti delioca u petlji. Pored toga, odabir reference umnogome zavisi od dostupnosti i cene. Na tržištu je dostupan širok spektar čipova koji sintetišu malošumnu referentnu učestanost, dok cena varira u zavisnosti od radne učestanosti, čistote izlaznog signala, proizvođača i drugih karakteristika. U okviru ove disertacije je kao optimalno rešenje usvojena učestanost reference od 250 MHz sa CMOS izlazom i napajanjem 3,3 V. Ova učestanost omogućava zadovoljavajuću brzinu rada petlje i $\Sigma\Delta$ modulatora, što za posledicu ima odličnu linearnost frekvencijske rampe. Realizacija digitalnog dela, koji radi na 250 MHz i uključuje $\Sigma\Delta$ modulator i FMCW generator predložen u odeljku 4.3, je izvodljiva pomoću CMOS tranzistora sa tankim gejtom minimalne dužine kanala 130 nm. Izabrana učestanost f_{ref} predstavlja graničnu vrednost za koju su dostupne spoljne reference čija se izlazna vrednost napona menja u celom opsegu napajanja 0–3,3 V. Na učestanostima preko 250 MHz se najčešće na izlazu ovakvih čipova koristi diferencijalno signaliziranje sa malim amplitudama (engl. *Low-Voltage Differential Signaling - LVDS*).

Na osnovu poznatih vrednosti f_0 , Δf i f_{ref} se izračunava ukupna vrednost de-

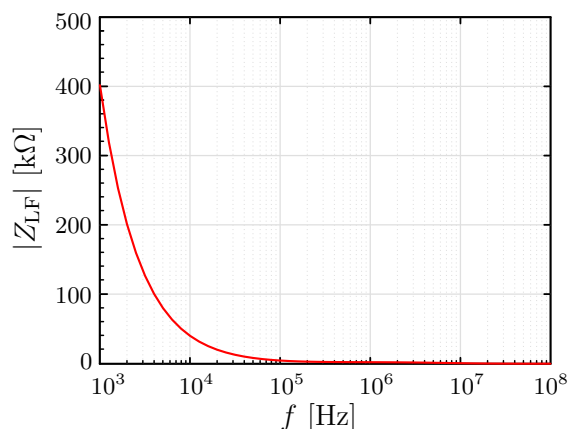
lioca u povratnoj sprezi, koja u ovom projektnom primeru za centralnu učestanost 60,5 GHz iznosi 242. Usvojena je vrednost delioca mmWave preskalera $N_{PS} = 4$, što rezultuje izlaznim signalima čija je učestanost oko 15 GHz. Na ovaj način se izbegava rad MMD-a u mmWave opsegu učestanosti, odnosno potreba za podesivim deliteljima velike potrošnje i složenosti. Imajući u vidu podobnost hardverske realizacije MMD-a, optimalni opseg promene delioca je od 48 do 79. Ovaj opseg zahteva 5-bitnu kontrolu kojom FMCW generator i $\Sigma\Delta$ modulator postavljaju trenutnu vrednost N_{MMD} . Stoga je ukupni delilac u petlji promenljiv u opsegu od 192 do 316 sa korakom 4, što daje izlaznu učestanost u opsegu 48–79 GHz kada PLL radi u *integer-N* modu. Širi opseg vrednosti N_{tot} od potrebnog je poželjan pre svega zbog nesigurnosti i neizvesnosti koje postoje uvek prilikom prve fabricacije mmWave VCO-a u novom tehnološkom procesu. Dešava se da izmerena radna učestanost VCO-a bude značajno pomerena u odnosu na projektovanu usled velikog broja efekata među kojima je presudan tačnost modela u mmWave opsegu. Zato je u ovom primeru omogućeno zaključavanje PLL-a na širokom opsegu i testiranje prototipa čak i kada je centralna učestanost VCO-a pomerena za više gigaherca.

Zahtev za izuzetnom linearnošću frekvencijske rampe i usvojena referentna učestanost dominantno utiču na potreban broj bita u akumulatorima $\Sigma\Delta$ modulatora, koji se može odrediti na osnovu sistemskih simulacija skalabilnog Verilog-A modela FMCW sintetizatora. Kao rezultat optimizacije linearnosti rampe i kompromisa između složenosti hardvera i performansi, usvojene su MASH 1-1-1 arhitektura $\Sigma\Delta$ modulatora i vrednost $p = 18$. Rezolucija izlazne učestanosti sintetizatora se izračunava na osnovu jednačine (44), koja za 18-bitne akumulatore daje $f_{res} \approx 3,81$ kHz.

Nakon odabira f_{ref} i određivanja N_{PS} i N_{MMD} , potrebno je na osnovu glavnih zahteva FMCW sintetizatora, faznog šuma, linearnosti rampe i brzine modulacije, odrediti optimalnu dinamiku petlje. Zato je razvijen Verilog-A model u kome su parametri esencijalnih blokova sintetizatora podesivi. Pomoću Verilog-A modela FMCW sintetizatora se može brzo proceniti uticaj osnovnih parametara na dinamiku petlje, ali i uticaj neželjenih efekata kao što su kvantizacioni šum $\Sigma\Delta$ modulatora, nelinearnost krive podešavanja VCO-a, neusklađenost struja CP-a itd.

Propusni opseg petlje i stabilnost predstavljaju dva najvažnija parametra petlje, koje je potrebno odrediti. Na osnovu zahteva za što boljom linearnošću rampe, malim faznim šumom i velikom brzinom modulacije se može zaključiti da je neophodno pronaći optimalnu vrednost f_C koja će predstavljati kompromisno rešenje. Naime, prilikom izbora f_C zahtevi za odličnom linearnošću i velikom brzinom rampe su

oprečni kao što je to opisano u odeljku 3.4, dok uticaj f_C na fazni šum zavisi od više faktora, kao što je objašnjeno u odeljku 3.3. U ovom projektnom primeru je poželjno postići maksimalnu brzinu modulacije veću od 50 GHz/ms. Za ovu brzinu modulacije se na osnovu izraza (2) za statičku metu na rastojanju 30 cm od radara dobija $f_b \approx 100$ kHz. Simulacijom Verilog-A modela FMCW sintetizatora je procenjen maksimalni propusni opseg petlje za koji se pomoću jednačine (26) dobija linearnost rampe bolja od 0,01% i iznosi $f_C = 750$ kHz, pri čemu je sistem stabilan i važi $\theta_{PM} = 60^\circ$. Stoga su ove vrednosti parametara f_C i θ_{PM} optimalne i na osnovu njih je projektovan filter petlje. Imajući u vidu vrednosti ovih parametara i dozvoljenu površinu čipa, pronađen je kompromis između vrednosti komponenata LF-a i struje CP-a. S obzirom na to da je u nepropusnom delu poželjno da karakteristika LF-a bude strma kako bi se filtrirale neželjene spektralne komponente sabrane na kontrolni napon VCO-a, projektovan je pasivni LF trećeg reda. Usvojeno je $I_{CP} = 100 \mu\text{A}$, što za posledicu ima transimpedansu LF-a prikazanu na slici 71.



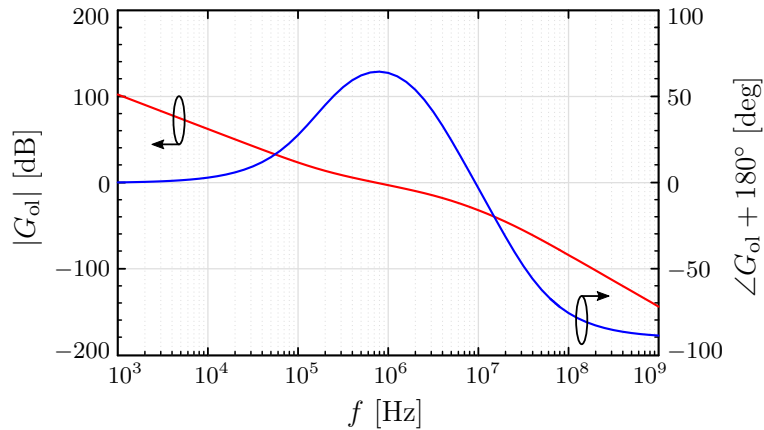
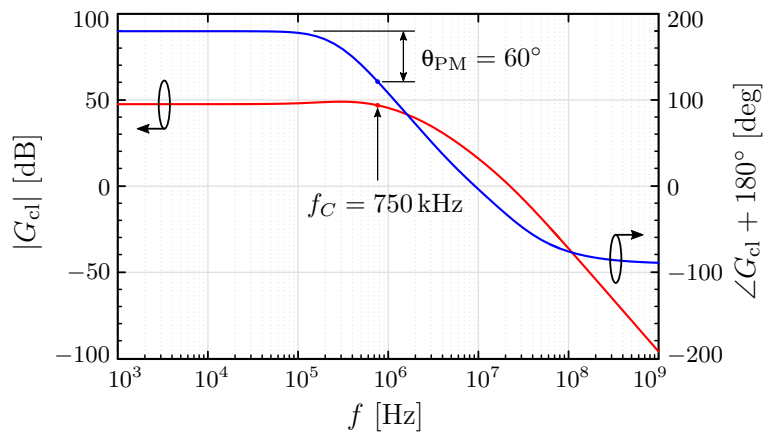
Slika 71: Transimpedansa filtra petlje *fractional*-N PLL-a za 60 GHz-ni opseg.

Osnovne karakteristike širokopojasnog *fractional*-N PLL-a za rad u 60 GHz-nom opsegu su prikazane u Tabeli 9.

Tabela 9: Osnovne karakteristike 60 GHz-nog PLL-a dobijene optimizacijom.

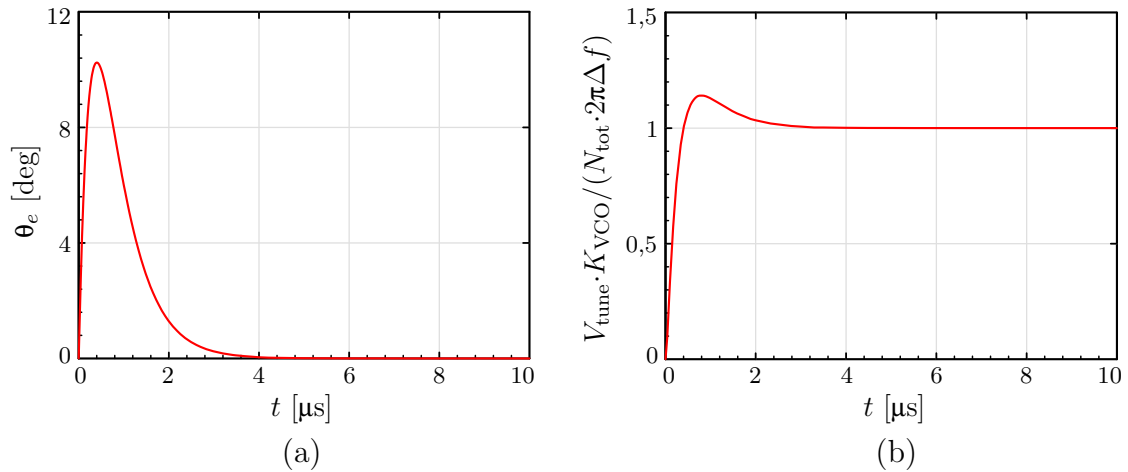
f_{ref}	f_C	f_{res}	I_{CP}	K_{VCO}	N_{tot}	θ_{PM}
250 MHz	750 kHz	3,81 kHz	100 μA	4 GHz/V	242	60°

FMCW sintetizator za rad u 60 GHz-nom opsegu je modelovan u MATLAB-u gde su na osnovu izraza (46) i (59) izračunate funkcije prenosa otvorene i zatvorene petlje, a dobijeni rezultati su prikazani na slikama 72 i 73, respektivno.


 Slika 72: Funkcija prenosa otvorene petlje *fractional-N* PLL-a za 60 GHz-ni opseg.

 Slika 73: Funkcija prenosa zatvorene petlje *fractional-N* PLL-a za 60 GHz-ni opseg.

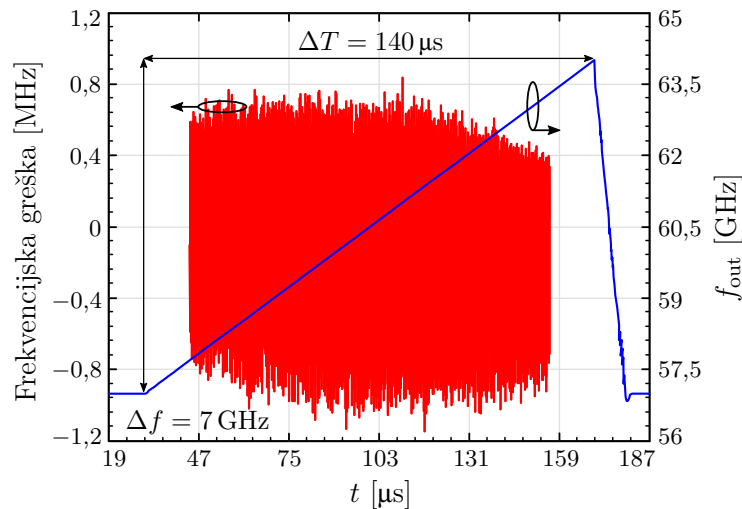
Vremenski odziv 60 GHz *fractional-N* PLL-a na frekvencijski skok $\Delta f = 10$ MHz je simuliran pomoću MATLAB modela opisanog funkcijama prenosa. Rezultujuća fazna greška na ulazu u PFD prilikom perturbacije učestanosti na izlazu VCO-a je prikazana na slici 74(a), dok je reakcija petlje u vidu normalizovane promene kontrolnog napona VCO-a prikazana na slici 74(b).

Dinamika petlje dominantno određuje linearnost frekvencijske rampe, kao što je to objašnjeno u odeljku 3.4, pa je posebno treba razmotriti prilikom projektovanja FMCW sintetizatora. Na slici 75 je prikazan primer uzlazne rampe propusnog opsega približno 7 GHz i brzine modulacije 50 GHz/ms oko centralne učestanosti 60,5 GHz. Osnovni parametri linearne frekvencijske rampe su izračunati na osnovu poznatih zahteva za propusnim opsegom rampe, trajanjem modulacije i početnom učestanošću koristeći jednačine (66), (68) i (69). Usled diskretne prirode FMCW ge-



Slika 74: Vremenski odziv 60 GHz *fractional*-N PLL-a na frekvencijski skok $\Delta f = 10$ MHz: (a) fazna greška i (b) normalizovana promena kontrolnog napona.

neratora nije uvek moguće postići tačne vrednosti propusnog opsega rampe i brzine modulacije, ali se podešavanjem parametara N_{step} , D_{df} , i D_{dR} karakteristike čirpa mogu podesiti veoma blizu željenim.

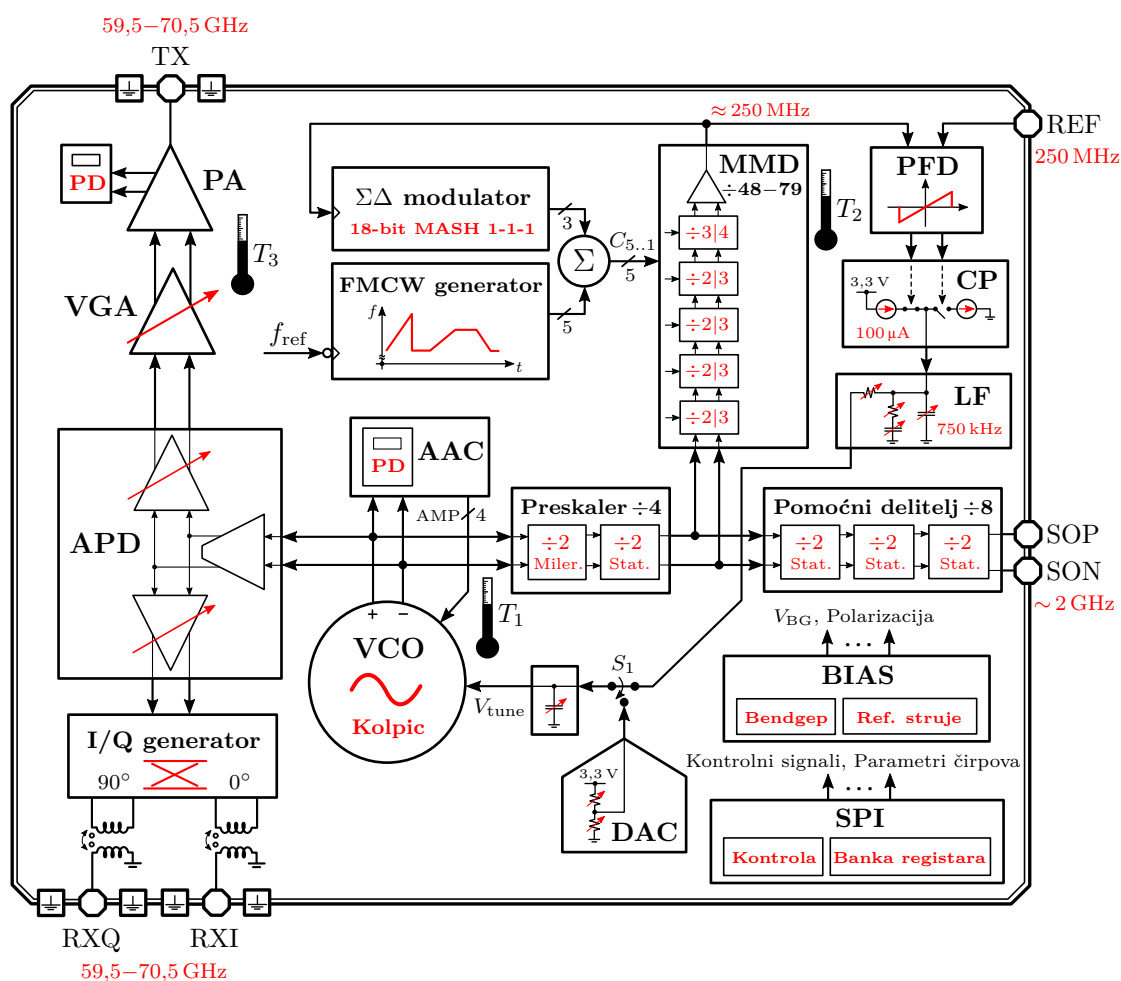


Slika 75: Simulirani čirp i frekvencijska greška za linearnu rampu propusnog opsega 7 GHz i trajanja $140 \mu\text{s}$ oko centralne učestanosti 60,5 GHz.

Frekvencijska greška je prikazana na slici 75 u opsegu od 10 do 90% rampe i rezultuje ekvivalentnom RMS greškom od 270 kHz, odnosno linearnošću rampe boljom od 0,015% za faktor skaliranja 0,8. Ovo je tipičan primer rampe širokog propusnog opsega i velike brzine koja se koristi u SRR sensorima. Primena ovakvih frekvencijskih rampi u praksi omogućava rezoluciju rastojanja manju od 2,2 cm, što se može izračunati na osnovu jednačine (9).

5.3 Arhitektura i projektovanje ključnih podblokova

Uprošćeni blok dijagram projektovanog FMCW predajnika za rad u 60 GHz-nom opsegu je prikazan na slici 76 [117]. Sistem se sastoji od FMCW sintetizatora na bazi *fractional-N* PLL-a, aktivnog delitelja snage (engl. *Active Power Divider* - APD) sa programabilnim pojačanjima, pasivnog kola za generisanje signala u fazi i kvadraturi (engl. *In-Phase and Quadrature* - I/Q) i predajnika.



Slika 76: Blok dijagram FMCW predajnika za rad u 60 GHz-nom opsegu.

Imajući u vidu promene delioca N_{MMD} u opsegu od -3 do $+4$ oko srednje vrednosti, uzrokovane radom MASH 1-1-1 $\Sigma\Delta$ modulatora, maksimalni radni opseg koji podržava predložena arhitektura sintetizatora u *fractional-N* modu je 51–75 GHz.

Sistem poseduje tri temperaturna senzora označena kao T_1 , T_2 i T_3 , koji se nalaze pored VCO-a, u jezgri PLL-a i u predajniku između pojačavača sa podesivim pojačanjem (engl. *Variable Gain Amplifier* - VGA) i PA, respektivno. Uloga ovih

senzora je da daju informaciju o zagrevanju u određenim delovima čipa, uglavnom oko većih potrošača.

Pomoću prekidača S_1 se otvara petlja i na kontrolni napon VCO-a povezuje izlaz jednostavnog DAC-a. Na ovaj način se tokom testiranja u otvorenoj sprezi može izmeriti opseg podešavanja VCO-a postavljanjem kontrolnog napona na poznatu vrednost.

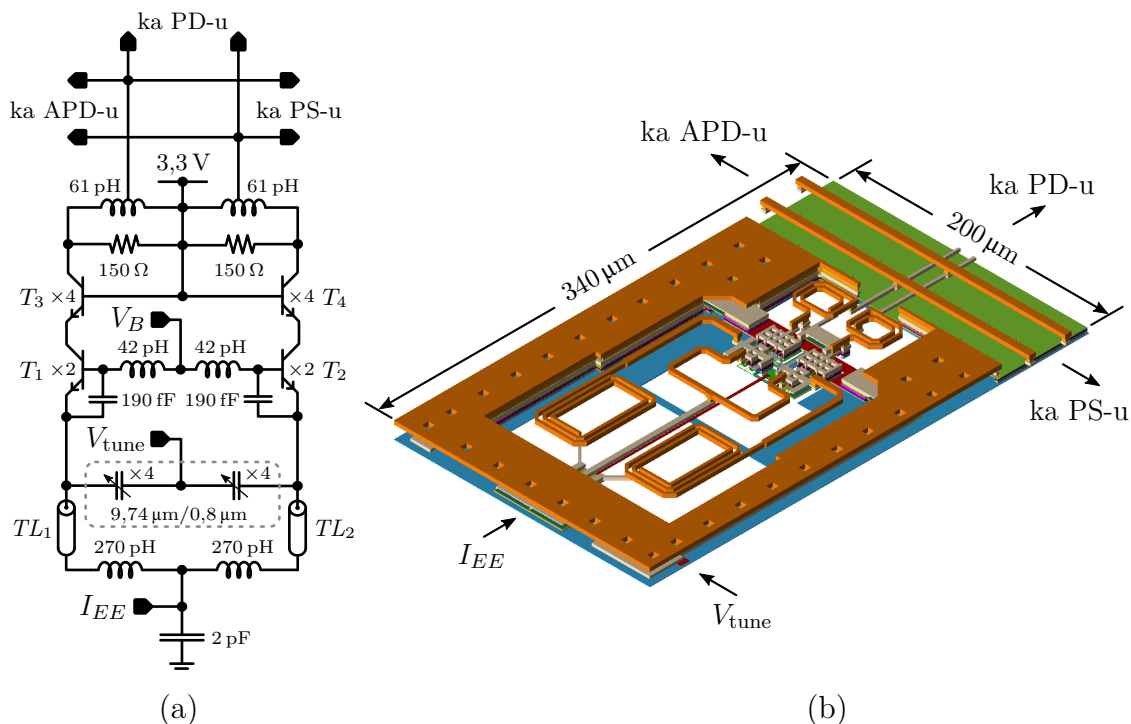
Konstante $f_{0,\min}$ i df_0 u FMCW generatoru su odabrane tako da se početna učestanost linearne frekvencijske rampe izračunava kao:

$$f_0 = 52 \text{ GHz} + D_{f_0} \cdot 0.05 \text{ GHz}. \quad (70)$$

5.3.1 Širokopolasni VCO za rad u 60 GHz nelicenciranom opsegu

Kao što je opisano u odeljku 3.2, Kolpic VCO-ovi u mmWave opsegu mogu da postignu višu radnu učestanost, manji fazni šum i širi opseg podešavanja u poređenju sa CC-LC VCO-ovima. Zbog toga je u ovom primeru izabrana diferencijalna Kolpic arhitektura. VCO je projektovan tako da ima opseg podešavanja veći od 17% oko centralne učestanosti 60,5 GHz. Kako bi se postigao veoma širok opseg podešavanja, korišćeni su varaktori sa dugačkim gejtom ($L = 0,8 \mu\text{m}$) koji imaju veći odnos $C_{\text{var,max}}/C_{\text{var,min}}$ i manji Q faktor na visokim učestanostima. Kapacitivnost varaktora mora da bude dominantna u odnosu na parazitne kapacitivnosti interkonekcija da bi se maksimizirao opseg podešavanja VCO-a. Takođe, vrednost kondenzatora C_T , povezanog paralelno sa baza-emiter spojem na slici 27, mora biti dovoljno velika, što se može zaključiti iz jednačine (30). Zato je korišćen MIM kondenzator kapacitivnosti $C_T \approx 190 \text{ fF}$ i visokog faktora dobrote (> 30) na centralnoj učestanosti 60,5 GHz. Odabrana je struktura diferencijalnog varaktora koja se sastoji od četiri paralelna segmenta i omogućava željeni opseg podešavanja. Simulirani diferencijalni Q faktor varaktora na centralnoj učestanosti je u opsegu 2,7–8,5 za promenu kontrolnog napona od 0 do 3,3 V. Ovako mali faktor dobrote jedne od dominantnih komponenata jezgra VCO-a ima velike posledice na ukupan faktor dobrote rezonantnog kola. To predstavlja direktan kompromis između opsega podešavanja i Q faktora rezonantnog kola i ujedno cenu koja se mora platiti za opseg podešavanja veći od 10 GHz. Relativno velika promena kontrolnog napona (0–3,3 V) je poželjna kako bi se smanjila osetljivost VCO-a i na taj način poboljšale performanse faznog šuma. Kao posledica, strujna pumpa koja pomoću pasivnog LF-a generiše V_{tune} mora da radi sa naponom napajanja od 3,3 V. Na osnovu poznatih vrednosti C_T i

C_{var} , određena je jednostrana induktivnost kalema $L_B \approx 42 \text{ pH}$ za koju se dobija centralna učestanost $60,5 \text{ GHz}$. Kalem je realizovan u sloju metala TM2, sastoji se od samo jednog navojka i ima diferencijalni faktor dobrote veći od 10 na celom opsegu od interesa. Uprošćena električna šema jezgra Kolpic VCO-a koji radi u 60 GHz -nom opsegu je prikazana na slici 77(a), dok je 3D prikaz fizičke realizacije dat na slici 77(b).



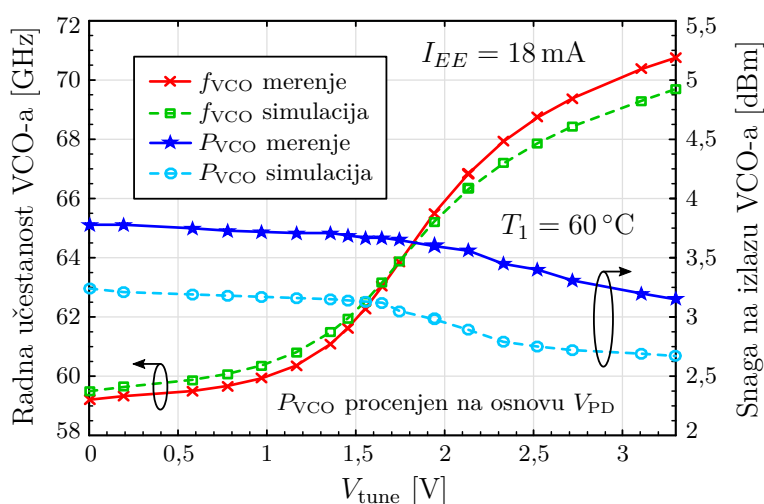
Slika 77: Širokopojasni VCO za rad u 60 GHz -nom opsegu: (a) uprošćena električna šema jezgra i (b) 3D prikaz fizičke realizacije.

Bipolarni tranzistori T_1 i T_2 se sastoje od po dve paralelne strukture, pri čemu svaka sadrži osam paralelnih emitera površine $A_e = 0,12 \mu\text{m} \times 0,48 \mu\text{m}$. Stoga svaki od tranzistora ima ukupno po 16 emitera u paraleli. Imajući u vidu tehnološka ograničenja minimalnog faktora šuma i učestanosti jediničnog pojačanja analiziranih u odeljku 5.1 sa jedne strane i Barkhauzenovog kriterijuma oscilovanja i željene izlazne amplitude sa druge, izabrano je da ukupna polarizaciona struja VCO-a bude podesiva tako da struja jediničnog emitera bude u opsegu $560\text{--}920 \mu\text{A}$. Veće polarizacione struje degradiraju performanse šuma tranzistora, ali povećavaju izlaznu amplitudu oscilacija. Polarizaciona struja je programabilna kako bi se kompenzovale PVT varijacije i postavila vršna amplituda diferencijalnog signala na izlazu u opsegu $0,5\text{--}0,7 \text{ V}$. Tranzistori T_3 i T_4 predstavljaju efikasnu realizaciju izlaznih bafera koji

razdvajaju rezonantno kolo od izlaza i na taj način smanjuju uticaj parazitnih kapacitivnosti baza-kolektor spoja i izlaznog opterećenja na radnu učestanost VCO-a. Kaskodne tranzistore je moguće koristiti bez dodatne potrošnje i redukcije izlazne amplitude zahvaljujući relativno visokom naponu napajanja od 3,3 V.

Vodovi TL_1 i TL_2 povezuju rezonantno kolo sa kalemom koji predstavlja veliku impedansu za RF signal i tako izoluje jezgro VCO-a od kola za polarizaciju. Dužina vodova je oko $90\ \mu\text{m}$, a širina $3,84\ \mu\text{m}$. Realizovane su u sloju metala TM2, dok je masa ispod njih u M1. Izlazno opterećenje VCO-a je paralelna veza jednostranog kalema induktivnosti oko $61\ \text{pH}$ na $60,5\ \text{GHz}$ i otpornika od $150\ \Omega$. Diferencijalni signal na izlazu VCO-a se vodi ka APD-u, detektoru snage (engl. *Power Detector* - PD) i preskaleru. Signalne interkonekcije na izlazu VCO-a su rutirane u TM2 i TM1, dok je ispod njih sloj metala M4 povezan na masu i ima ulogu da izoluje RF signale od analognih koji su rutirani u slojevima metala bližim supstratu. Površina koju na čipu zauzima jezgro VCO-a je $340\ \mu\text{m} \times 200\ \mu\text{m}$.

Temperatura oblasti oko VCO-a je merena za vreme rada čipa pomoću temperaturnog senzora T_1 , čiji izlazni napon odgovara temperaturi oko $60\ ^\circ\text{C}$. Poređenje rezultata merenja i simulacija učestanosti i izlazne snage VCO-a na $60\ ^\circ\text{C}$ je prikazano na slici 78. Rezultati simulacija odgovaraju poboljšanom modelu mmWave varaktora koji je formiran na osnovu rezultata merenja u prvoj fabrikaciji čipa i verifikovan u drugoj. Snaga na izlazu VCO-a, P_{VCO} , je procenjena pomoću izlaznog napona detektora snage, V_{PD} , koji je proporcionalan amplitudi diferencijalnog signala na izlazu VCO-a.



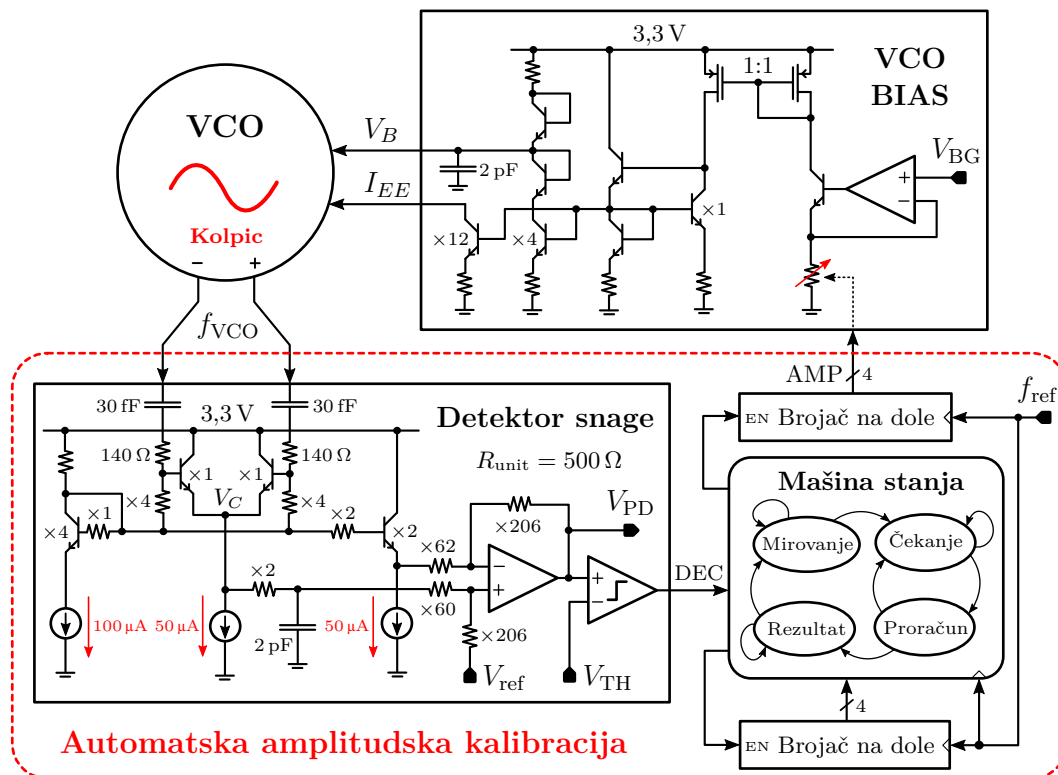
Slika 78: Radna učestanost i izlazna snaga VCO-a za rad u 60 GHz-nom opsegu.

Kontrolisanje napona V_{tune} se postiže otvaranjem petlje pomoću prekidača S_1 i generisanjem fiksnog napona na izlazu 4-bitnog DAC-a. DAC se sastoji od otporničkog razdelnika i transmissionih gejtova koji povezuju odgovarajući napon sa izlazom. Vrednosti otpornika u razdelniku nisu iste već su izabrane tako da se korak promene izlaznog napona menja slično kao i simulirana $C-V$ zavisnost varaktora. Na ovaj način se postiže nelinearna funkcija prenosa DAC-a koja uzima u obzir nelinearnu zavisnost izlazne učestanosti od kontrolnog napona i menja se u celom opsegu napona napajanja. Tako se prilikom snimanja krive podešavanja VCO-a postiže bolja rezolucija učestanosti na strmim delovima karakteristike, što je prikazano na slici 78.

Rezultati merenja su pokazali da je model mmWave varaktora konzervativan po pitanju odnosa $C_{\text{var,max}}/C_{\text{var,min}}$, jer je postignut blago širi opseg podešavanja (59,2–70,8 GHz) od simuliranog (59,5–69,7 GHz). Pored toga, izmerena izlazna amplituda VCO-a je blago povećana u odnosu na vrednosti dobijene simulacijama, što ukazuje na to da je rezultujući Q faktor rezonantnog kola veći od procenjenog.

5.3.2 Automatska amplitudska kalibracija (AAC)

Na slici 79 je prikazan blok dijagram automatske amplitudske kalibracije (AAC).



Slika 79: Blok dijagram automatske amplitudske kalibracije.

AAC ima za cilj da postavi izlaznu amplitudu VCO-a u željeni opseg kako bi se postigao dobar kompromis između faznog šuma, izlazne snage i potrošnje. Promena amplitude oscilacija se postiže kontrolom struje I_{EE} i napona V_B u jezgru VCO-a. Kolo za polarizaciju (VCO BIAS) je projektovano tako da struja I_{EE} bude podešiva u opsegu 18–29,25 mA sa korakom 750 μA i kontrolisana 4-bitnom vrednošću AMP. Digitalna reč AMP podešava vrednost otpornika u regulatoru i na taj način kontroliše referentnu struju koja se preko strujnih ogledala preslikava i polariše VCO. Referentni napon V_{BG} se dobija iz bendgepa, koji je isto tako integrisan na čipu.

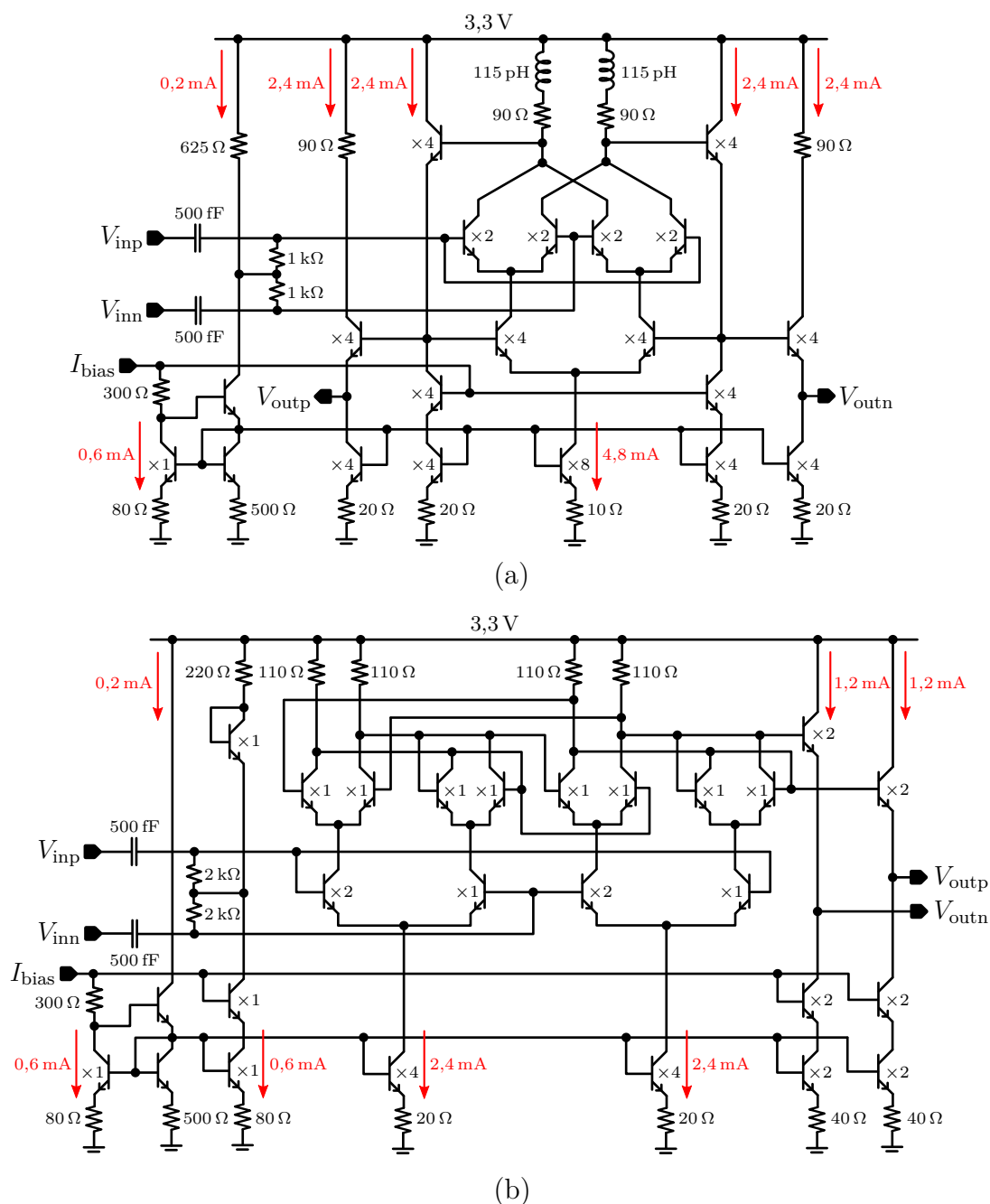
Diferencijalni RF signal na izlazu VCO-a se preko sprežnih kondenzatora kapacitivnosti 30 fF vodi na ulaz diferencijalnog para polarisanog konstantnom strujom od 50 μA . Između sprežnih kondenzatora i baza tranzistora su ubačeni otpornici vrednosti 140 Ω kako bi se skalirala amplituda RF signala i tako podesila osetljivost PD-a. Kao rezultat, ovo kolo sa zajedničkim emiterom daje u čvoru V_C signal srazmeran kvadratu amplitude ulaznog diferencijalnog signala. Zbog toga se u literaturi često naziva kolo za kvadriranje signala (engl. *Signal Squarer Circuit*). Visokofrekventni produkti napona V_C su potisnuti pomoću jednostavnog RC filtra, a izlazno pojačanje signala se podešava operacionim pojačavačem. Dinamički opseg detektora snage, prikazanog na slici 79, je oko 20 dB za ulazne snage od -10 do $+10$ dBm.

Kalibracija se vrši svaki put po uspostavljanju napona napajanja ili nakon resetiranja čipa. Tokom amplitudske kalibracije petlja je otvorena i napon V_{tune} je pomoću DAC-a postavljen na 1,65 V. Proces kalibracije započinje od maksimalne struje polarizacije koja se smanjuje sve dok amplituda na izlazu VCO-a ne postane manja od željene vrednosti. Na osnovu simulacija je procenjeno da optimalna vršna amplituda diferencijalnog signala na izlazu VCO-a iznosi oko 0,6 V. Amplituda izlaznog signala VCO-a se prati pomoću PD-a i poredi sa predefinisanim vrednošću V_{TH} . Na osnovu ovog poređenja, mašina stanja određuje da li dalje da smanjuje polarizacionu struju jezgra VCO-a ili da zaustavi proces kalibracije. Ukoliko je $\text{DEC} = 0$, proces kalibracije se završava. Kako bi se izbegla detekcija u prelaznom režimu, dodat je 4-bitni brojač na dole koji uzima u obzir smirivanje amplitude VCO-a. Stoga je trajanje amplitudske kalibracije u najgorem slučaju $2^4 \cdot 2^4 \cdot T_{\text{ref}} \approx 1 \mu\text{s}$.

AAC je isključena tokom simulacija i merenja prikazanih na slici 78, pri čemu je struja I_{EE} fiksna i iznosi 18 mA. Može se zaključiti da u ovom projektnom primeru AAC nema praktičnu primenu, jer je izlazna snaga VCO-a čak i za minimalnu polarizacionu struju veća od željene. Stoga je rezultat kalibracije uvek $\text{AMP} = 0$. To je posledica većeg Q faktora rezonantnog kola nego što je predviđeno simulacijama.

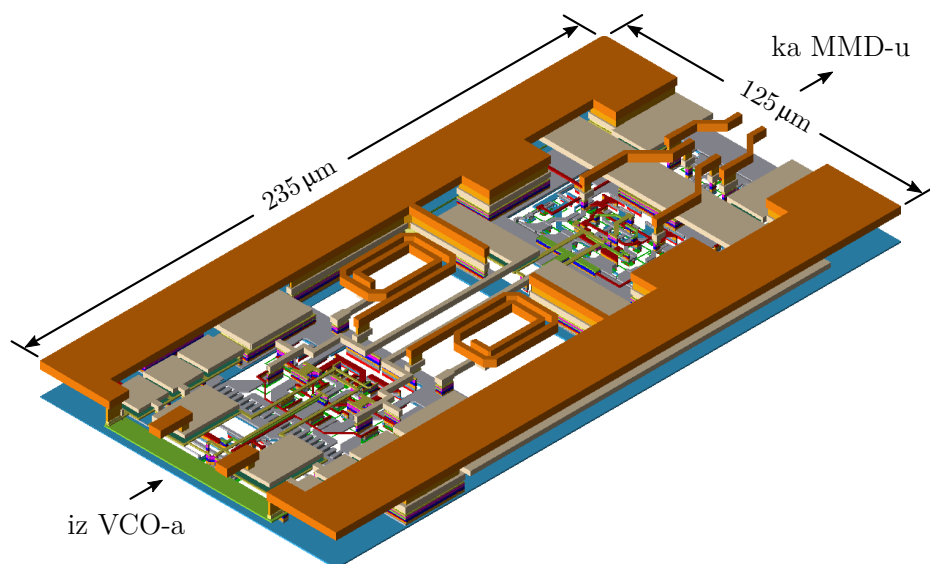
5.3.3 Preskaler i pomoćni delitelj

Preskaler (PS) se sastoji od dva kaskadno povezana delitelja sa dva. Prvi stepen je Milerov delitelj čija je uprošćena električna šema prikazana na slici 80(a), dok je drugi stepen statički delitelj prikazan na slici 80(b).



Slika 80: Uprošćena električna šema (a) Milerovog delitelja sa dva i (b) statičkog delitelja sa dva.

Milerov delitelj koristi tehniku proširenja propusnog opsega pomoću kalema kako bi se povećala maksimalna radna učestanost. Induktivnost kalema u opterećenju je oko 115 pF na 60,5 GHz, dok je otpornost serijski povezanog otpornika 90Ω . Pretežno induktivno opterećenje zajedno sa parazitnim kapacitivnostima tranzistora i metalnih interkonekcija obrazuje filter propusnik opsega. Diferencijalni izlaz iz mešačkog jezgra se vodi na dvostepeni pomerač nivoa, koji se sastoji od kaskade dva stepena sa zajedničkim kolektorom. Izlaz prvog stepena se vraća u mešačko jezgro, dok se izlaz drugog stepena preko sprežnih MIM kondenzatora vodi na ulaz u statički delitelj sa dva. Niskopropusna karakteristika bipolarnih tranzistora omogućava filtriranje harmonika višeg reda u mešačkom jezgru čija je frekvencija izlaznog signala tačno polovina ulazne. Statički delitelj sa dva se sastoji od dva leća realizovana u ECL-u i izlaznog bafera. Ukupna potrošnja Milerovog delitelja je 15,2 mA, a statičkog delitelja 8,6 mA. 3D prikaz fizičke realizacije preskalera je dat na slici 81.



Slika 81: 3D prikaz fizičke realizacije preskalera za 60 GHz-ni opseg.

Diferencijalni izlaz preskalera je istovremeno povezan na MMD i pomoćni delitelj. Pomoćni delitelj se sastoji od tri kaskadna delitelja sa 2 i izlaznog bafera. Delitelji sa dva su statički i njihova potrošnja je skalirana srazmerno radnoj učestanosti. Na izlazu bafera je diferencijalno opterećenje od 100Ω i zaštitne diode koje mogu da podnesu prenapon do 2 kV. Diferencijalni izlaz delitelja je direktno povezan sa stopicama čipa pa je na PCB-u neophodno dodati sprežne kondenzatore kako se ne bi poremetila mirna radna tačka. Vršna amplituda na izlazu je oko 0,4 V.

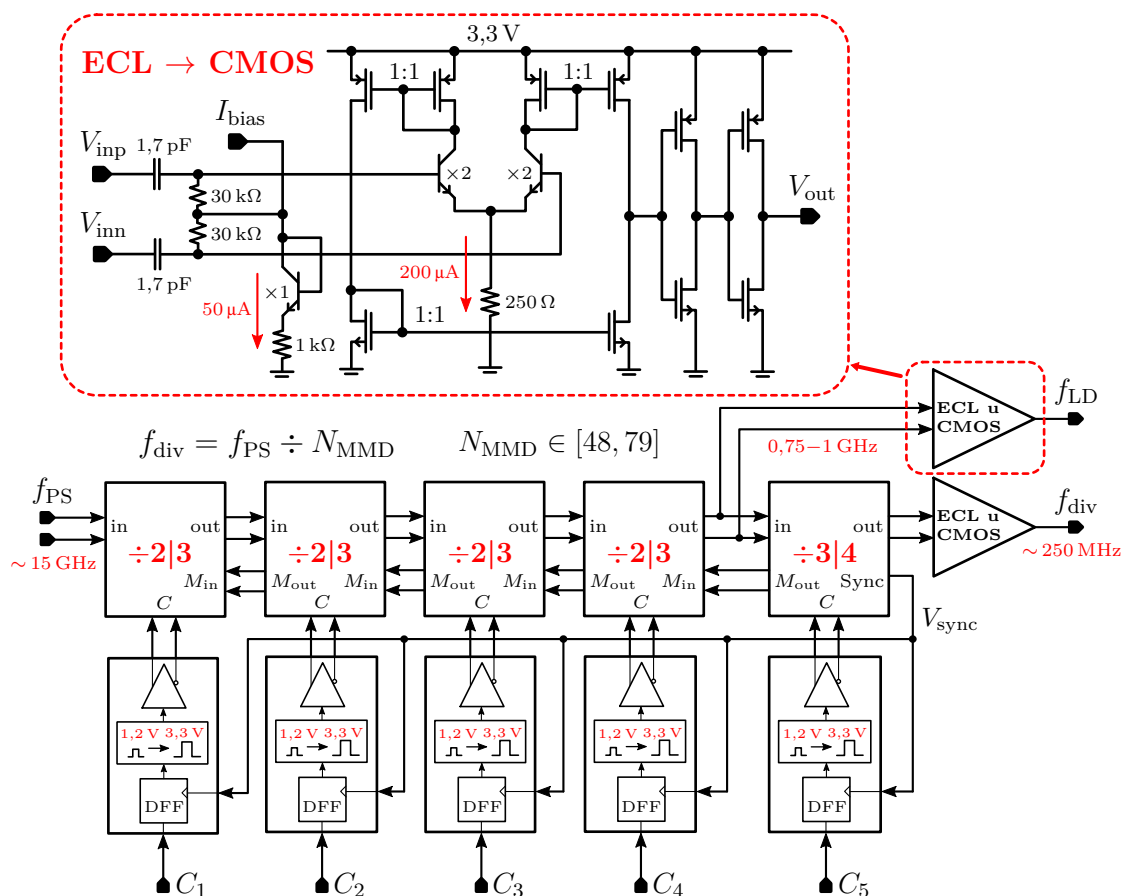
Uloga pomoćnog delitelja je da obezbedi skalirani izlaz VCO-a sa 32, koji je u

gigahercnom opsegu, kako bi se jednostavnije izmerile osnovne karakteristike sistema i proverila funkcionalnost ključnih mmWave blokova. Ovaj skalirani izlaz je izuzetno važan i korišćen je u velikoj meri prilikom karakterizacije FMCW sintetizatora. Pomoćni delitelj se može nezavisno isključiti i tako smanjiti ukupna potrošnja čipa.

Polarizacione struje svih delitelja su programabilne i mogu imati vrednosti 80, 100, 120 i 140% od nominalnih. Tako se povećavanjem polarizacione struje može kompenzovati negativni uticaj PVT varijacija na delitelje učestanosti.

5.3.4 MMD sa vrednošću delioca u opsegu 48–79

Jezgro MMD-a se sastoji od pet kaskadno povezanih DMD-ova, četiri delitelja sa 2 ili 3 i poslednjeg stepena koji deli sa 3 ili 4. Svih pet stepena su potpuno diferencijalni u SiGe ECL-u. Na izlazu se nalazi konvertor iz ECL u CMOS logiku, odnosno kolo za prevođenje diferencijalnog signala u jednostrani. Blok dijagram MMD-a čija se vrednost delioca menja u opsegu 48–79 je prikazan na slici 82.



Slika 82: Blok dijagram MMD-a sa vrednošću delioca u opsegu 48–79.

Trenutna vrednost delioca MMD-a sa slike 82 je data kao:

$$N_{\text{MMD}} = 48 + C_5 \cdot 2^4 + C_4 \cdot 2^3 + C_3 \cdot 2^2 + C_2 \cdot 2^1 + C_1 \cdot 2^0. \quad (71)$$

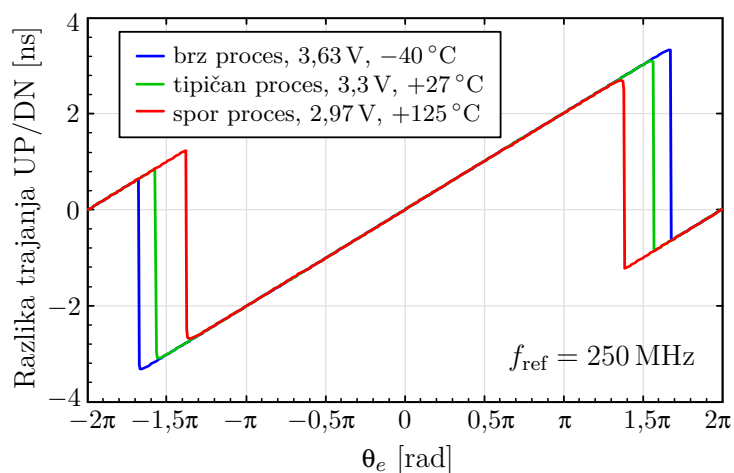
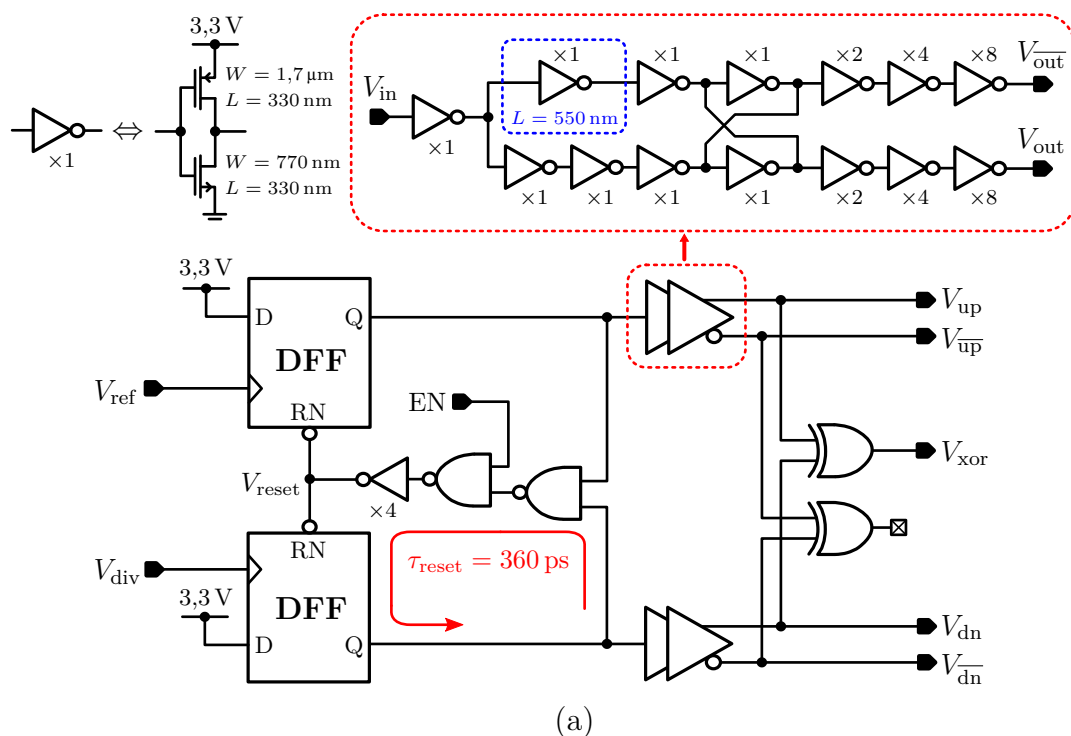
Imajući u vidu da su FMCW generator i $\Sigma\Delta$ modulator realizovani pomoću tranzistora sa tankim oksidom, kontrolni signali MMD-a su u CMOS logici sa naponom napajanja 1,2 V. Digitalni signali $C_{5..1}$ su prvo sinhronizovani sa internim signalom V_{sync} , generisanim u poslednjem stepenu MMD-a, kako bi se izbegli nekompletni ciklusi deljenja i stvaranje gličeva. Nakon sinhronizacije, signali su pomereni u 3,3 V domen i konvertovani u diferencijalne ECL signale koji direktno upravljaju DMD-ovima. Važno je napomenuti da je unutar delitelja sa 3 ili 4 diferencijalni 3,3 V ECL signal konvertovan u 1,2 V CMOS signal V_{sync} , koji se koristi za sinhronizaciju i prihvatanje novih vrednosti kontrolnih signala u trenucima kada oni više ne utiču na tekući ciklus deljenja.

Diferencijalna ECL logička kola su projektovana tako da na ulazima i izlazima susednih DMD-ova nisu potrebni sprežni kondenzatori i dodatna kola za polarizaciju, već se koriste pomerači nivoa koji omogućavaju da izlazi ispravno polarišu ulaze. To umnogome olakšava integraciju MMD-a. Na slici 82 je prikazana uprošćena električna šema kola za konverziju ECL u CMOS signal, koje se koristi na izlazu četvrtog stepena MMD-a. Ovo je jedini konvertor ECL u CMOS signal kome su neophodni sprežni kondenzatori i zasebna polarizacija zbog relativno visoke radne učestanosti koja je u opsegu 0,75–1 GHz. U ovom kolu je korišćen diferencijalni par bipolarnih tranzistora polarisan konstantnom strujom od 200 μA kako bi se postiglo veliko pojačanje. Signal na izlazu konvertora se koristi kao takt u detektoru zaključavanja (engl. *Lock Detector* - LD). Ostali konvertori ECL u CMOS signal rade na učestanostima bliskim referentnoj i nemaju posebna kola za polarizaciju već ih polarišu susedni blokovi.

Na osnovu rezultata simulacija, zaključeno je da MMD radi ispravno u najgorom PVT slučaju (spor proces, 2,97 V, +125 °C) za učestanosti ulaznog signala do 20 GHz. Referentne struje za polarizaciju diferencijalnih ECL kola u MMD-u su posebno generisane za svaki stepen kako bi se izbegla sprega šuma. Potrošnja DMD-ova je binarno skalirana srazmerno radnoj učestanosti, tako da prvi stepen troši najviše. Ukupna potrošnja MMD-a je oko 16 mA. Temperaturni senzor, T_2 , koji se nalazi u blizini MMD-a daje na izlazu napon srazmeran temperaturi oko 55 °C, što odgovara smanjenoj potrošnji u ovom delu čipa.

5.3.5 Petlja

PFD: U ovom projektnom primeru je korišćena arhitektura linearnog PFD-a sa standardnim 3,3 V CMOS logičkim kolima. Ova hardverska arhitektura omogućava dobar kompromis između pouzdanosti, maksimalne radne učestanosti, potrošnje i faznog šuma. Blok dijagram realizovanog PFD-a je prikazan na slici 83(a).



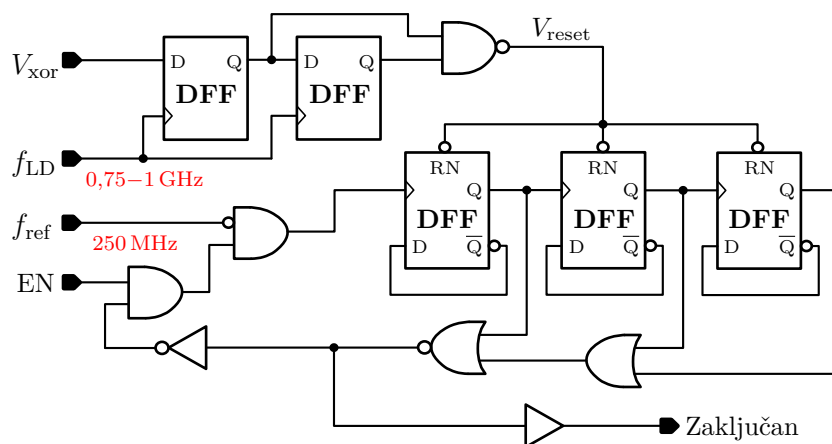
Slika 83: (a) Blok dijagram linearnog PFD-a i (b) funkcija prenosa PFD-a na radnoj učestanosti 250 MHz za tri karakteristična PVT slučaja.

Uloga bafera na izlazu PFD-a je da ubrzaju tranzicije kontrolnih signala CP-a i da izjednače uzlazne i silazne ivice komplementarnih signala kako bi se smanjio intenzitet neželjenih spektralnih komponentata u izlaznoj struji CP-a. Stoga se prvo prave komplementarni signali, pri čemu se pomoću posebnog invertora, u kome su dužine kanala tranzistora $L = 550$ nm, kasni signal i postiže približno isto kašnjenje kao kroz dva jedinična invertora. Nakon toga se komplementarni signali vode na ulaz jednostavnog leća koji izjednačava trajanje uzlazne i silazne ivice, kao i kašnjenja signala. Ovako dobijeni komplementarni signali se dodatno ubrzavaju lancem invertora da bi se na prekidačima u CP-u postigle ivice brže od 70 ps.

Dodatni izlaz V_{xor} daje informaciju detektoru zaključavanja o tome da li su ulazni signali PFD-a u fazi, odnosno kada je PLL potencijalno zaključan. Na osnovu ovog signala se procenjuje stanje PLL-a, što je veoma važno u praktičnim primenama. Još jedno ekskluzivno “nili” logičko kolo je dodato kako bi se postigla simetrija u izlaznim baferima i izjednačilo opterećenje na putanjama kontrolnih signala CP-a.

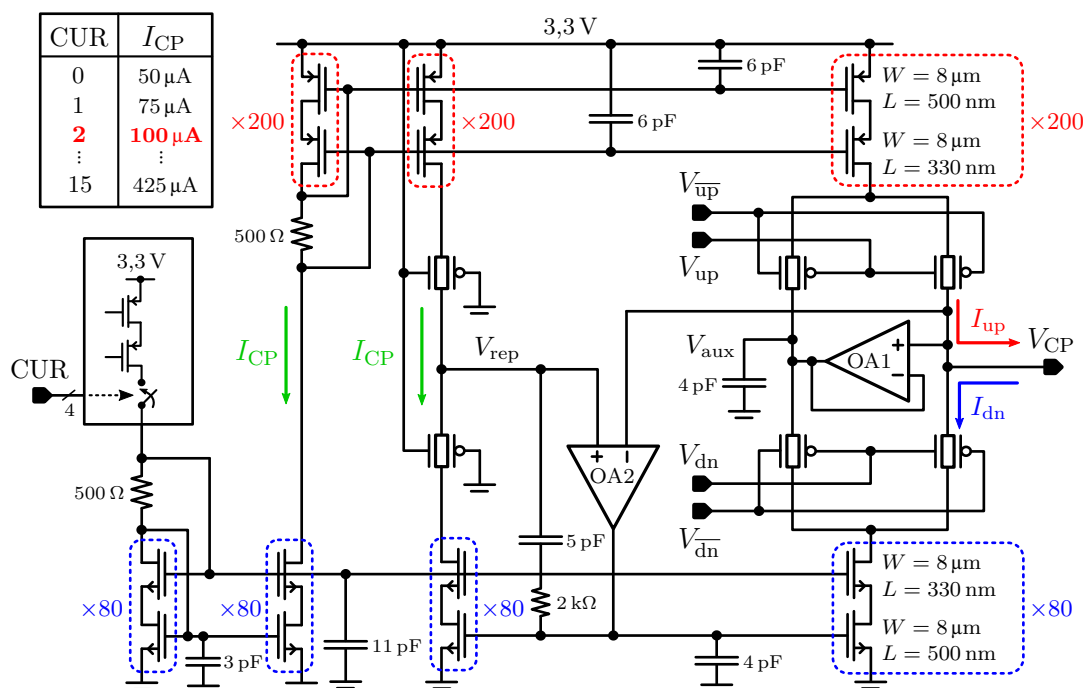
Na slici 83(b) je prikazana funkcija prenosa linearnog PFD-a na radnoj učestanosti 250 MHz za tri karakteristična PVT slučaja, tipični (nominalan proces, 3,3 V, +27 °C), najgori (spor proces, 2,97 V, +125 °C) i najbolji (brz proces, 3,63 V, -40 °C). Kašnjenje u reset putanji je u tipičnom PVT slučaju oko 360 ps, dok je maksimalna radna učestanost u najgorem PVT slučaju 500 MHz. PFD se može isključiti pomoću kontrolnog signala EN, tako da su DFF-ovi stalno u resetu.

LD: Na čipu je takođe integrisan digitalni LD, čiji je izlaz indikator spremnosti FMCW sintetizatora da vrši modulaciju. LD na osnovu signala iz PFD-a i MMD-a zaključuje da li je PLL zaključan. Blok dijagram predloženog LD-a je dat na slici 84.



Slika 84: Blok dijagram digitalnog detektora zaključavanja.

CP: Arhitektura jednostranog CP-a sa tehnikom upravljanja strujom je izabrana zahvaljujući velikoj brzini prebacivanja toka struje. Ova arhitektura daje izuzetne performanse na 250 MHz, smanjuje efekte razmene naelektrisanja i postiže odličnu usklađenost struja punjenja i pražnjenja, kao što je to objašnjeno u odeljku 3.2. Uprošćena električna šema predložene strujne pumpe je prikazana na slici 85.



Slika 85: Uprošćena električna šema strujne pumpe.

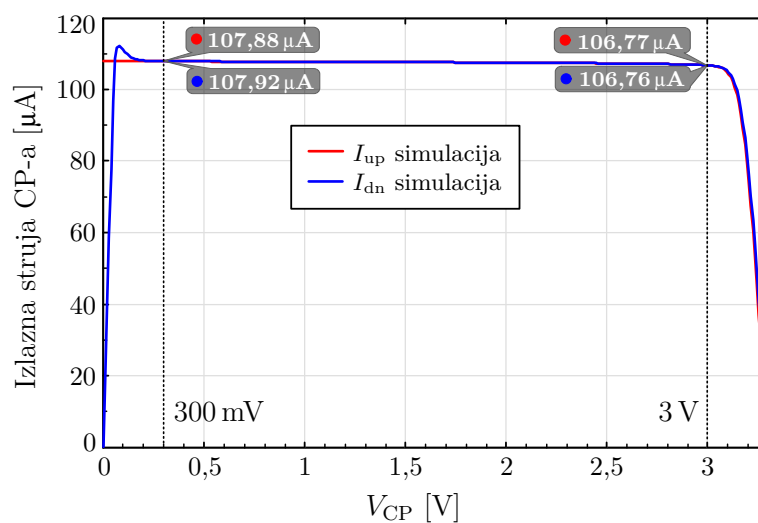
Kaskodna strujna ogledala smanjuju varijaciju i neusklađenost izlaznih struja. Veliki broj kaskodnih tranzistora u paraleli rezultuje velikim odnosom W/L , koji značajno smanjuje V_{dsat} strujnih ogledala i tako poboljšava dinamički opseg CP-a.

MIM kondenzator povezan na izlazu pojačavača OA1 dodatno smanjuje efekat razmene naelektrisanja. Poželjno je da kapacitivnosti povezane na gejtove kaskodnih strujnih ogledala budu što veće kako bi se postiglo bolje filtriranje šuma. Zato su korišćeni MIM kondenzatori u kombinaciji sa MOS tranzistorima čiji su sors/drejn priključci povezani na masu ili napajanje. Velike vrednosti ovih kondenzatora isto tako doprinose poboljšanju dinamičkih karakteristika CP-a, jer utiču na oblikovanje strujnih impulsa na izlazu. Pored toga, ove kapacitivnosti smanjuju propusni opseg pa samim tim potiskuju talasanja napona u kolu, koja nastaju usled prekidanja toka struje na 250 MHz. S druge strane, dodavanje pomenutih kondenzatora zahteva detaljnu analizu stabilnosti CP-a. Predložena arhitektura ima dve petlje koje mogu

postati nestabilne. Prvu petlju obrazuje operacioni pojačavač za smanjivanje efekta razmene naelektrisanja OA1, dok drugu formira OA2 koji ima ulogu da poboljša uparenost struja. Stabilnost prve petlje je dominantno određena kondenzatorom u čvoru V_{aux} , pa se relativno jednostavno može simulirati zajedno sa jediničnim pojačavačem. Druga petlja određuje propusni opseg CP-a i oblikuje spektralne karakteristike struje na izlazu, pa je njena stabilnost od posebnog interesa. Serijska veza kondenzatora kapacitivnosti 5 pF i otpornika vrednosti $2\text{ k}\Omega$, između čvora V_{rep} i izlaza pojačavača OA2, je ubačena radi poboljšanja stabilnosti druge petlje. Dodavanjem ove kompenzacione grane poboljšava se stabilnost CP-a tako da je fazna margina veća od 65° za sve PVT varijacije.

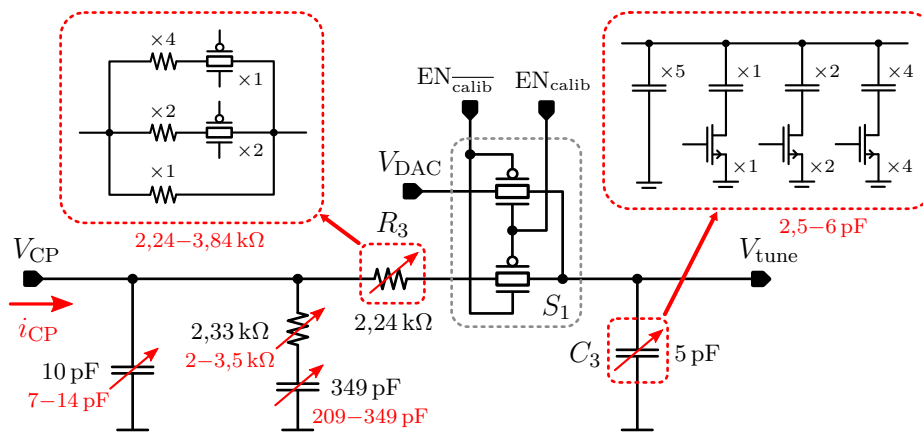
Jedinični pojačavač OA1 ima tri stepena i arhitekturu presavijene kaskode (engl. *Folded Cascode*), dok radi za promene ulaznih i izlaznog signala u celom opsegu napona napajanja. Pojačavač OA2 ima arhitekturu presavijene kaskode i samo dva stepena. Opseg promene ulaznih signala za koji OA2 radi ispravno je $0-3,3\text{ V}$. Potrošnja OA1 je oko $310\text{ }\mu\text{A}$, a OA2 oko $190\text{ }\mu\text{A}$.

Statičke karakteristike CP-a su prikazane na slici 86. Postignute su izuzetne performanse CP-a, dinamički opseg izlaznog napona od 5 do 95% napona napajanja, odnos neusklađenosti izlazne struje manji od 0,05% i varijacija struje manja od 1,1% na celom opsegu od interesa. Pored toga, struja CP-a je programabilna u opsegu od 50 do $425\text{ }\mu\text{A}$ sa korakom $25\text{ }\mu\text{A}$. To omogućava jednostavnu promenu dinamike PLL-a i korišćenje ove hardverske realizacije u drugim sintetizatorima učestanosti. Ukupna potrošnja CP-a je 1 mA za izlaznu struju $100\text{ }\mu\text{A}$.



Slika 86: Statičke karakteristike predložene strujne pumpe.

LF: Uprošćena električna šema LF-a trećeg reda sa odgovarajućim vrednostima komponenata je prikazana na slici 87. Vrednosti kondenzatora i otpornika u filtru su podesive, što zajedno sa programabilnom strujom CP-a omogućava fino podešavanje dinamike petlje, kao i kompenzaciju uticaja PVT varijacija.



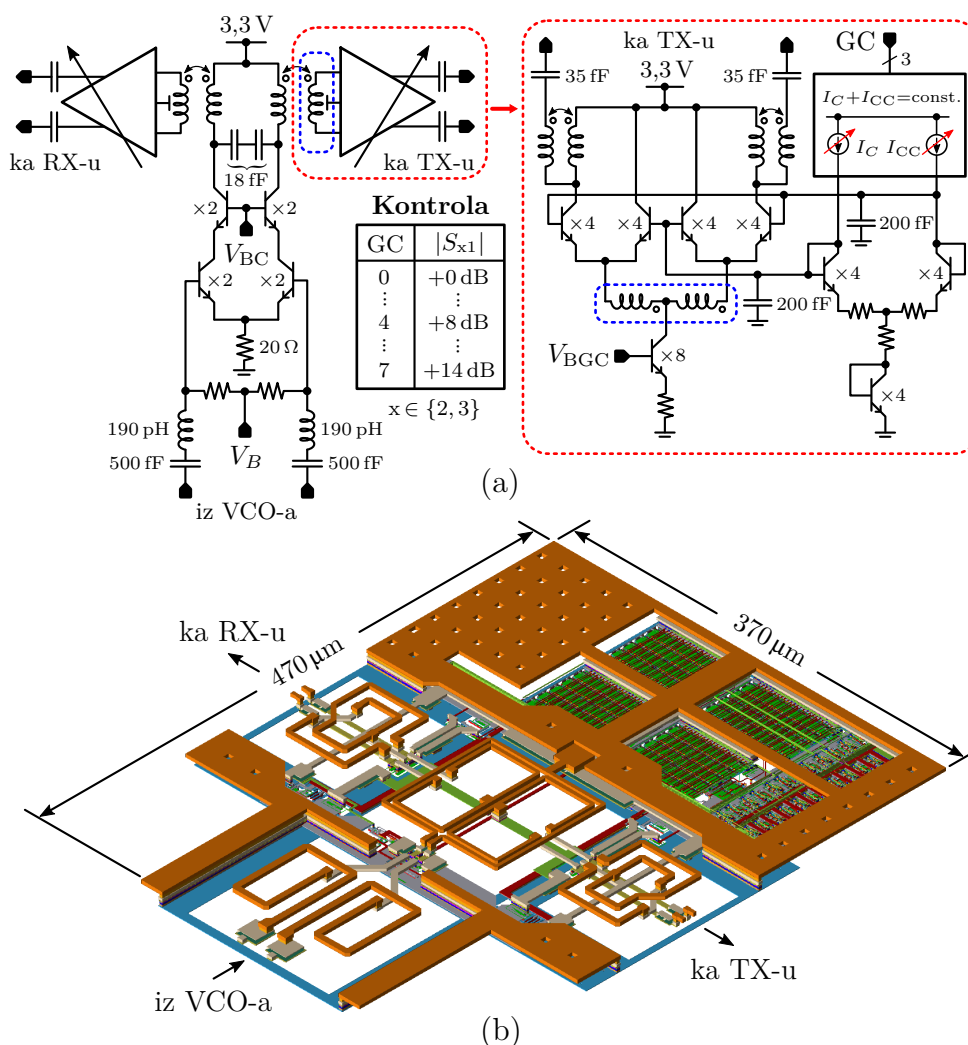
Slika 87: Uprošćena električna šema pasivnog LF-a za 60 GHz *fractional-N* PLL.

Programabilnost pasivnih komponenata je postignuta pomoću podesivih banaka u kojima su vrednosti težinski raspoređene i biraju se kontrolom prekidača. Vrednosti kondenzatora su kontrolisane 3-bitnim rečima, što znači da svaki kondenzator u LF-u može imati 8 različitih vrednosti. Vrednosti otpornika su kontrolisane 2-bitnim rečima, pa otpornik može imati 4 različite vrednosti. Kondenzatori u filtru su tako pozicionirani da im je jedan priključak uvek povezan na masu. To omogućava relativno jednostavno uključivanje/isključivanje dodatnih kondenzatora u banci koristeći nMOS tranzistore kao prekidače. S druge strane, prekidači u bankama otpornika moraju biti transmisioni gejtovi, kao što je prikazano na slici 87.

Prilikom projektovanja filtra petlje, vrednosti otpornika su izabrane tako da budu što manje. Kao rezultat relativno malih vrednosti otpornika, smanjen je uticaj termičkog šuma na kontrolni napon VCO-a, pa samim tim i na ukupni fazni šum sintetizatora. Poželjno je da prekidač S_1 sa slike 87, koji služi za otvaranje petlje, bude povezan serijski sa R_3 . Na ovaj način se relativno mala vrednost otpornosti prekidača sabira sa velikom vrednošću otpornika, pa je uticaj ovog transmisionog gejta na karakteristiku LF-a zanemarljiv. Kako bi se postigla veća površinska kapacitivnost i smanjila ukupna površina LF-a, projektovana je specifična fizička realizacija jedinične ćelije. Ona se sastoji iz MIM kondenzatora i učešljanih slojeva metalizacije pomoću kojih je formiran MOM kondenzator. Interkonekcije su optimizovane EM simulacijama kako bi se postigla najveća površinska kapacitivnost jedinične ćelije.

5.3.6 Aktivni delitelj snage sa podesivim pojačanjima

Uloga aktivnog delitelja snage (APD) sa podesivim pojačanjima je da подели signal na izlazu VCO-a na dva dela za TX i RX putanje. Stoga se sastoji od ulaznog kaskodnog pojačavača i dva programabilna izlazna bafera za svaku putanju po jedan. Uprošćena električna šema jezgra APD-a je prikazana na slici 88(a), dok je 3D prikaz fizičke realizacije sa kompletnim kolom za polarizaciju dat na slici 88(b).



Slika 88: (a) Uprošćena električna šema jezgra APD-a i (b) 3D prikaz fizičke realizacije APD-a sa kompletnim kolom za polarizaciju.

Diferencijalna ulazna impedansa APD-a je prilagođena na 100 Ω pomoću serijske $C-L$ mreže. Vrednost kondenzatora je oko 500 fF, a kalema 190 pH. Na taj način se postiže ulazni koeficijent refleksije manji od -13 dB u celom 60 GHz-nom opsegu i istovremeno pomoću sprežnih kondenzatora blokira jednosmerna komponenta struje.

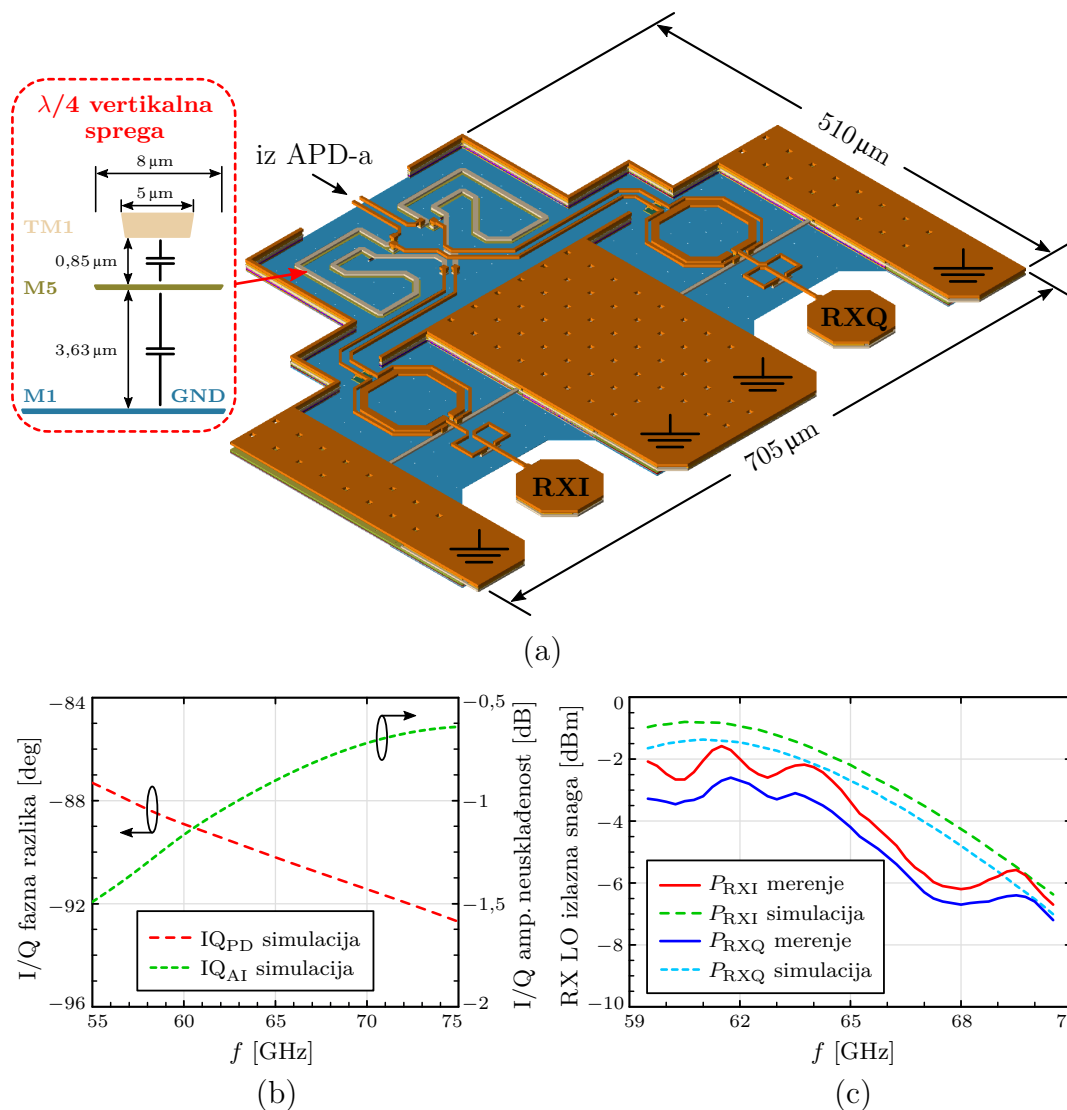
Nominalna polarizaciona struja ulaznog kaskodnog pojačavača je 5 mA i može se podesiti promenom napona V_B i V_{BC} . To omogućava kompenzaciju uticaja PVT varijacija. Polarizaciona struja ulaznog stepena je podesiva u širokom opsegu od 2,5 do 10 mA. Kaskodni tranzistori sadrže samo po dva paralelna emitera površine $A_e = 0,12 \mu\text{m} \times 0,84 \mu\text{m}$, što daje relativno veliku gustinu struje. Tako se postižu dobre performanse HBT-ova u 60 GHz-nom opsegu učestanosti.

Pojačani signal je podeljen pomoću diferencijalnog transformatora na signale za TX i RX putanju. Diferencijalni transformator je realizovan u sloju metala TM2. Širine metala su $3 \mu\text{m}$, a rastojanja između primarnog i sekundarnih navojaka su $2 \mu\text{m}$. Korišćeno je minimalno rastojanje između navojaka kako bi se dobili najveći koeficijenti magnetske sprege. Dimenzije transformatora su $105 \mu\text{m} \times 110 \mu\text{m}$. Impedansa opterećenja pojačavačkog stepena je fino podešena pomoću dva serijski povezana MIM kondenzatora ekvivalentne kapacitivnosti 18 fF. Izlazni baferi koriste modifikovanu tehniku upravljanja strujom kako bi postigli programabilnost ukupnog pojačanja na RF putanji signala. Zbir referentnih struja I_C i I_{CC} je konstantan, dok je njihov odnos podesiv pomoću 3-bitne reči GC. Kontrolom ovog odnosa se određuje da li će polarizaciona struja u izlaznom baferu prolaziti u većoj meri kroz stepen sa zajedničkom bazom na RF putanji ($I_{CC} > I_C$) ili kroz pomoćnu granu ($I_{CC} < I_C$). Na ovaj način se kontroliše ukupno naponsko pojačanje kroz APD. Ukupna polarizaciona struja izlaznog bafera je podesiva u opsegu 4–16 mA kontrolom napona V_{BGC} , dok je nominalna vrednost 8 mA. Opterećenje bafera se sastoji od transformatora i sprežnih MIM kondenzatora kapacitivnosti 35 fF koji daju pretežno induktivnu izlaznu impedansu APD-a, pa se tako postiže širokopojasno prilagođenje na pretežno kapacitivnu ulaznu impedansu predajnika.

Na osnovu simulacija, naponska pojačanja APD-a ($|S_{21}|$ i $|S_{31}|$) su identična i programabilna u opsegu od 0 do 14 dB sa korakom 2 dB. Ova kontrola je verifikovana tokom merenja i pojačanje se skalira kao što je predviđeno simulacijama. Usled velike amplitude signala na izlazu VCO-a, pojačanje u TX putanji je podešeno na minimalnu vrednost. S druge strane, pojačanje u RX putanji je podešeno na maksimalnu vrednost, jer se izlazni signal APD-a vodi kroz pasivnu strukturu, u kojoj postoje značajni gubici, preko stopice i žice za povezivanje van čipa. Stoga je veliko pojačanje APD-a u praktičnim primenama veoma važno za RX putanju gde je potrebno dodatno pojačati signal. Simulirani izlazni koeficijenti refleksija APD-a su manji od -10 dB na celom opsegu od interesa. Dimenzije fizičke implementacije APD-a zajedno sa složenim kolom za polarizaciju su oko $470 \mu\text{m} \times 370 \mu\text{m}$.

5.3.7 Pasivni generator kvadraturnih signala

Izlazni RX signal APD-a se vodi na pasivni I/Q generator, čiji se diferencijalni izlazni signali konvertuju u $50\ \Omega$ -ske jednostrane signale pomoću izlaznih mreža za prilagođenje, kao što je to prikazano na slici 89. Ovi kvadraturni izlazi, RXI i RXQ, su predviđeni kao LO signali za I/Q demodulator koji se nalazi van čipa.



Slika 89: (a) 3D pregled fizičke realizacije pasivnog I/Q generatora za RX lanac predviđen van čipa, (b) simulacija I/Q fazne razlike i amplitudske neusklađenosti i (c) poređenje rezultata merenja i simulacija izlaznih snaga.

Generisanje I/Q signala je ostvareno pomoću 90° hibridnog sprežnjaka na osnovu $\lambda/4$ vertikalne sprege, koji je u literaturi poznat kao usmereni sprežnjak sa vertikalnom spregom (engl. *Broadside Coupler* - BSC). U poređenju sa konkurentnim

pasivnim kolima za generisanje kvadrature, kao što su spreznjaci sa koncentrisanom spregom (engl. *Branch-Line Coupler* - BLC) ili polifazni filtri (engl. *Polyphase Filter*), BSC postiže manju faznu grešku na širokom opsegu učestanosti, relativno male gubitke koji su poredivi sa teorijskim ograničenjem od 3 dB, dovoljno malu površinu na čipu i dobro širokopolasno prilagođenje. To ga čini optimalnim izborom za rad u 60 GHz nelicenciranom opsegu. Detaljna analiza različitih pasivnih struktura za generisanje kvadrature, projektovanih u SG13S tehnološkom procesu za rad u 60 GHz-nom opsegu, je data u literaturi [174].

U integrisanim realizacijama, BSC je pogodan za implementaciju jer vertikalno spregnuti $\lambda/4$ vodovi zauzimaju manju površinu na čipu. Koeficijent sprege između susednih slojeva metala u BSC-u je dat kao:

$$k = \frac{Z_{0e} - Z_{0o}}{Z_{0e} + Z_{0o}} = \sqrt{\epsilon_r} \cdot k_0, \quad (72)$$

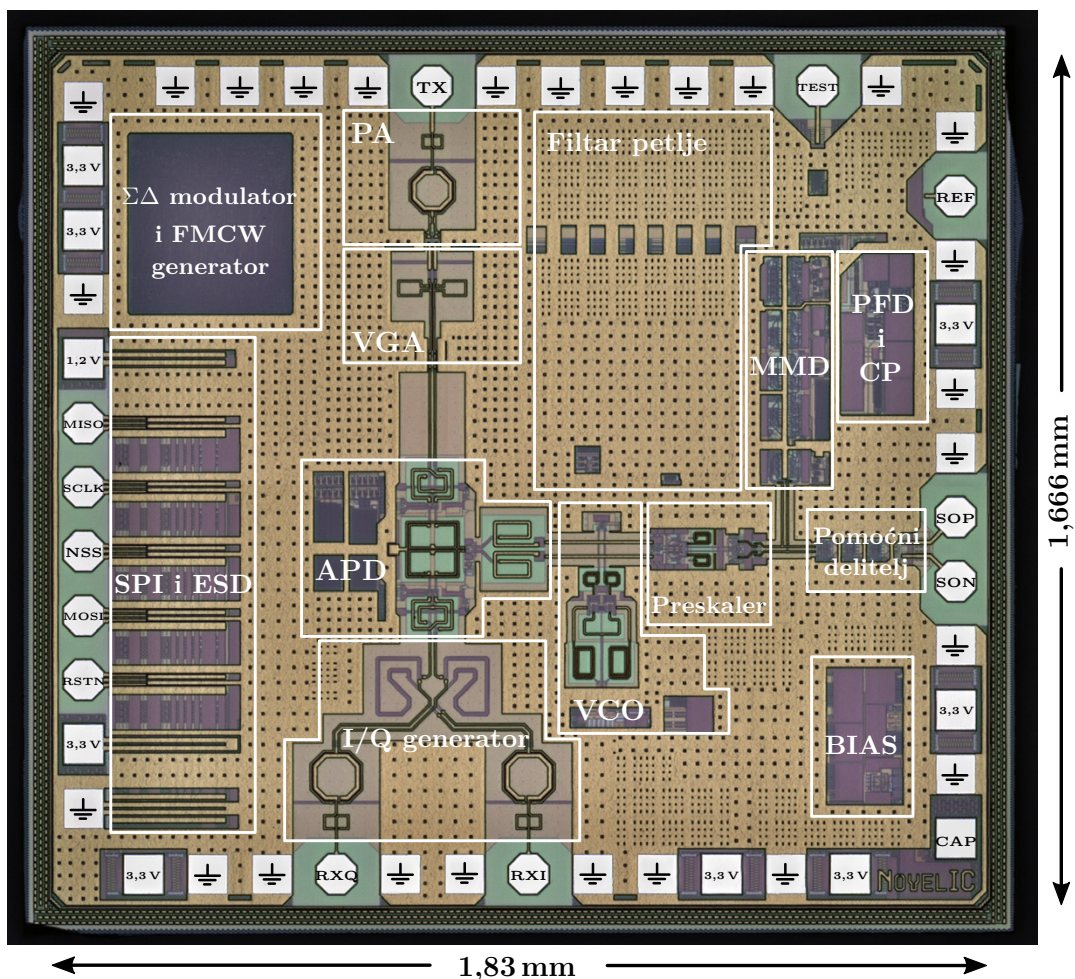
gde su Z_{0e} i Z_{0o} impedanse parnog i neparnog moda spregnutih vodova, ϵ_r relativna permitivnost dielektrika, a k_0 koeficijent sprege dva voda u vazduhu. Potencijalni nedostatak BSC-a je potreba za specifičnim BEOL-om, s obzirom na to da se željene impedanse parnog i neparnog moda možda ne mogu postići za proizvoljno vertikalno rastojanje između dva susedna sloja metala. Stoga se proračunom karakterističnih impedansi spregnutih vodova moraju odrediti podobni slojevi metala za realizaciju usmerenog spreznjaka. Predloženi BSC u ovom projektnom primeru koristi spregu između slojeva metala M5 i TM1, pri čemu je rastojanje između njih $0,85 \mu\text{m}$. Pored toga, važna osobina BSC-a je da su distribuirane kapacitivnosti spregnutih vodova nesimetrične u odnosu na masu. Kako bi se kompenzovala nesimetrija i dodatno optimizovao propusni opseg BSC-a, širine spregnutih vodova su različite. Kao rezultat optimizacije strukture pomoću 3D EM simulatora, dobijene su širine vodova 8 i $5 \mu\text{m}$ koje odgovaraju slojevima metala M5 i TM1, respektivno.

Kolo za izlazno prilagođenje na 50Ω je projektovano zajedno sa transformatorom koji konvertuje diferencijalni signal u jednostrani. Transformator sadrži po jedan primarni i sekundarni navojak i realizovan je u sloju metala TM2.

Kao što je prikazano na slici 89(b), BSC postiže faznu grešku manju od 2° na celom opsegu od interesa, dok je prosečna amplitudska neusklađenost oko 1 dB. Izmereni izlazni koeficijenti refleksije su manji od -11 dB. Snaga na izlazima čipa RXI i RXQ je izmerena za maksimalno pojačanje APD-a, dok je poređenje rezultata merenja i simulacija dato na slici 89(c). Na osnovu ovog poređenja se dobija veoma slična amplitudska neusklađenost, kao i u slučaju 3D EM simulacije samog BSC-a.

5.4 Eksperimentalni rezultati

Fotografija čipa opisanog blok dijagramom sa slike 76 je snimljena mikroskopom, označena i prikazana na slici 90. Ukupna površina čipa je $3,05 \text{ mm}^2$. Dimenzije stopica čipa su $80 \mu\text{m} \times 80 \mu\text{m}$, a rastojanje centara dve susedne stopice je $125 \mu\text{m}$. Rastojanja između stopica su usvojena tako da odgovaraju korišćenju GSG sonde Cascade Microtech Infinity i67 pomoću koje su izvršena sva mmWave merenja. Oko integrisanog kola se nalazi zaštitni prsten širine $30 \mu\text{m}$, koji štiti čip od oštećenja prilikom laserskog sečenja. Stoga konačne dimenzije čipa mogu blago varirati i uvek su veće od projektovanih.



Slika 90: Fotografija fabrikovanog FMCW predajnika za rad u 60 GHz-nom opsegu.

Integrisano kolo poseduje jednu masu koja je globalna i većim delom distribuirana u debelom sloju metala TM2. Visoko rezistivni supstrat ($50 \Omega\text{cm}$) u ovom SiGe BiCMOS tehnološkom procesu zahteva poseban tretman prilikom povezivanja na

masu. Upravo zahvaljujući velikoj otpornosti supstrata, sprega šuma između blokova je znatno smanjena. Imajući u vidu uticaj induktivnosti žica za povezivanje na talasanje mase i relativno veliku potrošnju integrisanog kola, povezivanje mase čipa sa PCB-om je realizovano preko 26 stopica. Na ovaj način se paralelnim žicama za povezivanje smanjuju ekvivalentna parazitna otpornost i induktivnost veze.

Napajanja su razvedena u debelom sloju metala TM1. U integrisanom kolu postoje osam 3,3V analogna naponska domena i jedan 1,2V domen za digitalna kola. Razdvajanjem naponskih domena se smanjuje sprega šuma između kritičnih RF blokova. Naponski domeni su uglavnom podeljeni po velikim potrošačima, dok su kola koja imaju slične izvore šuma grupisana u isti naponski domen. Stoga postoje sledeći naponski domeni: VCO, APD, PA, VGA, PLL, delitelji, BIAS, digitalni deo i SPI ESD. Napajanja su interno filtrirana pomoću distribuiranih MIM kondenzatora kroz čije elektrode u TM1 protiče struja, pri čemu svako napajanje ima ekvivalentnu kapacitivnost veću od 50 pF. Tako se značajno smanjuje talasanje napajanja na visokim učestanostima. Ukupna potrošnja FMCW predajnika je 550 mW, a merenja pojedinačnih doprinosa za različite domene napajanja su data u Tabeli 10.

Tabela 10: Izmerena potrošnja po domenima napajanja FMCW predajnika za rad u 60 GHz-nom opsegu.

Domen	Napajanje [V]	Potrošnja [mW]	Procentualno [%]
APD	3,3	125	22,73
PA	3,3	115	20,91
VCO	3,3	100	18,18
Delitelji	3,3	95	17,27
PLL	3,3	52	9,46
VGA	3,3	40	7,27
BIAS	3,3	16	2,91
Digitalni deo	1,2	6	1,09
SPI ESD	3,3	1	0,18
		$\Sigma = 550$	$\Sigma = 100$

Karakterizacija fabrikovanog FMCW sintetizatora, koji je deo predstavljenog čipa, je izvršena u laboratorijama instituta IHP Microelectronics merenjem signala na skaliranom i direktnim izlazima.

5.4.1 Opis test okruženja za karakterizaciju FMCW sintetizatora

Kako bi se testirao fabrikovani FMCW sintetizator i obezbedili optimalni radni uslovi, razvijena su četiri namenska PCB-a:

- DC PCB – generiše napone napajanja za projektovano integrisano kolo,
- referentni PCB – nosi i polariše čip CMOS reference na 250 MHz,
- MCU PCB – nosi mikrokontroler za podešavanje sistema preko SPI-a,
- RF PCB – nosi projektovani čip i ima pasivne strukture za konverziju izlaza.

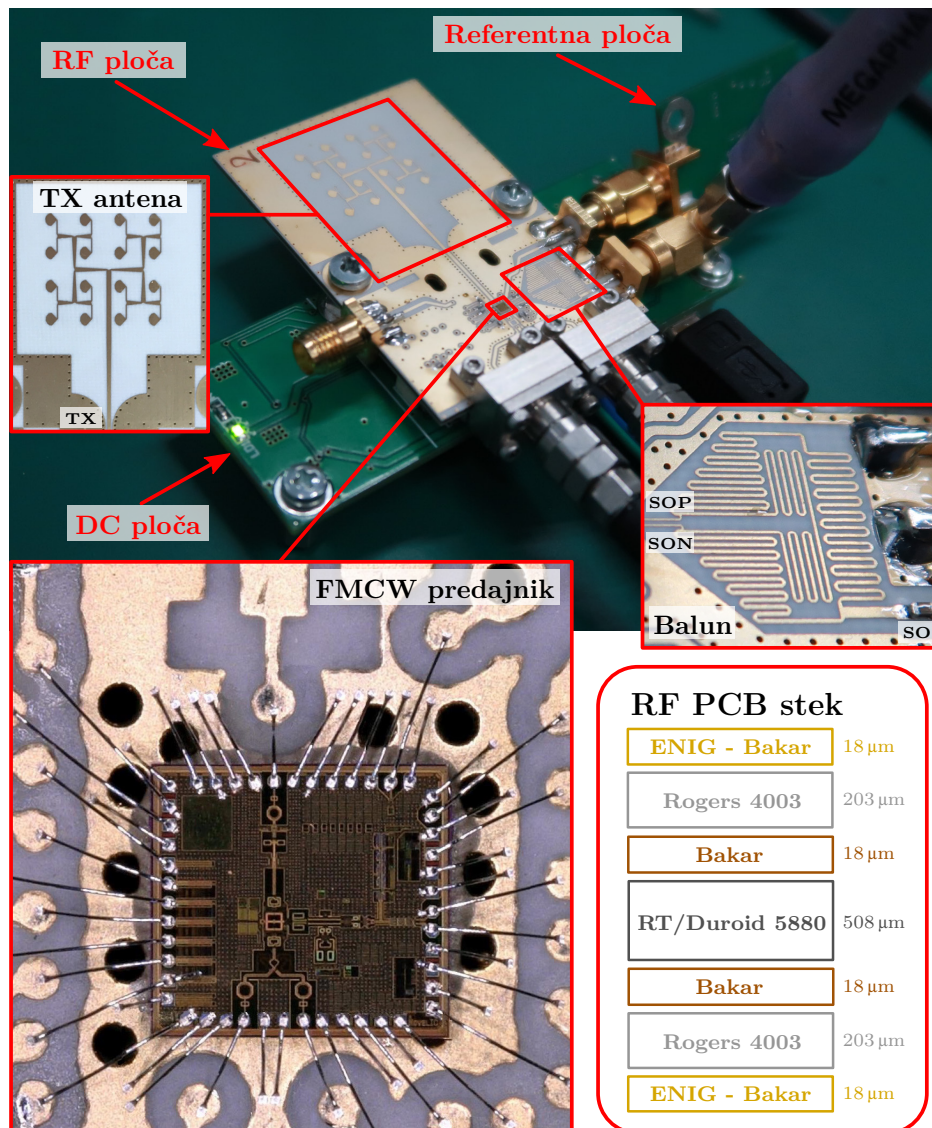
Štampana ploča za generisanje napona napajanja (DC PCB) obezbeđuje sva potrebna napajanja za FMCW predajni modul. Ploča je projektovana na višeslojnom FR4 supstratu i sastoji se od malošumnih regulatora (engl. *Low-Dropout Regulator* - LDO), koji u kombinaciji sa distribuiranim filtrima za napajanje smanjuju uticaj spoljašnjeg šuma na ukupni fazni šum FMCW sintetizatora. DC PCB se napaja naponom od 5 V preko mikro-USB kabla.

Referentni PCB sadrži komercijalno dostupni kristalni oscilator visokih performansi, čiji je izlaz jednostrani CMOS signal učestanosti 250 MHz u naponskom domenu 3,3 V. Ovaj PCB je testiran zasebno, pri čemu su izmerene osnovne karakteristike izlaznog signala. Izmereni fazni šum referentnog signala na 1 kHz, 10 kHz, 100 kHz, 1 MHz i 10 MHz relativno u odnosu na 250 MHz nosilac je -108 , -116 , -122 , -134 i -145 dBc/Hz, respektivno.

Podešavanja FMCW predajnika se vrše preko SPI slejv kontrolera koristeći eksterni master koji se nalazi na MCU PCB-u. U ovu svrhu je iskorišćena komercijalno dostupna ploča sa mikrokontrolerom STM32F103C8T6, firme STMicroelectronics.

RF PCB sadrži projektovani čip FMCW predajnika i povezuje ga sa preostale tri štampane ploče. Pored toga, RF PCB razvodi izlazne signale čipa, konkretno TX, RXI, RXQ, SOP, SON i TEST, na odgovarajuću test opremu preko SMA i 2,4 mm konektora. Fizička realizacija RF PCB-a je prilagođena različitim test scenarijima: 1) za direktna merenja mmWave izlaznih signala na TX, RXI i RXQ stopicama čipa pomoću GSG sonde; 2) za merenje istih signala preko 2,4 mm konektora; i 3) za merenje TX signala emitovanog pomoću integrisane predajne antene. U okviru ove disertacije su prikazani samo rezultati dobijeni direktnim merenjima.

Fotografija prethodno opisanih PCB-ova je prikazana na slici 91 sa glavnim RF komponentama, predajnom antenom i balunom, zaokruženim na RF PCB-u i datim na isečcima.



Slika 91: Fotografija PCB-ova za testiranje i povezanog FMCW predajnika.

Sve komponente na RF PCB-u su projektovane tako da rade na znatno širem opsegu od 60 GHz-nog. Na ovaj način se uzimaju u obzir tolerancije proizvodnje štampe. Dielektrici i broj slojeva metala RF PCB-a su izabrani tako da se postignu zadovoljavajuće karakteristike integrisane TX antene, koja je projektovana u svrhu testiranja čipa. S obzirom na to da je potreban veliki propusni opseg koji je teško postići sa klasičnim “peč”(engl. *Patch*) antenama, projektovan je 4×4 antenski niz dipola, za šta su neophodna najmanje tri sloja metala. Poprečni presek RF PCB-a je prikazan na slici 91. Prva dva sloja metala između tankog RO4003 dielektrika predstavljaju antenski deo, dok je naredni metalni sloj, koji se nalazi ispod debljeg

dielektrika RT5880, povezan na masu i predstavlja reflektor antene.

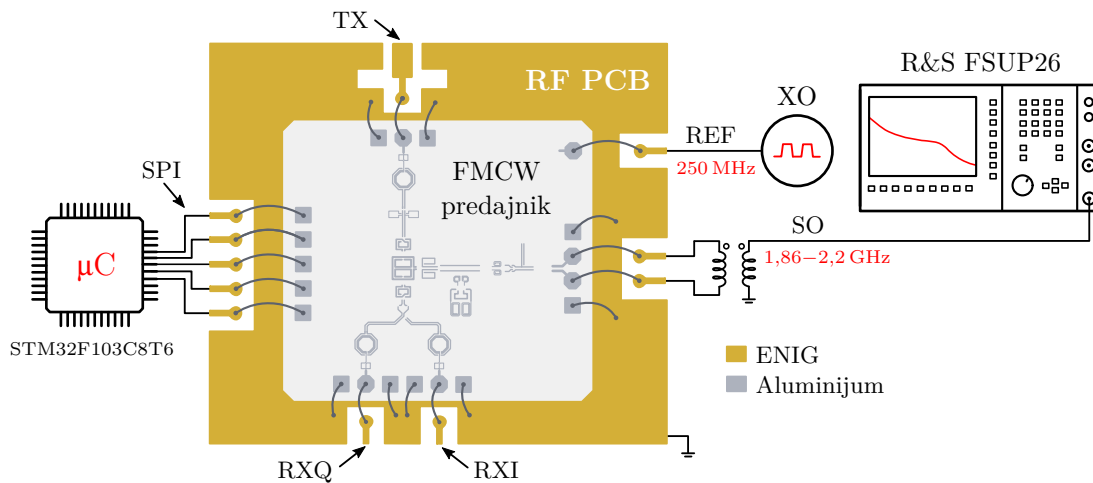
Prelaz skaliranog izlaza ($\div 32$) sa $100\ \Omega$ diferencijalnog na $50\ \Omega$ jednostrani signal je realizovan na RF PCB-u i prikazan na desnom isečku slike 91. Na jednostrani izlaz baluna je povezan sprežni kondenzator od $5\ \text{pF}$ koji blokira jednosmernu komponentu struje, a nakon toga je povezan SMA konektor. Tako se na izlazu konektora dobija signal čija je učestanost srazmerna učestanosti VCO-a, što je korisno prilikom testiranja i nadgledanja funkcionalnosti čipa. Balun se sastoji od četiri mikrotrakasta voda, čije su dužine jednake četvrtini talasne dužine na učestanosti $2\ \text{GHz}$. Vodovi su meandrirani kako bi se smanjila ukupna površina baluna. Impedanse mikrotrakastih vodova su odabrane tako da se postignu dobra prilagođenja na balansiranim i nebalansiranim pristupima, kao i da se smanje gubici koji su manji od $1\ \text{dB}$ na celom skaliranom opsegu od $1,78$ do $2,22\ \text{GHz}$.

Kako bi se smanjila dužina žice za povezivanje stopice čipa i PCB-a i tako ujedno smanjila parazitna induktivnost, supstrat čipova je istanjen na nivou vejjera tako da im je konačna visina oko $200\ \mu\text{m}$. Pored toga, koristi se *wedge-to-wedge* tehnika povezivanja stopica čipa sa aluminijumskim žicama prečnika $25\ \mu\text{m}$. Na ovaj način se postiže najmanji ugao savijanja žice koji je neuporedivo manji od ugla dobijenog konkurentnom *ball-to-ball* tehnikom povezivanja. Kao rezultat se za osetljive veze dobija dužina žice manja od $0,5\ \text{mm}$, što se može videti u slučaju povezivanja stopice TX na isečku u donjem delu slike 91. Nedostaci *wedge-to-wedge* tehnike povezivanja su korišćenje aluminijumskih žica umesto zlatnih koje imaju bolju provodnost i potreba za velikim pritiskom prilikom zakivanja. Impulsni pritisak na stopicu može dovesti do trajnog oštećenja čipa ukoliko se ispod njega ne nalazi čvrst materijal.

TX mreža za prilagođenje delimično kompenzuje parazitnu induktivnost žice koja povezuje TX izlaz čipa sa glavnim ulaznim vodom predajnog antenskog niza. Minimalna dužina žice za povezivanje je ograničena varijacijom dimenzija čipa, koja zavisi od preciznosti laserskog sečenja. TX mreža za prilagođenje se sastoji od kratkog dela mikrotrakastog voda visoke impedanse, koji je optimizovan za različite dimenzije čipa i dužine žice. Prelaz je analiziran u 3D EM simulatoru gde je dobijeno slabljenje $2\text{--}4\ \text{dB}$ na celom opsegu od interesa, dok su merenja sistema pokazala maksimalno $1\ \text{dB}$ veći gubitak od simuliranog. Ova razlika postoji usled prekomernog ecovanja bakarne metalizacije na PCB-u, što se može jasno videti na slici 91. Pored toga, može se primetiti i da su vije na RF PCB-u pomerene u odnosu na projektni crtež gde su postavljene u ravni. To su indikatori da kvalitet izrade štampe nije na visokom nivou, što sa druge strane odgovara niskoj ceni proizvodnje.

5.4.2 Merenja na skaliranom izlazu ($f_{\text{out}} \div 32$)

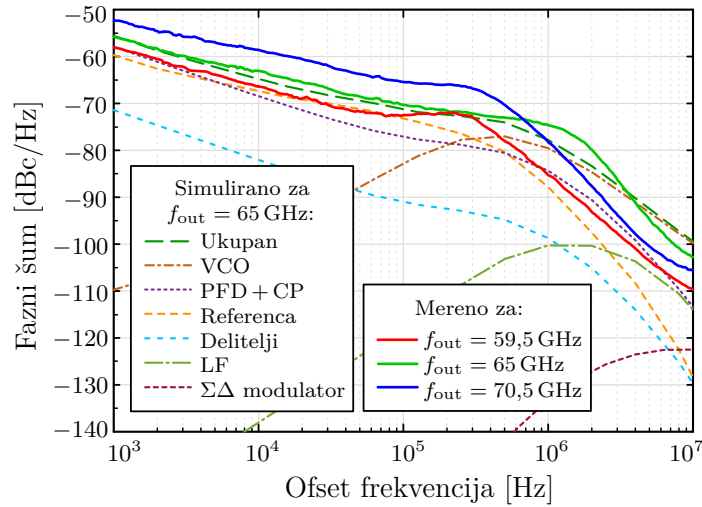
Performanse faznog šuma su merene na skaliranom izlazu SO pomoću analizatora signala (engl. *Signal Source Analyzer - SSA*) FSUP26, firme Rohde & Swarz (R&S). Ovaj uređaj je u mogućnosti da direktno meri fazni šum signala do učestanosti nosioca 26 GHz. Tokom merenja faznog šuma SSA je podešen tako da radi u PLL modu, koji je znatno precizniji od rada u modu analizatora spektra. Dobijeni rezultati su skalirani dodavanjem teorijske razlike od $20\log(32)$ dB na izmerenu vrednost. Na ovaj način je procenjen fazni šum na mmWave izlazu FMCW predajnika. Postavka za merenje faznog šuma na skaliranom izlazu je prikazana na slici 92.



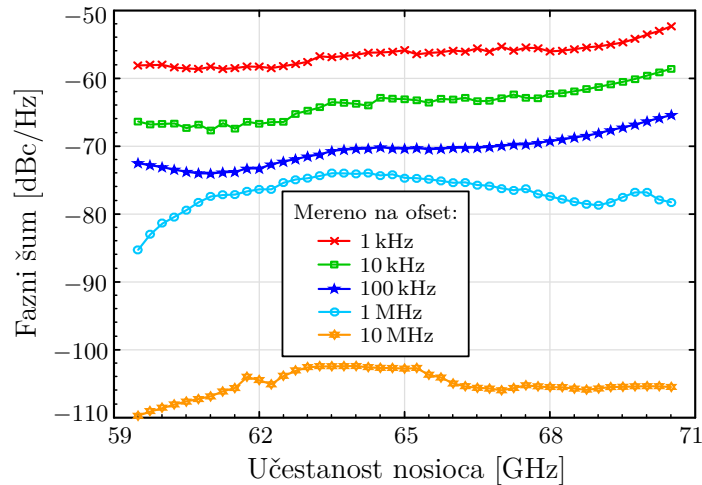
Slika 92: Postavka za merenje faznog šuma na skaliranom izlazu čipa.

Izmereni fazni šum sintetizatora, podešenog za rad u *fractional-N* modu na minimalnoj, centralnoj i maksimalnoj radnoj učestanosti, je prikazan na slici 93(a), dok su na slici 93(b) date gustine faznog šuma na određenim ofset frekvencijama u zavisnosti od učestanosti nosioca. Doprinosi šuma podblokova su procenjeni na osnovu simulacija, kombinacijom PSS i PNOISE analiza u SpectreRF simulatoru. Rezultujući fazni šumovi na izlazu sintetizatora učestanosti su potom izračunati pomoću funkcija prenosa, opisanih u odeljku 3.3, a ukupni fazni šum je dobijen superpozicijom pojedinačnih doprinosa.

Usled varijacije osetljivosti VCO-a na ovako velikom propusnom opsegu, granična učestanost PLL-a se značajno menja. Za maksimalni K_{VCO} oko sredine opsega podešavanja, propusni opseg petlje je najveći, što se može proceniti sa slike 93. S druge strane, sa slike 78 se jasno može zaključiti da se najveća degradacija f_C dešava blizu ivica krive podešavanja, gde je K_{VCO} na svom minimumu. U ukupnom faznom



(a)

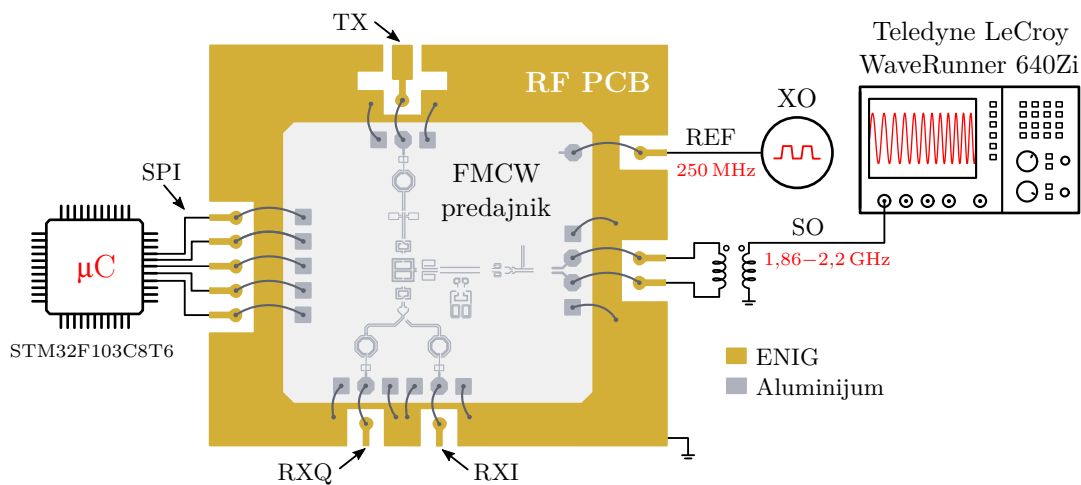


(b)

Slika 93: Statički fazni šum FMCW sintetizatora izmeren u *fractional*-N modu u zavisnosti od (a) ofset frekvencije na tri različite učestanosti nosioca sa odgovarajućim rezultatima simulacija doprinosa individualnih podblokova i (b) učestanosti nosioca na pet različitim ofset frekvencija.

šumu sintetizatora dominira doprinos šuma VCO-a van propusnog opsega petlje, odnosno doprinosi šuma reference i PFD-CP lanca unutar propusnog opsega petlje.

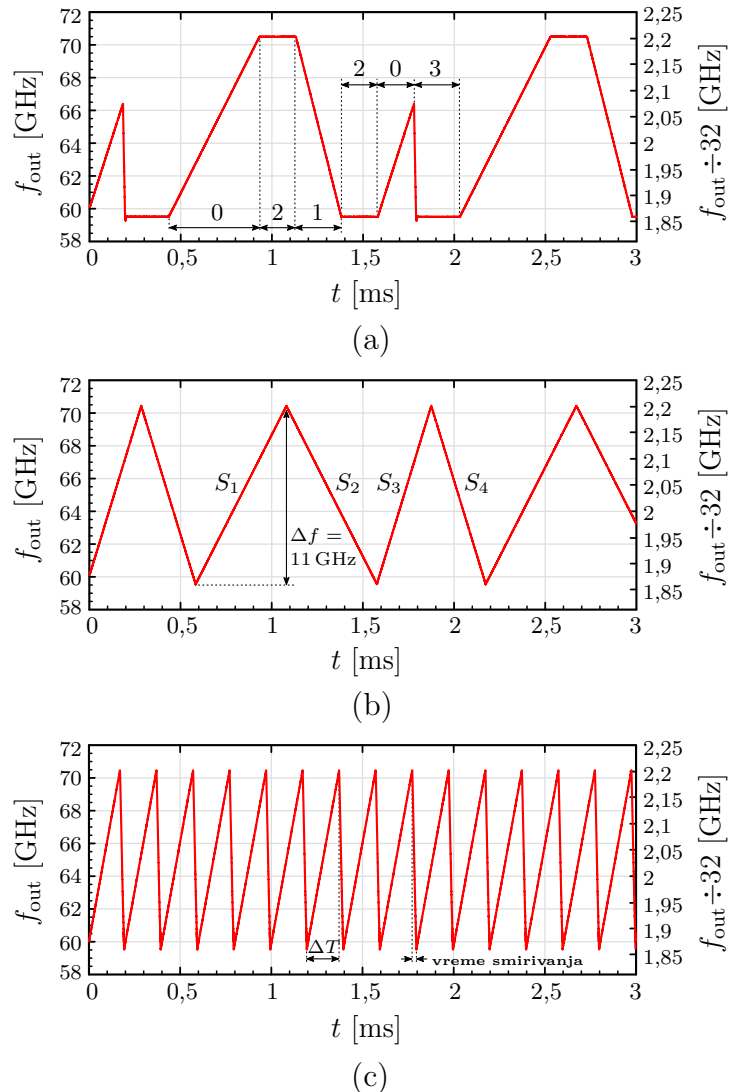
Postavka za merenje talasnih oblika učestanosti i linearnosti čirpa na skaliranom izlazu čipa je prikazana na slici 94. U ovu svrhu se koristi osciloskop sa velikom učestanošću odabiranja, koji kontinualno snima signal u vremenskom domenu na skaliranom izlazu. Korišćen je LeCroy WaveRunner 640Zi osciloskop firme Teledyne sa brzinom odabiranja 40 GS/s.



Slika 94: Postavka za merenje talasnih oblika učestanosti i linearnosti rampe na skaliranom izlazu čipa.

Kako bi se demonstrirala funkcionalnost integrisanog FMCW generatora, sistem je podešen tako da sintetiše složene talasne oblike učestanosti i pomoću osciloskopa je izmeren signal na skaliranom izlazu. Učestanost izmerenog signala je pomnožena sa 32 i prikazana na slici 95(a). Šest različitih konfiguracija čirpa je korišćeno u ovom složenom talasnom obliku, gde su prikazana sva četiri moguća moda rada (uzlazni - 0, silazni - 1, održi - 2 i vraćanje na početnu vrednost - 3). Primer trougaonog talasnog oblika učestanosti sa više različitih nagiba, koji omogućava nedvosmislenu detekciju do dve brze mete, je prikazan na slici 95(b). Ovaj talasni oblik ima propusni opseg od 11 GHz i četiri različita nagiba, gde su $S_1 = -S_2$ i $S_3 = -S_4$. Poslednji primer je prikazan na slici 95(c) i predstavlja brzi testerasti talasni oblik, koji se koristi u 2D-FFT [86] procesu ekstrakcije. Trajanje modulacije je oko $180 \mu\text{s}$, a propusni opseg 11 GHz. Reset konfiguracija sa vremenom čekanja od $20 \mu\text{s}$ je dodata nakon uzlazne rampe, što odgovara vremenu smirivanja PLL-a.

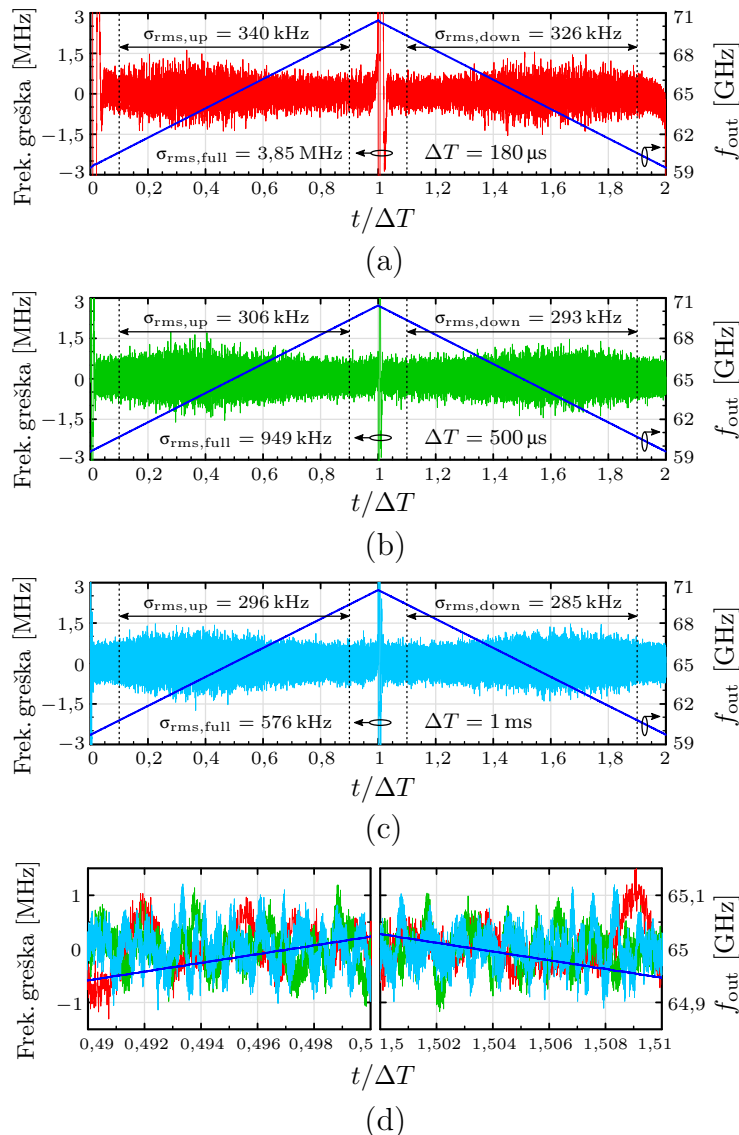
Skalirani FMCW signal, čija je učestanost u opsegu 1,86–2,2 GHz, zahteva da SSA ima najmanje 350 MHz propusnog opsega za snimanje frekvencijski promenljivih signala u vremenskom domenu, kako bi se obradila nelinearnost rampe od 11 GHz. Ovo nije izvodljivo sa dostupnom opremom, pa je korišćen osciloskop sa visokom učestanošću odabiranja za proračun frekvencijske greške između izmerene učestanosti i idealno linearne prave. Skalirani signal u vremenskom domenu je prvo snimljen pomoću osciloskopa u intervalima od 3,2 ms pri maksimalnoj učestanošći odabiranja. Kao rezultat, dobija se samo 18–22 odbiraka po jednoj periodi korisnog signala, što daje veliki šum uzorkovanja koji je neophodno filtrirati. Nakon što



Slika 95: Izmereni primeri (a) složenog talasnog oblika učestanosti, (b) simetričnog trougaonog talasnog oblika učestanosti sa više različitih nagiba i (c) testerastog talasnog oblika učestanosti za 2D-FFT princip ekstrakcije.

se učestanost nosioca f_{s00} izračuna, pronalaženjem odgovarajućih vršnih vrednosti u frekvencijskom domenu, skalirani signal se množi kompleksnim eksponentom $e^{-j2\pi f_{s00}t}$ i tako spušta u osnovni opseg. Šum uzorkovanja se tako u velikoj meri potiskuje niskopropusnim filtriranjem signala. Kao neželjeni efekat filtriranja, doprinos faznog šuma je takođe potisnut, što rezultuje ukupnom frekvencijskom greškom koja je donekle optimistična i u kojoj dominira nelinearnost rampe. Iako ovaj pristup ima ograničenu tačnost, koja zavisi od učestanosti odabiranja osciloskopa i procedure filtriranja, konačni rezultati merenja su slični rezultatima dobijenim simulacijom pojednostavljenog Verilog-A modela. Prema rezultatima simulacije, nelinearnost

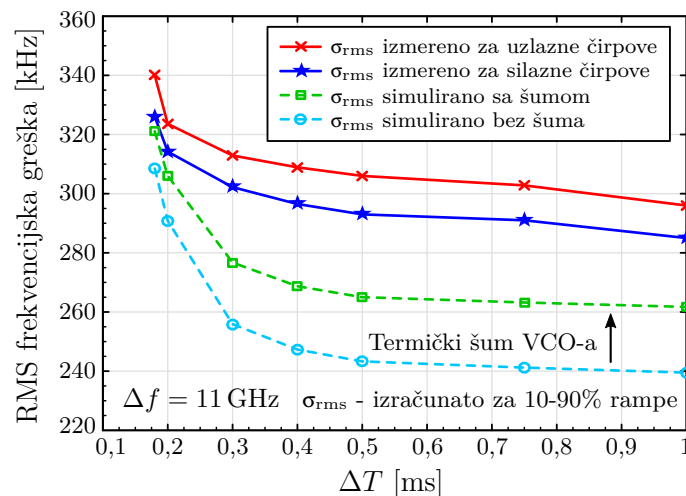
rampe je dominantno određena propusnim opsegom PLL-a i vrednošću K_{VCO} , što je isto tako potvrđeno merenjima. Kao što je prikazano na slici 96, envelope frekvencijske greške ima konveksan oblik uzrokovan povećanjem K_{VCO} na sredini čirpa. Ovo je pogotovo vidljivo u slučaju sporih rampi, gde se koristi veliki broj frekvencijskih koraka. Najbrži trougaoni talasni oblik, kao što je prikazano na slici 96(a), ima RMS frekvencijsku grešku 3,85 MHz, a najsporiji sa slike 96(c) ima 576 kHz, što je nekoliko puta manje uglavnom zahvaljujući boljoj linearnosti u prelaznim delovima.



Slika 96: Izmerena frekvencijska greška (nelinearnost) u poređenju sa idealno linearnim čirpom trougaonog talasnog oblika učestanosti sa brzinom modulacije (a) 11 GHz/180 μs , (b) 11 GHz/500 μs i (c) 11 GHz/1 ms, kao i (d) sve pomenute nelinearnosti uvećane zajedno.

Na slici 96(d) se mogu videti uvećane frekvencijske greške, koje su u većoj meri određene promenom trenutne vrednosti delioca MMD-a u povratnoj sprezi. Izuzetno brze promene u frekvencijskoj grešci su rezultat uticaja faznog šuma sintetizatora i šuma uzorkovanja osciloskopa, koji su značajno smanjeni, ali ne i potpuno uklonjeni. Daljim filtriranjem frekvencijske greške se postiže veći stepen usrednjavanja i dodatno smanjuju doprinosi ovih šumova, ali se isto tako u manjoj meri utiče i na grešku uzrokovanu ponovljivom nelinearnošću rampe.

U primenama FMCW radara, linearnost na krajevima čirpa uglavnom nije od interesa zbog nemogućnosti obrade radarskih podataka. Stoga se samo središnji deo čirpa koristi za proračun *beat* učestanosti. Poređenje RMS frekvencijskih grešaka dobijenih na osnovu rezultata simulacija i merenja, proračunatih u opsegu 10–90% za uzlazne i silazne čirpove propusnog opsega 11 GHz, je prikazano na slici 97. Povećanje vremena modulacije iznad 1 ms blago smanjuje RMS frekvencijsku grešku, dok smanjenje ispod 180 μ s uzrokuje značajnu degradaciju linearnosti čirpa. RMS frekvencijske greške najbržih izmerenih uzlaznih i silaznih čirpova, isključujući tačke prelaza, su 340 kHz i 326 kHz, respektivno.

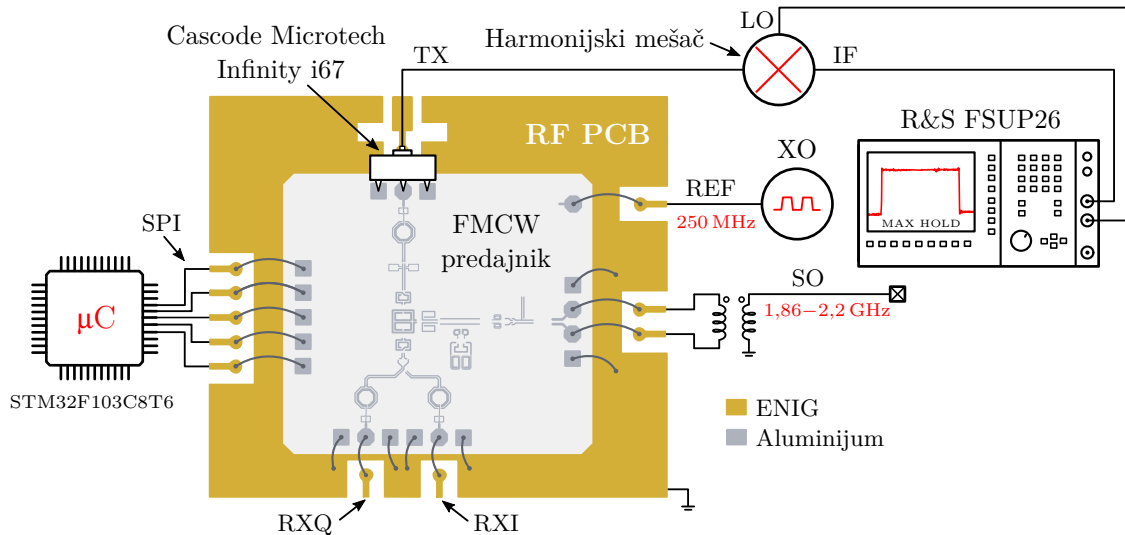


Slika 97: Poređenje rezultata merenja i simulacija RMS frekvencijske greške za uzlazne i silazne čirpove od 11 GHz u funkciji trajanja modulacije.

Verilog-A model VCO-a je ažuriran na osnovu rezultata merenja i dodata je mogućnost podešavanja termičkog šuma, čiji se intenzitet kontroliše pomoću posebne promenljive. Tako se povećavanjem termičkog šuma VCO-a istovremeno povećava i odgovarajuća RMS frekvencijska greška rampi. Rezultati simulacija pokazuju da dodavanje termičkog šuma VCO-a ima manji uticaj na strme čirpove, što samim tim podstiče njihovo korišćenje.

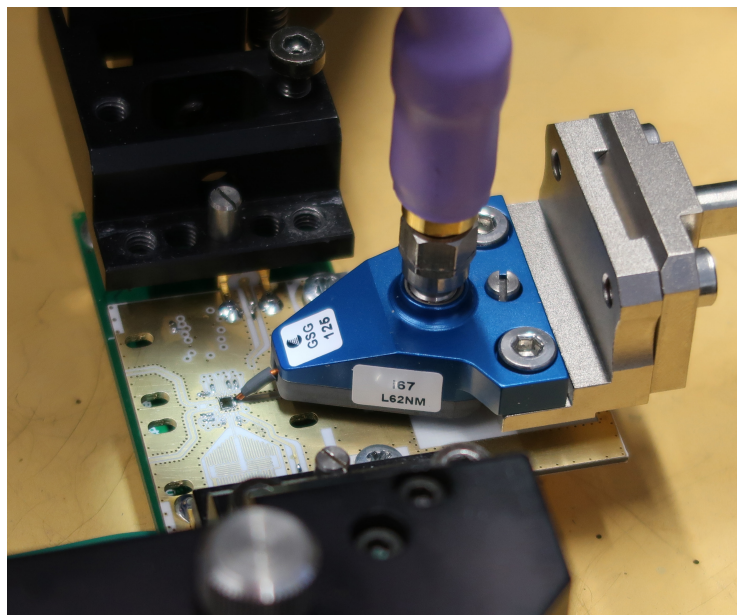
5.4.3 Merenja na direktnim izlazima

Postavka za merenje pomoću GSG sonde na direktnom izlazu TX je prikazana na slici 98. Korišćeni su R&S FSUP26 SSA u modu analizatora spektra i harmonijski mešać pomoću koga se mogu vršiti merenja do 110 GHz.



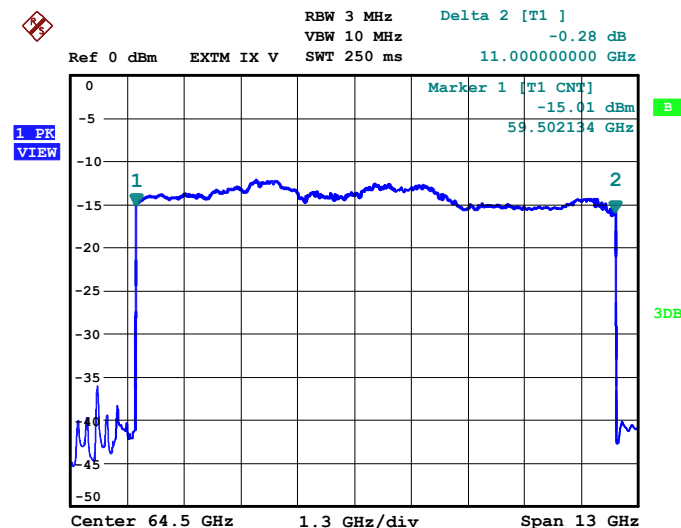
Slika 98: Postavka za merenje spektra tokom modulacije na direktnom izlazu čipa.

Fotografija GSG sonde povezane na TX izlaz FMCW predajnika je prikazana na slici 99.



Slika 99: GSG sonda povezana na TX izlaz FMCW predajnika.

Trougaoni talasni oblik učestanosti, koji se sastoji od rampi propusnog opsega 11 GHz i trajanja modulacije 500 μ s, je izmeren direktno na TX izlazu čipa pomoću GSG sonde. Frekvencijski spektar izlaznog signala tokom modulacije je prikazan na slici 100, pri čemu je SSA podešen tako da radi u *MAX HOLD* modu. SSA u *MAX HOLD* modu ažurira vršne vrednosti spektralnih komponenta izlaznog signala i na taj način tokom modulacije popunjava korisni deo spektra, koji pokriva ceo radni opseg modula od 11 GHz. Na ovaj način se relativno jednostavnim merenjem može proveriti propusni opseg podešenih rampi. Visok nivo šuma van radnog opsega FMCW sintetizatora je uzrokovan produktima množenja u pasivnom mešaču, koji su u spektru izlaznog signala relativno blizu nosiocu. Ove neželjene spektralne komponente se tokom modulacije pomeraju zajedno sa nosiocem.



Slika 100: Izmereni frekvencijski spektar na TX izlaznoj stopici čipa za trougaoni talasni oblik učestanosti sa rampama propusnog opsega 11 GHz i trajanjem modulacije 500 μ s. SSA radi u *MAX HOLD* modu bez sinhronizacije sa čipom.

Gubici Cascade Microtech Infinity i67 sonde, koja ima 1,8 mm konektor, su prema specifikacijama 1–1,5 dB na celom opsegu od interesa. Ukupni gubici pasivnih komponenta u postavci sa slike 98 su oko 21 dB i uključuju kabl, GSG sondu i mešač. Stoga se sa slike 100 može zaključiti da je prava snaga na TX stopici čipa u opsegu 5,5–8,5 dBm za učestanosti nosioca od 59,5 do 70,5 GHz. Pored toga, izlazna snaga na TX stopici je izmerena tačku po tačku pomoću senzora snage R&S NRP-Z57, koji je povezan na odgovarajući merač snage. PLL je tokom merenja podešen za rad u *fractional-N* modu, dok je učestanost nosioca menjana sa korakom 250 MHz u celom radnom opsegu FMCW sintetizatora. Rezultati dobijeni pomoću senzora snage na

TX izlazu se veoma dobro slažu sa prethodnom analizom spektra u FMCW modu, tokom koje su sintetisane rampe maksimalnog propusnog opsega. Rezultati merenja prikazani na slici 89(c) su isto tako dobijeni merenjima koristeći senzor snage, pri čemu je GSG sonda povezana na odgovarajuću izlaznu stopicu RXI ili RXQ. Gubici GSG sonde su uklonjeni iz rezultata merenja prikazanih na slici 89(c).

Fazni šum je izmeren pomoću postavke sa slike 98 i dobijeni rezultati su veoma slični prikazanim na slici 93. SSA je prilikom merenja faznog šuma podešen za rad u PLL modu. Direktnim merenjem faznog šuma na TX stopici su dobijeni malo bolji rezultati na bliskim ofset frekvencijama, što je u skladu sa teorijskim očekivanjem imajući u vidu da pomoćni delitelj unosi dodatni šum na skaliranom izlazu.

Merenje nelinearnosti rampe na direktnom izlazu je nepraktično iz više razloga. Prvi i najvažniji je ograničenje po pitanju karakteristika i dostupnosti merne opreme, kojom u najboljem slučaju može da se meri linearnost rampi propusnog opsega do 2 GHz. To je moguće korišćenjem veoma skupe postavke koja se sastoji od kombinacije analizatora spektra i signala R&S FSW67, koji može direktno da analizira signale do 67 GHz, i osciloskopa R&S RTO1044 sa učestanošću odabiranja 20 GS/s. Drugi razlog je tačnost ovih merenja usled ograničene učestanosti uzorkovanja signala i lokalnog hardverskog pomeranja učestanosti nosioca u osnovni opseg, koji unose određenu nesigurnost. Naposletku je veoma važno iskustvo u rukovanju ovom skupocenom opremom, jer se usled neadekvatnog podešavanja uređaja relativno lako mogu dobiti pogrešni rezultati. Tačnost merne opreme za karakterizaciju linearnosti rampe na direktnom izlazu je konačna, pre svega zbog pomeranja spektra korisnog signala u osnovni opseg i hardverske obrade signala unutar uređaja, koja ima ograničenu preciznost i unosi dodatni šum. Linearnost rampi FMCW sintetizatora, koji je prikazan u ovoj doktorskoj disertaciji, nije karakterisana na direktnom izlazu zbog nedostupnosti ove sofisticirane merne opreme u datom trenutku. Međutim, naredna verzija čipa u kojoj je FMCW sintetizator neznatno promenjen je karakterisana i na direktnom izlazu. Rezultati merenja nelinearnosti na direktnom izlazu su u skladu sa onim dobijenim na skaliranom izlazu. Ekvivalentna RMS frekvencijska greška rampe, koja je dobijena direktnim merenjem na TX izlazu, je čak šta više malo manja od izmerene na skaliranom izlazu. To je rezultat usrednjavanja velikog broja rampi, koje uređaj FSW67 automatski radi. Na ovaj način se uklanja uticaj faznog šuma i dobijaju samo ponovljive sporo promenljive nelinearnosti. Stoga se može zaključiti da su rezultati merenja linearnosti i faznog šuma na skaliranom izlazu dovoljno dobri kvantifikativni pokazatelji.

5.4.4 Poređenje sa podacima iz literature

Pregled nedavno objavljenih širokopojasnih FMCW sintetizatora učestanosti za rad u 60 GHz-nom opsegu je dat u Tabeli 11.

Tabela 11: Poređenje nedavno objavljenih FMCW sintetizatora učestanosti za rad u 60 GHz-nom opsegu.

Referenca	TMTT'18 [175]	EuMIC'16 [130]	JSSC'14 [79]	TMTT'18 [117] ^a
Tehnološki proces	SiGe bipolar	0,13 μ m SiGe	65 nm CMOS	0,13 μ m SiGe
Funkcija sistema	sintetizator	sintetizator	FMCW TX	FMCW TX
Arhitektura	<i>frac</i> -N PLL	<i>frac</i> -N PLL	ADPLL	<i>frac</i> -N PLL
Način sinteze	fundamental VCO	<i>push-push</i> VCO	fundamental DCO	fundamental VCO
Radni opseg [GHz]	50 ~ 72	60,9 ~ 63,8	56,4 ~ 63,4	59,5 ~ 70,5
Maksimalna Δf [GHz]	22	1,2	1,22	11
Nagib rampe [GHz/ms]: RMS frek. greška [kHz]	22/2,9 : 6,63 22/0,79 : 20,1 22/0,35 : 43,8	1,2/1,28 : 166 0,96/0,64 : 170 0,96/0,32 : 208 0,96/0,16 : 246	1,22/4,1 : 117 ^b 1/0,84 : 148 1/0,21 : 384	11/1 : 296 11/0,5 : 306 11/0,3 : 313 11/0,18 : 340
Maks. nagib [GHz/ms]	62,9	6	4,8	61,1
Fazni šum za ofset 1 i 10 MHz [dBc/Hz]	-95 ~ -90 -115 ~ -105	-89 ~ -86 -94	-90 -110	-85 ~ -74 -110 ~ -102
Izlazna snaga [dBm]	-	-	4 ~ 6	5 ~ 8,1
Potrošnja [mW]	-	310	89	550
Površina čipa [mm ²]: Površina jezgra [mm ²]	-	2,6 : -	2,28 : 0,48	3,05 : 2
Ugrađene funkcije	nema	multičirp	TPM sa više brzina	multičirp (do 16)
Stepen integracije	delimično integrisan	potpuno integrisan	potpuno integrisan	potpuno integrisan
FoM _{FMCW} ^c	-	-	179,7	193,9

^a Predloženi FMCW predajnik za rad u 60 GHz-nom opsegu

^b Uključuje frekvencijske prelaze sa uzlazne na silaznu rampu i obrnuto

^c Mera kvaliteta definisana izrazom (63) i izračunata za ofset frekvenciju 1 MHz

Širokopojasni 60 GHz-ni FMCW sintetizator, predložen u literaturi [175], je delimično realizovan u bipolarnom procesu, gde su na jednom čipu integrisani VCO,

PFD i delitelj. Ovaj sintetizator pokriva rekordni radni opseg od 22 GHz, zahvaljujući posebnoj arhitekturi Kolpic VCO-a, koja koristi dve varaktor diode velikog odnosa $C_{\text{var,max}}/C_{\text{var,min}}$ i veliki opseg promene kontrolnog napona ($> 8\text{ V}$) koji se ne može postići u savremenim tehnološkim procesima. Zato je kontrola VCO-a generisana aktivnim filtrom sa velikim naponom napajanja. Ovaj sistem, pored pomenutog mmWave čipa, sadrži više komercijalno dostupnih čipova, što povećava složenost i ukupnu potrošnju. U poređenju sa ostalim potpuno integrisanim FMCW sintetizatorima, realizacija predložena u okviru ove disertacije [117] postiže najveći propusni opseg rampe od 11 GHz i potencijalno omogućava najbolju radarsku rezoluciju. Sintetizator sadrži multičirp generator, sličan kao u [80]. Sofisticirani ADPLL, koji pokriva kompletan 60 GHz-ni opseg, je predstavljen u literaturi [79], ali je linearnost rampi prikazana samo za maksimalni propusni opseg od 1,22 GHz i najveću brzinu modulacije 4,8 GHz/ms, što je prevaziđeno predloženim dizajnom. Maksimalna brzina modulacije projektovanog FMCW sintetizatora je 61,1 GHz/ms.

Imajući u vidu da je predloženi potpuno integrisani FMCW predajnik namenjen za visokotiražna i niskobudžetna tržišta, RF supstrat koji nosi projektovani čip mora da bude finansijski isplativ, da bi se smanjila kombinovana cena modula. Stoga se ograničavajući faktori odgovarajućeg RF PCB-a kreću od veoma ograničenog izbora dielektrika, grube rezolucije površinskih slojeva metalizacije i tankog završnog pozlaćivanja nikla (ENIG), pa sve do lošeg kvaliteta proizvodnje. Kao što se može videti na isečku sa slike 91, vije koje prolaze kroz supstrat su pomerene, dok je površinski sloj metala prekomerno ecovan. To pogoršava karakteristike prototipa. Takođe, eksperimentalno potvrđeno povećanje gubitaka u supstratu na mmWave učestanostima smanjuje pojačanje i propusni opseg predajne antene. Uprkos povećanim gubicima antene, predloženi FMCW predajni modul postiže umerene vrednosti EIRP-a, koje su u opsegu od 8,5 do 15 dBm na celom radnom opsegu od 11 GHz.

Predloženi FMCW predajnik je u narednoj verziji čipa integrisan sa prijemnim lancem, pri čemu je centralna učestanost VCO-a blago pomerena naniže, kako bi se obuhvatio ceo 60 GHz-ni opseg. To je postignuto povećanjem induktivnosti kalema u bazi tranzistora Kolpic VCO-a. Pored toga, povećan je broj bita kojim se kontroliše nagib linearne frekvencijske rampe u FMCW generatoru, kako bi se uklonilo ograničenje maksimalne brzine modulacije iz prikazane verzije čipa. Tako je postignuto da nova verzija FMCW sintetizatora radi u opsegu od 54,5 do 64,5 GHz i postiže maksimalnu brzinu modulacije od čak 240 GHz/ms, pri čemu dolazi do očekivano velike degradacije linearnosti rampe.

6 Projektovanje FMCW sintetizatora učestanosti za rad u 79 GHz automobilskom opsegu

U poslednjoj dekadi, mnoge zemlje pokušavaju da povećaju sigurnost u transportnoj industriji uvođenjem raznih regulativa koje bi trebalo značajno da smanje broj nesrećnih slučajeva na putevima i gubitak ljudskih života. Stoga je generalna skupština Ujedinjenih nacija period od 2011 do 2020 godine nazvala “dekadom akcije za povećanje sigurnosti na putevima”. Razvoj integrisane radarske tehnologije je umnogome doprineo ispunjenju ovog cilja, pa danas gotovo svaki novi automobil srednje ili više klase ima nekoliko ugrađenih radarskih senzora. Ovo je tek početak, jer je potreba za radarskim sensorima u automobilskoj industriji veoma velika i nove primene se sreću svakodnevno. Stoga je u okviru ovog poglavlja prikazan projektni primer FMCW sintetizatora učestanosti koji radi u opsegu 77–81 GHz, rezervisanom za automobilske radare. Iako postoji određen broj blokova koji su preuzeti iz prethodnog projektnog primera, frekvenzijski plan i dinamika petlje se razlikuju. Pored toga, ovaj projektni primer ima veliku praktičnu važnost i primenu, pa zato zaslužuje posebnu pažnju.

Kao i u prethodnom primeru, kolo je projektovano u 0,13 μm SiGe BiCMOS tehnološkom procesu i usled visokih radnih učestanosti odabrana je hardverska arhitektura sa širokopojasnim fundamental VCO-om.

U odeljku 6.1 je prikazan frekvenzijski plan i dinamika petlje FMCW sintetizatora koji radi u 79 GHz automobilskom opsegu. Arhitektura kola i projektovanje podblokova, koji se razlikuju u odnosu na prethodni primer, su dati u odeljku 6.2. Prikazana je automatska frekvenzijska kalibracija širokopojasnog VCO-a, koja je poželjna u mmWave sintetizatorima za automobilsku primenu pre svega zbog uticaja PVT varijacija na učestanost oscilatora, ali i zbog rigoroznih regulativa koje zabranjuju emisiju van licenciranog opsega. S obzirom na to da ovaj projektni primer nije fabrikovan usled ograničenih resursa, rezultati simulacija su prikazani u odeljku 6.3. U ovom odeljku je takođe prikazano i poređenje sa karakteristikama iz objavljenih radova koji predstavljaju poslednju reč tehnike. Na kraju ovog poglavlja, u okviru odeljka 6.4, je dato grubo poređenje 60 i 79 GHz-nih FMCW sintetizatora po osnovnim parametrima, kao što su potrošnja, površina i propusni opseg.

6.1 Frekvencijski plan i određivanje parametara petlje

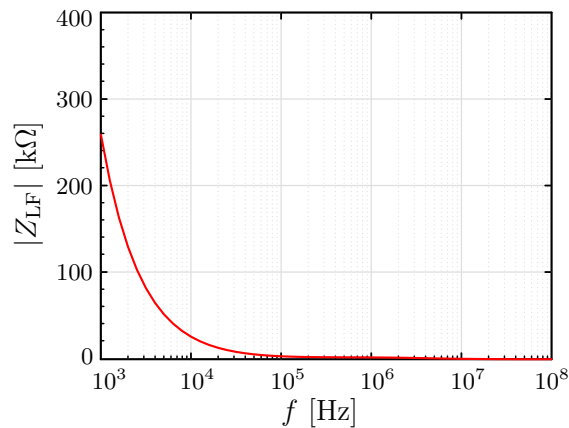
Projektovani FMCW sintetizator učestanosti za automobilske SRR senzore treba da bude u mogućnosti da generiše brze i visoko linearne frekvencijske rampe u opsegu od 77 do 81 GHz. Imajući u vidu da je pouzdanost integrisanih kola u automobilskoj industriji izuzetno važna, neophodno je da projektovani sistem u svim uslovima PVT varijacija radi u licenciranom opsegu. Zato je potrebno definisati dodatne margine u opsegu podešavanja VCO-a. U ovom projektnom primeru, širokopojasni VCO je projektovan tako da poseduje automatsku frekvencijsku kalibraciju (engl. *Automatic Frequency Calibration* - AFC), koja omogućava kompenzaciju uticaja PVT varijacija i podešava centralnu učestanost oscilatora. Dodavanje komponenata za grubo podešavanje učestanosti VCO-a je izvodljivo zahvaljujući znatno užem opsegu podešavanja, koji pokriva deo licenciranog spektra od 4 GHz oko centralne učestanosti 79 GHz. To je u poređenju sa 60 GHz-nim opsegom iz prethodnog primera skoro dvostruko manje. Kako bi se izbegla značajna degradacija osetljivosti VCO-a blizu ivica opsega podešavanja i obuhvatio ceo licencirani opseg, kontinualni opseg podešavanja VCO-a, koji ne uključuje dodatne margine za grubo podešavanje centralne učestanosti pomoću kola za AFC, treba da bude veći od 6 GHz. Stoga je potrebna prosečna osetljivost VCO-a oko 2,5 GHz/V, imajući u vidu napon napajanja od 3,3 V i radni opseg CP-a.

Referentna učestanost je ista kao u primeru FMCW sintetizatora učestanosti za rad u 60 GHz-nom opsegu i iznosi 250 MHz.

Ukupna vrednost delioca u povratnoj sprezi sintetizatora za centralnu učestanost 79 GHz iznosi 316. Delilac preskalera je $N_{PS} = 4$, pa je učestanost izlaznog signala oko 20 GHz. Stoga je učestanost ulaznog signala u MMD osetno viša u poređenju sa prethodnim primerom. Kao posledica, hardverska realizacija MMD-a ima veću potrošnju, a optimalni opseg promene delioca je od 64 do 95. Slično kao u prethodnom primeru, ovaj opseg zahteva 5-bitnu kontrolu, kojom se podešava trenutna vrednost N_{MMD} . Ukupan delilac u petlji je promenljiv u opsegu od 256 do 380 sa korakom 4, što u *integer-N* modu rada PLL-a daje izlaznu učestanost u opsegu 64–95 GHz. Širi opseg vrednosti N_{tot} omogućava zaključavanje PLL-a u slučajevima kada je izmerena centralna učestanost VCO-a značajno pomerena.

S obzirom na to da je referentna učestanost ista kao u prethodnom primeru, iskorišćen je postojeći $\Sigma\Delta$ modulator trećeg reda sa 18-bitnim akumulatorima. Tako je rezolucija izlazne učestanosti FMCW sintetizatora za 79 GHz-ni opseg 3,81 kHz.

U ovom projektnom primeru je poželjno postići maksimalnu brzinu modulacije veću od 30 GHz/ms i što bolju linearnost rampe koja je neophodna u SRR sensorima za automobilsku primenu. Brzina modulacije od 30 GHz/ms za statičku metu na rastojanju 1 m od radara daje $f_b \approx 200$ kHz. Relativno visoke *beat* učestanosti su izuzetno važne u primenama kao što su parking senzori, gde je neophodno jasno i nedvosmisleno detektovati veoma bliske mete. Na osnovu simulacija Verilog-A modela FMCW sintetizatora se dobija maksimalni propusni opseg petlje $f_C = 500$ kHz za linearnost rampe bolju od 0,01%, pri čemu je sistem stabilan i važi $\theta_{PM} = 60^\circ$. Usvojena je struja CP-a od $150 \mu\text{A}$, koja je malo veća u poređenju sa prethodnim primerom. To za posledicu ima veće vrednosti komponenata u LF-u. Pored toga, vrednosti komponenata filtra u ovom primeru su uvećane i zbog manjeg propusnog opsega petlje. Transimpedansa pasivnog LF-a trećeg reda je prikazana na slici 101.



Slika 101: Transimpedansa filtra petlje *fractional*-N PLL-a za 79 GHz-ni opseg.

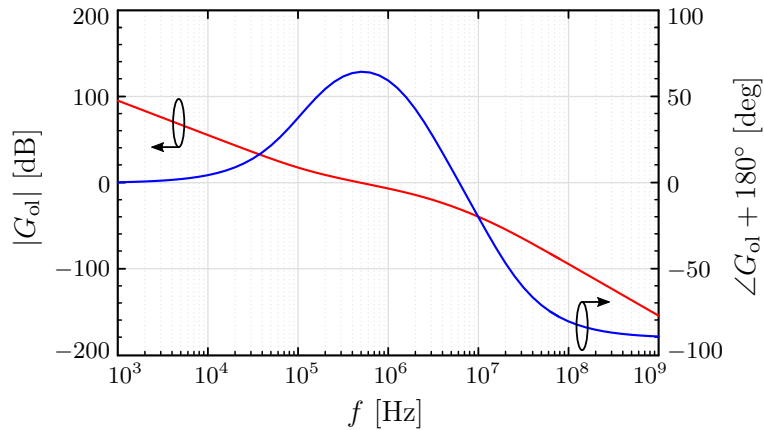
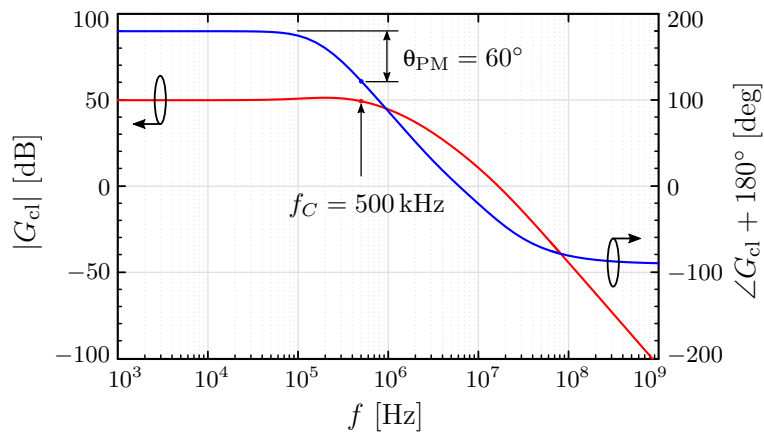
U Tabeli 12 su prikazane osnovne karakteristike širokopojasnog *fractional*-N PLL-a za rad u 79 GHz-nom opsegu.

Tabela 12: Osnovne karakteristike 79 GHz-nog PLL-a dobijene optimizacijom.

f_{ref}	f_C	f_{res}	I_{CP}	K_{VCO}	N_{tot}	θ_{PM}
250 MHz	500 kHz	3,81 kHz	$150 \mu\text{A}$	2,5 GHz/V	316	60°

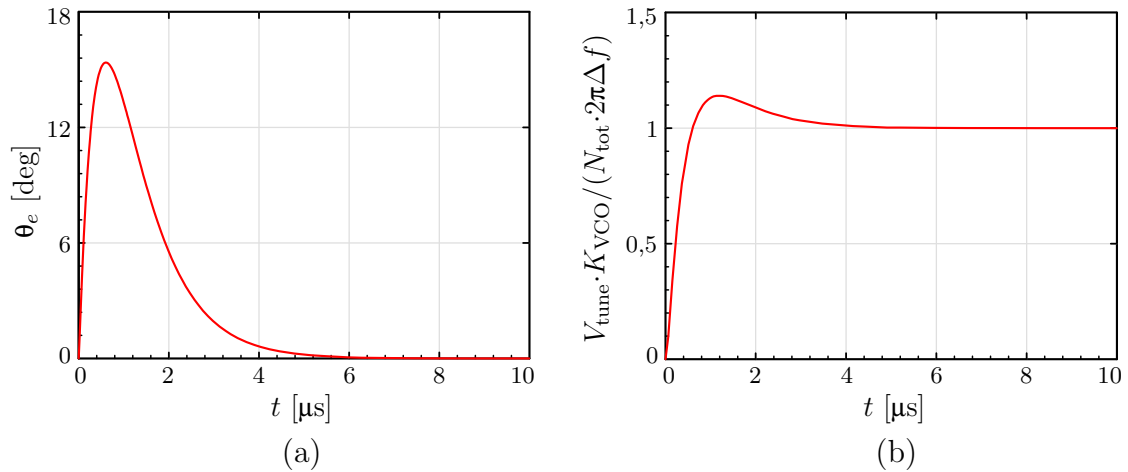
Funkcije prenosa otvorene i zatvorene petlje FMCW sintetizatora učestanosti za rad u 79 GHz-nom opsegu su izračunate u MATLAB-u i prikazane na slikama 102 i 103, respektivno.

Vremenski odziv 79 GHz *fractional*-N PLL-a na frekvencijski skok $\Delta f = 10$ MHz je simuliran pomoću MATLAB modela opisanog funkcijama prenosa. Rezultujuća

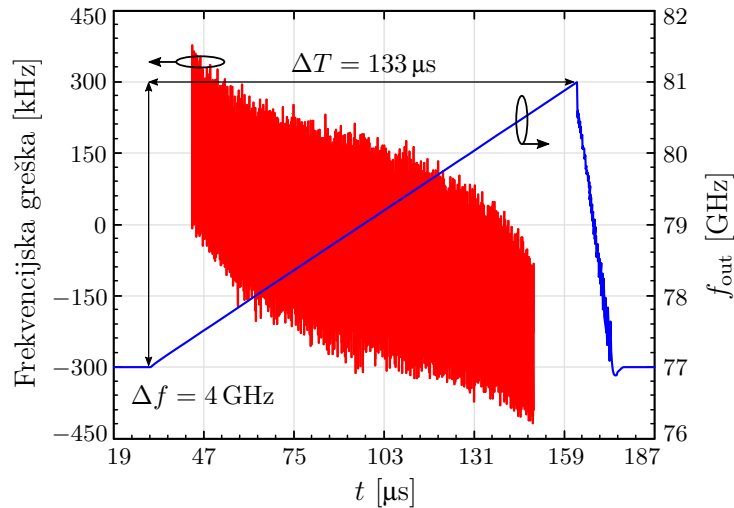

 Slika 102: Funkcija prenosa otvorene petlje *fractional-N* PLL-a za 79 GHz-ni opseg.

 Slika 103: Funkcija prenosa zatvorene petlje *fractional-N* PLL-a za 79 GHz-ni opseg.

fazna greška na ulazu u PFD prilikom perturbacije učestanosti na izlazu VCO-a je prikazana na slici 104(a), dok je reakcija petlje u vidu normalizovane promene kontrolnog napona VCO-a prikazana na slici 104(b). Može se zaključiti da je ovaj PLL znatno sporiji u poređenju sa prikazanim u prethodnom primeru i da je vreme smirivanja gotovo dvostruko veće.

Na slici 105 je prikazan primer uzlazne rampe propusnog opsega približno 4 GHz i brzine modulacije 30 GHz/ms oko centralne učestanosti 79 GHz. Frekvencijska greška je isto tako prikazana na slici 105 u opsegu od 10 do 90% rampe, što rezultuje RMS frekvencijskom greškom od 104 kHz, odnosno linearnošću boljom od 0,01% za faktor skaliranja 0,8. Linearne frekvencijske rampe propusnog opsega 4 GHz omogućavaju rezoluciju rastojanja manju od 3,8 cm.



Slika 104: Vremenski odziv 79 GHz *fractional*-N PLL-a na frekvencijski skok $\Delta f = 10$ MHz: (a) fazna greška i (b) normalizovana promena kontrolnog napona.

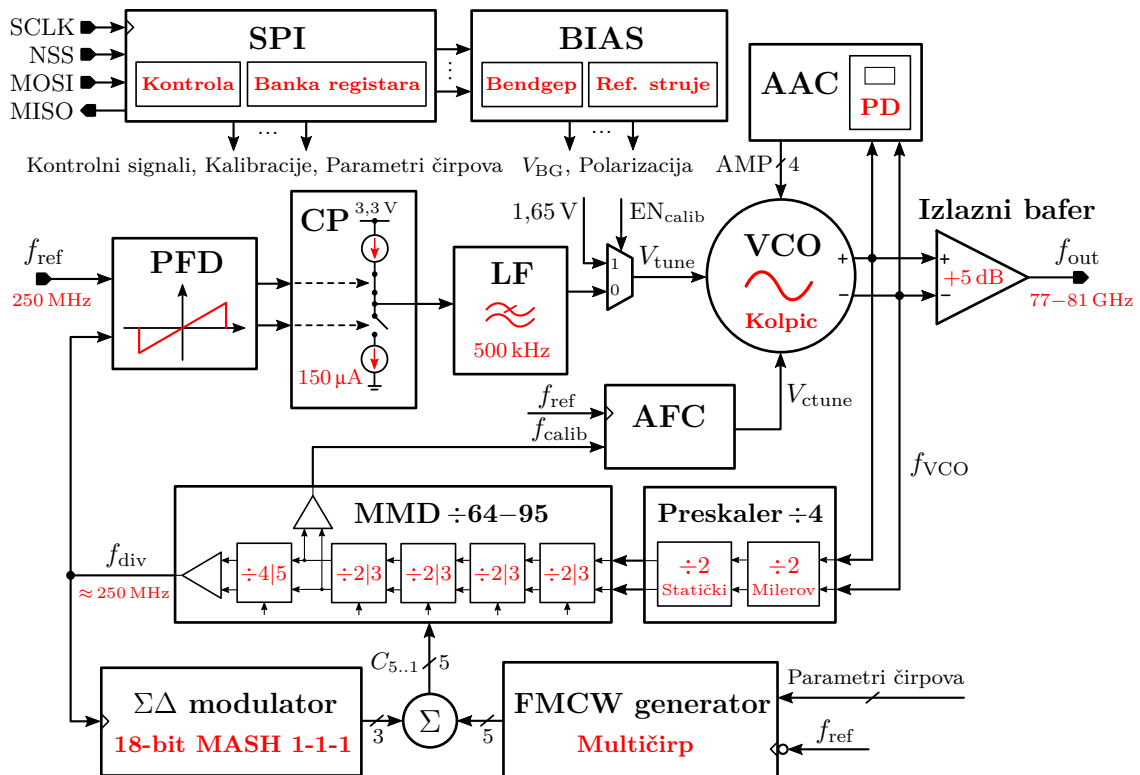


Slika 105: Simulirani čirp i frekvencijska greška za linearnu rampu propusnog opsega 4 GHz i trajanja $133 \mu\text{s}$ oko centralne učestanosti 79 GHz.

U literaturi [172] je za istu dinamiku petlje prikazana frekvencijska greška rampe nagiba $4 \text{ GHz}/300 \mu\text{s}$, pri čemu je izračunata RMS frekvencijska greška oko 61 kHz. Kao rezultat se dobija linearnost bolja od 0,006%, što je značajno bolje u poredenju sa frekvencijskom greškom rampe prikazane na slici 105. Može se zaključiti da se smanjivanjem brzine modulacije znatno poboljšava linearnost frekvencijske rampe. Takođe, povećana nelinearnost na početku i kraju rampe, koja se može videti na slici 105, nestaje za manje brzine modulacije ($< 15 \text{ GHz}/\text{ms}$) usled kraćih vremena smirivanja PLL-a. To je potrebno imati u vidu prilikom odabira karakteristika čirpa u praktičnim primenama FMCW radarskog senzora.

6.2 Arhitektura i projektovanje ključnih podblokova

Uprošćeni blok dijagram projektovanog FMCW sintetizatora učestanosti za rad u 79 GHz-nom opsegu je prikazan na slici 106 [172]. Predloženi FMCW sintetizator, pored *fractional-N* PLL-a, sadrži kolo za AFC i izlazni bafer (engl. *Output Buffer* - OB). OB ima pojačanje oko 5 dB i ulogu da konvertuje ulazni diferencijalni signal, koji dolazi iz VCO-a, u 50 Ω -ski jednostrani signal na izlazu čipa.



Slika 106: Blok dijagram FMCW sintetizatora za rad u 79 GHz-nom opsegu.

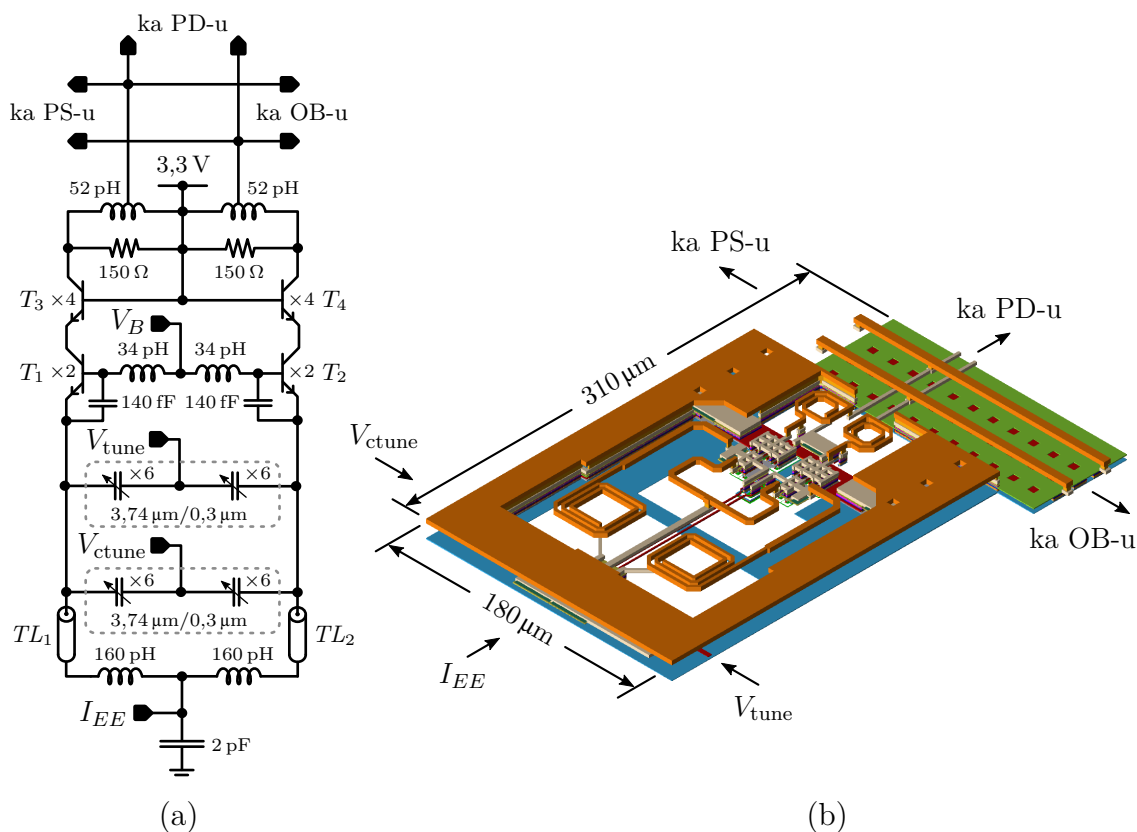
Slično kao u prethodnom primeru, FMCW sintetizator poseduje kolo za AAC, zahvaljujući kome se snaga signala na izlazu čipa održava u željenim granicama. Tokom amplitudske i frekvencijske kalibracije, kontrolni napon VCO-a je povezan preko multipleksera na 1,65 V, što je tačno polovina napona napajanja.

Maksimalni radni opseg, koji podržava predložena arhitektura sintetizatora u *fractional-N* modu, je 67–91 GHz. Kada se sintetizator nalazi u FMCW modu rada, početna učestanost linearne frekvencijske rampe se izračunava kao:

$$f_0 = 72 \text{ GHz} + D_{f_0} \cdot 0.05 \text{ GHz}. \quad (73)$$

6.2.1 Širokopojasni VCO za rad u 79 GHz automobilskom opsegu

Uprošćena električna šema jezgra Kolpic VCO-a koji radi u 79 GHz-nom opsegu je prikazana na slici 107(a), dok je 3D prikaz fizičke realizacije dat na slici 107(b).



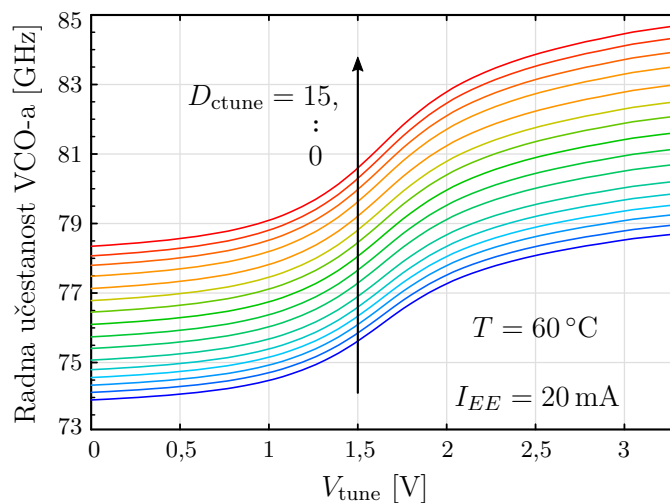
Slika 107: Širokopojasni VCO za rad u 79 GHz-nom opsegu: (a) uprošćena električna šema jezgra i (b) 3D prikaz fizičke realizacije.

U ovom projektnom primeru su korišćeni A-nMOS varaktori sa kratkim gejtom ($L = 0,3 \mu\text{m}$) zbog značajno većeg faktora dobrote na visokim učestanostima. Odnos $C_{\text{var,max}}/C_{\text{var,min}}$ ovih varaktora je oko 1,7, što je dovoljno da se postigne opseg podešavanja preko 5 GHz oko centralne učestanosti 79 GHz. Kao što se može videti na slici 107(a), struktura za podešavanje rezonantne učestanosti Kolpic VCO-a se sastoji od dva paralelna varaktora, gde svaki ima po šest segmenata. Prvi varaktor za kontinualno podešavanje radne učestanosti se kontroliše naponom povratne sprege V_{tune} , dok se drugi za grubo podešavanje kontroliše naponom V_{ctune} koji se dobija na izlazu rezistivnog DAC-a. Vrednost MIM kondenzatora, povezanih paralelno sa baza-emiter spojem tranzistora, je oko 140 fF. Jednostrana induktivnost kalema u bazi HBT-a je smanjena u odnosu na prethodni primer i na 79 GHz iznosi 34 pH.

Aktivni deo rezonantnog kola je isti kao u prethodnom primeru i sadrži bipolarne tranzistore T_1 i T_2 , pri čemu svaki od njih ima po 16 emitera povezanih u paraleli. Ukupna polarizaciona struja VCO-a je podesiva tako da je struja jediničnog emitera u opsegu 560–920 μA . Programabilna polarizaciona struja omogućava kompenzaciju PVT varijacija i postavljanje vršne amplitude diferencijalnog signala na izlazu u opsegu 0,4–0,6 V. Kaskodni tranzistori T_3 i T_4 se koriste kao izlazni baferi VCO-a.

Dimenzije vodova TL_1 i TL_2 su približno iste kao u prethodnom primeru i realizovane su u sloju TM2. Jednostrana induktivnost kalema u izlaznom opterećenju je oko 52 pH na 79 GHz. Diferencijalni signal na izlazu VCO-a se vodi ka preskaleru, PD-u i OB-u. Površina jezgra Kolpic VCO-a je 310 $\mu\text{m} \times 180 \mu\text{m}$.

Krive podešavanja Kolpic VCO-a za rad u 79 GHz-nom opsegu su prikazane na slici 108. Rezultati simulacija odgovaraju poboljšanom modelu mmWave varaktora, koji je formiran na osnovu rezultata merenja čipa prikazanog u poglavlju 5, i dobijeni su na radnoj temperaturi od 60 °C. Snaga na izlazu VCO-a je procenjena pomoću izlaznog napona detektora snage i kreće se u opsegu od 0 do +1 dBm za polarizacionu struju 20 mA.

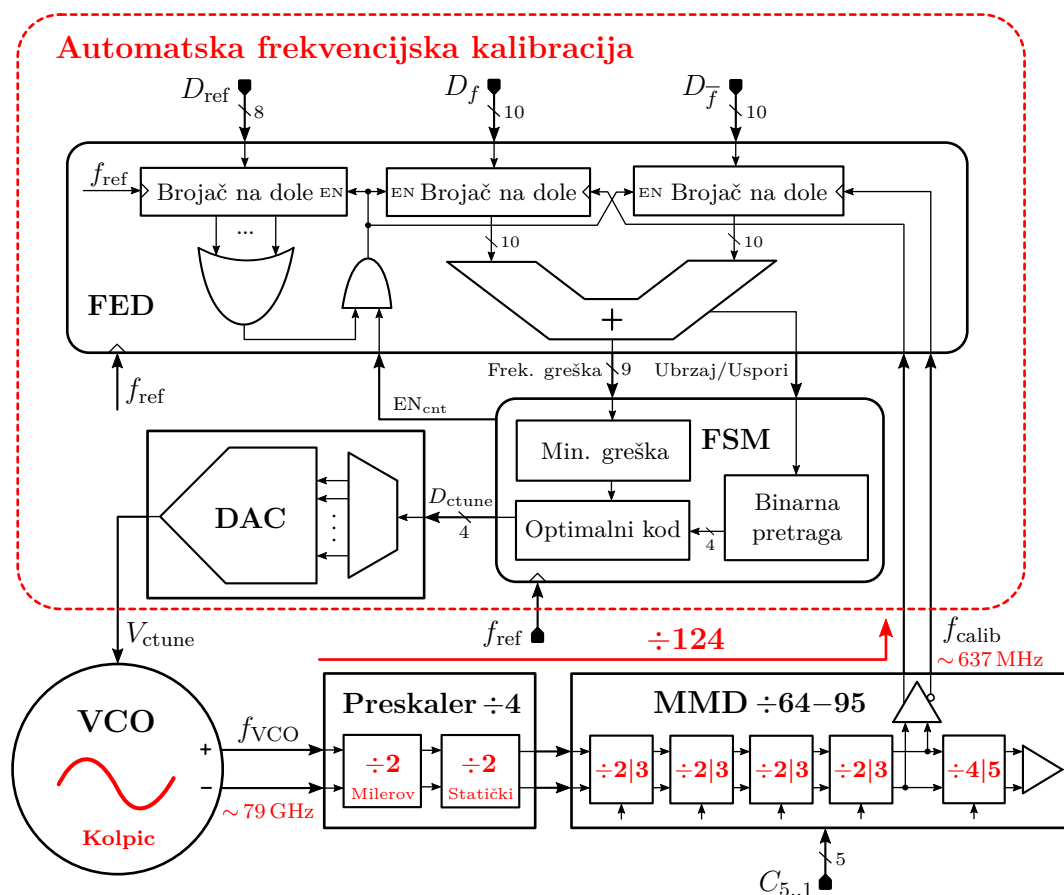


Slika 108: Krive podešavanja Kolpic VCO-a za rad u 79 GHz-nom opsegu.

Kao što se može videti sa slike 108, podešavanjem DAC-a se grubo postavlja centralna učestanost VCO-a. Rezistivni DAC je projektovan tako da se u zavisnosti od 4-bitne digitalne reči D_{ctune} izlazni napon menja nelinearno, pri čemu se korak ovde menja obrnuto srazmerno u odnosu na korak u $C-V$ karakteristici varaktora. Tako se dobijaju krive podešavanja koje su približno ekvidistantne. Izlazni napon DAC-a ima najmanju vrednost za $D_{\text{ctune}} = 0$, a najveću za $D_{\text{ctune}} = 15$.

6.2.2 Automatska frekventijska kalibracija (AFC)

Na slici 109 je prikazan blok dijagram kola za automatsku frekventijsku kalibraciju (AFC) širokopojasnog VCO-a.



Slika 109: Blok dijagram automatske frekventijske kalibracije.

Uloga AFC-a je da podesi centralnu učestanost VCO-a, tako da ona bude na sredini krive podešavanja koja pokriva ceo 79 GHz-ni opseg. Proces frekventijske kalibracije se, isto kao i proces amplitudske kalibracije, izvršava svaki put nakon uspostavljanja napajanja ili resetovanja čipa. Uvek se prvo izvršava AAC, pri čemu se postavlja željena amplituda VCO-a, da bi se potom u procesu AFC-a podesila odgovarajuća centralna učestanost.

Kolo za frekventijsku kalibraciju se sastoji od digitalnog detektora frekventijske greške (engl. *Frequency Error Detector* - FED) i nešto složenije mašine stanja (engl. *Finite-State Machine* - FSM) u poređenju sa onom u AAC-u. Digitalna predstava izlazne učestanosti se izračunava kao proizvod broja referentnih perioda, D_{ref} , tokom kojih se broje uzlazne ivice signala čija je učestanost $f_{calib} = f_{VCO}/124$, i ciljanog

odnosa $f_{\text{calib}}/f_{\text{ref}}$. Digitalne vrednosti D_{ref} , D_f i $D_{\bar{f}}$ dolaze iz banke registara i postavljaju se preko SPI slejva. Stoga se može zaključiti da je merenje frekvencije realizovano potpuno u digitalnom domenu. Izračunata digitalna predstava centralne učestanosti VCO-a se postavlja pomoću dve 10-bitne vrednosti, D_f i $D_{\bar{f}}$, koje ne moraju biti iste. Trajanje merenja se definiše 8-bitnom vrednošću D_{ref} , koja ujedno predstavlja početnu vrednost brojača na dole koji radi sa referentnim taktom. Kako bi se estimirala radna učestanost VCO-a, MMD je podešen tako da prva četiri stepena imaju maksimalnu vrednost delioca ($\div 31$), što zajedno sa preskalerom daje ukupan delilac 124. Kao rezultat, na izlazu četvrtog stepena MMD-a se dobijaju komplementarni CMOS signali učestanosti oko 637 MHz za centralnu učestanost 79 GHz. Digitalna predstava centralne učestanosti VCO-a, podeljena na dva dela i kontrolisana promenljivama D_f i $D_{\bar{f}}$, je upisana u dva dodatna brojača na dole, koji broje sa komplementarnim taktom dobijenim na izlazu četvrtog stepena MMD-a. Zbir izlaznih vrednosti ova dva brojača na kraju mernog intervala predstavlja grešku učestanosti VCO-a u komplementu dvojke. To znači da se za učestanosti VCO-a manje od željenih dobijaju pozitivne greške, dok se za veće dobijaju negativne. Iako nije neophodno, razdvajanje u dva domena takta, koja rade sa komplementarnim signalima, je realizovano kako bi se dvostruko smanjila učestanost takta. Tako je trajanje kalibracije efektivno prepolovljeno, a tačnost estimacije učestanosti tokom kalibracije je ostala ista.

Binarni algoritam pretrage [176] se koristi da bi se odredilo optimalno podešavanje VCO-a za koje se postiže željena centralna učestanost. Ovaj algoritam pretrage je dosta brži od linearne pretrage, pogotovo kada je broj mogućih rešenja velik. Apsolutna vrednost frekvencijske greške za trenutni kalibracioni kod je poređena sa prethodno skladištenom greškom, pomoću kola za pronalaženje minimalne greške. Skladištena vrednost se ažurira samo ako trenutno podešavanje daje manju grešku od svih prethodnih. Kada se binarna pretraga završi, izlazna 4-bitna vrednost koja rezultuje najmanjom frekvencijskom greškom se usvaja kao optimalna. Pored toga, postavlja se signal koji daje informaciju da je kalibracija završena i kalibraciona vrednost validna.

Procesu binarne pretrage je u najgorem slučaju potrebno pet koraka da pronade optimalno podešavanje VCO-a, pri čemu svaki korak traje najviše $2^8 \cdot T_{\text{ref}}$. Stoga je ukupno trajanje frekvencijske kalibracije uvek manje od $5,12 \mu\text{s}$, imajući u vidu da je podržano prevremeno završavanje pretrage ukoliko se desi da je frekvencijska greška jednaka nuli.

6.2.3 Preskaler

Preskaler za rad u 79 GHz-nom opsegu je veoma sličan preskaleru prikazanom u prethodnom projektnom primeru, pa zato nije detaljno razmatran u ovom odeljku. Glavna razlika u odnosu na 60 GHz-ni preskaler je u tome što su polarizacione struje oba stepena blago povećane da bi se postigle više radne učestanosti delitelja. Ukupna potrošnja preskalera je za oko 25% veća i iznosi 30 mA. Takođe, induktivnost kalema u opterećenju Milerovog delitelja je smanjena i iznosi oko 85 pH na 79 GHz.

6.2.4 MMD sa vrednošću delioca u opsegu 64–95

Jezgro MMD-a se sastoji od pet kaskadnih stepena, pri čemu su prva četiri stepena delitelji sa 2 ili 3, a peti delitelj sa 4 ili 5. Stoga je trenutna vrednost delioca MMD-a za 79 GHz FMCW sintetizator data kao:

$$N_{\text{MMD}} = 64 + C_5 \cdot 2^4 + C_4 \cdot 2^3 + C_3 \cdot 2^2 + C_2 \cdot 2^1 + C_1 \cdot 2^0. \quad (74)$$

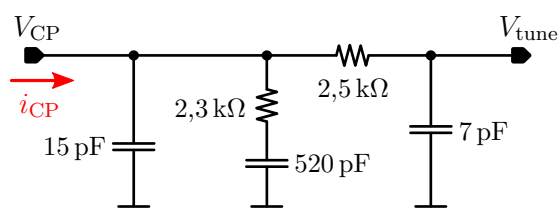
U poređenju sa 60 GHz-nim primerom, ovaj MMD ima višu radnu učestanost ulaznog stepena (~ 20 GHz), pa samim tim mora da ima i veću potrošnju. Ukupna potrošnja MMD-a sa vrednošću delioca u opsegu 64–95 je oko 20 mA.

6.2.5 Petlja

PFD-CP: U ovom projektnom primeru je korišćen isti PFD-CP lanac kao i u FMCW sintetizatoru učestanosti za rad u 60 GHz-nom opsegu.

LD: Digitalni LD projektovan u odeljku 5.3 je iskorišćen i u ovom primeru. Iako je učestanost f_{LD} povišena i nalazi se u opsegu 1–1,25 GHz, rezultati simulacija su pokazali da LD radi ispravno u svim PVT varijacijama.

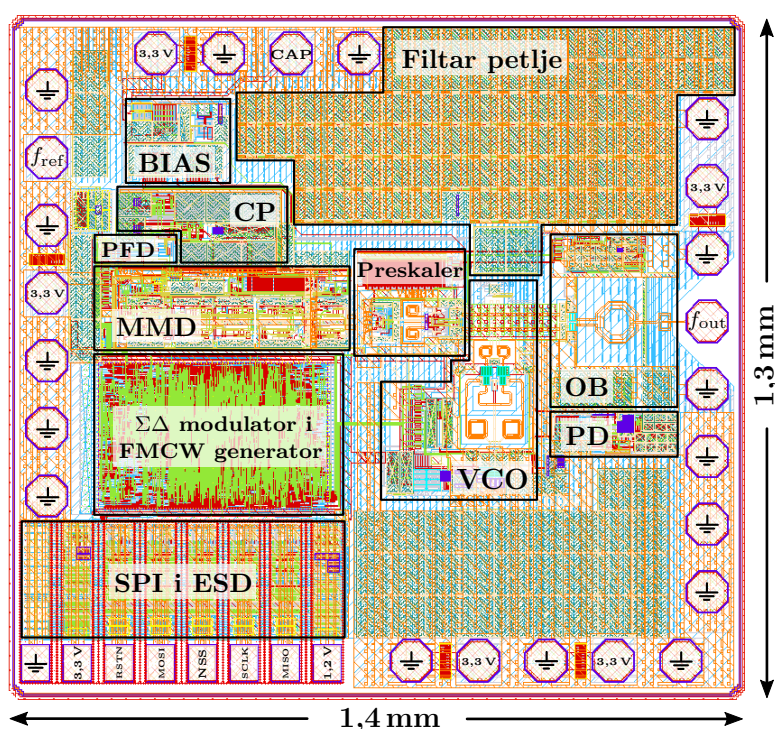
LF: Uprošćena električna šema pasivnog LF-a trećeg reda, koji se koristi u FMCW sintetizatoru za 79 GHz-ni opseg, je prikazana na slici 110.



Slika 110: Uprošćena električna šema pasivnog LF-a za 79 GHz *fractional-N* PLL.

6.3 Rezultati simulacija

Fizička realizacija integrisanog kola, opisanog blok dijagramom sa slike 106, je označena i prikazana na slici 111. Ukupna površina čipa je $1,82\text{ mm}^2$. Dimenzije oktagonalnih stopica čipa su $80\text{ }\mu\text{m}\times 80\text{ }\mu\text{m}$, a rastojanje centara dve susedne stopice je $125\text{ }\mu\text{m}$. Stopice koje su povezane sa SPI signalima su manje ($70\text{ }\mu\text{m}\times 55\text{ }\mu\text{m}$), da bi se bolje uklopile u raspored fizičke realizacije integrisanog kola i tako izbeglo dodatno povećanje površine. Posle stopica i kola za ESD zaštitu, najveću površinu na čipu zauzima filtar petlje sa oko $0,3\text{ mm}^2$. Prostor između stopica i podblokova je popunjen kondenzatorima za filtriranje napona napajanja.



Slika 111: Fizička realizacija FMCW sintetizatora za rad u 79 GHz-nom opsegu.

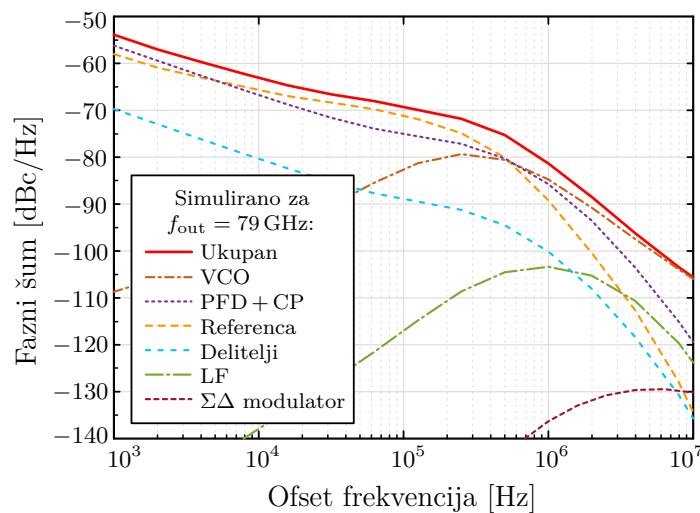
Isto kao u prethodnom primeru, integrisano kolo poseduje jednu masu koja je globalna. Predviđeno je da se masa čipa poveže sa test PCB-om preko 17 stopica. Glavni podblokovi su razdvojeni u posebne naponske domene, tako da postoje šest 3,3 V analogna naponska domena i jedan 1,2 V domen za digitalna kola. Stoga u projektovanom integrisanom kolu postoje sledeći naponski domeni: VCO, preskaler, PLL, OB, BIAS, digitalni deo i SPI ESD. Ukupna potrošnja FMCW sintetizatora je 350 mW, a merenja pojedinačnih doprinosa za različite domene napajanja su data u Tabeli 13.

Tabela 13: Simulirana potrošnja po domenima napajanja FMCW sintetizatora za rad u 79 GHz-nom opsegu.

Domen	Napajanje [V]	Potrošnja [mW]	Procentualno [%]
VCO	3,3	112	32
Preskaler	3,3	99	28,29
PLL	3,3	74	21,14
OB	3,3	49	14
Digitalni deo	1,2	9	2,57
BIAS	3,3	6	1,71
SPI ESD	3,3	1	0,29
		$\Sigma = 350$	$\Sigma = 100$

6.3.1 Simulacije faznog šuma i osnovnih karakteristika rampi

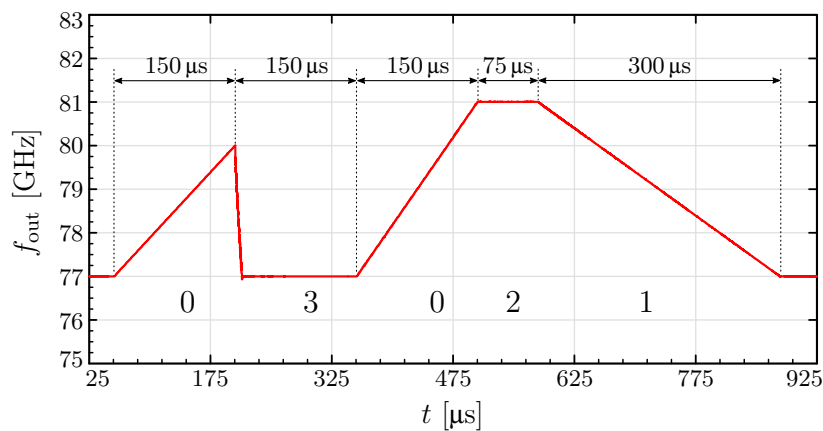
Svi podblokovi FMCW sintetizatora su pojedinačno simulirani i određeni su ekvivalentni fazni šumovi. Nakon toga su doprinosi ukupnom faznom šumu na izlazu FMCW sintetizatora izračunati pomoću linearizovanog vremenski nepromenljivog modela u faznom domenu, prikazanom na slici 55. Rezultujući fazni šum FMCW sintetizatora, koji radi u *fractional-N* modu, simuliran na 79 GHz je prikazan na slici 112. Referentnu učestanost PLL-a (250 MHz) generiše kristalni oscilator, čije su karakteristike prikazane u odeljku 5.4.

Slika 112: Statički fazni šum FMCW sintetizatora učestanosti simuliran u *fractional-N* modu na 79 GHz zajedno sa doprinosima individualnih podblokova.

Ukupan fazni šum na izlazu FMCW sintetizatora za učestanost nosioca 79 GHz

i na ofset frekvencijama 1 kHz, 10 kHz, 100 kHz, 1 MHz i 10 MHz iznosi -54 , $-62,7$, $-69,7$, $-81,4$ i -105 dBc/Hz, respektivno. Kao što se može videti na slici 112, unutar propusnog opsega PLL-a (< 500 kHz) ukupan fazni šum je dominantno određen doprinosima šuma PFD-CP lanca i reference, dok je van propusnog opsega (> 500 kHz) ograničen faznim šumom VCO-a.

Kako bi se proverio rad projektovanog FMCW generatora i mogućnost sinteze složenih modulacionih šema, simuliran je talasni oblik učestanosti koji sadrži sve četiri konfiguracije čirpa (uzlazni - 0, silazni - 1, održi - 2 i vraćanje na početnu vrednost - 3). Rezultat simulacije je prikazan na slici 113.



Slika 113: Rezultat simulacije složenog talasnog oblika učestanosti koji sadrži sve četiri konfiguracije čirpa za rad u 79 GHz-nom opsegu.

Nakon uspostavljanja napona napajanja, potrebno je manje od $15 \mu\text{s}$ da se PLL zaključa na 77 GHz. S druge strane, vreme zaključavanja na maksimalnoj radnoj učestanosti (81 GHz) je manje od $30 \mu\text{s}$. Na slici 113 se može videti vreme smirivanja *fractional-N* PLL-a posle frekvencijskog skoka od 3 GHz naniže, koje iznosi oko $12 \mu\text{s}$.

Simulacija nelinearnosti frekvencijske rampe FMCW sintetizatora na nivou tranzistora, koja uključuje delimično ekstrahovane parazitne otpornosti i kapacitivnosti iz fizičke realizacije čipa, je izuzetno zahtevna i veoma dugo traje. Zato su tako simulirane samo dve uzlazne rampe nagiba $4 \text{ GHz}/300 \mu\text{s}$ i $4 \text{ GHz}/133 \mu\text{s}$, da bi se proverili rezultati dobijeni na osnovu Verilog-A modela. Za čirpove pomenutih nagiba, dobijene su RMS frekvencijske greške od 64 i 106 kHz. Ove vrednosti grešaka su veoma slične onima dobijenim simulacijama polaznog Verilog-A modela FMCW sintetizatora (61 i 104 kHz). Stoga se može zaključiti da je procena linearnosti rampe pomoću Verilog-A modela verodostojna i znatno efikasnija od simulacija na nivou tranzistora.

6.3.2 Poređenje sa podacima iz literature

Pregled nedavno objavljenih širokopojasnih FMCW sintetizatora učestanosti za rad u 79 GHz automobilskom opsegu je dat u Tabeli 14.

Tabela 14: Poređenje nedavno objavljenih FMCW sintetizatora učestanosti za rad u 79 GHz automobilskom opsegu.

Referenca	JSSC'18 [68]	TMTT'16 [66]	TMTT'15 [80]	EUROCON'17 [172] ^a
Tehnološki proces	0,13 μm SiGe	SiGe bipolar	65 nm CMOS	0,13 μm SiGe
Funkcija sistema	sintetizator	FMCW TRX	FMCW TX	sintetizator
Arhitektura	<i>frac</i> -N PLL sa dve petlje	<i>frac</i> -N PLL + ofset PLL	<i>frac</i> -N PLL	<i>frac</i> -N PLL
Način sinteze	VCO + množač $\times 4$	fundamental VCO	VCO + množač $\times 2$	fundamental VCO
Radni opseg [GHz]	75 ~ 83	68 ~ 92	76 ~ 81	77 ~ 81
Maksimalna Δf [GHz]	8	24	0,312	4
Nagib rampe [GHz/ms] :	5/1 : 32 ^b			
RMS frek. greška [kHz]	5/0,25 : 96 ^b 5/0,1 : 260 ^b 5/0,05 : 3200 ^b	24/3,8 : 319 24/0,4 : -	0,312/1 : 961 ^b	4/0,3 : 64 4/0,13 : 106
Maks. nagib [GHz/ms]	100	60	0,3	30
Fazni šum za ofset 1 i 10 MHz [dBc/Hz]	-100 ~ -97 -122 ~ -120	-95 ~ -92 -115 ~ -108	-83 -100	-86 ~ -81 -107 ~ -104
Izlazna snaga [dBm]	5 ~ 6,5	-	3	5
Potrošnja [mW]	590	1557	320	350
Površina čipa [mm ²] :	4,42 : 2,8	-	2,74 : 1,3	1,82 : 0,97
Površina jezgra [mm ²]				
Ugrađene funkcije	dva nagiba	nema	multičirp	multičirp (do 16)
Stepen integracije	potpuno integrisan	delimično integrisan	potpuno integrisan	potpuno integrisan
FoM _{FMCW} ^c	209,5	-	129,6	184,7

^a Predloženi FMCW sintetizator za rad u 79 GHz-nom opsegu; sve karakteristike su određene na osnovu rezultata simulacija

^b Uključuje frekvencijske prelaze sa uzlazne na silaznu rampu i obrnuto

^c Mera kvaliteta definisana izrazom (63) i izračunata za ofset frekvenciju 1 MHz

6.4 Poređenje 60 i 79 GHz-nih rešenja

Ukoliko se porede karakteristike projektovanih FMCW sintetizatora za 60 i 79 GHz-ne opsege, koje su prikazane u Tabeli 11 i Tabeli 14, može se zaključiti da čipovi imaju približno slične performanse faznog šuma i linearnosti rampi. FMCW sintetizator za rad u 79 GHz-nom opsegu ima malo bolji fazni šum i linearnije rampe, zahvaljujući užem radnom opsegu.

Potrošnja je isto tako veoma važan parametar FMCW sintetizatora, pogotovo u savremenim primenama SRR senzora. Na osnovu dva projektovana primera, može se zaključiti da potrošnja mmWave podblokova raste srazmerno sa radnom učestanošću kola. To je ujedno jedna od glavnih prednosti FMCW sintetizatora učestanosti za rad u 60 GHz-nom opsegu.

S druge strane, na višim radnim učestanostima vrednosti pasivnih komponenata u mmWave kolima su manje, pa su samim tim površine kondenzatora, kalemova i transformatora isto tako manje. Pored toga, dužina $\lambda/4$ vodova, koji se često koriste u RF strukturama, je obrnuto srazmerna radnoj učestanosti. Stoga je smanjenje površine čipa najveća prednost rada na izuzetno visokim učestanostima. Kada su u pitanju FMCW sintetizatori, povećanjem radne učestanosti površina čipa se ne smanjuje linearno, imajući u vidu veći broj podblokova čija površina ne zavisi od pasivnih RF struktura, kao što su PFD-CP lanac, LF, MMD, $\Sigma\Delta$ modulator i FMCW generator. Međutim, smanjenje dimenzija je vidljivo u podblokovima koji rade u mmWave opsegu, kao što su VCO i preskaler. Situacija se drastično menja prilikom integracije FMCW sintetizatora sa predajnim i prijemnim lancima, pogotovo u složenim sistemima koji imaju više predajnika i/ili više prijemnika. U tom slučaju je površina SRR senzora dominantno određena pasivnim RF strukturama, pa se površina čipa skalira približno sa $1/f^2$.

Parazitne induktivnosti žica za povezivanje postaju ograničavajući faktor u SRR sensorima za 79 GHz-ni opseg. Induktivnost žice na 79 GHz je velika i teško se može kompenzovati na PCB-u. Zato su neophodne posebne tehnike povezivanja žica, koje daju dužine kraće od 0,5 mm. Ove tehnike su veoma osetljive i imaju problema sa pouzdanošću i ponovljivošću, pa se zato retko koriste u visokotiražnoj proizvodnji. Iz ovog razloga se 79 GHz-ni sistemi najčešće povezuju preko BGA (Ball Grid Array) pakovanja, što predstavlja dodatni trošak. Takođe, karakterizacija mmWave signala u W opsegu (75–110 GHz) se vrši preko GSG sonde sa konektorima prečnika 1 mm, koji se povezuju na mernu opremu sa odgovarajućim ulaznim priključcima. Ovakva oprema je izuzetno skupa i ne tako lako dostupna.

7 Zaključak

Nagli razvoj CMOS i BiCMOS procesa u protekle dve decenije omogućio je visok stepen integracije FMCW radarskih senzora i rad u milimetarskom talasnom opsegu. Tome svedoči širok spektar primena ovih senzora u automobilskoj i potrošačkoj industriji, kao što je opisano u uvodnom poglavlju ove disertacije. Integrisani FMCW radarski senzori sa više predajnih i/ili prijemnih lanaca se danas dominantno koriste u odnosu na druge radarske senzore, pre svega zahvaljujući mogućnosti da istovremeno mere relativnu brzinu, rastojanje i/ili ugao dolaska mete. Pomeranje radne učestanosti u mmWave opseg, izuzev složenosti projektovanja, donosi višestruku korist radarskim sensorima. Prvenstveno omogućava agresivnu redukciju dimenzija radarskog modula, najviše zahvaljujući znatno manjim antenama. Kao rezultat, konačan proizvod je pristupačniji, pa se samim tim otvara prostor za mnoštvo novih primena i prodor ove tehnologije na niskobudžetna i visokotiražna tržišta.

U drugom poglavlju je razmatrana osnovna problematika FMCW radarskih senzora i odgovarajuće sinteze učestanosti, gde su prikazana fundamentalna ograničenja ovih sistema, kao što su rezolucije rastojanja, brzine i ugla, maksimalna rastojanja i relativne brzine koje radar može jednoznačno detektovati. Pokazano je da ukoliko se u blizini FMCW radara nalazi veći broj objekata, tada prostim talasnim oblicima učestanosti, kao što su linearne frekvencijske rampe istog nagiba, nije moguće jednoznačno detektovati više pokretnih meta. Zato je neophodno primeniti neku od naprednih tehnika ekstrakcije rastojanja i relativne brzine. Na osnovu karakteristika FMCW radara prikazanih u ovom poglavlju može se zaključiti da se sistemski zahtevi u većoj meri preslikavaju na FMCW sintetizatore učestanosti, čija je uloga da obezbede željenu modulacionu šemu. Tako propusni opseg rampe direktno određuje rezoluciju rastojanja, trajanje rampe određuje rezoluciju relativne brzine, brzina modulacije određuje rezultujuću *beat* učestanost na izlazu prijemnika, dok linearnost rampe i fazni šum dominantno određuju odnos signal/šum na ulazu u prijemnik. Pored toga, savremeni FMCW sintetizatori često moraju da podrže sintezu složenih talasnih oblika učestanosti, kako bi omogućili različite modove rada, kao što su CW, FMCW i hibridni mod rada, ili različite metode ekstrakcije, kao što su tehnika izbegavanja lažnih meta i 2D-FFT pristup ekstrakcije. Gotovo svi parametri FMCW sintetizatora su međusobno zavisni, pa je prilikom projektovanja potrebno praviti

mnoge kompromise, što je takođe detaljno analizirano u drugom poglavlju. Poređenjem i analizom različitih topologija FMCW sintetizatora pokazano je da se najbolja linearnost rampe i najmanji fazni šum pri velikim brzinama modulacije mogu postići korišćenjem *fractional*-N PLL-a kao jezgra sintetizatora. Tako se istovremeno postižu mala rezolucija rastojanja, visoke *beat* učestanosti i veliki odnos signal/šum na prijemu, što je posebno važno u primenama SRR senzora.

Dalje je detaljno analizirana topologija FMCW sintetizatora učestanosti na bazi *fractional*-N PLL-a. Prikazane su različite hardverske arhitekture i istaknute njihove prednosti i nedostaci. Kao rezultat, može se zaključiti da odabir hardverske arhitekture pre svega zavisi od izbora tehnološkog procesa i željenih performansi sintetizatora. U slučaju potrebe za relativno velikim izlaznim snagama (> 0 dBm), kao najbolje rešenje nameće se hardverska arhitektura sa oscilatorom na fundamentalnoj učestanosti. Glavni podblokovi ove hardverske arhitekture su detaljno razmatrani u okviru trećeg poglavlja i predložena su različita rešenja na nivou električnih šema za rad u mmWave opsegu. Na osnovu temeljne analize faznog šuma i linearnosti rampe *fractional*-N PLL-a, može se zaključiti da odabir propusnog opsega petlje ima ključnu ulogu prilikom optimizacije ovih parametara. Stoga se f_C bira tako da bude znatno veće od učestanosti ponavljanja rampi ($\gg 1/(2\Delta T)$) i manje od brzine promene srednje vrednosti delioca MMD-a ($< 1/dT$). Važan doprinos ove disertacije je metodologija projektovanja FMCW sintetizatora za rad u mmWave opsegu, koja se sastoji iz detaljnog postupka razvoja FMCW sintetizatora i postupka izvođenja specifikacija podblokova za topologiju na bazi *fractional*-N PLL-a. Takođe, uveden je novi kvantitativni pokazatelj performansi FMCW sintetizatora FoM_{FMCW} , koji uzima u obzir glavne karakteristike ovih kola: propusni opseg rampe, linearnost, brzinu modulacije, fazni šum, izlaznu snagu i potrošnju.

U četvrtom poglavlju ove disertacije je predložena nova hardverska arhitektura FMCW generatora zahvaljujući kojoj se mogu sintetisati kompleksne modulacione šeme sa do 16 različitih konfiguracija čirpova. Podržana su četiri radna moda: uzlazni, silazni, očuvanje trenutne učestanosti i povratak na početnu učestanost. Ova arhitektura je potpuno programabilna i podržava sve moguće modove rada FMCW radara, kao i sintezu potpuno proizvoljnih talasnih oblika.

Predložena metodologija je primenjena u postupku projektovanja dva FMCW sintetizatora za rad u 60 i 79 GHz-nim opsezima. FMCW sintetizatori su realizovani u IHP-ovom $0,13\ \mu\text{m}$ SiGe:C BiCMOS tehnološkom procesu. Rezultati merenja 60 GHz-nog FMCW sintetizatora su nakon razvoja mmWave modela varaktora po-

kazali odlično slaganje sa rezultatima simulacija. Postignut je maksimalni propusni opseg rampi od 11 GHz (59,5–70,5 GHz), što teorijski omogućava rezoluciju rastojanja manju od 1,5 cm. Ovaj sintetizator može da generiše rampe nagiba većeg od 60 GHz/ms pri čemu je RMS frekvenzijska greška manja od 340 kHz. Ovako širok opseg podešavanja fundamental VCO-a od približno 17% oko centralne učestanosti 65 GHz, koristeći samo standardne tehnološke komponente i kontrolni napon u granicama napajanja (0–3,3 V), jedan je od glavnih dostignuća ove disertacije. Zajedno sa FMCW sintetizatorom je integrisan i predajni lanac, pa test čip predaje snagu anteni veću od +5 dBm na celom opsegu od interesa, dok je pri tome ukupna potrošnja oko 550 mW. Ovaj radarski modul postiže, koliko je poznato autoru, rekordan propusni opseg rampi među svim objavljenim CMOS i BiCMOS potpuno integrisanim FMCW predajnicima, što ujedno predstavlja jedinstvenu karakteristiku ovog dizajna. U narednoj verziji čipa je pored FMCW predajnika dodat i prijemni lanac, pa se tako predloženi FMCW sintetizator uveliko koristi u praktičnim primenama kao deo 60 GHz-nog SRR senzora sa veoma malom rezolucijom rastojanja.

Imajući u vidu opšte performanse, površinu čipa od oko 1,8 mm² i ukupnu disipaciju od 350 mW, projektni primer FMCW sintetizatora za licencirani opseg od 77 do 81 GHz se svrstava u red najefikasnijih rešenja po pitanju površine i potrošnje. Odlična linearnost rampe na celom 79 GHz-nom opsegu, koja je manja od 0,01% za nagib rampe 4 GHz/133 μs, omogućava integrisana radarska rešenja sa malim rezolucijama rastojanja i brzine podobna za primene u automobilskoj industriji.

Dalje skaliranje CMOS tehnoloških procesa ima za posledicu povećanje konkurentnosti potpuno digitalnih rešenja u svim oblastima RF elektronike, pa tako i u mmWave sintezi učestanosti. Iako trenutno FMCW sintetizatori na bazi ADPLL-a, razvijeni u savremenim procesima malog tehnološkog noda, imaju ograničenja po pitanju propusnog opsega rampi i linearnosti, očekuje se da ubuduće ovi problemi budu prevaziđeni složenim kalibracijama, kao i da ova potpuno digitalna rešenja preuzmu primat u sintezi FMCW signala. Velika pokretačka snaga za prelazak u savremene CMOS procese je svakako veći stepen integracije, koji omogućava dodavanje DSP procesora na isti čip zajedno sa RF primopredajnikom. Kao potencijalno novi radni opsezi za primenu integrisanih FMCW radarskih senzora uveliko se navode 122 i 245 GHz-ni ISM opsezi u kojima su već objavljeni neki prototipi integrisanih radara. Rad na ovako visokim učestanostima će ubuduće omogućiti integraciju prijemnih i predajnih antena zajedno sa aktivnim delom radarskog senzora, što će dodatno smanjiti cenu modula i omogućiti korišćenje standardnih pakovanja.

Literatura

- [1] J. Hasch, E. Topak, R. Schnabel, T. Zwick, R. Weigel, and C. Waldschmidt, “Millimeter-wave technology for automotive radar sensors in the 77 GHz frequency band,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 3, pp. 845–860, Mar. 2012.
- [2] H. Meinel and J. Dickmann, “Automotive radar: From its origin to future directions,” *Microwave Journal*, vol. 56, pp. 24–40, Sep. 2013.
- [3] H. H. Meinel, “Evolving automotive radar - From the very beginnings into the future,” in *Proceedings of European Conference on Antennas and Propagation*, Apr. 2014, pp. 3107–3114.
- [4] I. Gresham *et al.*, “A compact manufacturable 76–77-GHz radar module for commercial ACC applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 1, pp. 44–58, Jan. 2001.
- [5] S. Tokoro, K. Kuroda, A. Kawakubo, K. Fujita, and H. Fujinami, “Electronically scanned millimeter-wave radar for pre-crash safety and adaptive cruise control system,” in *Proceedings of IEEE Intelligent Vehicles Symposium*, Jun. 2003, pp. 304–309.
- [6] S. M. Patole, M. Torlak, D. Wang, and M. Ali, “Automotive radars: A review of signal processing techniques,” *IEEE Signal Processing Magazine*, vol. 34, no. 2, pp. 22–35, Mar. 2017.
- [7] A. Vahidi and A. Eskandarian, “Research advances in intelligent collision avoidance and adaptive cruise control,” *IEEE Transactions on Intelligent Transportation Systems*, vol. 4, no. 3, pp. 143–153, Sep. 2003.
- [8] K. M. Strohm, H. L. Bloecher, R. Schneider, and J. Wenger, “Development of future short range radar technology,” in *Proceedings of European Radar Conference*, Oct. 2005, pp. 165–168.
- [9] J. Wenger, “Automotive radar - Status and perspectives,” in *Proceedings of IEEE Compound Semiconductor Integrated Circuit Symposium*, Oct. 2005, pp. 21–24.

-
- [10] D. Tasovac, V. Mihajlović, V. Branković, D. Krčum, and **I. Milosavljević**, “Millimeter-wave sensor system for parking assistance,” WO Patent App. PCT/RS2015/000016, Dec. 2016. [Online]. Available: <https://www.google.com/patents/WO2016204641A1>
- [11] G. Robert, “Radar detector for pre-impact airbag triggering,” US Patent 6097332, Aug. 2000. [Online]. Available: <https://www.google.com/patents/US6097332>
- [12] V. Branković, M. Savić, D. Tasovac, D. Grujić, V. Mihajlović, and P. Jovanović, “Millimetre-wave seat occupation radar sensor,” US Patent US9865150B2, Jan. 2018. [Online]. Available: <https://www.google.com/patents/US9865150B2>
- [13] V. Branković, D. Grujić, P. Jovanović, V. Mihajlović, M. Savić, and D. Tasovac, “Mm-wave radar driver fatigue sensor apparatus,” US Patent US9862271B2, Jan. 2018. [Online]. Available: <https://www.google.com/patents/US9862271B2>
- [14] J. Markoff, “Google cars drive themselves, in traffic,” *The New York Times*, vol. 10, 2010.
- [15] E. Guizzo, “How Google’s self-driving car works,” *IEEE Spectrum Online*, vol. 18, Oct. 2011.
- [16] J. Wei, J. M. Snider, J. Kim, J. M. Dolan, R. Rajkumar, and B. Litkouhi, “Towards a viable autonomous driving research platform,” in *Proceedings of IEEE Intelligent Vehicles Symposium*, Jun. 2013, pp. 763–770.
- [17] J. Ziegler *et al.*, “Making Bertha drive - An autonomous journey on a historic route,” *IEEE Intelligent Transportation Systems Magazine*, vol. 6, no. 2, pp. 8–20, Summer 2014.
- [18] C. Li *et al.*, “A review on recent progress of portable short-range noncontact microwave radar systems,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 5, pp. 1692–1706, May 2017.
- [19] P. Molchanov, S. Gupta, K. Kim, and K. Pulli, “Short-range FMCW monopulse radar for hand-gesture sensing,” in *Proceedings of IEEE Radar Conference*, May 2015, pp. 1491–1496.
-

-
- [20] J. Lien *et al.*, “Soli: Ubiquitous gesture sensing with millimeter wave radar,” *ACM Transactions on Graphics*, vol. 35, no. 4, Jul. 2016, article 142.
- [21] I. Nasr *et al.*, “A highly integrated 60 GHz 6-channel transceiver with antenna in package for smart sensing and short-range communications,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 9, pp. 2066–2076, Sep. 2016.
- [22] T. Fan *et al.*, “Wireless hand gesture recognition based on continuous-wave Doppler radar sensors,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 11, pp. 4012–4020, Nov. 2016.
- [23] V. Mihajlović, V. Branković, D. Tasovac, M. Paraušić, Đ. Glavonjić, **I. Milosavljević**, and D. Krčum, “Millimeter-wave radar sensor system for gesture and movement analysis,” WO Patent App. PCT/RS2016/000001, Aug. 2017. [Online]. Available: <https://www.google.rs/patents/WO2017131545A1>
- [24] D. Tasovac, D. Grujić, V. Mihajlović, P. Jovanović, and M. Savić, “Apparatus and operation method for visually impaired,” WO Patent App. PCT/RS2013/000006, Oct. 2014. [Online]. Available: <https://www.google.rs/patents/WO2014168499A1>
- [25] A. D. Droitcour, O. Boric-Lubecke, V. M. Lubecke, and J. Lin, “0.25 μm CMOS and BiCMOS single-chip direct-conversion Doppler radars for remote sensing of vital signs,” in *Proceedings of IEEE International Solid-State Circuits Conference*, vol. 1, Feb. 2002, pp. 348–349.
- [26] Y. Xiao, J. Lin, O. Boric-Lubecke, and V. M. Lubecke, “A Ka-band low power Doppler radar system for remote detection of cardiopulmonary motion,” in *Proceedings of IEEE Engineering in Medicine and Biology Society*, Jan. 2005, pp. 7151–7154.
- [27] T. Y. J. Kao, A. Y. K. Chen, Y. Yan, T. M. Shen, and J. Lin, “A flip-chip-packaged and fully integrated 60 GHz CMOS micro-radar sensor for heartbeat and mechanical vibration detections,” in *Proceedings of IEEE Radio Frequency Integrated Circuits Symposium*, Jun. 2012, pp. 443–446.
- [28] C. Li, V. M. Lubecke, O. Boric-Lubecke, and J. Lin, “A review on recent advances in Doppler radar sensors for noncontact healthcare monitoring,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 5, pp. 2046–2060, May 2013.
-

-
- [29] M. Mercuri, P. J. Soh, G. Pandey, P. Karsmakers, G. A. E. Vandenbosch, P. Leroux, and D. Schreurs, "Analysis of an indoor biomedical radar-based system for health monitoring," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 5, pp. 2061–2068, May 2013.
- [30] M. Savić, V. Branković, D. Tasovac, D. Grujić, V. Mihajlović, and P. Jovanović, "Mm-wave radar vital signs detection apparatus and method of operation," WO Patent App. PCT/RS2015/000011, Nov. 2015. [Online]. Available: <https://www.google.rs/patents/WO2015174879A1>
- [31] H. C. Kuo, C. C. Lin, C. H. Yu, P. H. Lo, J. Y. Lyu, C. C. Chou, and H. R. Chuang, "A fully integrated 60-GHz CMOS direct-conversion Doppler radar RF sensor with clutter canceller for single-antenna noncontact human vital-signs detection," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 4, pp. 1018–1028, Apr. 2016.
- [32] M. Jiao, G. Lu, X. Jing, S. Li, Y. Li, and J. Wang, "A novel radar sensor for the non-contact detection of speech signals," *Sensors*, vol. 10, no. 5, pp. 4622–4633, May 2010.
- [33] C. S. Lin, S. F. Chang, C. C. Chang, and C. C. Lin, "Microwave human vocal vibration signal detection based on Doppler radar technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 8, pp. 2299–2306, Aug. 2010.
- [34] H. Zhao, Z. Peng, H. Hong, X. Zhu, and C. Li, "A portable 24-GHz auditory radar for non-contact speech sensing with background noise rejection and directional discrimination," in *Proceedings of IEEE International Microwave Symposium*, May 2016, pp. 1–4.
- [35] A. Tang *et al.*, "A 144 GHz 0.76 cm-resolution sub-carrier SAR phase radar for 3D imaging in 65 nm CMOS," in *Proceedings of IEEE International Solid-State Circuits Conference*, Feb. 2012, pp. 264–266.
- [36] A. Arbabian, S. Callender, S. Kang, M. Rangwala, and A. M. Niknejad, "A 94 GHz mm-wave-to-baseband pulsed-radar transceiver with applications in imaging and gesture recognition," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 1055–1071, Apr. 2013.
-

- [37] T. Jaeschke, C. Bredendiek, and N. Pohl, "A 240 GHz ultra-wideband FMCW radar system with on-chip antennas for high resolution radar imaging," in *Proceedings of IEEE International Microwave Symposium*, Jun. 2013, pp. 1–4.
- [38] Z. D. Taylor *et al.*, "THz and mm-wave sensing of corneal tissue water content: In vivo sensing and imaging results," *IEEE Transactions on Terahertz Science and Technology*, vol. 5, no. 2, pp. 184–196, Mar. 2015.
- [39] A. Mostajeran, A. Cathelin, and E. Afshari, "A 170-GHz fully integrated single-chip FMCW imaging radar with 3-D imaging capability," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 10, pp. 2721–2734, Oct. 2017.
- [40] J. M. Sill and E. C. Fear, "Tissue sensing adaptive radar for breast cancer detection - Experimental investigation of simple tumor models," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 11, pp. 3312–3319, Nov. 2005.
- [41] N. K. Nikolova, "Microwave imaging for breast cancer," *IEEE Microwave Magazine*, vol. 12, no. 7, pp. 78–94, Dec. 2011.
- [42] M. Bassi, M. Caruso, M. S. Khan, A. Bevilacqua, A. D. Capobianco, and A. Neviani, "An integrated microwave imaging radar with planar antennas for breast cancer detection," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 5, pp. 2108–2118, May 2013.
- [43] E. C. Fear, J. Bourqui, C. Curtis, D. Mew, B. Docktor, and C. Romano, "Microwave breast imaging with a monostatic radar-based system: A study of application to patients," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 5, pp. 2119–2128, May 2013.
- [44] F. Barbon, G. Vinci, S. Lindner, R. Weigel, and A. Koelpin, "A six-port interferometer based micrometer-accuracy displacement and vibration measurement radar," in *Proceedings of IEEE International Microwave Symposium*, Jun. 2012, pp. 1–3.
- [45] G. Vinci, S. Linz, S. Mann, S. Lindner, F. Barbon, R. Weigel, and A. Koelpin, "A six-port radar system for precise distance measurements and vibration monitoring in industrial environments," in *Proceedings of Sensors and Measuring Systems Symposium*, Jun. 2014, pp. 1–5.

- [46] A. Koelpin, F. Lurz, S. Linz, S. Mann, C. Will, and S. Lindner, “Six-port based interferometry for precise radar and sensing applications,” *Sensors*, vol. 16, no. 10, p. 1556, Sep. 2016.
- [47] M. Pauli, B. Göttel, S. Scherr, A. Bhutani, S. Ayhan, W. Winkler, and T. Zwick, “Miniaturized millimeter-wave radar sensor for high-accuracy applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 5, pp. 1707–1715, May 2017.
- [48] M. Pichler, P. Gulden, M. Vossiek, and A. Stelzer, “A 24-GHz tank level gauging system with state-space frequency estimation and a novel adaptive model order selection algorithm,” in *Proceedings of IEEE International Microwave Symposium*, vol. 3, Jun. 2003, pp. 1953–1956.
- [49] Y. Tokieda, H. Sugawara, S. Niimura, and T. Fujise, “High precision waterlevel gauge with an FMCW radar under limited bandwidth,” in *Proceedings of European Microwave Conference*, vol. 3, Oct. 2005, pp. 1–4.
- [50] M. Vogt and M. Gerding, “Silo and tank vision: Applications, challenges, and technical solutions for radar measurement of liquids and bulk solids in tanks and silos,” *IEEE Microwave Magazine*, vol. 18, no. 6, pp. 38–51, Sep. 2017.
- [51] A. Naqvi, S. T. Yang, and H. Ling, “Investigation of Doppler features from wind turbine scattering,” *IEEE Antennas and Wireless Propagation Letters*, vol. 9, pp. 485–488, May 2010.
- [52] J. M. Muñoz-Ferreras, Z. Peng, Y. Tang, R. Gómez-García, D. Liang, and C. Li, “Short-range Doppler-radar signatures from industrial wind turbines: Theory, simulations, and measurements,” *IEEE Transactions on Instrumentation and Measurement*, vol. 65, no. 9, pp. 2108–2119, Sep. 2016.
- [53] S. Ayhan, S. Scherr, P. Pahl, T. Kayser, M. Pauli, and T. Zwick, “High-accuracy range detection radar sensor for hydraulic cylinders,” *IEEE Sensors Journal*, vol. 14, no. 3, pp. 734–746, Mar. 2014.
- [54] S. Ayhan *et al.*, “Millimeter-wave radar sensor for snow height measurements,” *IEEE Transactions on Geoscience and Remote Sensing*, vol. 55, no. 2, pp. 854–861, Feb. 2017.

- [55] Z. Peng, L. Ran, and C. Li, "A K-band portable FMCW radar with beam-forming array for short-range localization and vital-Doppler targets discrimination," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 9, pp. 3443–3452, Sep. 2017.
- [56] J. F. Nouvel, S. Roques, and O. R. du Plessis, "A low-cost imaging radar: DRIVE on board ONERA motorglider," in *Proceedings of IEEE International Geoscience and Remote Sensing Symposium*, Jul. 2007, pp. 5306–5309.
- [57] Y. K. Kwag and C. H. Chung, "UAV based collision avoidance radar sensor," in *Proceedings of IEEE International Geoscience and Remote Sensing Symposium*, Jul. 2007, pp. 639–642.
- [58] J. Drozdowicz *et al.*, "35 GHz FMCW drone detection system," in *Proceedings of International Radar Symposium*, May 2016, pp. 1–4.
- [59] M. Caris, W. Johannes, S. Sieger, V. Port, and S. Stanko, "Detection of small UAS with W-band radar," in *Proceedings of International Radar Symposium*, Jun. 2017, pp. 1–6.
- [60] Y. P. Zhang and D. Liu, "Antenna-on-chip and antenna-in-package solutions to highly integrated millimeter-wave devices for wireless communications," *IEEE Transactions on Antennas and Propagation*, vol. 57, no. 10, pp. 2830–2841, Oct. 2009.
- [61] H. J. Ng, M. Kucharski, W. Ahmad, and D. Kissinger, "Multi-purpose fully differential 61- and 122-GHz radar transceivers for scalable MIMO sensor platforms," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 9, pp. 2242–2255, Sep. 2017.
- [62] M. Hitzler, S. Saulig, L. Boehm, W. Mayer, W. Winkler, N. Uddin, and C. Waldschmidt, "Ultracompact 160-GHz FMCW radar MMIC with fully integrated offset synthesizer," *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 5, pp. 1682–1691, May 2017.
- [63] S. Scherr *et al.*, "Miniaturized 122 GHz ISM band FMCW radar with micrometer accuracy," in *Proceedings of European Radar Conference*, Sep. 2015, pp. 277–280.

- [64] B. B. Adela, P. T. M. van Zeijl, U. Johannsen, and A. B. Smolders, “On-chip antenna integration for millimeter-wave single-chip FMCW radar, providing high efficiency and isolation,” *IEEE Transactions on Antennas and Propagation*, vol. 64, no. 8, pp. 3281–3291, Aug. 2016.
- [65] *Single-Chip 76-to-81 GHz Automotive Radar Sensor Integrating MCU and Hardware Accelerator*, Texas Instruments, May 2017.
- [66] G. Hasenaecker, M. van Delden, T. Jaeschke, N. Pohl, K. Aufinger, and T. Musch, “A SiGe fractional-N frequency synthesizer for mm-wave wide-band FMCW radar transceivers,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 3, pp. 847–858, Mar. 2016.
- [67] J. Vovnoboy, R. Levinger, N. Mazor, and D. Elad, “A fully integrated 75–83 GHz FMCW synthesizer for automotive radar applications with –97 dBc/Hz phase noise at 1 MHz offset and 100 GHz/mSec maximal chirp rate,” in *Proceedings of IEEE Radio Frequency Integrated Circuits Symposium*, Jun. 2017, pp. 96–99.
- [68] J. Vovnoboy, R. Levinger, N. Mazor, and D. Elad, “A dual-loop synthesizer with fast frequency modulation ability for 77/79 GHz FMCW automotive radar applications,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 5, pp. 1328–1337, May 2018.
- [69] H. Rucker *et al.*, “A 0.13 μm SiGe BiCMOS technology featuring f_T/f_{max} of 240/330 GHz and gate delays below 3 ps,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 9, pp. 1678–1686, Sep. 2010.
- [70] T. Mitomo, N. Ono, H. Hoshino, Y. Yoshihara, O. Watanabe, and I. Seto, “A 77 GHz 90 nm CMOS transceiver for FMCW radar applications,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 928–937, Apr. 2010.
- [71] **I. Milosavljević**, “Koncept integrisanog radarskog senzora na 60 GHz,” Master’s thesis, School of Electrical Engineering, University of Belgrade, Serbia, Oct. 2011.
- [72] M. Skolnik, *Introduction to Radar Systems*, 3rd ed. McGraw-Hill, 2002.

-
- [73] S. Trotta *et al.*, “A 79 GHz SiGe-bipolar spread-spectrum TX for automotive radar,” in *Proceedings of IEEE International Solid-State Circuits Conference*, Feb. 2007, pp. 430–613.
- [74] V. Giannini, D. Guermandi, Q. Shi, A. Medra, W. V. Thillo, A. Bourdoux, and P. Wambacq, “A 79 GHz phase-modulated 4 GHz-BW CW radar transmitter in 28 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 2925–2937, Dec. 2014.
- [75] D. Guermandi *et al.*, “A 79-GHz 2×2 MIMO PMCW radar SoC in 28-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 52, no. 10, pp. 2613–2626, Oct. 2017.
- [76] J. Lee, Y. A. Li, M. H. Hung, and S. J. Huang, “A fully-integrated 77-GHz FMCW radar transceiver in 65-nm CMOS technology,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 12, pp. 2746–2756, Dec. 2010.
- [77] N. Pohl, T. Jaeschke, and K. Aufinger, “An ultra-wideband 80 GHz FMCW radar system using a SiGe bipolar transceiver chip stabilized by a fractional-N PLL synthesizer,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 3, pp. 757–765, Mar. 2012.
- [78] T. N. Luo, C. H. E. Wu, and Y. J. E. Chen, “A 77-GHz CMOS FMCW frequency synthesizer with reconfigurable chirps,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 7, pp. 2641–2647, Jul. 2013.
- [79] W. Wu, R. B. Staszewski, and J. R. Long, “A 56.4-to-63.4 GHz multi-rate all-digital fractional-N PLL for FMCW radar applications in 65 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 5, pp. 1081–1096, May 2014.
- [80] J. Park, H. Ryu, K. W. Ha, J. G. Kim, and D. Baek, “76–81-GHz CMOS transmitter with a phase-locked-loop-based multichirp modulator for automotive radar,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 4, pp. 1399–1408, Apr. 2015.
- [81] J.-H. Song, C. Cui, S.-K. Kim, B.-S. Kim, and S. Nam, “A low-phase-noise 77-GHz FMCW radar transmitter with a 12.8-GHz PLL and a $\times 6$ frequency multiplier,” *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 7, pp. 540–542, Jul. 2016.
-

-
- [82] H. Jia, L. Kuang, W. Zhu, Z. Wang, F. Ma, Z. Wang, and B. Chi, “A 77 GHz frequency doubling two-path phased-array FMCW transceiver for automotive radar,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 10, pp. 2299–2311, Oct. 2016.
- [83] **I. M. Milosavljević**, Đ. P. Glavonjić, D. P. Krčum, L. V. Saranovac, and V. M. Milovanović, “A highly linear and fully-integrated FMCW synthesizer for 60 GHz radar applications with 7 GHz bandwidth,” *Springer Analog Integrated Circuits and Signal Processing*, vol. 90, no. 3, pp. 591–604, Mar. 2017.
- [84] A. Townley *et al.*, “A 94-GHz 4TX-4RX phased-array FMCW radar transceiver with antenna-in-package,” *IEEE Journal of Solid-State Circuits*, vol. 52, no. 5, pp. 1245–1259, May 2017.
- [85] E. Öztürk, D. Genschow, U. Yodprasit, B. Yilmaz, D. Kissinger, W. Debski, and W. Winkler, “A 60-GHz SiGe BiCMOS monostatic transceiver for FMCW radar applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 12, pp. 5309–5323, Dec. 2017.
- [86] V. Winkler, “Range Doppler detection for automotive FMCW radars,” in *Proceedings of European Radar Conference*, Oct. 2007, pp. 166–169.
- [87] G. R. Curry, *Radar System Performance Modeling*, 2nd ed. Norwood, MA: Artech House, 2005.
- [88] E. Hecht, *Optics*, 4th ed. New York: Addison Wesley, 2001.
- [89] T. Binzer, M. Klar, and V. Groß, “Development of 77 GHz radar lens antennas for automotive applications based on given requirements,” in *Proceedings of International ITG Conference on Antennas*, Mar. 2007, pp. 205–209.
- [90] M. Steinhauer, H. O. Ruob, H. Irion, and W. Menzel, “Millimeter-wave-radar sensor based on a transceiver array for automotive applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 2, pp. 261–269, Feb. 2008.
- [91] A. Babakhani, X. Guan, A. Komijani, A. Natarajan, and A. Hajimiri, “A 77-GHz phased-array transceiver with on-chip antennas in silicon: Receiver and antennas,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp. 2795–2806, Dec. 2006.
-

-
- [92] B. H. Ku, P. Schmalenberg, O. Inac, O. D. Gurbuz, J. S. Lee, K. Shiozaki, and G. M. Rebeiz, "A 77–81-GHz 16-element phased-array receiver with $\pm 50^\circ$ beam scanning for advanced automotive radars," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 11, pp. 2823–2832, Nov. 2014.
- [93] "IEEE Standard Definitions of Physical Quantities for Fundamental Frequency and Time Metrology—Random Instabilities," IEEE, Standard, Feb. 2008.
- [94] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp. 331–343, Mar. 1996.
- [95] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, Feb. 1998.
- [96] T. H. Lee and A. Hajimiri, "Oscillator phase noise: A tutorial," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 326–336, Mar. 2000.
- [97] F. Pepe, "Analysis and minimization of flicker noise up-conversion in radio-frequency LC-tuned oscillators," Ph.D. dissertation, Politecnico di Milano, 2013.
- [98] E. Hegazi and A. A. Abidi, "Varactor characteristics, oscillator tuning curves, and AM-FM conversion," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 1033–1039, Jun. 2003.
- [99] A. Bonfanti, S. Levantino, C. Samori, and A. L. Lacaita, "A varactor configuration minimizing the amplitude-to-phase noise conversion in VCOs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 3, pp. 481–488, Mar. 2006.
- [100] E. Hegazi, J. J. Rael, and A. A. Abidi, *The Designer's Guide to High-Purity Oscillators*. Springer, 2005.
- [101] A. Jerng and C. G. Sodini, "The impact of device type and sizing on phase noise mechanisms," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 2, pp. 360–369, Feb. 2005.
- [102] S. Ayhan, S. Scherr, A. Bhutani, B. Fischbach, M. Pauli, and T. Zwick, "Impact of frequency ramp nonlinearity, phase noise, and SNR on FMCW radar

-
- accuracy,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 10, pp. 3290–3301, Oct. 2016.
- [103] Y. Liu, D. Goshi, K. Mai, L. Bui, and Y. Shih, “Linearity study of DDS-based W-band FMCW sensor,” in *Proceedings of IEEE International Microwave Symposium*, Jun. 2009, pp. 1697–1700.
- [104] H.-H. Chang, I.-H. Hua, and S.-I. Liu, “A spread-spectrum clock generator with triangular modulation,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 4, pp. 673–676, Apr. 2003.
- [105] Y. B. Hsieh and Y. H. Kao, “A fully integrated spread-spectrum clock generator by using direct VCO modulation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 7, pp. 1845–1853, Aug. 2008.
- [106] C.-C. Chen, S.-C. Lee, and S.-J. Liu, “A spread-spectrum clock generator using a capacitor multiplication technique,” in *Proceedings of Emerging Information Technology Conference*, Aug. 2005, pp. 43–46.
- [107] A. Stelzer, K. Ettinger, J. Hoftberger, J. Fenk, and R. Weigel, “Fast and accurate ramp generation with a PLL-stabilized 24-GHz SiGe VCO for FMCW and FSCW applications,” in *Proceedings of IEEE International Microwave Symposium*, vol. 2, Jun. 2003, pp. 893–896 vol.2.
- [108] H. J. Ng, A. Fischer, R. Feger, R. Stuhlberger, L. Maurer, and A. Stelzer, “A DLL-supported, low phase noise fractional-N PLL with a wideband VCO and a highly linear frequency ramp generator for FMCW radars,” *IEEE Transactions on Circuits and Systems I, Regular Papers*, vol. 60, no. 12, pp. 3289–3302, Dec. 2013.
- [109] W. Wu, “Millimeter-wave digitally-assisted frequency synthesizer in CMOS,” Ph.D. dissertation, TU Delft, 2013.
- [110] J. Xu, N. Yan, S. Yu, L. Ma, D. Pan, X. Zeng, and H. Min, “A 24 GHz high frequency-sweep linearity FMCW signal generator with floating-shield distributed metal capacitor bank,” *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 1, pp. 52–54, Jan. 2017.
- [111] H. Yeo, S. Ryu, Y. Lee, S. Son, and J. Kim, “A 940 MHz-bandwidth 28.8 μ s-period 8.9 GHz chirp frequency synthesizer PLL in 65 nm CMOS for X-band
-

-
- FMCW radar applications,” in *Proceedings of IEEE International Solid-State Circuits Conference*, Feb. 2016, pp. 238–239.
- [112] D. Cherniak, L. Grimaldi, L. Bertulesi, C. Samori, R. Nonis, and S. Levantino, “A 23 GHz low-phase-noise digital bang-bang PLL for fast triangular and sawtooth chirp modulation,” in *Proceedings of IEEE International Solid-State Circuits Conference*, Feb. 2018, pp. 248–250.
- [113] R. B. Staszewski *et al.*, “All-digital PLL and transmitter for mobile phones,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2469–2482, Dec. 2005.
- [114] D. Grujić, “Metodi projektovanja monolitnih mikrotalasnih integrisanih kola predviđenih za rad sa signalima učestanosti oko 60 GHz,” Ph.D. dissertation, School of Electrical Engineering, University of Belgrade, 2013.
- [115] S. Kang, J. C. Chien, and A. M. Niknejad, “A W-band low-noise PLL with a fundamental VCO in SiGe for millimeter-wave applications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 10, pp. 2390–2404, Oct. 2014.
- [116] Federal Communications Commission (FCC), “Operation within the band 57–71 GHz, Title 47 CFR Part 15, Subpart C, §15.255,” Nov. 2016.
- [117] **I. M. Milosavljević**, D. P. Krčum, Đ. P. Glavonjić, S. P. Jovanović, V. R. Mihajlović, D. M. Tasovac, and V. M. Milovanović, “A SiGe highly integrated FMCW transmitter module with a 59.5–70.5-GHz single sweep cover,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 9, pp. 4121–4133, Sep. 2018.
- [118] J. P. John, J. Kirchgessner, R. Ma, D. Morgan, I. To, and V. P. Trivedi, “Si-based technologies for mmWave automotive radar,” in *Proceedings of IEEE Compound Semiconductor Integrated Circuit Symposium*, Oct. 2016, pp. 1–4.
- [119] V. Jain *et al.*, “Device and circuit performance of SiGe HBTs in 130 nm BiCMOS process with f_T/f_{\max} of 250/330 GHz,” in *Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, Sep. 2014, pp. 96–99.
-

-
- [120] J. J. Pekarik *et al.*, “A 90 nm SiGe BiCMOS technology for mm-wave and high-performance analog applications,” in *Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, Sep. 2014, pp. 92–95.
- [121] H. Rücker, B. Heinemann, and A. Fox, “Half-terahertz SiGe BiCMOS technology,” in *Proceedings of IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2012, pp. 133–136.
- [122] G. Avenier *et al.*, “0.13 μm SiGe BiCMOS technology fully dedicated to mm-wave applications,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 9, pp. 2312–2321, Sep. 2009.
- [123] P. Chevalier *et al.*, “A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz f_T / 370 GHz f_{max} HBT and high-Q millimeter-wave passives,” in *Proceedings of IEEE International Electron Devices Meeting*, Dec. 2014, pp. 391–393.
- [124] A. Kar-Roy, D. Howard, E. Preisler, M. Racanelli, S. Chaudhry, and V. Blaschke, “SiGe BiCMOS manufacturing platform for mmWave applications,” in *Proceedings of Society Photo-Optical Instrumentation Engineers*, vol. 7837, Oct. 2010.
- [125] W. D. van Noort *et al.*, “BiCMOS technology improvements for microwave application,” in *Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, Oct. 2008, pp. 93–96.
- [126] J. Böck *et al.*, “SiGe HBT and BiCMOS process integration optimization within the DOTSEVEN project,” in *Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, Oct. 2015, pp. 121–124.
- [127] R. M. Warner and R. D. Schrimpf, “BJT–MOSFET transconductance comparisons,” *IEEE Transactions on Electron Devices*, vol. 34, no. 5, pp. 1061–1065, May 1987.
- [128] V. Milovanović, “Advanced breakdown modeling for solid-state circuit design,” Ph.D. dissertation, TU Delft, 2010.
- [129] A. Margomenos, “A comparison of Si CMOS and SiGe BiCMOS technologies for automotive radars,” in *Proceedings of IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2009, pp. 1–4.
-

-
- [130] A. Ergintav, Y. Sun, F. Herzel, H. J. Ng, G. Fischer, and D. Kissinger, “A 61 GHz frequency synthesizer in SiGe BiCMOS for 122 GHz FMCW radar,” in *Proceedings of European Microwave Integrated Circuits Conference*, Oct. 2016, pp. 325–328.
- [131] B. Razavi, “A study of injection locking and pulling in oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 9, pp. 1415–1424, Sep. 2004.
- [132] V. Jain, B. Javid, and P. Heydari, “A BiCMOS dual-band millimeter-wave frequency synthesizer for automotive radars,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 8, pp. 2100–2113, Aug. 2009.
- [133] Z. Xu, Q. J. Gu, Y. C. Wu, H. Y. Jian, and M. C. F. Chang, “A 70–78-GHz integrated CMOS frequency synthesizer for W-band satellite communications,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 12, pp. 3206–3218, Dec. 2011.
- [134] N. Pohl, H. M. Rein, T. Musch, K. Aufinger, and J. Hausner, “SiGe bipolar VCO with ultra-wide tuning range at 80 GHz center frequency,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 10, pp. 2655–2662, Oct. 2009.
- [135] J.-M. Lee, W.-Y. Choi, and H. Rucker, “60-GHz voltage-controlled oscillator and frequency divider in 0.25- μm SiGe BiCMOS technology,” in *Proceedings of International SoC Design Conference*, Nov. 2012, pp. 65–67.
- [136] G. Sapone, E. Ragonese, A. Italia, and G. Palmisano, “A 0.13- μm SiGe BiCMOS Colpitts-based VCO for W-band radar transmitters,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 1, pp. 185–194, Jan. 2013.
- [137] A. Aktas and M. Ismail, *CMOS PLLs and VCOs for 4G Wireless*. Springer, 2013.
- [138] P. Andreani, X. Wang, L. Vandi, and A. Fard, “A study of phase noise in Colpitts and LC-tank CMOS oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 5, pp. 1107–1118, May 2005.
- [139] J. Rogers, C. Plett, and F. Dai, *Integrated Circuit Design for High-Speed Frequency Synthesis*. Norwood, MA: Artech House, 2006.
-

-
- [140] K. Arshak, O. Abubaker, and E. Jafer, "Design and simulation difference types CMOS phase frequency detector for high speed and low jitter PLL," in *Proceedings of IEEE International Caracas Conference on Devices, Circuits and Systems*, vol. 1, Nov. 2004, pp. 188–191.
- [141] M. Mansuri, D. Liu, and C.-K. K. Yang, "Fast frequency acquisition phase-frequency detectors for Gsamples/s phase-locked loops," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 10, pp. 1331–1334, Oct. 2002.
- [142] B. Razavi, "TSPC logic [A circuit for all seasons]," *IEEE Solid-State Circuits Magazine*, vol. 8, no. 4, pp. 10–13, Fall 2016.
- [143] W. Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," in *Proceedings of IEEE International Symposium on Circuits and Systems*, vol. 2, May 1999, pp. 545–548.
- [144] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 11, pp. 1723–1732, Nov. 1996.
- [145] B. Razavi, *RF Microelectronics*, 2nd ed. Upper Saddle River, NJ: Prentice Hall Press, 2011.
- [146] **I. M. Milosavljević**, D. N. Grujić, Đ. Č. Simić, and J. S. Popović-Božović, "Estimation and compensation of process-induced variations in capacitors for improved reliability in integrated circuits," *Springer Analog Integrated Circuits and Signal Processing*, vol. 81, no. 1, pp. 253–264, Oct. 2014.
- [147] R. Aparicio and A. Hajimiri, "Capacity limits and matching properties of integrated capacitors," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 3, pp. 384–393, Mar. 2002.
- [148] A. M. Niknejad and H. Hashemi, *mm-Wave Silicon Technology*, 1st ed. Springer, 2008.
- [149] J. Lee and B. Razavi, "A 40-GHz frequency divider in 0.18- μm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 4, pp. 594–601, Apr. 2004.
-

- [150] S. T. Nicolson *et al.*, “A low-voltage SiGe BiCMOS 77-GHz automotive radar chipset,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 5, pp. 1092–1104, May 2008.
- [151] L. Wang, Y.-M. Sun, J. Borngräber, A. Thiede, and R. Kraemer, “Low power frequency dividers in SiGe:C BiCMOS technology,” in *Proceedings of IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, Jan. 2006, pp. 357–360.
- [152] S. Verma, H. R. Rategh, and T. H. Lee, “A unified model for injection-locked frequency dividers,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 1015–1027, Jun. 2003.
- [153] M. Tiebout, “A CMOS direct injection-locked oscillator topology as high-frequency low-power frequency divider,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 7, pp. 1170–1174, Jul. 2004.
- [154] P. Mayr, C. Weyers, and U. Langmann, “A 90 GHz 65 nm CMOS injection-locked frequency divider,” in *Proceedings of IEEE International Solid-State Circuits Conference*, Feb. 2007, pp. 198–596.
- [155] L.-H. Lu and J.-C. Chien, “A wide-band CMOS injection-locked ring oscillator,” *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 10, pp. 676–678, Oct. 2005.
- [156] D. Grujić, M. Savić, and J. Popović-Božović, “A power efficient frequency divider for 60 GHz band,” *IEEE Microwave and Wireless Components Letters*, vol. 21, no. 3, pp. 148–150, Mar. 2011.
- [157] C. S. Vaucher, I. Ferencic, M. Locher, S. Sedvallson, U. Voegeli, and Z. Wang, “A family of low-power truly modular programmable dividers in standard 0.35- μm CMOS technology,” *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 1039–1045, Jul. 2000.
- [158] R. K. K. R. Sandireddy, F. F. Dai, and R. C. Jaeger, “A generic architecture for multi-modulus dividers in low-power and high-speed frequency synthesis,” in *Proceedings of IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, Sep. 2004, pp. 243–246.

-
- [159] K. Kundert, “Predicting the phase noise and jitter of PLL-based frequency synthesizers,” 2003.
- [160] F. Herzel, S. A. Osmany, and J. C. Scheytt, “Analytical phase-noise modeling and charge pump optimization for fractional-N PLLs,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 8, pp. 1914–1924, Aug. 2010.
- [161] B. Miller and R. J. Conley, “A multiple modulator fractional divider,” *IEEE Transactions on Instrumentation and Measurement*, vol. 40, no. 3, pp. 578–583, Jun. 1991.
- [162] F. Herzel and B. Razavi, “A study of oscillator jitter due to supply and substrate noise,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, no. 1, pp. 56–62, Jan. 1999.
- [163] R. A. Hastings, *The Art of Analog Layout*, 2nd ed. Pearson Prentice Hall, 2006.
- [164] K. Kundert, “Power supply noise reduction,” 2004.
- [165] F. Herzel, A. Ergintav, and Y. Sun, “Phase noise modeling for integrated PLLs in FMCW radar,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, no. 3, pp. 137–141, Mar. 2013.
- [166] A. Ergintav, F. Herzel, D. Kissinger, and H. J. Ng, “An investigation of phase noise of a fractional-N PLL in the course of FMCW chirp generation,” in *Proceedings of IEEE International Symposium on Circuits and Systems*, May 2018, pp. 1–4.
- [167] A. L. Lacaíta, S. Levantino, and C. Samori, *Integrated Frequency Synthesizers for Wireless Systems*. Cambridge University Press, 2007.
- [168] Y. Pan and J. Xu, “Phase noise analysis of fractional-N PLL based frequency ramp generator for FMCW radar,” in *Proceedings of IEEE Asia-Pacific Microwave Conference*, vol. 3, Dec. 2015, pp. 1–3.
- [169] S. O. Piper, “FMCW linearizer bandwidth requirements,” in *Proceedings of IEEE National Radar Conference*, Mar. 1991, pp. 142–146.
-

- [170] X. Gao, E. A. M. Klumperink, P. F. J. Geraedts, and B. Nauta, "Jitter analysis and a benchmarking figure-of-merit for phase-locked loops," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 2, pp. 117–121, Feb. 2009.
- [171] M. Kucharski, F. Herzel, H. J. Ng, and D. Kissinger, "A Ka-band BiCMOS LC-VCO with wide tuning range and low phase noise using switched coupled inductors," in *Proceedings of European Microwave Integrated Circuits Conference*, Oct. 2016, pp. 201–204.
- [172] **I. Milosavljević**, Đ. Glavonjić, D. Krčum, D. Tasovac, L. Saranovac, and V. Milovanović, "An FMCW fractional-N PLL-based synthesizer for integrated 79 GHz automotive radar sensors," in *Proceedings of IEEE EUROCON 2017 International Conference on Smart Technologies*, Jul. 2017, pp. 265–270.
- [173] M. El-Shennawy, N. Joram, and F. Ellinger, "Fractional-N PLL optimization for highly linear wideband chirp generation for FMCW radars," in *Proceedings of German Microwave Conference*, Mar. 2015, pp. 248–251.
- [174] **I. M. Milosavljević**, D. P. Krčum, and L. V. Saranovac, "Design and analysis of differential passive circuits for I/Q generation in 60 GHz integrated circuits," *Informacije MIDEM - Journal of Microelectronics, Electronic Components and Materials*, vol. 46, no. 3, pp. 120–129, 2016.
- [175] M. van Delden, N. Pohl, and T. Musch, "An ultra-wideband fast frequency ramp synthesizer at 60 GHz with low noise using a new loop gain compensation technique," *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, no. 9, pp. 3937–3946, Sep. 2018.
- [176] J. Shin and H. Shin, "A fast and high-precision VCO frequency calibration technique for wideband $\Delta\Sigma$ fractional-N frequency synthesizers," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1573–1582, Jul. 2010.

Biografija autora

Ivan M. Milosavljević je rođen 06.05.1987. u Beogradu. Osnovnu školu “Despot Stefan Lazarević” je završio u Beogradu 2002. godine, a Šestu beogradsku gimnaziju 2006. godine. Tokom osnovne škole je učestvovao na takmičenjima iz matematike, fizike, biologije i osnova tehničkog obrazovanja u kojima je imao uspeha od opštinskog do republičkog nivoa.

Elektrotehnički fakultet Univerziteta u Beogradu upisao je 2006. godine, gde je diplomirao 2010. godine na smeru za elektroniku sa prosekom 9,03. Diplomski rad pod nazivom “Uređaj za snimanje i reprodukciju zvuka ISDspeech” je odbranio sa ocenom 10 pod mentorstvom prof. dr Lazara Saranovca. Master studije je upisao 2010. godine na smeru Elektronika, Elektrotehničkog fakulteta u Beogradu, a završio 2011. godine sa prosečnom ocenom 10. Master rad pod nazivom “Koncept integrisanog radarskog senzora na 60 GHz” je odbranio sa ocenom 10 pod mentorstvom prof. dr Lazara Saranovca. Doktorske studije na Elektrotehničkom fakultetu u Beogradu, smer Elektronika, upisao je 2012. godine, gde mu je odobrena izrada doktorske disertacije pod naslovom “Sintetizator učestanosti za integrisane FMCW radarske senzore u milimetarskom talasnom opsegu”.

U periodu od 2011. do 2015. godine radio je u firmi TES Electronic Solutions kao inženjer razvoja analognih i RF integrisanih kola na projektu širokopojasnog primopredajnika za komunikacione sisteme u opsegu od 3,1 do 10,6 GHz. Od 2015. godine zaposlen je u firmi NovellIC Microsystems kao vođa grupe za razvoj RF i mmWave integrisanih kola, gde rukovodi razvojem integrisanih FMCW radarskih senzora u opsezima 57–64 GHz i 77–81 GHz. U njegovo trenutno interesovanje spadaju projektovanje integrisanih kola za rad na visokim učestanostima i sinteza učestanosti u milimetarskom opsegu za radarske i komunikacione sisteme.

Autor ili koautor je pet naučnih radova u međunarodnim časopisima, devet naučnih radova na međunarodnim konferencijama i dve prihvaćene patentne prijave. Od 2018. godine angažovan je kao recenzent vrhunskog međunarodnog časopisa IEEE Microwave and Wireless Components Letters, kao i međunarodnog časopisa Springer Analog Integrated Circuits and Signal Processing. Takođe, od iste godine je član međunarodnog udruženja inženjera elektrotehnike IEEE u svojstvu punopravnog člana, kao i udruženja IEEE MTT-S, SSCS, CAS i AP-S.

Прилог 1.

Изјава о ауторству

Име и презиме аутора Иван Милосављевић

Број индекса 5039/2012

Изјављујем

да је докторска дисертација под насловом

Синтетизатор учестаности за интегрисане FMCW радарске сензоре у милиметарском таласном опсегу

- резултат сопственог истраживачког рада;
- да дисертација у целини ни у деловима није била предложена за стицање друге дипломе према студијским програмима других високошколских установа;
- да су резултати коректно наведени и
- да нисам кршио/ла ауторска права и користио/ла интелектуалну својину других лица.

Потпис аутора

У Београду, 23.08.2019.

Иван Милосављевић

Прилог 2.

**Изјава о истоветности штампане и електронске
верзије докторског рада**

Име и презиме аутора Иван Милосављевић

Број индекса 5039/2012

Студијски програм Електроника

Наслов рада Синтетизатор учестаности за интегрисане FMCW радарске
сензоре у милиметарском таласном опсегу

Ментори др Лазар Сарановац, редовни професор и др Душан Грујић, доцент

Потписани Иван Милосављевић

Изјављујем да је штампана верзија мог докторског рада истоветна електронској верзији коју сам предао/ла за објављивање на порталу **Дигиталног репозиторијума Универзитета у Београду**.

Дозвољавам да се објаве моји лични подаци везани за добијање академског назива доктора наука, као што су име и презиме, година и место рођења и датум одбране рада.

Ови лични подаци могу се објавити на мрежним страницама дигиталне библиотеке, у електронском каталогу и у публикацијама Универзитета у Београду.

Потпис аутора

У Београду, 23.08.2019.

Иван Милосављевић

Прилог 3.

Изјава о коришћењу

Овлашћујем Универзитетску библиотеку „Светозар Марковић“ да у Дигитални репозиторијум Универзитета у Београду унесе моју докторску дисертацију под насловом:

Синтетизатор учестаности за интегрисане FMCW радарске сензоре у милиметарском таласном опсегу

која је моје ауторско дело.

Дисертацију са свим прилозима предао/ла сам у електронском формату погодном за трајно архивирање.

Моју докторску дисертацију похрањену у Дигиталном репозиторијуму Универзитета у Београду и доступну у отвореном приступу могу да користе сви који поштују одредбе садржане у одабраном типу лиценце Креативне заједнице (Creative Commons) за коју сам се одлучио/ла.

1. Ауторство (CC BY)
2. Ауторство – некомерцијално (CC BY-NC)
3. Ауторство – некомерцијално – без прерада (CC BY-NC-ND)
4. Ауторство – некомерцијално – делити под истим условима (CC BY-NC-SA)
5. Ауторство – без прерада (CC BY-ND)
6. Ауторство – делити под истим условима (CC BY-SA)

(Молимо да заокружите само једну од шест понуђених лиценци.
Кратак опис лиценци је саставни део ове изјаве).

Потпис аутора

У Београду, 23.08.2019.

Иван Милошевић

1. **Ауторство.** Дозвољава се умножавање, дистрибуцију и јавно саопштавање дела, и прераде, ако се наведе име аутора на начин одређен од стране аутора или даваоца лиценце, чак и у комерцијалне сврхе. Ово је најслободнија од свих лиценци.

2. **Ауторство – некомерцијално.** Дозвољава се умножавање, дистрибуцију и јавно саопштавање дела, и прераде, ако се наведе име аутора на начин одређен од стране аутора или даваоца лиценце. Ова лиценца не дозвољава комерцијалну употребу дела.

3. **Ауторство – некомерцијално – без прерада.** Дозвољава се умножавање, дистрибуцију и јавно саопштавање дела, без промена, преобликовања или употребе дела у свом делу, ако се наведе име аутора на начин одређен од стране аутора или даваоца лиценце. Ова лиценца не дозвољава комерцијалну употребу дела. У односу на све остале лиценце, овом лиценцом се ограничава највећи обим права коришћења дела.

4. **Ауторство – некомерцијално – делити под истим условима.** Дозвољава се умножавање, дистрибуцију и јавно саопштавање дела, и прераде, ако се наведе име аутора на начин одређен од стране аутора или даваоца лиценце и ако се прерада дистрибуира под истом или сличном лиценцом. Ова лиценца не дозвољава комерцијалну употребу дела и прерада.

5. **Ауторство – без прерада.** Дозвољава се умножавање, дистрибуцију и јавно саопштавање дела, без промена, преобликовања или употребе дела у свом делу, ако се наведе име аутора на начин одређен од стране аутора или даваоца лиценце. Ова лиценца дозвољава комерцијалну употребу дела.

6. **Ауторство – делити под истим условима.** Дозвољава се умножавање, дистрибуцију и јавно саопштавање дела, и прераде, ако се наведе име аутора на начин одређен од стране аутора или даваоца лиценце и ако се прерада дистрибуира под истом или сличном лиценцом. Ова лиценца дозвољава комерцијалну употребу дела и прерада. Слична је софтверским лиценцама, односно лиценцама отвореног кода.