



### 저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#) 

공학석사 학위논문

고해상도 ADC를 위한 저 잡음,  
sub-1ppm/°C 2차 조각 곡률 보  
상 bandgap reference

A low noise, sub-1ppm/°C piecewise  
second-order curvature compensated  
bandgap reference for high resolution ADC

2020 년 6월

서울대학교 대학원

전기 정보 공학부

안 용 준

고해상도 ADC를 위한 저 잡음  
sub-1ppm/°C 2차 조각 곡률  
보상 bandgap reference

지도 교수 김 수 환

이 논문을 공학석사 학위논문으로 제출함  
2020년 6월

서울대학교 대학원  
전기 정보 공학부  
안 용 준

안용준의 공학석사 학위논문을 인준함  
2020 년 6 월

위 원 장 \_\_\_\_\_ 홍용택(인)

부위원장 \_\_\_\_\_ 김수환(인)

위 원 \_\_\_\_\_ 최우석(인)

# 초 록

본 논문에서는 고해상도 analog to digital converter를 위한 저잡음, 고 정밀 bandgap voltage reference를 제안한다. reference 회로의 성능 중 가장 중요한 것들은 바로 낮은 온도 계수(temperature coefficient)와 저주파 대역의 전기적 잡음이다.

제안된 Bandgap reference 회로는 위 두가지 요소를 개선 하였다. 먼저 낮은 온도 계수를 성취하기 위해서는 BJT Emitter-Base전압의 비선형적 온도의존성을 보상해주어야 하고, bandgap core을 이루는 Error amplifier의 DC offset을 제거해야 하며, 마지막으로 process variation에 의한 추가적인 온도 의존성을 상쇄시켜야 한다. 제안된 bandgap reference는 여러가지 회로 기술들을 활용해 위 요소들을 보상하였다. BJT Emitter-Base전압의 비선형적 온도 의존성을 온도에 대해 2차 의존성을 갖는 compensation 전류를 생성하고 bandgap core에 흘려주어 제거하였다. Compensation 전류는 크게 current subtraction 동작과 current squaring 동작을 통해 생성되는데, 위 동작은 모두 process variation에 둔감하다. 두 번 째로 process variation에 의한 온도 특성의 변화를 보상해 주기 위해 trimming resistor를 사용하였다. 마지막으로 error amplifier에 chopping을 적용하여 Error amplifier DC offset을 약화시켰다. Bandgap reference의 저 주파수 전기적 잡음의 근원은 대부분 Error amplifier이므로 chopping 동작을 통해 저주파대역의 전기적 잡음 또한 제거된다. Chopping 동작을 통해 생겨난 리플 과, 고주파 대역으로 변조된 저주파 대역의 전기적 잡음은 RC filter를 통해 제거하였다.

제안된 bandgap reference는 스탠다드 0.13um CMOS 공정의 3.3V 전원 소자로 설계하였으며 레이아웃 사이즈는 0.0534mm<sup>2</sup>이다. Post layout simulation 결과 제안된 bandgap reference의 -40° C부터 125° C 사이의 온도 계수는 약 0.64ppm/° C이다.

0.1Hz부터 10Hz사이의 integrated noise는 약 2.7uVrms이다. 제안된 bandgap reference는 상온에서 약 44uA의 전류를 소모한다.

주요어 : bandgap reference, 온도 계수(temperature coefficient)

학 번 : 2018-28117

# 목 차

제 1 장 서론.....	1
제 1 절 연구의 배경 .....	1
제 2 절 기본적인 bandgap reference의 동작 원리.....	4
1. bipolar 트랜지스터의 온도 특성 .....	4
2. 기본적인 bandgap voltage reference 의 동작 원리.....	7
3. 기본적인 bandgap current reference 의 동작 원리 .....	9
제 2 장 기본적인 bandgap reference의 성능적 한계.....	12
제 1 절 비선형적 온도 의존성 .....	12
1. error amplifier dc offset.....	14
2. emitter-base 전압의 비선형적 온도 의존성 .....	16
3. bipolar 트랜지스터 전류 이득에 의한 비선형적 온도 의존성...17	
4. bipolar 트랜지스터의 베이스 저항에 의한 비선형적 온도 의존성 .....	19
제 2 절 Bandgap reference의 전기적 잡음.....	20
제 3 장 제안하는 저 잡음 고 정밀 bandgap voltage reference	22
제 1절 제안된 bandgap reference의 전체 구조.....	22
1. PTAT 전류 생성 회로.....	23
2. reference 전류 생성 회로 .....	24
3. bandgap core .....	25
제 2절 Curvature compensation technique .....	25
제 3절 Noise reduction technique.....	30
제 4절 Resistor trimming .....	32
제 5절 주요 성분 파라 미터 테이블.....	33
제 4 장 Layout 및 모의 실험 결과.....	34

제 1 절 Layout.....	34
제 2 절 모의 실험 결과 .....	35
제 5 장 결론.....	40
제 6 장 부록 current squaring 회로의 동작 원리.....	41
참고문헌.....	43
Abstract.....	43

## 표 목차

표 1 Analog to digital converter 비트 당 1LSB .....	2
표 2 bandgap reference 종류별 특징 및 비교 표 .....	11
표 3 bandgap reference의 error 요소들 .....	13
표 4 bandgap reference noise 분석 표 .....	21
표 5 주요 파라미터 테이블 .....	33
표 6 제안된 bandgap reference 비교 테이블 .....	39

## 그림 목차

그림 1.아날로그 디지털 변환기 .....	1
그림 2 CTAT 전압의 생성 .....	4
그림 3 PTAT 전압의 생성 .....	5
그림 4 기본적인 bandgap voltage reference 구조 .....	7
그림 5 bandgap voltage reference 온도-전압 그래프 .....	8
그림 6 기본적인 bandgap current reference의 구조 .....	9
그림 7 Opamp의 offset이 존재할 때의 bandgap voltage reference .....	14
그림 8 Emitter-base 전압의 비선형적 온도 특성 .....	16
그림 9 사용한 공정에서의 base 전류에 대한 전류 이득 그래 프 .....	18
그림 10 사용한 공정에서의 온도에 대한 전류 이득 그래프 ...	18
그림 11 PNP 트랜지스터의 parasitic base 저항 .....	19
그림 12 bandgap voltage reference의 전기적 잡음 모델 .....	20
그림 13 제안된 bandgap reference의 전체 구조 .....	22
그림 14 제안된 PTAT 전류 생성 회로의 구조 .....	23
그림 15 제안된 reference 전류 생성 회로의 구조 .....	24



그림 16 Bandgap core의 구조 .....	25
그림 17 Current subtraction circuit의 구조 .....	28
그림 18 Current squaring circuit의 구조.....	28
그림 19 Curvature compensation 전류 생성 절차 .....	29
그림 20 CMOS switch, chopper .....	31
그림 21 folded cascode amplifier with chopper .....	31
그림 22 Two stage array 구조 trimming resistor.....	32
그림 23 제안하는 bandgap reference의 Layout.....	34
그림 24 post layout simulation result of reference voltage	36
그림 25 post layout simulation result of reference voltage and curvature compensation current .....	36
그림 26 monte carlo simulation result of reference voltage(no trimming).....	37
그림 27 monte carlo simulation result of reference voltage(two point temperature trimming) .....	37
그림 28 simulated result of noise of the bandgap reference	38
그림 29 Operation of current squaring circuit.....	41

# 제 1 장 서론

## 제 1 절 연구의 배경



그림 1. 아날로그-디지털 변환기

Analog to digital converter(ADC)는 가장 핵심적인 아날로그 회로들 중 하나로 아날로그 신호를 디지털 코드로 변환해주는 기능을 한다. ADC는 전자제품, 통신장비, 실험장비, 센서 등 여러 분야에 걸쳐 두루 사용되고 있다. 분야에 따라 ADC가 받아들이는 아날로그 신호의 특성(크기, 주파수)들이 천차만별로 다르기 때문에, 각 application에 걸맞은 ADC들이 모두 다르고 따라서 다양한 형태의 ADC가 개발되었다. 구체적인 ADC의 종류로 flash ADC, pipeline ADC, SAR ADC, sigma-delta ADC 등이 있다.

ADC는 기본적으로 한 전압을 기준으로 아날로그 신호를 디지털 신호로 변환하는데 이 때 기준이 되는 전압을 reference 전압이라 부른다. reference 전압이 ADC성능의 저하를 일으키지 않으려면 reference에 의한 error가 1LSB 이하여야한다. 따라서 고해상도 ADC(+16bit)가 정확한 analog to digital conversion을 하기 위해선 때 온도나, supply 전압의 변화 등 외부 환경에 의한 영향을 적고, 전기적 잡음이 낮은 reference 전압이 필요하다.

표. 1 analog to digital converter 비트 별 1LSB

ADC 비트 수	1LSB(full scale 전압 3V기준)
11	1.47mV
12	732.4uV
13	366.2uV
14	183.1uV
15	91.6 uV

bandgap reference는 PVT variation에 영향을 거의 받지않는 reference 회로로 analog to digital converter(ADC), digital to analog converter(DAC), low dropout regulator(LDO), dram 등 많은 IC(integrated circuit)에서 널리 활용되고 있다. Bandgap reference는 bipolar 트랜지스터의 base-emitter(pnp 트랜지스터의 경우 emitter-base) 전압이 온도가 증가함에 따라 거의 선형적으로 감소하는 특성을 이용하여 reference 전압을 생성한다. 기본적인 bandgap reference의 경우 BJT의 base-emitter 전압과 온도에 선형적으로 비례하여 증가하는 전압을 더해 온도에 1차 보상된 reference 전압을 생성한다. 기본적인 bandgap reference는 준수한 수준의 온도 특성을 지니고 있으나 제거되지 못한 비선형적 온도 의존성 때문에 온도 계수(temperature coefficient)는 약 10ppm/°C에서 20ppm/°C 정도이다. 하지만 넓은 온도 범위에서 활용되는 고해상도 ADC를 위한 bandgap reference 회로는 그보다 더 온도에 의한 영향이 낮아야 하기때문에 온도 특성에 대한 개선이 필요하다.

또 다른 문제로는 바로 전기적 잡음이 있다. bandgap reference를 구성하는 error amplifier에 의한 전기적 잡음은 feedback factor 만큼 증폭되어 보이므로. 이 전기적 잡음에 의해 ADC의 resolution이 제한될 수 있다.

본 논문에서는 앞서 언급된 요소들에 의한 bandgap reference가  
가지는 성능적 한계를 여러 회로 technique들을 통해 개선한 저 잡음  
고 정밀 bandgap reference를 제안한다. 제안된 저 잡음 고 정밀  
bandgap reference는 여러 시뮬레이션을 통해 검증되었고 향후 고  
해상도 ADC에 적용될 예정이다.

## 제 2 절 기본적인 bandgap reference의 동작 원리.

### 1. bipolar 트랜지스터의 온도 특성

bandgap reference는 bipolar 트랜지스터의 온도 특성을 이용한 reference 회로이다. 따라서 bandgap reference의 동작 원리를 이해하기 위해선 bipolar 트랜지스터의 온도 특성을 알아야한다.

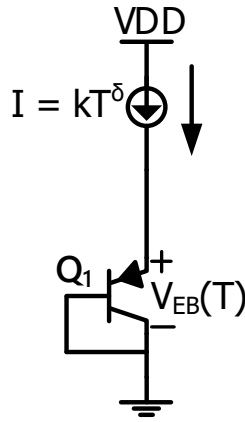


그림 2 CTAT 전압의 생성

그림. 2와 같이 pnp 트랜지스터의 이미터 전류가  $kT^\delta$ 이고 트랜지스터 전류 이득이 충분히 큰 경우, pnp 트랜지스터 emitter-base 전압  $V_{EB}(T)$  (npn 트랜지스터의 경우 base-emitter 전압)은 온도에 대해 다음과 같이 표현될 수 있다[2].

$$V_{EB}(T) = V_{GO_r} + [V_{EB}(T_r) - V_{GO_r}] \frac{T}{T_r} - (\eta - \delta) \frac{kT}{q} \ln\left(\frac{T}{T_r}\right) \quad (1)$$

여기서  $T_r$ 은 기준 온도,  $V_{GO_r}$ 은 기준 온도에서 추측된 실리콘의 절대영도에서의 밴드갭 전압,  $V_{EB}(T_r)$ 은 기준 온도에서의 emitter-base 전압,  $\eta$ 는 온도와 무관한 공정의존적인 상수이다. 식 1에서 마지막 항을 제외했을 때  $V_{EB}(T)$ 는 온도에 대해 선형적으로 감소하는 경향을

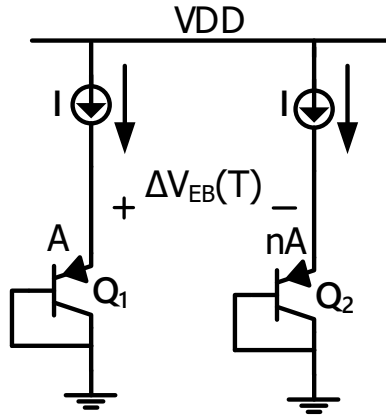


그림 3 PTAT 전압의 생성

보인다.

$V_{EB}(T)$ 가 온도에 선형적으로 감소하는 경향을 보이는 반면 두 bipolar 트랜지스터의  $V_{EB}$ 전압의 차이를 이용하여 온도에 선형적으로 비례하여 증가하는 전압을 생성할 수 있다. Bipolar 트랜지스터의 전압과 콜렉터 전류 사이의 관계식은 다음과 같다.

$$V_{EB}(T) = V_T \ln\left(\frac{I_c(T)}{I_s(T)}\right) \quad (2)$$

식(2)에서  $V_T$ 는 열전압으로 절대온도에 정비례하게 증가하는 공정과 상관없이 일정한 전압이다. 그림 3과 같이 emitter 면적이  $n$ 배차이 나는 두 pnp트랜지스터 Q1, Q2에 같은 전류  $I$ 가 흐르는 경우, 식 (2)를 이용하였을 때 Q1, Q2의 emitter-base 전압은 다음과 같이 쓸 수 있다.

$$V_{EB1}(T) = V_T \ln\left(\frac{I(T)}{I_s(T)}\right) \quad (3)$$

$$V_{EB2}(T) = V_T \ln\left(\frac{I(T)}{nI_s(T)}\right) \quad (4)$$

식 (3), (4)로부터 두 전압  $V_{EB1}(T)$ 과  $V_{EB2}(T)$ 의 차이는 다음과 같다.

$$\Delta V_{EB}(T) = V_{EB1}(T) - V_{EB2}(T) = V_T \ln(n) \quad (5)$$

식(5)로부터 두 emitter-base 전압의 차이가 공정과 관련없이 온도에 정비례하게 증가하는 전압인 것을 알 수 있다.

Bandgap reference는 위 두 성질을 이용하여 일정한 전압 혹은 전류를 생성한다. Bandgap reference는 온도에 일정한 전압을 생성하는지 혹은 전류를 생성하는지를 기준으로 크게 bandgap voltage reference와 bandgap current reference로 나뉜다.

## 2. 기본적인 bandgap voltage reference의 동작 원리

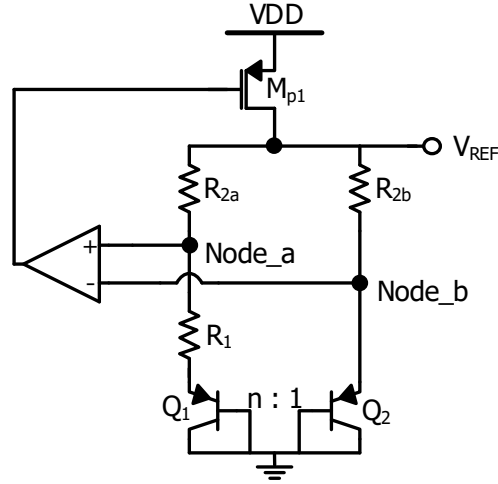


그림 4 기본적인 bandgap voltage reference 구조

기본적인 bandgap voltage reference의 구조는 그림 4와 같다. 위 회로는 온도에 비례하여 증가하는 proportional to absolute temperature (PTAT) 전압과 온도에 비례하여 감소하는 pnp 트랜지스터의 emitter-base 전압을 더해 온도에 상관없이 일정한 전압을 만든다. Bandgap voltage reference의 구체적인 동작 원리는 다음과 같이 설명될 수 있다.

먼저 operational amplifier에 의해 두 노드 a, b의 전압은  $V_{EB2}$ 로 같다. 노드 a와 b의 전압이 같기 때문에  $R_{2a}$ ,  $R_{2b}$ 이 같다면 pnp 트랜지스터  $Q_1$ ,  $Q_2$ 에 흐르는 전류도 같음을 알 수 있다. 위 상황에서 식 (5)를 이용했을 때  $Q_1$ ,  $Q_2$ 에 흐르는 이미터 전류는 다음과 같이 쓸 수 있다.

$$I_{E1} = I_{E2} = \frac{V_{EB2} - V_{EB1}}{R_1} = \frac{V_T \ln(n)}{R_1} \quad (6)$$

식 (6)으로부터  $I_{E1}$ ,  $I_{E2}$ 는 온도에 선형적으로 비례하여 증가하는 전류임



을 알 수 있다. 식(6)을 이용했을 때 reference 전압  $V_{REF}$ 는 다음과 같이 표현된다.

$$V_{REF} = V_{EB2} + V_T \ln(n) \frac{R_2}{R_1} \quad (7)$$

$R_1$ ,  $R_2$ 의 비율을 적절히 설정할 경우  $V_{REF}$ 는 온도와 관계없이 일정한 전압이 된다. 그림 5 는 bandgap voltage reference의 전압-온도 그래프이다. 위 전압은 약 1.2V의 고정된 전압을 가진다.

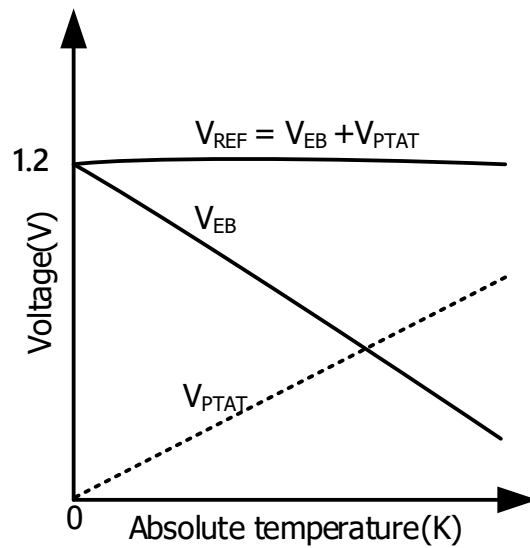


그림 5 bandgap voltage reference 온도-전압 그래프

### 3. 기본적인 bandgap current reference의 동작 원리

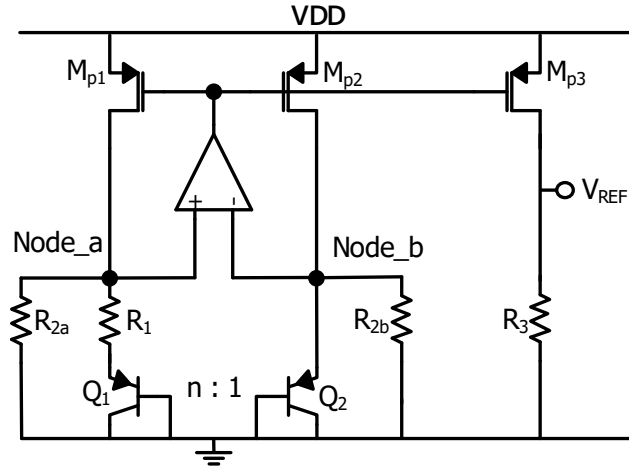


그림 6 기본적인 bandgap current reference의 구조

Bandgap voltage reference가 온도 특성이 정 반대인 두 전압을 더해 일정한 전압을 생성하는 반면 bandgap current reference는 온도에 대해 반대되는 성질을 갖는 두 전류를 합하여 온도와 상관없이 일정한 전류를 생성하고 이를 저항에 흘려주어 일정한 전압을 생성한다. 기본적인 current bandgap reference의 구조는 그림 6 과 같다. 위 회로는 두 pnp 트랜지스터의 emitter-base 전압의 차이를 이용하여 온도에 대해 선형적으로 증가하는 전류를 생성하고, emitter-base 전압을 이용하여 온도에 대해 선형적으로 감소하는 전류를 생성한다. 이 두 전류를 합하면 일정한 전류를 생성할 수 있다. 구체적인 동작은 다음과 같다.

앞선 bandgap voltage reference와 마찬가지로 operational amplifier에 의해 노드a와 노드b의 전압은 같다. 이때 MOS 트랜지스터  $M_{p1}$ ,  $M_{p2}$ 의 크기가 동일하고, 마찬가지로 저항  $R_{2a}$ ,  $R_{2b}$ 의 사이즈가 동일하다면 pnp 트랜지스터  $Q_1$ ,  $Q_2$ 의 emitter 전류는 같다. 이 경우 voltage reference와 마찬가지로 emitter 전류는 다음과 같이 표현되는 PTAT 전류이다.

$$I_{E1} = I_{E2} = \frac{V_{EB2} - V_{EB1}}{R_1} = \frac{V_T \ln(n)}{R_1} \quad (8)$$

온도에 비례하여 증가하는 전류가 emitter-base 전압 차이를 이용하여 생성된 반면 온도에 비례하여 감소하는 전류는 emitter-base 전압을 저항에 나누어 생성된다. 그림 6를 보았을 때 노드 a, b의 전압은  $V_{EB2}$ 임을 알 수 있다. 이 때  $R_{2a}$ ,  $R_{2b}$ 에 흐르는 전류는 다음과 같다.

$$I_{R2a} = I_{R2b} = \frac{V_{EB2}}{R_2} \quad (9)$$

$V_{EB2}$ 가 온도에 대해 감소하는 성질을 보이므로 전류  $I_{R2a}$ 와  $I_{R2b}$ 가 온도에 대해 감소하는 complementary to absolute temperature (CTAT) 전류임을 쉽게 알 수 있다. 이렇게 생성된 PTAT 전류와 CTAT 전류의 합  $I_{REF}$ 는 다음과 같이 쓸 수 있다.

$$I_{REF} = I_{R2b} + I_{E2} = \frac{V_T \ln(n)}{R_1} + \frac{V_{EB2}}{R_2} \quad (10)$$

$R_1$ ,  $R_2$ 의 비율을 조절하였을 때  $I_{REF}$ 는 온도와 관계없이 일정하다. 이렇게 생성된  $I_{REF}$ 는 current mirroring을 통해 복사되고, 복사된 전류를 저항에 흘러 온도와 관계없이 일정한 전압  $V_{REF}$ 를 만든다.

$$V_{REF} = R_3 \cdot I_{REF} = R_3 \left( \frac{V_T \ln(n)}{R_1} + \frac{V_{EB2}}{R_2} \right) \quad (11)$$

Bandgap voltage reference와 bandgap current는 모두 일정한 전압을 만든다는 공통점이 있으나 전압을 생성하는 방식을 포함해서 여러 다른 차이가 있다. 표. 1은 bandgap voltage reference와 bandgap current

reference의 특성과 장단점이 비교된 표이다. bandgap voltage reference는 emitter-base전압과 PTAT 전압을 합하여 reference 전압을 만들기 때문에 만들어진 reference 전압이 고정되는 반면, bandgap current reference는 온도에 일정한 전류를 생성하고 이를 저항에 흘려주어 일정한 전압을 만들기 때문에 원하는 어떤 전압이든 생성이 가능하다. 정확성과 전기적 잡음 측면에서는 bandgap voltage reference가 bandgap current reference에 비해 좋은데 그 이유는 current mirror작용 때문이다. Bandgap current reference는 일정한 전압을 생성하기 위해 current mirror topology를 사용하는데 그 과정에서 전기적 잡음이 증폭된다[3]. 또한 current mirror를 이루는 트랜지스터 사이의 mismatch 또한 정확성에 악영향을 끼친다.

표 2 bandgap reference 종류별 특징 및 비교 표

	Bandgap Voltage reference	Bandgap current reference
Output voltage	고정됨	유동적
Precision	높음	낮음
Noise	좋음	나쁨
Required minimum Supply voltage	높음	낮음

## 제 2 장 기본적인 bandgap reference의 성능적 한계

### 제 1 절 비선형적 온도 의존성

앞서 언급되었듯이 기본적인 bandgap voltage reference와 bandgap current reference는 모두 온도에 대해 선형적으로 1차 보정된 전압 혹은 전류를 생성한다. 하지만 여러 비선형적 온도 의존성을 유발하는 요소들 그리고 추가된 선형적 온도 의존성 때문에 실제 bandgap reference의 출력 전압은 온도변화에 영향을 받는다. Reference 회로에서 생성된 전압이 온도 변화에 얼마나 영향을 덜 받는지에 관한 지표로 온도 계수(temperature coefficient)가 있다. temperature coefficient에 대한 정의는 다음과 같다.

$$TC = \frac{V_{REF, max} - V_{REF, min}}{V_{REF, avg} \cdot \text{temperature\_range}} \cdot 10^6 \text{ ppm} / ^\circ\text{C} \quad (12)$$

기본적인 bandgap voltage reference와 bandgap current reference는 모두 비선형적 온도의존성을 때문에 20ppm/°C과 100ppm/°C 사이의 온도 계수를 갖는다. 또한 mismatch, process variation에 의해 선형적 온도 의존성이 생길 수 있고 그에 따라 최적화된 ZTC(zero temperature coefficient temperature)이 변한다. [4]에 의하면 bandgap reference에 온도의존성을 변화시키는 여러 요소들은 표 2와 같다. 여러 여러 요소들 중 가장 큰 부분을 차지하는 두 요소는 바로 error amplifier의 DC offset과 bipolar 트랜지스터의 비선형적 온도 의존성이다.

표.3 bandgap reference의 error 요소들

	일반적인 값	에러 기여량	에러의 성질
Opamp offset	10mV	8%	비선형
BJT saturation current spread	40%	0.8%	선형
BJT current gain spread	40%	0.06%	비선형
Resistor spread	30%	0.6%	선형
Resistor mismatch	1%	0.5%	선형
BJT base resistance	250ohm	0.04%	비선형
Non-linear temperature dependence of BJT	3mV~4mV	0.2%	비선형

## 1. error amplifier dc offset

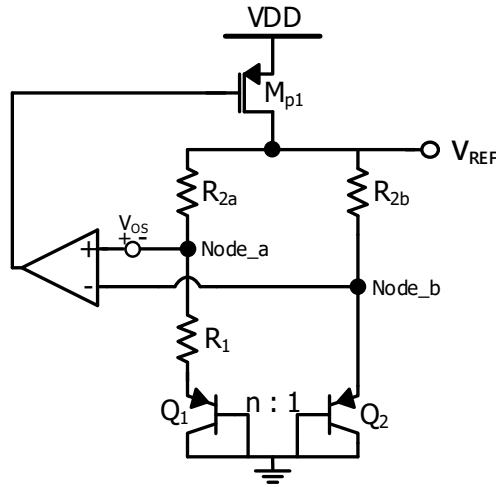


그림 7 Opamp의 offset이 존재할 때의 bandgap voltage reference

그림 7과 같이 bandgap voltage reference의 error amplifier에  $V_{OS}$  만큼의 offset 전압이 있다고 가정하자. 이 경우 노드 a와 노드 b사이의 전압 차이는  $V_{OS}$ 이다. 따라서 노드 a의 전압은  $V_{EB2} - V_{OS}$ 와 같다. 이를 이용하였을 때 저항  $R_1$ 에 흐르는 전류는 다음과 같다.

$$I_{R1} = \frac{V_{EB2} - V_{EB1} - V_{OS}}{R_1} \quad (13)$$

dc offset의 존재에도 pnp 트랜지스터  $Q_1$ ,  $Q_2$ 의 컬렉터 전류가 거의 같다고 가정하면 식(13)은 다음과 같다.

$$I_{R1} = \frac{V_T \ln(n) - V_{OS}}{R_1} \quad (14)$$

식 (14)를 이용하면 DC offset이 존재할 때의 reference 전압  $V_{REF}$ 는 식 (15)와 같다.

$$V_{REF} = V_{EB1} + \left(1 + \frac{R_2}{R_1}\right)(V_T \ln(n) - V_{OS}) \quad (15)$$

식 (15)를 보면 알 수 있듯이 error amplifier의 offset 전압은  $(1+R_2/R_1)$ 만큼 증폭되어 보인다. 게다가 error amplifier의 offset 전압은 온도에 대해 비선형적인 특성을 지니므로 resistor trimming을 통해 제거될 수 없다.



## 2. emitter-base 전압의 비선형적 온도 의존성

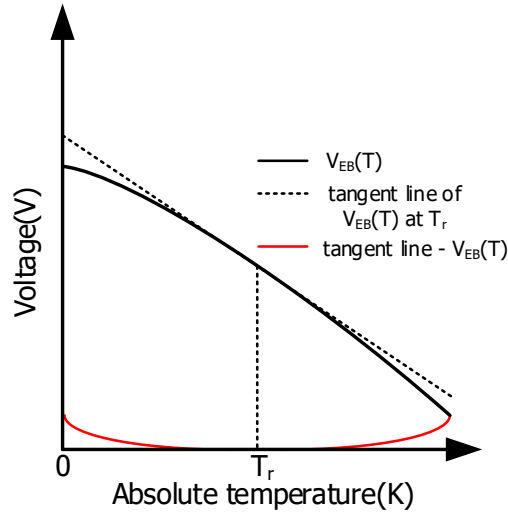


그림 8 Emitter-base 전압의 비선형적 온도 특성

식 (1)을 보면 알 수 있듯이 emitter-base 전압은  $(\eta - \delta)(T - T_r)\ln(T/T_r)$  형태의 비선형적 온도 의존성을 갖는다. 그림. 8은 Emitter-base 전압 온도 그래프이다. 그림. 8을 보면 알 수 있듯이 emitter-base 전압은 온도에 대해 오목한 형태의 모양을 띤다. 이를 제거하기 위해 크게 두가지 방법이 제시된다. 첫 번째로 pnp 트랜지스터의 컬렉터 전류로  $T_r$ 에 비례하는 전류를 사용하면 emitter-base 전압의 비선형적 온도 의존성은 사라진다. 하지만  $\eta$ 는 공정 의존적인 상수이며 또 3보다 큰 정수가 아닌 실수이기 때문에  $T_r$  형태의 전류를 생성하는 것은 비효율적이다. 또 다른 방법은 emitter-base 전압의 비선형적 온도 특성과 반대되는 형태를 지닌 compensation 전류를 생성하고 저항에 흘려주어 보상해주는 형식이다. 대부분의 논문들 [3] - [6]은 후자의 방식을 사용한다.

### 3. bipolar 트랜지스터 전류 이득에 의한 비선형적 온도 의존성

bipolar 트랜지스터의 전류 이득은 컬렉터 전류와 베이스 전류의 비로 정의된다.

$$\beta = \frac{I_C}{I_B} \quad (16)$$

$\beta$ 의 크기는 공정에 따라 상당한 차이를 보인다. 순수 bipolar 공정에서  $\beta$ 는 큰 값(>50)을 가지나 CMOS공정에서  $\beta$ 값은 10이하로 상당히 작다. 앞서 설명된 모든 BJT의 전압과 온도의 관계식은  $\beta$ 의 크기가 충분히 커 이미터 전류와 컬렉터 전류의 크기가 거의 같다는 가정하에 전개되었다. 하지만 CMOS 공정에서는  $\beta$ 에 의한 효과가 고려되어야 한다. 이미터 전류와 컬렉터 전류 사이의 관계식은 다음과 같다.

$$\frac{I_C}{I_E} = \frac{\beta}{\beta+1} \quad (17)$$

따라서  $\beta$ 의 변화에 의해 emitter-base 전압은 다음과 같은 비선형적 온도 의존성이 생긴다.

$$V_{NL} = V_T \ln\left(\frac{\beta(T)}{\beta(T)+1}\right) \quad (18)$$

$\beta$ 는 크게 bipolar 트랜지스터에 흐르는 베이스 전류의 크기와, 온도 변화에 의해 값이 변한다. 사용한 CMOS 공정에서 Base 전류, 그리고 온도에 대한  $\beta$ 크기의 변화에 대한 변화는 그림 9, 그림 10과 같다.  $\beta$ 에 의한 비선형적 온도 의존성을 최소화 하기 위해선 전류에 의해 전류 이

특이 거의 변하지 않는 구간을 이용해야한다.

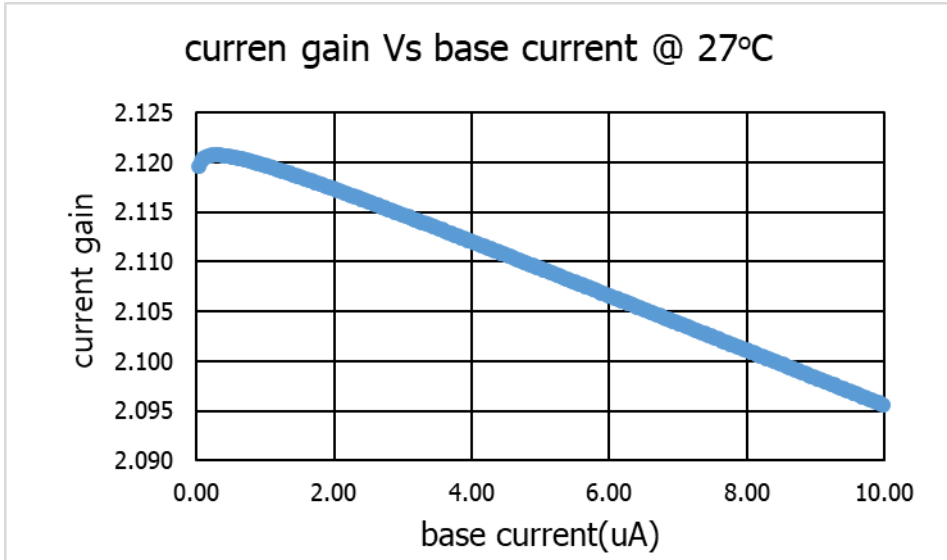


그림 9 사용한 공정에서의 base 전류에 대한 전류 이득 그래프

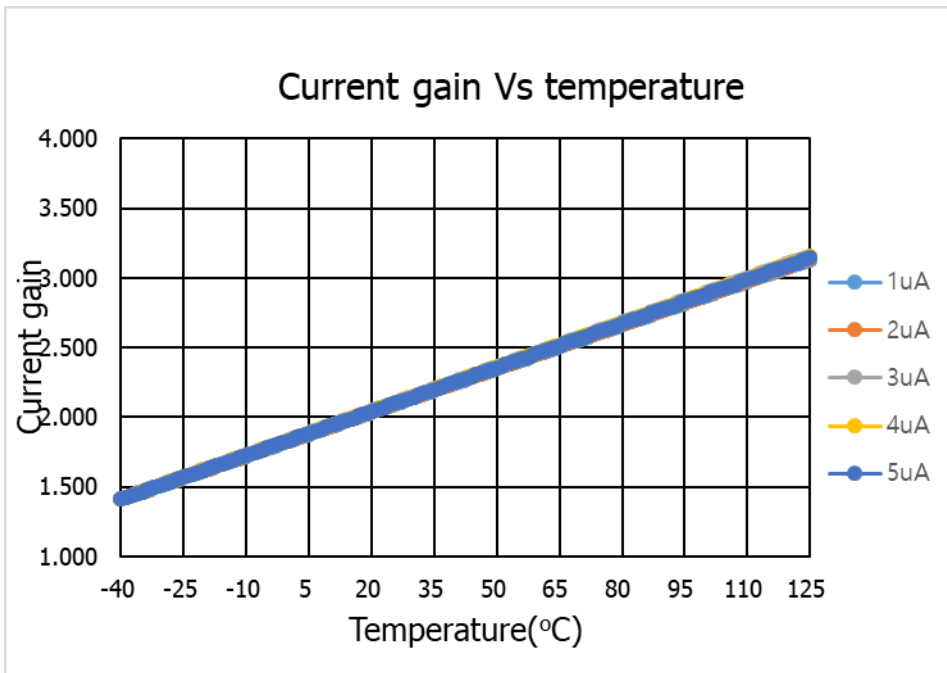


그림 10 사용한 공정에서의 온도에 대한 전류 이득 그래프

#### 4. bipolar 트랜지스터 베이스 저항에 의한 비선형적 온도 의존성

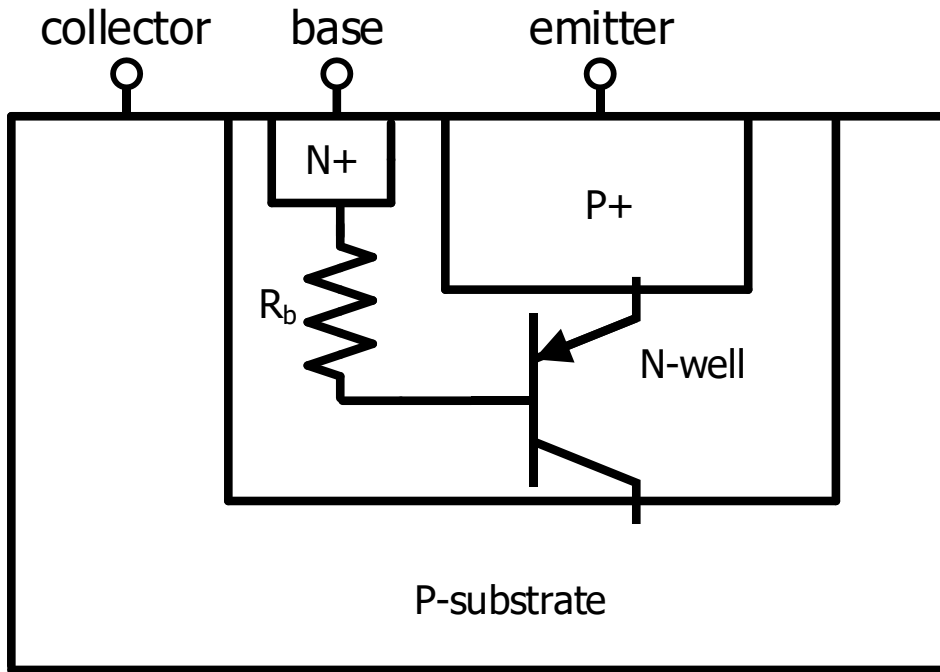


그림 11 PNP 트랜지스터의 parasitic base 저항

트랜지스터에 존재하는 기생 저항은 bandgap reference의 동작에 악영향을 준다. 그림 11과 같이 pnp 트랜지스터의 경우 base가 N-well에 존재한다. base저항에 의한 voltage drop은 emitter-base전압에 또 다른 비선형적 온도 의존성을 야기한다. Base 저항에 의한 전압 emitter-base 전압은 다음과 같이 수정된다.

base 저항에 의한 효과를 최소화 하기 위해선 base 전류를 줄어야 한다. 그럴 경우 전기적 잡음이 커지고, 외부 신호에 의한 영향을 더 받기 때문에 tradeoff가 존재한다.

## 제 2 절 Bandgap reference의 전기적 잡음.

reference 전압의 전기적 잡음은 analog to digital converter의 성능에 영향을 미친다. analog to digital converter의 분해능은 reference 전압의 전기적 잡음에 의해 제한된다. 따라서 battery monitoring system과 같은 고해상도 analog to digital converter를 포함하는 system에서는 매우 낮은 전기적 잡음을 가진 reference 전압이 필요하다.

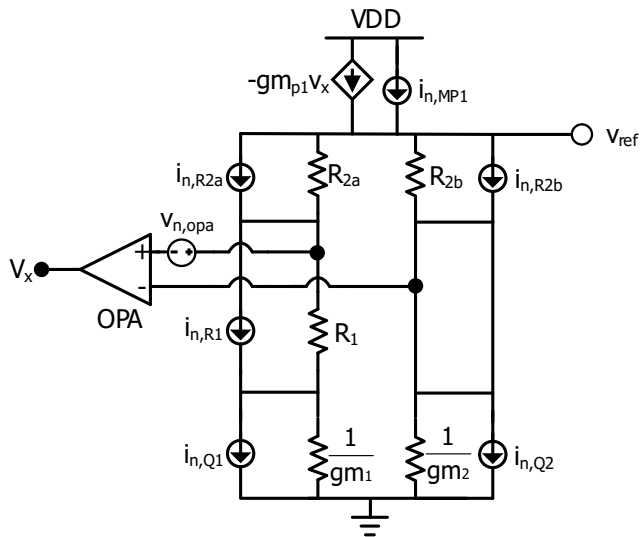


그림 12 bandgap voltage reference의 전기적 잡음 모델

그림 12는 bandgap voltage reference의 전기적 잡음 소신호 모델이다. 위 모델에서 bipolar 트랜지스터의 early effect, mos 트랜지스터의 channel length modulation는 무시된다. 또한  $R_{2a}$ 와  $R_{2b}$ 의 크기,  $1/gm_1$ ,  $1/gm_2$ 의 크기는 같다. 전기적 잡음 모델을 분석한 결과는 표.x와 같다. Bandgap reference 전기적 잡음은 대부분 error amplifier로부터 비롯되는데 그 이유는 error amplifier의 전기적 잡음이 feedback factor  $(1+R_2/R_1)$  만큼 증폭되어 보이기 때문이다.

표4.bandgap reference noise 분석 표

	Noise source	Amplification factor
$i_{n,Q1}$	BJT Q <sub>1</sub> noise (shot,flicker,)	$\frac{\frac{1}{g_m}(R_2 + \frac{1}{g_m})}{(2R_2 + R_1 + \frac{2}{g_m})(1 + A_{loop})}$
$i_{n,Q2}$	BJT Q <sub>2</sub> noise (shot,flicker,)	$\frac{\frac{1}{g_m}(R_2 + \frac{1}{g_m} + R_1)}{(2R_2 + R_1 + \frac{2}{g_m})(1 + A_{loop})}$
$i_{n,R1}$	RES R <sub>1</sub> noise (thermal)	$\frac{R_1(R_2 + \frac{1}{g_m})}{(2R_2 + R_1 + \frac{2}{g_m})(1 + A_{loop})}$
$i_{n,R2a}$	RES R <sub>2a</sub> noise (thermal)	$\frac{R_2(R_2 + \frac{1}{g_m})}{(2R_2 + R_1 + \frac{2}{g_m})(1 + A_{loop})}$
$i_{n,R2b}$	RES R <sub>2b</sub> noise (thermal)	$\frac{R_2(R_2 + \frac{1}{g_m} + R_1)}{(2R_2 + R_1 + \frac{2}{g_m})(1 + A_{loop})}$
$i_{n,MP1}$	MOS M <sub>P1</sub> noise (thermal+flicker)	$\frac{(R_2 + R_1 + \frac{1}{g_m})    (R_2 + \frac{1}{g_m})}{1 + A_{loop}}$
$V_{n,opa}$	Error amplifier input referred noise	$1 + \frac{R_2}{R_1}$

# 제 3 장 제안하는 저 잡음 고 정밀 bandgap voltage reference

## 제 1절 제안된 bandgap reference의 전체 구조

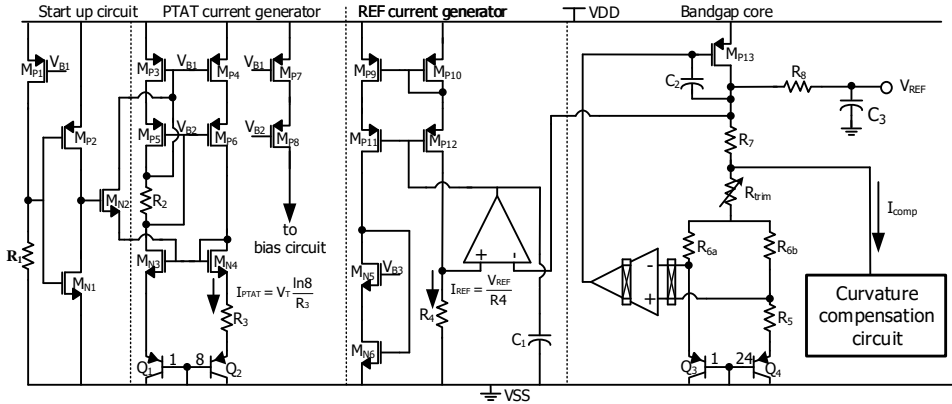


그림 13 제안된 bandgap reference의 전체 구조

기본적인 bandgap voltage reference는 저주파 대역의 전기적 잡음과, 제한된 온도 보상(오로지 1차 온도 의존성만을 제거)에 의해 성능적 한계를 가진다. 제안된 bandgap voltage reference는 크게 전기적 잡음과 낮은 온도 계수를 목표로 설계되었다. 제안된 bandgap voltage reference의 전체 구조는 그림 13과 같다. 위 회로는 start up 회로, PTAT 전류 생성 회로, reference 전류 생성 회로, bandgap core, bias 회로 그리고 curvature compensation 회로로 구성되어 있다. 제안된 bandgap의 제 1절에서는 제안된 bandgap reference의 구성회로들이 자세히 설명된다.

## 1. PTAT전류 생성 회로

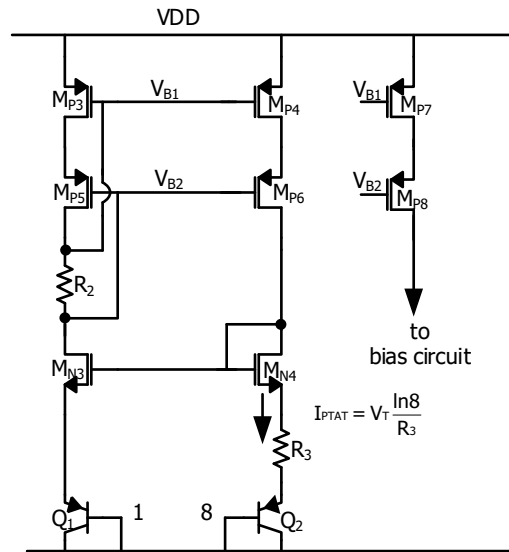


그림 14 제안된 PTAT 전류 생성 회로의 구조

제안된 bandgap reference의 PTAT 전류 생성 회로는 amplifier의 bias 전류원 그리고 curvature compensation 회로에 이용된다. PTAT 전류 생성 회로는 그림 14과 같다. 위 회로는 bandgap reference 회로와 마찬가지로 두 pnp 트랜지스터의 emitter-base 전압 차이를 이용하여 온도에 선형적으로 비례하여 증가하는 전류를 생성한다.

구체적인 동작은 다음과 같다. 먼저 PTAT 전류 생성 회로는 closed loop으로 구성되어 있다.  $M_{P3}$ ,  $M_{P4}$ ,  $M_{P5}$ ,  $M_{P6}$ 의 크기가 같고  $M_{N3}$ 과  $M_{N4}$ 의 크기가 같다.  $M_{P3}$ ,  $M_{P4}$ 의 gate-source 전압이 동일하므로 흐르는 전류 또한 같다. 이 때  $M_{N3}$ 과  $M_{N4}$ 에 흐르는 전류가 같고 gate 전압이 같기 때문에  $M_{N3}$ 과  $M_{N4}$ 의 source 전압 또한 같아야 한다. 따라서 식(6)과 마찬가지로  $M_{P3}$ ,  $M_{P4}$ 의 drain 전류의 크기는 다음과 같다.

$$I_{PTAT} = V_T \frac{\ln(8)}{R_3} \quad (19)$$



## 2. reference 전류 생성 회로

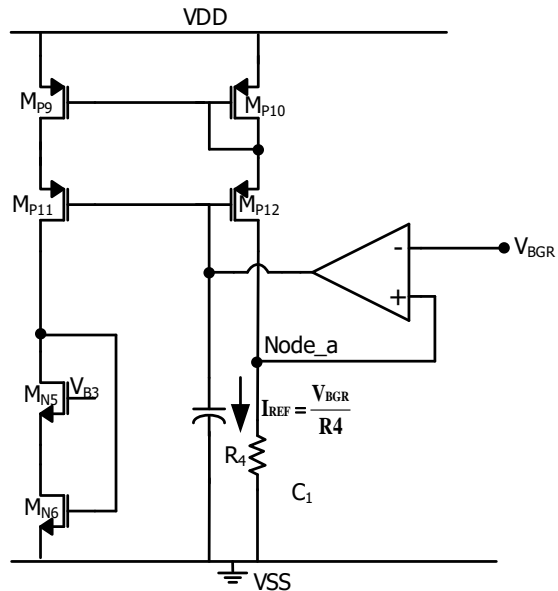


그림 15 제안된 reference 전류 생성 회로의 구조

reference 전류 생성 회로는 bandgap reference의 reference 전압을 이용하여 온도와 상관없이 일정한 전류를 생성한다. reference 전류 생성 회로로부터 생성된 reference 전류는 PTAT 전류와 함께 curvature compensation 회로에 이용된다. 구체적인 reference 전류 생성 방식은 다음과 같다.

먼저 operational amplifier에 의해 노드 a의 전압은 bandgap reference의 reference 전압과 같다. 따라서 M<sub>P12</sub>, M<sub>P10</sub>에 흐르는 전류는 다음과 같다.

$$I_{REF} = \frac{V_{BGR}}{R_4} \quad (20)$$

이렇게 생성된 PMOS I<sub>REF</sub> current source를 이용하면 nmos reference current source 또한 생성할 수 있다.

### 3. bandgap core

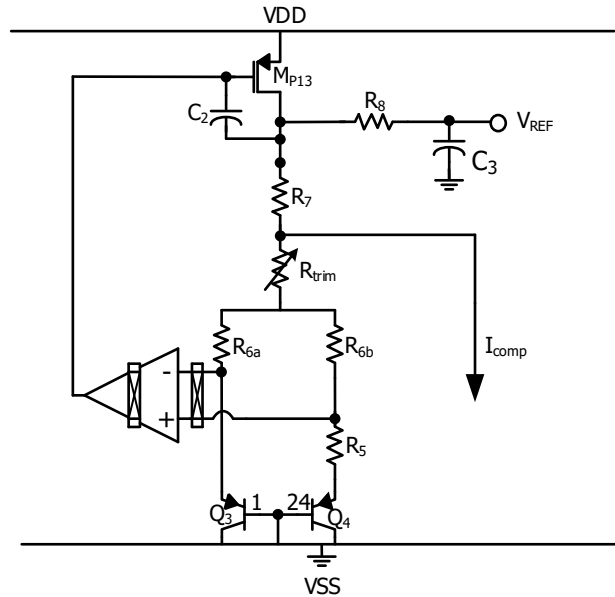


그림 16 Bandgap core의 구조

Bandgap core는 기본적인 bandgap voltage reference와 동일한 구조에 chopper amplifier, trimming resistor, RC filter등 여러 circuit technique이 추가되어 있다. pnp 트랜지스터의 emitter-base 전압의 비선형적 온도 의존성을 보상 해주기 위한 curvature compensation 전류( $I_{comp}$ )를 포함한 reference 전압은 다음과 같이 쓸 수 있다.

$$V_{REF} = \frac{(R_6 + R_{TRIM} + R_7)}{R_5} V_T \ln(24) + V_{EB3} + I_{comp} R_7 \quad (21)$$

제 2, 3절은 저 잡음 고 정밀을 위해 적용된 circuit technique들 그리고 curvature compensation technique에 대해 자세히 다룬다.

앞서 언급했듯이 emitter-base전압은  $T \cdot \ln(T/T_r)$  형태의 비선형적 온도 의존성을 갖는다.  $T \cdot \ln(T/T_r)$ 의 Taylor series는 다음과 같이 쓸 수 있다.

$$\begin{aligned}
 T \cdot \ln\left(\frac{T}{T_r}\right) &= T_r \left(\frac{T-T_r}{T_r} + 1\right) \cdot \ln\left(\frac{T-T_r}{T_r} + 1\right) = \\
 T_r \left(1 + \frac{T-T_r}{T_r}\right) &\left(\frac{T-T_r}{T_r} - \frac{1}{2}\left(\frac{T-T_r}{T_r}\right)^2 + \frac{1}{3}\left(\frac{T-T_r}{T_r}\right)^3 - \dots\right) = \\
 T_r \left(\left(\frac{T-T_r}{T_r}\right) - \frac{1}{2}\left(\frac{T-T_r}{T_r}\right)^2 + \frac{1}{6}\left(\frac{T-T_r}{T_r}\right)^3 - \frac{1}{12}\left(\frac{T-T_r}{T_r}\right)^4 + \dots\right) &= \\
 T_r \sum_{n=1}^{\infty} (-1)^{n-1} \left(\frac{T-T_r}{T_r}\right)^n \frac{1}{n(n-1)} & \quad (22)
 \end{aligned}$$

식 22를 보았을 때 emitter-base전압의 비선형적 온도 의존성은 거의 2차함수 형태의 모양을 띤다는 것을 알 수 있다.

제안된 curvature compensation 회로는 기준 온도에 대해 대칭인 2차함수 형태를 갖는 전류를 생성하고 이를 활용하여 emitter-base전압의 비선형적 온도 의존성을 상쇄한다. 제안된 Curvature compensation 회로는 current subtraction circuit과 current squaring circuit으로 이루어져 있다. current subtraction circuit 과 current squaring circuit의 구조는 그림 17, 18과 같다. curvature compensation 회로는 두 단계를 거쳐 curvature compensation 전류를 생성 한다. 간략화 된 curvature compensation 전류 생성 원리는 그림 19에 도시되어 있다.

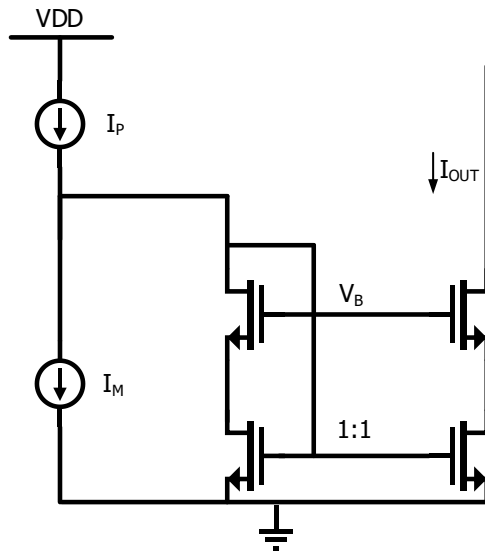
첫 단계에서 curvature compensation 회로는  $k|T-T_r|$  형태의 기준 온도에 대해 대칭인 선형의 전류  $I_{PL}$ 을 생성한다.  $I_{PL}$ 을 생성하기 위해서 제안된 curvature compensation 회로는 reference 전류( $I_{REF}$ )와 PTAT 전류( $I_{PTAT}$ )를 활용한다.  $4I_{PTAT}$ 과  $I_{REF}$ 는 기준 온도  $T_r$ 에서 같다. current subtraction circuit의 입력 전류 중  $I_{PLUS}$ 으로는  $4I_{PTAT}$ 를,  $I_{MINUS}$ 으로  $I_{REF}$ 를 사용할 경우  $I_{PTAT} > I_{REF}$ 인 경우  $4I_{PTAT} - I_{REF}$  전류를 출

력하고  $4I_{PTAT} < I_{REF}$ 인 경우는 전류를 출력하지 않는다. 그와 반대로  $I_{PLUS}$ 으로는  $I_{REF}$ 를,  $I_{MINUS}$ 으로  $4I_{PTAT}$ 를 사용할 경우  $I_{PTAT} < I_{REF}$ 인 경우  $I_{REF} - I_{PTAT}$ 를 출력하고  $I_{PTAT} > I_{REF}$ 인 경우는 전류를 출력하지 않는다. 따라서 input 전류가 정 반대인 두 current subtraction 회로에  $4I_{PTAT}$ ,  $I_{REF}$ 가 input 전류로 활용될 경우, 두 current subtraction 회로의 출력 전류를 더함으로 써  $k|T - T_r|$  꼴의 전류  $I_{PL}$ 을 얻을 수 있다.  $I_{PL}$ 을  $I_{PTAT}$ 과  $I_{REF}$ 로 표현하면 다음과 같이 쓸 수 있다.

$$I_{PL} = |4I_{PTAT} - I_{REF}| \quad (23)$$

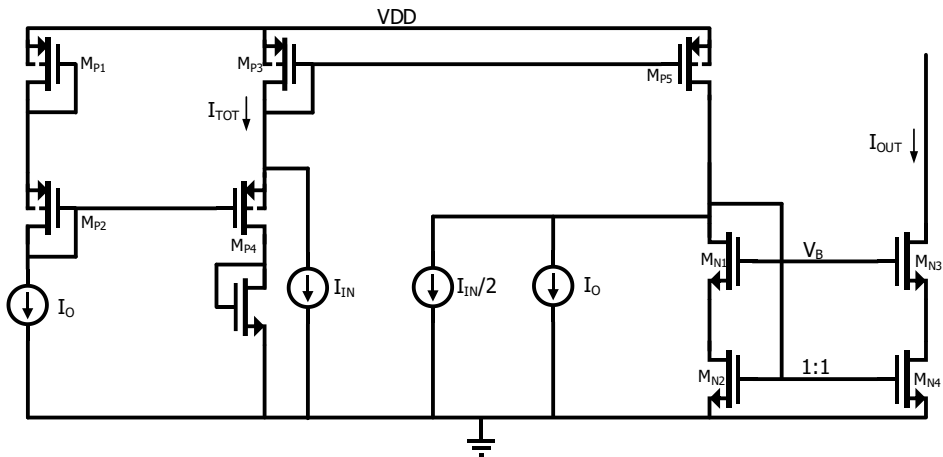
두 번째 단계에서는  $I_{PL}$ 을 current squaring circuit을 통해 제공하여 2차함수 형태의 curvature compensation 전류를 생성한다. current squaring circuit의  $I_{IN}$ 으로  $8I_{PL}$ 이  $I_O$ 로  $I_{REF}$ 인 경우 current squaring circuit의 출력 전류  $I_{comp}$ 는 다음과 같다.

$$I_{comp} = \frac{4I_{PL}^2}{I_{REF}} \quad (24)$$



$$I_{OUT} = \begin{cases} 0 & : I_P < I_M \\ I_P - I_M & : I_P > I_M \end{cases}$$

그림 17 Current subtraction circuit의 구조



$$I_{OUT} = \frac{I_{OUT}^2}{16I_O}$$

그림 18 Current squaring circuit의 구조

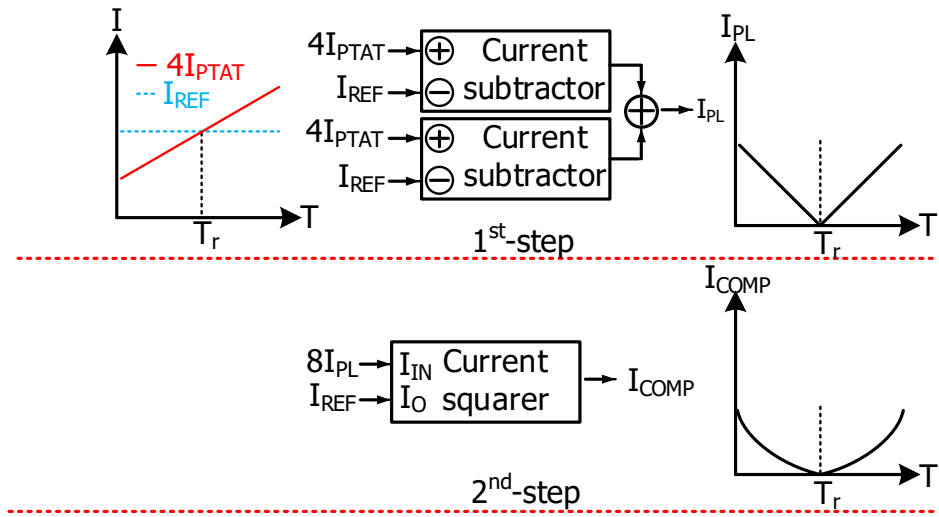


그림 19 Curvature compensation 전류 생성 절차

### 제 3절 Noise reduction technique

bandgap reference 내부 error amplifier의 DC offset과  $1/f$  전기적 잡음은 reference 회로 성능에 큰 악영향을 끼친다[4]. 가장 간편하게 error amplifier의 DC offset과  $1/f$  전기적 잡음을 줄이기 위한 방법은 error amplifier의 사이즈를 키우는 것이다. 하지만 DC offset과  $1/f$  전기적 잡음은 error amplifier 사이즈의 제곱근에 반비례하므로 무작정 사이즈를 키우는 것은 비효율적이다. 또 다른 방법은 bipolar transistor를 바탕으로 한 operational amplifier를 error amplifier로 사용하는 것이다. bipolar 트랜지스터의 전류는 전압의 지수 승에 비례하므로 mismatch에 의한 offset이 MOS 트랜지스터에 비해 훨씬 적다. 또한  $1/f$  전기적 잡음 또한 bipolar 트랜지스터가 MOS 트랜지스터에 비해 훨씬 작다. 하지만 standard CMOS 공정에서는 bipolar 트랜지스터 사용에 제약이 있어 위 방법이 적용되기 힘들다.

제안된 bandgap reference는 clock-based 시스템에서 활용된다는 점을 이용하여 chopping을 error amplifier에 적용하였다. 그림 21은 error amplifier로 사용된 chopper amplifier구조를 보여주고 있다. 높은 DC 전압 이득과, 안정적인 동작을 위해 folded cascade chopper amplifier를 활용하였다. 그림 20은 chopper amplifier에 사용된 스위치와 chopper 구조이다. 전압 level에 상관없이 일정한  $R_{on}$  저항을 유지하기 위해 CMOS switch를 사용하였다. chopping 주파수 또한 중요한 고려 요소이다. error amplifier의  $1/f$  전기적 잡음을 고주파 대역으로 변조시키고, 내장 RC filter를 이용하더라도 충분히 감소시키기 위해, chopping 주파수를 250kHz로 설정하였다.

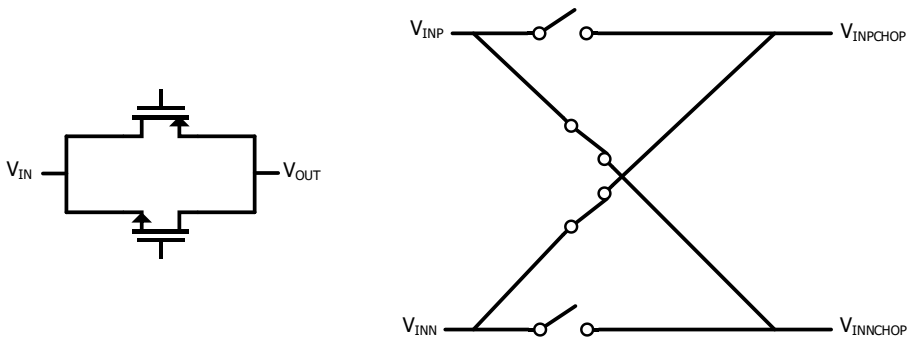


그림 20 CMOS switch, chopper

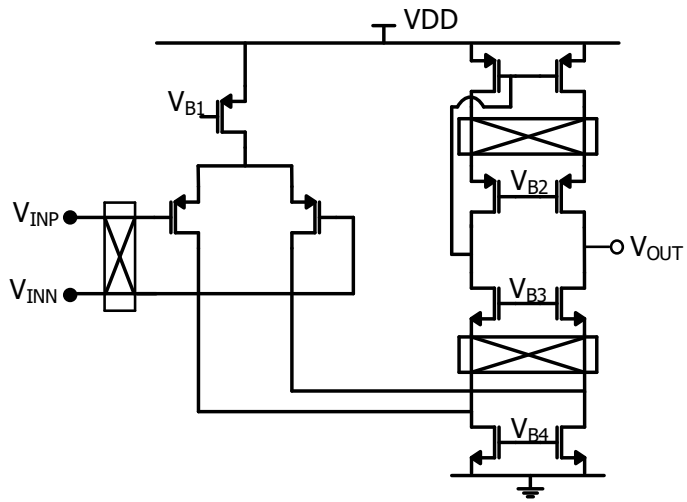


그림 21 folded cascode amplifier with chopper



## 제 4절 Resistor trimming

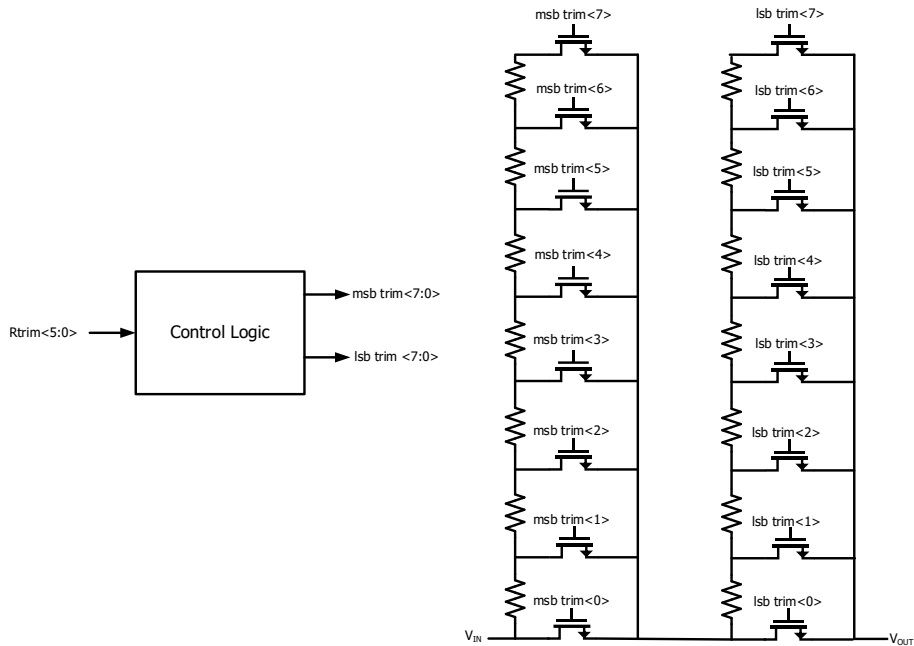


그림 22 Two stage array 구조 trimming resistor

mismatch, process variation 등 여러 요소들에 의해 생겨난 선형적인 온도 의존성은 resistor trimming을 통해 제거할 수 있다. 제안된 bandgap reference는 6-bit trimming resistor을 활용하여 추가된 선형적인 온도 의존성을 제거하였다. trimming resistor의 trimming resolution은 상온 기준 약 0.52mV로 한 비트당 약 1.4ppm/°C의 선형적인 온도 의존성을 갖는다. 사용한 trimming resistor의 구조는 그림 22과 같다. 위 구조는 2-stage array 구조로 저항이 8R인 저항 7개가 스위치와 함께 첫 번째 stage를 구성하고, 두 번째 stage는 저항이 R인 저항 7개가 스위치와 함께 첫 번째 stage와 동일한 방식으로 배치되어 있다. 위 구조의 장점은 resistor trimming code와 상관없이 항상 두 개의 스위치만 켜진다는 점이다. 항상 같은 개수의 스위치만 켜져 있기 때문에 스위치의  $R_{on}$  저항에 의한 영향을 최소화 할 수 있다.

## 제 5절 주요 성분 파라미터 테이블

표 5는 제안된 bandgap reference의 주요 저항과 전류에 관한 정보를 담고 있다.

표5. 주요 파라미터 테이블

	값	비고
$R_3$	113.24k $\Omega$	PTAT 전류 생성 회로
$R_4$	590.34k $\Omega$	Reference 전류 생성 회로
$R_5$	36.81k $\Omega$	Bandgap core
$R_8$	2.12M $\Omega$	RC filter
$C_3$	5.20pF	RC filter
$I_{PTAT}$	500nA	27°C
$I_{REF}$	2uA	27°C

## 제 4 장 Layout 및 모의 실험 결과

### 제 1 절 Layout

제안하는 bandgap reference는 0.13um CMOS 공정의 3.3V 소자를 이용하여 설계하였다. 그림 23은 설계한 bandgap reference의 layout이다. Layout은 PTAT 전류 생성 회로, bandgap core, reference 전류 생성회로등으로 구성된 bandgap reference와 외부 8MHz clock을 250kHz로 16분주 시켜주는 clock divider을 포함한다. 전체 layout 사이즈는  $0.0534\text{mm}^2$ 이다.

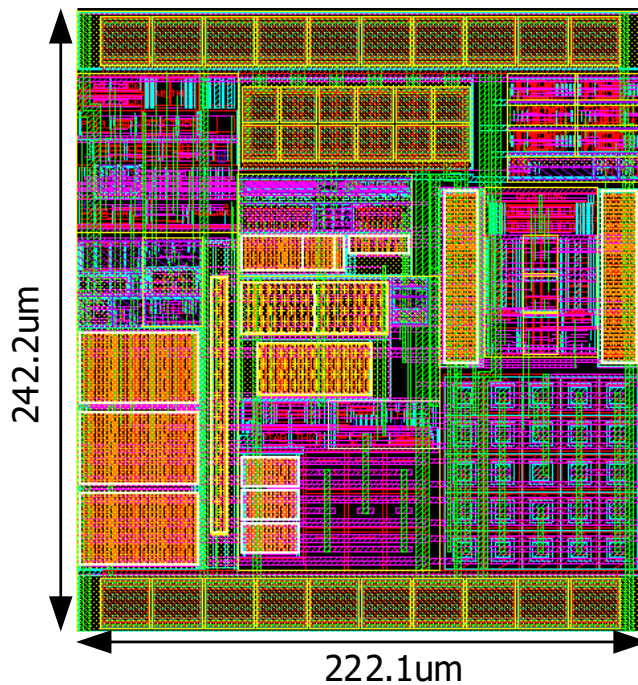


그림 23 제안하는 bandgap reference의 Layout

## 제 2 절 모의 실험 결과

제안된 bandgap reference의 온도 특성과 전기적 잡음을 검증하기 위해 온도 sweep simulation과 noise simulation을 수행하였다. 그림 45는 reference 전압을 온도에 대해 sweep 한 post layout simulation 결과이다. 제안된 curvature compensation을 활용했을 때 reference 전압의  $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$  사이의 온도에 대한 전압 변화가 peak to peak 기준 2.61mV에서 0.128mV로 약 95% 감소하였다. curvature compensation을 했을 때 bandgap reference의 TC는 약 0.64ppm/ $^{\circ}\text{C}$ 이다. 제안된 curvature compensation이 process variation에 얼마나 영향을 받는지를 알기 위해 수행한 process variation에 대한 monte-carlo simulation 결과는 그림 26, 27과 같다. Monte sweep 100회를 기준 resistor trimming을 하지 않았을 때 평균 temperature coefficient는 약 9.8ppm/ $^{\circ}\text{C}$ , two point temperature trimming 때의 평균 temperature coefficient는 약 0.86ppm으로 제안된 curvature compensation technique이 process variation과 상관없이 비선형적 온도 특성을 잘 상쇄시켜주는 것을 확인할 수 있다.

그림 28는 상온 기준 reference 전압의 전기적 잡음의 power spectrum density이다. Chopping 동작 시 0.1Hz 부터 10Hz 사이의 integrated noise는 약 2.7uVrms, Chopping 미 동작 시 integrated noise는 56.7uVrms이다.

표 6은 제안된 bandgap reference와 과거 논문들의 성능을 비교한 비교표이다.

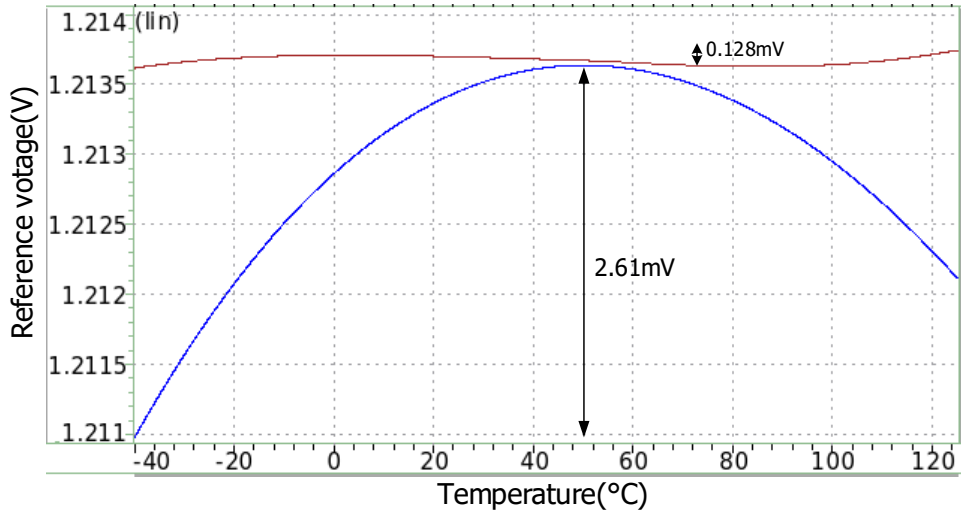


그림 24 post layout simulation result of reference voltage

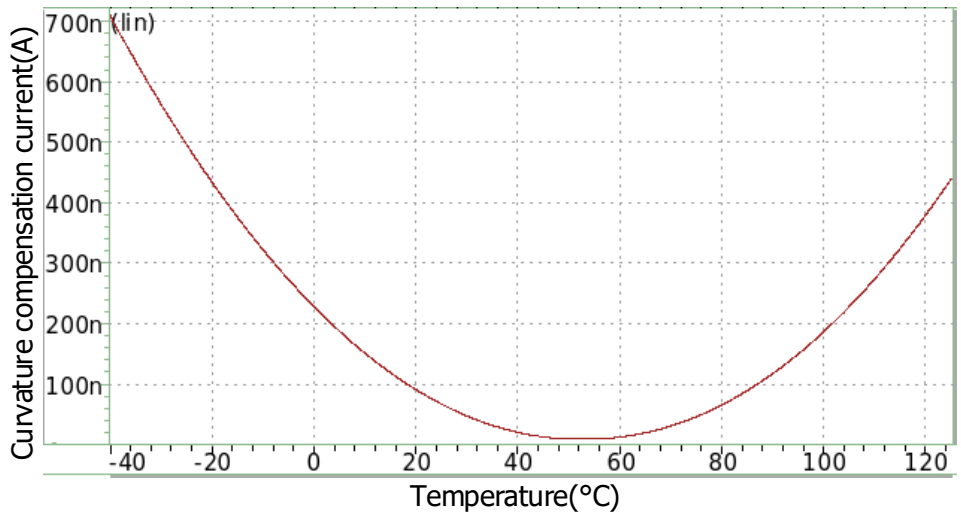


그림 25 post layout simulation result of reference voltage and curvature compensation current

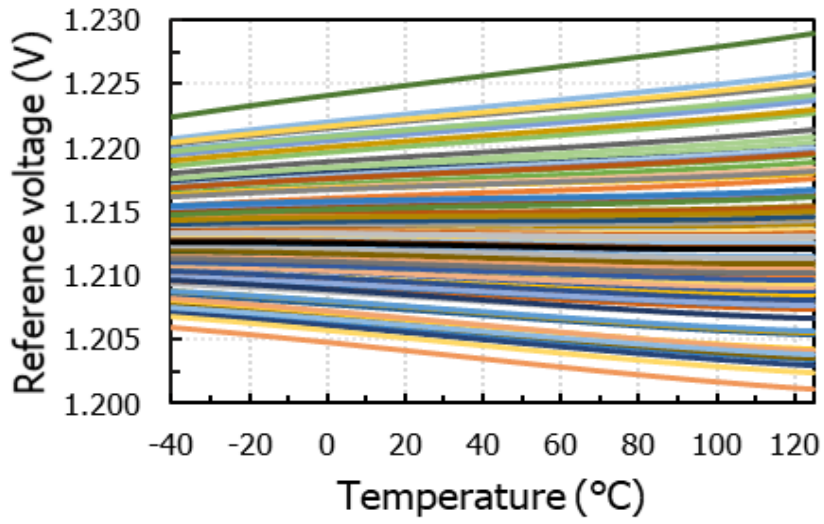


그림 26 monte carlo simulation result of reference voltage (no trimming)

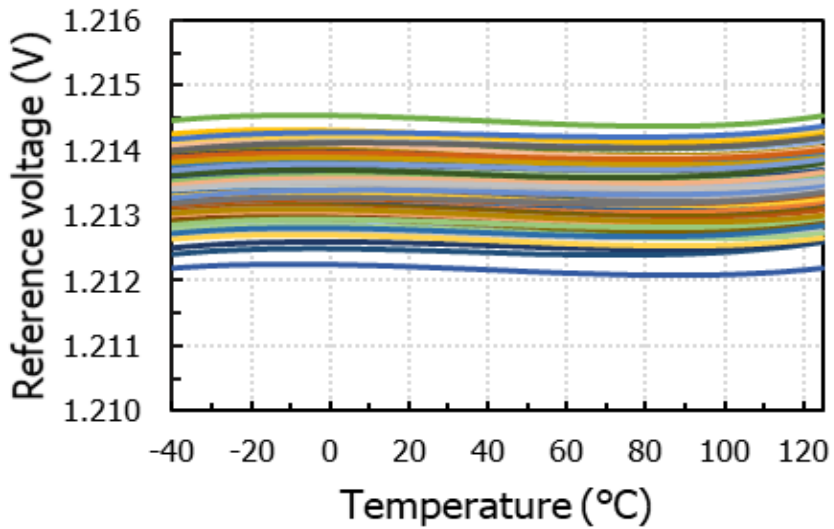


그림 27 monte carlo simulation result of reference voltage (two point temperature trimming)

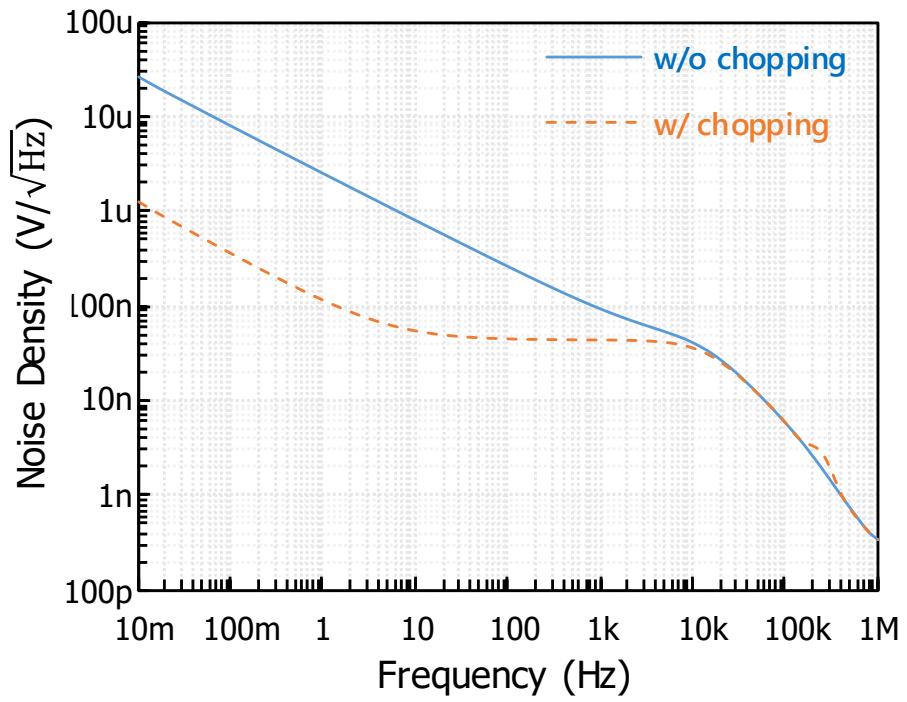


그림 28 simulation result of noise of the bandgap reference

표 6. Comparison table

		This work	TCAS-I 2019[8]	TCAS-II 2018[7]	TCAS-I 2015[6]	TVLSI 2011[5]	JSSC 2011[4]
Technology (um)		CMOS 0.13	CMOS 0.35	Bi-CMOS 0.18	CMOS 0.13	CMOS 0.5	CMOS 0.16
Supply voltage (V)		3	2.6-5	3.5 – 5	1.2	1.2	1.8
Area (mm <sup>2</sup> )		0.0543	0.0616	0.2225	0.063	0.096	0.12
Bandgap voltage (V)		1.214	2.47	3.11	0.735	0.486	1.0875
Temperature range (°C)		-40 – 125	-45 – 125	-60 – 150	-40 – 120	-40 - 110	-40 - 125
TC (ppm/°C)	Sim	0.64	0.58	0.7	1.0	1.2	N/A
	Min	N/A	0.9	4.6	4.2	8.9	5
	AVG	N/A	3	6.3	8	N/A	N/A
Noise 0.1Hz – 10 Hz		2.70uVrms	3.6	N/A	N/A	N/A	6.1uVrms
Power (uA)		44	94	108	120	40	55
PSRR(dB)		-65 @ DC	-83 @DC	-92 @ 100Hz	-30 @ 100kHz	-52 @ DC	-74 @ DC



## 제 5 장 결론

본 논문에서는 battery monitoring system을 위한 저 잡음, 고 정밀 bandgap reference를 제시하였다.

bandgap reference는 PVT variation에 의한 영향이 적고 잘 정의된 reference 전압을 생성하기 때문에 많은 아날로그, 혼성 신호 회로에서 reference 회로로서 널리 사용되고 있지만, error amplifier의 offset 및 노이즈와 emitter-base 전압의 비선형적 온도 의존성 때문에 고 정밀 application을 위해선 성능적인 개선이 필요하다.

제안된 bandgap reference는 새로운 curvature compensation technique을 적용하여 emitter-base 전압의 비선형적 온도 의존성을 보상하였고, chopping technique을 활용하여 error amplifier의 dc offset과 1/f 전기적 잡음을 억제하였으며, trimming resistor를 사용하여 여러 요소들에 의해 생겨난 선형적 온도 의존성을 제거하였다.

제안된 bandgap reference는 표준 CMOS 0.13um 공정의 3.3V 소자를 활용하여 설계하였다. layout 사이즈는  $0.0534\text{mm}^2$ 이다. 제안된 bandgap reference의 상온에서 전류 소모량은 44uA이며 chopping 동작을 하지 않을 때의 전류 소모량은 38uA이다. post layout simulation 결과 제안된 bandgap reference의 온도 계수는  $0.64\text{ppm}/^\circ\text{C}$ 이 나왔으며 noise 시뮬레이션 결과 저주파대역의 전기적 잡음(0.1Hz to 10Hz)은  $2.7\mu\text{Vrms}$ 였다. 제안된 bandgap reference는 낮은 온도 의존성과, 전기적 잡음을 가지고 있기 때문에 고해상도 ADC에 사용되기 적합하다.

## 제 6장 부록 current squaring 회로의 동작 원리.

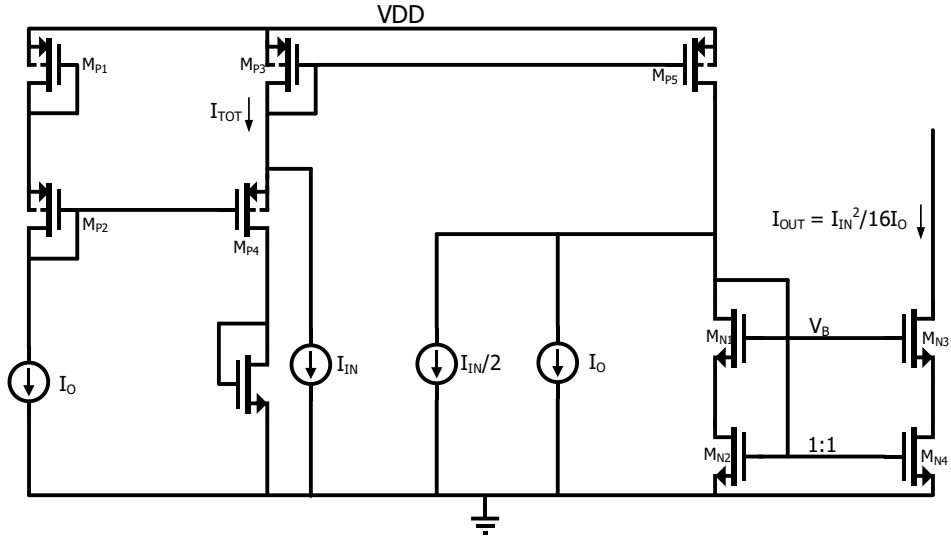


그림 29 Operation of current squaring circuit

Current squaring 회로는 그림 29와 같다. 위 회로에서 pmos 트랜지스터  $M_{P1}$ ,  $M_{P2}$ ,  $M_{P3}$ ,  $M_{P4}$ ,  $M_{P5}$ 의 사이즈가 같고 nmos 트랜지스터,  $M_{N1}$ ,  $M_{N2}$ ,  $M_{N3}$ ,  $M_{N4}$ 의 사이즈가 같다. Current squaring 회로는 MOS 트랜지스터의 전류 전압 사이의 square 법칙을 이용하여 전류를 제공한다.  $M_{P2}$ 와  $M_{P4}$ 의 gate전압이 같기 때문에 다음과 같은 식이 유도 된다.

$$V_{DD} - V_{G2} = V_{SG1} + V_{SG2} = V_{SG3} + V_{SG4} . \quad (25)$$

pmos 트랜지스터에 square 법칙을 이용하여 source-gate전압을 전류로 표현 하면 다음과 같이 쓸 수 있다.

$$V_{SG}(I) = |V_{THP}| + \sqrt{\frac{2I}{UnCox \frac{W}{L}}} \quad (26)$$

트랜지스터  $P_{M1}$ ,  $P_{M2}$ ,  $P_{M3}$ ,  $P_{M4}$ 가 모두 같으므로 식 25, 26을 활용하면 다음과 같은 식이 도출된다.

$$2\sqrt{I_O} = \sqrt{I_{TOT}} + \sqrt{I_{TOT} - I_{IN}} \quad (27)$$

식 (27)를 이용했을 때  $I_{TOT}$ 는  $I_O$ ,  $I_{IN}$ 으로 표현 할 수 있다.

$$I_{TOT} = I_O + \frac{I_{IN}}{2} + \frac{I_{TOT}^2}{16I_O} \quad (28)$$

$I_{TOT}$ 는 여분의 1차 전류를 포함한다. 따라서 제곱 항을 제외한 나머지 전류를 current subtraction 회로를 통해 빼준 출력 전류는 다음과 같다.

$$I_{OUT} = \frac{I_{IN}^2}{16I_O} \quad (29)$$

## 참고 문헌

- [1] Languang Lu, Xuebing Han, Jianqiu Li, Jianfeng Hua, Minggao Ouyang, A review on the key issues for lithium-ion battery management in electric vehicles Journal of Power Sources, Volume 226, 2013, Pages 272-288.
- [2] Y. P. Tsividis, "Accurate analysis of temperature effects in  $I_c$   $V_{BE}$  characteristics with application to bandgap reference sources," in IEEE Journal of Solid-State Circuits, vol. 15, no. 6, pp. 1076-1084, Dec. 1980, K. Sanborn, D. Ma and V. Ivanov, "A Sub-1-V Low-Noise Bandgap Voltage Reference," in IEEE Journal of Solid-State Circuits, vol. 42, no. 11, pp. 2466-2481, Nov. 2007,
- [3] G. Ge, C. Zhang, G. Hoogzaad and K. A. A. Makinwa, "A Single-Trim CMOS Bandgap Reference With a  $3\sigma$  Inaccuracy of 0.15% From  $-40^\circ\text{C}$  to  $125^\circ\text{C}$ ," in IEEE Journal of Solid-State Circuits, vol. 46, no. 11, pp. 2693-2701, Nov. 2011,
- [4] Li, X. Zhang and M. Yu, "A 1.2-V Piecewise Curvature-Corrected Bandgap Reference in  $0.5\mu$  CMOS Process," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 19, no. 6, pp. 1118-1122, June 2011,
- [5] Q. Duan and J. Roh, "A 1.2-V 4.2-ppm/ $^\circ\text{C}$  High-Order Curvature-Compensated CMOS Bandgap Reference," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 62, no. 3, pp. 662-670, March 2015
- [6] G. Zhu, Y. Yang and Q. Zhang, "A 4.6-ppm/ $^\circ\text{C}$  High-Order Curvature Compensated Bandgap Reference for BMIC," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 66, no. 9, pp. 1492-1496, Sept. 2019,

- [7] L. Liu, X. Liao and J. Mu, "A  $3.6\ \mu\text{V}_{\text{rms}}$  Noise,  $3\ \text{ppm}/^\circ\text{C}$  TC Bandgap Reference With Offset/Noise Suppression and Five-Piece Linear Compensation," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 66, no. 10, pp. 3786–3796, Oct. 2019,.

## Abstract

# Low noise, sub-1 ppm/°C piecewise second-order bandgap reference for high resolution ADC

Yongjoon Ahn

Department of Electrical and computer engineering

The Graduate School

Seoul National University

In this thesis a low noise and high precision bandgap reference is presented. One of the most important characteristics of reference circuit for analog to digital converter with high resolution is low temperature drift and low noise.

The proposed bandgap reference improves these two characteristics. To achieve low temperature coefficient (TC), non-linear temperature dependence of emitter-base voltage of bipolar transistor should be compensated. Also, degradation of TC due to dc offset of the error amplifier and process variation is another concern. The proposed bandgap reference compensates these factors by utilizing various circuit technique. Because non-linear temperature dependence of bipolar transistor has a concave shape with temperature, second order curvature compensation current is generated by using current subtraction circuit and current squaring circuit and injected into bandgap core. The current subtraction and squaring operation is tolerant to process variation. To achieve low temperature coefficient regardless of process variation, PTAT

trimming is utilized to compensate added linear temperature dependence. At last, to remove dc offset of the error amplifier, chopping technique is applied to the error amplifier. Ripple and up-modulated low frequency caused by chopping operation is removed through RC-filter.

The proposed bandgap reference is designed in 0.13um standard CMOS process. Layout size of the bandgap reference is 0.0534mm<sup>2</sup>. Post layout simulation shows that TC of the bandgap reference from -40° C to 125 ° C is 0.64ppm/° C. In addition, integrated noise from 0.1Hz to 10Hz is about 2.7uVrms. The proposed bandgap reference consumes 44uA at room temperature

**Keywords :** bandgap reference, temperature coefficient

**Student Number :** 2018-28117