



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

캐패시터 미스매치 분석에 기반한
12-bit 1 MSps SAR ADC 설계

Design of 12-bit 1 MSps SAR ADC Based on
Capacitor Mismatch Analysis

2019 년 2 월

서울대학교 대학원

전기 정보 공학부

박 한 솔

캐패시터 미스매치 분석을 기반으로 한 12-bit 1 MSps SAR ADC 설계

지도교수 김 수 환

이 논문을 공학석사 학위논문으로 제출함
2019 년 2 월

서울대학교 대학원
전기 정보 공학부
박 한 솔

박한솔의 공학석사 학위논문을 인준함
2019 년 2 월

위 원 장 정 덕 균 (인)

부위원장 김 수 환 (인)

위 원 홍 용 택 (인)

초 록

본 논문에서는 캐패시터 미스매치가 successive approximation register (SAR) analog-to-digital converter (ADC)에 미치는 영향을 분석하고 이를 기반으로 설계한 캐패시터 digital-to-analog converter (DAC)으로 구현된 SAR ADC를 제안한다.

캐패시터 미스매치는 캐패시터 면적의 제곱근에 반비례한다. 따라서 캐패시터 미스매치를 줄이기 위해서는 캐패시터 면적을 늘려야하고 이는 전력 소모를 증가시킨다. 이 때문에 캐패시터 DAC의 크기를 결정하는 것은 SAR ADC의 설계에 있어 매우 중요하며 분석을 통해 최적화된 값을 찾는 것이 중요하다.

본 논문에서는 캐패시터 DAC의 각 캐패시터들의 미스매치로 인한 differential non-linearity (DNL)이 $\frac{1}{2}$ LSB보다 작아지는 최소 캐패시터의 크기를 계산하였으며 이를 기반으로 스플릿 캐패시터 DAC과 더블 스플릿 캐패시터 DAC의 미스매치를 분석하였다.

본 논문은 미스매치 분석을 기반으로 미스매치 성능이 좋지 않은 캐패시터들의 크기를 키워 최적화한 캐패시터 DAC을 제안한다. 브릿지 캐패시터로 인한 선형성 저하를 막기 위해 브릿지 캐패시터 calibration 회로를 추가하였으며, 제안된 캐패시터 DAC의 성능이 기존의 스플릿 캐패시터 DAC의 성능과 비교하였을 때, 향상되었음을 monte carlo 모의실험 결과를 통해 증명하였다. 제안된 1MHz 12-bit SAR ADC 회로는 0.18 μ m CMOS 공정에서 구현되

있으며, 기준 전압을 내부에서 직접 생성하였다. Nyquist 입력을 주입하였을 때, 11.31 effective number of bits (ENOB)의 결과를 모의실험을 통해 얻었으며 4.6 V의 아날로그 공급 전압과 1.8 V의 디지털 공급전압에서 1.14 mW의 전력을 소모한다.

주요어 : 캐패시터 미스매치, SAR ADC, DNL, DAC, 스플릿 캐패시터, calibration

학 번 : 2017-22590

목 차

제 1 장 서 론	1
제 1 절 연구의 배경	1
제 2 절 기본적인 SAR ADC의 동작 원리	4
제 2 장 캐패시터 DAC	8
제 1 절 캐패시터 DAC의 design issues	8
1. kT/C 잡음	8
2. 안정화 시간	10
3. 캐패시터 미스매치	11
제 2 절 스플릿 캐패시터 DAC	13
제 3 절 브릿지 캐패시터 미스매치 calibration 기법	16
1. 브릿지 캐패시터 미스매치 calibration 기법의 원리	16
2. 브릿지 캐패시터 미스매치 calibration 기법의 동작 설명	21
제 3 장 제안하는 캐패시터 DAC을 이용한 SAR ADC의 설계	24
제 1 절 캐패시터 DAC 미스매치 분석	24
1. 캐패시터 미스매치 계산	24
2. 스플릿 캐패시터 DAC의 미스매치 분석	26
3. 더블 스플릿 캐패시터 DAC의 미스매치 분석	27
제 2 절 제안하는 캐패시터 DAC	29
제 3 절 SAR ADC의 구현	31

제 4 장 Layout 및 모의실험 결과	36
제 1 절 Layout	36
제 2 절 모의실험 결과	37
제 5 장 결 론	43
참고문헌	44
Abstract	45

표 목 차

[표 1] 보상 캐패시터 array C_C 의 동작	23
[표 2] 12-bit 스플릿 캐패시터 DAC의 미스매치 분석	26
[표 3] 12-bit 더블 스플릿 캐패시터 DAC의 미스매치 분석	28
[표 4] 제안하는 캐패시터 DAC의 미스매치 분석	29
[표 5] 제안하는 SAR ADC의 성능 표	42

그 립 목 차

[그림 1] 기본적인 SAR ADC의 구조	3
[그림 2] 일반적인 싱글 구조 SAR ADC의 샘플링 단계 ..	4
[그림 3] 3-bit 싱글 SAR ADC의 변환 단계 과정: (a) 첫 번째 bit cycle, (b) 두 번째 bit cycle, (c) 세 번째 bit cycle	6
[그림 4] 스위치드 캐패시터 모델	9
[그림 5] SAR ADC의 구조와 캐패시터 DAC의 동작	10
[그림 6] Pelgrom's 모델	11
[그림 7] (a) 싱글 구조의 일반적인 8-bit 캐패시터 DAC, (b) 싱글 구조의 8-bit 스플릿 캐패시터 DAC	14
[그림 8] 싱글구조의 8-bit 더블 스플릿 캐패시터 DAC ..	15
[그림 9] 브릿지 캐패시터 미스매치 calibration 기법을 적용한 스플릿 캐패시터 DAC	16

[그림 10] L-side 캐패시터 array C_C 의 등가회로	19
[그림 11] (a) 브릿지캐패시터 calibration 기법을 반영 한 block diagram (b) 브릿지 캐패시터 calibration training의 timing diagram	22
[그림 12] 보상 캐패시터 array C_C	23
[그림 13] 일반적인 8-bit 캐패시터 DAC	25
[그림 14] 일반적인 12-bit 스플릿 캐패시터 DAC 구조 ...	26
[그림 15] 12-bit 더블 스플릿 캐패시터 DAC 구조	27
[그림 16] 제안하는 캐패시터 DAC 구조	29
[그림 17] 설계한 보상 캐패시터 array	30
[그림 18] 제안하는 SAR ADC의 회로도	32
[그림 19] 제안하는 SAR ADC의 브릿지 캐패시터 로직 calibration timing diagram	33
[그림 20] 제안하는 SAR ADC의 기준 전압 생성기	33
[그림 21] 제안하는 SAR ADC의 기본 동작 로직 timing diagram	35
[그림 22] 제안하는 SAR ADC의 layout	36
[그림 23] 기존의 스플릿 캐패시터 DAC을 이용한 SAR ADC의 monte carlo 모의실험 결과	38
[그림 24] 제안하는 캐패시터 DAC을 이용한 SAR ADC의 monte carlo 모의실험 결과	38
[그림 25] TTT, 27 °C, $f_{in} = 487.7$ kHz (noise simulation, 1024 points)	39
[그림 26] TTT, 27 °C, $f_{in} = 48.7$ kHz (noise simulation, 1024 points)	39

[그림 27] FFF, $-40\text{ }^{\circ}\text{C}$, $f_{\text{in}} = 48.7\text{ kHz}$ (w/o noise simulation, 1024 points)	40
[그림 28] SSS, $125\text{ }^{\circ}\text{C}$, $f_{\text{in}} = 48.7\text{ kHz}$ (w/o noise simulation, 1024 points)	40
[그림 29] post-모의실험 결과. TTT, $27\text{ }^{\circ}\text{C}$, $f_{\text{in}} = 48.7\text{ kHz}$ (noise simulation, 1024 points)	41

제 1 장 서 론

제 1 절 연구의 배경

최근 공기 중의 미세 먼지로 인한 공기의 오염이 갈수록 심해지고 있으며, 이로 인해 생기는 건강의 문제로 인해 미세 먼지에 대한 관심이 높아지고 있다. 석유, 석탄과 같은 화석 연료 혹은 자동차 매연으로 인한 대기오염물질이 미세먼지의 주원인으로 알려져 있다. 미세 먼지는 입자의 크기에 따라 분류되며 명칭은 PM_{10} , $PM_{2.5}$, PM_1 등으로 각각 $10\ \mu m$, $2.5\ \mu m$, $1\ \mu m$ 미만의 입자들을 뜻한다. 입자의 크기가 작아질수록 인체에 흡수되기 쉬워 더 위험하며 PM_{10} 은 인체의 폐까지 당도해 피해를 끼칠 수 있으며 PM_1 은 폐포의 세포막, 심장 혈관 시스템의 동맥 내벽을 관통하여 조직을 손상시킬 수 있다 [1-3].

이러한 미세 먼지의 위험성으로 인해 공기 중의 미세 먼지를 보다 정확하게 감지하는 미세 먼지 검출기가 요구되며, 시간과 공간의 제약 없이 미세 먼지의 농도를 확인할 수 있는 휴대용 제품의 수요 또한 늘고 있다. 휴대용 application을 위해서 제품의 크기는 작아져야 하며 장기간의 동작을 위해 전력 소모를 최소화하여야 한다. 이를 위해서는 적은 면적을 차지하고 적은 전력을 소모하면서 높은 해상도의 성능을 가진 ADC가 필수적이다.

SAR ADC는 캐패시터 DAC, 동적 비교기와 디지털 로직으로 구성되어 있으며 정적으로 전류를 흘리는 증폭기가 없어 전력 소모가 적은 ADC이다. 또한 간단한 아날로그 구조로 되어 있어 다른 ADC와 비교해 쉽게 공정을 축소시킬 수 있어 낮은 입력 전압에서 동작할 수 있게 되어 추가적으로 전력 소모를 줄일 수 있다 [4].

SAR ADC의 전력 소모량을 줄이기 위해서는 캐패시터 DAC의 크기를 줄이는 것이 중요하다. 캐패시터 DAC을 설계할 때 잡음, 안정화 시간, 캐패시터 미스매치를 고려해야한다. 안정된 안정화 시간을 확보하기 위해서는 캐패시터 DAC의 크기를 줄여야하지만 잡음과 캐패시터 미스매치 성능을 높이기 위해서는 캐패시터 DAC의 크기를 늘려야한다 [5].

Calibration을 통해 캐패시터 DAC의 크기를 늘리지 않고 캐패시터의 미스매치를 보정할 수 있으나 대부분 복잡한 디지털 시스템으로 이루어져 있으며 post-processing을 필요로 한다 [5].

본 논문에서는 캐패시터 DAC의 효율적인 설계를 위해 캐패시터 미스매치가 SAR ADC의 성능에 미치는 영향을 분석하는 방법을 제안한다. 또한 분석을 바탕으로 설계한 캐패시터 DAC의 효과를 모의실험을 통해 검증하였고 향후 미세 먼지 검출기에 적용할 예정이다.

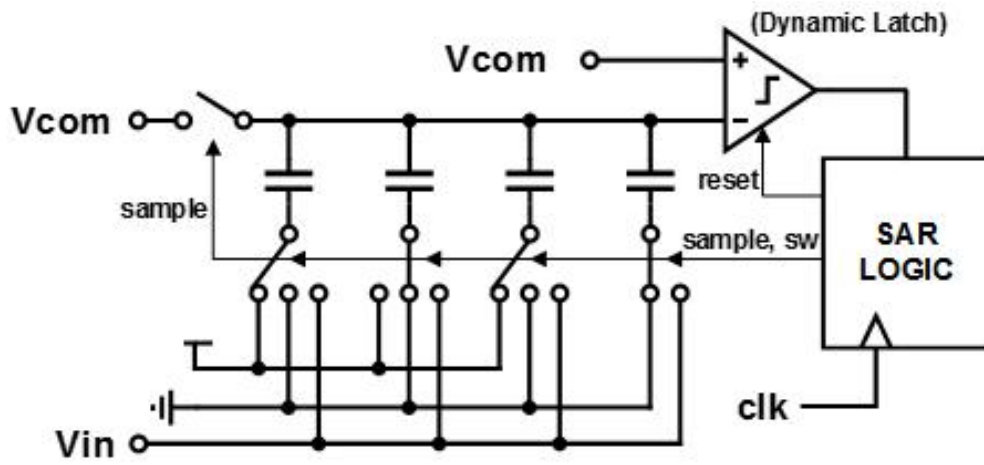


그림 1 . 기본적인 SAR ADC의 구조

제 2 절 기본적인 SAR ADC의 동작 원리

SAR ADC의 동작은 샘플링과 변환 두 가지 단계로 나뉜다. 먼저 샘플링은 캐패시터 DAC에 입력 전압의 정보를 저장하는 것으로 그림 2.와 같이 비교기의 입력 부분인 캐패시터 DAC의 윗면에 기준 전압을 연결하고 아랫면에 입력 전압을 연결한다. Binary search 알고리즘을 통해 각 cycle마다 하나의 디지털 코드를 출력하고 이를 위해 캐패시터 DAC의 각 캐패시터들의 2의 제곱수의 비율로 값을 정한다. 샘플링 단계에서 캐패시터 DAC에는 입력 전압과 기준 전압의 차이와 비례하는 식 (1).의 전하가 저장되며 저장된 정보를 변환 단계에서 디지털 코드로 변환시킨다.

$$Q_{CDAC} = 4C \times (V_{com} - V_{in}) \quad (1)$$

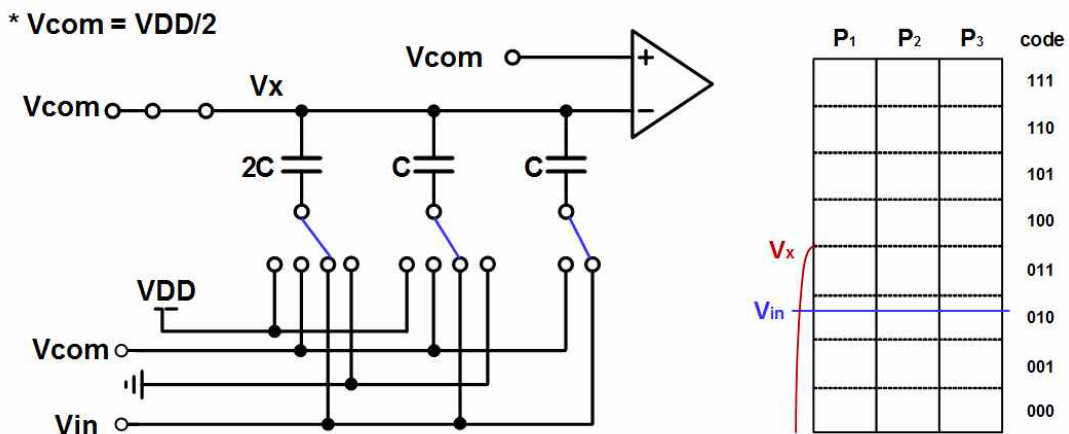


그림 2. 일반적인 싱글 구조 SAR ADC의 샘플링 단계

샘플링을 마친 후 캐패시터 DAC에 저장된 정보를 잃지 않기 위해 비교기의 음의 입력단과 기준 전압을 연결시켜 주는 스위치

를 개방시킨다. 이로써 각 캐패시터는 floating 상태가 되어 캐패시터의 아랫면에 연결된 스위치의 연결을 이동시키더라도 V_X 노드의 전압만 바뀔 뿐 전체 전하량은 변하지 않고 보존된다. 이 원리를 이용해 그림 3(a)와 같이 캐패시터 DAC의 아랫면에 연결된 스위치들을 모두 기준 전압에 연결한다. 이때, 전하량이 보존되는 것을 이용해 식 (2)를 계산하면 식 (3)과 같은 결과를 얻을 수 있다.

$$Q_{CDAC} = 4C \times (V_X - V_{com}) = 4C \times (V_X - V_{com}) \quad (2)$$

$$\therefore V_X = 2V_{com} - V_{in} \quad (3)$$

비교기의 음의 입력의 값이 $2V_{com} - V_{in}$ 이 되고 양의 입력 전압에서 음의 입력 전압의 차이가 $V_{in} - V_{com}$ 이 되므로 비교기는 입력 전압을 V_{com} 과 비교하는 것과 같은 동작을 하게 되고 이는 MSB의 디지털 코드를 결정하게 된다.

비교기의 출력에 따라 MSB 캐패시터의 아랫면에 연결된 스위치를 기준 전압에서 전원 전압 혹은 접지로 연결하게 된다. 그림 3(a)의 경우 비교기의 출력이 0이므로 MSB bit 캐패시터의 아랫면을 접지와 연결시켜 V_X 노드를 낮춘다. 이 동작에서도 전체 캐패시터 DAC의 전하는 보존되므로 식 (4)를 계산하면 식 (5)의 결과를 얻을 수 있다.

$$Q_{CDAC} = 4C \times (V_X - V_{com}) = 2C \times V_X + 2C \times (V_X - V_{com}) \quad (4)$$

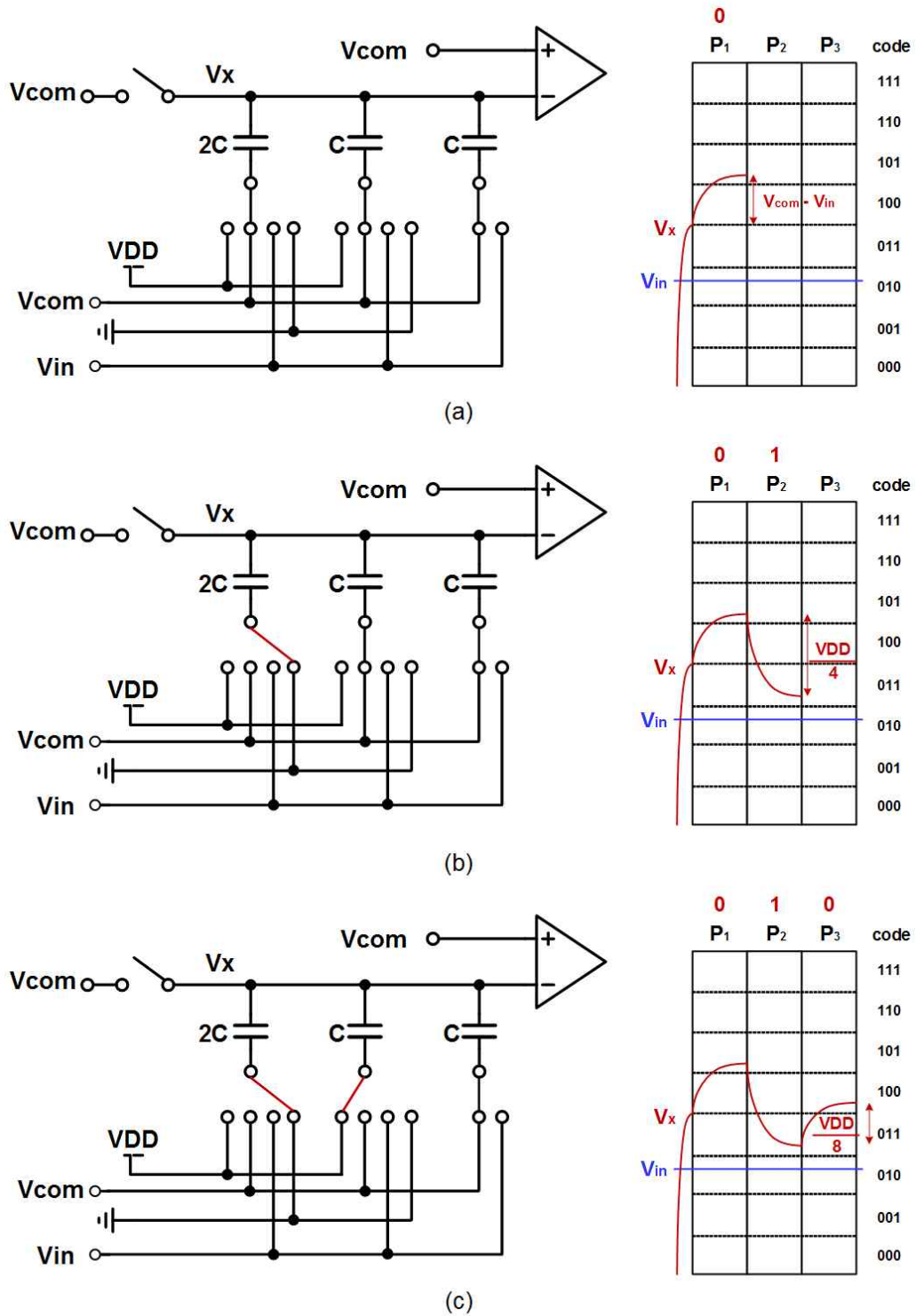


그림 3. 3-bit 싱글 SAR ADC의 변환 단계 과정 : (a) 첫 번째 bit cycle, (b) 두 번째 bit cycle, (c) 세 번째 bit cycle

$$\therefore V_X = \frac{3}{2}V_{\text{com}} - V_{\text{in}} \quad (5)$$

식 (5)를 통해 두 번째 cycle에서 비교기 두 입력의 전압차는 $\frac{1}{2}V_{\text{com}} - V_{\text{in}}$ 인 것을 알 수 있다. 첫 번째 cycle에서 V_{in} 이 V_{com} 보다 작다는 결과를 얻었기 때문에 그 다음 bit의 기준 전압인 $\frac{1}{2}V_{\text{com}}$ 과 입력 전압을 비교해 두 번째 디지털 코드를 출력한다. 그림 3(b)의 경우 비교기에서 1이 출력되었으므로 두 번째 bit 캐패시터의 아랫면을 전원전압과 연결시켜 V_X 노드를 $\frac{VDD}{8}$ 만큼 높인 후 이전과 같은 동작을 반복해 $\frac{3}{4}VDD$ 와 입력 전압을 비교하게 되고 LSB 코드를 출력하게 되고, 최종 디지털 코드를 레지스터에 저장한다.

제 2 장 캐패시터 DAC

제 1 절 캐패시터 DAC의 design issues

1. kT/C 잡음

잡음은 회로의 성능에 영향을 미치는 중요한 요소 중 하나로 캐패시터 DAC을 설계하기 전 필수적으로 고려해야 한다. SAR ADC는 입력 전압과 캐패시터 DAC이 항상 연결된 것이 아닌 스위치드 캐패시터 구조로 그림 4.와 같이 모델링할 수 있으며 스위치의 on 저항의 열잡음을 다음과 같이 계산할 수 있다.

입력 스위치의 on 저항을 R_{ON} 이라 명칭하고, 열잡음의 power spectral density인 $S_R = 4kTR_{ON}$ (k : 볼츠만 상수, T : 절대 온도, C : 전체 캐패시턴스)을 이용해 계산할 수 있다.

예시로 그림 4.의 스위치드 캐패시터 모델을 예시로 들어 열잡음의 식을 구면, 먼저 전달 함수는 $H(j\omega) = \frac{1}{1+j\omega R_{ON}C}$ 임을 이용해

$$S_{VOUT} = 4kTR \left(\frac{1}{1 + (R_{ON}\omega C)^2} \right) \quad (6)$$

식 (6)을 얻을 수 있고, 이를 이용해 잡음의 RMS 값을 구하면

$$V_{n,s} = \sqrt{\int_{f=0}^{f=\infty} S_{VOUT} df} = \sqrt{\int_{f=0}^{f=\infty} \frac{4kTR_{ON}}{1+(\omega R_{ON}C)^2} df} \quad (7)$$

$$\int_{y=0}^{y=\infty} \frac{1}{1+y^2} dy = [\tan^{-1}y] = \frac{\pi}{2} \quad (8)$$

식 (7)이 되고, 식 (8)을 이용해 최종 잡음의 RMS 값을 구할 수 있다.

$$V_{n,s} = \sqrt{\int_{f=0}^{f=\infty} S_{VOUT} df} = \sqrt{\frac{kT}{C}} \quad (9)$$

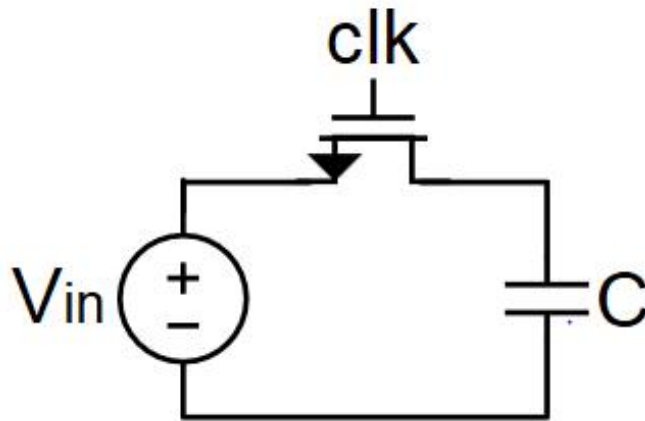


그림 4. 스위치드 캐패시터 모델

2. 안정화 시간

SAR ADC의 변환 단계의 동작이 완벽하게 이루어지기 위해서는 비교기의 동작이 이루어지기 이전에 비교기의 입력단의 전압이 완벽하게 안정화되어야 한다. 이를 안정화 시간이라 칭하며 저항과 캐패시턴스의 곱에 비례한다. 주어진 시간 내에 비교기의 입력을 안정화시키기 위해서는 캐패시터 DAC의 크기를 적절한 수준으로 줄여야 한다.

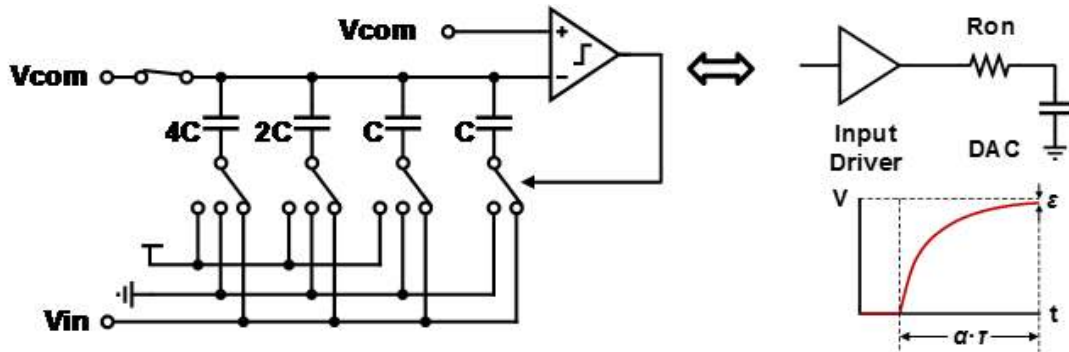


그림 5. SAR ADC의 구조와 캐패시터 DAC의 동작

3. 캐패시터 미스매치

캐패시터의 미스매치 또한 캐피탈 DAC의 크기를 결정하는 중요한 요소이다. 각 캐패시터들의 비율로 디지털 코드를 출력하는 구조인 만큼 캐패시터들의 비율이 설계한 값과 달라진다면 성능의 저하를 부르게 된다.

캐패시터 미스매치는 공정과 캐패시터의 면적에 따라 값이 정해진다. 그림 6.과 같이 단위 캐패시턴스 C에 대한 미스매치 ΔC 의 표준 편차는 캐패시터 면적의 제곱근에 반비례하며, 공정 변수 A_C 에 비례한다 [6].

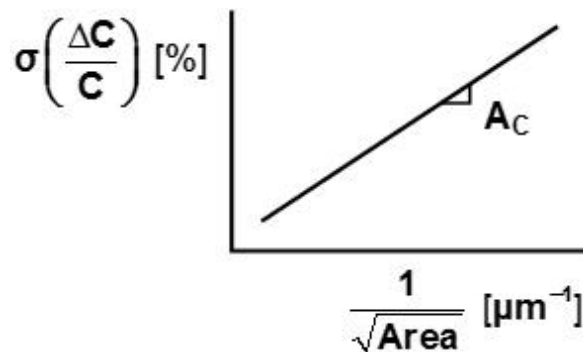


그림 6. Pelgrom's 모델

캐패시터 미스매치의 영향을 줄이기 위해서는 캐패시터의 면적을 늘려야하기 때문에 SAR ADC의 면적, 소모 전력, 안정화 시간의 측면에서 많은 악영향을 끼치게 된다.

이를 보완하기 위해 각 캐패시터들의 미스매치를 줄여주는 calibration이 제안되었지만 이는 복잡한 디지털 시스템을 필요로

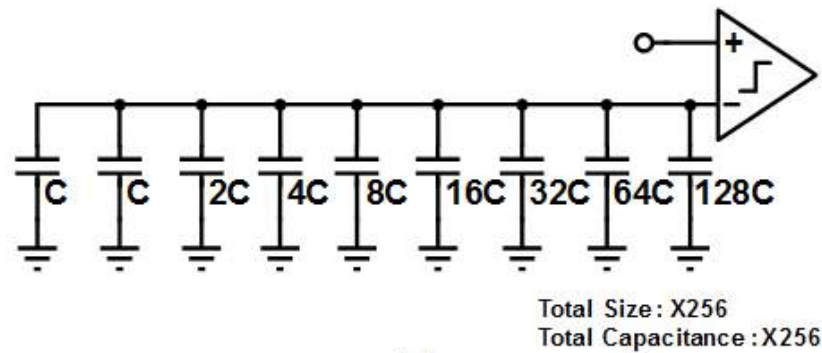
해 post-processing을 하지 못하는 application에서는 사용하기 어렵다는 단점이 있다.

제 2 절 스플릿 캐패시터 DAC

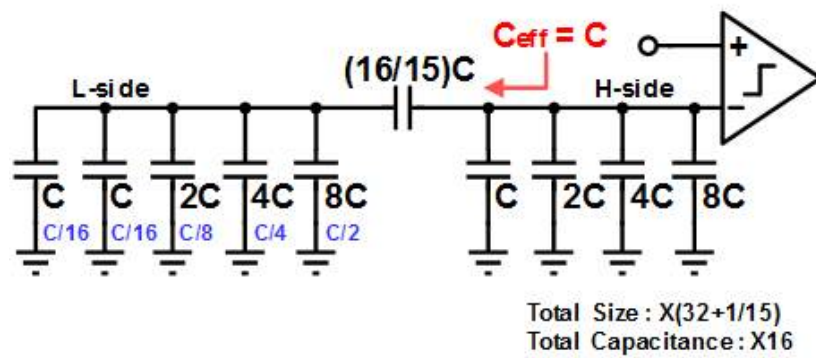
SAR ADC는 해상도가 1-bit 늘어날 때마다 캐패시터 DAC이 두배로 커지는 구조이기 때문에 해상도가 높아질수록 캐패시터 DAC의 크기가 전체 ADC의 면적에서 큰 비중을 차지하게 된다. 이로 인해 일정 수준 이상으로 해상도를 높이지 못하게 되었고, 이를 보완하기 위해 스플릿 캐패시터 DAC이라는 구조가 제안되었다.

스플릿 캐패시터 DAC은 그림 7(b).와 같은 구조로 되어 있다. 기존의 캐패시터 DAC과는 다르게 캐패시터 array들 사이에 추가되어 있는 캐패시터를 브릿지 캐패시터라고 칭한다. 브릿지 캐패시터는 비교기의 입력에서 보이는 L-side 캐패시터 array들의 유효 캐패시턴스가 H-side의 LSB 캐패시터의 캐패시턴스와 같게하는 역할을 하며 L-side의 각각 C, 2C, 4C, 8C의 캐패시턴스 값을 가진 캐패시터들은 비교기의 입력에서는 $\frac{C}{16}, \frac{C}{8}, \frac{C}{4}, \frac{C}{2}$ 의 캐패시턴스 값을 가진 캐패시터처럼 동작하게 된다. 이러한 원리로 캐패시터 DAC의 크기를 줄이면서 해상도를 유지할 수 있어 고해상도의 성능을 가진 SAR ADC에서 많이 사용하는 구조이다.

그림 7.에서 볼 수 있듯 같은 단위 캐패시터 C를 사용한다고 가정하였을 때, 기존의 8-bit 캐패시터 DAC에 비해 8-bit 스플릿 캐패시터 DAC의 전체 크기는 87% 줄어들었으며 입력 캐패시턴스는 기존 대비 93.75% 줄어들어 전력 소모 또한 상당히 줄어들었다.



(a)



(b)

그림 7 . (a) 싱글 구조의 일반적인 8-bit 캐패시터 DAC,
(b) 싱글 구조의 8-bit 스플릿 캐패시터 DAC

그러나 스플릿 캐패시터 DAC에서 브릿지 캐패시터는 단위 캐패시터의 배수로 구성이 될 수 없어 다른 캐패시터들과의 매칭이 정확하게 되지 않을 확률이 높다. 또한, 브릿지 캐패시터의 값이 변화한다면 H-side 캐패시터 array와 L-side 캐패시터 array의 선형성이 나빠지기 때문에 큰 성능 저하를 초래할 수 있다는 단점이 있다.

그림 8.은 스플릿 캐패시터 DAC에 브릿지 캐패시터를 하나 더 추가한 더블 스플릿 캐패시터 DAC이다. 면적과 입력 캐패시턴스를

더 줄일 수 있어 면적 줄어들고 전력 소모 적어지지만 성능에 악 영향을 끼칠 수 있는 브릿지 캐패시터가 두 개나 있어 안정성이 떨어지며 입력 캐패시턴스와 각 캐패시터의 크기들이 많이 작아져 $\frac{kT}{C}$ 잡음과 캐패시터 미스매치의 영향을 줄이기 위해 단위 캐패시터 C를 키워야하는 경우도 존재한다.

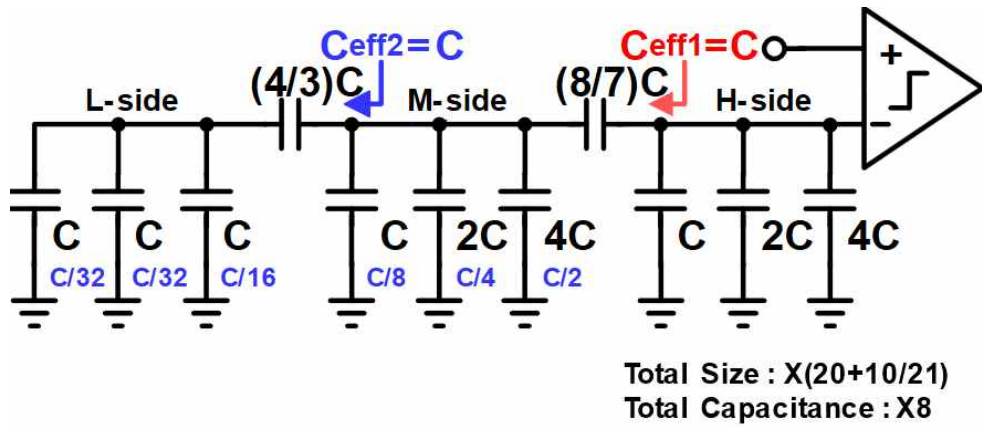


그림 8 . 싱글 구조의 8-bit 더블 스플릿 캐패시터 DAC

제 3 절 브릿지 캐패시터 미스매치 calibration 기법

1. 브릿지 캐패시터 미스매치 calibration 기법의 원리

브릿지 캐패시터 미스매치 calibration 기법은 그림 9와 같이 C_C 라는 보상 캐패시터 array를 추가함으로써 스플릿 캐패시터 DAC에서 브릿지 캐패시터로 인한 선형성 저하를 보상해주는 기법이다. 보상 캐패시터 array는 브릿지 캐패시터의 미스매치 뿐만 아니라 브릿지 캐패시터의 기생 캐패시터(C_{P2}), L-side 캐패시터 array의 기생 캐패시터(C_{P1})의 영향까지 줄여주어 ADC 성능의 선형성을 높여주는 역할을 한다.

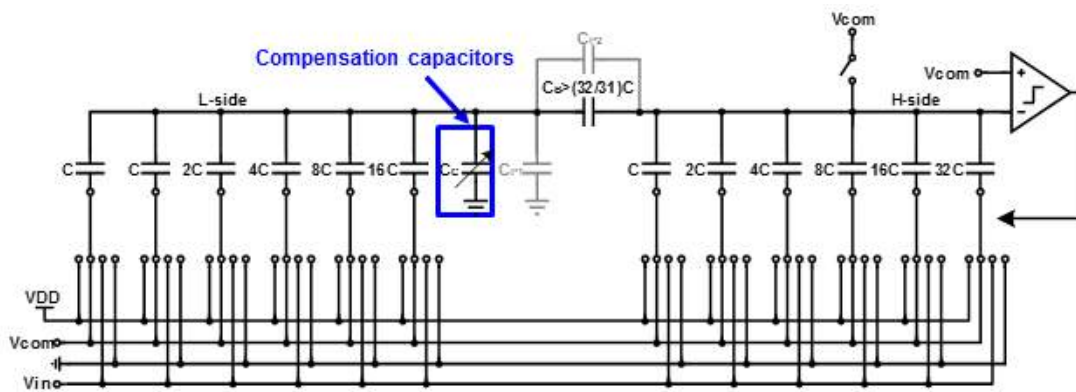


그림 9. 브릿지 캐패시터 미스매치 calibration 기법을 적용한 스플릿 캐패시터 DAC

Calibration 기본 원리는 미스매치로 인해 C_B 의 값이 변하고, 기생 캐패시터 C_{P1} , C_{P2} 가 존재할 때에도 비교기의 입력에서 보이는

L-side 캐패시터 array의 유효 캐패시턴스와 H-side의 LSB 캐패시터의 캐패시턴스가 같도록 만드는 것이다.

샘플링이 끝난 후 V_P 노드는 floating되어 있고, 변환 과정이 끝난 후 처음 값인 V_{com} 으로 돌아가기 때문에 가상 접지 상태로 볼 수 있다. 따라서 그림 10(a)와 같이 회로를 나타낼 수 있다. L-side 캐패시터 array들의 아랫면의 전압 변화가 비교기의 입력(V_P)에 미치는 영향을 구하기 위해 우선적으로 V_X 의 변화가 V_Q 노드에 미치는 영향을 계산하면 식 (10)을 얻을 수 있다.

$$V_Q = \frac{16C}{16C + C_C + C_{P1} + C_B + C_{P2}} \quad (10)$$

V_Q 와 V_P 의 관계는 그림 10(b)와 같은 형태로 나타낼 수 있으며 V_P 노드는 가상 접지 상태이므로 저장된 총 전하량은 식 (11)처럼 나타낼 수 있으며

$$Q_{TOTAL} = (C_{B2} + C_{P2}) \times V_Q \quad (11)$$

V_Q 를 V_X 로 표현하면 식 (12)처럼 표현할 수 있다.

$$Q_{\text{TOTAL}} = \frac{32C(C_B + C_{P2})}{32C + C_C + C_{P1} + C_B + C_{P2}} \times V_X \quad (12)$$

따라서, V_P 노드에서 L-side 캐패시터 array의 유효 캐패시턴스는

$$Q_{\text{EF}} = \frac{32C(C_B + C_{P2})}{32C + C_C + C_{P1} + C_B + C_{P2}} \quad (13)$$

식 (13)과 같이 표현할 수 있으며 보상 캐패시터 array C_C 의 값이 식 (14)와 같아질 때까지 조정하면 calibration이 됨을 알 수 있다.

$$C_C = 31(C_B + C_{P2}) - 32C - C_{P1} \quad (14)$$

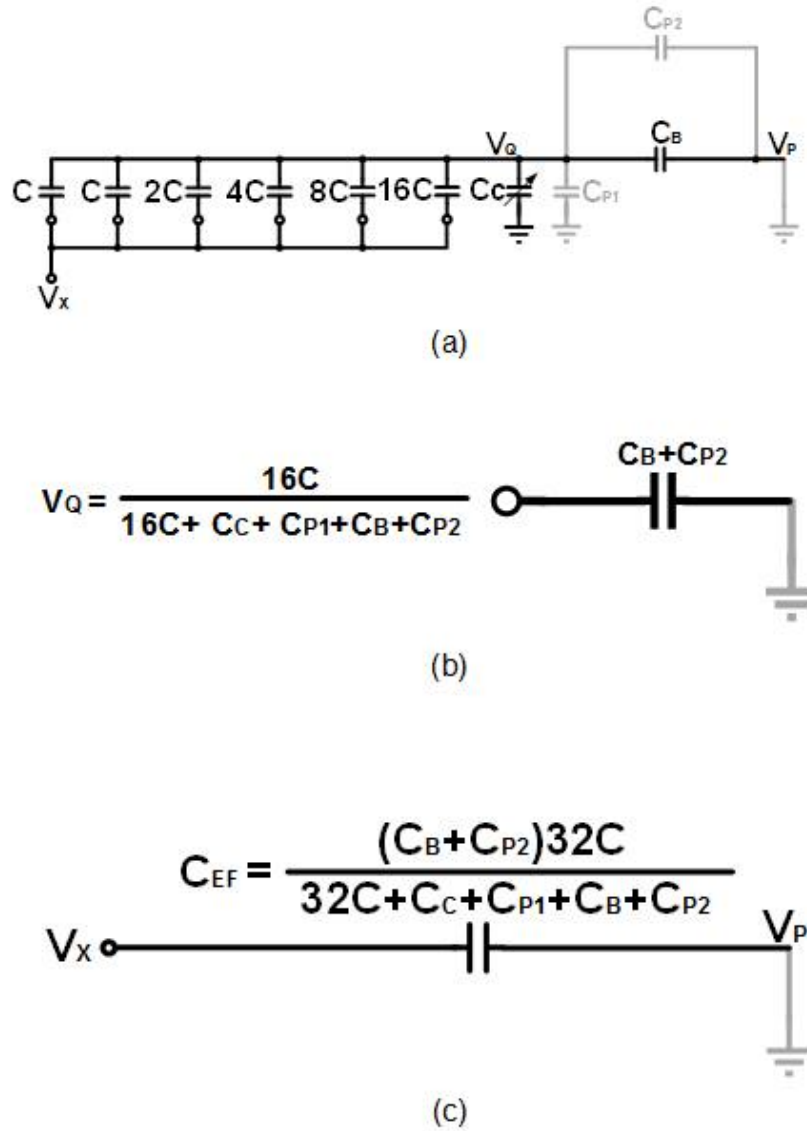


그림 10. L-side 캐패시터 array C_C 의 등가회로

의 식의 경우 L-side 캐패시터 array가 5-bit일 경우를 가정해 계산된 수식이며 일반적인 경우 L-side 캐패시터 array가 n-bit일 때, 식 (15), (16)과 같은 값을 가지게 된다.

$$C_{EF} = \frac{2^n C (C_B + C_{P2})}{2^n C + C_c + C_{P1} + C_B + C_{P2}} \quad (15)$$

$$C_c = (2^n - 1)(C_B + C_{P2}) - 2^n C - C_{P1} \quad (16)$$

식 (15)에서 볼 수 있듯이 보상 캐패시터 array의 값이 커질수록 L-side 캐패시터 array의 유효 캐패시턴스는 작아진다. 따라서 브릿지 캐패시터의 크기를 기존의 값보다 큰 값으로 설계한 뒤 보상 캐패시터 array의 크기를 키우면서 calibration을 진행한다 [7].

2. 브릿지 캐패시터 미스매치 calibration 기법의 동작 설명

브릿지 캐패시터 미스매치 calibration의 timing diagram이 그림 11(b)에 묘사되어 있다. 식 (15)에서 볼 수 있듯이 보상 캐패시터의 값이 커질수록 L-side 캐패시터 array의 유효 캐패시턴스가 작아진다. 따라서, 브릿지 캐패시터의 크기를 기존보다 키워 L-side 캐패시터 array의 유효 캐패시턴스가 H-side의 LSB 캐패시터의 캐패시턴스보다 크게 회로를 설계한 뒤 보상 캐패시턴스의 크기를 늘리며 calibration을 진행한다.

Calibration을 하는 과정에서 샘플링이 일어나는 데, 캐패시터들의 아랫면은 모두 기준 전압에 연결한 상태로 비교기의 입력에 기준 전압을 샘플링한다. 그 이후 비교기의 입력 노드를 floating 시킨 후 L-side의 모든 캐패시터들의 아랫면에 연결된 스위치들은 기준 전압에서 전원 전압으로 스위칭하고, H-side의 LSB 캐패시터의 아랫면에 연결된 스위치는 기준 전압에서 접지로 스위칭한다. 의도적으로 L-side의 유효 캐패시턴스를 키워기 때문에 L-side 캐패시터들의 동작 영향이 비교기의 입력 전압에 더 큰 영향을 미치게 되고 H-side 노드의 전압이 상승해 비교기는 0을 출력하게 된다. 비교기가 0을 출력할 때마다 C_C 의 크기를 늘리고, 비교기의 출력이 1이 될 때까지 동일한 동작을 반복한다. 비교기의 출력이 1을 나타낼 때, calibration을 끝내며 저장된 C_C 값을 레지스터에 저장한다.

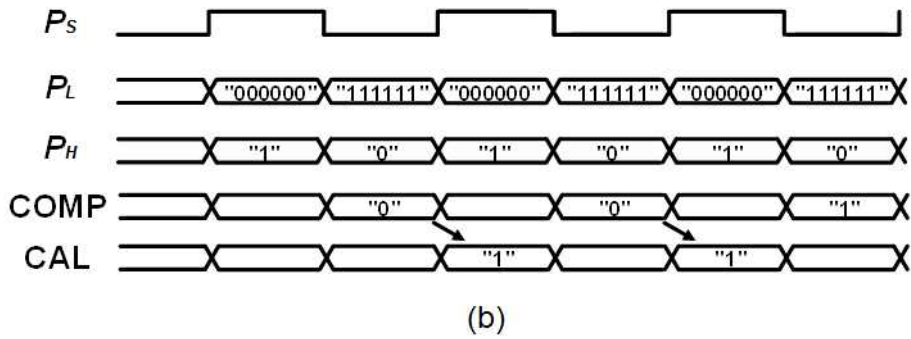
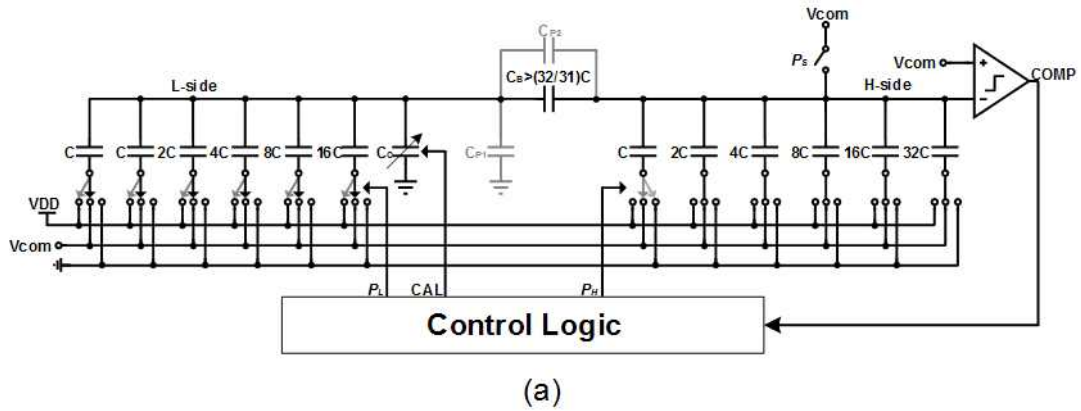


그림 11. (a) 브릿지 캐패시터 calibration 기법을 반영한 block diagram
 (b) 브릿지 캐패시터 calibration training의 timing diagram

보상 캐패시터 array는 그림 12.와 같이 구성되며 표 1.과 같이 동작마다 $\frac{C'}{2}$ 만큼 값이 증가하는 구조이다.

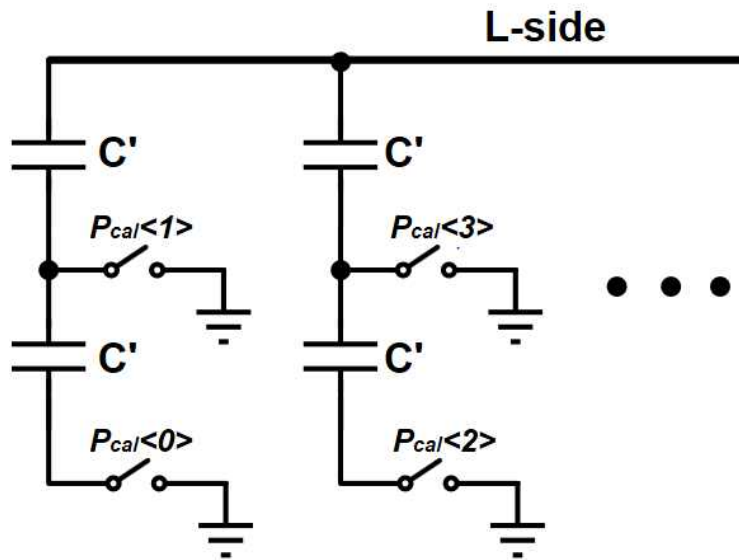


그림 12. 보상 캐패시터 array C_C

Capacitance	0	$\frac{C'}{2}$	C'
$P_{cal} < 0 >$	0	1	1
$P_{cal} < 1 >$	0	0	1

표 1. 보상 캐패시터 array C_C 의 동작

제 3 장 제안하는 캐패시터 DAC을 이용한 SAR ADC의 설계

제 1 절 캐패시터 DAC 미스매치 분석

1. 캐패시터 미스매치 계산

본 논문에서는 캐패시터 DAC을 효율적으로 설계하기 위해 캐패시터의 미스매치가 성능에 미치는 영향을 분석하였다.

그림 13.과 같은 캐패시터 DAC에서 N번째 bit의 디지털 코드의 출력을 담당하는 캐패시터 C_N 의 표준편차를 ΔC_N 은 식 (17)과 같이 나타낼 수 있다.

$$|\Delta C_N| = |C_N - C_{N,error}| \quad (17)$$

캐패시터 C_N 의 미스매치가 성능에 가장 악영향을 미치는 경우는 C_N 이 가장 큰 값을 갖고 N보다 낮은 bit의 디지털 코드의 출력을 담당하는 캐패시터들은 가장 작은 값을 가질 때이다.

$$C_{N,error} = C_N + |C_N| \quad (18)$$

$$C_{0...N-1,error} = 2^{N-1}(C_0 - |\Delta C_0|) \quad (19)$$

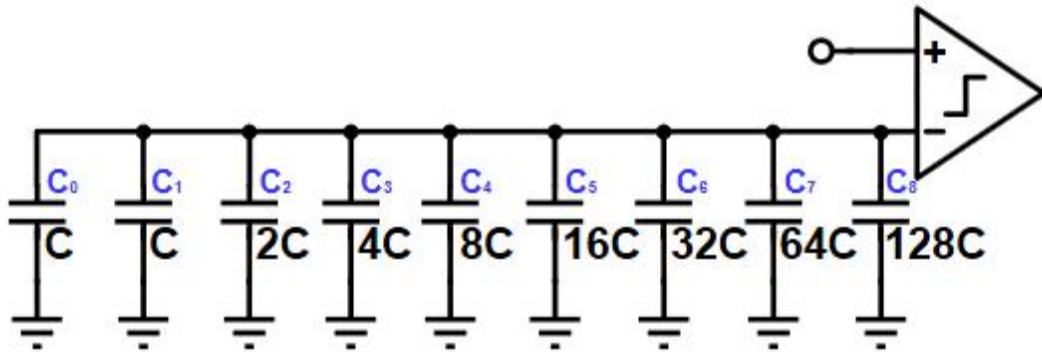


그림 13. 일반적인 8-bit 캐패시터 DAC

또한, MSB 캐패시터는 캐패시터 DAC 전체 전하의 $\frac{1}{2}$ 을 저장하고 있고, 1 bit가 낮아질 때마다 해당 캐패시터가 저장하고 있는 전하의 양이 절반으로 줄어들기 때문에 캐패시터의 변화가 미치는 영향도 절반으로 줄어든다.

캐패시터의 미스매치와 해당 캐패시터가 저장하는 전하의 양을 고려하여 DNL이 $\frac{1}{2}$ LSB보다 작으면 캐패시터 미스매치에 의한 성능 저하가 없다고 할 수 있다. 따라서 미스매치에 의한 성능 저하가 없기 위해서는 식 (21)을 만족하도록 캐패시터의 값을 정해야 한다.

$$C_{N,error} - C_{0\dots N-1,error} = 2|\Delta C_N| < \frac{1}{2} \frac{2^{12-N}}{2^{12}} C_N \quad (20)$$

$$\therefore \frac{|\Delta C_N|}{C_N} < \frac{1}{2^{N+2}} \quad (21)$$

2. 스플릿 캐패시터 DAC의 미스매치 분석

스플릿 캐패시터의 입력 캐패시턴스가 약 11 pF이 되도록 유닛 캐패시턴스 C 를 177.045 fF으로 설정하고 약 $96C$ 의 캐패시터를 사용한 그림 14.의 스플릿 캐패시터 DAC의 미스매치를 분석한 결과를 표 2.에 정리했다.

하위 5개의 bit에 해당하는 캐패시터들은 식 (21)을 만족하였지만 그 외 상위 6개의 bit에 해당하는 캐패시터들은 식 (21)을 만족하지 못하였다.

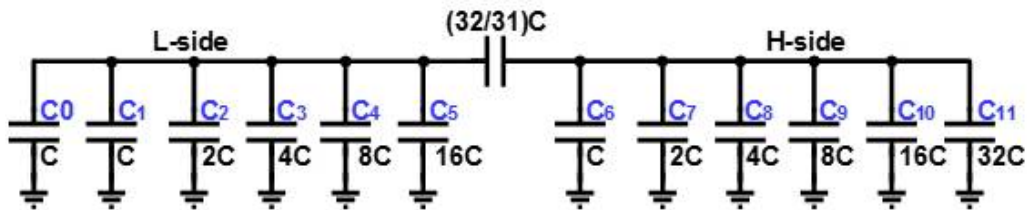


그림 14. 일반적인 12-bit 스플릿 캐패시터 DAC 구조

	C_{11}	C_{10}	C_9	C_8	C_7	C_6	C_5	C_4	C_3	C_2	C_1
$\frac{1}{2^{N+2}}$	0.00012	0.00024	0.00049	0.00098	0.00195	0.0039	0.0078	0.0156	0.03125	0.0625	0.125
$\frac{ \Delta C_N }{C_N}$	0.00096	0.00135	0.0019	0.0027	0.0038	0.0054	0.00136	0.0019	0.0027	0.0038	0.0054
S/U (Satisfied/Unsatisfied)	U	U	U	U	U	U	S	S	S	S	S

표 2. 12-bit 스플릿 캐패시터 DAC의 미스매치 분석

3. 더블 스플릿 캐패시터 DAC의 미스매치 분석

스플릿 캐패시터 DAC의 분석과 동일한 조건안 유닛 캐패시턴스 C 를 177.045 fF으로 설정하고 약 $40C$ 의 캐패시터를 사용한 그림 15.의 더블 스플릿 캐패시터 DAC의 미스매치를 분석한 결과를 표 3.에 정리했다.

스플릿 캐패시터 DAC의 미스매치를 분석한 표 2.의 결과에 비해 C_6 와 C_7 의 미스매치 성능이 좋아짐을 확인할 수 있다. 그러나 H-side의 캐패시터 array들의 크기가 스플릿 캐패시터 DAC의 상위 4개의 bit에 해당하는 캐패시터들에 비해 4배 줄어들어 미스매치의 성능이 2배 나빠졌음을 확인할 수 있다.

상위 bit의 디지털 출력을 담당하는 캐패시터일수록 더 많은 양의 전하를 저장하고 있기 때문에 미스매치가 성능에 미치는 영향이 더 크다. 따라서 더블 스플릿 캐패시터 DAC 구조의 미스매치 성능이 스플릿 캐패시터 DAC 구조의 미스매치 성능보다 더 좋지 않으며 두 개의 브릿지 캐패시터가 있기 때문에 선형성을 보장하기가 어렵다.

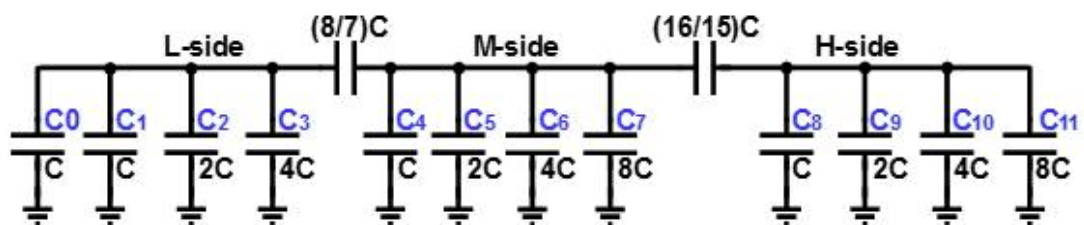


그림 15. 12-bit 더블 스플릿 캐패시터 DAC 구조

	C_{11}	C_{10}	C_9	C_8	C_7	C_6	C_5	C_4	C_3	C_2	C_1
$\frac{1}{2^{N+2}}$	0.00012	0.00024	0.00049	0.00098	0.00195	0.0039	0.0078	0.0156	0.03125	0.0625	0.125
$\frac{ \Delta C_N }{C_N}$	0.00192	0.0027	0.0038	0.0054	0.00192	0.0027	0.0038	0.0019	0.0027	0.0038	0.0054
S/U (Satisfied/Unsatisfied)	U	U	U	U	S	S	S	S	S	S	S

표 3. 12-bit 더블 스플릿 캐패시터 DAC의 미스매치 분석

제 2 절 제안하는 캐패시터 DAC

본 논문에서는 캐패시터 미스매치 분석을 기반으로 하여 그림 16.과 같은 12-bit 캐패시터 DAC을 제안한다. 구조적으로 C_6 와 C_7 의 크기가 미스매치 성능을 만족하는 더블 스플릿 캐패시터 DAC 구조를 사용하였고, 성능에 주요한 영향을 미치는 M-side와 H-side 사이의 브릿지 캐패시터는 보상 캐패시터 array를 M-side에 추가해 C_8 과 M-side 및 L-side 캐패시터 array의 유효 캐패시턴스를 맞추었다. 또한 미스매치 성능이 좋지 않은 H-side의 캐패시터들의 크기를 4배 늘려 스플릿 캐패시터 DAC의 H-side와 크기를 같게 만들었다.

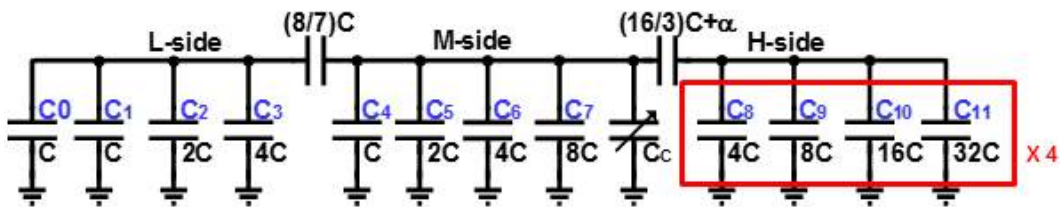


그림 16. 제안하는 캐패시터 DAC 구조

	C_{11}	C_{10}	C_9	C_8	C_7	C_6	C_5	C_4	C_3	C_2	C_1
$\frac{1}{2^{N-2}}$	0.00012	0.00024	0.00049	0.00098	0.00195	0.0039	0.0078	0.0156	0.03125	0.0625	0.125
$\frac{ \Delta C_N }{C_N}$	0.00096	0.00135	0.0019	0.0027	0.00192	0.0027	0.0038	0.0054	0.0027	0.0038	0.0054
S/U (Satisfied/Unsatisfied)	U	U	U	S	S	S	S	S	S	S	S

Improved performance with bridge capacitor calibration

표 4. 제안하는 캐패시터 DAC의 미스매치 분석

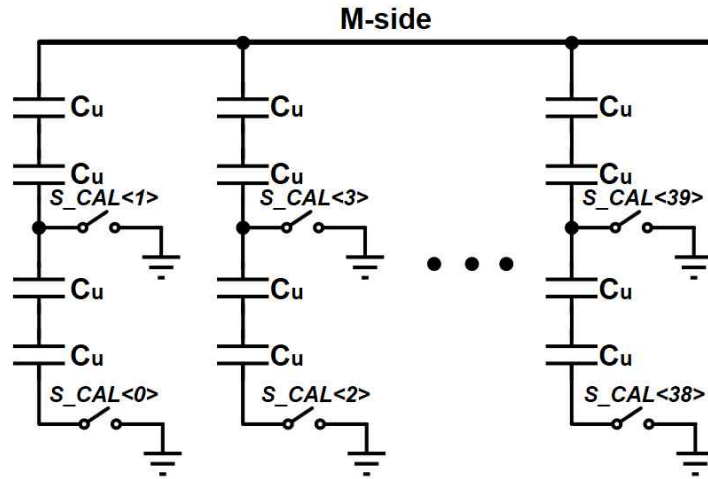


그림 17. 설계한 보상 캐패시터 array

보상 캐패시터 array C_c 의 구조는 그림 17.과 같으며 calibration의 해상도를 높이기 위해서 C_u 는 최소 크기(34 fF)를 직렬 연결하여 사용했다.

제 3 절 SAR ADC의 구현

본 논문에서 제안하는 1MHz 12-bit SAR ADC는 그림 18.과 같다. 캐패시터 DAC은 그림 16.과 같은 구조를 이용하였다. 1 MHz의 클락으로 동작시키며 asynchronous 구조로 설계하였다.

Calibration은 SAR 동작을 시행하기 이전에 진행된다. 양극과 음극의 두 캐패시터 DAC의 calibration이 차례로 진행되며 로직의 timing diagram은 그림 19.와 같다. CAL_CLK이라는 하나의 펄스 신호가 들어올오면 CAL 신호가 1이 되면서 브릿지 캐패시터 calibration을 시작한다. 양의 캐패시터 DAC부터 calibration을 시작하고 종료한 후 음의 캐패시터 DAC의 calibration을 시작하며 음의 calibration까지 끝낸 후 CAL 신호가 0이 되면서 기본적인 SAR ADC의 동작을 시행하게 된다.

기준 전압인 V_{com} 을 그림 20.과 같이 생성하기 때문에 캐패시터 DAC을 충전하고 방전하는 동작 동안 V_{com} 이 변하게 된다. 그러나 SAR ADC는 차동 구조이기 때문에 동작은 V_{com} 의 영향을 받지 않는다. 따라서 식 (22)를 이용하여 방전이 되지 않는 전류를 증폭기에 흘리도록 하였다.

$$I = \frac{CV}{t} \quad (22)$$

브릿지 캐패시터 calibration 동작에는 V_{com} 의 변동이 영향을 미치게 된다. 이러한 영향을 피하기 위해 calibration 동작 중에는 기준 전압을 비교기 입력 단에만 샘플링하고 스위칭 동작은 전원 전압과 접지만을 이용해 진행한다.

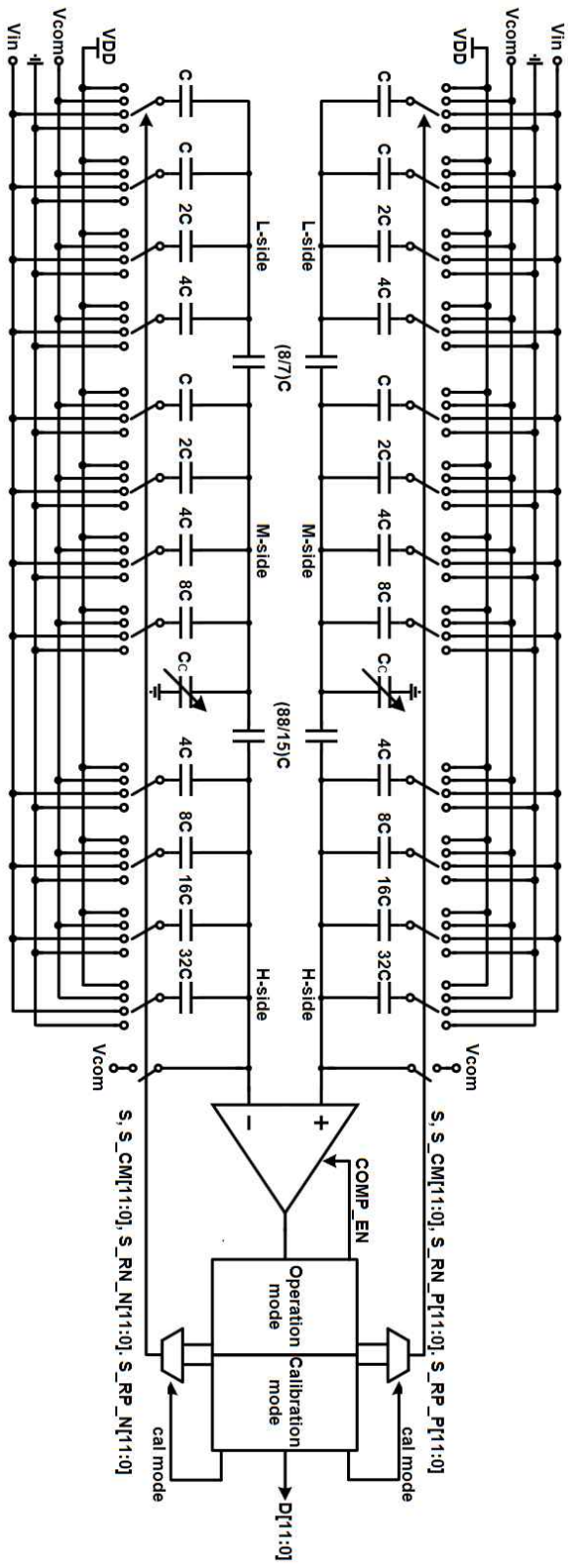


그림 18. 제안하는 SAR ADC의 회로도

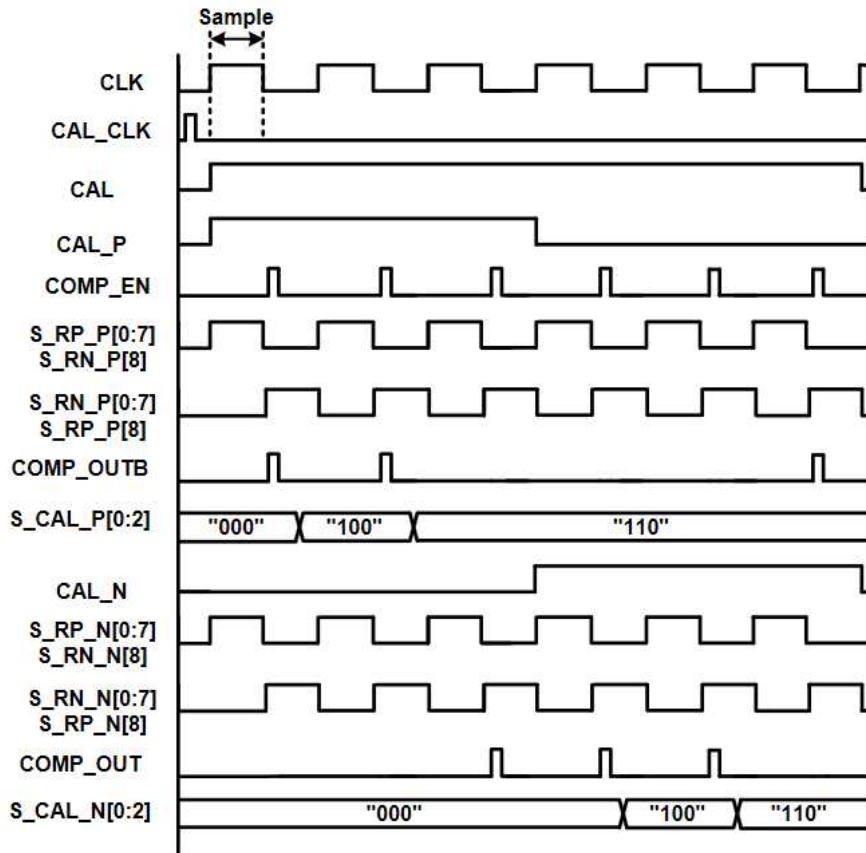


그림 19. 제안하는 SAR ADC의 브릿지 캐패시터 로직 calibration timing diagram

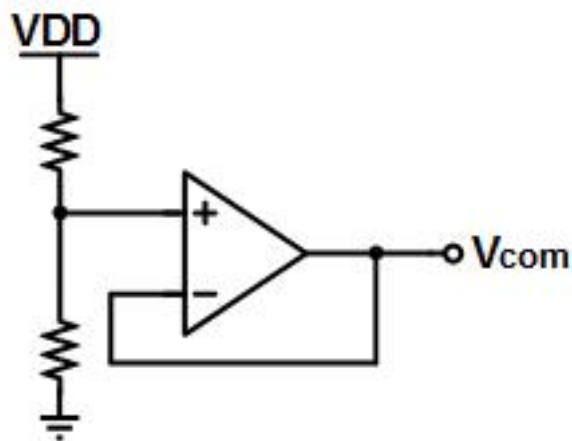


그림 20. 제안하는 SAR ADC의 기준 전압 생성기

SAR ADC의 기본 동작은 그림 21.과 같다. 샘플링이 끝난 후 RSTB_CM_FF 펄스 신호가 모든 스위치를 기준 전압과 연결시킨 후 변환 동작을 시행한다. 12-bit의 해상도를 가지기 때문에 한 샘플 당 12번의 스위칭과 비교를 시행하며 차동 구조이기 때문에 양극과 음극의 스위칭은 반대로 이루어지도록 설계하였다.

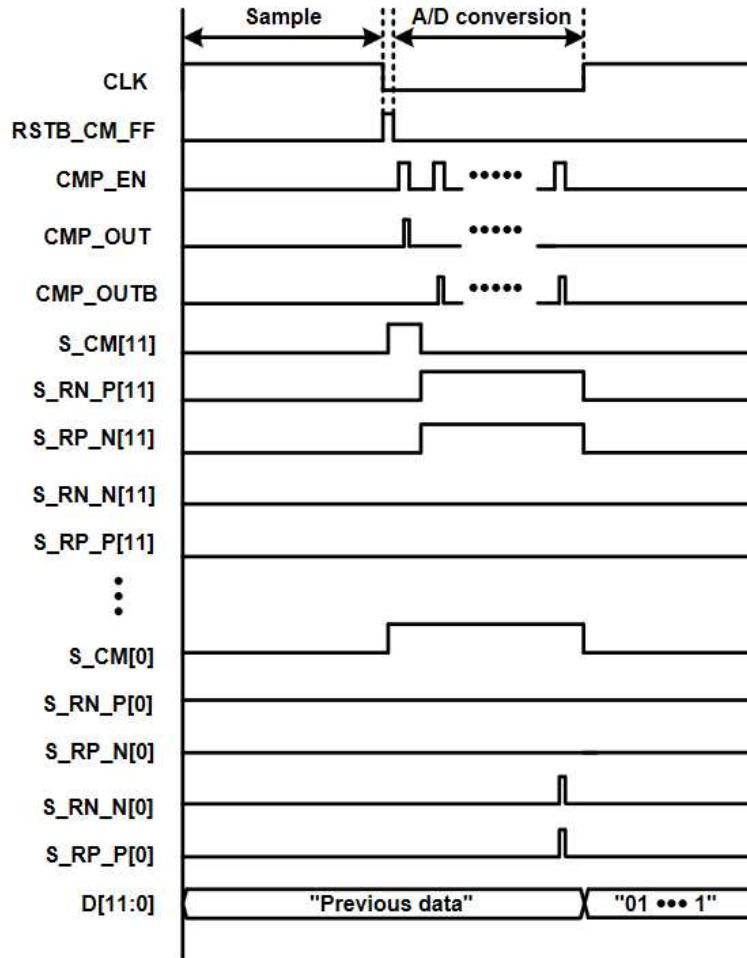


그림 21. 제안하는 SAR ADC의 기본 동작 로직 timing diagram

제 4 장 Layout 및 모의실험 결과

제 1 절 Layout

본 회로는 $0.18\ \mu\text{m}$ CMOS 공정을 사용하여 구현하였다. 그림 22.은 설계한 회로의 검증을 위한 layout이다. 전체 회로는 캐패시터 DAC, 비교기, 디지털 로직, 기준 전압 생성기로 이루어져 있으며 차동 구조이기 때문에 상하 대칭으로 layout을 진행하였다.

전체 면적은 0.72mm^2 이며, 아날로그 공급 전압 4.6 V. 디지털 공급 전압 1.8 V에서 1.14 mW의 전력을 소모한다.

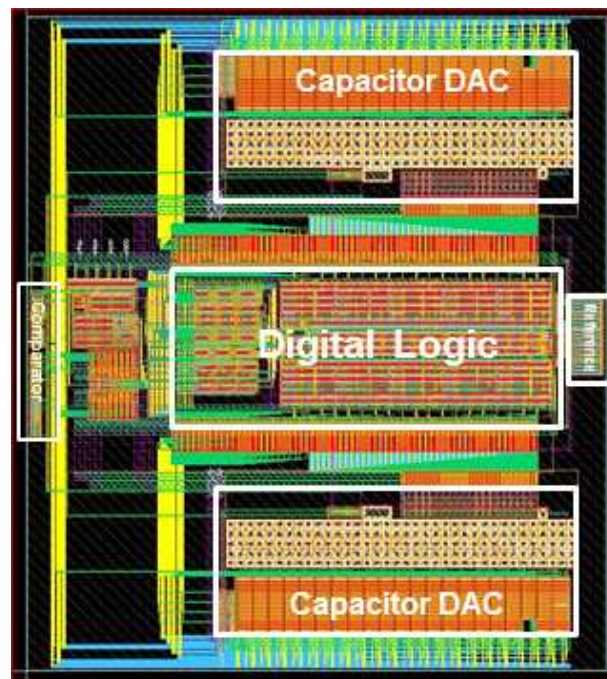


그림 22. 제안하는 SAR ADC의 layout

제 2 절 모의실험 결과

그림 23.와 그림 24.는 각각 기존의 캐패시터 DAC과 제안하는 캐패시터 DAC을 이용한 SAR ADC의 monte carlo 모의실험 결과이다. 40회의 monte carlo 모의실험 결과 제안하는 캐패시터 DAC을 이용하였을 때, 기존의 스플릿 캐패시터 DAC을 이용하였을 때보다 SAR ADC의 ENOB가 평균적으로 0.4-bit 증가하였음을 볼 수 있으며 ENOB의 최솟값은 0.51-bit 증가해 ADC의 신뢰도가 높아졌음을 알 수 있다.

그림 25.과 그림 26.은 layout 이전의 pre-모의실험 결과로써 487.7 kHz의 nyquist 입력을 인가했을 때의 결과와 48.7 kHz의 입력을 인가하였을 때의 결과를 나타낸다. 입력의 주파수가 빠를수록 성능이 떨어지는 것을 알 수 있다. 그림 27.과 그림 28.는 회로의 코너 모의실험 결과로 코너 상태에서도 정상 동작하는 것을 알 수 있다.

그림 29.은 layout 이후 진행한 post-모의실험의 fft 결과로 pre-모의실험에 비해 0.17-bit 저하된 성능을 보여준다. 이는 캐패시터 DAC의 기생 캐패시터로 인한 성능 저하로 보이며, SAR ADC의 성능은 표 5.와 같다.

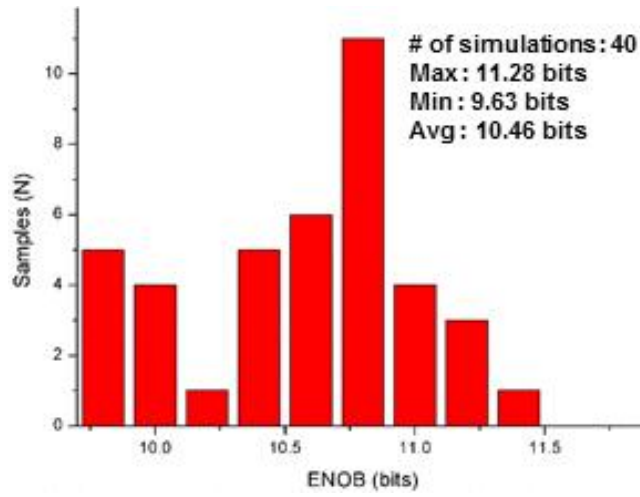


그림 23. 기존의 스플릿 캐패시터 DAC을 이용한 SAR ADC의 monte carlo 모의실험 결과

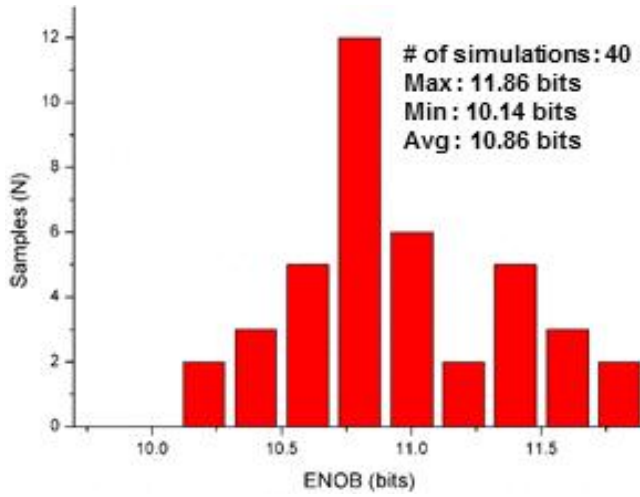


그림 24. 제안하는 캐패시터 DAC을 이용한 SAR ADC의 monte carlo 모의실험 결과

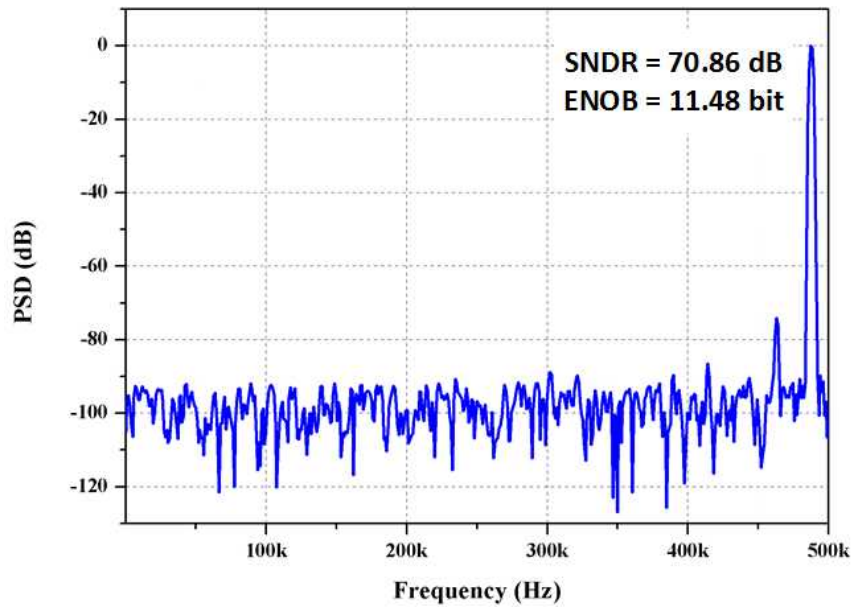


그림 25. TTT, 27 °C, $f_{in} = 487.7$ kHz (noise simulation, 1024 points)

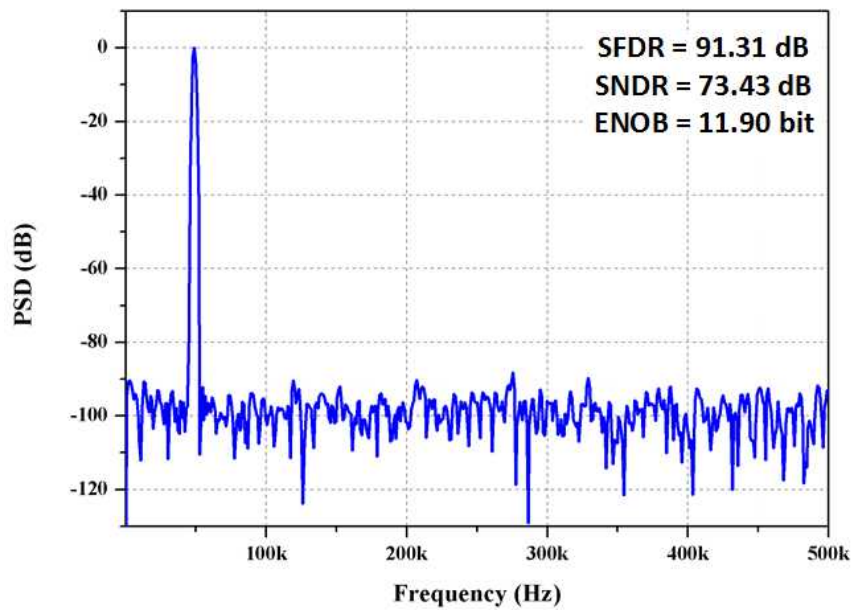


그림 26. TTT, 27 °C, $f_{in} = 48.7$ kHz (noise simulation, 1024 points)

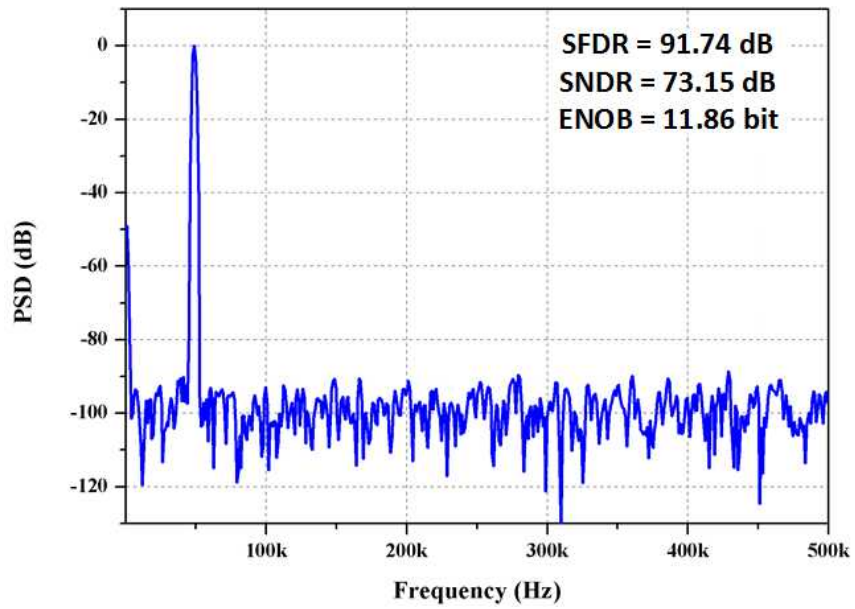


그림 27. FFF, -40 °C, $f_{in} = 48.7$ kHz (w/o noise simulation, 1024 points)

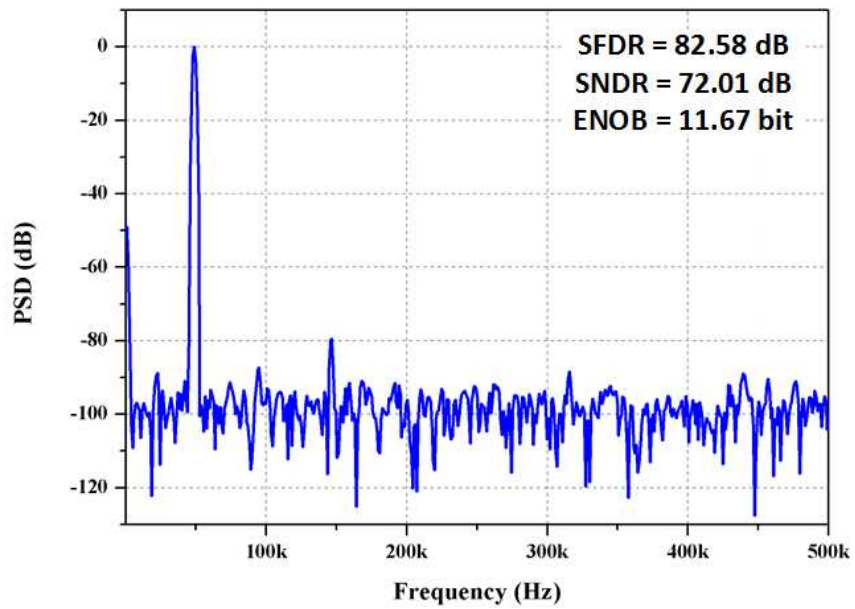


그림 28. SSS, 125 °C, $f_{in} = 48.7$ kHz (w/o noise simulation, 1024 points)

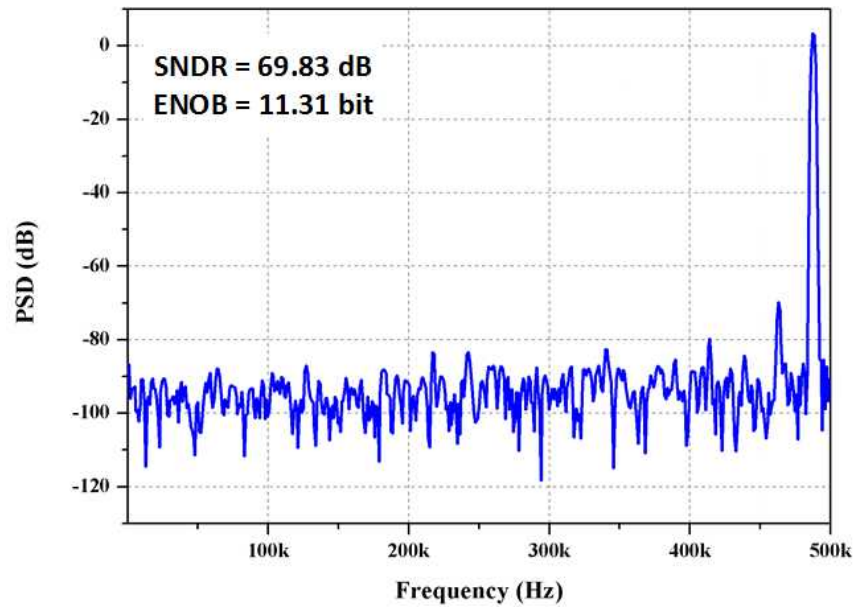


그림 29. post-모의실험 결과, TTT, 27 °C,
 $f_{in} = 487.7$ kHz (noise simulation, 1024 points)

성능 표			
변수	단위	값	비고
아날로그 입력 전원 전압	V	4.6	
디지털 입력 전원 전압	V	1.8	
샘플링 속도	MHz	1	
차동 입력 범위	$V_{pp,diff}$	9	
해상도	Bits	12	
SNDR	dB	69.83	$f_{IN} = 487.7\text{kHz}$ (post-simulation)
ENOB	dB	11.31	$f_{IN} = 487.7\text{kHz}$ (post-simulation)
아날로그 입력 전류 소모량	μA	223.2	기준 전압 생성기 : $61.3\ \mu\text{A}$ 레벨 변환기 : $79.12\ \mu\text{A}$ 비교기 : $50.1\ \mu\text{A}$
디지털 입력 전류 소모량	μA	61.3	레벨 변환기 : $5.39\ \mu\text{A}$
동작 전력 소모량	mW	1.14	

표 5. 제안하는 SAR ADC의 성능 표

제 5 장 결 론

본 논문에서는 0.18 μm CMOS 공정을 사용하여 미세 먼지 검출기용 저전력 1 MHz 12-bit SAR ADC를 설계하였다.

SAR ADC는 정적인 전류를 흘리는 증폭기 없이 동적 비교기, 캐패시터 DAC과 디지털 로직으로 구성되어 있어 적은 전력 소모를 필요로 하는 application에 매우 적합하다.

SAR ADC는 캐패시터 DAC에 입력 전압을 샘플링하고 binary search 알고리즘을 이용해 디지털 코드를 출력한다. 이를 위해 캐패시터 DAC의 각 캐패시터들은 2의 제곱수의 비율로 되어있다.

캐패시터 DAC을 설계할 때, $\frac{kT}{C}$ 잡음, 안정화 시간, 캐패시터 미스매치를 고려해야 한다. $\frac{kT}{C}$ 잡음과 캐패시터 미스매치 성능을 증가시키기 위해서는 캐패시터 DAC를 키우고 안정화 시간을 줄이고 싶다면 캐패시터 DAC을 줄여야한다.

본 논문에서는 효율적인 캐패시터 DAC 설계를 위해 캐패시터 미스매치의 분석 방법을 제안하였고 이를 바탕으로 미스매치 성능이 취약한 부분을 집중적으로 보완하는 캐패시터 DAC의 구조를 제안하였다. 또한, 브릿지 캐패시터의 변화로 인한 성능 저하를 막기 위해 브릿지 캐패시터 calibration을 하였으며 monte carlo 모의 실험 결과를 통해 성능이 향상되었음을 검증하였다.

참 고 문 헌

- [1] O. Raaschou-Nielsen, et al. "Air pollution and lung cancer incidence in 17 European cohorts: prospective analyses from the European study of cohorts for air pollution effects (ESCAPE), *Lancet Oncol.*, 14 (2013), pp. 813-822
- [2] M. Carminati et al., "Capacitive Detection of Micrometric Airborne Particulate Matter for Solid-State Personal Air Quality Monitors," *Sens. Actuators A*, vol. 219, pp/ 80-87, Sept. 2014.
- [3] P. Ciccarella, M. Carminati, M. Sampietro and G. Ferrari, "28.7 CMOS monolithic airborne-particulate-matter detector based on 32 capacitive sensors with a resolution of 65zF rms," 2016 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2016, pp. 486-488.
- [4] P. Harpe, "Successive Approximation Analog-to-Digital Converters: Improving Power Efficiency and Conversion Speed," in *IEEE Solid-State Circuits Magazine*, vol. 8, no. 4, pp. 64-73, Fall 2016.
- [5] A. H. Chang, "Low-power high-performance SAR ADC with redundancy and digital background calibration," Ph.D. dissertation, Dept. Elect. Eng. Comput. Sci., MIT, Cambridge, MA, USA, 2013.
- [6] M. J. M. Pelgrom, "Semiconductors," in *Analog-to-Digital Conversion*, 2nd ed. Springer, 2013, ch. 2 sec. 4, pp. 56-74.
- [7] Y. Chen et al., "Split capacitor DAC mismatch calibration in successive approximation ADC," 2009 IEEE Custom Integrated Circuits Conference, Rome, 2009, pp. 279-282.

Abstract

Design of SAR ADC Based on Capacitor Mismatch Analysis

Han-Sol Park

Department of Electrical and Computer Engineering

The Graduate School

Seoul National University

This paper analyzes the impact of capacitor mismatch on successive approximation register analog-to-digital converter and proposes SAR ADC with capacitor digital-to-analog converter based on analysis of capacitor mismatch.

The capacitor mismatch is inversely proportional to the square root of the capacitor area. In order to reduce the capacitor mismatch, the capacitor area must be increased, which increases the power consumption. Therefore, determining the size of the capacitor DAC is very important for the SAR ADC design and it is important to find the optimized value through analysis.

This paper calculates the minimum capacitor size that the DNL due to the mismatch of each capacitor in the capacitor DAC is less

than $\frac{1}{2}$ LSB. Based on mismatch calculation, this paper analyzes the mismatch of both the split capacitor DAC and the double split capacitor DAC.

This paper proposes an optimized capacitor DAC based on mismatch analysis by improving the size of capacitors with poor mismatch performance. A bridge capacitor calibration circuit was added to prevent linearity degradation due to the bridge capacitor. Montecarlo simulation results show that the performance of the proposed capacitor DAC is improved when compared with that of the conventional split capacitor DAC.

The proposed 1 MHz 12-bit SAR ADC circuit is implemented in a 0.18 μm CMOS process and the reference voltage is directly generated internally. When the Nyquist input is injected, the result of 11.31 ENOB is obtained through simulation and consumes 1.14 mW of power at an analog supply voltage of 4.6 V and a digital supply voltage of 1.8 V.

keywords : capacitor mismatch, SAR ADC, DNL, DAC, split capacitor, calibration

Student Number : 2017-22590