



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

다이렉트 경로를 이용한 5/8GHz
듀얼 모드 All-Digital
Phase-Locked Loop의 설계

Design of 5/8GHz Dual Mode All-Digital
Phase-Locked Loop using Direct Path

2019년 2월

서울대학교 대학원

전기 정보 공학부

김 병 민

다이렉트 경로를 이용한 5/8GHz
듀얼 모드 All-Digital
Phase-Locked Loop의 설계
Design of 5/8GHz Dual Mode All-Digital
Phase-Locked Loop using Direct Path

지도 교수 정 덕 균

이 논문을 공학석사 학위논문으로 제출함
2019년 2월

서울대학교 대학원
전기 정보 공학부
김 병 민

김병민의 공학석사 학위논문을 인준함
2019년 2월

위 원 장 _____ (인)

부위원장 _____ (인)

위 원 _____ (인)

초 록

최근 데이터의 전송 속도가 비약적으로 증가함에 따라 데이터 처리 방식이 다양하게 연구되었고 여러 방식에 따른 고속의 송수신기 설계가 중요시되고 있다. 그 중에서도 Clock 신호를 합성하는 역할인 Phase-Locked Loop (PLL)에 대한 연구가 활발히 진행되고 있다. 특히 패시브 소자를 Loop Filter에 사용해야 하는 Analog PLL보다는 PVT 변화에 둔감하고 Programmable 하다는 장점을 가진 All Digital PLL (AD-PLL)에 대한 관심도가 높아지고 있다.

본 논문에서는 Peripheral Component Interconnect Express Memory interface (PCIe) 지원을 위한 32Gbps Serial Link에 Common Clock 신호를 제공하는 5/8 GHz 듀얼 모드 AD-PLL을 제안한다. 이전 세대와의 호환성을 위해 넓은 동작 영역을 갖고 모드 선택이 가능한 듀얼 모드 Digitally Controlled Oscillator (DCO)를 사용하였고 설계 전 Digital 방식으로 변환함에 따라 발생하는 Quantization Noise에 대해 분석하고 Matlab, Verilog Behavioral Simulation을 통해 출력의 Phase Noise와 RMS Jitter 값을 예측해 볼 수 있었다. 또한 Reference Clock의 한 주기 이내에 정보가 Update되지 못하는 Loop Delay의 문제를 해결하기 위해 Digital Loop Filter (DLF)의 처리 과정을 거치지 않고 Time to Digital Converter (TDC)의 출력을 DCO에 바로 전달해 줄 수 있는 다이렉트 경로를 제안하였다.

설계된 회로는 TSMC 사의 65nm 공정으로 구현되었고 AD-PLL의 전체 유효 면적은 Decoupling Cap을 제외하고 $420\mu\text{m} \cdot 300\mu\text{m}$ 이며 측정된 출력 Clock 신호의 RMS Jitter값은 8GHz 모드에서 357fs, 5GHz 모드에서 394fs이다. AD-PLL의 동작 주파수는 PCIe Spec의 다양한

모드를 지원하기 위해 외부의 입력 모드 신호에 따라서 5GHz/8GHz의 High/Low Band를 지원하고 1.2V의 공급 전압에서 Repeater를 제외하고 8GHz 모드에서는 총 18.26mW, 5GHz 모드에서는 총 12.06mW의 Power를 소비한다.

주요어 : 올-디지털 위상 동기화 루프 (AD-PLL), 디지털 제어 발진기 (DCO), 디지털 루프 필터 (DLF), 위상 잡음 (Phase Noise), 루프 지연 (Loop Delay), 다이렉트 경로 (Direct Path)

학 번 : 2017-27750

목 차

제 1 장 서 론	1
1.1 연구의 배경	1
1.2 논문의 구성	3
제 2 장 Basics of AD-PLL	4
2.1 Introduction of AD-PLL	4
2.2 Building Blocks of AD-PLL	5
2.2.1 Time to Digital Converter	6
2.2.2 Digital Loop Filter	8
2.2.3 Digitally Controlled Oscillator	10
2.3 Phase Noise Analysis	13
2.4 Loop Delay	18
제 3 장 Design of AD-PLL	22
3.1 Design Consideration	22
3.2 Overall Architecture	22
3.3 Phase Frequency Detectable TDC	24
3.4 Digital Loop Filter	27
3.5 Digitally Controlled Oscillator	30
3.6 Direct Path	33
3.7 Level Shifter and Divider	36
3.8 Clock Tree	39

제 4 장 Measurement and Simulation Results	41
4.1 Measurement Setup.....	41
4.2 Die Photomicrograph.....	43
4.3 Frequency Tracking Behavior	44
4.4 Clock Distribution.....	46
4.5 Phase Noise and Spur	47
4.6 Performance Summary.....	53
 제 5 장 Conclusion.....	 55
참고 문헌.....	56
Abstract	59

제 1 장 서 론

1.1 연구의 배경

최근 Memory Interface에서 처리해야 할 데이터의 양이 증가하면서 고속 송수신기 연구에 대한 관심이 점점 커지고 있다. 특히 메인보드에 그래픽카드, 사운드카드 등 확장 카드를 사용하기 위한 고속 직렬 컴퓨터 확장 버스 표준인 PCIe Memory interface에서는 현재 가장 높은 Spec인 PCIe Gen 4에서 라인 당 16Gbps에 이르는 속도를 요구하고 있지만 다음 세대의 PCIe Gen 5 Spec에서는 라인 당 32Gbps 이상의 속도가 요구될 것으로 예상되고 있다. 또한 다음 세대의 최대 속도를 지원하는 것뿐만 아니라 이전 세대와의 호환성을 위해 PCIe GEN 1에서의 2.5Gbps 속도까지 지원해야 하기 때문에 넓은 동작 영역을 가져야 한다. 이러한 기준들을 만족시키는 송신기, 수신기의 구조에 대한 연구가 지속적으로 이루어지고 있고 높은 속도를 지원하기 위해 여러 위상의 Clock 신호를 사용하여 Half Rate, Quadrature rate 방식으로 공정이나 속도의 물리적 한계를 넘고 있다. 이러한 경향에 맞춰 다양한 구조의 다음세대 송수신기 설계를 위해 송신기와 수신기 양단에 Clock 신호를 제공해주는 PLL의 설계가 점점 중요시되고 있다. 현재까지는 Analog 방식 PLL에 대한 연구 및 분석이 많이 진행되어 왔고 PCIe Memory Interface에서도 Analog 방식이 많이 사용되어 왔지만 공정이 미세화 됨에 따라서 PVT 변화에 둔감하고 공정이식성이 뛰어나다는 장점이 있는 Digital 방식의 AD-PLL로 대체되어 가고 있는 추세이다.

본 논문에서는 이러한 추세에 맞춰서 다음 세대 PCIe Spec을 만족하는 AD-PLL을 설계하였다. Quadrature Rate 방식을 지원하기 위해 4개의

위상을 갖는 5/8GHz Ring Oscillator를 구현하였고 이전 세대와의 호환성을 위해 듀얼 모드로 넓은 동작 영역을 갖는 Oscillator 설계를 목표로 하였다. 또한 Loop Delay에 따른 Limit Cycle 문제를 해결하기 위해 TDC의 출력 값을 다이렉트 경로를 통해 Update 하는 방식을 제안하였다. Bandwidth (BW)와 Peaking의 Spec을 만족시키며 우수한 Noise 특성을 갖는 PLL 설계를 위해 최대한 낮은 Resolution의 TDC와 DCO를 설계하였고 Loop Delay에 따른 Limit Cycle 문제를 해결하기 위해 TDC의 출력을 DLF를 거치지 않고 DCO에 보내주는 다이렉트 경로를 제안하였다. 다양한 모드의 PCIe Spec을 만족시키기 위해 조작성이 용이한 Digital 방식의 AD-PLL을 설계하였다.

1.2 논문의 구성

본 논문의 2장에서는 Analog PLL을 토대로 한 AD-PLL의 기본 동작 원리, Loop Dynamics, Phase Noise Analysis 및 Limit Cycle의 문제점에 대해 알아본다.

3장에서는 2장에서 설명한 Limit Cycle 문제를 해결하기 위한 다이렉트 경로를 활용한 AD-PLL의 구조 및 좋은 Phase Noise 특성을 위해 낮은 Resolution을 갖는 TDC와 2 Stage Ring Oscillator의 설계 및 다이렉트 경로의 구현 방식에 대해 중점을 두고 설명한다.

4장에서는 제안하는 AD-PLL의 시뮬레이션 결과 및 측정 시간을 줄이기 위한 측정 자동화 Setup 그리고 실제 측정 결과에 대해 분석하고 AD-PLL의 중요 성능 지표들을 요약 및 비슷한 구조들의 연구 결과와 비교하였다. 5장에서는 논문의 결론에 대해 기술하였다.

제 2 장 Basics of AD-PLL

2.1 Introduction of AD-PLL

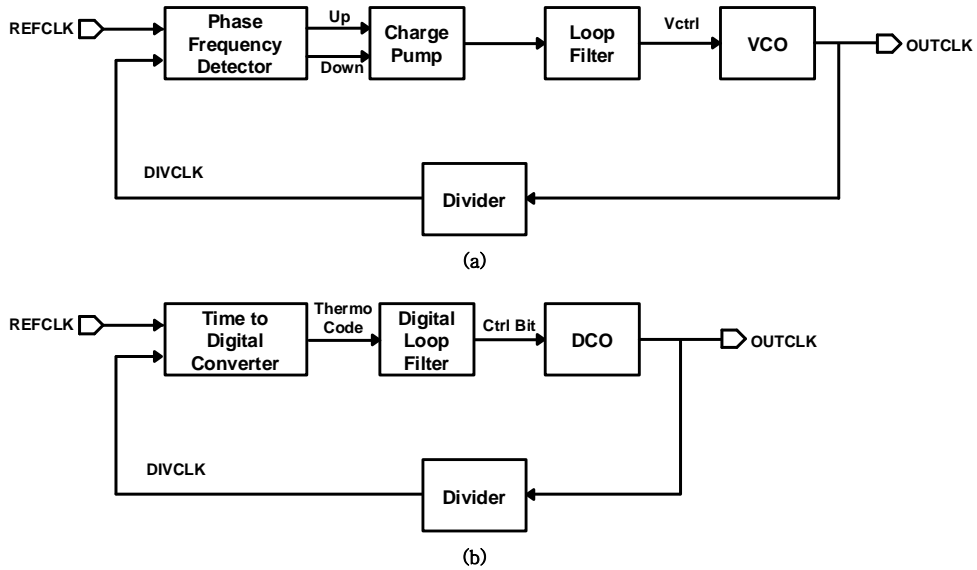


그림 2.1 (a) Analog PLL (Charge Pump PLL) (b) All-Digital PLL

그림 2.1의 (a) 와 (b)는 Analog PLL과 All-Digital PLL의 가장 전형적인 구조이다. 공정이 점점 미세화 될수록 공급 전압이 낮아짐에 따라 Analog PLL에서는 Leakage Current에 의해 Loop Filter가 불안정해진다는 문제가 발생할 수 있고 패시브 소자인 R, C를 사용함에 따라 유효 면적 관점에서도 단점이 많아지고 있다. 이러한 단점을 보완하기 위해 Loop Filter를 패시브 소자를 사용하지 않고 Digital Loop Filter로 대체한 AD-PLL에 대한 연구가 활발히 이루어지고 있다. AD-PLL은 Digital 회로의 특성상 Process/Voltage/Temperature (PVT) Variation에 둔감하고 앞서 말하였던 Leakage Current 문제에서 자유로울 수 있다. 또한 AD-PLL은 Digital Loop Filter를 RTL 코드로 구현하여 합성

및 PNR (Place and Routing)로 회로를 구현하기 때문에 공정이 바뀌더라도 쉽게 적용이 가능하다. 또한 내부 Block들이 Digital 코드 형태로 신호를 주고 받기 때문에 Digital Signal Processing을 활용하여 다양한 알고리즘을 쉽게 구현해볼 수 있다. 이외에도 R, C값을 바꿔가며 Band width (BW)를 바꿔야 하는 Analog PLL과는 다르게 DLF의 입력 코드 값에 따라 Loop 특성을 쉽게 바꿔볼 수 있는 것도 장점이라고 볼 수 있다.

이러한 많은 장점 들에도 불구하고 AD-PLL은 Analog 값을 Digital로 변환하는 과정이 필요하기 때문에 변환 시 발생하는 Quantization Error에 크게 영향을 받는다. Quantization Noise를 줄이기 위해서는 TDC나 DCO의 Resolution을 좋게 하여야 하는데 이 경우 TDC는 Detection Range가 좁아지고 DCO는 동작 영역이 좁다는 Trade-off 가 발생한다. 이 점을 해결하기 위해 2.3장에서 Phase Noise 분석을 통해 최적화 된 TDC resolution 값을 찾고 DCO를 듀얼 모드로 구현하는 것을 제안하였다.

2.2 Building Blocks of AD-PLL

2.2장에서는 AD-PLL을 구성하는 Block들에 대해 알아본다. AD-PLL의 기본적인 구조는 그림 2.1 (b)와 같고 Phase Detector (PD)역할을 하는 TDC와 TDC의 출력을 받아 Filtering 하는 역할을 하는 DLF, Filtering된 값을 받아 Oscillator의 출력 주파수를 조절하는 DCO, 출력되는 Clock 신호를 Reference Clock 주파수에 맞게 주파수를 나눠주는 Divider로 구성된다. 이 중에서도 AD-PLL 성능을 좌우하는 TDC, DLF, DCO에 대해 알아본다.

2.2.1 Time to Digital Converter

TDC (Time to Digital Converter)는 AD-PLL 루프 안에서 사용 시 Reference Clock 신호와 Divide된 DCO 출력 Clock 신호의 위상 차이를 Digital 코드로 변환해 주는 역할로 사용된다. 일반적인 선형 TDC는 입력으로 들어오는 신호를 Delay를 주어서 Sampling을 통해 두 입력 신호의 위상 차이 정보를 얻는 구조이기 때문에 입력 신호를 지연시키는 Delay값이 TDC의 Resolution이다. 그림 2.2와 같이 TDC는 일반적으로 계단 구조의 Transfer Curve를 가진다. 하지만 TDC Resolution 이하의 위상 차이는 구별하지 못하고 같은 출력 값으로 내보내기 때문에 Quantization Error가 발생한다. 이를 줄이기 위해 TDC의 Resolution을 최대한 낮은 값으로 하면서 이로 인해 Detection Range가 줄어드는 것을 보완할 수 있는 구조들이 연구되어 왔다.

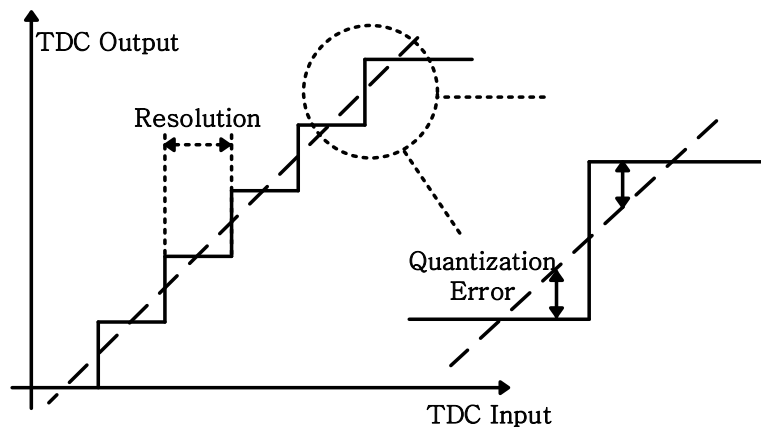


그림 2.2 TDC Transfer Curve

가장 보편적으로 사용되는 구조는 Delay Line을 이용한 TDC이다. 초기에는 그림 2.3(a)와 같은 구조가 많이 사용되었지만 각 Delay Cell이 Inverter 쌍으로 이루어지기 때문에 Inverter 쌍의 Delay 값이 TDC의

Resolution 값을 제한하였다. 그림 2.3(b)은 Differential Delay Line을 이용한 TDC인데 이 구조는 Differential D-FF을 활용하여 Inverter 한 개의 Delay만큼을 가질 수 있는 구조이다. 이 후로 그림 2.3(c)와 같은 Vernier Delay Line을 이용한 구조가 연구되어서 Sub Gate Delay의 Resolution을 갖는 TDC를 구현할 수 있게 되었다. Vernier Delay Line TDC는 각 Delay Line의 Delay 값에 관계없이 Delay들의 차이 ($t_s - t_f$)를 Resolution으로 갖기 때문에 각 Delay Line의 Delay 값이 크더라도 원하는 만큼의 작은 Resolution을 갖는 TDC 설계가 가능해졌다[1].

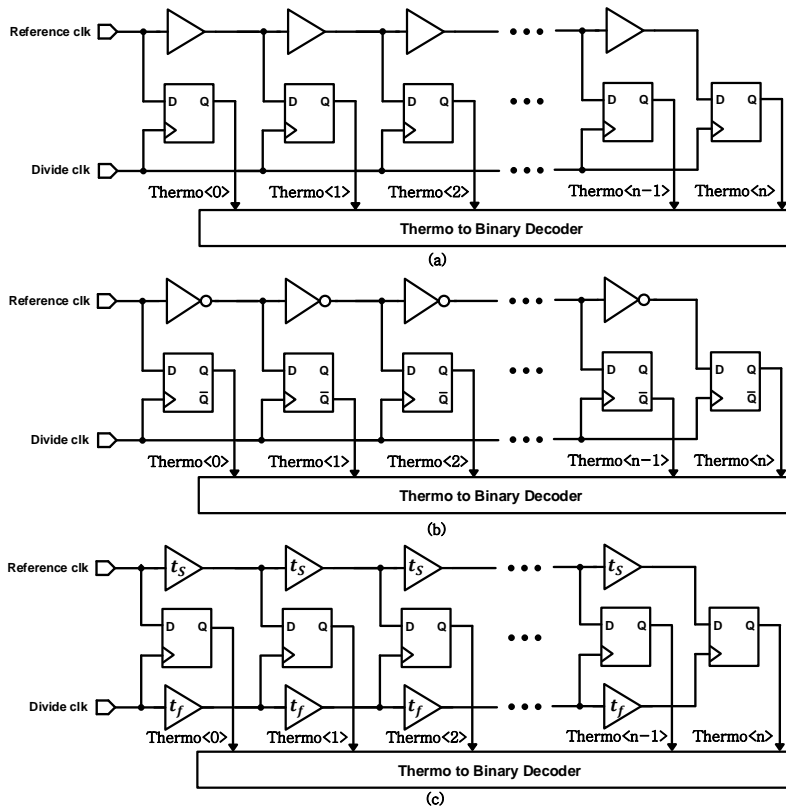


그림 2.3 (a)Delay Line TDC (b)Differential Delay Line TDC
(c)Vernier Delay Line TDC

이 외에도 최근 많이 사용되는 Phase Detector 구조로는 D flip flop

(D-FF) 한 개로 구성된 Bang-Bang PD, 시간을 증폭하여 Resolution을 개선하는 시간 증폭 TDC, Noise를 최적화하며 Adaptive하게 최적화된 Resolution 값을 찾아가는 Optimal Threshold TDC 등 여러 구조들이 연구되고 있다[2], [3].

2.2.2 Digital Loop Filter

AD-PLL과 Analog PLL의 가장 큰 차이점은 Loop Filter의 구성이라고 볼 수 있다. Analog PLL의 Loop Filter는 R과 C 같은 패시브 소자로 구성되기 때문에 미세화 공정에서 발생하는 Leakage Current와 PVT Variation에 취약하고 Loop 특성을 바꾸기 위해 큰 사이즈의 R, C를 사용해야하는 단점이 발생한다. AD-PLL의 Digital Loop Filter (DLF)는 Analog PLL의 패시브 Loop Filter와는 다르게 0, 1 이라는 Digital 값만을 다루기 때문에 PVT Variation에 둔감하고 공정이 바뀌더라도 RTL 코드로 쉽게 이식할 수 있다는 점과 Loop 특성을 DLF의 세팅 값에 따라 쉽게 조절할 수 있다는 점, 구현하고 싶은 여러 알고리즘에 대해 쉽게 적용하여 시뮬레이션 해볼 수 있다는 장점 등 Analog PLL에 비해 많은 관점에서 강점이 있다. 또한 DLF는 Analog Loop Filter의 전달함수를 변환하여 이에 대응하는 Digital Filter를 쉽게 설계할 수 있다[4].

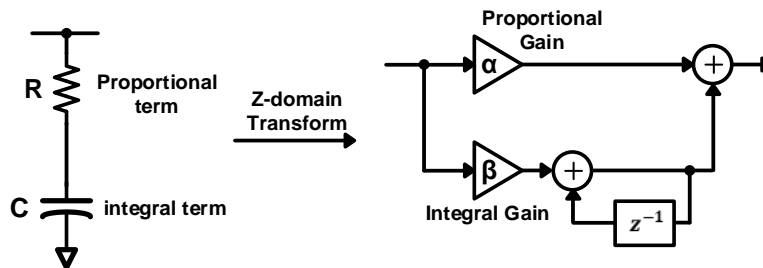


그림 2.4 Analog LF (Type II Charge Pump PLL)의 등가 DLF

Analog PLL에서 주로 사용되는 1st order LF는 그림 2.4의 왼쪽 그림과 같다. 여기서 Capacitor는 전하를 저장하여 Integral 하는 역할을 하는데 PLL에서 주파수를 쫓아가는 역할이다. Resistor는 Proportional term으로 주로 주파수를 맞춘 뒤 순간마다 바뀌는 위상을 맞춰 주는 역할을 한다. DLF는 그림 2.4와 같이 Z domain에서 표현되기 때문에 기존에 잘 확립되어 있는 Analog PLL의 S domain 해석 방법을 사용하여 원하는 특성의 DLF 설계를 위해 Bilinear Transform 식(2.1)을 활용한 상호 변환이 필요하다.

$$s = \frac{2}{T_S} \cdot \frac{1 - z^{-1}}{1 + z^{-1}}, \quad z = \frac{1 + \frac{T_S}{2} \cdot s}{1 - \frac{T_S}{2} \cdot s} \quad (2.1)$$

그림 2.4의 Analog LF를 S domain으로 DLF를 Z domain으로의 전달 함수를 구해보면 식(2.2)와 같다. 이를 Bilinear Transform으로 변환하면 식(2.3)로 대응시켜볼 수 있다. 여기서 T_S 는 DLF의 Sampling 주기를 의미하고 일반적으로 T_{REF} 와 같다.

$$H_{LPF}(s) = R + \frac{1}{s \cdot C}, \quad H_{DLF}(z) = \alpha + \frac{\beta}{1 - z^{-1}} \quad (2.2)$$

$$\begin{aligned} H_{LPF}(z) &= R + \frac{T_S}{2 \cdot C} \cdot \left(\frac{1 + z^{-1}}{1 - z^{-1}} \right) = R + \frac{T_S}{2 \cdot C} \cdot \left(-1 + \frac{2}{1 - z^{-1}} \right) \\ &= \left(R - \frac{T_S}{2 \cdot C} \right) + \left(\frac{T_S}{C} \cdot \frac{1}{1 - z^{-1}} \right) \end{aligned} \quad (2.3)$$

위의 식들을 토대로 DLF의 Proportional Gain인 α 와 Integral Gain인 β 값을 Analog LF의 R, C 값 들과 식(2.4)와 같이 대응시켜 볼 수 있다. 식(2.4)와 기존 확립되어 있는 Analog PLL의 식을 활용하면 식(2.5)와 같이 Phase Margin (PM)과 Bandwidth (BW) 값에 맞는 α , β 값을 얻

어 낼 수 있으며 역으로 α , β 값을 바꾸면서 Loop 특성을 쉽게 바꿔 볼 수 있다. ΔTDC 는 TDC Resolution, K_{DCO} 는 DCO Resolution, PM은 Phase Margin, w_{UGBW} 는 Unit Gain Bandwidth, N은 Dividing Factor를 나타낸다.

$$\alpha = R - \frac{T_S}{2 \cdot C}, \beta = \frac{T_S}{C} \quad (2.4)$$

$$\alpha = \beta \cdot \left(\frac{\tan(PM)}{T_S \cdot w_{UGBW}} - \frac{1}{2} \right)$$

$$\beta = \frac{T_S}{T_{REF}} \cdot \frac{\Delta TDC \cdot N}{K_{DCO}} \cdot \frac{w_{UGBW}^2}{\sqrt{1 + \tan^2(PM)}} \quad (2.5)$$

1st order Analog LF에 대응하는 DLF외에도 추가적으로 Delta Sigma Modulator (DSM)가 추가될 수 있는데 DSM은 PLL이 Low Pass Filter이기 때문에 Noise Shaping을 통해 높은 주파수 성분의 Noise 성분을 키우고 낮은 주파수 성분의 Noise를 낮춰서 In Band Noise를 낮춰주고 DCO의 Effective Resolution을 더 좋게 해주는 효과가 있다[5],[6].

2.2.3 Digitally Controlled Oscillator

Digitally Controlled Oscillator (DCO)는 컨트롤 전압 값으로 주파수를 조절하는 Analog PLL에서의 Oscillator와 달리 Digital 코드 값을 입력으로 받아 주파수를 출력하는 구조이다. DCO의 Phase Noise는 전체 Phase Noise Source에서 가장 주요한 요소이고 DCO의 전력소모 또한 전체 전력소모 중 가장 큰 요소이기 때문에 PLL 설계 시 가장 신경 써야할 Block이다. DCO는 구현 방식에 따라 Ring Type과 LC Type Oscillator로 나눌 수 있고 접근 방식에 따라 Analog 방식인지 Digital

방식인지 나눌 수 있다. 많이 알려진 것처럼 Ring Oscillator의 장점은 면적이 작고 Multi Phase의 구현이 쉽다는 점이고 LC Oscillator의 장점은 높은 주파수를 갖고 Phase Noise가 좋다는 점이다. DCO의 구현을 Analog 방식으로 접근할 경우 그림 2.5(a)와 같이 Digital 코드를 Digital-to-Analog Converter (DAC)를 통해 Analog 값으로 변환한 후 그 값을 사용하는 DAC+ Voltage Controlled Oscillator (VCO)로 구현하는 것이고 [7], Digital 방식으로 접근하는 경우 DAC를 사용하지 않고 높은 주파수의 Oscillator를 코드에 따라 다르게 나눠주는 방식이나 그림 2.5(b)와 같이 내부 Cell의 Inverter를 코드에 따라 켜다 끄면서 Strength를 조절하며 주파수를 바꾸는 형태로 구현할 수 있다 [8].

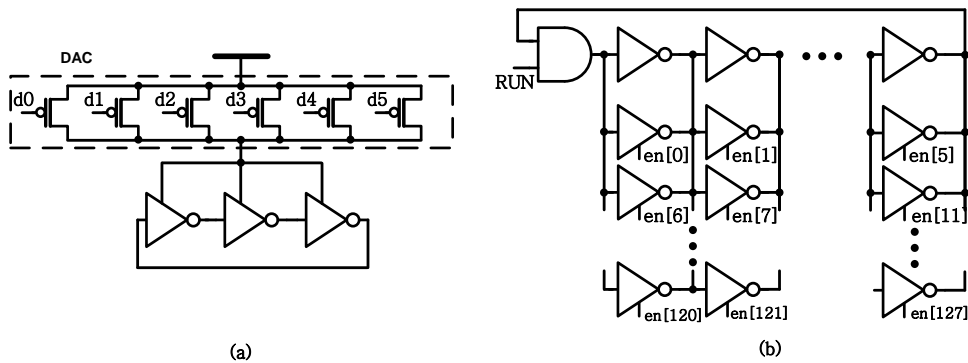


그림 2.5 (a) Analog Approach DCO (b) Digital Approach DCO

DCO는 Resolution 이내의 주파수는 만들어낼 수 없다는 특성 때문에 그림 2.6의 Transfer Curve와 같이 Quantization Error로부터 자유로울 수 없다. Quantization Noise를 줄이려면 DCO의 Resolution을 최대한 낮게 만들어야 하는데 그럴 경우 동작 영역이 좁아진다는 Trade-off가 존재한다. 이 문제를 해결하기 위해 앞서 설명하였듯이 DSM을 활용하여 Dithering 효과를 이용한다. 예를 들어 Dithering이 없는 경우 다음

Phase Error 정보가 Update 되기 전까지 Reference Clock의 한 주기 동안 DCO는 한 가지의 주파수 값을 갖는다. 하지만 Dithering을 활용하여 DSM을 Reference Clock의 10배 속도로 동작시킬 경우 그림 2.7과 같이 10번 중에 1번을 $f_0 + K_{DCO}$ 의 주파수 값을 갖게 되어 Effective한 K_{DCO} 값이 1/10이 되는 효과를 볼 수 있다. 물론 Dithering을 활용하게 되면 DCO Quantization Noise는 줄어들지만 Dithering Noise가 추가된다는 단점 또한 존재한다.

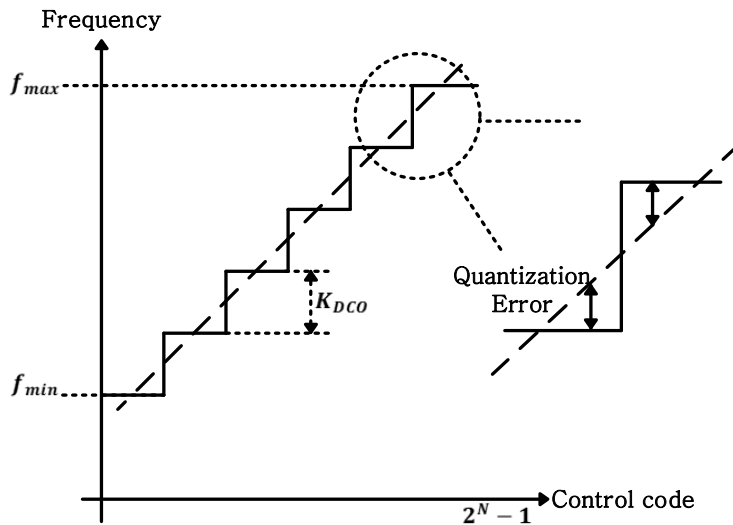


그림 2.6 DCO Transfer Curve

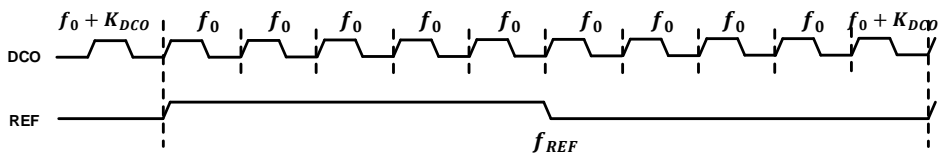


그림 2.7 Dithering

2.3 Phase Noise Analysis

PLL은 Clock 신호를 합성해주는 역할을 하기 때문에 설계 전 Phase Noise 분석이 중요하다. Power Spectral Density (PSD)를 통해 Noise를 예측해 볼 수 있는데 그림 2.8과 같이 내부 Noise Source는 TDC Quantization Noise, DCO Quantization Noise, DSM에 의한 Dithering Noise, DCO Phase Noise, Reference Phase Noise로 5가지 Source가 존재한다. 이 Source들의 PSD는 식(2.6)~(2.10)과 같다[6],[9],[10]. (2.8)의 n 은 DSM의 차수, $f_{\Delta\Sigma}$ 는 DSM 동작 주파수를 의미한다.

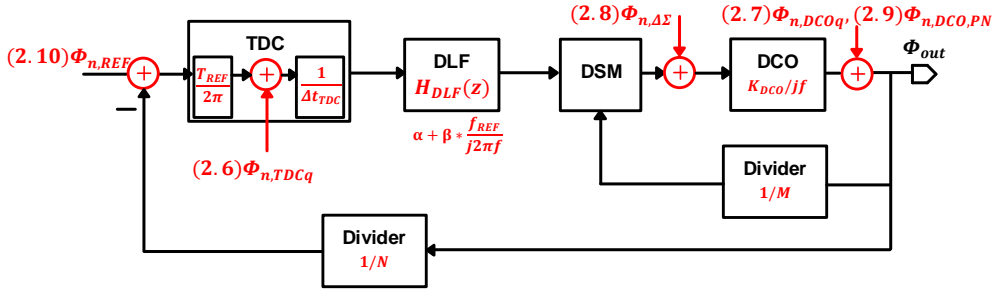


그림 2.8 Noise Sources of AD-PLL

$$S_{\Phi_{n,TDCq}}(f) = \frac{(\Delta t_{TDC})^2}{12} \cdot \frac{1}{f_{REF}} \quad (2.6)$$

$$S_{\Phi_{n,DCOq}}(f) = \frac{1}{12} \cdot \left(\frac{\Delta f_{DCO,eff}}{f} \right)^2 \cdot \frac{1}{f_{REF}} \cdot \left(\text{sinc} \frac{f}{f_{REF}} \right)^2 \quad (2.7)$$

$$S_{\Phi_{n,\Delta\Sigma,Thither}}(f) = \frac{1}{12} \cdot \frac{1}{f_{\Delta\Sigma}} \cdot \left(2 \sin \frac{\pi f}{f_{\Delta\Sigma}} \right)^{2n} \quad (2.8)$$

$$S_{\Phi_{n,DCO}}(f) = \frac{2FkT}{P_{DCO}} \cdot \left(1 + \left(\frac{f_{DCO}}{2Q_{DCO} * f} \right)^2 \right) \cdot \left(1 + \frac{f}{f_{f^3,DCO}} \right) \quad (2.9)$$

$$S_{\Phi_{n,REF}}(f) = \frac{2FkT}{P_{REF}} \cdot \left(1 + \left(\frac{f_{REF}}{2Q_{VCO} * f} \right)^2 \right) \cdot \left(1 + \frac{f}{f_{f^3,REF}} \right) \quad (2.10)$$

그림 2.9와 같이 Power Spectral Density 변환 식을 이용하면 선형 시스템을 통과했을 때의 출력 PSD를 구할 수 있다. 그림 2.8에서의 AD-PLL Noise Source PSD와 식(2.11)의 PLL Open Loop, Closed Loop 전달 식을 이용하면 출력에서의 전체 Phase Noise 분석이 가능하다.

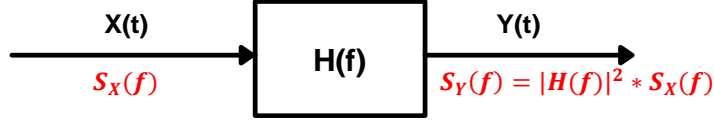


그림 2.9 Power Spectral Density Conversion

$$A(f) = \frac{T_{REF}}{2\pi} \cdot \frac{1}{\Delta t_{TDC}} \cdot \left(\alpha + \beta \frac{f_{REF}}{j2\pi f} \right) \cdot \frac{K_{DCO}}{jf} \cdot \frac{1}{N}$$

$$G(f) = \frac{A(f)}{1 + A(f)} \quad (2.11)$$

그림 2.8에 있는 Noise Source들의 위치에 맞게 식 (2.11)의 전달 함수를 이용하여 출력에서의 Phase Noise의 합을 계산할 수 있다.

$$S_{\phi_{out},TDCq}(f) = S_{\phi_n,TDCq}(f) \cdot \left(\frac{2\pi}{T_{REF}} \right)^2 \cdot |N \cdot G(f)|^2 \quad (2.12)$$

$$S_{\phi_{out},DCOq}(f) = S_{\phi_n,DCOq}(f) \cdot |1 - G(f)|^2 \quad (2.13)$$

$$S_{\phi_{out},\Delta\Sigma}(f) = S_{\phi_n,\Delta\Sigma,Thither}(f) \cdot \left(\frac{\Delta f_{DCO,eff}}{f} \right)^2 \cdot |1 - G(f)|^2 \quad (2.14)$$

$$S_{\phi_{out},DCO}(f) = S_{\phi_n,DCO}(f) \cdot |1 - G(f)|^2 \quad (2.15)$$

$$S_{\phi_{out},REF}(f) = S_{\phi_n,REF}(f) \cdot |N \cdot G(f)|^2 \quad (2.16)$$

$$S_{\phi_{out},total}(f) = S_{\phi_{out},TDCq}(f) + S_{\phi_{out},DCOq}(f) + S_{\phi_{out},\Delta\Sigma}(f) \\ + S_{\phi_{out},DCO}(f) + S_{\phi_{out},REF}(f) \quad (2.17)$$

출력에 영향을 주는 PSD를 계산하면 식 (2.12)~(2.16)와 같고 모든 PSD를 더하면 식 (2.17)과 같은 출력에서의 Noise PSD를 구할 수 있다. 또한 위의 식들을 이용해 식(2.18)과 같은 변환 식에 대입하면 출력 Clock의 RMS Jitter를 예측해 볼 수 있다.

$$J_{RMS} = \frac{1}{2\pi \cdot f_c} \cdot \sqrt{2 \cdot \int_0^{\infty} 10^{\frac{L(f)}{10}} df}, \quad L(\Delta f) = \frac{1}{2} \cdot S_{\phi}(\Delta f) \quad (2.18)$$

Matlab을 통해 위의 식들을 이용하여 PSD를 그려볼 수 있다. 일반적으로 TDC의 Quantization Noise, DCO Quantization Noise, DCO Phase Noise가 주요 성분인데 출력의 PSD식을 보면 TDC의 Noise는 Low Pass Filtering되기 때문에 BW가 낮을수록 Noise가 작아지고 DCO의 Quantization, Phase Noise는 High Pass Filtering되기 때문에 BW가 높을수록 Noise가 작아지는 반대의 효과가 있다. 그러므로 PSD Plot을 통해 AD-PLL Block들의 변수들을 결정할 수 있고 주요한 Noise Source를 파악한 후 DLF의 α , β 값을 통해 BW를 조절해 Noise 최적화를 할 수 있다. 그림 2.10은 Simulation에 근거한 Reference, DCO Phase Noise의 초기 Setting이다.

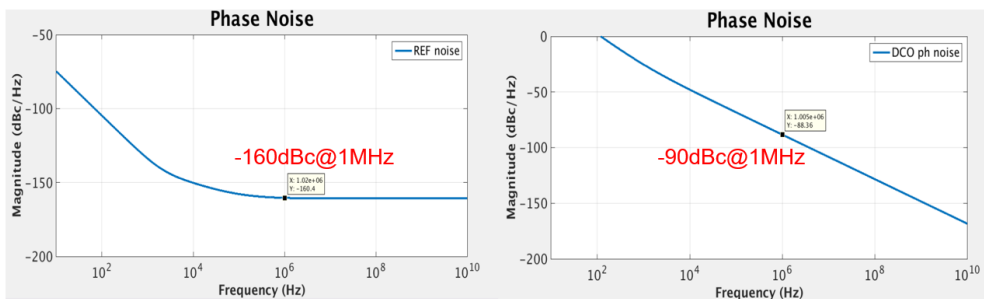


그림 2.10 Reference, DCO Phase Noise Setting

DCO의 Phase Noise는 Simulation 결과에 근거하여 1MHz Offset에서 -90dBc/Hz 로 Setting하였다. Reference Clock은 Crystal Oscillator의 Phase Noise에 근거하여 -160dBc/Hz 로 Setting하였다. 그림 2.11은 PCIe Spec을 맞추기 위해 8GHz 모드에서 3~5MHz BW를 대략 맞춰본 초기 Phase Noise Plot이다. 100MHz Reference clock, DCO 주파수는 8GHz, DCO Resolution은 8MHz, TDC Resolution은 5ps, $\alpha=2^{-3}$, $\beta=2^{-7}$ 로 세팅했을 때 4MHz의 BW를 갖고 식(2.18)을 통해 RMS Jitter를 예측해보면 1.27ps의 값을 갖는 것을 예측해볼 수 있다. 저주파에서는 TDC Quantization Noise, 고주파에서는 DCO Phase Noise가 주요하다는 것을 알 수 있다.

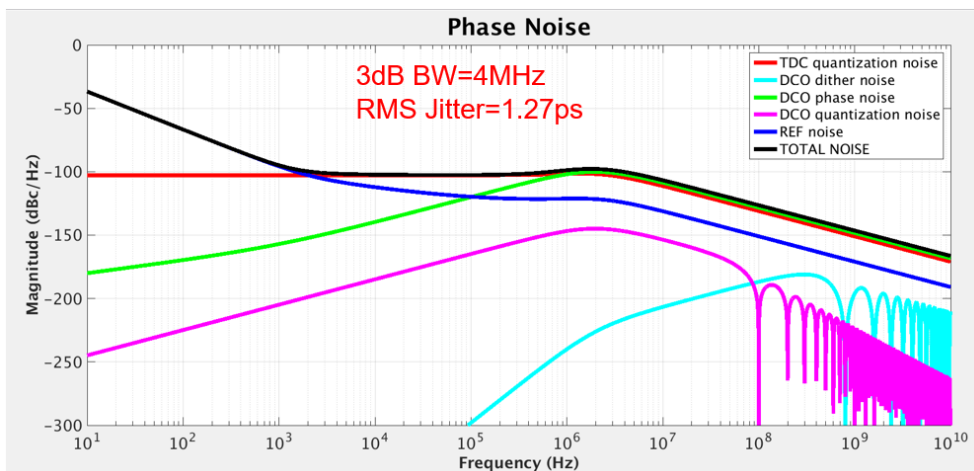


그림 2.11 Phase Noise Plot - 1st Version

초기 PSD Plot을 보고 주요한 Noise Source를 파악한 후 AD-PLL의 변수들을 바꿔가며 RMS Jitter와 BW의 변화를 확인해 볼 수 있다. 그림 2.12는 TDC Resolution을 바꿔가며 PSD를 그려본 것이다. TDC Resolution이 작아질수록 식(2.19)에 따라 BW는 커지고 Jitter는 작아지는 것을 확인할 수 있다. 그림 2.13은 DCO의 Resolution을 바꿔가며

PSD를 그려본 것이다. TDC Resolution과는 반대로 DCO Resolution이 작아질수록 BW는 작아지고 RMS Jitter는 커지는 것을 확인해 볼 수 있는데 DCO Quantization Noise보다는 Phase Noise가 주요한 성분이기 때문에 BW가 낮아지며 DCO Phase Noise가 덜 깎여서 Jitter가 커지는 것으로 예상할 수 있다.

$$w_c \approx \frac{\Delta f_{DCO}}{N \cdot \Delta t_{TDC}} \cdot T_{REF} \cdot \alpha, \quad PM = \tan^{-1}\left(\frac{T_{REF} \cdot \alpha \cdot w_c}{\beta}\right) \quad (2.19)$$

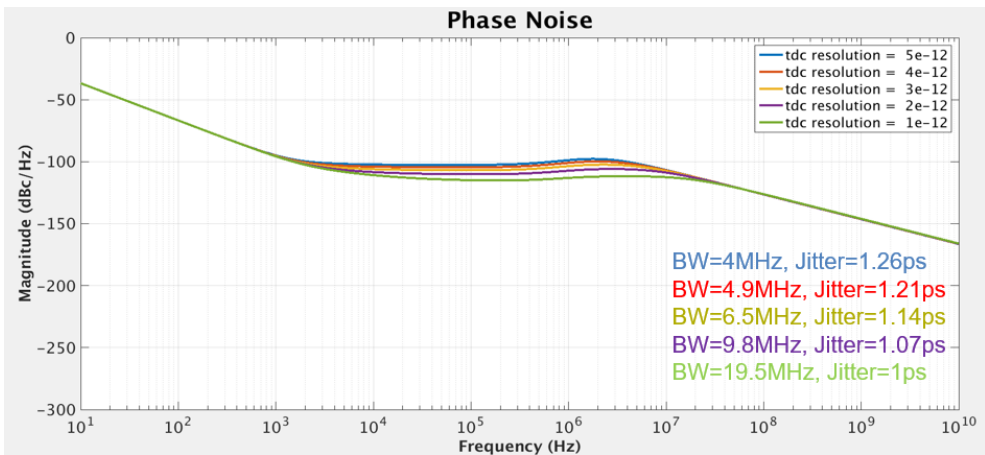


그림 2.12 Output Phase Noise Tendency – TDC Resolution

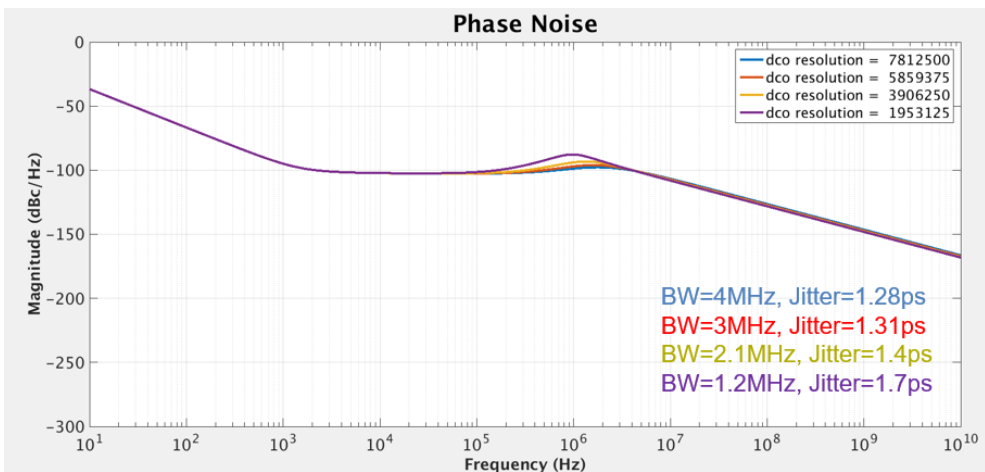


그림 2.13 Output Phase Noise Tendency – DCO Resolution

앞서 Phase Noise PSD Plot을 통해 PLL의 변수, DLF Gain에 따른 Jitter나 BW의 경향성을 확인할 수 있었다. 이를 바탕으로 차세대 PCIe PLL Spec인 8GHz에서 BW=2~5MHz, Peaking=1dB를 만족시키기 위한 AD-PLL의 변수와 최적의 Gain 값을 미리 찾아볼 수 있었다. 그림 2.14는 반복을 통해 찾아본 AD-PLL의 최적화된 변수와 Gain 값의 조건에서 Phase Noise Plot을 해본 것이다. TDC의 Resolution은 물리적인 한계로 2.5ps로 정하였고 DCO Resolution은 6MHz, Reference Clock은 100MHz, N=80, 출력 주파수는 8GHz, $\alpha=2^{-4}$, $\beta=2^{-10}$ 일 때 BW는 3.9MHz, RMS Jitter값은 전체 영역에서 720fs를 설계 전 예측해 볼 수 있었다.

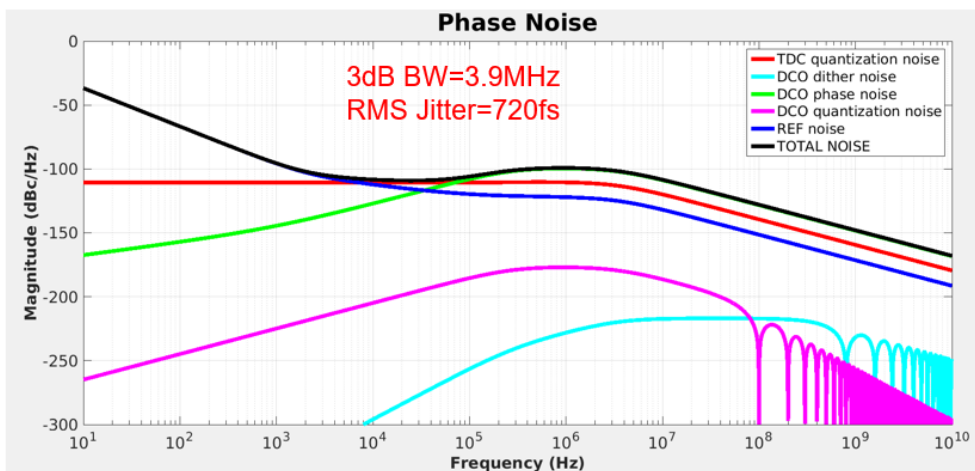


그림 2.14 Phase Noise Plot – Final Version

2.4 Loop Delay

AD-PLL은 Feedback Loop 구조이기 때문에 Loop Delay의 영향을 받게 된다. Reference 주기마다 Reference Clock과 Feedback Clock의 위상 차이를 TDC가 Detect하여 DLF를 통해 DCO에 Update 해주어야

하는데 DLF나 Decoder에서의 처리 시간 때문에 Reference 한 주기 안에 DCO에 Update하지 못하게 되면 Loop Delay가 발생한다. 또한 DCO Phase Noise가 낮고 TDC Resolution이 상대적으로 크면 Lock에 가까워질수록 Bang-Bang PD과 같은 동작을 하는데 Bang-Bang PD는 Non-linearity가 심하여 Lock을 한 상태에서 두 가지 Regime가 존재한다. DCO의 Phase Noise가 작고 DCO Resolution, DLF Gain이 상대적으로 커서 Quantization Error가 클 경우 Limit Cycle Regime라 불리고 Limit Cycle이 Phase Noise를 압도한다. 이 경우 Loop Delay가 커질수록 식 (2.20)와 같이 Jitter가 더 나빠지고 Peaking이 발생하며 Limit Cycle 또한 $2D+1$ 배로 커진다. 반면에 DCO의 Phase Noise가 크고 DCO Resolution, DLF Gain이 상대적으로 작아 Quantization Error는 작은 경우 Random noise Regime라 불리고 Random Noise가 Limit Cycle을 압도한다. 이 경우 Loop Delay가 커질수록 Phase Margin이 안 좋아져서 Peaking이 발생한다[11],[12].

$$\sigma_t^2 = \frac{(1+2D)^2}{12} \text{ for } D \neq 0, \quad \sigma_t^2 = \frac{1}{4} \text{ for } D = 0 \quad (2.20)$$

그림 2.15와 2.16은 AD-PLL Verilog Behavioral Simulation을 통해 Lock이 된 상태를 본 것이다. 측정된 DCO Free Running Phase Noise는 1MHz Offset에서 -99dBc/Hz 로 낮은 편이기 때문에 앞서 설명한 것처럼 Lock된 상태에서 Bang-Bang PD 같이 동작하는 것을 알 수 있다. 그림 2.15는 DLF 코드의 변수들을 확인해본 것인데 정보를 처리하는데 총 6번의 Clock Edge가 필요하다. Clock Domain Crossing에 1~2개, DSM에서 1개, Decoder에서 1개를 추가로 생각하면 TDC의 정보가 DCO에 Update되기까지 총 10개 이상의 Clock Edge가 필요하다는 것

을 알 수 있다. DLF를 800MHz로 동작시키기 때문에 Reference Clock 보다 8배 빠르지만 Reference 1주기 안에 Update는 불가능하여 Loop Delay가 발생한다. 앞에 설명한 것을 종합해보면 Limit Cycle Regime에 있는 것을 확인할 수 있고 그림 2.16을 통해 TDC 코드를 Up, Down이 4번씩 반복되며 Loop Delay때문에 Limit Cycle이 커진 것을 확인할 수 있다.

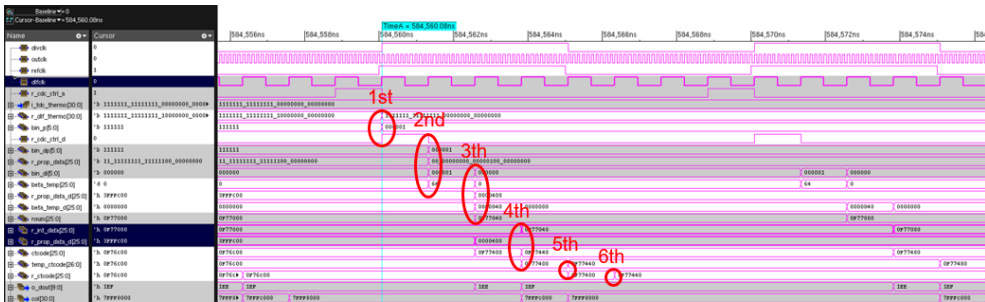


그림 2.15 Verilog Behavioral Simulation-DLF

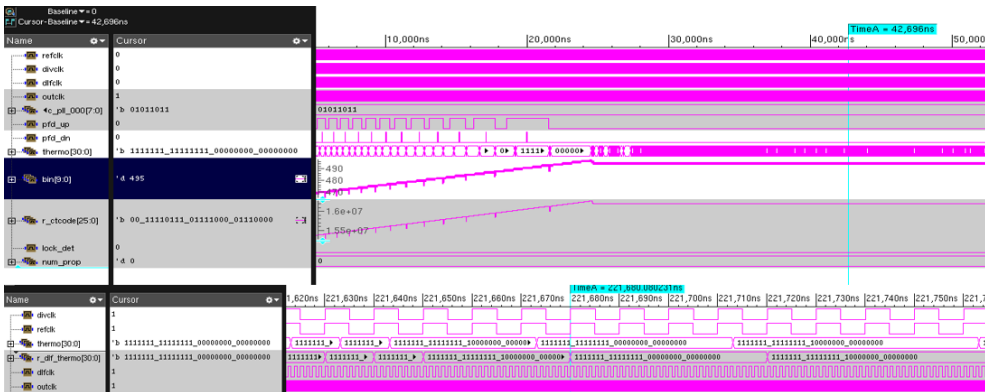


그림 2.16 Verilog Behavioral Simulation-Loop Delay=1

DCO Free Running Phase Noise가 작고 TDC Resolution, DLF Gain 이 상대적으로 크기 때문에 Bang-Bang PD와 비슷하게 동작하고 Limit Cycle Regime라는 것을 알 수 있다. 그림 2.17은 Verilog Behavioral Simulation을 통해 DCO Phase Noise Level에 따라 출력 Clock Edge를

뽑아서 Post Processing하여 Phase Noise를 그린 것인데 모두 Loop Delay가 있는 경우이다. DCO Phase Noise가 높을 때는 Random Noise Regime여서 Loop Delay가 있을 때 Phase Margin이 작아지고 Peaking이 조금 발생하는 것을 확인할 수 있고 점점 DCO Phase Noise를 낮추면 Random Noise Regime에서 Limit Cycle Regime로 들어가기 때문에 Loop Delay가 있을 때 Limit Cycle이 커지고 Peaking이 생기고 RMS Jitter에도 안 좋은 영향을 주는 것을 확인할 수 있다. 결과적으로 DCO의 Phase Noise가 1MHz Offset에서 -99dBc/Hz 로 측정되었기 때문에 Limit Cycle Regime라 볼 수 있고 그림 2.17의 초록색 그림과 같이 Loop Delay가 생기면 Peaking과 RMS Jitter가 안 좋아질 것을 예상해 볼 수 있다.

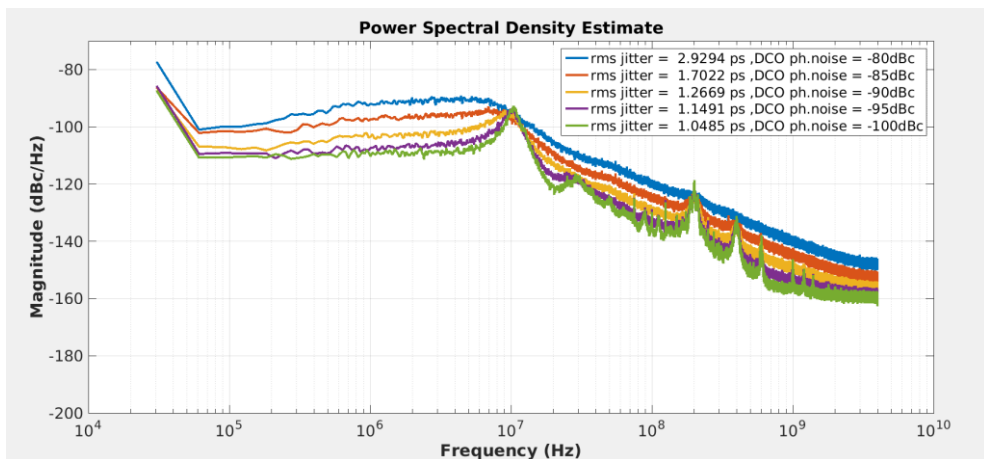


그림 2.17 AD-PLL Top Verilog Simulation-DCO PN

제 3 장 Design of AD-PLL

3.1 Design Consideration

본 논문에서 제안하는 AD-PLL은 차세대 PCIe 32Gbps Transceiver를 지원하기 위해 설계되었다. PCIe PLL Spec으로 정해진 32Gbps 모드에서 2~5MHz의 BW, 1dB Peaking을 만족시키기 위해 PLL 변수들을 정하였고 Loop Delay 문제를 해결하기 위해 DLF를 거치지 않는 다이렉트 경로를 제안하였다.

TDC는 Monte Carlo Simulation을 통해 Resolution이 (-)값이 되지 않는 물리적 한계까지 Resolution을 낮췄고 DLF는 1st order DSM을 활용하여 Noise Shaping 및 Dithering을 함으로써 Effective한 DCO의 Resolution을 낮추었다. DCO는 이전 세대의 PCIe Interface와의 호환을 위해 넓은 동작 영역을 갖게 설계하였고 이를 위해 5/8GH의 듀얼 모드를 선택할 수 있게 하였다. 또한 4개의 Phase를 통해 Quadrature rate를 지원이 가능하게 설계하였다. 2장에서 설명하였던 Loop Delay 문제를 해결하기 위해 TDC Thermometer 코드를 DCO에 바로 Update 해 줄 수 있는 다이렉트 경로를 구현하였고 최적화된 Gain을 갖는 다이렉트 경로 구현 방식에 대해 중점을 두고 설계하였다.

3.2 Overall Architecture

본 논문에서 제안하는 AD-PLL의 전체적인 구조는 그림 3.1과 같다. Phase Frequency Detectable TDC, DLF, DSM, DCO, Divider로 구성되어 있으며 Poly Phase Filter를 이용한 CLK-Tree를 이용해 4 Phase

Clock을 Transmitter와 Receiver Block에 보내주게 된다.

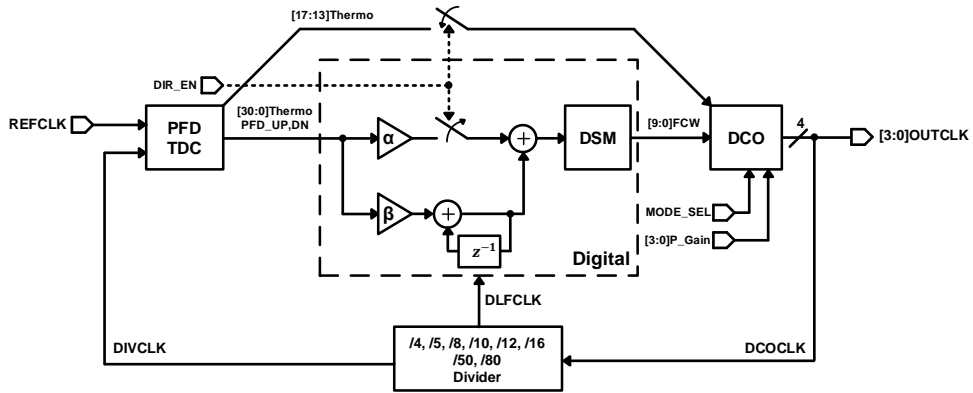


그림 3.1 AD-PLL Overall Architecture

PFD-TDC는 TDC만으로는 Frequency Tracking이 불가능하기 때문에 Phase Frequency Detector가 병렬로 붙어있다. PFD-TDC는 Reference Clock 신호와 Feedback 되는 DIV Clock 신호의 위상 차이를 감지하여 31bit Thermometer 코드로 DLF에 전달하고 중간 5bit을 다이렉트 경로를 통해 DCO로 전달한다. DLF는 TDC에서 받은 정보를 Filtering하여 Integer 10bit 그리고 Fractional 15bit으로 DSM으로 전달하게 되고 DSM은 그 25bit을 받아 Dithering하여 10bit Frequency Control Word (FCW)로 내보낸다. DSM의 출력인 10bit FCW는 Binary to Thermometer Decoder로 들어가서 31bit Row와 31bit Column으로 변환되어 DCO의 Digitally Controlled Resistor에 전달된다. 출력 Clock은 Divider를 통해 DLF와 PFD-TDC에 다시 Feedback Clock으로 전달된다. DCO는 모드 Selection 신호를 통해 5GHz와 8GHz 중 선택 가능하고 본 논문에서 제안하는 다이렉트 경로는 끄거나 켤 수 있게 하여 다이렉트 경로가 켜졌을 때는 DLF의 Proportional Term이 동작하지 않는다. 또한 TDC 출력의 중간 5bit만 받아서 다이렉트로 DCO에 전달

하고 이를 통해 Loop Delay를 0으로 만들어 준다.

3.3 Phase Frequency Detectable TDC

AD-PLL에서 사용되는 TDC는 입력신호들의 위상 차이를 Digital bit으로 변환해주는 역할을 한다. PLL이 제대로 동작하려면 Phase Lock을 하기 전에 Frequency Tracking을 해야 하는데 TDC만으론 주파수 차이를 알 수 없다. 그래서 Phase Frequency Detector (PFD)를 병렬로 달아서 Frequency Tracking이 가능한 PFD-TDC를 사용하였다[13].

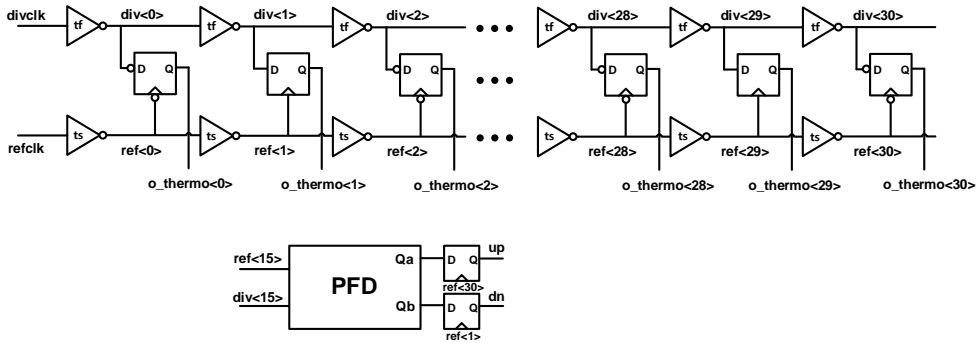


그림 3.2 PFD-TDC Architecture

그림 3.2는 PFD-TDC의 구조이다. 일반적인 Vernier Delay Line으로 구현되었고 TDC Resolution은 위, 아래 Inverter Delay의 차이로 $t_s - t_f$ 이고 Delay의 차이가 Resolution이기 때문에 Sub-Gate Delay 정도의 Resolution을 얻을 수 있다. 총 31개의 Delay Cell과 31개의 D-FF으로 구성되었으며 31bit Thermometer 코드를 통해 Refclk과 Divclk의 위상 차이를 감지할 수 있다. 또한 Delay Cell들은 Inverter 하나를 사용하였으며 이를 위해 Single to Differential Logic을 활용하여 Refclk과 Refclkb가 번갈아 가며 Sampling 할 수 있게 구현하였다. Delay Cell을

Inverter Pair보다 Inverter 하나로 가져갔을 때의 장점은 Delay의 Variation을 고려하였을 때 Resolution이 (-)값으로 뒤집히지 않는 한도 내에서 최대한 낮은 값의 Resolution을 얻을 수 있다는 것이다. 그림 3.3은 Monte TDC Monte Carlo Simulation 결과인데 (a), (b) 모두 2ps Resolution을 갖게 Simulation 했을 때 (a)Inverter Pair일 때는 (-)값으로 뒤집히는 경우가 6/1000이고 (b)Inverter일 때는 0/1000인 것을 알 수 있다. Sampler는 Symmetric D-FF으로 입력 데이터(1, 0)에 관계없이 같은 Set up time을 갖는다는 장점이 있다.

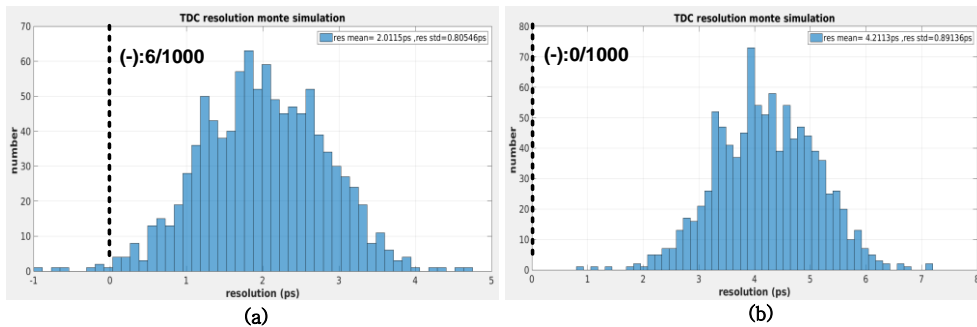


그림 3.3 Monte Carlo Sim. (a)Inverter Pair (b)Inverter

Frequency Tracking을 위해 PFD를 병렬로 두었는데 그림 3.2를 보면 PFD의 입력은 Refclk과 Divclk이 16개의 Delay Cell을 거친 Ref<15>와 Div<15>이다. 이를 각각 Ref<30>과 Ref<1>의 Positive Edge에서 Sampling하여 다음 신호가 오기 전까지 값을 유지한다. 또한 이런 식으로 PFD의 입력과 Sampling 신호를 정할 경우 주파수를 어느 정도 쫓아간 후에는 위상 차이가 TDC Range 안에 들어오면 PFD의 Up, Down 신호가 뜨지 않는다. 식(3.1), (3.2)를 보면 PFD 신호가 뜰 때의 조건인데 TDC Range 밖에서만 PFD의 신호가 발생하게 설계되었다. PFD의 구조는 그림 3.4와 같은 일반적인 PFD를 사용하였다.

그림 3.5는 TDC Resolution을 Simulation한 그림이다. Resolution을 2.5ps(TTTT)로 설계하였기 때문에 위상 차가 주기마다 1.25ps 바뀌게 Simulation한 경우 2주기마다 Thermometer가 1bit씩 값이 바뀌는 것을 확인할 수 있다. 그림 3.6은 PFD의 Simulation 결과로 100MHz의 Reference 주파수에서 1MHz의 차이를 주었을 때 Up, Down이 제대로 뜨는 것을 확인할 수 있다.

$$TDC \text{ Range} = 31 \cdot (t_s - t_f) \quad (3.1)$$

$$16 \cdot t_f - 2t_s > 0, \quad \text{Down Case}$$

$$31 \cdot t_s - 16 \cdot t_f > 31 \cdot (t_s - t_f), \quad \text{Up Case} \quad (3.2)$$

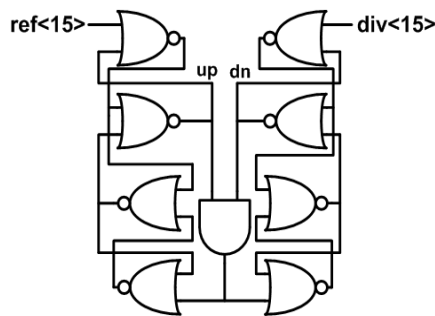


그림 3.4 Phase Frequency Detector

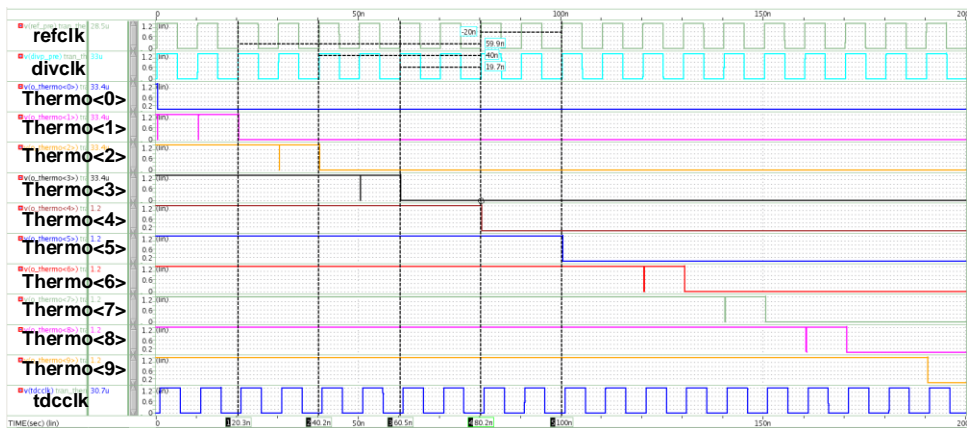


그림 3.5 TDC Thermometer Code Simulation

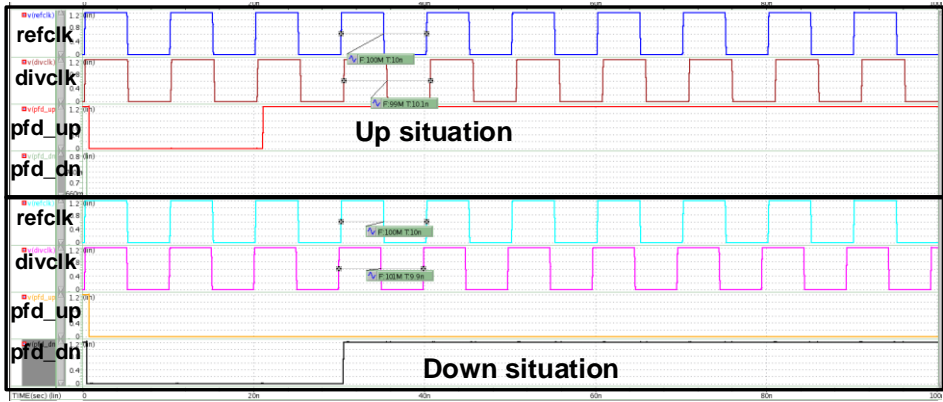


그림 3.6 PFD Simulation

TDC는 TTTT(1.2V, 40° C)에서 2.5ps, FFFF(1.3V, -20° C)에서 1.8ps, SSSS(1.1V, 100° C)에서 3.5ps의 Resolution을 갖게 설계되었고 0.96mW의 Power를 소모한다.

3.4 Digital Loop Filter

Digital Loop Filter (DLF)는 TDC의 Thermometer 코드, PFD_UP, DN 신호를 받아 Filtering하여 Digital 코드로 변환해주는 역할을 한다. 그림 3.7은 AD-PLL에서 사용한 DLF의 전체 구조이다. DLF의 가장 앞단에서는 31bit Thermometer 코드를 Signed 6bit으로 변환한다. 이 값을 Proportional Path (α), Integral Path (β)로 보내고 각 경로에서는 정해진 Gain 값에 따라 이를 Integer 10bit, Fractional 15bit으로 변환시킨다. 최종적으로 DSM을 통과하여 31bit Row, 31bit Column 코드가 DCO로 전달된다. 또한 다이렉트 경로 구현을 위해 DLF 안에서 TDC의 Thermometer 코드가 처리되기 전에 중간 5bit을 DCO로 바로 전달하는데 5bit만 전달하는 이유는 Locking에 가까워 질수록 31bit 전체의 정보는 크게 의미가 없어지고 중간 bit들만 Dithering하여 위상 차이에

대한 정보를 충분히 갖고 있기 때문이다.

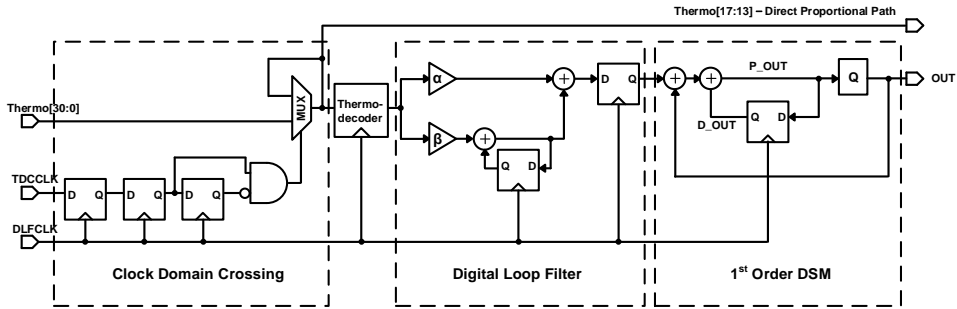


그림 3.7 DLF Architecture

DLF의 제일 앞 단에서는 Clock Domain Crossing이 생기기 때문에 추가적인 Block을 넣어야 한다. DLF는 Reference Clock 주파수와 다른 DLF Clock의 주파수에서 동작하고 있기 때문에 TDC의 출력이 DLF로 들어갈 때 Clock Domain이 바뀌게 되어 Meta-Stability 문제가 발생할 수 있기 때문이다. 그림 3.8과 같이 두 가지 이상의 Clock 신호들 사이에 데이터를 전달할 시 두 개의 Clock의 위상은 서로 관계가 없으므로 의미 없는 데이터의 전송이 이루어질 수 있다. 이 문제를 해결하기 위해 DLF의 앞 부분에 D-FF을 2~3개 더 사용하여 Meta-Stability 문제를 줄이는 방법을 사용하였다. 이렇게 해줄 경우 TDC Clock은 Ref<30>이 Delay된 신호이기 때문에 DLF Clock이 TDC Clock을 2~3번 Sampling한 후 TDC의 Thermometer를 DLF에 Update 해줘서 Thermometer 코드가 충분히 Settling 될 수 있는 여유가 있다. DLF에 추가적으로 2번 Sampling 할지 3번 Sampling 할지 선택할 수 있게 설계하였다. 결과적으로 Clock Domain Crossing을 통해 Meta-Stability 문제는 해결할 수 있지만 2~3 번의 Clock Edge 소비를 통해 Loop Delay의 관점에서는 좋지 않다고 볼 수 있다.

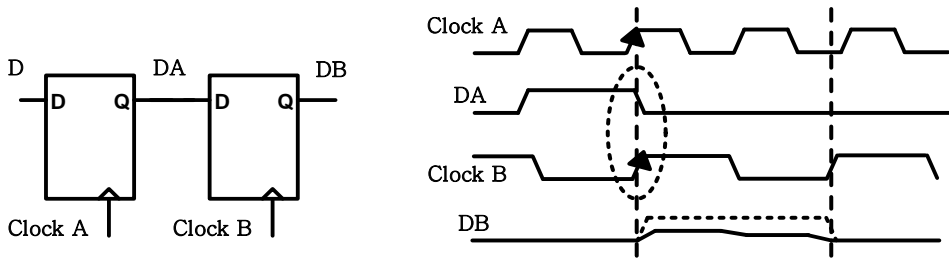


그림 3.8 Clock Domain Crossing에 따른 Meta-Stability

그림 3.9는 1st order Delta Sigma Modulator (DSM)의 구조이다. DSM은 그림 3.7에서와 같이 DLF의 맨 끝에서 동작하며 Digital로 변환하는 과정에서 발생하는 Quantization Noise를 Shaping해서 In-Band Noise를 줄이는 것이 목적이다. 또한 DLF Clock으로 동작하기 때문에 DLF Clock을 Reference Clock보다 빠르게 동작시키면 Effective한 DCO Resolution을 향상시킬 수 있다는 장점이 있다. DSM의 구조는 일반적으로 Feed Forward 구조인 Multistage noise shaping (MASH) DSM과 Feedback 구조인 Single Quantizer (SQ) DSM이 있는데 MASH DSM이 안정적이고 구현하기 쉽다는 장점이 있어서 1st order MASH DSM을 사용하였다. Digital Accumulator를 Cascading을 하면 쉽게 더 높은 차수의 DSM을 구현할 수 있다. 높은 차수의 DSM 일수록 높은 주파수 영역으로 더 많은 에너지를 Shaping 할 수 있다[14].

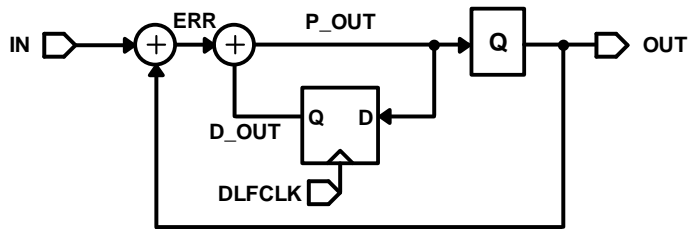


그림 3.9 1st Order Delta Sigma Modulator

3.5 Digitally Controlled Oscillator

그림 3.10은 본 연구에서 사용한 Digitally Controlled Oscillator의 전체 구조이다. Quadrature rate 방식을 지원하기 위해 4 Phase Clock 이 필요한데 Multi-Phase 구현이 쉽고 면적이 작은 장점이 있는 Ring 구조의 Oscillator를 사용했다. 8GHz의 높은 속도를 Ring 구조로 구현하기 위해 2 Stage Ring Oscillator로 구현하였고 2 Stage로 구현하였을 때 발생하는 Oscillation과 Start Up 문제를 해결하기 위해 Ring Cell의 Latch 사이즈를 Main Inverter의 사이즈 대비 0.7배로 설계하였다[15].

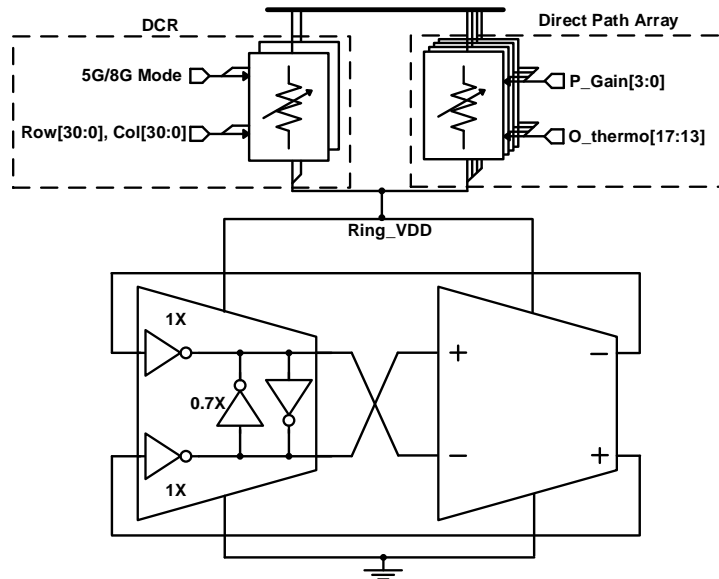


그림 3.10 DCO Architecture

DCO는 Digitally Controlled Resistor (DCR)를 Row 31bit, Column 31bit의 Frequency Control Word를 통해 DCR의 등가 저항 값에 따른 Ring VDD를 바꾸며 주파수를 조절한다. DCR은 Digitally Controlled Current Source (DCCS) 보다 VCO 설계 시 Noise Contribution이 낮고, Power 소모가 낮다는 장점이 있다. 전체 DCR 구조는 그림 3.12와

같이 PMOS가 Stacking 되어 있는 형태이다. Row[30:0], Col[30:0] bit의 값이 증가함에 따라 DCR의 등가 저항 값이 작아지고 Ring VDD가 증가하여 DCO의 주파수가 점점 빨라지게 된다. Main PMOS Array를 두 줄기로 두어서 항상 켜져 있는 줄기와 5GHz/8GHz Mode Selection 신호를 받는 줄기로 나누어 Mode Selection 신호에 따라 Center 주파수를 바꿀 수 있게 설계하였다. 또한 DCR의 등가 저항 값과 DCO의 주파수 값 사이의 비선형성을 해결하기 위해 Main PMOS Array의 사이즈를 Custom 하게 조절하여 Frequency Control Word (FCW)에 따른 DCO 주파수의 변화를 선형적으로 만들어 주었다. FCW 변화에 따른 DCO 동작 주파수영역은 그림 3.11을 통해 확인할 수 있고 모든 PVT Corner TTTT(1.2V, 40°C), FFFF(1.3V, -20°C), SSSS(1.1V, 100°C)에 맞춰서 5GHz, 8GHz 동작을 커버할 수 있는 DCO를 설계하였다. Power는 8G mode에서 11.8mW, 5G mode에서 6.4mW 소모하고 DCO의 주파수 Resolution은 5GHz, 8GHz 모드에 관계없이 6MHz이다.

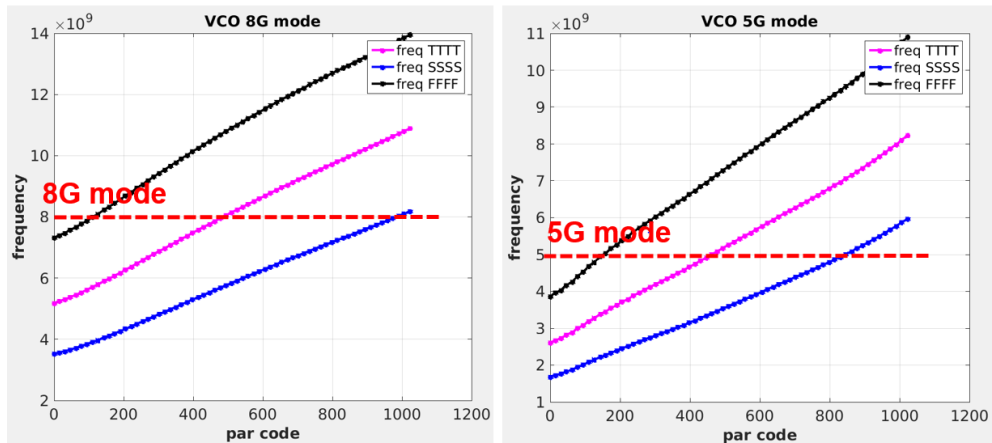


그림 3.11 DCO Range Simulation (5/8GHz Mode)

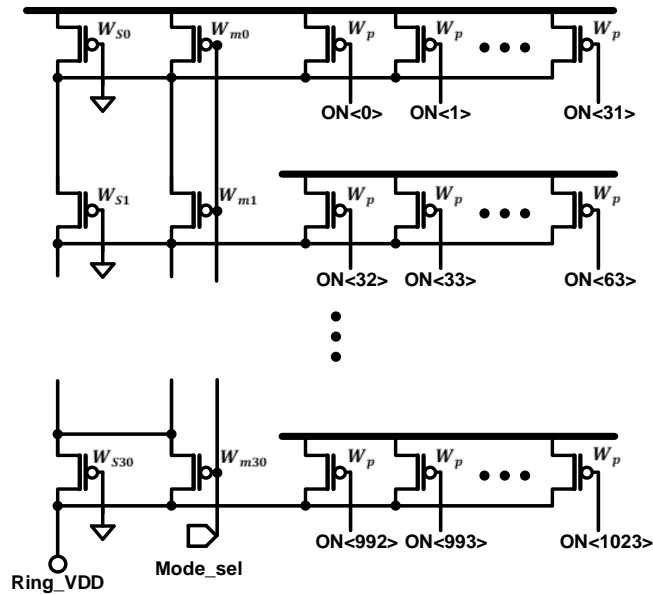


그림 3.12 DCR Architecture

DCR의 저항을 조절하는 방식은 Switching Noise를 최대한 줄이기 위해 그림 3.13과 같이 On/Off Switching을 최소화하는 방법을 선택하였다. 10bit의 상대적으로 적은 FCW로 많은 Stage를 조절하기 위해서 Binary to Thermometer Decoder를 통해 31bit Row, 31bit Column 코드로 변환하였고 Row, Column bit의 조합을 통해서 1024개의 DCR PMOS Array를 컨트롤할 수 있다. FCW가 1bit 바뀔 때 한 개의 Column bit만 변하게 하여 FCW 변화에 따라 Switching하는 저항이 한 개여서 모든 코드에 대해 Switching Noise를 최소화할 수 있다. 이 구조는 Column bit이 변할 때 외에도 한 개의 Row bit이 변할 때도 Even Row Cell과 Odd Row Cell을 다르게 설계하여 저항이 하나만 Switching 한다는 장점이 있다[7].

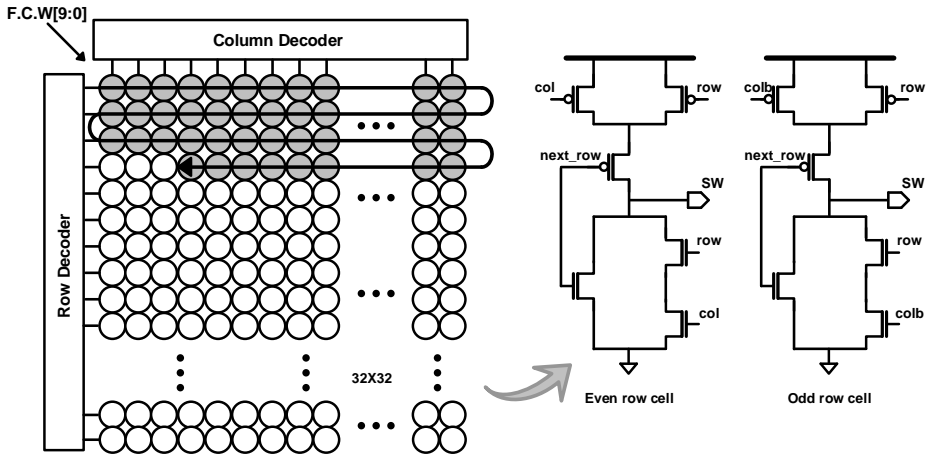


그림 3.13 DCR Switching Operation

3.6 Direct Path

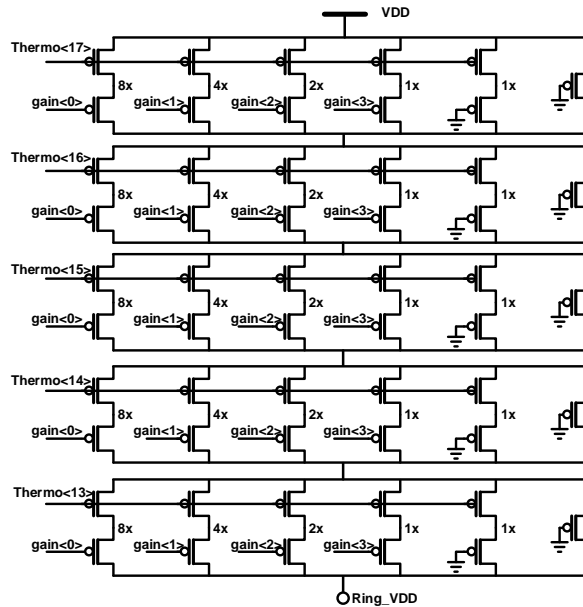


그림 3.14 Direct Path Array

그림 3.14는 본 논문에서 구현한 Direct Proportional Path의 구조이다. DCR과 병렬적으로 구현되었고 DCR의 저항 값과는 상대적으로 큰 저항

값을 갖게 설계하여서 DCO의 동작 주파수 영역에는 크게 영향을 주지 않는다. 2.4장에서 확인 하였듯이 Loop Delay에 따라 Peaking과 Jitter 성능이 나빠지기 때문에 TDC 출력의 중간 5bit을 바로 입력으로 받는다. 또한 Gain을 조절하기 위해 Gain[3:0]을 입력으로 받고 Stacking한 PMOS를 1x, 2x, 4x, 8x 사이즈로 Cascade하여 Binary하게 Gain을 조절할 수 있게 설계하였다. 2.3장에서 모델링으로 확인하였던 최적화된 Proportional Gain 값이 2^{-4} 이기 때문에 Gain의 중간 값을 2^{-4} 로 잡고 $2^{-2} \sim 2^{-6}$ 의 값을 조절할 수 있게 하였다. DCO Resolution이 6MHz로 설계되었기 때문에 $\alpha = 2^{-4}$ 의 의미는 TDC의 출력이 1bit 바뀌면 주파수를 6/16MHz 바꾼다는 의미이고 $2^{-2} \sim 2^{-6}$ 의 값을 커버하기 위해 Direct Proportional Path Array에서도 1bit의 Thermometer 코드가 바뀌면 1.5MHz~ 0.09375MHz의 변화를 가져야 한다. DCR과 유사하게 R 값과 DCO 주파수 사이의 비선형성이 존재하기 때문에 PMOS의 위, 아래 위치에 따라 사이즈를 Custom하게 조절하여 설계하여 최종적으로 Gain[3:0]에 따라 Thermometer 코드가 1bit 바뀔 때 변하는 주파수는 표 3.1과 같고 이 값들은 Target 하였던 1.5MHz~ 0.09375MHz를 만족한다. 또한 5/8GHz 모드에 따라 최적화된 Gain값이 달라지기 때문에 최대한 넓은 범위의 Gain을 조절할 수 있게 하였다.

Gain [3:0]	1111	0111	1011	0011	1101	0101	1101	0001
Frequency Change [MHz]	0.093	0.26	0.36	0.49	0.61	0.83	0.9	1
Gain [3:0]	1110	0110	1010	0010	1100	0100	1000	0000
Frequency Change [MHz]	1.2	1.3	1.4	1.6	1.7	1.8	2	2.1

표 3.1 Direct Gain에 따른 DCO 주파수 변화

그림 3.15는 Verilog Behavioral Simulation에서 다이렉트 경로를 사용하였을 때를 본 것이다. 2장에서 봤던 것과는 달리 다이렉트 경로를 사용함에 따라 Loop Delay가 0이 되어서 Up, Down이 1번씩 번갈아 뜨며 Limit Cycle이 작아진 것을 확인할 수 있다. 그림 3.16은 다이렉트 경로를 끄고 켜에 따라 Phase Noise를 그려서 RMS Jitter를 본 것인데 다이렉트 경로를 활용함에 따라 Limit Cycle이 작아져서 확실히 Peaking이 줄어들고 RMS Jitter도 낮아진 것을 확인할 수 있다. 다이렉트 경로를 켜었을 때 639fs의 RMS Jitter를 갖는 것을 예측해볼 수 있다.

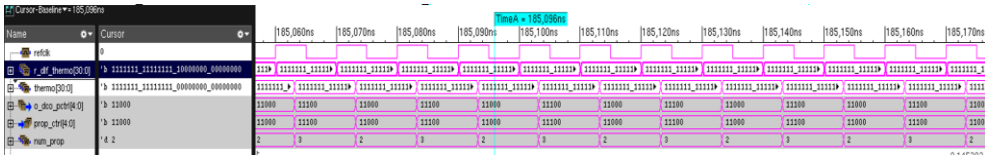


그림 3.15 Verilog Behavioral Simulation-Loop Delay=0

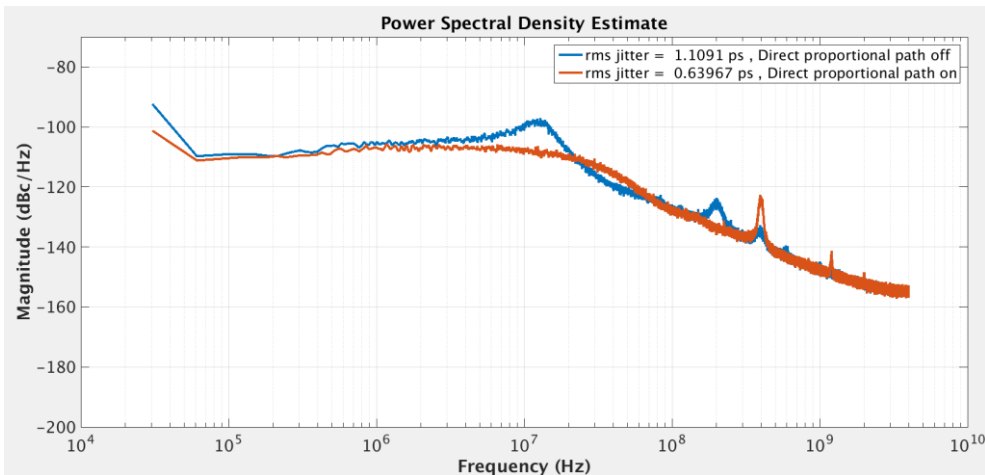


그림 3.16 AD-PLL Top Verilog Simulation-Direct On/Off

다이렉트 경로를 설계함에 있어서 DCO 모드에 따라 Gain이 달라지는 문제가 발생하였는데 이를 해결하기 위해 Binary하게 Gain을 조절할 수

있게 하였고 5G 모드에서도 다이렉트 경로가 동작할 수 있게 최적화하여 설계하였다. 결과적으로 다이렉트 경로의 Gain[3:0]=1011 @8GHz, Gain[3:0]=1111 @5GHz 의 최적화된 Gain 지점을 커버할 수 있게 설계되었고 입력으로는 TDC의 Thermometer 코드를 31bit 전부 받기 보다는 Lock한 후에는 중간 5bit 만으로 충분한 Phase error 정보를 갖고 있기 때문에 중간 5bit만 받아서 Area, Power overhead를 줄였다.

3.7 Level Shifter and Divider

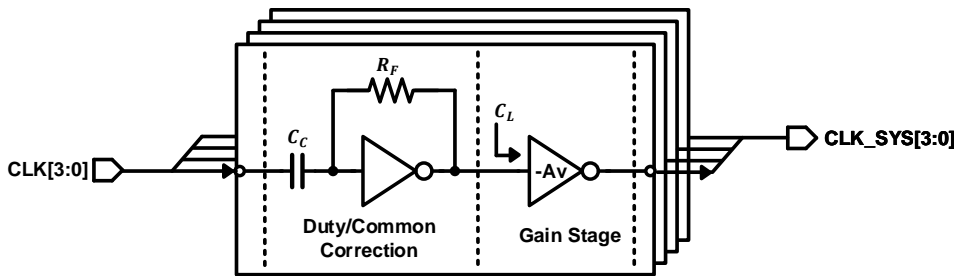


그림 3.17 AC Coupled Resistive Feedback Inverter

그림 3.17은 Level Shifter로 사용한 AC Coupled Resistive Feedback Inverter 구조이다. Level Shifter를 사용하지 않을 경우 DCO의 출력 Clock 신호의 Swing이 Ring VDD~ GND로 제한되어 Transceiver에서 잘못된 동작을 일으킬 수 있다. Ring VDD 값이 일반적으로 0.7~ 0.9V의 전압을 가지기 때문에 NMOS를 충분히 켜지 못하고 Linear Region에 들어가게 하거나 PMOS가 켜지지 않아야 하는 상황에서 켜질 경우가 생길 수 있다. 본 논문에서 Level Shifter로 사용한 구조는 AC Coupled Resistive Feedback Inverter 구조인데 이 구조를 사용할 경우 출력 값을 Full Swing으로 만들어 줄 뿐만 아니라 Duty Cycle Correction의 역할까지 해주는 장점이 있는데 전달 함수를 구해보면 식 (3.3)과 같이

Band Pass Filter처럼 동작하기 때문에 DCO 주파수에 따라 R, C 값을 정해주어야 하고 이번 설계에서는 Target 주파수에 맞춰 $R_F = 12k\Omega$, $C_C = 14fF$ 을 사용하였다[15].

$$\frac{v_o}{v_{in}} \cong - \frac{s \cdot g_m \cdot R_F \cdot C_C}{g_m + \frac{1}{r_o} + s \cdot \left(C_L + C_C + \frac{R_F \cdot C_C}{r_o} \right) + s^2 \cdot R_F \cdot C_C \cdot C_L} \quad (3.3)$$

Divider는 DCO의 출력 Clock 신호를 입력으로 받아서 DLF와 TDC에 각각 필요한 주파수로 나누어서 Feedback Clock을 만들어주는 Block이다. TDC에 Feedback 되는 Clock은 Reference Clock과 같은 주파수를 가져야 하기 때문에 5/8GHz를 100MHz로 만들기 위해 Selection 신호에 따라 /50, /80이 가능하도록 하였다. DLF에 Feedback 되는 Clock은 DSM의 높은 속도 동작을 위해서 Target 주파수를 800MHz로 설계하였기 때문에 Selection 신호에 따라 /4, /5, /8, /10, /12, /16이 가능하도록 하였다.

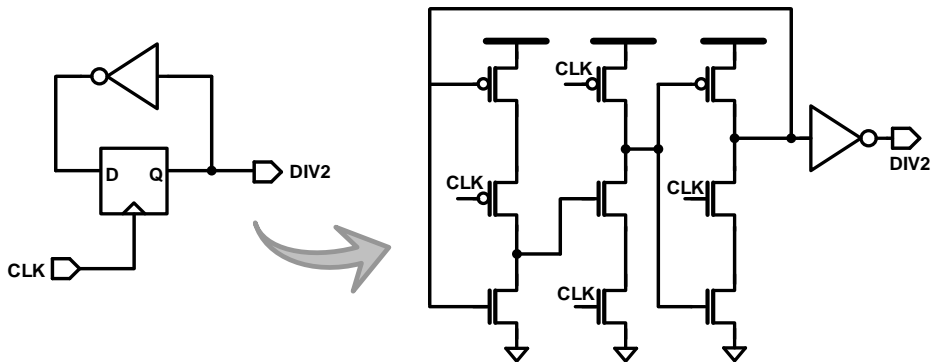


그림 3.18 True Sing Phase Clock (TSPC) Divider-DIV2

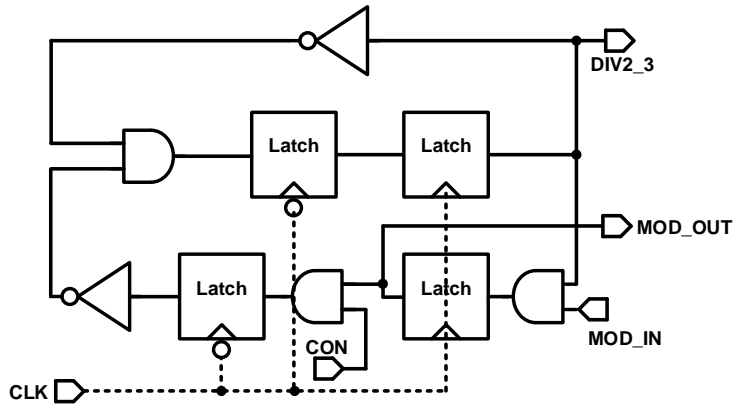


그림 3.19 Divider (Latch) - DIV2_3

Divider는 그림 3.18의 True Single Phase Clock (TSPC)로 구현한 /2 Divider와 그림 3.19의 Latch의 조합으로 이루어진 /2, /3 선택이 가능한 Divider의 조합으로 설계되었다. DCO의 출력을 제일 앞 쪽에서 보게 되는 Divider는 최대 11GHz의 주파수에서 동작할 수 있어야 한다. 그렇기 때문에 Divider의 가장 앞 단은 고속 동작이 가능한 TSPC로 구현하였으며 TSPC는 Flip Flop (FF)의 동작을 하며 그림 3.16과 같이 FF 한 개로 /2를 구현할 수 있기 때문에 쉽게 고속의 주파수를 나눠줄 수 있다. TSPC는 고속 동작이 가능하다는 대신 Clock의 Edge가 누워 있을 경우 동작의 어려움이 있어서 DCO 출력 뒤에 충분한 Buffer를 사용하여 Clock Edge가 눕는 것을 방지하였다.

그림 3.19의 Latch를 조합한 Divider는 입력 신호에 따라 /2, /3의 선택이 가능하다. CON 신호와 MOD_IN 신호 중 하나의 신호가 들어오면 /3 동작을 하고 둘 신호가 모두 0일 경우 AND Gate의 출력이 0이 되어 단순히 D-FF과 Feedback되는 출력으로 인해 /2의 동작을 한다. 이 Divider의 장점은 Cascade를 통해 다양한 값으로 나눌 수 있다는 것이다. 그림 3.19의 Divider 두 개를 Cascade 연결하고 MOD_OUT 신호를 MOD_IN 신호에 연결하였을 경우 /4, /5, /6를 구현할 수 있다. 이 방

식을 이용해 Target 하였던 /4, /5, /8, /10, /12, /16을 구현하였다. 전체 Divider의 마지막 단에서는 Divider의 Noise Contribution을 줄이기 위해 한번 Re-timing을 할 수 있게 설계하였다.

그림 3.20은 전체 Divider를 Simulation해 본 것이다. 8GHz 모드에서 DLFCLK은 800MHz, DIVCLK은 100MHz, 5GHz 모드에서 DLFCLK은 625MHz, DIVCLK은 100MHz로 잘 동작하는 것을 확인하였다. Power 소모는 8GHz 모드에서 3mW, 5GHz 모드에서 2.2mW 소비한다.

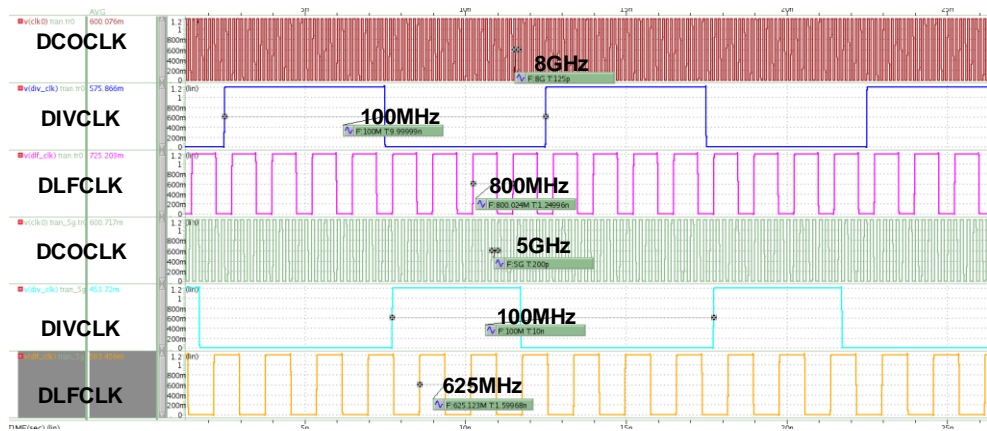


그림 3.20 Divider Simulation

3.8 Clock Tree

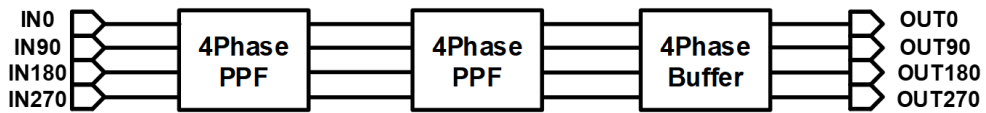


그림 3.21 Clock Tree Architecture

본 연구에서는 32Gbps Serial Link를 지원하는 AD-PLL을 설계하였기에 4 Phase Clock 신호를 Transmitter와 Receiver에 전달하기 위해서 Clock Tree를 설계하였다. Clock Tree는 CMOS Buffer 기반으로 전

체 구조는 그림 3.21와 같다. Quadrature rate 동작을 지원해야 하기 때문에 Clock 신호의 위상 (0° , 90° , 180° , 270°)이 정확하게 맞아야 한다. 4개의 위상을 맞추기 위해 4 Phase Poly Phase Filter (PPF)를 사용하였고 4 Phase PPF의 구조는 일반적으로 많이 사용하는 입력 신호를 받아 1/4 주기 Delay를 주어서 Correction하는 방식을 사용하였고 구조는 그림 3.22와 같다.

4 Phase Buffer는 CMOS Inverter Chain으로 구성되었고 Differential 만 Latch로 잡아주는 구조이다. 일반적으로 최적화된 Delay인 Fan Out 4 Delay로는 8GHz의 신호를 전달하기 어렵기 때문에 Fan Out 2에 맞춰서 Transceiver까지의 모든 Buffer를 설계하였다.

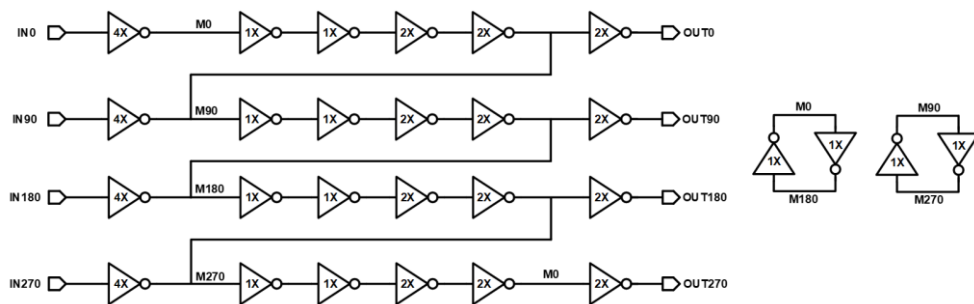


그림 3.22 4 Phase Poly Phase Filter

제 4 장 Measurement and Simulation Results

4.1 Measurement Setup

본 논문에서 제안하는 AD-PLL은 65nm CMOS 공정에서 제조되었다. AD-PLL은 32Gbps Transceiver에 Clock 신호를 제공하기 위해 설계되었기 때문에 측정을 위하여 1개의 PAD를 따로 두어 5/8GHz를 /2 하여 2.5/4GHz PLL Clock 신호를 뽑아 볼 수 있게 하였다. PLL Clock Driver로는 Current Mode Logic (CML) 대신 Open Drain Driver를 사용하였다. Open Drain 구조는 CML에 비해 50Ω 매칭이 어려워 Reflection이 일어날 수 있다는 단점이 있지만 Clock 신호는 Data 신호와 달리 일정한 파형이 반복되기 때문에 Reflection에 영향을 거의 받지 않고 CML보다 구조적으로 단순하다는 장점이 있어 Open Drain Driver로 설계하였다. Bonding Wire의 Parasitic Cap, Inductor를 고려하여 그림 4.1과 같은 상황에서 Driver를 Simulation하였고 Selection 신호에 따라 190mV~460mV의 전압 Swing을 갖는 Clock 신호를 측정할 수 있게 하였다.

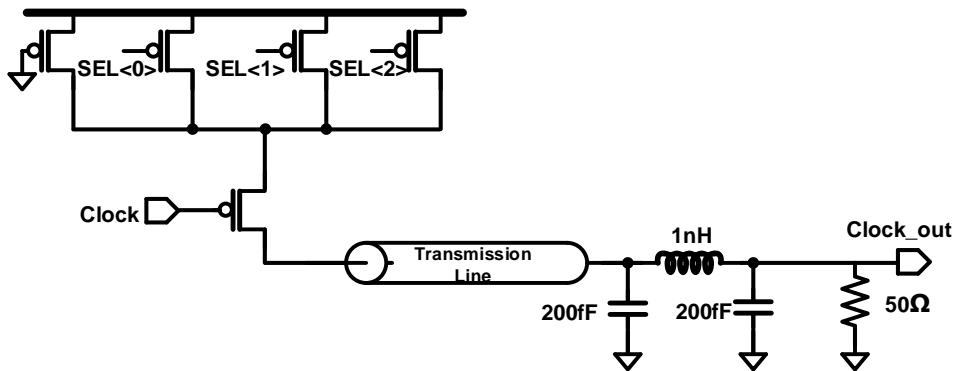


그림 4.1 Open Drain Driver

Phase Noise, RMS Jitter는 Agilent E4445A PSA Series Spectrum Analyzer 장비를 사용해 측정하였고 100MHz의 Reference Clock은 Agilent E8267D Vector Signal Generator와 Crystal Oscillator를 통해 제공하였다. 또한 Peak to Peak Jitter를 측정하기 위해 Tektronix TDS 8200 Digital Sampling Oscilloscope를 사용하였다. 측정 시 가장 낮은 Jitter값을 갖는 DLF Gain을 찾기 위해서 그림 4.2와 같은 측정 자동화 방식을 사용하였다. 자동화를 하지 않으면 I2C 통신을 이용해 PLL의 변수들을 직접 바꿔가며 측정해야 하는데 자동화를 사용할 경우 Python 코드와 Aardvark I2C를 통해 PLL의 변수나 DLF의 Gain을 코드를 실행하여 바꿔줄 수 있고 Sweep도 가능하여 좋은 성능이 나오는 PLL 변수, DLF Gain 값들을 쉽게 찾을 수 있다. 그리고 변수를 바꿔줄 때마다 Phase Noise 측정 장비인 Agilent E4445A의 Setting, 변수도 바꿔주어야 하고 Reset도 해주어야 하는데 이 또한 LAN통신을 이용해 측정 장비에 따른 명령어 및 Python 코드를 실행하여 자동으로 바꿔줄 수 있다. 측정 자동화 방식을 이용해 측정 시간을 비약적으로 줄일 수 있었고 가장 좋은 성능이 나오는 DLF Gain 및 PLL 변수들을 찾을 수 있었다.

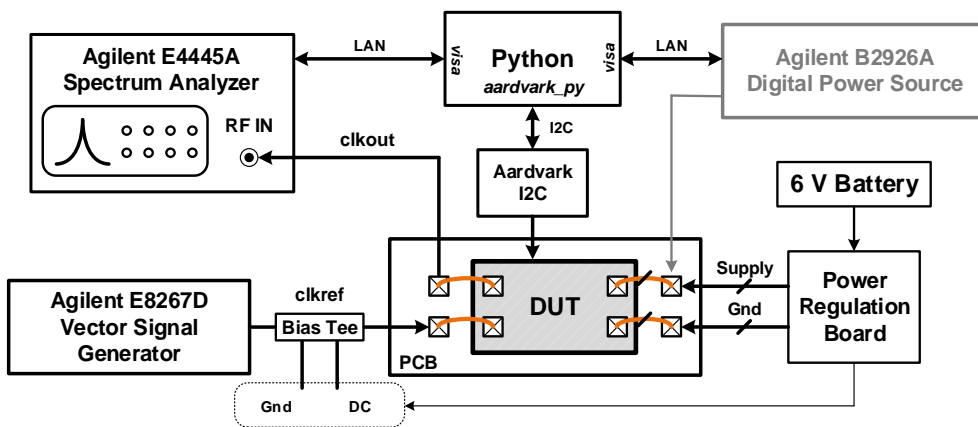


그림 4.2 측정 자동화 Set-up

4.2 Die Photomicrograph

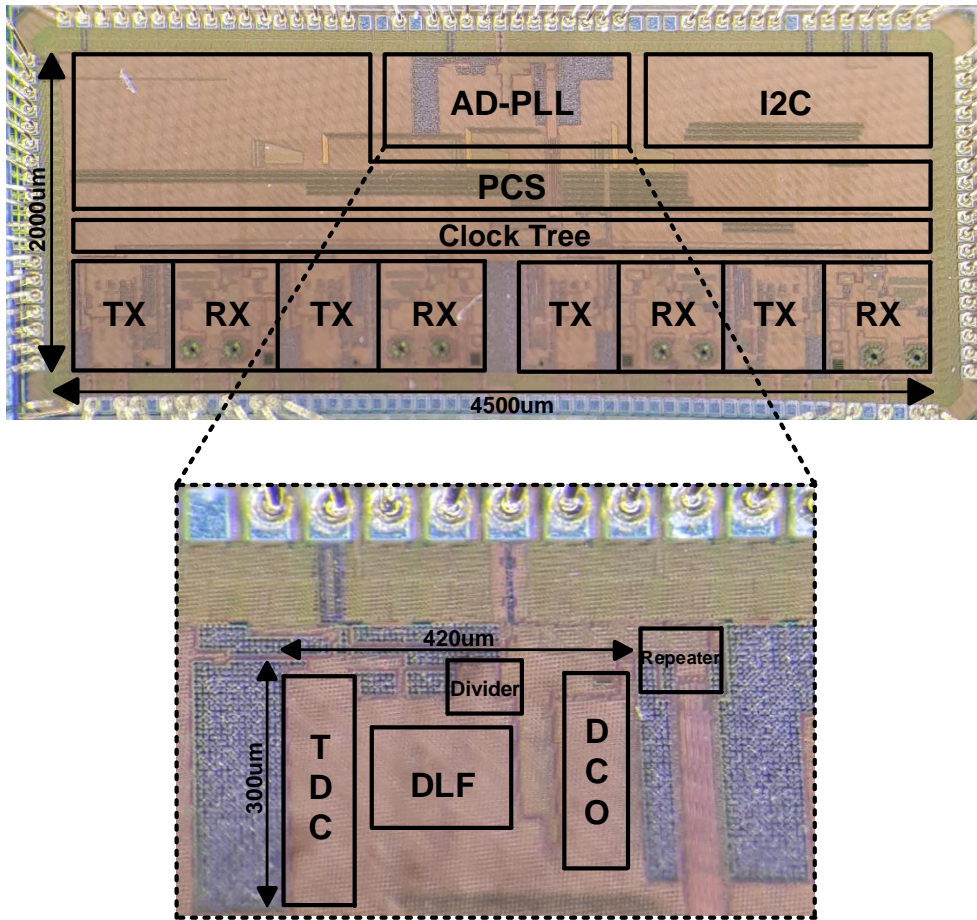


그림 4.3 Die Photomicrograph

그림 4.3은 PCIe를 지원하는 32Gbps Serial Link의 전체 Chip 사진 및 AD-PLL만을 확대한 사진이다. I2C Block을 통해 AD-PLL, TX, RX Block의 변수들을 바꿔주고 AD-PLL에서 생성된 Clock 신호가 Clock Tree를 통해 4 Lane TX, RX에 전달된다. PCS는 Link Layer로 가장 큰 면적을 차지하는 Digital Block이다. 전체 면적은 4500um*2000um이다.

AD-PLL은 TDC, DLF, Divider, DCO 그리고 Repeater로 구성되었으며 Digital Block인 DLF는 Verilog RTL 코드를 사용해 Synthesize 및

P&R을 통해 설계되었고 나머지 Analog Block들은 직접 Layout 하여 설계되었다. TDC가 31 Stage의 Delay Cell로 구성되어있기 때문에 세로 면적을 많이 차지하게 되었고 나머지 Block들은 최대한 붙여서 면적을 줄이고자 노력하였다. AD-PLL의 Active Area는 420um*300um이고 그림 4.3을 보면 Dummy Metal 때문에 구성 Block들이 보이지 않는데 그림 4.4의 Layout 사진을 보면 구성 Block들의 위치를 자세히 확인해 볼 수 있다.

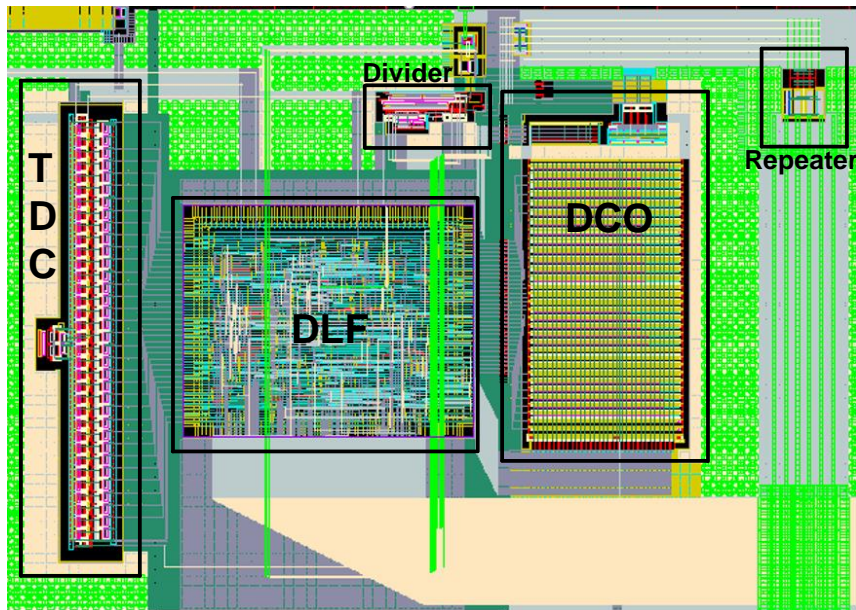


그림 4.4 AD-PLL Top Layout

4.3 Frequency Tracking Behavior

AD-PLL이 DCO의 동작 영역 안의 어떤 주파수에서도 Target 주파수를 쫓아갈 수 있는지 Frequency Tracking Behavior를 Simulation을 통해 확인하였다. 그림 4.4의 Layout에서 PEX (R+C+CC)를 추출하여 Post Layout Simulation으로 검증하였고 Hspice를 사용하면 정확도는

높지만 Simulation 시간이 너무 오래 걸려서 Finesim을 통해 검증하였으며 정확도는 조금 떨어지지만 AD-PLL의 Locking과정에서 주파수를 쫓아가는 경향성을 확인할 수 있었다. Simulation 결과는 그림 4.5와 같고 초기 주파수가 낮을 때와 높을 때 모두 PFD_UP, DN 신호가 제대로 발생하며 Target 주파수인 8GHz를 잘 쫓아가는 것을 확인할 수 있었다. 또한 초기 주파수가 Target 주파수보다 낮을 때 PFD_UP 신호만 발생하는 것이 아니라 PFD_UP, DN 신호가 모두 발생하며 Lock Time이 반대의 경우보다 길어지는 것을 알 수 있는데 그림에도 불구하고 평균적으로 PFD_UP 신호 값이 훨씬 많이 발생하기 때문에 주파수를 제대로 쫓아갈 수 있고 결과적으로 초기 주파수가 제일 낮은 경우에서 시작했을 때 100us의 시간 이내에서 AD-PLL이 정상적으로 Locking한 것을 확인할 수 있었다. 또한 주파수를 따라가는 과정에서 파형이 조금 떨리는 경향성이 있는데 이는 Finesim의 부 정확성 때문에 나타나는 현상이고 더 짧은 시간 동안 Hspice를 통해 확인해보았을 때는 이러한 현상이 없는 것을 그림 4.6을 통해 확인할 수 있다.

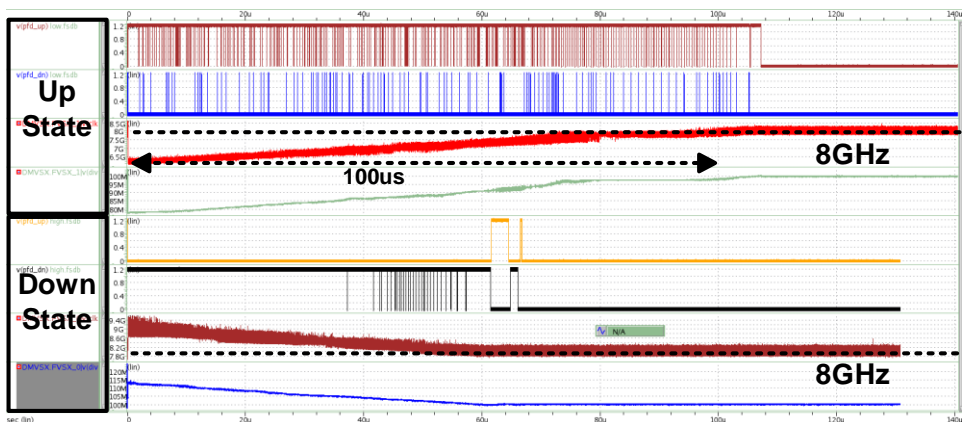


그림 4.5 Frequency Tracking Behavior – Finesim

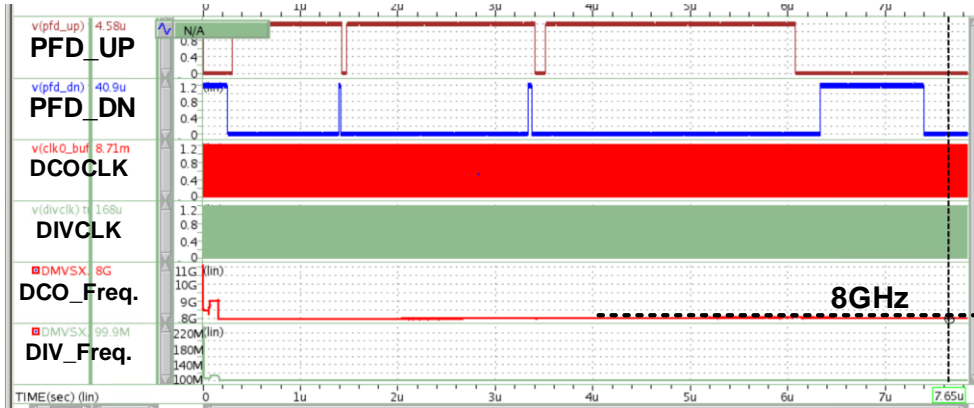


그림 4.6 Frequency Tracking Behavior – Hspice

4.4 Clock Distribution

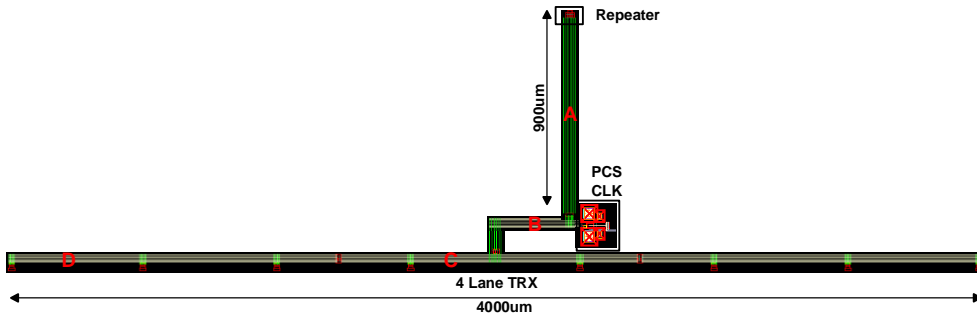


그림 4.7 Clock Tree Layout

AD-PLL에서 발생하는 4 Phase Clock 신호를 4 Lane TRX에 전달하기 위해서 3.8장에 설명하였듯이 Clock Tree가 필요하다. Clock Tree는 4 Phase Poly Phase Filter (PPF)와 CMOS Buffer로 이루어져 있으며 Layout은 그림 4.7과 같다. AD-PLL의 8GHz Mode에서 Simulation 하였을 때 그림 4.7의 A, B, C, D 지점에서 4 Phase Clock 모두 Duty 및 위상 차가 유지되며 4Lane TRX로 전달되는 것을 확인할 수 있었다. 모든 코너 TTTT, SSSS, FFFF에서 동작하는 것을 확인하였으며 지점 별 Clock 파형의 Post Layout Simulation 결과는 그림 4.8과 같고 모든 지

점에서 Clock 신호가 늦지 않고 전달되는 것을 볼 수 있다.

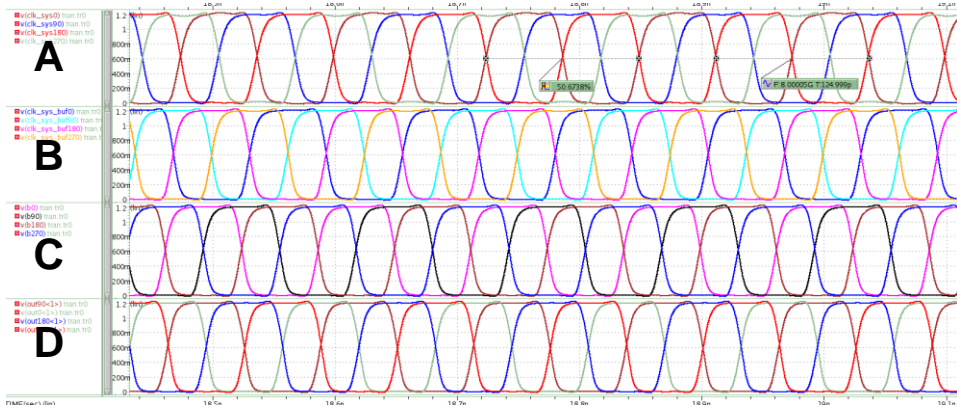


그림 4.8 Clock Distribution Simulation

4.5 Phase Noise and Spur Performance

앞서 설명하였듯이 AD-PLL의 RMS Jitter, Phase Noise, Spur 값의 측정은 Agilent E4445A 장비를 사용하였으며 Peak to Peak Jitter의 측정을 위해 TDS 8200 Digital Sampling Oscilloscope를 사용하였다. 또한 100MHz 주파수의 Reference Clock 신호를 제공하기 위해 Agilent 8267D 장비와 Crystal Oscillator 두 가지를 사용하였고 결과적으로 장비를 사용하였을 때 성능이 더 좋게 나오는 것을 확인하였다.

AD-PLL의 RMS Jitter를 측정하기 전에 AD-PLL의 Loop를 끊고 Free Running 상태에서 DCO의 Phase Noise를 측정해보았다. 8GHz 모드에서 DCO의 Phase Noise는 그림 4.9와 같으며 측정하기 위한 Clock은 외부에서 /2를 하고 뽑아냈기 때문에 Carrier Frequency는 4GHz로 측정되었다. Free running Phase Noise는 -99dBc/Hz @1MHz로 측정되었고 예상했던 값보다 낮은 값으로 측정되어 결과적으로 RMS Jitter 값도 모델링했던 값보다 더 좋은 성능을 얻을 것이라는 것을 예상해볼

수 있었다. 그림 4.9에서 Free Running이지만 저주파로 내려갈수록 Flat한 Phase Noise를 볼 수 있는데 이는 장비의 Limitation 때문이다.

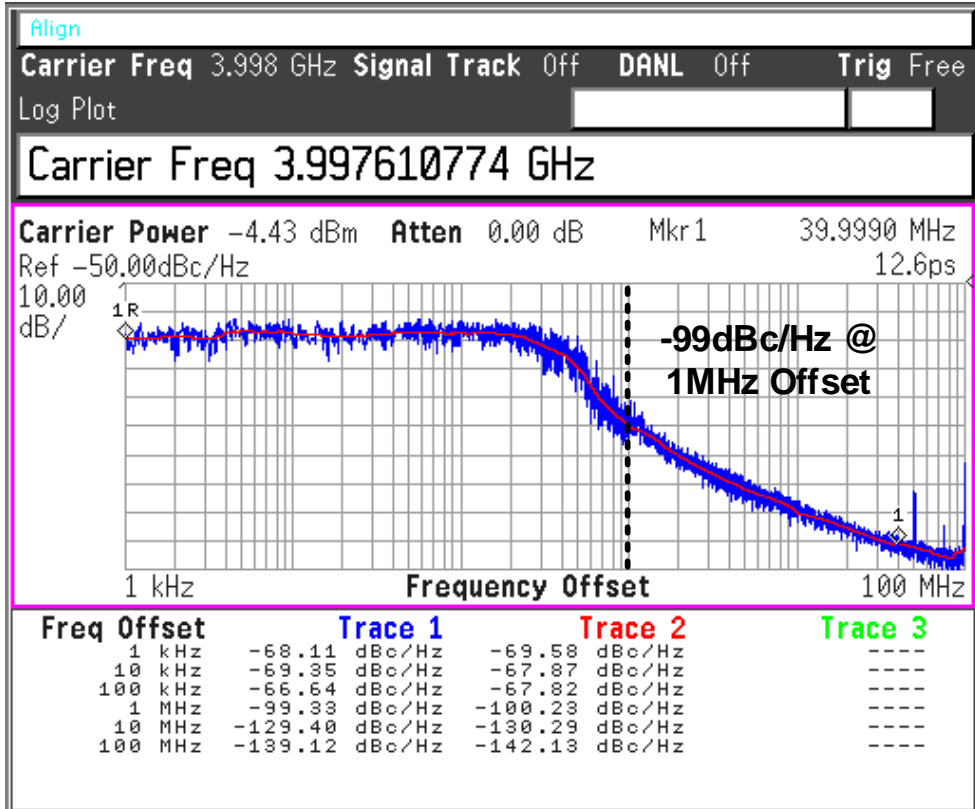


그림 4.9 DCO Free Running Phase Noise

그림 4.10은 본 논문에서 제안하는 Direct Proportional Path를 켜올 때와 껐을 때의 Lock한 AD-PLL의 Phase Noise 및 RMS Jitter를 측정해본 그림이다. 8GHz 모드에서 측정하였고 2.4장에서 분석했던 것과 비슷하게 Direct Path를 끄게 되면 Loop Delay의 영향으로 Peaking이 발생하고 RMS Jitter 값이 나빠진다. 반대로 Direct Path를 키면 Delay 없이 바로 TDC의 출력이 DCO에 Update되기 때문에 Loop Delay=0이 되고 Peaking은 낮아지고 RMS Jitter값은 좋아지는 것을 확인할 수 있

다. 그림 4.10은 모델링에서 예측했던 최적화된 DLF Gain 값인 $\alpha = 2^{-4}$ 에 맞춰준 그림이고 DLF 코드에서 TDC를 Binary 값으로 변환할 때 2를 곱해 주기 때문에 정확하게 말하면 $\alpha = 2^{-5}$, $\beta = 2^{-10}$ 값을 넣어주었다. Direct Gain도 표 3.1을 고려하여 Gain[3:0]=1011로 설정해주었고 그 때 RMS Jitter 값 (1kHz~ 40MHz)은 $357f_{s_{rms}}$ 이다.

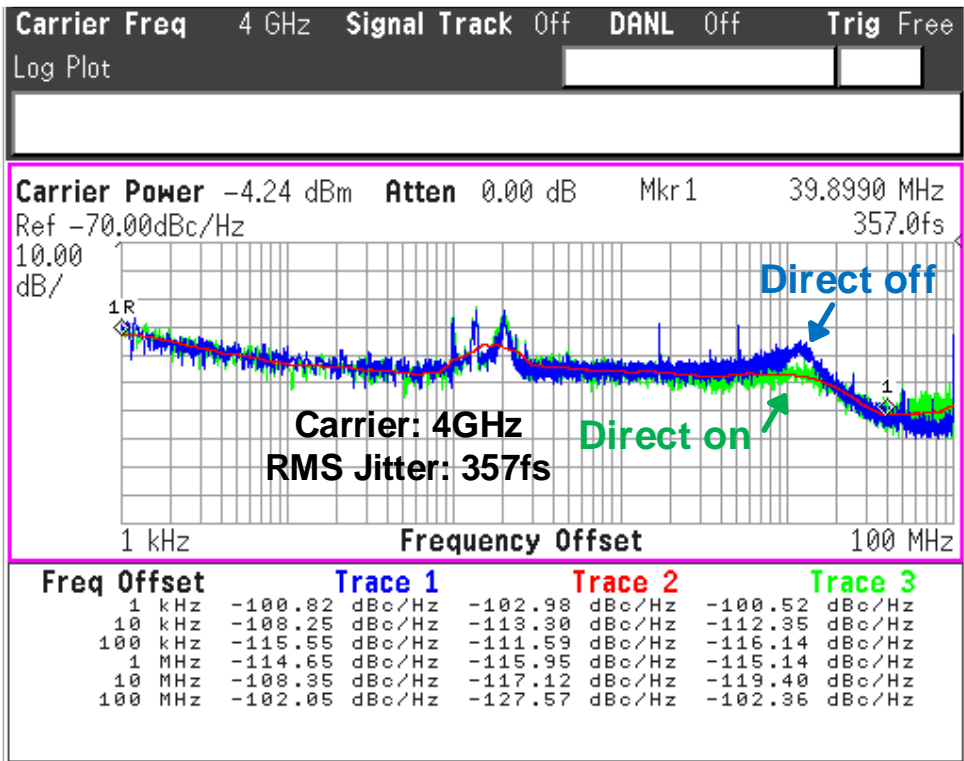


그림 4.10 Measured Phase Noise @Direct On/OFF (8GHz)

4.1장에서 설명하였던 측정 자동화를 통해 가장 좋은 성능을 갖는 변수 값 및 DLF Gain을 쉽게 찾을 수 있었다. 5GHz 모드에서는 $\alpha = 2^{-7}$, $\beta = 2^{-12}$, Gain[3:0]=1111 일 때 $394f_{s_{rms}}$ 로 측정되었다. 측정 결과는 그림 4.11과 같고 8GHz 모드보다는 조금 성능이 낮게 나왔는데 Direct Path가 8GHz 모드에 최적화되어 설계되었기 때문이라 생각된다.

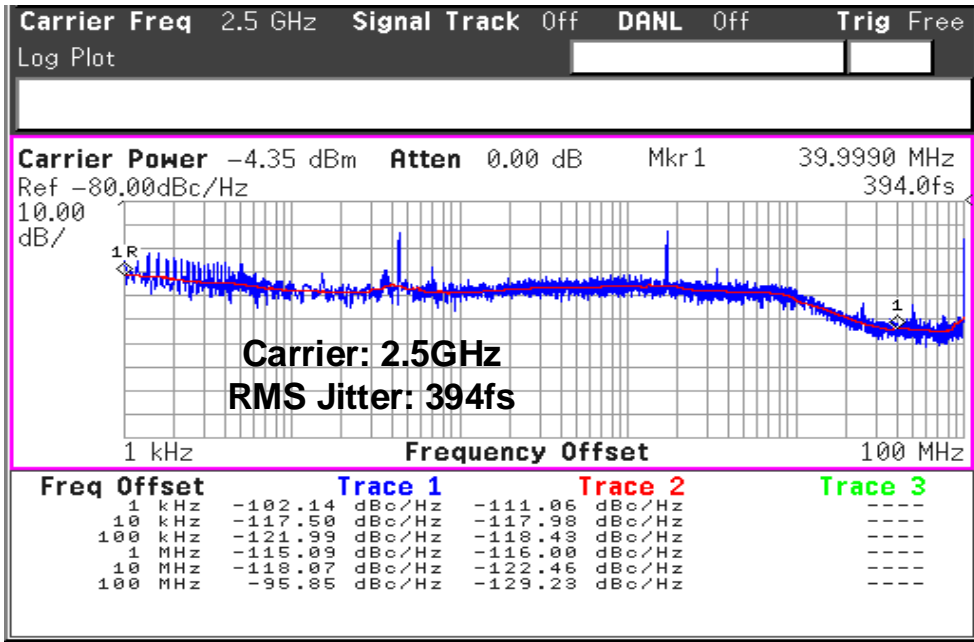
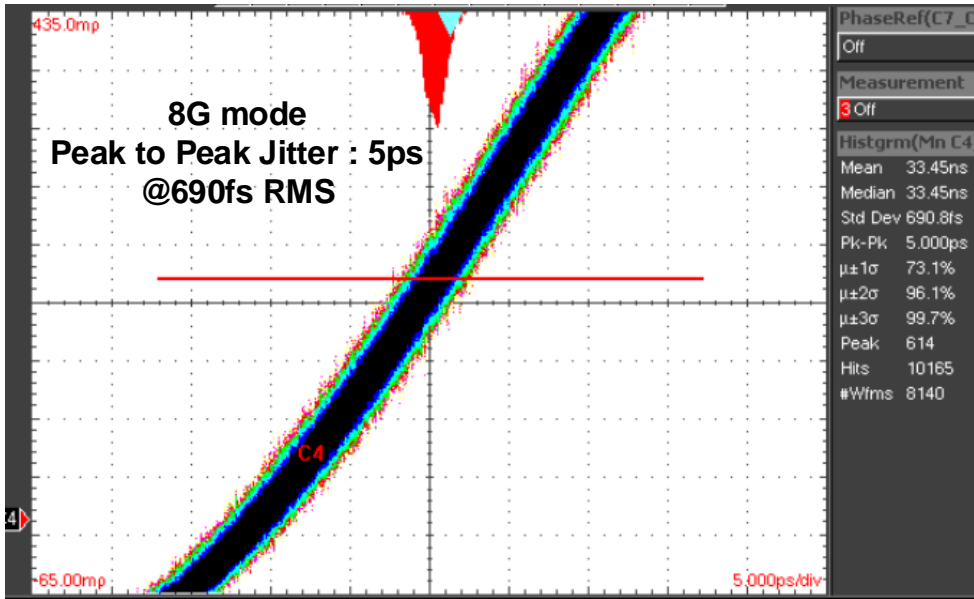
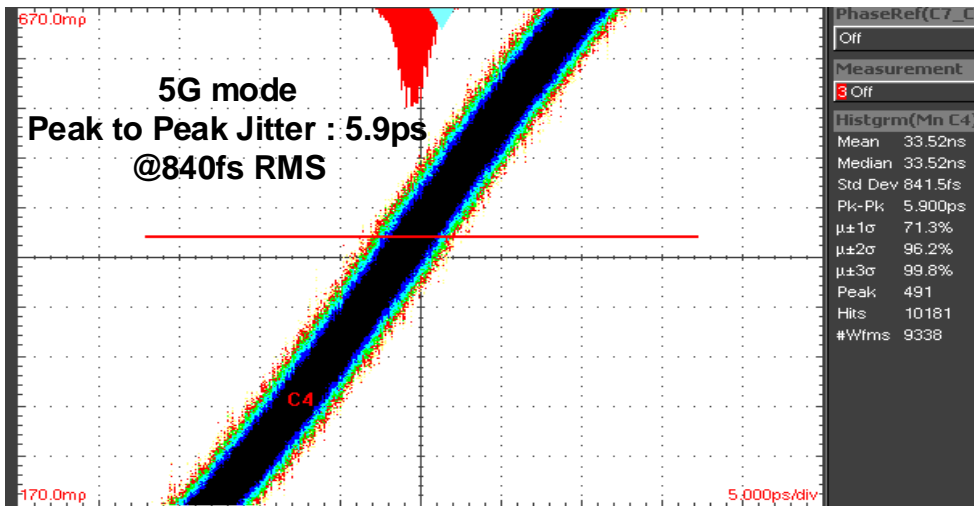


그림 4.11 Measured Phase Noise @Direct On (5GHz)

Peak to Peak Jitter를 측정된 결과는 그림 4.12와 같고 8GHz 모드에서 RMS Jitter가 $690f_{s,rms}$ 일 때 Peak to Peak Jitter는 5ps, 5GHz 모드에서 $840f_{s,rms}$ 일 때 Peak to Peak Jitter는 5.9ps로 확인할 수 있다. 그림 4.11은 1k~ 40MHz 영역만 적분하였기 때문에 RMS Jitter가 낮게 나왔고 Peak to Peak Jitter를 측정할 때 Digital Sampling Oscilloscope를 사용하여 Phase Noise를 측정할 때와는 다른 장비를 사용하였고 Peak to Peak Jitter 측정을 위해 Reference Clock 신호를 Trigger 신호로 장비에 넣는 과정에서의 Noise 때문에 조금 더 높은 RMS Jitter와 Peak to Peak Jitter 값이 측정되었다고 생각된다.



(a)

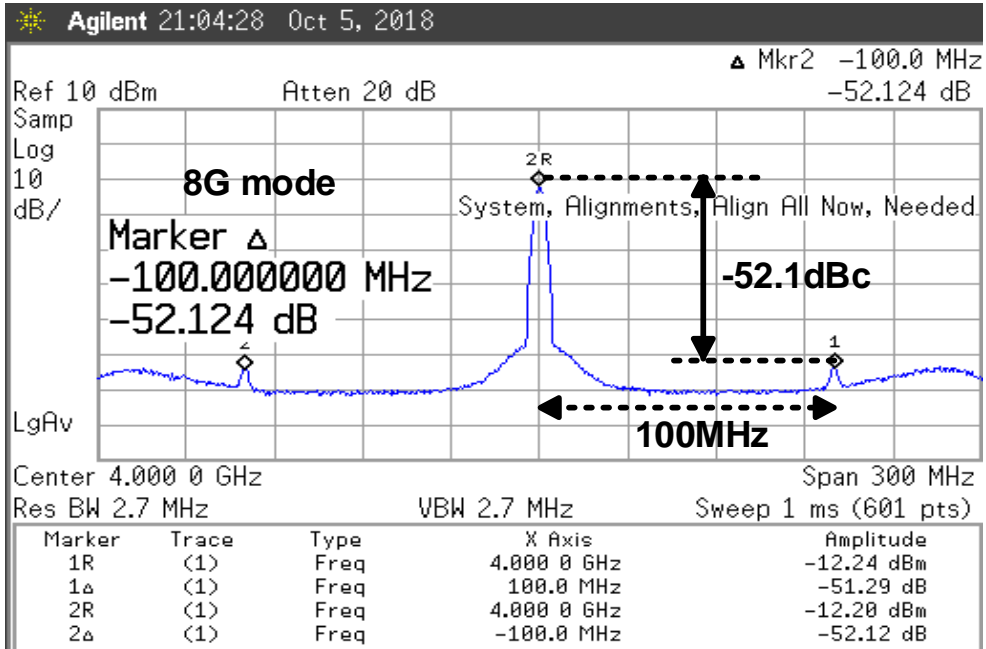


(b)

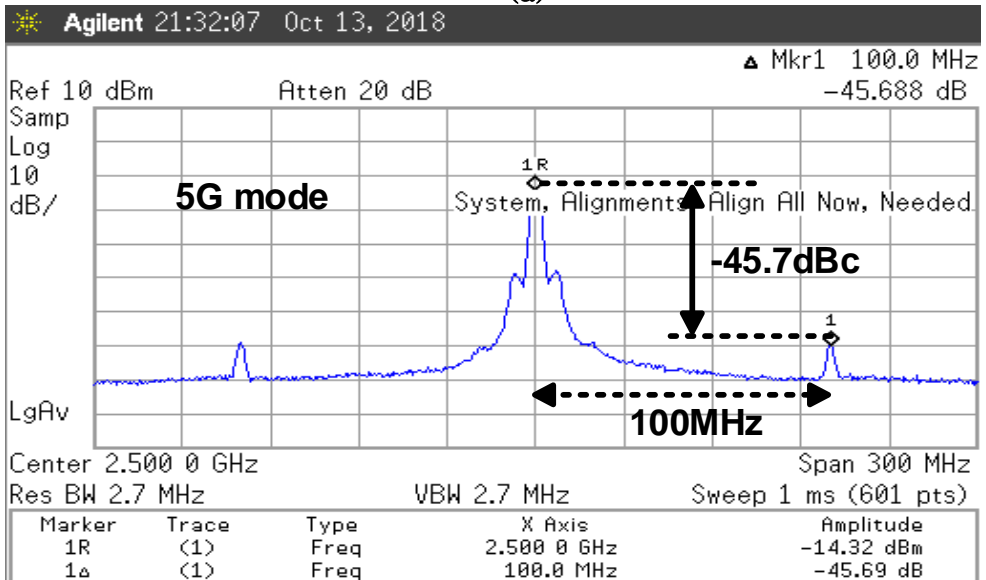
그림 4.12 Measured Peak to Peak Jitter (a)8GHz (b)5GHz

Reference Spur는 그림 4.13과 같이 8GHz에서 -52.1dBc , 5GHz에서 -45.7dBc 로 100MHz의 Reference Clock 주파수 성분이 측정되었다. 생각보다 Reference Spur값이 크게 측정된 것은 PCB 상에서 PLL의 출력 Clock 신호를 뽑아보는 곳과 Reference Clock이 들어가는 곳 사이의 Coupling 때문이라고 생각된다. 이는 Reference Clock 신호가

3.3V의 공급 전압을 통해 들어가는데 3.3V 공급 전압을 낮췄을 때 Reference Spur가 크게 완화되는 경향성을 확인할 수 있었다.



(a)



(b)

그림 4.13 Measured Reference Spur (a)8GHz (b)5GHz

4.6 Performance Summary

본 논문에서 제안하는 AD-PLL은 0.126mm^2 의 유효 면적을 갖고 8G 모드에서 18.26mW (TDC: 0.96mW, DLF: 2.5mW, DCO: 11.8mW, Divider: 3mW), 5G 모드에서 12.06mW 의 Power를 소비한다.

표 4.1은 비슷한 속도의 Analog PLL, AD-PLL, Injection Locked Clock Multiplier (ILCM)과의 성능을 비교한 것이다. 비교 대상들은 모두 Ring Based Oscillator로 구현된 것이고 유효 면적은 다른 것들보다 큰 편인데 이는 TDC를 31개의 Stage로 구현한 것과 DCO를 듀얼 모드로 구현하다 보니 DCR의 크기가 커져서 다른 것들과 비교하였을 때 면적이 커진 것으로 보인다. 또한 Power도 가장 많이 소비하는데 이는 안정적인 설계를 위하여 중간마다 Buffer를 너무 많이 들어갔고 전체 시스템에 4 Phase Clock 신호를 보내주기 위해서 Repeater의 Power는 빠졌으나 Repeater까지 도달하기 위한 4 Phase Buffer의 Power 소모가 컸다. 또한 Divider의 Power가 고속 동작이긴 하지만 많이 소비하는 편으로 생각되어 Power 최적화가 부족했던 것 같다. 하지만 표 4.1의 Analog PLL, AD-PLL들과 비교하였을 때 Direct Proportional Path를 사용하여 RMS Jitter 값이 제일 낮은 값을 얻었고 ILCM보다는 높은 Jitter값을 갖지만 Spur는 낮은 값을 가지는 것을 볼 수 있다. 결과적으로 FoM 관점에서도 좋은 편에 속하는 것을 알 수 있다.

	JSSC'16 [15]	ISSCC'16 [16]	TCAS II'14 [17]	ASSCC'15 [18]	ISSCC'15 [19]	ISSCC'17 [20]	This Work
Technology	65nm	14nm	90nm	40nm	16nm	65nm	65nm
Type	Analog PLL	Analog PLL	AD-PLL	AD-PLL	AD-PLL	ILCM	AD-PLL
f_{OUT}	10GHz	4GHz (0.4~5)	6GHz	5GHz	3GHz (0.25~4)	5GHz (2.5~5.75)	8GHz (5, 8)
f_{REF}	625MHz	100MHz	375MHz	250MHz	200MHz	125MHz	100MHz
Power (mW)	7.6	2.56	15.8	3.34	9.3	5.3	18.26
Supply (V)	1.2	0.95	1.0	1.1	0.8 (0.52~0.8)	1.0	1.2
Area (mm ²)	0.009	0.021	0.4	0.0049	0.029	0.09	0.126
Ref. Spur (dBc)	-58.28	N/A	N/A	-51.06	N/A	-45	-52.1
$Jitter_{rms}$ (fs)	414	1264	828	1242	1220	340	357
FoM_{JIT} (dB)*	-238.8	-233.9	-229.7	-232.9	-228.6	-242.4	-236.3

$$* FoM_{JIT}(dB) = 10 \cdot \log \left[\left(\frac{Jitter_{rms}}{1s} \right)^2 \cdot \left(\frac{Power}{1mW} \right) \right]$$

4.1 Performance Comparison with Similar Works

제 5 장 Conclusion

본 논문에서는 다음 세대 PCIe Gen5를 지원하기 위한 32Gbps Serial Link의 Clock 신호를 제공하는 AD-PLL을 제안하였다. 이전 세대와의 호환성을 위해 넓은 동작 주파수 영역을 갖고 낮은 RMS Jitter 값을 갖는 AD-PLL을 설계하였다.

Digital 방식으로 변환함에 따라 발생하는 Quantization Noise를 수식적으로 분석하였고 AD-PLL의 Noise Source 들과 Loop 특성을 통하여 출력에서 발생하는 Phase Noise에 대해 Matlab을 사용해 분석하고 그에 따른 최적화된 PLL 변수들을 찾았다. 또한 Verilog Simulation을 통해 RMS Jitter 값을 미리 예측해보았고 Loop Delay가 발생함에 따라 Peaking이 커지고 Noise 성능이 나빠지는 현상을 확인하였다. 이를 해결하기 위해 TDC의 출력을 바로 DCO에 전달할 수 있는 다이렉트 경로를 제안하였고 최적화된 Gain 근처를 조절할 수 있게 하였다. TDC는 Resolution이 뒤집히지 않는 한계까지의 낮은 Resolution을 구현하였고 DCR은 메인 줄기를 병렬적으로 두어서 모드 Selection 신호에 따라 듀얼 모드로 동작할 수 있게 설계하였다.

AD-PLL Chip 테스트 결과, 8GHz의 높은 속도를 전달해야 하기 때문에 비효율적으로 Buffer가 많이 추가되었고 Divider와 DCO의 Power가 최적화되지 못해 Power 소모에서 아쉬운 점을 남겼다. 하지만 모델링으로 예측하였던 것과 비슷한 RMS Jitter의 좋은 성능을 얻을 수 있었고 다이렉트 경로의 효과도 확인할 수 있었으며 최근의 연구들과 비교하여서도 좋은 FoM을 확인할 수 있었다.

참고 문헌

- [1] P. Dudek, et al., “A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line,” IEEE Journal of Solid-State Circuits, vol.35, no.2, pp. 240-247, Feb. 2000.
- [2] S. C. Jang, et al., “An Optimum Loop Gain Tracking All-Digital PLL Using Autocorrelation of Bang-Bang Phase-Frequency Detection,” IEEE Transactions on Circuits and System II, vol.62, no.9, pp. 836-840, Sep. 2015.
- [3] T. H. Seong, et al., “A -242dB FOM and -75dBc Reference Spur Ring DCO Based All-Digital PLL Using a Fast Phase-Error Correction Technique and a Low-Power Optimal-Threshold TDC,” 2018 IEEE International Solid-State Circuits Conference, 2018, pp. 396-398
- [4] V. Kratyuk, et al., “A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy,” IEEE Transactions on Circuits and System II, vol.54, no.3, pp. 247-251, Mar. 2007.
- [5] C. C. Chung and C. Y. Ko, “A Fast Phase Tracking ADPLL for Video Pixel Clock Generation in 65nm CMOS Technology,” IEEE Journal of Solid-State Circuits, vol.46, no.10, pp.2300-2311, Oct. 2011.
- [6] M. H. Perrott, M. D. Trott and C. G. Sodini, “A Modeling Approach for $\Sigma-\Delta$ Fractional-N Frequency Synthesizers Allowing Straightforward Noise Analysis,” IEEE Journal of

- Solid-State Circuits, vol.37 no.8, pp. 1028–1038, Aug. 2002.
- [7] D. H. Oh, et al., “A 2.8Gb/s All-Digital CDR with a 10b Monotonic DCO,” IEEE International Solid-State Circuits and Conference, 2007, pp. 222–223
- [8] T. Olsson and P. Nilsson, “A Digitally Controlled PLL for SoC Applications,” IEEE Journal of Solid-State Circuits, vol.39, no.5, pp. 751–760, May. 2004.
- [9] R. B. Staszewski and P. T. Balsara, “All Digital Frequency Synthesizer in Deep-Submicron CMOS,” Jon Wiley & Sons Inc., pp. 110–133, 2006.
- [10] R. B. Staszewski, et al., “All-Digital PLL and Transmitter for Mobile Phones,” IEEE Journal of Solid-State Circuits, vol.40, no.12, pp. 2469–2482, Dec. 2005.
- [11] N. Da Dalt, “A Design-Oriented Study of the Nonlinear Dynamics of Digital Bang-Bang PLLs,” IEEE Transactions on Circuits and Systems I , vol.52, no.1, pp. 21–31, Jan. 2005.
- [12] G. Marucci, et al., “Analysis and Design of Low-Jitter Digital Bang-Bang Phase-Locked Loops,” IEEE Transactions on Circuits and Systems I , vol.61, no.1, pp. 26–36, Jan. 2014.
- [13] D. H. Oh, K. J. Choo and D. K. Jeong, “Phase-Frequency Detecting Time-to-Digital Converter,” Electronics Letters, vol.45, no.4, pp. 201–202, Feb. 2009.
- [14] J. M. de la Rosa, “Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey,” IEEE Transactions on Circuits and Systems I , vol.58, no.1, pp. 1–21, Jan. 2011.

- [15] W. R. Bae, et al., “A 7.6mW, 414fs RMS–Jitter 10GHz Phase–Locked Loop for a 40Gb/s Serial Link Transmitter Based on a Two–Stage Ring Oscillator in 65 nm CMOS,” IEEE Journal of Solid–State Circuits, vol.51, no.10, pp. 2357–2367, Oct. 2016.
- [16] K. Y. Shen, et al., “A 0.17–to–3.5mW 0.15–to–5GHz SoC PLL with 15dB Built–In Supply Noise Rejection and Self–Bandwidth Control in 14nm CMOS,” 2016 IEEE International Solid–State Circuits Conference, 2016, pp. 330–331
- [17] J. H. Yang, et al., “Phase–Rotator–Based All–Digital Phase–Locked Loop for a Spread–Spectrum Clock Generator,” IEEE Transactions on Circuits and Systems II, vol.61, no.11, pp.880–884, Nov. 2014.
- [18] C. H. Chiang, C. C. Huang and S. L. Liu, “A Digital Bang–Bang Phase–Locked Loop with Bandwidth Calibration,” 2015 IEEE Asian Solid–State Circuits Conference, 2015, pp. 1–4.
- [19] T. H. Tsai, et al., “A 1.22ps Integrated–Jitter 0.25–to–4GHz Fractional–N ADPLL in 16nm FinFET CMOS,” 2015 IEEE International Solid–State Circuits and Conference, 2015, pp. 1–3.
- [20] D. Coombs, et al., “A 2.5–to–5.75GHz 5mW 0.3 ps_{rms} –Jitter Cascaded Ring–Based Digital Injection–Locked Clock Multiplier in 65nm CMOS,” IEEE International Solid–State Circuits Conference, 2017, pp. 152–153

Abstract

Design of 5/8GHz Dual Mode All-Digital Phase-Locked Loop using Direct Path

Byungmin Kim

Dept. of Electrical and Computer Engineering

The Graduate School

Seoul National University

As data transmission speed has increased in recent years, a variety of data processing techniques have been studied and high-speed transceiver has become important. Above all, Phase-Locked Loop (PLL), which synthesizes high frequency clock signal, is one of the important parts. In particular, All-Digital PLL (AD-PLL), which has advantage of programmability and PVT tolerance, is replacing Analog PLL that requires passive element utilization.

This thesis presents a 5/8GHz dual mode AD-PLL to provide common clock signal to 32Gbps serial link to support Peripheral Component Interconnect Express (PCIe) PHY. For compatibility with previous generations and wide operating region, AD-PLL uses dual mode Digitally Controlled Oscillator (DCO). Before an actual design, output RMS Jitter, Phase Noise of AD-PLL and quantization error resulting from digital conversion are calculated and analyzed by using Matlab, Verilog behavioral simulation in a short time. In addition, the output of Time-to-Digital Converter (TDC) is directly delivered to the DCO without Digital Loop Filter (DLF) using direct path to solve

loop delay issue where information can't be updated within a cycle of reference clock.

The proposed AD-PLL is fabricated in 65nm CMOS process and effective area of AD-PLL is $420\mu\text{m} \cdot 300\mu\text{m}$ and the measured RMS Jitter is 357fs at 8GHz mode, 394fs at 5GHz mode. Also, proposed AD-PLL supports the low/high band(5/8GHz) to be compatible with the various modes of PCIe spec. Power dissipation is 18.26mW at 8GHz mode, 12.06mW at 5GHz mode in 1.2V supply voltage domain excluding repeater.

Keywords : All-Digital Phase-Locked Loop (AD-PLL), Digitally Controlled Oscillator (DCO), Digital Loop Filter (DLF), Phase Noise (PN), Loop Delay, Direct Path

Student Number : 2017-27750