

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Électronique d'un convertisseur
photon-numérique 3D pour une résolution
temporelle de 10 ps FWHM

Thèse de doctorat
Spécialité : génie électrique

Frédéric Nolet

Sherbrooke (Québec) Canada

Mars 2020

MEMBRES DU JURY

Jean-François PRATTE

Directeur

Réjean FONTAINE

Évaluateur

Grzegorz DEPTUCH

Évaluateur

Marc-André Tétrault

Rapporteur

RÉSUMÉ

Les technologies utilisant la détection monophotonique sont de plus en plus présentes dans nos vies. De nombreuses applications nécessitent un photodétecteur possédant une haute efficacité de détection ainsi que d'excellentes performances temporelles, de l'ordre de 10 ps LMH. L'un des exemples qui aura un impact dans nos vies à court terme est l'intégration de système de télémétrie laser sur les véhicules afin de les rendre autonomes. Le domaine de l'imagerie médicale peut également profiter du développement de nouveaux photodétecteurs possédant une très haute précision temporelle. Par exemple, la tomographie d'émission par positrons permet d'imager le métabolisme des cellules, une technique très utilisée dans la détection de tumeurs cancéreuses. Une résolution temporelle en coïncidence de 10 ps LMH permet d'augmenter drastiquement le contraste des images des scanners TEP en localisant l'endroit sur la ligne de réponse où s'est produite l'annihilation du positron et de l'électron. L'atteinte d'une résolution de 10 ps LMH représenterait un changement de paradigme puisqu'il serait possible de produire directement une image sans utiliser un processus de reconstruction.

Présentement, les cristaux scintillateurs et les photodétecteurs sont les deux facteurs limitant l'atteinte d'une résolution de 10 ps LMH. Au niveau du photodétecteur, une gigue temporelle de détection de photon unique de 10 ps LMH est requise pour atteindre une résolution en coïncidence de 10 ps LMH. Le Groupe de recherche en appareillage médicale travaille à atteindre cette performance depuis de nombreuses années. Le projet phare du groupe au niveau du développement de photodétecteur est le convertisseur photon-numérique 3D. Pour ce détecteur, une intégration verticale 3D de deux puces de silicium est requise. Sur la première couche, une matrice de photodiode à avalanche monophotonique est conçue dans une technologie sur mesure de Teledyne Dalsa Semiconductor Inc est intégrée en 3D sur une seconde couche de technologie standard CMOS 65 nm de Taiwan Semiconductor Manufacturing Company Ltd.

Ce projet de doctorat vise à concevoir un circuit en technologie CMOS qui attribue à chaque photodiode à avalanche monophotonique un circuit d'étouffement et un convertisseur temps-numérique possédant une gigue sous les 10 ps LMH. Cette thèse présente le développement d'une matrice de 256 circuits de lecture de photodiodes à avalanche monophotonique optimisés pour obtenir la meilleure résolution temporelle tout en intégrant un circuit de traitement numérique. Pour atteindre une résolution de 10 ps LMH, un système de correction des non-uniformités et des variations de délai de propagation de chaque pixel a été implémenté. Pour finir, cette recherche conclut sur l'implémentation d'un circuit d'asservissement pour stabiliser les performances du convertisseur temps-numérique pour les variations de tension d'alimentations et de température.

Mots-clés : Photodiode à avalanche monophotonique, circuit d'étouffement, convertisseur temps-numérique, circuit intégré, CMOS, photomultiplicateur sur silicium numérique, tomographie par émission de positrons.

À ma femme, Annick.
À ma fille, Magalie.

REMERCIEMENTS

Je souhaite débiter en remerciant toute l'équipe du Groupe de recherche en appareillage médicale avec qui j'ai travaillé tout au long de ce projet, vous faites partie intégrale de la réussite de ce projet. Je remercie mon directeur de recherche, Jean-François Pratte, pour ta motivation, ta rigueur scientifique, et surtout, merci de me donner l'opportunité de me surpasser et d'acquérir les expériences nécessaires pour poursuivre la carrière que je souhaite entreprendre. Merci de me permettre de réaliser d'innombrables projets, même ceux qui sont sortis d'un chapeau. Merci de favoriser mon processus créatif et surtout, mon processus artistique. Je souhaite également remercier les professeurs Réjean Fontaine et Serge Charlebois pour leur contribution à mes projets, leurs conseils ainsi que leur point de vue qui m'ont permis d'amener mes communications scientifiques à un autre niveau.

Je remercie mes collègues Frédéric Dubois et William Lemaire avec qui j'ai travaillé de longues heures à la conception du circuit matricielle de 256 pixels qui nous a permis d'obtenir d'excellents résultats. Ce fut un grand défi que je suis heureux d'avoir relevé avec vous. Merci également à Nicolas Roy pour ton aide à travers l'intégralité de mon projet de doctorat, toujours un plaisir de travailler avec toi. Merci à Samuel Parent pour ton aide et ton implication dans mes projets, un résultat sous 10 ps n'aurait jamais été possible sans ta contribution. Merci à Tommy Rossignol pour ton approche positive d'aborder tous nos problèmes. Merci à Simon Carrier, Jonathan Bouchard, Arnaud Samson, Caroline Paulin, Frédéric Vachon, Gabriel St-Hilaire, Pascal Gendron pour votre aide dans la conception, caractérisation et réalisation de mes différents projets.

De plus, je souhaite remercier ma femme, Annick, de m'avoir soutenu durant toutes ces années dans mon désir de continuer dans le domaine académique et de la recherche ainsi que pour tous les sacrifices que cela représente.

Pour terminer, merci aux organismes qui m'ont offert un support financier afin que je puisse mener à bien ce projet. Merci au Conseil de recherches en sciences naturelles et en génie du Canada, aux Fonds de recherche du Québec - Nature et Technologies et à CMC Microsystems. Je souhaite également remercier l'Université de Sherbrooke et l'institut interdisciplinaire d'innovation technologique (3IT) pour l'accès aux équipements de pointes et aux infrastructures qui ont été nécessaires à la réalisation de mon projet.

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Mise en contexte et problématique	1
1.2	Question de recherche et objectifs du projet	3
1.3	Contributions originales	5
1.3.1	Résumé des travaux	5
1.3.2	Retombées des travaux	9
1.4	Plan du document	9
2	ÉTAT DE L'ART	11
2.1	Applications	11
2.1.1	Temps de vol par mesure moyennée : télémétrie laser et caméra 3D	12
2.1.2	Temps de vol par mesure unique : imagerie médicale et physique subatomique	14
2.1.3	Conclusion	16
2.2	Matrice de SPAD	16
2.2.1	SiPM	16
2.2.2	SiPM numérique	20
2.2.3	Conclusion	26
2.3	Performances temporelles des SiPM numériques	27
2.3.1	Gigue temporelle du circuit d'étouffement	27
2.3.2	Gigue temporelle du convertisseur temps numérique	32
2.3.3	Uniformité matricielle	36
2.3.4	Conclusion	43
3	SPAD, circuit d'étouffement et convertisseur temps-numérique en CMOS 65 nm	45
3.1	Introduction	45
3.2	Gigue temporelle du circuit d'étouffement	46
3.3	Gigue temporelle du circuit d'étouffement et du SPAD en CMOS 65 nm	47
3.3.1	Temps de montée du signal à l'interface SPAD et circuit d'étouffement	47
3.3.2	Variation de la tension d'excès au noeud d'étouffement	50
3.4	Impact des tensions d'alimentation isolées sur la gigue temporelle	54
3.5	Architecture des inverseurs appauvris en courant	54
3.6	Conclusion	57
4	Article sur l'optimisation de consommation de puissance du TDC	59
4.1	Avant-propos	59
4.2	Optimisation de consommation de puissance du TDC	62
4.2.1	Introduction	62
4.2.2	TDC architecture and implementation	63
4.2.3	Measurement Results	66

4.2.4	Conclusion	68
4.3	Compléments sur l'article	69
4.3.1	Mesure de gigue temporelle à différents LSB	69
4.3.2	Limitations du montage de la mesure de la gigue temporelle	72
4.4	Conclusion	75
5	Article sur l'électronique matricielle	77
5.1	Avant-propos	77
5.2	Article sur l'électronique matricielle	80
5.2.1	Architecture	82
5.2.2	Materials and Methods	89
5.2.3	Results	93
5.2.4	Discussion	101
5.2.5	Conclusion	105
5.3	Compléments sur l'article	107
5.3.1	Circuit de filtrage du bruit d'obscurité	109
5.3.2	Analyse de la variation du LSB des TDC en matrice	111
5.4	Conclusion	114
6	Boucles à verrouillage de phase (PLL) pour calibrer le TDC	117
6.1	Introduction	117
6.2	Architecture	119
6.3	Montage de test	122
6.4	Gigue temporelle	123
6.4.1	Gigue temporelle de la PLL	123
6.4.2	Gigue temporelle du TDC	124
6.5	Variation de la période de l'oscillateur lent	125
6.5.1	Résultats	126
6.6	Variation du LSB du TDC	127
6.6.1	Résultats	128
6.6.2	Variation de la période de l'oscillateur rapide	129
6.7	Linéarité du TDC	132
6.7.1	Résultats	133
6.8	Analyse et Discussion	135
6.8.1	Impact de la variation de la période des oscillateurs et du LSB sur la gigue temporelle	135
6.8.2	Modification à apporter sur la PLL	137
6.8.3	Recommandations	139
6.8.4	Nouvelle architecture	142
6.9	Conclusion	144
7	CONCLUSION	147
7.1	Sommaire	148
7.2	Contributions originales	149
7.3	Perspectives	152

LISTE DES FIGURES

1.1	Schéma d'un convertisseur photon-numérique 3D. La couche supérieure est une matrice de SPAD reliée par des interconnexions verticales à l'électronique de lecture CMOS. La connexion entre le circuit imprimé et l'électronique CMOS est effectuée à l'aide du microcâblage.	3
1.2	Dessin des masques du circuit intégré <i>ICSSHSR3</i> comprenant des paires SPAD et circuit d'étouffement dont un prototype possédant une gigue temporelle sous 10 ps LMH [98]. De plus, différents pixels de CPN (SPAD, circuit d'étouffement et TDC) ont été intégrés dont une architecture possédant une gigue temporelle sous 20 ps LMH [99].	6
1.3	Module de détection monophotonique possédant une précision de 10 ps LMH qui nécessite seulement une alimentation de 10 V et qui possède une sortie SMA 50 ohms.	6
1.4	Photo du circuit intégré <i>ICSSHSR4</i> comprenant deux matrices de 256 pixels de circuit de lecture de SPAD avec un circuit de traitement numérique intégré pour réduire l'impact des contributions matricielles à la gigue temporelle du détecteur.	7
1.5	Photo du circuit intégré <i>ICSSHTD1</i> comprenant 8 TDC avec entrée et sortie individuelles ainsi qu'une section de test de 4 TDC pour valider de nouvelles architectures de TDC.	8
2.1	Exemple d'images permettent d'observer à quelle distance se trouvent les autres véhicules à l'aide d'une caméra 3D à base de SPAD comprenant 64×32 SPAD [24].	13
2.2	Image 3D d'un véhicule à une distance de 60 m. Les images ont été prises à différents angles avec une caméra de 128×128 pixels et prises avec une seule acquisition [10].	13
2.3	L'effet de la mesure de temps de vol en TEP. La ligne de réponse sans la mesure de temps de vol est continue alors que la mesure de temps de vol permet d'évaluer la position sur la ligne de réponse [68].	15
2.4	Diagramme électrique simplifié d'un SiPM [117].	17
2.5	Précision temporelle de détection de photon unique pour un SPAD individuel (50 ps), un SiPM de $1 \times 1 \text{ mm}^2$ (80 ps) et un SiPM de $3 \times 3 \text{ mm}^2$ (180 ps) [4].	18
2.6	Dispersion du temps de propagation pour un SiPM avec un plot de connexion au centre d'un côté. Le détecteur possède une dispersion maximale d'environ 100 ps pour une taille de $3 \times 3 \text{ mm}^2$ [7].	19
2.7	Dispersion du temps de propagation pour un SiPM avec trois plots de connexion pour minimiser la dispersion à la hauteur de 40 ps pour une taille de $3 \times 3 \text{ mm}^2$ [7].	20
2.8	SiPM de $3 \times 3 \text{ mm}^2$ intégré en 3D divisé en 16 parties afin de réduire la charge de chaque SiPM sans affecter le facteur de remplissage [16].	21

2.9	Schéma d'un SiPM numérique possédant (a) un TDC pour une matrice, (b) une distribution de TDC par surface ou par colonne et (c) un TDC par SPAD	22
2.10	Schéma d'un SiPM numérique coller en face avant et illuminer en face arrière [166].	23
2.11	Image en ton de gris provenant d'un détecteur à base de SPAD illuminé en face arrière sans traitement post-acquisition. L'image provient d'une seule acquisition et les points blancs représentent des pixels avec fort bruit d'obscurité [3].	24
2.12	Image en ton de gris provenant d'un détecteur à base de SPAD illuminé en face arrière provenant de mesure répété d'un clocher à une distance de 3,5 km [15].	24
2.13	Image d'un SiPM numérique illuminée en face avant. La Figure (a) représente une vue en coupe du détecteur et en (b) une vue de dessus du détecteur assemblé [16].	25
2.14	Image d'un SiPM numérique illuminé en face avant et assemblé à l'Université de Sherbrooke. La couche de photodétecteur a été aminci à 50 μm pour l'intégration 3D [116].	26
2.15	Courbe en S du comparateur lorsque déclenché par un SPAD à gauche et la dérivée de cette courbe en S à droite. La dérivé nous permet de déterminer la variation de la tension d'excès en LMH [89]	29
2.16	Temps de propagation d'un inverseur utilisé pour lire un SPAD en technologie CMOS 800 nm [120].	30
2.17	Architecture de comparateur pour réduire la gigue temporelle et la dispersion du temps de propagation sans l'ajout de circuit de compensation [96].	31
2.18	En (a), l'architecture d'un comparateur de lecture de SPAD à l'anode et en (b), la variation du temps de propagation en fonction de la surtension appliquée [37].	32
2.19	Gigue temporelle d'un TDC avec trois valeurs de LSB. Il est possible d'observer qu'à faible LSB (52 ps, en vert), l'erreur de quantification domine, ce qui provoque un plateau d'une largeur du LSB dans le haut de la distribution [125]. Les courbes bleue et rouge représente une distribution qui combine une forme gaussienne de la gigue temporelle de l'électronique et la forme rectangle de l'erreur de quantification dont la gigue de l'électronique domine.	34
2.20	Schéma bloc d'un TDC Vernier avec deux anneaux oscillateurs. Le circuit de prélogique permet de conditionner les signaux d'entrée. La mesure en temps s'effectue à partir des deux oscillateurs et le circuit de coïncidence permet d'arrêter le TDC lorsque la conversion du temps est terminé.	34
2.21	Gigue temporelle du TDC en fonction du nombre de tours effectués et de la plage dynamique couverte par le circuit. Il est possible de voir l'accumulation de la gigue en mode Vernier (ex : 0 à 30 TDC codes) ainsi que l'accumulation associée en mode oscillateur simple (ex : Code 0, 30, 60, 90, 120, etc.) [125].	35

2.22	Graphique du nombre de pixels en fonction de la tension de claquage mesuré pour (a) une matrice de 20 000 SPAD pour une variation RMS sous 50 mV et (b) une matrice de 65 000 SPAD pour une variation RMS de 67 mV [13].	37
2.23	Délai de l'arbre de déclenchement d'une matrice de $3 \times 3 \text{ mm}^2$ composé de 8 192 SPAD avec une contribution de 42 ps RMS à la gigue temporelle [40].	39
2.24	Délai de l'arbre de déclenchement d'une matrice de $1 \times 1 \text{ mm}^2$ composé de 484 SPAD avec une contribution de 13 ps RMS à la gigue temporelle [141].	39
2.25	Effet de la dispersion du temps de propagation d'un signal d'horloge et de la variation du LSB du TDC sur la résolution en temps en coïncidence de deux détecteurs TEP à base de cristaux LYSO [71].	40
2.26	Variation du LSB (largeur de bin) de TDC dans un SiPM numérique composé de 20 000 canaux (environ 2 ps RMS)[152].	41
2.27	Comparaison du code de sortie du TDC en fonction du nombre de pixels activés dans une matrice pour un circuit (a) ne possédant pas de circuit de calibration et (b) possédant une boucle de verrouillage de phase (PLL) pour calibrer les TDC [151].	42
2.28	Simulation sur l'effet du nombre de TDC dans une matrice (484 représente 1 TDC pour 1 circuit d'étouffement) sur la résolution temporelle en coïncidence de deux cristaux scintillateurs avec mécanisme de photons prompts [142].	43
2.29	Circuit logique d'un arbitre CMOS à 2 entrées [125].	44
3.1	Le circuit intégré (a) ICSSHSR2 comprenant la version originale du circuit d'étouffement et le circuit intégré (b) ICSSHSR3 comprenant le nouveau circuit d'étouffement et les TDC améliorés présentés dans ce chapitre. . . .	46
3.2	La gigue temporelle de 7.8 ps LMH du SPAD et circuit d'étouffement en CMOS 65 nm (a) et la gigue temporelle en fonction du seuil de comparaison du circuit d'étouffement (b)[98]. La deuxième distribution centré à 65 ps provient d'une réflexion dans le montage optique qui ne pouvait être soustraite.	48
3.3	Montage de test pour évaluer la pente du signal à l'interface de la paire SPAD et circuit d'étouffement. Le seuil est balayé pour déterminer la différence en temps entre un signal de référence et chaque point d'amplitude du signal d'entrée du discriminateur. Un histogramme de la différence en temps est effectué et la moyenne obtenu est combiné à la valeur de tension associée au seuil choisi.	49
3.4	L'amplitude du signal en fonction du temps à l'interface entre un SPAD et le circuit d'étouffement pour un SPAD de $8 \mu\text{m}$ et de $20 \mu\text{m}$. Ce graphique nous permet d'observer le temps de montée ou la pente de ce signal pour différentes tension d'excès.	49
3.5	Gigue temporelle du SPAD et du circuit d'étouffement pour différentes tension d'excès en fonction de la pente estimée à partir de la Figure 3.4. Il est possible d'observer que plus la pente est élevée, plus la gigue temporelle est faible.	50

3.6	(a) Variation du délai de propagation du comparateur en fonction de la surtension appliquée et (b) la variation de la surtension lorsqu'un SPAD est connecté [89, 98].	51
3.7	Gigue temporelle du SPAD et du circuit d'étouffement en comparaison avec la gigue temporelle calculée qui provient de la variation du délai de propagation et de la tension d'excès du SPAD [98].	51
3.8	Gigue temporelle du SPAD et du circuit d'étouffement en fonction de la surtension appliquée. Il est possible de constater que les SPAD de $8 \mu m$ et de $20 \mu m$ ont le même comportement. Il est également possible de constater qu'à faible surtension (ex : 1 V) la gigue temporelle varie différemment (du moins elle est plus élevée).	52
3.9	Architecture de comparateur pour réduire la dispersion du temps de propagation basé sur un bloc de délai ajustable [3].	54
3.10	Gigue temporelle du SPAD et du circuit d'étouffement combiné en fonction de la fréquence du signal d'arrêt du TDC. Cette figure illustre l'impact de l'isolation des tensions d'alimentations entre le circuit d'étouffement et le TDC [99].	55
3.11	L'oscillateur du TDC est composé d'inverseurs appauvris en courant. En (a) est l'architecture standard d'un inverseur appauvri tel qu'utilisé dans le TDC présenté par Roy [124, 125]. En (b) les transistors limitant le courant sont placés à l'intérieur des transistors de l'inverseur. En (c), une porte de transmission contrôle le courant de l'inverseur.	56
3.12	Gigue temporelle du TDC en fonction de l'architecture d'inverseur implémenté dans l'oscillateur. L'architecture permet d'obtenir la meilleure gigue temporelle de 5 ps RMS pour une résolution de 9 ps.	56
4.1	Bloc diagram of the TDC architecture. Highlighted is the prelogic circuit to reduce the power consumption from a periodic stop signal.	64
4.2	Timing diagram of the prelogic circuit. On the left side, the start signal arrives when the stop signal is at a low level ('0') and on the right, when the stop signal is at a high level ('1').	65
4.3	Micrograph of the ASIC. Inset shows the layout of the proposed TDC with the main blocks highlighted (size of $36 \times 42 \mu m^2$).	66
4.4	TDC power consumption as a function of the event rate for different stop frequencies. The operating point for PET is 10^4 events with a 250 MHz stop signal, providing a power consumption of $22 \mu W$. The measured leakage is $8 \mu W$ and it includes the TDC's transistors and the ESD protection.	67
4.5	La gigue temporelle du TDC en fonction du LSB (a) et en fonction du nombre de cycles Vernier (b). Le TDC présenté est identifié comme TDC LP et est comparé à sa version précédente, TDC Roy <i>et al.</i> [125] ainsi que l'erreur de quantification de la numérisation. Le nouveau TDC implémenté permet d'atteindre une gigue temporelle de 5,5 ps RMS pour un LSB de 5,1 ps alors que le TDC Roy <i>et al.</i> possède une gigue temporelle de 15,3 ps RMS pour un LSB de 5 ps.	70

4.6	En (a) on observe la gigue temporelle de chaque code du premier code grossier du TDC LP et du TDC appauvri inversé. La gigue temporelle du montage de test est de 3,4 ps RMS pour le TDC LP et 1,5 ps RMS pour le TDC appauvri inversé et cette valeur est combiné à l'erreur de quantification au code 0 du TDC. En (b) on observe une comparaison plus juste entre les deux TDC puisque la contribution au montage de test est soustraite au TDC LP et au TDC appauvri inversé respectivement.	71
4.7	Les oscillateurs du TDC ont été modifiés afin de minimiser la gigue temporelle cycle-à-cycle. En (a), l'oscillateur à base d'inverseurs appauvris inversés présenté au chapitre précédent et en (b), l'oscillateur du TDC LP. La taille des oscillateurs a été augmentée d'un facteur 4 tout en gardant la même fréquence d'opération.	72
4.8	Montage de test pour réaliser la mesure de gigue temporelle pour s'affranchir de la gigue temporelle du montage ou des générateurs de signaux. Les éléments contribuant à la gigue temporelle sont marqués en rouge.	74
4.9	Montage de test pour réaliser la mesure de gigue temporelle pour s'affranchir de la gigue temporelle du montage ou des générateurs de signaux. Les éléments qui contribuent à la gigue temporelle sont marqués en rouge, dont une partie à l'extérieur du ASIC.	74
5.1	Overview of the CMOS readout ASIC. Section 1 is the pixel array, section 2 is the array readout, section 3 is the communication module and section 4 is the digital signal processing. The implementation of the multi-timestamp estimator including the sorting module and dark count filter is the object of a dedicated paper.	83
5.2	Micrograph of the ASIC that is designed to be three sides buttable (wirebonds on the left and right sides are for debugging purpose).	85
5.3	Single pixel of the array with a cathode reading quenching circuit (in red), a Vernier TDC (in orange), and an energy counter (in blue). The external controls from the DAC are buffered through 4 differential amplifier in follower configuration (in gray). The pixel has a size of $65 \times 65 \mu m^2$ and the 3D bonding pad (in yellow) has a size of $26 \times 26 \mu m^2$. The colors on the bloc diagram match the highlighted region on the layout.	85
5.4	Overview of the event-driven implementation in the ASIC. When a pixel is triggered, it sends a signal to an adder through distributed OR gates that connect every pixel of a column. Each column is summed through the adder and compared to a configurable threshold set by the user. If the threshold is met, a signal is sent to every pixel to confirm an event and block the reset signal from the delay line in each pixel. Otherwise, the TDC receives the reset signal from the pixel internal delay line.	87
5.5	PCB test fixtures : the motherboard with an FPGA (left), the daughterboard (middle) to conduct the test and the carrierboard (right) to wirebond the ASIC.	90

5.6	Method A : Histogram of the code obtained from the TDC for some values of start-stop delays considering a TDC LSB of 10 ps. The histograms are used to measure the jitter of each delay. In yellow a delay of 0 ps was set and the code 0 has very little to no jitter, in green a delay of 50 ps was set and the code 5 has low jitter and in blue a delay of 100 ps was set and the code 10 has higher jitter.	92
5.7	Method B : Histogram of the start-stop delays for specific TDC Code considering a TDC LSB of 10 ps. The histograms are used to measure the jitter of each TDC code. In yellow is the distribution of the code 1 as a function of the delay measured representing a negligible jitter code, in green the distribution of the code 5 over all the delay with a small jitter and in blue the distribution of the code 10 with a higher jitter.	92
5.8	Added timing jitter to the pixel as a function of the number of active pixels in the array to show the impact of common mode noise on the neighbouring TDCs. The bold bar marks the median and the box contains half of the records.	95
5.9	Heat map table of the TDC LSB of each pixel as a function of their position. The LSB varies between 2 ps and 72 ps. There is no clear indication for correlations with position.	96
5.10	TDC jitter as a function of the TDC LSB. Each dot represents a single pixel. The histograms show the distribution of the jitter and the LSB throughout the array.	97
5.11	(a) Histograms of the measured timestamps for each pixel. The width of the histograms represents the timing jitter and the average position corresponds to the skew of each pixel.(b) Without the knowledge of which pixel is triggered, the measured timestamps would have a very wide distribution with 87 ps RMS jitter.	98
5.12	(a) Individual pixel timing jitter after correction of the skew. Each histogram represents the timing jitter of a single pixel and is centered at its skew value, which should be close to 0. (b) The array timing jitter is the combination of all the pixels and the corrected skew. The array timing jitter is 18 ps RMS with the correction applied.	99
5.13	TDC INL in ps RMS as a function of the number of activated TDC as compared to the reference TDC [125]. The x-axis is in logarithmic scale, the bold bar marks the median and the box contains half of the records. . .	100
5.14	(a) DNL of the reference TDC [125]. Each peak represents the overlap between each coarse cycle. (b) DNL of one of the pixels of the array where one can observe an oscillation. This oscillation is caused by the main clock of the ASIC.	100
5.15	TDC jitter as a function of the TDC LSB for two different configurations. The black circle represents the pixel when all 256 are activated (as presented in Figure 5.10) The blue triangles represent each pixel when only 1 TDC per 4 pixels were activated.	103

5.16	Code du TDC d'un pixel possédant un SPAD activé pour obtenir 1 Mcps de bruit d'obscurité ainsi qu'un signal corrélé de 10 kcps envoyé à ce SPAD et un second TDC pour activer le circuit de filtrage de bruit d'obscurité. En (a), un histogramme standard de densité de codes sur lequel on ne peut distinguer un signal corrélé. En (b), le signal corrélé est distinguable (code 14 du TDC) et celui-ci représente 70% des codes reçus malgré qu'il ne représente que 1% du signal reçu.	111
5.17	Simulation de la variation du LSB du TDC en fonction du (a) mésappariement des oscillateurs seulement et (b) du mésappariement des amplificateurs suiveurs seulement.	112
6.1	Schéma électronique simplifié du TDC. L'anneau oscillant est composé de plusieurs inverseurs contrôlés par des tensions externes. Chaque inverseur est composé de 4 transistors. Les transistors M_1 et M_4 composent l'inverseur et les transistors M_2 et M_3 sont les transistors qui contrôlent le courant qui fixe le délai de propagation de l'inverseur.	118
6.2	Schéma électronique simplifié du circuit TDC contrôlé par deux PLL. Chaque PLL contrôle et asservit une copie de l'oscillateur présent dans le TDC. En utilisant des références externes de 250 MHz et 255 MHz, le TDC possède une période d'oscillateur lent de 500 ps et un LSB de TDC de 10 ps.	121
6.3	Dessin des masques de la nouvelle architecture du TDC contrôlé par 2 PLL. L'espace occupé par le circuit complet est de $100 \times 150 \mu\text{m}^2$	122
6.4	Montage de test : la carte mère avec un FPGA, la carte fille avec des oscillateurs programmables faible gigue temporelle et une carte de support pour assembler le ASIC.	123
6.5	Gigue temporelle du TDC en fonction du LSB du TDC pour (a) un TDC contrôlé par un DAC et (b) un TDC contrôlé par deux PLL.	124
6.6	Variation de la période de l'oscillateur lent en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation entre -1,28 ps/mV et -1,12 ps/mV avec une déviation standard de 0,28 ps/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre -0,014 ps/mV et 0,014 ps/mV avec une déviation standard de 0,011 ps/mV.	126
6.7	Variation de la période de l'oscillateur lent en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la température entre 0,28 ps/°C et 0,46 ps/°C avec une déviation standard de 0,03 ps/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,07 ps/°C et 0,09 ps/°C avec une déviation standard de 0,02 ps/°C.	127

- 6.8 Variation du LSB du TDC en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation entre -0,22 ps/mV et -0,25 ps/mV avec une déviation standard de 0,07 ps/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre 0,02 ps/mV et 0,05 ps/mV avec une déviation standard de 0,003 ps/mV. 128
- 6.9 Variation du LSB du TDC en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la température entre -0,04 ps/°C et -0,09 ps/°C avec une déviation standard de 0,04 ps/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,01 ps/°C et 0,05 ps/°C avec une déviation standard de 0,03 ps/°C. 129
- 6.10 Variation de la période de l'oscillateur rapide en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation entre -0,89 ps/mV et -1,03 ps/mV avec une déviation standard de 0,21 ps/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre -0,06 ps/mV et 0,02 ps/mV avec une déviation standard de 0,02 ps/mV. 130
- 6.11 Variation de la période de l'oscillateur rapide en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la température entre 0,37 ps/°C et 0,51 ps/°C avec une déviation standard de 0,07 ps/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,06 ps/°C et 0,09 ps/°C avec une déviation standard de 0,02 ps/°C. 130
- 6.12 La variation de la période de l'oscillateur lent, l'oscillateur rapide et le LSB du TDC pour le TDC #1 contrôlé par (a) un DAC externe et (b) par le circuit de PLL. La pente du LSB du TDC mesurée est l'équivalent d'une soustraction des pentes de l'oscillateur lent et l'oscillateur rapide tel que décrit dans les équations 6.7 et 6.9. 132
-

6.13	L'INL RMS du TDC en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation de 0,003 LSB/mV avec une déviation standard de 0,0007 LSB/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre -0,0003 LSB/mV et 0,0005 LSB/mV avec une déviation standard de 0,0009 LSB/mV.	134
6.14	L'INL RMS du TDC en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation de 0,003 LSB/°C avec une déviation standard de 0,001 LSB/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,001 LSB/°C et 0,008 LSB/°C avec une déviation standard de 0,002 LSB/°C.	135
6.15	Le courant de charge de la pompe de charge provenant du PMOS est identifié en bleu et le courant de décharge provenant du NMOS est en rouge. Dans l'implémentation courante, la pompe de charge possède une seule tension où le courant de charge et de décharge est égal, soit 0,42 V.	139
6.16	Histogramme de la période de l'oscillateur après le diviseur (la période devrait être fixe à 4 000 ps). La période oscille autour de la fréquence de référence et les deux bosses de chaque côté indiquent que la tension de contrôle oscille due à un déséquilibre de la pompe de charge (Figure 6.15).	140
6.17	Les courants de charge et de décharge d'une pompe de charge de type <i>NMOS-switch high-swing cascode</i> possédant un plateau de courant dans la zone d'intérêt. La différence majeure entre l'architecture précédente est l'utilisation de NMOS pour les deux <i>switches</i> de la pompe de charge et l'utilisation de <i>high-swing cascode</i> pour augmenter la résistance de sortie et ainsi créer un plateau de courant en saturation [164].	141
6.18	Schéma bloc de l'architecture d'une PLL avec un filtre de boucle divisé. Ce type d'architecture permet de contrôler directement les oscillateurs du TDC et ainsi minimiser l'impact des variations de procédés.	143
6.19	Schéma bloc de l'architecture d'une PLL avec un filtre de boucle divisé par un interrupteur (bloc de droite étiqueté <i>Sampled Loop Filter</i>). Dans cette architecture, l'interrupteur est l'élément du centre. De chaque côté de l'interrupteur, des copies de l'interrupteur sont ajoutées afin d'absorber le bruit d'injection de charge [158]. Remarque que pour les copies, le drain et la source du transistor sont reliés au même noeud.	144
6.20	Schéma bloc de l'architecture d'une PLL avec un filtre de boucle divisé qui contrôle de multiple TDC. Ce type d'architecture permet de contrôler directement les oscillateurs des TDC et ainsi minimiser l'impact des variations de procédés. Cela requiert une séquence de calibration qui calibre tour à tour chaque TDC.	145

LISTE DES TABLEAUX

2.1	Comparaison de différentes paires SPAD et circuit d'étouffement.	28
4.1	Summary of measurements and comparison	68
5.1	Mesure et simulation sur la variation du LSB des TDC en matrice	112
5.2	Simulation - Période minimum des oscillateurs en fonction de la taille des transistors composant les inverseurs	113
5.3	Simulation sur la variation du LSB des TDC en matrice	113
6.1	Erreur sur la mesure temporelle due aux variations de température	136
6.2	Erreur sur la mesure temporelle due aux variations de tension d'alimentation	137

LISTE DES ACRONYMES

Acronyme	Définition
ASIC	Circuit intégré à application spécifique (<i>Application-Specific Integrated Circuit</i>)
BLUE	<i>Best Linear Unbiased Estimator</i>
CERN	Organisation européenne pour la recherche nucléaire
CMOS	<i>Complementary Metal Oxide Semi-Conductor</i>
CNA	Convertisseur numérique-analogique
CNR	<i>Contrast-to-Noise Ratio</i>
CTR	<i>Coincidence Timing Resolution</i>
DCR	Bruit d'obscurité (<i>Dark Count Rate</i>)
DNL	Non-linéarité différentiel (<i>Differential Nonlinearity</i>)
ESD	Décharge électrostatique (<i>Electrostatic Discharge</i>)
FBK	Fondazione Bruno Kessler
FDG	Fluorodésoxyglucose
FLIM	Microscopie de temps de vie de fluorescence (<i>Fluorescence-Lifetime Imaging Microscopy</i>)
FPGA	Matrice de portes programmables (<i>Field-Programmable Gate Array</i>)
FWHM	<i>Full Width at Half Maximum</i>
GRAMS	Groupe de recherche en appareillage médical de Sherbrooke
HV	Haut-Voltage
INL	Non-linéarité intégrale (<i>Integral Nonlinearity</i>)
LDMOS	Transistor à Drain Étendu (<i>Long Drain Metal Oxide Semi-Conductor</i>)
LHC	Grand collisionneur de hadrons (<i>Large Hadron Collider</i>)
LiDAR	Télémétrie laser (<i>Light Detection and Ranging</i>)
LMH	Largeur à mi-hauteur
LSB	<i>Least Significant Bit</i>
LoR	<i>Line of Response</i>
LVDS	Transmission différentielle basse-tension (<i>Low Voltage Differential Signaling</i>)
MLE	<i>Maximum Likelihood Estimator</i>
NIST	<i>National Institute of Standards and Technology</i>
OPO	Oscillateur Paramétrique Optique
PET	<i>Positron Emission Tomography</i>
PCB	Circuit imprimé (<i>Printed Circuit Board</i>)
PDE	Efficacité de Photodétection (<i>Photodetection Efficiency</i>)
PFD	Détecteur Phase-Fréquence (<i>Phase-Frequency Detector</i>)
PLL	Boucle à verrouillage de phase numérique (<i>Phase-Locked Loop</i>)
PTS	<i>Photon Travel Spread</i>
QC	Circuit d'étouffement (<i>Quenching Circuit</i>)
RMS	Moyenne quadratique (<i>Root Mean Square</i>)

SiPM	Photomultiplicateur sur silicium (<i>Silicon Photomultiplier</i>)
SPAD	Photodiode à avalanche monophotonique (<i>Single Photon Avalanche Diode</i>)
STI	Tranchée d'Isolation peu Profonde (<i>Shallow Trench Isolation</i>)
TDC	Convertisseur temps-numérique (<i>Time-to-digital Converter</i>)
TDSI	Teledyne Dalsa Semiconductor Inc.
TdV	Temps de vol
TEP	Tomographie d'émission par positrons
TiCAL	<i>Time-Imaging CALorimeter 4D</i>
TOD	Tomographie Optique Diffuse
ToF	<i>Time-of-Flight</i>
TORCH	<i>Time of Internally Reflected CHerenkov Light</i>
TPM	Tube photomultiplicateur
TSMC	Taiwan Semiconductor Manufacturing Company
TSV	Interconnexion Verticale Traversant le Silicium (<i>Through Silicon Via</i>)
VCRO	<i>Voltage Compensated Ring Oscillator</i>

CHAPITRE 1

INTRODUCTION

1.1 Mise en contexte et problématique

Les caméras sont aujourd'hui à portée de main à l'intérieur de nos cellulaires et les technologies d'imageurs sont en constante évolution. De nombreuses applications nécessitent un photodétecteur possédant une haute efficacité de détection ainsi que d'excellentes performances temporelles. L'un des exemples qui auront un impact dans nos vies à court terme est l'intégration de système de télémétrie laser (LiDAR) sur les véhicules afin de les rendre autonomes [56]. Il est possible de comparer un système LiDAR à une caméra possédant une information sur la distance, bref une caméra 3D. Ce type de système permet de mesurer la distance d'une cible en mesurant le temps de propagation de la lumière émise, c'est-à-dire son temps de vol (TdV) [102]. Cette technique est appelée la mesure du temps de vol (TdV). Pour ce faire, le système LIDAR émet une impulsion lumineuse dans une direction et la lumière qui frappe un obstacle sera en partie réfléchi vers le système de photodétection LiDAR. On obtient ainsi une image où chaque pixel de la caméra possède l'information de la distance entre lui-même et l'objet. Une résolution temporelle précise permet d'obtenir une meilleure précision sur la distance mesurée. Par exemple, l'imagerie hors de portée optique (*Non-light-of-sight imaging* - (NOLS)) est un domaine du LiDAR permettant d'effectuer l'imagerie d'objets ou de scènes qui sont cachés ou dont l'angle de vue est obstrué [82]. Ce type d'imagerie requiert un détecteur possédant une précision temporelle sous 10 ps largeur à mi-hauteur (LMH) afin de minimiser le temps d'acquisition d'une image et sa reconstruction [119].

Au niveau de la physique des hautes énergies, de nombreuses applications au *Large Hadron Collider* (LHC) au CERN bénéficieraient également d'un détecteur possédant une précision temporelle de 10 ps LMH. Par exemple, le détecteur "Time of internally Reflected Cherenkov light" (TORCH) a pour objectif de développer un détecteur possédant une précision temporelle de 15 ps LMH par événement incident afin d'identifier des kaons de 10 GeV/c et plus [8]. Un second exemple de projet en physique des hautes énergies est le projet de *Time-Imaging Calorimeter 4D* (TiCAL) qui tente de mesurer la trajectoire et la vitesse des particules émises lors des collisions dans le LHC, ce qui permet d'identifier ces dites particules. De plus, dans la prochaine itération du LHC, l'augmentation de l'intensité des collisions créera un problème d'empilement des événements [36]. Un détec-

teur possédant une précision temporelle de l'ordre de 10 ps permettra la mitigation de l'empilement [159, 126].

L'imagerie médicale est un domaine qui profitera également du développement de nouveaux photodétecteurs possédant une très haute précision temporelle. La tomographie d'émission par positrons (TEP) est une modalité d'imagerie moléculaire qui permet d'imager le métabolisme cellulaire au niveau moléculaire, une technique très utilisée dans la détection de tumeurs cancéreuses. Plusieurs types d'imageries, dont la TEP, effectuent la détection de lumière corrélée en temps afin d'obtenir une meilleure qualité d'image par le biais d'une meilleure résolution temporelle. Le développement de nouveaux photodétecteurs permet d'intégrer la mesure de temps de vol dans un scanner clinique TEP afin d'améliorer le contraste de l'image. En TEP, les mesures de temps de vol permettent de déterminer l'origine de l'annihilation du positron sur la ligne de réponse. Depuis quelques années, des chercheurs de nombreuses universités et centre de recherche se sont joints au *10 ps challenge* [68], une compétition qui offre un prix de 1 M d'euros pour la première équipe qui réaliserait une image sans reconstruction à l'aide d'une résolution temporelle en coïncidence (RTC) de 10 ps LMH.

Les meilleurs systèmes TEP commerciaux possèdent une précision temporelle d'environ 200 ps largeur à mi-hauteur (*Full width at half maximum* (FWHM)) lors d'une mesure en coïncidence [66, 150, 137, 149, 130]. Une précision de 200 ps LMH représente une incertitude de 30 mm sur la ligne de réponse de l'annihilation entre le positron et l'électron. Cette précision est suffisante pour que le TdV permette d'améliorer les images des scanners cliniques. Par contre, cette précision est insuffisante pour les scanners TEP précliniques pour petits animaux ou les scanners TEP pour le cerveau. Les meilleures mesures en coïncidence avec des cristaux scintillateurs sont d'environ 70 ps LMH ont été réalisées en laboratoire, avec des cristaux amincis et dopés au calcium dans un environnement fortement contrôlé [50]. Ce sont des conditions optimales qui ne représentent en rien la réalité d'un scanner TEP, mais nous permettent d'observer la précision aux limites de la technologie disponible. L'objectif est d'atteindre une précision temporelle en coïncidence de l'ordre de 10 ps LMH afin d'obtenir une précision en distance d'environ 1,5 mm. Dans le but d'obtenir ces performances, les cristaux scintillateurs nécessitent beaucoup de développements [67, 47], notamment au niveau des mécanismes d'émission de photons prompts. Ces mécanismes émettent des photons à l'intérieur d'une plage de temps de l'ordre de la ps, réduisant la contribution temporelle des cristaux. Dans ce but, plusieurs groupes de recherche travaillent au développement de nouveaux cristaux scintillateurs pour tirer profit des phénomènes de lumière Cherenkov, de *hot intraband luminescence* et de *quantum*

confinement [67, 47, 66]. En parallèle à ce développement, des photodétecteurs et leurs électroniques de lecture possédant également une précision temporelle sous les 10 ps LMH doivent être conçus.

Le Groupe de recherche en appareillage médical de Sherbrooke (GRAMS) travaille sur ce dernier point et propose une nouvelle solution : le convertisseur photon-numérique 3D (CPN 3D) (Figure 1.1). Le CPN 3D est composé d'une matrice de photodiodes avalanches monophotoniques (*single photon avalanche diode* (SPAD)) reliée par des interconnexions verticales (*through silicon via* (TSV)) à l'électronique (Figure 1.1). La couche d'électronique rattachée se compose d'une matrice de circuits de lecture possédant un couplage 1 à 1 avec les SPAD. Le circuit de lecture de chaque photodiode contient un circuit d'étouffement, un convertisseur temps numérique (*time-to-digital converter* (TDC)) et un circuit de lecture matricielle. Les trois circuits situés sous la photodiode sont contraints dans un espace de $65 \times 65 \mu\text{m}^2$, soit la superficie d'un SPAD. L'électronique est développée dans une technologie de CMOS 65 nm de TSMC. Ce détecteur est donc un empilement de technologie différente (TDSI et CMOS TSMC) et forme un détecteur hétérogène.

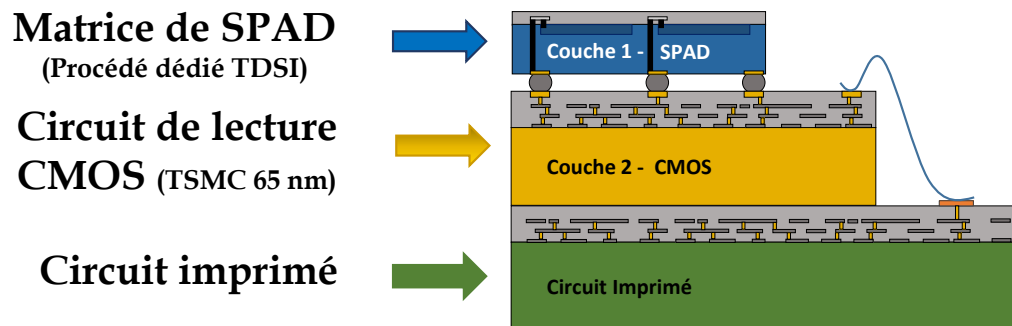


Figure 1.1 Schéma d'un convertisseur photon-numérique 3D. La couche supérieure est une matrice de SPAD reliée par des interconnexions verticales à l'électronique de lecture CMOS. La connexion entre le circuit imprimé et l'électronique CMOS est effectuée à l'aide du microcâblage.

Plusieurs étudiants ont travaillé sur ce projet au cours des dernières années. Pour en apprendre plus sur les différents circuits développés et qui seront réutilisés lors de ce projet ainsi que sur l'intégration 3D du détecteur, il est possible de consulter ces documents [108, 124, 96, 69].

1.2 Question de recherche et objectifs du projet

Le GRAMS développe des convertisseurs photon-numérique 3D (auss appelé SiPM numérique 3D) dans l'optique de les utiliser pour des applications nécessitant une haute précision temporelle. Afin d'obtenir une surface photosensible maximale, les SPAD et l'électronique

de lecture sont séparées sur des couches différentes et ensuite empilées l'une sur l'autre. Cela a pour effet d'obtenir une surface photosensible maximale puisqu'il n'y a que des photodiodes sur la couche supérieure. L'électronique de la couche inférieure sera composée de circuits d'étouffement, de convertisseurs temps numériques et d'un circuit de lecture matricielle. Lors de projets précédents, une paire SPAD et circuit d'étouffement atteignait 13 ps LMH avec le circuit d'étouffement seul contribuant 4 ps LMH [89]. Au niveau du TDC, le circuit développé possédait une gigue temporelle de 15 ps LMH [125]. Le GRAMS souhaite à présent développer une matrice de photodétecteurs où l'ensemble du système de lecture obtient une gigue temporelle sous 10 ps LMH pour intégrer le TdV en TEP. Pour se faire, chaque composant du circuit de lecture matricielle (circuit d'étouffement et TDC) doit être optimisé sous 10 ps LMH. De plus, l'intégration de l'électronique en matrice peut dégrader les performances des circuits individuels par le biais de non-uniformités ou de bruit entre ces circuits. Il est donc primordial d'identifier et de minimiser ces contributions à la gigue temporelle. Suite aux informations mentionnées précédemment, il convient de poser la question suivante :

Quelle architecture de circuit de lecture de matrice de photodiodes avalanche monophotonique doit être implémentée pour obtenir une gigue temporelle de 10 ps LMH à la détection d'un photon unique en incluant la contribution individuelle de chaque circuit ainsi que les non-uniformités matricielles ?

Ce projet consiste à concevoir et à réaliser l'électronique de lecture d'un convertisseur photon-numérique 3D. La première étape est d'optimiser le circuit d'étouffement et plus particulièrement, les caractéristiques à l'interface entre le SPAD et le circuit d'étouffement pour identifier des contributions communes à la gigue temporelle. Cette étape permet de bien identifier l'architecture du circuit d'étouffement qui doit être utilisée pour atteindre une gigue temporelle de 10 ps LMH. La seconde étape est d'optimiser la gigue temporelle du TDC en améliorant principalement la gigue temporelle cycle-à-cycle des anneaux oscillants. Ensuite, ce projet vise la conception et la réalisation de l'électronique de lecture matricielle de SPAD utilisant un circuit d'étouffement et un TDC par SPAD. En plus de la conception, la réalisation de ce prototype vise à identifier les contributions matricielles à la gigue temporelle causée par l'interconnexion de centaines de circuits de lecture de SPAD à l'intérieur d'un même circuit CMOS. En plus des circuits conçus lors de ce projet, mes collègues William Lemaire et Frédéric Dubois ont développé respectivement un circuit d'estimateur en temps numérique pour améliorer la précision temporelle du détecteur lors de la détection d'événement de scintillation [72, 73] et une boucle à verrouillage de phase (*Phase-locked loop* (PLL)) pour calibrer les performances des TDC en fonction des varia-

tions de température et de tension d'alimentation. Ce projet de doctorat inclut également l'intégration de ces circuits à l'intérieur de l'électronique de lecture ainsi qu'à l'évaluation de l'impact de la PLL sur la gigue temporelle du TDC.

La question de recherche amène plusieurs questions et défis de conception d'un circuit de lecture de convertisseur photon-numérique 3D sur lesquels ce document souhaite répondre :

- Quelles architectures de circuit d'étouffement permettent d'atteindre une précision temporelle de 10 ps LMH ?
- Quelles architectures de TDC permettent d'atteindre une précision temporelle de 10 ps LMH ?
- Quelles sont les contributions matricielles externes à la cellule unitaire (SPAD, circuit d'étouffement, TDC) à la gigue temporelle et comment les réduire ?
- Comment gérer l'impact des variations de tension d'alimentations et de température sur la précision temporelle du détecteur complet ?
- Comment réduire la consommation de puissance de ces circuits afin d'être compatible à une intégration matricielle pour un détecteur TEP ?

1.3 Contributions originales

Les travaux réalisés dans le cadre de cette thèse de doctorat ont mené à plusieurs contributions scientifiques et techniques telles que des articles scientifiques, des communications orales et par affiches ainsi que des prototypes matériels. Ces contributions ont été exposées dans 4 articles revus par des pairs à titre de premier auteur [98, 99, 100, 101]. De plus, ces travaux ont été présentés lors de conférence internationale [92, 94, 91, 93], nationale [97, 95] et provinciale [90]. Les travaux sur le TDC ont également initié la rédaction d'un brevet qui est à l'étape de la demande de brevet provisoire. De plus, les travaux réalisés ont mené à de nombreuses publications en tant que coauteur dû à l'aspect collaboratif des travaux [73, 125, 70, 57, 9, 58, 136, 43, 27, 88, 84, 74].

1.3.1 Résumé des travaux

Les travaux réalisés dans le cadre de cette thèse sont principalement reliés à la conception et la caractérisation de circuits intégrés. Cette section suivra l'évolution des travaux en fonction des circuits conçus.

Le premier circuit intégré réalisé dans le cadre de ces travaux est le circuit *ICSSHSR3* (Figure 1.2) qui visait à optimiser les performances temporelles de SPAD, de circuits d'étouffements et de TDC en CMOS 65 nm.

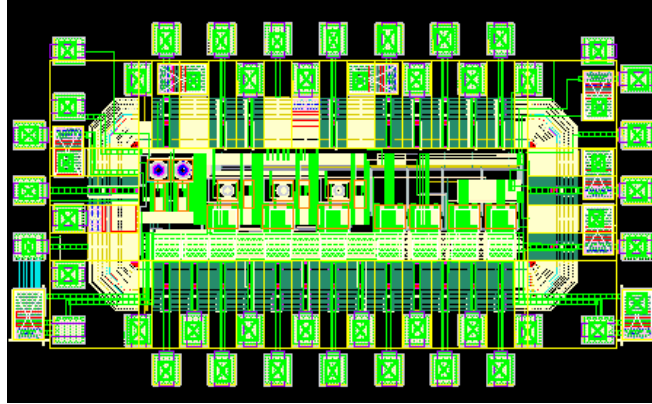


Figure 1.2 Dessin des masques du circuit intégré *ICSSHSR3* comprenant des paires SPAD et circuit d'étouffement dont un prototype possédant une gigue temporelle sous 10 ps LMH [98]. De plus, différents pixels de CPN (SPAD, circuit d'étouffement et TDC) ont été intégrés dont une architecture possédant une gigue temporelle sous 20 ps LMH [99].

Ce circuit intégré a permis de démontrer qu'il est possible d'atteindre une gigue temporelle sous 10 ps LMH avec un SPAD et un circuit d'étouffement [98]. À ce jour, ce détecteur est le seul circuit à base de SPAD publié possédant une gigue temporelle sous 10 ps LMH. Cette réalisation est importante pour la communauté scientifique de l'imagerie médicale TEP puisque l'objectif final est d'atteindre 10 ps LMH pour le système complet. Ce circuit intégré a également permis de développer un prototype de *Single Photon Detector* qui a un potentiel commercial (Figure 1.3).



Figure 1.3 Module de détection monophotonique possédant une précision de 10 ps LMH qui nécessite seulement une alimentation de 10 V et qui possède une sortie SMA 50 ohms.

En plus du détecteur composé d'un SPAD et d'un circuit d'étouffement, différentes versions d'un pixel complet de CPN (SPAD, circuit d'étouffement et TDC) ont été intégrées pour caractériser la gigue temporelle ainsi que de mesurer le bruit commun entre le circuit d'étouffement et le TDC. Ce pixel a permis d'atteindre une gigue temporelle de 17.5 ps LMH, encore une fois le meilleur résultat publié à ce jour dans l'état de l'art pour ce type de détecteur [99].

Suite à ces résultats, un second circuit intégré a été réalisé afin d'identifier, comprendre et réduire l'impact de l'intégration matricielle de ces circuits à la gigue temporelle. Les contributions sont notamment la variation de délai de pixel-à-pixel, la non-uniformité du bit de poids faible (*least significant bit* (LSB)) de pixel-à-pixel et le bruit en mode commun sur les tensions d'alimentation et les tensions de contrôle. Le circuit intégré est composé de deux matrices de 256 pixels qui intègrent un circuit d'étouffement et un TDC ainsi que du traitement de signal numérique (Figure 1.4). La taille de chaque matrice est de $1,1 \times 1,1 \text{ mm}^2$ afin d'être compatible à l'intégration dans un scanner TEP tel que le LabPET II [18, 39, 38].

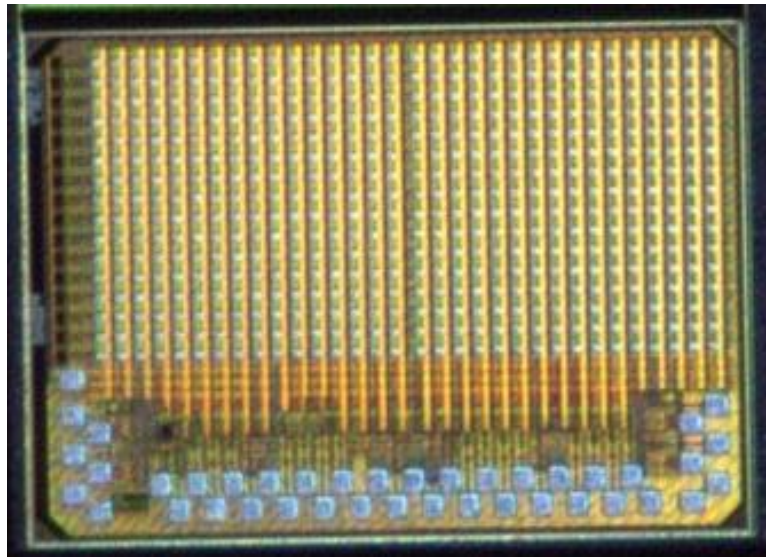


Figure 1.4 Photo du circuit intégré *ICSSHSR4* comprenant deux matrices de 256 pixels de circuit de lecture de SPAD avec un circuit de traitement numérique intégré pour réduire l'impact des contributions matricielles à la gigue temporelle du détecteur.

Ce circuit a permis d'atteindre une erreur moyenne quadratique (*root mean square* (RMS)) de 18 ps (42 ps LMH) pour l'électronique de lecture matricielle d'un CPN de $1,1 \times 1,1 \text{ mm}^2$ composé de 256 pixels [100]. De plus, ce circuit intègre un estimateur en temps qui combine l'information temporelle des 32 premiers photons ayant déclenché la matrice lors

d'un événement TEP. Ce circuit permet d'améliorer les performances matricielles avec un scintillateur pour s'approcher de la limite de Cramér-Rao [73]. Ce prototype a permis également d'étudier les performances de circuits à base de PLL pour asservir les performances des TDC Vernier à base d'anneaux oscillants. Cette considération est très importante en vue d'une intégration dans un système complet où l'on doit calibrer des milliers de détecteurs (ex : scanner TEP).

Le troisième circuit intégré visait à optimiser les performances en consommation de puissance du TDC (Figure 1.5). Ce circuit intégré a également permis de développer une nouvelle architecture dont un brevet est présentement en processus de demande provisoire.

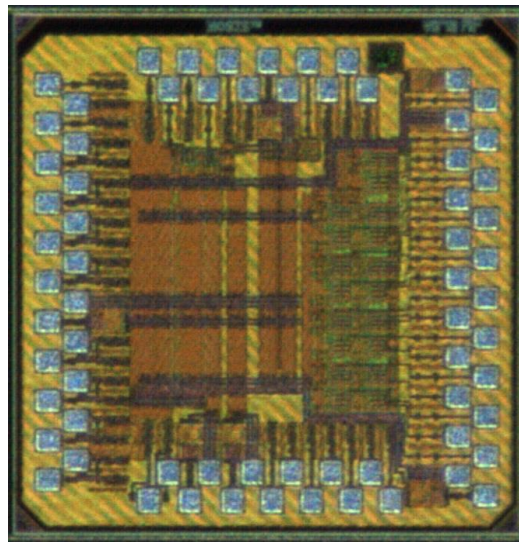


Figure 1.5 Photo du circuit intégré *ICSSHTD1* comprenant 8 TDC avec entrée et sortie individuelles ainsi qu'une section de test de 4 TDC pour valider de nouvelles architectures de TDC.

Ce troisième prototype a mené à une nouvelle architecture du circuit de prélogique du TDC permettant de réduire la consommation de puissance de $160 \mu W$ à $22 \mu W$ tout en conservant les mêmes performances temporelles. Cette amélioration est nécessaire afin de rendre compatible l'intégration de TDC à l'intérieur d'un scanner TEP composé de dizaines de milliers de détecteurs. En effet, le requis est d'obtenir une puissance consommée du TDC sous $31 \mu W$, soit une puissance de 2 mW partagée aux 64 TDC intégrés à un pixel TEP de $1,1 \times 1,1 \text{ mm}^2$. La seconde section du circuit intégré est composée de 8 TDC possédant une entrée et une sortie différentielle individuelles afin d'utiliser en parallèle 8 TDC pour différente application. Ce type de circuit permettrait de concevoir un équipement de mesure de laboratoire du même type que ceux développés par Becker & Hickl ou Swabian Instruments [2, 1]. Ce circuit mène donc au projet d'un étudiant gradué

qui va réaliser un tel prototype. En parallèle, le prototype est présentement en cours d'intégration dans une preuve de concept de scanner de tomodynamométrie par temps de vol de photons [123].

1.3.2 Retombées des travaux

Les travaux réalisés dans le cadre de cette thèse de doctorat ont mené 4 articles revus par des pairs à titre de premier auteur [98, 99, 100, 101] ainsi que 12 articles à titre de co-auteurs [73, 125, 70, 57, 9, 58, 136, 43, 27, 88, 84, 74]. De plus, ces travaux ont été présentés lors de 5 conférences internationales, 2 conférences nationales et 3 conférences provinciales. Au niveau des communications, deux présentations se distinguent. Premièrement, mes travaux m'ont valu une présentation orale lors du *Front-End Electronics Meeting*. Une conférence bi-annuelle sur invitation seulement qui regroupe des experts en conception de circuit analogique haute-performance. Deuxièmement, une démonstration technique du circuit matriciel de 256 pixels lors de la *journée de l'innovation du ReSMiQ* a obtenu la deuxième position au concours de présentations orales. De plus, mes réalisations ont été reconnues par la faculté de génie de l'Université de Sherbrooke par la remise de la médaille Léonard de Vinci.

Les résultats de 10 ps LMH de gigue temporelle de mes travaux de doctorat ont attiré l'attention d'une compagnie allemande. Le CEO de la compagnie a lu l'article et il a vu le potentiel du détecteur monophotonique. Le CEO et le CTO sont venus nous visiter à l'Université de Sherbrooke afin de faire des mesures avec nos détecteurs et leur instrument de mesure. La mesure a permis d'atteindre une précision temporelle en coïncidence de 20 ps LMH à l'aide de deux détecteurs et deux instruments de mesure en temps [63]. Les résultats ont également attiré l'attention d'un groupe de recherche qui souhaite utiliser notre module de détection pour des tests de *Satellite Laser Ranging Station*. Notre détecteur permettrait d'augmenter la précision de mesure effectuée puisque leur contrainte principale pour la mesure en temps provient présentement de leur détecteur.

1.4 Plan du document

Le chapitre 2 de cette thèse couvre l'état de l'art de différentes applications nécessitant la mesure de temps de vol tel que la télémétrie laser (LiDAR) et la tomographie d'émission par positrons (TEP). Par la suite, les matrices de SPAD sont présentées au niveau de leur architecture et leur performance temporelle. Pour terminer, les différentes contributions à la gigue temporelle des circuits associés au SiPM numérique seront présentées. Ces contributions individuelles et matricielles sont au coeur du projet puisque ce sont ces paramètres qui doivent être optimisées pour répondre à la question de recherche.

Le chapitre 3 présente les modifications et mesures effectuées sur le SPAD et le circuit d'étouffement intégrés en CMOS 65 nm pour atteindre une gigue temporelle sous 10 ps LMH ainsi que les modifications apportées au TDC pour réduire sa gigue temporelle. Le chapitre 4 propose une nouvelle architecture du circuit de prélogique de TDC permettant de réduire la consommation de puissance pour l'intégration dans un scanner d'imagerie TEP. De plus, une amélioration apportée aux oscillateurs développés au chapitre 3 est présentée pour réduire davantage la gigue temporelle. Une discussion sur l'optimisation de la mesure de gigue temporelle pour réduire l'impact du montage de test est présentée. Le chapitre 5 présente la matrice de circuit de lecture implémenté comprenant 256 pixels. Les différentes contributions matricielles à la gigue temporelle sont introduites et une méthode pour réduire l'impact de chaque contribution est également recommandée. Le chapitre 6 présente un circuit d'asservissement des TDC afin de stabiliser les performances du détecteur en fonction des variations de température et de tension d'alimentation. Un nouveau circuit est également proposé pour pallier aux variations de procédés présentes dans la fabrication de circuits intégrés.

Pour finir, la conclusion fera un rappel des faits saillants des chapitres précédents ainsi que les contributions de ces travaux à la communauté scientifique. La conclusion se termine sur la perspective proposée pour développer le prochain circuit intégré permettant d'optimiser les performances temporelles.

CHAPITRE 2

ÉTAT DE L'ART

Les photodétecteurs sont des éléments très utilisés dans le domaine de l'imagerie médicale, de la physique des hautes énergies et l'imagerie 3D. Ces applications nécessitent des détecteurs monophotoniques de plus en plus performants au niveau de la précision temporelle pour améliorer leurs performances au niveau système. La première section fait donc un survol de leurs besoins et particularités. Les matrices de photodiodes avalanches monophotoniques (SPAD) sont en pleins essors afin de remplacer les tubes photomultiplicateurs dans ces applications. Il existe deux types de matrices, les SiPM (photomultiplicateurs du silicium) et les SiPM numériques. La seconde section de ce chapitre exposera les différences entre ces deux détecteurs et leurs contraintes et avantages au niveau des performances temporelles. La dernière section de ce chapitre présentera les différentes contributions à la précision temporelle des SiPM numériques au niveau de chaque circuit ainsi que les effets matriciels.

2.1 Applications

Cette section présentera des applications nécessitant des photodétecteurs qui possèdent une grande précision temporelle afin d'intégrer la mesure de temps de vol. Cette mesure consiste à déterminer la distance franchie par la lumière à partir de son temps de déplacement. Le calcul de la distance parcourue s'effectue à l'aide de l'équation 2.1 [31].

$$\Delta d = \frac{\Delta t \cdot c}{2n} \quad (2.1)$$

où Δd est la distance parcourue, Δt est le temps de vol, c est la vitesse de la lumière, n est l'indice de réfraction du milieu et la division par deux représente l'aller-retour de la lumière.

À noter que cette technique peut également s'appliquer en sens inverse. Pour certaines applications, on mesure la vitesse d'une particule pour déterminer sa masse en plaçant deux détecteurs à une distance fixe et en mesurant le temps entre les deux détecteurs. Les applications présentées seront divisées en deux sections. La première section regroupera les systèmes dans lesquels il est possible d'effectuer une mesure répétée pour obtenir

une meilleure précision temporelle. En effet, en moyennant les mesures obtenues, il est possible d'améliorer la précision temporelle d'un système. La seconde section présentera des applications qui requièrent également une grande précision temporelle, mais dont la source d'émission de lumière n'est pas contrôlée par l'utilisateur. Puisqu'il faut détecter des événements imprévisibles, il faut réaliser une mesure unique à chaque occurrence d'un événement. Conséquemment, il n'est pas possible d'effectuer une moyenne sur la mesure puisque chaque détection provient d'une source d'émission unique et non-répétable.

2.1.1 Temps de vol par mesure moyennée : télémétrie laser et caméra 3D

L'imagerie 3D utilisant la lumière peut être classée en trois catégories : l'interférométrie, la triangulation et les mesures par temps de vol [21]. Les systèmes basés sur l'interférométrie et la triangulation sont très précis, mais sont rapidement limités par la distance à quelques dizaines de mètres [132, 11, 103]. Les systèmes de télémétrie laser (LIDAR) sont privilégiés pour mesurer à plus grande distance et permettent de mesurer la distance d'une cible par rapport à son émetteur en utilisant le temps de propagation de la lumière émise par un laser. Le système LIDAR émet une impulsion lumineuse dans une direction et la lumière qui frappe un obstacle sera en partie réfléchi vers le système LIDAR qui la détectera grâce à des photodétecteurs. En améliorant la précision temporelle du détecteur, il est possible de diminuer la répétition d'une mesure et ainsi de balayer plus rapidement l'environnement pour obtenir une image. À noter qu'il est également possible de faire de la mesure de temps de vol indirect, soit d'utiliser de la lumière modulée pour déterminer la distance [65]. Un autre avantage des systèmes LiDAR par rapport à la triangulation concerne la constance de la précision du système sur toute sa plage de mesure [21]. Toutes ces techniques permettent aux systèmes LIDAR d'obtenir une mesure précise de la distance afin d'effectuer l'imagerie 3D d'un environnement.

Le domaine automobile est l'une des principales sources de développement des détecteurs LiDAR à base de SPAD afin d'obtenir un véhicule autonome (Figure 2.1). Plusieurs compagnies dont Toyota [138], Hamamatsu [16] et ST Microelectronics [3] développent des caméras 3D à base de SPAD dans le proche infrarouge pour les véhicules autonomes. De nombreux groupes de recherche développent également les SPAD pour des caméras 3D pour cette application (Figure 2.2) [155, 24, 10, 15]. Les détecteurs varient du SiPM analogique au SiPM numérique et du détecteur intégré en 3D illuminé par la face avant au détecteur 3D illuminé par la face arrière. Chacune de ces solutions possède ses avantages et inconvénients au regard d'un détecteur pour les véhicules autonomes qui seront présentés dans la prochaine section de ce chapitre. Les requis des caméras 3D en plus de la

haute précision temporelle est le traitement des données à l'intérieur du détecteur afin de produire le plus rapidement une image.

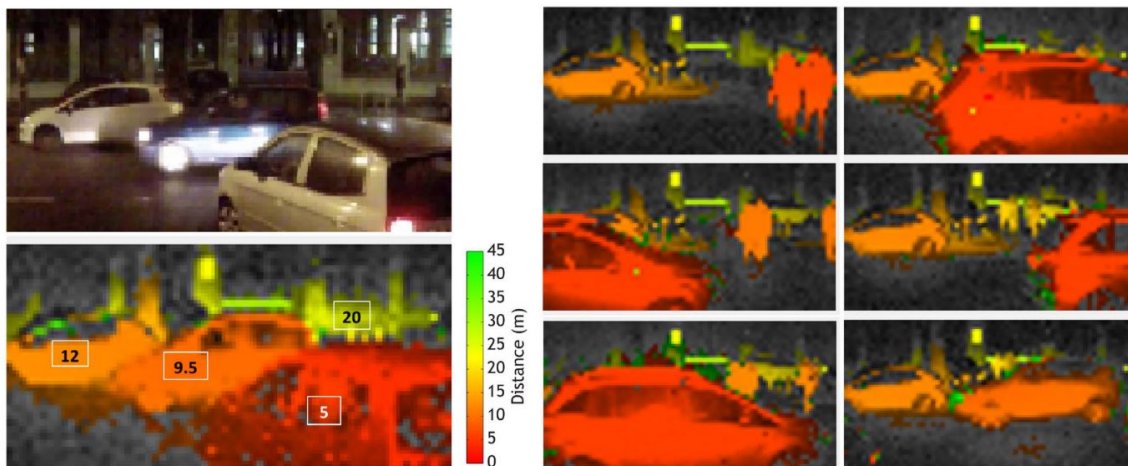


Figure 2.1 Exemple d'images permettent d'observer à quelle distance se trouvent les autres véhicules à l'aide d'une caméra 3D à base de SPAD comprenant 64×32 SPAD [24].

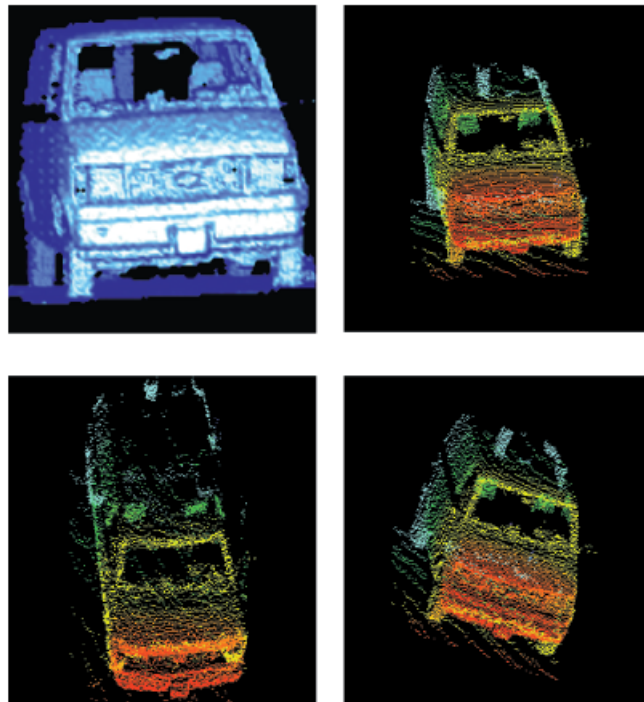


Figure 2.2 Image 3D d'un véhicule à une distance de 60 m. Les images ont été prises à différents angles avec une caméra de 128×128 pixels et prises avec une seule acquisition [10].

Un point important pour toutes les caméras en 3D temps réel est que le temps d'acquisition dépend du nombre de mesures répétées nécessaires pour obtenir la précision désirée

[26]. Pour des environnements à grande distance ou pour des objets se déplaçant rapidement (ex : un véhicule), une précision temporelle plus élevée permettrait de réduire significativement le temps d'acquisition.

2.1.2 Temps de vol par mesure unique : imagerie médicale et physique subatomique

Contrairement au système LIDAR, il n'est pas toujours possible de contrôler l'émission de la lumière de référence. On doit au contraire détecter des événements aléatoires et imprévisibles. Dans ce cas, il n'est pas possible de moyennner, il faut prendre une mesure unique à chaque événement d'intérêt. Cette section présente trois applications à mesures uniques pouvant bénéficier de photodétecteur plus précis, soit la tomographie d'émission par positrons (TEP), le *Time Imaging Calorimeter* (TiCAL) et le détecteur *Time of internally Reflected Cherenkov light* (TORCH).

La TEP est une modalité d'imagerie moléculaire qui bénéficie de la mesure du temps de vol lors d'une acquisition [83]. En TEP, les mesures de temps de vol permettent de déterminer, avec une certaine précision, l'endroit de l'émission des photons d'annihilation sur la ligne de réponse (Figure 2.3), ce qui améliore le rapport signal sur bruit de l'image [62, 32]. Les détecteurs de scanner TEP commerciaux possédant les meilleures performances temporelles se situent aux alentours de 200 ps largeur à mi-hauteur (LMH), limitée par les performances des cristaux scintillateurs [66, 150, 137, 149, 130]. Une précision de 200 ps LMH représente une précision en distance parcourue de 30 mm LMH, une précision insuffisante pour intégrer le temps de vol pour un scanner TEP préclinique utilisée pour imager les organes de petits animaux (souris, lapin) ou pour un scanner cerveau. Afin d'intégrer le temps de vol dans ce type de scanner, une résolution temporelle TEP de l'ordre de 10 ps LMH est nécessaire pour obtenir quelques millimètres de précision (10 ps = 1.5 mm) [66]. Par contre, il est possible d'améliorer ces résultats en laboratoire à l'intérieur d'un environnement fortement contrôlé. En effet, les meilleures mesures en coïncidence à ce jour ont été réalisées en laboratoire entre deux détecteurs utilisant des cristaux amincis et dopés au calcium pour atteindre 70 ps LMH [50].

Puisque les cristaux scintillateurs sont présentement le facteur limitant, certains groupes de recherches travaillent sur le développement de nouveaux processus d'émission de photons rapides à l'intérieur des cristaux afin de diminuer la contribution des cristaux à la dégradation de la précision temporelle (Cherenkov, luminescence intrabande et émission spontanée de points quantiques)[67, 47]. Ces photons rapides ne sont pas actuellement émis en grande quantité, donc il faut un photodétecteur avec la meilleure efficacité de détection et une précision temporelle de 10 ps LMH. Cela signifie que les éléments de

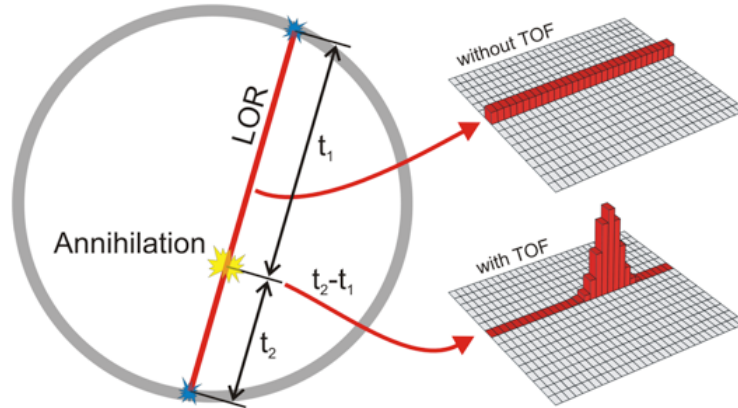


Figure 2.3 L'effet de la mesure de temps de vol en TEP. La ligne de réponse sans la mesure de temps de vol est continue alors que la mesure de temps de vol permet d'évaluer la position sur la ligne de réponse [68].

la chaîne de détection tels que le circuit de lecture et le convertisseur temps numérique doivent posséder une précision individuelle sous les 10 ps LMH (e.g. $\sqrt{7^2 + 7^2} = 10$) afin que la somme quadratique de leur précision respective soit de 10 ps LMH.

De nombreuses applications en physique des hautes énergies bénéficieraient également d'un détecteur possédant une précision temporelle de 10 ps LMH. Par exemple, le projet de *Time-Imaging Calorimeter 4D* en cours de conception au CERN requiert un détecteur possédant une précision temporelle de l'ordre de 10 ps LMH afin de mesurer le temps de vol (TDV) et la trajectoire des particules émises lors des collisions dans les expériences du Grand collisionneur de hadrons (*Large Hadron Collider* (LHC)), ce qui permet d'identifier ces dites particules [36]. Cette précision temporelle permettra notamment la mitigation de l'empilement dû à l'augmentation de l'intensité des collisions de la prochaine itération du LHC [159, 126]. Un second exemple de projet au LHC est le détecteur "Time of internally Reflected Cherenkov light" (TORCH) dont l'objectif est d'obtenir une précision temporelle de 15 ps par événement incident afin d'identifier des kaons de 10 GeV/c et plus à l'aide d'un détecteur à grande surface (30 m^2) [8, 52, 44]. La différence de temps de vol entre un π et un K est d'environ 35 ps sur une distance de 10 m, d'où la précision requise de 15 ps. Le détecteur de 30 m^2 devrait observer environ 30 photons provenant d'émission de lumière Cherenkov. En combinant l'information de ces 30 photons, il serait donc possible d'obtenir une précision de 15 ps malgré une instrumentation limitée à 70 ps grâce au moyennage du groupe de photons ($\frac{70 \text{ ps}}{\sqrt{30}} < 15 \text{ ps}$). Par contre, cela considère qu'il n'y a pas d'imprécision inter-détecteur ni d'erreur de propagation en temps. En plus de cette contrainte rigoureuse, un autre défi majeur au regard de l'implémentation de SiPM dans ce genre d'expérience est la robustesse aux rayonnements ionisants (radiation hardness)

[53]. Les détecteurs présentement développés pour TORCH sont des MCP-PMT (Micro-channel plate photomultiplier tubes) qui possèdent une précision temporelle à détection de photon unique de 23 ps [53].

2.1.3 Conclusion

Les applications de temps de vol par mesure unique ont des requis élevés en gigue temporelle, de l'ordre de 10 ps LMH. En TEP, cela permettrait d'augmenter significativement le contraste de l'image, et donc de réduire le temps d'acquisition d'une image ou la dose injectée au patient. En physique des hautes énergies, une telle précision permettrait d'identifier des kaons ou de minimiser l'empilement d'événements. En somme, un tel détecteur est requis par plusieurs applications. De plus, au niveau des caméras 3D, il y a un besoin pour les caméras monophotoniques avec haute précision temporelle pour obtenir des détecteurs à plus longue portée qui font l'acquisition des images plus rapidement. Ces applications ont donc besoin d'un détecteur monophotonique qui possède une haute précision temporelle.

2.2 Matrice de SPAD

Les matrices de photodiodes avalanche monophotoniques (SPAD) sont des photodétecteurs très utilisés pour des applications qui requièrent une détection monophotonique et une haute précision temporelle. Les SPAD ne sont pas des détecteurs linéaires, donc une configuration matricielle permet de mesurer l'énergie de l'événement incident ou de détecter plusieurs photons pour améliorer la mesure temporelle. Il existe deux types de matrices, les SiPM et les SiPM numériques. Cette section présente les différents photodétecteurs existant ainsi que leurs contraintes au niveau des mesures temporelles.

2.2.1 SiPM

Le photomultiplicateur sur silicium (SiPM) est une matrice de photodiode avalanche monophotonique (SPAD), où chaque SPAD de la matrice est étouffée passivement à l'aide d'une résistance [28]. Le choix de l'étouffement passif s'explique par sa simplicité, sa taille et la compatibilité de l'intégration de la résistance avec la technologie dans laquelle le SPAD est implémenté. La sortie du détecteur est une somme en courant de chaque photodiode ayant détecté un photon en fonction du temps (Figure 2.4). Puisque le capteur fait la somme des courants, le courant provenant de chaque photodiode doit être identique afin d'être en mesure de déterminer le nombre de SPAD activés simultanément. La température a un impact direct sur cette performance puisqu'elle influence la tension de claquage et par conséquent, le courant présent dans l'avalanche [42].

Les SPAD possèdent une bonne efficacité de détection (jusqu'à 80%), mais dans une configuration matricielle, l'électronique associée et l'espace entre chaque photodiode limite la

surface photosensible. Les meilleures configurations de SiPM possèdent un facteur de remplissage d'environ 80% [112] limitant l'efficacité de détection des présentes configurations de SiPM à environ 50% [107, 6, 5].

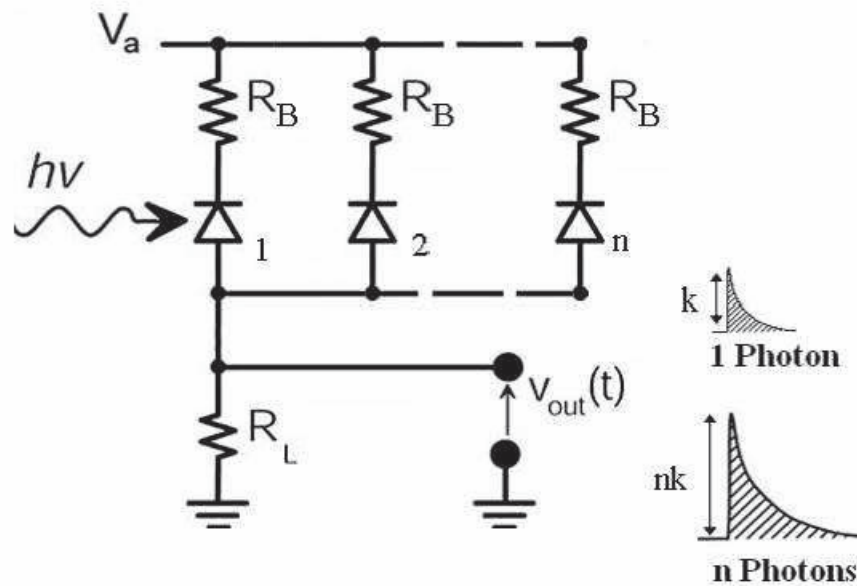


Figure 2.4 Diagramme électrique simplifié d'un SiPM [117].

Par contre, les SiPM sont limités en précision temporelle à détection unique par plusieurs facteurs dont la taille du détecteur. Cette taille a un impact sur la capacité totale en sortie et la dispersion du signal en fonction de la position puisqu'il n'est pas possible de déterminer quel SPAD a été déclenché. Ceci signifie que plus la matrice contient de SPAD, plus l'incertitude temporelle est élevée. Par exemple, les photodétecteurs développés par Fondazione Bruno Kessler (FBK) possèdent une précision temporelle d'environ 50 ps pour un SPAD unique, 80 ps pour un SiPM de $1 \times 1 \text{ mm}^2$ et de 180 ps pour un SiPM de $3 \times 3 \text{ mm}^2$ (Figure 2.5) [4].

Le premier facteur limitant la mesure temporelle est la capacité au nœud de sortie du SiPM. Cette grande capacité affecte le temps de montée du signal de sortie, ce qui en affecte la gigue temporelle [4, 85] selon l'équation :

$$\sigma_t = \frac{\sigma_v}{dv/dt} \quad (2.2)$$

où :

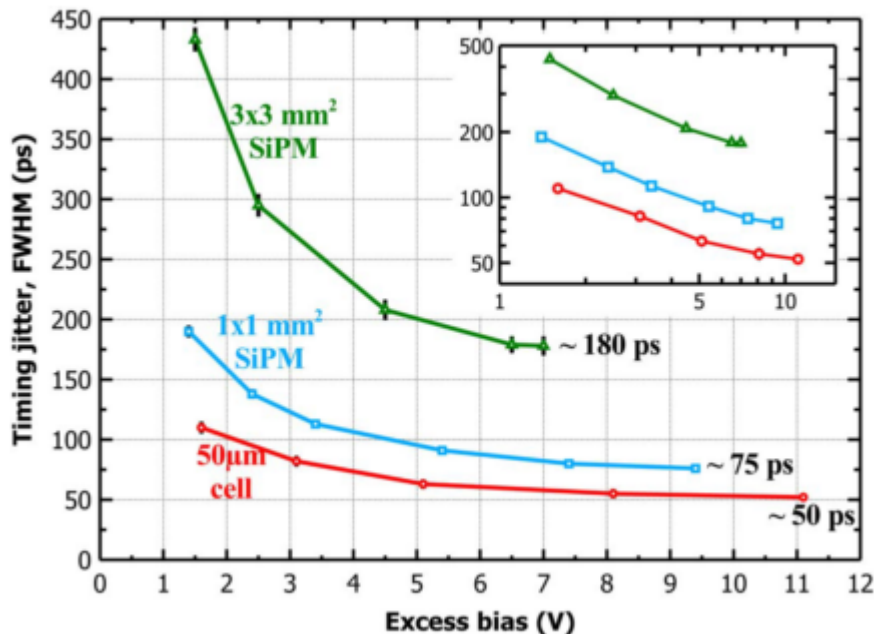


Figure 2.5 Précision temporelle de détection de photon unique pour un SPAD individuel (50 ps), un SiPM de $1 \times 1 \text{ mm}^2$ (80 ps) et un SiPM de $3 \times 3 \text{ mm}^2$ (180 ps) [4].

- σ_t est la gigue temporelle du détecteur
- σ_v est le bruit sur le signal
- dv/dt est la pente du signal

Une grande capacité diminue la pente du signal, ce qui a pour effet d'augmenter la gigue temporelle du SiPM. Cette capacité peut être divisée en quatre parties soit la capacité de tous les SPAD dans la matrice, les interconnexions de métal, le plot de sortie et la capacité du circuit de lecture (incluant les capacités du PCB ou de l'encapsulation). Les SiPM possèdent typiquement $90\text{-}100 \text{ pF}/\text{mm}^2$. Une étude récente sur les SiPM pour les expériences qui requiert de très grandes surfaces de détecteur ont produit des SiPM possédant des capacités de l'ordre de $30 \text{ pF}/\text{mm}^2$ [106, 147]. Pour minimiser cette capacité, la méthode employée est d'élargir la zone de déplétion afin de minimiser la capacité des SPAD. Par contre, cette méthode dégrade la gigue temporelle dans le SPAD dû à l'élargissement de la zone d'avalanche. À noter que la mesure d'incertitude temporelle d'un SPAD seul à l'intérieur d'un SiPM est également influencée par la taille de la matrice puisque le signal subit la capacité de sortie du détecteur (les SPAD étant tous reliés au noeud de sortie). Il est important également de noter qu'une grande capacité en sortie du détecteur augmente directement le bruit en entrée de circuit de lecture. Pour une puissance fixe du circuit de

lecture, plus la capacité augmente, plus le bruit augmente ce qui affecte directement la résolution temporelle atteignable.

Le deuxième facteur provient du fait qu'il est impossible de déterminer quelle photodiode de la matrice a détecté un photon. Cela représente un désavantage pour déterminer le temps d'arrivée du photon puisque la distance entre chaque photodiode et la sortie vers le lecteur de courant diffèrent, il y a une incertitude sur le temps d'arrivée du photon causée par le délai de transmission entre ceux-ci. Par exemple, dans une matrice de $3 \times 3 \text{ mm}^2$, la variation du temps de propagation est $> 100 \text{ ps}$ (Figure 2.6) [7].

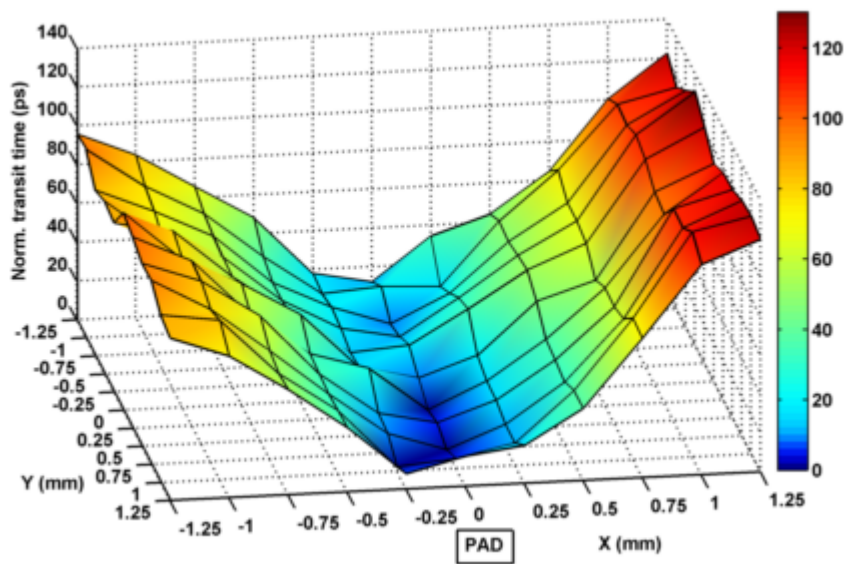


Figure 2.6 Dispersion du temps de propagation pour un SiPM avec un plot de connexion au centre d'un côté. Le détecteur possède une dispersion maximale d'environ 100 ps pour une taille de $3 \times 3 \text{ mm}^2$ [7].

Cette caractéristique augmente l'incertitude temporelle du photodétecteur en fonction du délai de transmission le plus élevé. Cela impacte directement la gigue temporelle du détecteur. Plusieurs solutions ont été testées, dont inclure un arbre en H comme cela est effectué dans des solutions numériques. Cette solution apporte cependant des résultats mitigés puisqu'il n'est pas possible de passer les traces de métaux à l'endroit voulu puisque les traces ne peuvent pas passer par dessus les SPAD. Une autre solution consiste à utiliser plusieurs plots de sortie afin de minimiser la dispersion du temps de propagation. En utilisant trois plots de sortie, il est possible de réduire la dispersion du temps de propagation à 40 ps pour une matrice de $3 \times 3 \text{ mm}^2$ (Figure 2.7) [7]. Par contre, le désavantage de cette solution est que cela rajoute de la capacité significativement au noeud de sortie.

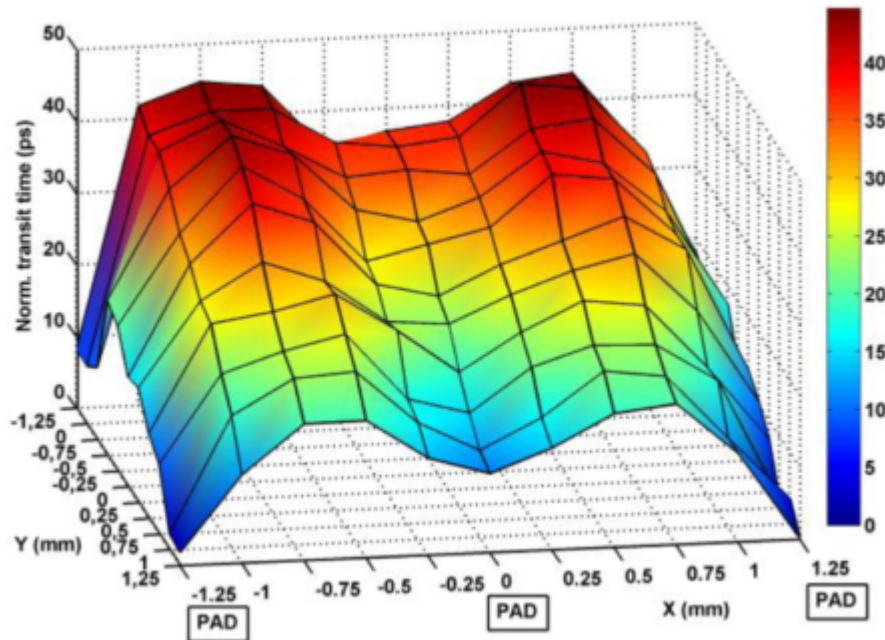


Figure 2.7 Dispersion du temps de propagation pour un SiPM avec trois plots de connexion pour minimiser la dispersion à la hauteur de 40 ps pour une taille de $3 \times 3 \text{ mm}^2$ [7].

La solution pour améliorer la gigue temporelle des SiPM est donc de diminuer la taille du détecteur afin de minimiser la capacité de sortie et la dispersion du temps de propagation. En réduisant la taille du SiPM, cela signifie que plusieurs circuits de lecture de SiPM sont nécessaires pour le même espace de détecteur. Cela représente un défi puisque les circuits de lecture de SiPM sont complexes et que cela réduit l'espace photosensible total d'un système de photodétecteur. Il est possible de réduire jusqu'à un circuit de lecture par SPAD, ce qui représente un SiPM numérique, qui sera présenté dans la prochaine section. Un compromis pour réaliser de plus petits SiPM sans encombrer l'espace photosensible du détecteur est de réaliser un SiPM intégré en 3D avec l'électronique de lecture (Figure 2.8) [16]. En utilisant un SiPM analogique intégré en 3D, il est possible de réduire les éléments de taille ci-haut mentionnée au coût de développer un procédé d'intégration 3D. Cette solution représente un bon intermédiaire entre un SiPM analogique standard et un SiPM numérique intégré en 3D.

2.2.2 SiPM numérique

Les SiPM numériques sont une matrice de SPAD individuellement étouffé par un circuit d'étouffement CMOS dont l'information en sortie du détecteur est déjà discrétisée. La possibilité d'inclure de l'électronique et de l'intelligence au photodétecteur afin qu'il soit

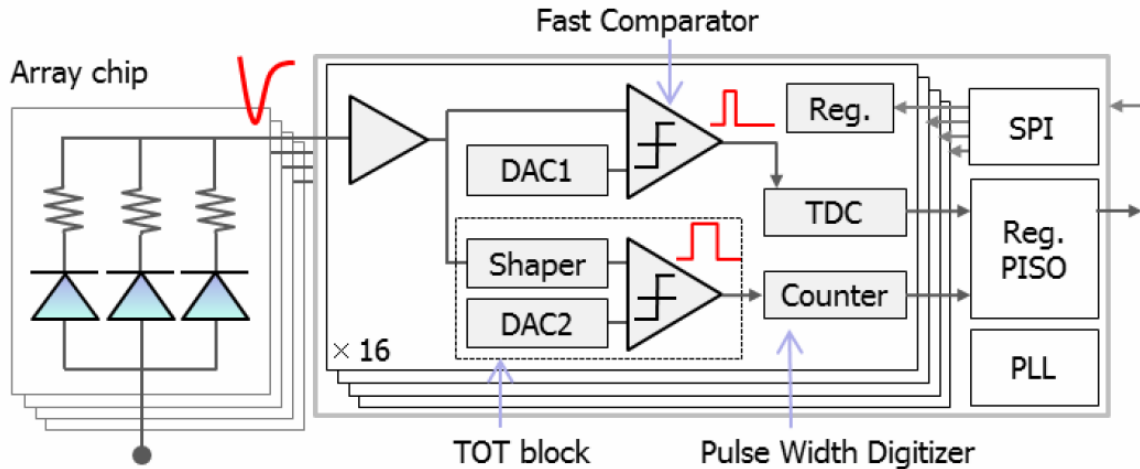


Figure 2.8 SiPM de $3 \times 3 \text{ mm}^2$ intégré en 3D divisé en 16 parties afin de réduire la charge de chaque SiPM sans affecter le facteur de remplissage [16].

optimisé en fonction de l'application représente l'un des avantages majeurs des SiPM numériques par rapport aux SiPM analogiques. En général, les SPAD et les circuits de lecture sont intégrés en 2D, dans une couche monolithique. De nombreuses applications ne nécessitant pas 10 ps LMH peuvent bénéficier de traitement numérique à l'intérieur du détecteur telles que la spectroscopie Raman et la microscopie de temps de vie de fluorescence (FLIM)[129, 45, 161, 87]. Par exemple, la spectroscopie Raman bénéficie de la précision temporelle du détecteur afin de discriminer les interactions Raman des émissions de fluorescences. Puisque ces deux phénomènes ont des temps de décroissances différents (quelques ps pour les interactions Raman et quelques ns pour la fluorescence), il est possible de les discriminer avec des détecteurs possédant une précision temporelle de quelques 100 ps [161, 87]. Pour la FLIM, les détecteurs à base de SPAD possèdent des fenêtres de temps pour mesurer l'intensité par période de temps, similaire à une caméra. Cela permet encore une fois de faire une discrimination en temps des événements de fluorescences [129].

Il existe différentes configurations permettant d'obtenir une bonne performance temporelle en utilisant une matrice de SPAD (Figure 2.9). Il est possible d'intégrer (a) un TDC pour une matrice [42, 141], (b) une distribution de TDC par surface ou par colonne [86, 79] ou (c) un TDC par SPAD [156]. Afin d'obtenir la meilleure précision temporelle, il faut uniformiser le temps de propagation entre le SPAD et le TDC à travers la matrice. La solution optimale consiste à utiliser un TDC par pixel. La section suivante de ce chapitre introduit la contribution à la gigue temporelle de chacun des éléments du SiPM numérique et l'influence du nombre de TDC par matrice.

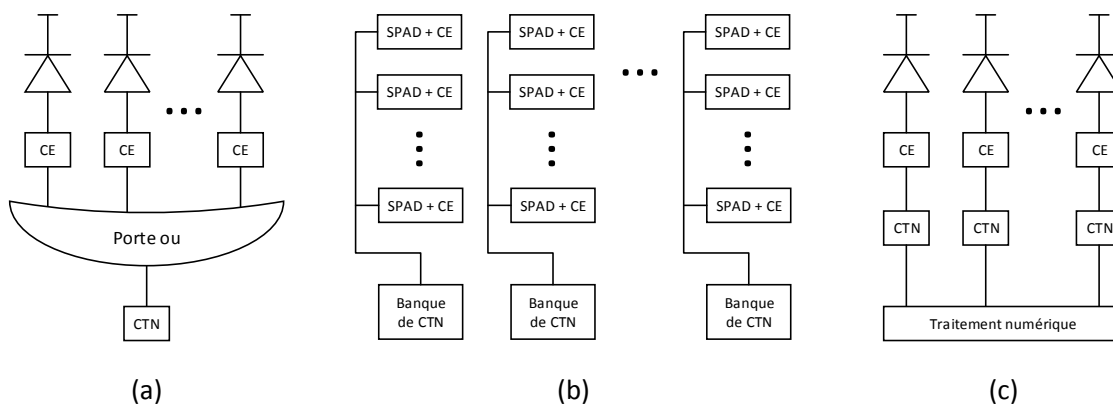


Figure 2.9 Schéma d'un SiPM numérique possédant (a) un TDC pour une matrice, (b) une distribution de TDC par surface ou par colonne et (c) un TDC par SPAD

En utilisant un TDC par SPAD, il est possible d'obtenir une étampe temporelle pour chaque photon détecté, permettant d'appliquer des algorithmes plus sophistiqués capables d'améliorer la précision temporelle lors de la mesure d'un événement de scintillation (en TEP par exemple). En combinant l'information provenant de plusieurs photons, il est possible d'améliorer significativement la précision temporelle de la mesure à condition que le LSB des TDC permettent de séparer les photons arrivant proche dans le temps [131, 139]. Afin de réaliser ce traitement numérique, un estimateur en temps peut être intégré à l'intérieur du SiPM numérique. Par exemple, le *best linear unbiased estimator* (BLUE) permet de combiner l'information de plusieurs photons pour améliorer la précision de la mesure temporelle. Le BLUE est une estimation de la technique du *maximum likelihood estimator* (MLE) qui utilise peu de ressources matérielles ce qui favorise son intégration dans un SiPM numérique [72, 153]. Par contre, pour implémenter un estimateur en temps dans le SiPM numérique, il est important de calibrer et corriger les données reçues dans l'estimateur. L'implémentation d'un estimateur en temps requiert donc l'ajout d'un système de correction, d'un filtre de bruit d'obscurité et d'une trieuse des étampes temporelles [73].

L'un des plus grands désavantages d'utiliser un SiPM numérique par rapport au SiPM analogique est l'espace requis pour intégrer l'électronique auxiliaire à côté du SPAD. La taille du circuit de lecture du SPAD représente une perte de surface photosensible pour le détecteur ce qui diminue l'efficacité de photodétection de la matrice. La solution proposée par le GRAMS pour tirer avantage de l'électronique de lecture individuelle tout en conservant un bon facteur de remplissage est l'intégration 3D de la matrice de SPAD sur une matrice de circuit de lecture [19, 141, 166, 3, 14].

L'avenue la plus simple pour obtenir un SiPM numérique 3D est le collage face-à-face de deux puces afin de réaliser un détecteur illuminer en face arrière (Figure 2.10 [166]). Cette solution permet d'intégrer une couche de détecteur sur de l'électronique et d'obtenir un bon facteur de remplissage.

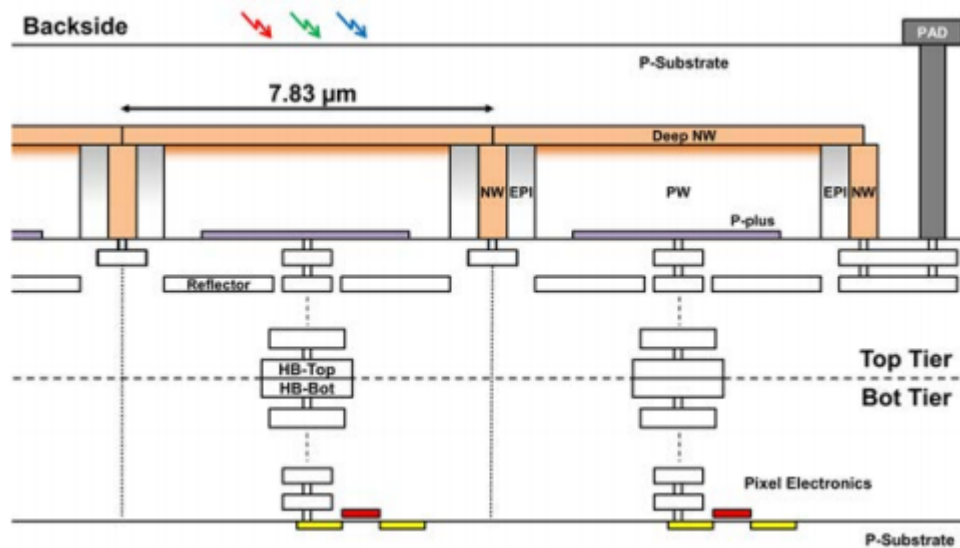


Figure 2.10 Schéma d'un SiPM numérique collé en face avant et illuminer en face arrière [166].

Par contre, cette architecture n'est pas utilisable dans un détecteur qui vise 10 ps LMH parce que la dispersion du temps de propagation entre la détection dans le silicium et le transport vers la zone d'avalanche de la diode est trop grande, ce qui affecte grandement la gigue temporelle. L'illumination en face arrière obtient des résultats de l'ordre de 200 ps LMH et la PDE est beaucoup plus faible dans le visible comparé en illumination face avant (facteur 2 à 4) [110]. À noter qu'un détecteur 3D illuminé en face arrière est intéressant pour d'autres types d'application comme le LiDAR pour les véhicules automobiles. En effet, ces applications opèrent à des longueurs d'onde dans l'infrarouge, gamme de lumière qui est plus pénétrante et qui traverse la couche arrière du détecteur atteignant ainsi la zone de fort champ électrique [3, 29, 110]. Ceci signifie que le détecteur illuminé en face arrière est la configuration qui possède la meilleure PDE à ces longueurs d'onde. Dans ce type d'application, les caractéristiques critiques sont la simplicité, la fiabilité et le coût. La gigue temporelle à photon unique est moins critique dans ce genre de système puisqu'il est possible de faire des mesures répétées pour améliorer la performance du détecteur. Ce genre de détecteur est également utilisé pour des caméras à faible intensité lumineuse produisant des images comme celle présentée à la Figure 2.11 et à la Figure 2.12.



Figure 2.11 Image en ton de gris provenant d'un détecteur à base de SPAD illuminé en face arrière sans traitement post-acquisition. L'image provient d'une seule acquisition et les points blancs représentent des pixels avec fort bruit d'obscurité [3].



Figure 2.12 Image en ton de gris provenant d'un détecteur à base de SPAD illuminé en face arrière provenant de mesure répétée d'un clocher à une distance de 3,5 km [15].

La meilleure avenue pour obtenir une bonne gigue temporelle ainsi qu'un bon facteur de remplissage est un SiPM numérique avec détecteur en face avant. Par contre, obtenir un détecteur illuminé en face avant représente un défi plus élevé puisqu'il requiert une

interconnexion verticale traversant le silicium (*Through Silicon Via* (TSV)) entre le SPAD et le circuit d'étouffement. Cela requiert plus d'étapes de fabrication à proximité des zones actives des SPAD et ceux-ci sont susceptibles d'être affectés par ces étapes.

Le premier détecteur à base de SPAD intégré en 3D illuminé en face avant a été développé au Lincoln Laboratory au début des années 2000 [10, 14]. Ce détecteur conçu pour le LiDAR permet de réaliser des images 3D avec une précision de quelques centimètres. Le détecteur possède une matrice de 32×32 SPAD et la mesure en temps s'effectue à l'aide d'un compteur rapide pour obtenir une précision temporelle d'environ 1 ns [14]. L'équipe du Lincoln Laboratory a continué le développement de ce détecteur en modifiant l'architecture vers une illumination en face arrière pour améliorer les performances en proche infra-rouge [15].

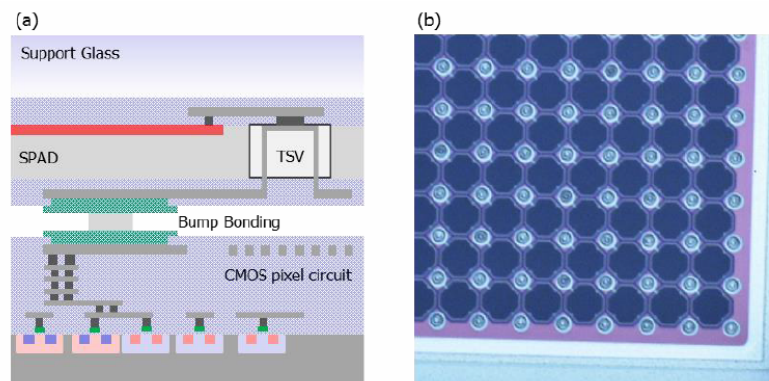


Figure 2.13 Image d'un SiPM numérique illuminée en face avant. La Figure (a) représente une vue en coupe du détecteur et en (b) une vue de dessus du détecteur assemblé [16].

La compagnie Hamamatsu a présenté son premier SiPM numérique intégré en 3D en 2017 [16] possédant un TDC par colonne (Figure 2.9 b)). Le concept d'un SiPM numérique intégré en 3D avec 1 TDC par colonne permettrait de s'approcher d'une mesure de 10 ps LMH. Par contre, les SPAD intégrés dans ce détecteur sont relativement gros ($100 \times 100 \mu\text{m}^2$). De plus, il est important que le procédé d'assemblage n'affecte pas la gigue temporelle du détecteur. Par exemple, le détecteur présenté à la Figure 2.13 possède un support en verre devant les SPAD ce qui peut affecter le PDE à faible longueur d'onde (VUV) et le couplage avec un scintillateur par exemple. Au même titre que le détecteur illuminé en face arrière, le volume sensible à la lumière n'est pas majoritairement dans la zone provoquant les avalanches, induisant une grande incertitude temporelle. En effet, les mesures effectuées avec les paires SPAD et circuit d'étouffement dans cette matrice possèdent une gigue temporelle d'environ 150 ps LMH sans inclure le TDC [16]. Aucune mesure matricielle n'est présentée pour ce détecteur.

Le dernier SiPM numérique en 3D a été développé à l'Université de Sherbrooke [116]. Le détecteur possède une faible capacité de sortie, une caractéristique importante afin d'intégrer les matrices de SPAD dans différentes expériences de physique nécessitant de grandes surfaces de détecteurs ($> 1 \text{ m}^2$). Le détecteur ne possède pas de TDC, mais possède une précision temporelle de l'ordre de 120 ps LMH. Le détecteur possède des SPAD de $50 \times 50 \mu\text{m}^2$ et n'a pas de support sur le devant du détecteur. La précision temporelle du détecteur est affectée par un problème au niveau de l'interconnexion verticale et il serait possible d'obtenir une précision sous les 100 ps LMH avec ce détecteur [116].

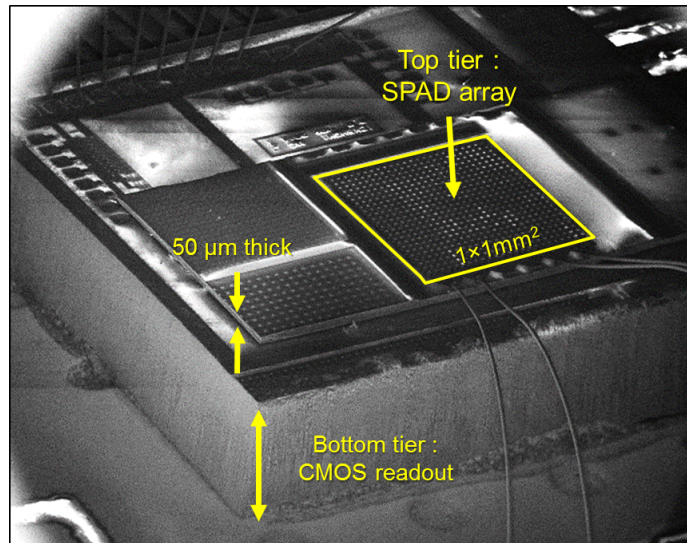


Figure 2.14 Image d'un SiPM numérique illuminé en face avant et assemblé à l'Université de Sherbrooke. La couche de photodétecteur a été aminci à $50 \mu\text{m}$ pour l'intégration 3D [116].

2.2.3 Conclusion

Les matrices de SPADs, qu'elles soient analogiques ou numériques, ne permettent pas d'atteindre présentement 10 ps LMH. Les SiPM analogiques sont présentement limités par deux facteurs importants : la capacité de sortie du détecteur et le temps de propagation associé à la position du SPAD dans la matrice. La meilleure avenue pour atteindre une précision de 10 ps LMH en conservant une bonne efficacité de détection est le SiPM numérique intégré en 3D. Celui-ci doit absolument être illuminé par la face avant pour atteindre 10 ps LMH. Les détecteurs illuminés par la face arrière sont limités en gigue temporelle et n'atteindront pas 10 ps LMH. Plusieurs améliorations sont requises tant au niveau de l'intégration 3D que des circuits présents dans ce type de détecteur. Il est donc nécessaire de développer des circuits d'étouffement et des TDC possédant une précision temporelle sous les 10 ps LMH. De plus, afin d'éliminer l'erreur associée au temps de propagation, il faut intégrer un TDC par SPAD.

2.3 Performances temporelles des SiPM numériques

Cette section introduit les contributions à la gigue temporelle du circuit de lecture de SiPM numérique. La première partie discute du circuit d'étouffement de la photodiode ainsi que le TDC au niveau de leur contribution à la gigue temporelle. La section poursuit ensuite avec une revue de l'intégration en matrice des circuits électroniques afin d'introduire les impacts de cette intégration sur la gigue temporelle du détecteur.

2.3.1 Gigue temporelle du circuit d'étouffement

Le circuit d'étouffement permet de contrôler l'opération du SPAD et de signaler l'arrivée d'un photon à l'électronique de lecture. Le mémoire de l'auteur de cette thèse présente une revue plus large et très détaillée de ces circuits et de leurs performances [96, 120, 22, 37]. Cet ouvrage cible plus spécifiquement son rôle dans la détérioration de la gigue temporelle, fortement influencée par le type de discriminateur utilisé dans le circuit d'étouffement.

En général, un discriminateur de front montant (*leading edge discriminator*) est utilisé pour détecter le signal provenant du SPAD [151, 35, 162, 48, 145]. Ce type de discriminateur possède plusieurs composantes à sa gigue temporelle. Premièrement, il faut minimiser la résolution temporelle intrinsèque de l'électronique (bruit, réjection du bruit, impact du mésappariement). Deuxièmement, il faut minimiser le bruit sur le signal d'entrée et maximiser la pente du signal tel que décrit par l'équation 2.2. Pour minimiser cette contribution, un seuil variable permet de choisir le point de discrimination où la pente est maximale. Troisièmement, il faut minimiser la dispersion du temps de propagation (*Time walk*) en fonction de la variation de l'amplitude du signal, de la pente du signal et du seuil du discriminateur. Ces contributions seront détaillées dans les sous-sections subséquentes.

Il existe plusieurs type de discriminateur de front montant. Par exemple, un inverseur peut être utilisé pour occuper un minimum d'espace et pour réduire la consommation de puissance. Par contre, ses performances temporelles seront limitées par son seuil fixe et élevé ainsi que par sa marge de bruit pour changer d'état [120, 35, 151]. Un second exemple de discriminateur est le comparateur de tension [89, 118, 145]. Ce type de discriminateur permet d'atteindre de meilleures performances temporelle à l'aide d'un seuil variable et d'une meilleure stabilité du temps de propagation que l'inverseur. Ces performances viennent au coût d'une consommation de puissance plus élevée et d'un espace physique plus grand. Les meilleures performances d'une paire SPAD et circuit d'étouffement séparée sur deux puces de silicium sont d'environ 20 ps LMH [7, 118] alors que la meilleure paire intégrée à la même puce atteint 13 ps LMH [96] (voir tableau 2.1). Peu de circuits d'étouffement sans SPAD ont été caractérisés, puisque les circuits électroniques possèdent généralement une gigue temporelle faible par rapport à celle du détecteur.

Tableau 2.1 Comparaison de différentes paires SPAD et circuit d'étouffement.

Ref	Gigue temporelle (ps LMH)	Type de discriminateur
[151]	100	Inverseur
[35]	60	Inverseur
[162]	36	Inverseur
[48]	35	Comparateur
[145]	27	Comparateur
[120]	20 ps sans SPAD 27 ps avec SPAD	Inverseur
[7]	20	Comparateur
[118]	20	Comparateur
[96]	4 ps sans SPAD 13 ps avec SPAD	Comparateur

Dispersion du temps de propagation du discriminateur

La dispersion du temps de propagation du discriminateur utilisé dans le circuit d'étouffement doit être minimisée afin d'obtenir une précision temporelle de 10 ps LMH. Le temps de propagation se définit comme le temps requis au discriminateur pour que le signal d'entrée soit reproduit en sortie. La dispersion du temps de propagation varie en fonction de l'amplitude, la pente et de la sous-tension et surtension par rapport au seuil. Au niveau du circuit d'étouffement, il est important d'identifier si ce type de contribution est présente et si elle limite les performances actuelles des détecteurs à base de SPAD.

La surtension (*overvoltage*) appliquée au discriminateur pour un détecteur à base de SPAD se définit par l'équation 2.3 :

$$Surtension = V_{Exces} - V_{Seuil} \quad (2.3)$$

où :

- V_{Exces} est la tension d'excès appliquée au SPAD
- V_{Seuil} est la tension de seuil appliquée au discriminateur

Cette caractéristique des discriminateurs est importante puisque la tension d'excès des SPAD varie. Premièrement, la tension d'excès à étouffer varie à chaque déclenchement d'une avalanche [89, 37]. Cette variation affecte directement la surtension mentionnée ci-haut et donc le temps de propagation du discriminateur. Deuxièmement, la tension d'excès de chaque SPAD intégrés à l'intérieur d'une matrice varie en fonction du bruit sur

l'alimentation, de la température et de l'uniformité de la fabrication des SPAD, créant une variation de surtension en fonction de la position du détecteur dans la matrice. Cette variation cause une différence de temps de propagation entre les pixels, qui se corrige à l'aide d'une table de vérification (look-up table). La variation matricielle est élaborée plus en détails dans la sous-section 2.3.3.

Afin d'identifier la contribution à la gigue temporelle d'une paire SPAD et circuit d'étouffement de cette variation, il faut caractériser la variation de la tension d'excès du SPAD ainsi que la dispersion du temps de propagation du discriminateur en fonction de la surtension. Peu d'études dans la littérature décrivent la variation de la tension d'excès de SPAD. Afin d'évaluer cette variation au niveau d'un SPAD, une technique a été proposée en 2016 [89]. Pour se faire, une courbe en S de détection du nombre d'événement et la dérivée de celle-ci doivent être effectuées (Figure 2.15). De ces travaux, une variation de la tension d'excès constante de 30 mV LMH a été mesurée pour un SPAD en technologie CMOS 65 nm [89]. Une seconde étude réalisée en technologie CMOS 180 nm montre une variation de la tension d'excès de 60 mV LMH [37]

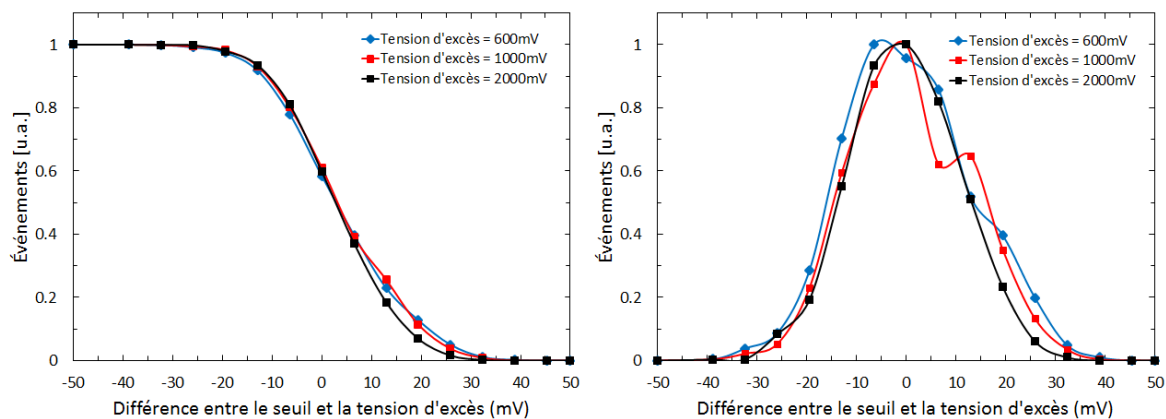


Figure 2.15 Courbe en S du comparateur lorsque déclenché par un SPAD à gauche et la dérivée de cette courbe en S à droite. La dérivé nous permet de déterminer la variation de la tension d'excès en LMH [89]

Au niveau de la dispersion du temps de propagation en fonction de la surtension, celle-ci dépend du type de discriminateur utilisé. Le premier exemple est l'inverseur, le circuit le plus fréquemment utilisé dans un circuit d'étouffement [120, 35, 151]. Sa dispersion s'obtient indirectement malgré un seuil intrinsèquement lié à sa conception en variant simplement la tension à l'entrée dans la plage d'opération des SPAD [120]. La Figure 2.16 présente la variation du temps de propagation ainsi que la gigue temporelle d'un circuit d'étouffement basé sur un inverseur en réponse à un signal fourni par un générateur. Le temps de propagation varie sur toute la plage mesurée, de l'ordre des centaines de

ps/100 mV jusqu'au ns. Ce type de variation pourrait limiter les performances au niveau de la gigue temporelle en fonction de la variation de la tension d'excès du SPAD (cette information n'est pas disponible dans la publication). Le SPAD et le circuit d'étouffement présent dans cette étude possèdent une gigue temporelle de 27 ps LMH.

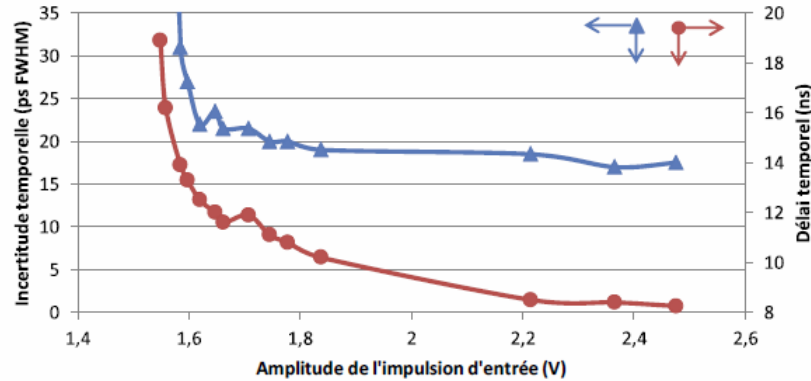


Figure 2.16 Temps de propagation d'un inverseur utilisé pour lire un SPAD en technologie CMOS 800 nm [120].

Le second exemple est le comparateur de tension, dont il existe de nombreuses architectures qui permettent de minimiser le temps de propagation en fonction de la surtension [115]. Ces architectures minimisent généralement la dispersion à plus haute surtension. Ceci convient au mode d'opération puisque le SPAD est utilisé à haute tension pour des raisons d'efficacité de photodétection et de gigue temporelle intrinsèque du SPAD. Par exemple, un comparateur basé sur un amplificateur opérationnel en boucle ouverte avec une double charge active (Figure 2.17) obtient des performances intéressantes [115, 89]. Ce type de comparateur possède deux modes d'opération au niveau du temps de propagation. Le premier mode se situe entre 0 V et 0,5 V de surtension, où la variation du temps de propagation est significative (pente supérieure à 50 ps/100 mV) [89]. Le second mode, entre 0,5 V et 2 V de surtension, offre de meilleurs résultats avec une variation de 10 ps ou moins par tranche de 100 mV de surtension [89]. Cette plage de variation permet une variation de 100 mV avant que la contribution du temps de propagation atteigne 10 ps.

Une seconde étude montre des résultats similaires avec un SPAD et un circuit d'étouffement en 180 nm (Figure 2.18) [37]. Le circuit d'étouffement a été conçu pour obtenir la meilleure stabilité possible en fonction d'une variation de surtension appliquée et le comparateur obtient une variation de 80 ps/V dans sa plage de stabilité pour plusieurs tensions de comparaison différente [37]. Les comparateurs de tension procurent une meilleure stabilité que les inverseurs au niveau de la variation du temps de propagation en fonction de la surtension.

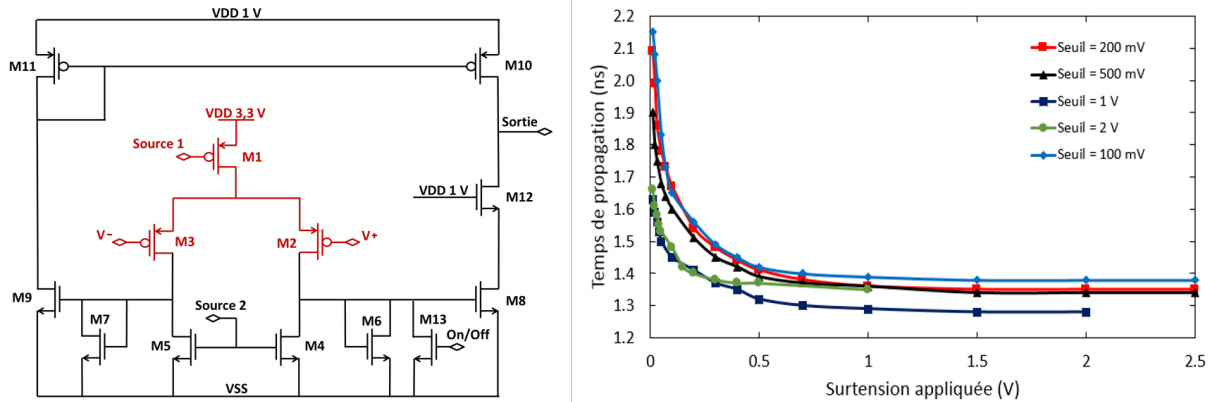
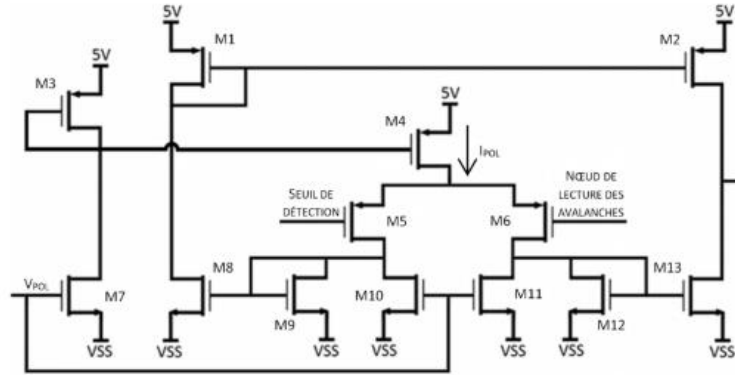


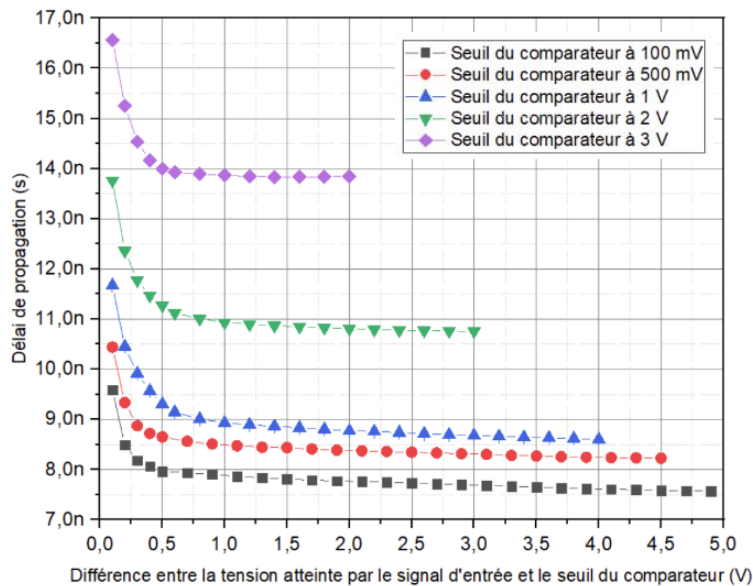
Figure 2.17 Architecture de comparateur pour réduire la gigue temporelle et la dispersion du temps de propagation sans l'ajout de circuit de compensation [96].

Effet de la variation du seuil

La variation du seuil effectif représente une autre source d'incertitude lors de la conception du discriminateur puisqu'elle affecte le temps de propagation du discriminateur (au même titre que la surtension). La variation du seuil se divise en deux contributions : la variation du seuil de chaque discriminateur et celle à travers une matrice de discriminateur. Au niveau de l'inverseur, son seuil est déterminé par ses caractéristiques intrinsèques (V_{th} des transistors). La variation individuelle provient de différentes sources de bruits, des variations de la tension d'alimentation et des variations de la température. Au niveau matricielle, le seuil varie en fonction du mésappariement entre les discriminateurs. Le seuil du comparateur de tension varie en fonction du décalage systématique reporté à l'entrée [37, 115]. Le comparateur de tension subit également les mêmes variations individuelles et matricielles que l'inverseur, en plus d'être affecté par la propagation de la tension de seuil à travers la matrice. En effet, puisque la tension de seuil est fournie par un circuit externe ou une source de tension commune, la propagation de ce signal provoque des disparités sur la tension effective reçue au comparateur. Au niveau matricielle, une variation du seuil causé par un mésappariement peut être corrigé si chaque discriminateur est relié à un convertisseur temps-numérique. Par contre, le bruit sur le noeud du seuil d'un comparateur ou sur l'alimentation d'un inverseur provoque une gigue temporelle. L'architecture du discriminateur doit minimiser cet impact en ayant une variation de son temps de propagation minimale par rapport à une variation de son seuil. Une architecture d'amplificateur opérationnel à deux étages permet de minimiser cet impact [89, 37]. Ces études présentent des comparateurs possédant une variation du délai de propagation sous 10 ps/100 mV mesurés. Ceci signifie qu'une variation du seuil de 10 mV ne fera varier le temps de propa-



(a)



(b)

Figure 2.18 En (a), l'architecture d'un comparateur de lecture de SPAD à l'anode et en (b), la variation du temps de propagation en fonction de la surtension appliquée [37].

gation que de 1 ps ($10 \text{ ps}/100 \text{ mV} \times 10 \text{ mV}$), provoquant une gigue temporelle négligeable (1 ps) par rapport au 10 ps souhaitée (Figure 2.17).

2.3.2 Gigue temporelle du convertisseur temps numérique

Avant de discuter des différentes contributions à la gigue temporelle du convertisseur temps numérique (TDC), il est important de définir la limite atteignable par le TDC. En effet, puisque ce circuit effectue la conversion entre le monde analogique (le temps) et numérique, il y a une erreur de quantification associée à cette opération [17, 104, 46, 134]. L'erreur de

quantification lors de la numérisation en moyenne quadratique (*root mean square* (RMS)) est de :

$$\sigma = \frac{N}{\sqrt{12}} \quad (2.4)$$

où :

- σ est la gigue temporelle associée en RMS
- N est la largeur du pas, également appelé bit de poids faible (*least significant bit* (LSB))

Pour obtenir 10 ps LMH (considérant que 10 ps LMH d'une distribution gaussienne est environ 4,25 ps RMS), la largeur de bin maximal du TDC pour obtenir la précision temporelle voulue est donc de $4,25 \text{ ps} \times \sqrt{12}$ ce qui donne 15 ps. La gigue temporelle dans le TDC est généralement de forme gaussienne, par contre, lorsque l'erreur de quantification domine, il est possible d'observer la forme de la distribution aura une forme rectangulaire, de la largeur du LSB (courbe verte de la Figure 2.19). Lorsque l'erreur se partage entre les deux, il est possible de voir la combinaison d'une gaussienne avec un rectangle (courbe rouge et la courbe bleue de la Figure 2.19). Il est important d'évaluer quelle serait une contribution acceptable de l'erreur de quantification à la gigue temporelle totale.

L'atteinte d'une gigue temporelle de 10 ps LMH exige que la valeur de l'erreur de quantification soit négligeable par rapport à l'objectif total. En général, il est préférable d'obtenir une contribution maximale de 10% du total, en somme quadratique. Cette contribution se situe donc autour de 3 ps LMH fournissant ainsi une valeur maximale de largeur de bin au TDC de 5 ps. Tel que détaillé dans le mémoire de Nicolas Roy [124], il existe plusieurs architectures de TDC. Afin d'obtenir une gigue temporelle sous les 10 ps LMH à la détection d'un photon unique pour la matrice de détecteurs, plusieurs instances de TDC doivent y être intégrés [142]. Considérant le LSB et la précision souhaitée dans un espace très restreint, l'architecture de TDC privilégiée est un Vernier avec deux anneaux oscillateurs.

La précision du TDC (σ_{TDC}) dépend de la gigue temporelle de chaque section du TDC (Figure 2.20) selon l'équation 2.5.

$$\sigma_{TDC} = \sqrt{\sigma_{prelogique}^2 + (n_s \times \sigma_{osc\ lent}^2) + (n_v \times \sigma_{osc\ vernier}^2) + \sigma_{coincidence}^2} \quad (2.5)$$

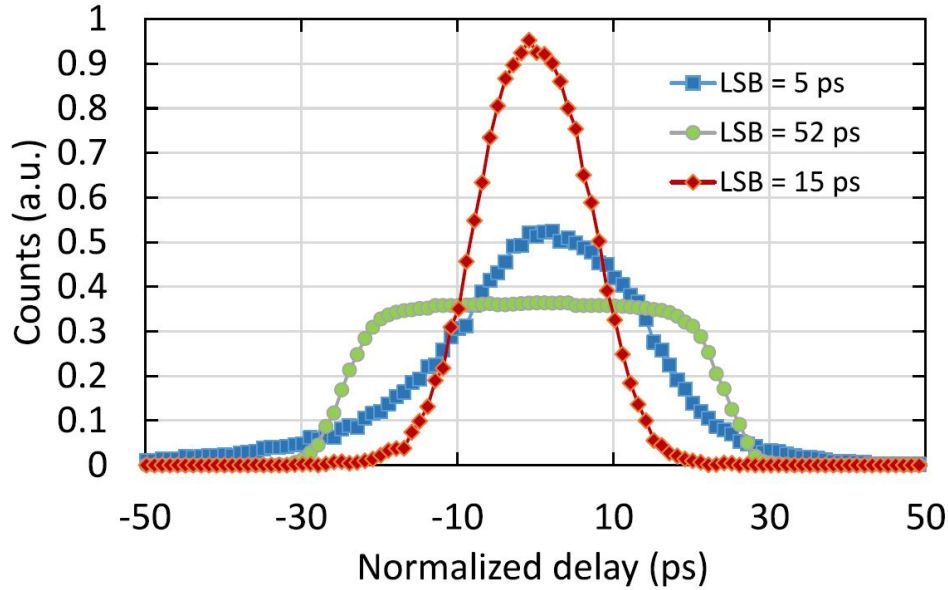


Figure 2.19 Gigue temporelle d'un TDC avec trois valeurs de LSB. Il est possible d'observer qu'à faible LSB (52 ps, en vert), l'erreur de quantification domine, ce qui provoque un plateau d'une largeur du LSB dans le haut de la distribution [125]. Les courbes bleue et rouge représentent une distribution qui combine une forme gaussienne de la gigue temporelle de l'électronique et la forme rectangle de l'erreur de quantification dont la gigue de l'électronique domine.

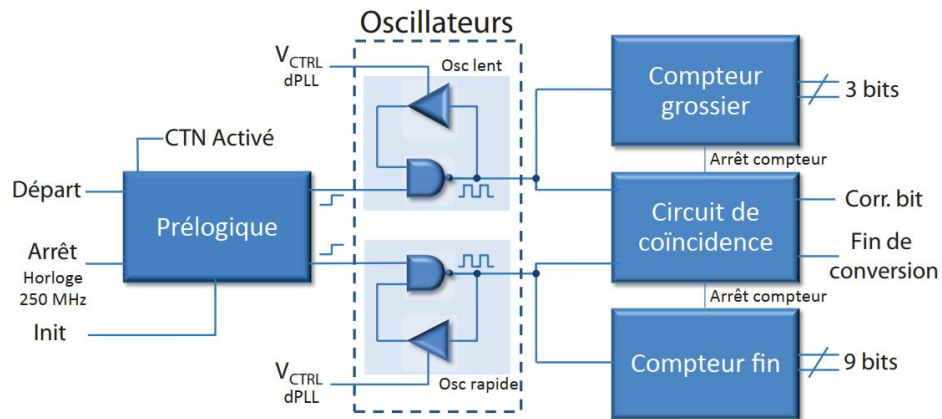


Figure 2.20 Schéma bloc d'un TDC Vernier avec deux anneaux oscillateurs. Le circuit de prélogique permet de conditionner les signaux d'entrée. La mesure en temps s'effectue à partir des deux oscillateurs et le circuit de coïncidence permet d'arrêter le TDC lorsque la conversion du temps est terminée.

où :

- $\sigma_{prelogique}$: Gigue temporelle associée au circuit de logique du TDC
- $\sigma_{coïncidence}$: Gigue temporelle associée au circuit de coïncidence du TDC
- n_s : Nombre de tours en mode oscillateur simple

- n_v : Nombre de tours en mode vernier
- $\sigma_{osc\ vernier}^2 = \sqrt{\sigma_{osc\ lent}^2 + \sigma_{osc\ rapide}^2}$

La gigue temporelle peut être divisée en deux, la gigue temporelle fixe et celle en fonction du LSB et de la plage dynamique du TDC. La gigue du circuit de la logique du TDC ($\sigma_{prelogique}$) est une contribution fixe à la gigue totale et doit être minimisée. Ce n'est cependant pas la contribution majeure à la gigue temporelle. La plus grande contribution provient de la gigue cycle à cycle qui s'accumule à chacun des tours effectués par les oscillateurs (Figure 2.21).

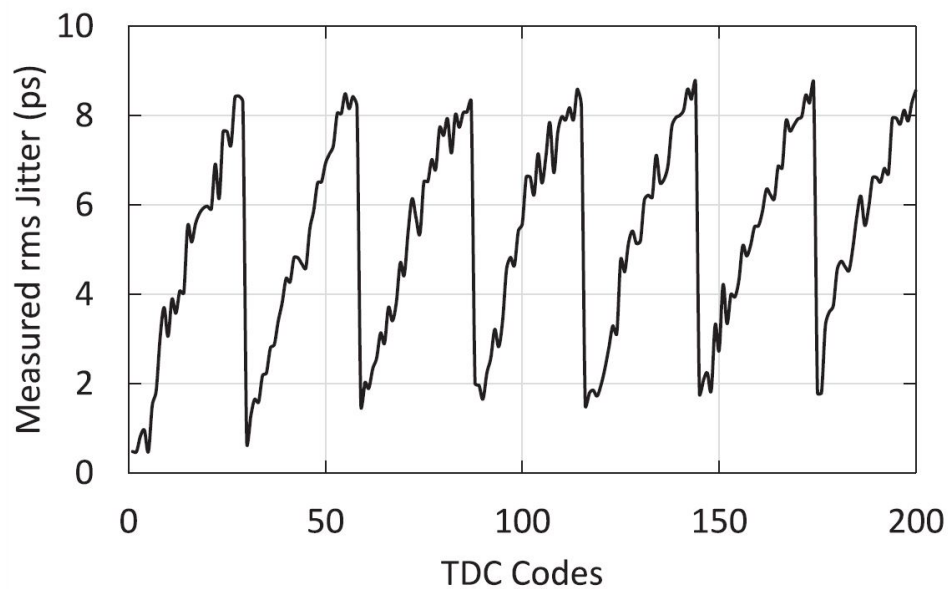


Figure 2.21 Gigue temporelle du TDC en fonction du nombre de tours effectués et de la plage dynamique couverte par le circuit. Il est possible de voir l'accumulation de la gigue en mode Vernier (ex : 0 à 30 TDC codes) ainsi que l'accumulation associée en mode oscillateur simple (ex : Code 0, 30, 60, 90, 120, etc.) [125].

La solution pour réduire la gigue temporelle est évidente, il faut réduire le nombre de tours effectués en mode Vernier. Par contre, l'implémentation est compliquée. Par exemple, dans le circuit présenté en [124], les oscillateurs sont limités à une fréquence maximale de 2 GHz dus à l'électronique de décision qui vient compter le nombre de tours de l'oscillateur. Cela signifie donc qu'avec un LSB de 5 ps, le mode Vernier du TDC doit atteindre 100 tours pour couvrir la plage dynamique de 2 GHz (500 ps). Il faut donc réduire la gigue temporelle associée au tour d'oscillateur pour améliorer la précision temporelle du TDC. Le LSB du TDC doit donc être optimisée en fonction de l'erreur de quantification et de la gigue temporelle cycle à cycle des anneaux oscillants.

2.3.3 Uniformité matricielle

L'intégration de circuit électronique en matrice introduit de nombreuses contributions pouvant être catégorisées en deux sections : les contributions à la gigue temporelle et les contributions en temps de propagation. Les contributions en temps de propagation ont la particularité d'être corrigeable en fonction de l'architecture choisie. Il est primordial de les identifier afin d'optimiser la gigue temporelle de la matrice complète. Cette section introduit les différentes contributions à la gigue temporelle causées par l'intégration en matrice des détecteurs à base de SPAD présentes dans la littérature. D'abord, les contributions aux interfaces entre le SPAD et le circuit d'étouffement ainsi qu'avec le TDC seront présentées. Ensuite, l'uniformité du temps de référence de TDC ainsi que l'uniformité du LSB du TDC seront exposées. Pour finir, la contribution de la température sur les non-uniformités ainsi que les limitations au niveau de la puissance consommée seront présentées.

Contribution à la gigue temporelle à l'interface entre le SPAD et le circuit d'étouffement

L'intégration matricielle apportera des différences de temps de propagations inhérentes aux variations de procédées à l'intérieur du circuit d'étouffement. De plus, l'uniformité de la tension de claquage des SPAD peut causer des variations en fonction de la dispersion du temps de propagation du discriminateur. En effet, la tension de claquage à l'intérieur d'une matrice varie en fonction de l'uniformité des concentrations de dopants dans la zone d'avalanche et des anneaux de gardes, et donc, de la position où le photon interagit dans le volume du SPAD [12]. La mesure de la variation de la tension de claquage est généralement effectuée afin de déterminer l'uniformité de l'efficacité de photodétection de la matrice, et est souvent considérée comme faible (de l'ordre de 1%). Par contre, peu d'analyses sont réalisées sur l'impact sur la variation de délai dans la matrice. La Figure 2.22 présente la variation de la tension de claquage de deux matrices [13]. Ces deux matrices présentent des variations avoisinant les 50 mV RMS et une variation crête de 150 mV pour la matrice (a) et dans l'ordre de 400 mV pour la matrice (b). Cette variation signifie donc que chaque SPAD impose un délai de propagation différent à son circuit d'étouffement puisque la surtension qui lui sera appliquée dépendra de sa position dans la matrice.

Si chaque SPAD possède un comparateur optimisé [98] et que celui-ci a une variation de temps de propagation de 10 ps/100 mV, une variation RMS de 50 mV signifie donc une variation de l'ordre de 5 ps RMS pour la matrice. Pour une variation de 400 mV crête, la variation maximale à l'intérieur de la matrice serait de 40 ps. Si le circuit utilisé est un inverseur, qui possède une variation du délai de propagation de l'ordre de 100 ps/100 mV (tel que présenté à la section 2.3.1), une variation RMS de 50 mV signifie donc une variation

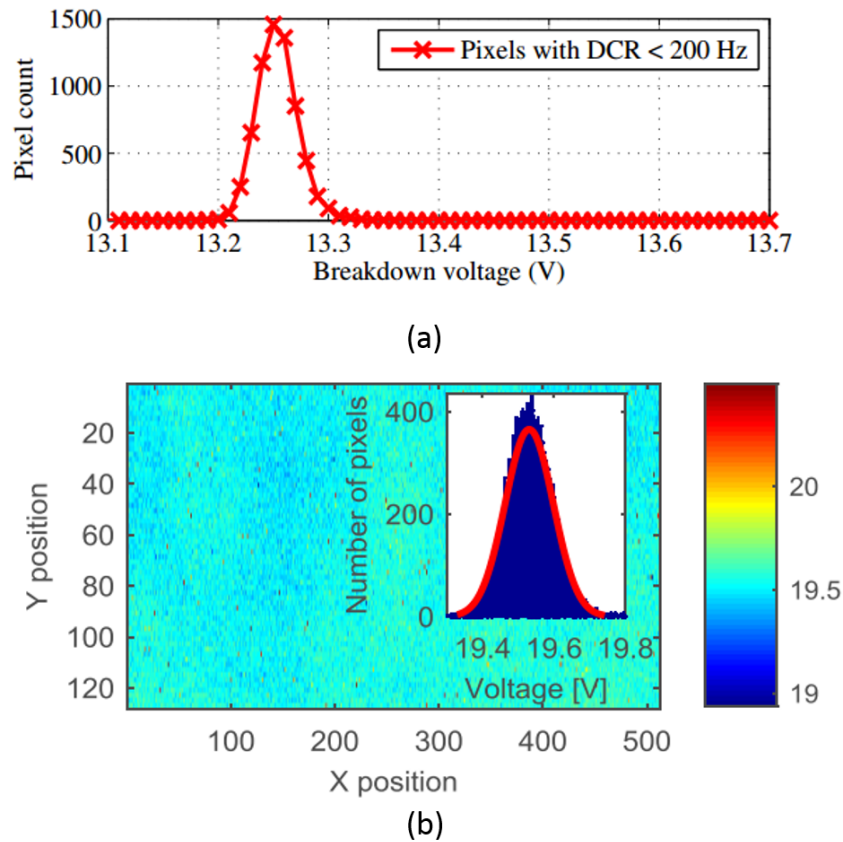


Figure 2.22 Graphique du nombre de pixels en fonction de la tension de claquage mesuré pour (a) une matrice de 20 000 SPAD pour une variation RMS sous 50 mV et (b) une matrice de 65 000 SPAD pour une variation RMS de 67 mV [13].

de l'ordre de 50 ps RMS pour la matrice. Pour une variation de 400 mV crête, la variation maximale à l'intérieur de la matrice serait de 400 ps. Considérant une telle variation et l'objectif de 10 ps LMH, il est primordial d'avoir un TDC pour chaque SPAD afin de corriger les temps de propagation et éliminer cette contribution à la gigue temporelle.

Contribution à l'interface entre le circuit d'étouffement et le TDC

Une deuxième contribution provenant de l'intégration matricielle de SPAD se trouve à l'interface entre le circuit d'étouffement et le TDC. Dans un SiPM numérique, l'électronique de lecture comporte un ou plusieurs TDC pour la matrice. Dans le cas idéal, chaque pixel possède un TDC pour mesurer l'arrivée d'un photon. Ceci enlève la contrainte de l'ajout d'un arbre de déclenchement pour activer le TDC lorsque l'un des pixels fait feu. Par contre, si plusieurs circuits d'étouffement sont connectés au même TDC, il faut minimiser la dispersion du temps de propagation de chaque pixel vers le TDC si on ne connaît pas l'adresse du pixel déclenché. En effet, le désavantage de posséder un seul TDC par matrice

sans adresse de chaque pixel est que cette dispersion temporelle se transforme en gigue temporelle puisqu'on ne peut pas la corriger [40, 70]. Pour cette raison, plusieurs solutions ont été proposées pour les détecteurs possédant un seul TDC par matrice. La difficulté de fournir une faible dispersion provient de l'espace disponible pour placer l'arbre de déclenchement. En effet, il n'est pas possible de placer des circuits et des traces de métaux à n'importe quel endroit puisque la majorité de l'espace est réservé au SPAD. Ce problème est très similaire à celui des SiPM analogiques dans lequel il n'est pas possible d'intégrer un arbre en H pour obtenir des longueurs de traces égales. Le Digital Silicon Photomultiplier de Philips Research, présenté pour la première fois en 2009, possède une dispersion crête à crête de 600 ps, ce qui limite la gigue temporelle du détecteur à 110 ps LMH [42]. Le digital Silicon Photomultiplier a ensuite été optimisé pour de la détection de lumière Cherenkov (Figure 2.23) et possède une dispersion crête à crête de 200 ps pour une contribution de 40 ps RMS à la gigue temporelle [40]. Des simulations pour une éventuelle troisième révision proposent une contribution de 4 ps RMS, mais aucune mesure de ce détecteur n'est présentée [40]. À noter ici qu'aucune étude ni mesure n'ont été effectuées sur l'impact de la variation de tension de claquage sur le temps de propagation, cela pourrait expliquer la disparité entre les simulations et les mesures ainsi que la raison pour laquelle ils obtiennent toujours une dispersion si élevée (40 ps RMS pour 200 ps crête).

Une autre architecture de SiPM numérique a été proposée avec un TDC par matrice, mais ce détecteur est intégré en 3D [141]. L'avantage d'être intégré en 3D par rapport au *digital Silicon Photomultiplier* est que la couche de circuit intégré où se situe l'arbre de déclenchement est purement numérique, donc le placement et l'optimisation de celui-ci sont plus faciles. Afin d'optimiser la dispersion du temps de propagation, des cellules avec délai de propagation identique entre les entrées et la sortie ont été conçues. De plus, les cellules ont été placées à l'aide d'outils numériques et les traces de l'arbre de déclenchement provenant de chaque cellule ont été optimisées pour obtenir des longueurs uniformes. La Figure 2.24 montre une dispersion maximum de 90 ps pour une contribution de 13 ps RMS (environ 30 ps LMH) pour une architecture simulée à 6 ps RMS [141, 140]. Malgré une bonne optimisation sur une couche dédiée, un arbre de déclenchement sous les 10 ps LMH semble difficilement atteignable. Une architecture avec un TDC par pixel, ou un circuit intermédiaire (1 TDC par x pixels) semble être nécessaire pour atteindre une précision de 10 ps LMH puisque malgré toutes ces optimisations, le circuit possède toujours une gigue temporelle supérieure à 10 ps, et ce, avec seulement cette contribution. En effet, dans une architecture possédant un TDC par circuit d'étouffement, il est possible de corriger l'erreur de temps de propagation que ce soit de l'arbre de déclenchement ou de la variation de la

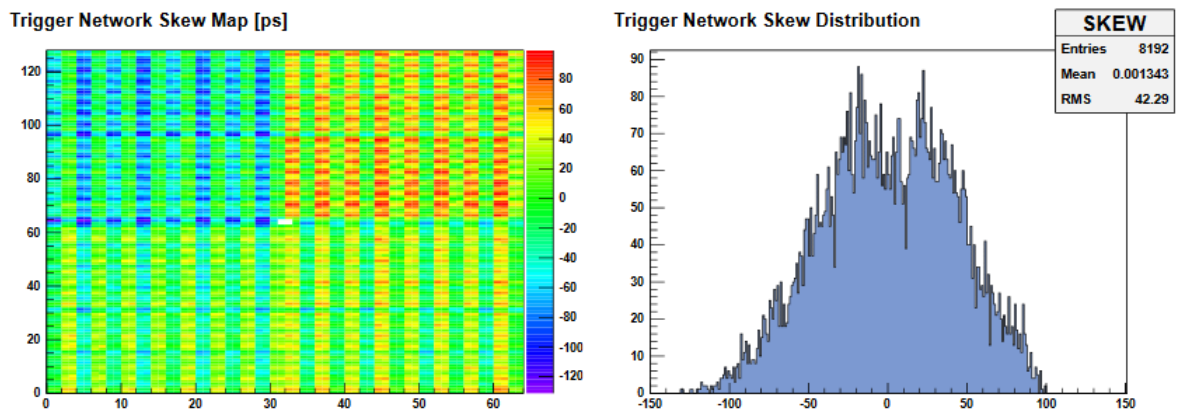


Figure 2.23 Délai de l'arbre de déclenchement d'une matrice de $3 \times 3 \text{ mm}^2$ composé de 8 192 SPAD avec une contribution de 42 ps RMS à la gigue temporelle [40].

tension de claquage à l'aide d'une table de vérification et ainsi éliminer la gigue temporelle lui étant associée.

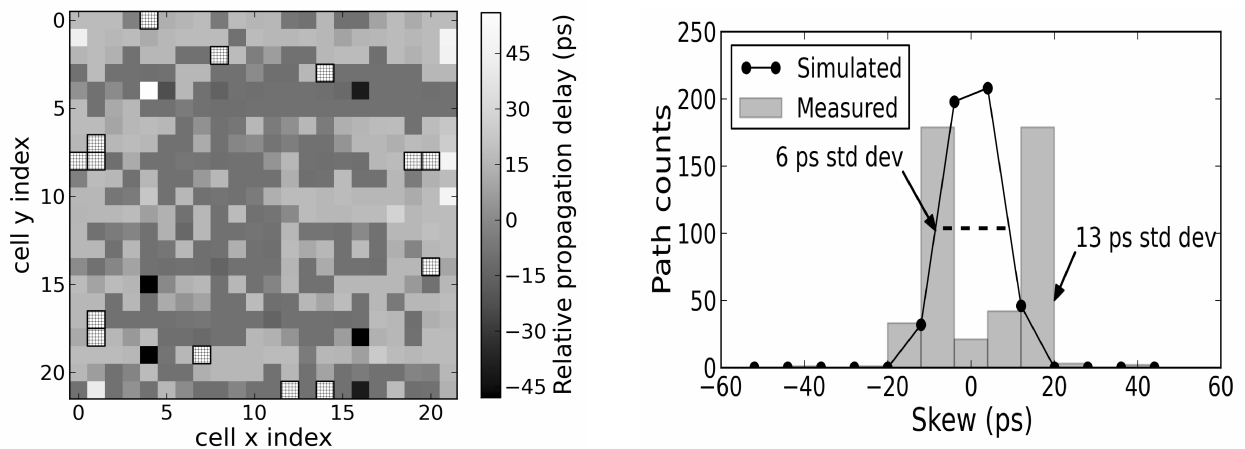


Figure 2.24 Délai de l'arbre de déclenchement d'une matrice de $1 \times 1 \text{ mm}^2$ composé de 484 SPAD avec une contribution de 13 ps RMS à la gigue temporelle [141].

Contribution de la référence matricielle des TDC à la gigue temporelle

La troisième contribution est au niveau de l'uniformité du temps de référence des TDC, principalement causée par l'arbre d'horloge. En effet, puisque chaque TDC mesure le temps d'arrivée des photons, il est primordial qu'ils possèdent tous le même temps de référence imposé par l'horloge du circuit. Contrairement à l'arbre de déclenchement, le signal d'arbre d'horloge provient d'une source unique et doit propager le signal jusqu'à chaque pixel.

Plusieurs outils commerciaux existent pour réduire la variation du délai de propagation, mais il est difficile d'obtenir une variation sous les 10 ps pour un circuit qui n'est pas purement numérique. En effet, puisque certaines zones dans un circuit comme un SiPM numérique sont réservées soit pour des SPADs ou pour des circuits analogiques, il est plus difficile d'effectuer un arbre d'horloge bien balancé. Considérant cela, il est donc primordial d'être en mesure de corriger cette variation au même titre que l'arbre de déclenchement précédemment décrit. Il est possible d'observer à la Figure 2.25 qu'une variation dans le temps de propagation de l'arbre d'horloge a un impact significatif sur la précision en coïncidence de deux SiPM numériques avec des cristaux scintillateurs pour la TEP. À noter que la précision temporelle pour la détection d'un photon unique serait encore plus impactée par cette variation qu'une mesure en coïncidence (Figure 2.25) puisqu'avec cette dernière, il est possible d'utiliser du traitement numérique pour effectuer une correction de groupe et moyenner les mesures temporelles de plusieurs photons.

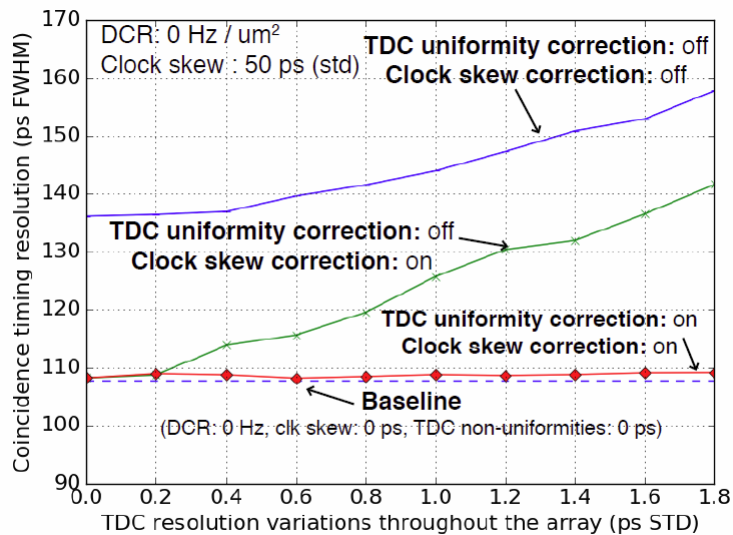


Figure 2.25 Effet de la dispersion du temps de propagation d'un signal d'horloge et de la variation du LSB du TDC sur la résolution en temps en coïncidence de deux détecteurs TEP à base de cristaux LYSO [71].

Contribution à la gigue temporelle des non-uniformités du TDC en matrice

La quatrième contribution est au niveau de l'uniformité du LSB des TDC. Comme décrit dans la section sur la gigue temporelle du TDC, à chaque cycle effectué par les oscillateurs, une gigue temporelle s'accumule. Ce phénomène est également présent au niveau de la matrice s'il y a une dispersion quant au LSB de chaque TDC. En effet, si à cause des variations de procédés ou d'échauffement local, le LSB du TDC diffère d'un pixel à l'autre, il est primordial de connaître le LSB du TDC pour être en mesure de l'inclure dans la conversion en temps. Tel que présenté dans la Figure 2.26, le LSB du TDC peut varier

d'environ 5 ps par tour (crête), pour une variation RMS de 2 ps [152]. En prenant ce 5 ps déterminé à la section sur l'erreur de quantification, cela signifie qu'il faudra effectuer au maximum 100 tours Verniers pour mesurer le temps [124]. Si chaque TDC n'est pas caractérisé et que le même LSB est attribué à tous les TDC, une erreur de 5 ps à 500 ps crête sera ajoutée pour une contribution de 2 ps à 200 ps RMS. Cette variation dépend du nombre de tours qu'effectuera le TDC lors de la mesure. Pour obtenir une matrice possédant une gigue temporelle sous 10 ps LMH, il est donc primordial d'être en mesure de corriger cette variation au même titre que l'arbre de déclenchement précédemment décrit. Il est possible d'observer à la Figure 2.25 qu'une variation du LSB du TDC a un impact significatif sur la précision en coïncidence de deux SiPM numériques avec des cristaux scintillateurs pour la TEP.

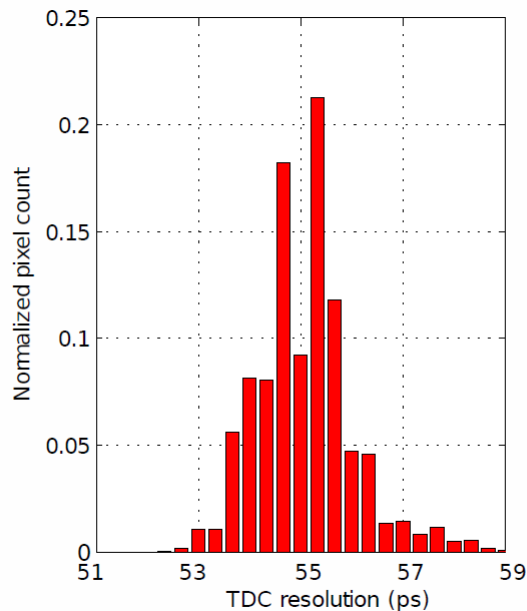


Figure 2.26 Variation du LSB (largeur de bin) de TDC dans un SiPM numérique composé de 20 000 canaux (environ 2 ps RMS)[152].

Variations du LSB en fonction du nombre de pixels actifs dans la matrice

La cinquième contribution est la variation du LSB du TDC et de sa gigue temporelle en fonction de l'activité dans la matrice (le nombre de pixels actifs). L'activation simultanée de plusieurs pixels provoque une augmentation du bruit sur les alimentations ainsi qu'une variation de la température. Ces changements ont un impact direct sur le LSB effectif du TDC ainsi que la gigue temporelle cycle à cycle des oscillateurs composant le TDC (Figure 2.27 (a)) [152]. La Figure 2.27 montre que l'activation simultanée de 160 colonnes décale la mesure d'un TDC de 2 LSB d'une largeur de 55 ps. Cette variation matricielle ajoute de la gigue temporelle au détecteur. Pour minimiser ce genre d'impact, il est possible

d'inclure des systèmes de calibration en temps réel, tels qu'une boucle à verrouillage de phase (PLL). Une PLL permet d'uniformiser la vitesse des oscillateurs à l'intérieur du TDC [151, 152, 124]. La Figure 2.27 (b) présente la même mesure qu'en (a), mais avec une PLL pour venir calibrer la mesure du TDC. À noter que la PLL doit être bien conçue, sinon les performances du TDC peuvent être dégradées. Dans la Figure 2.27, le LSB du TDC se dégrade de 55 ps à 87 ps lorsque la PLL est activée [152].

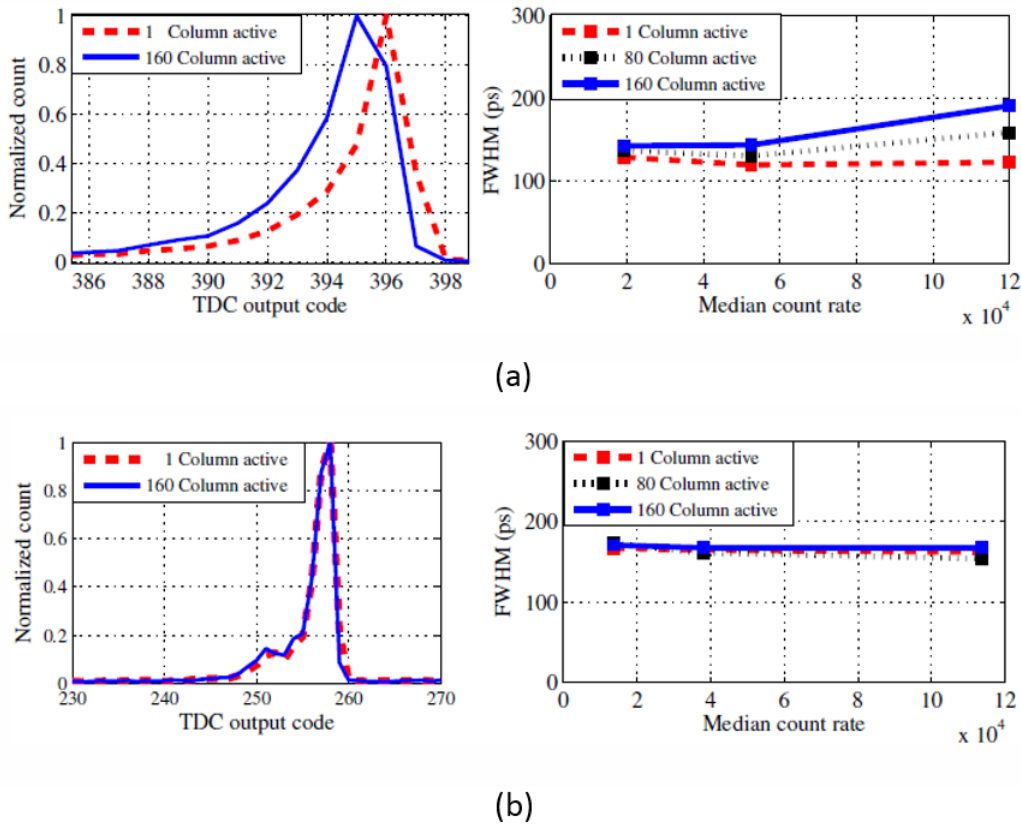


Figure 2.27 Comparaison du code de sortie du TDC en fonction du nombre de pixels activés dans une matrice pour un circuit (a) ne possédant pas de circuit de calibration et (b) possédant une boucle de verrouillage de phase (PLL) pour calibrer les TDC [151].

Limitation de la consommation de puissance

Les différentes applications ciblées ont une limite de consommation de puissance, pour la dissipation de chaleur par exemple. Ceci implique qu'il faut concevoir une matrice de SPAD possédant 10 ps LMH tout en s'assurant que la consommation de puissance associée respecte les critères de l'application. Pour la TEP, une étude sur l'effet du nombre de TDC dans une matrice sur la performance du photodétecteur dans une mesure en coïncidence de deux scintillateurs avec mécanisme de photons prompts propose qu'une architecture avec 1 TDC par 4 SPAD ou même 1 TDC par 16 SPAD soit suffisante pour obtenir

les performances voulues (Figure 2.28) [142]. Cette étude ne prend pas en compte les différents impacts d'uniformité matricielle ci-haut mentionnés. Cela fait en sorte qu'il n'est pas réaliste de simplement regarder le nombre de TDC tout en ignorant l'impact de l'arbre de déclenchement et de l'uniformité de la tension de claquage. Pour qu'une solution ne possédant pas un TDC par SPAD soit viable, des traces balancées pour minimiser la dispersion du temps de propagation n'est pas suffisant. Il faut utiliser un circuit de décision appelé un arbitre [124, 77, 127, 160] pour déterminer quel pixel a détecté un photon afin de corriger ses contributions à la gigue temporelle de la matrice (Figure 2.29).

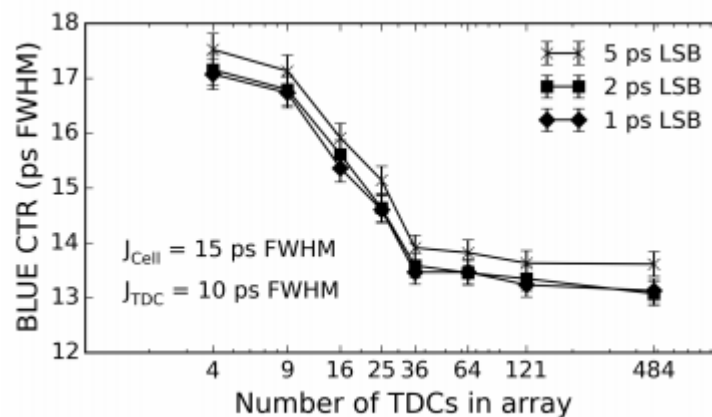


Figure 2.28 Simulation sur l'effet du nombre de TDC dans une matrice (484 représente 1 TDC pour 1 circuit d'étouffement) sur la résolution temporelle en coïncidence de deux cristaux scintillateurs avec mécanisme de photons prompts [142].

Un arbitre tente d'évaluer quelle entrée est arrivée en premier. L'arbitre envoie ensuite l'adresse du pixel au traitement numérique [148]. Par contre, plus le nombre d'entrées de l'arbitre est élevé, plus il est difficile d'obtenir un circuit prenant toujours la bonne décision [77]. Donc, plus le nombre de TDC par SPAD est élevé, plus l'arbitre prend de mauvaises décisions. Cette solution peut donc permettre de réduire le nombre de TDC à un facteur de quelques SPAD par TDC, mais il ne serait pas possible de l'implanter efficacement pour arriver à un TDC par matrice de $1 \times 1 \text{ mm}^2$.

2.3.4 Conclusion

Ce chapitre a survolé les différentes applications nécessitant un photodétecteur monophotonique possédant une gigue temporelle de 10 ps LMH. Le SiPM numérique est un photodétecteur basé sur une matrice de SPAD ainsi qu'un circuit de lecture composé de circuits d'étouffements, de TDC et d'un circuit numérique de traitement. L'état de l'art actuel montre qu'une précision temporelle de 13 ps LMH lors de la détection d'un photon unique a été réalisée pour une paire SPAD et circuit d'étouffement, une précision de

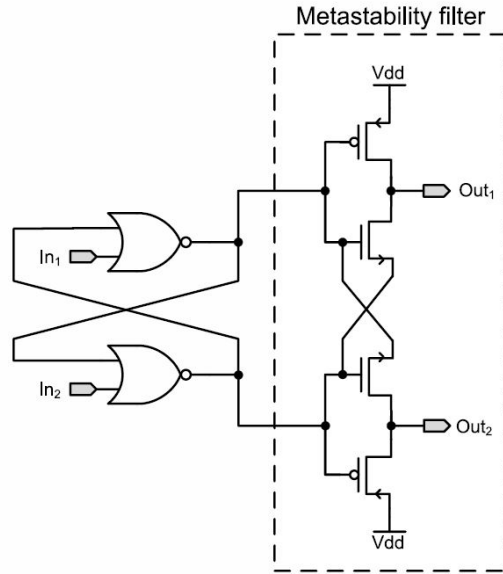


Figure 2.29 Circuit logique d'un arbitre CMOS à 2 entrées [125].

4 ps LMH pour un circuit d'étouffement seul et une précision de 15 ps LMH pour un TDC seul. Par contre, cela ne représente qu'une cellule d'un système composite qu'est le SiPM numérique, et ce dernier possède d'autres imprécision temporelle. Comme décrit dans cette section, de nombreuses contributions matricielles s'ajoutent aux performances de précision temporelle du circuit d'étouffement et du TDC. Les chapitres subséquents introduiront de nouvelles architectures de circuit d'étouffement, de TDC et de l'électronique de lecture matricielle afin de développer un SiPM numérique possédant une gigue temporelle de 10 ps LMH.

CHAPITRE 3

SPAD, circuit d'étouffement et convertisseur temps-numérique en CMOS 65 nm

3.1 Introduction

L'état de l'art actuel présente des paires SPAD et circuit d'étouffement possédant au mieux une précision temporelle de 13 ps LMH et un TDC compatible à l'intégration matricielle à 15 ps FWHM. Afin de concevoir un convertisseur photon-numérique 3D possédant une gigue temporelle sous 10 ps LMH, il faut optimiser et améliorer les performances de ces deux circuits électronique. Ce chapitre vise à discuter et à répondre aux questions suivantes :

- Quelles architectures de circuit d'étouffement permettent d'atteindre une précision temporelle de 10 ps LMH ?
- Quelles architectures de TDC permettent d'atteindre une précision temporelle de 10 ps LMH ?

La conception d'un circuit d'étouffement possédant une gigue temporelle sous 10 ps LMH était le sujet de mon mémoire de maîtrise [89]. Le circuit a été révisé et amélioré au cours de mon doctorat, menant vers deux publications supplémentaires. Ce chapitre présente deux nouveaux concepts associés au circuit d'étouffement. Premièrement, la gigue temporelle associée à la combinaison de la variation de la tension d'excès d'un SPAD et la dispersion du temps de propagation du discriminateur en fonction de sa surtension est introduite. Deuxièmement, la mesure de la pente du signal d'un SPAD en fonction de sa tension d'excès et la saturation de la contribution du bruit sur la pente (Équation 2.2) sont présentées. Ces résultats ont permis d'atteindre une meilleure gigue temporelle avec une paire SPAD et circuit d'étouffement. Ce chapitre présente également une étude de la gigue temporelle du TDC Vernier en fonction de l'architecture des éléments de délai choisis ainsi que l'impact du bruit d'une alimentation commune entre le circuit d'étouffement et le TDC.

Les résultats présentés proviennent des deux articles suivants :

- [99] : Nolet, F., Dubois, F., Roy, N., Parent, S., Lemaire, W., Massie-Godon, A., Charlebois, S. A., Fontaine, R., and Pratte, J.-F. (2018a) *Digital SiPM Channel*

Integrated in CMOS 65 nm with 17.5 ps FWHM Single Photon Timing Resolution. Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, 912 :29 – 32. New Developments In Photodetection 2017.

- [98] : Nolet, F., Parent, S., Roy, N., Mercier, M.-O., Charlebois, S. A., Fontaine, R., and Pratte, J.-F. (2018b). Quenching Circuit and SPAD Integrated in CMOS 65 nm with 7.8 ps FWHM Single Photon Timing Resolution. *Instruments*,2(4) :19.

Ces résultats proviennent des circuits intégrés suivants : le ICSSHSR2 conçu lors de ma maîtrise et le ICSSHSR3 conçu lors de mon doctorat (Figure 3.1).

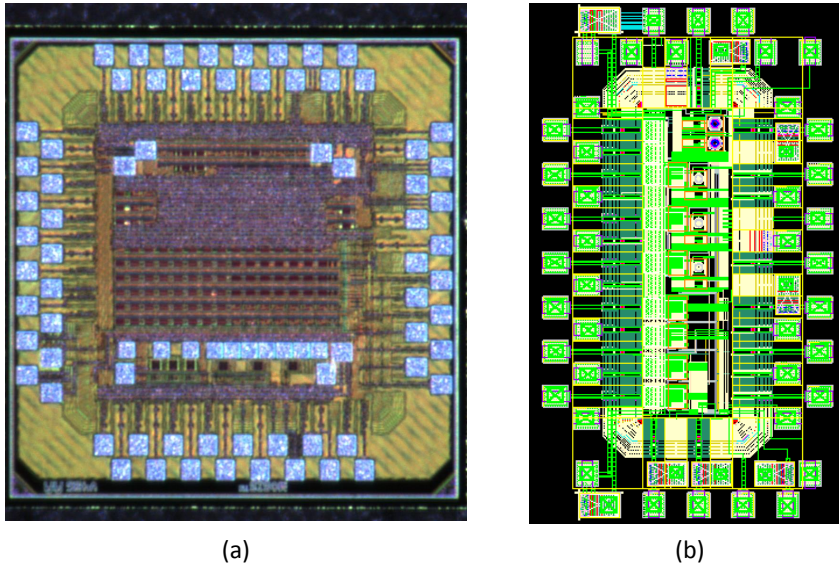


Figure 3.1 Le circuit intégré (a) ICSSHSR2 comprenant la version originale du circuit d'étouffement et le circuit intégré (b) ICSSHSR3 comprenant le nouveau circuit d'étouffement et les TDC améliorés présentés dans ce chapitre.

3.2 Gigue temporelle du circuit d'étouffement

Pour atteindre une gigue temporelle de 10 ps LMH, chaque élément de la chaîne de détection doit avoir une gigue temporelle inférieure à 10 ps LMH. La gigue temporelle atteinte pour le circuit d'étouffement seul est de 4 ps LMH [89, 98]. Pour plus de détail sur l'architecture du circuit d'étouffement et le comparateur implémenté, veuillez vous référer à [89, 98, 115] et au chapitre 5. Les performances temporelles du circuit d'étouffement seul sont importantes, mais l'objectif réel du circuit d'étouffement est d'obtenir une bonne gigue temporelle lorsque couplée à un SPAD.

Ce chapitre se concentre sur la gigue temporelle atteinte ainsi que les mesures réalisées avec les SPAD de $8\ \mu\text{m}$ et de $20\ \mu\text{m}$ de diamètre dans l'ASIC *ICSSHRS3* pour trouver les contributions à l'interface entre le SPAD et le circuit d'étouffement.

3.3 Gigue temporelle du circuit d'étouffement et du SPAD en CMOS 65 nm

Pour évaluer sa performance, le circuit d'étouffement a été combiné à un SPAD de $20\ \mu\text{m}$ conçu en CMOS 65 nm. La gigue temporelle du SPAD a été mesurée en fonction de sa tension d'excès et du seuil du circuit d'étouffement (Figure 3.2). Le prototype atteint une gigue temporelle de 7.8 ps LMH à la tension d'excès maximale de 1.75 V et à un seuil de comparaison de 100 mV. Ce résultat sous 10 ps LMH démontre que le circuit d'étouffement possède la capacité de lire un SPAD avec une faible gigue temporelle.

Le circuit d'étouffement conçu intègre un comparateur basé sur un amplificateur opérationnel en boucle ouverte. Un comparateur avec un seuil ajustable tel qu'implémenté permet d'observer le signal à l'interface entre le SPAD et le circuit d'étouffement à travers le comparateur. Les prochaines sections explorent les comportements à cette interface pour comprendre comment optimiser la gigue temporelle du SPAD.

3.3.1 Temps de montée du signal à l'interface SPAD et circuit d'étouffement

L'une des contributions potentielles à la gigue temporelle d'une paire SPAD et circuit d'étouffement est reliée au bruit sur le signal divisé par la pente de ce signal tel que décrit dans l'équation 2.2. La pente du signal à l'interface entre le SPAD et le circuit d'étouffement est donc un élément primordial à mesurer. Cependant, il n'est pas possible de mettre une sonde sur ce noeud puisque tout ajout de capacité modifie la forme du signal. La solution pour observer le signal est d'utiliser le comparateur du circuit d'étouffement et son seuil ajustable. Afin de déterminer la pente, il faut utiliser le montage de test de la gigue temporelle [89, 98], soit une mesure de la différence en temps entre une diode de référence et le temps de détection du SPAD. Le montage de test nous fournit un temps constant entre les deux signaux d'arrivée. En balayant le seuil de comparaison du discriminateur, il est possible d'observer l'impact de la pente sur la mesure de la différence en temps (Figure 3.3). Plus le seuil est haut, plus il s'écoule de temps entre la détection réel du signal par le SPAD et le déclenchement du discriminateur. En balayant le seuil de comparaison, il est possible d'extraire simultanément, l'amplitude du signal et son temps relatif. La Figure 3.4 montre l'amplitude du signal en fonction du temps à l'interface entre

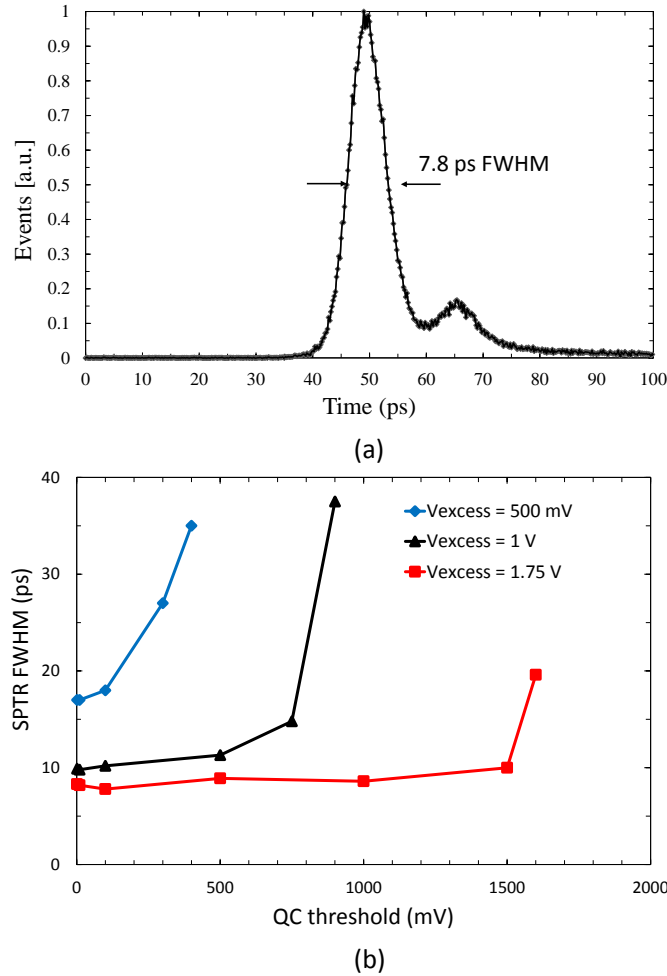


Figure 3.2 La gigue temporelle de 7.8 ps LMH du SPAD et circuit d'étouffement en CMOS 65 nm (a) et la gigue temporelle en fonction du seuil de comparaison du circuit d'étouffement (b)[98]. La deuxième distribution centrée à 65 ps provient d'une réflexion dans le montage optique qui ne pouvait être soustraite.

les SPAD de $8 \mu\text{m}$ et de $20 \mu\text{m}$ pour trois tensions d'excès différentes : 1 V, 1,6 V et 2,1 V. Il ne semble pas y avoir de différence significative entre les SPAD de $8 \mu\text{m}$ et de $20 \mu\text{m}$. Ceci nous indique que la pente du signal mesuré ne semble pas influencé significativement par la taille du SPAD, et donc que leur gigue temporelle devrait être similaire. Ceci concorde avec les mesures de gigue temporelle de 9 ps LMH et 7.8 ps LMH mesuré avec ces SPAD de $8 \mu\text{m}$ et de $20 \mu\text{m}$. Ce type de mesure est donc un outil très intéressant de caractérisation de SPAD.

Sur la Figure 3.4, il est possible d'observer que plus la tension d'excès est élevée, plus la pente du signal est abrupte. De plus, il est possible d'observer que peu importe la

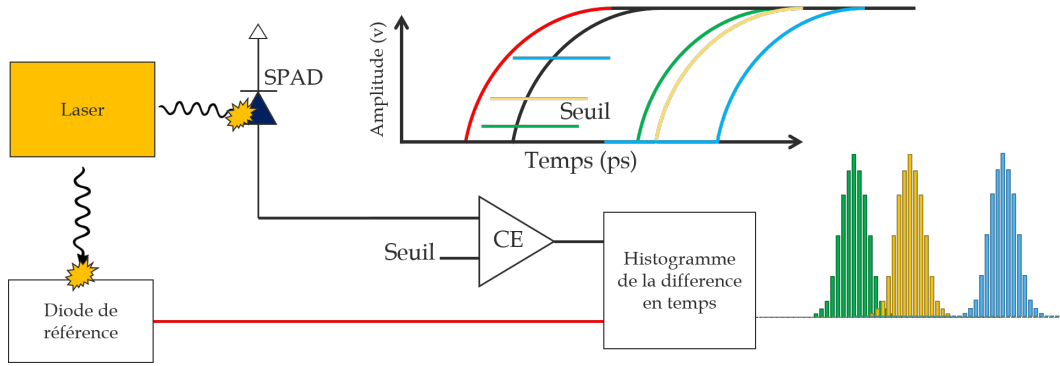


Figure 3.3 Montage de test pour évaluer la pente du signal à l'interface de la paire SPAD et circuit d'étouffement. Le seuil est balayé pour déterminer la différence en temps entre un signal de référence et chaque point d'amplitude du signal d'entrée du discriminateur. Un histogramme de la différence en temps est effectué et la moyenne obtenu est combiné à la valeur de tension associée au seuil choisi.

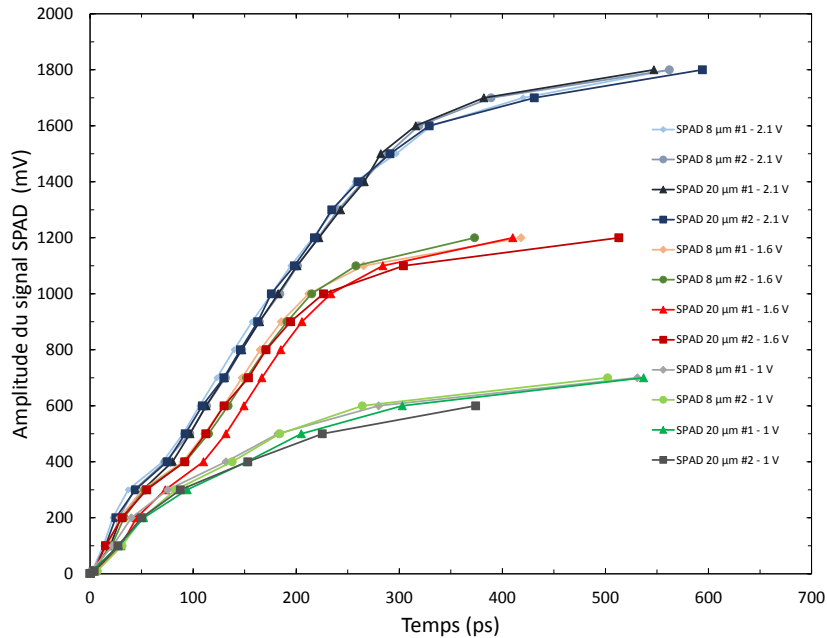


Figure 3.4 L'amplitude du signal en fonction du temps à l'interface entre un SPAD et le circuit d'étouffement pour un SPAD de $8 \mu m$ et de $20 \mu m$. Ce graphique nous permet d'observer le temps de montée ou la pente de ce signal pour différentes tension d'excès.

tension d'excès appliquée, on observe une saturation de la pente du signal lorsque la tension s'approche de la tension maximale. Puisque chaque point qui compose la pente du

signal est un histogramme d'une mesure de gigue temporelle, il est possible d'extraire le graphique de la gigue temporelle en fonction de la pente calculée (Figure 3.5).

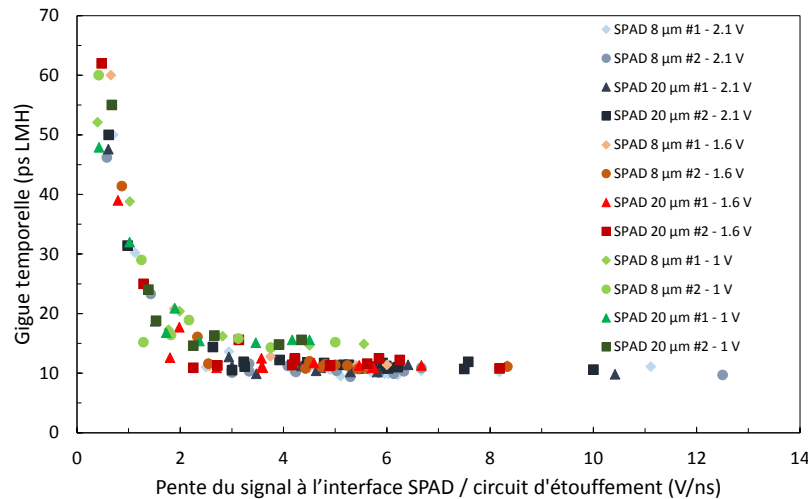


Figure 3.5 Gigue temporelle du SPAD et du circuit d'étouffement pour différentes tension d'excès en fonction de la pente estimée à partir de la Figure 3.4. Il est possible d'observer que plus la pente est élevée, plus la gigue temporelle est faible.

Les mesures effectuées confirment que plus la pente du signal est élevée, plus la gigue temporelle est faible. Cette conclusion concorde avec l'équation 2.2 présentée au chapitre précédent. Par contre, la gigue temporelle sature lorsqu'une pente de 3 V/ns est atteinte, et ce, pour chaque tension d'excès. Ceci indique que la contribution à la gigue temporelle du bruit sur la pente est négligeable par rapport aux autres contributions lorsqu'une pente de 3 V/ns est atteinte pour ce SPAD. La mesure proposée de la pente du signal permet donc d'identifier si la contribution du bruit sur la pente est une contribution majeure en plus de permettre de choisir le meilleur seuil de discrimination pour optimiser la gigue temporelle. Il est important de noter que ce graphique nous indique que la pente du signal n'est pas le seul facteur pour la gigue temporelle puisque les points à 1 V de tension d'excès ont une gigue plus élevée que les autres pour une pente similaire. Ceci s'explique par la gigue temporelle intrinsèque du SPAD causé par une plus grande incertitude du développement de l'avalanche à faible tension d'excès.

3.3.2 Variation de la tension d'excès au noeud d'étouffement

Dans l'article [98], le concept nouveau par rapport à l'état de l'art actuel est la gestion de la variation de la tension d'excès au noeud d'étouffement qui améliore la gigue temporelle du circuit d'étouffement lorsque couplé à un SPAD. Le comparateur a été conçu pour avoir une faible variation de délai de propagation lorsque la surtension par rapport au seuil du

comparateur change [89]. La Figure 3.6 montre que la variation du délai de propagation est d'environ 30 ps/V.

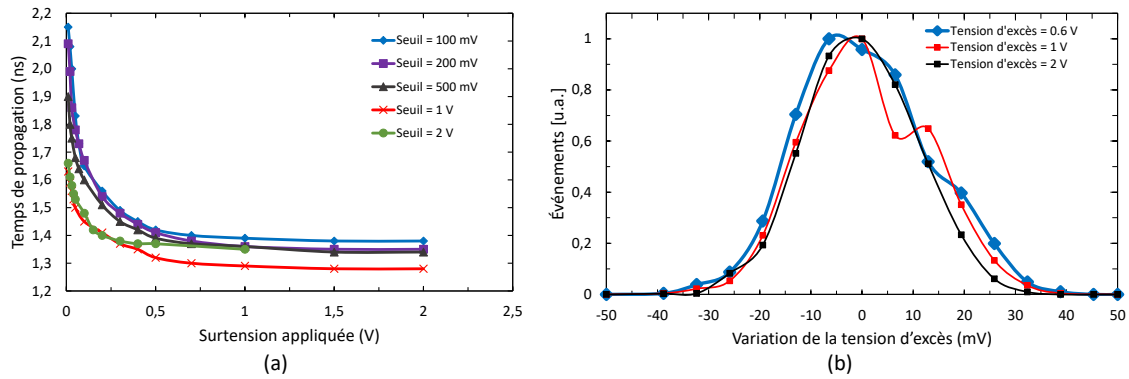


Figure 3.6 (a) Variation du délai de propagation du comparateur en fonction de la surtension appliquée et (b) la variation de la surtension lorsqu'un SPAD est connecté [89, 98].

Il est donc possible de combiner cette information de délai de propagation ainsi que la variation de la tension d'excès du SPAD pour déterminer son impact sur la gigue temporelle. Cela nous confirme si la variation du délai de propagation de notre discriminateur limite la gigue temporelle atteinte. Tel que présenté dans [98], la Figure 3.7 montre que la gigue temporelle provenant de la variation de la tension d'excès ne limite pas la gigue temporelle du SPAD pour une tension d'excès du SPAD supérieur à 500 mV.

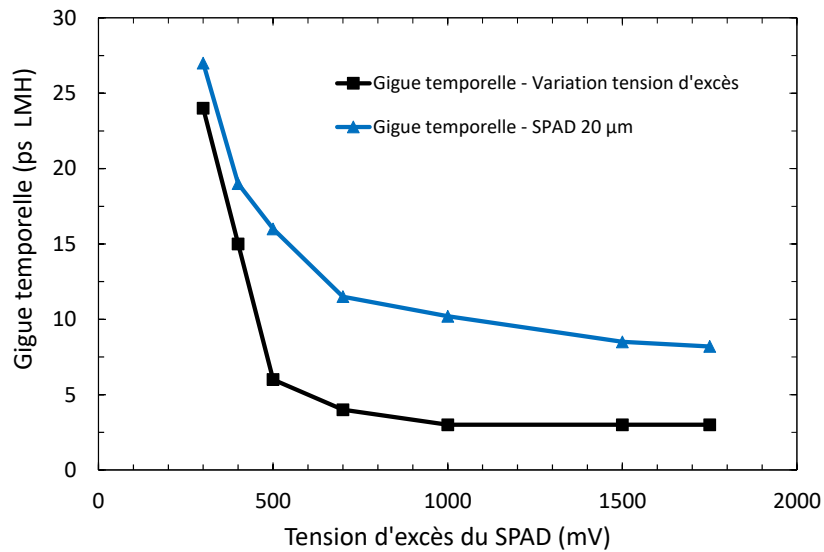


Figure 3.7 Gigue temporelle du SPAD et du circuit d'étouffement en comparaison avec la gigue temporelle calculée qui provient de la variation du délai de propagation et de la tension d'excès du SPAD [98].

La Figure 3.8 montre plus en détail la gigue temporelle du SPAD en fonction de la surtension appliquée. Ce graphique montre la gigue temporelle de 2 SPAD de $8 \mu m$ et 2 SPAD de $20 \mu m$ de diamètre pour 3 tensions d'excès différentes (1 V, 1,6 V et 2,1 V). Il est possible d'observer que pour la même surtension appliquée de 1 V, les SPAD ont une gigue temporelle plus élevée ce qui signifie qu'un phénomène autre que la surtension a un plus grand impact sur la gigue temporelle.

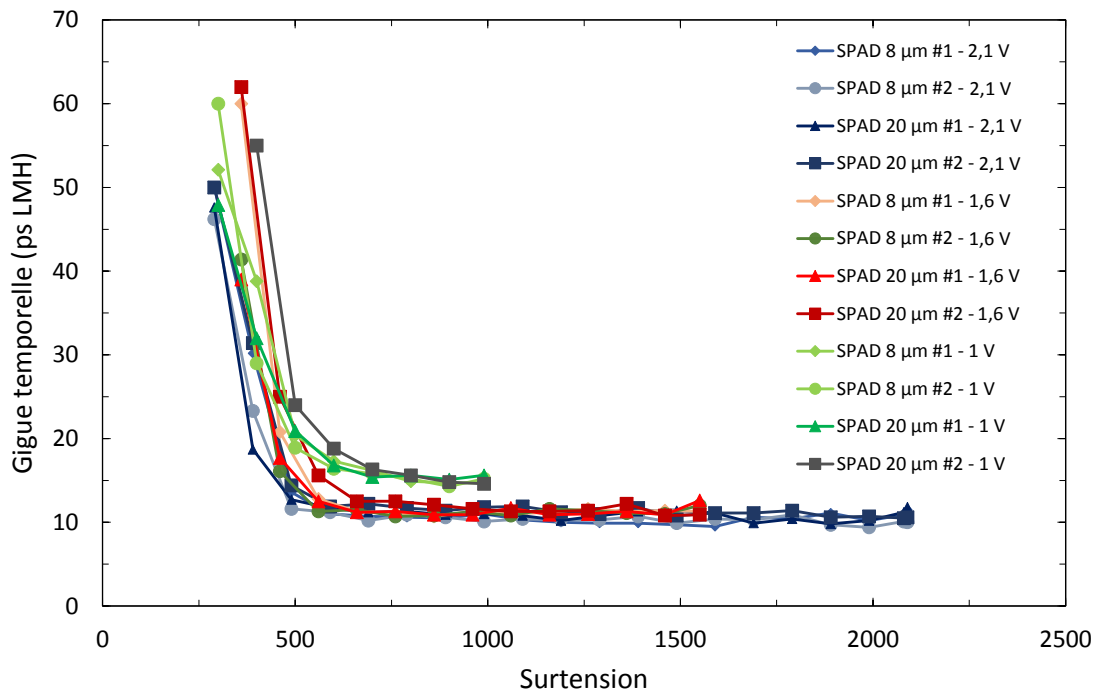


Figure 3.8 Gigue temporelle du SPAD et du circuit d'étouffement en fonction de la surtension appliquée. Il est possible de constater que les SPAD de $8 \mu m$ et de $20 \mu m$ ont le même comportement. Il est également possible de constater qu'à faible surtension (ex : 1 V) la gigue temporelle varie différemment (du moins elle est plus élevée).

La gigue temporelle augmente significativement lorsque la tension d'excès est plus faible que 500 mV. Le comportement est similaire pour les deux types de SPAD à toutes les tensions d'excès, incluant l'augmentation significative sous les 500 mV. Avec le circuit actuel, il est difficile de déterminer si la contribution majeure à cette augmentation est la diminution de la tension d'excès qui modifie le processus d'avalanche dans le SPAD ou si c'est la contribution de la variation du délai de propagation et de la tension d'excès (Figure 3.7). Cette investigation exige un nouveau circuit à faire dans des travaux futurs.

Recommandation : Implémenter un comparateur avec un délai de propagation fixe sur tout sa plage de surtension**Avantages :**

- Déterminer si cette variation est la contribution majeure à la gigue temporelle à faible tension d'excès pour les SPAD.
- Améliorer la gigue temporelle à faible tension d'excès.

Conditions :

- Implémenter une nouvelle architecture de comparateur dont le temps de propagation est fixe, peu importe la surtension appliquée.

Exemples d'implémentation :

D'autres types de circuits que les matrices de SPAD, des systèmes avec ADC ou TDC par exemple, nécessitent également des comparateurs de tension avec une faible dispersion du temps de propagation [3, 61, 64]. Des systèmes de compensations ont donc été ajoutés aux comparateurs afin de stabiliser le temps de propagation en fonction des variations du signal d'entrée. Une des solutions présentées est un bloc de source de courant variable qui fournit un courant au noeud de sortie inversement proportionnel au signal d'entrée. Cette architecture requiert l'utilisation de seulement 3 transistors supplémentaires ce qui requiert peu d'électronique. Par contre, l'inconvénient de cette architecture est l'augmentation de la consommation statique. Il serait intéressant de développer ce genre d'architecture pour caractériser des SPAD et voir s'il y a une différence majeure au niveau de la gigue temporelle du SPAD à faible tension d'excès.

Une seconde solution proposée est d'ajouter deux blocs de délai pour compenser la dispersion du temps de propagation (Figure 3.9). Le premier bloc possède un délai fixe suffisamment élevé afin que le bloc de délai variable s'ajuste (le second bloc) en fonction du signal d'entrée. Comme illustré à la Figure 3.9, cette solution allonge le temps de propagation du comparateur de façon significative. Cette caractéristique ne cause pas de problème pour l'implémentation dans une matrice de SPAD puisque le délai systémique est facile à corriger ou compenser. Cette architecture possède une variation de l'ordre des dizaines de ps sur les premiers 200 mV, ce qui représente une gigue sous les 3 ps LMH à très faible surtension. Par contre, cette architecture augmentera la consommation du comparateur pour améliorer la précision du détecteur hors de la plage d'opération optimale des SPAD.

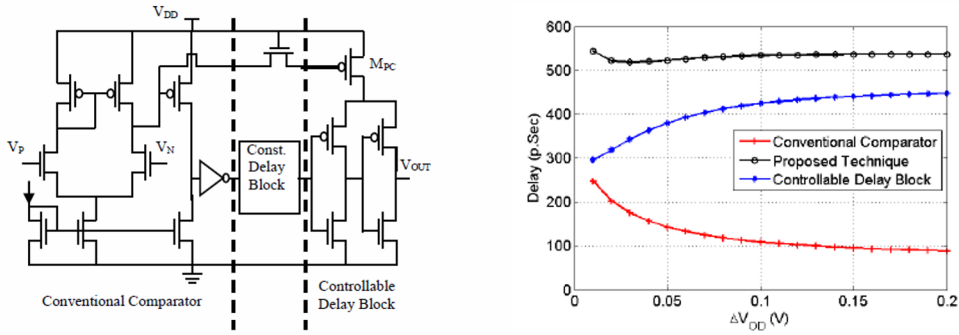


Figure 3.9 Architecture de comparateur pour réduire la dispersion du temps de propagation basé sur un bloc de délai ajustable [3].

3.4 Impact des tensions d'alimentation isolées sur la gigue temporelle

Afin d'atteindre d'excellentes performances en gigue temporelles, les circuits analogiques doivent être isolés des sources de bruits potentiels. Par contre, les simulations permettent rarement de quantifier l'impact réel d'intégrer des alimentations isolées entre deux circuits.

Dans le circuit intégré *ICSSHSR3*, une section de test a été ajoutée afin de déterminer si les tensions d'alimentation du circuit d'éteuffement doivent être isolées du TDC ou si cette source de bruit potentiel est négligeable par rapport aux autres contributions. Combiner ces deux tensions d'alimentations permettraient de réduire les contraintes d'intégrations matricielles, mais ceci ne peut être réalisé qu'au détriment de la gigue temporelle. La Figure 3.10 montre que la gigue temporelle du SPAD et du circuit d'éteuffement augmente significativement lorsque les alimentations sont communes [99]. Pour le point d'opération visé et un signal d'arrêt du TDC d'une période de 250 MHz, la gigue temporelle augmente de 9 ps LMH à 17 ps LMH pour le SPAD et le circuit d'éteuffement. Lorsque les tensions d'alimentation sont isolées, le TDC n'est plus une source de bruit pour le SPAD et le circuit d'éteuffement, procurant une gigue temporelle stable (Figure 3.10). Ces mesures démontrent qu'il est obligatoire d'avoir des tensions d'alimentations séparées pour atteindre une gigue temporelle de 10 ps LMH.

3.5 Architecture des inverseurs appauvris en courant

Le circuit intégré *ICSSHSR3* a permis d'évaluer différentes architectures d'inverseurs qui composent l'oscillateur du TDC. Cela permet d'évaluer quelle architecture est plus favorable pour atteindre l'objectif de 10 ps LMH. La Figure 3.11 présente les différentes architectures d'inverseurs contrôlées en courant implémentées. La première architecture

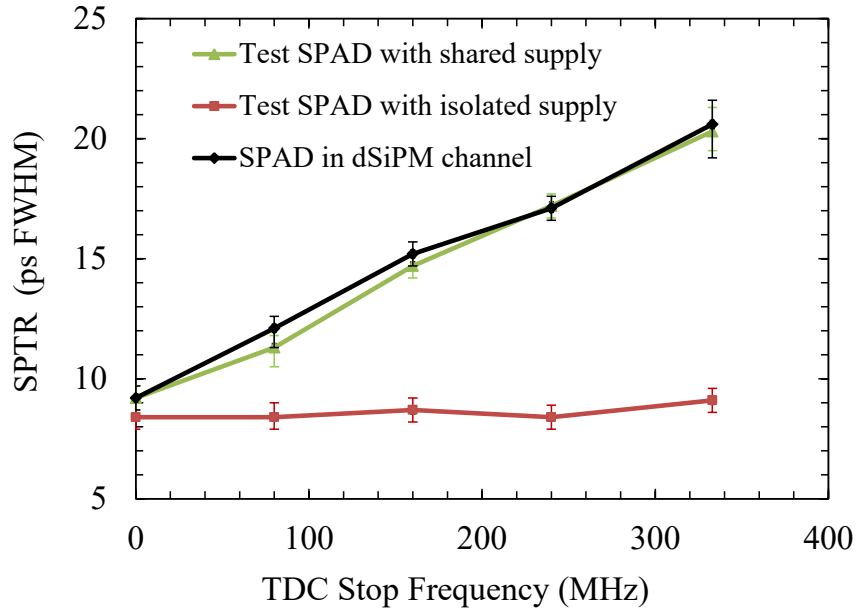


Figure 3.10 Gigue temporelle du SPAD et du circuit d’étouffement combiné en fonction de la fréquence du signal d’arrêt du TDC. Cette figure illustre l’impact de l’isolation des tensions d’alimentations entre le circuit d’étouffement et le TDC [99].

est l’inverseur appauvri standard tel qu’utilisé dans le TDC présenté par Roy [124, 125]. L’architecture (b) est un inverseur appauvri inversé où les transistors limitant le courant sont à l’intérieur des transistors de l’inverseur. En (c), le courant de l’inverseur est contrôlé par une porte de transmission. L’inverseur contrôlé par porte de transmission vise à contrôler la résistance plutôt que la capacité du noeud de transition, au même titre que les inverseurs appauvris. Il existe de nombreuses architectures de contrôle par porte logique [55, 81, 133]. La version implémentée (Figure 3.11 (c)) est la version la plus simple [81], afin de correspondre à une taille et une consommation de puissance similaire à l’oscillateur de référence. C’est un type d’architecture compatible à une intégration matricielle.

La gigue temporelle minimale du TDC possédant l’inverseur standard est de 6,9 ps RMS pour une résolution de 15 ps, telle que présentée par Roy [125]. Les deux nouvelles architectures proposées permettent d’améliorer la performance de gigue temporelle, puisque la seule modification entre les TDC sont les inverseurs de l’oscillateur. L’oscillateur avec des portes de transmission a permis de réduire la gigue temporelle à 6.8 ps RMS pour une résolution de 13 ps (Figure 3.12). L’inverseur avec source inversée permet d’obtenir une gigue temporelle de 5 ps RMS pour une résolution de 9 ps, le meilleur résultat parmi les trois architectures. La différence majeure entre l’inverseur utilisé précédemment, l’architecture de porte de transmission et l’inverseur avec une source inversée est le taux de réjection du

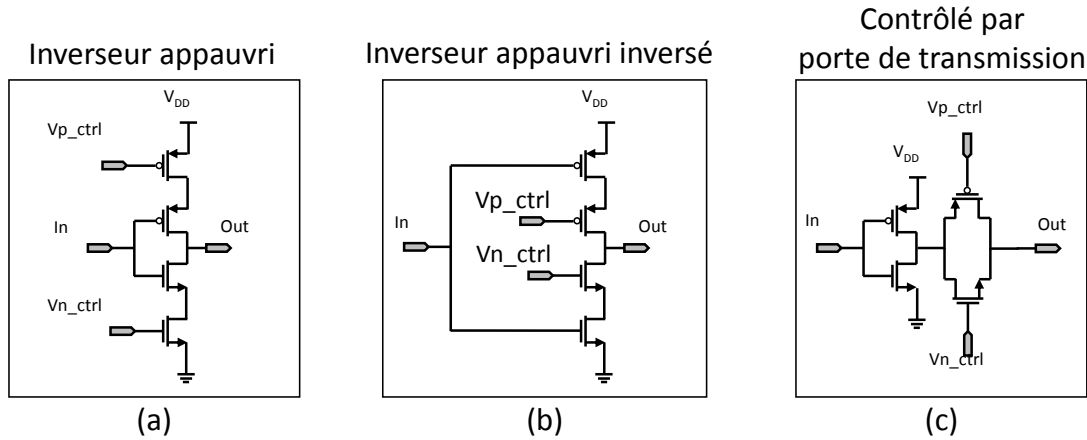


Figure 3.11 L'oscillateur du TDC est composé d'inverseurs appauvris en courant. En (a) est l'architecture standard d'un inverseur appauvri tel qu'utilisé dans le TDC présenté par Roy [124, 125]. En (b) les transistors limitant le courant sont placés à l'intérieur des transistors de l'inverseur. En (c), une porte de transmission contrôle le courant de l'inverseur.

bruit d'alimentation (*Power supply rejection ratio* (PSRR)). Ces deux nouvelles architectures ont été développées pour minimiser l'impact des tensions d'alimentations puisque les transistors qui forment l'inverseur agissent en tant que cascode pour isoler le bruit entre l'alimentation et les noeud de contrôle de l'inverseur [75, 59, 30]. La tension d'alimentation serait donc la principale source de bruit des noeuds de tension de contrôle.

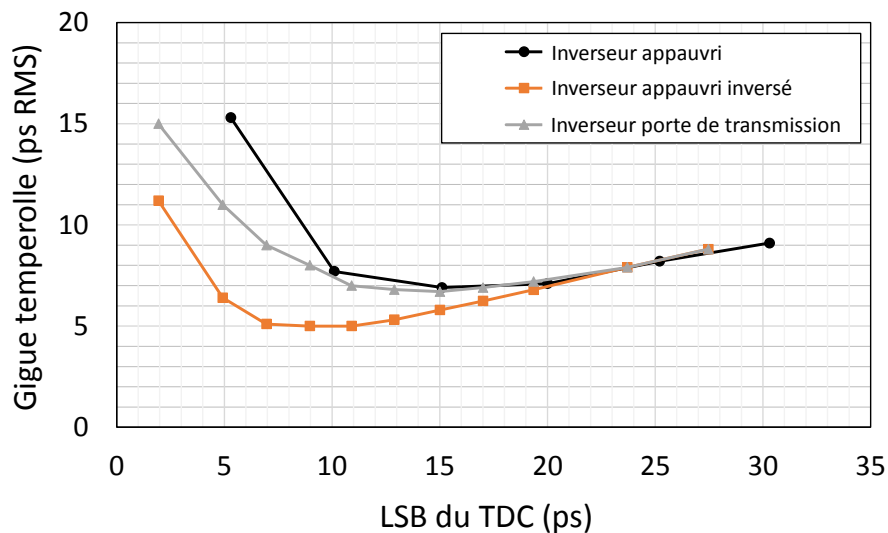


Figure 3.12 Gigue temporelle du TDC en fonction de l'architecture d'inverseur implémenté dans l'oscillateur. L'architecture permet d'obtenir la meilleure gigue temporelle de 5 ps RMS pour une résolution de 9 ps.

3.6 Conclusion

Ce chapitre visait à répondre aux questions :

- Quelles architectures de circuit d'étouffement permettent d'atteindre une précision temporelle de 10 ps LMH ?
- Quelles architectures de TDC permettent d'atteindre une précision temporelle de 10 ps LMH ?

Le circuit d'étouffement seul possède une gigue temporelle de 4 ps LMH ce qui signifie qu'il rencontre le requis de gigue temporelle. La performance du circuit d'étouffement lorsqu'il n'est pas relié au SPAD n'est pas suffisante, il faut s'assurer qu'il réagira bien aux variations du signal du SPAD. Dans ce chapitre, nous avons exploré deux propriétés du signal d'entrée du circuit d'étouffement, la variation de sa pente et la variation de son amplitude. L'étude réalisée a permis d'évaluer quelles caractéristiques intrinsèques de l'interface entre le SPAD et le circuit d'étouffement un concepteur doit atteindre afin que celles-ci ne contribuent pas significativement à la gigue temporelle. Au niveau de la variation de l'amplitude de la tension d'excès, puisque le comparateur possède une variation de son temps de propagation sous 10 ps/100 mV, elle doit être limitée à 30 mV LMH. De plus, afin que l'impact du bruit sur le signal soit négligeable, une pente de 2 V/ns est requise. Il faut donc limiter la variation de l'amplitude à 30 mV LMH et obtenir une pente plus grande que 2 V/ns. Pour finir, tel que présenté à la Figure 3.10, les tensions d'alimentation du circuit d'étouffement et du TDC doivent être isolées afin d'obtenir une gigue temporelle sous 10 ps LMH au niveau du SPAD et du circuit d'étouffement.

Le TDC présenté par Roy [125] possède une gigue temporelle de 6,9 ps RMS (16 ps LMH) pour une résolution de 15 ps. Ceci était un facteur limitant pour atteindre la résolution voulue de 10 ps LMH. Puisque la contribution principale du TDC est la gigue temporelle cycle-à-cycle de l'oscillateur, de nouvelles architectures ont été conçues et testées. Une architecture de transistor appauvri inversé permet d'obtenir une meilleure résolution de 5 ps RMS (11.7 ps LMH) pour une résolution de 9 ps. Cette architecture permet de faire un pas en avant pour atteindre la gigue temporelle voulue mais requiert encore du développement pour atteindre l'objectif de 10 ps LMH (4 ps RMS) pour le TDC. Le prochain chapitre présente un nouveau TDC implémenté dont l'architecture permet de réduire la gigue temporelle ainsi que la consommation de puissance du TDC, un autre point critique de l'architecture.

CHAPITRE 4

Article sur l'optimisation de consommation de puissance du TDC

4.1 Avant-propos

Auteurs et affiliation :

Frédéric Nolet : Étudiant au doctorat, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Nicolas Roy : Professionnel de recherche, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Simon Carrier : Étudiant à la maîtrise, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Jonathan Bouchard : Étudiant au doctorat, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Réjean Fontaine : Professeur, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique.

Serge A. Charlebois : Professeur, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique.

Jean-François Pratte : Professeur, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique.

Date d'acceptation : 5 Février 2020

État de l'acceptation : Accepté le 5 Février 2020

Revue : Electronics Letters - IET

Référence : © Electronics Letters - IET. Réimpression avec permission. [101]

Titre français : Un convertisseur temps-numérique Vernier en CMOS 65 nm pour une matrice de photodiodes avalanche monophotonique possédant un LSB de 5,1 ps, une gigue temporelle de 5,5 ps RMS et une puissance consommée de 22 μ W.

Contribution au document :

L'objectif de ce projet est de concevoir un convertisseur photon-numérique 3D possédant une gigue temporelle de 10 ps LMH. Le chapitre précédent a introduit de nouveau concept au niveau du circuit d'étouffement ainsi que l'étude de différentes architectures d'inverseurs pour composer l'oscillateur du TDC. Le TDC développé par Roy *et al.* [125] a permis d'atteindre une gigue temporelle de 6,9 ps RMS pour une consommation de puissance de 160 μ W. Le chapitre précédent a permis de minimiser cette gigue temporelle à 5 ps RMS mais l'un des points majeurs à améliorer de cette architecture est la consommation de puissance reliée au signal d'horloge qui déclenche le TDC de manière répétitive lorsqu'il n'y a pas d'événements. Ce chapitre vise à discuter et à répondre aux questions suivantes :

- Quelles architectures de TDC permettent d'atteindre une précision temporelle de 10 ps LMH ?
- Comment réduire la consommation de puissance de ces circuits afin d'être compatible à une intégration matricielle pour un détecteur TEP ?

Ce chapitre présente une nouvelle architecture permettant la réduction de la consommation de puissance du circuit en gérant le signal d'horloge avec un nouveau circuit de prélogique. Le circuit de prélogique a également été conçu afin de ne pas dégrader les performances temporelles. Ce chapitre présente également de nouveaux anneaux oscillants conçus pour réduire la gigue temporelle du TDC en minimisant la gigue cycle-à-cycle. Cette nouvelle architecture de TDC permettra une intégration matricielle du TDC afin de réaliser un circuit de lecture d'un convertisseur photon-numérique 3D.

Résumé français : Une résolution temporelle en coïncidence (RTC) de 4 ps RMS est l'objectif courant pour obtenir un scanner de tomographie d'émission par positrons (TEP) préclinique avec la mesure de temps-de-vol (TdV) des photons. Une telle RTC permet de mieux localiser l'endroit sur la ligne de réponse où s'est produite l'annihilation du positron et de l'électron. Pour atteindre cette performance, nous développons un photomultiplicateur sur silicium numérique 3D (3D digital SiPM) dans lequel chaque photodiode à avalanche monophotonique (SPAD) est reliée à son circuit d'étouffement et son convertisseur temps-numérique (TDC). Cette intégration très dense d'électronique haute performante amène un défi de taille au niveau de la taille et de la consommation de puissance de chaque

circuit individuel. Le premier requis est d'obtenir une taille d'au maximum $32,5 \times 65 \mu m^2$, la moitié de la taille d'une photodiode ($65 \times 65 \mu m^2$). Le second requis est une puissance consommée sous $31 \mu W$, soit une puissance de 2 mW partagé aux 64 TDC intégrés à un pixel TEP de $1,1 \times 1,1 \text{ mm}^2$. Le TDC proposé par Roy *et al.* en 2017 [125] permettait d'atteindre une taille de $25 \times 50 \mu m^2$ avec une puissance consommée de $160 \mu W$. Cet article présente un nouveau circuit de prélogique de TDC qui permet de minimiser la consommation de puissance du signal périodique d'arrêt nécessaire au bon fonctionnement du TDC. Le circuit conçu a permis de réduire la consommation de puissance à $22 \mu W$ (sous les $31 \mu W$ requis) dans une taille totale de $36 \times 42 \mu m^2$ (sous le $32,5 \times 65 \mu m^2$ requis). De plus, les performances en LSB et en gigue temporelle ont été améliorées à respectivement $5,1 \text{ ps ps}$ et $5,5 \text{ ps ps RMS}$.

Note : Contient quelques modifications syntaxiques par rapport à la version publiée suite aux commentaires du jury, mais le propos est identique.

4.2 Optimisation de consommation de puissance du TDC

A 22 μW , 5.1 ps LSB, 5.5 ps RMS Jitter Vernier Time-to-Digital Converter in CMOS 65 nm for Single Photon Avalanche Diode Array

F. Nolet, N. Roy, S. Carrier, J. Bouchard, R. Fontaine, S. A. Charlebois and J.-F. Pratte

Abstract — A Vernier ring-oscillator-based time-to-digital converter with a new prelogic is presented. Experimental results show that the proposed architecture achieve a 5.5 ps RMS timing jitter with a 5.1 ps LSB within an area of 0.00151 mm^2 . Thanks to the new prelogic circuit, the power consumption of the circuit was optimized to 22 μW at a rate of 1 Mevents/s for a dynamic range of 4 ns. The area, timing jitter and power consumption make the TDC suitable for an array of electronic readout in a positron emission tomography (PET) single photon avalanche diode (SPAD) based detectors.

4.2.1 Introduction

A time-to-digital converter (TDC) is a precise chronometer allowing the measurements between a start and a stop signal to timestamp the time of arrival of an event. This type of circuit is suitable for many applications requiring picosecond precision timing measurements such as diffuse optical tomography, time-of-flight ranging measurement, high-energy physics experiments and time-of-flight positron emission tomography (ToF PET). ToF PET benefits from an array of photodetectors to detect and timestamp the photons emitted by scintillators upon stopping the 511 keV annihilation photons. A coincidence timing resolution of 4 ps RMS would allow a direct image reconstruction with millimetric precision [68] which set the requirements for the proposed TDC.

This work was supported by the Natural Sciences and Engineering Research Council of Canada (NSERC), by the Fonds de recherche du Québec - Nature et technologies (FRQNT), by Vanier Canada Graduate Scholarships, by Canada Research Chair tier-1 on time-of-flight positron emission tomography, by Arthur B. McDonald Canadian Astroparticle Physics Research Institute and by CMC Microsystems. The authors are with the Interdisciplinary Institute for Technological Innovation and Department of Electrical and Computer Engineering, Université de Sherbrooke, Sherbrooke, QC, J1K 2R1, Canada
E-mail : Frederic.Nolet@USherbrooke.ca

The end application is the LabPET II scanner where the power consumption is about 10 mW per $1.1 \times 1.1 \text{ mm}^2$ photodetector and its associated electronics. The aimed power consumption for the TDC array is about 20% of the power budget (2 mW) [18, 125]. Considering that each $1.1 \times 1.1 \text{ mm}^2$ detector combines 64 TDCs [100], the individual TDC power consumption is limited to 31 μW . The requirements for the TDC jitter is < 4 ps RMS jitter for ToF PET and the aimed TDC LSB is 5 ps, since it sets the baseline jitter to 1.44 ps RMS due to the quantization error ($LSB/\sqrt{12}$). The physical size of the pixel layout must be under $65 \times 65 \mu m^2$ to fit within the SPAD size [100]. To reach these requirements, the preferred architecture is a Vernier ring-oscillator-based TDC since it allows a very small LSB while keeping a small area [125]. The challenge is to minimize both the jitter and the power consumption.

The implementation for applications such as PET is usually based on a periodic reference/stop signal (a clock counter) and one or more interpolation stages (the TDC itself) to achieve a 5 ps LSB with a reasonable dynamic range (ms range) to perform coincidence measurements between detectors. The TDC must receive a start signal and then a stop signal to perform a time conversion. When no start signal is detected prior to the periodic stop signal, the TDC must auto-reset itself to discard the event. The power consumption of the TDC can be divided in two parts : the consumption required to perform a time conversion measurement and the power consumed by the periodic reference signal and the resetting scheme. Since the event rate in PET is rather low (typically < 3 kevents/ mm^2), the main contribution to the power consumption is the periodic stop signal that defines the TDC dynamic range [125].

In this letter, we propose a new prelogic circuit for low jitter Vernier ring oscillator TDC that allows for low power consumption even at high-rate periodic reference signal.

4.2.2 TDC architecture and implementation

As illustrated in Figure 4.1, the proposed TDC consists of a prelogic circuit, two ring oscillators, two counters and a coincidence detection circuit. In a Vernier ring oscillator TDC, the start signal triggers a slow oscillator which triggers a counter that measures the number of periods before a stop signal occurs. The stop signal is a periodic signal and it defines the dynamic range covered by the TDC, in this case a dynamic range of 4 ns (250 MHz clock). The stop signal triggers a fast oscillator that starts the Vernier process between the two oscillators, and a counter measures the number of fast cycles. When the fast oscillator catches up the slow oscillator, the coincidence circuit stops the TDC and the counter values are sent to the output. The proposed TDC is similar to a conventional Vernier ring oscillator TDC [125, 80], but this architecture manages the periodic stop

signal in a way that no oscillator is triggered and no reset signal is required. To reduce the power consumption, the stop signal must be managed by triggering as few logic gates as possible. Figure 4.1 shows the prelogic implementation where the start signal activates the stop signal path. Only the arbiter is triggered when there is no start signal, thus reducing the power consumption. Delay cells (t_d) are added between start/stop signals and the input flip-flops ($D3$ and $D4$) to ensure the decision logic is set prior to the flip-flop input, as well as to avoid any metastability problems and preserve timing properties.

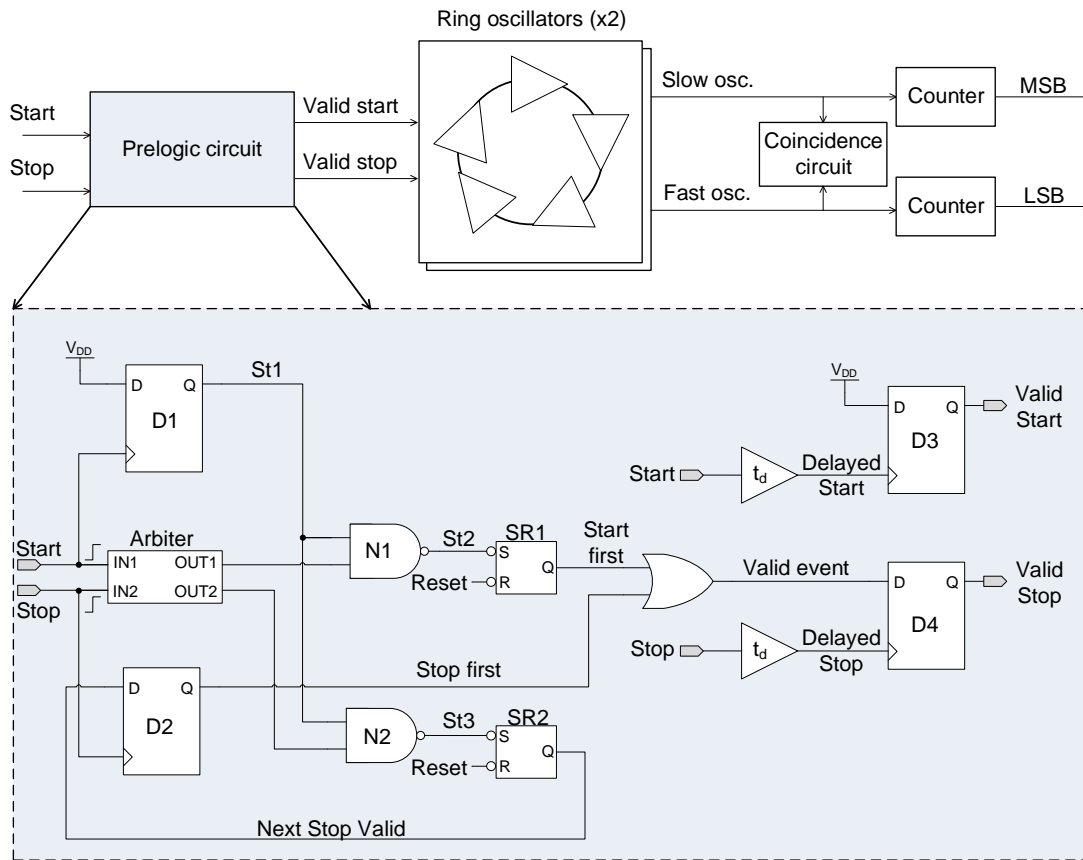


Figure 4.1 Bloc diagram of the TDC architecture. Highlighted is the prelogic circuit to reduce the power consumption from a periodic stop signal.

The prelogic circuit must manage three possible cases : 1- the stop signal is received periodically with no start signal ; 2- the start signal arrives when the stop signal is at a low level ('0') ; 3- the start signal arrives when the stop signal is at a high level ('1').

In case 1, the prelogic circuit must discard the stop signal with as low power consumption as possible and avoid to trigger the whole TDC. In the new prelogic circuit, the stop signal triggers only two logic gates : a delay cell (t_d) to help discriminate between cases 2 and 3 as well as an arbiter circuit composed of two NOR and a metastability filter [125]. By

keeping this loop as short as possible, it minimizes the power consumption compared to triggering the TDC oscillators and resetting them a posteriori.

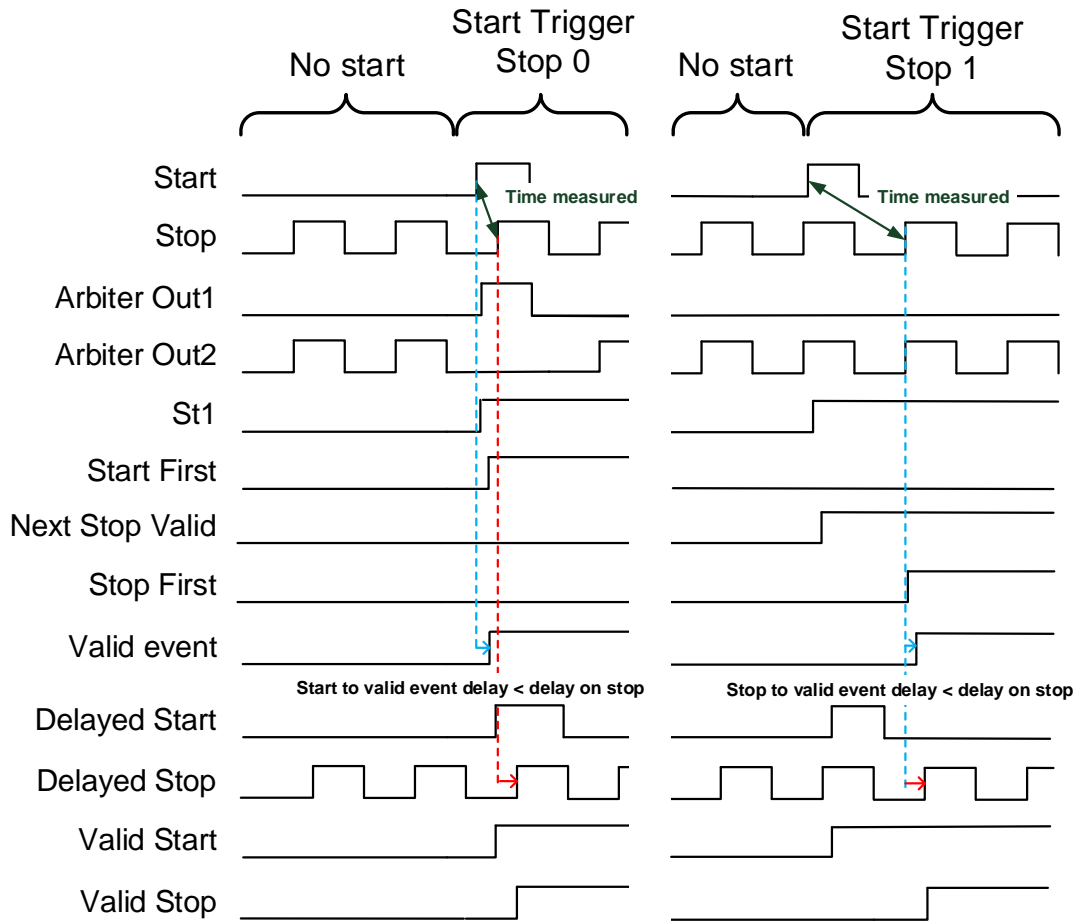


Figure 4.2 Timing diagram of the prelogic circuit. On the left side, the start signal arrives when the stop signal is at a low level ('0') and on the right, when the stop signal is at a high level ('1').

In case 2, the start signal triggers $D1$ and the *Arbiter* (Figure 4.1). When the start signal arrives while the stop signal is low, only *Arbiter Out1* is triggered (Figure 4.2). Through $N1$, the signal is sent to a set-reset gate and the *Valid event* signal is sent to the D input of the $D4$ flip-flop. The critical time path is between the start signal and *Valid event*. The time delay of this gate chain must always be smaller than the delay (t_d) applied to the stop signal to ensure a proper decision and avoid any metastability.

In case 3, since the stop signal is already '1' when the start signal arrives, the measurement must be done with the rising edge of the next stop signal. The start signal triggers $D1$ while the stop signal has already triggered the *Arbiter*. The combination of the signal $ST1$

and the *Arbiter Out2* will trigger the set-reset *SR2* and the *Next Stop Valid* signal is sent to the D input of the *D2* flip-flop. The critical time path is between the stop signal and the *Valid event* through *D2* and the OR gate. The time delay of this gate chain must always be smaller than the delay applied to the stop signal to ensure a proper decision and avoid any metastability (Figure 4.2).

The TDC was fabricated in a TSMC CMOS 65 nm GP technology and has a total size of $36 \times 42 \mu\text{m}^2$ (Figure 4.3). Half of the area is used for the ring oscillators since the size of the transistors in each delay elements was maximized to reduce the impact of mismatches between TDCs and to reduce the impact of charge injection by having a higher capacitance node for each delay element [51]. The TDC was operated with a 4 ns dynamic range, a 500 ps coarse counter and a 5.1 ps LSB.

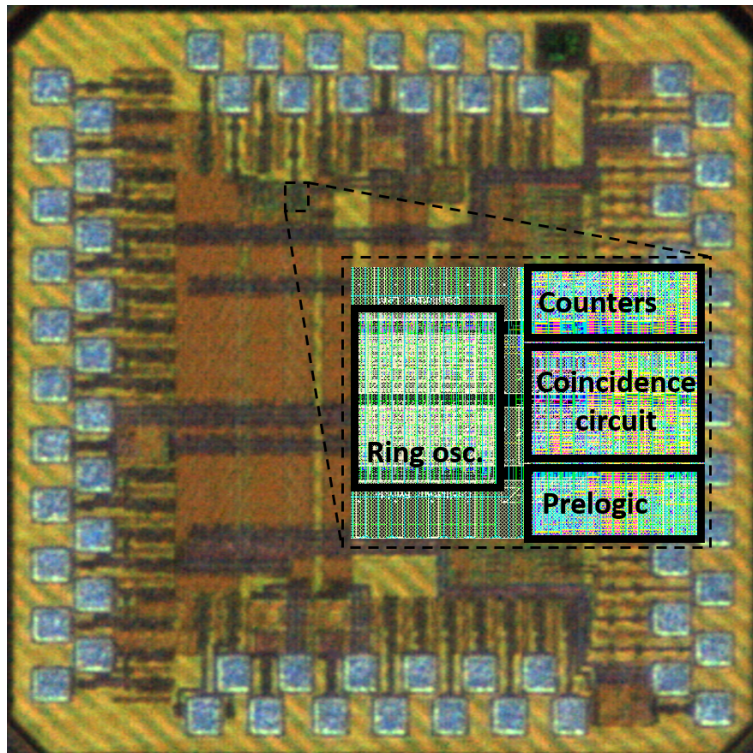


Figure 4.3 Micrograph of the ASIC. Inset shows the layout of the proposed TDC with the main blocks highlighted (size of $36 \times 42 \mu\text{m}^2$).

4.2.3 Measurement Results

To measure the power consumption, uncorrelated start–stop signals were sent to the TDC to trigger uniformly every possible code. This is important since the time conversion of each code is different and the related power consumption is also slightly different. The measurement was performed at different stop frequencies to see its impact (Figure 4.4).

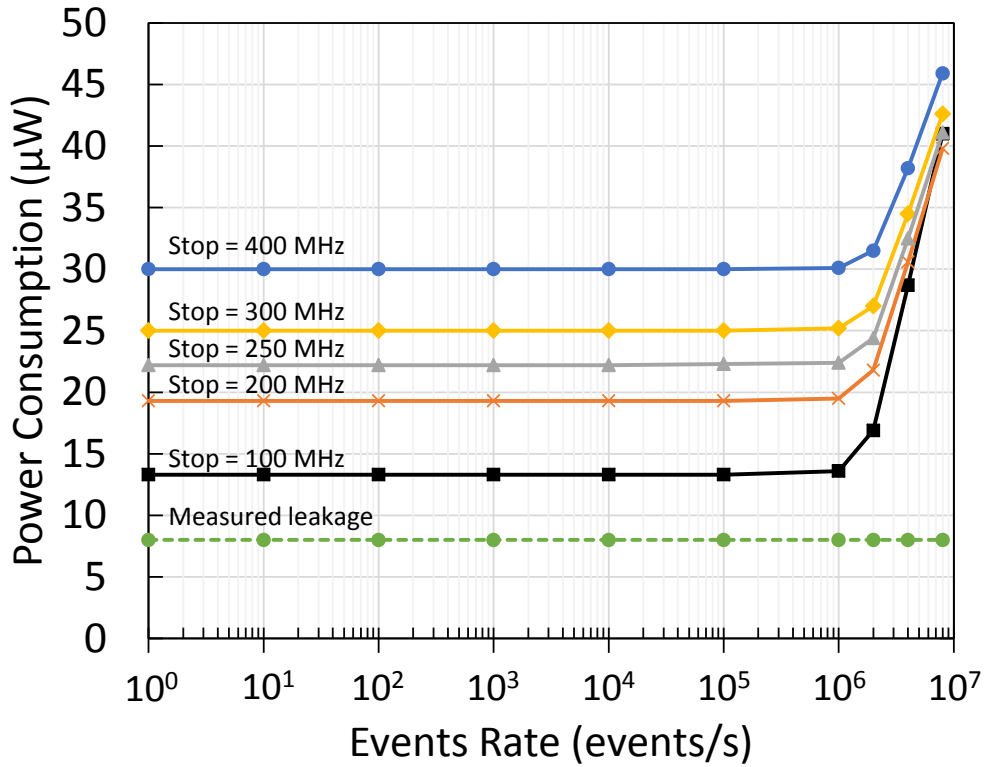


Figure 4.4 TDC power consumption as a function of the event rate for different stop frequencies. The operating point for PET is 10^4 events with a 250 MHz stop signal, providing a power consumption of $22 \mu W$. The measured leakage is $8 \mu W$ and it includes the TDC's transistors and the ESD protection.

In the end application, the operating point is around 10^4 events with a 250 MHz stop signal for a power consumption of $22 \mu W$. To minimize the power consumption, a 100 MHz frequency could be used to obtain $13 \mu W$. However, this would impact the timing jitter since the coarse counter would accumulate 2.5 times more cycle-to-cycle jitter to cover a 10 ns dynamic range instead of 4 ns. The 5.5 ps RMS timing jitter was measured at a 5.1 ps LSB over a 4 ns dynamic range. The jitter was measured using the methods described in [125, 100]. The performance of the proposed Vernier TDC is summarized in Table 1 with previously reported high-resolution TDCs. Due to the specifications required by the PET application, the TDC is compared using the figure-of-merit (FoM) proposed in [125] that focuses on power consumption, timing jitter, area and event rate. This FoM should be minimized for a PET scanner. The TDC achieves a FoM of 0.17 at a rate of 1 ME/s and 0.04 at a rate of 8 ME/s (Table 1).

Tableau 4.1 Summary of measurements and comparison

Parameter	This work	Ref. 1	Ref. 2	Ref. 3
Technology (nm)	65	65	65	350
Area mm^2	0.00151	0.0013	0.068	0.3
LSB (ps)	5.1	15	2.2	10
Jitter (ps RMS)	5.5	6.9	0.6	17.2
Event Rate (ME/s)	1 8	3	2.2	0.3
Power (μW)	22 41	160	2 300	15 000
pJ/event	22 5.1	32	46	5 000
* FoM	0.17 0.04	0.29	1.9	25 800

* FoM = [Power (μW) \times Jitter (ps RMS) \times Area (mm^2)] / [Event Rate (Mevents/s)]

Ref. 1 : [125]

Ref. 2 : [78]

Ref. 3 : [80]

Compared to previous works, the proposed TDC achieves the lowest power consumption with a 5.1 ps LSB and 5.5 ps jitter. It is important to note that not all TDCs used in this comparison were designed for array integration. At PET event rates (3 kevents), area and power consumption requirements are reached while additional work needs to be done to reach 4 ps RMS timing jitter.

4.2.4 Conclusion

A compact ring oscillator based Vernier TDC with a novel prelogic circuit that minimizes the power consumption has been designed and fabricated in a 65 nm standard CMOS technology. The measurements show a power consumption of 22 μW for an event rate up to 1 Mevents/s in a small $36 \times 42 \mu m^2$ area. The TDC exhibits an LSB of 5.1 ps over a dynamic range of 4 ns with a timing jitter of 5.5 ps RMS. These characteristics make this TDC suitable for arrayed applications such as photodetectors for medical imaging systems.

4.3 Compléments sur l'article

4.3.1 Mesure de gigue temporelle à différents LSB

Tel que décrit dans l'état de l'art, la gigue temporelle du TDC (σ_{TDC}) dépend de la gigue temporelle de chaque section du TDC selon l'équation 4.1.

$$\sigma_{TDC} = \sqrt{\sigma_{prelogique}^2 + (n_s \times \sigma_{osc\ lent}^2) + (n_v \times \sigma_{osc\ vernier}^2) + \sigma_{coincidence}^2 + \sigma_{ErrQuant}^2} \quad (4.1)$$

où :

- $\sigma_{prelogique}$: Gigue temporelle associée au circuit de prélogique du TDC
- n_s : Nombre de tours en mode oscillateur simple
- $\sigma_{osc\ lent}$: Gigue temporelle cycle-à-cycle de l'oscillateur lent
- n_v : Nombre de tours en mode vernier
- $\sigma_{osc\ rapide}$: Gigue temporelle cycle-à-cycle de l'oscillateur rapide
- $\sigma_{osc\ vernier}^2 = \sqrt{\sigma_{osc\ lent}^2 + \sigma_{osc\ rapide}^2}$
- $\sigma_{coincidence}$: Gigue temporelle associée au circuit de coïncidence du TDC
- $\sigma_{ErrQuant}$: Erreur de quantification (LSB / $\sqrt{12}$)

Les contributions principales du TDC sont l'erreur de quantification et la gigue cycle à cycle qui s'accumule à chacun des tours effectués en mode Vernier. La gigue temporelle du TDC est dépendante du LSB et puisque ce résultat n'a pas été présenté dans l'article, il sera présenté en détail dans cette section. Cette information permet d'identifier le point d'opération du TDC ayant la meilleure gigue temporelle. L'erreur de quantification limite grandement la gigue temporelle atteignable avec le TDC. Un LSB de 10 ps apporte une erreur de quantification de 3 ps RMS, une valeur beaucoup trop élevée lorsque l'objectif final de la totalité des contributions est de 10 ps LMH (4 ps RMS). Il faut donc choisir un LSB de l'ordre de 5 ps, ce qui nous donne une erreur de quantification de 1,5 ps RMS.

La Figure 4.5 illustre côte à côte la gigue temporelle en fonction du LSB du nouveau TDC développé par rapport aux résultats obtenus par Roy *et al.* [125], ainsi que l'architecture d'inverseur appauvri présenté au chapitre précédent. La gigue temporelle du TDC Roy *et al.* [125] possède une gigue temporelle de 15,3 ps RMS pour un LSB de 5 ps (Figure 4.5 (a)), le TDC appauvri inversé possède une gigue temporelle de 6,4 ps RMS pour un LSB de 5.1 ps et le nouveau TDC développé (TDC LP) possède une gigue temporelle de 5,5 ps

RMS pour un LSB de 5,1 ps. Une tel LSB signifie que le TDC fait 100 cycles (Figure 4.5 (b)) en mode Vernier (n_v). Le TDC LP nous permet donc d'améliorer la gigue temporelle à 5,5 ps RMS par rapport à 6,4 ps RMS pour le TDC appauvri inversé. Pour comparer ces deux valeurs, une analyse plus détaillée de la gigue temporelle de chaque code individuel nous permet d'identifier les contributions principales.

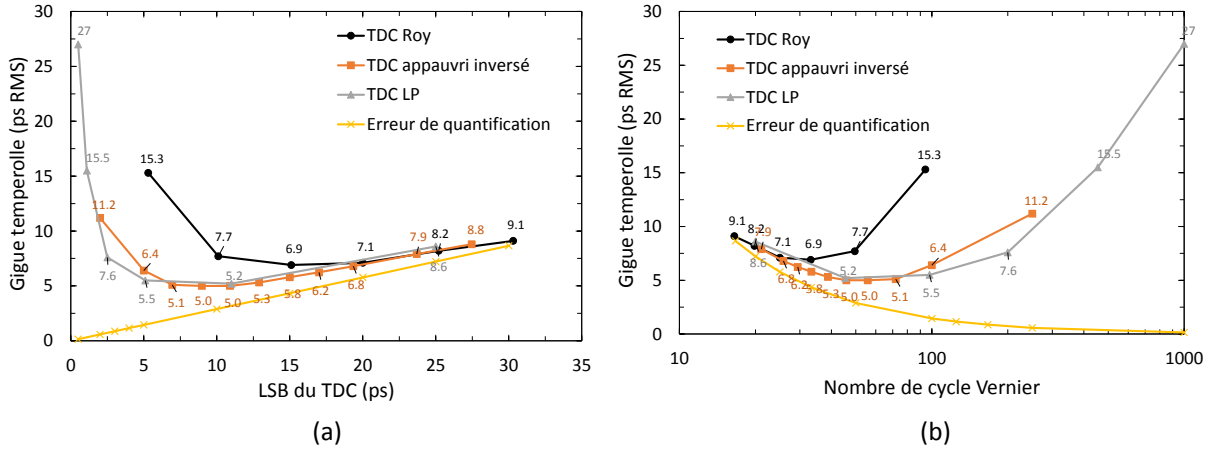


Figure 4.5 La gigue temporelle du TDC en fonction du LSB (a) et en fonction du nombre de cycles Vernier (b). Le TDC présenté est identifié comme TDC LP et est comparé à sa version précédente, TDC Roy *et al.* [125] ainsi que l'erreur de quantification de la numérisation. Le nouveau TDC implémenté permet d'atteindre une gigue temporelle de 5,5 ps RMS pour un LSB de 5,1 ps alors que le TDC Roy *et al.* possède une gigue temporelle de 15,3 ps RMS pour un LSB de 5 ps.

La Figure 4.6 présente la gigue temporelle de chaque code du TDC. La Figure 4.6 (a) montre le résultat obtenu lors de la mesure, incluant toutes les contributions possibles. Il est possible d'observer que le TDC LP accumule moins de gigue temporelle à chaque tour effectué puisque la pente est plus faible (un tour représente un code qui augmente de 1). La gigue temporelle cycle-à-cycle calculée est de 0,55 ps pour le TDC LP et de 1,1 ps pour le TDC appauvri inversé. Par contre, la différence majeure entre les deux mesures est la gigue temporelle au code 0. Cette gigue temporelle représente principalement l'erreur de quantification auxquels s'ajoutent les contributions fixes du TDC et le montage de test. Puisque le LSB est le même, l'erreur de quantification devrait être égale. De plus, puisque chaque TDC est identique excepté ses anneaux oscillants, les contributions fixes devraient être équivalentes.

Ces disparités proviennent des montages de tests. Le montage de test du TDC appauvri inversé possède une gigue temporelle de 2 ps RMS et le TDC LP une gigue temporelle de 3,5 ps RMS. Cette différence provient de tampons différentiels sur le circuit imprimés

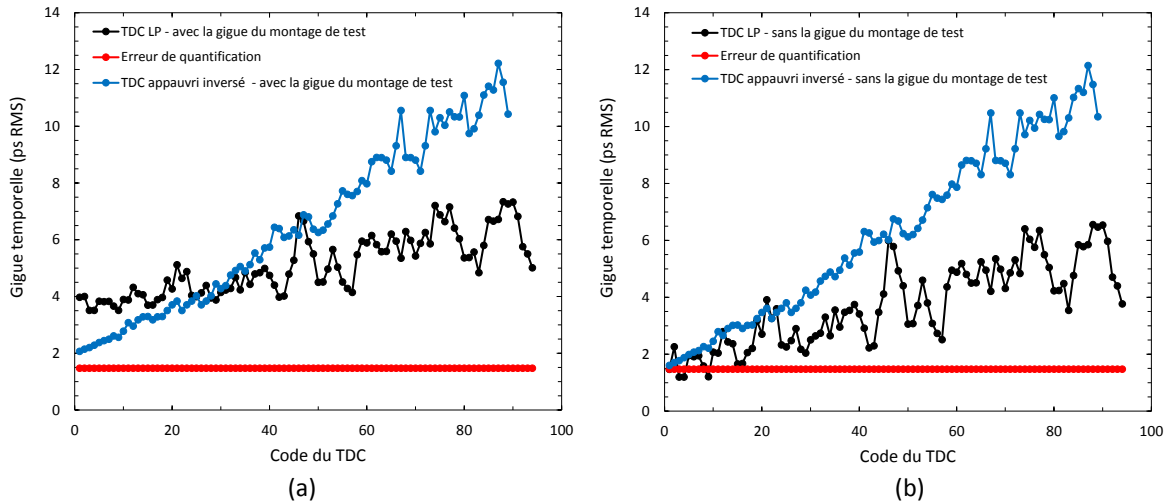


Figure 4.6 En (a) on observe la gigue temporelle de chaque code du premier code grossier du TDC LP et du TDC appauvri inversé. La gigue temporelle du montage de test est de 3,4 ps RMS pour le TDC LP et 1,5 ps RMS pour le TDC appauvri inversé et cette valeur est combiné à l'erreur de quantification au code 0 du TDC. En (b) on observe une comparaison plus juste entre les deux TDC puisque la contribution au montage de test est soustraite au TDC LP et au TDC appauvri inversé respectivement.

du TDC LP. En soustrayant la contribution du montage de test à la gigue temporelle du montage on obtient la Figure 4.6 (b). Cette opération ramène la gigue temporelle du code 0 du TDC LP au même niveau que le TDC appauvri inversé. Une fois la contribution du montage soustraite, la gigue temporelle est de 6,2 ps RMS pour le TDC appauvri inversé et 3,7 ps RMS pour le TDC LP. Cela signifie donc que si on réussit à réduire la gigue temporelle du montage de test, il est possible d'atteindre une gigue temporelle sous l'objectif de 4 ps RMS (10 ps LMH). Le TDC appauvri inversé et le TDC LP possède la même architecture d'anneaux oscillants (les deux utilisent des inverseurs appauvris inversés). Quelles modifications à l'architecture a donc permis d'obtenir une amélioration de 6,2 ps RMS à 3,7 ps ps RMS ?

Une étude sur la gigue temporelle et le bruit de phase des oscillateurs décrit l'oscillation en tension par l'équation 4.2 :

$$\Delta V = \frac{\Delta q}{C_{node}} \quad (4.2)$$

où :

- ΔV : Variation de la tension en fonction du temps pour chaque inverseur composant l'oscillateur.
- Δq : Impulsion de courant (en coulombs) fixé par le transistor de source de l'inverseur nécessaire à effectuer une transition dans l'oscillateur.
- C_{node} : La capacité effective à chaque noeud.

La gigue temporelle vient principalement d'injection de charges (bruit). Celle-ci modifie le courant (Δq) d'une transition d'un inverseur composant l'oscillateur du TDC. Cette variation du Δq modifie légèrement le temps de transition et ainsi la période de l'oscillateur. Pour diminuer l'impact du bruit, il faut augmenter Δq pour que la quantité de charges q injectée par le bruit soit proportionnellement moins grande. Puisque ΔV est fixé par la période de l'oscillateur, le seul paramètre modifié est la capacité C_{node} , que l'on doit augmenter proportionnellement à l'augmentation de Δq .

Suite aux simulations présentées dans la section 5.3.2, pour conserver la même fréquence d'opération, la taille (la largeur - W) des transistors composant les éléments de délais ont été augmentés d'un facteur 4 (Figure 4.5), augmentant du même coup le Δq et le C_{node} d'environ un facteur 4. Tel que présenté un peu plus haut, la gigue temporelle cycle-à-cycle a diminuée de 1,1 ps à 0,55 ps.

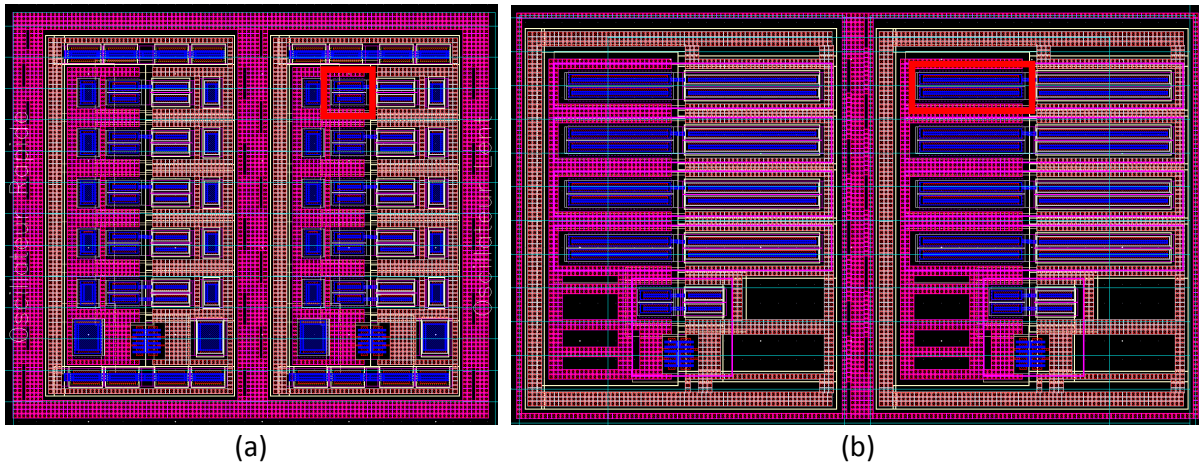


Figure 4.7 Les oscillateurs du TDC ont été modifiés afin de minimiser la gigue temporelle cycle-à-cycle. En (a), l'oscillateur à base d'inverseurs appauvris inversés présenté au chapitre précédent et en (b), l'oscillateur du TDC LP. La taille des oscillateurs a été augmentée d'un facteur 4 tout en gardant la même fréquence d'opération.

4.3.2 Limitations du montage de la mesure de la gigue temporelle

Il est difficile de réaliser un montage de test possédant une gigue temporelle négligeable lorsqu'on souhaite mesurer une gigue temporelle de l'ordre de la picoseconde et les me-

ures réalisées pour cet article en sont un bon exemple. Lorsqu'on mesure un circuit avec les appareils de mesure disponibles dans nos laboratoires, la gigue temporelle de notre montage est de l'ordre de 3 ps RMS. Pour la mesure de gigue temporelle, nous avons également réalisé notre propre circuit de mesure sur le PCB en utilisant des oscillateurs, des diviseurs de fréquence, des lignes à délais ainsi que des circuits tampons à très faible gigue temporelle et nous avons également obtenu une gigue temporelle de 3-4 ps RMS pour notre mesure. La méthode est décrite en détail dans l'article [100]. Cette méthode apporte une limite fondamentale provenant de la qualité des composants externes et des instruments de mesure utilisés pour le balayage par pas de 1 ps requis pour caractériser le TDC.

Recommandation : Modification de la procédure et du montage de test de gigue temporelle

Pour réaliser la nouvelle mesure de gigue temporelle, il faut déclencher 2 TDC identiques avec le même signal de départ et d'arrêt et faire la soustraction de leur valeur mesurée. Cela permettra d'obtenir la gigue temporelle du TDC multiplié par un facteur $\sqrt{2}$. En utilisant exactement le même signal pour déclencher les TDCs, la gigue temporelle des éléments précédents n'est pas prise en compte dans la mesure puisqu'on soustrait leur contribution en effectuant une soustraction à chaque mesure de temps. En réduisant le nombre d'éléments entre le signal de départ et chaque TDC, la gigue temporelle du montage est réduite. Les signaux de déclenchement départ et arrêt doivent être non-corrélés afin que chaque code des deux TDC soit déclenché uniformément. Cela permet d'avoir directement la gigue temporelle globale du TDC. Par contre, cette mesure ne nous permet pas de voir le détail de gigue temporelle de chaque code comme le permettait la mesure précédente. Il est toujours possible d'effectuer la mesure précédente en utilisant un signal corrélé à l'entrée du TDC.

Exemple d'implémentation :

Voici deux exemples d'implémentation de montage de test pour réaliser la mesure. Dans chaque figure, les éléments contribuant à la gigue temporelle de la mesure sont marqués en rouge. La Figure 4.8 montre le premier exemple d'implémentation à l'intérieur de l'ASIC. Cette solution permettra d'obtenir la meilleure précision temporelle puisque les seules contributions seront 4 circuits tampons à l'intérieur de l'ASIC. Une bonne conception permet de maintenir la contribution du montage de test en deçà de 1 ps RMS. Le désavantage de cette implémentation est que les deux TDCs sont connectés au même signal d'entrée.

Il est toujours possible d'utiliser un multiplexeur ou une porte OU avec le vrai signal d'entrée, mais cela ajoute des éléments, donc de la gigue temporelle à la mesure.

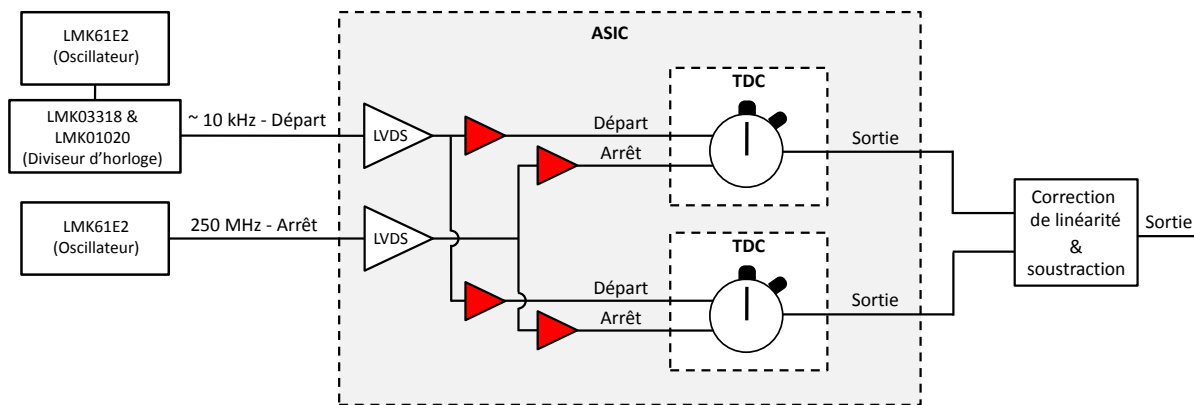


Figure 4.8 Montage de test pour réaliser la mesure de gigue temporelle pour s'affranchir de la gigue temporelle du montage ou des générateurs de signaux. Les éléments contribuant à la gigue temporelle sont marqués en rouge.

La Figure 4.9 montre un deuxième exemple d'implémentation sur PCB. Cette solution requiert d'avoir des circuits de transmission LVDS et des circuits de tampons LVDS sur le signal de départ. En choisissant les bons composants, il est possible d'avoir une gigue temporelle de montage de l'ordre de 1 ps RMS tout en conservant la flexibilité de déclencher les TDC individuellement pour d'autres tests.

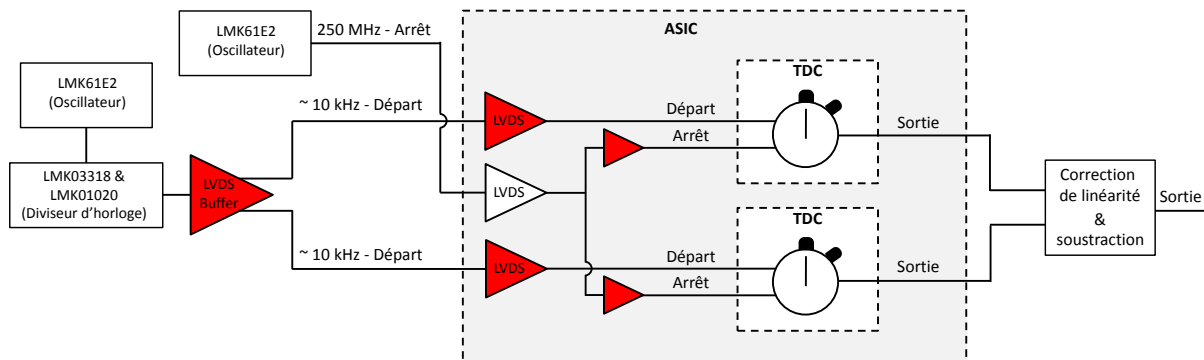


Figure 4.9 Montage de test pour réaliser la mesure de gigue temporelle pour s'affranchir de la gigue temporelle du montage ou des générateurs de signaux. Les éléments qui contribuent à la gigue temporelle sont marqués en rouge, dont une partie à l'extérieur du ASIC.

Avantages :

- Réduire la gigue temporelle du montage de test sous 1 ps RMS.

Conditions :

- Utiliser deux TDC identiques déclenchés par le même signal de départ et d'arrêt.

- Avoir des signaux de départ et d'arrêt non-corrélés.
- Corriger la linéarité des deux TDC avant la soustraction pour ne pas induire d'erreurs par des non-linéarités (cette correction doit ramener les valeurs de non-linéarité sous 1 ps).
- Avoir un montage de test qui permet ce type de mesure.

4.4 Conclusion

Ce chapitre visait à répondre aux questions :

- Quelles architectures de TDC permettent d'atteindre une précision temporelle de 10 ps LMH ?
- Comment réduire la consommation de puissance de ces circuits afin d'être compatible à une intégration matricielle pour un détecteur TEP ?

La nouvelle architecture présentée dans l'article permet de répondre clairement à la deuxième question. Le nouveau circuit de prélogique du TDC permet de minimiser la consommation de puissance du signal périodique d'arrêt qui définit la plage dynamique du TDC. Le circuit conçu a permis de réduire la consommation de puissance à 22 μW dans une taille totale de $36 \times 42 \mu\text{m}^2$.

Au niveau de la première question, les performances en LSB et en gigue temporelle ont été améliorées à respectivement 5,1 ps et 5,5 ps RMS grâce à l'augmentation de la taille des inverseurs de l'oscillateur. En soustrayant la contribution du montage de test, on obtient une gigue temporelle de 3,7 ps RMS (8,7 ps LMH). Ceci permet d'affirmer qu'il est possible d'obtenir une gigue temporelle sous 10 ps LMH (4 ps RMS) avec cette architecture. Afin d'obtenir cette mesure, un nouveau montage de test a été proposé.

Ce chapitre conclut sur les circuits individuels requis pour obtenir une gigue temporelle sous 10 ps LMH (4 ps RMS). Ceci n'est que la première étape en vue d'obtenir un photodétecteur matriciel qui possède une gigue temporelle similaire. Le prochain chapitre aborde le défi d'intégrer le circuit d'étouffement et le TDC dans une matrice de 256 pixels à l'intérieur de $1,1 \times 1,1 \text{ mm}^2$. Une telle architecture ajoute de nombreuses contributions à la gigue temporelle du système et elles seront décrites dans le prochain chapitre.

CHAPITRE 5

Article sur l'électronique matricielle

5.1 Avant-propos

Auteurs et affiliation :

Frédéric Nolet : Étudiant au doctorat, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

William Lemaire : Étudiant au doctorat, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Frédéric Dubois : Étudiant à la maîtrise, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Nicolas Roy : Professionnel de recherche, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Simon Carrier : Étudiant à la maîtrise, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Arnaud Samson : Étudiant au doctorat, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique

Serge A. Charlebois : Professeur, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique.

Réjean Fontaine : Professeur, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique.

Jean-François Pratte : Professeur, Université de Sherbrooke, Faculté de génie, Département de génie électrique et de génie informatique.

Date d'acceptation : 29 September 2019

État de l'acceptation : Publié le 1er Janvier 2020

Revue : Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment

Référence : © Elsevier. Réimpression avec permission. [100]

<https://doi.org/10.1016/j.nima.2019.162891>

Titre français : Circuit intégré de 256 pixels d'électronique de lecture de photodiodes à avalanche monophotonique avec convertisseur temps-numérique par pixel et circuit de traitement numérique pour correction de délai de propagation et des non-uniformités.

Contribution au document :

Les deux chapitres précédents ont permis de démontrer qu'il est possible de concevoir un circuit de lecture de photodiode composé d'un circuit d'étouffement et un TDC qui possède une gigue temporelle de 10 ps LMH (4 ps RMS). Cette première étape est primordiale afin de concevoir un circuit de lecture de matrice de SPAD qui possède une gigue temporelle sous 10 ps LMH. Ce chapitre vise à discuter et à répondre à la question suivante :

- Quelles sont les contributions matricielles externes à la cellule unitaire (SPAD, circuit d'étouffement, TDC) à la gigue temporelle et comment les réduire ?

L'intégration matricielle de ces circuits apporte de nouvelles contributions à la gigue temporelle. Afin d'identifier ces contributions, ce chapitre introduit un circuit de lecture de convertisseur photon-numérique composé de 256 pixels conçu et réalisé en technologie CMOS 65 nm de TSMC. Cette matrice de lecture de $1,1 \times 1,1 \text{ mm}^2$ intègre un circuit d'étouffement et un convertisseur temps-numérique (TDC) pour chaque SPAD afin de déterminer la gigue temporelle atteignable pour l'électronique. En plus de ces circuits, du traitement numérique a été ajouté pour corriger les non-uniformités entre les pixels ainsi que la dispersion du temps de propagation. L'article décrit les contributions matricielles d'un convertisseur photon-numérique, soit la variation de délai de pixel-à-pixel, la non-uniformité du LSB de pixel-à-pixel et le bruit en mode commun sur les tensions d'alimentation et les tensions de contrôle.

Résumé français : Une résolution temporelle en coïncidence (RTC) de 10 ps LMH (4 ps RMS) permet d'augmenter drastiquement le contraste des images des scanners de tomographie d'émission par positrons précliniques. Une telle RTC permet de mieux localiser l'endroit sur la ligne de réponse où s'est produite l'annihilation du positron et de l'électron. Présentement, les cristaux scintillateurs et les photodétecteurs et leur électronique de lecture sont les deux facteurs limitant l'atteinte d'une RTC de 10 ps LMH. Au niveau du photodétecteur, une précision temporelle de détection de photon unique (SPTR) de 10 ps

LMH (4 ps RMS) est requise pour atteindre un RTC de 10 ps LMH (4 ps RMS). Pour atteindre cette performance, un convertisseur photon-numérique 3D dans lequel chaque photodiode à avalanche monophotonique (SPAD) est reliée à son circuit d'étouffement et son convertisseur temps-numérique (TDC) a été développé. Cet article présente le développement d'une matrice de 256 circuits de lecture de SPAD optimisée pour obtenir la meilleure résolution temporelle tout en intégrant un circuit de traitement numérique. Le traitement numérique permet de convertir le code numérique en temps, de corriger individuellement le LSB des TDC et de corriger la dispersion du temps de propagation entre les pixels. La gigue temporelle d'un circuit de lecture seul est de 8 ps RMS. La gigue temporelle de la matrice complète est de 87 ps RMS sans correction et de 18 ps RMS avec la correction appliquée par le traitement numérique.

Note : Contient quelques modifications syntaxiques par rapport à la version publiée suite aux commentaires du jury, mais le propos est identique.

5.2 Article sur l'électronique matricielle

A 256 Pixelated SPAD Readout ASIC with in-Pixel TDC and Embedded Digital Signal Processing for Uniformity and Skew Correction

Frédéric Nolet, *Student Member, IEEE*, William Lemaire, *Student Member, IEEE*,
Frédéric Dubois, Nicolas Roy, Simon G. Carrier, Arnaud Samson,
Serge A. Charlebois, *Member, IEEE*, Réjean Fontaine, *Senior Member, IEEE*,
and Jean-Francois Pratte, *Member, IEEE*,

Abstract — Coincidence timing resolution (CTR) of 10 ps FWHM would drastically increase the contrast of images in pre-clinical and clinical positron emission tomography (PET) due to the capability to localize the annihilation site along the line of response with unprecedented accuracy. Currently, the scintillators and the photodetectors with their electronic readout are the two limiting factors to reach such a timing resolution. On the photodetector side, the single photon timing resolution (SPTR) must be improved below 4 ps RMS to reach a CTR of 10 ps FWHM. To this end, we propose to use a 3D digital silicon photomultiplier (3DdSiPM) where each single photon avalanche diode (SPAD) has its own quenching circuit (QC) and time-to-digital converter (TDC). To reach an SPTR of 4 ps RMS in an array of SPAD requires to correct each readout pixel individually to minimize the impact of TDC least significant bit (LSB) non-uniformities and SPAD-to-SPAD skew. For this purpose, we developed an array of 256 pixels of SPAD readout circuits optimized for high timing precision with embedded digital signal processing. The latter is a code-to-time conversion where each pixel is individually corrected for TDC LSB variation and skew. Measurement results on single pixels (QC and TDC) show timing jitter down to 8 ps RMS. The uncorrected array timing jitter is about 87 ps RMS and is reduced to 18 ps RMS after skew correction and TDC LSB correction.

This work was supported by the Natural Sciences and Engineering Research Council of Canada (NSERC), by the Fonds de recherche du Québec - Nature et technologies (FRQNT), by the Regroupement Stratégique en Microsystemes du Québec (ReSMiQ), and by CMC Microsystems. The authors are with the Interdisciplinary Institute for Technological Innovation and Department of Electrical and Computer Engineering, Université de Sherbrooke, Sherbrooke, QC, J1K 2R1, Canada
E-mail : Frederic.Nolet@USherbrooke.ca

Index Term — Single Photon Avalanche Diode, Quenching Circuit, Time to Digital Converter, SiPM, 3D Digital Silicon Photomultiplier, 3D Integrated Detector, Time-of-Flight, Positron Emission Tomography.

Single photon avalanche diodes (SPADs) are photodetectors used in many applications requiring high timing resolution and single photon sensitivity such as 3D imaging [154, 155, 157], time-resolved imaging [25, 13, 87] and positron emission tomography (PET) [114, 42, 122, 128]. In PET, the time-of-flight (ToF) measurement increase the contrast-to-noise ratio of the image [60] by improving the localization of the annihilation site along the line of response (LoR) and can eventually lead to direct image reconstruction. To achieve direct reconstruction with millimetric precision along the LoR, a coincidence timing resolution (CTR) of 4 ps RMS (10 ps FWHM) is required [49, 67].

The main limitations to obtain a CTR of 4 ps RMS are the timing jitter of the photodetectors and the rise time of the photons flux, the number of photons and the photon travel spread (PTS) in the scintillators [49, 66]. New scintillators are being developed to use fast light emission mechanisms such as hot intraband luminescence or quantum confinement in nanoscintillators to generate prompt photons and minimize the rise time and the PTS of the scintillator [146, 47, 105].

On the photodetector side, two critical aspects must be obtained : a high photodetection efficiency (PDE) and a single photon timing resolution (SPTR) to the order of 4 ps RMS. Studies show that even with prompt photons in the scintillator, a high SPTR (i.e. 4 ps RMS) is required to reach the coveted 4 ps RMS CTR [49, 66].

One of the major contributors to SPTR in SPAD arrays is the pixel-to-pixel timing skew. In analog silicon photomultipliers (SiPMs), the SPAD-to-output distance is different for each SPAD which results in a peak skew in the order of few hundreds of ps [7, 85]. In digital SiPMs, a similar skew is observed when one time-to-digital converter (TDC) is shared between SPADs which causes a SPAD-to-TDC propagation delay mismatch. For example, a $3 \times 3 \text{ mm}^2$ array with 3200 SPAD can show a 200 ps peak skew [41]. Since this contribution is not corrected, it adds a jitter of about 40 ps RMS [41]. A second example is an electronic readout for digital SiPM with a TDC per mm^2 where a peak skew of 90 ps is obtained for electronics without SPAD [141]. This skew is not corrected and adds a jitter of about 13 ps RMS to the SPAD array readout circuit [141]. The pixel-to-pixel skew is a contribution that can be corrected with embedded digital processing and a calibration routine if the SPAD address is known. A digital SiPM with a one-to-one coupling between SPADs and TDCs provides the means to correct pixel-to-pixel skew and reduce the timing

jitter but requires more area to implement and more data throughput. Integrating such features in a 2D digital SiPM limits the PDE to very low levels [154, 155, 157], which might be suitable for applications such as 3D imaging but not for ToF PET.

The proposed solution to reach both high PDE and high SPTR is a 3D digital silicon photomultiplier (3DdSiPM) [141, 96, 20]. A 3DdSiPM is a SPAD array vertically integrated in 3D with a CMOS readout application specific integrated circuit (ASIC) [20]. While the 3D integration process and the SPAD are under development, suitable electronics to reach a 4 ps RMS SPTR must be developed. Two main considerations must be met regarding the timing jitter in a 3D digital SiPM. First, the SPTR of a single pixel composed of a SPAD, a quenching circuit and a TDC must be below 4 ps RMS. Second, the array wide contributions (noise, non-uniformity, skew) to the timing jitter must be either corrected or below 4 ps RMS.

In previous work, we demonstrated that a SPAD and QC combination can reach 7.8 ps FWHM (about 3.3 ps RMS) [98], a QC alone has an electronic timing jitter of 1.3 ps RMS [98], a single TDC has 6.9 ps RMS [125] and a single pixel of SPAD, QC and TDC can reach 17.5 ps FWHM (about 7.5 ps RMS) [99]. The implementation of these circuits in an array will have an impact on their timing characteristics. To maintain the low timing jitter, the design must minimize the common mode noise between the pixels, more specifically between the TDC's ring oscillators. Furthermore, the implementation must minimize the non-uniformity between the TDC to minimize the TDC least significant bit (LSB) variation and the TDC linearity variation.

In this paper, we present the CMOS readout ASIC with 256 pixels with in-pixel TDC and embedded digital processing for uniformity and skew correction. The following sections will present the readout ASIC architecture, the electronics timing jitter results and the impact of the array integration on the timing characteristic of the circuits. The results will also show the benefit of integrating digital signal processing for uniformity and skew correction and its impact on the array timing jitter.

5.2.1 Architecture

The ASIC is an array of 256 pixels of SPAD readout circuit optimized for high timing precision with an embedded digital signal processing to extract the timing and energy of PET events (Figure 5.1 and Figure 5.2). The 256 pixel array is composed of 16×16 pixels for a total size of $1.1 \times 1.1 \text{ mm}^2$ to fit the scintillator size of the LabPET II scanner [18]. Each pixel of $65 \times 65 \text{ }\mu\text{m}^2$ is composed of a 3D bonding pad, a quenching circuit, a time-to-digital converter and a local counter. The pixel size was chosen using a custom

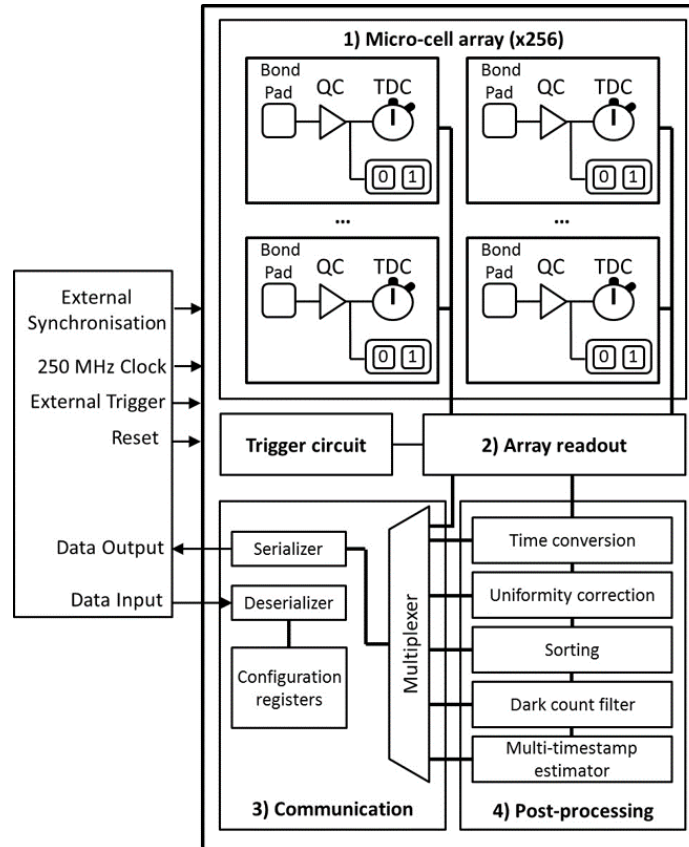


Figure 5.1 Overview of the CMOS readout ASIC. Section 1 is the pixel array, section 2 is the array readout, section 3 is the communication module and section 4 is the digital signal processing. The implementation of the multi-timestamp estimator including the sorting module and dark count filter is the object of a dedicated paper.

developed simulator for SPAD array [143] to optimize the timing resolution of a PET detector. A size of $65 \times 65 \mu\text{m}^2$ was chosen to obtain a good timing resolution and fill factor as well as allowing a high density of electronics per SPAD. The presented CMOS ASIC is designed to be vertically integrated in 3D with a SPAD layer to obtain a 3D digital SiPM. The SPAD array and 3D integration process are currently being developed in a custom technology at Teledyne Dalsa Semiconductor Inc. (TDSI) [109].

Pixel

The quenching circuit (QC) is designed for cathode reading (Figure 5.3). The SPAD voltage polarization is set by $-HV$ and the VDD of the quenching circuit, in this case 3.3 V. The quenching transistor and the reset transistor are referenced to 3.3 V. When the SPAD is quenched, the voltage at the reading node will go down from 3.3 V to 3.3 V minus the value of the excess voltage. A cascode is placed between the SPAD and the QC to ensure that the reading node will not go below 0 V even at higher excess voltage since the

cascode gate voltage is fixed at 0 V which will cut-off the path between the SPAD and the QC. The cascode also increases the maximum excess voltage by 2.5 V for a total of about 5.8 V [76, 120]. A study [135] showed that detecting the avalanche at its beginning would optimize the timing resolution and was measured for different SPADs [48, 98, 7]. For optimal measurements, the QC discriminator must sense the avalanche just below 3.3 V since the avalanche process will bring the reading node from 3.3 V down to 3.3 V minus the excess voltage. To this end, the implemented QC discriminator is a two-stage operational amplifier with an NMOS differential input pair to obtain a threshold voltage near the VDD of the amplifier. The two-stage architecture is based on the same as the one previously developed for anode readout [98]

The TDC is a ring oscillator-based Vernier with single coincidence circuit to obtain high timing precision while keeping a small area (Figure 5.3) [125]. The TDC LSB is set by the period difference between the slow and fast oscillators of the Vernier. The slow oscillator period is set at 500 ps (2 GHz) and the fast oscillator at 490 ps (2.04 GHz) for a TDC LSB of 10 ps. In order to set the TDC LSB, four voltage controls are distributed in the ASIC to fix the frequency of the slow and fast oscillators of the TDC. These voltage controls are set by four external digital-to-analog converters (DACs).

One of the challenges while integrating 256 TDC per $1.1 \times 1.1 \text{ mm}^2$ is the common mode noise injected by 512 ring oscillators with a frequency of about 2 GHz. To minimize its impact, two design considerations were added. First, to minimize the noise injected on the common voltage control of the TDC, a voltage follower based on a differential amplifier was added for each voltage control in each pixel. This comes at a cost of 88 μW per pixel for the buffering. Second, to minimize the noise injection to the other circuit, the ring oscillators were completely isolated from the other circuits with a separated power supply and triple well isolation for the substrate.

To measure the PET event energy deposited in the scintillator, the array must count the number of detected photons. Since the TDC has a conversion time in the order of 100 ns, a local counter is added for energy measurements at the output of each quenching circuit (Figure 5.3) in parallel to the TDC and can count up to 256 photons per events per SPAD channel.

The TDC dynamic range is 4 ns, the period of the global clock. Since we want to use this ASIC in a PET scanner, dynamic range greater than a millisecond is required. To this end, a global counter is added to the ASIC with a depth of 8.4 ms (with step of 4 ns). The value of the global counter is added to every timestamp sent at the ASIC output. The

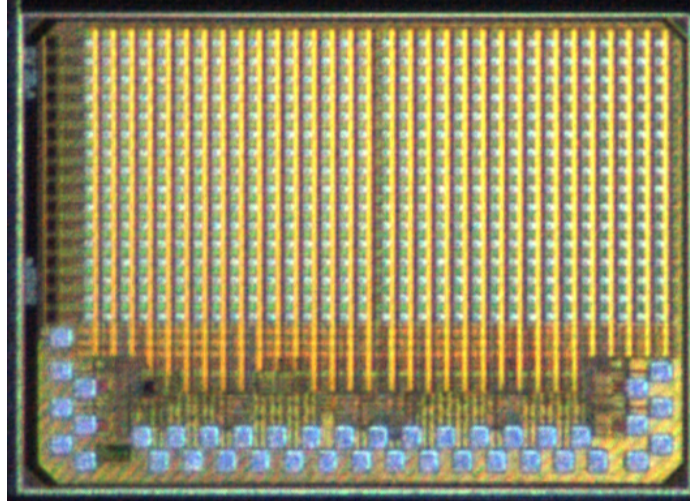


Figure 5.2 Micrograph of the ASIC that is designed to be three sides buttable (wirebonds on the left and right sides are for debugging purpose).

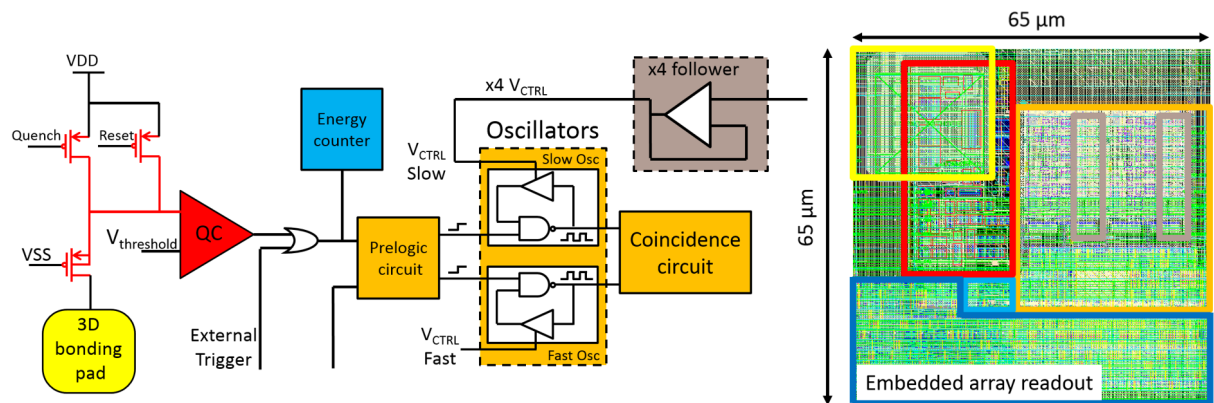


Figure 5.3 Single pixel of the array with a cathode reading quenching circuit (in red), a Vernier TDC (in orange), and an energy counter (in blue). The external controls from the DAC are buffered through 4 differential amplifier in follower configuration (in gray). The pixel has a size of $65 \times 65 \mu\text{m}^2$ and the 3D bonding pad (in yellow) has a size of $26 \times 26 \mu\text{m}^2$. The colors on the bloc diagram match the highlighted region on the layout.

ASIC has an external pin for a synchronization signal to synchronize the global counter between multiple ASIC. This signal is sent from an FPGA to all the ASIC in the system, typically with a 5 ms period in the LabPET II scanner [18].

Array Readout

The array readout circuit reads all the information of a single pixel per clock cycle, which means that the array can be read in 256 clock cycles. The total readout time of the array is about 1 μs ($256 \times 4 \text{ ns}$) since the system clock is at 250 MHz. For each event, the pixel provides its address, the timestamp of the first detected photon and the number of times

the SPAD was triggered within the integration window set in the array readout. There are two array readout modes. The first mode is a time driven configuration, in which the array is read at a fixed period (between 1 μs and 4 ms) for a camera mode. The information of each frame is the address of the pixel, the number of detected photons within the fixed frame and the timestamp of the first photon detected.

The second mode is an event-driven readout made for applications such as PET scanners. In this configuration, a programmable number of columns must detect a photon within a period of time to trigger the readout circuit (Figure 5.4). An event-driven readout helps discriminate an event from SPAD dark count rate (DCR) [141]. The imposed period of time and column's sum threshold restrain the SPAD DCR to trigger the event-driven readout. Furthermore, TDC triggered by DCR are quickly rearmed to ensure they are ready for the next PET event. This architecture prevents the majority of the DCR from being included in a readout, but the DCR within the event and within the comparison window are not filtered.

The event driven configuration has 4 major steps. First, when a TDC is triggered, it sends a *TDC triggered* signal while converting the input signal into a timestamp. The *TDC triggered* signal is synchronized using a three-flip-flop synchronizer. Second, the *TDC triggered* signal is sent to an OR gate that connects every pixel of a column to feed a combinational adder. The TDC simultaneously triggers a delay line of N clock cycles that will reset the TDC if no *Event ready* signal is received. Third, the signal from each column is summed through the adder and the result is compared to a configurable threshold at every clock cycle. Fourth, if the threshold is met, an *Event ready* signal is sent to the array readout and to each pixel of the array to prevent the TDC from receiving a reset signal. If the number of columns triggered threshold is not met (triggered due to SPAD DCR), each TDC is reset after N clock cycles to be ready for the next PET event.

When the array readout receives an *Event ready* signal, an integration window set between 4 ns and 4 μs is opened and once completed, the array readout circuit will read the TDC and local counter of each pixel. Using the individual *TDC triggered* signal, only the pixels that were triggered is read through the array readout circuit to limit the data throughput. For characterization purpose, the ASIC can be configured to send the information of all pixels even those that did not detect a photon.

Digital Signal Processing

The digital signal processing embedded in the ASIC was integrated to apply a multi-timestamp estimator. The details of the implementation of the multi-timestamp estimator including the sorting module and dark count filter is the object of another dedicated paper.

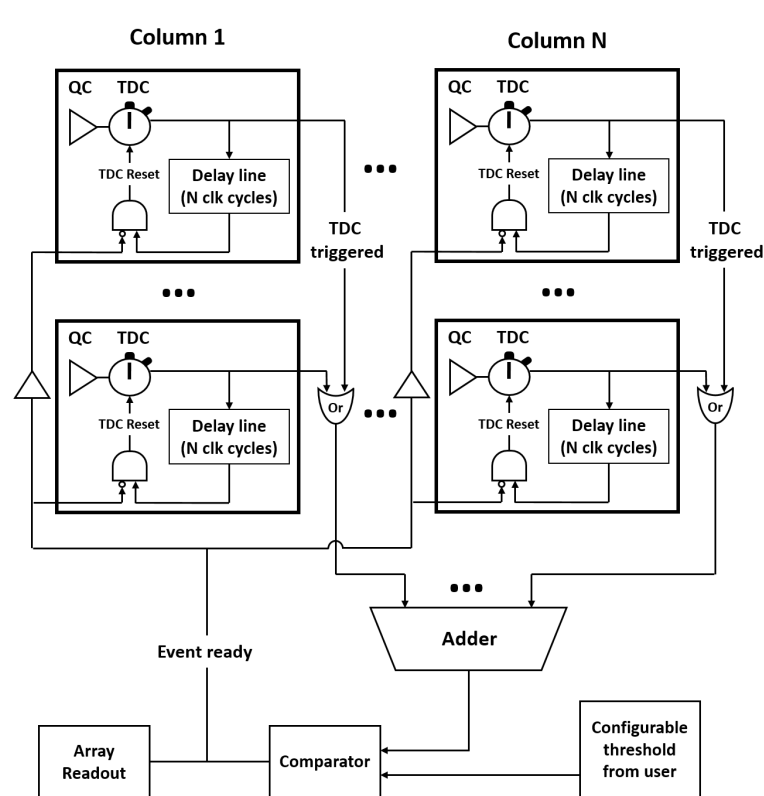


Figure 5.4 Overview of the event-driven implementation in the ASIC. When a pixel is triggered, it sends a signal to an adder through distributed OR gates that connect every pixel of a column. Each column is summed through the adder and compared to a configurable threshold set by the user. If the threshold is met, a signal is sent to every pixel to confirm an event and block the reset signal from the delay line in each pixel. Otherwise, the TDC receives the reset signal from the pixel internal delay line.

In this paper, we will focus on the first two steps : the time conversion of the timestamps and the uniformity correction.

The TDCs render a code as raw data and the time conversion module convert the TDC code of each pixel to a 1 ps timebase value. Considering there is non-uniformity between TDCs, the time conversion is performed using a dedicated lookup table for each pixel, provided by the uniformity correction module. The first step is to characterize each TDC to determine their respective coarse and LSB using a calibration routine in an FPGA. The routine to characterize the coarse, the LSB and the skew is based on uncorrelated measurements. The FPGA configures the array readout in characterization mode where the TDC are triggered via an external signal and the output is the unprocessed timestamps of the TDC. The FPGA then sends a TDC signal input uncorrelated to the clock (which is the stop signal of the TDC) to obtain a code density of every TDC in the array. The FPGA accumulates 1 Mevents/TDC and builds a code density histogram. From this code density, equations are used to calculate the coarse and LSB value [125]. Using the same measurements, the measured time of each TDC is compared to a reference pixel of the array. The objective is to subtract the measured value of each TDC to the reference pixel and build a histogram of this difference to obtain the skew. In the second step, the FPGA send the measured value of the coarse, LSB and skew in each lookup table to perform the time conversion. The ASIC is then put back in acquisition mode. For each pixel, a 32-bit memory block is integrated to correct the TDC LSB (10 bits), the TDC coarse value (10 bits) and the pixel skew (12 bits).

The coarse is an interpolation of the 4 ns clock period and its value corresponds to the period of the fast oscillator (around 500 ps). The LSB is an interpolation of the coarse with a period corresponding to the period difference between the two TDC's oscillators (around 10 ps). Their respective variations are due to the same oscillators, so the correction value range is the same for both the LSB and the coarse. The correction value ranges from 0 to 127.875 ps by steps of 125 fs around a common set value (an another register), for example 500 ps (2 GHz ring oscillator) for the coarse and 10 ps for the LSB. The skew of each pixel can be corrected in a range of 0 to 4096 ps by steps of 1 ps.

Communication Module

The input and output links of the ASIC are LVDS transceiver and receiver at a 250 MHz rate. The input link has a deserializer that sends the input data to the configuration registers (Figure 5.1). The ASIC has 326 32-bit registers for the ASIC configuration and uniformity correction. With the registers, each QC, TDC and external trigger can be independently enabled or disabled.

The format of a output message is divided in 4 subframes. Every message has a start frame, a message identifier, the data and a stop frame. The start and stop frames are both fix 64-bit used to set the communication with the FPGA. The message identifier is a 64-bit used to let the FPGA know that it will receive either data from the array or the information from a register. In a system integration, the message identifier can also be used to identify which detector of the PET scanner is communicating with the FPGA. The data are 64 bits per pixel including TDC timestamps, local energy counter value, global time (up to 5 ms) and address of the pixel. Added to this information is the step of the post-processing from which the data was sent (raw data, time conversion or uniformity correction). In every message, the data is between 1 and 256 64-bit frames depending on the number of pixels triggered.

Considering this, the minimum deadtime for data transmission is when a single pixel of the 256 array is triggered. In this condition, 4 subframes will be transmitted : a start frame, a message identifier, the data from 1 pixel and a stop frame. The deadtime associated with this transmission is 1.1 μs since the output data are 4 subframes of 67 bits (64 bits of information with 1 start bit and 2 stop bits) transmitted at every 4 ns. If all the pixels are triggered in a $1.1 \times 1.1 \text{ mm}^2$, the data subframe will be composed of 256 64-bit. In this case, the deadtime for the transmission is 69.5 μs (259 67-bits \times 4 ns). Considering this worst-case scenario, the maximum PET event rate with this deadtime is about 15 kevents/s per $1.1 \times 1.1 \text{ mm}^2$ detector.

5.2.2 Materials and Methods

The array readout is tested using a custom designed PCB with an FPGA to configure and communicate with the ASIC (Figure 5.5). A daughterboard is also used to integrate power supply circuits and event generator circuits used for timing measurements. A carrierboard PCB is used to wirebond the ASIC and to fit on the optical test bench. The pixels of the readout ASIC can be triggered via a trigger tree. This section will present the methods to measure the timing results of the electronic readout. First, the method to measure single pixel jitter is presented which represents the baseline jitter achievable. Second, the impact of array integration is presented : jitter as a function of the number of active pixels, TDC LSB uniformity, TDC linearity and skew between pixels.

Single pixel jitter

The electronic timing jitter of a single pixel is the combination of the quenching circuit and the TDC. Since the electronic is not yet bonded in 3D to a SPAD array, there are two possible ways to trigger the pixel : through a wirebond connected to the 3D bonding pad or through the external trigger implemented in the digital circuit. If the external trigger

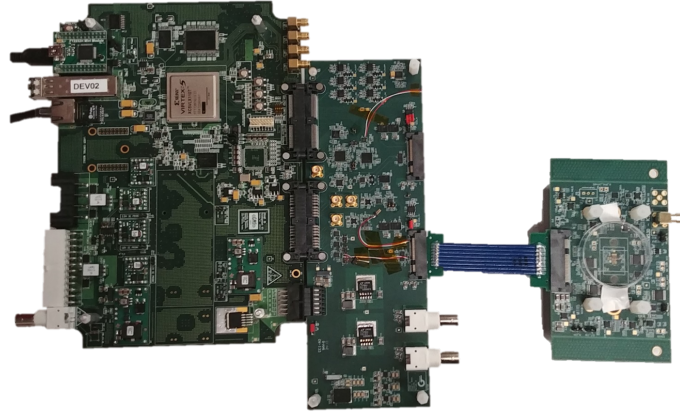


Figure 5.5 PCB test fixtures : the motherboard with an FPGA (left), the daughterboard (middle) to conduct the test and the carrierboard (right) to wirebond the ASIC.

is used, the jitter of the QC is not included. Both were performed to measure the single pixel jitter.

Since the jitter of the TDC is dependent on the time difference between the start and the stop signal [125], the jitter must be measured for the whole dynamic range of the TDC. Once the jitter for every delays has been measured, it can all be combined to obtain the total TDC timing jitter. To combine them, every delay of the TDC dynamic range must have an equal probability of occurrence (the start and the stop signal in the system must be uncorrelated). Two methods can be used to determine the TDC jitter.

The method A is to sweep the different start-stop delays of the dynamic range and build a histogram for each delay. For each measured delay, a histogram of the codes obtained from the TDC is formed as presented in the Figure 5.6. The jitter for a given start-stop delay represents the dispersion of the distribution, often expressed in RMS value.

Using this method, two challenges arise from the fact that the measurements are limited by the characteristics of the TDC. The first limitation comes from the bin width. A TDC LSB of 10 ps limits the measurements to jitter larger than 2.88 ps RMS due to the quantization error ($\text{LSB}/\sqrt{12}$). Reducing the TDC LSB will degrade the TDC jitter as more Vernier cycles are accumulated, so it is not always possible to use a smaller LSB to provide a better insight on the TDC jitter. The second limitation comes from the TDC's non-linearity. Each TDC's code has a slightly different value due to non-linearity, so each bin of the histogram has a different width (blue bin in Figure 5.6 for example) which must be accounted for in the jitter calculation. Furthermore, every start-stop delay histogram must be combined

to obtain the total jitter of the TDC. This cannot be done directly due to the uneven bin width caused by the TDC's non-linearity.

The method B is performed by using the same measurements and the same data as method A. With the method B, one can invert the approach and obtain the jitter for each code considering the distribution of imposed delays. This method can use smaller bins (1 ps) and is not affected by the non-linearity of the TDC for the calculation since the reference is the imposed start-stop delay. It is important to use a calibrated start-stop delay. In our case, the delay swept was characterized and calibrated using a time-correlated single photon counting system to make sure each step was 1 ps [23]. It is also important that every delay measurement has the same number of events to combine the jitter of each code together to obtain the total TDC jitter. For example, we used 1000 events at each picosecond step of the 4 ns dynamic range. After the acquisition, a histogram was built for each code of the TDC showing the distribution of the imposed start-stop delays. For example, in an ideal case, the TDC LSB is 10 ps and there is almost no jitter. This is represented by the yellow bins in Figure 5.7, where all the bins are at 1000 events inside the 10 ps LSB. If the code has low jitter, the delay at the center will have 1000 events and the number of events in the bin at the edge will reduce since some delays will hit the next code (green distribution in Figure 5.7). For higher jitter distribution, even the center delay of the code will not hit 1000 events and the distribution will be larger.

Since the delay at the input of the TDC must be correlated to the clock, it must be derived from the system clock. To this end, the clock was split then sent in a low jitter clock divider (LMK03318 and LMK01020) and the delays were swept using a delay line (SY89296UMG).

Jitter as a Function of the Number of Active Pixels

One of the challenges in array integration is to minimize the noise between pixels which will impact the timing jitter. One of the concerns while integrating 256 TDC per $1.1 \times 1.1 \text{ mm}^2$ is the common mode noise injected by 512 ring oscillators with a frequency of about 2 GHz. This impact was measured by using the single pixel timing jitter measurements described above with different numbers of activated pixels. The measurements were made with 1, 64, 128 and 256 activated pixels. The base jitter of each pixel was measured individually and differ from one pixel to another (only one pixel activated). To isolate the contribution of the noise between the pixels, the base jitter of each pixel was quadratically subtracted at every measurement to only see added jitter coming from the common mode noise. The isolated contribution of the noise between the pixels is called added timing jitter in the results section.

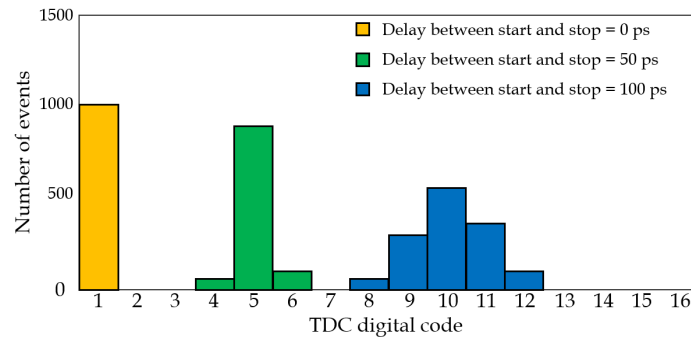


Figure 5.6 Method A : Histogram of the code obtained from the TDC for some values of start-stop delays considering a TDC LSB of 10 ps. The histograms are used to measure the jitter of each delay. In yellow a delay of 0 ps was set and the code 0 has very little to no jitter, in green a delay of 50 ps was set and the code 5 has low jitter and in blue a delay of 100 ps was set and the code 10 has higher jitter.

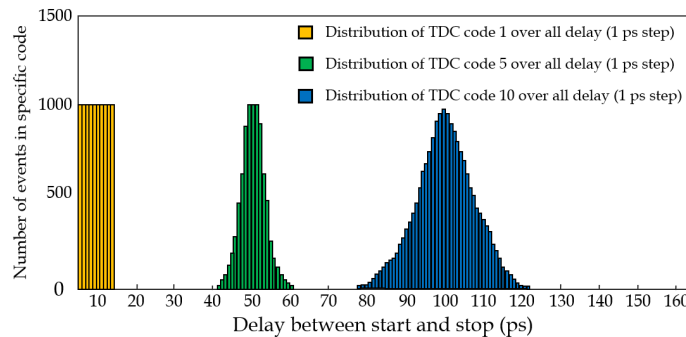


Figure 5.7 Method B : Histogram of the start-stop delays for specific TDC Code considering a TDC LSB of 10 ps. The histograms are used to measure the jitter of each TDC code. In yellow is the distribution of the code 1 as a function of the delay measured representing a negligible jitter code, in green the distribution of the code 5 over all the delay with a small jitter and in blue the distribution of the code 10 with a higher jitter.

TDC LSB Uniformity and Linearity

The method to measure the TDC LSB and the TDC coarse value is a code density as described in [125]. The stop signal is the system clock at 4 ns and an uncorrelated signal is sent via the triggering tree as a start signal (either from a signal generator or an on PCB oscillator). For each TDC, 100 kevents to 1 Mevents were acquired for the code density histogram. The histograms for the 256 TDC were acquired at the same time and were processed in the FPGA and/or in the computer. The value of the TDC coarse and LSB were then sent back in the register in the ASIC for the time conversion. The same procedure is applied for the TDC linearity (code density).

Array Timing Jitter

For the array timing jitter, there are two parts in the measurements. First, the jitter of each TDC is measured using the method described in section A. Second, the skew is measured for each pixel and compared to a reference pixel of the array. The objective is to subtract the measured value of each TDC to the reference pixel and build a histogram of this difference.

The mean of the time difference histogram is the skew of this pixel compared to the reference pixel. If there was no skew between pixels, the mean of this difference should always be 0 picosecond. A signal correlated or uncorrelated to the clock can be used as long as the start signal is the same for every TDC. If an uncorrelated signal is used, every bin of the TDC will trigger and the jitter of the skew measurements will be the jitter of the pixel. If a correlated signal is used, every TDC will always trigger in the same few bins and may effectively reduce the timing jitter on the measurements.

In both cases, by using 100 kevents per histogram, it will minimize the impact of the jitter since it is a repetitive measurement. To obtain better results, the integral non-linearity (INL) of the TDC was corrected to obtain a better skew characterization. Once the skew is characterized outside the ASIC, the value of the skew is sent back in the register of the ASIC and a second measurement is performed to see if the skew was eliminated. This calibration routine will eliminate the skew contribution to the array timing jitter.

5.2.3 Results

Single pixel jitter

To measure the single pixel jitter, only one pixel was activated at a time. Each pixel was measured and the timing jitter of a single pixel is 8 ps RMS when the TDC LSB is set at 15 ps. This timing jitter is a little higher than the two previous reported timing jitter of 6.9 ps RMS and 5 ps RMS [125, 99]. This degradation is probably due to higher noise coupling on the TDC ring oscillators control voltage and the supply. We suspect that one

of the main aggressor in terms of noise is the clock that triggers tens of thousands of flip-flops used in the uniformity correction module. The measurements were performed through the 3D bond pad and the external trigger to evaluate the jitter of the QC and its contribution has been measured below 2 ps RMS, similar to the QC previously developed [98]. The 8 ps RMS of the pixel is mainly due to the TDC.

Jitter as a Function of the Number of Active Pixels

One of the contributions to the timing jitter in an array configuration is the noise from the other pixels. The starting point of this measurement is the 8 ps RMS timing jitter in the previous section. Each pixel can obtain as low as 8 ps RMS when it is the only active pixel of the array. This section focuses on the degradation of this timing jitter when more pixels are activated and simultaneously triggered. Figure 5.8 shows that the jitter worsen as a function of the number of active pixels. When 64 pixels are activated, the jitter of a single pixel is increased by an added jitter of about 4 ps RMS (quadrature). For a single pixel at a jitter of 8 ps RMS, the total jitter would be $\sqrt{(8^2 + 4^2)} = \sim 9$ ps RMS. When 256 pixels are activated, the jitter of a single pixel has a median added jitter of about 13 ps RMS. For a single pixel at a jitter of 8 ps RMS, the total jitter would be $\sqrt{(8^2 + 13^2)} = \sim 15$ ps RMS. This array contribution to the jitter must be addressed in order to reach the sub-4 ps RMS range.

TDC LSB uniformity

The TDC LSB uniformity is critical since the TDC jitter depends on the LSB for this type of TDC architecture [125]. Figure 5.9 shows a heat map table of the TDC LSB as a function of its position in the array. The LSB varies between 2 ps and 72 ps and there is no clear indication that the position of the pixel within the array has an impact on the measured LSB value.

The measured variation between each pixel has a peak-to-peak variation of 70 ps. This variation comes from the mismatch between the pixel. We identified two contributions to this mismatch from simulations. The first one is the mismatch between the oscillators of the TDC between each pixel. From simulations, the LSB peak-to-peak variation coming from the oscillator mismatch only is 20 ps. The second is the mismatch between the 4 voltage followers (Figure 5.3) in each pixel used to buffer the ring oscillator control voltage to improve the noise immunity between TDCs. From simulations, the LSB peak-to-peak variation coming from the voltage followers mismatch is 60 ps. These two contributions must be corrected in the next revision to minimize the spread of the TDC LSB.

Figure 5.10 shows the TDC jitter as a function of the measured TDC LSB. Each dot represents a single pixel of the array. The TDCs with a small value of LSB have a slightly

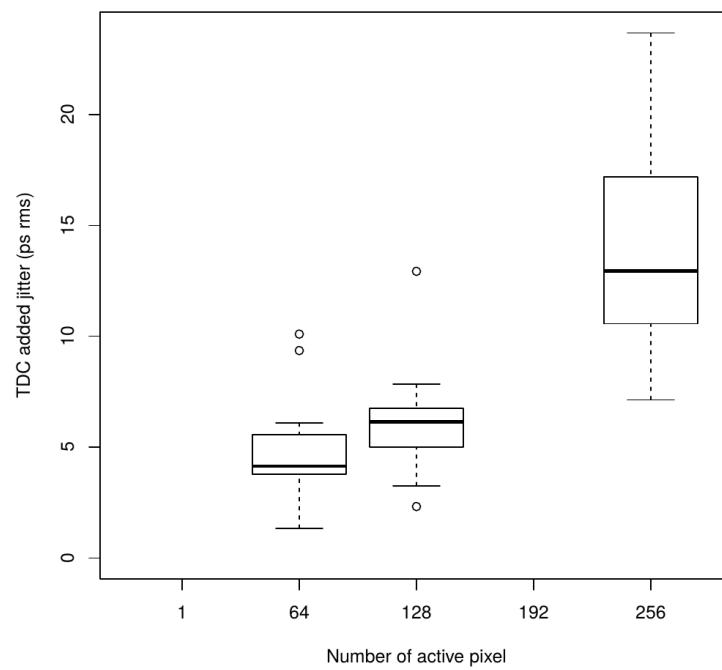


Figure 5.8 Added timing jitter to the pixel as a function of the number of active pixels in the array to show the impact of common mode noise on the neighbouring TDCs. The bold bar marks the median and the box contains half of the records.

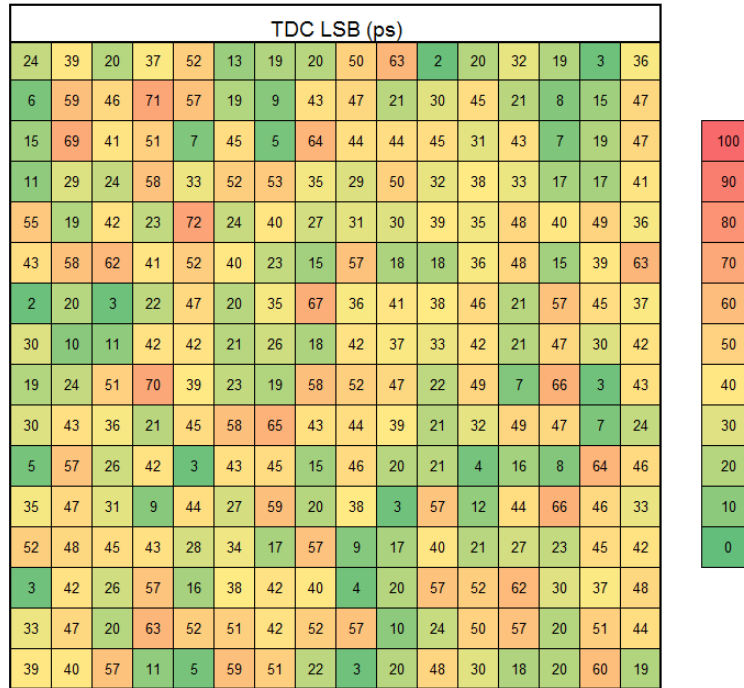


Figure 5.9 Heat map table of the TDC LSB of each pixel as a function of their position. The LSB varies between 2 ps and 72 ps. There is no clear indication for correlations with position.

higher jitter, consistent with its architecture (accumulation of Vernier cycle jitter) [125]. At larger values of LSB, the dominant phenomenon is the quantization error which limits the TDC jitter. The ideal operation point for the TDC jitter is around 10 to 20 ps where the TDC jitter is as low as 11 ps RMS. The spread of the TDC jitter for a given LSB is caused by the noise induced by other pixels. At 256 activated pixels, the added jitter varies from 7 to 23 ps RMS with a mean at 13 ps RMS as presented in section B (Figure 5.8). The individual pixel jitter varies between 11 ps and 36 ps RMS (Figure 5.10).

Array Timing Jitter

To determine the array timing jitter, the results must reproduce the equivalent of the single photon timing resolution (SPTR) but only with electronics. In a SPTR measurement for a SPAD array, a photon has an equal probability of triggering any pixel. The array timing jitter can be described as the sum of the jitter of all the pixels in the array, in our cases pixel with timing jitter between 11 ps and 36 ps RMS. One can expect an array timing jitter in between these two values since all the pixels were equally triggered. Furthermore, there is an added contribution to the timing jitter of each pixel, the pixel-to-pixel skew. The pixel-to-pixel skew is caused by the difference in propagation delay within the quenching circuit, the TDC and the clock tree that feeds the TDC stop signal.

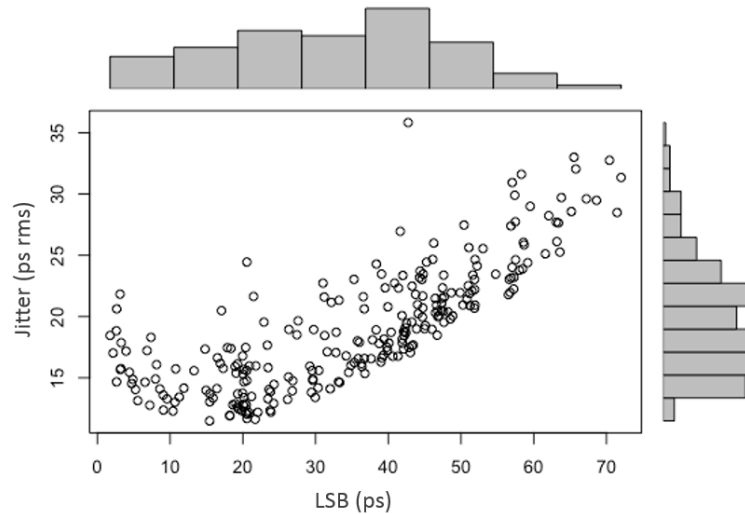


Figure 5.10 TDC jitter as a function of the TDC LSB. Each dot represents a single pixel. The histograms show the distribution of the jitter and the LSB throughout the array.

If the pixels are all equally triggered, the timing measurements of the system are represented by the results in Figure 5.11. Figure 5.11 (a) shows the timing measurements when the measurements are separated for each pixel address and Figure 5.11 (b) shows the timing measurements for all events without the separation per pixel.

Figure 5.11 (a) shows clearly the impact of the pixel-to-pixel skew associated to each pixel in the array. In Figure 5.11 (a), the width of the histograms represents the timing jitter and the average position corresponds to the skew of each pixel. Without the knowledge of which pixel is triggered, the measured timestamps would have a very wide distribution with 87 ps RMS jitter (Figure 5.11 (b)). The skew is one of the most limiting factors to obtain single photon timing resolution below 4 ps RMS and must absolutely be corrected.

Since the skew of each pixel can be calibrated (knowing the address of each pixel), it is possible to combine their respective jitter with minimal impact regarding their position. The integrated uniformity correction provides means to add a time skew to each pixel of 0 to 4096 ps with 1 ps step. By calculating the skew value with a test routine and then adding the value in the skew correction register, the array has a global jitter for the electronic readout of 18 ps RMS (Figure 5.12 b). This calibration routine brings down the skew contributions below 1 ps RMS.

TDC linearity

Using the code density method, the differential non-linearity (DNL) and the integral non-linearity (INL) was measured. Since every TDC of the array has a different LSB, the INL

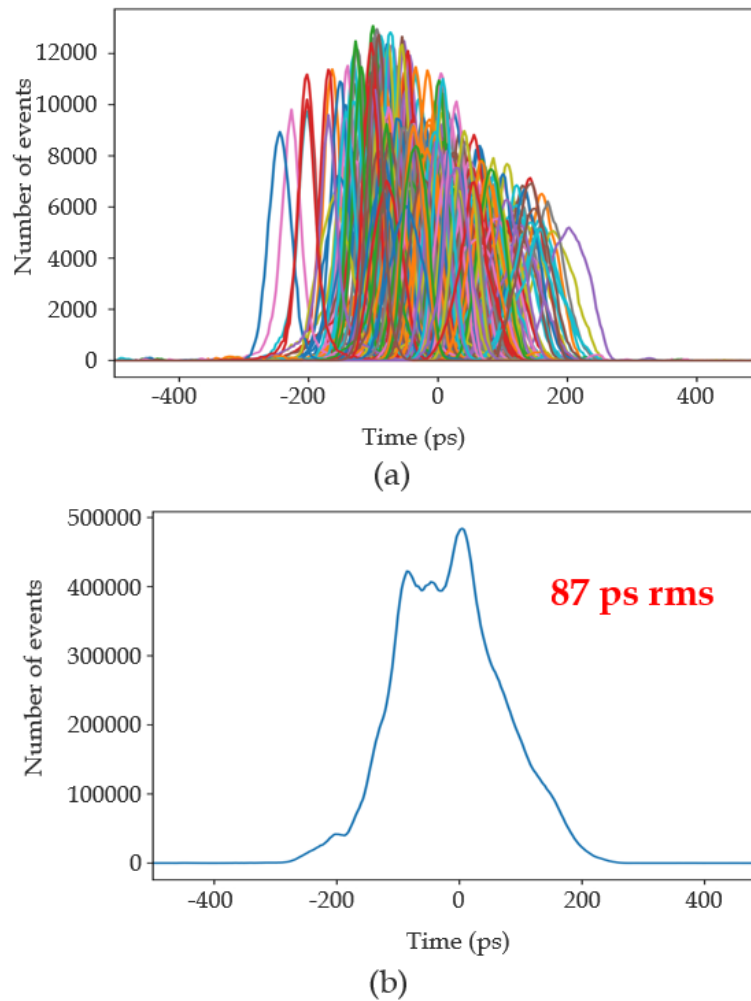


Figure 5.11 (a) Histograms of the measured timestamps for each pixel. The width of the histograms represents the timing jitter and the average position corresponds to the skew of each pixel. (b) Without the knowledge of which pixel is triggered, the measured timestamps would have a very wide distribution with 87 ps RMS jitter.

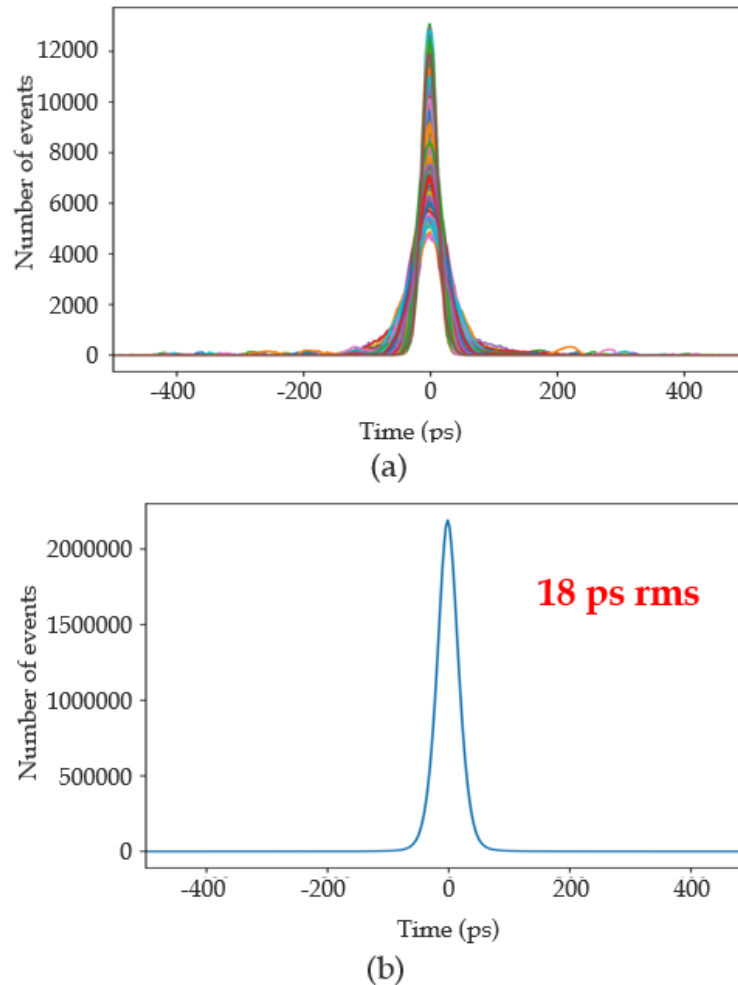


Figure 5.12 (a) Individual pixel timing jitter after correction of the skew. Each histogram represents the timing jitter of a single pixel and is centered at its skew value, which should be close to 0. (b) The array timing jitter is the combination of all the pixels and the corrected skew. The array timing jitter is 18 ps RMS with the correction applied.

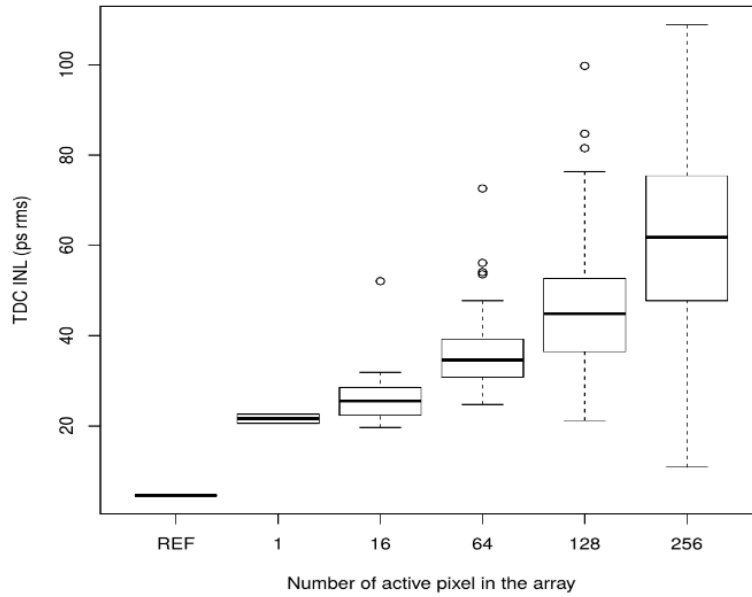


Figure 5.13 TDC INL in ps RMS as a function of the number of activated TDC as compared to the reference TDC [125]. The x-axis is in logarithmic scale, the bold bar marks the median and the box contains half of the records.

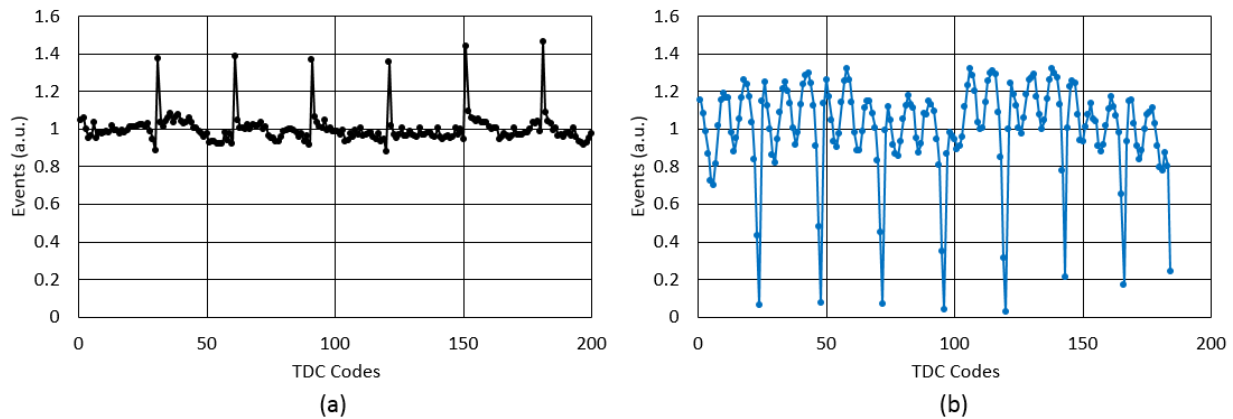


Figure 5.14 (a) DNL of the reference TDC [125]. Each peak represents the overlap between each coarse cycle. (b) DNL of one of the pixels of the array where one can observe an oscillation. This oscillation is caused by the main clock of the ASIC.

can not be shown as a function of the LSB. Instead, the INL is shown in terms of its time value. Figure 5.13 shows the TDC INL as a function of the number of activated TDC in the array. Each box plot represents the distribution of the INL of the activated TDCs. Five TDCs were activated individually to measure the single TDC box plot. The reference point is from a previous paper on this TDC architecture [125].

Figure 5.13 shows two important factors in the TDC array INL. First, even when only one TDC is activated, there is a notable difference in linearity compared to the reference TDC. Second, similarly to the added jitter in section B, the number of active TDC directly impacts the characteristic of the TDC caused by the increasing noise between the pixel through common nodes such as the power supply or the voltage control. Also, if the timing jitter increases, the linearity of the Vernier architecture will degrade since the jitter modify the number of TDC code possible.

Figure 5.14 (a) shows the reference TDC to observe if the array integration has an impact [125]. In the reference TDC, there is a DNL peak value at each coarse cycle of the TDC, this is inherent to the single stage Vernier architecture. The same phenomenon can be observed for the measured TDC (Figure 5.14 (b)). In Figure 5.14 (b), it is possible to observe an oscillation in the value of the LSB which was not measured in the reference TDC. This oscillation is caused by the main clock of the ASIC. The two ring oscillators have a frequency of about 2 GHz, 8 times higher than the clock cycle (250 MHz). This means that the oscillation seen in Figure 5.14 (b) as a cycle of about 8 TDC codes. To validate that it was the clock that created this oscillation in the TDC linearity, the frequency of the clock and the ring oscillators were modified and the oscillation was always the ratio between the two frequencies.

5.2.4 Discussion

The goal of this project is to reach a 4 ps RMS timing jitter for the electronics and the photodetector to eventually obtain a 4 ps RMS CTR in PET. In previous work, we have demonstrated a single pixel of SPAD, QC and TDC can reach 17.5 ps FWHM (about 7.5 ps RMS) and the electronics (QC and TDC) can reach 7 ps RMS [99]. In this work, the results show that a timing jitter of 18 ps RMS is achieved for the whole SPAD array electronics. This raises the question : What improvement must be made to reach a 4 ps RMS timing jitter, in particular in the electronic readout ?

The first limiting factor in the current ASIC is the common mode noise between the TDC that floors the TDC jitter to about 13 ps RMS. The noise induced jitter is related to the number of TDCs in the array. By reducing the number of TDCs in the array at 64

for example, it is possible to reduce the noise induced jitter to about 4 ps RMS. But, will reducing the number of TDC impact the array jitter (pixel skew) and will it have an impact on coincidence timing resolution (CTR) ?

In regard of the CTR, a study [139] shows that with LYSO scintillators, as low as 4 TDC is enough to obtain the best CTR and as low as 25 to obtain the best CTR with prompt photons. It is possible to lower the number of TDC as long as the first photons are detected and timestamped and the jitter is not degraded by reducing the number of TDC. Minimizing the number of TDC without degrading the jitter is a challenge that requires the design and implementation of new circuits in the architecture.

If 1 TDC per X SPAD is implemented, we can correct for the skew at the TDC level (TDC and clock distribution skew). But if we do this, the skew contribution of the SPAD, QC and the routing of the TDC is not corrected. To correct at this level, one requires the address of the pixel that triggered the TDC. To this end, we propose to use an arbiter circuit that will determine which QC triggered the TDC and correct for each single SPAD [113]. Using the arbiter circuit it will be possible to still know the address and apply skew correction. The lower the amount of input in the arbiter, the better the precision (difference in time of arrival at the input) on which QC triggered the arbiter first. This will limit the number of SPAD one can connect to the arbiter to keep the precision of the arbiter below 4 ps.

A second contribution that can be minimized by reducing the number of TDCs is the LSB variation between pixel. As stated in the results, the mismatch between the TDC's oscillators and the voltage control followers cause an LSB spread of 72 ps peak-to-peak. By reducing the number of TDCs, the free area could be used to increase the size of the voltage followers (Figure 5.3) and the oscillators to minimize the mismatch. Using simulations, it was possible to reduce the LSB spread from 72 ps peak-to-peak to about 10 ps peak-to-peak with minimal modifications to the architecture by increasing the size of the transistors used. To determine the achievable improvement on the jitter, the ASIC was configured to enable only 64 TDCs at the same time. The TDCs that were activated were chosen to obtain an LSB variation distribution of 20 ps peak-to-peak (twice the simulated value) to show what could be obtained with these modifications.

Figure 5.15 shows the comparison of the jitter per pixel as a function of the TDC LSB for the original 256 pixels presented in Figure 5.10 and the selected 64 TDCs of the test configuration, showing the reduced LSB variation and reduced common mode noise.

By minimizing the LSB variation, even at an LSB variation of 20 ps peak-to-peak, it is possible to configure the TDC at its optimal TDC LSB (around 15 ps for this architecture)

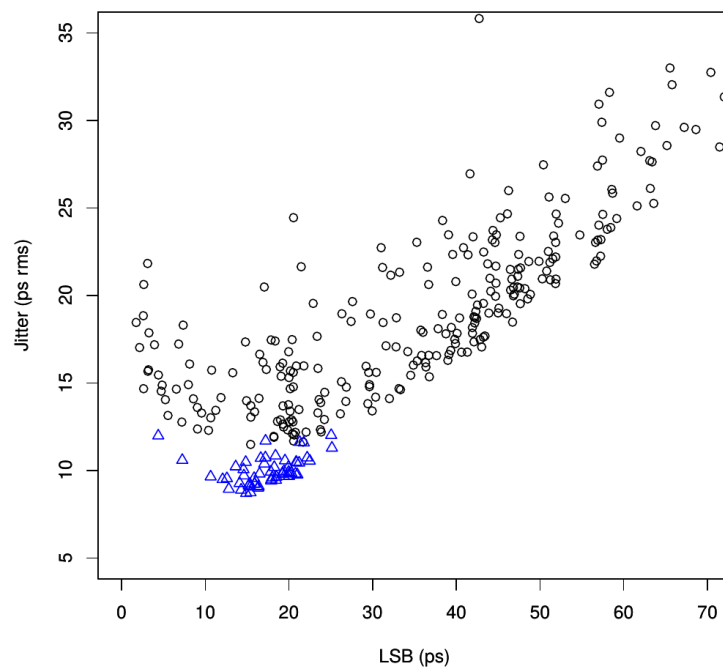


Figure 5.15 TDC jitter as a function of the TDC LSB for two different configurations. The black circle represents the pixel when all 256 are activated (as presented in Figure 5.10) The blue triangles represent each pixel when only 1 TDC per 4 pixels were activated.

to obtain the lowest jitter (around 8 ps). Between an LSB of 4 ps and 25 ps, the jitter varies between 8.7 and 12 ps. Figure 5.15 also shows the impact of reducing the number of TDCs on the common mode noise. The TDC jitter floor improves from 11 ps to 8 ps for an LSB of 15 ps. Also, the jitter dispersion for a fixed TDC LSB is improved. After reducing the array contribution, optimization of the TDC base jitter must be done by improving the cycle-to-cycle jitter of the ring oscillators.

After improving the timing jitter, the TDC linearity throughout the array must be improved and corrected. First, similarly to the timing jitter, by reducing the number of TDC in the array is it possible to minimize the non-linearity caused by the noise. But the main problem remains and a better isolation from the main aggressor (the system clock) must be implemented. To reduce its impact, two solutions are proposed. First, the clock was designed to obtain a 20 ps RMS skew on all its gate which provokes a peak current every 4 ns. The system clock must be spread out over the 4 ns period to minimize the peak current thus minimizing the variation on the power supplies. Second, since most of the clocked cells are within the memory block of the uniformity correction module, this section must be clock gated to minimize the power consumption at every clock cycle to minimize the peak current. The clock should be enabled only during the readout deadtime to protect against sudden current change when it is re-enabled.

As stated in the architecture section, the TDC LSB is set by four voltage controls set by external digital-to-analog converters (DACs). This configuration allows for good timing resolution measurements but the TDC ring oscillator can be impacted by temperature and supply voltage variation [125]. To minimize the impact of these variations, a dual phase-locked loop (PLL) system was integrated in the ASIC. An analog MUX allowed to switch between the DACs and the PLL to control the TDC LSB. Each PLL act as a feedback to each TDC ring oscillator to control their respective frequencies. Each PLL is referenced by a programmable oscillator on the PCB allowing to adjust the TDC LSB. Using the same ring oscillator in the TDC and the PLL, the dual system is able to compensate for the temperature and supply voltage variation. The PLL was characterized and while functional, its cycle-to-cycle jitter was too high (about 50 ps RMS) for the 4 ps RMS goal. This high timing jitter prevented the use of the PLL to control the TDC since it set the baseline for the TDC timing jitter. The PLL architecture will be corrected in the next ASIC.

One of the challenges of integrating 1 TDC per pixel is the data throughput required to use all the timing information in an FPGA. One of the solutions is to implement an embedded digital signal processing that could provide 1 timestamp for the whole event, combining

the information of all pixels, and the energy measured by either counting the number of photons or using the timing information [144]. An algorithm such as the best linear unbiased estimator (BLUE) would provide the best timing information considering the ease of implementation. To integrate such an estimator, other modules must be integrated in order to perform the estimation with the raw data. The first modules are a time conversion and uniformity correction and are presented in this paper. Since every TDC has different LSB, the estimation must be done on time based timestamp. The second is a sorting module to identify the first few timestamp of the array to be used in the estimator and third is a dark count filter module to remove the dark counts before a PET event. These modules have been integrated in the ASIC and are the object of another dedicated paper. Integrating a time estimator in the array improves the maximum even rate from about 15 kevents/s to 500 kevents/s with improved timing resolution for a $1.1 \times 1.1 \text{ mm}^2$ SPAD array.

5.2.5 Conclusion

This paper presents the CMOS readout ASIC of a 3D digital SiPM composed of 256 pixels integrated in TSMC CMOS 65 nm technology. The array has been designed to optimize the SPTR of the array. The array electronic timing jitter has many contributions and each circuit must be optimized to reach the 4 ps RMS goal.

First, the single pixel jitter is about 8 ps RMS for a TDC LSB between 10 and 20 ps. This jitter is the baseline for the array SPTR. Second, the array configuration of the electronics brings added timing jitter contributions. First, the timing jitter is degraded by common mode noise from other pixels and brings the single pixel timing jitter between 11 and 22 ps RMS (with a median at 15 ps RMS). Second, the mismatch between the pixels degrade further the timing jitter between 11 and 36 ps RMS. The skew could worsen the jitter, but a calibration routine brings down the skew contributions below 1 ps RMS. These contributions bring the whole electronics jitter to 18 ps RMS.

We have thoroughly investigated the origin of the jitter and have identified potential solutions. In the next chip generation, the number of TDC will be reduced to 1 TDC per 4 SPAD. By reducing the number of TDC, the jitter induced by the common mode noise will be reduced below 4 ps. The freed space will be used to increase the size of the voltage follower to reduce the mismatch between the pixel to obtain a better uniformity within the array. To be able to reduce the number of TDC and keep the skew correction, an arbiter to determine which QC triggers the TDC will be implemented.

In conclusion, we have demonstrated that the proposed architecture already offers less than 20 ps RMS jitter. Finally, note that the 3D integration process to produce a fully functional 3DdSiPM is underway and will be reported elsewhere.

5.3 Compléments sur l'article

Le circuit a été réalisé en collaboration avec deux autres étudiants, Frédéric Dubois et William Lemaire. Dans l'ASIC, un circuit de lecture à étampes temporelles multiples afin de discriminer et combiner de l'information pour améliorer les performances temporelles a également été implémenté. Pour plus de détails sur ce circuit, référez-vous au mémoire de William Lemaire [69] ainsi qu'aux deux articles dédiés à ce sujet [72, 73].

Suite à l'article sur l'électronique de lecture du convertisseur photon-numérique, des recommandations émergent pour le prochain circuit intégré afin d'améliorer ses performances. Ces recommandations complètent la section *Discussion* de l'article.

Recommandation : Implementer 1 TDC pour 4 SPAD avec un arbitre

Avantages :

- Réduire le bruit en mode commun sur les noeuds de tension DC commun (tension d'alimentation et tension de contrôle des oscillateurs) pour réduire la gigue temporelle.
- Réduire la consommation de puissance d'un facteur 4.
- En réduisant le nombre de TDC par un facteur 4 [142], l'espace physique utilisé pour les TDC est minimisé. Il est possible de réutiliser cet espace pour augmenter la taille des transistors et ainsi réduire le mésappariement entre les oscillateurs pour réduire la variation de LSB entre les TDC. Il est également possible d'utiliser cet espace pour implémenter un circuit de calibration (ex : PLL)

Conditions :

- Ajouter un arbitre [113] permettant de déterminer quel SPAD a déclenché le TDC afin de pouvoir corriger le délai de propagation associé au bon SPAD, ce qui n'a pas été considéré dans [142].
- Utiliser le simulateur développé par Audrey Corbeil Therrien pour valider que la taille des SPADs et le nombre de TDC utilisés permettent d'atteindre les spécifications temporelles voulues [33, 34].

Recommandation : Disperser le temps de propagation de l'arbre d'horloge dans l'ordre de la nanoseconde

Dans l'implémentation courante de la matrice de circuit de lecture, le signal d'horloge arrive à tous les circuits synchrones à l'intérieur de quelques dizaines de picosecondes. Ceci a pour impact d'avoir une consommation de puissance crête très élevée à toutes les 4 ns (période de l'horloge). Cet impact peut être observé sur la linéarité des TDCs

(Figure 5.14). En dispersant le temps de propagation, on disperse la consommation crête et ainsi on diminue son impact.

Avantages :

- Réduire le bruit corrélé de l'horloge sur les TDC pour minimiser l'impact sur la gigue temporelle, la linéarité due à la consommation de puissance crête.

Conditions :

- Respecter les contraintes temporelles des circuits numériques pour éviter les erreurs de métastabilité des bascules.
- Ajuster les plages de corrections numériques dans le circuit *uniformity correction* pour corriger la dispersion du temps de propagation de chaque pixel.

Recommandation : Ajouter le masquage d'horloge (*clock gating*) pour le circuit de lecture matricielle

Avantages :

- Réduire le bruit corrélé de l'horloge sur les TDC pour minimiser l'impact sur la gigue temporelle, la linéarité due à la consommation de puissance crête.
- Réduire la consommation de puissance des circuits numériques.

Conditions :

- Respecter les contraintes temporelles des circuits numériques pour éviter les erreurs de métastabilité des bascules causées par l'ajout du masquage d'horloge.

Recommandation : Modifier la correction de linéarité dans l'ASIC

La correction de linéarité est basée sur deux pentes linéaires (une pour les codes grossiers et une pour les codes fins). Cela ne permet pas de corriger toutes les non-linéarités causées par les effets matriciels.

Avantages :

- Obtenir une meilleure linéarité corrigée dans l'ASIC pour améliorer les performances temporelles du traitement numérique.

Conditions :

- Déterminer une méthode plus efficace pour corriger la linéarité. Par exemple, il est possible d'ajouter un décalage (offset) pour chaque valeur de code grossier. Cela permet de corriger la contribution des variations de l'oscillateur simple associé principalement au bruit corrélé de l'horloge. Il est également possible d'ajouter un décalage (offset) sur chaque pente pour améliorer ces performances. Il existe plusieurs autres solutions qui devront être étudiées plus en détail.
-

- Les solutions nécessitent plus de mémoire dans l'ASIC (et donc plus d'espace physique) pour effectuer la correction. Les solutions proposées au point précédent nécessitent un espace réaliste pour une implémentation dans le prochain ASIC.

5.3.1 Circuit de filtrage du bruit d'obscurité

Tel que présenté dans la Figure 5.4 ainsi que la section *Array Readout* du présent article, un circuit de filtrage de bruit d'obscurité a été implémenté dans le circuit de lecture par événement. Le bruit d'obscurité déclenche les SPAD ce qui crée un temps mort pour le TDC. Afin d'éviter que les TDC ne soient pas disponibles pour mesurer le temps d'arrivée des premiers photons d'un événement TEP, une fenêtre de temps programmable est activée lorsqu'un SPAD est déclenché afin de discriminer un DCR d'un événement TEP. Le circuit de filtrage observe s'il y a suffisamment de colonnes de SPAD ayant fait feu à l'intérieur de la fenêtre de temps programmable. Advenant l'affirmative, chaque TDC associé à un SPAD déclenché fournit une étampe de temps, sinon les circuits sont réinitialisés pour attendre le prochain événement (Figure 5.4).

Puisque les 16 SPAD de test intégrés à la matrice sont placés sur une colonne, une séquence de validation a été élaborée en utilisant les SPADs et un signal externe agissant à titre d'événement valide. Pour le test, le seuil a été configuré à 2 colonnes. Le circuit de filtrage valide donc qu'à l'intérieur d'une fenêtre de 24 ns (le délai de 6 cycles d'horloge) le nombre de colonnes ayant reçu un événement est supérieur à deux. Pour ce test, le signal d'événement valide sera un signal corrélé à l'horloge de l'ASIC. Ce signal est dérivé du signal d'horloge à un taux de répétition de 10 000 événements par secondes (pour avoir un taux similaire aux événements TEP). On utilise un signal corrélé au signal d'horloge puisqu'il est possible de l'observer en effectuant un histogramme de densité de codes. Un signal corrélé donne toujours le même code de TDC en sortie (plus ou moins la gigue temporelle). Cette validation tente de le discriminer du signal provenant du DCR des SPADs (signal non-corrélé).

Pour observer le résultat en sortie, un graphique de densité de code du TDC est effectué. Si le circuit de filtrage de bruit d'obscurité n'est pas activé, le signal corrélé ne devrait pas être observable à l'intérieur de l'historgramme des codes de TDC puisque le taux de signal non-corrélé est beaucoup plus élevé que le signal corrélé.

Pour faire le test, les 16 SPAD étaient activés et possédaient un taux de comptage individuel d'environ 1 million d'événements par seconde pour un total de 16 millions d'événements par seconde. Puisque ces 16 SPAD sont tous dans la même colonne, ils ne peuvent donc pas déclencher de lecture si le circuit de filtrage est activé et qu'il n'y a pas d'autre

signal présent dans une autre colonne. Le signal corrélé est propagé à la colonne possédant des SPAD ainsi qu'à une seconde colonne de la matrice via l'entrée *External Trigger* (Figure 5.1). Puisque le DCR et le signal corrélé peuvent déclencher le même TDC, le premier signal qui arrive déclenche le TDC.

Si le circuit de filtrage de bruit est activé, la contribution en taux d'événements du signal non-corrélé par rapport au signal corrélé peut être évaluée. Puisque la fenêtre n'est pas infiniment petite, il y aura un résidu de bruit d'obscurité en fonction du taux d'événements non-corrélé par rapport au signal corrélé. Ce résidu dépend de la largeur de la fenêtre de discrimination, et du taux de comptes des événements corrélés et non-corrélés. Ce résidu de bruit d'obscurité peut-être décrit selon l'équation 5.1 et résolu à l'aide des paramètres suivants :

- La fenêtre de discrimination est de 24 ns
- Le taux de compte non-corrélé est de 16 Mévénements/s
- Taux de compte corrélé est de 10 kévénements/s

$$DCR_{Residuel} = Fenetre \times taux_{corrélé} \times taux_{noncorrélé} \quad (5.1)$$

$$DCR_{Residuel} = (24E-9s \times 10k/s) \times 16 \text{ Mévénements/s}$$

$$DCR_{Residuel} = 3\,840 \text{ événements/s}$$

Considérant ces valeurs, le taux de comptage en sortie du discriminateur devrait être environ 10 000 événements corrélés et 3 840 événements non-corrélés. Cela représente un taux de 27% d'événements non-corrélés transmis. Si le circuit de filtrage de bruit d'obscurité est parfait, on devrait obtenir en mesure ce taux de 27% d'événements indésirés. Si on souhaitait réduire cette valeur, il faudrait réduire le DCR.

À la Figure 5.16 (a), on observe un histogramme de densité de code standard sur lequel on ne peut distinguer un signal corrélé puisque le circuit de filtrage de bruit d'obscurité n'est pas activé. En (b), le circuit de filtrage est activé et le signal corrélé représente 70% des codes reçus malgré qu'il ne représente que 1% du signal reçu. Cela signifie donc que 30% du signal reçu est non-corrélé, ce qui correspond au 27% évalué précédemment. La différence entre les deux valeurs provient de l'estimation du calcul de l'équation 5.1 qui ne prend pas en compte la distribution poissonnienne en temps de l'arrivée du DCR ainsi que l'erreur sur la valeur exacte du DCR des SPAD. À noter que chaque histogramme possède

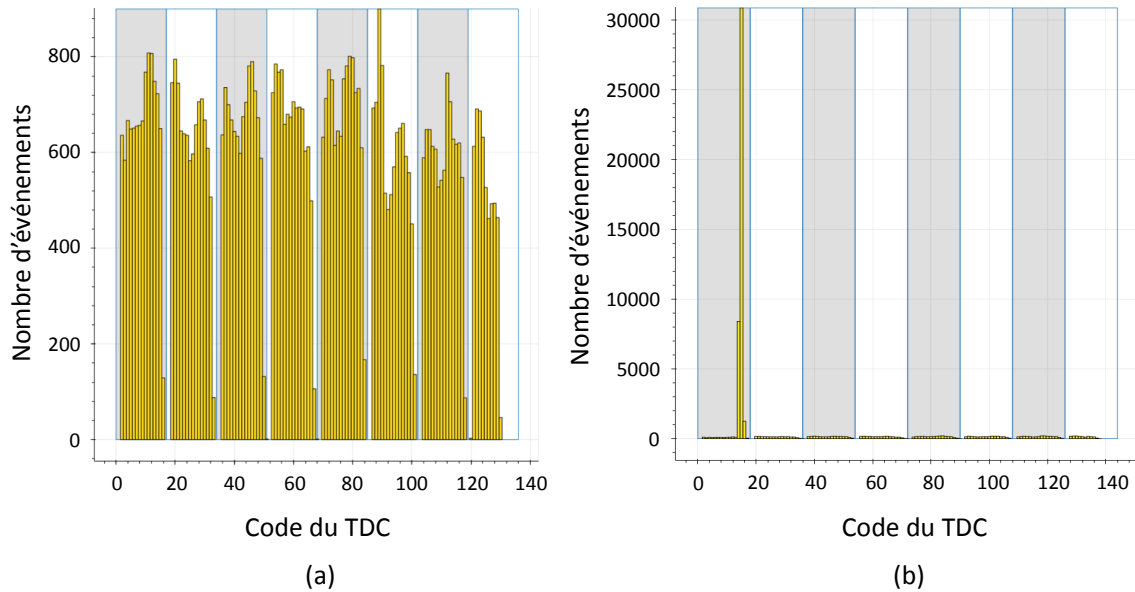


Figure 5.16 Code du TDC d'un pixel possédant un SPAD activé pour obtenir 1 Mcps de bruit d'obscurité ainsi qu'un signal corrélé de 10 kcps envoyé à ce SPAD et un second TDC pour activer le circuit de filtrage de bruit d'obscurité. En (a), un histogramme standard de densité de codes sur lequel on ne peut distinguer un signal corrélé. En (b), le signal corrélé est distinguable (code 14 du TDC) et celui-ci représente 70% des codes reçus malgré qu'il ne représente que 1% du signal reçu.

la même quantité d'événements, mais leur distribution fait en sorte que l'histogramme en (b) possède une valeur maximale beaucoup plus élevée que l'histogramme en (a). Le circuit de filtrage fonctionne et permet d'éliminer le bruit non-corrélé et minimiser l'impact sur les circuits de lecture de la matrice.

5.3.2 Analyse de la variation du LSB des TDC en matrice

Tel que décrit dans la section *TDC LSB uniformity* de l'article, le LSB des TDC varie significativement dans la matrice. Cette section décrit plus en détail les composants contribuant à cette variation et propose des solutions pour minimiser leurs impacts. La matrice évaluée possède 4 tensions de contrôle communes et celles-ci dictent la période des oscillateurs, et donc le LSB du TDC. Dans un monde idéal, deux considérations seraient atteintes : 1) tous les oscillateurs recevraient exactement les mêmes 4 tensions de contrôle et 2) tous les oscillateurs posséderaient exactement la même période lorsqu'ils reçoivent ces mêmes tensions de contrôle. La réalité est différente, des disparités existent au niveau des oscillateurs et des amplificateurs suiveurs et elles doivent être minimisées.

Tout d'abord, analysons les résultats obtenus avec l'ASIC soumis et comparons les simulations avec les résultats mesurés. Le Tableau 5.1 présente les résultats de la variation du LSB selon 4 cas différents pour isoler les contributions. Lorsque soumis à une configuration identique, les résultats simulés et mesurés du LSB sont dans le même ordre de grandeur, soit un écart maximal d'environ 70 ps pour une moyenne d'environ 35 ps. Deux autres cas sont également présentés, soit lorsque le mésappariement n'affecte que les amplificateurs ou les oscillateurs (également représenté à la Figure 5.17).

Tableau 5.1 Mesure et simulation sur la variation du LSB des TDC en matrice

Variation du LSB (ps)	Moyenne	Écart type	Min	Max	Écart max
Mesurée mésappariement total	35	17	2	76	74
Simulée mésappariement total	32	11	3	69	66
Simulée mésappariement des amplificateurs	32	10.7	5	66	61
Simulée mésappariement des oscillateurs	32	3	22	40	18

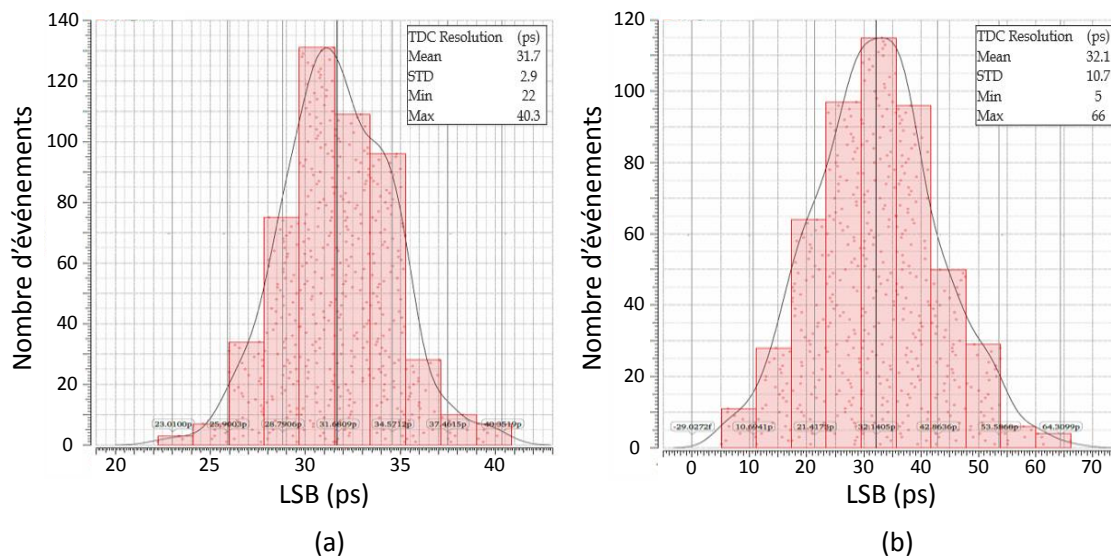


Figure 5.17 Simulation de la variation du LSB du TDC en fonction du (a) mésappariement des oscillateurs seulement et (b) du mésappariement des amplificateurs suiveurs seulement.

Cette information nous indique que la contribution majeure actuelle provient des amplificateurs suiveurs qui servent à isoler les tensions de contrôle pour chaque oscillateur puisque son écart maximal est à 61 ps comparativement à 18 ps pour les oscillateurs seuls. Ceci

représente un défi d'optimisation afin de minimiser le décalage systématique en entrée afin que la tension en sortie du suiveur soit égale à l'entrée. Il faut donc augmenter la taille des transistors critiques pour réduire ce décalage sous 1 mV. De plus, il faudra éventuellement modifier l'architecture de contrôle des TDC si l'on souhaite n'avoir aucune variation inter-pixel du LSB. Une solution est proposée dans le prochain chapitre à la section 6.8.4.

Le second maillon faible qu'on peut identifier avec le tableau est que le LSB des TDC varie jusqu'à 18 ps (lorsque le LSB est centré à 32 ps) malgré que la même tension de contrôle est appliquée aux oscillateurs. Afin de réduire le mésappariement entre les oscillateurs, des simulations Monte Carlo ont été effectuées pour voir l'impact d'augmenter la taille des transistors individuels et deux tableaux de résultats en découlent : le Tableau 5.2 présente la période minimale de l'oscillateur pour différents *corners* et le Tableau 5.3 présente la variation du LSB en fonction de la taille. Il est important de valider la période minimale de l'oscillateur puisque celui-ci doit atteindre 500 ps et 490 ps dans tous les *corners* pour que le TDC puisse obtenir un LSB de 10 ps.

Tableau 5.2 Simulation - Période minimum des oscillateurs en fonction de la taille des transistors composant les inverseurs

Taille des transistors de l'inverseur	Période minimum (ps)				
	TT	SS	FS	SF	FF
Taille originale ($15 \cdot W_{\min} / 2 \cdot L_{\min}$)	382	441	386	379	332
Taille originale * 2 ($30 \cdot W_{\min} / 2 \cdot L_{\min}$)	394	452	397	390	345
Taille originale * 4 ($60 \cdot W_{\min} / 2 \cdot L_{\min}$)	449	510	452	445	398

Les simulations montrent bien que l'augmentation de la taille des transistors est limitée à $\times 4$ la taille originale puisque l'oscillateur possède une période de 510 ps (Tableau 5.2) dans le *corner* SS (*slow-slow*). Le Tableau 5.3 présente l'amélioration de la variation du LSB pour les différentes tailles. L'écart maximal de la variation du LSB passe de 24.5 ps crête à 9.8 ps crête en augmentant la taille d'un facteur 4.

Tableau 5.3 Simulation sur la variation du LSB des TDC en matrice

Taille des transistors de l'inverseur	Variation du LSB (ps)				
	Moyenne	Écart type	Min	Max	Écart max
Taille originale ($15 \cdot W_{\min} / 2 \cdot L_{\min}$)	20,3	3,99	8,9	33,4	24,5
Taille originale * 2 ($30 \cdot W_{\min} / 2 \cdot L_{\min}$)	21	2,6	13	30	17
Taille originale * 4 ($60 \cdot W_{\min} / 2 \cdot L_{\min}$)	20,3	1,5	14,8	24,6	9,8

Cette constatation apporte des questions fondamentales par rapport à l'architecture : est-ce vraiment possible de ramener cette différence à 0 ? Est-ce qu'une tension commune est

une option viable lorsqu'on souhaite atteindre 10 ps LMH et donc un LSB de 5 ps. En considérant une variation de 9.8 ps maximum, il n'est pas réaliste d'avoir une seule tension de contrôle pour tous les TDC si on souhaite avoir un LSB moyenne de 5 ps. Une nouvelle solution doit être envisagée et elle sera présentée lors du prochain chapitre à la section 6.8.4

5.4 Conclusion

Cet article décrit la conception d'un circuit de lecture de matrice de SPAD. Le circuit a été fabriqué en CMOS 65 nm et a permis d'identifier et de quantifier les différentes contributions matricielles à la gigue temporelle. Ce chapitre permet de répondre à la question suivante :

Quelles sont les contributions matricielles externes à la cellule unitaire (SPAD, circuit d'étouffement, TDC) à la gigue temporelle et comment les réduire ?

L'électronique de lecture du convertisseur photon-numérique conçu possède trois contributions matricielles : la variation de délai de pixel-à-pixel, le bruit en mode commun sur les tensions d'alimentation et les tensions de contrôle et la non-uniformité du LSB de pixel-à-pixel. La variation de délai de pixel-à-pixel est une contribution majeure dans les SiPM analogiques. La Figure 5.11 permet de bien montrer l'impact de cette variation. L'écart maximal est de l'ordre de 400 ps ce qui dégrade la gigue temporelle à 87 ps RMS. L'article explique qu'il est possible de mesurer, calibrer et corriger ces variations de délais et de ramener son impact à 0 ps. Cette contribution est donc corrigeable tant que l'on connaît quel SPAD a été déclenché.

Le bruit en mode commun sur les tensions d'alimentation et les tensions de contrôle provoque une seconde contribution matricielle lorsque les TDC sont intégrés dans une matrice. Lorsqu'on opère seulement un TDC à la fois dans la matrice, le TDC devrait atteindre environ 6 ps RMS pour un LSB de 15 ps. Pourtant, la meilleure gigue temporelle atteignable est de 8 ps RMS. Cela signifie que le bruit des circuits numériques ajoute un plancher de gigue temporelle à tous les circuits. De plus, comme la Figure 5.8 le montre, le nombre de TDC actifs fait augmenter significativement la gigue temporelle. Lorsque les 256 TDC actifs sont déclenchés en même temps, le bruit ajoute 13 ps RMS à la gigue temporelle (pour un total de 15 ps RMS), empêchant l'atteinte d'une gigue temporelle de 4 ps RMS. Par contre, si seulement 64 TDC sont actifs dans le pixel, la contribution du bruit est de 4 ps RMS, une valeur plus raisonnable pour l'objectif de 4 ps RMS. Le principal agresseur qui provient des circuits numériques est le signal d'horloge. Tel que recommandé dans la section 5.3, il faut disperser le signal d'horloge sur 1 ns et ajouter

le masquage d'horloge pour réduire son impact lors d'une mesure. Comme le montre la Figure 5.15, il a été possible de réduire la gigue temporelle de 18 ps RMS à 10 ps RMS en diminuant le nombre de TDC de 256 à 64. En améliorant l'isolation du bruit d'alimentation et sur le noeud de contrôle des TDC, il devrait être possible d'obtenir 4 ps RMS dans une prochaine révision du circuit.

La dernière contribution est la non-uniformité du LSB entre chaque TDC. Tel que présenté, même en augmentant au maximum la taille des oscillateurs pour que leur point d'opération reste valide, une variation du LSB est toujours présente. La question se pose, est-ce possible d'avoir un seul point de contrôle pour l'ensemble des oscillateurs? Est-ce qu'on doit plutôt calibrer individuellement les tensions de contrôle de chaque oscillateur? Le prochain chapitre propose un circuit d'asservissement pour les TDC et dans la section discussion, une nouvelle architecture est proposée pour contrôler individuellement chaque TDC et résoudre cette non-uniformité du LSB pixel-à-pixel.

CHAPITRE 6

Boucles à verrouillage de phase (PLL) pour calibrer le TDC

6.1 Introduction

Le chapitre sur l'intégration matricielle n'a pas permis de résoudre le problème de la non-uniformité du LSB des pixels et ce chapitre abordera une solution pour y arriver. Une grande interrogation quant aux performances temporelles de notre circuit de lecture concerne la stabilité face aux variations de procédé, de température et de tension d'alimentation (PVT). Ce chapitre vise à discuter et à répondre aux questions suivantes :

- Comment gérer l'impact des variations de tension d'alimentations et de température sur la précision temporelle du détecteur complet ?
- Quelles sont les contributions matricielles externes à la cellule unitaire (SPAD, circuit d'étouffement, TDC) à la gigue temporelle et comment les réduire ?

Ce chapitre introduit un circuit basé sur deux boucles à verrouillage de phase (Phase-locked loop - PLL) afin de contrôler les performances des oscillateurs présents dans le TDC pour en stabiliser les performances en fonction de la température et de la tension d'alimentation. Ces résultats proviennent du circuit intégré *ICSSHSR4* (Figure 5.2).

Le circuit qu'on souhaite améliorer est le TDC Vernier développé par Roy [125] composé de deux anneaux oscillants. Dans cette architecture, le LSB du TDC est définie par la différence entre la période de chaque anneau oscillant. Dans la version précédente, les anneaux oscillants étaient contrôlés par des convertisseurs numérique-analogique (*Digital-to-analog converter (DAC)*) tels que présentés à la Figure 6.1. Pour fixer la période, la tension provenant du DAC est envoyée aux inverseurs appauvris en courant. Les transistors M_1 et M_4 composent l'inverseur et les transistors M_2 et M_3 contrôlent le courant, fixant le délai de propagation de l'inverseur par les tensions V_p et V_n . Une tension constante est appliquée afin d'obtenir une période fixe. Par contre, puisqu'une variation de la température ou de la tension d'alimentation ont un impact sur le délai de propagation de l'inverseur, la période de l'oscillateur est susceptible de varier. L'étude faite par Roy [125] montre que les anneaux oscillants de l'architecture Vernier développée possèdent une dépendance aux variations de

température (0,7 ps/°C) et de tension d'alimentation (0,5 ps/mV). Pour compenser cette variation, un circuit de rétroaction devrait être ajouté pour ajuster conséquemment les tensions de contrôle (V_p et V_n) pour obtenir une période fixe.

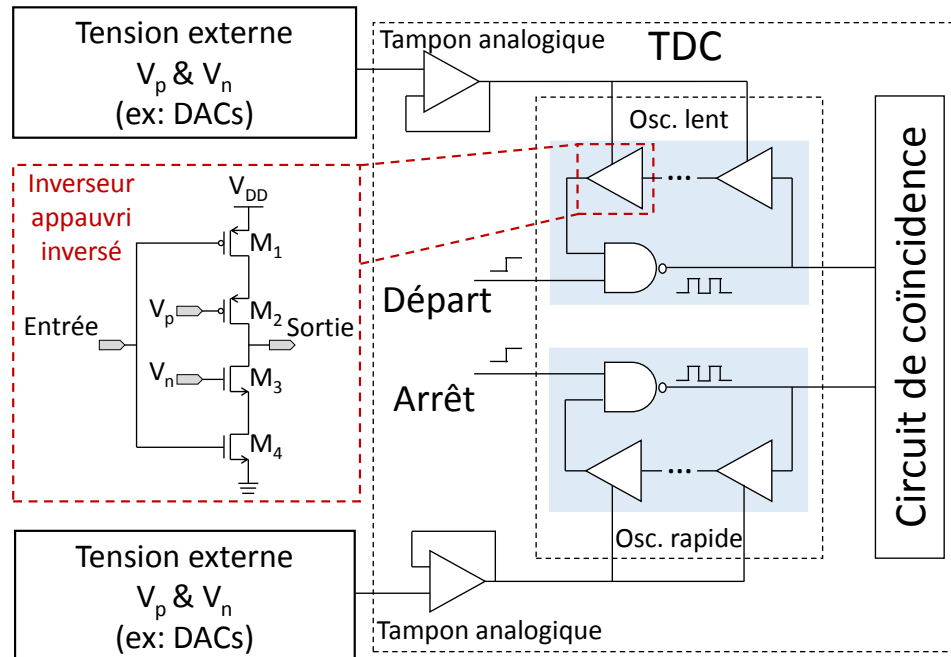


Figure 6.1 Schéma électronique simplifié du TDC. L'anneau oscillant est composé de plusieurs inverseurs contrôlés par des tensions externes. Chaque inverseur est composé de 4 transistors. Les transistors M_1 et M_4 composent l'inverseur et les transistors M_2 et M_3 sont les transistors qui contrôlent le courant qui fixe le délai de propagation de l'inverseur.

La première solution étudiée consiste en la conception d'une boucle de rétroaction avec les éléments déjà en place, soit le TDC et le DAC à l'externe du circuit intégré. Pour faire une boucle de rétroaction, il faut d'abord mesurer les caractéristiques du TDC à l'aide d'un histogramme de densité de code [100, 125]. Cet histogramme permet de déterminer le LSB du TDC au point d'opération courant (température et tension d'alimentation). Ensuite, la tension de contrôle est ajustée à l'aide du DAC et un nouvel histogramme de densité de code est produit afin de déterminer la nouvelle valeur du LSB du TDC. Basé sur des mesures effectuées avec la matrice développée au chapitre 5, il faut environ 17 secondes pour compléter une itération de rétroaction sur une matrice de 64 TDC Vernier. Puisqu'il faut effectuer plusieurs fois la boucle de rétroaction pour le LSB voulue, cette boucle de rétroaction est exigeante en temps. En TEP, elle pourrait donc être effectuée avant d'effectuer une acquisition. Par contre, puisque le détecteur sera en temps mort pendant une calibration, il ne sera pas possible de calibrer pendant une acquisition TEP.

Cela signifie également que ce type de calibration ne peut pas corriger des variations de température ou de tension d'alimentation à l'intérieur de 17 secondes (ou quelques minutes si on considère qu'il faut plusieurs cycles de rétroaction pour bien calibrer le système).

Si on prend en exemple le scanner TEP LabPET II lapin, le scanner possède 50 000 détecteurs [18]. Si chacun de ces détecteurs est composé d'une matrice telle que présentée au chapitre 5, la boucle de rétroaction externe avec des DAC sera très exigeante en ressource, principalement pour construire les histogrammes de densités de codes. Le cas d'utilisation à 17 secondes demandait l'utilisation d'un FPGA et d'un ordinateur. Considérant cela, une méthode sans temps mort, sans utilisation de traitement de signal et interne au circuit intégré serait préférable.

L'état de l'art des oscillateurs propose différentes solutions afin d'atteindre une meilleure immunité aux variations de température et de tension d'alimentation. La première solution est de concevoir un circuit résistant de par son architecture. Il existe quelques exemples dans la littérature, mais celle-ci demande beaucoup plus d'espace pour implémenter le circuit [165] ou beaucoup plus de consommation de puissance [111] que l'architecture utilisée [100]. Ce sont deux critères sur lesquels il n'est pas possible de faire de compromis. Une seconde solution provient d'un autre type de TDC, le TDC à simple anneau oscillant. Pour ce type d'architecture, plusieurs circuits utilisent une boucle à verrouillage de phase (*Phase-locked loop (PLL)*) pour stabiliser la période de l'oscillateur face aux variations de température et de tension d'alimentation [157, 54, 121]. La boucle à verrouillage de phase est un circuit de rétroaction utilisé pour asservir un oscillateur à une fréquence (ou une période) fixe.

Ce chapitre présente un nouveau circuit constitué d'un TDC Vernier à anneaux oscillants et de deux boucles à verrouillage de phase afin d'obtenir un TDC compensé pour les variations de température et de tension d'alimentation. Ce chapitre présente l'architecture ainsi que les résultats de stabilité en température et en tension d'alimentation pour le LSB du TDC et la linéarité. Afin d'évaluer les performances de cette boucle de rétroaction, les résultats en température et tension d'alimentation sont comparés à un TDC possédant un contrôle externe fixe. Cela permet d'évaluer à quel niveau cette nouvelle approche améliore le circuit précédemment conçu.

6.2 Architecture

Le TDC permet de mesurer le temps entre l'arrivée d'un signal de départ (signal provenant du SPAD) et un signal d'arrêt (horloge système) en deux étapes (Figure 2.20) [125, 124, 100]. D'abord, le TDC compte le nombre de cycles de l'oscillateur lent (période de 500 ps)

entre le signal de départ et le signal d'arrêt. Ensuite, la deuxième interpolation se fait à l'aide du second anneau oscillant plus rapide (période de 490 ps) afin d'obtenir un LSB de 10 ps (Eq. 6.1).

$$Resolution_{TDC} = Periode_{Lent} - Periode_{Rapide} \quad (6.1)$$

Deux PLL sont ajoutées au TDC à titre de circuit auxiliaire. Ces deux PLL permettent d'augmenter l'immunité aux variations de température et de tension d'alimentation des oscillateurs Vernier. La PLL se compose de 5 modules principaux (Figure 6.2) : un détecteur phase-fréquence (*Phase frequency detector (PFD)*), une pompe de charge, un filtre de boucle, un anneau oscillant (VCRO) et un diviseur. Le PFD permet de comparer la phase et la fréquence d'une référence externe (un oscillateur très précis intégré sur le PCB) avec la fréquence de l'oscillateur (une fois divisée). Le PFD envoie donc un signal *Haut* ou *Bas* pour augmenter ou réduire la période de l'oscillateur afin qu'il corresponde à la période de la référence externe. Les signaux *Haut* et *Bas* sont envoyés à une pompe de charge, un circuit permettant d'envoyer ou de retirer des charges à la capacité du filtre de boucle. Cette opération ajuste la tension au noeud de contrôle (V_Ctrl) et ainsi modifie la période de l'anneau oscillant. L'oscillateur de la PLL possède une période de 500 ps et a besoin d'une référence égale à un multiple entier de cette période. Le système reçoit déjà une horloge de 4 ns (ou 8×500 ps), donc une référence à 250 MHz est tout indiquée pour contrôler la PLL. Le signal de sortie de l'oscillateur est divisé par un facteur 8 afin d'être à la même période que la référence externe.

En utilisation, lorsque la période du VCRO change dû à une variation de la température ou de la tension d'alimentation, le PFD détecte ce changement de fréquence. Conséquemment, le circuit envoie un signal *Haut* ou *Bas* à la pompe de charge pour qu'elle ajuste la tension du noeud de contrôle, et donc la période du VCRO. Cette opération s'effectue à toutes les périodes du signal de référence (4 ns), ce qui permet de compenser les variations très rapidement.

Par contre, une différence fondamentale existe entre le TDC et la PLL. L'anneau oscillant du TDC doit pouvoir s'arrêter et démarrer en fonction des signaux à mesurer alors que la PLL requiert que le VCRO oscille en permanence pour effectuer la boucle de rétroaction. À cause de cette différence, la PLL inclut une copie de l'anneau oscillant et propage ensuite la tension de contrôle aux deux anneaux oscillants afin qu'ils soient asservis de manière identique (Figure 6.2). Dans cette étude, puisque ces deux anneaux oscillants subissent des variations similaires de température et de tension d'alimentation (ils sont à $50 \mu m$

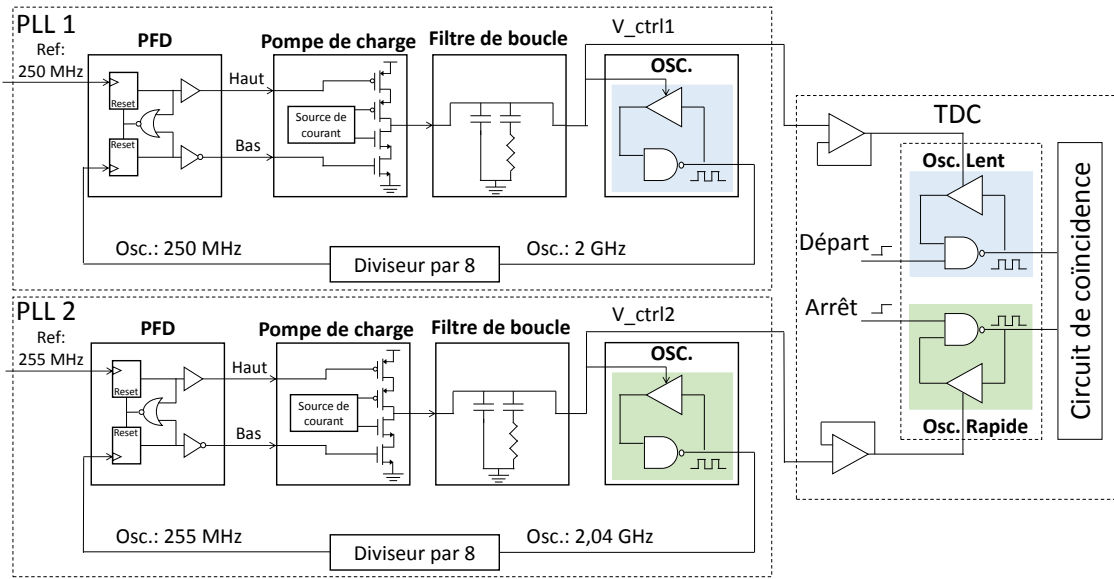


Figure 6.2 Schéma électronique simplifié du circuit TDC contrôlé par deux PLL. Chaque PLL contrôle et asservit une copie de l'oscillateur présent dans le TDC. En utilisant des références externes de 250 MHz et 255 MHz, le TDC possède une période d'oscillateur lent de 500 ps et un LSB de TDC de 10 ps.

de distance à l'intérieur du circuit intégré, voir Figure 6.3), lorsque la PLL corrige la période de son anneau oscillant, elle corrige également celui du TDC. Par contre, lorsque la PLL sera intégrée dans une architecture matricielle, il sera important de considérer le mésappariement du layout de la PLL avec les anneaux oscillants présents dans la matrice. Dans un mode d'opération standard, la sortie de la PLL est la sortie du VCRO. Dans notre cas d'utilisation, la tension V_ctrl est la sortie et donc le noeud critique.

Deux PLL identiques ont été implémentés avec deux références externes distinctes. Cela permet d'utiliser le même circuit, d'avoir un diviseur de fréquence identique et d'avoir des performances similaires pour chaque PLL et donc pour chaque anneau oscillant du TDC. Une autre solution aurait été d'utiliser le même signal de référence, mais en utilisant des diviseurs différents pour chaque anneau oscillant du TDC. Par contre, si les deux diviseurs sont différents, mais fixes, cela limite les valeurs de LSB que le TDC peut atteindre. En utilisant des références différentes par PLL, cela permet d'être très flexible sur les valeurs de période de chaque anneau oscillant et de tester les limites du circuit. Modifier la valeur du signal de référence de manière très précise est simple puisqu'il est possible d'utiliser des oscillateurs programmables commerciaux très performants (ex : LMK61E2)

Les circuits ont été conçus en CMOS 65 nm et l'espace total utilisé est de $100 \times 150 \mu m^2$ (Figure 6.3). Les deux anneaux oscillants des deux PLL ont été intégrés côte-à-côte pour

obtenir exactement la même implémentation qu'à l'intérieur du TDC pour minimiser le mésappariement.

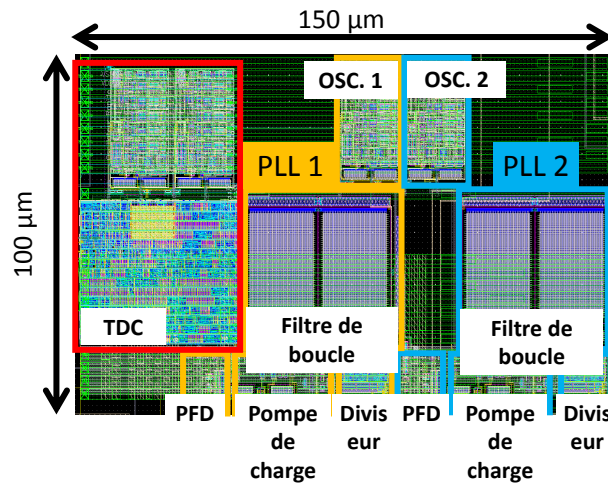


Figure 6.3 Dessin des masques de la nouvelle architecture du TDC contrôlé par 2 PLL. L'espace occupé par le circuit complet est de $100 \times 150 \mu m^2$.

Dans un cas de figure idéal, la PLL 1 aurait une référence à 250 MHz et la PLL 2 aurait une référence à 255 MHz ce qui donne une période de 2 GHz et 2,04 GHz respectivement. Cette opération nous permet d'obtenir un LSB du TDC à 10 ps.

6.3 Montage de test

Pour mesurer les différentes caractéristiques de ce circuit, un montage de test basé sur des circuits imprimés multicouches a été réalisé (Figure 6.4). Trois circuits imprimés composent le montage : la carte mère avec un FPGA, la carte fille avec les circuits externes nécessaires aux tests spécifiques à ce circuit et la carte de support pour assembler l'ASIC à caractériser. Sur la carte fille, deux oscillateurs programmables à très faible gigue temporelle (LMK61E2) ont été assemblés afin de fournir les références des PLL. Pour le TDC, le signal d'arrêt est le signal d'horloge fixé à 250 MHz. Le signal de départ peut être corrélé (LMK03318 et Sy89296UMG) ou non-corrélé (LMK61E2) à l'horloge en fonction des tests à effectuer. La ligne à délai (Sy89296UMG) permet de balayer toute la plage dynamique du TDC par pas de 1 ps en utilisant le *fine tune delay*. La sortie du TDC se connecte à un port série LVDS à 250 Mbit/s et à un FPGA.

Sur la carte fille, il est possible de modifier la configuration des régulateurs linéaires afin d'obtenir 5 différentes tensions d'alimentation (0,9 V, 0,95 V, 1 V, 1,05 V, 1,1 V) Pour compléter ce montage de test, une chambre environnementale Sun electronics (EC1) a été utilisée pour obtenir une température d'opération de -25 °C, 0 °C, 25 °C, 50 °C, 75 °C.

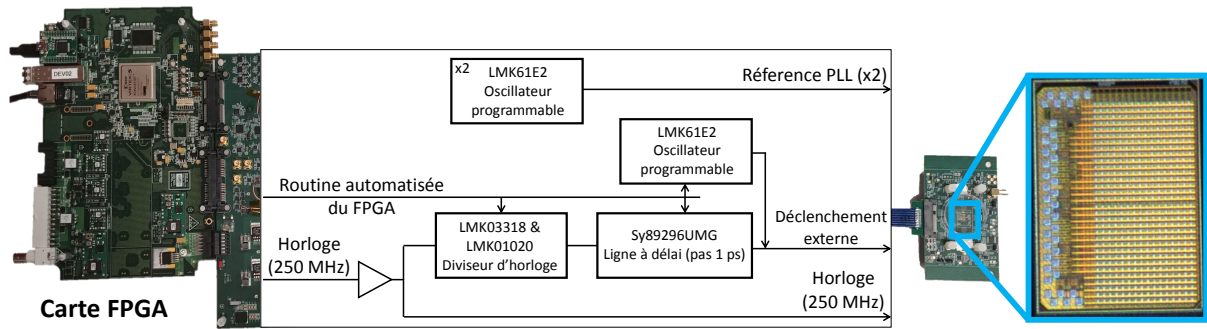


Figure 6.4 Montage de test : la carte mère avec un FPGA, la carte fille avec des oscillateurs programmables faible gigue temporelle et une carte de support pour assembler le ASIC.

Dans chaque ASIC, 3 TDC contrôlés par les tensions externes (connectés à un DAC) et 3 TDC contrôlés par 2 PLL sont testés. Cette configuration permet de comparer l'impact des deux types de circuits en regard des variations de température et de tension d'alimentation. Les prochaines sections présentent les résultats de la gigue temporelle, de la variation de la période de oscillateur lent, de la variation du LSB et de la variation de la linéarité en fonction de la température et de la tension d'alimentation.

6.4 Gigue temporelle

En caractérisant le circuit, il a été possible de constater qu'une des plus grandes limitations de cette approche concerne la gigue temporelle de la PLL. En effet, la gigue temporelle de la PLL est directement reproduite dans le TDC via les noeuds de tension de contrôle. De plus, la gigue temporelle du TDC restreint la limite inférieure du LSB utilisable afin de maintenir un régime d'opération valide. En effet, si la gigue cycle-à-cycle est de 10 ps RMS, il n'est pas possible d'opérer le TDC à un LSB de 10 ps puisque le LSB risque de tomber sous 0 ps pour certains cas. La gigue temporelle a également un impact sur la linéarité causée par des pics aux interfaces des codes grossiers (section 6.7). De plus, pour la stabilité en température et en tension d'alimentation, lorsqu'il y a beaucoup de gigue temporelle, cela signifie que le noeud de tension de contrôle varie et affecte la stabilité en température et en tension d'alimentation (section 6.5).

6.4.1 Gigue temporelle de la PLL

Pour mesurer la gigue temporelle de la PLL, il faut mesurer la sortie de l'oscillateur. Par contre, les transmetteurs que nous avons développés ne nous permettent pas de sortir des signaux à 2 GHz. Pour mesurer la gigue temporelle cycle-à-cycle, il est possible de sortir le signal en sortie du *diviseur par 8*, ce qui représente un signal à 250 MHz, compatible

avec nos transmetteurs LVDS. La gigue temporelle mesurée à ce point regroupe la somme en quadrature de 8 cycles d'oscillateur. Il est possible d'évaluer que la gigue temporelle de l'anneau oscillant est de $\frac{Gigue_{Diviseur}}{\sqrt{8}} = Gigue_{AnneauOscillant}$.

Le signal a été mesuré à l'aide d'un oscilloscope Agilent MSO-X 90324A possédant une bande passante verticale de 13 GHz. La gigue temporelle à 2 GHz est de 30 ps RMS alors que la gigue temporelle à 2.04 GHz est de 36 ps RMS. Si on additionne en quadrature ces deux contributions, la gigue temporelle attendue du TDC est de 47 ps RMS. La cause de cette gigue temporelle est décrite en détail à la section 6.8.2 de la discussion. Des recommandations de modifications pour améliorer la gigue temporelle sont également proposées.

6.4.2 Gigue temporelle du TDC

La gigue temporelle du TDC a été mesurée selon la procédure décrite dans le chapitre 5 [100]. La gigue temporelle du TDC contrôlé par un DAC atteint 10 ps RMS pour un LSB de 15 ps (Figure 6.5 (a)). C'est un résultat conséquent avec le chapitre 5 (sur la matrice de TDC). Par contre, la gigue temporelle du TDC contrôlé par les deux PLL se situe au alentour de 47 ps RMS pour un LSB du TDC entre 30 et 50 ps (Figure 6.5 (b)).

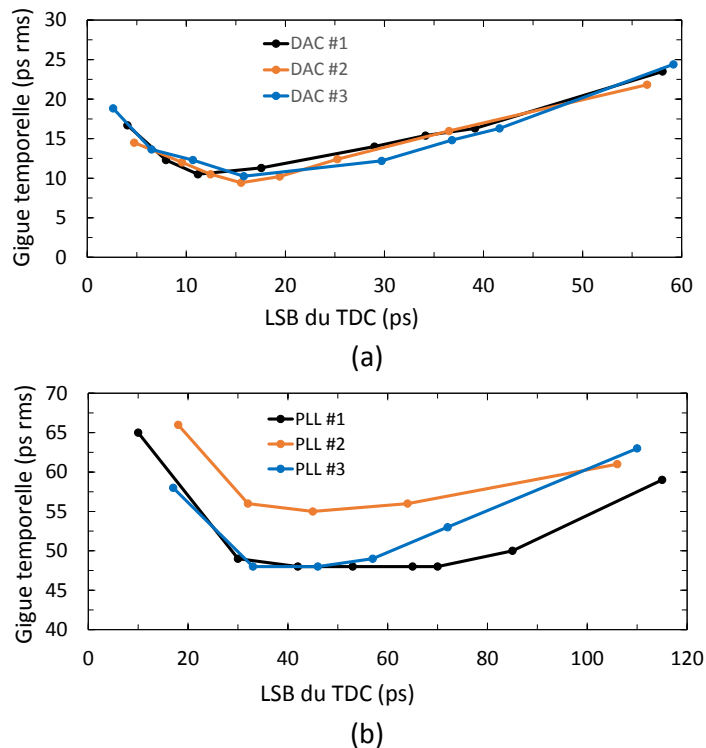


Figure 6.5 Gigue temporelle du TDC en fonction du LSB du TDC pour (a) un TDC contrôlé par un DAC et (b) un TDC contrôlé par deux PLL.

La gigue temporelle de la PLL cause cette hausse de la gigue temporelle du TDC. Cette gigue temporelle limite l'utilisation de ce circuit dans la matrice de photodétecteur puisqu'il limite le LSB du TDC. Les raisons pour lesquels la PLL ne possède pas une bonne gigue temporelle et les recommandations pour l'améliorer sont à la section 6.8.2. Malgré que l'asservissement ne nous permet pas d'atteindre 10 ps de gigue temporelle, la stabilité en température et en tension du TDC sera démontrée. Afin de comparer les deux circuits, le LSB du TDC a été fixée à 40 ps pour les deux circuits pour les prochains résultats présentés.

6.5 Variation de la période de l'oscillateur lent

La variation de la période de l'oscillateur lent fait partie de la mesure du temps du TDC [125, 124] (Eq. 6.2). Sa variation doit être étudiée afin d'en connaître les répercussions.

$$Temps_{TDC} = Periode_{Lent} \times Cpt_{Grossier} + Resolution_{TDC} \times Cpt_{Fin} \quad (6.2)$$

Où :

- $Temps_{TDC}$ est le temps mesuré
- $Periode_{Lent}$ est la période de l'oscillateur lent
- $Cpt_{Grossier}$ est le nombre de cycles que l'oscillateur lent a effectué
- $Resolution_{TDC}$ est le LSB du TDC
- Cpt_{Fin} est le nombre de cycles en mode Vernier qu'a effectué le TDC

Cette section se concentre sur $Periode_{Lent}$ et la prochaine section présentera les résultats de $Resolution_{TDC}$.

Il n'est pas possible de mesurer directement la période de l'oscillateur lent du TDC puisque l'information est directement numérisée dans le TDC. Il faut donc extraire cette valeur à partir des mesures effectuées avec le TDC. Pour se faire, il faut réaliser un histogramme de densité de codes en utilisant un signal de départ non-corrélé au signal d'arrêt. Une mesure de densité de codes procure la distribution des codes du TDC puisque la mesure déclenche uniformément chaque code du TDC. Pour plus d'information sur la méthode de l'histogramme de densité de code, consultez [124, 125, 100]. La période de l'oscillateur lent est déterminée en utilisant le nombre de codes grossier et en mesurant sa distribution dans l'histogramme (Eq. 6.3).

$$Periode_{Lent} = \frac{Periode_{Arret}}{N_{Codesgrossiers}} \quad (6.3)$$

La plage dynamique de 4 ns ($Periode_{Arret}$) avec une période de l'oscillateur lent de 500 ps ($Periode_{Lent}$) devrait se diviser en 8 codes grossiers ($N_{Codesgrossiers}$). Pour produire les graphiques à la section résultats, la valeur de la période à 25 °C a été soustraite aux autres mesures en température. La même opération a été effectuée avec les tensions d'alimentations et le point de référence à 1 V. Ceci permet d'observer directement la pente de la variation de la période.

6.5.1 Résultats

La Figure 6.6 présente la variation de la période de l'oscillateur lent en fonction de la tension d'alimentation. La Figure 6.6 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe. Une régression linéaire a été ajoutée sur les résultats des trois circuits et montre que la tension d'alimentation provoque une variation de -1,2 ps/mV. Tel qu'attendu, la variation de la période est inversement proportionnelle à la tension d'alimentation puisque le délai de propagation d'un inverseur augmente lorsqu'on diminue sa tension d'alimentation. La Figure 6.6 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. La régression linéaire appliquée sur les données montre que la variation de la période de l'oscillateur lent est entre -0,014 ps/mV et 0,014 ps/mV. Le circuit de PLL permet de diminuer d'un facteur 85 la variation de la période de l'oscillateur lent par rapport au circuit contrôlé par un DAC. À noter que pour le circuit contrôlé par la PLL, puisque la PLL tente de compenser l'erreur plutôt que de la subir, il est possible que la variation soit positive ou négative.

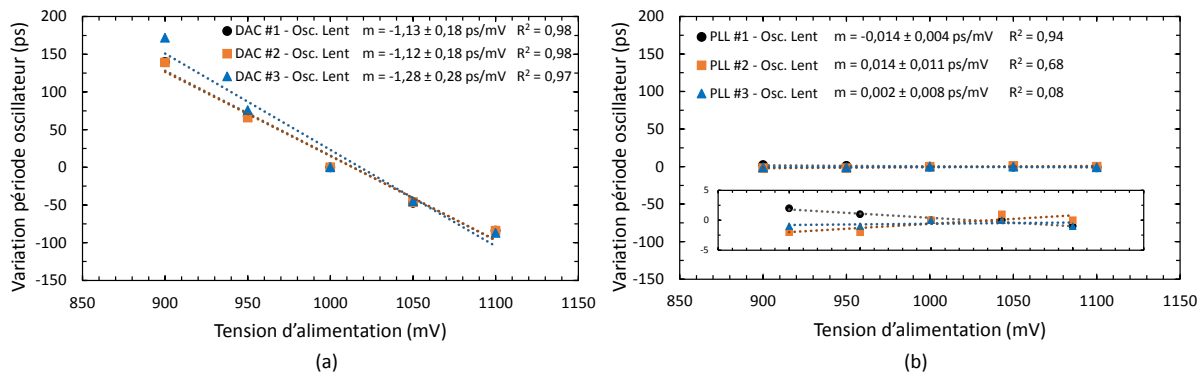


Figure 6.6 Variation de la période de l'oscillateur lent en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation entre -1,28 ps/mV et -1,12 ps/mV avec une déviation standard de 0,28 ps/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre -0,014 ps/mV et 0,014 ps/mV avec une déviation standard de 0,011 ps/mV.

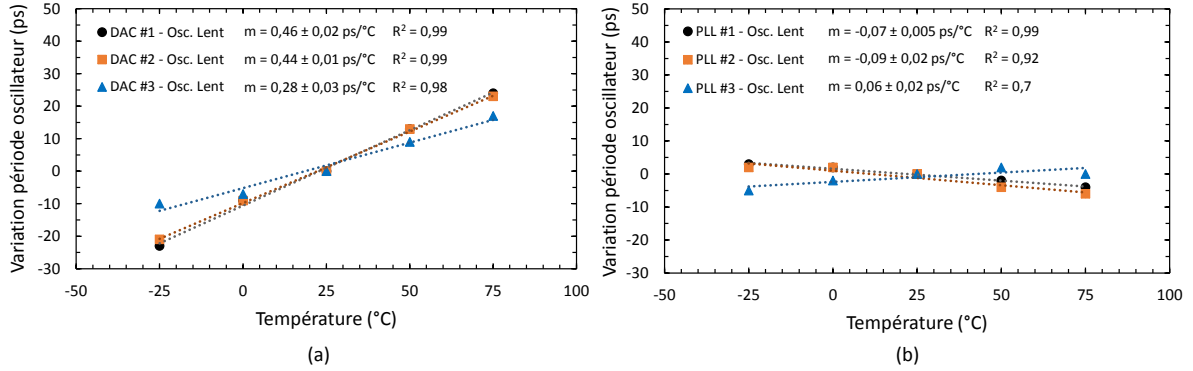


Figure 6.7 Variation de la période de l'oscillateur lent en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la température entre 0,28 ps/°C et 0,46 ps/°C avec une déviation standard de 0,03 ps/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,07 ps/°C et 0,09 ps/°C avec une déviation standard de 0,02 ps/°C.

La température a également un impact sur le délai de propagation de l'inverseur ce qui modifie la période de l'oscillateur lent. La Figure 6.7 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe. Une régression linéaire a été ajoutée sur les résultats des trois circuits et montrent que la température provoque une variation de $\sim 0,4$ ps/°C. Tel qu'attendu, la variation de la période est proportionnelle puisque le délai de propagation d'un inverseur augmente lorsqu'on augmente la température d'opération. La Figure 6.7 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. La régression linéaire appliquée sur les données montre que la variation de la période de l'oscillateur lent est entre -0,07 ps/°C et 0,09 ps/°C. Le circuit de PLL permet de diminuer d'un facteur 5 la variation de la période de l'oscillateur lent par rapport au circuit contrôlé par un DAC.

6.6 Variation du LSB du TDC

L'extraction du LSB du TDC s'effectue à l'aide d'un histogramme de densité de code [124, 125]. Puisque la mesure déclenche uniformément tous les codes du TDC, il est possible de déterminer le LSB du TDC en divisant la plage dynamique de 4 ns ($Periode_{Arret}$) par le nombre total de codes ($N_{TDC_{codes}}$) tel que décrit par l'équation 6.4.

$$Resolution_{TDC} = \frac{Periode_{Arret}}{N_{TDC_{codes}}} \quad (6.4)$$

6.6.1 Résultats

La Figure 6.8 présente la variation du LSB du TDC en fonction de la tension d'alimentation. La Figure 6.8 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe. Une régression linéaire a été ajoutée sur les résultats des trois circuits et montre que la tension d'alimentation provoque une variation entre $-0,22$ ps/mV et $-0,25$ ps/mV. La Figure 6.8 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. La régression linéaire appliquée sur les données montre que la variation du LSB du TDC est entre $0,02$ ps/mV et $0,05$ ps/mV. Puisque la PLL tente de compenser l'erreur plutôt que la subir, la variation peut être positive ou négative. La variation s'améliore d'un facteur entre 4 et 10 pour le circuit à base de PLL comparativement à celui contrôlé par le DAC externe.

Au niveau de la température, la Figure 6.9 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe. Une régression linéaire a été ajoutée sur les résultats des trois circuits et montrent que la température provoque une variation entre $-0,04$ ps/°C et $-0,09$ ps/°C. La Figure 6.9 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. La régression linéaire appliquée sur les données montre que la variation du LSB du TDC est entre $-0,01$ ps/°C et $0,05$ ps/°C. Le facteur d'amélioration au niveau de la température se situe entre 1 et 2.

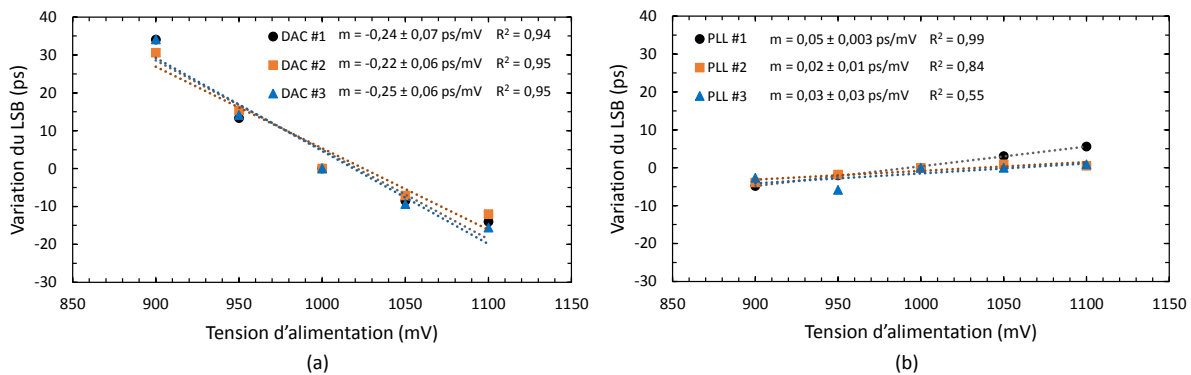


Figure 6.8 Variation du LSB du TDC en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation entre $-0,22$ ps/mV et $-0,25$ ps/mV avec une déviation standard de $0,07$ ps/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre $0,02$ ps/mV et $0,05$ ps/mV avec une déviation standard de $0,003$ ps/mV.

Si on compare la variation de la période de l'oscillateur lent et du LSB du TDC, le facteur d'amélioration réduit d'un facteur 85 à 10 pour la tension d'alimentation et de 5 à

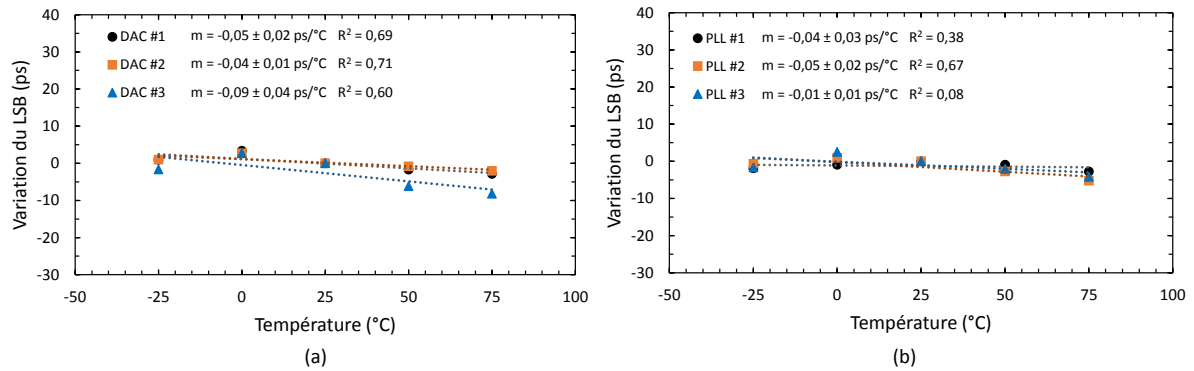


Figure 6.9 Variation du LSB du TDC en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la température entre $-0,04 \text{ ps/}^\circ\text{C}$ et $-0,09 \text{ ps/}^\circ\text{C}$ avec une déviation standard de $0,04 \text{ ps/}^\circ\text{C}$. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre $-0,01 \text{ ps/}^\circ\text{C}$ et $0,05 \text{ ps/}^\circ\text{C}$ avec une déviation standard de $0,03 \text{ ps/}^\circ\text{C}$.

1,5-2 pour la température. Ce résultat peut paraître surprenant puisque la réduction est significative, mais elle s'explique bien lorsqu'on regarde le comportement des oscillateurs. Tel que décrit dans l'équation 6.1, le LSB du TDC est la différence entre la période de l'oscillateur lent et l'oscillateur rapide. Il faut donc observer la variation de l'oscillateur rapide pour comprendre.

6.6.2 Variation de la période de l'oscillateur rapide

L'oscillateur lent et l'oscillateur rapide possèdent une période différente, et donc un point d'opération différent. Le résultat attendu est une variation similaire à celle observée pour l'oscillateur lent avec une pente quelque peu différente.

La Figure 6.10 montre la variation de la période de l'oscillateur rapide en fonction de la tension d'alimentation. La Figure 6.10 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe. Une régression linéaire a été ajoutée sur les résultats des trois circuits et montre que la tension d'alimentation provoque une variation entre $-0,89 \text{ ps/mV}$ et $-1,03 \text{ ps/mV}$. La Figure 6.10 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. La régression linéaire appliquée sur les données montre que la variation de la période de l'oscillateur rapide est entre $-0,06 \text{ ps/mV}$ et $0,02 \text{ ps/mV}$.

Au niveau de la température, la Figure 6.11 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe. Une régression linéaire a été ajoutée sur les résultats des trois circuits et montrent que la température provoque une variation entre $0,37 \text{ ps/}^\circ\text{C}$ et

0,51 ps/°C. La Figure 6.11 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. La régression linéaire appliquée sur les données montre que la variation de la période de l'oscillateur rapide est entre -0,06 ps/°C et 0,09 ps/°C.

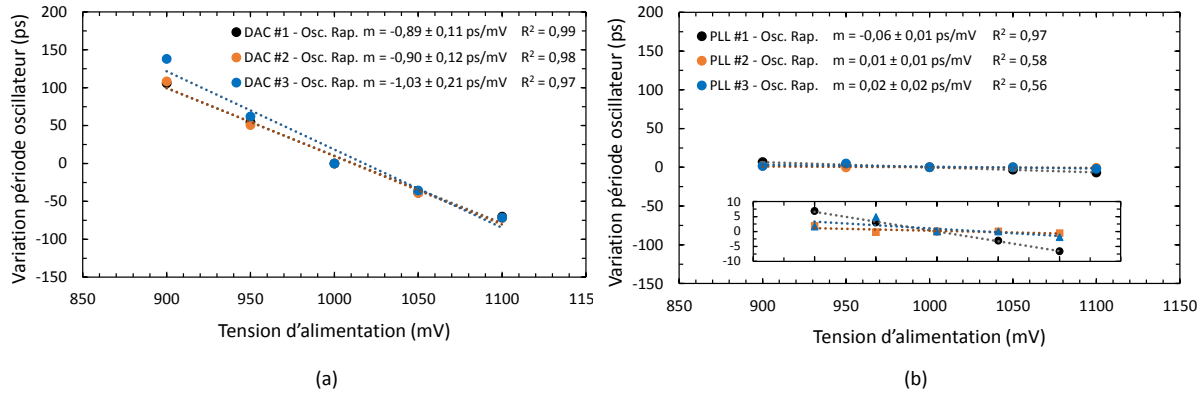


Figure 6.10 Variation de la période de l'oscillateur rapide en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation entre -0,89 ps/mV et -1,03 ps/mV avec une déviation standard de 0,21 ps/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre -0,06 ps/mV et 0,02 ps/mV avec une déviation standard de 0,02 ps/mV.

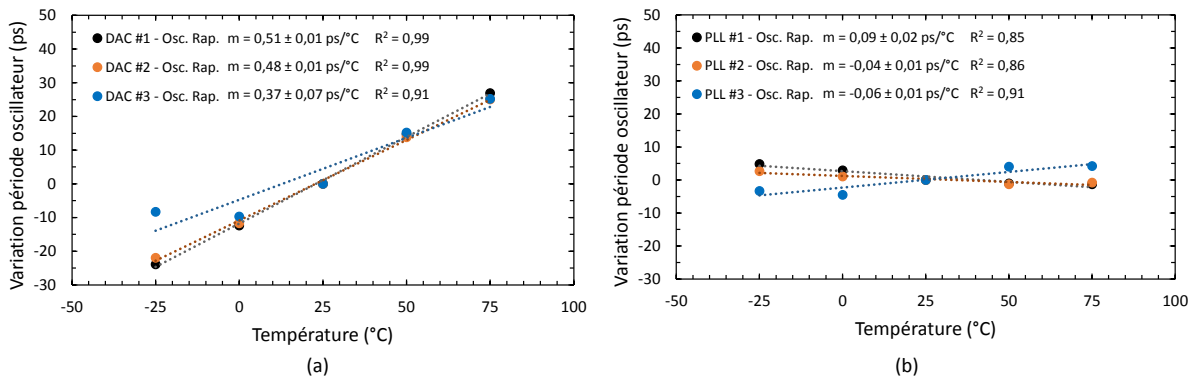


Figure 6.11 Variation de la période de l'oscillateur rapide en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la température entre 0,37 ps/°C et 0,51 ps/°C avec une déviation standard de 0,07 ps/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,06 ps/°C et 0,09 ps/°C avec une déviation standard de 0,02 ps/°C.

À partir de ces variations de l'oscillateur rapide et ceux présentés à la section 6.5, il est possible d'évaluer pourquoi la variation du LSB du TDC est plus petite que les variations des oscillateurs. Considérant que le LSB est la différence entre la période de l'oscillateur lent et l'oscillateur rapide (eq. 6.1), la variation du TDC est la différence entre la variation de l'oscillateur lent et celle de l'oscillateur rapide. Pour estimer la variation du LSB du TDC dû à la variation de la tension d'alimentation et la température, les équations suivantes peuvent être utilisées :

$$m_{Resolution}(ps/^{\circ}C) = m_{Lent}(ps/^{\circ}C) - m_{Rapide}(ps/^{\circ}C) \quad (6.5)$$

$$m_{Resolution}(ps/mV) = m_{Lent}(ps/mV) - m_{Rapide}(ps/mV) \quad (6.6)$$

où $m_{Resolution}$ est la variation du LSB du TDC en fonction de la température et de la tension d'alimentation, m_{Lent} est la variation de la période de l'oscillateur lent et m_{Rapide} est la variation de la température rapide. En utilisant les valeurs du TDC #1 trouvées dans les graphiques des sections précédentes, on peut calculer les valeurs suivantes pour le DAC et le PLL en fonction de la température et de la tension d'alimentation :

$$\begin{aligned} m_{Resolution\ DAC}(ps/^{\circ}C) &= 0,46\ ps/^{\circ}C - 0,51\ ps/^{\circ}C \\ m_{Resolution\ DAC}(ps/^{\circ}C) &= -0,05\ ps/^{\circ}C \end{aligned} \quad (6.7)$$

$$\begin{aligned} m_{ResolutionPLL}(ps/^{\circ}C) &= -0,07\ ps/^{\circ}C - (-0,06\ ps/^{\circ}C) \\ m_{ResolutionPLL}(ps/^{\circ}C) &= -0,01\ ps/^{\circ}C \end{aligned} \quad (6.8)$$

$$\begin{aligned} m_{ResolutionDAC}(ps/mV) &= -1,13\ ps/mV - (-0,89\ ps/mV) \\ m_{ResolutionDAC}(ps/mV) &= -0,24\ ps/mV \end{aligned} \quad (6.9)$$

$$\begin{aligned} m_{ResolutionPLL}(ps/mV) &= -0,014\ ps/mV - (-0,06\ ps/mV) \\ m_{ResolutionPLL}(ps/mV) &= 0,046\ ps/mV \end{aligned} \quad (6.10)$$

Pour compléter l'exemple avec les calculs, la Figure 6.12 présente les pentes mesurées pour l'oscillateur lent, l'oscillateur rapide et le LSB du TDC pour le TDC #1 contrôlé par (a) un DAC externe et (b) par le circuit de PLL (valeur provenant des Figure 6.6, 6.8 et 6.10). Pour le TDC contrôlé avec un DAC, on obtient une pente de $-0,24$ ps/mV pour le calcul et la mesure. Au niveau du TDC contrôlé par la PLL, on obtient $0,046$ ps/mV par calcul et $0,05$ ps/mV en mesure.

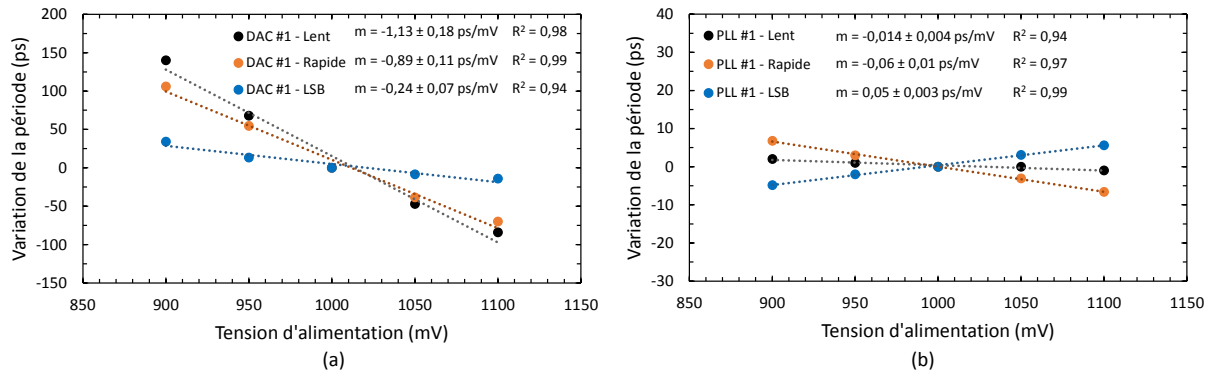


Figure 6.12 La variation de la période de l'oscillateur lent, l'oscillateur rapide et le LSB du TDC pour le TDC #1 contrôlé par (a) un DAC externe et (b) par le circuit de PLL. La pente du LSB du TDC mesurée est l'équivalent d'une soustraction des pentes de l'oscillateur lent et l'oscillateur rapide tel que décrit dans les équations 6.7 et 6.9.

À l'aide de ces équations, il est possible de constater que des pentes similaires pour les oscillateurs contrôlés par les DAC font en sorte que la variation du LSB du TDC est plus faible. Si les pentes étaient exactement pareilles, on aurait une variation du LSB nulle. Au niveau de la PLL, puisque le circuit essaie de compenser à chaque point d'opération, la pente de chaque circuit sera différente. Pour la PLL, il faut donc travailler à minimiser cette pente. Ceci explique pourquoi le facteur d'amélioration est réduit d'un facteur 85 à 10 pour la tension d'alimentation et de 5 à 1,5-2 pour la température. La section discussion permettra de clarifier l'impact global, en termes de gigue temporelle, de la variation de la période de l'oscillateur et celle du LSB du TDC.

6.7 Linéarité du TDC

Afin de mesurer la linéarité du TDC, il faut produire un histogramme de densité de codes [124, 125]. Pour chaque TDC, 1 million d'événements ont été acquis pour produire un histogramme à chaque point d'opération. Pour obtenir la non-linéarité différentielle (DNL), le nombre d'événements de chaque code de TDC est comparé à la valeur moyenne de tous les codes. En sommant la DNL de chaque code respectif, on obtient la non-linéarité intégrale (INL). Pour comparer les différents circuits aux nombreux points d'opérations, la

valeur de INL RMS a été utilisée. À noter que les valeurs des 3 TDC contrôlés par le DAC externe et les 3 TDC contrôlés par PLL ont été acquis au même moment. Pour comparer les valeurs, elles sont représentées en quantité de LSB (LSB du TDC), fixé à 40 ps (voir section 6.4).

6.7.1 Résultats

Afin de prendre un premier point de comparaison, les TDC des deux configurations ont été mesurés à 25 °C et à la valeur standard de tension d'alimentation de 1 V. Les TDC contrôlés par un DAC externe possèdent une valeur d'INL maximale entre 1,8 et 2 LSB et la valeur d'INL RMS est entre 0,52 LSB et 0,58 LSB. Les TDC contrôlés par PLL ont une valeur crête entre 2,4 et 3,1 LSB et une valeur d'INL RMS entre 0,66 et 0,95 LSB. On s'attendait à ce que la l'INL reste inchangé entre les deux configurations de circuits puisque la linéarité est principalement influencée par les oscillateurs et le circuit de coïncidence. C'est l'augmentation de la gigue temporelle du TDC qui provoque cette légère augmentation de l'INL pour le circuit contrôlé par PLL. Tel que montré dans [125], la gigue temporelle cause des pics de valeurs en DNL à l'interface entre deux codes grossiers du TDC puisque certains codes de TDC se chevauchent. Pour réduire l'INL du circuit avec PLL, il faut donc se concentrer à minimiser la gigue temporelle de la PLL.

Comparons à présent l'INL des deux configurations lorsque la tension d'alimentation ou la température varie. La Figure 6.13 montre la variation de l'INL RMS en fonction de la tension d'alimentation. Des régressions linéaires ont été ajoutées sur les séries de données et puisque la valeur de R^2 est faible, la valeur de la déviation standard est ajoutée aux pentes afin de comparer les deux valeurs. La Figure 6.13 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe et montre que la tension d'alimentation provoque une variation de l'INL RMS entre 0,0013 LSB/mV et 0,0045 LSB/mV. Ces données présentent une valeur de R^2 plus élevée ce qui montre qu'il y a une dépendance envers la tension d'alimentation. Cette dépendance est expliquée par la forte dépendance de variation du LSB par rapport à la tension d'alimentation (Figure 6.8) qui impacte notre mesure de linéarité. La Figure 6.10 (b) montre les mêmes résultats obtenus avec le TDC contrôlé par la PLL. Les données montrent que la variation de l'INL RMS est entre -0,0012 LSB/mV et 0,0013 LSB/mV. Les deux configurations possèdent une très faible variation (sous 1% de LSB/mV) et la configuration avec la PLL est légèrement plus stable.

La Figure 6.13 montre la variation de l'INL RMS en fonction de la tension d'alimentation. Des régressions linéaires ont été ajoutées sur les séries de données et puisque la valeur de R^2 est faible, la valeur de la déviation standard est ajoutée aux pentes afin de comparer les deux valeurs. La Figure 6.13 (a) montre les résultats obtenus avec le TDC contrôlé

par un DAC externe et montre que la tension d'alimentation provoque une variation de l'INL RMS entre 0,0013 LSB/mV et 0,0045 LSB/mV. Ces données présentent une valeur de R^2 plus élevée ce qui montre qu'il y a une dépendance envers la tension d'alimentation. Cette dépendance est expliquée par la forte dépendance de variation du LSB par rapport à la tension d'alimentation (voir Figure 6.8) qui impacte notre mesure de linéarité. La Figure 6.10 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. Les données montrent que la variation de l'INL RMS se situe entre -0,0012 LSB/mV et 0,0013 LSB/mV. Les deux configurations possèdent une très faible variation (sous 1% de LSB/mV) et la configuration avec la PLL conserve une meilleure stabilité.

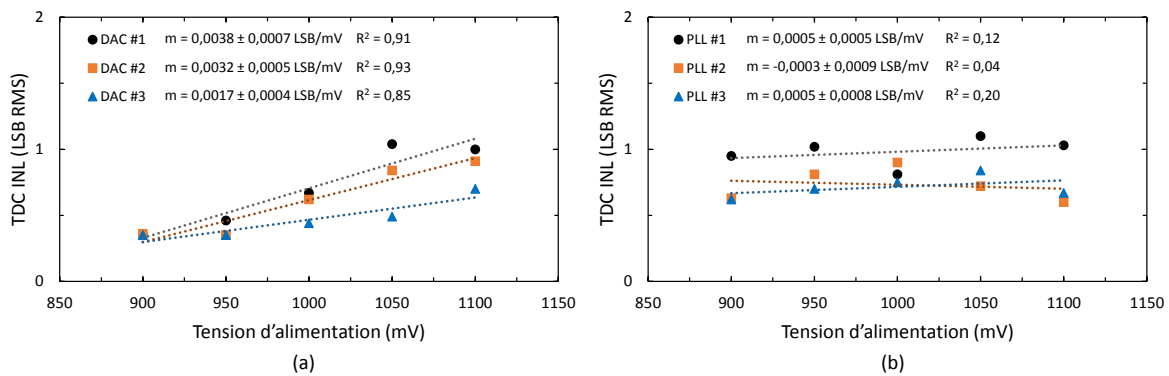


Figure 6.13 L'INL RMS du TDC en fonction de la tension d'alimentation lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation de 0,003 LSB/mV avec une déviation standard de 0,0007 LSB/mV. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de tension d'alimentation avec une variation entre -0,0003 LSB/mV et 0,0005 LSB/mV avec une déviation standard de 0,0009 LSB/mV.

La Figure 6.14 montre la variation de l'INL RMS en fonction de la température. Une régression linéaire a été ajoutée sur les séries de données et puisque la valeur de R^2 est faible pour les deux configurations (environ 0,4), la valeur de la déviation standard est ajoutée aux pentes afin de comparer les deux valeurs. La Figure 6.14 (a) montre les résultats obtenus avec le TDC contrôlé par un DAC externe et montre que la température provoque une variation de l'INL RMS de 0,004 LSB/°C. La Figure 6.14 (b) montre les résultats obtenus avec le TDC contrôlé par la PLL. Les données montrent que la variation de l'INL RMS se situe entre -0,003 LSB/°C et 0,01 LSB/°C. Les deux configurations possèdent une très faible variation (sous 1% de LSB/°C) et la configuration avec le DAC externe conserve une meilleure stabilité.

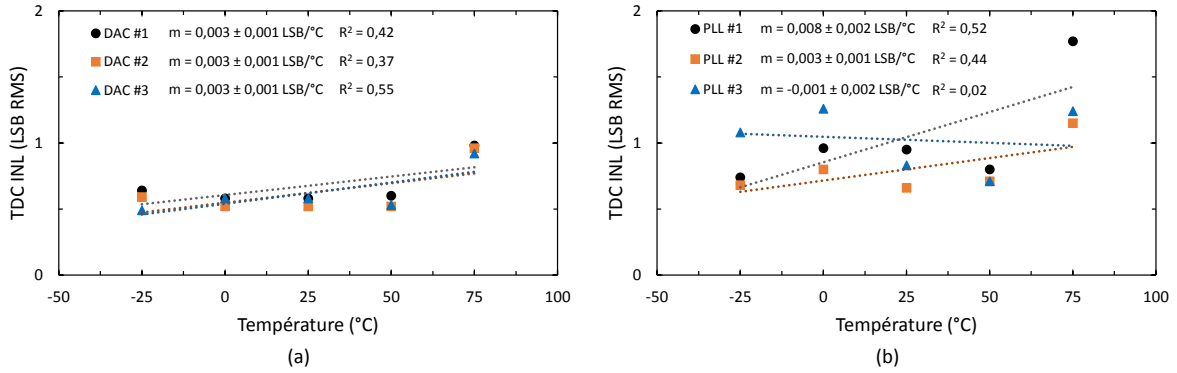


Figure 6.14 L'INL RMS du TDC en fonction de la température lorsque le TDC est contrôlé (a) par un DAC externe et (b) par le circuit de PLL. Une régression linéaire a été appliquée à chaque série de données. Les résultats en (a) montre une dépendance à la variation de la tension d'alimentation de 0,003 LSB/°C avec une déviation standard de 0,001 LSB/°C. Le TDC contrôlé par le circuit de PLL possède une meilleure immunité aux variations de température avec une variation entre -0,001 LSB/°C et 0,008 LSB/°C avec une déviation standard de 0,002 LSB/°C.

Pour conclure, les deux configurations de TDC possèdent une très bonne stabilité du LSB (40 ps) au niveau des variations de tension d'alimentation (sous 1% de LSB/mV) et de température (sous 1% de LSB/°C). La linéarité se dégrade légèrement lorsque le TDC est contrôlé par les deux PLL dû à l'augmentation de la gigue temporelle. Ceci doit être corrigé dans la prochaine révision du circuit.

6.8 Analyse et Discussion

6.8.1 Impact de la variation de la période des oscillateurs et du LSB sur la gigue temporelle

Les deux étapes d'interpolations de la mesure temporelle du TDC sont affectées par les variations de tension d'alimentation et de température. Pour chaque interpolation, les variations (section 6.5 et section 6.6) sont multipliées par le nombre de cycles requis pour effectuer la mesure. Chaque code accumule une erreur et celle-ci s'additionne à l'erreur des codes précédents. Cette accumulation crée une erreur dans le temps mesuré, proportionnelle aux variations de température et de tension d'alimentation. L'erreur individuelle de chaque code peut être calculée en utilisant l'équation 6.11 et l'équation 6.12.

$$Code_{Err}(ps/^{\circ}C) = (N_{Grossier} * m_{Lent}(ps/^{\circ}C)) + (N_{LSB} * m_{LSB}(ps/^{\circ}C)) \quad (6.11)$$

$$Code_{Err}(ps/mV) = (N_{Grossier} * m_{Lent}(ps/mV)) + (N_{LSB} * m_{LSB}(ps/mV)) \quad (6.12)$$

Où :

- $Code_{Err}$ est l'erreur sur la mesure en temps pour un code spécifique
- $N_{Grossier}$ est la valeur du code grossier mesuré
- m_{Lent} est la variation de l'oscillateur lent (section 6.5)
- N_{LSB} le nombre de tours effectués pour que l'oscillateur rapide rattrape l'oscillateur lent
- m_{LSB} est la variation du LSB du TDC (section 6.6)

En utilisant ces deux équations, il est possible de calculer l'erreur sur la mesure de chaque code individuel. À partir de ces calculs, il est donc possible d'identifier l'erreur maximale que provoquent les variations de température et de tension d'alimentation. De plus, en calculant l'erreur individuelle, il est possible de combiner toute cette information pour calculer la valeur RMS de cette variation. Pour effectuer le calcul, les paramètres visés du TDC ont été utilisés : la période de l'oscillateur lent est de 500 ps ($N_{Grossier}$ maximum = 8) et le LSB est de 10 ps (N_{LSB} maximum = 50). Le Tableau 6.1 présente les résultats en fonction des variations de température et le Tableau 6.2 présente les résultats en fonction des variations de tension d'alimentation.

Tableau 6.1 Erreur sur la mesure temporelle due aux variations de température

Circuit	Maximale (ps/°C)	RMS (ps/°C)
TDC PLL #1	2,3	0,6
TDC PLL #2	3,2	0,7
TDC PLL #3	0,9	0,2
TDC DAC #1	5,7	1,3
TDC DAC #2	4,9	1,2
TDC DAC #3	6,3	1,4

Le Tableau 6.1 montre que l'erreur sur la mesure temporelle pour les variations de température est 2 fois plus grande pour les TDC contrôlé par un DAC que le TDC contrôlé par les PLL. Le Tableau 6.2 montre que l'erreur sur la mesure temporelle pour les variations de tension d'alimentation est 10 fois plus grande pour les TDC contrôlé par un DAC que le TDC contrôlé par les PLL.

Tel que présenté dans l'introduction, on souhaite une gigue temporelle de 4 ps RMS pour intégrer le temps de vol en TEP. Cela signifie que la contribution des variations de tempé-

Tableau 6.2 Erreur sur la mesure temporelle due aux variations de tension d'alimentation

Circuit	Maximale (ps/mV)	RMS (ps/mV)
TDC PLL #1	2,4	0,7
TDC PLL #2	1,1	0,3
TDC PLL #3	1,5	0,4
TDC DAC #1	21	4,3
TDC DAC #2	20	4,1
TDC DAC #3	22,7	4,7

rature et de tension d'alimentation doit être minimisée. Cela signifie que la température ne doit pas varier de plus de 3 °C pour le TDC contrôlé par un DAC ou 6 °C pour le TDC contrôlé par les PLL. Au niveau des tensions d'alimentation, la variation doit être de moins de 1 mV pour le TDC contrôlé par un DAC et moins de 10 mV pour le TDC contrôlé par des PLL. En améliorant la PLL (surtout au niveau de la gigue temporelle), ces performances en stabilité du système devraient s'améliorer significativement.

6.8.2 Modification à apporter sur la PLL

Le circuit développé permet de conclure que le système composé de deux PLL permet d'obtenir une meilleure stabilité en fonction des variations de température et de tension d'alimentation. Par contre, la PLL doit être optimisée pour obtenir une meilleure gigue temporelle, car la gigue temporelle cycle-à-cycle obtenue (30 ps RMS - section 6.4) empêche l'application de ce système de PLL pour l'utilisation dans une matrice de circuit de lecture de SPAD visant 4 ps RMS.

Le problème principal devant être corrigé est la tension de contrôle de l'oscillateur (V_Ctrl) qui varie lorsque la PLL est verrouillée. Dans un cas d'utilisation standard, la tension de contrôle ne devrait plus changer sauf pour réagir à une variation externe (ex : variation de température ou de tension d'alimentation). Pour bien comprendre d'où vient cette variation, il faut débiter par le PFD. Le PFD permet de comparer la phase et la fréquence d'une référence externe et de l'oscillateur (VCRO) à asservir. Lorsque la phase est en retard, un signal *Haut* est envoyé à la pompe de charge, ce qui augmente le nombre de charges envoyées au noeud de la tension de contrôle, et donc la fréquence de l'oscillateur. Lorsque la phase est en avance, le signal *Bas* est envoyé à la pompe de charge pour diminuer la fréquence de l'oscillateur. L'un des problèmes reconnus dans l'état de l'art au niveau du PFD est la zone morte. Cette zone apparaît lorsque la PLL n'arrive plus à répondre à une différence de phase entre les deux entrées du PFD parce que les 2 signaux d'entrée du PFD sont en phase, selon la résolution du PFD. Cela a pour impact de verrouiller la PLL

à une fréquence près de la fréquence voulue, mais avec une petite erreur. Pour compenser ce problème, il est possible de rajouter des délais à chaque branche du PFD pour ralentir le temps de réinitialisation du PFD. C'est ce qui a été implémenté dans la PLL, ce qui permet de corriger sa zone morte. Le délai ajouté au PFD (Figure 6.2) fait en sorte qu'à chaque cycle de comparaison, les signaux *Haut* et *Bas* ont une largeur de pulse minimum d'environ 150 ps, et lorsqu'il y a un retard ou une avance de phase, la largeur du signal conséquent est allongée. Cette contrainte fait en sorte que lorsque les deux signaux à l'entrée du PFD sont en phase et que la PLL est verrouillée, le PFD envoie tout de même des signaux à la pompe de charge. L'implémentation de cette solution ajoute donc un requis important à la pompe de charge : le courant de charge et de décharge doivent être appariés, sinon le noeud de tension de contrôle dérive de son point d'opération.

L'appariement de la charge et la décharge de la pompe de charge va au-delà du simple appariement de transistor, l'architecture doit assurer que le courant reste le même malgré le changement du point d'opération commun : le noeud de contrôle. La Figure 6.15 montre les courbes de courant (simulée) de la pompe de charge actuelle. Les courants ne sont pas bien appariés puisqu'il n'y a qu'un seul point de tension où les deux branches de charges et de décharge possèdent la même valeur (0,42 V). Si la tension à laquelle la PLL doit verrouiller pour un oscillateur est plus haute que 0,42 V, le noeud de contrôle dérivera vers le bas à chaque période du signal de référence puisque le courant de décharge est plus élevé que le courant de charge. Cette dérive provoque une oscillation sur le noeud de contrôle et ensuite la PLL doit la compenser pour asservir la fréquence de l'oscillateur. Plus la différence entre les deux courants est grande, plus cette oscillation est grande.

Le résultat de cette oscillation du noeud de contrôle se traduit directement en gigue temporelle cycle-à-cycle de la PLL. Plus cette oscillation est grande, plus la gigue temporelle est grande. La courbe signature d'un noeud de contrôle oscillant autour de la fréquence désirée ressemble à deux distributions normales espacées dont la moyenne commune est la fréquence d'opération. La Figure 6.16 montre un histogramme de la période mesurée à la sortie du diviseur de la PLL. La fréquence de la référence était de 4 000 ps et la fréquence moyenne en sortie est de 3 996 ps. L'écart entre les pics de la distribution est de 180 ps (Figure 6.16), causé par l'oscillation de la tension de contrôle. En utilisant la distribution de la Figure 6.16, il est possible de calculer la gigue temporelle cycle-à-cycle de la PLL en sortie du diviseur : 90 ps RMS. La période en sortie du diviseur (4 000 ps) représente 8 tours de l'oscillateur à 500 ps, puisqu'il y a un diviseur par 8 dans la boucle de la PLL. Cela signifie que la gigue temporelle de 90 ps RMS en sortie du diviseur représente la somme

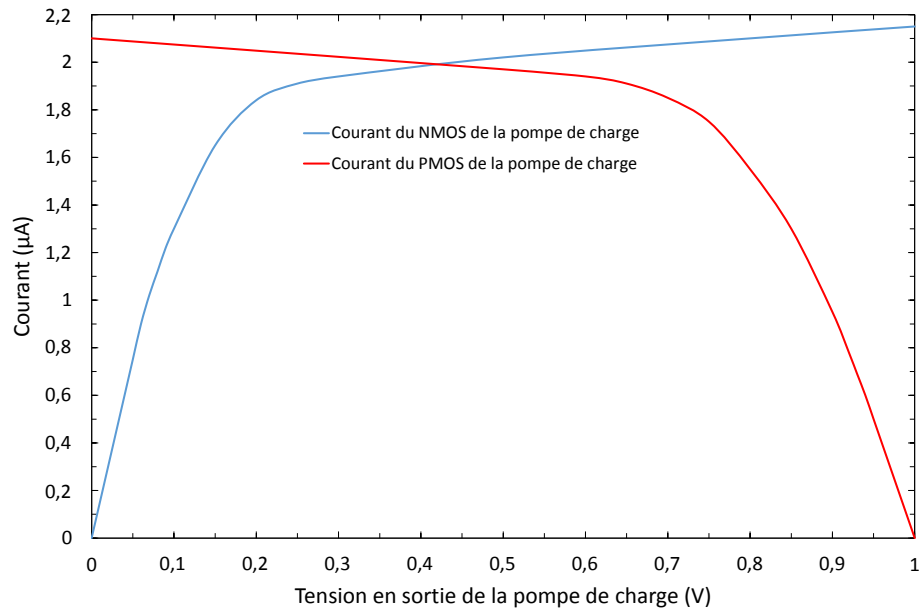


Figure 6.15 Le courant de charge de la pompe de charge provenant du PMOS est identifié en bleu et le courant de décharge provenant du NMOS est en rouge. Dans l'implémentation courante, la pompe de charge possède une seule tension où le courant de charge et de décharge est égal, soit 0,42 V.

quadratique de la gigue temporelle de l'oscillateur sur 8 tours. Il est possible d'évaluer que la gigue temporelle de l'oscillateur est de $\frac{90 \text{ ps RMS}}{\sqrt{8}} = 32 \text{ ps RMS}$.

La solution pour minimiser cet impact est d'obtenir un courant identique de charge et de décharge, peu importe la tension de contrôle. Pour cela, il faut modifier l'architecture des sources de courant et des interrupteurs des signaux *Haut* et *Bas* de la pompe de charge. La Figure 6.17 présente les résultats d'une architecture de type *NMOS-switch high-swing cascode* [164]. Celle-ci permet d'obtenir un courant de charge et de décharge similaire en utilisant des transistors NMOS pour les deux *switchs* de la pompe de charge. De plus, cette pompe de charge utilise des sources de type *high-swing cascode* pour augmenter la résistance de sortie ce qui crée un plateau de courant en saturation (Figure 6.17).

6.8.3 Recommandations

Suite à la réalisation et caractérisation du circuit, 3 recommandations amélioreraient les performances d'une implémentation de TDC Vernier asservi par deux PLL.

Recommandation : Modifier l'architecture de la pompe de charge pour obtenir un courant de charge et de décharge équivalent

Avantages :

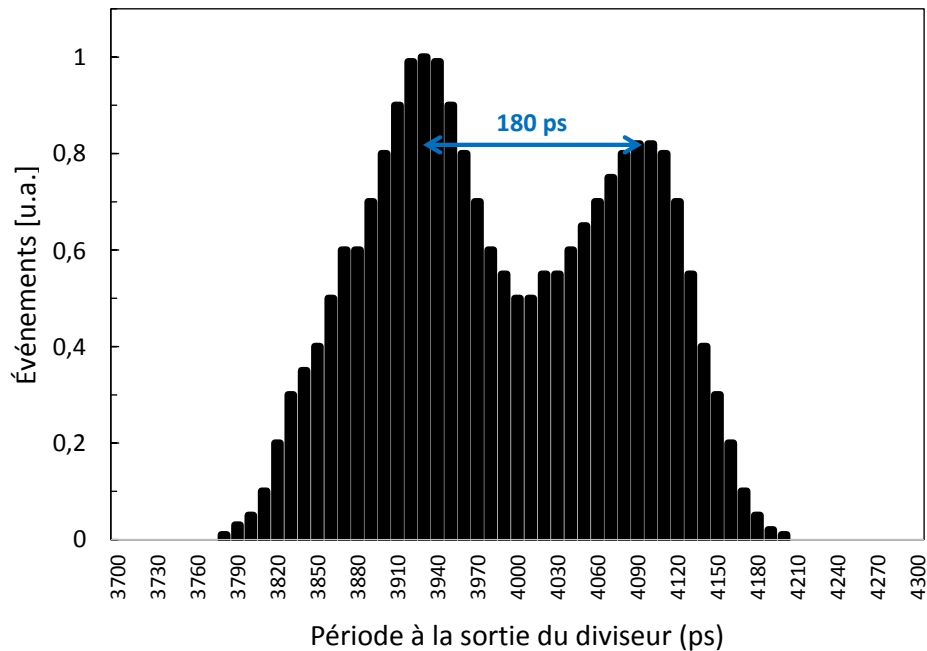


Figure 6.16 Histogramme de la période de l'oscillateur après le diviseur (la période devrait être fixe à 4 000 ps). La période oscille autour de la fréquence de référence et les deux bosses de chaque côté indiquent que la tension de contrôle oscille due à un débalancement de la pompe de charge (Figure 6.15).

- Réduire l'oscillation du noeud de contrôle et ainsi réduire la gigue temporelle de la PLL et du TDC.

Conditions :

- Concevoir une nouvelle pompe de charge complète.
- Les nouvelles architectures requièrent plus d'espace et de consommation de puissance.

Recommandation : Utiliser une seule pompe de charge par oscillateur

Cette information n'est pas illustrée dans les schémas, mais chaque oscillateur possède deux pompes de charges et deux filtres de boucle pour contrôler les NMOS et les PMOS des oscillateurs. Ceci double l'oscillation et la gigue temporelle des oscillateurs.

Avantages :

- Réduire l'oscillation du noeud de contrôle et ainsi réduire la gigue temporelle de la PLL et du TDC.

Conditions :

- Ajouter un miroir de courant devant l'oscillateur pour contrôler les PMOS et les NMOS de l'oscillateur avec la même tension de contrôle.

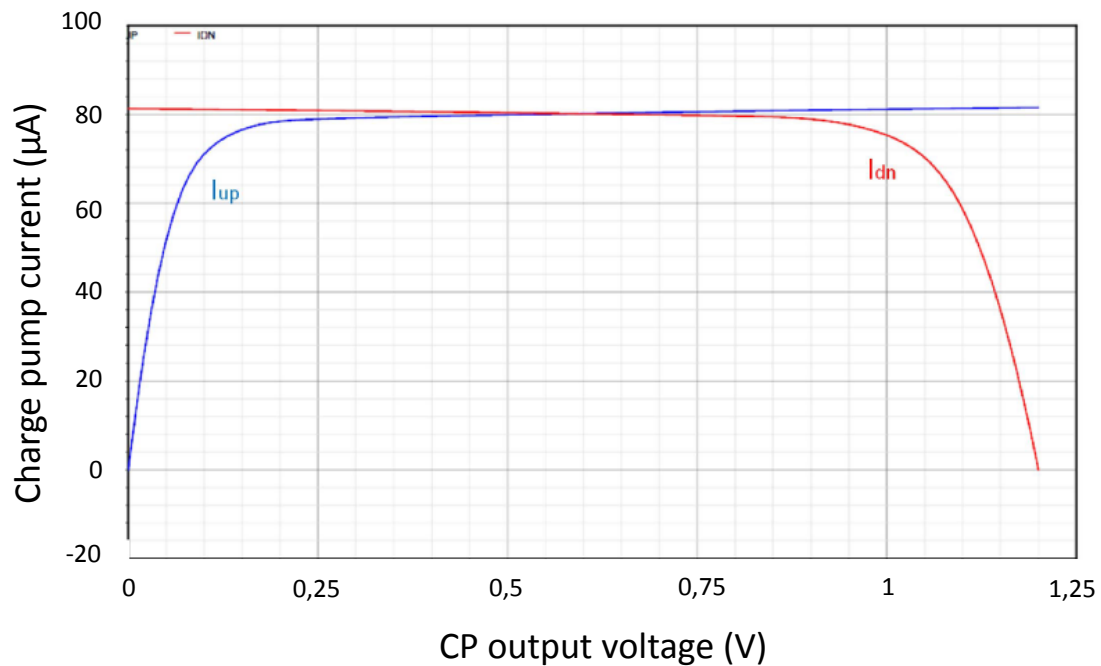


Figure 6.17 Les courants de charge et de décharge d'une pompe de charge de type *NMOS-switch high-swing cascode* possédant un plateau de courant dans la zone d'intérêt. La différence majeure entre l'architecture précédente est l'utilisation de NMOS pour les deux *switches* de la pompe de charge et l'utilisation de *high-swing cascode* pour augmenter la résistance de sortie et ainsi créer un plateau de courant en saturation [164].

Recommandation : Augmenter la taille des capacités du filtre de boucle

Avantages :

- Réduire l'impact du mésappariement de la pompe de charge. Le même mésappariement dans une plus grande capacité impacte moins la tension de contrôle.
- Réduire l'impact de l'injection de charge des oscillateurs sur leur tension de contrôle. La même injection de charge dans une plus grande capacité impacte moins la tension de contrôle.
- Réduire le rythme de correction de la PLL (puisque le filtre de boucle agit comme un filtre passe-bas) afin que les oscillations sur le noeud de contrôle soient plus lentes, et affectent moins chaque conversion individuelle.

Conditions :

- Les capacités sont déjà les composantes les plus volumineuses de la PLL. Augmenter significativement la taille de ces capacités requiert beaucoup d'espace. L'espace libéré

par la réduction du nombre de TDC dans la matrice devrait en partie être utilisé pour le filtre de boucle.

- Le temps pour verrouiller la PLL sera plus lent si on conserve le même courant de charge et de décharge. Cela ne doit pas avoir d'impact sur notre application.

6.8.4 Nouvelle architecture

L'un des points faibles de cette architecture est la sensibilité aux variations de procédé. En effet, si un système de PLL contrôle un seul TDC, la différence entre l'oscillateur asservi et sa copie représente un simple décalage, ce qui peut être corrigé. Par contre, si le système de PLL asservit plusieurs TDC, chaque TDC possède un décalage différent dû aux variations de procédé et il n'est donc pas possible de corriger chacun des décalages. Cela apporte un problème à l'architecture matricielle de contrôle de TDC.

Pour s'affranchir des problèmes de mésappariement, les deux PLL doivent contrôler directement les deux oscillateurs présent dans les TDC de la matrice. Par contre, cela apporte un défi technique supplémentaire puisque la PLL nécessite un oscillateur activé alors que le TDC nécessite que son oscillateur soit arrêté pour démarrer une mesure de temps. En ajoutant un interrupteur à l'intérieur du filtre de boucle (Figure 6.18), il est possible d'avoir deux modes d'opérations en alternance : calibration de l'oscillateur avec la PLL et mesure avec le TDC. Ce type d'architecture existe déjà dans la littérature pour diminuer l'oscillation sur le noeud de contrôle une fois verrouillée [158, 163]. Dans le mode calibration, la PLL est directement connectée à l'oscillateur du TDC et elle fixe la tension de contrôle afin que l'oscillateur soit à la bonne fréquence. Durant cette période, le TDC ne peut pas effectuer de conversion ce qui crée un temps mort. Lorsque la PLL est verrouillée, l'interrupteur de boucle s'ouvre et le TDC est prêt à effectuer une mesure. Le filtre de boucle côté oscillateur garde la tension de contrôle à la bonne valeur. Le cycle de calibration doit être répété à une fréquence déterminée afin de compenser efficacement pour les variations de température et de tension d'alimentation. Afin de calibrer une matrice de TDC, cette solution nécessiterait de balayer toute la matrice pour calibrer individuellement chaque TDC.

La Figure 6.18 représente une version schématisée de l'implémentation. Dans une implémentation finale, des blocs supplémentaires seront nécessaires afin de contrôler les modes d'opérations. Le noeud le plus critique est la tension de contrôle du côté oscillateur (*Ring_Ctrl*). Lorsque le TDC est en opération de mesure de temps, la tension de contrôle ne doit pas varier. Ce noeud est donc susceptible à plusieurs variations. Lorsque l'interrupteur est ouvert, le premier défi est de minimiser les fuites de courant à travers les composants (capacité et transistors) afin que le noeud soit stable.

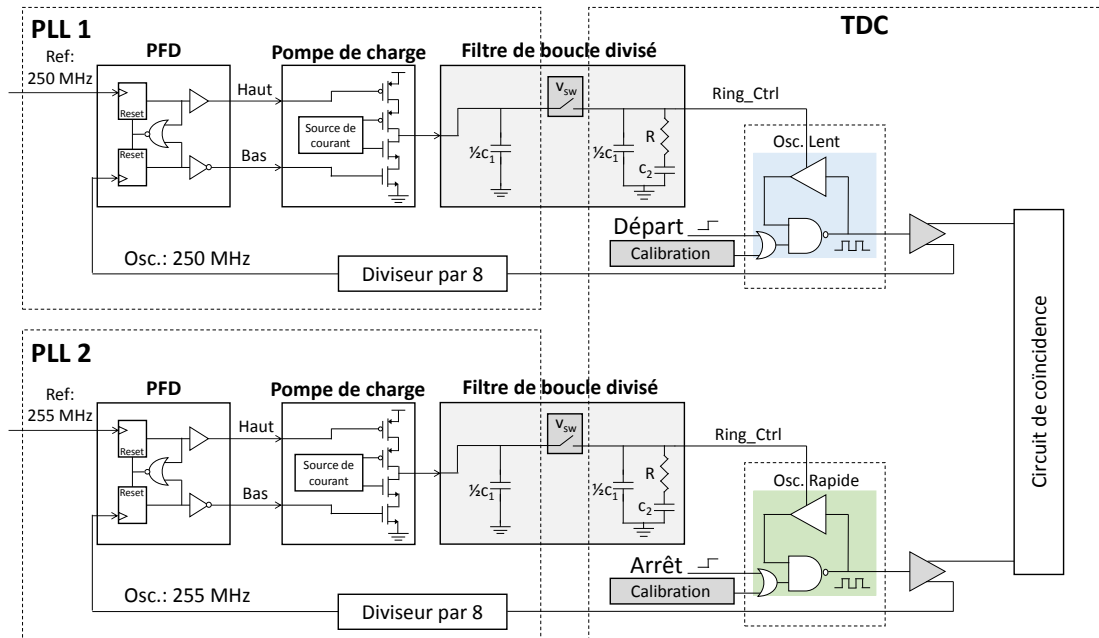


Figure 6.18 Schéma bloc de l'architecture d'une PLL avec un filtre de boucle divisé. Ce type d'architecture permet de contrôler directement les oscillateurs du TDC et ainsi minimiser l'impact des variations de procédés.

En plus de contrôler les fuites de courant, un autre défi s'impose : minimiser l'impact de l'injection de charge sur le noeud ainsi que le bruit kTC, les principaux composants injectant des charges sont l'interrupteur et l'oscillateur. Lorsque l'interrupteur s'ouvrira, son signal de contrôle injectera des charges à travers la capacité de grille du transistor (également connu sous le nom de *switching noise*). Puisque l'injection de charge dépend de la capacité formée par la grille du transistor de l'interrupteur, l'une des solutions possibles est d'absorber la même quantité de charges sur le noeud à l'aide d'un transistor identique. Par exemple, il est possible d'ajouter une copie de l'interrupteur connecté en MOSCAP dont la grille est contrôlée par le signal de contrôle de l'interrupteur dans une polarité inversé (Figure 6.19). Ceci permet qu'à chaque transition de signal, la copie de l'interrupteur absorbera la même quantité de charges que celle injectée sur le noeud par l'interrupteur.

Au niveau de l'oscillateur, à chacune des mesures du TDC, l'oscillateur injectera des charges à travers la capacité de grille du transistor de contrôle de l'inverseur appauvri en courant. Pour minimiser l'impact de cette injection de charge, un contrôle actif du noeud devrait aider. Par exemple, il est possible d'ajouter un amplificateur opérationnel en suiveur du côté oscillateur afin qu'il agisse comme un filtre pour absorber l'injection de charge. L'implémentation de cette nouvelle architecture offre un contexte intéressant pour un projet de maîtrise.

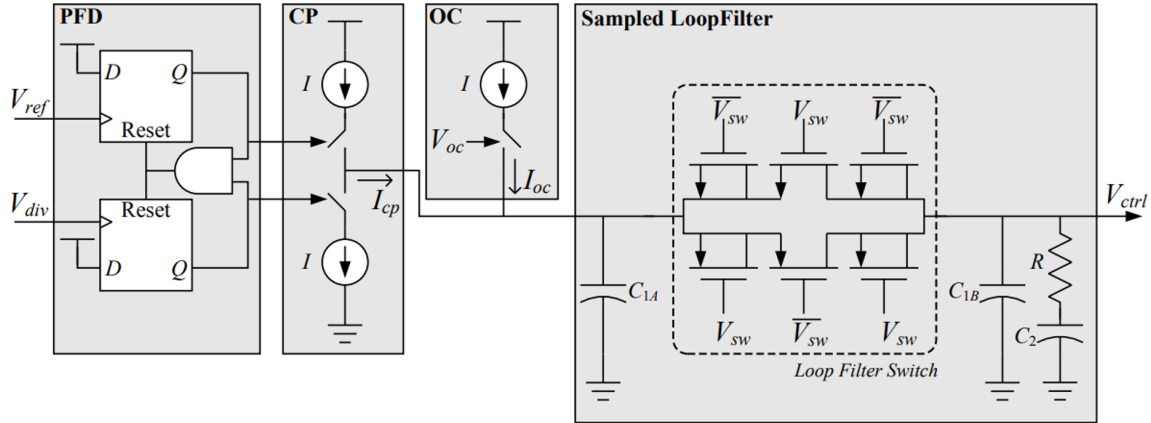


Figure 6.19 Schéma bloc de l'architecture d'une PLL avec un filtre de boucle divisé par un interrupteur (bloc de droite étiqueté *Sampled Loop Filter*). Dans cette architecture, l'interrupteur est l'élément du centre. De chaque côté de l'interrupteur, des copies de l'interrupteur sont ajoutées afin d'absorber le bruit d'injection de charge [158]. Remarquer que pour les copies, le drain et la source du transistor sont reliés au même noeud.

Cette architecture apporte un réel avantage si le circuit de PLL contrôle de nombreux TDC puisqu'elle compense le mésappariement entre les différents oscillateurs. La Figure 6.20 illustre un exemple d'implémentation d'une PLL asservissant plusieurs oscillateurs présents dans une matrice de TDC. Le plus grand défi dans cette architecture est d'arriver à un bon compromis entre le temps de stabilisation de la PLL pour verrouiller un oscillateur, le nombre d'oscillateurs asservis, la fréquence de calibration et la stabilité du noeud de contrôle côté oscillateur par rapport au temps. Une autre solution possible est de concevoir une PLL numérique plutôt qu'une PLL analogique et de placer un convertisseur numérique-analogique à chaque pixel afin de bien conserver la tension de contrôle pour chaque oscillateur.

6.9 Conclusion

Le circuit d'asservissement composé de deux PLL permet de stabiliser les performances temporelles des TDC. Considérant qu'on souhaite une contribution maximale de 10 ps LMH (4 ps RMS) de chaque contribution matricielle, le TDC intégré avec des tensions fixes (ex : DAC) pouvait tolérer une variation maximale de 3 °C et de 1 mV de tension d'alimentation. L'implémentation du circuit de PLL permet d'élargir cette variation à 6 °C et de 10 mV de tension d'alimentation. De plus, la PLL peut facilement être améliorée en fonction des recommandations énumérées plus haut pour élargir cette plage d'opération.

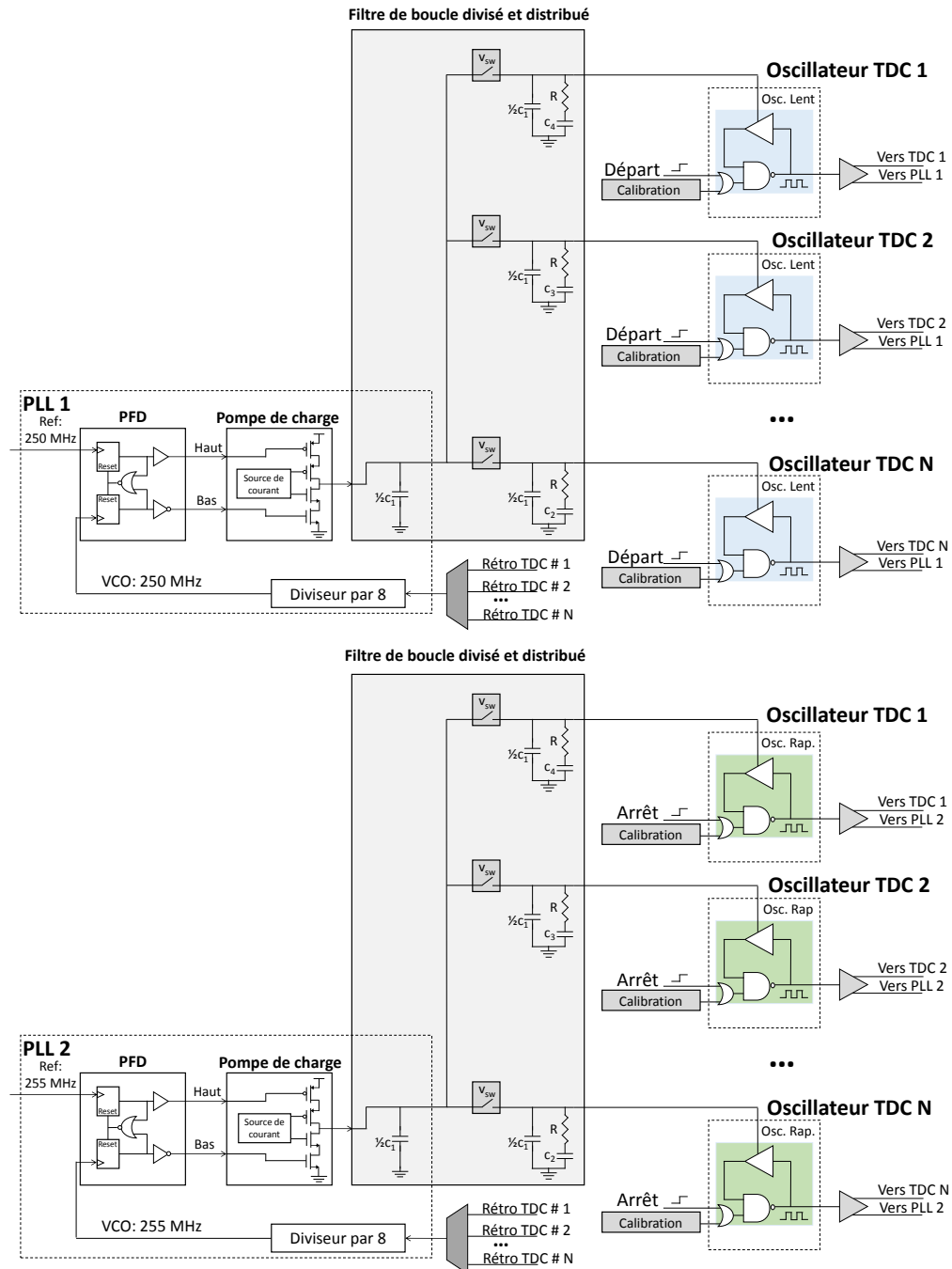


Figure 6.20 Schéma bloc de l'architecture d'une PLL avec un filtre de boucle divisé qui contrôle de multiple TDC. Ce type d'architecture permet de contrôler directement les oscillateurs des TDC et ainsi minimiser l'impact des variations de procédés. Cela requiert une séquence de calibration qui calibre tour à tour chaque TDC.

La nouvelle architecture de PLL proposée avec filtre de boucle séparé en deux parties répond à la fois aux problèmes des variations PVT et à celui de la non-uniformité du LSB

pixel-à-pixel. Ce point est très important puisqu'il n'est pas possible de complètement résorber cet effet seulement avec des stratégies de conception des oscillateurs. La solution proposée permettrait de s'affranchir du mésappariement des oscillateurs à l'intérieur d'une matrice, mais également entre chacun des détecteurs. Cette solution permettrait également d'enlever l'amplificateur suiveur présent dans chaque pixel ou du moins, sa contrainte de mésappariement.

CHAPITRE 7

CONCLUSION

Les scanners TEP précliniques atteignent maintenant une résolution sous-millimétrique, s'approchant de la limite physique de la distance sur laquelle le positron diffuse avant de s'annihiler avec un électron. L'intégration de la mesure du temps-de-vol (TdV) est un élément clé dans la progression des performances de ces scanners. Le TdV permet de circonscrire l'endroit sur la ligne de réponse où s'est produite l'annihilation du positron avec un électron. Ce faisant, il est possible de réduire considérablement le bruit injecté dans l'image. Les systèmes courants permettent d'atteindre une résolution en coïncidence 200 ps LMH, ce qui représente une précision en distance parcourue de 30 mm. Ce type de détecteur TdV permet une intégration dans un système clinique, mais est encore loin des performances requises pour un système préclinique étant donné que la taille des structures est sous 30 mm. L'objectif que plusieurs groupes de recherches en TEP TdV souhaitent atteindre est une résolution temporelle en coïncidence de 10 ps LMH (4 ps RMS), ce qui donnerait une précision le long de la ligne de réponse de 1,5 mm LMH, augmentant considérablement le contraste de l'image.

Au début des travaux de cette thèse, l'état de l'art du domaine stipulait qu'il faut réunir 2 éléments pour atteindre une résolution temporelle en coïncidence de 10 ps LMH (4 ps RMS) Premièrement, de nouveaux mécanismes d'émission de lumière sont nécessaires dans les cristaux scintillateurs afin d'obtenir des photons prompts, soit des photons qui proviennent d'un processus d'émissions de l'ordre de la picoseconde. Plusieurs groupes de recherche travaillent au développement de nouveaux cristaux scintillateurs pour tirer profit des phénomènes de lumière Cherenkov, de *hot intraband luminescence* et de *quantum confinement*. Deuxièmement, lorsque les mécanismes d'émissions de photons prompts seront intégrés aux cristaux scintillateurs, un détecteur monophotonique avec une gigue temporelle à la détection de photon unique (SPTR) de 10 ps LMH d'un détecteur de $1,1 \times 1,1 \text{ mm}^2$ est également requis. Au niveau du SPTR, cette contribution peut être divisée en deux : la gigue temporelle du photodétecteur et la gigue temporelle de l'électronique de lecture. Cette thèse s'est concentrée sur le développement de ce circuit de lecture.

7.1 Sommaire

En 2016, le SPAD combiné à son circuit d'étouffement possédant la meilleure gigue temporelle dans l'état de l'art était de 20 ps LMH. La meilleure gigue temporelle non publiée dans un article scientifique était de 13 ps LMH, provenant de mon mémoire de maîtrise. Au niveau des matrices de SPAD (SiPM), les meilleurs détecteurs de $1 \times 1 \text{ mm}^2$ possédaient une gigue temporelle à la détection d'un photon unique de 200 ps LMH [85]. Cela signifie qu'il y avait un long chemin à parcourir avant d'atteindre une gigue temporelle de 10 ps LMH (4 ps RMS) pour une matrice de photodétecteur de $1,1 \times 1,1 \text{ mm}^2$. Pour réaliser cette thèse, trois circuits intégrés en technologie CMOS 65 nm ont été conçus, fabriqués et caractérisés.

Le premier circuit intégré réalisé dans le cadre de ces travaux est le circuit *ICSSHSR3* qui visait à optimiser les performances temporelles de SPAD, du circuit d'étouffement et du TDC en CMOS 65 nm. Ce circuit a permis de démontrer qu'il est possible d'atteindre une gigue temporelle de 7,8 ps LMH avec un SPAD et un circuit d'étouffement [98]. À ce jour, ce détecteur est le seul circuit à base de SPAD publié possédant une gigue temporelle sous 10 ps LMH (4 ps RMS). De plus, un détecteur composé d'un SPAD, d'un circuit d'étouffement et d'un TDC a été conçu. Ce détecteur est la preuve de concept du pixel individuel qui composera le détecteur de $1,1 \times 1,1 \text{ mm}^2$. Ce circuit a permis d'atteindre une gigue temporelle de 17,7 ps LMH, encore une fois le meilleur résultat publié à ce jour dans l'état de l'art pour ce type de détecteur [99]. Dans cette configuration, le circuit de lecture électronique (circuit d'étouffement et TDC) possédait une gigue temporelle de 11,5 ps LMH.

Suite aux résultats obtenus avec le premier circuit, un second circuit intégré a été réalisé (*ICSSHSR4*) afin d'identifier, comprendre et réduire l'impact d'intégrer 256 circuits d'étouffements et 256 TDC dans un circuit de $1,1 \times 1,1 \text{ mm}^2$. Plusieurs circuits matriciels de SPAD ont été conçus, mais peu tentent d'atteindre 10 ps LMH (4 ps RMS) et tenter d'atteindre une si faible gigue temporelle révèle que certaines contributions, apparaissant comme négligeables pour une matrice à 100 ps, ne le sont plus. Les contributions sont notamment la variation de délai de pixel-à-pixel, la non-uniformité du LSB pixel-à-pixel et le bruit commun sur l'alimentation et les tensions de contrôles du TDC en fonction du nombre de TDC actifs dans la matrice. Ce circuit a permis d'atteindre une précision de 42 ps LMH (18 ps RMS) pour un détecteur complet de $1,1 \times 1,1 \text{ mm}^2$ [100]. Ce circuit a surtout permis d'identifier et quantifier l'impact des différentes contributions. Ce circuit a permis également d'étudier les performances de circuits à base de PLL pour asservir les performances des TDC Vernier à base d'anneaux oscillants. Cette considération est très

importante en vue d'une intégration dans un système complet où l'on doit calibrer des milliers de détecteurs (ex : scanner TEP).

Le troisième circuit intégré (*ICSSHTD1*) conçu visait à optimiser les performances en consommation de puissance du TDC et la taille des anneaux oscillants du TDC. De plus, ce circuit contenant un prototype de 8 canaux de TDC pour différentes applications. Ce circuit a mené à une nouvelle architecture de prélogique qui permet de réduire la consommation de puissance de $160 \mu W$ à $22 \mu W$ tout en conservant les mêmes performances de gigue temporelle. Cette amélioration est nécessaire afin de rendre compatible l'intégration de TDC à l'intérieur d'un scanner TEP composé de dizaines de milliers de détecteurs.

7.2 Contributions originales

Les travaux de recherche associés à cette thèse ont apporté de nombreuses contributions originales à la communauté scientifique. Ces contributions touchent principalement la conception et l'amélioration de circuits au niveau des performances temporelles. Dans cette thèse, de nouvelles architectures de circuits sont proposées afin de réduire la gigue temporelle des différents éléments composant la chaîne de lecture d'une matrice de SPAD. Des améliorations sont également apportées à la consommation de puissance et la stabilité des performances à l'égard des variations de température et de tension d'alimentation.

Le chapitre 3 discute principalement des améliorations apportées aux circuits d'étouffement et au TDC afin d'obtenir un pixel individuel possédant une gigue temporelle de 10 ps LMH. Au niveau du circuit d'étouffement, le concept nouveau par rapport à l'état de l'art est la gestion de la variation de la tension d'excès au noeud d'étouffement qui améliore la gigue temporelle du circuit d'étouffement lorsque couplé à un SPAD [98]. Cette variation est peu discutée dans l'état de l'art principalement dû au fait qu'il n'est pas possible de placer une sonde pour venir lire le signal à l'interface entre le SPAD et le circuit d'étouffement. Le circuit d'étouffement permet d'observer le signal à cette interface à l'aide de son seuil ajustable. Cette mesure indirecte permet d'appliquer une limite à la variation du délai de propagation en fonction de la surtension pour obtenir une gigue temporelle de 10 ps LMH. Maintenant que ce type de mesure est disponible, elle pourrait aider à qualifier les propriétés des SPAD, mais une étude est nécessaire pour voir si l'information tirée de cette variation peut nous aider. Une seconde information est le temps de montée du signal à l'interface entre le SPAD et le circuit d'étouffement. Les mesures effectuées avec les SPAD en 65 nm ont permis de déterminer qu'il faut une pente minimale de 2 V/ns pour que la contribution du circuit d'étouffement soit négligeable. La deuxième moitié du chapitre 3 discute de trois architectures d'inverseur pour contrôler la fréquence des oscillateurs du

TDC [99]. Les mesures montrent qu'en utilisant les transistors de l'inverseur comme cascode pour les transistors de contrôle, la gigue temporelle s'améliore. Il est donc possible de conclure que la tension d'alimentation injecte du bruit sur la tension de contrôle et que ces noeuds doivent être isolés.

Le chapitre 4 présente une nouvelle architecture de circuit prélogique pour un TDC de type Vernier possédant un signal d'arrêt répétitif pour mesurer des événements asynchrone. Dans notre cas d'utilisation, un signal périodique de 4 ns déclenche le TDC. Puisque le TDC ne doit manquer aucun événement, le signal périodique enclenche le TDC à chaque cycle puis le réinitialise s'il n'y a pas d'événement. Tel que montré dans l'étude proposée par Roy [125], ce processus consomme la majorité de la puissance nécessaire au fonctionnement du TDC. Pour pallier à ce problème, une nouvelle architecture de circuit prélogique de TDC vient gérer l'arrivée de ce signal périodique pour l'écarter lorsqu'il n'y a pas d'événement à mesurer. Le nouveau circuit conçu permet de gérer ce signal avec la consommation de deux portes logiques sans avoir besoin de réinitialiser. Cette approche originale permet donc d'atteindre une consommation de puissance de $22 \mu W$ par TDC plutôt que les $160 \mu W$ [125] précédemment obtenu, ce qui rend possible son utilisation pratique dans des systèmes multicanaux tels que les scanners TEP. En plus, ces travaux ont mené à un nouveau TDC dont l'architecture fait l'objet d'une demande de brevet provisoire.

Le chapitre 5 présente un circuit de lecture matricielle de convertisseur photon-numérique 3D possédant une précision de 42 ps LMH (18 ps RMS) pour un détecteur complet de $1,1 \times 1,1 \text{ mm}^2$ [100]. En plus de l'architecture de ce circuit de lecture, le chapitre 5 présente une analyse de gigue temporelle d'une matrice de circuit de lecture en tenant compte de toutes les contributions, individuelles et matricielles. De nombreuses matrices de SPAD existent, mais peu sont près d'atteindre une gigue temporelle de 10 ps LMH. Ceci signifie que certaines contributions apparaissant négligeables à prime à bord sont critiques pour atteindre 10 ps LMH. La première constatation observée est que la gigue temporelle de base atteignable par le circuit d'étouffement et le TDC est plus élevée que dans un circuit de test. La gigue temporelle atteint un plateau de 8 ps RMS dans la matrice alors que le même circuit dans une section de test atteint 5-6 ps RMS. Cette différence vient du bruit injecté par les circuits numériques composant le circuit de lecture matricielle. Cela signifie donc que l'isolation présentement utilisée, malgré que bien implémentée, n'était pas suffisante pour obtenir la meilleure gigue temporelle possible. Les mesures matricielles ont également permis d'identifier trois contributions majeures et de les quantifier. Les contributions sont la variation de délai de pixel-à-pixel, la non-uniformité du LSB pixel-à-pixel et le bruit en mode commun sur les tensions d'alimentation et les tensions de

contrôle. La variation de délai pixel-à-pixel est une contribution bien connue et la méthode de correction implémentée a permis de réduire son impact à 0. Par contre, l'impact de la non-uniformité du LSB des TDCs est plus grand que prévu. À première vue, le LSB n'est pas une contribution à la gigue temporelle. Cependant, la gigue temporelle atteignable dépend du LSB du TDC à travers l'erreur de quantification ($\frac{LSB}{\sqrt{12}}$). Ceci signifie donc que les TDC dans la matrice ayant un large LSB du à cette contribution auront une gigue temporelle élevée. De nouveaux oscillateurs pour minimiser la non-uniformité ont été proposés au chapitre 4. Au niveau du bruit, il doit toujours être minimisé entre les circuits critiques et cette étude montre à quel niveau il dégrade les performances des TDC. L'étude présentée au chapitre 5 démontre que l'intégration de 256 TDC dans une surface de $1,1 \times 1,1 \text{ mm}^2$ dégrade les performances au-delà du seuil acceptable pour atteindre 10 ps LMH (4 ps RMS). Une intégration d'un TDC par 4 circuits d'étouffement permettrait de réduire considérablement le bruit matriciel, à un niveau acceptable pour 10 ps LMH (4 ps RMS). Cette conclusion rejoint l'article présenté par Tétraut [139] et démontre que les performances temporelles en coïncidence ne sont pas dégradées en réduisant le nombre de TDC. Par contre, cette implémentation vient avec une condition, les performances de correction de la variation du délai de propagation pixel-à-pixel doivent demeurer inchangées. L'étude présentée propose d'utiliser un arbitre pour associer l'adresse du SPAD déclenchant le TDC afin de converser la correction du délai de propagation de tous les pixels.

Le chapitre 6 présente une nouvelle architecture de contrôle de TDC basée sur une boucle de verrouillage de phase (PLL). À partir des circuits d'asservissements pour les TDC à base d'anneau oscillateur, un nouveau circuit a été proposé pour contrôler un double oscillateur pour un TDC Vernier. Cette architecture permet de contrôler la période de l'oscillateur en fonction des variations de température et de tension d'alimentation. Les mesures effectuées ont permis de conclure que le mode de contrôle des oscillateurs est différent avec les PLL comparativement aux tensions fixes provenant de DAC. Malgré le fait que l'oscillateur simple possède une meilleure stabilité pour la tension d'alimentation d'un facteur 85, le facteur est seulement de 4 pour le LSB (combinaison de deux oscillateurs). Cette constatation basée sur des mesures nous pousse à trouver de nouvelles solutions pour l'implémentation du circuit d'asservissement. Une nouvelle architecture est proposée afin d'améliorer les performances, principalement la stabilité par rapport aux variations de procédés, ce qui n'était pas géré dans l'architecture précédente.

Les travaux réalisés dans cette thèse visaient à déterminer quelle architecture de circuit de lecture de matrice de photodiodes avalanche monophotonique doit être implémentée

pour obtenir une gigue temporelle de 10 ps LMH à la détection d'un photon unique en incluant la contribution individuelle de chaque circuit ainsi que les non-uniformités matricielles. Ces travaux ont permis d'identifier et réaliser un circuit d'étouffement ainsi qu'un TDC dont la performance temporelle est sous 10 ps LMH. Au niveau des non-uniformités matricielles, le détecteur conçu a permis d'atteindre 42 ps LMH avec l'idée d'intégrer un TDC par pixel. Une nouvelle proposition possédant un TDC pour 4 SPAD avec un arbitre a été proposée et une mesure préliminaire montre que cette architecture peut atteindre 22 ps FWHM. Les contributions temporelles menant à cette valeur ont été identifiées et pourront être minimisées dans la prochaine révision du circuit. Pour terminer, les performances en stabilité du système en fonction des variations de température et de tension d'alimentation ont été évaluées. Une nouvelle architecture de contrôle originale a été proposée qui corrigerait un problème de non-uniformité matricielle tout en améliorant les performances au niveau de la stabilité du système.

7.3 Perspectives

Les résultats de ce projet de doctorat nous positionnent plus près du but, mais il reste encore de nombreux éléments à compléter avant d'atteindre l'objectif de concevoir un convertisseur photon-numérique 3D qui possède un SPTR de 10 ps LMH (4 ps RMS) afin d'obtenir une résolution temporelle en coïncidence de 10 ps LMH. La première grande étape à réaliser est l'intégration 3D d'un détecteur sur l'électronique de lecture pour voir s'il y a une nouvelle contribution qui n'a pas encore été identifiée. Lorsque le photodétecteur sera intégré en 3D, l'échéancier pour atteindre 10 ps LMH sera beaucoup plus clair. Le développement du circuit de lecture doit s'intégrer à un échéancier plus global qui comprend l'intégration 3D du détecteur afin de rendre ce circuit de lecture utilisable pour de nombreuses applications.

Entretiens, le développement du circuit de lecture peut toujours progresser. Le circuit actuel possède une gigue temporelle de 42 ps LMH, mais une mesure avec 64 TDC avec ce même circuit nous a permis d'atteindre 22 ps LMH. L'objectif de 10 ps LMH (4 ps RMS) pour la matrice de circuit de lecture est donc un objectif atteignable à court terme. Cette thèse propose de nombreuses recommandations afin d'améliorer les performances temporelles du circuit de lecture. Au niveau individuel, le circuit d'étouffement répond aux critères fixés. Par contre, le TDC n'obtient toujours pas une gigue temporelle sous 10 ps LMH. La mesure proposée au chapitre 4 indique qu'une gigue temporelle de 8,7 ps LMH est atteignable si on réduit la gigue temporelle du montage, mais cette contribution est toujours trop haute. Une nouvelle architecture de TDC est donc requise. L'auteur a donc participé au développement d'une nouvelle architecture dont un brevet est en cours

de rédaction. Cette nouvelle architecture permettra de réduire significativement la gigue temporelle du TDC, un critère primordial à l'atteinte de l'objectif de 10 ps LMH pour la matrice.

Au niveau de l'intégration matricielle, un nouveau plan d'implémentation est requis. Premièrement, il faut réduire le nombre de TDC en implémentant 1 TDC pour 4 circuits d'étouffement. Puisqu'il faut toujours corriger la variation du délai de propagation par circuit d'étouffement, un arbitre entre les circuits d'étouffement et le TDC est nécessaire pour connaître l'adresse du pixel déclenché. Cette modification permet de réduire considérablement le bruit interpixel. L'espace dégagé par cette réduction de TDC doit être utilisé pour augmenter la taille des oscillateurs et ajouter du découplage local sur les noeuds critiques du TDC (tension de contrôle et tension d'alimentation).

La seconde considération d'une organisation matricielle est de réduire le bruit provenant de l'horloge globale. Le signal d'horloge cause actuellement une énorme erreur de linéarité dans le TDC ainsi que de gigue temporelle. Dans le circuit actuel, l'horloge déclenche la mémoire de l'ASIC ainsi que l'ensemble des bascules du système d'acquisition et du traitement de signal embarqué alors que ces circuits sont en mode attente. Cette consommation périodique a un impact direct sur le TDC. Il faudrait donc ajouter un circuit de masquage d'horloge pour n'utiliser que les circuits pertinents à chaque étape du circuit de lecture. De plus, l'arbre d'horloge avait été optimisé pour que les fronts d'horloge de toutes les portes soient à l'intérieur de 20 ps RMS. L'arbre d'horloge doit disperser l'arrivée de ces fronts pour minimiser l'impact sur la consommation instantanée dans l'ASIC. Le TDC utilise le signal d'horloge comme signal d'arrêt, utiliser un second signal minimiserait le bruit corrélé entre l'horloge et la conversion du TDC, cela réduirait l'impact sur les non-linéarités.

La troisième considération matricielle est de réduire la non-uniformité du LSB des TDC. Cette variation ne permet pas de placer le TDC à son point d'opération optimal ce qui augmente considérablement la gigue temporelle du détecteur. Le chapitre 5 montre qu'en augmentant au maximum la taille des transistors composant les oscillateurs, il est possible de réduire à 10 ps la variation maximale du LSB à travers une matrice (contrairement à 70 ps avec le circuit actuel). Cela montre une grande amélioration et pourtant, la question se pose à savoir si c'est suffisant pour atteindre l'objectif final. Pour réduire cette variation, l'architecture de PLL proposée au chapitre 6 est la solution optimale puisqu'elle asservit directement l'oscillateur présent dans chaque TDC. De plus, la gigue temporelle cycle-à-cycle de la PLL doit être améliorée sous 10 ps LMH afin d'asservir la matrice de TDC du convertisseur photon-numérique.

Lorsque j'ai débuté mes études graduées, une gigue temporelle de 10 ps LMH pour un seul SPAD semblait encore un exploit difficilement réalisable. Ces huit dernières années à développer l'électronique nous ont permis de démontrer qu'un détecteur à base de SPAD pouvait obtenir une résolution temporelle sous les 10 ps LMH. Les circuits développés lors de cette thèse ont également permis d'avancer significativement notre compréhension de ce qui sera nécessaire afin de transférer cette performance pour une matrice de détecteur. Je suis confiant que l'équipe du GRAMS sera en mesure d'atteindre cet objectif dans les prochaines années. Un tel photodétecteur permettra non seulement de révolutionner la TEP en intégrant la mesure de temps de vol pour obtenir une image directement reconstruite avec une résolution millimétrique, mais également l'imagerie hors de portée optique pour reconstruire des objets et des scènes dont l'angle de vue est obstrué, ainsi que les grandes expériences en physique subatomique en identifiant de nouvelles particules.

LISTE DES RÉFÉRENCES

- [1] “Swabian Instruments Time Tagger - technical information,” <https://www.swabianinstruments.com/time-tagger/>, 2016, page consulté le 6 juillet 2020.
- [2] “Becker & Hickl TCSPC Modules - technical information,” <https://www.becker-hickl.com/products/category/tcspc-modules/>, 2020, page consulté le 6 juillet 2020.
- [3] T. A. Abbas, N. A. W. Dutton, O. Almer, S. Pellegrini, Y. Henrion, and R. K. Henderson, “Backside illuminated SPAD image sensor with $7.83 \mu\text{m}$ pitch in 3D-stacked CMOS technology,” in 2016 IEEE International Electron Devices Meeting (IEDM), 2016, pp. 8.1.1–8.1.4.
- [4] F. Acerbi, A. Ferri, A. Gola, M. Cazzanelli, L. Pavesi, N. Zorzi, and C. Piemonte, “Characterization of single-photon time resolution : From single SPAD to silicon photomultiplier,” IEEE Transactions on Nuclear Science, vol. 61, no. 5, pp. 2678–2686, 2014.
- [5] F. Acerbi, A. Ferri, G. Zappala, G. Paternoster, A. Gola, N. Zorzi, and C. Piemonte, “Technological and design improvements of FBK NUV silicon-photomultipliers,” in Fotonica AEIT Italian Conference on Photonics Technologies, 2015, pp. 6–8.
- [6] F. Acerbi, A. Ferri, G. Zappala, G. Paternoster, A. Picciotto, A. Gola, N. Zorzi, and C. Piemonte, “NUV silicon photomultipliers with high detection efficiency and reduced delayed correlated-noise,” IEEE Transactions on Nuclear Science, vol. 62, no. 3, pp. 1318–1325, 2015.
- [7] F. Acerbi, A. Ferri, A. Gola, N. Zorzi, and C. Piemonte, “Analysis of single-photon time resolution of FBK silicon photomultipliers,” Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 787, pp. 34–37, 2015.
- [8] M. Adinolfi, G. Aglieri Rinella, E. Albrecht, T. Bellunato, S. Benson, T. Blake, C. Blanks, S. Brisbane, N. H. Brook, M. Calvi, B. Cameron, R. Cardinale, L. Carson, A. Contu, M. Coombes, C. D’Ambrosio, S. Easo, U. Egede, S. Eisenhardt, E. Fanchini, C. Fitzpatrick, F. Fontanelli, R. Forty, C. Frei, P. Gandini, R. Gao, J. Garra Tico, A. Giachero, V. Gibson, C. Gotti, S. Gregson, T. Gys, S. C. Haines, T. Hampson, N. Harnew, D. Hill, P. Hunt, M. John, C. R. Jones, D. Johnson, N. Kanaya, S. Katvars, U. Kerzel, Y. M. Kim, S. Koblitz, M. Kucharczyk, D. Lambert, A. Main, M. Maino, S. Malde, N. Mangiafave, C. Matteuzzi, G. Mini’, A. Mollen, J. Morant, R. Mountain, J. V. Morris, F. Muheim, R. Muresan, J. Nardulli, P. Owen, A. Papanestis, M. Patel, G. N. Patrick, D. L. Perego, G. Pessina, A. Petrolini, D. Piedigrossi, R. Plackett, S. Playfer, A. Powell, J. H. Rademacker, S. Ricciardi, G. J. Rogers, P. Sail, M. Sannino, T. Savidge, I. Sepp, S. Sigurdsson, F. J. P. Soler, A. Solomin, F. Soomro, A. Sparkes, P. Spradlin, B. Storaci, C. Thomas, S. Topp-Joergensen, N. Torr, O. Ullaland, K. Vervink, D. Voong, D. Websdale, G. Wilkinson, S. A. Wotton, K. Wyllie,

- F. Xing, and R. Young, “Performance of the LHCb RICH detector at the LHC,” The European Physical Journal C, vol. 73, no. 5, p. 2431, 2013. [Online]. Available : <http://dx.doi.org/10.1140/epjc/s10052-013-2431-9>
- [9] J. B. Albert, G. Anton, I. J. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, F. Bourque, J. P. Brodsky, E. Brown, T. Brunner, A. Burenkov, G. F. Cao, L. Cao, W. R. Cen, C. Chambers, S. A. Charlebois, M. Chiu, B. Cleveland, M. Coon, A. Craycraft, W. Cree, M. Côté, J. Dalmasson, T. Daniels, S. J. Daugherty, J. Daughhetee, S. Delaquis, A. Der Mesrobian-Kabakian, R. DeVoe, T. Didberidze, J. Dilling, Y. Y. Ding, M. J. Dolinski, A. Dragone, L. Fabris, W. Fairbank, J. Farine, S. Feyzbakhsh, R. Fontaine, D. Fudenberg, G. Giacomini, R. Gornea, K. Graham, G. Gratta, E. V. Hansen, D. Harris, M. Hasan, M. Heffner, E. W. Hoppe, A. House, P. Hufschmidt, M. Hughes, J. Höfl, Y. Ito, A. Iverson, A. Jamil, M. Jewell, X. S. Jiang, T. N. Johnson, S. Johnston, A. Karelin, L. J. Kaufman, R. Killick, T. Koffas, S. Kravitz, R. Krücken, A. Kuchenkov, K. S. Kumar, Y. Lan, D. S. Leonard, G. Li, S. Li, Z. Li, C. Licciardi, Y. H. Lin, R. MacLellan, T. Michel, B. Mong, D. Moore, K. Murray, R. J. Newby, Z. Ning, O. Njoya, F. Nolet, K. Odgers, A. Odian, M. Oriunno, J. L. Orrell, I. Ostrovskiy, C. T. Overman, G. S. Ortega, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, D. Qiu, V. Radeka, E. Raguzin, T. Rao, S. Rescia, F. Retiere, A. Robinson, T. Rossignol, P. C. Rowson, N. Roy, R. Saldanha, S. Sangiorgio, S. Schmidt, J. Schneider, A. Schubert, D. Sinclair, K. Skarpaas, A. K. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. L. Sun, M. Tarka, J. Todd, T. Tolba, R. Tsang, T. Tsang, F. Vachon, V. Veeraraghavan, G. Visser, P. Vogel, J.-L. Vuilleumier, M. Wagenpfeil, Q. Wang, M. Weber, W. Wei, L. J. Wen, U. Wichoski, G. Wrede, S. X. Wu, W. H. Wu, L. Yang, Y.-R. Yen, O. Zeldovich, J. Zettlemoyer, X. Zhang, J. Zhao, Y. Zhou, and T. Ziegler, “Sensitivity and discovery potential of the proposed nEXO experiment to neutrinoless double- β decay,” Phys. Rev. C, vol. 97, p. 065503, Jun 2018. [Online]. Available : <https://link.aps.org/doi/10.1103/PhysRevC.97.065503>
- [10] M. Albota, B. Aull, D. Fouche, R. Heinrichs, D. Kocher, R. Marino, J. Mooney, N. Newbury, M. Brien, B. Player, B. Willard, and J. Zayhowski, “Three-Dimensional Imaging Laser Radars with Geiger-Mode Avalanche Photodiode Arrays,” Lincoln Laboratory Journal, vol. 13, no. 2, pp. 351–370, 2002.
- [11] M.-C. Amann, T. Bosch, M. Lescure, R. Myllyla, and M. Rioux, “Laser ranging : A critical review of usual techniques for distance measurement,” Optical Engineering, vol. 40, no. 1, pp. 10–19, 2001.
- [12] I. M. Antolovic, S. Burri, C. Bruschini, R. Hoebe, and E. Charbon, “Nonuniformity Analysis of a 65-kpixel CMOS SPAD Image,” IEEE Transactions on Electron Devices, vol. 63, no. 1, pp. 57–64, 2016.
- [13] I. M. Antolovic, S. Burri, R. A. Hoebe, Y. Maruyama, C. Bruschini, and E. Charbon, “Photon-counting arrays for time-resolved imaging,” Sensors, vol. 16, no. 7, 2016. [Online]. Available : <http://www.mdpi.com/1424-8220/16/7/1005>
- [14] B. Aull, A. Loomis, D. Young, R. Heinrichs, B. Felton, P. Daniels, and D. Landers, “Geiger-mode avalanche photodiodes for three- dimensional imaging,” Lincoln Laboratory Journal, vol. 13, no. 2, pp. 335–350, 2002.
-

-
- [15] B. F. Aull, D. R. Schuette, D. J. Young, D. M. Craig, B. J. Felton, and K. Warner, "A study of crosstalk in a 256×256 photon counting imager based on silicon geiger-mode avalanche photodiodes," IEEE Sensors Journal, vol. 15, no. 4, pp. 2123–2132, 2015.
- [16] T. Baba, T. Nagano, A. Ishida, S. Adachi, S. Nakamura, and K. Yamamoto, "Silicon hybrid SPAD with high-NIR-sensitivity for TOF applications," in Proc. SPIE, 2017, p. 10108.
- [17] W. R. Bennett, "Spectra of quantized signals," Bell Syst. Tech. J., vol. 27, pp. 446–472, 1948.
- [18] M. Bergeron, C. Thibaudeau, J. Cadorette, M. A. Tétrault, C. M. Pepin, J. Clerk-Lamallice, F. Loignon-Houle, M. Davies, H. Dautet, P. Deschamps, R. Fontaine, and R. Lecomte, "LabPET II, an APD-based Detector Module with PET and Counting CT Imaging Capabilities," IEEE Transactions on Nuclear Science, vol. 62, no. 3, pp. 756–765, June 2015.
- [19] B.-L. Bérubé, V.-P. Rhéaume, S. Parent, L. Maurais, A. Therrien, P. Charette, S. Charlebois, R. Fontaine, and J.-F. Pratte, "Implementation study of single photon avalanche diodes (SPAD) in $0.8 \mu\text{m}$ HV CMOS technology," IEEE Transactions on Nuclear Science, vol. 62, no. 3, pp. 710–718, 2015.
- [20] B. L. Bérubé, V. P. Rhéaume, A. C. Therrien, S. Parent, L. Maurais, A. Boisvert, G. Carini, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, "Development of a single photon avalanche diode (SPAD) array in high voltage CMOS $0.8 \mu\text{m}$ dedicated to a 3D integrated circuit (3DIC)," in 2012 IEEE Nuclear Science Symposium and Medical Imaging Conference Record (NSS/MIC), 2012, pp. 1835–1839.
- [21] F. Blais, "Review of 20 years of range sensor development," Journal of Electronic Imaging, vol. 13, no. 1, pp. 231–240, 2004.
- [22] A. Boisvert, "Conception d'un circuit d'étouffement pour photodiodes à avalanche en mode geiger pour intégration hétérogène 3D," Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2014, 123p.
- [23] J. Bouchard, A. Samson, W. Lemaire, C. Paulin, J. Pratte, Y. Bérubé-Lauzière, and R. Fontaine, "A low-cost time-correlated single photon counting system for multiview time-domain diffuse optical tomography," IEEE Transactions on Instrumentation and Measurement, vol. 66, no. 10, pp. 2505–2515, Oct 2017.
- [24] D. Bronzi, Y. Zou, F. Villa, S. Tisa, A. Tosi, and F. Zappa, "Automotive three-dimensional vision through a single-photon counting SPAD camera," IEEE Transactions on Intelligent Transportation Systems, vol. 17, no. 3, pp. 782–795, 2016.
- [25] S. Burri, C. Bruschini, and E. Charbon, "LinoSPAD : A Compact Linear SPAD Camera System with 64 FPGA-Based TDC Modules for Versatile 50 ps Resolution Time-Resolved Imaging," Instruments, vol. 1, no. 1, 2017. [Online]. Available : <http://www.mdpi.com/2410-390X/1/1/6>
- [26] L. Cester, A. Lyons, M. C. Braidotti, and D. Faccio, "Time-of-Flight Imaging at 10 ps Resolution with an ICCD Camera," Sensors, vol. 19, no. 1, 2019. [Online]. Available : <https://www.mdpi.com/1424-8220/19/1/180>
-

- [27] C. Chambers, T. Walton, D. Fairbank, A. Craycraft, D. R. Yahne, J. Todd, A. Iverson, W. Fairbank, A. Alamre, J. Albert, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, T. Bhatta, F. Bourque, J. P. Brodsky, E. Brown, T. Brunner, A. Burenkov, L. Cao, W. Cen, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, M. Côté, W. Cree, J. Dalmasson, T. Daniels, L. Darroch, S. Daugherty, J. Daughhetee, S. Delaquis, A. D. Mesrobian-Kabakian, R. DeVoe, J. Dilling, Y. Ding, M. Dolinski, A. Dragone, J. Echevers, L. Fabris, J. Farine, S. Feyzbakhsh, R. Fontaine, D. Fudenberg, G. Gallina, G. Giacomini, R. Gornea, G. Gratta, E. Hansen, M. Heffner, E. W. Hoppe, J. Hößl, A. House, P. Hufschmidt, M. Hughes, Y. Ito, A. Jamil, C. Jessiman, M. Jewell, X. Jiang, A. Karelin, L. Kaufman, D. Kodroff, T. Koffas, S. Kravitz, R. Krücken, A. Kuchenkov, K. Kumar, Y. Lan, A. Larson, D. Leonard, G. Li, S. Li, Z. Li, C. Licciardi, Y. Lin, P. LV, R. MacLellan, T. Michel, B. Mong, D. Moore, K. Murray, R. Newby, Z. Ning, O. Njoya, F. Nolet, O. Nusair, K. Odgers, A. Odian, M. Oriunno, J. Orrell, G. S. Ortega, I. Ostrovskiy, C. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, D. Qiu, V. Radeka, E. Raguzin, T. Rao, S. Rescia, F. Retière, A. Robinson, T. Rossignol, P. Rowson, N. Roy, R. Saldanha, S. Sangiorgio, S. Schmidt, J. Schneider, A. Schubert, K. S. VIII, A. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. L. Sun, M. Tarka, T. Tolba, T. Totev, R. Tsang, T. Tsang, F. Vachon, B. Veenstra, V. Veeraraghavan, G. Visser, J.-L. Vuilleumier, M. Wagenpfeil, Q. Wang, J. Watkins, M. Weber, W. Wei, L. J. Wen, U. Wichoski, G. Wrede, S. Wu, W. Wu, Q. Xia, L. Yang, Y.-R. Yen, O. Zeldovich, X. Zhang, J. Zhao, Y. Zhou, and T. Ziegler, “Imaging individual barium atoms in solid xenon for barium tagging in nEXO,” *Nature*, vol. 569, pp. 203 – 207, 2019. [Online]. Available : <https://doi.org/10.1038/s41586-019-1169-4>
- [28] E. Charbon, “Towards large scale CMOS single-photon detector arrays for lab-on-chip applications,” *J. Phys. D : Appl. Phys.*, vol. 41, pp. 1–9, 2008.
- [29] E. Charbon, M. Scandini, J. M. Pavia, and M. Wolf, “A dual backside-illuminated 800-cell multi-channel digital SiPM with 100 TDCs in 130 nm 3D IC technology,” in *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, IEEE, 2014, pp. 1–4.
- [30] O. T.-C. Chen and R. R.-B. Sheen, “A power-efficient wide-range phase-locked loop,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 1, pp. 51–62, 2002.
- [31] S. R. Cherry, J. A. Sorenson, and M. E. Phelps, *Physics in Nuclear Medicine*, 3rd ed. Saunders, 2003.
- [32] M. Conti, L. Eriksson, and V. Westerwoudt, “Estimating image quality for future generations of TOF PET scanners,” *IEEE Transactions on Nuclear Science*, vol. 60, no. 1, pp. 87–94, 2013.
- [33] A. Corbeil-Therrien, “Conception et modélisation de détecteurs de radiation basés sur des matrices de photodiodes à avalanche monophotoniques pour la tomographie d’émission par positrons,” Ph.D. dissertation, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2018, 170p.
- [34] A. Corbeil Therrien, B. Bérubé, S. A. Charlebois, R. Lecomte, R. Fontaine, and J. Pratte, “Modeling of Single Photon Avalanche Diode Array Detectors for PET
-

- Applications,” IEEE Transactions on Nuclear Science, vol. 61, no. 1, pp. 14–22, Feb 2014.
- [35] S. Cova, M. Ghioni, and I. Rech, “Photon counting and timing detector modules for single-molecule spectroscopy and DNA analysis,” in 17th Annual Meeting of the IEEE Lasers and Electro-Optics society, 2004, pp. 70–71.
- [36] B. Cox, F. Loebinger, and A. Pilkington, “Detecting Higgs bosons in the bb decay channel using forward proton tagging at the LHC - arXiv :1309.7985v2 [physics.ins-det],” 2007.
- [37] J. Deschamps, “Étude et conception d’un circuit intégré dédié a la recherche et au développement de photodiodes avalanches monophotoniques,” Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2020, 162p.
- [38] R. Fontaine, F. Belanger, N. Viscogliosi, H. Semmaoui, M.-A. Tétrault, J. B. Michaud, C. Pepin, J. Cadorette, and R. Lecomte, “The hardware and signal processing architecture of LabPET, a small animal APD-based digital PET scanner,” IEEE Transactions on Nuclear Science, vol. 56, no. 1, pp. 3–9, 2009.
- [39] R. Fontaine, J. B. Michaud, F. Belanger, J. Cadorette, J. D. Leroux, J. F. Pratte, S. Robert, and R. Lecomte, “Design of a dual-modality, digital positron emission tomography/computed tomography (PET/CT) scanner for small animal imaging,” in Engineering in Medicine and Biology Society, 2003. Proceedings of the 25th Annual International Conference of the IEEE, vol. 1, 2003, pp. 998–1001.
- [40] T. Frach, “Optimization of the digital silicon photomultiplier for cherenkov light detection,” Journal of instrumentation, vol. 7, no. 1, p. C01112, 2011.
- [41] —, “Optimization of the digital silicon photomultiplier for cherenkov light detection,” Journal of Instrumentation, vol. 7, no. 01, pp. C01 112–C01 112, jan 2012. [Online]. Available : <http://dx.doi.org/10.1088/1748-0221/7/01/C01112TI>
- [42] T. Frach, G. Prescher, C. Degenhardt, R. de Gruyter, A. Schmitz, and R. Ballizany, “The digital silicon photomultiplier – principle of operation and intrinsic detector performance,” in Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), IEEE, 2009, pp. 1959–1965.
- [43] G. Gallina, P. Giampa, F. Retière, J. Kroeger, G. Zhang, M. Ward, P. Margetak, G. Li, T. Tsang, L. Doria, S. A. Kharusi, M. Alfaris, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, T. Bhatta, J. Blatchford, J. Brodsky, E. Brown, T. Brunner, G. Cao, L. Cao, W. Cen, C. Chambers, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, A. Craycraft, J. Dalmasson, T. Daniels, L. Darroch, S. Daugherty, A. D. S. Croix, A. D. Mesrobian-Kabakian, R. DeVoe, J. Dilling, Y. Ding, M. Dolinski, A. Dragone, J. Echevers, M. Elbeltagi, L. Fabris, D. Fairbank, W. Fairbank, J. Farine, S. Feyzbakhsh, R. Fontaine, P. Gautam, G. Giacomini, R. Gornea, G. Gratta, E. Hansen, M. Heffner, E. Hoppe, J. Höfl, A. House, M. Hughes, Y. Ito, A. Iverson, A. Jamil, M. Jewell, X. Jiang, A. Karelin, L. Kaufman, D. Kodroff, T. Koffas, R. Krücken, A. Kuchenkov, K. Kumar, Y. Lan, A. Larson, B. Lenardo, D. Leonard, S. Li, Z. Li, C. Licciardi, Y. Lin, P. Lv, R. MacLellan, T. McElroy, M. Medina-Peregrina, T. Michel, B. Mong, D. Moore, K. Murray, P. Nakarmi, R. Newby, Z. Ning,
-

- O. Njoya, F. Nolet, O. Nusair, K. Odgers, A. Odian, M. Oriunno, J. Orrell, G. Ortega, I. Ostrovskiy, C. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, D. Qiu, V. Radeka, E. Raguzin, S. Rescia, M. Richman, A. Robinson, T. Rossignol, P. Rowson, N. Roy, R. Saldanha, S. Sangiorgio, K. Skarpaas, A. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. Sun, M. Tarka, J. Todd, T. Tolba, T. Totev, R. Tsang, F. Vachon, V. Veeraraghavan, G. Visser, J.-L. Vuilleumier, M. Wagenpfeil, M. Walent, Q. Wang, J. Watkins, M. Weber, W. Wei, L. Wen, U. Wichoski, S. Wu, W. Wu, X. Wu, Q. Xia, H. Yang, L. Yang, Y.-R. Yen, O. Zeldovich, J. Zhao, Y. Zhou, and T. Ziegler, “Characterization of the Hamamatsu VUV4 MPPCs for nEXO,” Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 940, pp. 371 – 379, 2019. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0168900219308034>
- [44] L. C. Garcia, N. Brook, D. Cussans, K. Fohl, R. Forty, C. Frei, R. Gao, T. Gys, N. Harnew, D. Piedigrossi, J. Rademacker, A. R. García, and M. van Dijk, “The TORCH time-of-flight detector for particle identification and photon vertex association,” Journal of Instrumentation, vol. 12, no. 2, p. C02005, 2017.
- [45] M. Gersbach, Y. Maruyama, R. Trimananda, M. W. Fishburn, D. Stoppa, J. A. Richardson, R. Walker, R. Henderson, and E. Charbon, “A time-resolved, low-noise single-photon image sensor fabricated in deep-submicron CMOS technology,” IEEE Journal of Solid-State Circuits, vol. 47, no. 6, pp. 1394–1407, 2012.
- [46] R. Gray and D. Neuhoff, “Quantization,” IEEE Transactions on Information Theory, vol. 44, no. 6, pp. 2325–2338, 1998.
- [47] J. Grim, S. Christodoulou, F. D. Stasio, R. Krahne, R. Cingolani, L. Manna, and I. Moreels, “Continuous-wave biexciton lasing at room temperature using solution-processed quantum wells,” Nature Nanotechnology, vol. 9, pp. 891–895, oct 2014. [Online]. Available : <https://doi.org/10.1038/nnano.2014.213>
- [48] A. Gulinatti, P. Maccagnani, I. Rech, M. Ghioni, and S. Cova, “35 ps time resolution at room temperature with large area single photon avalanche diodes,” Electronics Letters, vol. 41, no. 5, pp. 272–274, 2005.
- [49] S. Gundacker, E. Auffray, K. Pauwels, and P. Lecoq, “Measurement of intrinsic rise times for various L(Y)SO and LuAG scintillators with a general study of prompt photons to achieve 10 ps in TOF-PET.” Physics in medicine and biology, vol. 61, no. 7, 2016.
- [50] S. Gundacker, R. M. Turtos, N. Kratochwil, R. H. Pots, M. Paganoni, P. Lecoq, and E. Auffray, “Experimental time resolution limits of modern SiPMs and TOF-PET detectors exploring different scintillators and cherenkov emission,” Physics in Medicine & Biology, vol. 65, no. 2, p. 025001, jan 2020.
- [51] A. Hajimiri, S. Limotyrakis, and T. H. Lee, “Jitter and phase noise in ring oscillators,” IEEE Journal of Solid-State Circuits, vol. 34, no. 6, pp. 790–804, June 1999.
- [52] N. Harnew, “TORCH : A large-area detector for precision time-of-flight measurements at LHCb,” Physics Procedia, vol. 37, pp. 626–633, 2012.
-

- [53] N. Harnew, N. Brook, L. C. García, D. Cussans, K. Föhl, R. Forty, C. Frei, R. Gao, T. Gys, D. Piedigrossi, J. Rademacker, A. R. Garcia, and M. van Dijk, “The TORCH time-of-flight detector,” Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 824, pp. 106 – 110, 2016.
- [54] I. Vornicu and R. Carmona-Galan and A. Rodriguez-Vazquez, “Arrayable voltage-controlled ring-oscillator for direct time-of-flight image sensors,” IEEE Transactions on Circuits and Systems I : Regular Papers, vol. 64, no. 11, pp. 2821–2834, Nov 2017.
- [55] In-Chul Hwang, Chulwoo Kim, and Sung-Mo Kang, “A CMOS self-regulating VCO with low supply sensitivity,” IEEE Journal of Solid-State Circuits, vol. 39, no. 1, pp. 42–48, Jan 2004.
- [56] C. Jaewoong, L. Junyoun, K. Dongwook, G. Soprani, P. Cerri, A. Broggi, and Y. Kyongsu, “Environment-detection-and-mapping algorithm for autonomous driving in rural or off-road environment,” IEEE Transactions on Intelligent Transportation Systems, vol. 13, no. 2, pp. 974–982, 2012.
- [57] A. Jamil, T. Ziegler, P. Hufschmidt, G. Li, L. Lupin-Jimenez, T. Michel, I. Ostrovskiy, F. Retière, J. Schneider, M. Wagenpfeil, A. Alamre, J. B. Albert, G. Anton, I. J. Arnquist, I. Badhrees, P. S. Barbeau, D. Beck, V. Belov, T. Bhatta, F. Bourque, J. P. Brodsky, E. Brown, T. Brunner, A. Burenkov, G. F. Cao, L. Cao, W. R. Cen, C. Chambers, S. A. Charlebois, M. Chiu, B. Cleveland, M. Coon, M. Côté, A. Craycraft, W. Cree, J. Dalmasson, T. Daniels, L. Darroch, S. J. Daugherty, J. Daughettee, S. Delaquis, A. D. Mesrobian-Kabakian, R. DeVoe, J. Dilling, Y. Y. Ding, M. J. Dolinski, A. Dragone, J. Echevers, L. Fabris, D. Fairbank, W. Fairbank, J. Farine, S. Feyzbakhsh, R. Fontaine, D. Fudenberg, G. Gallina, G. Giacomini, R. Gornea, G. Gratta, E. V. Hansen, D. Harris, M. Hasan, M. Heffner, J. Hößl, E. W. Hoppe, A. House, M. Hughes, Y. Ito, A. Iverson, C. Jessiman, M. J. Jewell, X. S. Jiang, A. Karelin, L. J. Kaufman, T. Koffas, S. Kravitz, R. Krücken, A. Kuchenkov, K. S. Kumar, Y. Lan, A. Larson, D. S. Leonard, S. Li, Z. Li, C. Licciardi, Y. H. Lin, P. Lv, R. MacLellan, B. Mong, D. C. Moore, K. Murray, R. J. Newby, Z. Ning, O. Njoya, F. Nolet, O. Nusair, K. Odgers, A. Odian, M. Oriunno, J. L. Orrell, G. S. Ortega, C. T. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, D. Qiu, V. Radeka, E. Raguzin, T. Rao, S. Rescia, A. Robinson, T. Rossignol, P. C. Rowson, N. Roy, R. Saldanha, S. Sangiorgio, S. Schmidt, A. Schubert, D. Sinclair, K. Skarpaas, A. K. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. L. Sun, M. Tarka, J. Todd, T. Tolba, T. I. Totev, R. Tsang, T. Tsang, F. Vachon, B. Veenstra, V. Veeraraghavan, G. Visser, J.-L. Vuilleumier, Q. Wang, J. Watkins, M. Weber, W. Wei, L. J. Wen, U. Wichoski, G. Wrede, S. X. Wu, W. H. Wu, Q. Xia, L. Yang, Y.-R. Yen, O. Zeldovich, X. Zhang, J. Zhao, and Y. Zhou, “VUV-Sensitive Silicon Photomultipliers for Xenon Scintillation Light Detection in nEXO,” IEEE Transactions on Nuclear Science, vol. 65, no. 11, pp. 2823–2833, Nov 2018.
- [58] M. Jewell, A. Schubert, W. Cen, J. Dalmasson, R. DeVoe, L. Fabris, G. Gratta, A. Jamil, G. Li, A. Odian, M. Patel, A. Pocar, D. Qiu, Q. Wang, L. Wen, J. Albert, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov,
-

- F. Bourque, J. P. Brodsky, E. Brown, T. Brunner, A. Burenkov, G. Cao, L. Cao, C. Chambers, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, A. Craycraft, W. Cree, M. Côté, T. Daniels, S. Daugherty, J. Daughhetee, S. Delaquis, A. D. Mesrobian-Kabakian, T. Didberidze, J. Dilling, Y. Ding, M. Dolinski, A. Dragone, W. Fairbank, J. Farine, S. Feyzbakhsh, R. Fontaine, D. Fudenberg, G. Giacomini, R. Gornea, E. Hansen, D. Harris, M. Hasan, M. Heffner, E. W. Hoppe, A. House, P. Hufschmidt, M. Hughes, J. Hößl, Y. Ito, A. Iverson, X. Jiang, S. Johnston, A. Karelin, L. Kaufman, T. Koffas, S. Kravitz, R. Krücken, A. Kuchenkov, K. Kumar, Y. Lan, D. Leonard, S. Li, Z. Li, C. Licciardi, Y. Lin, R. MacLellan, T. Michel, B. Mong, D. Moore, K. Murray, R. Newby, Z. Ning, O. Njoya, F. Nolet, K. Odgers, M. Oriunno, J. Orrell, I. Ostrovskiy, C. Overman, G. S. Ortega, S. Parent, A. Piepke, J.-F. Pratte, V. Radeka, E. Raguzin, T. Rao, S. Rescia, F. Retiere, A. Robinson, T. Rossignol, P. Rowson, N. Roy, R. Saldanha, S. Sangiorgio, S. Schmidt, J. Schneider, D. Sinclair, K. Skarpaas, A. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. Sun, M. Tarka, J. Todd, T. Tolba, R. Tsang, T. Tsang, F. Vachon, V. Veeraraghavan, G. Visser, J.-L. Vuilleumier, M. Wagenpfeil, M. Weber, W. Wei, U. Wichoski, G. Wrede, S. Wu, W. Wu, L. Yang, Y.-R. Yen, O. Zeldovich, X. Zhang, J. Zhao, Y. Zhou, and T. Ziegler, "Characterization of an ionization readout tile for nEXO," Journal of Instrumentation, vol. 13, no. 01, pp. P01006–P01006, jan 2018. [Online]. Available : <https://doi.org/10.1088%2F1748-0221%2F13%2F01%2Fp01006>
- [59] G. S. Jovanovic and M. K. Stojcev, "Current starved delay element with symmetric load," International Journal of Electronics, vol. 93, no. 3, pp. 167–175, 2006.
- [60] J. S. Karp, S. Surti, M. E. Daube-Witherspoon, and G. Muehllehner, "Benefit of time-of-flight in pet : experimental and clinical results," Journal of nuclear medicine : official publication, Society of Nuclear Medicine, vol. 49, no. 3, pp. 462–470, Mar 2008.
- [61] K. Khalil, M. Abbas, and M. Abdelgawad, "Novel technique for reducing the comparator delay dispersion in 45 nm CMOS technology for level-crossing ADCs," in 2012 International Semiconductor Conference Dresden-Grenoble, 2012, pp. 21–24.
- [62] C. L. Kim, S. Dolinsky, K. C. Burr, S. Zelakiewicz, and D. L. McDaniel, "Dependence of timing resolution on crystal size for TOF PET," in Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), IEEE, vol. 4, 2007, pp. 2875–2879.
- [63] M. Kolarczik, "Record breaking timing resolution with a room temperature single photon detector," <https://www.swabianinstruments.com/news/record-breaking-room-temperature-detector/>, 2019, page consulté le 6 juillet 2020.
- [64] K. Kozminl, J. Johansson, and J. Kostamovaara, "A low propagation delay dispersion comparator for a level-crossing AD converter," Analog Integrated Circuits Signal Processing, vol. 62, no. 1, pp. 51–61, 2010.
- [65] R. Lange and P. Seitz, "Solid-state time-of-flight range camera," IEEE Journal of Quantum Electronics, vol. 37, no. 3, pp. 390–397, 2001.
- [66] P. Lecoq, "Pushing the Limits in Time-of-Flight PET Imaging," IEEE Transactions on Radiation and Plasma Medical Sciences, vol. 1, no. 6, pp. 473–485, 2017.

- [67] P. Lecoq, M. Korzhik, and A. Vasiliev, “Can transient phenomena help improving time resolution in scintillators,” IEEE Transactions on Nuclear Science, vol. 61, no. 1, pp. 229–234, 2014.
- [68] P. Lecoq, C. Morel, and J. Prior, “The 10 ps challenge,” <https://the10ps-challenge.org/>, 2019, accessed : 16 December 2019.
- [69] W. Lemaire, “Conception d’un circuit de lecture à étampes temporelles multiples pour un photodétecteur destiné à la tomographie d’émission par positrons,” Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2018, 112p.
- [70] W. Lemaire, F. Nolet, A. C. Therrien, J. Pratte, and R. Fontaine, “Design considerations for embedded real-time processing for 3D digital SiPMs with multiple TDCs,” in 2016 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor Detector Workshop (NSS/MIC/RTSD), Oct 2016, pp. 1–3.
- [71] W. Lemaire, F. Nolet, A. C. Therrien, J.-F. Pratte, and R. Fontaine, “Design considerations for embedded real-time processing for 3D digital SiPMs with multiple TDCs,” in Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), IEEE, 2017, pp. 3542–3545.
- [72] W. Lemaire, A. C. Therrien, J. Pratte, and R. Fontaine, “Dark Count Resilient Time Estimators for Time-of-Flight PET,” IEEE Transactions on Radiation and Plasma Medical Sciences, vol. 4, no. 1, pp. 24–29, Jan 2020.
- [73] W. Lemaire, F. Nolet, F. Dubois, A. C. Therrien, J.-F. Pratte, and R. Fontaine, “Embedded Time of Arrival Estimation for Digital Silicon Photomultipliers with In-Pixel TDCs,” Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 959, p. 163538, 2020.
- [74] Z. Li, W. Cen, A. Robinson, D. Moore, L. Wen, A. Odian, S. A. Kharusi, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, T. Bhatta, J. Brodsky, E. Brown, T. Brunner, E. Caden, G. Cao, L. Cao, C. Chambers, B. Chana, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, A. Craycraft, J. Dalmasson, T. Daniels, L. Darroch, S. Daugherty, A. D. S. Croix, A. D. Mesrobian-Kabakian, R. DeVoe, M. D. Vacri, J. Dilling, Y. Ding, M. Dolinski, A. Dragone, J. Echevers, M. Elbeltagi, L. Fabris, D. Fairbank, W. Fairbank, J. Farine, S. Ferrara, S. Feyzbakhsh, R. Fontaine, A. Fucarino, G. Gallina, P. Gautam, G. Giacomini, D. Goeldi, R. Gornea, G. Gratta, E. Hansen, M. Heffner, E. Hoppe, J. Höfl, A. House, M. Hughes, A. Iverson, A. Jamil, M. Jewell, X. Jiang, A. Karelin, L. Kaufman, D. Kodroff, T. Koffas, R. Krücken, A. Kuchenkov, K. Kumar, Y. Lan, A. Larson, K. Leach, B. Lenardo, D. Leonard, G. Li, S. Li, C. Licciardi, Y. Lin, P. Lv, R. MacLellan, T. McElroy, M. Medina-Peregrina, T. Michel, B. Mong, K. Murray, P. Nakarmi, C. Natzke, R. Newby, Z. Ning, O. Njoya, F. Nolet, O. Nusair, K. Odgers, M. Oriunno, J. Orrell, G. Ortega, I. Ostrovskiy, C. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, V. Radeka, E. Raguzin, S. Rescia, F. Retière, M. Richman, T. Rossignol, P. Rowson, N. Roy, J. Runge, R. Saldanha, S. Sangiorgio, K. S. VIII, A. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. Sun, M. Tarka,
-

- J. Todd, T. Tolba, T. Totev, R. Tsang, T. Tsang, F. Vachon, V. Veeraraghavan, S. Viel, G. Visser, C. Vivo-Vilches, J.-L. Vuilleumier, M. Wagenpfeil, M. Walent, Q. Wang, M. Ward, J. Watkins, M. Weber, W. Wei, U. Wichoski, S. Wu, W. Wu, X. Wu, Q. Xia, H. Yang, L. Yang, Y.-R. Yen, O. Zeldovich, J. Zhao, Y. Zhou, and T. Ziegler, "Simulation of charge readout with segmented tiles in nEXO," Journal of Instrumentation, vol. 14, no. 09, pp. P09 020–P09 020, Sept. 2019. [Online]. Available : <https://iopscience.iop.org/article/10.1088/1748-0221/14/09/P09020>
- [75] Liang Dai and R. Harjani, "Design of low-phase-noise cmos ring oscillators," IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing, vol. 49, no. 5, pp. 328–338, 2002.
- [76] S. Lindner, S. Pellegrini, Y. Henrion, B. Rae, M. Wolf, and E. Charbon, "A High-PDE, Backside-Illuminated SPAD in 65/40-nm 3D IC CMOS Pixel With Cascoded Passive Quenching and Active Recharge," IEEE Electron Device Letters, vol. 38, no. 11, pp. 1547–1550, Nov 2017.
- [77] Y. Liu, X. Guan, Y. Yang, and Y. Yang, "An asynchronous low latency ordered arbiter for network on chips," in 2010 Sixth International Conference on Natural Computation, vol. 2, Aug 2010, pp. 962–966.
- [78] P. Lu, Y. Wu, and P. Andreani, "A 2.2-ps two-dimensional gated-vernier time-to-digital converter with digital calibration," IEEE Transactions on Circuits and Systems II : Express Briefs, vol. 63, no. 11, pp. 1019–1023, Nov 2016.
- [79] S. Mandai, V. Jain, and E. Charbon, "A $780 \times 800 \mu\text{m}^2$ multichannel digital silicon photomultiplier with column-parallel time-to-digital converter and basic characterization," IEEE Transactions on Nuclear Science, vol. 61, no. 1, pp. 44–52, 2014.
- [80] B. Markovic, S. Tisa, F. A. Villa, A. Tosi, and F. Zappa, "A high-linearity, 17 ps precision time-to-digital converter based on a single-stage vernier delay loop fine interpolation," IEEE Transactions on Circuits and Systems I : Regular Papers, vol. 60, no. 3, pp. 557–569, Mar. 2013.
- [81] Meng-Lieh Sheu, Ta-Wei Lin, and Wei-Hung Hsu, "Wide frequency range voltage controlled ring oscillators based on transmission gates," in 2005 IEEE International Symposium on Circuits and Systems, May 2005, pp. 2731–2734 Vol. 3.
- [82] C. A. Metzler, F. Heide, P. Rangarajan, M. M. Balaji, A. Viswanath, A. Veeraraghavan, and R. G. Baraniuk, "Deep-inverse correlography : towards real-time high-resolution non-line-of-sight imaging," Optica, vol. 7, no. 1, pp. 63–71, Jan 2020. [Online]. Available : <http://www.osapublishing.org/optica/abstract.cfm?URI=optica-7-1-63>
- [83] W. W. Moses, "Time of flight in PET revisited," IEEE Transactions on Nuclear Science, vol. 50, no. 5, pp. 1325–1330, 2003.
- [84] P. Nakarmi, I. Ostrovskiy, A. Soma, F. Retière, S. A. Kharusi, M. Alfaris, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, T. Bhatta, J. Blatchford, P. Breur, J. Brodsky, E. Brown, T. Brunner, S. B. Mamahit, E. Caden, G. Cao, L. Cao, C. Chambers, B. Chana, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, A. Craycraft, J. Dalmasson, T. Daniels, L. Darroch, A. D. S. Croix, A. D.
-

- Mesrobian-Kabakian, R. DeVoe, M. D. Vacri, J. Dilling, Y. Ding, M. Dolinski, L. Doria, A. Dragone, J. Echevers, F. Edaltafar, M. Elbeltagi, L. Fabris, D. Fairbank, W. Fairbank, J. Farine, S. Ferrara, S. Feyzbakhsh, R. Fontaine, A. Fucarino, G. Gallina, P. Gautam, G. Giacomini, D. Goeldi, R. Gornea, G. Gratta, E. Hansen, M. Heffner, E. Hoppe, J. Hökl, A. House, M. Hughes, A. Iverson, A. Jamil, M. Jewell, X. Jiang, A. Karelin, L. Kaufman, T. Koffas, R. Krücken, A. Kuchenkov, K. Kumar, Y. Lan, A. Larson, K. Leach, B. Lenardo, D. Leonard, G. Li, S. Li, Z. Li, C. Licciardi, P. Lv, R. MacLellan, N. Massacret, T. McElroy, M. Medina-Peregrina, T. Michel, B. Mong, D. Moore, K. Murray, C. Natzke, R. Newby, Z. Ning, O. Njoya, F. Nolet, O. Nusair, K. Odgers, A. Oodian, M. Oriunno, J. Orrell, G. Ortega, C. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, V. Radeka, E. Raguzin, S. Rescia, M. Richman, A. Robinson, T. Rossignol, P. Rowson, N. Roy, J. Runge, R. Saldanha, S. Sangiorgio, K. S. VIII, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. Sun, M. Tarka, J. Todd, T. Totev, R. Tsang, T. Tsang, F. Vachon, V. Veeraraghavan, S. Viel, G. Visser, C. Vivo-Vilches, J.-L. Vuilleumier, M. Wagenpfeil, T. Wager, M. Walent, Q. Wang, M. Ward, J. Watkins, M. Weber, W. Wei, L. Wen, U. Wichoski, S. Wu, W. Wu, X. Wu, Q. Xia, H. Yang, L. Yang, O. Zeldovich, J. Zhao, Y. Zhou, and T. Ziegler, “Reflectivity and PDE of VUV4 hamamatsu SiPMs in liquid xenon,” *Journal of Instrumentation*, vol. 15, no. 01, pp. P01 019–P01 019, jan 2020. [Online]. Available : <https://iopscience.iop.org/article/10.1088/1748-0221/15/01/P01019>
- [85] M. Nemallapudi, S. Gundacker, P. Lecoq, and E. Auffray, “Single photon time resolution of state of the art SiPMs,” *Journal of Instrumentation*, vol. 11, no. 10, p. P10016, 2016.
- [86] C. Niclass, C. Favi, T. Kluter, M. Gersbach, and E. Charbon, “A 128×128 single-photon image sensor with column-level 10-bit time-to-digital converter array,” *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 12, pp. 2977–2989, 2008.
- [87] I. Nissinen, J. Nissinen, P. Keranen, A.-K. Lansman, J. Holma, and J. Kostamo-vaara, “A $2 \times (4) \times 128$ multitime-gated SPAD line detector for pulsed raman spectroscopy,” *IEEE Sensors Journal*, vol. 15, no. 3, pp. 1358–1365, 2015.
- [88] O. Njoya, T. Tsang, M. Tarka, W. Fairbank, K. Kumar, T. Rao, T. Wager, S. A. Kharusi, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, T. Bhatta, J. Brodsky, E. Brown, T. Brunner, E. Caden, G. Cao, L. Cao, W. Cen, C. Chambers, B. Chana, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, A. Craycraft, J. Dalmasson, T. Daniels, L. Darroch, S. Daugherty, A. D. S. Croix], A. D. Mesrobian-Kabakian], R. DeVoe, M. D. Vacri], J. Dilling, Y. Ding, M. Dolinski, A. Dragone, J. Echevers, M. Elbeltagi, L. Fabris, D. Fairbank, J. Farine, S. Ferrara, S. Feyzbakhsh, R. Fontaine, A. Fucarino, G. Gallina, P. Gautam, G. Giacomini, D. Goeldi, R. Gornea, G. Gratta, E. Hansen, M. Heffner, E. Hoppe, J. Hökl, A. House, M. Hughes, A. Iverson, A. Jamil, M. Jewell, X. Jiang, A. Karelin, L. Kaufman, D. Kodroff, T. Koffas, R. Krücken, A. Kuchenkov, Y. Lan, A. Larson, K. Leach, B. Lenardo, D. Leonard, G. Li, S. Li, Z. Li, C. Licciardi, Y. Lin, P. Lv, R. MacLellan, T. McElroy, M. Medina-Peregrina, T. Michel, B. Mong, D. Moore, K. Murray, P. Nakarmi, C. Natzke, R. Newby, Z. Ning, F. Nolet,
-

- O. Nusair, K. Odgers, A. Odian, M. Oriunno, J. Orrell, G. Ortega, I. Ostrovskiy, C. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, V. Radeka, E. Raguzin, S. Rescia, F. Retière, M. Richman, A. Robinson, T. Rossignol, P. Rowson, N. Roy, J. Runge, R. Saldanha, S. Sangiorgio, K. Skarpaas, A. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, X. Sun, J. Todd, T. Tolba, T. Totev, R. Tsang, F. Vachon, V. Veeraraghavan, S. Viel, G. Visser, C. Vivo-Vilches, J.-L. Vuilleumier, M. Wagenpfeil, M. Walent, Q. Wang, M. Ward, J. Watkins, M. Weber, W. Wei, L. Wen, U. Wichoski, S. Wu, W. Wu, X. Wu, Q. Xia, H. Yang, L. Yang, Y.-R. Yen, O. Zeldovich, J. Zhao, Y. Zhou, and T. Ziegler, "Measurements of electron transport in liquid and gas xenon using a laser-driven photocathode," Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 972, p. 163965, 2020. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0168900220304320>
- [89] F. Nolet, "Conception d'un circuit d'étouffement de photodiodes avalanches monophotoniques pour une intégration matricielle dans un module de comptage monophotonique," Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2016, 116p.
- [90] F. Nolet, F. Dubois, N. Roy, S. G. Carrier, A. Samson, G. St-Hilaire, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, "Circuit de lecture matricielle de photodiodes à avalanche monophotonique en CMOS 65 nm pour la tomographie d'émission par positrons," in ResMiQ - Journée innovation 2018, Montréal, Canada, Oct. 2018.
- [91] F. Nolet, F. Dubois, N. Roy, S. Carrier, A. Samson, G. St-Hilaire, S. Charlebois, R. Fontaine, and J.-F. Pratte, "A 256 pixels single photon avalanche diode readout ASIC with embedded digital signal processing for time of flight positron emission tomography," in 2018 Front-end Electronics Workshop, Orford, Canada, May 2018.
- [92] F. Nolet, F. Dubois, N. Roy, W. Lemaire, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, "Dual Phase-Locked Loop System for TDC Resolution Calibration," in 2018 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), Sydney, Australia, Nov. 2018.
- [93] F. Nolet, F. Dubois, N. Roy, S. Parent, W. Lemaire, S. Charlebois, R. Fontaine, and J.-F. Pratte, "Digital SiPM Channel Integrated in CMOS 65 nm with Measured Sub-20ps FWHM Single Photon Timing resolution," in New Developments in Photodetection, Tours, France, Jul. 2017.
- [94] F. Nolet, W. Lemaire, F. Dubois, N. Roy, A. Samson, S. G. Carrier, G. St-Hilaire, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, "A 256 Pixelated Readout ASIC with in-Pixel TDC and Embedded Digital Signal Processing for SPAD Array," in 2018 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), Sydney, Australia, Nov. 2018.
- [95] F. Nolet, W. Lemaire, F. Dubois, N. Roy, A. Samson, S. G. Carrier, G. St-Hilaire, S. A. Charlebois, R. Fontaine, and J. F. Pratte, "A Readout ASIC in TSMC CMOS 65 nm for Single Photon Avalanche Diode Array with Embedded Digital Signal Processing," in CMC Microsystems - Innovation 360, Toronto, Canada, Oct. 2018.
- [96] F. Nolet, V. P. Rhéaume, S. Parent, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, "A 2D Proof of Principle Towards a 3D Digital SiPM in HV CMOS With Low Output

- Capacitance,” IEEE Transactions on Nuclear Science, vol. 63, no. 4, pp. 2293–2299, 2016.
- [97] F. Nolet, N. Roy, F. Dubois, S. Parent, W. Lemaire, M.-O. Mercier, F. Retiere, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, “3D Digital SiPM with High Single Photon Timing Resolution for Radiation Instrumentation and Photon Science,” in 2017 CAP Congress, Kingston, Canada, Jul. 2017.
- [98] F. Nolet, S. Parent, N. Roy, M.-O. Mercier, S. Charlebois, R. Fontaine, and J.-F. Pratte, “Quenching Circuit and SPAD Integrated in CMOS 65 nm with 7.8 ps FWHM Single Photon Timing Resolution,” Instruments, vol. 2, no. 4, p. 19, Sept. 2018. [Online]. Available : <http://www.mdpi.com/2410-390X/2/4/19>
- [99] F. Nolet, F. Dubois, N. Roy, S. Parent, W. Lemaire, A. Massie-Godon, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, “Digital SiPM Channel Integrated in CMOS 65 nm with 17.5 ps FWHM Single Photon Timing Resolution,” Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 912, pp. 29 – 32, 2018, new Developments In Photodetection 2017. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0168900217310720>
- [100] F. Nolet, W. Lemaire, F. Dubois, N. Roy, S. G. Carrier, A. Samson, S. A. Charlebois, R. Fontaine, and J.-F. Pratte, “A 256 Pixelated SPAD Readout ASIC with in-Pixel TDC and Embedded Digital Processing for Uniformity and Skew Correction,” Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 949, 2020. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0168900219313051>
- [101] F. Nolet, N. Roy, S. Carrier, J. Bouchard, R. Fontaine, S. A. Charlebois, and J.-F. Pratte, “22 μW , 5.1 ps LSB, 5.5 ps RMS jitter Vernier time-to-digital converter in CMOS 65 nm for single photon avalanche diode array,” Electronics Letters, vol. 56, no. 9, 2020.
- [102] C. A. Northend, R. Honey, and W. E. Evans, “Laser radar (LiDAR) for meteorological observations,” Review of Scientific Instruments, vol. 37, no. 4, pp. 393–400, 1966.
- [103] Y. Oike, M. Ikeda, and K. Asada, “A 375 \times 365 high-speed 3-D rangefinding image sensor using row-parallel search architecture and multisampling technique,” IEEE Journal of Solid-State Circuits, vol. 40, no. 2, pp. 444–453, 2005.
- [104] B. M. Oliver, J. Pierce, and C. E. Shannon, “The philosophy of PCM,” in Proc. IRE, vol. 36, 1948, pp. 1324–1331.
- [105] S. I. Omelkov, V. Nagirnyi, S. Gundacker, D. A. Spassky, E. Auffray, P. Lecoq, and M. Kirm, “Scintillation yield of hot intraband luminescence,” Journal of Luminescence, vol. 198, pp. 260 – 271, 2018. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0022231317310980>
- [106] I. Ostrovskiy, F. Retiere, D. Auty, J. Dalmasson, T. Dibberidze, R. DeVoe, g. GRatta, L. Huth, L. James, L. Lupin-Jimenez, N. Ohmart, and A. Piepke, “Characterization of silicon photomultipliers for nEXO,” IEEE Transactions on Nuclear Science, vol. 62, no. 4, pp. 1825–1836, 2015.
-

-
- [107] N. Otte, “The silicon photomultiplier : a new device for high energy physics, astroparticle physics, industrial and medical applications,” in Proceedings of the IX International Symposium on Detectors for Particle, Astroparticle and Synchrotron Radiation Experiments, 2006, p. 18.
- [108] S. Parent, “Conception, caractérisation et optimisation de spad (photodiodes à avalanche monophotonique) en technologie Teledyne Dalsa,” Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2016, 124p.
- [109] S. Parent, M. Côté, F. Vachon, R. Groulx, S. Martel, H. Dautet, S. A. Charlebois, and J. Pratte, “Single Photon Avalanche Diodes and Vertical Integration Process for a 3D Digital SiPM using Industrial Semiconductor Technologies,” in 2018 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), Oct 2018, pp. 1–4.
- [110] J. M. Pavia, M. Scandini, S. Lindner, M. Wolf, and E. Charbon, “A 1×400 backside-illuminated SPAD sensor with 49.7 ps resolution, 30 pj/sample TDCs fabricated in 3D CMOS technology for near-infrared optical tomography,” IEEE Journal of Solid-State Circuits, vol. 50, no. 10, pp. 2406–2418, 2015.
- [111] M. Perenzoni, L. Gasparini, and D. Stoppa, “Design and Characterization of a 43.2-ps and PVT-Resilient TDC for Single-Photon Imaging Arrays,” IEEE Transactions on Circuits and Systems II : Express Briefs, vol. 65, no. 4, pp. 411–415, April 2018.
- [112] C. Piemonte, A. Ferri, A. Gola, N. Serra, A. Tarolli, and N. Zorzi, “Performance of a novel, small-cell, high-fill-factor SiPM for TOF-PET,” in Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), IEEE, 2013, pp. 1–3.
- [113] W. W. Plummer, “Asynchronous arbiters,” IEEE Transactions on Computers, vol. C-21, no. 1, pp. 37–42, Jan 1972.
- [114] F. Powolny, E. Auffray, S. E. Brunner, E. Garutti, M. Goettlich, H. Hillemanns, P. Jarron, P. Lecoq, T. Meyer, H. C. Schultz-Coulon, W. Shen, and M. C. S. Williams, “Time-based readout of a silicon photomultiplier (SiPM) for time of flight positron emission tomography (TOF-PET),” IEEE Transactions on Nuclear Science, vol. 58, no. 3, pp. 597–604, 2011.
- [115] J.-F. Pratte, “The RatCAP front-end electronics,” Ph.D. dissertation, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2008, 153p.
- [116] J.-F. Pratte, X. Bernard, V.-P. Rheaume, S. Parent, F. Nolet, L. Maurais, B.-L. Berube, F. Dubois, T. Dequivre, A. C. Therrien, M.-A. Tétrault, C. Paulin, S. Martel, H. Dautet, R. Fontaine, and S. A. Charlebois, “Sherbrooke’s first 3D digital SiPM : Measurements, recommendations and future work,” in Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), IEEE, 2016, pp. 1–3.
- [117] S. Privitera, S. Tudisco, L. Lanzano, F. Musumeci, A. Pluchino, A. Scordino, A. Campisi, L. Cosentino, P. Finocchiaro, G. Condorelli, M. Mazzillo, S. Lombardo, and E. Sciacca, “Single photon avalanche diodes : Towards the large bidimensional arrays,” Sensors, vol. 8, pp. 4636–4655, 2008.
- [118] I. Rech, I. Labanca, G. Armellini, A. Gulinatti, M. Ghioni, and S. Cova, “Operation of silicon single photon avalanche diodes at cryogenic temperature,” Review of Scientific Instruments, vol. 78, no. 6, pp. 063 105–063 105–3, 2007.
-

- [119] M. Renna, J. H. Nam, M. Buttafava, F. Villa, A. Verlten, and A. Tosi, “Fast-Gated 16×1 SPAD Array for Non-Line-of-Sight Imaging Applications,” Instruments, vol. 4, no. 2, p. 14, May 2020. [Online]. Available : <http://www.mdpi.com/2410-390X/2/4/19>
- [120] V.-P. Rhéaume, “Circuits d’instrumentation intégrés pour caractérisation de diodes monophotoniques à avalanche en HV CMOS $0,8 \mu m$,” Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2015, 93p.
- [121] J. Richardson, L. Grant, and R. Henderson, “Low dark count single-photon avalanche diode structure compatible with standard nanometer scale CMOS technology,” Photonics Technology Letters, IEEE, vol. 21, no. 14, pp. 1020–1022, 2009.
- [122] A. Ronzhin, M. Albrow, S. Los, M. Martens, P. Murat, E. Ramberg, H. Kim, C. T. Chen, C. M. Kao, K. Niessen, A. Zatserklyaniy, M. Mazzillo, B. Carbone, G. Condorelli, G. Fallica, A. Piana, D. Sanfilippo, G. Valvo, and S. Ritt, “A SiPM-based TOF-PET detector with high speed digital DRS4 readout,” Nuclear Instruments and Methods in Physics Research, Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 703, pp. 109–113, 2013.
- [123] J. Rossignol, R. M. Turtos, S. Gundacker, D. Gaudreault, E. Auffray, P. Lecoq, Y. Bérubé-Lauzière, and R. Fontaine, “Time-of-flight computed tomography - proof of principle,” Physics in Medicine & Biology, vol. 65, no. 8, p. 085013, apr 2020.
- [124] N. Roy, “Réalisation d’un convertisseur temps-numérique en CMOS 65 nm pour une intégration par pixel dans un module de comptage monophotonique,” Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2015, 124p.
- [125] N. Roy, F. Nolet, F. Dubois, M.-O. Mercier, R. Fontaine, and J.-F. Pratte, “Low Power and Small Area, 6.9 ps RMS Time-to-Digital Converter for 3-D Digital SiPM,” IEEE Transactions on Radiation and Plasma Medical Sciences, vol. 1, no. 6, pp. 486–494, 2017.
- [126] S. White, “Experimental Challenges of the European Strategy for Particle Physics - arXiv :0709.3035,” 2013.
- [127] T. Sakurai, “Optimization of CMOS arbiter and synchronizer circuits with submicrometer MOSFETs,” Solid-State Circuits, IEEE Journal of, vol. 23, no. 4, pp. 901–906, 1988.
- [128] D. R. Schaart, E. Charbon, T. Frach, and V. Schulz, “Advances in digital SiPMs and their application in biomedical imaging,” Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 809, pp. 31–52, 2016.
- [129] D. E. Schwartz, E. Charbon, and L. K. Shepard, “A single-photon avalanche diode array for fluorescence lifetime imaging microscopy,” IEEE Journal of Solid-State Circuits, vol. 43, no. 11, pp. 2456–2557, 2008.
- [130] S. Seifert and D. Schaart, “Improving the time resolution of TOF-PET detectors by double-sided readout,” IEEE Transactions on Nuclear Science, vol. 62, no. 1, pp. 3–11, 2015.
-

-
- [131] S. Seifert, H. T. van Dam, and D. R. Schaart, “The lower bound on the timing resolution of scintillation detectors,” Physics in Medicine and Biology, vol. 57, pp. 1797–1814, 2012.
- [132] P. Seitz, “Quantum-noise limited distance resolution of optical range imaging techniques,” IEEE Transaction on Circuits and Systems, vol. 55, no. 8, pp. 2368–2377, 2008.
- [133] A. Shubham and M. Kumar, “Design of ring oscillator with transmission gate tuning method,” in 2018 International Conference on Computing, Power and Communication Technologies (GUCON), Sept. 2018, pp. 585–589.
- [134] R. Skartlien and L. Oyehaug, “Quantization error and resolution in ensemble averaged data with noise,” IEEE Transactions on Instrumentation and Measurement, vol. 52, no. 3, pp. 1303–1312, 2005.
- [135] A. Spinelli and A. L. Lacaita, “Physics and numerical simulation of single photon avalanche diodes,” IEEE Transactions on Electron Devices, vol. 44, no. 11, pp. 1931–1943, Nov 1997.
- [136] X. Sun, T. Tolba, G. Cao, P. Lv, L. Wen, A. Odian, F. Vachon, A. Alamre, J. Albert, G. Anton, I. Arnquist, I. Badhrees, P. Barbeau, D. Beck, V. Belov, T. Bhatta, F. Bourque, J. P. Brodsky, E. Brown, T. Brunner, A. Burenkov, L. Cao, W. Cen, C. Chambers, S. Charlebois, M. Chiu, B. Cleveland, M. Coon, M. Côté, A. Craycraft, W. Cree, J. Dalmasson, T. Daniels, L. Darroch, S. Daugherty, J. Daughhetee, S. Delaquis, A. D. Mesrobian-Kabakian, R. DeVoe, J. Dilling, Y. Ding, M. Dolinski, A. Dragone, J. Echevers, L. Fabris, D. Fairbank, W. Fairbank, J. Farine, S. Feyzbakhsh, P. Fierlinger, R. Fontaine, D. Fudenberg, G. Gallina, G. Giacomini, R. Gornea, G. Gratta, E. Hansen, D. Harris, M. Heffner, E. W. Hoppe, J. Höfl, A. House, P. Hufschmidt, M. Hughes, Y. Ito, A. Iverson, A. Jamil, C. Jessiman, M. Jewell, X. Jiang, A. Karelin, L. Kaufman, D. Kodroff, T. Koffas, S. Kravitz, R. Krücken, A. Kuchenkov, K. Kumar, Y. Lan, A. Larson, D. Leonard, G. Li, S. Li, Z. Li, C. Licciardi, Y. Lin, R. MacLellan, T. Michel, M. Moe, B. Mong, D. Moore, K. Murray, R. Newby, Z. Ning, O. Njoya, F. Nolet, O. Nusair, K. Odgers, M. Oriunno, J. Orrell, G. S. Ortega, I. Ostrovskiy, C. Overman, S. Parent, A. Piepke, A. Pocar, J.-F. Pratte, D. Qiu, V. Radeka, E. Raguzin, T. Rao, S. Rescia, F. Retière, A. Robinson, T. Rossignol, P. Rowson, N. Roy, R. Saldanha, S. Sangiorgio, S. Schmidt, J. Schneider, D. Sinclair, K. S. VIII, A. Soma, G. St-Hilaire, V. Stekhanov, T. Stiegler, M. Tarka, J. Todd, T. Totev, R. Tsang, T. Tsang, B. Veenstra, V. Veeraraghavan, G. Visser, J.-L. Vuilleumier, M. Wagenpfeil, Q. Wang, J. Watkins, M. Weber, W. Wei, U. Wichoski, G. Wrede, S. Wu, W. Wu, Q. Xia, L. Yang, Y.-R. Yen, O. Zeldovich, J. Zhao, Y. Zhou, and T. Ziegler, “Study of silicon photomultiplier performance in external electric fields,” Journal of Instrumentation, vol. 13, no. 09, pp. T09 006–T09 006, Sept. 2018. [Online]. Available : <https://doi.org/10.1088%2F1748-0221%2F13%2F09%2Ft09006>
- [137] S. Surti, “Update on time-of-flight PET imaging,” Journal of Nuclear Medicine, vol. 56, no. 1, pp. 98–105, Jan 2015.
-

- [138] I. Takai, H. Matsubara, M. Soga, M. Ohta, M. Ogawa, and T. Yamashita, “Single-photon avalanche diode with enhanced NIR-sensitivity for automotive LIDAR systems,” *Sensors*, vol. 16, no. 4, pp. 459–468, 2016.
- [139] M. Tétrault, A. C. Therrien, W. Lemaire, R. Fontaine, and J. Pratte, “TDC Array Tradeoffs in Current and Upcoming Digital SiPM Detectors for Time-of-Flight PET,” *IEEE Transactions on Nuclear Science*, vol. 64, no. 3, pp. 925–932, Mar. 2017.
- [140] M.-A. Tétrault, “Conception et réalisation de l’électronique frontale numérique 3D pour une matrice de détecteurs monophotoniques destinée à la tomographie d’émission par positrons,” Ph.D. dissertation, Université de Sherbrooke, Sherbrooke, Québec, Canada, 2017, 198p.
- [141] M.-A. Tétrault, E. Lamy, A. Boisvert, C. Thibaudeau, M. Kanoun, F. Dubois, R. Fontaine, and J.-F. Pratte, “Real-time discrete SPAD array readout architecture for time of flight PET,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 3, pp. 1077–1082, 2015.
- [142] M.-A. Tétrault, A. C. Therrien, W. Lemaire, R. Fontaine, and J.-F. Pratte, “TDC array tradeoffs in current and upcoming digital SiPM detectors for time-of-flight PET,” *IEEE Transactions on Nuclear Science*, vol. 64, no. 3, pp. 952–932, 2017.
- [143] A. C. Therrien, S. Parent, M. Tétrault, S. Gundacker, P. Lecoq, R. Lecomte, S. A. Charlebois, R. Fontaine, and J. Pratte, “Optimization of single photon avalanche diode array detectors with a custom simulator,” in *2015 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, Oct 2015, pp. 1–5.
- [144] A. Therrien, W. Lemaire, P. Lecoq, R. Fontaine, and J.-F. Pratte, “Energy discrimination for positron emission tomography using the time information of the first detected photons,” *Journal of Instrumentation*, vol. 13, no. 01, pp. P01 012–P01 012, jan 2018. [Online]. Available : <https://doi.org/10.1088/1748-0221/13/01/P01012>
- [145] S. Tisa, F. Zappa, A. Tosi, and S. Cova, “Electronics for single photon avalanche diode arrays,” *Sensors and Actuators A*, vol. 140, pp. 113–122, 2007.
- [146] R. Turtos, S. Gundacker, A. Polovitsyn, S. Christodoulou, M. Salomoni, E. Auffray, I. Moreels, P. Lecoq, and J. Grim, “Ultrafast emission from colloidal nanocrystals under pulsed X-ray excitation,” *Journal of Instrumentation*, vol. 11, no. 10, pp. P10 015–P10 015, oct 2016. [Online]. Available : <https://doi.org/10.1088/1748-0221/11/10/p10015>
- [147] A. Vacheret, G. Barker, M. Dziewiecki, P. Guzowski, M. Haigh, B. Hartfiel, A. Izmaylov, W. Johnston, M. Khabibullin, A. Khotjantsev, Y. Kudenko, R. Kurjata, T. Kutter, T. Lindner, P. Masliah, J. Marzec, O. Mineev, Y. Musienko, S. Oser, F. Retiere, R. Salih, A. Shaikhiev, L. Thompson, M. Ward, R. Wilson, N. Yershov, K. Zaremba, and M. Ziembicki, “Characterization and simulation of the response of multi-pixel photon counters to low light levels,” *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 656, no. 1, pp. 69–83, 2011.
-

-
- [148] M. Valencia, M. J. Bellido, J. L. Huertas, A. J. Acosta, and S. Sanchez-Solano, "Modular asynchronous arbiter insensitive to metastability," IEEE Transactions on Computers, vol. 44, no. 12, pp. 1456–1461, 1995.
- [149] J. van Sluis, J. de Jong, J. Schaar, W. Noordzij, P. van Snick, R. Dierckx, R. Borra, A. Willemsen, and R. Boellaard, "Performance Characteristics of the Digital Biograph Vision PET/CT System," Journal of Nuclear Medicine, vol. 60, no. 7, pp. 1031–1036, Jul 2019.
- [150] S. Vandenberghe, E. Mikhaylova, E. D’Hoe, P. Mollet, and J. S. Karp, "Recent developments in time-of-flight PET," EJNMMI Physics, vol. 3, no. 3, Dec 2016.
- [151] C. Veerappan, J. Richardson, R. Walker, D. U. Li, M. W. Fishburn, Y. Maruyama, D. Stoppa, F. Borghetti, M. Gersbach, R. K. Henderson, C. Bruschini, and E. Charbon, "A 160×128 Single-Photon Image Sensor with On-Pixel 55 ps 10 b Time-to-Digital Converter," in International Solid-State Circuits Conference (ISSCC), 2011, pp. 312–314.
- [152] C. Veerappan, J. Richardson, R. Walker, D. U. Li, M. W. Fishburn, D. Stoppa, F. Borghetti, Y. Maruyama, M. Gersbach, R. K. Henderson, C. Bruschini, and E. Charbon, "Characterization of large-scale non-uniformities in a 20k TDC/SPAD array integrated in a 130 nm CMOS process," in European Solid-State Device Research Conference, 2011, pp. 331–334.
- [153] E. Venialgo, S. Mandai, T. Gong, D. R. Schaart, and E. Charbon, "Time estimation with multichannel digital silicon photomultipliers," Physics in Medicine and Biology, vol. 60, no. 6, pp. 2435–2452, 2015.
- [154] F. Villa, R. Lussana, D. Bronzi, S. Tisa, A. Tosi, F. Zappa, A. Dalla Mora, D. Contini, D. Durini, S. Weyers, and W. Brockherde, "CMOS Imager With 1024 SPADs and TDCs for Single-Photon Timing and 3-D Time-of-Flight," IEEE Journal of Selected Topics in Quantum Electronics, vol. 20, no. 6, pp. 364–373, Nov 2014.
- [155] F. Villa, B. Markovic, S. Bellisai, D. Bronzi, A. Tosi, F. Zappa, S. Tisa, D. Durini, S. Weyers, U. Paschen, and W. Brockherde, "SPAD Smart Pixel for Time-of-Flight and Time-Correlated Single-Photon Counting Measurements," IEEE Photonics Journal, vol. 4, no. 3, pp. 795–804, June 2012.
- [156] F. Villa, D. Bronzi, Y. Zou, C. Scarcella, G. Boso, S. Tisa, A. Tosi, F. Zappa, D. Durini, S. Weyers, U. Paschen, and W. Brockherde, "CMOS SPADs with up to 500 μm diameter and 55% detection efficiency at 420 nm," Journal of Modern Optics, vol. 61, no. 2, pp. 102–115, 2014.
- [157] I. Vornicu, R. Carmona-Galan, and A. Rodriguez-Vazquez, "Compensation of PVT Variations in ToF Imagers with In-Pixel TDC," Sensors, vol. 17, no. 5, 2017. [Online]. Available : <http://www.mdpi.com/1424-8220/17/5/1072>
- [158] K. J. Wang, A. Swaminathan, and I. Galton, "Spurious Tone Suppression Techniques Applied to a Wide-Bandwidth 2.4 GHz Fractional-N PLL," IEEE Journal of Solid-State Circuits, vol. 43, no. 12, pp. 2787–2797, Dec 2008.
- [159] S. White, "On the correlation of subevents in the ATLAS and CMS/Totem experiments - arXiv :0707.1500v3," 2007.
-

-
- [160] C. F. E. Wu and L. M. Ni, “Asynchronous arbiter design using CMOS DCVS logic,” in Symposium on VLSI Circuits, 1987, pp. 97–98.
- [161] J. B. Y. Maruyama and E. Charbon, “A 1024×8 , 700-ps time-gated SPAD line sensor for planetary surface exploration with laser raman spectroscopy and LIBS,” IEEE Journal of Solid-State Circuits, vol. 49, no. 1, pp. 179–189, 2014.
- [162] F. Zappa, S. Tisa, A. Tosi, and S. Cova, “Principles and features of single-photon avalanche diode arrays,” Sensors and Actuators A, vol. 140, pp. 103–112, 2007.
- [163] B. Zhang, P. E. Allen, and J. M. Huard, “A fast switching PLL frequency synthesizer with an on-chip passive discrete-time loop filter in $0.25 \mu\text{m}$ CMOS,” IEEE Journal of Solid-State Circuits, vol. 38, no. 6, pp. 855–865, June 2003.
- [164] C. Zhang, T. Au, and M. Syrzycki, “A high performance NMOS-switch high swing cascode charge pump for phase-locked loops,” in 2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), Aug 2012, pp. 554–557.
- [165] B. Zhou, Y. He, and P. Luo, “A high pvt tolerance tdc with symmetrical vernier delay ring,” in 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, Oct 2012, pp. 1–3.
- [166] Y. Zou, D. Bronzi, F. Villa, and S. Weyers, “Backside illuminated wafer-to-wafer bonding single photon avalanche diode array,” in 2014 10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), 2014, pp. 1–4.
-

