

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA



**Entorno integrado de simulación de canales
eléctricos de alta velocidad con modelos de
ecualización**

Proyecto para optar por el título de Ingeniero en
Electrónica con el grado académico de Master
Scientiae

Lic.-Ing. Daniel Kohkemper Granados

Cartago, 12 de marzo de 2020

Declaro que el presente documento de tesis ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos y resultados experimentales propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de tesis realizado y por el contenido del presente documento.

Lic.-Ing. Daniel Kohkemper Granados


Cartago, 12 de marzo de 2020

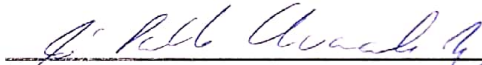
Céd: 1-1300-0483

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Tesis de Maestría
Tribunal evaluador

Tesis de maestría defendida ante el presente Tribunal Evaluador como requisito para optar por el grado académico de maestría, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal


Dr.-Ing. Juan Carlos Rojas Fernández
Profesor lector


Dr.-Ing. Pablo Alvarado Moya
Profesor lector


Dr.-Ing. Renato Rímolo Donadío
Director de Tesis

Los miembros de este Tribunal dan fe de que la presente tesis ha sido aprobada y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 16 de diciembre de 2019

Resumen

El presente trabajo propone un entorno integrado de simulación de canales eléctricos y ecualizadores de señal. Se diseñó e implementó un sistema de comunicación en un enlace pasivo, por medio de un transmisor, un canal y un receptor, con bloques adicionales de ecualización. El transmisor cuenta con un generador parametrizable de señales, como por ejemplo, pulso gaussiano, pulso digital, escalón, secuencia de bits tanto predefinida como pseudoaleatoria. El canal se modela mediante parámetros S, el cual es leído como un archivo Touchstone y es pre-procesado para garantizar la consistencia de los datos, y la salida del sistema se obtiene de la convolución de la respuesta al impulso del canal con la señal de entrada. La salida de las secuencias de bits se analizan por medio de diagramas de ojo, con el cual se obtienen estadísticas del proceso de comunicación. El sistema de ecualización contiene los siguientes bloques: ecualizador de alimentación hacia delante (FFE), ecualizador lineal de tiempo continuo (CTLE) y ecualizador de decisiones retroalimentadas (DFE). El entorno en general ha sido implementado en el lenguaje MATLAB y se han puesto a pruebas casos de la literatura con ayuda del software comercial ADS.

Palabras clave: ecualizadores, transceptores, respuesta al impulso, función de transferencia, parámetros S, ecualizador de alimentación hacia delante, ecualizador lineal de tiempo continuo, ecualizador de decisiones retroalimentadas, ecualización adaptativa

Abstract

This work consists in an integrated environment for electrical channel simulation and signal equalization. A basic communication system in a passive link has been designed and implemented, which consists of a transmitter, a channel and a receiver, with additional equalization blocks. The transmitter has a basic signal generator of variable parameters, such as gaussian pulse, digital pulse, step, predefined and pseudoaleatory bit sequence. The channel is modeled through S-Parameters, which is read via a Touchstone file and is preprocessed to guarantee the consistency of data, and the output of the system is obtained through the convolution of the channel's impulse response and the input signal. The output of the bit sequences is analyzed with eye diagrams and statistics of the communication process are obtained in this fashion. The equalization system contains the following blocks: feed-forward equalizer (FFE), continuous-time linear equalizer (CTLE) and decision-feedback equalizer (DFE). The environment in general is implemented in MATLAB programming language and use-cases from the literature have been tested using the commercial software ADS.

Keywords: equalizer, transceiver, impulse response, transfer function, S-Parameters, feed-forward equalizer, continuous-time linear equalizer, decision-feedback equalizer, adaptive equalizer

a mi amigo Óscar Luis

*“cause you don't have to hurry,
cause you don't have to try,
cause you don't have a care,
you're walking on air”*

Agradecimientos

-sobre hombros de gigantes-

Me gustaría comenzar mis agradecimientos con la persona que hizo este proyecto posible, al M.Sc. Aníbal Coto por toda su ayuda y por tomarme en cuenta para la beca de maestría. Quiero mostrar mi más grande apreciación y admiración al tribunal lector, el Dr. Jose Pablo Alvarado, el Dr. Juan Carlos Rojas y el Dr. Renato Rímolo, a quienes considero mis mentores en la ingeniería y quienes me dieron la posibilidad de enrumbarme por el camino del DSP, tanto académica como profesionalmente. Sin duda he logrado llegar a donde estoy por haber estado sobre hombros de gigantes.

Seguidamente, me gustaría agradecer a mis compañeros de maestría, Ing. Reinaldo Castro e Ing. Luis Alberto Chavarría, por la valiosa ayuda y amistad que me brindaron estos últimos años, verdaderamente mi regreso al TEC fue mejor gracias a uds. Un agradecimiento especial a la Ing. Rebeca Castro, a la Ing. Brenda Solís y a las estudiantes Alejandra Castrillo y Paulina Monge por su invaluable ayuda y aporte a este proyecto. Les envío un gran saludo a los compañeros del DCI-Lab y un agradecimiento para los profesores que conocí o volví a encontrarme durante este periodo, sus enseñanzas han sido muy importantes para mí, y al personal administrativo del Departamento de Posgrados y de la Escuela de Ingeniería Electrónica por su invaluable ayuda durante estos tres años. Quiero dar un especial agradecimiento al anterior director de la Escuela de Ingeniería Electrónica, el Ing. Francisco Navarro, por toda el apoyo y la confianza que me dio para asignarme como profesor de esta escuela.

Quiero agradecer a mis compañeros de banda, William Suárez y Diego Arce, por las grandes vivencias en escenarios y kilómetros de carretera que hemos compartido juntos, lo mejor para nosotros está todavía por venir. A mi amiga Dayana Calero por su incondicional apoyo y motivación durante estos años y este largo proceso. Por último y más importante, un infinito agradecimiento a mi familia; a mi madre, mis tías y mis abuelos, por ser la base de toda mi vida. No podría estar donde estoy si no fuera por ustedes, este logro es de todos nosotros.

Lic.-Ing. Daniel Kohkemper Granados

Cartago, 12 de marzo de 2020

Índice general

Índice de figuras	iv
Índice de tablas	vii
1 Introducción	1
1.1 Entorno del proyecto	1
1.2 Motivación	4
1.3 Alcances de la investigación	4
1.4 Estructura del documento	5
2 Marco Teórico	6
2.1 Aplicaciones de enlaces seriales	6
2.1.1 Procesador a memoria	6
2.1.2 Procesador a periféricos	7
2.1.3 Procesador a procesador	8
2.1.4 Almacenamiento	9
2.1.5 Redes	10
2.2 Modelos de interconexión para canales eléctricos	10
2.2.1 Transmisión sencilla contra diferencial	11
2.2.2 Componentes del canal	12
2.2.3 Frecuencia de Nyquist	12
2.3 Efectos negativos en el canal	13
2.3.1 Dispersión	13
2.3.2 Diafonía	14
2.3.3 Reflexión	15
2.4 Parámetros de microondas	15
2.4.1 Modelo de canal en Parámetros S	18
2.4.2 Conexión en cascada de bloques en parámetros S	18
2.4.3 Respuesta al impulso de un canal	20
2.4.4 Medición de diafonía en parámetros S	21
2.5 Requerimientos matemáticos para canales	21
2.5.1 Causalidad	22
2.5.2 Pasividad	22
2.5.3 Estabilidad	22

2.6	Métricas de evaluación	23
2.6.1	Diagramas de ojo	23
2.6.2	Tasa de error de bits	24
2.7	Métodos de ecualización de señales	24
2.7.1	Feed-Forward Equalizer (FFE)	25
2.7.2	Continuous-Time Linear Equalizer (CTLE)	26
2.7.3	Decision Feedback Equalizer (DFE)	29
2.7.4	Ecualización adaptativa	30
2.8	Señalización NRZ y PAM-4	33
3	Diseño de un entorno integrado de simulación de canales eléctricos de alta velocidad	34
3.1	Diseño del generador de señales	35
3.1.1	Pulso gaussiano	35
3.1.2	Pulso digital	36
3.1.3	Escalón	36
3.1.4	Secuencia de bits pseudoaleatorios PRBS-k	38
3.1.5	Secuencia de bits	40
3.1.6	Ruido blanco gaussiano aditivo	41
3.2	Diseño del solucionador convolucional	42
3.2.1	Procesamiento de los parámetros S	42
3.2.2	Cálculo de la respuesta al impulso de un sistema	43
3.2.3	Convolución de señal con respuesta al impulso	45
3.3	Diseño de los ecualizadores	46
3.3.1	Feed-Forward Equalizer (FFE)	47
3.3.2	Continuous-Time Linear Equalizer (CTLE)	52
3.3.3	Decision-Feedback Equalizer (DFE)	55
3.4	Arquitectura de la implementación	57
4	Resultados de simulación	59
4.1	Pruebas unitarias del generador de señales	59
4.1.1	Pulso digital	60
4.1.2	Escalón digital	60
4.1.3	Secuencia de bits	61
4.1.4	Secuencia pseudoaleatoria	62
4.1.5	Ruido blanco gaussiano	62
4.2	Prueba de diafonía	62
4.3	Casos de la literatura	66
4.4	Pruebas unitarias en ecualizadores	68
4.4.1	Pruebas con FFE	68
4.4.2	Pruebas con CTLE	70
4.4.3	Pruebas con DFE	72
4.5	Pruebas completas del sistema	74

4.5.1	Pruebas realizadas en canal 2	76
4.5.2	Pruebas realizadas en canal 3	78
5	Conclusiones y trabajo futuro	82
	Bibliografía	84
A	Imágenes adicionales	88
A.1	Verificación de ecualizadores	88
A.1.1	Feed-Forward Equalizer	89
A.1.2	Continuous-Time Linear Equalizer	92
A.1.3	Decision-Feedback Equalizer	98
B	Guía de programación	100
B.1	Generador de funciones	100
B.1.1	spi_vsrc_pulse	100
B.1.2	spi_vsrc_step	101
B.1.3	spi_vsrc_prbs	102
B.1.4	spi_vsrc_bitseq	103
B.1.5	spi_vsrc_gaussian	104
B.1.6	spi_prbs_k_gen	105
B.1.7	spi_impulse_response	106
B.2	Entorno gráfico	106

Índice de figuras

1.1	Tendencia de las tasas de transmisión en algunas interfaces	2
2.1	Modelo de transmisión sencilla	11
2.2	Modelo de circuito paralelo a serial	11
2.3	Esquema de conexión y componentes de un <i>backplane</i>	12
2.4	Esquema para definir la tasa de bits y frecuencia de Nyquist	13
2.5	Ejemplo interferencia intersímbolo en canal de <i>microstrip</i>	14
2.6	Ejemplo de diafonía cercana y lejana	14
2.7	Red de dos puertos para definir parámetros Z y Y	16
2.8	Red de dos puertos para definir parámetros S	17
2.9	Red de dos puertos para definir parámetros ABCD	18
2.10	Esquema de conexión y componentes de un <i>backplane</i>	18
2.11	Conexión en cascada de bloques definidos por parámetros S	19
2.12	Relación de entrada y salida en un sistema LTI	20
2.13	Respuesta al pulso de un canal con sus respectivos cursores	21
2.14	Diagrama de ojo para un PRBS-7 a 2 Gbps	23
2.15	Ejemplo de diagrama de ojo abierto y cerrado	24
2.16	Diagrama de canal de transmisión con ecualización	25
2.17	Filtro de respuesta finita al impulso	26
2.18	Ecualizador lineal de tiempo continuo	27
2.19	Circuito de CTLE de primer orden degenerado en fuente	27
2.20	Función de transferencia de CTLE para canal largo y corto, según la especificación USB 3.0	29
2.21	Ecualizador de decisiones retroalimentadas	29
2.22	Comparación entre señalización NRZ y PAM-4	33
3.1	Diagrama de bloques de la solución	34
3.2	Parámetros de pulso gaussiano	36
3.3	Parámetros de pulso digital	37
3.4	Parámetros de escalón	37
3.5	Parámetros de PRBS-k	39
3.6	Parámetros de secuencia de bits	40
3.7	Secuencia de ruido blanco gaussiano con $\sigma^2 = 500\mu V^2$	42
3.8	Disposición del espectro doble de parámetros S	44

3.9	Cálculo de la respuesta al impulso de un sistema a partir de parámetros S .	45
3.10	Cálculo de la salida del sistema	45
3.11	Respuesta de un pulso digital en una línea de microstrip	46
3.12	Función de transferencia y respuesta al impulso de canal de <i>microstrip</i> . .	46
3.13	Pulso digital y efecto de FFE de 3 taps	48
3.14	Respuesta al impulso para probar el algoritmo MMSE en la obtención de los coeficientes de ecualizador FFE	49
3.15	Función de transferencia de ecualizador FFE a 10 Gbps	51
3.16	Señal en el tiempo de canal con FFE a 6 Gbps	51
3.17	Función de transferencia y respuesta al impulso de canal y ecualizador FFE a 10 Gbps	52
3.18	Función de transferencia de CTLE y canal de <i>microstrip</i>	53
3.19	Respuesta al impulso de CTLE de primer orden	53
3.20	Efecto del CTLE en la señal en el tiempo	54
3.21	Respuesta al impulso de canal de <i>microstrip</i> y CTLE	55
3.22	Señal típica de un ecualizador DFE	55
3.23	Diagrama de ojo para una transmisión con ecualizador DFE	56
3.24	Diagrama de bloques de módulo de procesamiento de parámetros S	57
4.1	Circuito de prueba con línea de microstrip para diversas fuentes de voltaje	59
4.2	Respuesta de una señal de pulso digital en una línea de <i>microstrip</i>	60
4.3	Respuesta de una señal de escalón en una línea de <i>microstrip</i>	61
4.4	Respuesta de una secuencia de bits en una línea de <i>microstrip</i>	61
4.5	Respuesta de un PRBS-7 en una línea de <i>microstrip</i>	62
4.6	Respuesta de un canal ante ruido blanco gaussiano con $\sigma^2 = 500 \mu V^2$. . .	63
4.7	Pérdida de inserción del canal principal y respuesta al impulso	63
4.8	Diafonía lejana del canal agresor y su respuesta al impulso	64
4.9	Diagrama de ojo de la salida sin diafonía	64
4.10	Comparación de agregar diafonía a un sistema	65
4.11	Diagrama de ojo para señal agresora con ganancia 1 y 10	65
4.12	Diagrama de ojo para señal de diafonía con ganancia 1 y 10	66
4.13	Impacto del tamaño del stub en el enlace	66
4.14	Impacto de la cantidad de vías a tierra alrededor de una vía de señal . . .	67
4.15	Función de transferencia de canal con una vía a tierra	68
4.16	Comparación de diagramas de ojo entre implementación y ADS para transmisión a 10 Gbps sin FFE en canal con una vía a tierra	69
4.17	Comparación de diagramas de ojo entre implementación y ADS para transmisión a 10 Gbps con FFE en canal con una vía a tierra	70
4.18	Comparación de diagramas de ojo entre implementación y ADS para transmisión a 2 Gbps sin CTLE en canal de <i>microstrip</i>	71
4.19	Comparación de diagramas de ojo entre implementación y ADS para transmisión a 2 Gbps con CTLE en canal de <i>microstrip</i>	71

4.20	Adaptación de coeficientes de DFE mediante algoritmo LMS para diversas tasas de transmisión en canal de <i>microstrip</i>	73
4.21	Comparación de diagramas de ojo entre implementación y ADS para transmisión a 2 Gbps con DFE en canal de <i>microstrip</i>	74
4.22	Aproximación de canales utilizados en pruebas completas de ecualización.	75
4.23	Diversas implementaciones de CTLE	76
4.24	Diagramas de ojo para aproximación de canal 2 con nivel 0 de ecualización a diferentes velocidades de transmisión	77
4.25	Diagramas de ojo para aproximación de canal 2 con nivel 1 de ecualización a diferentes velocidades de transmisión	78
4.26	Diagramas de ojo para aproximación de canal 3 con nivel 0 de ecualización a diferentes velocidades de transmisión	79
4.27	Respuesta al impulso de la aproximación del canal 3 a 20 Gbps	80
A.1	Diagramas de ojo para comunicación a 5 Gbps sin FFE en canal con una vía a tierra	89
A.2	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 15 Gbps sin/con FFE en canal con una vía a tierra	90
A.3	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 20 Gbps sin/con FFE en canal con una vía a tierra	91
A.4	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 1 Gbps sin/con CTLE en canal de <i>microstrip</i>	92
A.5	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 4 Gbps sin/con CTLE en canal de <i>microstrip</i>	93
A.6	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 6 Gbps sin/con CTLE en canal de <i>microstrip</i>	94
A.7	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 8 Gbps sin/con CTLE en canal de <i>microstrip</i>	95
A.8	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 10 Gbps sin/con CTLE en canal de <i>microstrip</i>	96
A.9	Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 12 Gbps sin/con CTLE en canal de <i>microstrip</i>	97
A.10	Comparación de diagramas de ojo entre implementación y ADS para transmisiones de 1, 4 y 6 Gbps con DFE en canal de <i>microstrip</i>	98

A.11 Comparación de diagramas de ojo entre implementación y ADS para transmisiones de 8, 10 y 12 Gbps con DFE en canal de <i>microstrip</i>	99
B.1 Función de pulso digital	101
B.2 Función de escalón	102
B.3 Función de PRBS-k	103
B.4 Función de secuencia de bits	104
B.5 Función de pulso gaussiano	105
B.6 Entorno gráfico de SPI Toolbox	107

Índice de tablas

2.1	Estándares de memoria DDR	7
2.2	Evolución de la especificación PCI Express	7
2.3	Evolución del estándar USB	8
2.4	Tasas de transmisión de la arquitectura Intel QPI	9
2.5	Versiones de la interfaz SATA	9
2.6	Parámetros de CTLE para canal largo y corto para USB 3.0	28
3.1	Polinomios de 3 hasta 32 bits para secuencia de bits pseudoaleatorios	38
3.2	Tipos de transiciones de bit previo a bit actual en señal PRBS	39
3.3	Tipos de transiciones de bit actual a bit siguiente en una secuencia de bits	40
3.4	Valores de parámetros de CTLE utilizados en prueba de concepto	52
4.1	Parámetros de señal de pulso digital	60
4.2	Parámetros de señal de escalón	60
4.3	Parámetros de secuencia de bits	61
4.4	Parámetros de secuencia pseudoaleatoria de bits	62
4.5	Coefficientes utilizados para el FFE con canal con una vía tierra	68
4.6	Estadísticas de diagramas de ojo para pruebas de canal con una vía a tierra y FFE	69
4.7	Estadísticas de diagramas de ojo para pruebas de canal de <i>microstrip</i> con CTLE	70
4.8	Valores de coeficientes de DFE obtenidos por medio de algoritmo LMS para canal de <i>microstrip</i>	72
4.9	Porcentajes de error de cursores DFE obtenidos por medio del algoritmo LMS	72
4.10	Niveles de ecualización en pruebas con todos los ecualizadores	75
4.11	Aperturas de ojo para pruebas realizadas en aproximación de canal 2 con diversos niveles de ecualización y velocidades de transmisión	77
4.12	Aperturas de ojo para pruebas realizadas en aproximación de canal 3 con diversos niveles de ecualización y velocidades de transmisión	79
4.13	Aperturas de ojo para pruebas realizadas en aproximación de canal 3 con un precursor de FFE adicional	80
4.14	Aperturas de ojo para pruebas realizadas en aproximación de canal 3 con un precursor de FFE adicional y ganancia de 2 en Rx	81

Capítulo 1

Introducción

1.1 Entorno del proyecto

No se puede hablar sobre la historia de la electrónica moderna y el desarrollo de circuitos integrados sin comenzar con la *Ley de Moore* [1]. Después de la creación del transistor discreto y con el inicio de la electrónica integrada, comenzaría un fenómeno de crecimiento exponencial que ninguna otra tecnología en toda la historia de la humanidad había tenido. Esta predicción, que indica que la complejidad en la tecnología de reducción iba a duplicarse cada par de años, fue al inicio una extrapolación del comportamiento de la industria de la miniaturización de componentes pero eventualmente se convirtió en una profecía que la misma industria estaría obligada a cumplir con el paso del tiempo [2].

En 1970 se desarrollaron chips tales como el Intel 4004 y 8008, lo cual fue el inicio de un desarrollo acelerado de microprocesadores cada vez más rápidos y potentes. Para la década de 1980 la velocidad del transistor era la que imponía el límite a la velocidad de comunicación entre dispositivos de entrada y salida, por lo que era poco común sufrir de los efectos de la alta velocidad en los sistemas de comunicación salvo algunas excepciones. Para este momento el campo de la *integridad de señales* apenas comenzaba a nacer, ya que en la mayoría de los casos se desconocían los efectos del ruido en sistemas digitales además de los efectos parásitos a alta velocidad [3].

Para la década de 1990 se alcanzó la velocidad del orden de los Mbps, con lo que se comenzaron a sufrir los efectos de la alta velocidad en la calidad de las señales transmitidas. Una alianza entre la academia y la industria, materializada en una conferencia internacional que tuvo su comienzo en 1992 llamada EPEPS (*IEEE International Conference on Electrical Performance of Electronic Packaging and Systems*) [4], además de diversos estándares, tuvo como producto el desarrollo de herramientas computacionales y modelos que explicaban y predecían el efecto de las altas frecuencias en las líneas de transmisión en los circuitos integrados. Con esto, los ingenieros pudieron finalmente contar con formas robustas de diseñar y manufacturar sistemas digitales.

El nuevo milenio y la actual década no redujeron su crecimiento y se llegó a la velocidad

de los Gbps con estándares de comunicación como PCI Express, Thunderbolt, USB 3.0 y Ethernet 100 Gbps, entre otros, como se observa en la Figura 1.1. A estas velocidades de transmisión ciertos efectos negativos empiezan a hacerse más notorios tales como diafonía (*crosstalk*), interferencia intersímbolo (ISI) y pérdidas en conductor y dieléctrico. De esta manera, el canal de transmisión se comporta como un filtro paso-bajo, en donde a altas frecuencias la magnitud de la señal sufre una atenuación significativa.

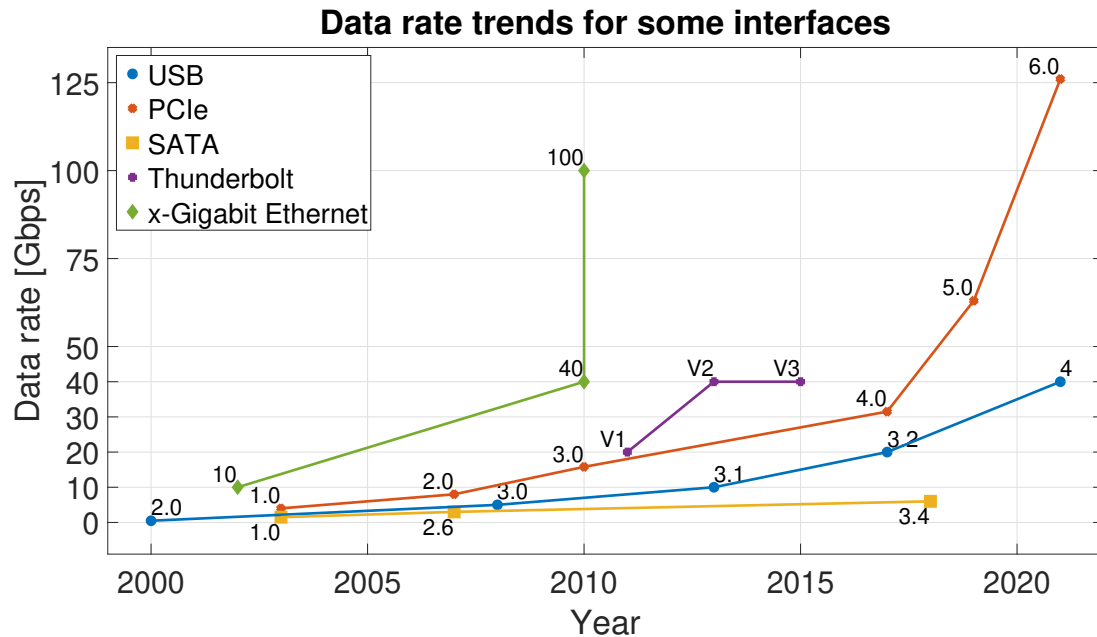


Figura 1.1: Tendencia de las tasas de transmisión en algunas interfaces.

Para contrarrestar los efectos negativos de la alta frecuencia, los ingenieros de integridad de señales han creado soluciones, entre las cuales destaca la *ecualización*. Esta técnica, en sus diferentes formas, pretende la manipulación de la señal recibida y/o transmitida en un sistema de alta velocidad, para contrarrestar la distorsión de amplitud y fase además de reducir la interferencia intersímbolo y diafonía. La implementación de ecualizadores de señal se puede realizar tanto en el tiempo continuo, como los son los filtros paso alto ya sean pasivo o activo, así como en el tiempo discreto mediante la implementación de un sistema muestreado con procesamiento digital adaptativo.

En resumen, la integridad de señales es un campo que nació gracias a la miniaturización y rápido avance de la capacidad de procesamiento de los sistemas computacionales. En la medida que el desempeño de los procesadores ha ido en aumento, se ha esperado un igual crecimiento en el desempeño de los buses de datos y estos como se expuso, sufren efectos negativos a altas frecuencias. Actualmente, el campo pasó de ser una actividad lateral en la que se aplicaban soluciones directas a problemas particulares, a una rama completa en sí misma que abarca el proceso de diseño e implementación a nivel de sistema y se ha visto nutrida de otras ramas de la ingeniería eléctrica, electrónica e incluso la computación, tales como [3]:

- Ingeniería de sistemas digitales
- Diseño de circuitos de entrada y salida (I/O) de alta velocidad
- Diseño de tarjetas de circuitos impresos (PCB) y empaquetados de circuitos
- Teoría de comunicaciones
- Ingeniería de microondas
- Electromagnética computacional

En la electrónica de estado sólido, la fabricación de tan solo un prototipo de circuito integrado puede ascender a los varios miles o algunos millones de dólares, por lo que el diseño asistido por computadora (CAD) se convierte en una herramienta obligatoria en el desarrollo de sistemas digitales. De esta manera, es necesario contar con medios de diseño y simulación que permitan predecir cómo se va comportar un canal ante diversas condiciones. Existen múltiples herramientas en el mercado, tanto privadas (utilizadas a lo interno de las empresas), propietarias (de uso comercial pagado pero de código cerrado), así como aquellas desarrolladas a nivel universitario con fines de investigación, para la simulación y diseño de canales de alta velocidad. Algunas poseen licencias que van de los miles a las decenas de miles de dólares anuales. De estas herramientas se destacan las siguientes:

- **ANSYS HFSS:** Es un software comercial para el diseño de componentes electrónicos de alta frecuencia utilizado en la empresa privada [5].
- **ADS:** Advanced Design System es un software desarrollado por la empresa Keysight Technologies, el cual provee, entre otros, herramientas computacionales para ser utilizadas con osciloscopios y simular ecualización en los canales medidos [6].
- **HyperLynx Signal Integrity:** Es una *suite* de software que entre otros, incluye herramientas de diseño de PCB desde el esquemático hasta el trazado, con la opción de manejo de soluciones para integridad de señales [7].
- **SerDes System Design and Simulation:** Son un grupo de consultores liderados por John Brapawski que ofrecen servicios de modelado de canales a diversas empresas. En su sitio web poseen herramientas para diseño de ecualizadores [8].
- **Signal Integrity Software, Inc.:** SiSoft es una empresa que ofrece servicios de consultoría y software de simulación de canales para diseño de alta velocidad. Con el software *Quantum Channel Designer*[®] es posible el diseño y simulación de enlaces seriales con ecualización [9].
- **Signal and Power Integrity Time Domain Simulator (SPITDS):** Herramienta de simulación desarrollada por el Instituto de Electrónica Teórica de la Universidad Técnica de Hamburgo-Harburgo (TUHH) [10].

Actualmente las tasas de transmisión continúan creciendo, lo que seguirá creando nuevos problemas que antes no eran aparentes y deben ser atendidos de manera expedita. Con esto, el campo de integridad de señales se mantiene en constante búsqueda de técnicas que permitan contrarrestar los efectos negativos que se encuentran en las comunicaciones de alta frecuencia.

1.2 Motivación

Para resolver la necesidad de la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica de contar con una herramienta propia y libre del pago de licencias, para propósitos de investigación, de código abierto que facilite la cooperación y continuo crecimiento, se propone desarrollar en el lenguaje de programación MATLAB, un entorno de simulación y análisis integrado para canales eléctricos de alta velocidad que permita el uso de diversos ecualizadores de señal. Los trabajos de los demás estudiantes involucrados en el proyecto [11, 12, 13], particularmente los desarrollados en ADS, servirán como casos de validación de los resultados del entorno de simulación así como casos provenientes de la literatura. El sistema debe contar con las siguientes características:

- Preciso: Los resultados de simulación deben mostrar buena correlación con respecto a resultados de herramientas comerciales.
- Escalable: La complejidad y tipo de arquitectura utilizada en los trancectores debe ser adaptable y se podrán realizar combinaciones de los diferentes tipos de ecualización.
- Controlable: Se podrán escoger los modelos de canal a utilizar.
- Flexible: La parametrización de los bloques debe ser ajustable, para así poder evaluar diferentes configuraciones de forma rápida.

1.3 Alcances de la investigación

El objetivo general del proyecto consiste en desarrollar un entorno de simulación de comportamiento para enlaces eléctricos de alta velocidad que permita introducir modelos pasivos de canal a través de parámetros S y modelos de trancectores de ecualización.

Como objetivos específicos se tiene en primera instancia la implementación de un bloque generador de señales básicas, como lo son el pulso digital, escalón, secuencia de bits predefinida y pseudoaleatoria, entre otras, que servirán como las diferentes señales de prueba a transmitir a través del canal. Seguidamente, se busca implementar un algoritmo de simulación en el dominio del tiempo, como lo es la convolución de una entrada con la respuesta al impulso del sistema, con lo que se obtendrá la salida de la señal de prueba a

través del canal descrito por parámetros S . A su vez, se desea realizar una implementación de modelos escalables de ecualización de canal, tanto en dominio continuo como discreto, para un sistema de N puertos descrito por medio de parámetros S , como lo son el *feed-forward equalizer*, *continuous-time linear equalizer* y *decision-feedback equalizer*.

Finalmente, para la validación de las señales obtenidas a través de los canales es necesario utilizar los diagramas de ojo, de los cuales se pueden obtener estadísticas de la comunicación así como plantear medidas correctivas en caso de extrema distorsión y atenuación de la señal recibida.

Cabe mencionar que con el comparativo poco tiempo que se tiene para el desarrollo del proyecto, no se podría esperar que la solución propuesta cumpla con todas las opciones brindadas por las herramientas mencionadas con anterioridad, pero se plantea sentar las bases de una herramienta computacional que pueda ser continuada por estudiantes e investigadores en un ciclo formal de desarrollo de software en el cual se vea involucrado un heterogéneo grupo de trabajo.

1.4 Estructura del documento

El documento se encuentra ordenado de la siguiente manera. En el **Capítulo 2** se incluye una revisión bibliográfica sobre los temas necesarios para el desarrollo del proyecto, como lo son teoría electromagnética y características de canales pasivos, parámetros S y su relación con la transformada de Fourier y arquitecturas de ecualizadores de señal, entre otros. El **Capítulo 3** muestra el modelado del canal pasivo mediante parámetros S , algoritmos de canal en el dominio del tiempo así como el diseño de los ecualizadores de señal. En el **Capítulo 4** se presenta un análisis de los resultados obtenidos y el **Capítulo 5** encierra las conclusiones más importantes del trabajo realizado así como recomendaciones para futuros trabajos.

Capítulo 2

Marco Teórico

2.1 Aplicaciones de enlaces seriales

A medida que avanza la miniaturización del transistor, los sistemas computacionales se hacen cada vez más amplios y complejos. Una computadora normalmente está compuesta por un procesador, memoria externa y caché, chips controladores y periféricos entre otros. Todos estos componentes se conectan y comunican a través de un bus, el cual se define como un conjunto de conexiones para la transferencia de datos y energía. A continuación se presentan varias aplicaciones de los enlaces seriales hallados normalmente en un sistema computacional.

2.1.1 Procesador a memoria

Dos de las tareas más comunes que realiza el procesador son lecturas y escrituras de datos en memoria. El controlador de memoria es el encargado de gestionar el tráfico de datos entre el CPU y la memoria mediante señales de control. La velocidad a la cual se pueden transferir datos entre ellos usualmente es mucho menor que la velocidad a la que puede operar el mismo procesador, y se indica en MHz o en Mbps. Entre las diversas variedades, se puede citar los estándares de DDR y Rambus, aunque este último ha perdido importancia ante el primero y ya no es relevante.

DDR SDRAM

Creado por *JEDEC Solid State Technology Association*, este tipo de memoria se convirtió en el estándar para memorias en computadoras personales [14]. Desde el año 2000, ha tenido importantes lanzamientos, como se observa en la Tabla 2.1.

Tabla 2.1: Estándares de memoria DDR.

Estándar	Año	Velocidad de reloj	Tasa de transferencia
		[MHz]	[Gbps]
DDR1	2000	200,00	400,00
DDR2	2003	533,33	1 067,66
DDR3	2007	1 066,67	2 133,33
DDR4	2014	1 600,00	3 200,00

2.1.2 Procesador a periféricos

Los sistemas computacionales deben comunicarse además con otros sistemas fuera del mismo para importar y exportar información; por ejemplo, con teclados, ratones, cámaras, micrófonos, tarjetas de audio y video, y demás dispositivos de hardware. Algunas de estas aplicaciones, como HDMI y DisplayPort, son de muy alta velocidad y tienen requerimientos complejos de ecualización. Entre los protocolos más importantes se destacan los siguientes:

PCI Express

También conocido como PCIe, es definido como un bus de carriles en serie punto a punto que trabajan de manera bidireccional (*full-duplex*). Cada nueva especificación ha buscado doblar la tasa de bits anterior. El bus en total cuenta con uno, dos, cuatro, ocho o dieciséis carriles, abreviados a x1, x2, x4, x8 y x16, respectivamente. El ancho de banda de cada carril se obtiene del ancho de banda nominal de un carril por la cantidad de carriles. Es utilizado como bus local, mayoritariamente en el uso de tarjetas gráficas como nVidia y AMD, así como dispositivos de almacenamiento. Para finales del año 2018 se publicó la especificación PCIe 5.0 y se anunció así mismo para el futuro el lanzamiento de PCIe 6.0. En la Tabla 2.2 se observa el desarrollo de esta especificación [15].

Tabla 2.2: Evolución de la especificación PCI Express.

Versión	Año	Velocidad de transferencia [GT/s]	Ancho de banda	
			x1 [MB/s]	x16 [GB/s]
1.0	2003	2,5	250,0	4,0
2.0	2007	5,0	500,0	8,0
3.0	2010	8,0	984,6	15,8
4.0	2017	16,0	1 969	31,5
5.0	2019	32,0	3 938	63,02
6.0	2021	64,0	7 877	126,03

USB

USB, o *Universal Serial Bus* por sus siglas en inglés, es un estándar industrial lanzado en 1996, que especifica un tipo de conector y los protocolos de comunicación para la transmisión de datos y energía entre una computadora y diversos dispositivos. Actualmente es uno de los protocolos más utilizados en todo el mundo y su versión más reciente es USB 3.2. En el año 2019 fue anunciado el futuro lanzamiento de la versión USB4 que es compatible con Thunderbolt 3 y versiones anteriores de USB, que operará a una tasa de 40 Gbps. En la Tabla 2.3 se muestra la evolución de este estándar [16].

Tabla 2.3: Evolución del estándar USB.

Versión	Tasa de transferencia máxima	Potencia máxima
USB 1.0	12 Mbps	5 V, 1.5 A
USB 2.0	480 Mbps	20 V, 5 A
USB 3.0	5 Gbps	20 V, 5 A
USB 3.1	10 Gbps	20 V, 5 A
USB 3.2	20 Gbps	20 V, 5 A
USB4	40 Gbps	-

2.1.3 Procesador a procesador

Los sistemas computacionales actuales cuentan con una gran variedad de chips y procesadores dentro de una misma placa madre, que usualmente comparten memoria o deben comunicarse entre sí a través de un puente de red, por lo que deben contar con sus propios protocolos de comunicación de datos. A continuación se detalla sobre las dos marcas de procesadores más utilizados en el mercado de computadores personales.

Intel QuickPath Interconnect

Intel QPI es una interconexión bidireccional (*full duplex*) punto a punto con dos enlaces de 20 carriles cada uno en cada dirección, además de una señal de reloj en cada dirección, para 42 señales en total. Cada señal es diferencial por lo que el total de pines es 84. Quitando las cuatro señales de reloj, la unidad básica de transmisión es de 80 bits, llamado *flick*, dividido en 8 bits para detección de errores, 8 bits de encabezado y 64 bits de datos. En la Tabla 2.4 se observan las diferentes frecuencias y tasas de transmisión logradas por esta arquitectura [17].

Tabla 2.4: Tasas de transmisión de la arquitectura Intel QPI.

Frecuencia de reloj [GHz]	Tasa de transmisión [Gbps]
2,40	19,2
2,93	23,4
3,20	25,6
4,00	32,0
4,80	38,4

2.1.4 Almacenamiento

Con el advenimiento de la música, imágenes y videos digitales, así como programas con instalaciones de mayor peso en bytes, los sistemas computacionales han tenido que ampliar su capacidad de almacenamiento de datos a niveles de los Terabytes. La rapidez con la que se hace la lectura y escritura de datos al disco duro es de suma importancia para el usuario final, quien siempre desea tasas de transferencia cada vez más rápidas. Inicialmente, los protocolos de comunicación de almacenamiento en dispositivos eran paralelos, pero han ido migrando hacia el formato serial, de los cuales se destacan los siguientes:

SATA

Desarrollado por Serial ATA International Organization (SATA-IO), esta interfaz ha venido a sustituir su versión paralela PATA. La interfaz permite una conexión en caliente y utiliza una arquitectura punto a punto, además de la codificación 8b10b, por lo que la tasa real de datos representa un 80% del total. En la Tabla 2.5 se observan las diferentes versiones de la interfaz SATA.

Tabla 2.5: Versiones de la interfaz SATA.

Versión	Frecuencia [MHz]	Tasa real [MBps]
SATA 1.5 Gbps	1 500	150
SATA 3.0 Gbps	3 000	300
SATA 6.0 Gbps	6 000	600

Canal de fibra

El canal de fibra, del inglés *fibre channel*, es una tecnología de redes de alta velocidad desarrollada por *International Committee for Information Technology Standards* (INCITS), que es utilizada en supercomputadoras, centros de procesamientos de datos y redes de áreas de procesamiento. Esta tecnología permite una transmisión punto a punto sin pérdidas a través de la fibra óptica, con tasas de transmisión de 1, 2, 4, 8, 16, 32 y 128 Gbps.

2.1.5 Redes

Una red de computadoras es una serie de equipos informáticos conectados en alguna topología, de forma física o inalámbrica, que sigue un protocolo de comunicación determinado, con la finalidad de compartir e intercambiar información. A continuación se citan algunas:

LAN

Una red de área local o LAN, es una red de computadoras pensada para un área pequeña, como una casa o edificio. Se puede construir con diversas topologías utilizando par trenzado, cable coaxial o fibra óptica. Esta arquitectura se puede diseñar utilizando diversas tecnologías como lo son Arcnet, Tokenring e Ethernet, de las cuales varía el costo y complejidad. Ethernet, que alcanza velocidades entre 1, 10, 40 y 100 Gbps, es la solución más utilizada en general debido a que es la más rápida y de costo medio.

Backplanes

Un *backplane* es una placa de circuito impreso que posee múltiples conectores dispuestos en paralelo, con lo que se forma un bus, como se observa en la Figura 2.3. Se diferencia de una tarjeta madre en que no posee un procesador por sí solo, sino que a lo mucho cuenta con un chipset para manejar y gestionar el mismo bus. Se utilizan comúnmente para la verificación de varias tarjetas del mismo tipo de forma simultánea, para almacenamiento o como puente de transmisión dentro de los enrutadores. Los últimos estándares de modulación PAM-4 permiten la transmisión de información a más de 56 Gbps [18, 19, 20, 21, 22].

2.2 Modelos de interconexión para canales eléctricos

Históricamente, los primeros enlaces en los sistemas computacionales eran de carácter paralelo pero con el tiempo fueron cambiando por conexiones en serie. Es posible pensar inicialmente que se puede transmitir más información de manera paralela, pero hay limitaciones como que se requiere mayor cantidad de cobre para las conexiones, existe un acople electromagnético entre todas las líneas y el largo de los cables es limitado.

Es por esta razón que el mercado fue evolucionando hacia la transmisión serial, como la del circuito observado en la Figura 2.1, el cual está compuesto de un transmisor que carga bits de información en la línea, un canal eléctrico por donde se propagan las ondas de tensión y finalmente un receptor que se encarga de recibir, decodificar y convertir las ondas de tensión en una señal digital. Con esto, la comunicación serial es posible a mayores velocidades que las logradas en forma paralela, a costa de complejos protocolos de comunicación que sincronizan el transmisor y receptor para la correcta lectura de los bits recibidos.

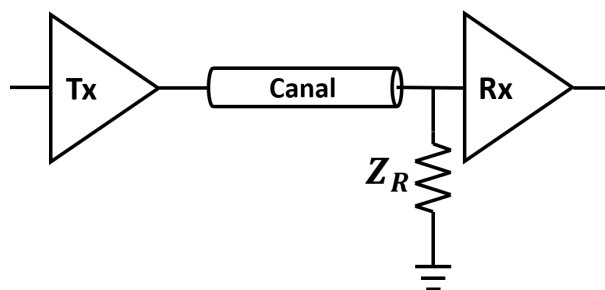


Figura 2.1: Modelo de transmisión sencilla.

2.2.1 Transmisión sencilla contra diferencial

Dentro de la transmisión serial, existen dos variantes básicas que componen todas las arquitecturas existentes. En primera instancia existe la transmisión sencilla, en donde la señal viaja a través de un único canal, como el mostrado en la Figura 2.1. Esta configuración logra alcanzar velocidades de 2 Gbps [23] pero sufre de susceptibilidad al ruido y atenuación con la distancia, lo cual impide alcanzar velocidades mayores. Para eliminar este problema se puede aumentar el tensión pero aumenta el consumo de potencia y la tasa de conmutación se hace más lenta.

La segunda configuración de comunicación serial es la transmisión diferencial, la cual consiste en transmitir la misma señal a través de dos canales iguales, con un desfase de 180 grados. El receptor recupera la señal diferencial al restar ambos canales. Debido al desfase, la señal aumenta al doble de la amplitud utilizando la misma potencia por canal y a su vez el amplificador diferencial rechaza el ruido en modo común que se mezcla en el proceso de transmisión. De esta manera, la comunicación diferencial posee mayor inmunidad al ruido en comparación a la sencilla, y es capaz de llegar a velocidades de transmisión más altas.

En la Figura 2.2 se observa un sistema completo de transmisión diferencial. A la entrada del transmisor existe un módulo que convierte los datos paralelos a forma serial, llamado Ser/Des (serializador/des-serializador). El transmisor posee dos salidas desfasadas 180 grados la cual es conectada al canal con resistencias de terminación. El receptor captura la diferencia de las señales y los datos son convertidos a formato paralelo nuevamente por otro Ser/Des.

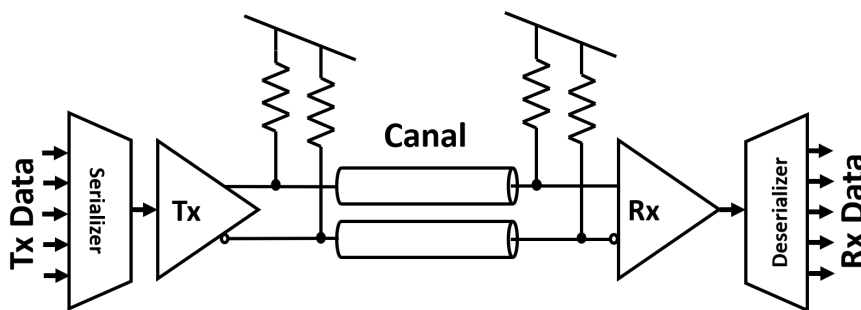


Figura 2.2: Modelo de circuito paralelo a serial. Adaptado de [24].

2.2.2 Componentes del canal

Un ejemplo de un canal serial es un *backplane* como el de la Figura 2.3. En este sistema dos chips están interconectados a través de un canal y diversos componentes. Los chips, que funcionan como transmisor y receptor en cada lado, cuentan con sus terminaciones y empaquetado, que es conectado a una tarjeta con una línea interna de cobre. Esta línea es accedida tanto en la entrada como la salida a través de una vía, que es un conector metálico perforado en la tarjeta. Esta a su vez se conecta a una tarjeta base a través de un conector y el final de la línea interna es conectado a un sistema similar.

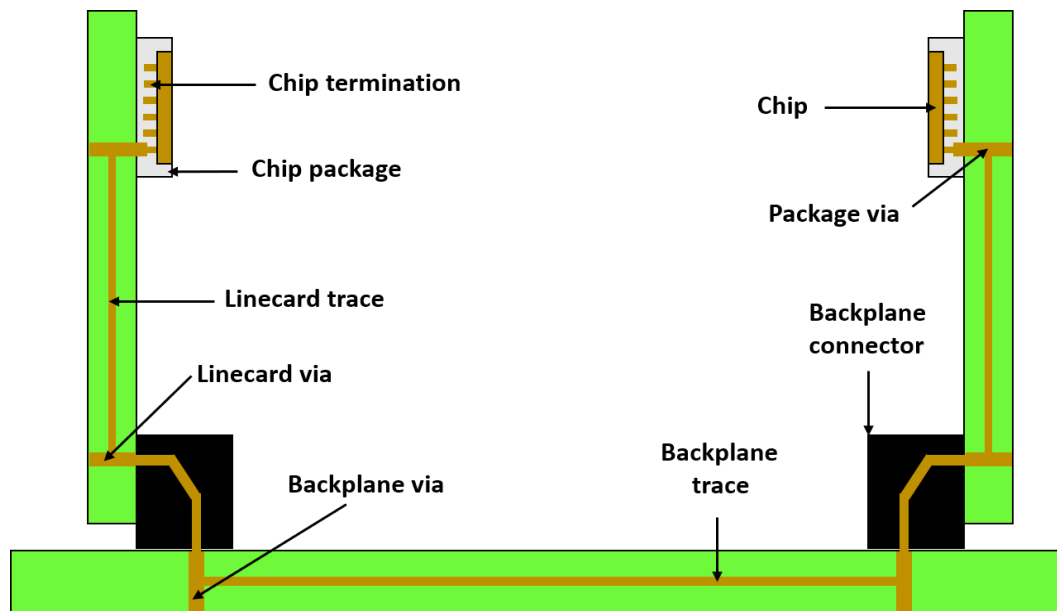


Figura 2.3: Esquema de conexión y componentes de un *backplane*. Adaptado de [24].

El proceso de transmisión de señales eléctricas no es del todo ideal, ya que cada componente agrega efectos negativos. Por ejemplo, en las trazas existen efectos de dispersión y en las vías se dan reflexiones. A su vez, existe diafonía en los conectores a la tarjeta principal.

2.2.3 Frecuencia de Nyquist

La tasa de bits (*data rate*) se define como el máximo número de bits por segundo que soporta un canal. El ancho de bit o intervalo unitario ($UI = \Delta t_{bit}$) puede definirse de varias maneras, como se observa en la Figura 2.4. Esta puede ser definida a partir del momento en el que la señal realiza una transición o en los puntos medios de la misma, como se indica en UI' y UI respectivamente.

Con esto la tasa de bits se define como:

$$data\ rate = \frac{1}{\Delta t_{bit}}. \quad (2.1)$$

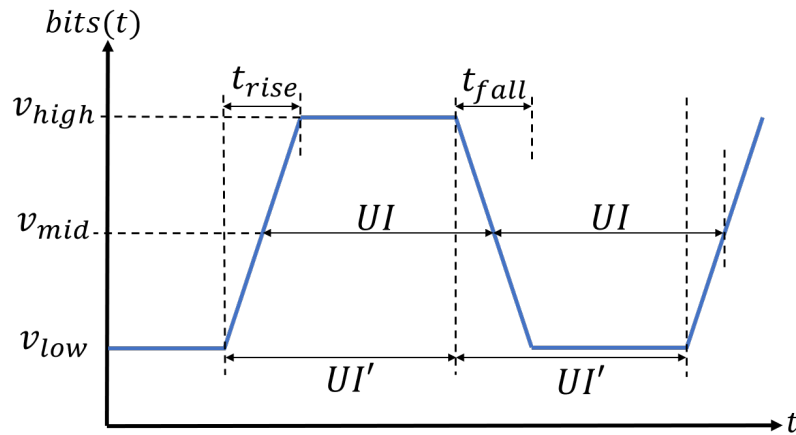


Figura 2.4: Esquema para definir la tasa de bits y frecuencia de Nyquist.

Ya que un bit contabiliza solamente la mitad de la señal periódica, el periodo completo de la misma es igual a $2\Delta t_{bit}$. De esta manera, se obtiene la frecuencia máxima o frecuencia de Nyquist como:

$$f_{Nyquist} = \frac{1}{2\Delta t_{bit}}. \quad (2.2)$$

Por ejemplo, para una tasa de bits de 10 Gbps, el ancho de bit de esta señal corresponde a un pulso de 100 ps, con lo que el periodo completo sería de 200 ps y la frecuencia de Nyquist resultante sería 5 GHz. En términos más simples, la frecuencia de Nyquist es la mitad de la tasa de bits, medida en Hz.

2.3 Efectos negativos en el canal

En la práctica, las líneas de transmisión no se comportan de manera perfecta como indican los modelos matemáticos ideales, sino que la frecuencia, pérdidas en el material, temperatura, construcción y componentes, entre otros, generan efectos indeseables que deben ser solucionados. Entre los más notables se destacan la interferencia intersímbolo (ISI) y la diafonía (*crosstalk*).

2.3.1 Dispersión

Cuando existe pérdida resistiva (conductor) o capacitiva (dieléctrica), la constante de propagación se convierte en una función de la frecuencia lo que implica que las componentes de alta frecuencia se atenúen más que las de baja frecuencia. Un pulso que se propaga por una línea de transmisión ve su forma alterada al llegar al lado del receptor. Estas distorsiones afectan los bits subsiguientes de manera aditiva o sustractiva, lo cual genera lo que se conoce como interferencia intersímbolo [3].

En la Figura 2.5 se observa el efecto de la interferencia intersímbolo en un canal de *microstrip* en el que se transmiten los bits ‘10101’ a 4 y 8 Gbps. En la Figura 2.5a es posible recuperar correctamente los bits ya que la energía del impulso cae lo suficientemente rápido para no afectar al siguiente símbolo, mientras que al aumentar la velocidad como en la Figura 2.5b, es notorio que posiblemente los bits iguales a cero no puedan ser recuperados correctamente ya que la energía de los bits anteriores interfieren en ellos.

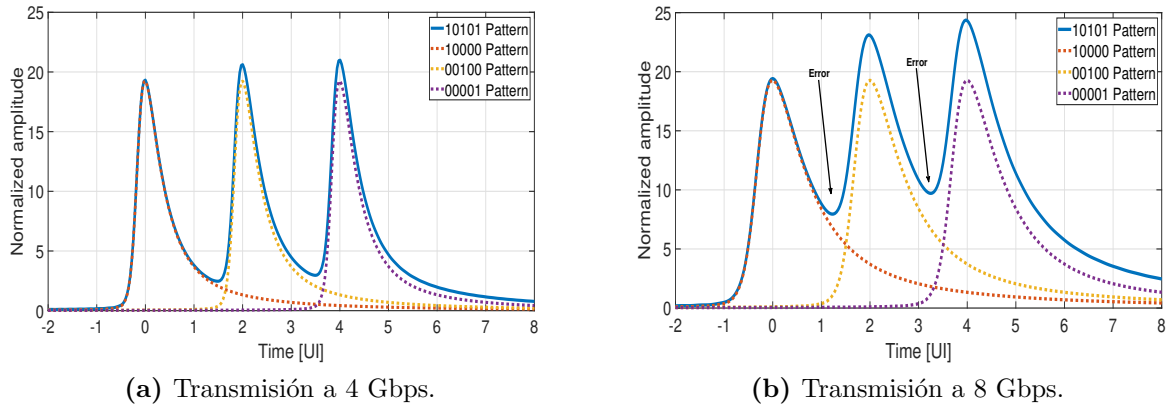


Figura 2.5: Ejemplo interferencia intersímbolo en canal de *microstrip*.

2.3.2 Diafonía

El ruido de diafonía se refiere al acople electromagnético entre dos líneas que transmiten una señal o energía, como por ejemplo el acople de señal a señal, señal a fuente y fuente a señal. Dentro de un sistema computacional existen ambos tipos de acople, ya sea capacitivo debido al campo eléctrico e inductivo debido al campo magnético. Existen dos tipos de diafonía; la cercana o NEXT, por sus siglas en inglés (*Near-End Crosstalk*), se refiere al ruido que se observa en el lado donde la señal es generada (transmisor) y la lejana o FEXT, por sus siglas en inglés (*Far-End Crosstalk*), se refiere al ruido que se observa en el lado donde la señal es recibida (receptor), como se visualiza en la Figura 2.6.

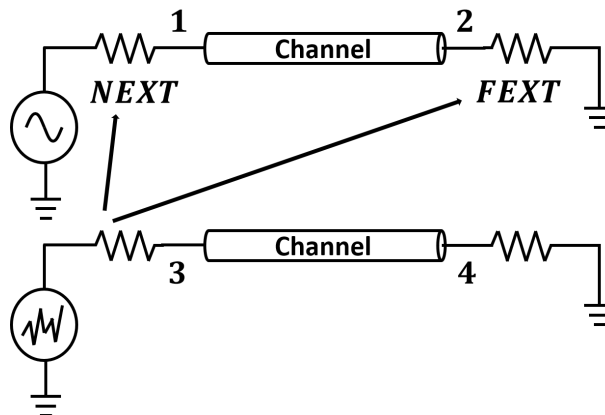


Figura 2.6: Ejemplo de diafonía cercana y lejana.

2.3.3 Reflexión

El coeficiente de reflexión de ondas en una línea de transmisión está dada por:

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0}. \quad (2.3)$$

Para los casos en los que Z_L sea igual a un cortocircuito ($Z_L = 0$), un circuito abierto ($Z_L = \infty$), o bien, la impedancia característica de la línea ($Z_L = Z_0$), los coeficientes de reflexión resultantes serán $\Gamma = -1$, $\Gamma = 1$ y $\Gamma = 0$, respectivamente. Para cualquier valor arbitrario de impedancia de carga, se obtendrán valores del coeficiente de reflexión entre -1 y 1. La expresión dada por (2.3) muestra una dependencia del valor de impedancia intrínseca de la línea Z_0 y la impedancia de carga Z_L . Un circuito de transmisión serial cuenta con diversos componentes conectados entre sí que generan discontinuidades de impedancia en la línea total. De esta manera, dependiendo de la reactancia del conector o discontinuidad, pueden existir caídas o picos de tensión en la línea. Los procesos de construcción también agregan diferencias o irregularidades en la geometría de los conectores, lo cual genera variaciones de impedancia que van de $\pm 10\%$ a $\pm 20\%$ [3].

2.4 Parámetros de microondas

La teoría de redes de N puertos indica que el comportamiento de un sistema puede ser completamente descrito en una forma matricial con parámetros que relacionan estímulos de entrada con repuestas de salida, en el dominio de la frecuencia. De esta manera, interesa describir sistemas por medio de los parámetros Z, Y, S y ABCD. En general para cualquier tipo de parámetro, si se conoce la matriz que caracteriza a un sistema en cualquiera de estas formas, es posible encontrar la respuesta del sistema ante una entrada definida.

Parámetros Z

La impedancia en una red se obtiene al realizar mediciones de tensión en circuito abierto en un puerto mientras que se inyecta corriente en otro, como se observa en la Figura 2.7. En general, los coeficientes de impedancia se obtienen mediante:

$$Z_{ij} = \left. \frac{v_j}{i_i} \right|_{i_j=0}. \quad (2.4)$$

De esta manera se puede conformar un juego de ecuaciones lineales en la forma:

$$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \cdot \begin{bmatrix} i_1 \\ i_2 \end{bmatrix}, \quad (2.5)$$

con lo que es posible llegar a la forma matricial simplificada:

$$\mathbf{v} = \mathbf{Z} \cdot \mathbf{i}. \quad (2.6)$$

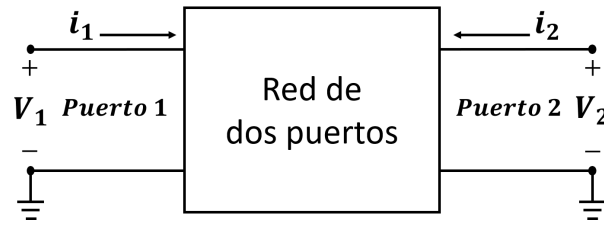


Figura 2.7: Red de dos puertos para definir parámetros Z y Y .

Parámetros Y

La matriz de admitancia se obtiene de forma similar a la de impedancia, con la diferencia que se miden corrientes de cortocircuito, en la forma:

$$Y_{ij} = \left. \frac{i_j}{v_i} \right|_{v_j=0}. \quad (2.7)$$

La matriz de impedancia es el inverso de la de admitancia, es decir:

$$\mathbf{Y} = \mathbf{Z}^{-1}, \quad (2.8)$$

así que con conocer cualquiera de las dos, es posible encontrar la otra mediante una inversión matricial.

Parámetros S

En la práctica es difícil obtener circuitos abiertos y cortocircuitos perfectos para la medición de impedancia y admitancia debido a las reactancias parásitas de los dispositivos de medición. Los parámetros S o de dispersión se obtienen al medir ondas incidentes y reflejadas de potencia en los diversos puertos del sistema, mediante un analizador vectorial de redes (VNA). El sistema básico para obtener la definición de estos parámetros se observa en la Figura 2.8.

Al incidir una onda de potencia $v(z)^+$ en un puerto cualquiera y medir la onda reflejada $v(z)^-$ en ese mismo puerto se pueden obtener los coeficientes de dispersión, definidos como:

$$a_j = \frac{v(z)^+}{\sqrt{R}} = \sqrt{P_i}, \quad b_j = \frac{v(z)^-}{\sqrt{R}} = \sqrt{P_i}, \quad (2.9)$$

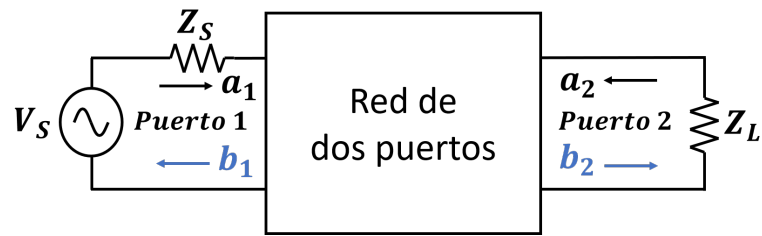


Figura 2.8: Red de dos puertos para definir parámetros S.

en donde a_j es la raíz cuadrada de la potencia que se propaga hacia el puerto j y b_j es la raíz cuadrada de la potencia que se propaga fuera del puerto j . De esta manera se pueden obtener los parámetros de dispersión como una relación entre potencia incidente y reflejada en un par de puertos arbitrarios, donde incluso ambos puertos pueden ser el mismo. Así la razón S_{11} equivale a b_1/a_1 y S_{21} a b_2/a_1 , y la forma más general para los parámetros S es:

$$S_{ij} = \frac{b_i}{a_j}. \quad (2.10)$$

Es importante destacar que para la medición S_{ij} cada puerto está terminado con una impedancia $Z_L = Z_0$ para evitar reflexiones en la línea y los demás puertos se encuentran en cortocircuito ($Z_L = 0$). Para la red de dos puertos se puede conformar un juego de ecuaciones lineales en forma matricial:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \cdot \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}. \quad (2.11)$$

De esta manera se puede simplificar la notación para un sistema de N puertos en forma matricial:

$$\mathbf{b} = \mathbf{S} \cdot \mathbf{a}. \quad (2.12)$$

Parámetros ABCD

Los parámetros ABCD permiten caracterizar a una red mediante la definición de tensiones y corrientes medidos en los puertos de entrada y salida, como se observa en la Figura 2.9. Lo que diferencia al modelo ABCD del Z es la dirección de la corriente de salida i_2 , que se observa sale del puerto 2. Con esta definición, es posible concatenar diversos parámetros ABCD mediante una simple multiplicación matricial.

La definición de los parámetros ABCD para una red de dos puertos está dada por:

$$A = \left. \frac{v_1}{v_2} \right|_{i_2=0}, \quad B = \left. \frac{v_1}{i_2} \right|_{v_2=0}, \quad C = \left. \frac{i_1}{v_2} \right|_{i_2=0}, \quad D = \left. \frac{i_1}{i_2} \right|_{v_2=0}. \quad (2.13)$$

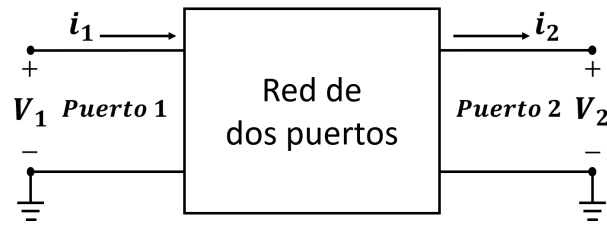


Figura 2.9: Red de dos puertos para definir parámetros ABCD.

De esta manera se puede conformar un juego de ecuaciones lineales en forma matricial:

$$\begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \cdot \begin{bmatrix} v_2 \\ i_2 \end{bmatrix}. \quad (2.14)$$

2.4.1 Modelo de canal en Parámetros S

Es posible obtener un modelo en forma de parámetros S a mayores frecuencias para los diversos componentes unitarios de un canal, por ejemplo, los conectores, vias, empaquetados, trazas, etc, de un sistema de comunicación como lo es un *backplane* en la Figura 2.10.

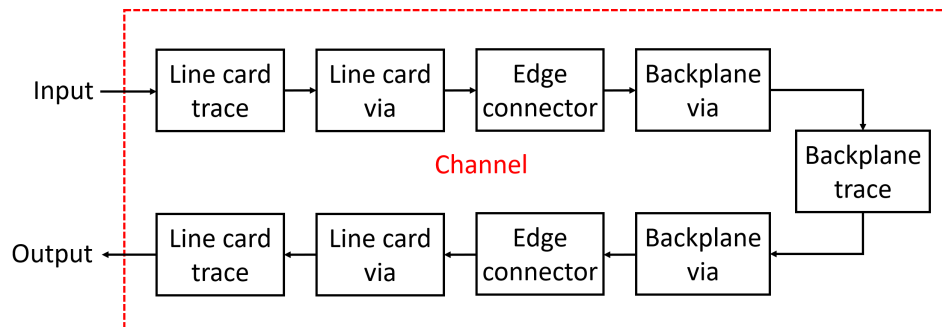


Figura 2.10: Esquema de conexión y componentes de un *backplane*. Adaptado de [24].

Para obtener la respuesta concatenada de componentes es necesario realizar una conversión de cada uno de parámetros S a ABCD, realizar la multiplicación matricial, y convertir nuevamente a parámetros S, aunque este método es poco eficiente ya que debe realizar un gran número de conversiones.

2.4.2 Conexión en cascada de bloques en parámetros S

Para evitar el costo computacional de convertir los parámetros de S a ABCD para ser conectados en cascada y de nuevamente de ABCD a S, es posible concatenar directamente varios bloques descritos por parámetros S mediante la implementación dada por [25], cuyos resultados más importantes se describen brevemente a continuación.

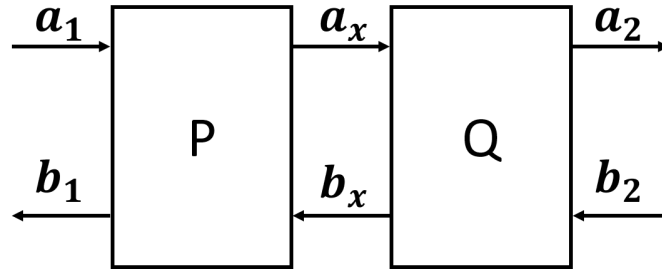


Figura 2.11: Conexión en cascada de bloques definidos por parámetros S. Adaptado de [25].

Sean las matrices \mathbf{S}_P y \mathbf{S}_Q de la Figura 2.11 que representan los bloques en parámetros S a conectar en cascada, dadas por:

$$\mathbf{S}_P = \begin{bmatrix} S_{P,11} & S_{P,12} \\ S_{P,21} & S_{P,22} \end{bmatrix}, \quad \mathbf{S}_Q = \begin{bmatrix} S_{Q,11} & S_{Q,12} \\ S_{Q,21} & S_{Q,22} \end{bmatrix}.$$

Seguidamente se conforman las submatrices $\mathbf{S}_{T,ij}$, dadas por:

$$\mathbf{S}_{T,11} = \begin{bmatrix} S_{P,11} & 0 \\ 0 & S_{Q,22} \end{bmatrix}, \quad \mathbf{S}_{T,12} = \begin{bmatrix} S_{P,12} & 0 \\ 0 & S_{Q,21} \end{bmatrix},$$

$$\mathbf{S}_{T,21} = \begin{bmatrix} S_{P,21} & 0 \\ 0 & S_{Q,12} \end{bmatrix}, \quad \mathbf{S}_{T,22} = \begin{bmatrix} S_{P,22} & 0 \\ 0 & S_{Q,11} \end{bmatrix},$$

donde además

$$\mathbf{S}_R = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}. \quad (2.15)$$

Finalmente, la matriz que contiene los valores concatenados de las matrices \mathbf{S}_P y \mathbf{S}_Q se obtiene mediante:

$$\mathbf{S} = \mathbf{S}_{T,11} + \mathbf{S}_{T,12} \cdot (\mathbf{U} - \mathbf{S}_R \cdot \mathbf{S}_{T,22})^{-1} \cdot \mathbf{S}_R \cdot \mathbf{S}_{T,21}, \quad (2.16)$$

en donde \mathbf{U} es la matriz unitaria. Con este método se logra una conexión de dos o varios componentes caracterizados en parámetros S sin tener que realizar una conversión a parámetros ABCD. La implementación es útil cuando se desea obtener la función de transferencia global de varios componentes interconectados, o bien, la respuesta al impulso de los mismos (donde posteriormente es necesario aplicar la transformada inversa de Fourier para su efecto).

2.4.3 Respuesta al impulso de un canal

La teoría de sistemas lineales e invariantes en el tiempo (LTI) establece que un sistema se puede caracterizar completamente mediante su respuesta al impulso $h(t)$, la cual es la relación entre la salida y la entrada de un sistema, como se observa en la Figura 2.12.

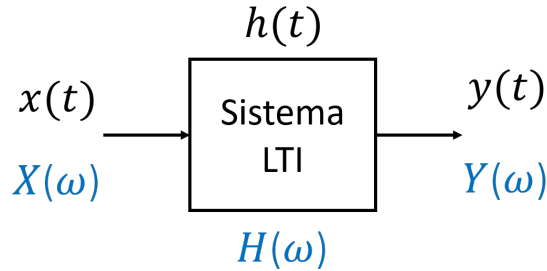


Figura 2.12: Relación de entrada y salida en un sistema LTI.

La salida de un sistema LTI se puede obtener mediante la integral de convolución de la entrada con la respuesta al impulso, es decir:

$$y(t) = x(t) * h(t) = \int_{-\infty}^{\infty} x(\tau)h(t - \tau)d\tau. \quad (2.17)$$

La misma relación se puede obtener en el dominio de la frecuencia, en donde la función de transferencia equivale a la multiplicación de la transformada de Fourier de la entrada con la respuesta al impulso, es decir:

$$Y(\omega) = \mathcal{F}\{x(t) * h(t)\} = X(\omega) \cdot H(\omega). \quad (2.18)$$

De esta manera, la respuesta al impulso de un sistema puede obtenerse mediante la transformada inversa de Fourier de la función de transferencia, es decir:

$$h(t) = \mathcal{F}^{-1}\{H(\omega)\}. \quad (2.19)$$

Se puede considerar a los parámetros de microondas como la función de transferencia de un sistema en frecuencia, por lo que aplicar directamente (2.19) daría la respuesta al impulso del sistema en cuestión. Así teóricamente, se pueden tomar los parámetros S de cualquier sistema, calcular su respuesta al impulso y convolucionarla con cualquier señal de entrada, como por ejemplo, un pulso digital, un escalón o una señal binaria pseudoaleatoria, y se obtendría una simulación de lo que sería la salida de ese sistema en la práctica.

En la jerga de la ecualización surgen unos conceptos importantes, los cuales consisten en los puntos muestreados y normalizados al ancho de un UI de la respuesta al pulso de un canal, como se observa en la Figura 2.13. En este caso se llama *cursor* al punto máximo

de la respuesta al cual se le asigna el tiempo 0. Los puntos antes de este se llaman *pre-cursores* y a los que están después *post-cursores*. Idealmente, la energía total del pulso debe estar contenida en un UI para que no exista interferencia en los demás símbolos, pero conforme se aumenta la frecuencia, estos aumentan en valor. Los ecualizadores expuestos posteriormente se encargan de disminuir el impacto de ellos en la transmisión sobre el canal eléctrico.

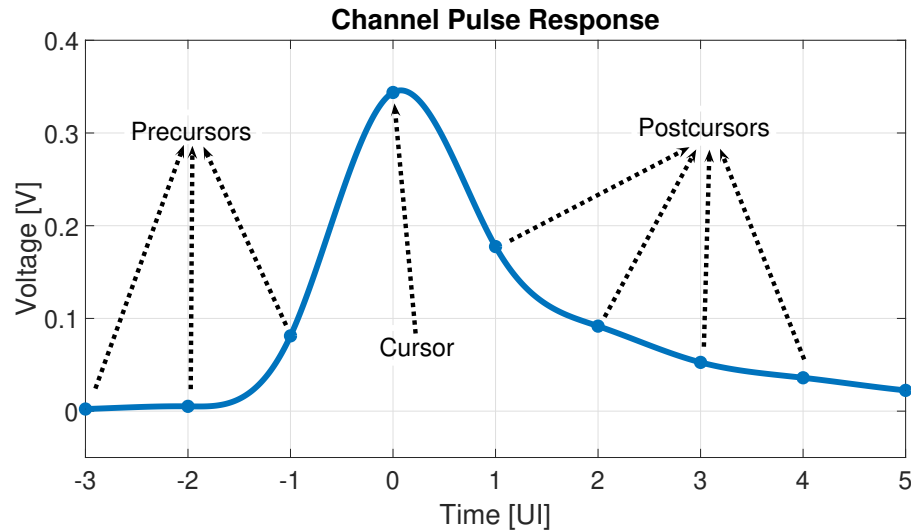


Figura 2.13: Respuesta al pulso de un canal con sus respectivos cursores.

2.4.4 Medición de diafonía en parámetros S

La medición de diafonía en un canal se realiza mediante los parámetros S, al analizar su definición. En la Figura 2.6 se observa una red de cuatro puertos que funciona para probar el concepto. La numeración de los puertos es arbitraria y depende de la forma en que los mismos sean medidos y asignados durante la medición. En este caso, la pérdida de inserción del canal superior corresponde a S_{21} , el cual mide la pérdida que se obtiene al excitar la línea con una fuente de tensión mientras que el parámetro S_{43} mide la pérdida en la segunda línea, que es excitada por ruido. El parámetro S_{32} indica la influencia que tiene la fuente de ruido en la señal medida en el puerto 2 o FEXT, mientras que el parámetro S_{31} indica la influencia que tiene la fuente de ruido en el puerto 1 o NEXT.

2.5 Requerimientos matemáticos para canales

Los procesos modernos de producción de sistemas digitales de alta velocidad requieren estrictas pruebas de simulación y validación para poder pasar a un primer prototipo. Es por esta razón que las tecnologías computacionales de diseño deben apegarse a ciertas leyes que asegurarán la consistencia de la simulación con el comportamiento del sistema [26].

2.5.1 Causalidad

La causalidad significa que una salida no puede anteceder a su entrada, o bien, un efecto no puede preceder a su causa. Se dice que un sistema es causal si su respuesta al impulso es cero para cualquier tiempo negativo. En general, si el sistema posee un retardo τ , la respuesta al impulso debe ser cero antes de este tiempo,

$$\underline{h}(t) = 0 \quad \forall t < \tau. \quad (2.20)$$

En algunas ocasiones surgen respuestas al impulso no causales cuando se obtiene la transformada inversa de Fourier de una función de transferencia obtenida a partir de mediciones de frecuencia. Para estos casos, es necesario forzar la causalidad mediante la transformada de Hilbert o haciendo la respuesta al impulso causal mediante un corrimiento en el tiempo, el cual puede ser eliminado posteriormente si esta respuesta al impulso es convolucionada con alguna función de entrada.

2.5.2 Pasividad

Se dice que un sistema físico es pasivo si no le es posible generar energía. Al definir la potencia como el producto de tensión por corriente, la potencia absorbida acumulada por un sistema hasta el tiempo τ se expresa como

$$\int_{-\infty}^{\tau} \underline{v}^T(\tau) \cdot \underline{i}(\tau) d\tau \geq 0. \quad (2.21)$$

En el laboratorio es práctico medir en un sistema la potencia de una onda incidente $|a_i|^2$ y una onda reflejada $|b_i|^2$. La potencia debe ser conservada, por lo que la energía absorbida por la red P_a debe ser igual a la diferencia de la potencia incidente y reflejada:

$$\sum (|a_i|^2 - |b_i|^2) = P_a. \quad (2.22)$$

El sistema es pasivo si absorbe más energía de la que genera y si la generación sucede después de la absorción.

2.5.3 Estabilidad

Para que un modelo de una línea de transmisión o conector pueda representar el comportamiento en el mundo real de manera correcta, este debe mantenerse estable en el tiempo, es decir, la respuesta al impulso debe ser absolutamente integrable:

$$\int_{-\infty}^{+\infty} |h_{ij}(t)| dt < \infty. \quad (2.23)$$

Un método práctico para verificar la estabilidad de una simulación es generar una respuesta al pulso mediante un trapecio. El transiente de la simulación debe ser evaluado para un periodo de tiempo muy largo a la constante de tiempo del modelo y esta debe ser acotada y converger a un valor finito [23].

2.6 Métricas de evaluación

2.6.1 Diagramas de ojo

Como métrica para calificar la calidad de la señal recibida en un sistema de transmisión se utiliza el diagrama de ojo, el cual es una superposición de muchas transiciones de bits en el flujo de datos, como se muestra en la Figura 2.14. Usualmente se muestran dos símbolos para así poder centrar en la imagen una transición que asemeja un ojo abierto. El eje horizontal representa el tiempo y el vertical tensión.

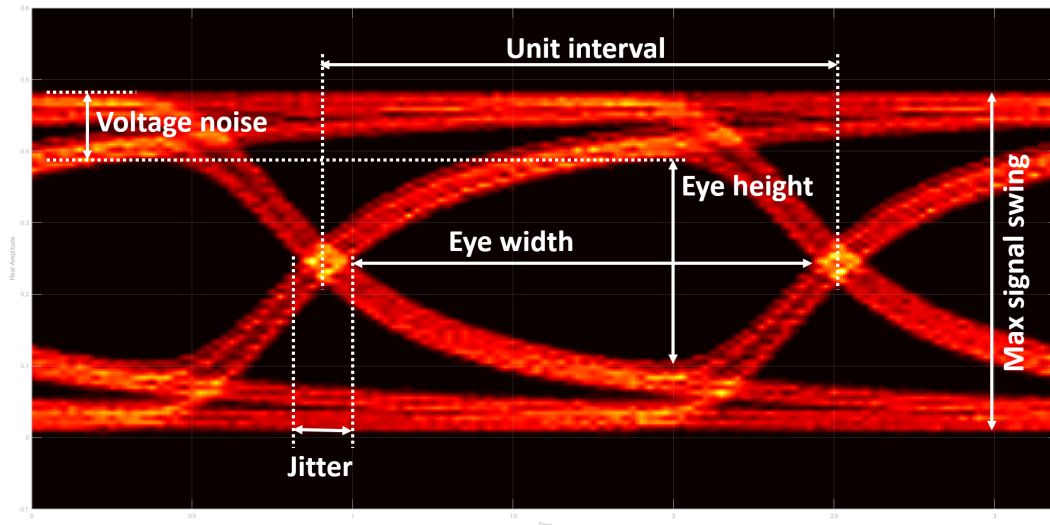


Figura 2.14: Diagrama de ojo para un PRBS-7 a 2 Gbps.

Del diagrama de ojo es posible obtener métricas importantes, tales como:

- Intervalo unitario: Indica el ancho de un bit.
- Altura del ojo: Apertura vertical máxima.
- Ancho del ojo: Apertura horizontal máxima.
- *Jitter*: Indica la variación temporal de cada bit.
- Ruido de tensión: Variación que hay en el nivel máximo del bit.
- Excursión máxima de la señal: Diferencia entre tensión máximo y mínimo.

Si el ojo se encuentra abierto es indicativo que la calidad del bit es buena y se puede recobrar y decodificar correctamente. Por el contrario, si el ojo se cierra más allá de cierto rango tolerable, el bit no puede ser recobrado correctamente, como se observa en las Figuras 2.15a y 2.15b, respectivamente.

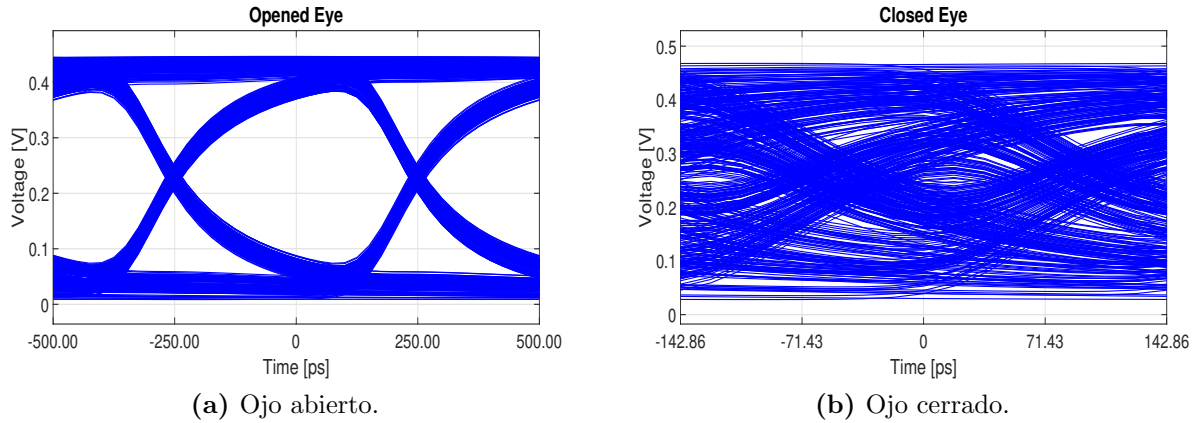


Figura 2.15: Ejemplo de diagrama de ojo abierto y cerrado.

2.6.2 Tasa de error de bits

En la práctica, dependiendo de las condiciones del canal y la tasa de bits, es posible que algunos bits no sean recibidos o recobrados de manera correcta, debido a efectos como distorsión, dispersión, ruido, problemas de sincronización/reloj, etc. La métrica para estimar la probabilidad de recibir bits erróneos es llamada tasa de error de bits, o BER por sus siglas en inglés (*bit error rate*). En la práctica es común observar cifras de 10^{-12} , 10^{-13} y 10^{-15} [27]. Esta se expresa como la razón del total de bits erróneos entre la cantidad total de bits enviados, en la forma:

$$BER = \frac{N_{err}}{N}. \quad (2.24)$$

2.7 Métodos de ecualización de señales

Un ecualizador de señal debe contrarrestar el efecto paso-bajo que se observa en un canal pasivo al sobrepasar la velocidad de transmisión de 1 Gbps, el cual genera que las componentes de alta frecuencia sean más atenuadas que las de baja frecuencia. Este efecto negativo genera una distorsión en amplitud y fase que finalmente hace que la señal no sea recibida en los niveles correctos. Idealmente, la respuesta del ecualizador debe ser el inverso de la respuesta del canal [26], o expresado matemáticamente como:

$$H_{eq}(f) = H_{canal}^{-1}(f). \quad (2.25)$$

Aunque el problema de ruido, pérdida y ecualización en enlaces físicos de alta velocidad es de naturaleza analógica, los circuitos digitales modernos permiten realizar implementaciones optimizadas en tiempo discreto que ayudan a satisfacer las demandas de desempeño a costo mínimo. Idealmente, la función de transferencia de un sistema lineal e invariante en el tiempo (LTI) no se ve afectado por el orden en el que sea colocado en el sistema total, lo cual permite variar la colocación del ecualizador, ya sea en el transmisor o receptor, para lograr diferentes resultados. En la Figura 2.16 se muestra un sistema de transmisión de paralelo a serial, con sistemas de reloj y ecualización, tanto en transmisor como receptor. Los módulos de ecualización se explican a continuación.

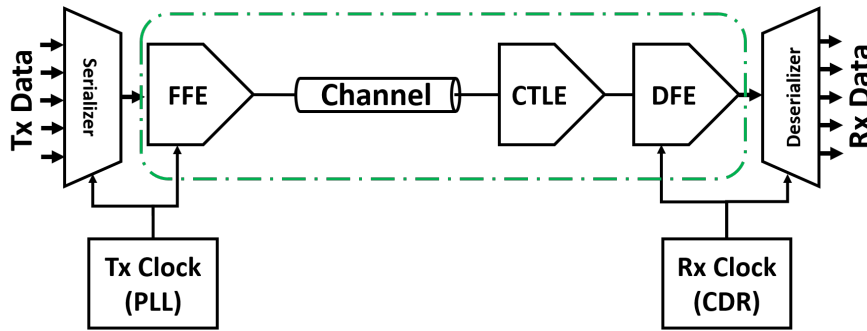


Figura 2.16: Diagrama de canal de transmisión con ecualización. Adaptado de [24].

2.7.1 Feed-Forward Equalizer (FFE)

Este ecualizador se implementa en el lado del transmisor a partir de un filtro digital de respuesta finita al impulso (FIR), como se observa en la Figura 2.17, en donde los bloques marcados con una T representan un retardo de una unidad de tiempo (UI) y los bloques marcados con w_k representan el *tap*, coeficiente o peso del filtro. La señal discreta x_k pasa a través de todos los retardos del sistema y a su vez cada muestra es multiplicada en cada instante de tiempo por el peso correspondiente. Finalmente, todos los resultados son sumados para obtener la señal de salida y_k . La ecuación matemática que implementa este filtro digital es

$$y[k] = \sum_{k=-L}^M x[k-n]w_n, \quad (2.26)$$

en donde k es el número de muestra discreta y w_n es el peso del filtro, L es la cantidad de pre-cursores y M es la cantidad de post-cursores. Por conservación de la energía, debido al nivel máximo de excursión de la señal en los transistores que implementan estos sistemas, los coeficientes del filtro presentan la siguiente limitación dada por (2.27):

$$\sum_i |w_i| = 1. \quad (2.27)$$

La selección de los coeficientes del filtro se puede realizar a través de diversos algoritmos, entre ellos, *zero forcing solution* (ZFS) y *minimum mean square error* (MMSE). En la práctica los pesos del filtro tienen una resolución limitada en el convertidor analógico-digital (DAC) menor a 6 bits debido al consumo de potencia y espacio en el chip. Para dar un punto de comparación, los sistemas de audio moderno utilizan DAC de hasta 24 bits.

La ecualización discreta en el transmisor se puede clasificar como pre-énfasis o de-énfasis. En la primera se aumenta la amplitud de la señal en el primer bit después de una transición lógica (de 0 a 1 o de 1 a 0), con lo que se amplifica la alta frecuencia de la señal. Para la segunda se atenúan los bits sucesivos a una transición lógica, con lo que se atenúan las bajas frecuencias. Ambas operaciones tienen como resultado el efecto paso-alto que se indicó inicialmente. Por otro lado, es posible implementar la ecualización discreta en el receptor mediante un DFE, el cual será explicado posteriormente.

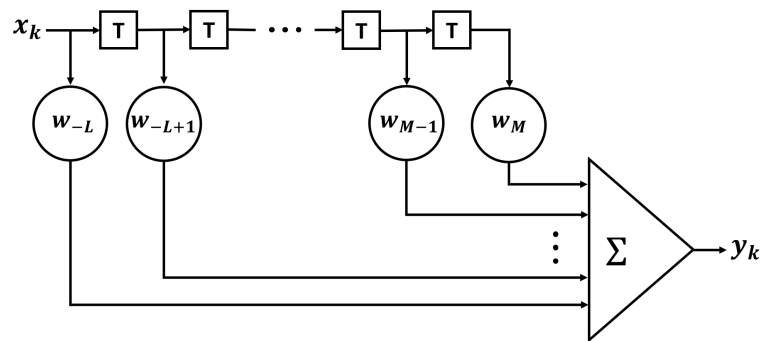


Figura 2.17: Filtro de respuesta finita al impulso. Adaptado de [26].

2.7.2 Continuous-Time Linear Equalizer (CTLE)

El ecualizador lineal de tiempo continuo (CTLE) es un circuito electrónico analógico ya sea pasivo o activo, que presenta un comportamiento de filtro paso-alto, es decir, provee ganancia a altas frecuencias, con lo que se puede contrarrestar en cierta medida, los efectos paso-bajo del canal pasivo. Se utiliza usualmente en el lado del receptor como punto de entrada al resto del circuito, para así mejorar la calidad de la señal de los módulos subsiguientes, a decir el DFE, ADC y DSP, ya que ayuda a eliminar los post-cursos del ISI en la señal recibida. Al ser un ecualizador lineal, este amplifica el ruido de alta frecuencia en la medida que mejora el ancho de banda del canal.

El CTLE pasivo utiliza componentes pasivos tales como resistores, inductores y capacitores para generar una respuesta en frecuencia de tipo paso-alto, como se observa en la Figura 2.18a, el cual posee la ventaja de que no consume energía pero la calibración de sus componentes es más estricta para obtener una respuesta del filtro específica. Al agregar un amplificador junto con una red RC de filtro paso-alto se obtiene un CTLE activo, como se observa en la Figura 2.18b, que aporta ecualización junto con ganancia, lo cual

mejora el ancho de banda efectivo. La ventaja del CTLE activo es que puede lograr el doble de apertura de ojo con respecto al CTLE pasivo, a costa de un pequeño consumo de potencia. El propio ancho de banda del amplificador genera algunas limitaciones además de la necesidad de calibrar los componentes de manera fina.

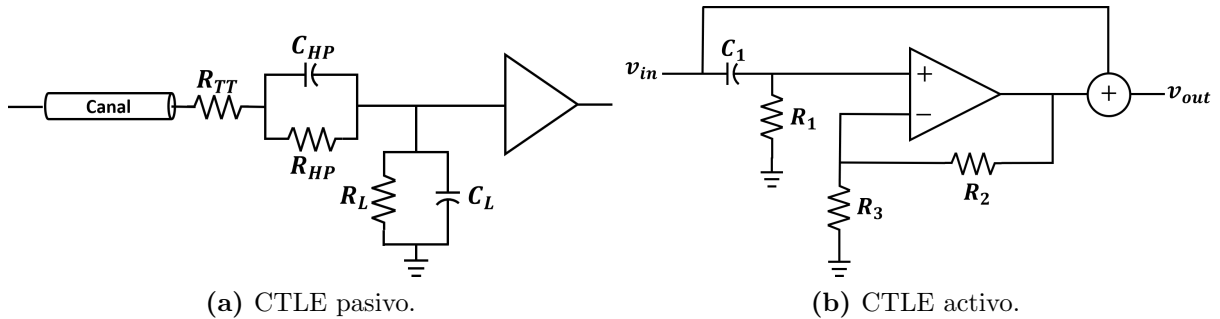


Figura 2.18: Ecuador lineal de tiempo continuo. Adaptado de [26].

El diseño de un CTLE se realiza usualmente en el dominio de la frecuencia, debido a que el canal pasivo se puede aproximar con una función de transferencia de uno o unos cuantos polos. Al agregar el ecualizador en serie con el canal y seleccionar la frecuencia de ganancia pico adecuada, el cero del mismo puede cancelar el polo dominante del canal y con esto aumenta el ancho de banda [28] ya que los polos del CTLE son mucho mayores que el polo dominante del canal.

Arquitecturas a nivel de transistor

La forma más básica implementar un ecualizador lineal de tiempo continuo de primer orden a nivel de transistor es mediante un circuito de par diferencial acoplado con degeneración en fuente, el cual se observa en la Figura 2.19 [29].

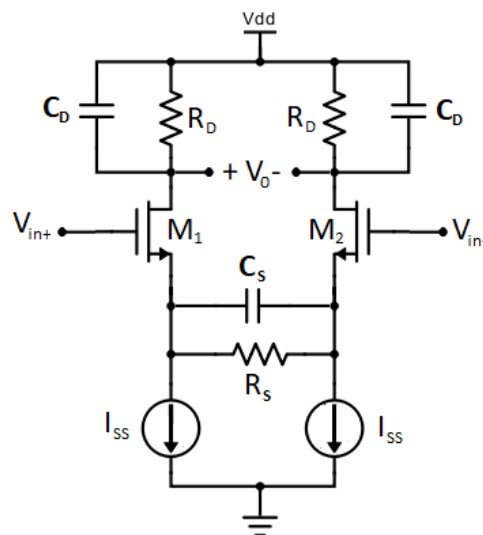


Figura 2.19: Circuito de CTLE de primer orden degenerado en fuente.

Su función de transferencia está dada por el polinomio que consta de un cero y dos polos:

$$H(s) = \frac{g_m R_D (1 + s R_S C_S)}{(1 + s R_S C_S + g_m R_S / 2)(1 + s R_D C_D)}, \quad (2.28)$$

los cuales se ajustan mediante:

$$\omega_z = \frac{1}{R_S C_S}, \quad \omega_{p1} = \frac{1 + g_m R_S / 2}{R_S C_S}, \quad \omega_{p2} = \frac{1}{R_D C_D}. \quad (2.29)$$

La ganancia DC y ganancia máxima están dadas por

$$A_0 = \frac{g_m R_D}{1 + g_m R_S / 2}, \quad A_{max} = A_0 \frac{\omega_{p1}}{\omega_z}. \quad (2.30)$$

Una variación de la arquitectura de degeneración en fuente se presenta con el uso de inductores pasivos, con lo que se aumenta la amplificación de alta frecuencia, ya que el inductor es capaz de dar mayor corriente a los capacitores del circuito [30, 31, 32, 22]. Otra forma se logra mediante el uso de capacitancia negativa [33, 34]. Finalmente es posible utilizar inversores como transconductores, cargas resistivas e inductores activos, ya que se reduce el área del CTLE considerablemente, debido a que no se utilizan bobinas pasivas y que los inversores escalan directamente con el proceso [20, 21]. De esta manera se presenta una mejora en consumo de potencia y área.

La forma más simple de realizar la implementación del CTLE de primer orden es mediante la elección de forma paramétrica de los polos y el cero, según [16]:

$$H(s) = \frac{A_{dc} f_{p1} f_{p2}}{f_z} \cdot \frac{s - f_z}{(s - f_{p1})(s - f_{p2})}, \quad (2.31)$$

en donde A_{dc} es la ganancia DC lineal del equalizador, y f_z , f_{p1} y f_{p2} son las frecuencias del cero, polo 1 y polo 2 del CTLE, en Hz. La especificación establece dos conjuntos de parámetros de CTLE, uno para canal corto y otro para canal largo, según se observa en la Tabla 2.6. La función de transferencia de ambas implementaciones se observan en la Figura 2.20.

Tabla 2.6: Parámetros de CTLE para canal largo y corto para USB 3.0.

Canal	Corto	Largo
A_{dc}	1,000	0,667
f_z	650 MHz	650 MHz
f_{p1}	650 MHz	1,95 GHz
f_{p2}	10,00 GHz	5,00 GHz

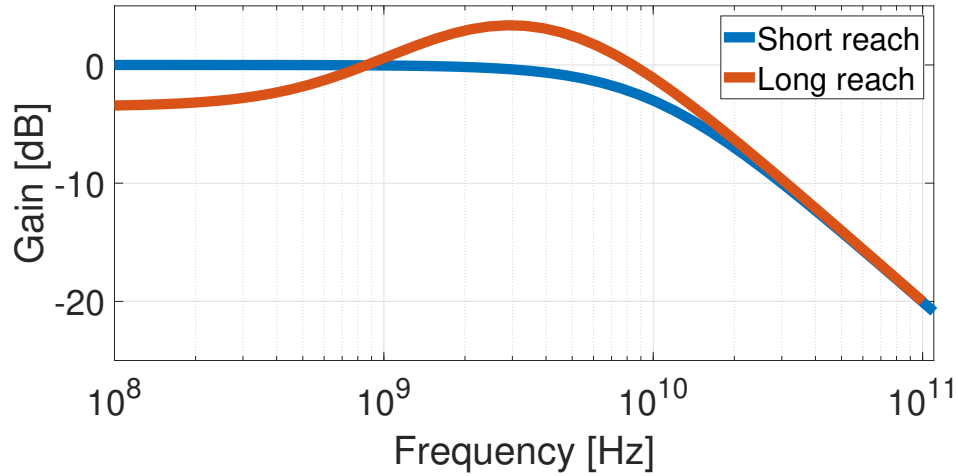


Figura 2.20: Función de transferencia de CTLE para canal largo y corto, según la especificación USB 3.0 [16].

2.7.3 Decision Feedback Equalizer (DFE)

El ecualizador de decisiones retroalimentadas (DFE) es un filtro no lineal que utiliza los símbolos detectados previamente para sustraer la interferencia intersímbolo del flujo de entrada que sucede en canales con alta dispersión, con lo que se mitiga el ISI y se mejora el desempeño del receptor. Es común que exista un CTLE antes de un DFE, con lo que se da un pre-procesamiento de la señal recibida después del canal. Se alimenta al detector de símbolos (*slicer*) la suma de la señal recibida del canal (con o sin CTLE) y una señal de retroalimentación que depende de los valores de los coeficientes del filtro lineal y los símbolos detectados con anterioridad, tal como se muestra en la Figura 2.21.

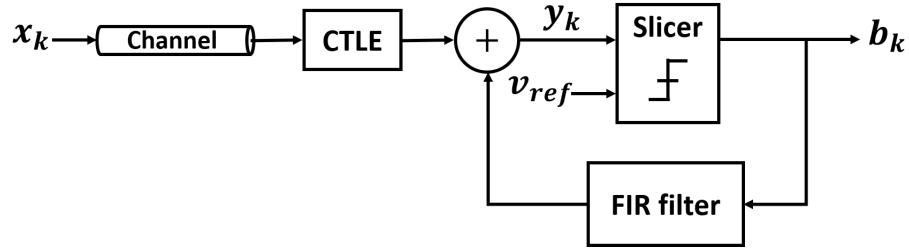


Figura 2.21: Ecualizador de decisiones retroalimentadas. Adaptado de [26].

Debido a la respuesta no lineal del filtro, su funcionamiento se modela en el dominio del tiempo mediante

$$y_k = \sum_{i=1}^{n_{FIR}} c_{FIR_i} b_{k-1} \quad (2.32)$$

en donde x_k es la entrada al ecualizador, y_k es la entrada al detector de símbolos y c_{FIR_i} los coeficientes del filtro lineal de retroalimentación. Además el símbolo previamente detectado se expresa como:

$$b_k = \begin{cases} 0 & \text{si } y_k < v_{ref} \\ 1 & \text{si } y_k > v_{ref}, \end{cases} \quad (2.33)$$

en donde v_{ref} es el umbral de decisión del *slicer*. Los coeficientes del ecualizador se pueden ajustar adaptativamente mediante diversos algoritmos, como por ejemplo el LMS (*Least Mean Squares*), RLS (*Recursive Least Squares*) y ZF (*Zero Forcing*).

2.7.4 Ecualización adaptativa

Para los casos en el que la respuesta del canal es bien conocida y las condiciones de transmisión no cambian mucho, se puede tener un conjunto de pesos del filtro FIR prediseñado que funcione para el sistema. En muchos sistemas modernos estas condiciones no están aseguradas y el diseño del ecualizador debe ser flexible y poder ajustar los coeficientes de manera adaptativa para así reducir la ISI y demás problemas de alta frecuencia.

Con la ecualización adaptativa se obtiene el beneficio de flexibilidad ante diversas longitudes de canal y tasas de transferencia, a costa de mayor complejidad en el diseño, consumo de potencia y espacio en el chip. El objetivo del algoritmo es converger a un juego de coeficientes que minimicen el error de salida en el menor número de iteraciones, por lo que estos algoritmos deben ser eficientes. Un enfoque es el uso de secuencias de entrenamiento aunque de esta manera el ecualizador no puede responder a problemas fuera de la línea de transmisión, como el acople de ruido (diafonía).

Algoritmo LMS (Least Mean Squares)

Para una mejor adaptación de los coeficientes se emplea el algoritmo *Least Mean Squares* (LMS) que busca reducir el error cuadrático medio en la salida en todo momento. Este algoritmo puede ser utilizado para la adaptación de los taps de tanto el FFE como el DFE, así como encontrar valores óptimos para algunos parámetros del CTLE. El algoritmo consiste en encontrar una señal de error $e(n)$ que se obtiene de comparar la salida del ecualizador $y(n)$ con una señal deseada $d(n)$:

$$e(n) = d(n) - y(n). \quad (2.34)$$

Con esto, los coeficientes se obtienen mediante:

$$c_k(n+1) = c_k(n) + \mu \cdot e(n) \cdot x(n - kT), \quad (2.35)$$

en donde $x(n - kT)$ es la entrada muestreada al ecualizador y μ es una constante de valores entre 0 y 1 que representa los incrementos o decrementos de los coeficientes en cada paso de adaptación. Entre menor sea, el error converge de manera más lenta pero

más acertada. Al aumenta μ la adaptación converge más rápido pero el valor final puede no ser el óptimo.

En implementaciones a nivel de transistor es más fácil aplicar una versión basada en los signos de las señales, cuya expresión matemática se define como:

$$c_k(n+1) = c_k(n) + \mu \cdot \text{sign}[d(n) - y(n)] \cdot \text{sign}[x(n - kT)]. \quad (2.36)$$

Algoritmo MMSE (Minimum Mean Squared Error)

Para la obtención de los coeficientes óptimos de un filtro lineal se puede utilizar el algoritmo MMSE, que busca reducir el error cuadrático medio entre una salida deseada y la salida actual de un sistema. Se muestra el desarrollo dado en [24], cuyos resultados más importantes son mostrados a continuación.

Primeramente, se tiene el vector de salida del sistema dado por \mathbf{Y} que corresponde a la señal de entrada cuando pasa a través del canal de transmisión, por lo que las muestras sufrirán los efectos negativos del canal. La salida deseada del sistema corresponde al vector \mathbf{Y}_{des} dado por:

$$y_{des} = \begin{cases} y_{des}[n] = 1 & n = j + m + 1 \\ y_{des}[n] = 0 & n \neq j + m + 1 \end{cases}, \quad (2.37)$$

en donde j representa la cantidad de pre-cursores en la respuesta al impulso del canal, es decir, la cantidad de muestras que hay antes del pico máximo, y m representa la cantidad de pre-cursores del filtro FFE. Con esto el error del sistema está dado por:

$$\mathbf{E} = \mathbf{Y} - \mathbf{Y}_{des} = \mathbf{HWC} - \mathbf{Y}_{des} = \mathbf{HW}_C - \mathbf{Y}_{des}, \quad (2.38)$$

en donde \mathbf{H} corresponde a una matriz conformada por la respuesta al impulso del canal, dispuesta en columnas, en donde para cada columna subsecuente hacia la derecha se retrasa la señal por una muestra, en la forma:

$$\mathbf{H} = \begin{bmatrix} h(0) & 0 & 0 & \cdots & 0 & 0 \\ h(1) & h(0) & 0 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & h(k-1) & h(k-2) \\ 0 & 0 & 0 & \cdots & 0 & h(k-1) \end{bmatrix}. \quad (2.39)$$

La matriz \mathbf{W} corresponde a una matriz conformada por los pesos o coeficientes w_k que sigue la misma forma de \mathbf{H} , dada por:

$$\mathbf{W} = \begin{bmatrix} w(0) & 0 & 0 & \cdots & 0 & 0 \\ w(1) & h(0) & 0 & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & w(n-1) & w(n-2) \\ 0 & 0 & 0 & \cdots & 0 & w(n-1) \end{bmatrix}, \quad (2.40)$$

y \mathbf{C} corresponde a un vector columna dado por la entrada al sistema, en la forma:

$$\mathbf{C} = [c(0) \ c(1) \ c(2) \ \cdots \ c(l-1)]^T. \quad (2.41)$$

Para este caso, l equivale al número de símbolos de entrada, n al número de taps y k al número de respuestas del canal. La matriz y el vector \mathbf{WC} se pueden combinar en el vector dado por:

$$\mathbf{W}_C = [wc(0) \ wc(1) \ wc(2) \ \cdots \ wc(n+l-1)]^T. \quad (2.42)$$

Con esto, el error cuadrado está dado por:

$$\|E\|^2 = \mathbf{W}^T \mathbf{H}^T \mathbf{H} \mathbf{W} - 2\mathbf{Y}_{des}^T \mathbf{H} \mathbf{W} + \mathbf{Y}_{des}^T \mathbf{Y}_{des}, \quad (2.43)$$

y la derivada del error cuadrado con respecto a W es:

$$\frac{d}{dW} \|E\|^2 = 2\mathbf{W}^T \mathbf{H}^T \mathbf{H} - 2\mathbf{Y}_{des}^T \mathbf{H}. \quad (2.44)$$

Para minimizar el error, se iguala (2.44) a cero, con lo que:

$$\mathbf{W}^T \mathbf{H}^T \mathbf{H} = \mathbf{Y}_{des}^T \mathbf{H}. \quad (2.45)$$

De esta manera, el vector de coeficientes óptimos para el canal dado se obtiene mediante:

$$\mathbf{W}_{ls} = (\mathbf{H}^T \mathbf{H})^{-1} \mathbf{H}^T \mathbf{Y}_{des}. \quad (2.46)$$

Finalmente, es necesario normalizar el vector de coeficientes al dividirlo entre su suma, de la forma:

$$\mathbf{W}_{lsnorm}(n) = \frac{\mathbf{W}_{ls}(n)}{\sum_{i=1}^n |\mathbf{W}_{ls}(n)|}. \quad (2.47)$$

2.8 Señalización NRZ y PAM-4

Los métodos de señalización más comunes encontrados en el estado del arte son NRZ (non-return to zero) y PAM-4. Debido al aumento en la necesidad de ampliar el ancho de banda en las transmisiones seriales, se ha movido el esquema a señalización PAM-4 ya que posee el doble de eficiencia de ancho de banda con respecto a NRZ [22]. La comparación gráfica entre ambos métodos se puede observar en la Figura 2.22.

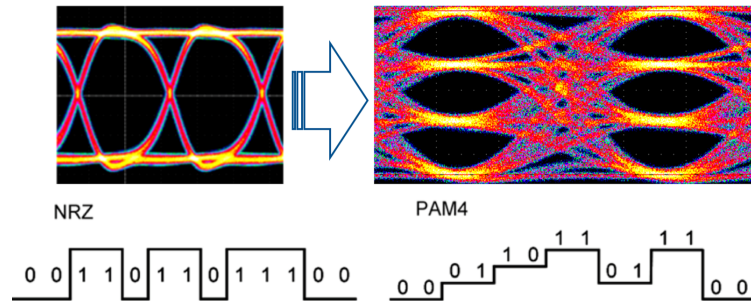


Figura 2.22: Comparación entre señalización NRZ y PAM-4. Tomado de [35].

El estándar CEI-56G-LR-PAM4 indica las pautas para PAM-4 a 56 Gbps en canales de largo alcance (LR), que pueden soportar sistemas legacy NRZ a 28 Gbps. Es difícil soportar NZR a 56 Gbps ya que tan solo a 23 GHz el nivel de diafonía se asemeja a la pérdida de inserción (IL). Para estos canales, el uso de PAM-4 reduce la frecuencia de Nyquist de 23 a 14 GHz [18].

La señalización PAM-4 es más susceptible a no linealidades e ISI residual, que impacta la elección de arquitectura en el receptor. En el ámbito analógico, esto requiere muchas etapas de FFE y los sumadores del DFE, lo cual es difícil de realizar para canales *legacy* con pérdida mayor a 30 dB. La ecualización digital es más robusta a variaciones PVT y soporta muchos taps, a costa de mayor potencia. Un enfoque híbrido entre analógico y digital siempre es deseable [18].

Implementaciones recientes utilizan tecnología CMOS de 20 nm [36, 37] o FinFET de 16 nm [18, 19, 20, 21]. En general es común observar tasas de datos en PAM-4 de 56 o 64 Gbps, debido a la eficiencia de ancho de banda que se logra con respecto a NRZ. Incluso para estas tasas de datos se está sustituyendo el canal de cobre por líneas ópticas ya que tienen mejor desempeño en mayores distancias (hasta 100 m), aunque se ha demostrado que para distancias cortas el canal pasivo de cobre puede dar un 90% de ahorro energético [38].

Capítulo 3

Diseño de un entorno integrado de simulación de canales eléctricos de alta velocidad

El diseño del proyecto comprende un sistema básico de transmisión y recepción de señales, con un canal eléctrico de alta velocidad como medio de propagación y bloques de ecualización, como se muestra en la Figura 3.1. Este canal estará representado a través de parámetros de microondas o parámetros S, obtenidos de la lectura de un archivo de formato Touchstone, con el cual se puede escoger un par de puertos de entrada y salida en forma sencilla (*single*).

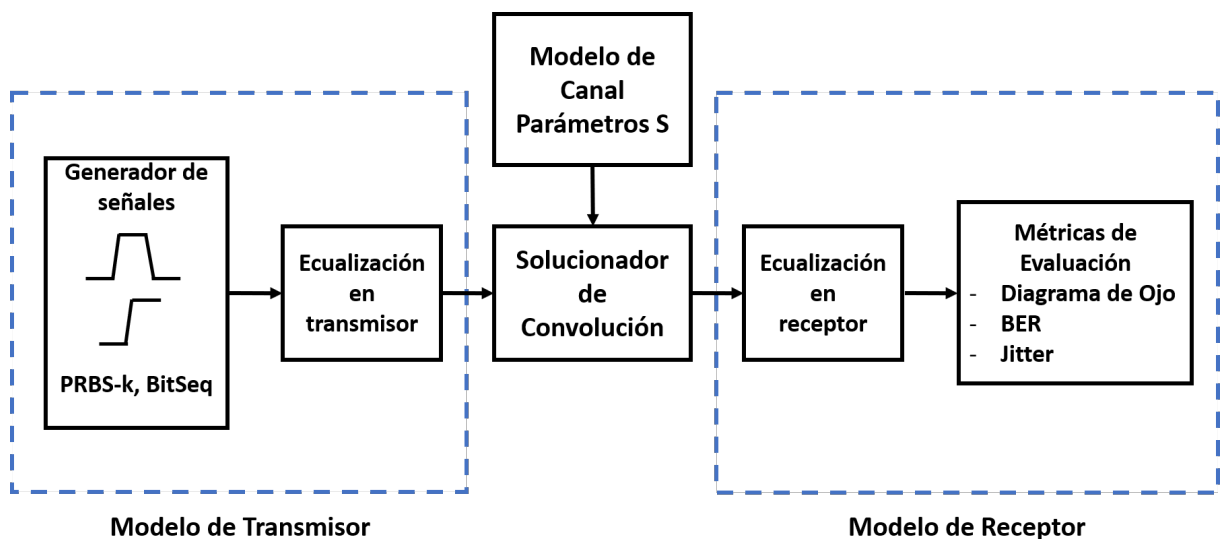


Figura 3.1: Diagrama de bloques de la solución.

Se cuenta con un generador de las siguientes señales:

- Pulso: Señal digital con tiempo de subida y bajada.
- Escalón: Señal digital con tiempo de subida.
- Gaussiano: Impulso dado por la ecuación de la campana de Gauss.
- PRBS-k: Cadena de bits pseudoaleatorios con polinomio de 3 a 32 bits de longitud.
- Secuencia de bits: Secuencia de bits dados por una cadena de caracteres predefinida.

El bloque de parámetros S hace un pre-procesamiento en el cual agrega valor DC y se verifica la consistencia de los datos para que puedan ser utilizados en cálculos posteriores. Con la función de transferencia del canal es posible encontrar una respuesta al impulso que describa inequívocamente al sistema analizado. La señal de salida del canal se obtiene entonces al convolucionar la respuesta al impulso del canal con la señal a transmitir. En el lado del receptor se cuenta con un calculador de diagrama de ojo, el cual permite contraponer todas las diferentes secuencias posibles de bits medidas en el receptor y analizar la calidad de la señal recibida así como mostrar algunas estadísticas de la señal.

Para mejorar la calidad de los datos recibidos conforme se aumenta la frecuencia de transmisión o las diferentes fuentes de ruido, tanto el transmisor como el receptor cuentan con bloques de ecualización, los cuales son independientes entre sí y su funcionamiento se puede dar como una combinación de todos, de entre los cuales se menciona:

- CTLE: Ecualizador lineal de tiempo continuo
- FFE: Ecualizador de prealimentación
- DFE: Ecualizador de decisiones retroalimentadas

A continuación se presenta el diseño de los bloques mencionados anteriormente.

3.1 Diseño del generador de señales

3.1.1 Pulso gaussiano

Esta función genera un pulso gaussiano dado por la expresión matemática

$$gaussian(t) = \frac{1}{\sqrt{2\pi}\sigma} e^{-\frac{t^2}{2\sigma^2}} \quad (3.1)$$

El pulso gaussiano se puede observar en la Figura 3.2.

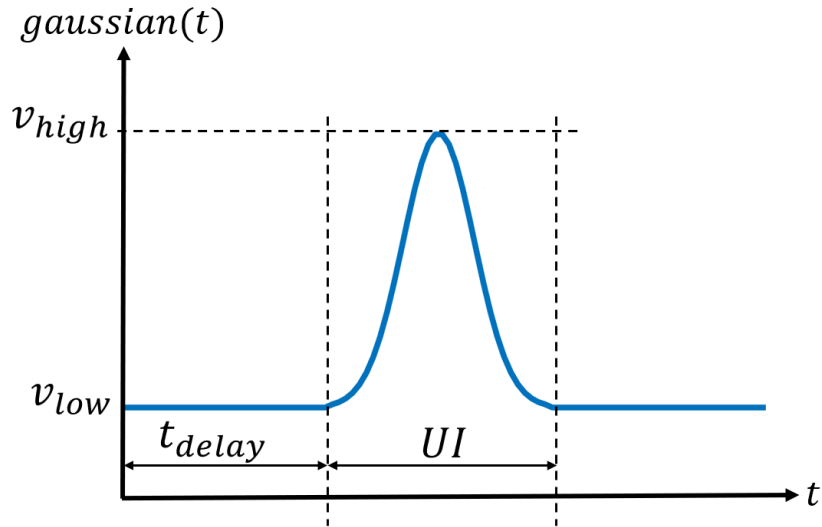


Figura 3.2: Parámetros de pulso gaussiano.

3.1.2 Pulso digital

Esta función genera un pulso digital con tiempo de subida y bajada diferente de cero. La señal inicia en v_{low} , cambia a v_{high} durante el tiempo de subida t_{rise} , se mantiene en este valor un tiempo t_{width} y regresa a v_{low} durante el tiempo de bajada t_{fall} . La señal puede tener además un valor de retardo t_{delay} . El intervalo unitario (UI) se calcula internamente como $UI = t_r + t_w + t_f$ y la tasa de datos (*data rate*) se calcula como $data_rate = 1/UI$.

La expresión matemática que describe al pulso digital de la Figura 3.3 es:

$$pulse(t) = \begin{cases} v_{low} & 0 \leq t < t_d \\ v_{HL}/t_{rise} \cdot t + v_{low} & t_d \leq t < t_{d+r} \\ v_{high} & t_{d+r} \leq t < t_{d+r+w} \\ v_{LH}/t_{fall} \cdot t + v_{low} - v_{LH} \cdot UI/t_{fall} & t_{d+r+w} \leq t < t_{d+r+w+f} \\ v_{low} & t \geq t_{d+r+w+f} \end{cases} \quad (3.2)$$

en donde $v_{HL} = (v_{high} - v_{low})$ y $v_{LH} = (v_{low} - v_{high})$. En general, los valores de v_{low} y v_{high} pueden ser cualquier combinación de valores positivos o negativos.

3.1.3 Escalón

Esta función genera un escalón con tiempo de subida diferente de cero. La señal inicia en v_{low} , cambia a v_{high} durante el tiempo de subida t_{rise} y se mantiene en este valor hasta completar el tiempo de transiente. Es posible además agregar un valor de retardo t_{delay} a la señal.

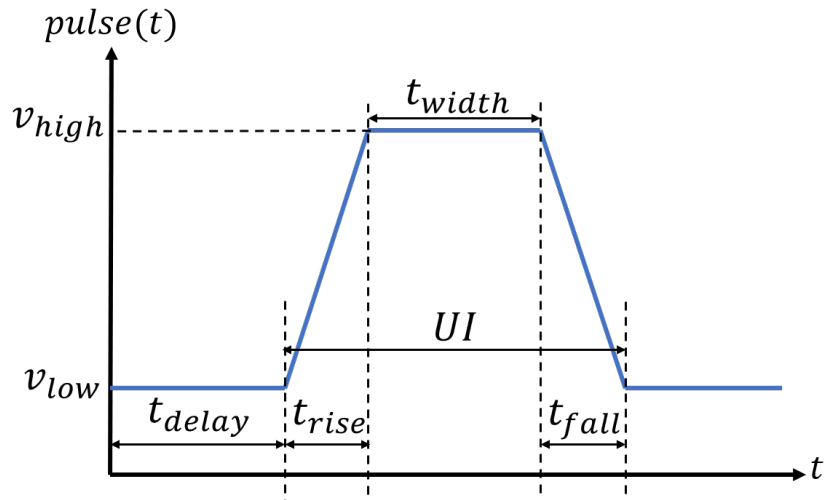


Figura 3.3: Parámetros de pulso digital.

La expresión matemática que describe al escalón de la Figura 3.4 es:

$$\text{step}(t) = \begin{cases} v_{low} & 0 \leq t < t_d \\ v_{HL}/t_{rise} \cdot t + v_{low} & t_d \leq t < t_{d+r} \\ v_{high} & t \geq t_{d+r} \end{cases} \quad (3.3)$$

en donde $v_{HL} = (v_{high} - v_{low})$. En general, los valores de v_{low} y v_{high} pueden ser cualquier combinación de valores positivos o negativos.

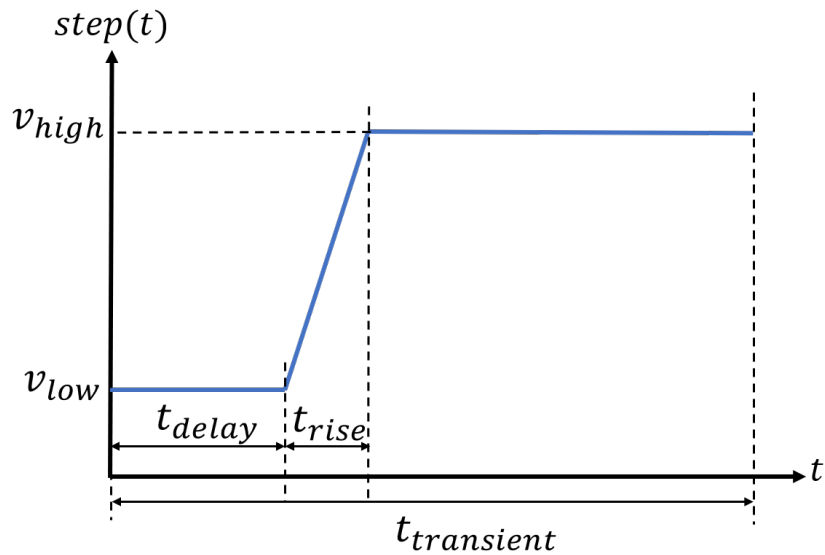


Figura 3.4: Parámetros de escalón.

3.1.4 Secuencia de bits pseudoaleatorios PRBS-k

Esta función crea un tren de pulsos lineales a partir de una secuencia de bits pseudoaleatorios (PRBS) que son generados por un polinomio de orden de 3 hasta 32 bits, los cuales son detallados en la Tabla 3.1.

Tabla 3.1: Polinomios de 3 hasta 32 bits para secuencia de bits pseudoaleatorios.

PRBS_k	Polinomio	Taps en ADS
3	$x^3 + x^2 + 1$	'110'
4	$x^4 + x^3 + 1$	'1100'
5	$x^5 + x^3 + 1$	'10100'
6	$x^6 + x^5 + 1$	'110000
7	$x^7 + x^6 + 1$	'1100000'
8	$x^8 + x^6 + x^5 + x^4 + 1$	'10111000'
9	$x^9 + x^5 + 1$	'100010000'
10	$x^{10} + x^7 + 1$	'1001000000'
11	$x^{11} + x^9 + 1$	'10100000000'
12	$x^{12} + x^6 + x^4 + x + 1$	'100000101001'
13	$x^{13} + x^4 + x^3 + x + 1$	'1000000001101'
14	$x^{14} + x^5 + x^3 + x + 1$	'10000000010101'
15	$x^{15} + x^{14} + 1$	'110000000000000'
16	$x^{16} + x^{15} + x^{13} + x^4 + 1$	'1101000000001000'
17	$x^{17} + x^{14} + 1$	'1001000000000000'
18	$x^{18} + x^{11} + 1$	'10000001000000000'
19	$x^{19} + x^6 + x^2 + x^1 + 1$	'1000000000000100011'
20	$x^{20} + x^{17} + 1$	'1001000000000000000'
21	$x^{21} + x^{19} + 1$	'10100000000000000000'
22	$x^{22} + x^{21} + 1$	'11000000000000000000'
23	$x^{23} + x^{18} + 1$	'100001000000000000000'
24	$x^{24} + x^{23} + x^{22} + x^{17} + 1$	'1110000100000000000000'
25	$x^{25} + x^{22} + 1$	'1001000000000000000000'
26	$x^{26} + x^6 + x^2 + x + 1$	'10000000000000000000100011'
27	$x^{27} + x^5 + x^2 + x + 1$	'10000000000000000000010011'
28	$x^{28} + x^{25} + 1$	'1001000000000000000000000'
29	$x^{29} + x^{27} + 1$	'10100000000000000000000000'
30	$x^{30} + x^6 + x^4 + x + 1$	'10000000000000000000000101001'
31	$x^{31} + x^{28} + 1$	'1001000000000000000000000000'
32	$x^{32} + x^{22} + x^2 + x + 1$	'100000000010000000000000000011'

El ancho de cada pulso se calcula a partir del valor de la tasa de bits (*data rate*), en donde el intervalo unitario es $UI = (\text{data_rate})^{-1}$. La forma de la secuencia de bits pseudoaleatorios se puede observar en la Figura 3.5.

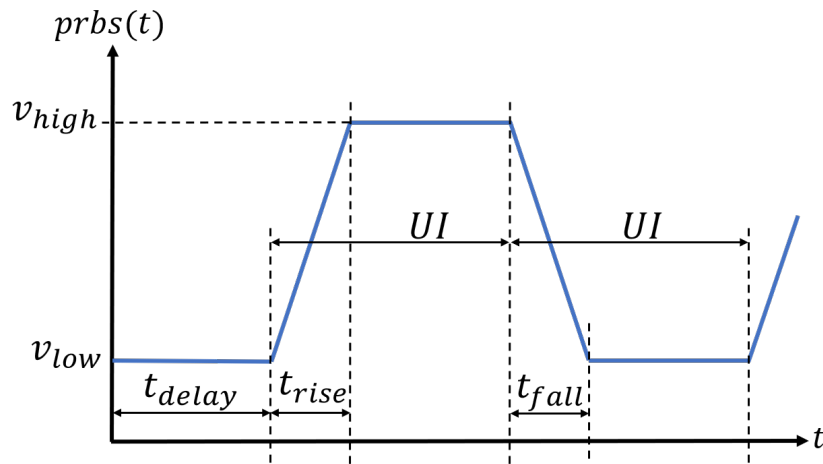


Figura 3.5: Parámetros de PRBS-k.

A diferencia de la secuencia de bits que comienza, de existir, su transición hacia v_{low} o v_{high} antes de completar el intervalo unitario (UI), cada bit en la señal de PRBS cambia su estado hasta el inicio del siguiente UI. Con esto, al inicio del UI, si la señal cambia de v_{low} a v_{high} , lo hace en un tiempo t_{rise} y se mantiene en v_{high} hasta el final del UI. Por el contrario, si la señal cambia de v_{high} a v_{low} , lo hace en un tiempo t_{fall} y se mantiene en v_{low} hasta el final. La señal puede tener además un valor de retardo t_{delay} .

Para calcular las transiciones es necesario analizar el bit previo y el bit actual, con lo que se determina cómo se comportará la señal en el siguiente intervalo. Se reconocen las combinaciones que se observan en la Tabla 3.2.

Tabla 3.2: Tipos de transiciones de bit previo a bit actual en señal binaria pseudoaleatoria.

Bit previo	Bit actual	Transición
0	0	mantiene baja
0	1	sube
1	0	baja
1	1	mantiene alta

La expresión matemática que describe la transición inicial del bit i está dada por

$$bit_i(t) = \begin{cases} v_{low} & \text{transición } 0 \rightarrow 0 \\ v_{HL}/t_{rise} \cdot t + v_{low} & \text{transición } 0 \rightarrow 1 \\ v_{LH}/t_{fall} \cdot t + v_{high} & \text{transición } 1 \rightarrow 0 \\ v_{high} & \text{transición } 1 \rightarrow 1 \end{cases} \quad (3.4)$$

En general, los valores de v_{low} y v_{high} pueden ser cualquier combinación de valores positivos o negativos.

3.1.5 Secuencia de bits

Esta función genera un tren de pulsos lineales a partir de un patrón de bits predefinido en forma de una cadena de caracteres de ceros y unos, en donde cada bit se crea como un pulso digital con tiempo de subida t_{rise} y tiempo de bajada t_{fall} , como se muestra en la Figura 3.6. El ancho de cada pulso se calcula a partir del valor de la tasa de bits, en donde el intervalo unitario es $UI = (\text{data_rate})^{-1}$. La señal puede tener un valor de retardo t_{delay} y en general, los valores de v_{low} y v_{high} pueden ser cualquier combinación de valores positivos o negativos.

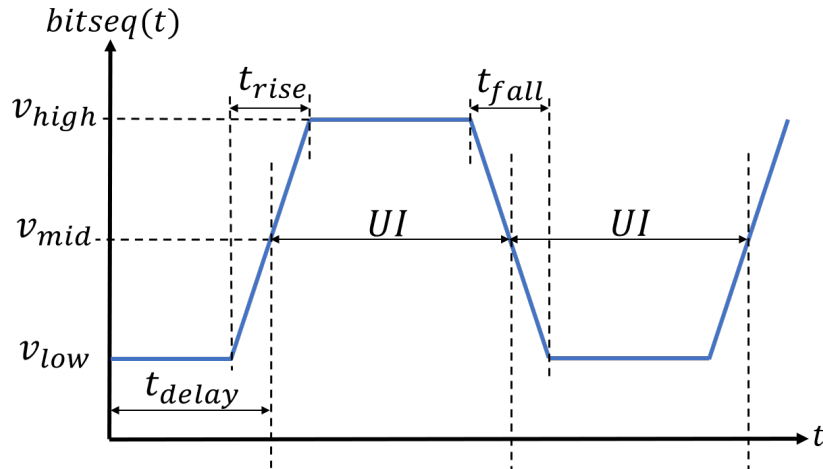


Figura 3.6: Parámetros de secuencia de bits.

A diferencia de la señal de PRBS que realiza la transición al siguiente bit hasta el próximo intervalo unitario, la señal de secuencia de bits comienza su transición medio intervalo antes del punto de cruce por cero o el punto medio entre v_{low} y v_{high} , es decir, v_{mid} . Debido a esto, la señal es no causal y es necesario el conocimiento del bit siguiente para poder obtener correctamente el inicio del siguiente estado. Para calcular correctamente las transiciones, se analiza el bit previo y actual, así como el bit actual y el siguiente. La primer combinación es igual a la señal de PRBS que se muestra en la Tabla 3.2. Después de realizada esta transición, la señal tendrá un valor de v_{low} si el bit es 0 y v_{high} si el bit es 1. La forma de la transición final sigue el patrón de la Tabla 3.3.

Tabla 3.3: Tipos de transiciones de bit actual a bit siguiente en una secuencia de bits.

Bit actual	Bit siguiente	Transición
0	0	mantiene baja
0	1	sube
1	0	baja
1	1	mantiene alta

La expresión matemática que describe la primer transición del bit i está dada por

$$bit_{i_tran1}(t) = \begin{cases} v_{low} & \text{transición } 0 \rightarrow 0 \\ v_{HL}/t_{rise} \cdot t + v_{mid} & \text{transición } 0 \rightarrow 1 \\ v_{LH}/t_{fall} \cdot t + v_{mid} & \text{transición } 1 \rightarrow 0 \\ v_{high} & \text{transición } 1 \rightarrow 1 \end{cases} \quad (3.5)$$

en donde $v_{HL} = (v_{high} - v_{low})$, $v_{LH} = (v_{low} - v_{high})$ y $v_{mid} = (v_h + v_l)/2$, el valor intermedio entre v_h y v_l . La única diferencia entre (3.4) y (3.5) es el punto de intersección por el eje y , que para la señal de PRBS y secuencia de bits es v_{low} o v_{high} , y v_{mid} , respectivamente. A simple vista podría parecer que ambas señales son la misma salvo un pequeño desfase en el tiempo, pero en realidad, para una transición $0 \rightarrow 1 \rightarrow 0$, un pulso de PRBS es un tiempo t_{fall} más largo que una secuencia de bits, cuyo ancho es el intervalo unitario.

La expresión matemática que describe la segunda transición del bit i está dada por

$$bit_{i_tran2}(t) = \begin{cases} v_{low} & \text{transición } 0 \rightarrow 0 \\ v_{HL}/t_{rise} \cdot t + b_{01} & \text{transición } 0 \rightarrow 1 \\ v_{LH}/t_{fall} \cdot t + b_{10} & \text{transición } 1 \rightarrow 0 \\ v_{high} & \text{transición } 1 \rightarrow 1 \end{cases} \quad (3.6)$$

en donde $b_{01} = v_{low} - (UI - t_{fall}/2)/t_{fall} \cdot v_{HL}$ y $b_{10} = v_{high} - (UI - t_{fall}/2)/t_{fall} \cdot v_{LH}$, los cuales son los valores de la intersección por el eje y durante el final del bit.

3.1.6 Ruido blanco gaussiano aditivo

Esta función genera una secuencia de valores aleatorios que siguen una distribución normal, con la que se obtiene una señal de ruido blanco gaussiano aditivo, como se observa en la Figura 3.7. La señal está caracterizada mediante un valor DC (*offset*) y la desviación estándar (*std_dev*):

$$awgn(n) = normrnd(offset, std_dev), \quad (3.7)$$

en donde $normrnd(t)$ es una función que devuelve números aleatorios uniformemente distribuidos. La señal es además caracterizada por el valor de tiempo de transiente y la granularidad temporal Δt , con la que se calcula la cantidad de muestras necesarias. Este tipo de señal es útil para modelar la adición de ruido en un canal debido a componentes electrónicos y amplificadores en el receptor o interferencia en la transmisión [39].

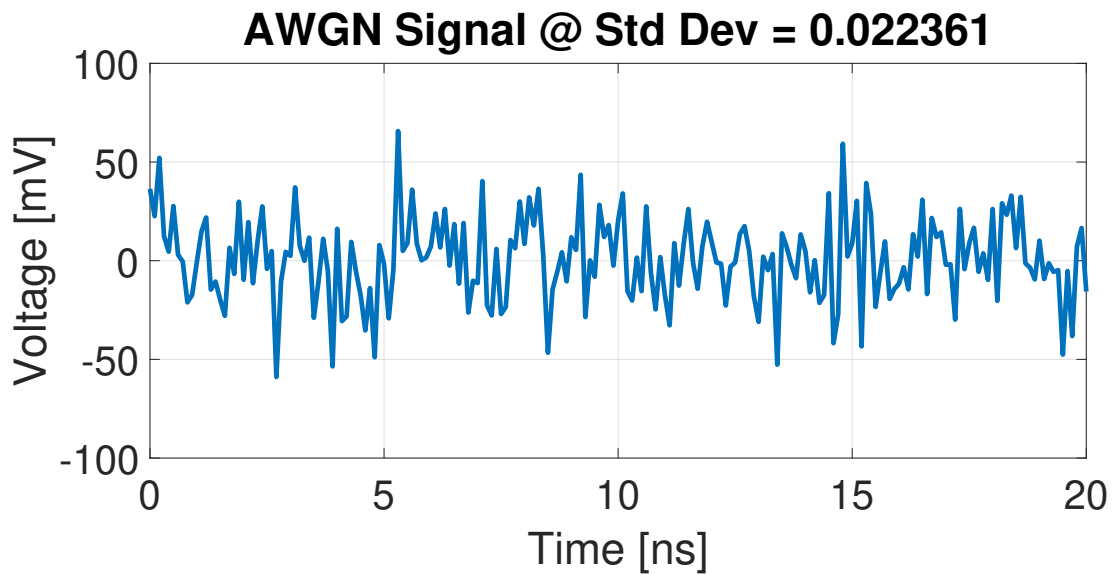


Figura 3.7: Secuencia de ruido blanco gaussiano con $\sigma^2 = 500\mu V^2$.

3.2 Diseño del solucionador convolucional

3.2.1 Procesamiento de los parámetros S

Los parámetros S son mediciones discretas de valores complejos de los coeficientes de dispersión, para valores positivos de frecuencia, los cuales son obtenidos al realizar un barrido del circuito medido con un Analizador Vectorial de Redes (VNA). Cada medición depende de la persona y equipo con el que se está realizando, por lo que hay muchos parámetros que pueden variar de un archivo a otro. En general, lo más importante es que la medición cuente con valor DC y la granularidad en frecuencia Δf sea constante hasta el valor máximo de frecuencia. Este requerimiento existe debido a que es necesario tener una consistencia en el Δf de los datos para poder efectuar la transformada inversa de Fourier de manera correcta.

En primera instancia, es necesario verificar si existe la frecuencia DC. En caso de no existir, este valor debe ser extrapolado mediante la generación de un nuevo vector de datos de frecuencia que comience en 0 Hz. Para esto es necesario calcular el Δf , la cual no viene de manera explícita en el archivo Touchstone, mediante:

$$\Delta f = \frac{f_{max}}{N}, \quad (3.8)$$

en donde f_{max} es el mayor valor de frecuencia medido en el archivo y N la cantidad de frecuencias medidas. Para mantener la pasividad del sistema, en caso de que el valor extrapolado que corresponde a la frecuencia DC sea mayor que 1, se satura el valor a 0,9999. Para algunos archivos donde sí existe el valor DC, es posible que el muestreo de

los datos no sea constante, es decir, la distancia entre DC y $f(1)$ es diferente a la distancia entre $f(1)$ y $f(2)$, por lo que se calcula de igual manera la granularidad en frecuencia para remuestrear los datos, mediante:

$$\Delta f = \frac{f_{max}}{N-1}, \quad (3.9)$$

en la cual se elimina el valor DC del cálculo. Finalmente, de los puertos i y j seleccionados, se genera una matriz 2x2 a partir de los valores de los puertos escogidos, ya que la mayoría de operaciones matriciales posteriores se realizan en matrices de dos puertos.

3.2.2 Cálculo de la respuesta al impulso de un sistema

Para poder obtener la salida del sistema ante cualquiera de las señales de entrada anteriormente descritas, es necesario obtener la respuesta al impulso del canal a partir de la transformada inversa de Fourier de los parámetros S del canal en los puertos seleccionados.

En primera instancia, existe una relación entre la frecuencia máxima de los parámetros S, f_{max} , y la granularidad temporal Δt de la respuesta al impulso, dada por

$$\Delta t = \frac{1}{2f_{max}}, \quad (3.10)$$

en donde f_{max} es el valor de frecuencia máxima medida en los parámetros S del canal en cuestión. En este sentido, se puede afirmar que un juego de mediciones en frecuencia darán una granularidad temporal definida, de acuerdo a la máxima frecuencia de la medición. De manera inversa, se puede ajustar la frecuencia máxima necesaria para forzar un valor determinado de granularidad temporal, dado por

$$f_{max_query} = \frac{1}{2\Delta t}. \quad (3.11)$$

En algunos casos no existirán mediciones más allá de cierta frecuencia pero estos puntos se pueden obtener al realizar un relleno con ceros a los datos en frecuencia (*zero padding*). La cantidad de muestras necesarias para rellenar, dada una frecuencia máxima con la que se obtiene la granularidad temporal deseada es

$$zero\ padding = \frac{\lfloor f_{max_query} - f_{max} \rfloor}{\Delta f}, \quad (3.12)$$

en donde Δf es la granularidad en frecuencia dada por las mediciones originales de los parámetros S.

En síntesis, de unas mediciones en frecuencia de un archivo de parámetros S se puede obtener una granularidad temporal definida, y en caso de ser necesario aumentar la resolución, se puede aumentar la frecuencia máxima de las mediciones al rellenar con ceros

hasta la frecuencia dada por f_{max_query} . Dependiendo de qué tan atenuados estén los valores alrededor de la frecuencia máxima original, se pueden dar oscilaciones y no causalidad en la respuesta al impulso resultante [40, 41, 42, 43].

Para poder cumplir con la simetría hermítica de una señal real en el tiempo, es necesario copiar los valores de frecuencias positivas en las negativas, siguiendo la relación $H(-\omega) = H^*(\omega)$, con lo que se obtiene el espectro doble de los parámetros S. Contrario al orden que esta relación indica, es necesario disponer un vector con los valores del espectro positivo primero, seguido de los valores del espectro negativo, como se observa en la Figura 3.8.

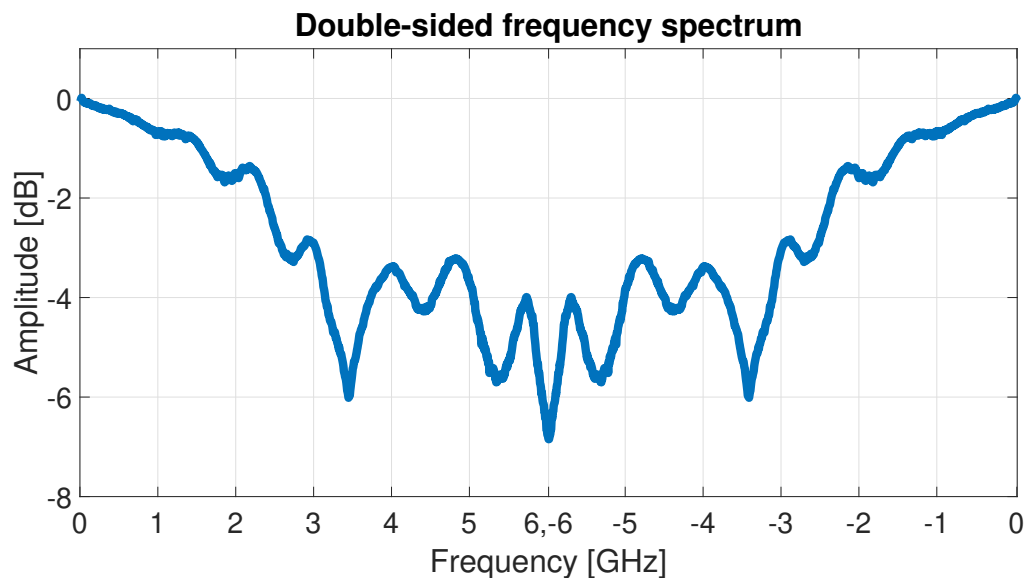


Figura 3.8: Disposición del espectro doble de parámetros S.

De esta manera al aplicar la transformada inversa de Fourier al espectro doble, se obtiene la respuesta al impulso del canal dado por los parámetros S. Un ejemplo de esta operación aplicada a los parámetros S_{21} o pérdida de inserción de una antena de 50Ω se observa en la Figura 3.9. De los parámetros S de una línea o sistema se pueden observar diversos comportamientos, como por ejemplo pérdida a alta frecuencia y el retardo que sufrirá un pulso que se propaga a través del sistema mediante el tiempo donde se da el valor máximo de la respuesta al impulso, conocido como *retardo base*.

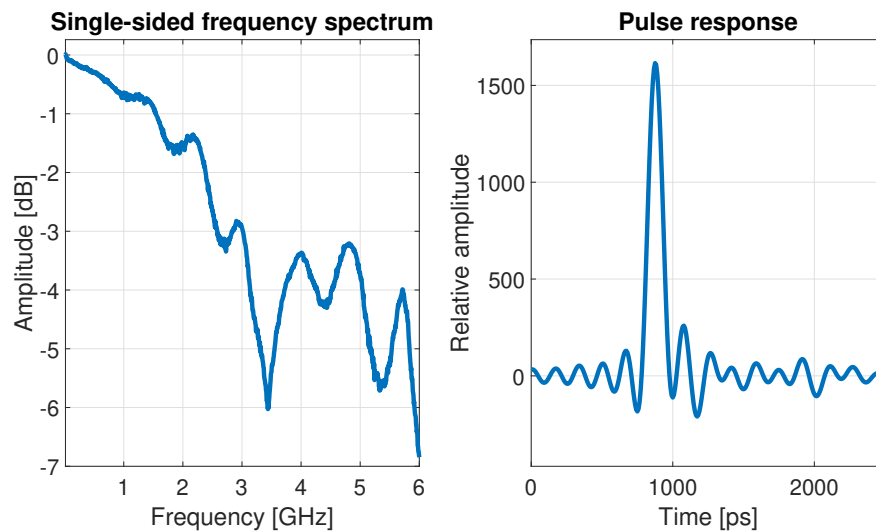


Figura 3.9: Izquierda: Pérdida de inserción de una antena de 50Ω . Derecha: Respuesta al impulso de la pérdida de inserción S_{21} .

3.2.3 Convolución de señal con respuesta al impulso

Al tener la señal de entrada y la respuesta al impulso del canal, se obtiene la salida del sistema al implementar la integral de convolución dada por (2.17), como se muestra en la Figura 3.10.

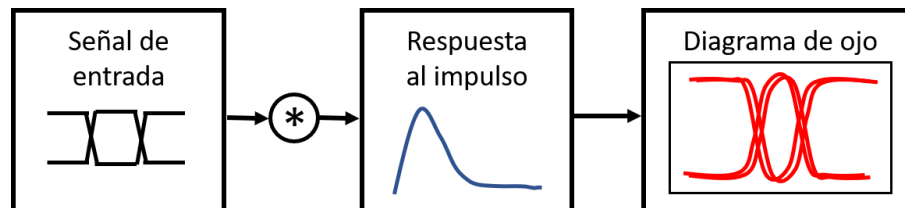


Figura 3.10: Cálculo de la salida del sistema.

Para el cálculo de la convolución, se considera que el valor en tiempo 0 de la señal de entrada es el valor inicial que viene desde infinito negativo, por lo que se extiende este valor hacia una extensión de tiempo negativo arbitrario finito, para que la señal de salida tenga en cuenta este valor inicial, ya sea v_{low} o v_{high} . Este tiempo arbitrario debe ser al menos de una extensión del tiempo de retardo t_{delay} . Antes de brindar el vector final con la convolución, se elimina esta porción negativa y el tiempo comienza en la referencia de 0 segundos, con lo que se fuerza la causalidad en la señal de salida.

En la Figura 3.11 se muestra la respuesta de un pulso digital con tiempo de retardo de 5 ns, intervalo unitario de 5 ns y tiempos de subida y bajada de 1,25 ps, en una línea de *microstrip*. Se observa el efecto de las condiciones iniciales de la señal ya que v_{low} es 1 V y v_{high} es 0 V.

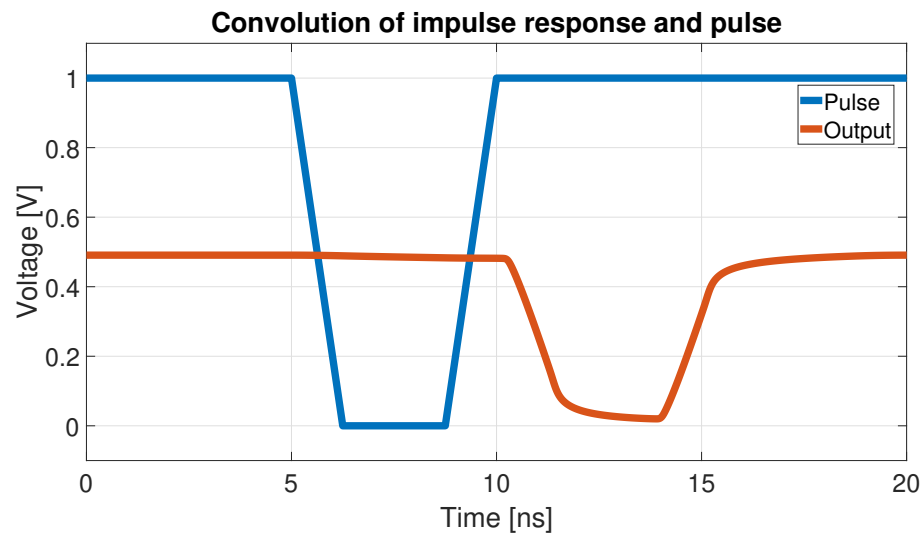


Figura 3.11: Respuesta de un pulso digital en una línea de microstrip.

3.3 Diseño de los ecualizadores

A continuación se presentan los detalles de la implementación los ecualizadores propuestos. A menos que se indique lo contrario, para demostrar el funcionamiento y conceptos de los mismos, se utilizó un canal de *microstrip* de 36 pulgadas de largo y 6,5 mils¹ de ancho, cuyas funciones de transferencia y respuesta al impulso se observan en la Figura 3.12.

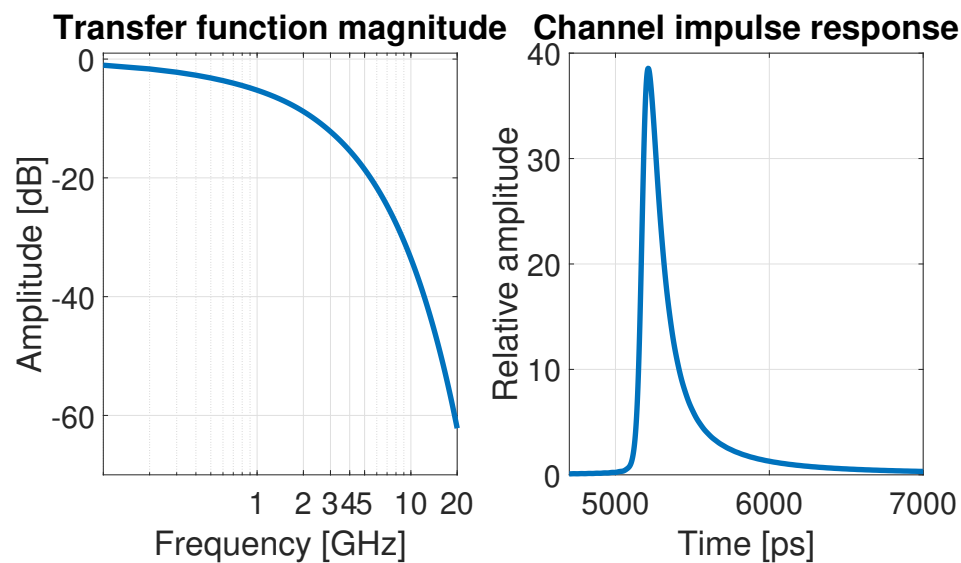


Figura 3.12: Función de transferencia y respuesta al impulso de canal de *microstrip*.

¹un mil es la milésima parte de una pulgada, equivale a 25,4 μm

3.3.1 Feed-Forward Equalizer (FFE)

Se vio previamente que un FFE consiste en un filtro lineal dado por la combinación lineal de diversos coeficientes y versiones retrasadas de una señal de entrada. La ecuación en el dominio Z que implementa este filtro es:

$$W(z) = w_{-L}z^L + w_{-L+1}z^{L-1} + \dots + w_{-1}z^1 + w_0 + w_1z^{-1} + \dots + w_{M-1}z^{-M+1} + w_Mz^{-M}, \quad (3.13)$$

en donde se dice que el filtro posee L número de pre-cursores que opera con las muestras futuras de la señal y M número de post-cursores que opera con las muestras pasadas de la señal. Un filtro de este tipo es claramente no causal ya que necesita muestras del futuro, por lo que es únicamente implementable fuera de línea. Para hacer al filtro causal, se multiplica (3.13) por el término z^{-L} que equivale a retrasar las muestras del filtro o desplazarlo hacia la derecha, con lo que se obtiene la siguiente expresión:

$$\begin{aligned} W(z) &= w_{-L}z^{L-L} + w_{-L+1}z^{L-1-L} + \dots + w_{-1}z^{1-L} + w_0z^{0-L} + w_1z^{-1-L} + \dots \\ &\quad + w_{M-1}z^{-M+1-L} + w_Mz^{-M-L}, \\ &= w_{-L}z^0 + w_{-L+1}z^{-1} + \dots + w_{-1}z^{1-L} + w_0z^L + w_1z^{1-L} + \dots + w_Mz^{-M-L}, \end{aligned}$$

y al sumar L a los subíndices de los coeficientes w_k , se obtiene finalmente el filtro en su forma causal:

$$W(z) = w_0 + w_1z^{-1} + w_2z^{-2} + \dots + w_{L+M}z^{-L-M}, \quad (3.14)$$

en donde el término $M + L$ representa la suma de la cantidad de pre- y post-cursores en el filtro. Así mismo, en (3.13) era claro que w_0 era el cursor pero en esta representación se pierde la referencia directa. Para poder identificarlo se puede ver que el cursor corresponde al coeficiente de índice $M + 1$ o es común que el coeficiente del cursor sea mayor que el resto.

Para encontrar la respectiva ecuación de diferencias que implementa este ecualizador, se reordena la función de transferencia del filtro dado por (3.13) a como sigue:

$$\frac{Y(z)}{X(z)} = w_0 + w_1z^{-1} + w_2z^{-2} + \dots + w_{L+M}z^{-L-M},$$

$$Y(z) = X(z) \cdot (w_0 + w_1z^{-1} + w_2z^{-2} + \dots + w_{L+M}z^{-L-M}).$$

Mediante la transformada Z inversa se obtiene la ecuación de diferencias dada por:

$$y[n] = w_0x[n] + w_1x[n-1] + w_2x[n-2] + \dots + w_{L+M}x[n-L-M] \quad (3.15)$$

En este punto es necesario considerar que dentro del entorno de simulación se está trabajando con señales discretizadas. En general, un pulso digital estará compuesto por un número k de muestras por símbolo, por lo que la señal dada por (3.15) debe ser calculada para las muestras de los símbolos presente y anteriores. Otra forma de implementar este filtro es observar la operación mencionada anteriormente como la convolución del vector de coeficientes $\underline{\mathbf{w}}$ con la señal de entrada $x[n]$, tomando la precaución que el vector de coeficientes debe ser rellenado con ceros igual a la cantidad de muestras por símbolo menos uno, para cada coeficiente, en la forma:

$$\underline{\mathbf{w}} = [w_0 \ 0 \ \dots \ 0 \ w_1 \ 0 \ \dots \ 0 \ w_2 \ 0 \ \dots \ 0 \ w_{l+m} \ 0 \ \dots \ 0],$$

con lo que la salida es el resultado de pasar la señal de entrada $x[n]$ por el filtro lineal es:

$$y[n] = x[n] * \underline{\mathbf{w}}. \tag{3.16}$$

En la Figura 3.13 se observa el efecto un ecualizador FFE de 3 taps (un pre-cursor, un cursor y un post-cursor) en donde $\underline{\mathbf{w}} = [-0,131 \ 0,595 \ -0,274]$. Se muestra la versión anti-causal en donde es evidente que el filtro tiene una salida distinta de cero antes de que comience el pulso digital. Para sistemas reales es necesario utilizar la versión causal, por lo que el retardo total en muestras que agrega el ecualizador es igual al número de pre-cursores multiplicado por el número de muestras por símbolo.

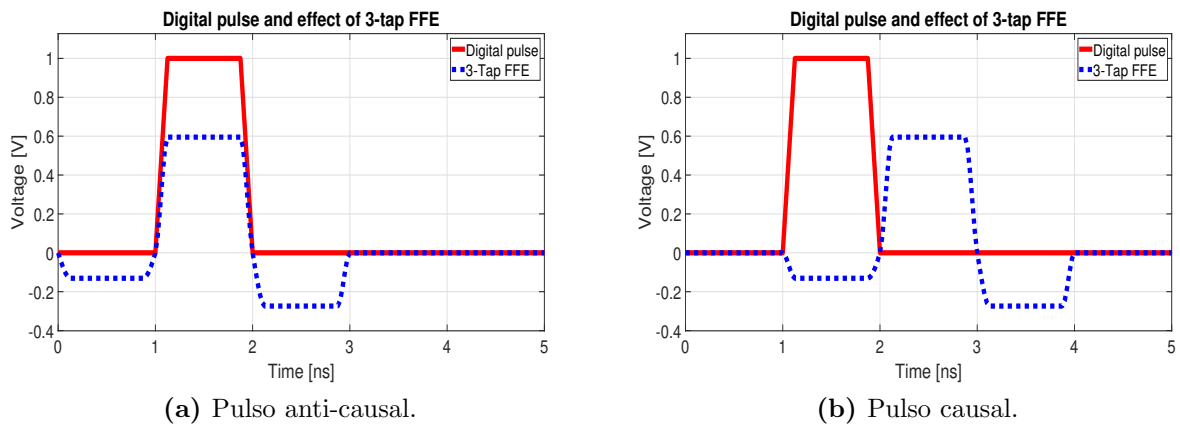


Figura 3.13: Pulso digital y efecto de FFE de 3 taps.

Cálculo de los coeficientes optimizados

En general, la implementación del FFE acepta el ingreso de valores arbitrarios de coeficientes para los pre- y post-cursores, con lo que se identifica automáticamente los valores de L y M para crear el vector $\underline{\mathbf{w}}$ apropiado. Sin embargo, es posible encontrar los valores óptimos para una combinación de L pre-cursores y M post-cursores mediante el algoritmo adaptativo de MMSE dado anteriormente. Para demostrar el concepto de (2.46) y (2.47)

se usará un ejemplo dado por [24], donde se utiliza la respuesta al impulso de un canal de 17 pulgadas con una señal a 10 Gbps, como se observa en la Figura 3.14.

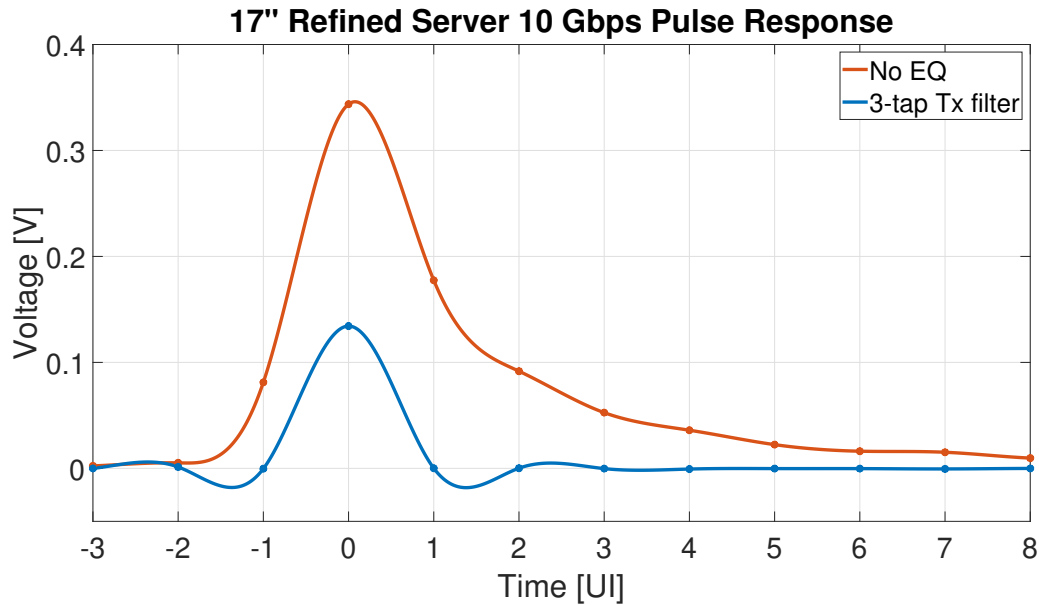


Figura 3.14: Respuesta al impulso para probar el algoritmo MMSE en la obtención de los coeficientes de ecualizador FFE.

Para este ejemplo, el ecualizador FFE consistirá de tres taps, dados por un pre-cursor, un cursor y un post-cursor, con lo cual L y M equivalen a 1. La señal discreta de la respuesta al impulso (mostrada en rojo en la Figura 3.14) cuenta con 16 muestras, de las cuales 5 representan la cantidad de muestras antes del pico máximo (con esto $j = 5$). En este caso la matriz \mathbf{W} cuenta con tres columnas ya que $L + M + 1 = 3$. La longitud del vector de salida deseada \mathbf{Y}_{des} tiene una longitud igual a la cantidad de muestras en $h[n]$ (la respuesta al impulso discreta del canal) más $(L + M)$. En este caso, el vector de salida tiene una longitud de $16 + 1 + 1$ igual a 18. Según (2.37), todas las muestras de este vector son 0 excepto la muestra número $(j + M + 1)$ igual a 7. De esta manera, al aplicar (2.46) se obtiene un vector columna con la cantidad de cursores iniciales estipulada, en este caso 3, en la forma:

$$\mathbf{W}_{ls} = \begin{bmatrix} -0,8180 \\ 3,7245 \\ -1,7184 \end{bmatrix}. \quad (3.17)$$

Al normalizar por el valor $\sum_{i=1}^n |\mathbf{W}_{ls}(n)| = 6.2609$ se obtiene el vector:

$$\mathbf{W}_{lsnorm} = \begin{bmatrix} -0,131 \\ 0,595 \\ -0,275 \end{bmatrix}. \quad (3.18)$$

De esta manera, el filtro expresado en la frecuencia con estos coeficientes tiene la forma:

$$W(z) = -0,131 + 0,595z^{-1} - 0,275z^{-2}, \quad (3.19)$$

en donde es de notar que estos coeficientes equivalen a las amplitudes de los pulsos mostrados en la Figura 3.13. Cabe mencionar adicionalmente que las curvas de la Figura 3.14 provienen de puntos discretos y fueron ajustadas mediante una interpolación cúbica, por lo que las curvas mostradas no necesariamente representan la verdadera forma de la respuesta al impulso de canal y su corrección con el ecualizador. Para la forma inequívoca de estas señales es necesario concatenar las funciones de transferencia del FFE con el del canal mediante (2.16) y encontrar la respuesta al impulso mediante la aplicación de la IFFT.

La respuesta en baja frecuencia del FFE se obtiene al evaluar $z = e^{j2\pi fT_s}$, con T_s la frecuencia de muestreo y $f = 0$, con lo que se obtiene $z = \cos(2\pi fT_s) + j \sin(2\pi fT_s) = \cos(0) + j \sin(0) = 1$. De esta manera, al evaluar (3.14) con $z = 1$, se obtiene la suma de los coeficientes w_k . Otra forma consiste en convolucionar una señal constante de amplitud unitaria y el vector de coeficiente \underline{w} , en la forma:

$$DC \text{ loss} = [1 \ 1 \ 1 \ \cdots] * [w_0 \ w_1 \ w_2 \ \cdots \ w_{L+M}],$$

De esta manera, la pérdida en frecuencia DC en decibeles se puede escribir como:

$$DC \text{ loss} = 20 \log_{10} \left(\sum_{i=0}^{M+L} w_i \right) \quad (3.20)$$

Para encontrar la ganancia pico del filtro lineal es necesario analizar (3.14) cuando $f_s = 1/(2T_s)$, que es la frecuencia de Nyquist. Para este caso se tiene $z = \cos(2\pi T_s 1/(2T_s)) + j \sin(2\pi T_s 1/(2T_s)) = \cos(\pi) + j \sin(\pi) = -1$. Al evaluar $z = -1$ en (3.19) se obtiene $W(-1) = -1$, lo cual concuerda con (2.27) en que el valor absoluto de la suma de los coeficientes del filtro debe equivaler a 1. Con esto la ganancia en frecuencia Nyquist es 0 dB.

En la Figura 3.15 se observa la función de transferencia en magnitud y fase del ecualizador FFE mostrado a una tasa de datos de 10 Gbps. Es notable observar que la magnitud pico de 0 dB se alcanza justamente en la frecuencia de Nyquist que para este caso equivale a 5 Gbps y de acuerdo a (3.20) la pérdida en DC equivale a -14.4 dB, como se muestra en la gráfica. Además, la respuesta de 0 a 10 Gbps se repite cíclicamente de 10 a 20 Gbps y así subsecuentemente.

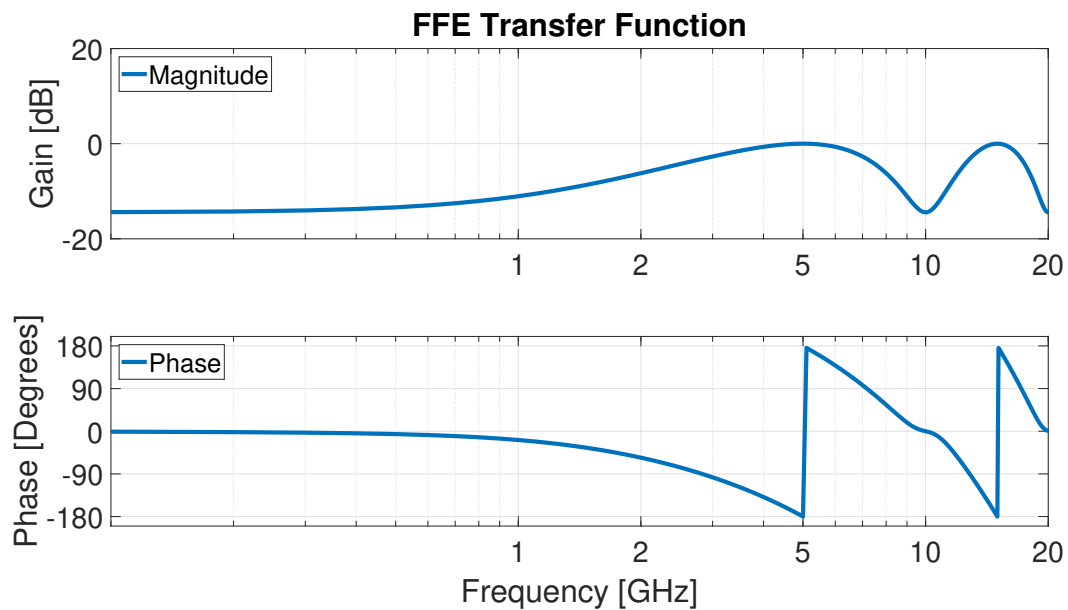
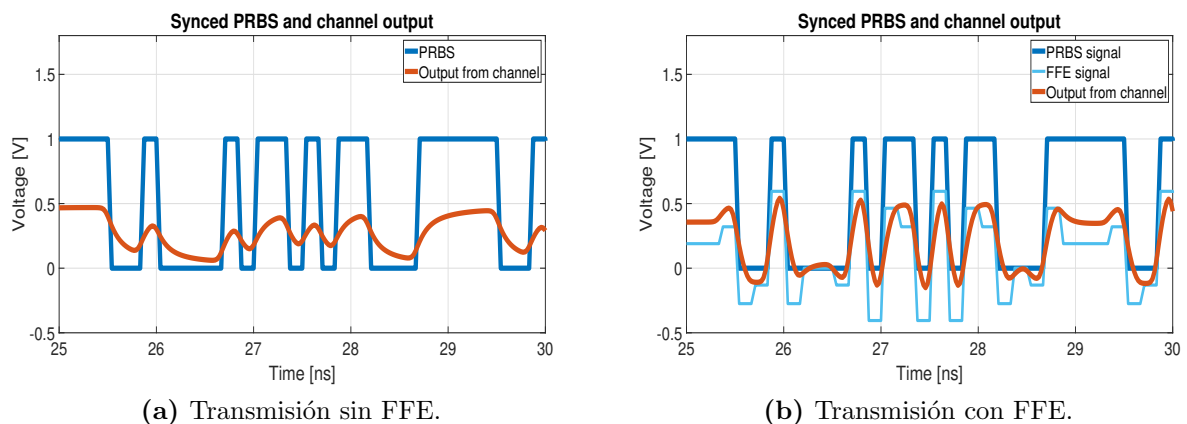


Figura 3.15: Función de transferencia de ecualizador FFE a 10 Gbps.

Señal en el tiempo

En la Figura 3.16 es posible observar el efecto del FFE en la señal del transmisor en el dominio del tiempo. Primeramente en la Figura 3.16a se tiene la señal del transmisor y la salida del canal, en la que se nota un mayor tiempo de subida para la señal. En la Figura 3.16b se observa cómo el ecualizador agrega sobreimpulsos cuando la señal va a realizar una transición lógica de $1 \rightarrow 0$ o de $0 \rightarrow 1$, lo cual mejora el tiempo de subida de la señal, a costa de la necesidad de un amplificador de ganancia variable que compense la pérdida de amplitud. Para este caso fue necesario aplicar una ganancia lineal de 4, lo que equivale a $20 \log_{10} 4 \approx 12$ dB, valor que se aproxima a la pérdida DC obtenida anteriormente.



(a) Transmisión sin FFE.

(b) Transmisión con FFE.

Figura 3.16: Señal en el tiempo de canal con FFE a 6 Gbps.

Respuesta al impulso de FFE

En la Figura 3.14 se obtuvo una forma cercana a la respuesta al impulso del canal y el canal junto con el FFE, a partir de un ajuste cúbico de valores normalizados a un intervalo unitario (UI), sin embargo la forma apropiada de obtener la respuesta al impulso del FFE es partir de su función de transferencia, como la mostrada en la Figura 3.15. En este caso se aplica el mismo concepto de la Sección 3.2.2 para obtener la respuesta al impulso del FFE mediante la IFFT de la función de transferencia. Más aun, se puede concatenar las funciones de transferencia del canal y el ecualizador mediante (2.16) para obtener la respuesta al impulso de ambos sistemas conectados, como se observa en la Figura 3.17b.

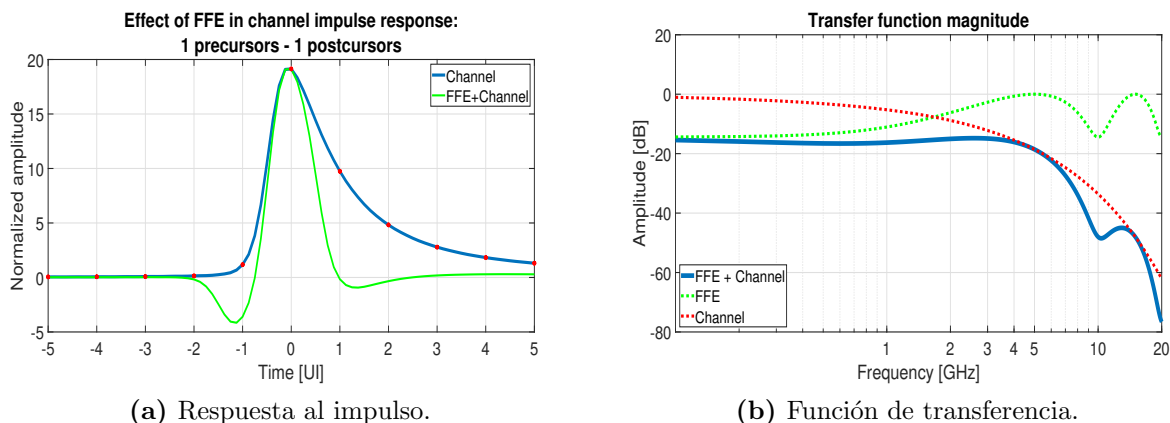


Figura 3.17: Función de transferencia y respuesta al impulso de canal y ecualizador FFE a 10 Gbps.

3.3.2 Continuous-Time Linear Equalizer (CTLE)

La implementación del CTLE aquí presentada se realiza mediante la selección de las frecuencias de polos y ceros así como la ganancia, por lo que es necesario realizar cualquier diseño de acuerdo a las características del canal mediante el uso de los diagramas de Bode. Seguidamente, sería posible realizar un diseño a nivel de transistor al aplicar (2.28), (2.29) y (2.30). Para este caso se utilizarán los valores del CTLE dados por la Tabla 3.4, ya que se ajustan apropiadamente al canal de *microstrip* utilizado para la prueba de concepto.

Tabla 3.4: Valores de parámetros de CTLE utilizados en prueba de concepto.

Parámetro	Valor
A_{dc}	1,000
f_z	650 MHz
f_{p1}	1,95 GHz
f_{p2}	5,00 GHz

En la Figura 3.18 se observa la función de transferencia en magnitud y fase, y su efecto en el canal. Se observa cómo el ecualizador extiende la respuesta plana del canal a mayor frecuencia, en este caso a aproximadamente 2 GHz, sin afectar en mayor medida la fase de la señal.

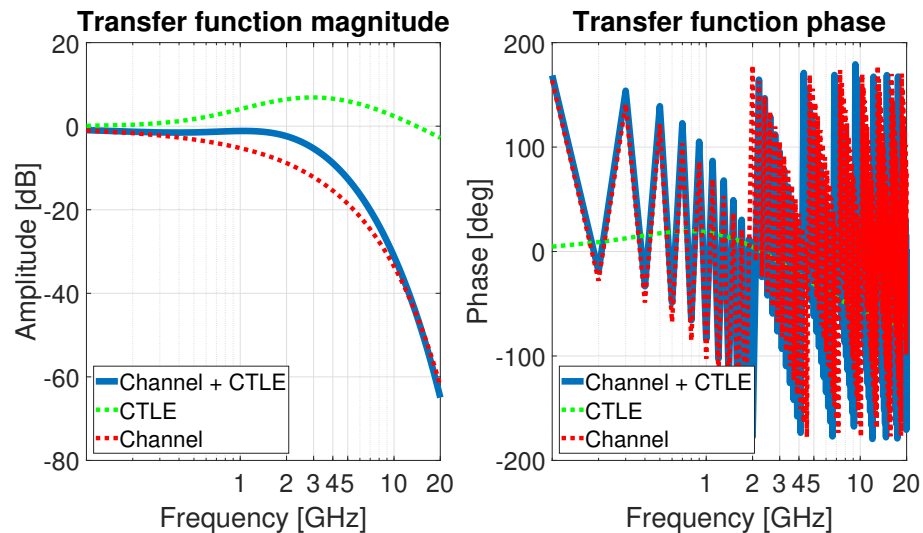
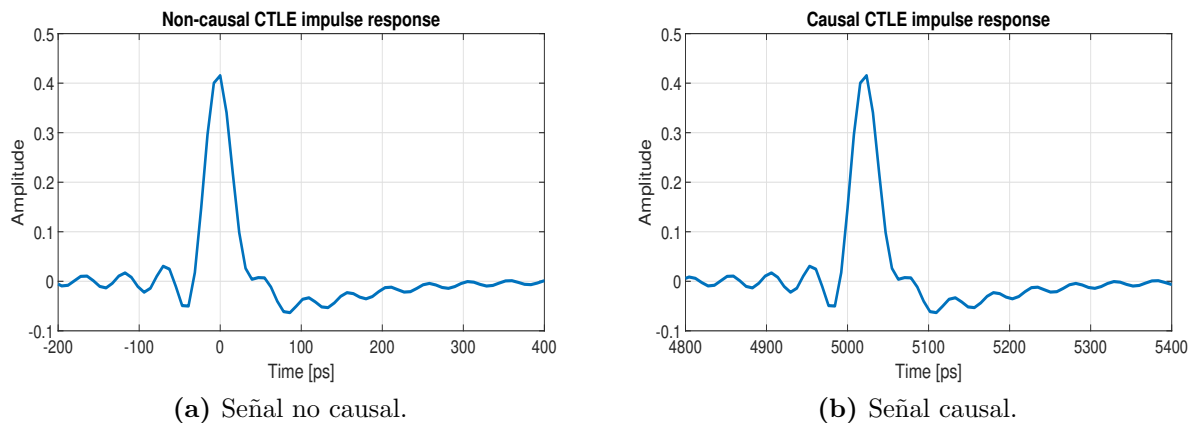


Figura 3.18: Función de transferencia de CTLE y canal de *microstrip*.

Debido a que el CTLE se diseña en frecuencia, es necesario obtener la respuesta al impulso del mismo mediante la IFFT, para convolucionarla con la salida del canal, y de esta manera obtener la salida de canal más el ecualizador. En este proceso surge el inconveniente de una respuesta al impulso anti-causal, como se observa en la Figura 3.19a. Originalmente, la parte de tiempo negativo de la respuesta al impulso aparece al final del vector obtenido mediante la IFFT, pero se puede reconstruir al hacer un intercambio de ambas mitades de la señal en el tiempo, en donde aparece la parte causal de la señal en la primera mitad del vector y en la segunda mitad aparece la parte anti-causal. De esta manera se obtiene un impulso causal como el de la Figura 3.19b.



(a) Señal no causal.

(b) Señal causal.

Figura 3.19: Respuesta al impulso de CTLE de primer orden.

Se observa que el pico del impulso da un retardo base de aproximadamente 5.023 ps. En general, este retardo base de la señal causal no posee ningún significado verdadero, ya que este valor es arbitrario y depende incluso de la longitud en muestras de la IFFT. Para poder obtener un resultado correcto en la convolución de la señal de salida del canal y la respuesta al impulso del CTLE se aplican las propiedades de la convolución y los sistemas LTI. En este caso, es posible realizar la convolución con el impulso retardado por este valor arbitrario pero el resultado debe ser adelantado en el tiempo por la cantidad de muestras agregadas para hacer la respuesta al impulso causal, con lo que se obtiene la señal de salida en el punto correcto del tiempo. En la Figura 3.20 se observa una señal pseudo-aleatoria a través del canal de *microstrip* y la salida del CTLE.

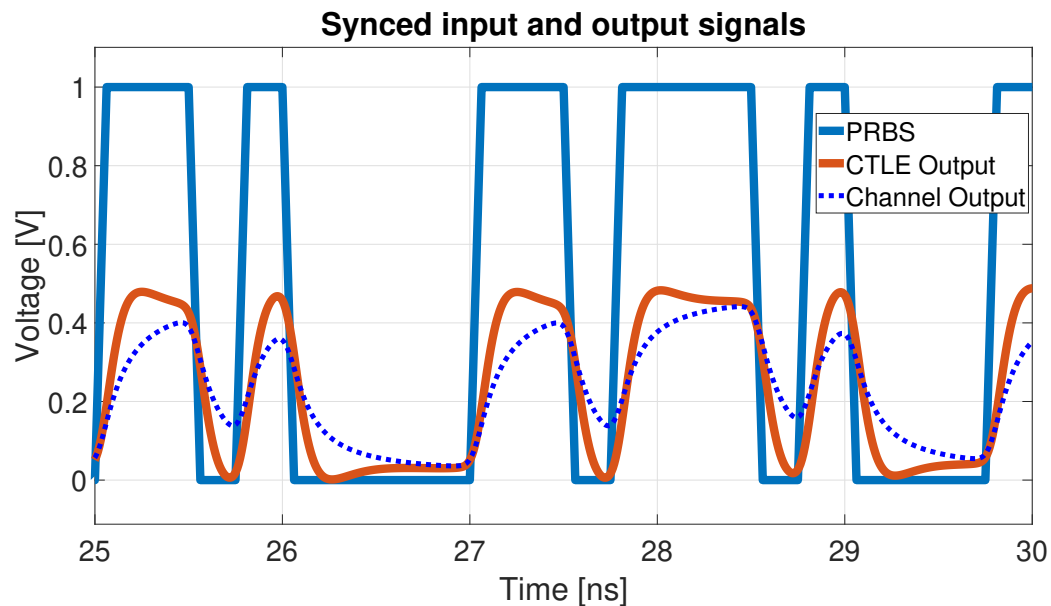


Figura 3.20: Efecto del CTLE en la señal en el tiempo.

El retardo base agregado por el canal fue eliminado de las señales de salida del canal y del CTLE para poder realizar una comparación directa con la señal del transmisor. Aquí es visible que el ecualizador levanta la señal en la subida y la hace descender más rápido en la bajada del pulso, con lo que efectivamente se reducen los tiempos de subida y bajada del bit. Es visible un pequeño sobre-impulso cuando existe una transición lógica. Cabe mencionar además que la ganancia lineal para este caso es de 1, por lo que la salida del ecualizador converge a la amplitud de la salida original de canal cuando el pulso se queda estable en un valor lógico. A diferencia del FFE, el CTLE cuenta con su propia ganancia ajustable con lo que la salida del canal puede ser igual a la salida del CTLE en cuanto a amplitud de la señal.

Finalmente, en la Figura 3.21 se muestra la respuesta al impulso del canal y la del canal concatenado con el CTLE mediante la aplicación de (2.16). Es visible cómo el ecualizador reduce la amplitud de los post-cursos de la respuesta al impulso del canal, con lo que efectivamente se reduce el ISI. Cabe mencionar que esta gráfica es dependiente de la tasa de transmisión, como se observa en la Figura 3.21b, ya que el valor del UI será más corto,

los valores de los post-cursos del canal serán mayores y de esta manera es más difícil contrarrestarlos después de cierto punto mediante el CTLE.

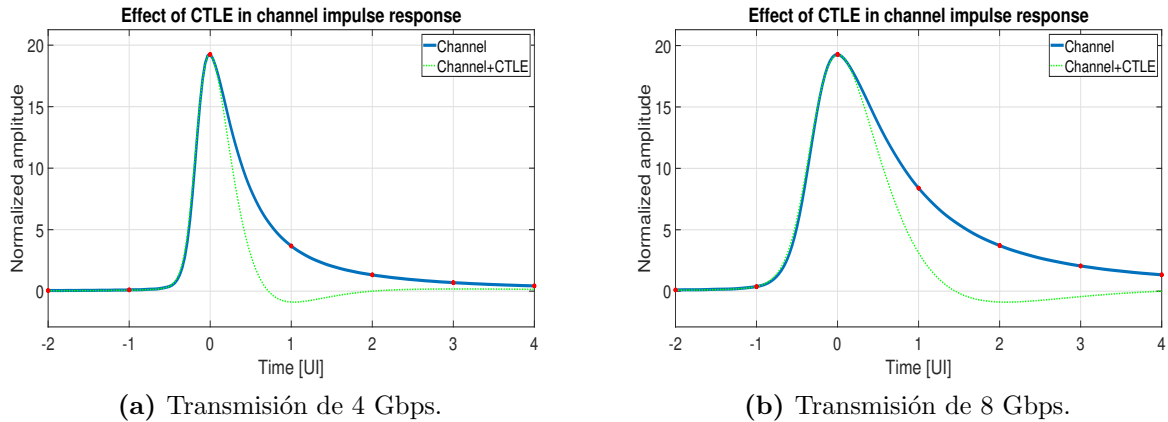


Figura 3.21: Respuesta al impulso de canal de *microstrip* y CTLE.

3.3.3 Decision-Feedback Equalizer (DFE)

El DFE es un ecualizador no lineal debido a que opera con símbolos detectados previamente para tomar las decisiones futuras. Este módulo se encuentra ubicado previamente al *slicer* en el receptor, el cual es el encargado de determinar si el nivel de tensión recibido corresponde a un 0 o a un 1, mediante la comparación del nivel recibido con un nivel de referencia v_{ref} . Estas decisiones son realimentadas al filtro lineal para poder eliminar la interferencia intersímbolo. En la Figura 3.22 se observa la típica señal de salida para un ecualizador DFE.

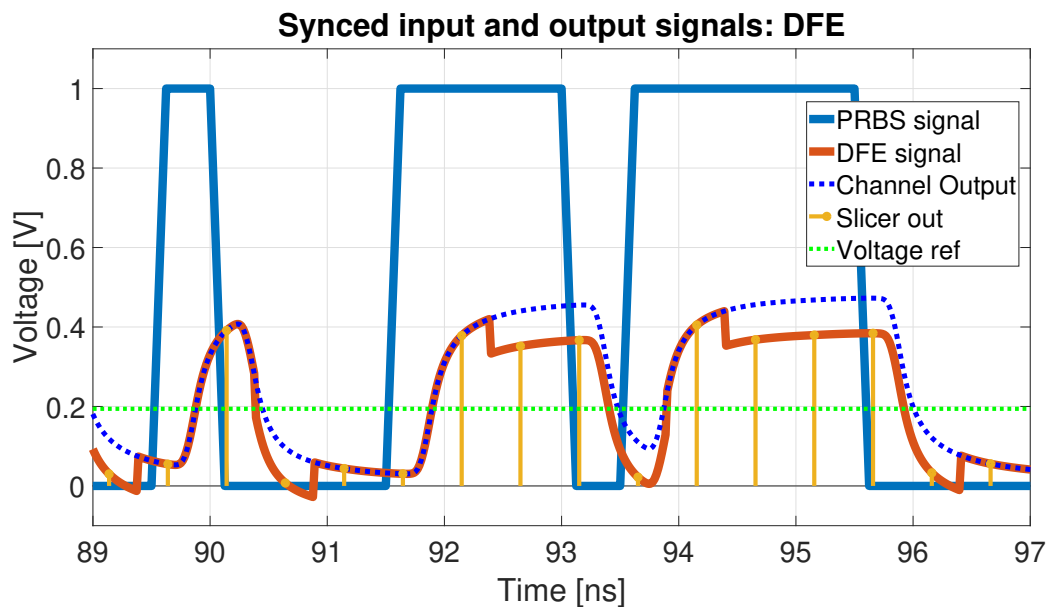


Figura 3.22: Señal típica de un ecualizador DFE.

Es común en la literatura [27] encontrar la explicación que el DFE cambia de manera adaptativa el nivel de referencia del *slicer*. Aunque esto es parcialmente cierto, en realidad lo que cambia es la forma de la señal de entrada al *slicer*. El filtro aplica un *offset* proporcional al valor de cada coeficiente multiplicado por su correspondiente bit recobrado (1 o 0). Este efecto se hace notorio en las transiciones $1 \rightarrow 0$ o $1 \rightarrow 1$, en donde el bit anterior es un 1, por lo que se aplica el *offset* negativo correspondiente. El efecto neto del ecualizador es “bajar” la señal más rápidamente cuando uno o más bits previos fueron 1 según (2.32), como se observa en la Figura 3.22.

En la Figura 3.23 se observa el diagrama de ojo típico para una ecualización con DFE, en donde es común ver una caída vertical abrupta aproximadamente al 25% y 75% del eje temporal, que justamente coinciden con los momentos en que el o los bits anteriores fueron 1 y se aplicó el nivel de *offset* negativo para ayudar a minimizar la interferencia intersímbolo.

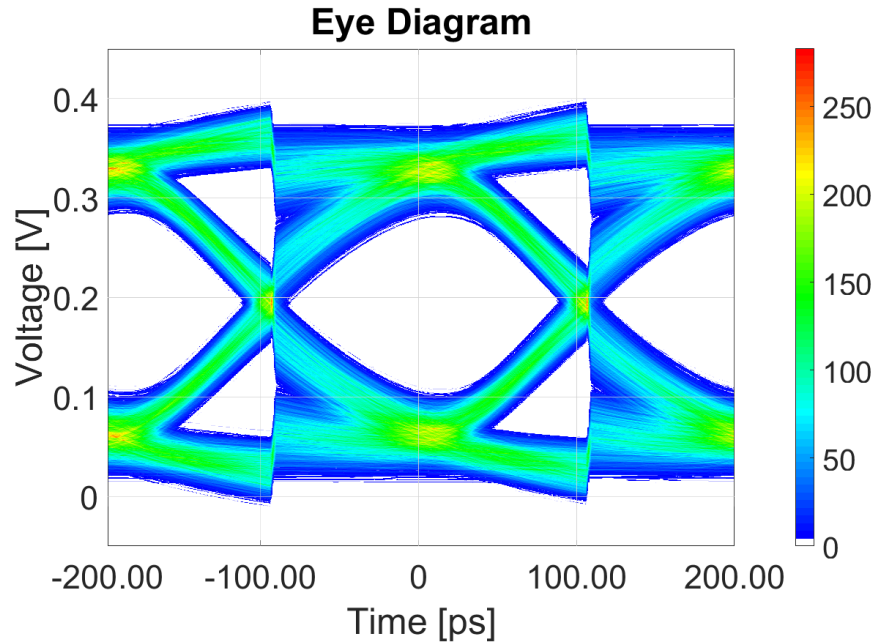


Figura 3.23: Diagrama de ojo para una transmisión con ecualizador DFE.

La adaptación de los coeficientes del DFE se realizan mediante la aplicación del algoritmo LMS, según (2.35). Para la señal de referencia de (2.34) se utiliza la siguiente expresión:

$$d(n) = y_k - 2 \cdot b_k \cdot v_{ref}, \quad (3.21)$$

la cual es la muestra del *slicer* (y_k) menos el bit decodificado (b_k) por dos veces la tensión de referencia (v_{ref}). Esto se debe a que la señal de referencia debería ser una señal con los tiempos de bajada y subida de la señal original del transmisor, pero con una amplitud dada por las condiciones del canal, la cual justamente se obtiene de $2 \cdot b_k \cdot v_{ref}$. Además, la tensión de referencia se calcula de manera adaptativa al llevar un historial del valor máximo obtenido en el receptor para cada símbolo, multiplicado por un porcentaje que

puede encontrarse entre el 40% y 50%. De esta manera, la tensión de referencia puede rondar por la mitad de la tensión máxima obtenida en el receptor.

Durante la adaptación de los coeficientes no se guarda la señal de salida para conformar el diagrama de ojo, debido a que las transiciones iniciales no serán las más óptimas y el diagrama se verá ensuciado por este transitorio. La secuencia de entrenamiento puede ser una señal definida para tal efecto o bien puede ser la misma señal del transmisor. Cabe mencionar además que debe existir un compromiso entre el valor de μ y la cantidad de bits en la etapa de entrenamiento, esto para poder permitir que los coeficientes converjan apropiadamente. Una vez concluida esta etapa, se procede a calcular la señal de salida con los coeficientes obtenidos en la adaptación previa.

3.4 Arquitectura de la implementación

Las operaciones descritas anteriormente fueron encapsuladas a nivel de código en un solo bloque, el cual se observa en la Figura 3.24, del cual se manifiesta la relación entre las señales de entrada y salida. La modularización del código permite un fácil ajuste de los parámetros de simulación, con lo que se pueden realizar pruebas sistemáticas.

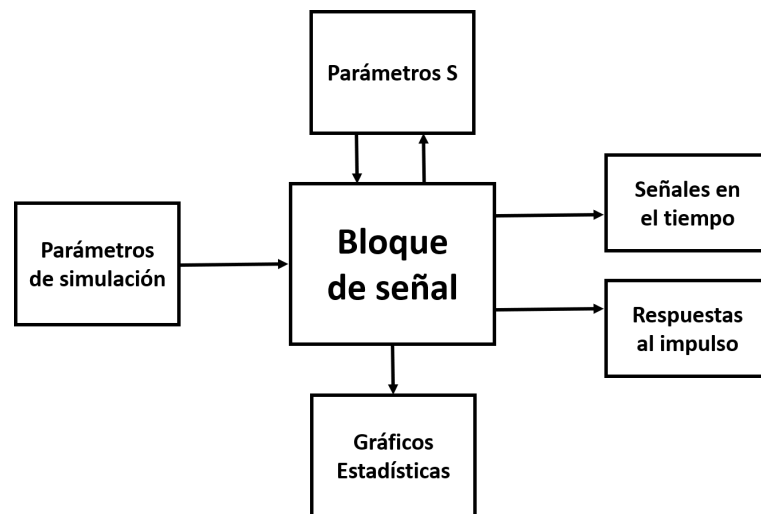


Figura 3.24: Diagrama de bloques de módulo de procesamiento de parámetros S.

Primeramente a nivel de entradas, el bloque recibe una estructura con los datos de ajuste de simulación, los cuales incluyen parámetros de la señal de entrada, ya sea pulso digital, escalón o secuencia de bits, etc, así como los de los ecualizadores a utilizar. El bloque recibe además los vectores de parámetros S leídos previamente, a decir un vector con las frecuencias y otro con los valores complejos, y los puertos (i, j) que se desean observar y procesar.

El bloque devuelve como instancias de salida a diversas señales. Primeramente se tiene el mismo bloque de parámetros S después del procesamiento de los datos (remuestreo y

frecuencia DC). Se obtiene además señales en el tiempo, como por ejemplo señal de entrada (Tx) y salida (Rx) así como algunas señales intermedias de los bloques de ecualización. Como parte de cada una de estas señales, se incluye un vector de tiempo y otro de valores de la señal respectiva, así como la granularidad temporal de la señal. Por otro lado, se obtienen las respuestas al impulso tanto de la salida del canal como de algunos ecualizadores. Finalmente, se generan los diversos gráficos de la simulación como por ejemplo, función de transferencia, respuesta al impulso, señales en el tiempo, digramas de ojo, entre otras.

Capítulo 4

Resultados de simulación

En esta sección se muestran los resultados de los bloques expuestos anteriormente. Para ello se utilizan dos fuentes de comparación, a decir el software comercial ADS y casos encontrados en la literatura.

4.1 Pruebas unitarias del generador de señales

Las funciones del generador de señales así como la respuesta del sistema por medio de la convolución con la respuesta al impulso fueron puestos a prueba con la ayuda de ADS. Se generaron las señales mencionadas anteriormente con iguales parámetros y se utilizó como línea de transmisión un *microstrip* de 36 pulgadas de largo y 6,5 mils de ancho, con dos terminaciones de $50\ \Omega$ en serie y paralelo, como se ilustra de una manera general en la Figura 4.1, para diversas fuentes de voltaje que se exponen a continuación.

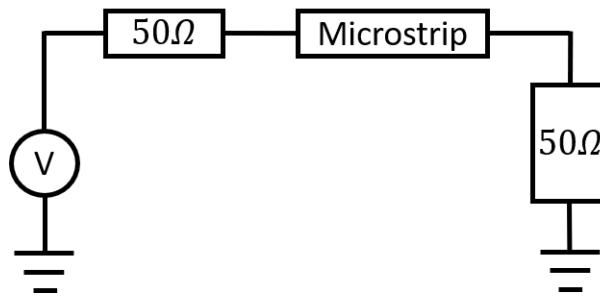


Figura 4.1: Circuito de prueba con línea de microstrip para diversas fuentes de voltaje.

Para las pruebas realizadas se utilizó un archivo de parámetros S generados en ADS mediante el modelado de la línea de transmisión mencionada anteriormente, de donde se obtuvo la respuesta al impulso del canal, como se observa en la Figura 3.12. La respuesta al impulso muestra un máximo alrededor de 5215 ps, lo que indica que este es el valor de retardo aproximado en la línea. Cabe mencionar que en algunas pruebas realizadas a mayor frecuencia, los valores de las señales resultantes divergían en un rango menor al

10% de las pruebas obtenidas en ADS. Como posible causa de este efecto, se conjetura que la razón se debe a que ADS maneja la convolución bit por bit, a diferencia de la implementación propuesta que utiliza la secuencia completa de PRBS.

4.1.1 Pulso digital

Para verificar la igualdad de las señales de pulso digital para el sistema diseñado y el circuito en ADS se utilizaron los parámetros de la Tabla 4.1. Las señales de entrada y salida para ambos sistemas se observa en la Figura 4.2. Es notable que el pulso a la salida del canal comienza alrededor de los 10 ns, lo cual sumado a los 5 ns del retardo, se confirma el retardo del canal antes mencionado de 5,2 ns.

Tabla 4.1: Parámetros de señal de pulso digital.

Parámetro	UI	t_{rise}	t_{width}	t_{fall}	t_{delay}	$t_{transient}$	v_{low}	v_{high}
Valor	5,00 ns	1,25 ns	2,50 ns	1,25 ns	5,00 ns	20,00 ns	0 V	1 V

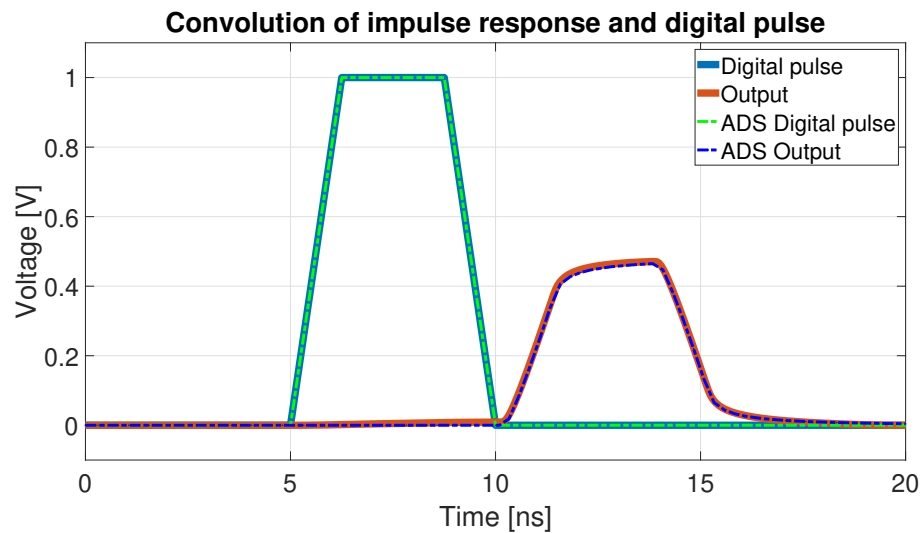


Figura 4.2: Respuesta de una señal de pulso digital en una línea de *microstrip*.

4.1.2 Escalón digital

Para verificar la igualdad de las señales de escalón para el sistema diseñado y el circuito en ADS se utilizaron los parámetros de la Tabla 4.2. Las señales de entrada y salida para ambos sistemas se observa en la Figura 4.3.

Tabla 4.2: Parámetros de señal de escalón.

Parámetro	t_{rise}	t_{delay}	$t_{transient}$	v_{low}	v_{high}
Valor	1,25 ns	5,00 ns	20,00 ns	0 V	1 V

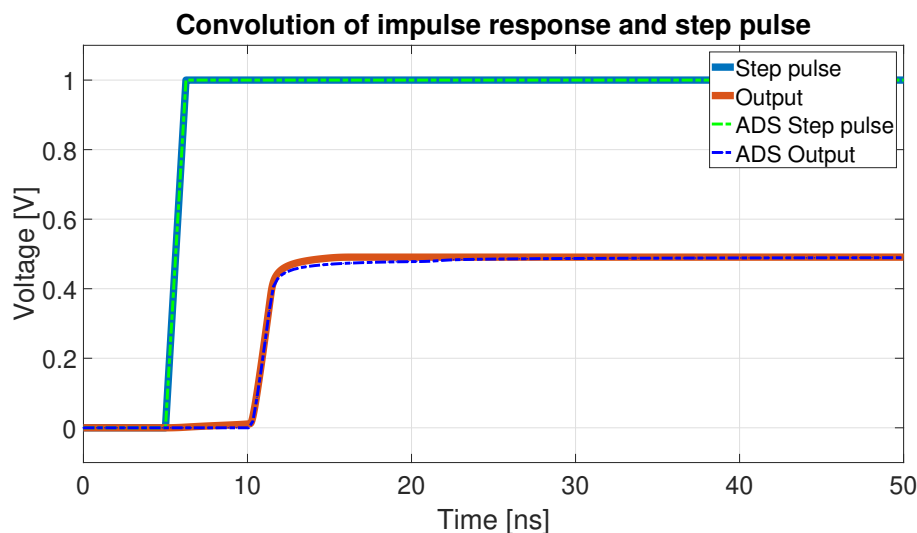


Figura 4.3: Respuesta de una señal de escalón en una línea de *microstrip*.

4.1.3 Secuencia de bits

Para verificar la igualdad de las señales de secuencia de bits para el sistema diseñado y el circuito en ADS se utilizaron los parámetros de la Tabla 4.3. Las señales de entrada y salida para ambos sistemas se observa en la Figura 4.4.

Tabla 4.3: Parámetros de secuencia de bits.

Parámetro	Tasa de bits [Mbps]	t_{rise} [ns]	t_{width} [ns]	t_{fall} [ns]	t_{delay} [ns]	t_{tran} [ns]	v_{low} [V]	v_{high} [V]	Secuencia
Valor	200	1,25	2,50	1,25	0,00	45,00	0	1	'101100101'

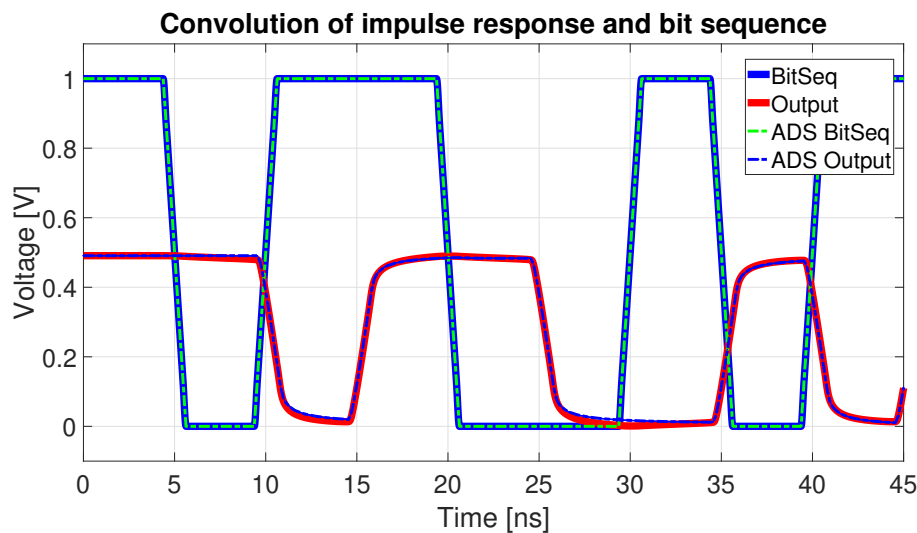


Figura 4.4: Respuesta de una secuencia de bits en una línea de *microstrip*.

4.1.4 Secuencia pseudoaleatoria

Para verificar la igualdad de las señales de secuencia de bits pseudoaleatorios (PRBS) para el sistema diseñado y el circuito en ADS se utilizaron los parámetros de la Tabla 4.4. Las señales de entrada y salida para ambos sistemas se observa en la Figura 4.5.

Tabla 4.4: Parámetros de secuencia pseudoaleatoria de bits.

Parámetro	Tasa de bits [Gbps]	t_{rise} [ps]	t_{width} [ps]	t_{fall} [ps]	t_{delay} [ns]	t_{tran} [ns]	v_{low} [V]	v_{high} [V]	Longitud
Valor	1	250	500	250	0,00	50,00	0	1	7

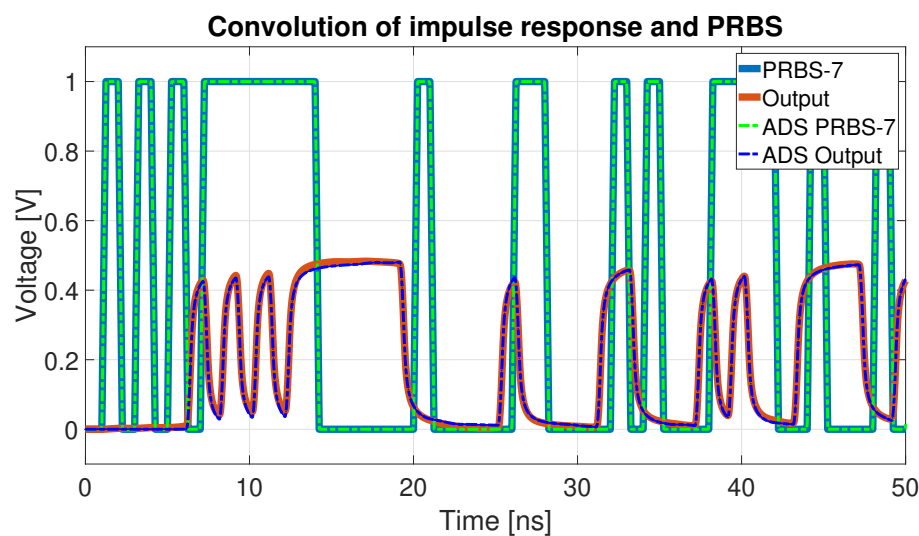


Figura 4.5: Respuesta de un PRBS-7 en una línea de *microstrip*.

4.1.5 Ruido blanco gaussiano

Se verificó la salida del sistema al tener de entrada una señal de ruido blanco gaussiano con varianza de $500 \mu V^2$, desviación estándar de 22,36 mV y *offset* de 0 V, como se muestra en la Figura 4.6. Se observa que la señal de salida sigue una misma distribución de ruido blanco gaussiano, con la atenuación y retardo que aporta el canal.

4.2 Prueba de diafonía

Al referirse a la Figura 2.6 y aprovechando la modularidad del código desarrollado, fue posible realizar una prueba de diafonía en un sistema de cuatro puertos. Se tomará que la traza superior es el canal principal mientras que la traza inferior es un agresor de la línea principal, lo cual corresponde para esta medición a los parámetros S_{31} y S_{42}

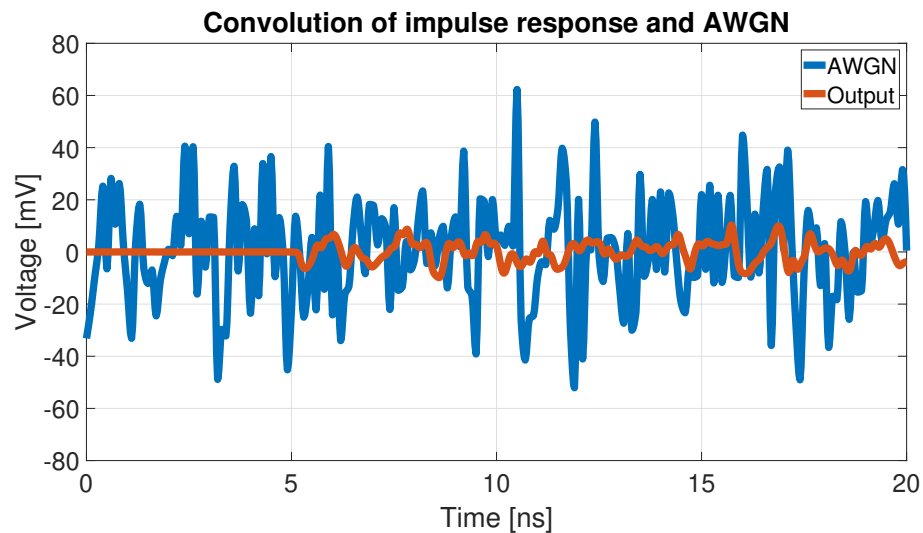


Figura 4.6: Respuesta de un canal ante ruido blanco gaussiano con $\sigma = 22,36$ mV.

respectivamente. Como fuente de entrada ambas líneas tienen una señal de PRBS-8 y 100 bits de prueba. En la Figura 4.7 se observa la función de transferencia del canal y su respuesta al impulso.

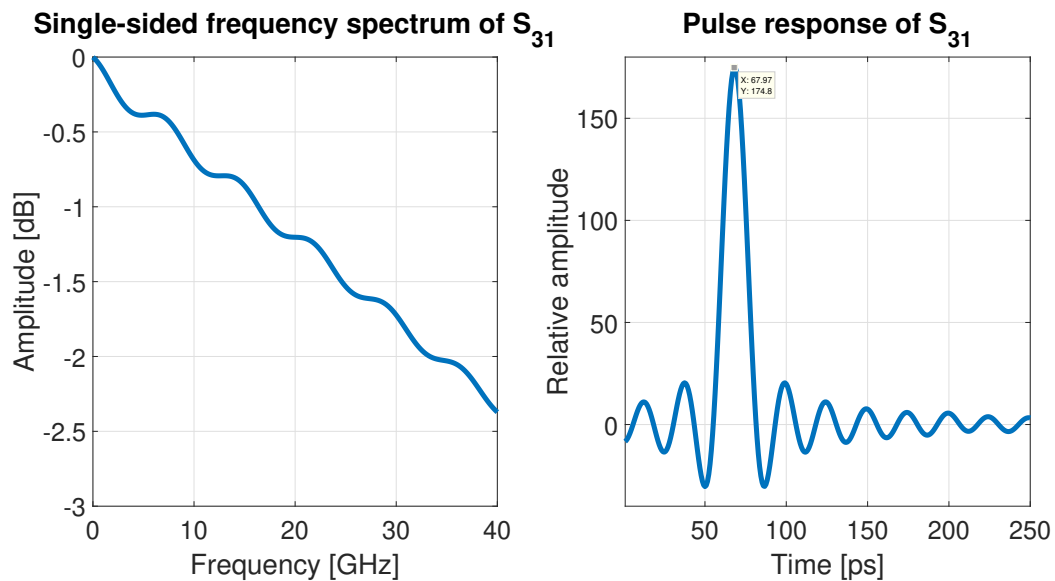


Figura 4.7: Pérdida de inserción del canal principal y respuesta al impulso.

En la Figura 4.8 se observa la función de transferencia del canal agresor y su respuesta al impulso. En comparación con la amplitud relativa de ambas respuestas, la del canal principal y agresor son 175 y 2,2 aproximadamente, de manera respectiva. El retardo base a su vez es 67,97 y 60,94 ps.

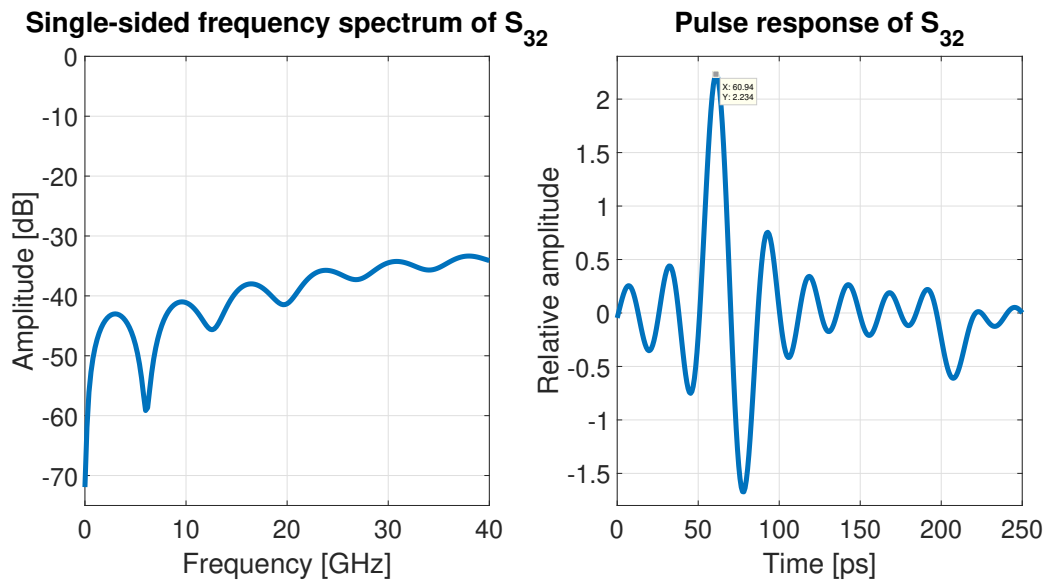


Figura 4.8: Diafonía lejana del canal agresor y su respuesta al impulso.

De ambas figuras se puede notar el comportamiento de una función de transferencia dependiendo de su naturaleza. Para la Figura 4.7 la amplitud es 0 dB a 0 Hz y comienza a caer hasta algún valor alto de frecuencia, en este caso -2,5 dB a 40 GHz, lo que corresponde a la función de transferencia de un canal principal. Para la Figura 4.8 la amplitud inicial a 0 Hz es -70 dB y comienza a aumentar hacia las altas frecuencias, lo que corresponde a una señal de diafonía lejana.

En la Figura 4.9 se observa el diagrama de ojo del canal sin diafonía.

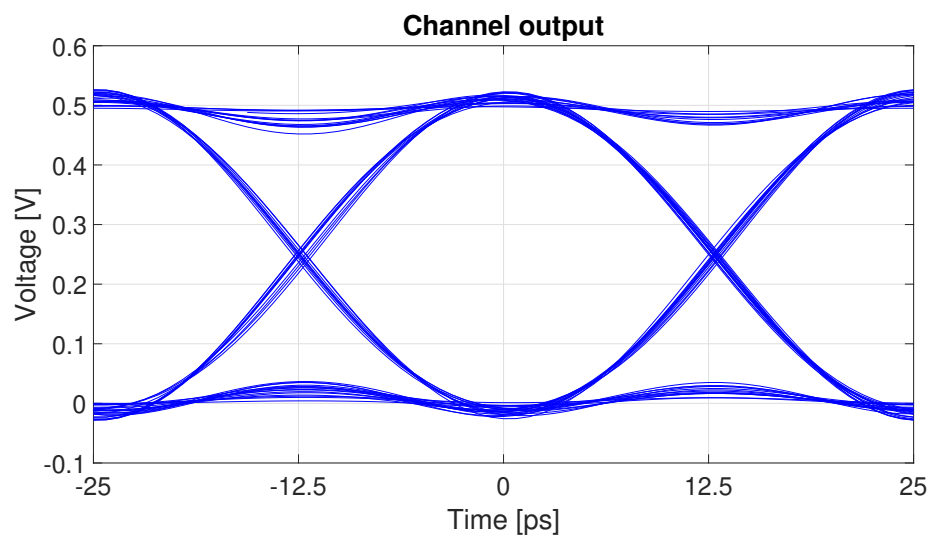


Figura 4.9: Diagrama de ojo de la salida sin diafonía.

Seguidamente, es posible controlar la ganancia de la señal en el canal agresor para simular un grado mayor o menor de acople de la misma sobre la línea principal, con lo que se puede observar la afectación de la señal principal mediante el diagrama de ojo. Para esta prueba se utilizó una ganancia de 1 y otra de 10 sobre la señal agresora.

En las Figuras 4.10a y 4.10b se muestra la salida del sistema ante el agresor con ganancia 1 y 10, respectivamente. De aquí es evidente que al aumentar la señal agresora (en rojo), la señal principal sufre más variación en los niveles máximos y mínimos de voltaje, lo cual resultará en mayor ruido de voltaje en el diagrama de ojo correspondiente.

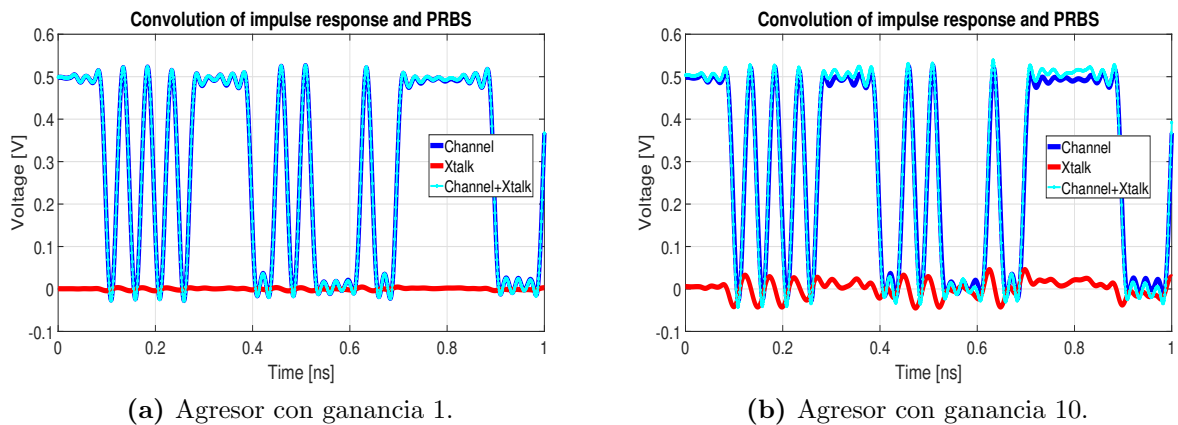


Figura 4.10: Comparación de agregar diafonía a un sistema.

En las Figuras 4.11a y 4.11b se muestra el diagrama de ojo para las señales agresoras con ganancia de 1 y 10 respectivamente, de donde se puede observar la amplitud de voltaje de ambas; para la primera se tiene una excursión completa de voltaje de 10 mV y para la segunda 100 mV, aproximadamente.

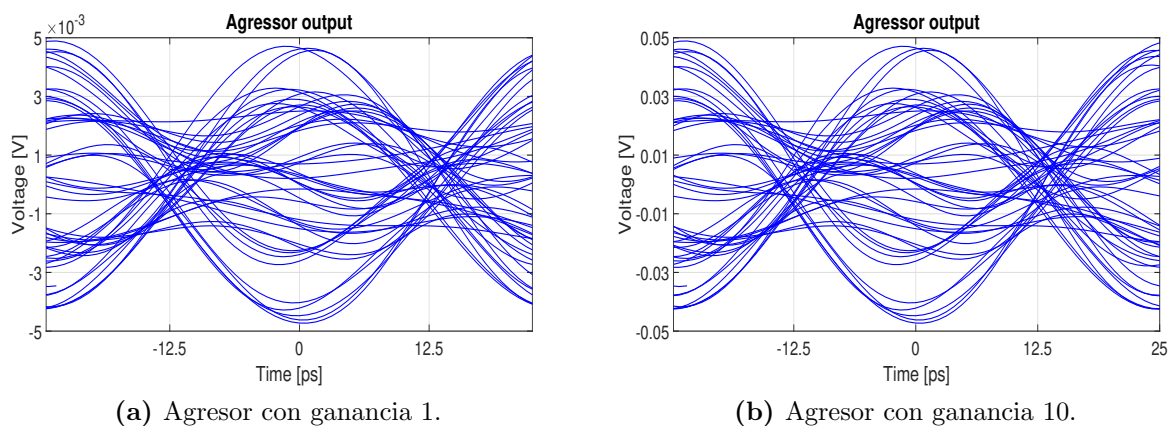


Figura 4.11: Diagrama de ojo para señal agresora con ganancia 1 y 10.

En las Figuras 4.12a y 4.12b se muestra el efecto del *crostalk* en la señal medida en el puerto 3. Se observa para la segunda con ganancia de 10 que el ruido de voltaje aumenta.

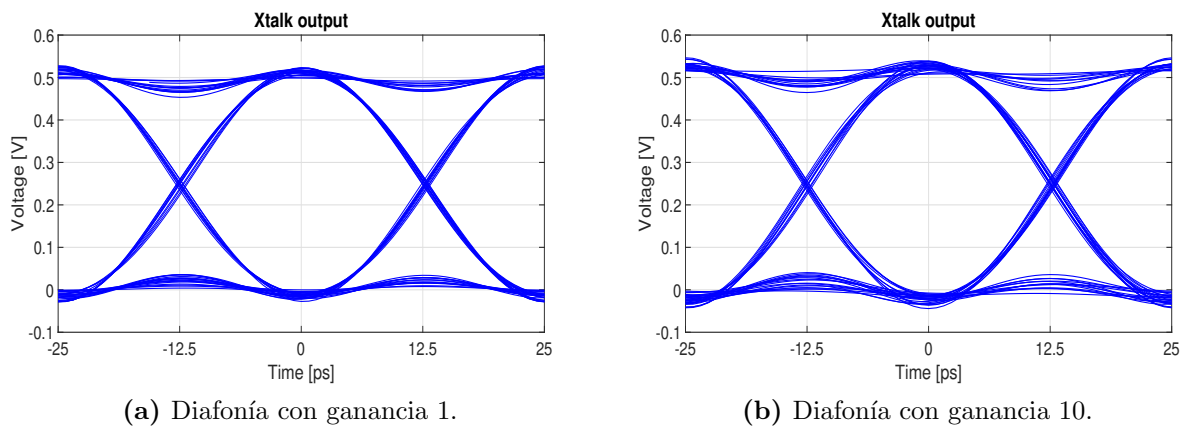


Figura 4.12: Diagrama de ojo para señal de diafonía con ganancia 1 y 10.

4.3 Casos de la literatura

Mediante las herramientas desarrolladas se analizaron los canales reportados en [44], los cuales fueron generados a partir del enfoque semianalítico presentado en [45, 46]. En primera instancia se reproduce la Figura 4.b de [44] mediante una señal de PRBS, con la cual se demuestra cómo se reducen las resonancias en los *stubs* de un *backplane*, al mover las trazas a cavidades más profundas, como se muestra a continuación:

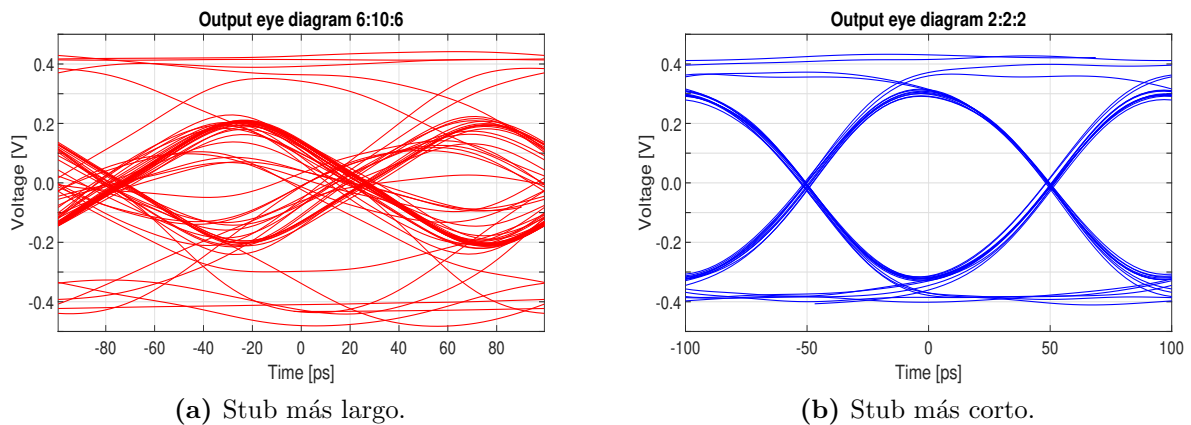


Figura 4.13: Impacto del tamaño del stub en el enlace.

Seguidamente se analiza el impacto en la variación de la relación de vías de señal y tierra, para los casos 1:1, 1:2 y 1:4, en donde el primer número indica la cantidad de vías de señal y el último indica la cantidad de vías a tierra que rodean a la primera. Las vías de tierra ayudan a mejorar el camino de retorno de señales al reducir la cantidad de energía que se acopla en estas cavidades [44].

En la Figura 4.14 se observa la prueba realizada a estas tres configuraciones de vías a tierra, mediante una señal PRBS-8 de 10 Gbps y tiempo de subida de 25 ps, la cual es conectada al puerto 4-1 que representa el canal principal. La misma señal es conectada al

puerto 5-1 el cual representa el FEXT. En la columna izquierda se muestra la salida del canal con y sin diafonía, mientras que la columna derecha representa el diagrama de ojo de salida para cada prueba. Se observa como la señal de diafonía se reduce conforme se aumenta el número de vías a tierra de 1 a 4, así como el diagrama de ojo va mejorando.

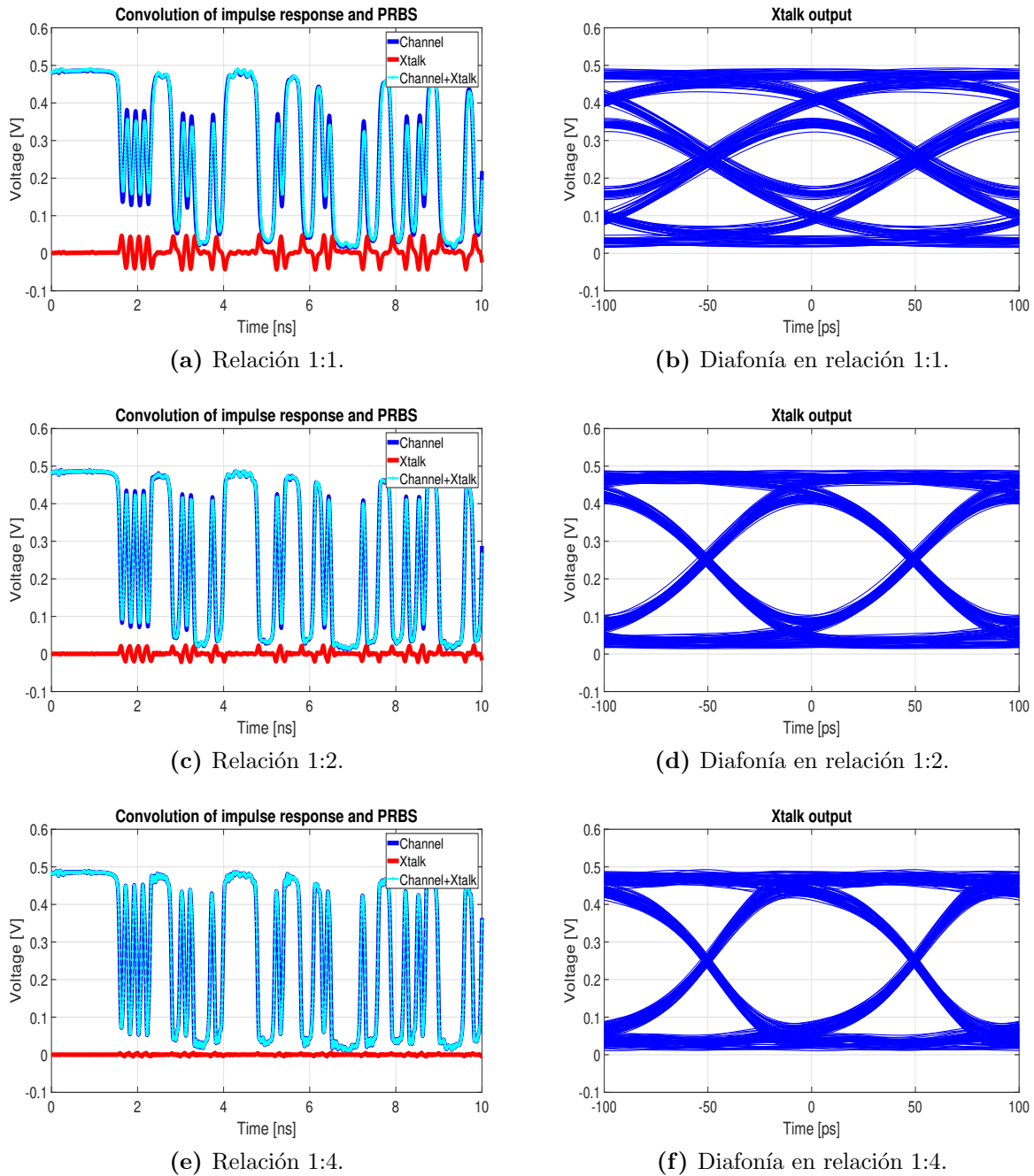


Figura 4.14: Impacto de la cantidad de vías a tierra alrededor de una vía de señal.

4.4 Pruebas unitarias en ecualizadores

A continuación se mostrarán los resultados de pruebas unitarias realizadas en los ecualizadores, en donde se comparan los resultados de la implementación desarrollada contra la misma simulación realizada en el software ADS.

4.4.1 Pruebas con FFE

Primeramente se pondrá a prueba el ecualizador FFE con un canal que posee una sola vía a tierra, cuya función de transferencia se observa en la Figura 4.15. Se utilizarán los coeficientes generados por el algoritmo MMSE de la implementación y los mismos serán utilizados en ADS para generar las mismas pruebas. En la Tabla 4.5 se observan los coeficientes utilizados para el FFE, en las tasas de transmisión de 5, 10, 15 y 20 Gbps. Es posible corroborar el cumplimiento de (2.27) en los vectores de coeficientes dados para cada tasa de transmisión, en donde el valor del cursor principal va disminuyendo y el pre- y post-cursor aumentan en valor absoluto.

Tabla 4.5: Coeficientes utilizados para el FFE con canal con una vía tierra.

Data rate [Gbps]	Coeficientes [$\times 10^{-3}$]		
	c_{-1}	c_0	c_1
5	-16,36	965,86	-17,78
10	-61,10	856,92	-81,97
15	-128,97	717,92	-153,11
20	-186,36	611,28	-202,36

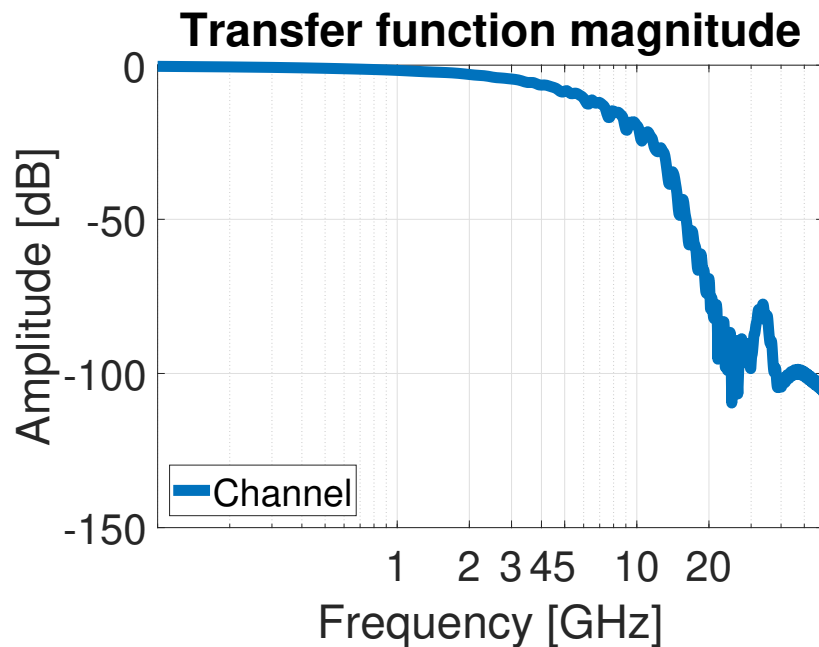


Figura 4.15: Función de transferencia de canal con una vía a tierra.

En la Tabla 4.6 se observan los valores medidos de nivel de cruce intermedio (*cross level*) y altura de ojo (*eye height*) para transmisiones de 5 a 20 Gbps con el canal mencionado, con FFE activado y desactivado, así como los porcentajes de error para comparar la implementación. Se observa que los porcentajes de error para el nivel de cruce son menores al 6% y para la altura de ojo el porcentaje de error crece a alrededor de 15% cuando aumenta la tasa de transmisión, lo cual se puede deber a algunas transiciones que son menos probables pero que igual afectan en el cálculo de la altura del ojo.

Tabla 4.6: Estadísticas de diagramas de ojo para pruebas de canal con una vía a tierra y FFE.

FFE	Data Rate [Gbps]	Cross Level [mV]			Eye Height [mV]			Figuras
		SPI	ADS	Error	SPI	ADS	Error	
OFF	5	250,25	242,35	3,26%	341,13	339,00	0,63%	A.1b-A.1c
OFF	10	249,51	242,20	3,02%	179,72	177,00	1,54%	4.16a-4.16b
OFF	15	252,32	241,92	4,30%	48,47	42,00	15,40%	A.2b-A.2c
OFF	20	249,23	244,00	2,14%	0,83	-	-	A.3b-A.3c
ON	5	233,23	225,77	3,30%	344,13	342,00	0,62%	A.1d-A.1e
ON	10	179,14	172,66	3,75%	206,25	202,00	2,10%	4.17a-4.17b
ON	15	111,31	104,92	6,09%	102,44	100,00	2,44%	A.2d-A.2e
ON	20	55,51	53,41	3,93%	41,76	35,00	19,32%	A.3d-A.3e

En las Figuras A.1, 4.16, 4.17, A.2 y A.3 se muestran las comparaciones de diagrama de ojo de la implementación con ADS antes y después de la aplicación del FFE para un canal con una vía a tierra, en las tasas de 5, 10, 15 y 20 Gbps, respectivamente. En general, para las pruebas realizadas, la forma de los diagramas de ojo son similares en la implementación y en ADS.

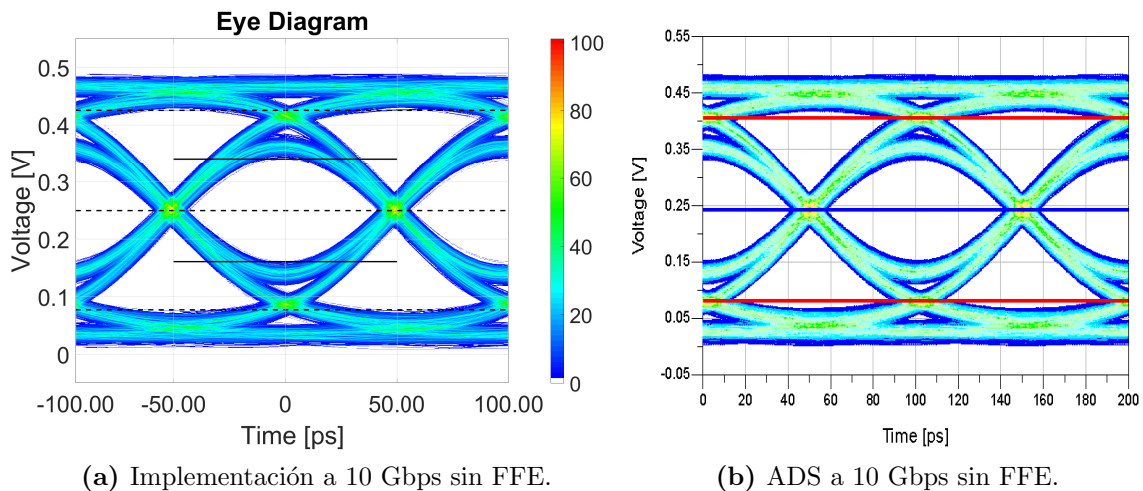


Figura 4.16: Comparación de diagramas de ojo entre implementación y ADS para transmisión a 10 Gbps sin FFE en canal con una vía a tierra.

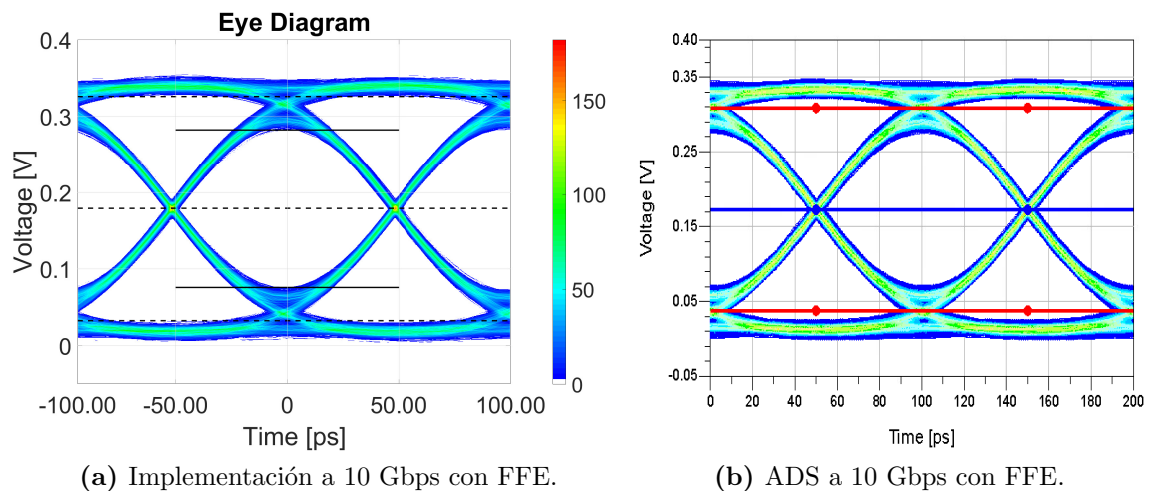


Figura 4.17: Comparación de diagramas de ojo entre implementación y ADS para transmisión a 10 Gbps con FFE en canal con una vía a tierra.

4.4.2 Pruebas con CTLE

Para las pruebas de CTLE se utilizó el canal de *microstrip* de la Figura 3.12, en las tasas de transmisión de 1, 2, 4, 6, 8, 10 y 12 Gbps. Los resultados se observan en la Tabla 4.7.

Tabla 4.7: Estadísticas de diagramas de ojo para pruebas de canal de *microstrip* con CTLE.

CTLE	Data Rate [Gbps]	Cross Level [mV]			Eye Height [mV]			Figuras
		SPI	ADS	Error	SPI	ADS	Error	
OFF	1	245,39	245,19	0,08%	360,12	367,00	1,87%	A.4b-A.4c
OFF	2	245,59	245,63	0,02%	272,15	272,00	0,06%	4.18a-4.18b
OFF	4	249,39	245,73	1,49%	134,19	131,00	2,44%	A.5b-A.5c
OFF	6	251,65	245,79	2,38%	34,70	72,00	51,80%	A.6b-A.6c
OFF	8	254,94	246,08	3,60%	4,72	2,00	135,87%	A.7b-A.7c
OFF	10	257,40	246,00	4,63%	0,79	-	-	A.8b-A.8c
OFF	12	260,15	246,85	5,39%	0,59	-	-	A.9b-A.9c
ON	1	245,20	245,62	0,17%	414,36	410,00	1,06%	A.4b-A.4c
ON	2	245,39	245,92	0,21%	391,68	389,00	0,69%	4.19a-4.19b
ON	4	244,50	245,61	0,45%	391,24	388,00	0,83%	A.5d-A.5e
ON	6	248,28	245,41	1,17%	304,62	376,00	18,98%	A.6d-A.6e
ON	8	247,25	245,34	0,78%	185,33	269,00	31,10%	A.7d-A.7e
ON	10	245,32	245,36	0,01%	98,68	179,00	44,87%	A.8d-A.8e
ON	12	245,42	245,57	0,06%	32,09	107,00	70,00%	A.9d-A.9e

En la Figura 4.18 se observa la transmisión sin CTLE a 2 Gbps y en la Figura 4.19 la transmisión con CTLE a 2 Gbps. Cabe mencionar que esta prueba se realizó en ADS mediante el circuito con línea de *microstrip* mientras que en la implementación se

utilizaron los parámetros S generados con ese mismo circuito. En la Tabla 4.7 se puede observar que a partir de 6 Gbps con CTLE, la altura del ojo posee un error significativo con respecto a la simulación en ADS. Este comportamiento se observó de igual manera en ADS al utilizar los parámetros S del circuito. Se presume que esta diferencia puede surgir debido a algún *jitter* presente en los parámetros S de la línea que no se ven directamente en la simulación de circuito realizada en ADS. Al analizar la respuesta al impulso del canal con CTLE en todas las tasas de transmisión utilizada, se observa que hasta la de 4 Gbps es que el impulso está encerrado dentro de un UI, y a partir de 6 Gbps se observa que existe ISI en el canal.

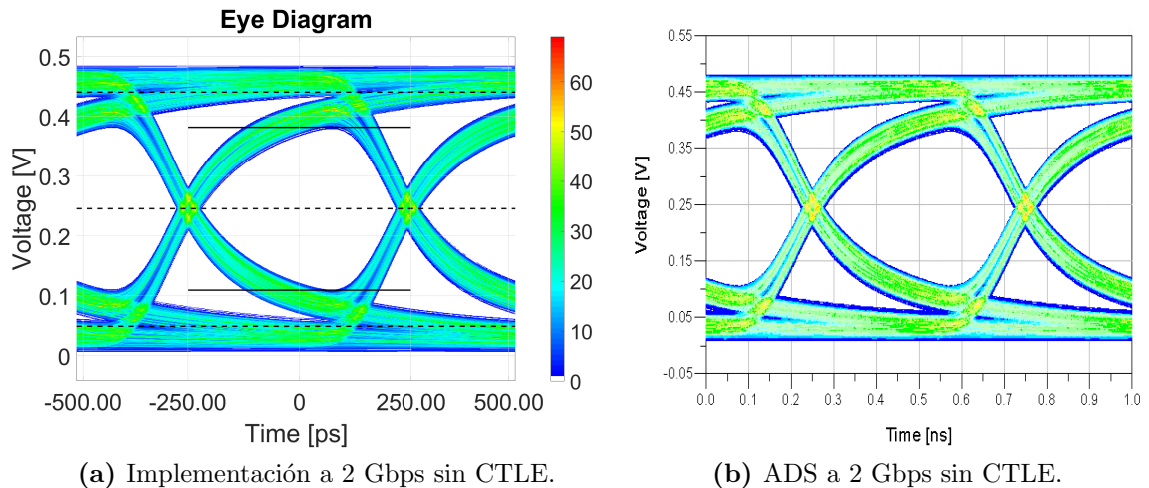


Figura 4.18: Comparación de diagramas de ojo entre implementación y ADS para transmisión a 2 Gbps sin CTLE en canal de *microstrip*.

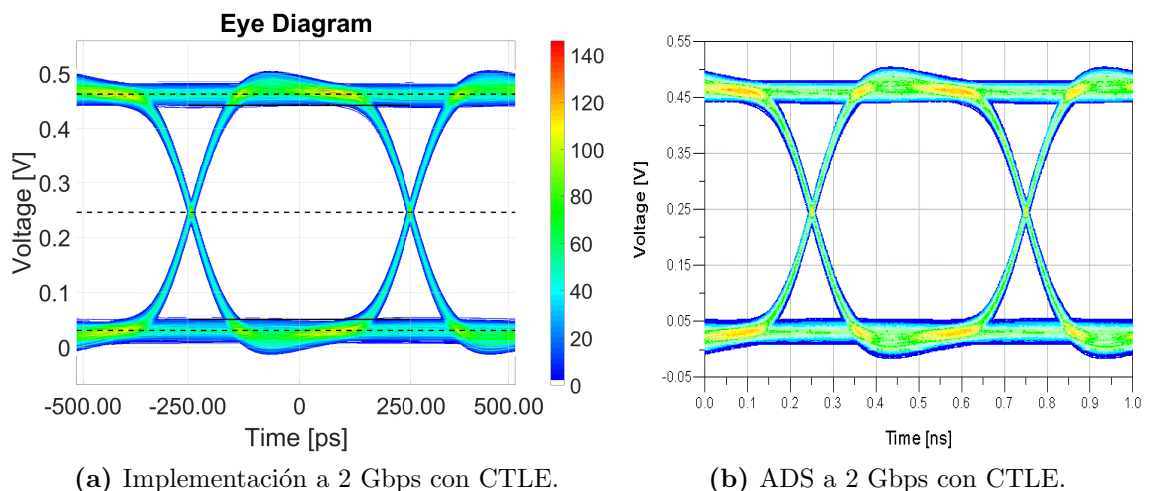


Figura 4.19: Comparación de diagramas de ojo entre implementación y ADS para transmisión a 2 Gbps con CTLE en canal de *microstrip*.

4.4.3 Pruebas con DFE

Para las pruebas con DFE se repite lo realizado para el CTLE. En la Tabla 4.8 se observan los coeficientes obtenidos mediante la adaptación con el algoritmo LMS, para la implementación y los obtenidos con el software ADS. Cabe notar que en la implementación no fue posible converger valores de coeficientes para las frecuencias de 10 y 12 Gbps.

Tabla 4.8: Valores de coeficientes de DFE obtenidos por medio de algoritmo LMS para canal de *microstrip*.

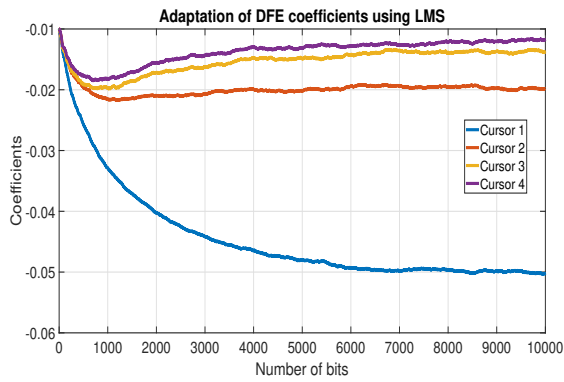
Data rate [Gbps]	SPI Cursors [$\times 10^{-3}$]				ADS Cursors [$\times 10^{-3}$]			
	1	2	3	4	1	2	3	4
1	-50,22	-19,85	-13,81	-11,75	-39,91	-11,58	-5,77	-3,49
2	-64,97	-20,61	-10,71	-6,90	-61,16	-18,34	-9,13	-5,56
4	-72,42	-23,51	-10,10	-4,13	-78,31	-28,13	-14,62	-9,07
6	-76,66	-25,87	-10,12	-2,90	-88,31	-36,37	-19,74	-12,49
8	-75,51	-28,37	-10,97	-2,77	-90,19	-41,48	-23,41	-15,07
10	-	-	-	-	-90,42	-45,49	-26,63	-17,43
12	-	-	-	-	-88,34	-48,03	-29,17	-19,44

En la Tabla 4.9 se observa el porcentaje de error de los coeficientes obtenidos con respecto a los de ADS. En este caso las pruebas realizadas a 2 y 4 Gbps arrojaron el menor error. Aunque el error es alto en la mayoría de los coeficientes, es necesario poner en perspectiva la magnitud de estos coeficientes, cuyos valores están dados en mV. Por ejemplo, para el cursor 4 a 1 Gbps la diferencia relativa es del 236,68%, pero la diferencia de magnitud es tan solo de 5,98 mV, que si se compara con la excursión de la señal de alrededor de 450 mV, la diferencia es despreciable.

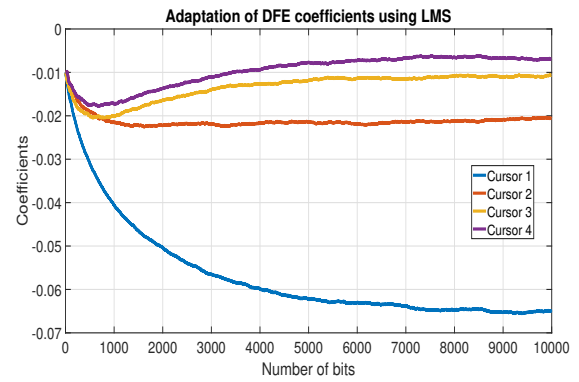
Tabla 4.9: Porcentajes de error de cursores DFE obtenidos por medio del algoritmo LMS.

Data rate [Gbps]	Cursor Error			
	1	2	3	4
1	25,83%	71,42%	139,34%	236,68%
2	6,23%	12,38%	17,31%	24,10%
4	-7,52%	-16,41%	-30,91%	-54,45%
6	-13,19%	-28,87%	-48,73%	-76,78%
8	-16,27%	-31,59%	-53,14%	-81,60%
10	-	-	-	-
12	-	-	-	-

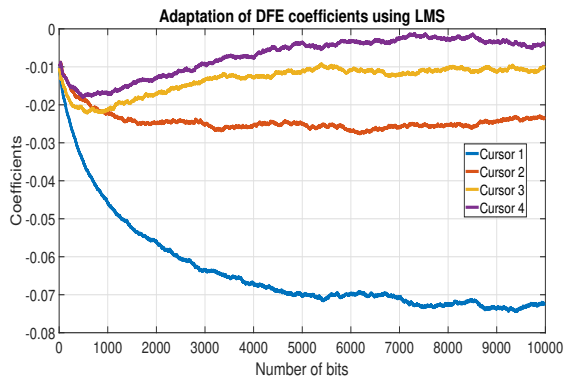
En la Figura 4.20 se muestra cómo convergen los coeficientes mediante el algoritmo *Least Mean Squares* (LMS), cuyos valores están registrados en la Tabla 4.8. Se observa que a partir de 10 Gbps los coeficientes no convergen como en las tasas menores, lo cual sucede cuando el canal está altamente degradado.



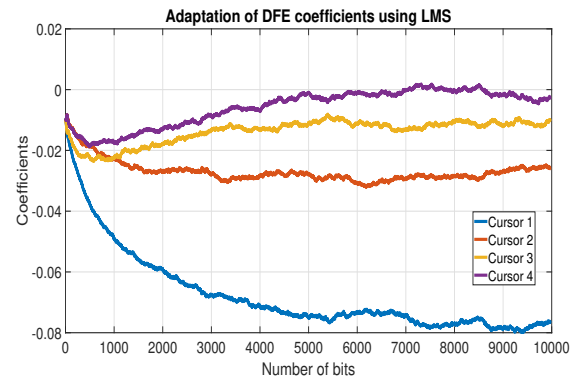
(a) 1 Gbps.



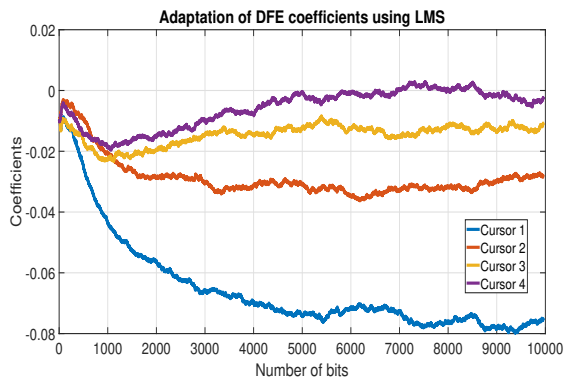
(b) 2 Gbps.



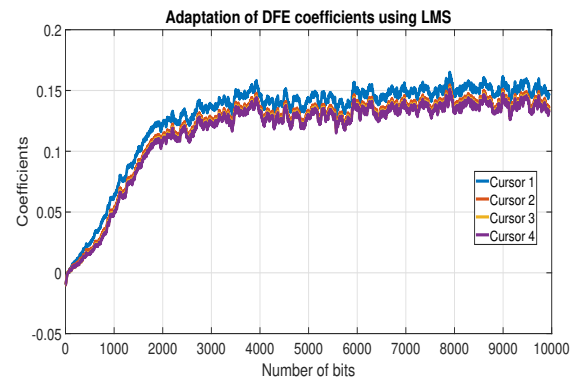
(c) 4 Gbps.



(d) 6 Gbps.



(e) 8 Gbps.



(f) 10 Gbps.

Figura 4.20: Adaptación de coeficientes de DFE mediante algoritmo LMS para diversas tasas de transmisión en canal de *microstrip*.

En la Figura 4.21 se muestra el diagrama de ojo de una transmisión con DFE con la implementación, en comparación a la obtenida con ADS. Para esta prueba se utilizaron los coeficientes de la Tabla 4.9 obtenidos mediante ADS, para poder comparar gráficamente ambas implementaciones. El resto de pruebas se muestran en las Figuras A.10 y A.11.

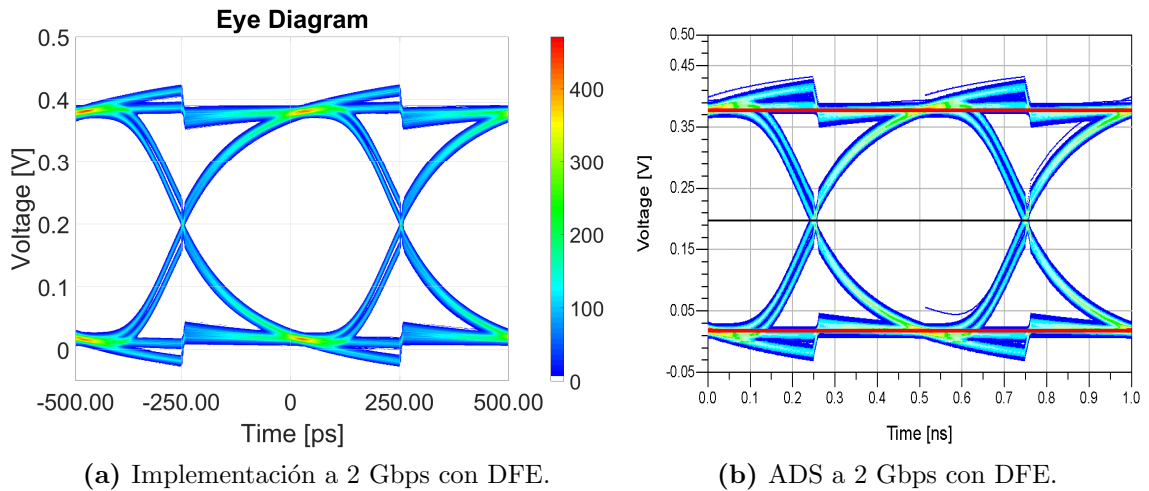


Figura 4.21: Comparación de diagramas de ojo entre implementación y ADS para transmisión a 2 Gbps con DFE en canal de *microstrip*.

En las pruebas realizadas con DFE para el canal de *microstrip* se nota el comportamiento que se apuntó en el CTLE, en el que a partir de 6 Gbps se observa un aumento del *jitter* que cierra más el ojo en comparación a los diagramas obtenidos en ADS.

4.5 Pruebas completas del sistema

Para poder realizar pruebas con todos los ecualizadores, se busca replicar los resultados realizados en [47, 48], que consiste en probar cuatro canales distintos con diferentes niveles de ecualización, cuyos detalles se presentan a continuación. En la metodología de pruebas se consideran tres tipos diferentes de ecualización: 1) FFE sin pre-cursores, 2) CTLE, y 3) DFE. Para el FFE se define el rango de 1 a 5 *taps*, seguidamente se agrega CTLE, y finalmente se incluye DFE con un número variable de *taps*, desde 1 hasta 15. Estos tres tipos de ecualización se combinan en 12 niveles distintos de manera arbitraria, cuyos detalles se muestran en la Tabla 4.10.

Aquí es posible observar que el nivel 0 representa el caso sin ecualización del todo, el nivel 5 representa el nivel dado por la Especificación PCIe3, y el nivel 15 representa el mayor nivel de ecualización, con 3 *taps* de FFE, CTLE activado y 15 *taps* de DFE. Para cada canal se realizan pruebas entre 5 y 30 Gbps, en pasos de 5 Gbps, y se determina el nivel de ecualización mínimo necesario para poder obtener una apertura de ojo de 25 mVpp. Cabe destacar que el estudio original incluye un control automático de ganancia post-ecualización para “establecer un base de comparación práctica en términos del nivel de

tensión de la señal recibida con respecto a la excursión de tensión en la señal de entrada de $-0.5 V$ a $0.5 V$ ” [47].

Tabla 4.10: Niveles de ecualización en pruebas con todos los ecualizadores [47].

Nivel de Ecualización	Número de Taps FFE	CTLE	Número de Taps DFE	Comentario
0	1	Off	0	Sin eq
1	2	Off	0	
2	3	Off	0	
3	4	Off	0	
4	5	Off	0	
5	3	On	0	Especificación PCIe3
6	3	On	1	
7	3	On	2	
8	3	On	3	
9	3	On	4	
10	3	On	5	
11	3	On	10	
12	3	On	15	Máximo esfuerzo de eq

En el trabajo original se prueban cuatro canales distintos, sin embargo para estas pruebas se realiza una aproximación de los canales 2 y 3 ahí mostrados mediante el software HFSS, como se observa en las Figuras 4.22a y 4.22b.

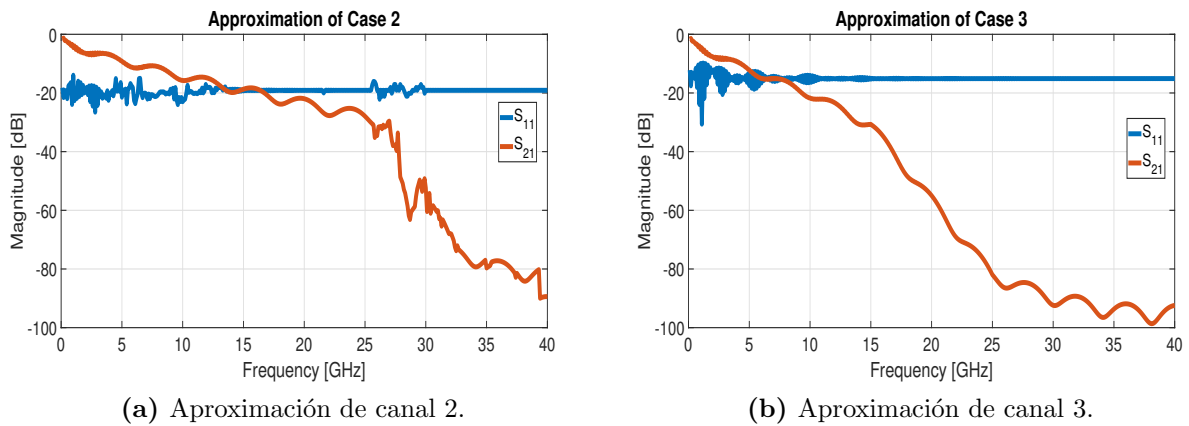


Figura 4.22: Aproximación de canales utilizados en pruebas completas de ecualización.

En [47], los *taps* del FFE son optimizados mediante el algoritmo MMSE, al igual que se realiza en este trabajo. En cuanto al DFE, no se menciona el algoritmo de adaptación utilizado pero en este trabajo se utiliza el algoritmo LMS presentado anteriormente. Para el caso del CTLE, se utiliza un filtro con respuesta fija, basado en la especificación PCIe3 [15], dada por:

$$H(s) = A_{DC} \cdot \left(1 - \frac{s}{A_{DC} \cdot \omega_{p1}}\right) \cdot \left(1 - \frac{s}{\omega_{p1}}\right)^{-1} \cdot \left(1 - \frac{s}{\omega_{p2}}\right)^{-1}, \quad (4.1)$$

en donde A_{DC} representa la ganancia DC, y ω_{p1} y ω_{p2} representan los polos del sistema, definidos por:

$$\omega_{p1} = 2\pi \frac{D}{4} \quad \text{y} \quad \omega_{p2} = 2\pi D, \quad (4.2)$$

y D representa la velocidad de transferencia del sistema (*data rate*). Además, la frecuencia del cero del sistema está dada por $\omega_{z1} = A_{DC} \cdot \omega_{p1}$. Para este diseño se encontró que el valor de A_{DC} es igual a 0,5 aunque esto no se menciona explícitamente en [47]. De esta manera, la frecuencia en la que se encuentra el pico de la magnitud corresponde a la respectiva frecuencia de Nyquist de la tasa de transmisión empleada. En la Figura 4.23 se observan las distintas funciones de transferencia del CTLE para frecuencias que van de los 5 GHz hasta los 30 GHz, que corresponden al rango de frecuencias utilizado en las pruebas realizadas.

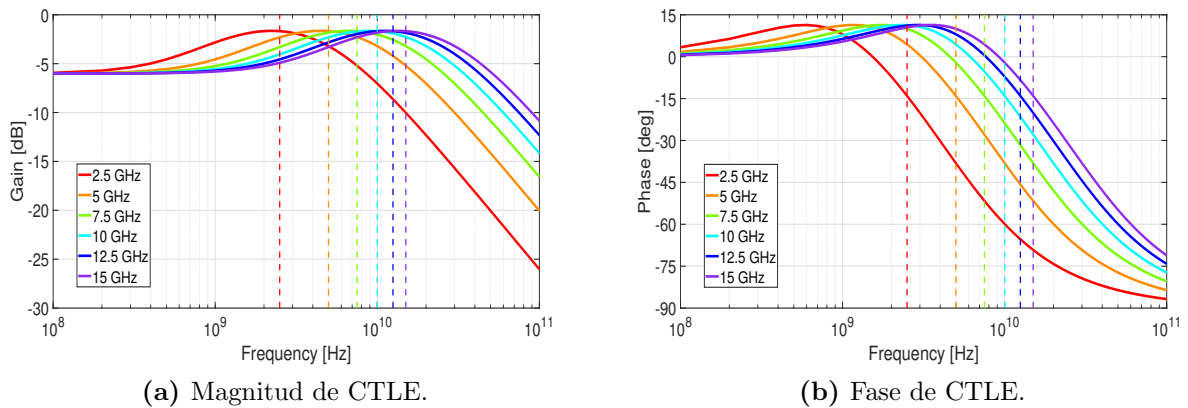


Figura 4.23: Diversas implementaciones de CTLE utilizadas en [47].

4.5.1 Pruebas realizadas en canal 2

En la Figura 19b de [47] se observa que para el canal 2 es únicamente necesario aplicar los niveles 2 (para 20 y 25 Gbps) y 4 para 30 Gbps. Es decir, se agrega FFE con 3 ó 5 *taps* respectivamente, y no es necesario el uso de CTLE y DFE. En la Tabla 4.11 se observan los resultados realizados sobre la aproximación del canal 2 de la Figura 4.22a. En comparación con la prueba realizada en [47], se observa que efectivamente la apertura de ojo por encima de 20 Gbps ya no sobrepasa los 25 mV. Sin embargo, para este canal solamente es necesario la aplicación del nivel 1 de ecualización, en el que se agregan dos *taps* de FFE.

Tabla 4.11: Aperturas de ojo para pruebas realizadas en aproximación de canal 2 con diversos niveles de ecualización y velocidades de transmisión.

Velocidad [Gbps]	Apertura de ojo [mV]	
	Nivel 0 EQ	Nivel 1 EQ
5	182,93	191,02
10	109,08	135,46
15	45,29	94,70
20	5,30	65,99
25	< 1	45,76
30	< 1	33,56

En las Figuras 4.24 y 4.25 se observan los diagramas de ojo para las diferentes velocidades de transmisión y los niveles de ecualización 0 y 1, respectivamente. Aquí queda más claro que para la aproximación del canal 2 de [47] fue necesario únicamente aplicar el nivel de ecualización 1 para poder obtener una apertura de ojo mayor a 25 mVpp. Los valores de estas alturas puede leerse en la Tabla 4.11.

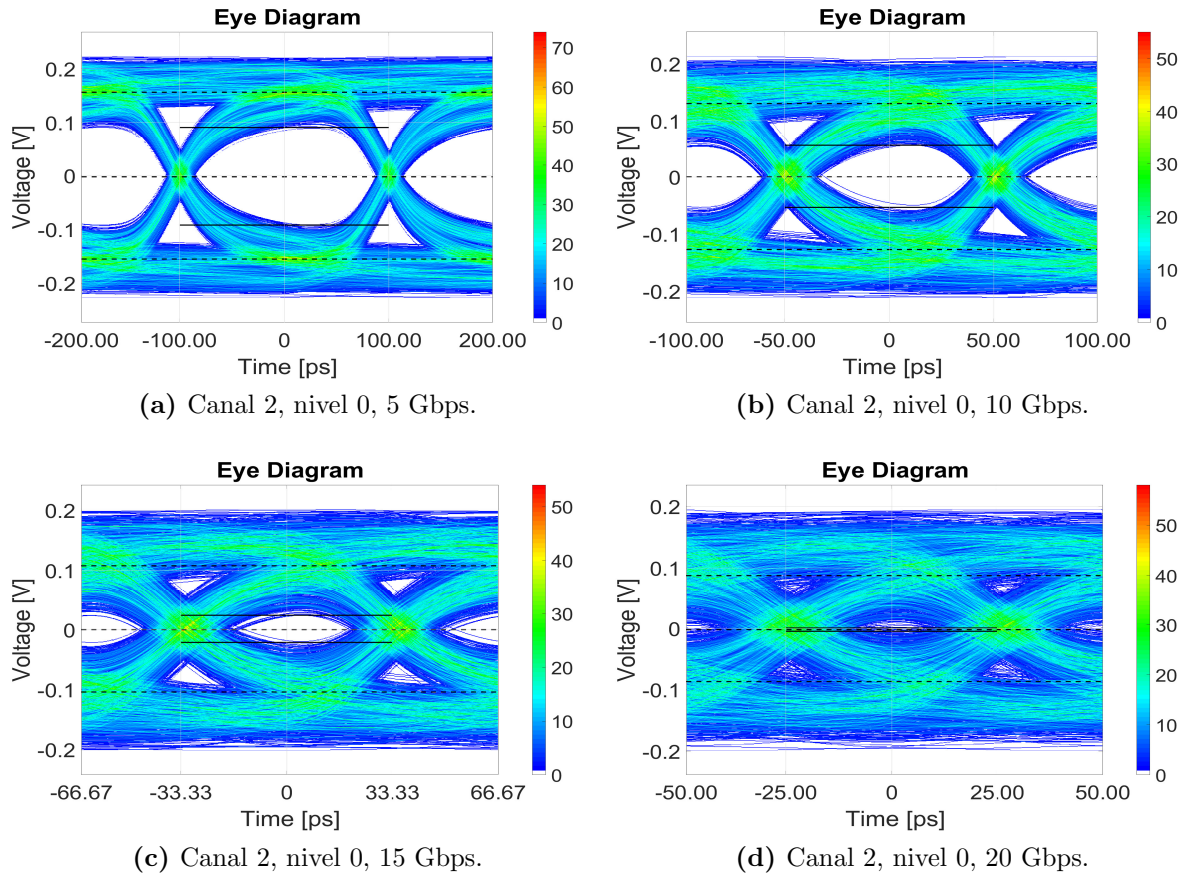


Figura 4.24: Diagramas de ojo para aproximación de canal 2 con nivel 0 de ecualización a diferentes velocidades de transmisión.

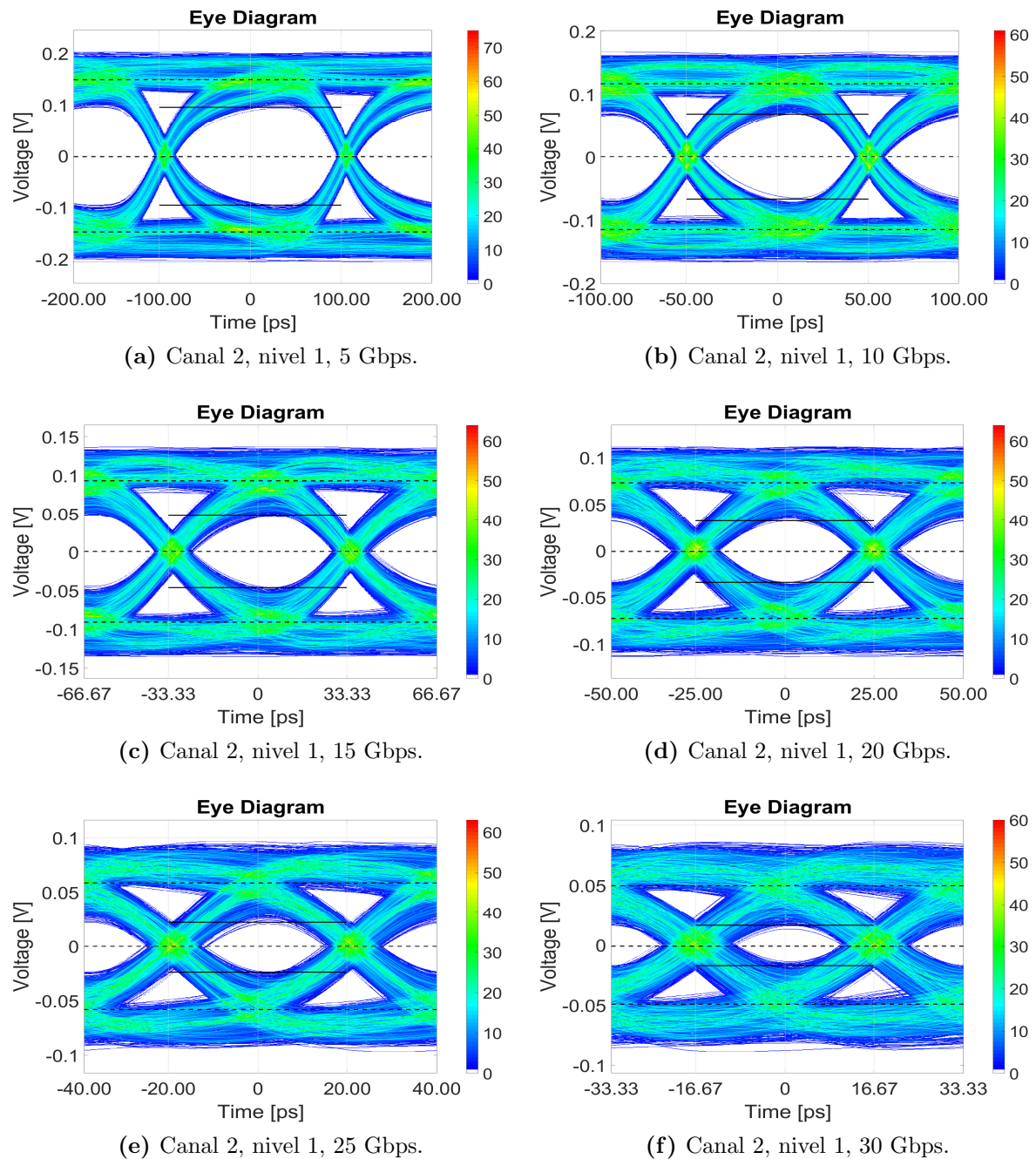


Figura 4.25: Diagramas de ojo para aproximación de canal 2 con nivel 1 de ecualización a diferentes velocidades de transmisión.

4.5.2 Pruebas realizadas en canal 3

En la Figura 19c de [47] se observa que para el canal 3 es necesario aplicar ecualización en general a partir de 10 Gbps. Para los casos de 10 a 20 Gbps se utiliza el nivel 2, que aplica 2 *taps* de FFE, mientras que para 25 Gbps se aplica nivel 6, que aplica 3 *taps* de FFE, CTLE y un *tap* de DFE. Para el caso de 30 Gbps ya no es posible ecualizar el canal. En la Figura 4.22b se observa el comportamiento de la aproximación del canal 3,

Para intentar mejorar la calidad de las pruebas, se agrega un *tap* de precursor al FFE, debido a que se observa algo de energía en la respuesta al impulso del canal 3 antes del pico máximo, como se ilustra en la Figura 4.27. Los resultados obtenidos se observan en la Tabla 4.13. Para esta prueba es visible que las aperturas de ojo aumentaron en general para los niveles de ecualización del 1 al 4 (donde se agregó un precursor de FFE). Todavía los niveles 5 y 6 siguen degradados con respecto a los anteriores.

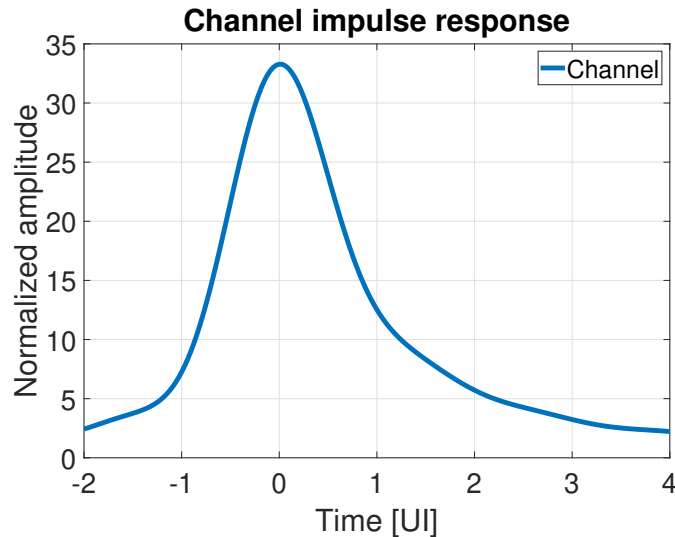


Figura 4.27: Respuesta al impulso de la aproximación del canal 3 a 20 Gbps.

Tabla 4.13: Aperturas de ojo para pruebas realizadas en aproximación de canal 3 con un precursor de FFE adicional.

Velocidad [Gbps]	Apertura de ojo [mV]						
	Nivel 0	Nivel 1	Nivel 2	Nivel 3	Nivel 4	Nivel 5	Nivel 6
5	139,53	163,30	164,71	165,45	164,54	108,24	118,86
10	44,72	99,01	98,95	98,59	98,50	70,00	77,79
15	1,41	60,67	59,96	60,15	60,72	46,32	47,49
20	< 1	36,64	37,98	38,67	38,96	28,35	28,14
25	< 1	21,45	22,35	22,00	21,82	17,20	16,90
30	< 1	7,08	8,30	8,61	8,52	7,16	7,08

De las dos últimas pruebas es visible que los niveles 5 y 6 no mejoran la apertura de ojo y que no es posible obtener una apertura mayor a 25 mVpp a partir de 25 Gbps. Aquí cabe recordar que las pruebas realizadas en [47] poseen un amplificador de ganancia automática (AGC) a la salida del sistema, a diferencia del esquema expuesto en este trabajo. Sin embargo, es posible agregar un amplificador de ganancia variable (VGA) en el lado del receptor. Como última medida de corrección se intenta agregar una ganancia lineal de 2 en el receptor, para evaluar si es posible transmitir a mayor velocidad. En la Tabla 4.14 se observan estos resultados.

Tabla 4.14: Aperturas de ojo para pruebas realizadas en aproximación de canal 3 con un precursor de FFE adicional y ganancia de 2 en Rx.

Velocidad [Gbps]	Apertura de ojo [mV]						
	Nivel 0	Nivel 1	Nivel 2	Nivel 3	Nivel 4	Nivel 5	Nivel 6
5	279.06	326.60	329.42	330.90	329.09	301.22	278.70
10	89.44	198.03	197.90	197.19	197.00	171.46	155.99
15	2.82	121.35	119.93	120.31	121.44	101.35	90.50
20	2.36	73.29	75.97	77.34	77.93	64.66	57.63
25	1.31	42.90	44.70	44.00	43.65	38.51	34.05
30	1.35	14.17	16.60	17.22	17.05	13.66	13.66

Para esta última prueba es visible que agregar una ganancia en el receptor del doble, aumenta por dos las alturas de los ojos, sin embargo el comportamiento general se mantiene de la prueba anterior. En particular, los niveles de ecualización con FFE del 1 al 4 dan prácticamente los mismos valores y agregar CTLE y DFE a este canal en particular no mejora la transmisión. De esta manera se concluye que la aproximación hecha del canal 3 no se comporta en la misma manera del canal original de [47].

Capítulo 5

Conclusiones y trabajo futuro

En el presente proyecto se desarrolló un entorno integrado de simulación para canales eléctricos de alta velocidad modelado por medio de parámetros S, en el cual es posible observar el comportamiento de señales básicas de entrada a través de un canal pasivo en diferentes tasas y condiciones de transmisión, y realizar un análisis de la señal recibida por medio del diagrama de ojo y demás estadísticas. Así mismo, es posible aplicar bloques parametrizables de ecualización para mejorar las condiciones de transmisión en el canal.

Fue necesario realizar una correspondencia uno a uno con la fuente de señales diseñada y sus parámetros, con la de ADS, para poder realizar una correcta comparación de los resultados obtenidos en la señal recibida a la salida del canal. Los parámetros S muestran ser una herramienta potente pero no infalible, para la caracterización de sistemas. Un procesamiento correcto de estos parámetros permite analizar señales de cierta frecuencia que se propagan por el canal. Se observó que mediante la aplicación de la transformada inversa de Fourier a un conjunto de parámetros S se puede obtener la respuesta al impulso de un canal pasivo, la cual a su vez puede ser convolucionada con una señal básica de entrada para determinar el comportamiento de las señales en dicho canal. En este proceso se encontró que algunas respuestas al impulso poseen un carácter no causal, por lo que es necesario corregir este problema. En el proyecto se utilizó la propiedad de desplazamiento en el tiempo de un sistema LTI para obtener una respuesta apropiada. Otra forma de forzar la causalidad de una señal es mediante la aplicación de la transformada de Hilbert.

Para la implementación de los ecualizadores hubo dos enfoques generales; diseño en el tiempo o en frecuencia. Para el caso del FFE, se implementó un filtro FIR en el tiempo para poder distorsionar la señal del transmisor previo a la convolución con la respuesta al impulso del canal. La función de transferencia fue obtenida mediante la respuesta en frecuencia de un filtro digital. Para el CTLE, el diseño se basa en el método de gráficas de Bode, con el cual hay que diseñar una función de transferencia a partir de las frecuencias de los polos y ceros del sistema. El desafío aquí surge en que es necesario conocer el canal y la frecuencia de Nyquist de la transmisión para poder agregar la ganancia necesaria en ese ancho de banda. Para obtener la señal en el tiempo del CTLE hubo que calcular su respuesta al impulso mediante la transformada inversa de Fourier de su función de

transferencia y concatenarla con el canal. En este punto surgió el problema que esta respuesta al impulso es no causal, por lo que hay que realizar ajustes matemáticos para conformar una respuesta causal. Para ambos casos del FFE y el CTLE, su función de transferencia puede ser concatenada con la del canal para analizar el efecto neto de ambos ecualizadores (o ambos por separado) sobre la transmisión. En general, el diseño en el tiempo mostró ser más directo y con menos potencial de errores y problemas.

La implementación del DFE mostró una mayor dificultad en comparación a los ecualizadores previos, debido a la no linealidad del modelo. Para el FFE y CTLE se tenían ecuaciones en el dominio del tiempo y/o la frecuencia que describen directamente el funcionamiento de estos sistemas, sin embargo la implementación del DFE se basó en una abstracción del comportamiento de los circuitos reales a nivel de transistor, por lo que hubo más problemas en obtener resultados similares a los de ADS.

Para una mejor verificación del ambiente de simulación desarrollado en general, se recomienda probar el sistema contra los resultados obtenidos de un canal físico real mediante su caracterización con parámetros S.

El entorno de simulación presentado consiste en la base de un proyecto de software que se puede extender a un amplio grupo de contribuyentes, ya sean estudiantes o investigadores, para poder seguir incorporando más capacidades a la herramienta. Para trabajo futuro se recomienda lo siguiente:

Es posible extender la funcionalidad de la fuente de señales, en particular, cambiar la forma de la onda de los pulsos de bits, para que puedan ser además de lineales, que sigan una transición cosenoidal, así como extender la codificación NRZ a PAM-4 inclusive. Es posible agregar a las señales una variabilidad temporal de la señal (*jitter*). Para el modelo de descripción de canal, es posible agregar soporte a canales diferenciales mediante los parámetros S y aplicar un análisis para forzar causalidad y pasividad.

En el campo de los ecualizadores, quedan varias tareas por realizar. En general es posible agregar diversos métodos de adaptación de los coeficientes, como el algoritmo LMS, RLS o ZF. Para el CTLE es habilitar la opción de un ecualizador de segundo orden. Para el DFE se recomienda agregar postcursores al filtro. Para el sistema de diagrama de ojos y estadísticas de la transmisión se recomienda realizar los cálculos de manera más robusta, siguiendo la forma exacta en la que se realiza en ADS. Así mismo, es posible agregar cálculo de BER y curvas de bañera.

Se recomienda así la creación de un entorno gráfico en donde sea posible la parametrización y ajustes de la simulación con toda la funcionalidad de las señales generadoras, ecualizadores, estadísticas y gráficos discutidos previamente. Finalmente, a nivel de arquitectura de software, se recomienda migrar el código a otro lenguaje como C/C++ o Python, hacer el software de código abierto y con esto promover la cooperación extra-institucional, realizar una re-arquitectura del software basado en pronósticos a futuro del crecimiento del mismo y crear un marco de pruebas que permita la ejecución de un amplio número de simulaciones de manera automatizada.

Bibliografía

- [1] Gordon Moore. Excerpts from a Conversation with Gordon Moore: Moore's Law. *Intel Corporation document*, 1, 2005.
- [2] Gordon Moore. Cramming More Components onto Integrated Circuits. *Proceedings of the IEEE*, Vol. 86(No. 1):pgs 82–85, January 1998.
- [3] Chuck Yuab Dan Oh. *High-Speed Signaling: Jitter Modeling, Analysis. and Budgeting*. Prentice Hall, 2011.
- [4] R. Achar. 20th Anniversary of the IEEE International Conference on Electrical Performance of Electronic Packaging and Systems EPEPS. Accessed: 2019-07-12.
- [5] ANSYS Inc. ANSYS HFSS. Accessed: 2019-07-21.
- [6] Keysight Technologies. N5461A Serial Data Equalization Software for Infiniium Series Oscilloscopes - Data Sheet. Technical report, Keysight Technologies, jan 2016.
- [7] Mentor. Hyperlynx Signal Integrity. Accessed: 2017-12-06.
- [8] SerDes Design. SerDes System Design and Simulation, 2019. Accessed: 2019-07-21.
- [9] Signal Integrity Software Inc. Quantum Channel Designer, 2019. Accessed: 2019-07-21.
- [10] TUHH. Signal and Power Integrity (SI/PI) – Institut für Theoretische Elektrotechnik. Accessed: 2017-12-06.
- [11] R. Castro-Artavia. Feed Forward Equalization Simulation Model for High-Speed Channel Applications. B.S. Thesis, Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, Cartago, Costa Rica, 8 2016.
- [12] A. Carmona-Cruz. Diseño de Recuperador de Reloj y Datos para un Canal Serial de Alta Velocidad en un Entorno de Simulación de Señal Mixta. B.S. Thesis, Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, Cartago, Costa Rica, 6 2018.
- [13] D. Netzer-Hernández. Implementación de un Modelo de Simulación de una Unidad de Recepción con Ecualización para Aplicaciones de Canales de Transmisión de Datos a

- Alta Velocidad. B.S. Thesis, Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, Cartago, Costa Rica, 12 2017.
- [14] JEDEC. Double Data Rate (DDR) SDRAM Specification. Technical report, JEDEC Solid State Technology Association, mar 2003.
- [15] PCI-SIG. PCI Express Base Specification. Technical report, PCI-SIG, feb 2014.
- [16] USB Implementers Forum. Universal Serial Bus 3.0 Specification. Technical report, USB Implementers Forum, nov 2008.
- [17] Intel. An Introduction to the Intel Quickpath Interconnect. Technical report, Intel, jan 2009.
- [18] P. Upadhyaya, C. F. Poon, S. W. Lim, J. Cho, A. Roldan, W. Zhang, J. Namkoong, T. Pham, B. Xu, W. Lin, H. Zhang, N. Narang, K. H. Tan, G. Zhang, Y. Frans, and K. Chang. A Fully Adaptive 19-58-Gb/s PAM-4 and 9.5-29-Gb/s NRZ Wireline Transceiver with Configurable ADC in 16-nm FinFET. *IEEE Journal of Solid-State Circuits*, pages 1–11, 2018.
- [19] L. Wang, Y. Fu, M. LaCroix, E. Chong, and A. Chan Carusone. A 64-Gb/s 4-PAM Transceiver Utilizing an Adaptive Threshold ADC in 16-nm FinFET. *IEEE Journal of Solid-State Circuits*, pages 1–11, 2018.
- [20] K. Zheng, Y. Frans, S. L. Ambatipudi, S. Asuncion, H. T. Reddy, K. Chang, and B. Murmann. An Inverter-Based Analog Front-End for a 56 Gb/s PAM4 Wireline Transceiver in 16 nm CMOS. In *2018 IEEE Symposium on VLSI Circuits*, pages 269–270, June 2018.
- [21] K. Zheng, Y. Frans, K. Chang, and B. Murmann. A 56 Gb/s 6 mW 300 um Inverter-Based CTLE for Short-Reach PAM2 Applications in 16 nm CMOS. In *2018 IEEE Custom Integrated Circuits Conference (CICC)*, pages 1–4, April 2018.
- [22] G. Zhu, D. Luo, J. Zhuang, C. Zhi, and C. P. Yue. A Fully Adaptive Continuous-Time Linear Equalizer for PAM4 Signaling Based on a Statistical Algorithm. In *2017 International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, pages 1–2, Oct 2017.
- [23] James A. McCall Stephen H. Hall, Garret W. Hall. *High-Speed Digital System Design - A Handbook of Interconnect Theory and Design*. John Wiley & Sons, Inc., 2000.
- [24] Sam Palermo. ECEN720: High-Speed Links, Circuits and Systems, lecture notes, 2014.
- [25] Long Yang and Grace Yu. A New Method to Calculate Cascaded S-Parameters. In *2018 IEEE 27th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, pages 71–73, 10 2018.

- [26] Howard L. Heck Stephen Hall. *Advanced Signal Integrity for High-Speed Digital Designs*. John Wiley & Sons, John Wiley & Sons, Inc., 2009.
- [27] F. Yuan, A. R. AL-Tae, A. Ye, and S. Sadr. Design Techniques for Decision Feedback Equalisation of Multi-Giga-Bit-per-Second Serial Data Links: a State-of-the-Art Review. *IET Circuits, Devices Systems*, 8(2):118–130, March 2014.
- [28] W. T. Beyene. The Design of Continuous-Time Linear Equalizers Using Model Order Reduction Techniques. In *2008 IEEE-EPEP Electrical Performance of Electronic Packaging*, pages 187–190, Oct 2008.
- [29] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, second edition, 2016.
- [30] C. Cai, Y. Zhou, and J. Zhao. 5–20 Gbit/s Adaptive CTLE with Spectrum Balancing Method. *Electronics Letters*, 54(5):274–276, 2018.
- [31] J. Jin, S. Kim, X. Jin, S. Kim, and J. Chun. A 12.5-Gb/s Near-Ground Transceiver Employing a MaxEye Algorithm-Based Adaptation Technique. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 26(3):522–530, March 2018.
- [32] X. Zheng, C. Zhang, F. Lv, F. Zhao, S., S. Yue, Z. Wang, F. Li, Z. Wang, and H. Jiang. A 40-Gb/s Quarter-Rate SerDes Transmitter and Receiver Chipset in 65-nm CMOS. *IEEE Journal of Solid-State Circuits*, 52(11):2963–2978, Nov 2017.
- [33] H. Won, J. Lee, T. Yoon, K. Han, S. Lee, J. Park, and H. Bae. A 28-Gb/s Receiver with Self-contained Adaptive Equalization and Sampling Point Control Using Stochastic Sigma-Tracking Eye-Opening Monitor. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 64(3):664–674, March 2017.
- [34] S. Yuan, L. Wu, Z. Wang, C. Zhang, Z. Wang, and H. Jiang. A 25 Gb/s Serial-Link Repeater with Receiver Equalization and Transmitter de-Emphasis in 0.13 μm SiGe BiCMOS. In *2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pages 527–530, Aug 2017.
- [35] Brad Smith. DesignCon Trade Show – Connecting All the Signaling Dots, Jan 2017.
- [36] C. Hung, Y. Huang, and W. Chen. A 40 Gb/s PAM-4 Receiver with 2-Tap DFE Based on Automatically Non-Even Level Tracking. In *2018 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pages 213–214, Nov 2018.
- [37] S. Jeon, W. Kwon, T. Yoon, J. Yoon, K. Kwon, J. Yang, and H. Bae. A 20 Gb/s Transceiver with Framed-Pulsewidth Modulation in 40 nm CMOS. In *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, pages 270–272, Feb 2018.
- [38] K. Maeda, T. Norimatsu, K. Kogo, N. Kohmu, K. Nishimura, and I. Fukasaku. An Active Copper-Cable Supporting 56-Gbit/s PAM4 and 28-Gbit/s NRZ with Continuous Time Linear Equalizer IC for to-Meters Reach Interconnection. In *2018 IEEE Symposium on VLSI Circuits*, pages 49–50, June 2018.

- [39] John Proakis. *Digital Communications*. McGraw Hill, fifth edition, 2007.
- [40] Peter Pupalakis. The Relationship Between Discrete-Frequency S-parameters and Continuous-Frequency Responses. In *DesignCon 2012*, 02 2012.
- [41] Fangyi Rao, Chad H. Morgan, Sanjeev Gupta, and V. Borich. The Need for Impulse Response Models and an Accurate Method for Impulse Generation from Band-Limited S-Parameters. In *DesignCon 2015*, 2008.
- [42] J. Nadolny S. Sercu, C. Kocuba. Causality Demystified. In *DesignCon 2015*, 01 2015.
- [43] M. Steinberger and T. Westerhoff. S-Parameter Causality: A Sampled Data Perspective. *Signal Integrity Software Inc.*, November 2010.
- [44] R. Rimolo-Donadio, T. Winkel, C. Siviero, D. Kaller, H. Harrer, H. Brüns, and C. Schuster. Fast Parametric Pre-Layout Analysis of Signal Integrity for Backplane Interconnects. In *2011 IEEE 15th Workshop on Signal Propagation on Interconnects (SPI)*, pages 51–54, May 2011.
- [45] R. Rímolo-Donadío. *Development, Validation, and Application of Semi-Analytical Interconnect Models for Efficient Simulation of Multilayer Substrates*. PhD thesis, Technischen Universität Hamburg-Harburg, 2011. Logos Verlag Berlin GmbH.
- [46] Renato Rimolo-Donadio, Xiaoxiong Gu, Young H Kwark, Mark B Ritter, Bruce Archambeault, Francesco de Paulis, Yaojiang Zhang, Jun Fan, Heinz-Dietrich Bruns, and Christian Schuster. Physics-Based Via and Trace Models for Efficient Link Simulation on Multilayer Structures up to 40 GHz. *IEEE Transactions on Microwave Theory and Techniques*, 57(8):2072–2083, 2009.
- [47] Y.H. Kwarw, T. Reuschel, R. Rímolo-Donadío, D. Kaller, T.M. Winkel, H. Harrer, and C. Schuster. Systematic Analysis of Electrical Link Bottlenecks and Strategies for Their Equalization. In *DesignCon 2016*, 01 2016.
- [48] Torsten Reuschel, Jan B Preibisch, Katharina Scharff, Renato Rimolo-Donadio, Xiaomin Duan, Young H Kwark, and Christian Schuster. Efficient Prediction of Equalization Effort and Channel Performance for PCB-Based Data Links. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 7(11):1842–1851, 2017.

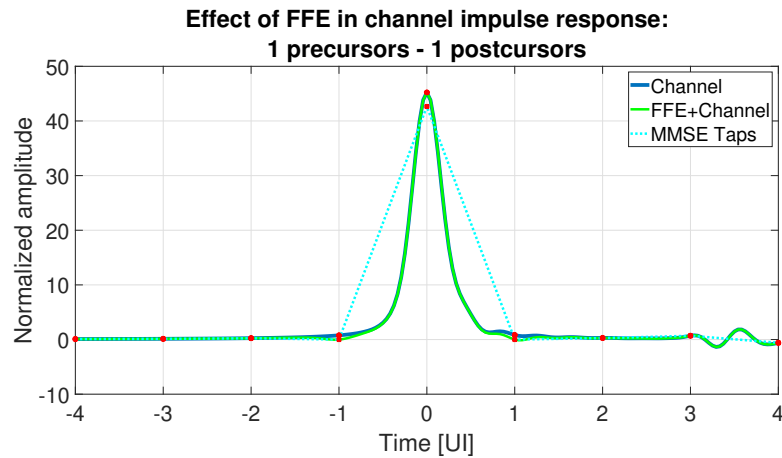
Apéndice A

Imágenes adicionales

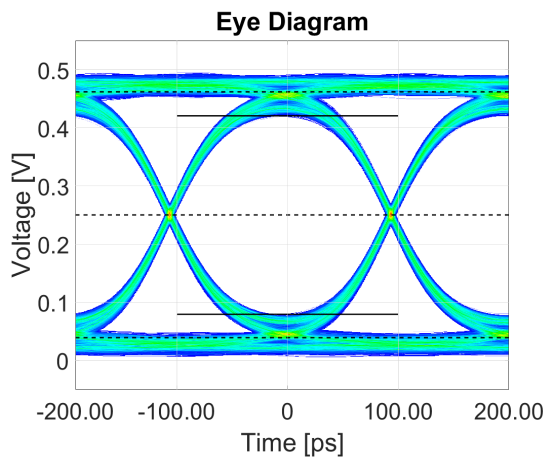
A.1 Verificación de ecualizadores

A continuación se muestran imágenes adicionales en la verificación de los ecualizadores.

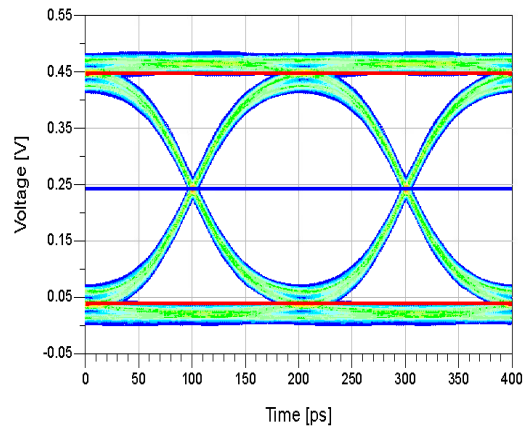
A.1.1 Feed-Forward Equalizer



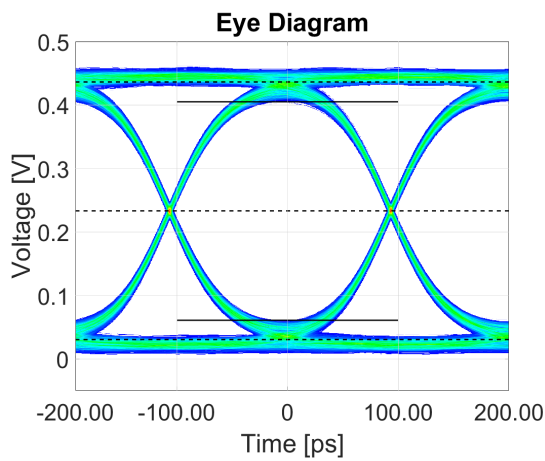
(a) Respuesta al impulso de canal con/sin FFE.



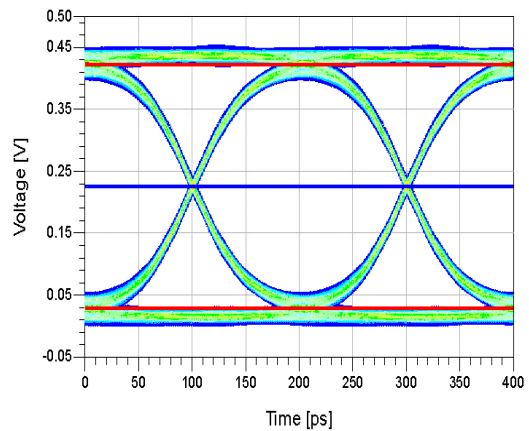
(b) Implementación a 5 Gbps.



(c) ADS a 5 Gbps.

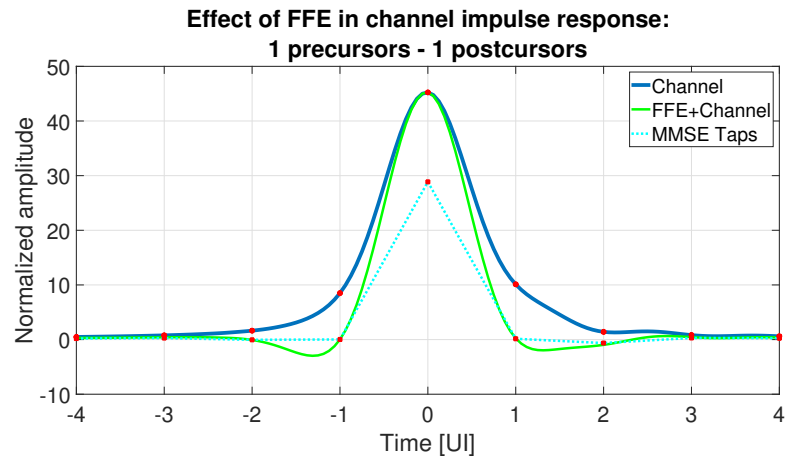


(d) Implementación a 5 Gbps.

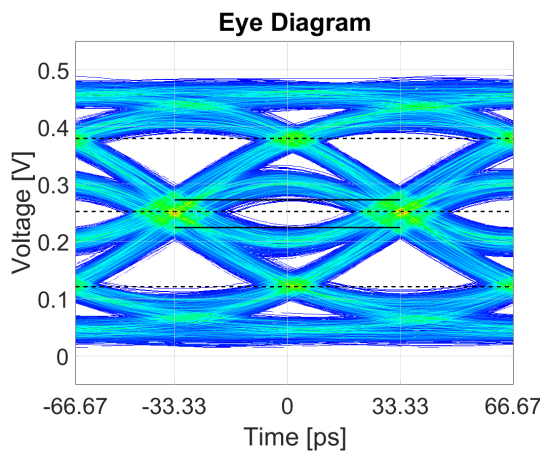


(e) ADS a 5 Gbps.

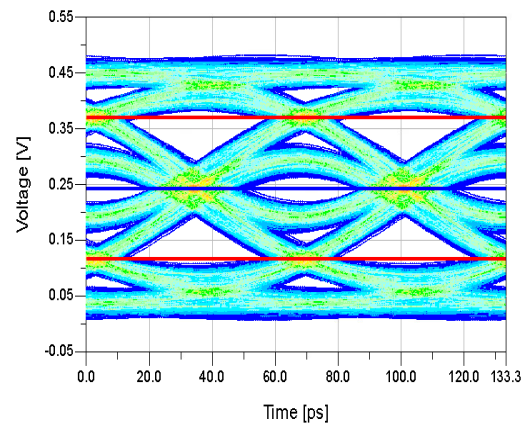
Figura A.1: Diagramas de ojo para comunicación a 5 Gbps sin FFE en canal con una vía a tierra.



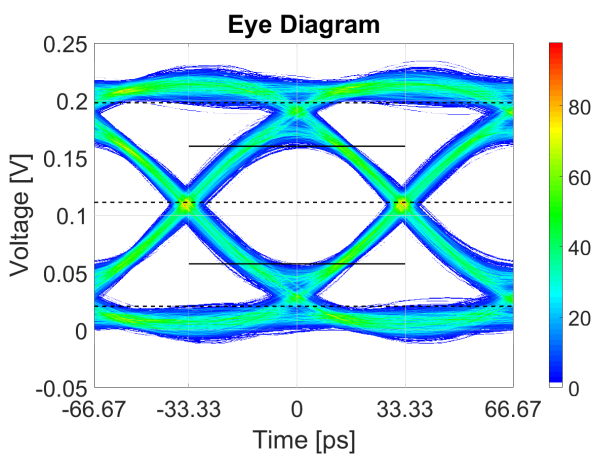
(a) Respuesta al impulso de canal con/sin FFE.



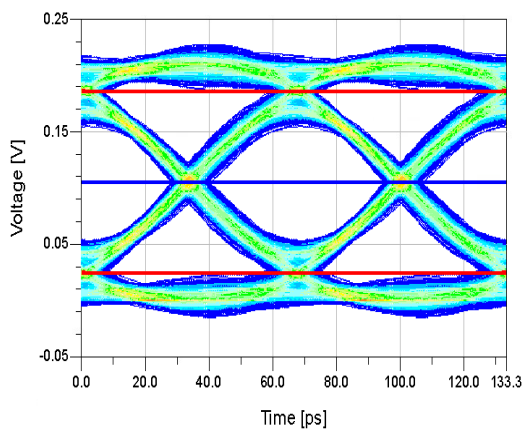
(b) Implementación a 15 Gbps sin FFE.



(c) ADS a 15 Gbps sin FFE.

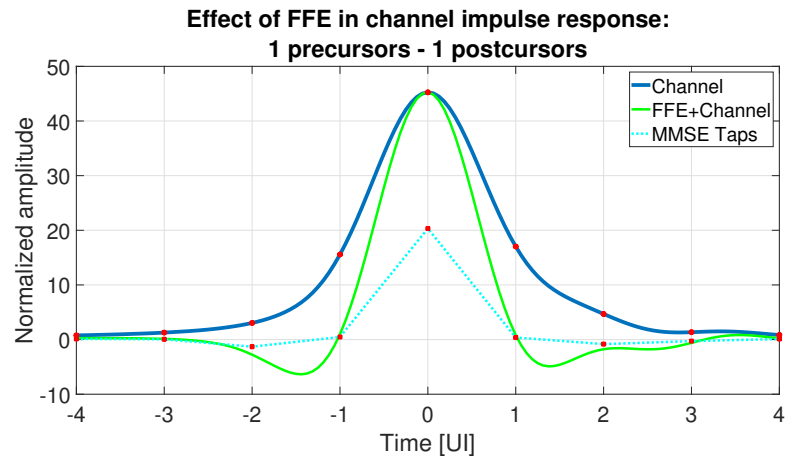


(d) Implementación a 15 Gbps con FFE.

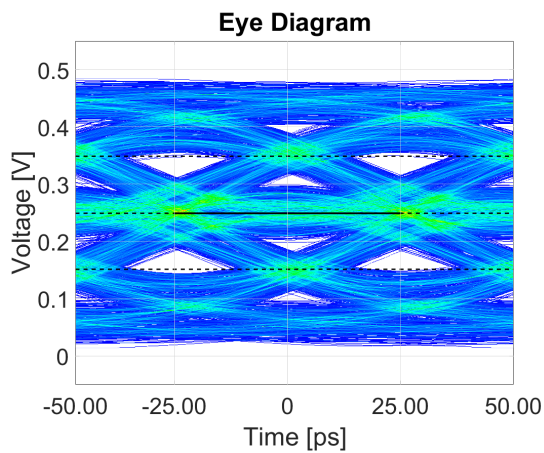


(e) ADS a 15 Gbps con FFE.

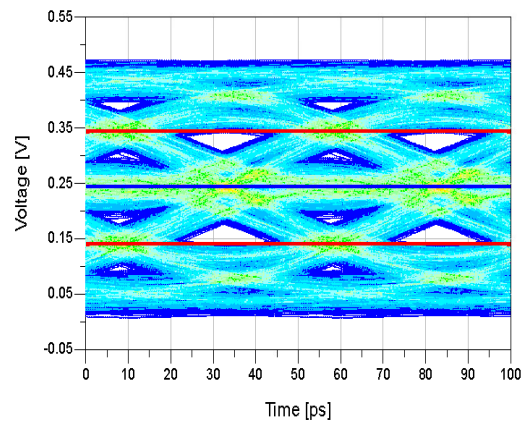
Figura A.2: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 15 Gbps sin/con FFE en canal con una vía a tierra.



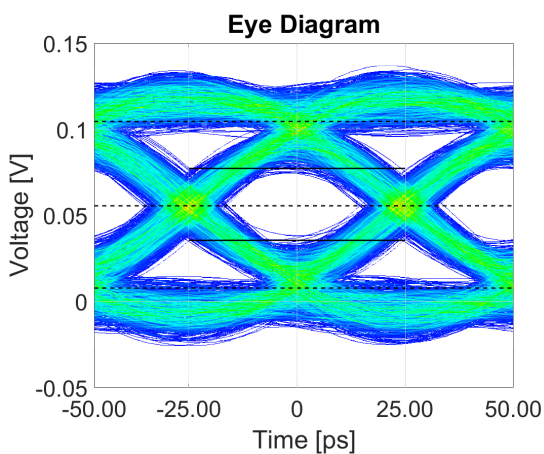
(a) Respuesta al impulso de canal con/sin FFE.



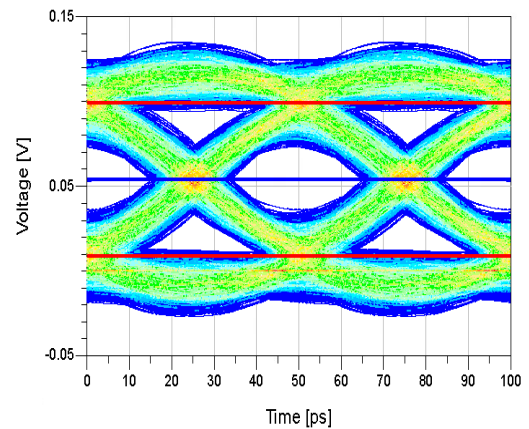
(b) Implementación a 20 Gbps sin FFE.



(c) ADS a 20 Gbps sin FFE.



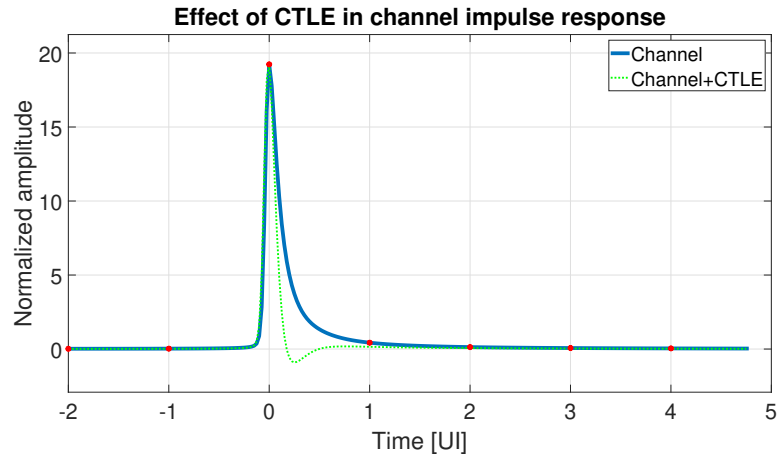
(d) Implementación a 20 Gbps con FFE.



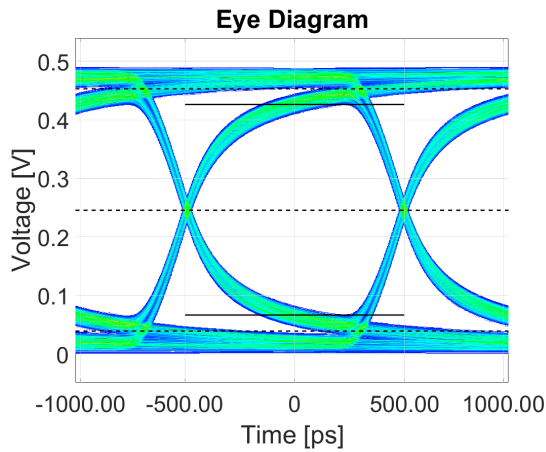
(e) ADS a 20 Gbps con FFE.

Figura A.3: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 20 Gbps sin/con FFE en canal con una vía a tierra.

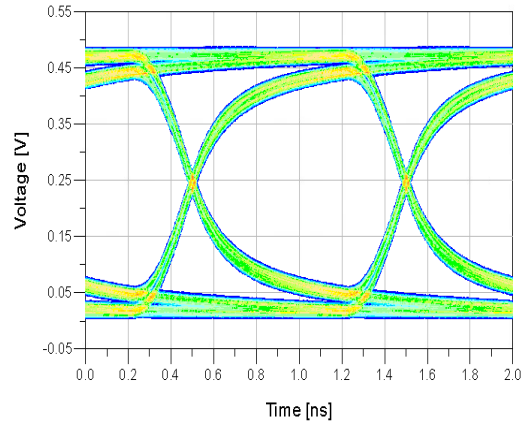
A.1.2 Continuous-Time Linear Equalizer



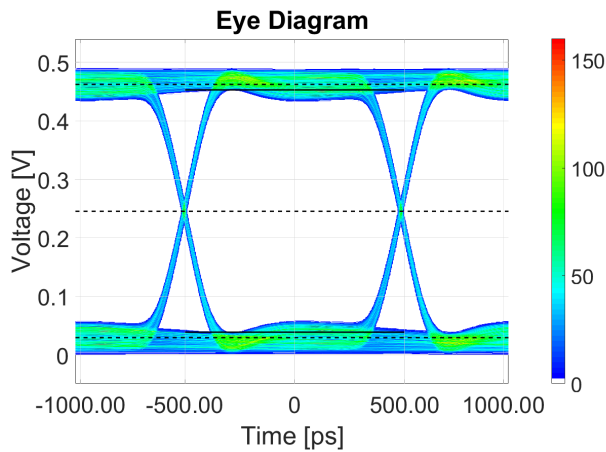
(a) Respuesta al impulso de canal con/sin CTLE.



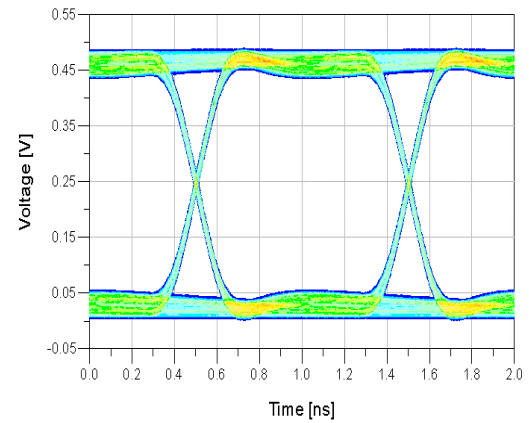
(b) Implementación a 1 Gbps sin CTLE.



(c) ADS a 1 Gbps sin CTLE.

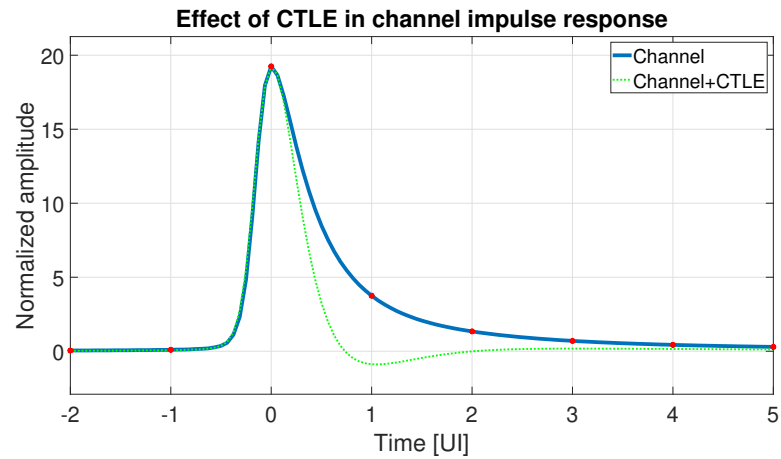


(d) Implementación a 1 Gbps con CTLE.

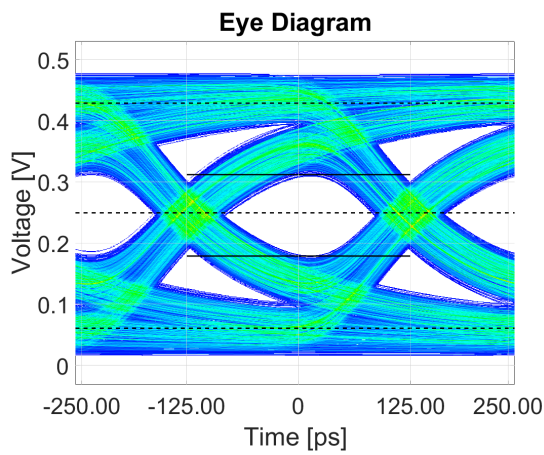


(e) ADS a 1 Gbps con CTLE.

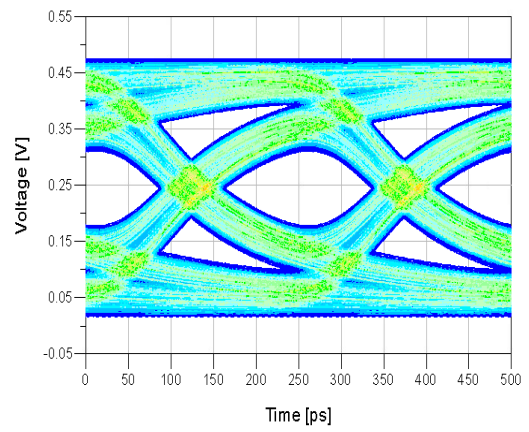
Figura A.4: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 1 Gbps sin/con CTLE en canal de *microstrip*.



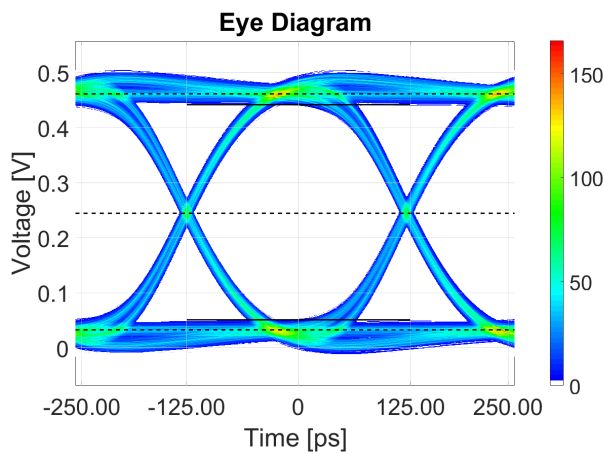
(a) Respuesta al impulso de canal con/sin CTLE.



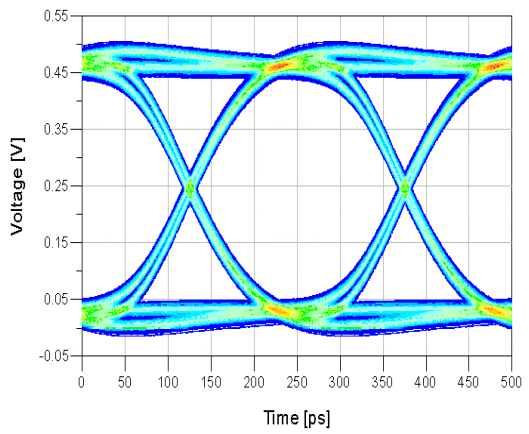
(b) Implementación a 4 Gbps sin CTLE.



(c) ADS a 4 Gbps sin CTLE.

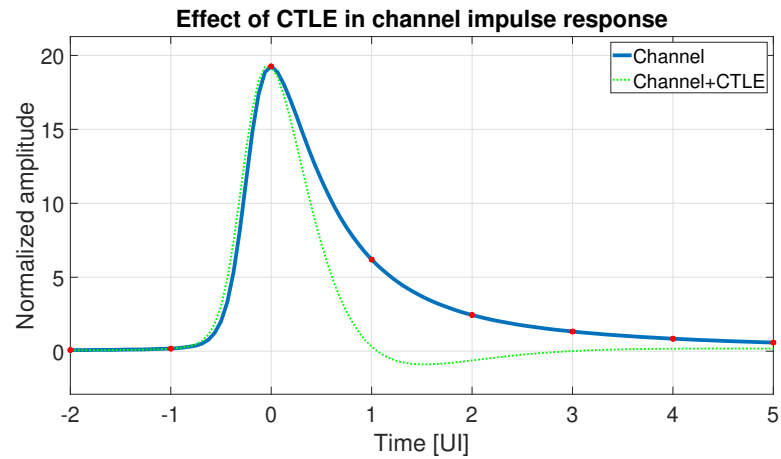


(d) Implementación a 4 Gbps con CTLE.

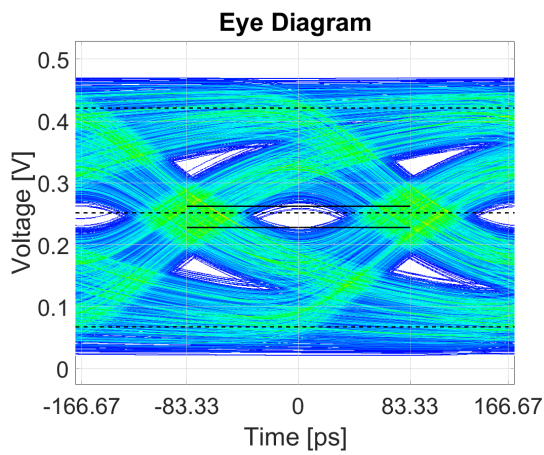


(e) ADS a 4 Gbps con CTLE.

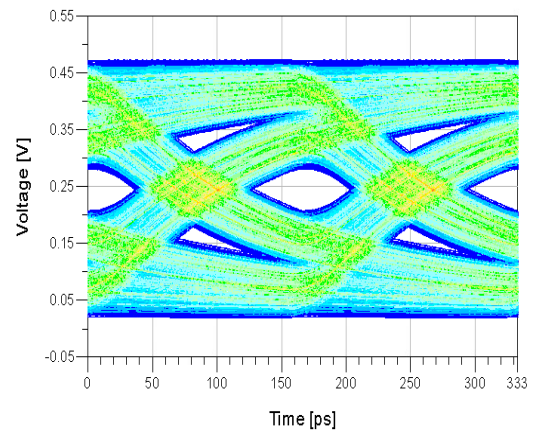
Figura A.5: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 4 Gbps sin/con CTLE en canal de *microstrip*.



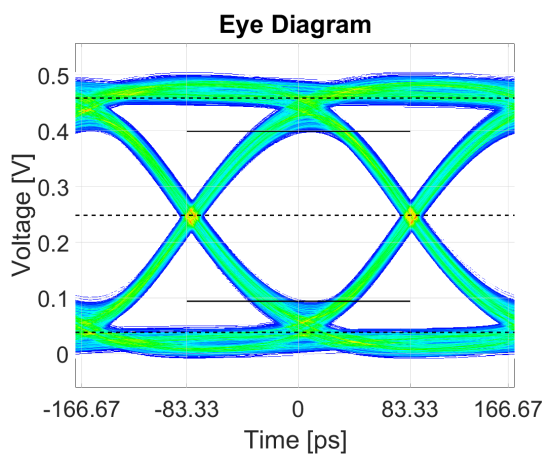
(a) Respuesta al impulso de canal con/sin CTLE.



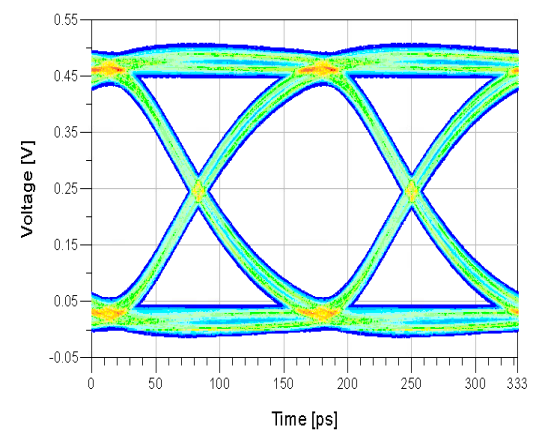
(b) Implementación a 6 Gbps sin CTLE.



(c) ADS a 6 Gbps sin CTLE.

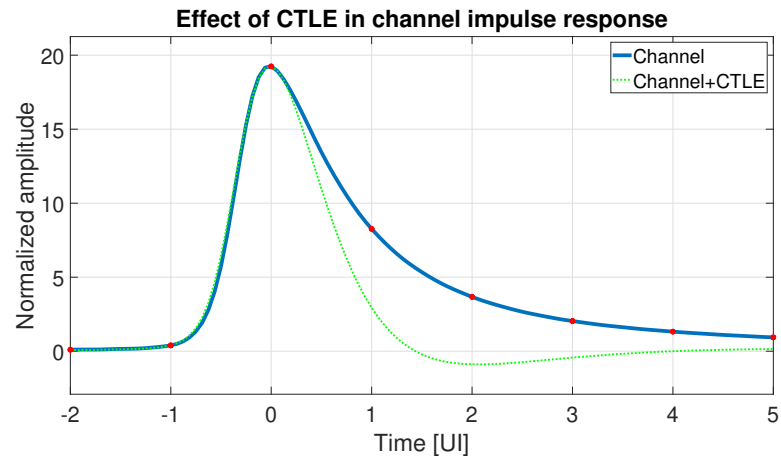


(d) Implementación a 6 Gbps con CTLE.

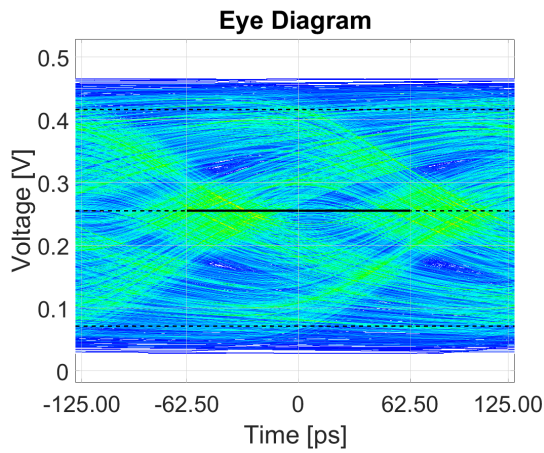


(e) ADS a 6 Gbps con CTLE.

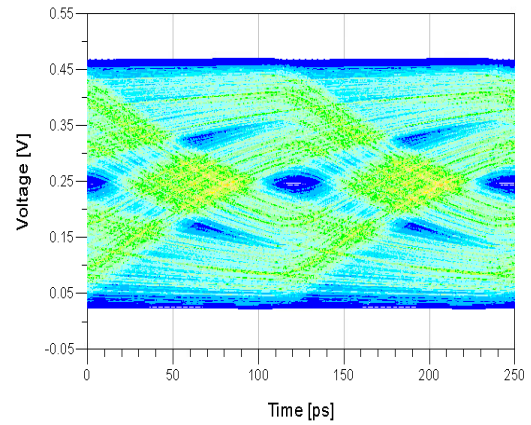
Figura A.6: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 6 Gbps sin/con CTLE en canal de *microstrip*.



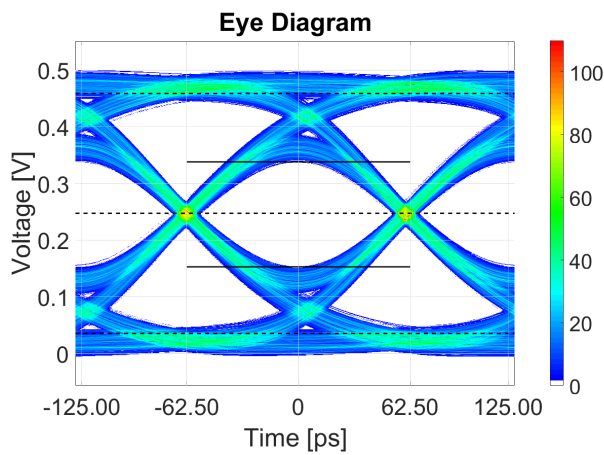
(a) Respuesta al impulso de canal con/sin CTLE.



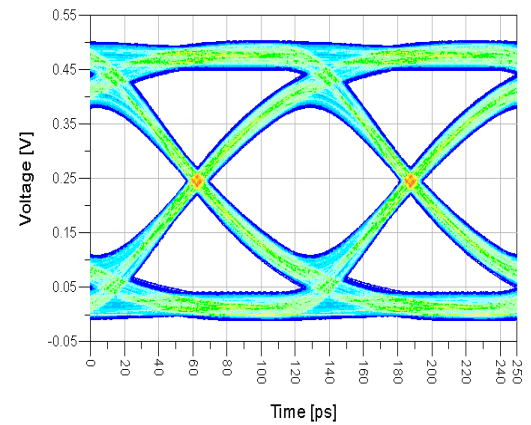
(b) Implementación a 8 Gbps sin CTLE.



(c) ADS a 8 Gbps sin CTLE.

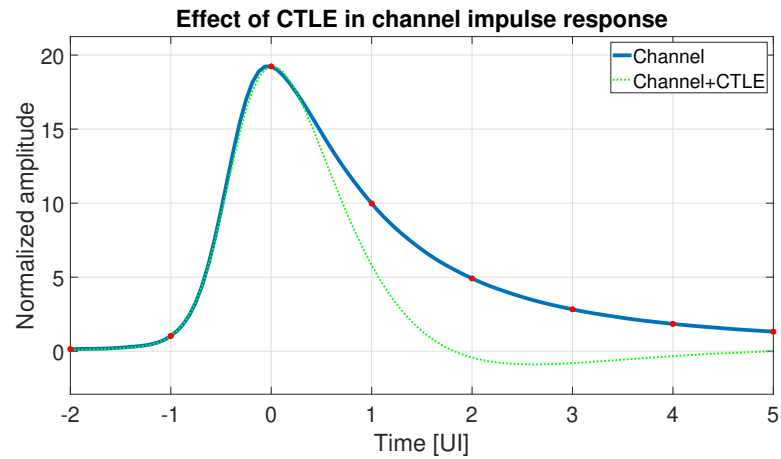


(d) Implementación a 8 Gbps con CTLE.

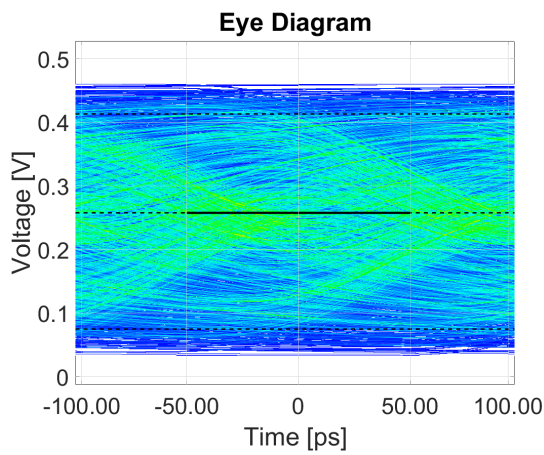


(e) ADS a 8 Gbps con CTLE.

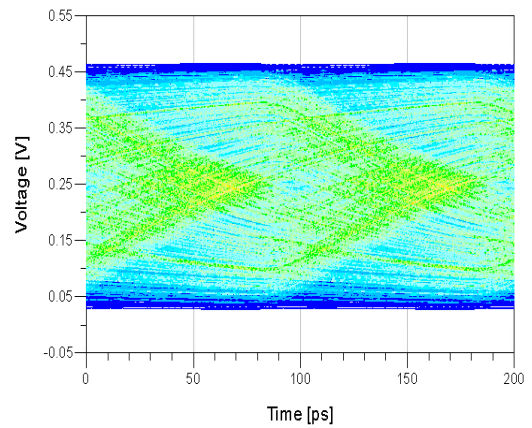
Figura A.7: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 8 Gbps sin/con CTLE en canal de *microstrip*.



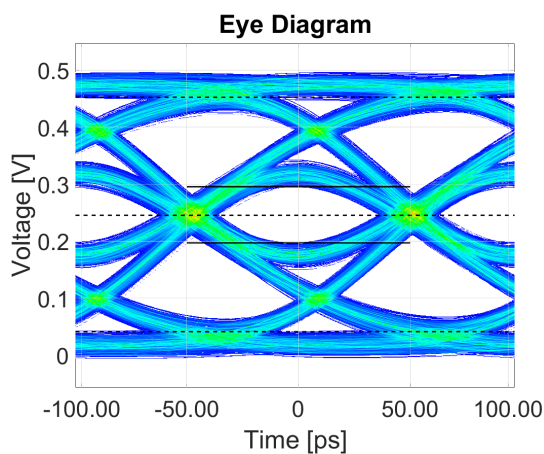
(a) Respuesta al impulso de canal con/sin CTLE.



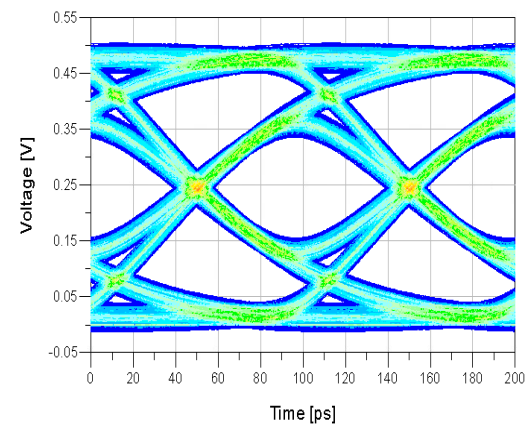
(b) Implementación a 10 Gbps sin CTLE.



(c) ADS a 10 Gbps sin CTLE.

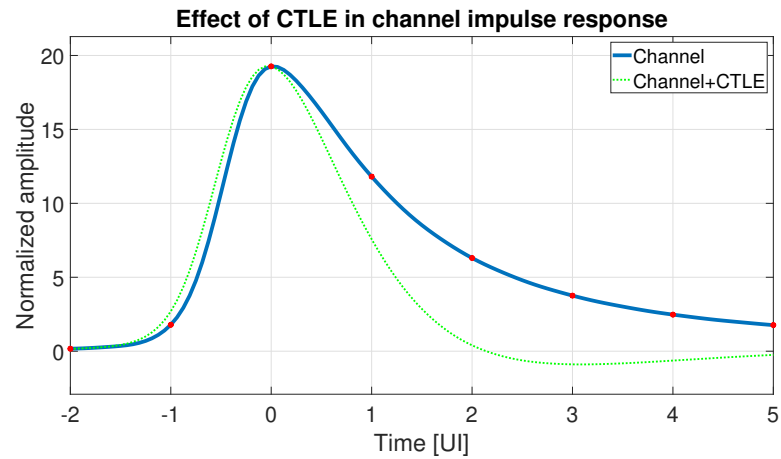


(d) Implementación a 10 Gbps con CTLE.

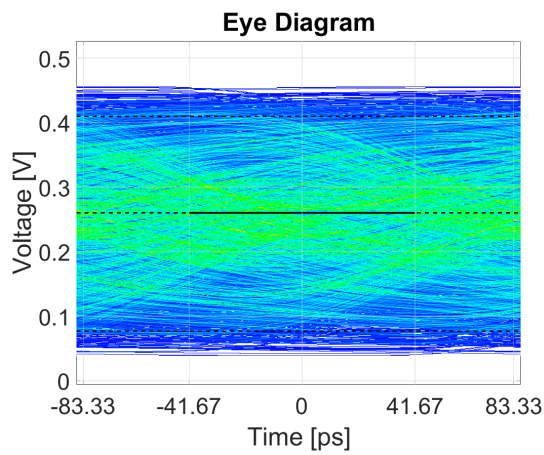


(e) ADS a 10 Gbps con CTLE.

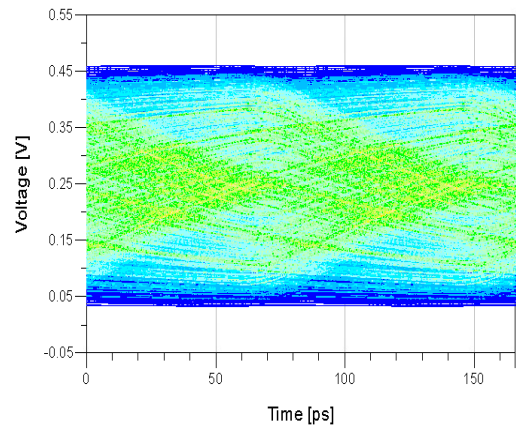
Figura A.8: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 10 Gbps sin/con CTLE en canal de *microstrip*.



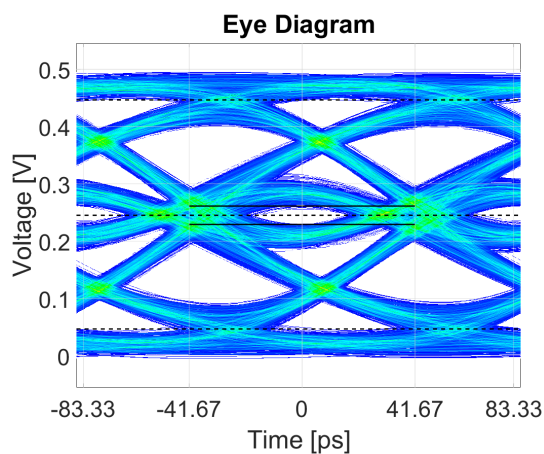
(a) Respuesta al impulso de canal con/sin CTLE.



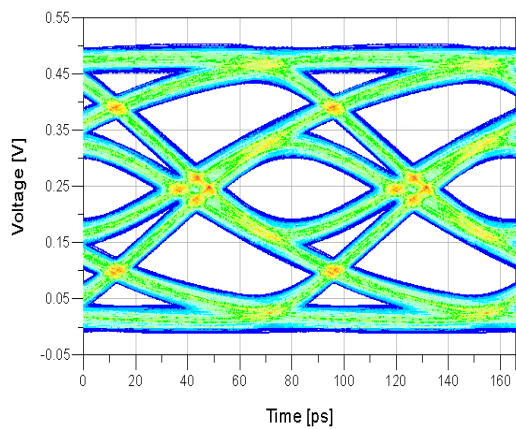
(b) Implementación a 12 Gbps sin CTLE.



(c) ADS a 12 Gbps sin CTLE.



(d) Implementación a 12 Gbps con CTLE.



(e) ADS a 12 Gbps con CTLE.

Figura A.9: Respuesta al impulso y comparación de diagramas de ojo entre implementación y ADS para transmisión a 12 Gbps sin/con CTLE en canal de *microstrip*.

A.1.3 Decision-Feedback Equalizer

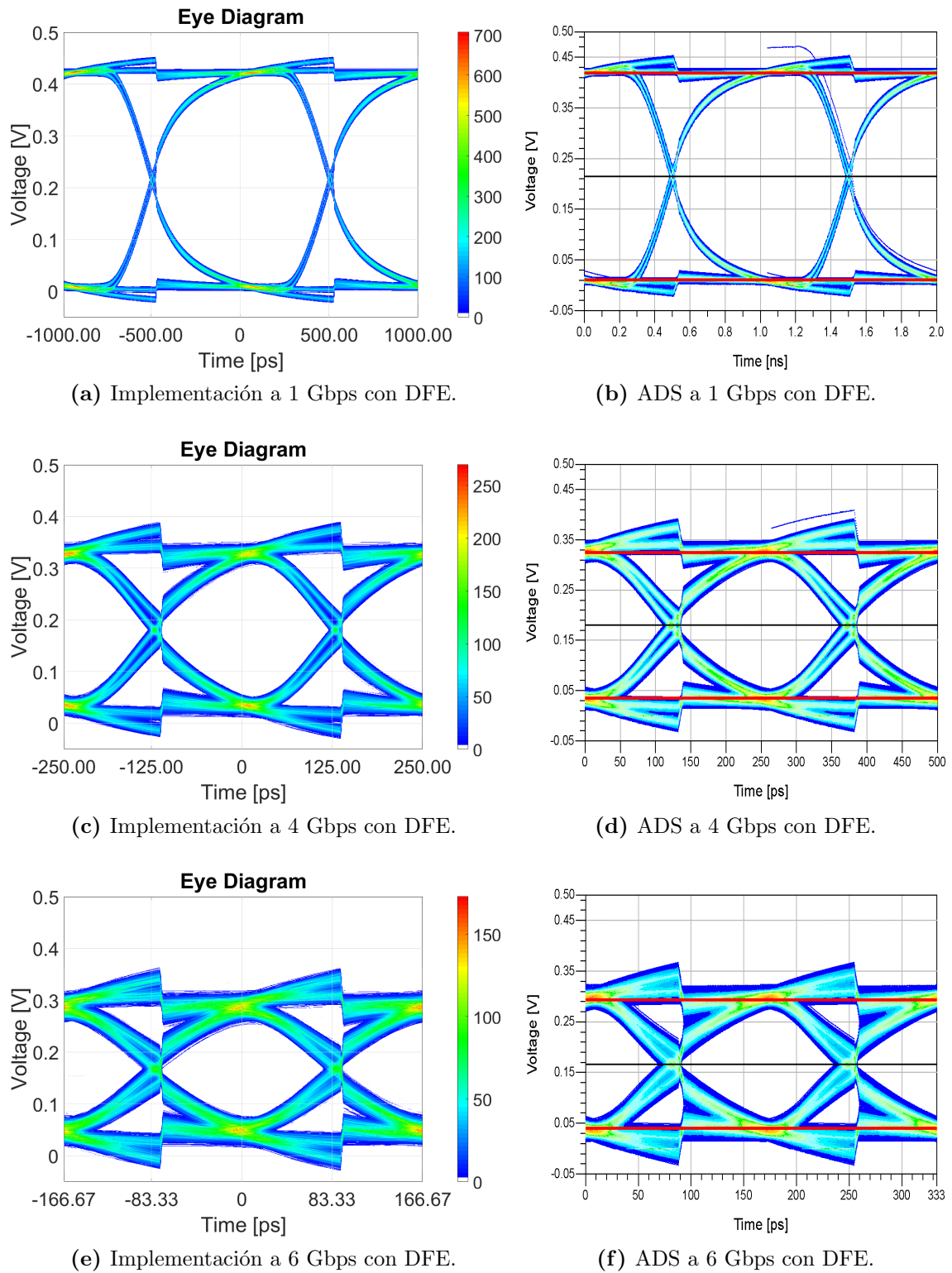
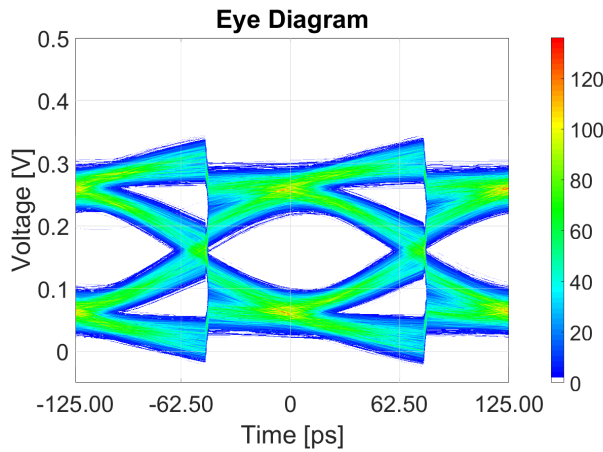
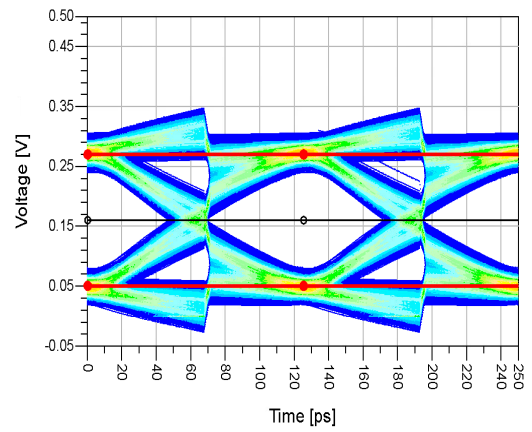


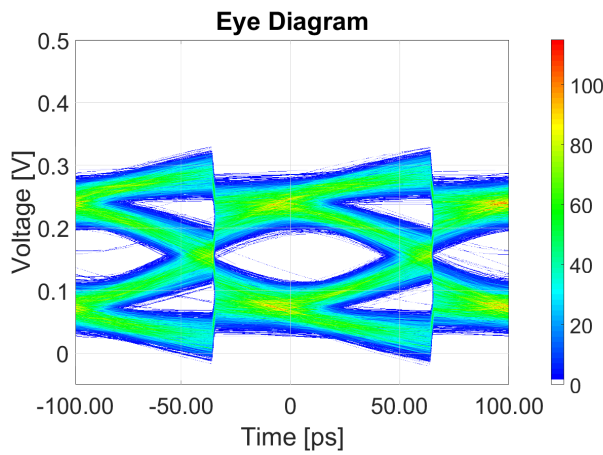
Figura A.10: Comparación de diagramas de ojo entre implementación y ADS para transmisiones de 1, 4 y 6 Gbps con DFE en canal de *microstrip*.



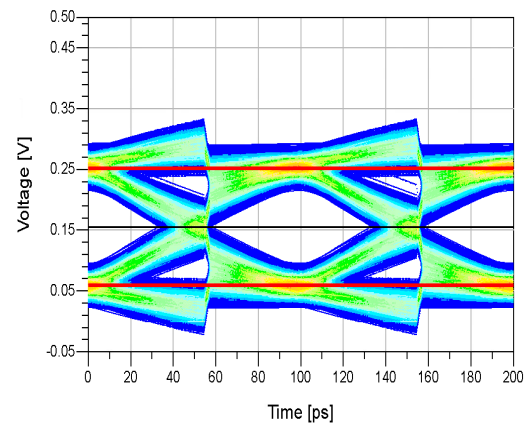
(a) Implementación a 8 Gbps con DFE.



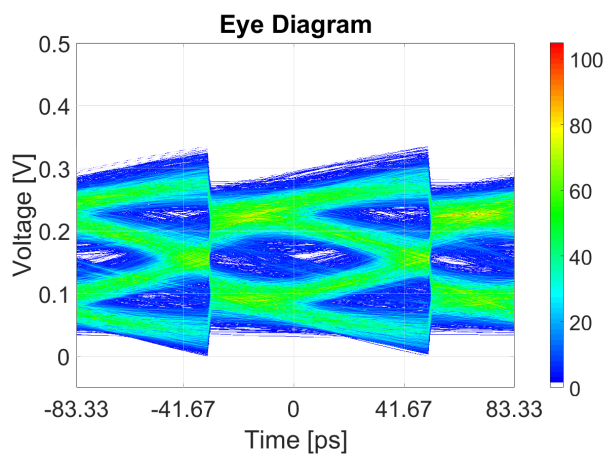
(b) ADS a 8 Gbps con DFE.



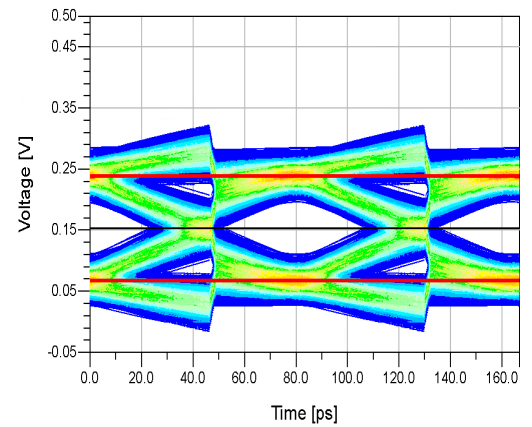
(c) Implementación a 10 Gbps con DFE.



(d) ADS a 10 Gbps con DFE.



(e) Implementación a 12 Gbps con CTLE.



(f) ADS a 12 Gbps con CTLE.

Figura A.11: Comparación de diagramas de ojo entre implementación y ADS para transmisiones de 8, 10 y 12 Gbps con DFE en canal de *microstrip*.

Apéndice B

Guía de programación

A continuación se presenta una guía de programación que permite al usuario utilizar las funciones de manera correcta.

B.1 Generador de funciones

B.1.1 spi_vsrc_pulse

Parámetros de entrada

- v_low (v_l)
- v_high (v_h)
- t_delay (t_d)
- t_rise (t_r)
- t_width (t_w)
- t_fall (t_f)
- transient_time
- time_step
- plot_signal

Parámetros de salida

- time_vector
- pulse_signal

Uso de la función

```
%-----  
% Generate pulse signal  
%-----  
[vtime_signal, pulse_signal] = ...  
    spi_vsrc_pulse(v_low, v_high, t_, t_r, t_f, t_w, ...  
    sampling_period, transient_time, 'ON');
```

Esta función toma de parámetros de entrada los valores necesarios para construir un pulso digital, así como el tiempo de transiente y periodo de muestreo. Adicionalmente se tiene

una bandera *plot_signal* que habilita la impresión de una figura con las características programadas, como se observa en la Figura B.1. El parámetro se ingresa en formato de cadena de caracteres entre comillas simples, que puede ser 'ON' u 'OFF'.

La función retorna como parámetros de salida un vector de tiempo *time_vector* con el periodo de muestreo dado en la entrada y un vector *pulse_signal* de valores de la señal de pulso digital.

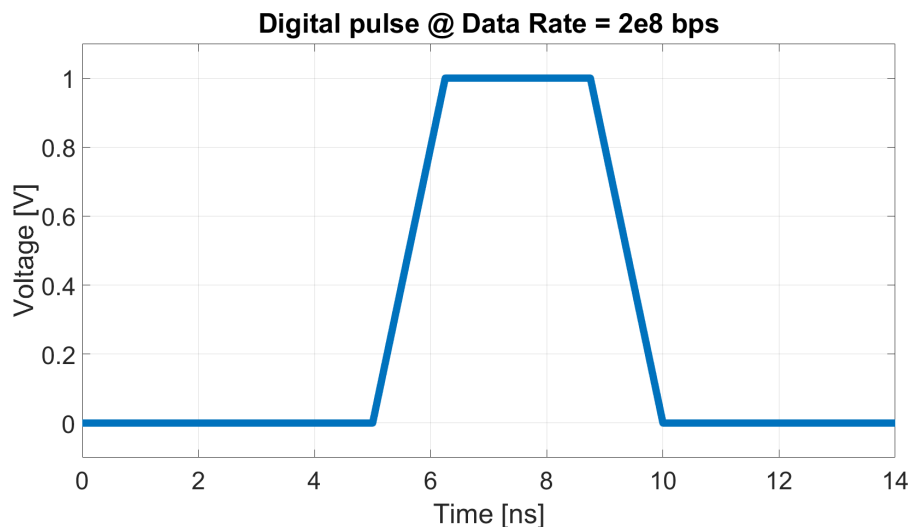


Figura B.1: Función de pulso digital.

B.1.2 spi_vsrc_step

Parámetros de entrada

- v_low (v_l)
- v_high (v_h)
- t_delay (t_d)
- t_rise (t_r)
- transient_time
- time_step
- plot_signal

Parámetros de salida

- time_vector
- pulse_signal

Uso de la función

```
%
%-----
% Generate step signal
%-----
[time_vector, pulse_signal] = ...
    spi_vsrc_step(v_low, v_high, t_d, t_r, ...
        sample_period, transient_time, 'ON');
```

Esta función toma de parámetros de entrada los valores necesarios para construir un escalón, así como el tiempo de transiente y periodo de muestreo. Adicionalmente se tiene una bandera *plot_signal* que habilita la impresión de una figura con las características programadas, como se observa en la Figura B.2. El parámetro se ingresa en formato de cadena de caracteres entre comillas simples, que puede ser 'ON' u 'OFF'.

La función retorna como parámetros de salida un vector de tiempo *time_vector* con el periodo de muestreo dado en la entrada y un vector *step_signal* de valores de la señal de escalón.

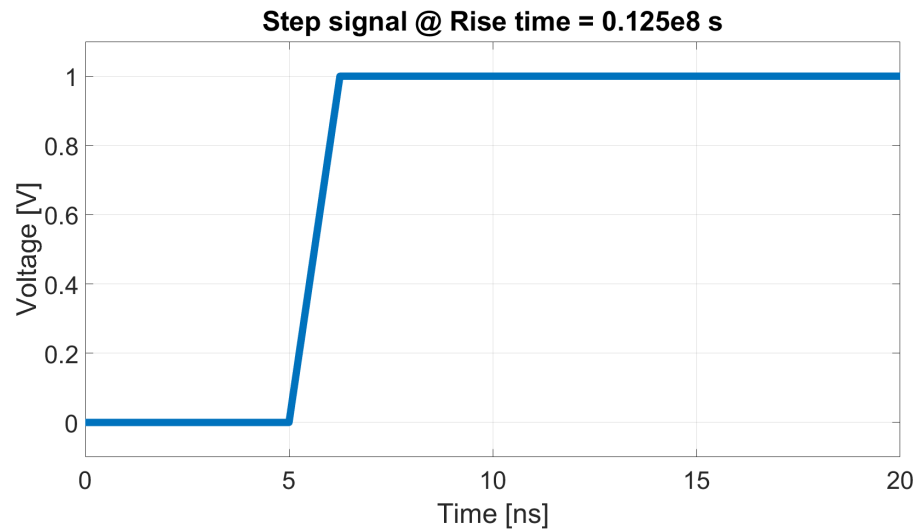


Figura B.2: Función de escalón.

B.1.3 spi_vsrb_src_prbs

Parámetros de entrada

- *v_low* (v_l)
- *v_high* (v_h)
- *data_rate*
- *t_delay* (t_d)
- *t_rise* (t_r)
- *t_fall* (t_f)
- *prbs_k*
- *seed*
- *num_of_bits*
- *plot_signal*

Parámetros de salida

- *time_vector*
- *pulse_signal*
- *time_step*

Uso de la función

```

%-----
% Generate PRBS signal
%-----
[vtime_signal, test_signal, T_s_pulse] = ...
    spi_vsrc_prbs(v_low, v_high, data_rate, t_d, t_r, t_f, ...
        prbs_k, seed, num_of_bits, samples_per_symbol, 'ON');

```

Esta función crea un tren de pulsos a partir de una secuencia de bits pseudoaleatorios (PRBS) que son generados por un polinomio de orden $prbs_k$ y una semilla opcional $seed$. La semilla puede tener un valor de -1 para utilizar internamente un valor por defecto. En caso contrario, la semilla debe coincidir en bits con el orden del polinomio y se utiliza el formato entre comillas ('101' por ejemplo). Adicionalmente se tiene una bandera $plot_signal$ que habilita la impresión de una figura con las características programadas, como se observa en la Figura B.3. El parámetro se ingresa en formato de cadena de caracteres entre comillas simples, que puede ser 'ON' u 'OFF'.

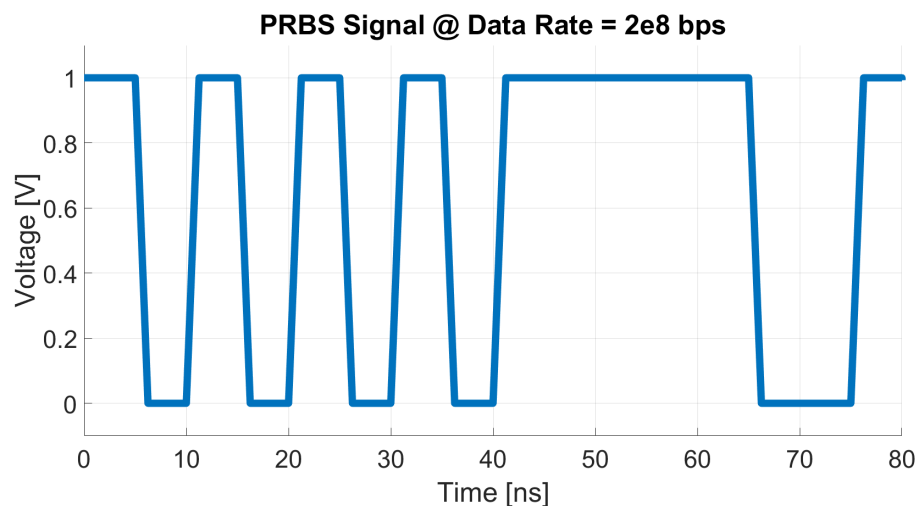


Figura B.3: Función de PRBS-k.

La función retorna como parámetros de salida un vector de tiempo $time_vector$ con el periodo de muestreo dado en la entrada y un vector $prbs_signal$ de valores de la secuencia pseudoaleatoria.

B.1.4 spi_vsrc_bitseq

Parámetros de entrada

- v_low (v_l)
- v_high (v_h)
- $data_rate$
- t_delay (t_d)
- t_rise (t_r)
- t_fall (t_f)
- $bit_sequence$
- $samples_per_symbol$
- $plot_signal$

Parámetros de salida

- `time_vector`
- `pulse_signal`
- `time_step`

Uso de la función

```
%
%-----
% Generate bit sequence signal
%-----
[vtime_signal, bitSeq_signal, T_s_pulse] = ...
    spi_vsrc_bitseq(v_low, v_high, data_rate, t_d, t_r, t_f, ...
    bit_sequence, samples_per_symbol, 'OFF');
```

Esta función crea un tren de pulsos a partir de una secuencia de bits predefinida en formato entre comillas sencillas, por ejemplo '101100101'. Adicionalmente se tiene una bandera `plot_signal` que habilita la impresión de una figura con las características programadas, como se observa en la Figura B.4. El parámetro se ingresa en formato de cadena de caracteres entre comillas simples, que puede ser 'ON' u 'OFF'.

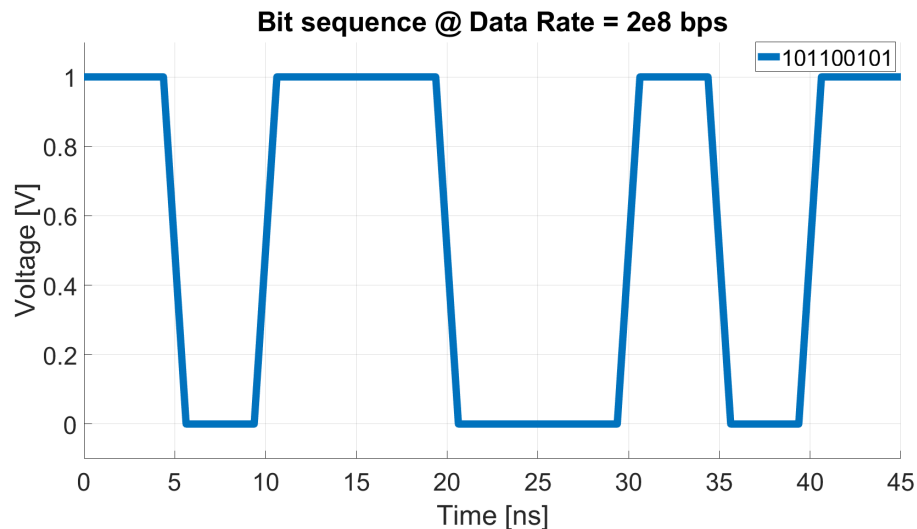


Figura B.4: Función de secuencia de bits.

La función retorna como parámetros de salida un vector de tiempo `time_vector` con el periodo de muestreo dado en la entrada y un vector `bitseq_signal` de valores de la secuencia de bits.

B.1.5 spi_vsrc_gaussian

Parámetros de entrada

- `unit_interval`
- `samples_per_symbol`
- `time_delay`
- `plot_signal`

Parámetros de salida

- `time_vector`
- `gauss_pulse`
- `time_step`

Uso de la función

```
%-----
% Generate gaussian pulse
%-----
[vtime_signal, gaussian_pulse, T_s_pulse] = ...
    spi_vsrc_gaussian(unit_interval, samples_per_symbol, time_delay, 'ON')
```

Esta función crea un pulso gaussiano. Adicionalmente se tiene una bandera *plot_signal* que habilita la impresión de una figura con las características programadas, como se observa en la Figura B.5. El parámetro se ingresa en formato de cadena de caracteres entre comillas simples, que puede ser 'ON' u 'OFF'.

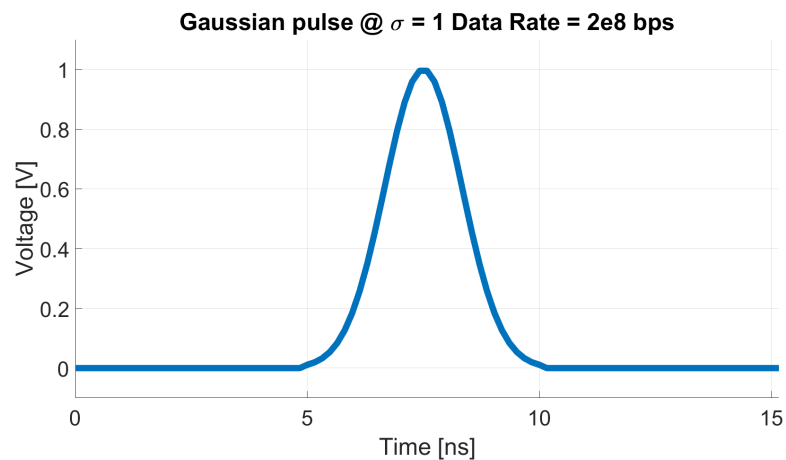


Figura B.5: Función de pulso gaussiano.

La función retorna como parámetros de salida un vector de tiempo *time_vector* con el periodo de muestreo dado en la entrada y un vector *gaussian_pulse* de valores del pulso gaussiano.

B.1.6 spi_prbs_k_gen

Parámetros de entrada

- `prbs_k`
- `seed`
- `num_of_bits`

Parámetros de salida

- `prbs_bits`

Esta función crea una secuencia de bits pseudoaleatorios basado en un polinomio de grado k . Puede utilizarse de manera independiente para generar un vector de bits pseudoaleatorios, aunque es utilizada por el generador de PRBS. Recibe como parámetros de entrada el grado del polinomio dado por el valor de *prbs_k*, un valor de semilla diferente de 0 en formato entre comillas simples, por ejemplo '101' y la longitud de la secuencia en bits *num_of_bits*. La longitud máxima para un valor k dado es $2^k - 1$, por lo que si *num_of_bits* supera este valor, la secuencia se repite nuevamente hasta ese valor. Un valor de semilla igual a -1 hará que se utilice un valor por defecto. En la Tabla 3.1 se observan los polinomios utilizados para la secuencia pseudoaleatoria de 3 a 32 bits.

B.1.7 spi_impulse_response

Parámetros de entrada

- v_frequency
- s_params
- query_dt
- plot_signal

Parámetros de salida

- vtime_imp_resp
- impulse_response
- imp_resp_dt
- base_delay

Uso de la función

```
%-----
% Generate impulse responses matrix from all ports
%-----
[time_matrix, imp_resp_matrix, T_s_imp_resp] = spi_impulse_response(...
    v_frequency, output_matrix_s, sampling_period, 'OFF');
```

B.2 Entorno gráfico

Se desarrolló un entorno gráfico con el cual se desea realizar el manejo y procesamiento de archivos de Parámetros S además de la simulación de canales eléctricos con las fuentes generadoras mencionadas anteriormente. La interfaz que se observa en la Figura B.6 cuenta actualmente con las siguientes capacidades:

- Lectura de archivos Touchstone con posibilidad de conversión a parámetros Z, Y, S y ABCD.
- Graficos de los parámetros en los puertos seleccionados, con posibilidad de mostrar magnitud, fase o parte real o imaginaria.
- Cambio de terminación Z_0 a un valor diferente al de referencia en Parámetros S.

- Posibilidad de guardar el archivo en un formato diferente al original.

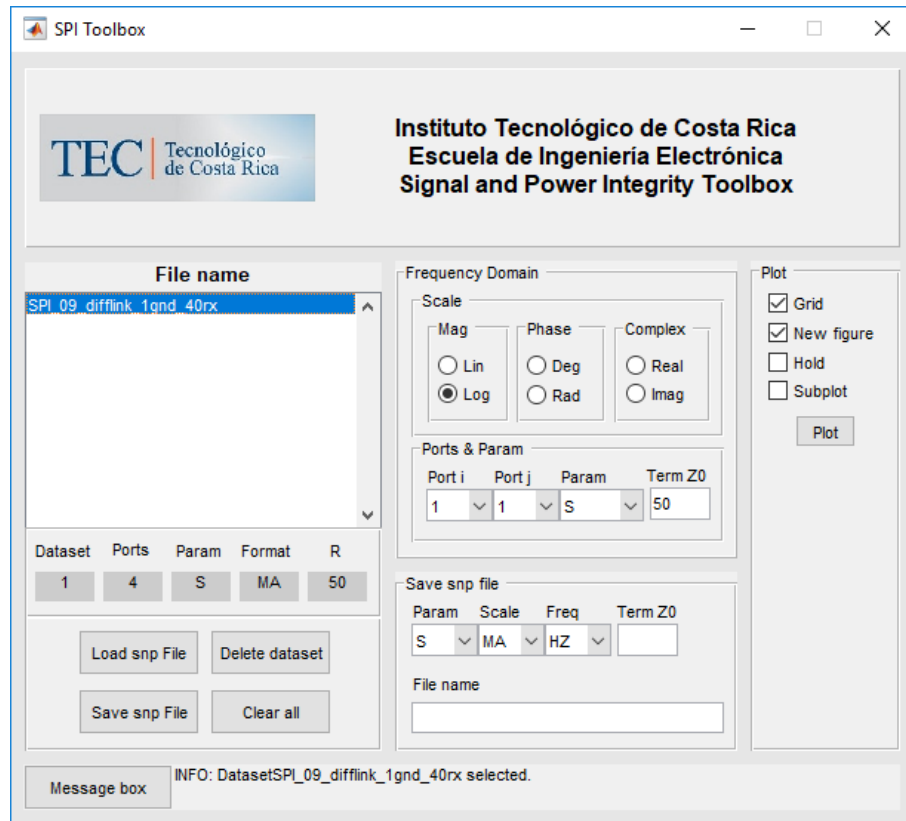


Figura B.6: Entorno gráfico de SPI Toolbox.