

# 一种双路正交输出的高精度低杂散直接数字合成器

陈丽燕,许惠英\*,陈亮亮

(厦门大学电子科学与技术学院,福建 厦门 361005)

**摘要:**介绍了直接数字合成器(DDS)工作的原理,提出了 DDS 资源优化的设计方法,并在 ISE(integrated software environment)软件环境下使用 verilog 语言在现场可编程门阵列(FPGA)上设计实现了一种双路正交输出且具有高精度低杂散的 DDS.在 MATLAB 的环境下,对其输出的频谱特性进行了仿真,最后分析了 DDS 的设计参数和输出信号杂散度之间的关系,为工程应用的实现提供了设计依据.

**关键词:**直接数字合成器;现场可编程门阵列;杂散;高精度;资源优化

中图分类号:TN 015

文献标志码:A

文章编号:0438-0479(2019)01-0116-06

高精度低杂散的信号源是各种实验和测试过程中所不可缺少的工具,在雷达、通信、控制、测量、教学等领域应用十分广泛.传统的频率合成方法设计的信号源在功能、成本、精度等方面均存在缺陷和不足,不能满足现代电子技术的发展要求.为了解决这个问题,Tierney 等<sup>[1]</sup>提出了直接数字合成器(DDS)技术,与传统的频率合成技术相比,DDS 技术具有极快的变频速度、极高的频率分辨率、极低的相位噪声、连续的变频相位,易于功能扩展,便于全数字化集成,容易实现对输出信号的多种调制等优点,满足了现代电子系统的要求,因此得到了迅速的发展<sup>[2]</sup>.但由于目前市面上的 DDS 芯片,资源占用大、价格昂贵等原因,使得其应用受到限制.本文中采用基于现场可编程门阵列(FPGA)的设计以实现低杂散高精度的 DDS,利用正余弦特性来对波形的只读存储器(ROM)的查找表进行压缩,以降低资源的占用率 and 设计成本,并且通过改变频率控制字( $K$ )灵活地修改和配置所需要的输出频率.

累加器和 ROM.DDS 总的结构图如图 1 所示<sup>[3-4]</sup>.

DDS 的工作原理:在参考时钟( $f_{clk}$ )的驱动下,相位累加器对  $K$  进行线性累加;得到的相位码对 ROM 进行寻址,使之输出相应的幅度码;经过 D/A 转换器得到相应的阶梯波;之后使用低通滤波器对其进行平滑,得到所需频率的平滑连续的波形.其中相位累加器有  $N$  位加法器和  $N$  位累加寄存器级联构成,其工作原理如下图 2 所示.

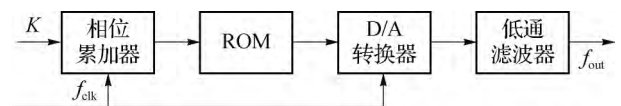


图 1 DDS 的结构框图

Fig.1 Structure diagram of the DDS

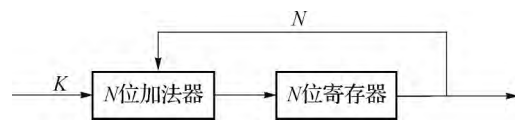


图 2 相位累加器框图

Fig.2 Diagram of the phase accumulator

## 1 DDS 原理及设计思想

DDS 是从相位概念出发的直接合成所需波形的频率合成技术,由相位累加器、ROM、数模(D/A)转换器和低通滤波器组成,其中 FPGA 的实现部分是相位

## 2 DDS 资源优化的设计方法

为了降低资源的占用率 and 设计成本,对 ROM 表

收稿日期:2017-11-20 录用日期:2018-08-17

基金项目:国家自然科学基金(11674219)

\*通信作者: xuhy@xmu.edu.cn

引文格式:陈丽燕,许惠英,陈亮亮.一种双路正交输出的高精度低杂散直接数字合成器[J].厦门大学学报(自然科学版),2019,58(1):116-121.

Citation: CHEN L Y, XU H Y, CHEN L L. A high-precision and low-spur direct digital synthesizer with dual orthogonal output [J]. J Xiamen Univ Nat Sci, 2019, 58(1): 116-121. (in Chinese)



<http://jxmu.xmu.edu.cn>

进行压缩,是利用相位累加器的次高位来判断象限的,将正弦波合成到  $0 \sim \pi$  范围内;最高位作为符号位,将正弦波合成到  $0 \sim 2\pi$  范围内.

为了产生低杂散高精度的正弦信号,需要 DDS 有尽可能多的相位地址宽度,即在一定系统时钟条件下提高频率的最小分辨率和量化精度;同时需要尽可能地减小 ROM 的存储空间,从而降低有效位 DDS 的成本.这需要对图 1 所示的 DDS 结构进行优化(如图 3 所示).

从 DDS 的原理来看,提高 DDS 的相位地址有效位需要提高 ROM 中存储正弦波形的采样率,通过提高 DDS 输出的数据有效位数来提高正弦波形的量化精度.这就需要更多 ROM.为了降低成本,本文中利用正弦波形的对称性对 ROM 的结构进行优化,使之能够在不增加成本的前提下提高 DDS 的精度,降低杂散.在实际工程实践中,往往需要两路完全正交的正弦波,因此在实现能够节省存储资源的同时,还要求该 DDS 具有同时提供两路完全正交波形的能力.

### 2.1 正/余弦相位地址的转换

由于两个正交的正弦和余弦波形在相位上相差  $\frac{\pi}{2}$ ,故已知某一时刻正弦波形的相位就能够计算出和

它正交的余弦波形的相位,用这两个相位作为某个 ROM 的地址就能同时产生两路相互正交的信号.

本设计的算法实现采用 verilog HDL 语言,verilog HDL 语言专门面向硬件与系统设计,可以在芯片算法、功能模块、结构层次、测试向量等方面进行描述,是当前专用集成电路(ASIC)/FPGA 设计的主要语言之一[5].

相应地 verilog 代码如下:

```

always @ (posedge clk) //相位累加器的实现部分
begin
    if(rst)
        add_a<=16'b0;
    else if(clk_en)
        add_a<=freq_word_nco;
end
always @ (posedge clk)
begin
    if(rst)
        add_reg<=16'b0;
    else if(clk_en)
        add_reg<=add_reg+add_a; //add_reg 为累加的结果
end

```

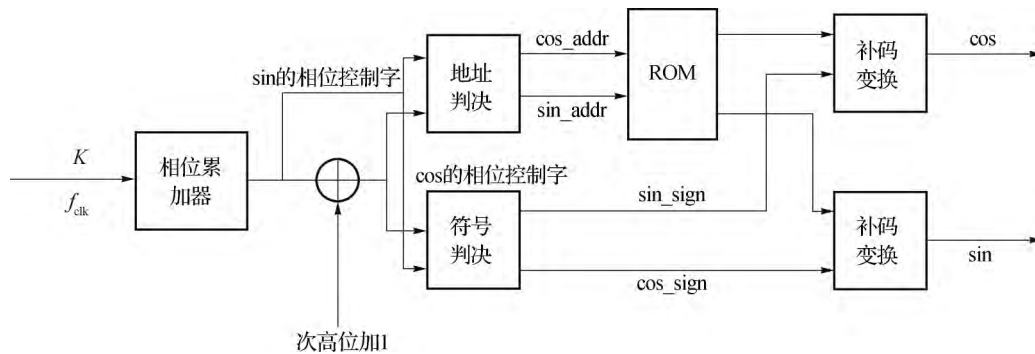


图 3 DDS 的结构优化

Fig.3 Diagram of the structural optimization

### 2.2 不同象限的相位地址转换

不同象限的相位地址转换:即将其他象限的任意 Y 值对应的相位地址转换成  $[0, \frac{\pi}{2})$  区间内与 Y 幅度绝对值相等的值所对应的相位地址.将在  $[0, 2\pi)$  区间的正弦波形做等间隔采样,采样间隔为  $\frac{2 \times \pi}{M}$ , 设第 n 个点正弦值为 Y,其中  $0 \leq n \leq M-1$ ;  $-1 \leq Y \leq 1$ ; 将 n 用 N 位二进制表示,m 用 N-2 位二进制表示在

$[0, \frac{\pi}{2})$  区间内与 Y 的绝对值相等的值所对应的相位地址.发现 Y 的符号以及 m 的取值都和 n 有一定的关系,如表 1 所示.

即当 n 的最高位为 0 时,DDS 输出的值 Y 是正的;当 n 的最高位为 1 时,DDS 输出的值 Y 是负的.当 n 的次高为 0 时,对应的相位地址值(m)取 n 的后面 N-2 位的值;当 n 的次高为 1 时,对应的相位地址值(m)取 n 的后面 N-2 位取反的值.

地址的判断,用次高位来判断对应的相位地址

$m$  是否取反,如上表 2 所示,其对应的 verilog 代码如下:

表 1 正弦波地址取值分析

Tab.1 Analysis of sine wave address

样点所在区间	Y 的符号	$N-2$ 位二进制值 $m$	$N$ 位二进制值 $n$
$[0, \frac{\pi}{2})$	+	$n$ 的后 $N-2$ 位的值	00XXXX
$[\frac{\pi}{2}, \pi)$	+	$n$ 的后 $N-2$ 位取反的值	01XXXX
$[\pi, \frac{3\pi}{2})$	-	$n$ 的后 $N-2$ 位的值	10XXXX
$[\frac{3\pi}{2}, 2\pi)$	-	$n$ 的后 $N-2$ 位取反的值	11XXXX

表 2 符号判断

Tab.2 Symbol judgment

$N$ 的最高位值	Rom 存储值输出后的符号
0	+
1	-

```
// Address judgment;
always @ (posedge clk) // 地址的判断,用次高位来判断
    对应的相位地址  $m$  是否取反
begin
    if(rst)
        addr_rom_sin<=14'b0;
    else if(addr_sin[0])
        addr_rom_sin<=~add_reg[13:0];
    else addr_rom_sin<=add_reg[13:0];
end
always @ (posedge clk)
begin
    if(rst)
        addr_rom_cos<=14'b0;
    else if(addr_cos[0])
        addr_rom_cos<=~add_reg[13:0];
    else addr_rom_cos<=add_reg[13:0];
end
```

用最高位来判断输出值是否为正或负,如表 3 所示,相应的 verilog 实现代码如下:

```
//Symbol judgment;
always @ (posedge clk) // 象限判断,最高位来判断
    对应的输出值是否取正或负
```

```
begin
    if(rst)
        sin_nco<=16'b0;
    else if(addr_sin[1])
        sin_nco<=~{1'b0,sine}+1'b1;
    else sin_nco<={1'b0,sine};
end
always @ (posedge clk)
begin
    if(rst)
        cos_nco<=16'b0;
    else if(addr_cos[1])
        cos_nco<=~{1'b0,cosine}+1'b1;
    else cos_nco<={1'b0,cosine};
end
```

表 3 象限的地址转换

Tab.3 Quadrant address translation

$N$ 的次高位值	$m$
0	$n$ 的后 $N-2$ 位的值
1	$n$ 的后 $N-2$ 位取反的值

### 2.3 ROM 值的生成

步骤如下:

1) 利用 MATLAB 计算出正、余弦波形的浮点值,并量化 16 bit 的定点波形数值.

相应的 MATLAB 代码实现如下:

```
x=linspace(0,pi/2,16384);
y_sin=sin(x);
y_sin=y_sin*2^15-1;
fid=fopen('f:/sin_coe.txt','wt');
fprintf(fid,'%16.0f\n',y_sin);
fclose(fid)
```

2) 产生 coe 文件.

3) 将 coe 文件加载到 bolck ROM 所生成的 ROM 中.

### 3 频谱杂散的主要误差

1) 相位截断误差.为了使 DDS 具有很高的频率分辨率,一般相位累加器的位数( $N$ )取值较大.但如果将  $N$  位都用于寻址,则所需的 ROM 数量极大,在实际应用中是不可能的.一般将  $N$  位相位地址的高  $A$  位用于寻址,其余位  $B=N-A$  舍弃不用,这种相位截断即是 DDS 杂散的主要来源,即相位截断误差.因为 DDS 的输出一般都是正弦信号,因此它的相位截断具

有较明显的周期性,尤其是当系统的时钟频率是输出正弦波频率的整数倍时,这种周期性就更加明显.这相当于周期性地引入一个截断误差,最终的影响是输出的信号带有一定的谐波分量,表现在输出频谱上则是有杂散信号的存在<sup>[6]</sup>.

相位截断误差的数学推导请参照相关资料<sup>[7-8]</sup>,可知主谱与最大杂散幅度之比满足如下关系:

$$6.02(N - B) < \left[ \frac{S}{S_{sfd}} \right] < [6.02(N - B) + 3.92],$$

其中,  $S$  为主谱幅度,  $S_{sfd}$  为最大杂散幅度.

2) 幅度量化误差.在 DDS 中,相位到幅度的转换是通过查找 ROM 查找表来实现的.然而 ROM 查找表的字长有限,因此存在着幅度量化误差,这即是 DDS 误差的第二个来源.

3) D/A 转换的非理想特性误差.与相位截断误差和幅度量化误差引起的杂散相比较, D/A 的非线性(特别是 D/A 的动态特性)引起的杂散是最严重的<sup>[9-10]</sup>.由于 D/A 转换器的有限分辨率、瞬间毛刺、非线性特性、数字噪声和转换速率等非理想转换特性的存在, DDS 的输出信号会产生失真,从而引入误差.此外,滤波器的非理想频率响应也会引入误差.

由以上分析可见,相位截断误差、幅度量化误差及 D/A 转换的非理想特性误差是引起 DDS 输出频谱杂散的最主要原因.由于幅度量化误差的影响远远小于另外两种误差,并且 D/A 转换的非理想特性带来的频谱杂散不易计算,所以把改进重点放在相位截断引起的杂散上.

## 4 仿真结果及分析

### 4.1 时序仿真和频谱分析

为了验证本文中给出的 DDS 设计系统在功能和时序上的准确性,对其进行了频谱分析和时序仿真.测试仪器为:信号源 Agilent E4432B,频谱仪,时序仿真软件为 Modelsim 6.5.仿真结果如图 4 所示.

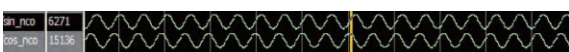


图 4 两路正交的正余弦波形

Fig.4 Two orthogonal sine and cosine waveforms

仿真结果表明 DDS 输出的是两路正交的正余弦波形.

通过下载抓数据来分析数据的频谱.因为  $K$  是

$N=22$  位的且值为 55 555,根据  $f_{out} = 1/T = f_{clk} \times K/2^N$ ;最终  $f_{out}$  为 5.12 MHz.  $K$  的 22 位值为 AAAAA,最终  $f_{out}$  为 10.24 MHz.分别如图 5 和如 6 所示.

(a) $[0, \frac{\pi}{2})$	cos_nco	15136	16384	16069	15136	13621	11583	9099	6266	3191
	sin_nco	6271	0	3197	6271	9104	11587	13625	15139	16070
(b) $[\frac{\pi}{2}, \pi)$	cos_nco	15136	3191	0	-3197	-6271	-9104	-11587	-13625	-15139
	sin_nco	6271	16070	16384	16069	15136	13621	11583	9099	6266
(c) $[\pi, \frac{3}{2})$	cos_nco	15136	16384	16069	15136	13621	11583	9099	6266	3191
	sin_nco	6271	0	3197	6271	9104	11587	13625	15139	16070
(d) $[\frac{3}{2}\pi, 2\pi)$	cos_nco	15136	0	3197	6271	9104	11587	13625	15139	16070
	sin_nco	6271	16384	16069	15136	13621	11583	9099	6266	3191

图 5 4 个区间 sin 和 cos 的值

Fig.5 Four interval sin and cos values

### 4.2 DDS 模块的输出频率 $f_{out}$

相位累加器在参考时钟驱动下进行相位累加.当累加满量时就会产生一次溢出,完成一个周期性的动作.

令 DDS 模块的输出频率为  $f_{out}$ ,周期为  $T$ ,则有  $f_{out} = \frac{1}{T}$ .由于共有  $\frac{2^N}{K}$  个相位抽样点,且每两个点间

隔时间为  $\frac{1}{f_{clk}}$ ,则总的时间  $T = \frac{2^N}{K} \times \frac{1}{f_{clk}}$ ,进而  $f_{out} = \frac{1}{T} = \frac{f_{clk} \times K}{2^N}$ .因此通过改变  $K$  的值就能产生相应频率的波形,体现了 DDS 输出频率的灵活性.

### 4.3 DDS 可实现的性能指标

频率分辨率:  $\Delta f = \frac{f_{clk}}{2^N}$ ,对于频率合成方式的 DDS,只要是累加器的位数足够多,理论上可以达到任意无限高的频率分辨率,本设计  $N=22, f_{clk} = 61.44$  MHz,分辨率可达到 14.6 Hz.

无杂散动态范围(SFDR):相位截断误差的数学推导<sup>[4,6,11]</sup>参照相关资料<sup>[7-8]</sup>,可知主谱与最大杂散幅度之比满足如下关系:

$$6.02(N - B) < \left[ \frac{S}{S_{sfd}} \right] < [6.02(N - B) + 3.92],$$

理论上 SFDR 在  $[96.32, 100.24]$ ,单位 dB,实际测得 SFDR 为 -95 dB.

### 4.4 设计系统的市场评估

为了对此设计进行评估,将其在 Xilinx 公司的开发软件 Vivado 中进行了设计和优化,经实验测试,在 Vivado 环境下选取同一器件,优化后的 DDS 不仅结构简单、效率提高、消耗 FPGA 存储资源和逻辑资源少,且具有同时输出两路相互正交信号的能力,能够

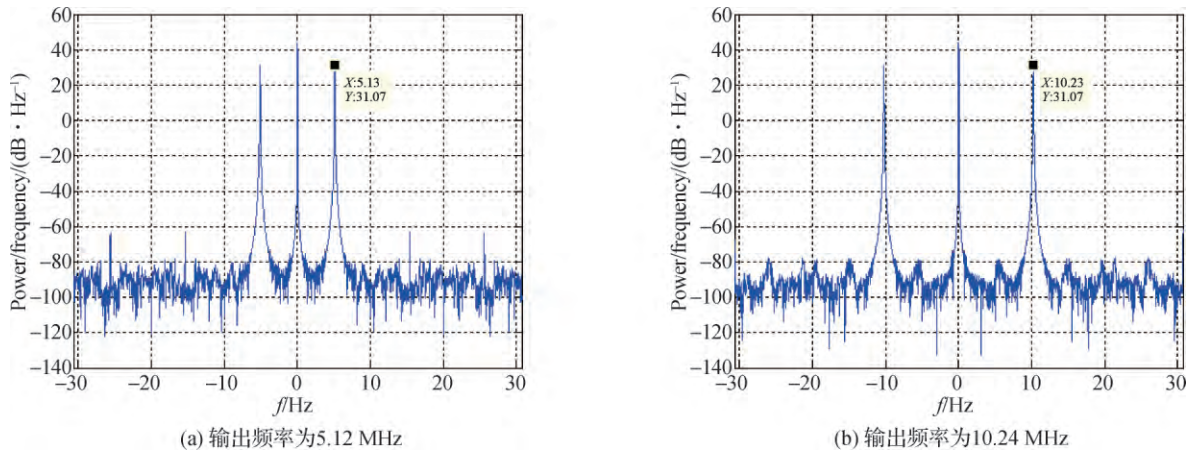


图 6 输出频率

Fig.6 Shows the output frequency

满足通信系统中数字正交调制和数字正交下变频等需求.

基于 Artix-7 平台,该设计所占用的 FPGA 资源如表 4 所示.

同样基于 Artix-7 平台,传统的设计方法所占用的 FPGA 资源如表 5 所示.

表 4 此设计方法的 FPGA 资源占有率

Tab.4 FPGA resource occupancy of this design method

资源类型	使用情况	固定类型	可用资源	占有率/%
Slice LUTs	46	0	10 400	0.44
LUT as Logic	46	0	10 400	0.44
LUT as Memory	0	0	9 600	0
Slice Registers	48	0	20 800	0.23
Register as Flip Flop	48	0	20 800	0.23
Register as Latch	0	0	20 800	0
F7 Muxes	0	0	16 300	0
F8 Muxes	0	0	3 150	0

表 5 传统设计方法的 FPGA 资源占有率

Tab.5 FPGA resource occupancy of traditional design methods

资源类型	使用情况	固定类型	可用资源	占有率/%
Slice LUTs	108	0	10 400	1.04
LUT as Logic	108	0	10 400	1.04
LUT as Memory	0	0	9 600	0
Slice Registers	116	0	20 800	0.56
Register as Flip Flop	116	0	20 800	0.56
Register as Latch	0	0	20 800	0
F7 Muxes	0	0	16 300	0

F8 Muxes	0	0	3 150	0
----------	---	---	-------	---

由表 4 可以看出,本文中给出的 DDS 设计占用资源比传统的方法所占用的资源减少近 50%,由于 FPGA 市场价格高,本设计中硬件成本可以大幅度缩减,且以上的设计性能几乎和现有的专用芯片相当,所以此设计在市场评估中很有优势.

### 5 结 论

在对 DDS 的基本原理进行深入理解的基础上,本文中给出了在 FPGA 上实现 DDS 的一种资源优化方法,即利用正余弦的特性来压缩 ROM 的查找表,在保证芯片使用精度的情况下减少了近 1/2 的资源,大大节约了 ROM 的容量.同时使用 Verilog HDL 语言在 Vivado 软件平台上实现了优化,并把该设计适配到 Xilinx 公司的 XC4VSX35 的 FPGA 型号上,在该系列型号的 FPGA 芯片上用该方法实现了算法.使用仿真软件 Modelsim 6.5 对其进行时序仿真,验证了此设计系统在功能和时序上的正确性.通过改变相位累加器的 K 来灵活地改变所要的输出频率,最后把代码下载到 FPGA 后,通过频谱分析仪可验证输出频率为正确的.

经实验测试,在 Vivado 环境下选取同一器件,采用优化后的 DDS 设计方法,不仅提高了工作频率,而且占用 FPGA 的资源比传统 DDS 方法减少了近 50%.所以用该方法实现的 DDS 结构简单,消耗 FPGA 存储资源和逻辑资源少,且具有同时输出两路相互正交信号的能力,能够满足通信系统中数字正交调制和数字正交下变频等需求,并且设计实现的 DDS

<http://jxmu.xmu.edu.cn>

具有高精度、低杂散、占用资源少等特性,在工程运用中具有一定的应用价值.

### 参考文献:

- [1] TIERNEY J, RADER C, GOLD B. A digital frequency synthesizer[J]. IEEE Transaction on Audio and Electro-acoustics, 1971, 19(1): 48-57.
- [2] 夏宇闻. 从算法设计到硬件逻辑的实现: 复杂数字逻辑系统的 verilog HDL 设计技术方法[M]. 北京: 高等教育出版社, 2001: 2.
- [3] 江志浩, 孙明珠, 蔡德荣. 高精度 DDS 的 FPGA 资源优化设计[J]. 微计算机信息, 2009, 25(1/2): 191-193.
- [4] 刘科. 高速任意波形合成关键技术研究[D]. 成都: 电子科技大学, 2010: 63-71.
- [5] 张厥盛, 曹丽娜. 锁相与频率合成技术[M]. 成都: 电子科技大学出版社, 1994: 85-102.
- [6] 王建新, 张先萌. 直接数字频率合成中相位截断误差分析[J]. 电子测量与仪器学报, 1994(1): 63-69.
- [7] 张玉兴, 彭清泉. 相位舍位对 DDS 谱分布的影响[J]. 电子科技大学学报, 1997, 26(2): 137-142.
- [8] 刘抒珍, 童子权, 任丽军, 等. DDS 波形合成技术中低通椭圆滤波器的设计[J]. 哈尔滨理工大学学报, 2004, 9(4): 22-24.
- [9] KROUPA V F. Spectral properties of DDS: computer simulation and experimental verifications[C]// IEEE Proc 48th AFCS. Boston: IEEE, 1994: 613-623.
- [10] KROUPA V F, CIZEK V, STURSA J, et al. Spurious signal in direct digital frequency synthesizer due to the phase truncation[J]. 2000 IEEE Transactions on Ultrasonic, Ferroelectrics and Frequency Control, 2000, 47(5): 1166-1172.
- [11] 吴青珍. 直接数字频率合成器的杂散抑制研究与设计[D]. 西安: 西安电子科技大学, 2017: 10-18.

## A high-precision and low-spur direct digital synthesizer with dual orthogonal output

CHEN Liyan, XU Huiying\*, CHEN Liangliang

(School of Electronic Science and Engineering, Xiamen University, Xiamen 361005, China)

**Abstract:** The paper first introduces the principle and optimizing method of the direct digital synthesizer (DDS), using Verilog language in integrated software environment (ISE) environment, a DDS with dual quadrature output and high precision and low spurious output is designed and implemented on field programmable gate array (FPGA), under the environment of MATLAB, the spectral characteristics of its output are simulated, finally analyzes the relationship of the parameters and the spurious noise, which can be a reference in DDS design.

**Keywords:** direct digital synthesizer; field programmable gate array; spurious noise; high precision; resource optimization