

Energieeffiziente HF-Front-End-Schaltungsarchitekturen am
Beispiel von ZigBee-Empfängern

Von der Fakultät für Ingenieurwissenschaften
der Universität Duisburg-Essen
zur Erlangung des akademischen Grades eines
Doktors der Ingenieurwissenschaften
genehmigte Dissertation

von
Thomas Stücke
aus
Gelsenkirchen

Referent: Prof. Bedrich J. Hosticka, Ph.D.

Korreferent: Prof. Dr.-Ing. Stefan Heinen

Tag der mündlichen Prüfung: 14. Juni 2007

Vorwort

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme (IMS) in Duisburg.

Mein besonderer Dank gilt Herrn Prof. Bedrich J. Hosticka, Ph.D., der mir in zahlreichen Gesprächen viele nützliche Anregungen unterbreitete und durch sein entgegengebrachtes Interesse sehr zum Gelingen dieser Arbeit beigetragen hat. Herrn Prof. Dr. Stefan Heinen danke ich sehr für die Übernahme des Korreferats.

Dr. Rainer Kokozinski, Leiter der Institutsabteilung „Schaltungsdesign und Drahtlose Systeme (SDS)“, danke ich für die grundlegende Motivation für diese Arbeit, sowie dass er mir die Möglichkeit zum erstellen der Dissertation und von Veröffentlichungen gegeben hat. Ganz besonders danke ich dem Leiter der Gruppe „IC Design für Drahtlose Systeme (IDS)“ Dr. Stephan Kolnsberg für die vielen wertvollen Ratschläge und für seine fachliche Unterstützung.

Sehr herzlich danken möchte ich den Herren Dr. Niels Christoffers und Dr. Dieter Greifendorf für die freundschaftlichen Gespräche und die fachlichen Anregungen in zahlreichen Diskussionen bei denen ich an ihrem umfassenden und tiefgehenden Fachwissen teilhaben durfte. Bedanken möchte ich mich ferner bei Herrn Burhart Klein für die Hilfestellungen bei allen Fragen hinsichtlich der CAD Software und bei Frau Tatjana Fedtschenko für die Unterstützung und die Diskussionen beim erstellen des Layouts. Dank gebührt auch allen hier nicht namentlich aufgeführten derzeitigen und ehemaligen Mitarbeitern der Abteilung SDS.

Meinem Vater Norbert Stücke danke ich ganz besonders, dass er all die Jahre für mich jederzeit da war und das er mir das Studium der Elektrotechnik und die anschließende Promotion ermöglicht hat. Weiterhin bin ich zutiefst dankbar meinen Verwandten Elisabeth und Franz Josef Stücke für ihre aufmunternden und motivierenden Worte, für die Ratschläge in allen Lebenslagen und ihre Unterstützung. Widmen möchte ich diese Arbeit meiner Mutter Christel Stücke die leider schon vor vielen Jahren verstorbenen ist und all dies nicht miterleben konnte.

Gelsenkirchen, im Juni 2007

Thomas Stücke

Inhaltsverzeichnis

1	Einleitung	1
1.1	Systemüberblick IEEE 802.15.4 (ZigBee)	2
1.2	Problembeschreibung	4
1.3	Zielsetzung der Arbeit	7
1.4	Gliederung der Arbeit	8
2	Festlegung der System- und Blockspezifikation	11
2.1	Empfängerarchitekturen	12
2.1.1	Homodyne-Empfänger	13
2.1.2	Heterodyne-Empfänger	16
2.1.3	Image-Reject-Empfänger	18
2.1.4	Digital-IF-Empfänger	20
2.1.5	Subsampling-Empfänger	21
2.1.6	Low-IF-Empfänger	22
2.1.7	Dual-Down-Conversion-Empfänger	23
2.1.8	Zusammenfassung	25
2.2	ADC	27
2.3	Festlegung der Systemkennzahlen des gesamten Empfängers	31
2.3.1	Bitfehlerverhältnis und theoretisches $\frac{E_b}{N_0}$	31
2.3.2	Konventioneller Weg zu den Systemkennzahlen	36
2.3.2.1	Rauschzahl des Empfängers	37
2.3.2.2	Verstärkung des Empfängers	38
2.3.2.3	Nichtlinearität des Empfängers	39
2.3.2.4	Zusammenfassung	43
2.3.3	Ermittlung der Systemkennzahlen mittels Systemsimulation	45

Inhaltsverzeichnis

2.3.3.1	Aufbau der Systemsimulation	45
2.3.3.2	Nichtlinearität und I/Q-Mismatch Modell	48
2.3.3.3	Modellierung des Rauschens	50
2.3.3.4	Simulationsergebnisse	51
2.3.3.5	Abschließende Festlegung der Systemkennzahlen	54
2.4	Spezifikation der einzelnen Schaltungsblöcke	56
2.4.1	Rauschzahl kaskadierter Schaltungsblöcke	56
2.4.2	Linearität kaskadierter Schaltungsblöcke	59
2.4.3	Eingangsreflexionsfaktor S_{11}	59
2.4.4	Abschließende Festlegung der Blockkennzahlen	61
3	Bauelemente in HF-Schaltungen und AVT	63
3.1	Der verwendete CMOS-Prozess	64
3.2	Transistormodell	65
3.2.1	Einleitung	65
3.2.2	Modellierung des DC-Verhaltens im EKV-Modell	67
3.2.2.1	Ströme, Ladungen und Transkonduktanzen	67
3.2.2.2	Spannungen an den Anschlüssen des MOSFETs	70
3.2.2.3	Kurzkanaleffekte	72
3.2.3	Kapazitätsmodellierung	74
3.2.3.1	Interne Kapazitäten	74
3.2.3.2	Externe Kapazitäten	77
3.2.4	Betrachtung der NQS-Effekte	79
3.2.5	Rauschmodellierung	82
3.2.5.1	Unterscheidung der Rauschphänomene	82
3.2.5.2	Rauschen von Kurzkanal-MOSFETs	85
3.2.5.3	Rauschen im EKV-Modell	86
3.3	Widerstände und Kondensatoren	89
3.4	Spulen	91
3.4.1	Aufbau der Spulen	92
3.4.2	Elektrische Eigenschaften der Spulen	93
3.4.2.1	Parasitische Einflüsse realer Spulen	93
3.4.2.2	Verbesserungsansätze	94

3.4.2.3	Einfaches physikalisches Modell	96
3.4.2.4	Definition der Spulengüte Q	97
3.4.2.5	Bestimmung der Parameter des Ersatzschaltbildes	100
3.4.3	Vergleich zwischen diskreter und integrierter Spule	104
3.5	Aufbau- und Verbindungstechnik (AVT)	107
3.5.1	Aufbau des Empfängersystems	107
3.5.2	Pads und Bonddrähte	109
3.5.2.1	Bondpads auf dem PCB und auf dem Chip	109
3.5.2.2	Bonddrahtverbindungen	112
3.5.2.3	Vollständiges Modell der Verbindung PCB zum Chip	116
3.5.3	ESD-Schutz	118
4	LNA-Architekturen	121
4.1	Common-Gate LNA	122
4.1.1	Aufbau und Kleinsignalersatzschaltbild	122
4.1.2	Eingangsimpedanz und Reflexionsfaktor	124
4.1.3	Spannungsverstärkung	126
4.1.4	Rauschzahl	127
4.1.5	Linearität	130
4.2	Common-Source LNA	133
4.2.1	Aufbau und Kleinsignalersatzschaltbild	133
4.2.2	Eingangsimpedanz	135
4.2.3	Spannungsverstärkung	136
4.2.4	Rauschzahl	137
4.3	Alternative Architekturen	140
4.3.1	Rückgekoppelter Verstärker	140
4.3.2	LNA nach Tiebout	144
4.3.3	LNA nach Janssens	149
4.3.4	Synthetische Spule	151
4.3.4.1	Aufbau und Wirkungsweise	151
4.3.4.2	Simulationsergebnisse	155
4.3.4.3	Bewertung und Zusammenfassung	158

Inhaltsverzeichnis

4.3.5	Symmetrische LNA-Schaltungen	160
4.3.6	LNA-Mischer-Kombination	162
4.4	Zusammenfassende Bewertung der LNA-Architekturen	163
5	Design und Optimierung des CG-LNAs	167
5.1	Numerische Evaluierung des CG-LNAs	168
5.2	Technologiebedingte Grenzen des CG-LNAs	169
5.2.1	Definition charakteristischer Kennzahlen	169
5.2.2	Grenzen des Eingangsreflexionsfaktors	172
5.2.3	Grenzen für das Noise Figure	176
5.3	Optimierung des CG-LNAs	179
5.4	Schaltungstechnische Realisierung	182
5.4.1	Aufbau der Schaltung	182
5.4.2	Temperaturkompensation	184
5.4.3	Simulationsergebnisse	185
5.5	Variable Verstärkung	191
5.5.1	Konzepte zur Verstärkungseinstellung	192
5.5.2	<i>SNR</i> -Performance	193
5.5.3	Realisierung des LNAs	194
5.5.4	Simulationsergebnisse	198
5.6	Diskussion der Ergebnisse	203
6	Zusammenfassung und Ausblick	207
A	Grundgleichungen und Definitionen im EKV-Modell	239
A.1	Transkonduktanzen	239
A.2	Numerische Lösung der Interpolationsfunktion	239
A.3	Geschwindigkeitssättigung	240
A.4	Transitfrequenz	241
A.5	Gate-Noise und Korrelation mit Drain-Noise	244
A.5.1	Gate-Noise-Faktor δ	244
A.5.2	Näherungen für die Gate-Admittanz	245
A.5.3	Korrelationskoeffizient c	246
A.5.4	Verhältnis der Rauschparameter $\frac{\delta}{\gamma}$	247

A.6	ON-Widerstand	248
A.6.1	Mit exakter Interpolationsfunktion	248
A.6.2	Mit Näherung für die Interpolationsfunktion	250
B	Modellentwicklung für die Bonddrahtverbindung	251
B.1	Herleitung des äquivalenten Vierpols	251
B.2	Impedanztransformation	254
C	Berechnungen zum Common-Gate LNA	257
C.1	Rauschen	257
C.1.1	Anteile der Ausgangsrauschleistungsdichte	258
C.1.2	Berechnung der Rauschzahl	259
C.2	Linearität	260
C.2.1	Mit exakter Interpolationsfunktion	261
C.2.2	Mit Näherung für die Interpolationsfunktion	262
C.2.3	Mit Geschwindigkeitssättigung	264
C.2.4	Vergleich der Ergebnisse	264
D	Common-Gate LNA mit reduzierter Versorgungsspannung	269
D.1	Aufbau und Funktionsweise	269
D.2	Simulationsergebnisse	271
E	Layouts	275
E.1	Hinweise zur Umsetzung der Schaltung	275
E.2	Realisierung des Layouts	277

Abbildungsverzeichnis

1.1	Einfluss von Veränderungen des Stroms im eingeschalteten Zustand I_{on} und im deaktivierten Zustand I_{stby} auf die Batteriestandzeit.	5
2.1	Blockschaltbild typische Aufteilung des Empfängers.	12
2.2	Blockschaltbild Homodyne-Empfänger mit Quadratur-Mischer. . .	13
2.3	Blockschaltbild Heterodyne-Empfänger.	17
2.4	Blockschaltbild Hartley-Empfänger.	19
2.5	Blockschaltbild Weaver-Empfänger.	20
2.6	Blockschaltbild Digital-IF-Empfänger.	21
2.7	Blockschaltbild Low-IF-Empfänger.	22
2.8	Blockschaltbild Dual-Down-Conversion-Empfänger.	24
2.9	Stromaufnahme des ADCs in mA in Abhängigkeit von der Basisband-Signalfrequenz und der Effektiven Anzahl der Bits bei $OSR = 1,5$ in einer $0,25 \mu\text{m}$ CMOS-Technologie.	29
2.10	Theoretisches Bitfehlerverhältnis (BER) des idealen DBPSK-Empfängers.	33
2.11	Prinzipielle Darstellung BER -Kurve, BER -Grenze und Grenze durch Störer.	35
2.12	Graphische Bestimmung des $IIP3$ aus Grundwelle und Intermodulationsprodukte dritter Ordnung.	40
2.13	Architektur des Empfängers.	46
2.14	Blockdiagramm der Simulationsumgebung, inklusive des äquivalenten Basisbandmodells des AFEs mit Nichtlinearitäten und I/Q-Mismatch (ANM).	47

Abbildungsverzeichnis

2.15	Modell für den I/Q-Mismatch und Mischer im Empfänger.	48
2.16	Vergleich unterschiedlicher Filterbandbreiten des Kanalselektions- filters.	52
2.17	DBPSK-Theorie mit äquivalenter Rauschbandbreite und simulier- te Kurve.	53
2.18	Einfluss des Störers und der Nichtlinearität.	54
2.19	Darstellung des rauschenden Zweitorts durch rauschfreies Zweitort mit äquivalenten Rauschquellen am Eingang.	57
2.20	Eingangsreflexionsfaktor $S_{11,\text{dB}}$ in dB in der komplexen Impedanz- ebene.	60
3.1	Ausgleichsfunktion G in Abhängigkeit vom Inversionskoeffizienten i_f und Unterteilung der Arbeitsbereiche des MOSFETs in schwa- che, moderate und starke Inversion.	70
3.2	Kleinsignalersatzschaltbild des MOSFETs im QS-Arbeitsbereich mit den fünf internen Kapazitäten C_{gs} , C_{gb} , C_{gd} , C_{bs} und C_{bd} . . .	75
3.3	Interne Kapazitäten c_{gs} , c_{gb} und c_{bs} des in Sättigung befindlichen MOSFET in Abhängigkeit vom Inversionskoeffizienten i_f mit der Annahme $n = 1, 3$ arbeitspunktunabhängig.	76
3.4	Kleinsignalersatzschaltbild des MOSFETs mit externen Kapazitäten. . .	77
3.5	Verhältnis der NQS-Zeitkonstante τ_{qs}/τ_0 in Abhängigkeit vom In- versionskoeffizienten i_f	80
3.6	Allgemeines Ersatzschaltbild des MOSFETs mit Rauschquellen. . .	83
3.7	Ersatzschaltbild des MOSFETs mit Rauschquellen i_{ng} und i_{nd} . . .	84
3.8	Drain-Noise-Faktor γ in Abhängigkeit vom Inversionskoeffizienten i_f für Langkanal- und Kurzkanaltransistor.	87
3.9	Gate-Noise-Faktor δ und Korrelationsfaktor c in Abhängigkeit vom Inversionskoeffizienten i_f für den Langkanaltransistor.	89
3.10	Schematischer Aufbau einer planaren Spule.	93
3.11	Einfaches physikalisches Modell der integrierten Spule.	96
3.12	Sehr einfaches Modell einer Spule und äquivalente Parallelschaltung. . .	100
3.13	Vergleich der unterschiedlichen Güte Definitionen.	101
3.14	Widerstand $R_{p,res}$ und Lastkapazität C_{Komp} der realen Spule. . . .	103

3.15	Einfaches Modell für den Anschluss einer diskreten Spule.	105
3.16	Güte Q_{LC} der diskreten 10,4 nH Spule, Baugröße 0604HQ (Fa. CoilCraft [1]) alleine und der gesamten Anordnung nach Abbildung 3.15.	106
3.17	Schematische Darstellung der Mikrostreifenanordnung am Bondpadanschluss auf dem PCB.	109
3.18	Bondpad auf dem Chip.	110
3.19	Modell erster Ordnung für das Bondpad.	110
3.20	Flächenvergleich viereckiges Pad zum achteckigen Pad.	111
3.21	Induktivität und Widerstand des Bonddrahtes in Abhängigkeit von der Länge.	114
3.22	Modell für die HF-Signalzuführung über eine GSG-Bonddrahtverbindung.	115
3.23	Äquivalenter Vierpol für GSG-Bonddrahtverbindung.	115
3.24	Gesamte Induktivität und Widerstand des Bonddrahtes in Abhängigkeit von der Länge.	116
3.25	π -Modell für die Signalzuführung vom PCB zum Chip.	117
3.26	Eingangsreflexionsfaktor $S_{11,\text{dB}}$ in Abhängigkeit von der Bonddrahtlänge l und der Pad-Kapazität C_{Pad} bei vier unterschiedlichen $C_{Pad,PCB}$ Werten und einem festen Widerstand von $R_{Empf} = 50 \Omega$	118
4.1	Prinzipschaltbild des Common-Gate LNAs.	122
4.2	Kleinsignalersatzschaltbild des Common-Gate LNAs.	123
4.3	Sperrschichtkapazität in fF am Source-Anschluss, exakte Rechnung nach Gleichung 3.27 und Näherung durch Gleichung 4.2.	125
4.4	Kleinsignalersatzschaltbild für die Rauschberechnung des Common-Gate LNAs.	127
4.5	Prinzipschaltbild für die Bestimmung der Linearität des CG-LNAs.	131
4.6	$IIP3$ für den CG-LNA unter der Annahme, dass sich der MOSFET wie ein idealer Langkanaltransistor verhält und $IIP3$ unter Berücksichtigung der Geschwindigkeitssättigung.	132

Abbildungsverzeichnis

4.7	Prinzipschaltbild des Common-Source LNAs a) als Grundschal- tung mit Arbeitspunkteinstellung, b) mit Erweiterung durch Kas- kodentransistor.	134
4.8	Kleinsignalersatzschaltbild des Common-Source LNAs.	135
4.9	Kleinsignalersatzschaltbild für die Rauschberechnung des Com- mon-Source LNAs.	138
4.10	Prinzipschaltbild des Shunt-Series-Amplifiers.	142
4.11	DC-Kleinsignalersatzschaltbild des Shunt-Series-Amplifiers.	142
4.12	Prinzipschaltbild des LNAs nach Tiebout [2].	144
4.13	Kleinsignalersatzschaltbild des LNAs nach Tiebout.	146
4.14	Simulationsergebnis: Spannungsverstärkung G_V des LNAs nach Tiebout mit unterschiedlichen Kapazitätswerten für C_{Komp}	147
4.15	Simulationsergebnis: $IIP3$ des LNAs nach Tiebout bei 10 MHz und 794 MHz.	148
4.16	Prinzipschaltbild des LNAs nach Janssens [3].	149
4.17	Vereinfachtes resultierendes Kleinsignalersatzschaltbild des LNAs nach Janssens.	150
4.18	Schaltbild der synthetischen Spule und prinzipieller Verlauf der Impedanz $ Z $	152
4.19	Schaltbild der synthetischen Spule, bestehend aus einem PMOS- Transistor.	153
4.20	Kleinsignalersatzschaltbild der synthetischen Spule mit parasitär- en Elementen (NMOS-Variante).	153
4.21	Vergleich Simulation und Berechnung der synthetischen Spule.	156
4.22	Simulation der synthetischen Spule mit variierten Dimensionie- rungsgrößen.	157
4.23	Lastkapazität (C_{Komp}) zur Kompensation der synthetischen Spule für unterschiedliche Dimensionierungsgrößen.	158
4.24	Noise-Excess-Faktor der synthetischen Spule $\Gamma_{syn,Spule}$	159
4.25	Prinzipschaltbild LNA-Mischer Kombination mit Current-Reuse- Technik.	162

5.1	Eingangsreflexionsfaktor $S_{11,\text{dB}}$ (Farbkontur) und Noise Figure NF (Konturlinien) in Abhängigkeit vom Inversionskoeffizienten i_f und Weite W für a) Langkanalverhalten und b) Kurzkanalverhalten.	170
5.2	Arbeitspunktabhängige charakteristische Performancekennzahlen der verwendeten CMOS-Technologie: Weitenbezogene Source-Transkonduktanz g'_{ms} und weitenbezogene totale Eingangskapazität C'_{in}	172
5.3	Arbeitspunktabhängige charakteristische Performancekennzahlen der verwendeten CMOS-Technologie: Eingangszeitkonstante τ_{in} und Eingangsgrenzfrequenz f_{in}	173
5.4	Arbeitspunkt- und weitenabhängiger minimaler Eingangsreflexionsfaktor $\min(S_{11,\text{dB}})$ in dB bei $f_c = 868,3$ MHz.	175
5.5	Arbeitspunkt- und weitenabhängiges Noise Figure NF bei minimalem Eingangsreflexionsfaktor $\min(S_{11,\text{dB}})$: Vergleich numerische Simulation und analytische Näherungen.	177
5.6	Arbeitspunkt- und weitenabhängiges Noise Figure NF bei konstantem Eingangsreflexionsfaktor $S_{11,\text{const}} = -15$ dB: Vergleich numerische Simulation und analytische Näherungen.	179
5.7	Arbeitspunkt- und weitenabhängiges Noise Figure NF bei minimalem Eingangsreflexionsfaktor $\min(S_{11,\text{dB}})$ und bei konstantem Eingangsreflexionsfaktor $S_{11,\text{dB}} = -15$ dB.	180
5.8	Grafische Optimierung des CG-LNAs.	181
5.9	Schaltungstechnische Realisierung des CG-LNAs.	183
5.10	Simulationsergebnisse Temperaturkompensation a) notwendiger Arbeitspunktstrom I_{AP} für $g_{ms} = \text{const.}$ und b) Source-Transkonduktanz g_{ms} vor und nach der Temperaturkompensation.	186
5.11	Simulationsergebnisse des CG-LNAs a) Spannungsverstärkung G_V und b) Eingangsimpedanz $ Z_{in} $	188
5.12	Simulationsergebnisse des CG-LNAs a) Noise Figure NF und b) Linearität ($IIP3$).	190
5.13	Einstellung der Verstärkung durch (a) Shuntwiderstand parallel zur Lastspule und (b) Anpassung des Arbeitspunktstroms, sowie Shuntwiderstand parallel zum Eingang zur Impedanzanpassung.	192

Abbildungsverzeichnis

5.14	Realisierung des CG-LNAs mit adaptiver Verstärkungseinstellung.	195
5.15	Reduzierung der Sperrschichtkapazität C_{jd} durch zusammenfassen der MOSFETs.	197
5.16	Simulationsergebnis des CG-LNAs bei den einzelnen Verstärkungseinstellungen: a) Spannungsverstärkung G_V und b) Noise Figure NF	199
5.17	Simulationsergebnis des CG-LNAs bei den einzelnen Verstärkungseinstellungen: a) Eingangsreflexionsfaktor S_{11} und b) Input Referred 3rd-Order Interception Point, $IIP3$ (Linearität).	201
5.18	Performance des CG-LNAs mit adaptiver Verstärkungseinstellung.	203
A.1	Transitfrequenz f_t des MOSFETs mit und ohne Geschwindigkeits-sättigung.	243
A.2	Arbeitspunktabhängiges Verhältnis der Rauschparameter $\frac{\delta}{\gamma}$	248
B.1	Modell für die Berechnung der Bonddrahtverbindung mit eingezeichneten Bezugspfeilen für die Spannungen und Ströme.	252
B.2	Ersatzschaltbild für die Bestimmung der Admittanzmatrix \vec{Y} der Bonddrahtverbindung.	253
B.3	Eingangsreflexionsfaktor $S_{11,\text{dB}}$ in Abhängigkeit von der Bonddrahtlänge l und der Pad-Kapazität C_{Pad} bei vier unterschiedlichen $C_{Pad,PCB}$ Werten und a) einem festen Widerstand von $R_{Empf} = 30 \Omega$, b) einem festen Widerstand von $R_{Empf} = 70 \Omega$	255
C.1	Normierte Ableitungen des Drainstroms nach der Spannung U_S	265
C.2	Berechneter $IIP3$ für den CG-LNA a) beim idealen Langkanaltransistor mit exakter Interpolationsfunktion und nicht physikalischer Näherung, b) unter Berücksichtigung der Geschwindigkeits-sättigung.	267
D.1	CG-LNA bei reduzierter Versorgungsspannung mit Konstantstromquelle.	270
D.2	Simulationsergebnisse des CG-LNAs bei reduzierter Versorgungsspannung a) Spannungsverstärkung G_V und b) Eingangsimpedanz $ Z_{in} $	272

Abbildungsverzeichnis

D.3	Simulationsergebnisse des CG-LNAs bei reduzierter Versorgungsspannung a) Noise Figure NF und b) Linearität ($IIP3$).	274
E.1	Layout des HF-Teils des Empfängers [4].	277
E.2	Layout des kompletter Empfänger-Chips [5].	278

Tabellenverzeichnis

1.1	Kennzahlen des ZigBee-Funkstandards.	3
1.2	Vergleichsdaten von einigen am Markt erhältlichen ZigBee-Chips.	6
2.1	Vergleich der unterschiedlichen Empfängerarchitekturen.	26
2.2	Zusammenfassung der durch unterschiedliche Methoden bestimmten Systemkennzahlen.	44
2.3	Systemkennzahlen des gesamten ZigBee-Empfängers.	55
2.4	Kennzahlen der einzelnen Schaltungsblöcke des ZigBee-Empfängers.	62
3.1	Übersicht Technologiedaten des 0,25 μm Standard-CMOS-Prozesses.	65
3.2	Geometrieparameter einer realen Spule.	102
3.3	Zahlenwerte für das Ersatzschaltbild einer realen Spule.	102
4.1	Dimensionierungsdaten der synthetischen Spule.	155
4.2	Vergleich und Bewertung der LNA-Architekturen.	164
5.1	Ergebnisse der Schaltungssimulation und spezifizierte Werte.	191
5.2	Gegenüberstellung LNA-Kern und LNA mit variabler Verstärkungseinstellung.	202
5.3	Simulationsergebnisse des CG-LNAs mit adaptiver Verstärkungseinstellung.	202
5.4	Vergleich LNA dieser Arbeit mit in der Literatur publizierten LNAs.	204

Symbolverzeichnis

Variablen

δ	Arbeitspunktabhängiger Gate-Noise-Faktor
Δ_{dB}	SNR -Ausgangsverhältnis von unterschiedlichen Verstärkungseinstellungen
γ	Arbeitspunktabhängiger Drain-Noise-Faktor
$\gamma_{\text{sat,long}}$	Arbeitspunktabhängiger Drain-Noise-Faktor für den Langkanaltransistor
$\Gamma_{\text{syn,Spule}}$	Noise-Excess-Faktor einer synthetischen Spule
$\hat{u}_{\text{in,max}}$	Maximale äquivalente Spannungsamplitude am Eingang eines Empfängers
$\hat{u}_{\text{in,min}}$	Minimale äquivalente Spannungsamplitude am Eingang eines Empfängers
λ_c	Parameter zur Modellierung der Geschwindigkeitssättigung
$(F_{\text{Last}} - 1)$	Rauschanteil der Last
$(F_{\text{MOST}} - 1)$	Rauschanteil des LNA-MOSFETs
$(F_{\text{Sonstige}} - 1)$	Rauschanteil durch sonstige Rauschquellen
μ_0	Mobilität der Ladungsträger bei geringen Feldstärken
μ_{eff}	Effektive Mobilität der Ladungsträger
ω_c	Trägerkreisfrequenz eines Signals
ω_t	Transitkreisfrequenz des MOSFETs
ω_{crit}	Kehrwert der NQS-Zeitkonstante
ω_{ZF}	Kreiszwischenfrequenz

Symbolverzeichnis

Ψ	Rauschanteil bedingt durch das induzierte Gate-Rauschen beim CG-LNA
τ_0	Spezifische Zeitkonstante des MOSFETs
τ_{in}	Eingangszeitkonstante des CG-LNAs
τ_{qs}	NQS-Zeitkonstante
BER	Bitfehlerverhältnis
c	Korrelationskoeffizient zwischen Drain- und induziertem Gate-Rauschen
C_{bd}	Bulk-Drain-Kapazität
c_{bd}	Normierte Bulk-Drain-Kapazität
C_{bs}	Bulk-Source-Kapazität
c_{bs}	Normierte Bulk-Source-Kapazität
$C_{gb,ov}$	Gate-Bulk-Overlap-Kapazität
C_{gb}	Gate-Bulk-Kapazität
c_{gb}	Normierte Gate-Bulk-Kapazität
$C_{gd,ov}$	Gate-Drain-Overlap-Kapazität
C_{gd}	Gate-Drain-Kapazität
c_{gd}	Normierte Gate-Drain-Kapazität
$C_{gs,ov}$	Gate-Source-Overlap-Kapazität
C_{gs}	Gate-Source-Kapazität
c_{gs}	Normierte Gate-Source-Kapazität
C_{in}	Totale Eingangskapazität des CG-LNAs
C'_{in}	Weitenbezogene totale Eingangskapazität des CG-LNAs
C_{jd}	Sperrschichtkapazität am Drain
C_{js}	Sperrschichtkapazität am Source
C'_{ox}	Flächenbezogene Oxidkapazität
C_{Pad}	Padkapazität auf dem Chip
E_b	Energie pro Informationsbit
$ENOB$	Effektive Anzahl der Bits
F	Rauschzahl
f_c	Trägerfrequenz eines Signals
f_g	Grenzfrequenz eines Filters
f_t	Transitfrequenz eines MOSFETs

$F_{S_{11, const}}$	Rauschzahl bei konstantem Eingangsreflexionsfaktor
$F_{S_{11, min}}$	Rauschzahl bei minimalem Eingangsreflexionsfaktor
f_{Sample}	Abtastrate
f_{Signal}	Frequenz eines Signals
G	Ausgleichsfunktion zwischen den Arbeitsbereichen des MOSFETs, Großsignal-Interpolationsfunktion
g_g	Realteil der totalen Gate-Admittanz
G_V	Spannungsverstärkung
g_{md}	Drain-Transkonduktanz eines MOSFETs
g_{ms}	Source-Transkonduktanz eines MOSFETs
g'_{ms}	Weitenbezogene Source-Transkonduktanz eines MOSFETs
g_m	Gate-Transkonduktanz eines MOSFETs
G_{Spec}	Spezifischer Leitwert eines MOSFETs
i_f	Normierter vorwärts gerichteter Anteil des Drainstroms, Inversionskoeffizient
i_r	Normierter rückwärts gerichteter Anteil des Drainstroms
I_{ADC}	Stromaufnahme des ADCs
I_{AP}	Allgemein für Arbeitspunktstrom
I_{avg}	Durchschnittliche Stromaufnahme eines Empfängers
I_D	Drainstrom eines MOSFETs
I_{on}	Stromaufnahme eines Empfängers im aktiven Zustand
I_{Spec}	Spezifischer Strom
I_{stby}	Stromaufnahme eines Empfängers im deaktivierten Zustand
$IIP3$	Input Referred 3rd-Order Interception Point
k	Boltzmann-Konstante
L	Länge eines MOSFETs
L_{Bond}	Eigeninduktivität eines Bonddrahtes
L_{min}	Minimale Kanallänge der MOSFETs
M_{Bond}	Gegeninduktivität eines Bonddrahtes
n	Slope-Faktor

Symbolverzeichnis

N_0	Konstante, einseitige spektrale Rauschleistungsdichte eines Rauschprozesses
NF	Noise Figure
OSR	Over Sampling Ratio
P_{ADC}	Leistungsaufnahme des ADCs
$P_{in,max}$	Maximales Eingangssignal eines Empfängers
$P_{in,min}$	Minimales Eingangssignal eines Empfängers
P_{Int}	Empfangenes Signal eines Störers
P_{Sig}	Empfangenes gewünschtes Signal
PER	Paketfehlerverhältnis
Q	Allgemein für Güte
q_d	Normierte Ladungsträgerdichte Rückwärtsanteil
Q_L	Güte einer Spule, definiert über die magnetische Energie
q_s	Normierte Ladungsträgerdichte Vorwärtsanteil
Q_{in}	Eingangsgüte eines LNAs
Q_{LC}	Güte eines LC-Schwingkreises, Güte einer Spule mit parasitären Kapazitäten
R_p	Verbleibender Widerstand des Lastschwingkreises im LNA bei der Trägerfrequenz
R_s	Widerstand der Signalquelle am Eingang des Empfängers
R_{Bond}	Widerstand eines Bonddrahtes
$r_{g,NQS}$	Gate-Widerstand bedingt durch NQS-Effekte
$R_{p,res}$	Verbleibender Widerstand eines Schwingkreises im Resonanzfall
S_{11}	Eingangsreflexionsfaktor
S_{n,i_d^2}	Spektrale Rauschleistungsdichte des Drainstroms
S_{n,i_g^2}	Spektrale Rauschleistungsdichte des induzierten Gate-Rauschens
SNR	Verhältnis von Signal- zu Rauschleistung
T	Absolute Temperatur in Kelvin
T_{ges}	Gesamte Zeitdauer
T_{on}	Zeitdauer die der Empfänger aktiviert ist
TK	Allgemein für Temperaturkoeffizient

U_D	Drain-Spannung
u_d	Drain-Spannung auf U_{Temp} normiert
U_G	Gate-Spannung
u_g	Gate-Spannung auf U_{Temp} normiert
U_P	Pinch-Off-Spannung
u_p	Pinch-Off-Spannung auf U_{Temp} normiert
U_S	Source-Spannung
u_s	Source-Spannung auf U_{Temp} normiert
U_{DD}	Versorgungsspannung
U_{Temp}	Temperaturspannung
U_{th0}	Schwellspannung eines MOSFETs
UK	Allgemein für Spannungskoeffizient
v_{sat}	Sättigungsgeschwindigkeit der Elektronen im Silizium
W	Weite eines MOSFETs
$W_{S11,const}$	Weite des LNA-MOSFETs bei konstantem Eingangsreflexionsfaktor
$W_{S11,min}$	Weite des LNA-MOSFETs bei minimalem Eingangsreflexionsfaktor
Y_{GG}	Gate-Admittanz
y_{gg}	Normierte Gate-Admittanz
Z_{in}	Allgemein für Eingangsimpedanz

Symbolverzeichnis

Abkürzungen

AC	Eigentlich Alternating Current, Allgemeines Kennzeichen für Wechselanteil
ADC	Analog to Digital Converter (Analog-Digital-Umsetzer)
AFE	Analog Front End
AGC	Automatic Gain Control
AM	Amplitudenmodulation
AVT	Aufbau- und Verbindungstechnik
BER	Bit Error Ratio (Bitfehlerverhältnis)
BJT	Bipolar Junction Transistor (Bipolartransistor)
BPSK	Binary Phase Shift Keying
BSIM	Berkeley Short Channel IGFET Model (Transistor Modell für den MOSFET-Transistor)
CG	Common-Gate (Gate-Schaltung)
CH	Carrier Heating
CLM	Channel Length Modulation (Kanallängenmodulation)
CMOS	Complementary Metal Oxide Semiconductor
CPW	Coplanar Waveguide
CS	Common-Source (Source-Schaltung)
DBPSK	Differential Encoded Binary Phase Shift Keying
DC	Eigentlich Direct Current, Allgemeines Kennzeichen für Gleichanteil
DFE	Digital Front End
DSSS	Direct Sequence Spread Spectrum (Bandspeizverfahren)
EKV	Transistor Modell für den MOSFET-Transistor (genannt nach Enz, Krummenacher und Vittoz)
ENOB	Effective Number of Bits
ESB	Ersatzschaltbild
FDD	Frequency Division Duplex (Frequenzduplex)
FSK	Frequency Shift Keying (Frequenztafung)
GaAs	Gallium Arsenid
GBW	Gain Bandwidth Product (Verstärkungs-Bandbreite-Produkt)

GPS	Global Positioning System
GSG	Ground Signal Ground (Masse Signal Masse)
GSM	Global System for Mobile Communications (Mobilfunksystem)
HF	Hoch Frequenz (im englischen RF für Radio Frequency)
I/Q	Inphase- und Quadraturkomponente
IF	Intermediate Frequency (Zwischenfrequenz)
IIP3	Input Referred 3rd-Order Interception Point
IM3	3rd-Order Intermodulation Products
ISM	Industrial Scientific and Medical
LNA	Low Noise Amplifier
LO	Lokaler Oszillator
MI	Moderate Inversion (Arbeitsbereich moderate Inversion)
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MRV	Mobility Reduction due to Vertical Field
NQS	Non-Quasi Static (Nicht-Quasi-Statisch)
O-QPSK	Offset Quadrature Phase-Shift Keying
PCB	Printed Circuit Board (Gedruckte Schaltung auf einer Platine)
PER	Paket Error Ratio (Paketfehlerverhältnis)
PGA	Programmable Gain Amplifier (Verstärker mit einstellbarer Verstärkung)
PGS	Patterned Ground Shield (streifenförmige, mit Masse verbundene Struktur)
PSK	Phase Shift Keying (Phasentastung)
QS	Quasi Static (Quasi-Statisch)
RF	Radio Frequency (Hoch Frequenz)
SI	Strong Inversion (Arbeitsbereich starke Inversion)
SOI	Silicon on Isolator, Silizium auf einem isolierendem Substrat
TDD	Time Division Duplex (Zeitduplex)
TP	Tiefpassfilter

Symbolverzeichnis

UMTS	Universal Mobile Telecommunication System (Mobilfunk-system)
VCO	Voltage Controlled Oscillator (Spannungsgesteuerter Os-zillator)
VS	Velocity Saturation
WI	Weak Inversion (Arbeitsbereich schwache Inversion)
WPAN	Wireless Personal Area Network
ZF	Zwischenfrequenz

Kapitel 1

Einleitung

Es existiert bereits eine große Anzahl von Geräten, die zur Übertragung ihrer Information wie z.B. Sensormessdaten, die drahtlose Datenübertragung verwenden. Diese Geräte bilden zum Teil drahtlose Netzwerke, wobei für Distanzen bis zu 100 m die sogenannten Wireless Personal Area Networks (WPANs) eingesetzt werden. Zu diesen Systemen zählt z.B. Bluetooth [6] und ZigBee [7] denen in der Zukunft eine drastische Zunahme an Geräten vorausgesagt wird. So wird nach der Marktanalyse in [8] bei den ZigBee-Geräten / Chips eine Verkaufszahl von 50 Millionen Stück für Ende des Jahres 2006 erwartet und es sollen Verkaufszahlen von 750 Millionen Stück pro Jahr am Jahresende 2010 erreicht werden.

Damit ICs für dieses Funksystem preiswert angeboten werden können ist es erforderlich diese in einer möglichst preisgünstigen Technologie zu realisieren. Für diese Anforderung ist die CMOS-Technologie besonders geeignet, da sie gegenüber anderen Halbleitertechnologien den entscheidenden Vorteil bietet analoge und digitale Schaltungsblöcke gemeinsam auf einem Chip zu integrieren. Durch neuere CMOS-Technologien mit kleineren Strukturgrößen werden sehr hohe Transitfrequenzen erreicht, wodurch es möglich ist auch die Schaltungsteile welche das hochfrequente Signal verarbeiten müssen, ebenfalls in der CMOS-Technologie zu realisieren. Diese Möglichkeit wurde bereits durch zahlreiche Publikationen nachgewiesen, von denen hier nur stellvertretend [9–22] genannt werden. Nach der International Technology Roadmap [23] wird für das Jahr 2010 mit einer Gate-Länge der Transistoren von 32 nm gerechnet, wodurch eine Transitfrequenz von

280 GHz erreicht wird. Damit wird die CMOS-Technologie in der Zukunft im HF-Bereich noch mehr an Bedeutung gewinnen.

1.1 Systemüberblick IEEE 802.15.4 (ZigBee)

In diesem Abschnitt soll auf die nötigen Grundlagen in bezug auf das ZigBee-System eingegangen werden, die zum besseren Verständnis der vorliegenden Arbeit dienlich sind.

Die IEEE Arbeitsgruppe 802.15.4 arbeitet an Funkstandards für WPAN-Lösungen mit niedrigen Übertragungsraten bei gleichzeitig geringem Energieverbrauch. Ziel der dort spezifizierten Geräte ist es lange Batteriestandzeiten von bis zu zwei Jahren zu erreichen. Die Zielapplikationen dieser Geräte sind im Bereich der Sensordatenübertragung und Sensornetzwerke, Fernbedienungen und Haustechnik, sowie in der Unterhaltungselektronik zu finden [24].

Neben der grundlegenden Arbeitsgruppe 802.15.4 wird in den weiteren Arbeitsgruppen 802.15.4a und b an Erweiterungen gearbeitet, wie z.B. Datenübertragung mit Chirp-Impulsen oder an Ultra Wide Band (UWB) Ansätzen. Im Rahmen dieser Arbeit wird die ursprüngliche Version IEEE 802.15.4 betrachtet. Der Standard IEEE 802.15.4 spezifiziert die physikalische Schicht (PHY) und die Medium Access Control Schicht (MAC), während ZigBee die oberen Protokollschichten im ISO-OSI-Schichtenmodell beschreibt. Eine weitere Einführung zu den höheren Protokollschichten ist in [25–27] zu finden.

Um den Schreibaufwand zu reduzieren wird die folgende Konvention eingeführt: Statt IEEE 802.15.4 (ZigBee) wird im folgenden nur der Ausdruck ZigBee verwendet. Der Standard [7] spezifiziert die Systemeigenschaften des ZigBee-Funksystem für die Übertragung in den lizenzfreien Frequenzbereichen des Industrial, Scientific, and Medical (ISM) Frequenzbands. Diese liegen in Europa bei 868 MHz wo ein Kanal zur Verfügung steht, in den USA bei 915 MHz mit 10 Kanälen und weltweit bei 2,45 GHz mit 16 Kanälen [7, 25, 26]. Bei 868/915 MHz wird als Modulationsart Binary Phase Shift Keying (BPSK) mit vorheriger differentieller Kodierung also DBPSK verwendet und bei 2,45 GHz wird Offset Quadrature Phase-Shift

Keying (O-QPSK) eingesetzt. Die Modulationsparameter des ZigBee-Standards sind in der Tabelle 1.1 zusammengefasst. Neben diesen in der ursprünglichen Version des Standards festgelegten Modulationsarten werden in der Version 2006 des Standards [7] weitere Modulationsarten und Datenraten spezifiziert die hier nicht weiter betrachtet werden.

Tabelle 1.1: Kennzahlen des ZigBee-Funkstandards.

Frequenzband in MHz	Kanalanzahl	HF-Bandbreite in MHz	Bit Rate in kB/s	Chip Rate in kChips/s	Modulation
868	1	0,6	20	300	DBPSK
915	10	1,2	40	600	DBPSK
2450	16	2	250	2000	O-QPSK

Im folgenden wird nur der Frequenzbereich 868 MHz näher betrachtet, da hier eine geringe Bitrate (welche ausreichend ist für drahtlose Sensoranwendungen) und eine geringe Trägerfrequenz spezifiziert ist, wodurch letztlich eine niedrige Leistungsaufnahme des Empfängers erzielt wird. Die Übertragung der Information erfolgt unter dem Einsatz von Direct Sequence Spread Spectrum (DSSS) Bandspreizverfahren, bei denen das zu übertragende Bit durch ein 15 Chip langes Symbol repräsentiert wird. Im Sender werden die Chips vor der Modulation durch ein Raised-Cosine Pulsformfilter mit einem Roll-Off-Faktor von $R = 1$ spektral geformt. Die Chiprate des ZigBee-System beträgt 300 kChip/s und bedingt durch das Pulsformfilter ergibt sich eine Signalbandbreite von 300 kHz im Basisband [7, 28].

Im ZigBee-Standard [7] werden für den Empfänger die folgenden Daten spezifiziert: Das Paketfehlerverhältnis (PER) muss unterhalb von 1% liegen, wobei dieser Wert als wichtige Bezugsgröße für weitere Tests dient. Die exakte Trägerfrequenz wird festgelegt als $f_c = 868,3$ MHz. Die Empfindlichkeit wird spezifiziert als die kleinste an der Antenne gemessene Empfangsleistung, bei der das PER noch kleiner ist als 1%. Diese soll mindestens -92 dBm betragen und wird gemessen ohne die Anwesenheit eines Störers (Interferrer). Das maximale Eingangssignal, das noch korrekt empfangen werden muss beträgt -20 dBm.

Ein Test um die Störfestigkeit gegen Störungen durch andere Anwendungen aus dem benachbarten Frequenzbereich zu überprüfen ist im ZigBee-Standard [7] nicht vorgesehen. Es wird jedoch ein Test angegeben um die Störfestigkeit gegen Übertragungen in Nachbarkanälen zu prüfen. Hierbei befindet sich das gewünschte Signal 3 dB über der Empfindlichkeitsgrenze, d.h. bei -89 dBm. In einem ersten Testszenario befindet sich zusätzlich zu dem gewünschten Signal ein ZigBee-Störsignal im direkt benachbarten Kanal mit dem gleichen Signalpegel. In einem weiteren Testszenario befindet sich das ZigBee-Störsignal im übernächsten Kanal und weist dabei einen um 30 dB höheren Pegel auf, d.h. dieses liegt bei -59 dBm. Das *PER* von 1% darf bei diesen Tests nicht überschritten werden. Da im Frequenzband bei 868 MHz nur ein Kanal zur Verfügung steht, entfällt dieser Test. Damit wird die notwendige Störfestigkeit nicht vom Standard vorgegeben.

1.2 Problembeschreibung

Eine große Herausforderung stellt die geforderte lange Batteriestandzeit dar. Dies wird an dem Rechenbeispiel aus [24] deutlich. Dort wird von einer Alkaline Batterie der Größe AAA (Micro-Zelle) mit einer typischen Kapazität von 750 mAh ausgegangen. Damit ergibt sich gemäß [24] mit 8760 Stunden pro Jahr ein durchschnittlicher Strom von $I_{avg} = \frac{750 \text{ mAh}}{2 \cdot 8760 \text{ h}} = 42,8 \mu\text{A}$.

Der durchschnittliche Strom setzt sich aus zwei Anteilen zusammen: Zum einen aus dem Anteil, wenn der Empfänger eingeschaltet ist I_{on} und zum anderen aus dem Anteil, wenn der Empfänger deaktiviert ist I_{stby} . Daraus kann nach [24] der durchschnittliche Strom bestimmt werden als $I_{avg} = I_{on} \cdot \frac{T_{on}}{T_{ges}} + I_{stby} \cdot \left(1 - \frac{T_{on}}{T_{ges}}\right)$, mit T_{on} der Zeitdauer die der Empfänger eingeschaltet ist und T_{ges} der gesamten Zeitdauer. Wird weiter von $I_{stby} = 10 \mu\text{A}$ und $I_{on} = 10 \text{ mA}$ ausgegangen, so wird bei $\frac{T_{on}}{T_{ges}} = 0,33\%$ ein durchschnittlicher Strom von $I_{avg} = 43 \mu\text{A}$ erreicht. Damit wird deutlich, dass diese lange Batteriestandzeit nur erreicht werden kann wenn der Empfänger sich während der meisten Zeit (99,67%) im deaktivierten Zustand befindet [24].

Der Einfluss von Veränderungen des Stroms I_{on} und I_{stby} auf die Batteriestandzeit ist in der Abbildung 1.1 dargestellt. Aus der Darstellung ist zu entnehmen, dass bei zugrundegelegten, oben genannten Zahlenwerten eine Veränderung des Stroms I_{on} den größten Einfluss auf die Batteriestandzeit hat.

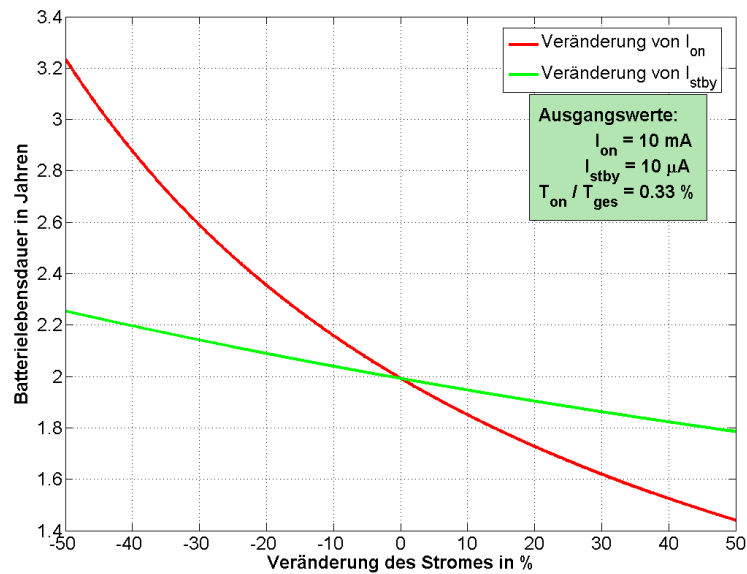


Abbildung 1.1: Einfluss von Veränderungen des Stroms im eingeschalteten Zustand I_{on} und im deaktivierten Zustand I_{stby} auf die Batteriestandzeit.

Die Tabelle 1.2 zeigt die Kenndaten von einigen am Markt erhältlichen ZigBee-Chips, wobei nach Wissen des Autors zur Zeit nur ein ZigBee-Chip im Frequenzbereich 868 MHz arbeitet. Wie aus der Tabelle ersichtlich, weisen die dort aufgelisteten Chips eine deutlich höhere Stromaufnahme im aktivierten Zustand auf und erreichen daher nur eine deutlich kürzere Batteriestandzeit als die geforderten zwei Jahren bei sonst gleichen Randbedingungen. Im ZigBee-Standard [7] wird der deaktivierte Zustand nicht spezifiziert, somit ist auch nicht eindeutig festgelegt ob in diesem Zustand z.B. der Oszillator oder der Takt für den Digitalteil aktiviert oder deaktiviert ist. Der deaktivierte Zustand unterscheidet sich daher bei den ZigBee-Chips [29–32] und ist somit nicht vergleichbar.

Tabelle 1.2: Vergleichsdaten von einigen am Markt erhältlichen ZigBee-Chips.

Hersteller	Chip	Frequenzband in MHz	Strom beim Empfang I_{on} in mA	Versorgungsspannung U_{DD} in V
Atmel [29]	AT86RF230	2450	16	1,8 ... 3,6
Chipcon [30]	CC2420	2450	18,8	2,1 ... 3,6
Freescale [31]	MC13912	2450	37	2 ... 3,4
ZMD [32]	44101	868/915	28	2,2 ... 2,7

Der hohe Stromverbrauch entsteht zum größten Teil in den Schaltungsblöcken des Empfängers, die das HF-Signal verarbeiten müssen. Dies wird auch aus der Aufschlüsselung des Stromverbrauchs der einzelnen Stufen der Empfänger in [13, 19] deutlich.

Eine weitere Herausforderung an den Empfänger stellen die Störungen durch andere Funkanwendungen in dem freien ISM-Frequenzband dar, ebenso wie die Störungen durch Funkanwendungen im direkt benachbarten Frequenzbereich. So gibt z.B. der Frequenznutzungsplan [33] in Deutschland den Frequenzbereich 865...868 MHz für RFID-Anwendungen frei und in dem Frequenzbereich 880...890 MHz sind GSM-Funkanwendungen erlaubt.

Wie im vorherigen Abschnitt beschrieben, ist bei 868 MHz kein Test vorgesehen um die Störfestigkeit zu überprüfen. In Anlehnung an den Test zur Störfestigkeit bei 915 MHz wird von dem folgenden Szenario ausgegangen: Es befindet sich ein Störsignal, welches ebenfalls ein ZigBee-Signal ist 1 MHz entfernt von dem gewünschten Signal (imaginärer Nachbarkanal), d.h. die Trägerfrequenz liegt bei 867,3 MHz oder bei 869,3 MHz. Der Signalpegel des Störsignals soll bei $P_{Int} = -29$ dBm liegen, während das gewünschte Signal einen Pegel von $P_{Sig} = -92$ dBm aufweist. Dies stellt damit eine wesentlich höhere Anforderung im Vergleich zum ZigBee-Standard [7] dar und soll dazu dienen, um zum einen das Systemkonzept später auf 915 MHz übertragen zu können und zum anderen um grob den Einfluss durch andere Funkanwendungen abzuschätzen zu können.

1.3 Zielsetzung der Arbeit

Das erste Ziel der vorliegenden Arbeit ist es, ein Empfängerkonzept auszuwählen welches besonders gut für die Anforderungen eines drahtlosen Sensornetzwerkes mit geringem Leistungsverbrauch wie z.B. ZigBee geeignet ist. Einige Blöcke in dem Empfänger arbeiten mit einer festen Versorgungsspannung, welche der Nennversorgungsspannung der Technologie entspricht. Eine geringe Leistungsaufnahme wird daher durch einen geringen Stromverbrauch erreicht, welcher somit im Vordergrund steht und besonders beachtet werden soll. Weiterhin sollen die, für die schaltungstechnische Realisierung notwendigen Kennzahlen des gesamten Empfängers und der einzelnen Blöcke festgelegt werden. Ein Weg zur Lösung dieses Problems besteht darin, die Kennzahlen des Empfängers mit Hilfe analytischer Gleichungen wie z.B. aus [34] festzulegen. Dieser Weg ist zwar im Prinzip gangbar, jedoch werden dabei viele vereinfachende Annahmen getroffen und in der Praxis auftretende nichtideale Effekte vernachlässigt. Als Sicherheit werden daher Reserven einkalkuliert, die dann wiederum durch zu hohe Anforderung an den Empfänger zu einem unnötig hohen Stromverbrauch führen. Zur Lösung dieses Problems wird daher ein äquivalentes Basisbandmodell für das Analog Front End (AFE) entwickelt, welches viele nichtideale Effekte mit berücksichtigt. Dieses wird in eine Systemsimulation eingebunden, mittels derer die Kennzahlen des Empfängers festgelegt werden können.

Den Kern dieser Arbeit bildet die Untersuchung des rauscharmen Verstärkers (Low Noise Amplifier, LNA) am Eingang des Empfängers, der das HF-Eingangssignal ausreichend verstärken muss. Dieser nimmt in bezug auf die Rauschzahl des gesamten Systems die Schlüsselrolle ein. Da der LNA zu den Schaltungsblöcken im HF-Teil des Empfängers zählt, welcher wie im vorherigen Abschnitt beschrieben den größten Stromverbrauch verursacht, gehört der LNA damit zu den Schaltungsblöcken mit der höchsten Stromaufnahme. Ziel der Arbeit ist es daher, eine geeignete LNA-Architektur auszuwählen und diese so zu optimieren, so dass die Anforderungen des ZigBee-Systems erfüllt werden bei geringst möglicher Stromaufnahme der Schaltung. Der technologieabhängige Einfluss der arbeitspunktabhängigen parasitären Kapazitäten des MOSFETs und der Einfluss des

arbeitspunktabhängigen Rauschens auf die Performance des LNAs wurde bisher wissenschaftlich nicht betrachtet. Hier stellt sich heraus, dass technologiebedingte Grenzen beim LNA für das Rauschen und den Eingangsreflexionsfaktor existieren. Weiterhin stellt sich die Frage nach dem günstigsten Arbeitspunkt für den LNA-MOSFET.

Darüber hinaus wird ein neues Konzept zur variablen Verstärkungseinstellung beim LNA untersucht. Die grundlegende Idee dabei ist, nicht nur die Verstärkung bei hohen Eingangssignalpegeln zu reduzieren, sondern dabei gleichzeitig den Arbeitspunktstrom abzusenken um damit zusätzlich die Batteriestandzeit zu verlängern.

Sowohl bei der Architekturauswahl als auch bei der schaltungstechnischen Realisierung soll das Ziel beachtet werden, nach Möglichkeit den kompletten Empfänger als eine monolithisch integrierte Schaltung in einem $0,25\ \mu\text{m}$ Standard-CMOS-Prozess zu realisieren.

1.4 Gliederung der Arbeit

Die vorliegende Arbeit ist folgendermaßen strukturiert: Im Kapitel 2 werden zunächst die aus der Literatur bekannten Empfängerarchitekturen miteinander verglichen und die am besten für einen energieeffizienten Empfänger wie z.B. ZigBee geeignete ausgewählt. Im weiteren wird dort auf die Systemsimulation des Empfängers eingegangen, mittels derer die Kennzahlen des gesamten Empfängers festgelegt werden. Diese werden im Anschluss umgesetzt in Spezifikationen für die einzelnen Schaltungsblöcke des Empfängers. Von den Schaltungsblöcken wird der LNA als Realisierungsbeispiel ausgewählt, auf dem in den folgenden Kapiteln detaillierter eingegangen wird.

Bevor in den weiteren Kapiteln die nähere Untersuchung der LNA-Architekturen durchgeführt wird, soll in dem Kapitel 3 auf die nötigen Grundlagen zum Verhalten der Bauelemente bei den hier betrachteten hohen Frequenzen eingegangen werden. Das Verhalten des MOSFETs wird dabei durch das EKV-Modell beschrieben und der Aufbau und die elektrischen Eigenschaften der Spulen in

der verwendeten CMOS-Technologie erläutert. Weiterhin wird dort der Einfluss durch die Aufbau- und Verbindungstechnik betrachtet.

Aus der Literatur bekannte LNA-Architekturen werden im Kapitel 4 miteinander verglichen und bewertet mit dem Ziel, die am besten für einen energieeffizienten Empfänger geeignete auszuwählen. Dabei wird auch die Einsatzmöglichkeit einer synthetischen Spule untersucht.

Das Design und Optimierung des ausgewählten LNAs werden in Kapitel 5 erläutert. Dabei werden die Technologiebedingten Grenzen in bezug auf die Rauschzahl und den Eingangsreflexionsfaktor sowohl analytisch als auch numerisch bestimmt. Die Optimierungsstrategie für den LNA wird vorgestellt und es wird auf die schaltungstechnische Realisierung des LNAs eingegangen. Ein neues Konzept zur Verstärkungseinstellung des LNAs wird in diesem Kapitel vorgestellt, welches es ermöglicht den Arbeitspunktstrom bei geringen Verstärkungen um fast eine Größenordnung abzusenken.

Das abschließende Kapitel 6 fasst die Ergebnisse dieser Arbeit zusammen und gibt einen Ausblick in die Zukunft.

Kapitel 2

Festlegung der System- und Blockspezifikation

Die Auswahl der am besten geeigneten Empfängerarchitektur und die Festlegung der Spezifikation der einzelnen Schaltungsblöcke ist eine große Herausforderungen beim Entwurf des Empfängers. Die getroffene Wahl der Architektur hat einen sehr großen Einfluss auf die Anforderungen der einzelnen Blöcke, sowie auf die spätere Leistungsfähigkeit z.B. auch auf das Bitfehlerverhältnis des gesamten Empfängers. Bei der Entscheidung müssen die Komplexität des Empfängerkonzeptes und der Schaltungsblöcke, die Kosten, der Stromverbrauch des Empfängers und die Anzahl der benötigten diskreten Bauelemente gegeneinander abgewogen werden.

Um die erforderlichen Kennzahlen des Empfängers festlegen zu können ist es notwendig, mehrere nichtideale Effekte der schaltungstechnischen Realisierung des Empfängers schon auf der Systemebene zu berücksichtigen. Zu den nichtidealen Effekten des realen Empfängers gehört z.B. das Rauschen, die Nichtlinearität der Stufen, die nur endliche Dämpfung der Filter im Sperrbereich und je nach Empfängerarchitektur DC-Offsets und I/Q-Mismatch. Die Auswirkung all dieser Effekte auf das Bitfehlerverhältnis des gesamten Empfängers lässt sich nicht mehr analytisch bestimmen, daher ist es notwendig die erforderlichen Systemkennzahlen mit Hilfe einer Systemsimulation zu ermitteln [35,36].

Im folgenden werden die aus der Literatur bekannten verschiedenen Empfängerarchitekturen vorgestellt und auf ihre Eignung im Einsatz in einem energieeffi-

zienten ZigBee-Empfänger bewertet. Nach der Auswahl der Architektur erfolgt die Modellierung der Blöcke auf Systemebene für die Systemsimulation. Im Anschluss daran werden die Simulationsergebnisse vorgestellt und die Kennzahlen für die einzelnen Schaltungsblöcke festgelegt.

2.1 Empfängerarchitekturen

Während die ersten Radios noch mit Amplitudenmodulation (AM) arbeiteten [37, 38] und mit rein analogen Empfängerschaltungen (Hüllkurvendetektor) auskamen, bestehen heutige Empfänger fast immer aus Analog- und Digitalteil. Der Empfänger lässt sich wie in Abbildung 2.1 dargestellt in Analogteil und digitalen Basisbandteil aufteilen [9, 39]. Der Analogteil besteht zum einen aus Blöcken die das hochfrequente Empfangssignal verarbeiten und zum anderen aus Blöcken die das niederfrequente Signal¹ verarbeiten. Die Schnittstelle zwischen Analog- und Digitalteil bildet der Analog-Digital-Umsetzer (Analog to Digital Converter, ADC), indem die Umsetzung der analogen Signale in digitale erfolgt.

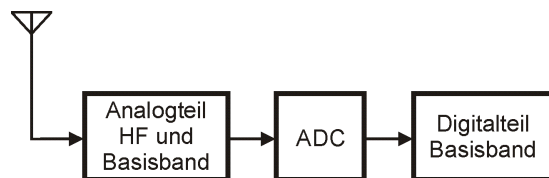


Abbildung 2.1: Blockschaltbild typische Aufteilung des Empfängers.

Die verschiedenen Empfängerarchitekturen unterscheiden sich im wesentlichen im Aufbau des Analogteils. In der Vergangenheit wurde überwiegend der Superheterodyne-Empfänger eingesetzt, dagegen sind jetzt aufgrund der verbesserten digitalen Technik eine Vielfalt von Architekturen in Empfängern zu finden [40]. In der Literatur [19, 34, 40, 41] unterscheidet man zwischen Homodyne-, Heterodyne-, Image-Reject-, Digital-IF-, Low-IF-, Dual-Down-Conversion- und Subsampling-Empfängern. Im folgenden werden diese kurz beschrieben, die Vor- und Nachteile

¹ Je nach Empfängerarchitektur kann dieses Signal bei einer Zwischenfrequenz oder zentriert um den Nullpunkt liegen.

erläutert und die am besten geeignete Architektur für den energieeffizienten Empfänger ausgewählt. Der Autor erhebt damit keinen Anspruch auf Vollständigkeit noch darauf, dass andere Autoren die gleichen Fachbegriffe für die beschriebenen Architekturen gewählt haben.

2.1.1 Homodyne-Empfänger

Der Homodyne-Empfänger wird auch als Direct-Conversion- oder Zero-IF-Empfänger bezeichnet. Bei dieser Architektur wird wie in Abbildung 2.2 schematisch dargestellt das hochfrequente Signal in einem einzigen Schritt direkt in das Basisband (Nulllage) heruntergemischt.

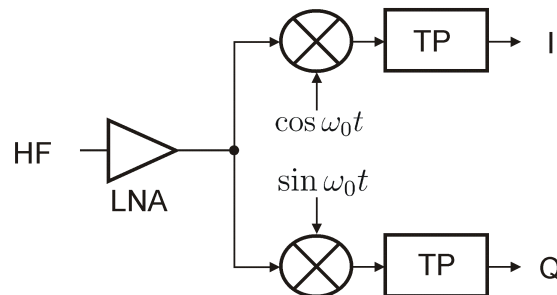


Abbildung 2.2: Blockschaltbild Homodyne-Empfänger mit Quadratur-Mischer.

Bei der dargestellten Empfängerarchitektur werden zwei separate Pfade für die Inphase- (I) und die Quadraturkomponente (Q) verwendet, damit die positiven und negativen spektralen Komponenten des Eingangssignals separat verarbeitet werden können. Dies ist notwendig um einen Verlust an Information zu vermeiden, da bei Signalen mit einer komplexen Modulation (z.B. Frequenz- oder Phasenmodulation) beide Seiten des Spektrums verschiedene Informationen beinhalten [13,34,40]. Wird dagegen eine rein reale Modulation (z.B. Zweiseitenband-AM) verwendet, so ist die Unterscheidung nicht notwendig und es kann dann auf den zweiten Pfad verzichtet werden [13, 34]. Einen Sonderfall stellt die BPSK-Modulation (damit auch die DBPSK-Modulation) dar. Bei dieser wird die Phase nur um 180° geändert, daher könnte theoretisch auf den Q-Zweig verzichtet

werden. Da der kohärente Empfänger in der Praxis jedoch nicht möglich ist (absolute Phase und genaue Frequenz sind nicht bekannt), werden auch beim BPSK-Empfänger I- und Q-Zweig benötigt.

Der Homodyne-Empfänger besitzt die folgenden Vorteile:

- Nur sehr wenige Schaltungszweige müssen das HF-Signal führen, wodurch die Stromaufnahme reduziert wird. Diese Architektur ist daher sehr gut für den Einsatz in einem energieeffizienten Empfänger geeignet.
- Es treten keine Probleme mit Spiegelfrequenzen auf, da die Zwischenfrequenz bei Null liegt (das Signal ist sein eigenes Spiegelsignal) [40,42]. Filter als diskrete (meist teure) Bauelemente werden nicht benötigt und es ist nicht erforderlich, dass der LNA in der Lage ist 50 Ω Impedanzen zu treiben [34]. Die Stromaufnahme wird dadurch ebenfalls reduziert.
- Für die Kanalselektion können einfache Tiefpassfilter (TP) verwendet werden die sich einfach mit integriert lassen [34].

Neben den o.g. Vorteilen besitzt die Architektur auch eine Reihe von Nachteilen bzw. es ergeben sich Probleme die gelöst werden müssen und im folgenden aufgeführt werden:

- Durch DC-Offsets können nachfolgende Stufen in die Sättigung geraten und dadurch kann das Signal verfälscht werden. Das Entstehen der DC-Offsets lässt sich auf zwei Ursachen zurückführen: Zum einen kann das LO-Signal durch Kopplung an den Eingang des LNAs oder des Mischers gelangen und dann mit sich selbst gemischt werden. Gelangt das LO-Signal zur Antenne so kann es abgestrahlt, an bewegten Objekten reflektiert und anschließend wieder empfangen werden. In diesem Fall entstehen zeitvariante DC-Offsets die bei schnellen Änderungen schwer von dem Nutzsignal zu unterscheiden sind [34, 40]. Als zweite Ursache kommt ein starker Störer in Betracht, der durch Kopplung vom Eingang des Empfängers zum LO-Eingang des Mischers übersprechen kann und sich damit selbst in das Basisband heruntermischt [34, 40]. Der Empfänger muss daher mit einer DC-Offset-Kompensation ausgestattet werden [42]. Durch das Abtrennen des

DC-Anteils entsteht ein Notch im Zentrum des Spektrums des demodulierten Signals, was je nach verwendeter Codierung zu einem Verlust an Energie und damit zu einer Erhöhung des Bitfehlerverhältnis (BER) führt [13, 34]. Diese Schaltung muss daher exakt dimensioniert werden.

- Gelangt das LO-Signal bis zur Antenne und wird dort abgestrahlt, so führt dies neben den o.g. DC-Offsets im aussendenden Empfänger auch zu Störungen im Frequenzband. Das bedeutet, das abgestrahlte LO-Signal wirkt sich als Störer für andere Empfänger aus [34, 40]. In der Literatur wird dies als LO-Leakage bezeichnet.
- Bei Frequenz- und Phasenmodulation müssen wie in Abbildung 2.2 gezeigt Quadratur-Mischer verwendet werden. Die Amplituden der beiden LO-Signale müssen gleich sein und die Phasendifferenz muss genau 90° betragen. Ebenso müssen die Signale im I und im Q-Pfad exakt die gleiche Verstärkung und Phasendrehung erfahren. Werden diese Anforderungen nicht erfüllt führt dies zu einem Ungleichgewicht was in der Literatur als I/Q-Mismatch bezeichnet wird [34, 43].
- Das Spektrum des heruntergemischten Signals liegt nahe bei Null und kann damit vom $1/f$ -Rauschen der Transistoren überlagert werden [34, 40]. Dies ist besonders ein Problem bei MOSFET-Transistoren die eine hohe $1/f$ -Eckfrequenz aufweisen können [34, 44]. Im Basisbandteil des Empfängers können Transistoren mit großen Weiten und Längen verwendet werden wodurch das $1/f$ -Rauschen reduziert wird. Die DC-Offset-Kompensation unterdrückt dabei auch Anteile des $1/f$ -Rauschens [34].
- Die Auswahl des gewünschten Kanals und die Unterdrückung von Signalen in Nachbarkanälen kann sowohl im Analogteil also vor dem ADC als auch im Digitalteil erfolgen. Im letzten Fall muss der ADC aber eine größere Auflösung besitzen was einen höheren Stromverbrauch zur Folge hat. Dieser Aspekt wird weiter in Abschnitt 2.2 vertieft. Die Auswahl der Anordnung hat ebenfalls einen Einfluss auf die geforderte Linearität der Stufen im Analogteil.

- Liegen am Eingang des LNAs zwei starke, benachbarte Störer an, so können durch die Nichtlinearität des LNAs Intermodulationsprodukte gerader Ordnung entstehen die nahe bei DC liegen. Durch die nur endliche Dämpfung des realen Mixers kann dieses Störsignal an den Ausgang gelangen und damit das Basisbandsignal überlagern. Dieser Effekt wird als Even-Order Distortion in der Literatur bezeichnet [34, 40].

In der Literatur beschriebene energieeffiziente Empfänger wie z.B. ZigBee und vergleichbare Systeme setzen gerne die Homodyne-Empfängerarchitektur ein. So werden in [14–17] ZigBee-Empfänger beschrieben die diese Architektur verwenden. In [13] wird ein energieeffizientes FSK-System vorgestellt das bei 433 MHz im ISM Band arbeitet und in [21] ein Bluetooth Empfänger der für eine geringere Datenrate modifiziert wurde. Ein Bluetooth und IEEE 802.11b Empfänger wird in [22] beschrieben und in [45] ein CDMA-2000 Empfänger der ebenfalls die homodyne Architektur verwendet.

2.1.2 Heterodyne-Empfänger

Der Heterodyne-Empfänger wurde in der Vergangenheit sehr häufig eingesetzt. Bei diesem Empfängertyp wird das hochfrequente Signal nicht direkt in das Basisband gemischt, sondern auf eine Zwischenfrequenz (ZF²). Dies wird erreicht, indem die Frequenz des LO-Signals ungleich der Trägerfrequenz des gewünschten Signals gewählt wird. Das Blockschaltbild ist in Abbildung 2.3 schematisch dargestellt.

Bei der dargestellten Empfängerarchitektur wird im Gegensatz zum Homodyne-Empfänger nur ein Pfad benötigt, da das Ausgangssignal sich noch auf der Zwischenfrequenz befindet. Das Heruntermischen kann in mehreren Stufen erfolgen, wobei vor jedem Mischer ein Filter notwendig ist das die Spiegelfrequenzen unterdrückt. Erst in der letzten Stufe, wenn das Signal ins Basisband gemischt wird, ist kein Spiegelfrequenzfilter notwendig und es werden wieder separaten Pfade für die I- und Q-Komponente benötigt [34, 39].

² In der Literatur wird dies auch als Intermediate Frequency (IF) bezeichnet.

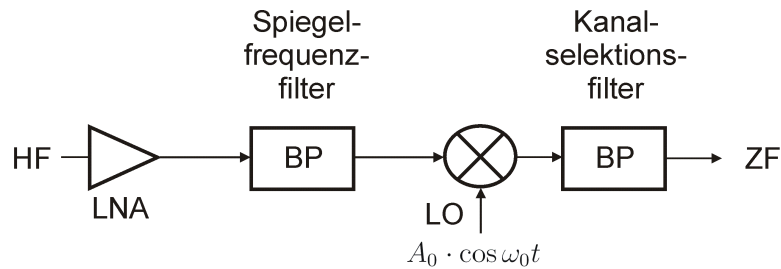


Abbildung 2.3: Blockschaltbild Heterodyne-Empfänger.

Die Vorteile der Heterodyne-Empfängerarchitektur sind:

- In der Vergangenheit wurde fast ausschließlich nur die Heterodyne-Empfängerarchitektur verwendet [13]. Es besteht daher eine jahrelange Erfahrung mit dieser Architektur [34, 42].
- Der Empfänger besitzt eine große Selektivität und eine hohe Empfindlichkeit, so dass diese Architektur heute noch immer bei teuren Speziallösungen verwendet wird [34].
- Da das Ausgangssignal auf der Zwischenfrequenz liegt, entfallen viele Probleme des Homodyne-Empfängers wie z.B. DC-Offsets, I/Q-Mismatch oder $1/f$ -Rauschen [34].

Die Heterodyne-Empfängerarchitektur besitzt eine große Anzahl von Nachteilen und Problemen die sie unattraktiv für einen stromsparsamen Empfänger wie z.B. ZigBee machen. Diese Punkte werden im folgenden aufgeführt:

- Die Frequenzbänder die symmetrisch zum LO-Signal liegen werden zur gleichen Zwischenfrequenz ω_{ZF} heruntergemischt. Damit überlagert sich am Ausgang des Mixers das gewünschte Frequenzband mit dem Frequenzband welches die unerwünschten Spiegelfrequenzen enthält [34, 40, 46]. Damit die Empfindlichkeit des Empfängers nicht reduziert wird ist es notwendig, die Spiegelfrequenzen vor dem Mischer durch ein geeignetes Filter zu unterdrücken. Das Filter kann ein einfaches LC-Filter, oder wenn eine größere Selektivität gefordert wird auch ein teureres SAW-Filter sein [13, 42].

- Die Wahl der Zwischenfrequenz stellt einen Kompromiss dar zwischen der Unterdrückung der Spiegelfrequenzen durch das Spiegelfrequenzfilter und der Unterdrückung von Nachbarkanalstörern durch das nach dem Mischer geschaltete Kanalselektionsfilter. Damit stellt die Wahl der Zwischenfrequenz letztendlich eine Wahl zwischen Selektivität und Empfindlichkeit des Empfängers dar [34].
- Das Spiegelfrequenzfilter wird normalerweise als passive, diskrete Komponente realisiert. Der LNA muss daher in der Lage sein die 50Ω Eingangsimpedanz des Filters treiben zu können, wodurch dieser eine erhöhte Stromaufnahme aufweist [34].
- Bei der schaltungstechnischen Realisierung müssen die Signale vom Chip herunter geführt und die damit verbundenen Probleme (Bondpad und Bonddraht) berücksichtigt werden. Auf die Problematik, Signale vom Chip herunter zu führen wird noch in Abschnitt 3.5.2 eingegangen. Die Schaltung ist damit aufwendiger im Vergleich zum Homodyne-Empfänger.
- Da das Ausgangssignal des Heterodyne-Empfängers auf der Zwischenfrequenz liegt, müssen nachfolgende Stufen in der Lage sein, dieses immer noch hochfrequente Signal verarbeiten zu können. Dies führt ebenfalls zu einem höheren Stromverbrauch im Vergleich zum Homodyne-Empfänger.
- Die Verwendung diskreter Komponenten führt dazu, dass der gesamte Empfänger teuer und damit ungünstig für eine möglichst preisgünstige Variante wie einen ZigBee-Empfänger wird.

2.1.3 Image-Reject-Empfänger

Beim Image-Reject-Empfänger ist die grundlegende Idee, dass das Signal und die Spiegelfrequenz getrennt verarbeitet wird um die Spiegelfrequenz zu unterdrücken. Dies geschieht im Gegensatz zum Heterodyne-Empfänger ohne die Verwendung eines Spiegelfrequenzfilters. In der Literatur werden zwei Varianten unterschieden. Zum einen gibt es die Hartley Architektur und zum anderen die Weaver Architektur [34, 40].

Beim Hartley-Empfänger erfolgt das Heruntermischen wie beim Homodyne-Empfänger in zwei separaten Pfaden wie in Abbildung 2.4 dargestellt, jedoch wird hier das Signal auf eine Zwischenfrequenz gemischt. Das heruntergemischte Signal wird in einem³ Pfad um 90° in der Phase verschoben und anschließend zu dem anderen Pfad addiert. Durch die Phasenverschiebung weisen die Spiegelfrequenzen in den beiden Zweigen unterschiedliche Polaritäten auf und löschen sich somit wie in [34] gezeigt aus.

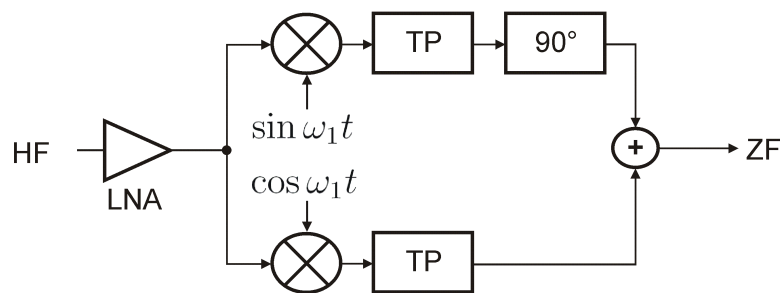


Abbildung 2.4: Blockschaltbild Hartley-Empfänger.

Voraussetzung für die Auslöschung der Spiegelfrequenz ist, dass beide Zweige exakt gleich sind, also kein I/Q-Mismatch vorhanden ist. Diese Forderung lässt sich in der Praxis nur bedingt erfüllen. Um die 90° Phasenverschiebung zu erzeugen kann ein RC-CR Netzwerk oder ein Polyphasenfilter verwendet werden [40]. Bedingt durch die CMOS-Bauelementwertschwankungen von typischerweise 20% ist es schwierig mit einem RC-CR Netzwerk eine Spiegelfrequenzunterdrückung⁴ (IIR) von mehr als 20 dB zu erreichen [34, 47]. Damit sind die I/Q-Mismatch Anforderungen beim Hartley-Empfänger strenger als beim Homodyne-Empfänger [34].

Beim Weaver-Empfänger ersetzt ein weiterer Quadratur-Mischer den Block der für die 90° Phasenverschiebung sorgt und übernimmt dessen Funktion [34]. Die Architektur ist in Abbildung 2.5 schematisch dargestellt. Um die Spiegelfrequenz

³ In der Praxis erfolgt meist eine Aufteilung der 90° Phasenverschiebung in eine $+45^\circ$ in dem einen und eine -45° Phasenverschiebung in dem anderen Zweig [34].

⁴ In der englischsprachigen Literatur wird dies als Image Rejection Ratio (IIR) bezeichnet.

in bezug auf die zweite Mischerstufe zu unterdrücken muss auch das Tiefpassfilter (TP) durch ein Bandpassfilter (BP) ersetzt werden [34]. Wenn die erste Zwischenfrequenz ausreichend niedrig gewählt wird dann lassen sich die Filter auf dem Chip mit integrieren [13].

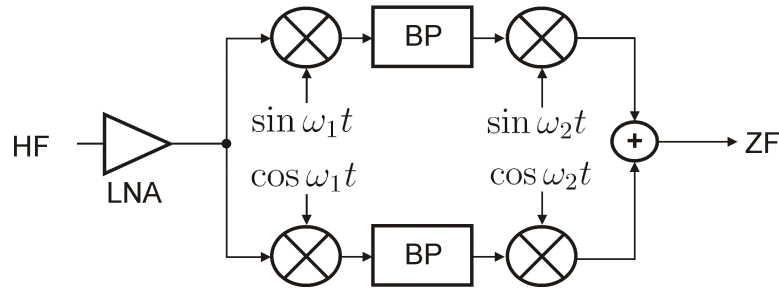


Abbildung 2.5: Blockschaltbild Weaver-Empfänger.

Wie die Hartley Architektur leidet auch die Weaver Architektur an der durch den I/Q-Mismatch bedingten nur endlichen Unterdrückung der Spiegelfrequenzen [34]. Wie in [13, 42] gezeigt wird ist es in der Praxis schwierig eine Spiegelfrequenzunterdrückung (IIR) von mehr als 40 dB zu erreichen. Beide Architekturen sind außerdem komplexer im Aufbau im Vergleich zum Homodyne-Empfänger. Die Image-Reject-Empfängerarchitektur ist damit nicht besonders gut für einen Einsatz in einem stromsparsamen Empfänger geeignet [13].

2.1.4 Digital-IF-Empfänger

Beim Digital-IF-Empfänger erfolgt die Umsetzung ins Basisband im digitalen. Das bedeutet, das hochfrequente Signal wird zunächst wie beim Heterodyne-Empfänger (siehe Abschnitt 2.1.2) auf eine Zwischenfrequenz gemischt und dann dort mittels eines ADCs digitalisiert. Durch Multiplikation mit digitalen Sinus- und Kosinus-Funktionen erfolgt dann die Umsetzung in I- und Q-Pfad wie in Abbildung 2.6 gezeigt.

Der große Vorteil dieser Architektur ist es, dass die typischen Problem des Homodyne-Empfängers wie z.B. I/Q-Mismatch, DC-Offsets, oder $1/f$ -Rauschen auf-

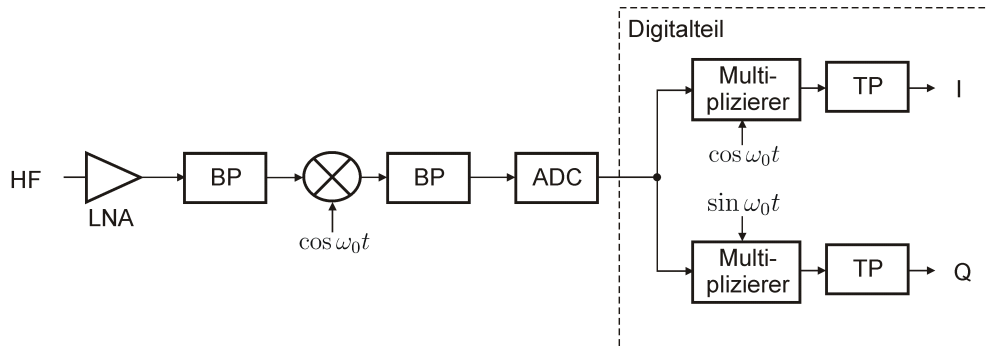


Abbildung 2.6: Blockschaltbild Digital-IF-Empfänger.

grund der digitale Signalverarbeitung vermieden werden [40]. Als großes Problem stellt sich die sehr hohe Anforderung an den ADC des Digital-IF-Empfängers dar. Da das Signal auf der Zwischenfrequenz abgetastet wird muss die Abtastrate sehr hoch sein. Die Signalpegel betragen an dieser Stelle nur ein paar hundert Mikrovolt und wird zusätzlich noch ein starker Störer im Nachbarkanal empfangen so muss die Auflösung an Bit sehr groß sein. Wie noch in Abschnitt 2.2 gezeigt wird hat der ADC damit eine sehr große Stromaufnahme. Diese Architektur ist damit nicht für mobile Anwendungen geeignet. Sie wird aber zum Teil in den Basisstationen beim Mobilfunk eingesetzt [34].

2.1.5 Subsampling-Empfänger

Die bisher vorgestellten Empfängerarchitekturen setzen immer zunächst das Eingangssignal auf eine Zwischenfrequenz oder direkt ins Basisband um bevor es digitalisiert wird. Beim Subsampling-Empfänger wird direkt das hochfrequente Signal durch eine Unterabtastung digitalisiert. Da die Signalbandbreite sehr klein ist und die Veränderung der Signale über mehrere Perioden des Trägers gering ist, kann das Signal weit unterhalb der Trägerfrequenz abgetastet werden [34].

Der große Nachteil des Subsampling-Empfängers ist das Aliasing des Rauschens. Wird das Signal um Faktor m unterabtastet, so überlagert sich das Rauschen auch m -fach [34]. Die Rauschzahl des Empfängers steigt dadurch stark an. Da der

Unterschied zwischen hochfrequenten Träger zu Nutzsignal beim ZigBee-Empfänger sehr groß ist, ist diese Architektur schlecht für diese Anwendung geeignet.

2.1.6 Low-IF-Empfänger

Eine weitere Architektur ist der Low-IF-Empfänger, der eine Kombination aus den oben beschriebenen Architekturen darstellt. Das hochfrequente Signal wird wie beim Homodyne-Empfänger in einem einzigen Schritt mit einem I/Q-Mischer heruntergemischt und dann auf der Zwischenfrequenz wie beim Digital-IF-Empfänger digitalisiert. Im Gegensatz zum Heterodyne-Empfänger liegt die Zwischenfrequenz nahe Null. Die Spiegelfrequenzunterdrückung wird wie beim Image-Reject-Empfänger durch die getrennte Beeinflussung der positiven und negativen Frequenzen erreicht [20]. Eine typische Variante dieser Architektur ist in Abbildung 2.7 schematisch dargestellt.

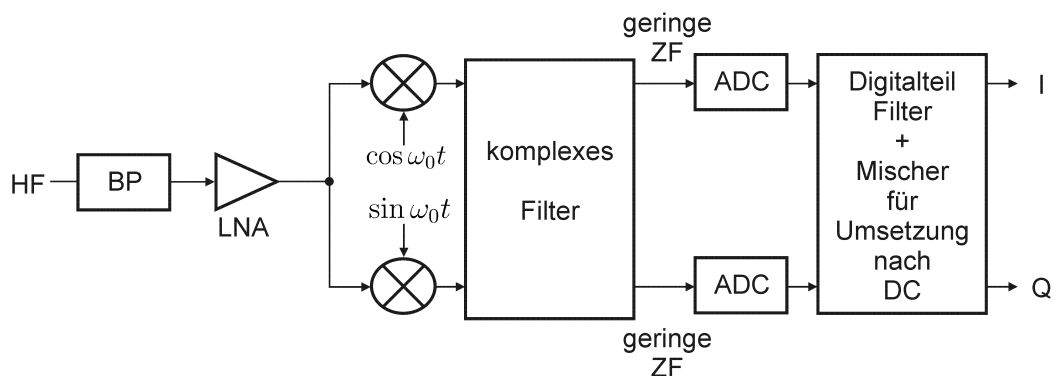


Abbildung 2.7: Blockschaltbild Low-IF-Empfänger.

Diese Architektur leidet nicht an den Nachteilen wie DC-Offsets, $1/f$ -Rauschen oder den Problemen die durch Kopplung zum LO-Signal auftreten. Voraussetzung für die Unterdrückung der Spiegelfrequenzen ist, dass I- und Q-Pfad identisch sind. In der Praxis erreicht ein I/Q-Mischer mit 3° Phasenfehler eine Spiegelfrequenzunterdrückung von 26 dB [20]. Der I/Q-Mismatch stellt deshalb für diese Architektur ein großes Problem dar. Die Unterdrückung der Spiegelfrequenz erfolgt durch das komplexe Filter in dem die positiven und negativen Frequenz-

komponenten getrennt beeinflusst werden. Das Filter kann z.B. als passives Polyphasenfilter realisiert werden, welches mit integriert werden kann.

In [20] wird ein als Double-Quadrature-Downconverter bezeichnete weitere Variante vorgestellt. Hierbei wird sowohl das HF-Signal als auch das LO-Signal einem Quadraturgenerator zugeführt. Die Ausgangssignale der Quadraturgeneratoren werden dann dem I/Q-Mischer zugeführt. Die Architektur wird dadurch unempfindlicher gegen I/Q-Mismatch. Der Nachteil dieser Variante ist, dass zwei Quadraturgeneratoren benötigt werden.

Ein Nachteil aller Low-IF-Empfänger ist, dass die Signale auf einer Zwischenfrequenz digitalisiert werden und damit erhöhte Anforderungen an den ADC in bezug auf die Abtastrate gestellt werden. Je nachdem wie gut Störer in Nebenanäherungen unterdrückt werden, muss der ADC eine höhere Auflösung an Bit besitzen. Die Anforderungen sind aber etwas geringer im Vergleich zum Digital-IF-Empfänger.

Die in Abbildung 2.7 dargestellte Low-IF-Architektur wird z.B. in [12, 48] für einen GPS Empfänger eingesetzt. Die Zwischenfrequenz wird dabei so gewählt, dass die Spiegelfrequenz Teil des GPS Frequenzbands ist. Dadurch ist die Anforderung an die Spiegelfrequenzunterdrückung gering. In [9] wird ein Bluetooth Empfänger beschrieben, der aufgrund des Bluetooth Standards mit seinen sehr geringen Anforderungen an die Spiegelfrequenzunterdrückung ebenfalls diese Architektur einsetzt. Ein Mobilfunk Empfänger DCS-1800 wird in [49] beschrieben, welcher auch einen Low-IF-Empfänger verwendet. Die Unterdrückung der Spiegelfrequenz erfolgt dort im Digitalteil.

2.1.7 Dual-Down-Conversion-Empfänger

Der Dual-Down-Conversion-Empfänger wurde in [19] vorgestellt. Diese Architektur besteht wie in Abbildung 2.8 dargestellt aus zwei Mischerstufen. In der ersten Stufe wird das HF-Signal zunächst auf eine hohe Zwischenfrequenz umgesetzt und anschließend mit einem I/Q-Mischer direkt ins Basisband gemischt. Es wird nur ein LO-Signal benötigt, welches den ersten Mischer versorgt und durch einen Fre-

quenzteiler herunter gesetzt auch die zweite Mischerstufe versorgt. Durch diese Schaltungstechnik wird ein Quadraturgenerator bzw. spannungsgesteuerter Oszillator (VCO) mit Quadraturausgängen eingespart [19].

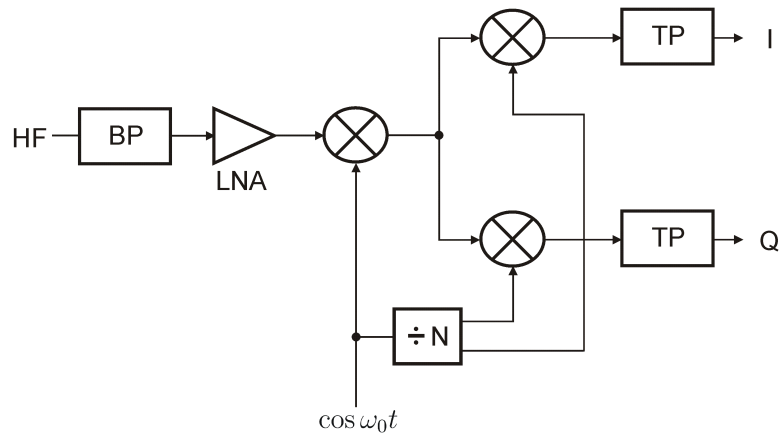


Abbildung 2.8: Blockschnittbild Dual-Down-Conversion-Empfänger.

Im Vergleich zum Homodyne-Empfänger weist der Dual-Down-Conversion-Empfänger ein geringeres $1/f$ -Rauschen auf. Die erste Mischerstufe besitzt zwar auch ein hohes $1/f$ -Rauschen, welches aber das Signal überhaupt nicht beeinträchtigt. Der Grund dafür liegt bei der sehr hohen Zwischenfrequenz, die damit weit vom $1/f$ -Rauschen entfernt ist und somit dieses überhaupt keinen Einfluss auf das Signal hat. Die zweite Mischerstufe wird weit unterhalb der ersten LO-Frequenz angesteuert und damit ist das $1/f$ -Rauschen hier proportional geringer [19].

Wie bei allen Architekturen die das HF-Signal auf eine Zwischenfrequenz umsetzen muss auch hier die Spiegelfrequenz unterdrückt werden. Es wird dazu das Filter als diskrete Komponente wie in Abbildung 2.8 gezeigt vor den LNA geschaltet. Die Anforderungen an das Filter sind nicht so hoch, da der LNA mit seinem abgestimmten Lastschwingkreis zusätzlich noch die Spiegelfrequenz unterdrückt [19].

Um das Übersprechen des LO-Signals zum Ausgang des ersten Mixers zu unterdrücken, werden an dessen Ausgang abgestimmte Lastschwingkreise mit Spulen eingesetzt. Bedingt durch die im Vergleich zum HF-Signal geringe ZF-Frequenz

benötigen die Spulen eine große Induktivität, welche sich schwer auf dem Chip realisieren lässt. Alternativ kann ein Double-Balanced-Mischer verwendet werden, bei dem das LO-Signal nicht zum Ausgang übersprechen kann. Dieser Vorteil wird dann mit der doppelten Stromaufnahme erkauft, was wiederum schlecht für den energieeffizienten ZigBee-Empfänger ist.

In der Literatur wird in [11, 19] ein FLEX-Pager Empfänger beschrieben, der im ISM-Band bei 900 MHz arbeitet und diese Architektur verwendet. Die Frequenz der Signale im Basisband ist sehr gering, damit ist das System sehr empfindlich gegen $1/f$ -Rauschen. Der Dual-Down-Conversion-Empfänger ist für das dort beschriebene System damit eine gute Wahl. Der in [18] vorgestellte FSK-Empfänger für das ISM-Band bei 900 MHz ist praktisch eine Weiterentwicklung des in [11, 19] vorgestellten Front-Ends, bei der sämtliche Spulen mit integriert wurden. Ein weiterer Dual-Down-Conversion-Empfänger für Bluetooth und IEEE 802.11b wird in [39] beschrieben der bei 2,4 GHz im ISM-Band arbeitet.

2.1.8 Zusammenfassung

In den vorangehenden Abschnitten wurden die verschiedenen Empfängerarchitekturen vorgestellt und ihre Vor- und Nachteile erörtert. In diesem Abschnitt werden die betrachteten Architekturen zusammengefasst und die am besten für den energieeffizienten ZigBee-Empfänger geeignete ausgewählt.

Die Architekturauswahl wird durch das angewendete Modulationsverfahren (im ZigBee-Standard [7] wird DBPSK spezifiziert) und weitere praktische Anforderungen (wie z.B. Abstimmbarkeit auf unterschiedliche Trägerfrequenzen) beeinflusst.⁵ Zusätzlich soll bei der Architekturauswahl wie in der Einleitung im Abschnitt 1.3 beschrieben das Ziel beachtet werden, nach Möglichkeit den kompletten Empfänger als eine monolithisch integrierte Schaltung in einem $0,25 \mu\text{m}$ Standard-CMOS-Prozess zu realisieren.

⁵ So kann z.B. für den Empfang eines AM-Signals mit einer festen Trägerfrequenzen ein einfacher Hüllkurvendetektor verwendet werden. Bei einer geforderten Abstimmbarkeit bietet sich eher ein Quadratur- oder ein Heterodyne-Empfänger an [46].

In der Tabelle 2.1 sind die vorgestellten Empfängerarchitekturen noch einmal zusammengefasst. Das Symbol „+“ bedeutet, dass der angesprochene Punkt für diese Architektur kein Problem darstellt bzw. diese Architektur gut damit fertig wird. Entsprechend bedeutet das Symbol „-“, dass der angesprochene Punkt für diese Architektur ein Problem darstellt bzw. diese Architektur schlecht damit fertig wird. Das Symbol „o“ bedeutet diesbezüglich eine neutrale Einstufung.

Tabelle 2.1: Vergleich der unterschiedlichen Empfängerarchitekturen.

Architektur bedingte Probleme	Homodyne	Heterodyne	Image-Reject	Digital-IF	Subsampling	Low-IF	Dual-Down-Con.
DC-Offsets	-	+	+	+	+	+	o
I/Q-Mismatch	-	+	-	+	+	-	-
1/f-Rauschen	-	+	+	+	+	+	o
LO-Leakage	-	+	+	+	+	+	-
Spiegelfrequenzunterdrückung	+	-	-	-	-	-	o
Anforderungen an den ADC	+	+	o	-	o	o	+
Komplexität des Empfängers	+	-	-	-	+	o	o
Anzahl diskreter Komponenten	+	-	+	o	o	o	o
Stromverbrauch	+	-	o	o	o	o	+

Aufgrund des geringen Stromverbrauchs und der geringen Anforderungen an den ADC kommen nach dem Vergleich der Architekturen von den hier beschriebenen nur zwei für den Einsatz in Betracht: Der Homodyne- und der Dual-Down-Conversion-Empfänger. Beide Architekturen sind mit geringem schaltungstechnischen Aufwand zu realisieren. Der Dual-Down-Conversion-Empfänger verspricht zwar einen etwas geringeren Stromverbrauch da zunächst nur ein Mischer das HF-Signal auf eine niedrigere Zwischenfrequenz umsetzt und geringe Probleme mit DC-Offsets und 1/f-Rauschen. Er benötigt dafür aber am Eingang noch ein Filter. Durch schaltungstechnische Maßnahmen lassen sich diese Probleme auch beim Homodyne-Empfänger reduzieren. Da keine bzw. nur eine diskrete Komponente notwendig ist, sind beide Varianten auch kostengünstig zu realisieren. In der ersten Mischerstufe des Dual-Down-Conversion-Empfängers werden wie oben beschrieben große Induktivitäten benötigt, welche sich nur schwierig integrieren lassen. Aus diesem Grund und der etwas geringeren Komplexität des Empfängers

wird letztendlich die homodyne Architektur für den Einsatz in dem stromsparsamen ZigBee-Empfänger ausgewählt.

2.2 ADC

Im vorherigen Abschnitt wurden verschiedene Empfängerarchitekturen beschrieben und die homodyne Architektur für den ZigBee-Empfänger ausgewählt. Bei dieser Entscheidung wurde berücksichtigt, dass die Stromaufnahme des ADCs deutlich höher ist wenn das Signal auf einer Zwischenfrequenz abgetastet wird. Die Auswirkung auf die Stromaufnahme des ADCs durch die Wahl der Abtastrate und der Auflösung an Bit soll in diesem Abschnitt abgeschätzt werden.

Die Abschätzung der Stromaufnahme des ADCs soll erfolgen, ohne die detaillierte Festlegung der schaltungstechnischen Realisierung des ADCs. Durch die Schaltvorgänge in dem ADC werden permanent interne Kapazitäten umgeladen, so dass die Leistungsaufnahme des ADCs (P_{ADC}) abhängig sein muss von der Versorgungsspannung U_{DD} , der Schaltfrequenz f und der internen Kapazität C . Gemäß [50] gilt der Zusammenhang $P = U_{DD}^2 \cdot C \cdot f$. Die Leistungsaufnahme einiger Schaltungsteile wird durch die Abtastrate f_{Sample} und die der anderen Schaltungsteile durch die höchste Frequenzkomponente des abgetasteten Signals f_{Signal} bestimmt. Da über die Kapazität wenig ausgesagt werden kann ohne die Topologie des ADCs festzulegen, wird in [50] die Leistungsaufnahme ausgedrückt als $P_{ADC} \propto U_{DD}^2 \cdot L_{min} \cdot (f_{Sample} + f_{Signal})$.⁶ Weiterhin drückt die Effektive Anzahl der Bits $ENOB$ die Genauigkeit des ADCs aus und beeinflusst nach [50] ebenfalls die Leistungsaufnahme der Schaltung. Basierend auf einer Untersuchung der Daten mehrerer publizierter ADCs, wird in [50] schließlich die Gleichung

$$P_{ADC} = \frac{U_{DD}^2 \cdot L_{min} \cdot (f_{Sample} + f_{Signal})}{10^{-0,1525 \cdot ENOB + 4,838}} \quad (2.1)$$

angegeben, mittels derer die Leistungsaufnahme abgeschätzt werden kann. Bei der Gleichung 2.1 handelt es sich um eine zugeschnittene Größengleichung, in der U_{DD} in V, L_{min} in m, sowie f_{Sample} und f_{Signal} in Hz eingesetzt wird. Das

⁶ Hierbei wird der Zusammenhang $C = C'_{ox} \cdot W \cdot L$ ausgenutzt.

Ergebnis liegt dann in der Einheit W vor. Die angegebene Gleichung 2.1 ist wie in [50] beschrieben, aufgrund der unterschiedlichen Struktur der ADCs nicht für $\Sigma\Delta$ -ADCs gültig. Die Genauigkeit der berechneten Leistungsaufnahme ist nur besser als Faktor 2,2, sie kann aber gut zu einer groben Abschätzung der Stromaufnahme verwendet werden. Die Richtigkeit des angegebenen Zusammenhangs kann anhand der in [50] verwendeten Literatur [51] überprüft werden. Eine weitere Überprüfung mittels der in [52–56] angegebenen Zahlenwerten, zeigt eine Abweichung die geringer ist als der angegebene Faktor 2,2.

Nach dem Abtasttheorem von Shannon [46] muss das Signal mindestens mit der doppelten Frequenz (Nyquistrate) abgetastet werden. Wird das Signal mit einer höheren Frequenz abgetastet als die Nyquistrate, so bezeichnet man dies als Überabtastung. Das Verhältnis von Abtastrate zu Nyquistrate gibt den Faktor der Überabtastung (Over Sampling Ratio, OSR) an. Um die Stromaufnahme des ADCs zu bestimmen kann Gleichung 2.1 umgeschrieben werden als

$$I_{ADC} = \frac{U_{DD} \cdot L_{min} \cdot f_{Signal} \cdot (1 + 2 \cdot OSR)}{10^{-0,1525 \cdot ENOB + 4,838}} \quad (2.2)$$

Diese Gleichung wird ebenfalls als zugeschnittene Größengleichung betrachtet die nun die Stromaufnahme in A liefert. Im Design wird eine Reserve berücksichtigt, so dass $OSR = 1,5$ gewählt wird. Der ADC soll wie der komplette Empfänger in einer $0,25 \mu\text{m}$ Standard-CMOS-Technologie realisiert und bei einer Versorgungsspannung von $U_{DD} = 2,5 \text{ V}$ betrieben werden. Damit lässt sich die Stromaufnahme des ADCs in Abhängigkeit von der Basisbandsignalfrequenz und der Effektiven Anzahl der Bits wie in Abbildung 2.9 dargestellt bestimmen. Aus der Darstellung ist gut zu erkennen, wie die Stromaufnahme des ADCs stark ansteigt, wenn die Anzahl der Bits und die abzutastende Frequenz zunimmt.

Eine weitere Funktion die der Empfänger erfüllen muss ist die Kanalselektion und damit die Unterdrückung von Störern in Nachbarkanälen. Diese Filterung kann im Analog- oder im Digitalteil erfolgen, ebenso ist auch eine Kombination aus beiden realisierbar. Im ersten Fall wird ein Filter wie z.B. in [57] beschrieben vor den ADC geschaltet und damit der Störer unterdrückt. In diesem Fall benötigt der ADC nur eine geringe Anzahl an Bits um das gewünschte Signal aufzulösen. Wird dagegen die Filterung digital durchgeführt, so muss der ADC in der Lage sein

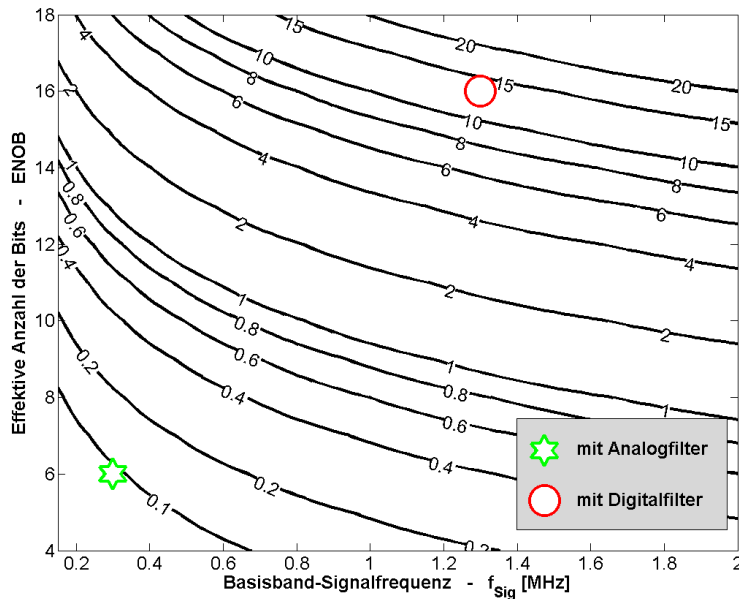


Abbildung 2.9: Stromaufnahme des ADCs in mA in Abhängigkeit von der Basisband-Signalfrequenz und der Effektiven Anzahl der Bits bei $OSR = 1,5$ in einer $0,25 \mu\text{m}$ CMOS-Technologie.

das gewünschte Signal zusammen mit einem möglichen Störer im Nachbarkanal aufzulösen. In diesem Fall ist eine höhere Auflösung an Bits erforderlich, ebenso ist um Aliasingeffekte zu vermeiden eine höhere Abtastrate notwendig (vgl. auch [58]).

Anhand der Abbildung 2.9 lassen sich direkt die beiden Fälle analoge und digitale Unterdrückung von einem Störer im Nachbarkanal vergleichen. Der ZigBee-Empfänger wurde in [35, 36] mit Hilfe einer Systemsimulation analysiert, dabei benötigt der ADC eine mindest Auflösung von 4 Bit um eine Verschlechterung der Performance bei dem Bitfehlerverhältnis (BER) durch eine zu geringe Auflösung des ADCs zu verhindern. Dies ist damit in Übereinstimmung mit den Ergebnissen aus [56, 59]. Weitere 2 Bit werden für die Verstärkungsregelung (Automatic Gain Control, AGC) berücksichtigt, so werden im ersten Fall insgesamt 6 Bit benötigt [57]. Wie in Abschnitt 1.1 beschrieben beträgt die Basisbandsignalbandbreite 300 kHz. Nach Gleichung 2.2 beträgt die Stromaufnahme in diesem Fall

nur $89 \mu\text{A}$. Dieser Punkt ist in der Abbildung 2.9 unten links kenntlich gemacht. Anders verhält es sich, wenn das Störsignal im Digitalen unterdrückt werden soll. Unabhängig von der genauen Realisierung des Filters (FIR oder IIR, Ordnung, Grenzfrequenz etc.) wird in diesem Fall eine höhere Auflösung des ADCs benötigt. Dies ist notwendig, wenn das Störsignal wie in Abschnitt 1.2 beschrieben im Nachbarkanal (im Abstand von 1 MHz) liegt und einen wesentlich höheren Signalpegel aufweist. Bei einem Unterschied der Signalpegel von z.B. 60 dB, werden $\log_2(10^{60 \text{ dB}/20}) \approx 10$ Bit mehr an Auflösung benötigt. Der ADC besitzt damit insgesamt eine Auflösung von 16 Bit [57]. Die höchste Frequenzkomponente beträgt in diesem Fall 1,3 MHz womit sich eine Stromaufnahme von 13 mA ergibt. Dieser Punkt ist in der Abbildung 2.9 oben rechts kenntlich gemacht.

Im Vergleich dazu muss die Stromaufnahme des analogen Filters gesehen werden. Als Filter wird wie in [36] beschrieben ein Butterworth-Filter siebter Ordnung mit einer Grenzfrequenz von $f_g = 290 \text{ kHz}$ betrachtet. Wird dieses Filter als Leapfrog-Filter in G_m - C -Schaltungstechnik synthetisiert, so beträgt die Stromaufnahme von diesem Filter nur $500 \mu\text{A}$ [57]. Die gesamte Stromaufnahme (Filter + ADC) der analogen Variante beträgt damit nur 4,5 % von der digitalen Realisierung. Die Stromaufnahme des digitalen Filters wird bei dieser Betrachtung vernachlässigt. Wird diese zusätzlich berücksichtigt, so verringert sich der prozentuale Anteil des Stromverbrauchs der analogen Lösung noch weiter. Damit wird deutlich, dass die Filterung aus Gründen der Energieeffizienz auf jeden Fall im Analogen erfolgen muss.

Die Abbildung 2.9 verdeutlicht auch, warum die in Abschnitt 2.1 beschriebenen Architekturen bei denen das Signal auf einer Zwischenfrequenz abgetastet wird ungünstig für einen energieeffizienten Empfänger wie z.B. ZigBee sind. Die Entscheidung für die homodyne Architektur wird damit noch einmal unterstützt.

2.3 Festlegung der Systemkennzahlen des gesamten Empfängers

Nachdem in Abschnitt 2.1 die Architektur für den Empfänger ausgewählt wurde, ist der nächste Schritt die Festlegung der Kennzahlen für den kompletten Empfänger. Dies kann auf konventionellem Weg oder besser mit Hilfe einer Systemsimulation erfolgen.

Beim konventionellen Weg geschieht dies über die theoretisch erreichbaren Bitfehlerverhältnisse des idealen Empfängers und analytischen Gleichungen die das Verhalten des Empfängers vorhersagen. Die analytischen Gleichungen sind nur unter vielen vereinfachenden Annahmen gültig, so dass noch eine zusätzliche Reserve einkalkuliert werden muss. Hierfür sind jahrelange Erfahrungen oder mehrere Iterationszyklen des Designs (Produktion der Schaltung und Vermessung des Empfängers) erforderlich. Wesentlich schneller und damit kostengünstiger erfolgt die Festlegung der Systemkennzahlen mittels einer Systemsimulation.

Im folgenden wird zunächst das am Demodulatoreingang notwendige $\frac{E_b}{N_0}$ bestimmt. Als nächstes wird der konventionelle Weg beschrieben um die Systemkennzahlen festzulegen und dessen Nachteile aufgezeigt. Im Anschluss daran wird gezeigt, wie mit Hilfe der Systemsimulation die Kennzahlen für den Empfänger festgelegt werden können. Dazu wird auf die Modellierung des Systems eingegangen, Simulationsergebnisse präsentiert und abschließend die erforderlichen Kennzahlen für den Empfänger festgelegt.

2.3.1 Bitfehlerverhältnis und theoretisches $\frac{E_b}{N_0}$

Die Festlegung der Systemkennzahlen erfolgt über die Bitfehlerkurven des Empfängers. Im ZigBee-Standard [7] wird wie in Abschnitt 1.1 beschrieben festgelegt, dass das Paketfehlerverhältnis (*PER*) unterhalb von 1% liegen muss. Das Paketfehlerverhältnis muss umgerechnet werden in ein Bitfehlerverhältnis (*BER*) und aus dieser das notwendige Verhältnis $\frac{E_b}{N_0}$ bestimmt werden [35, 36]. Dabei ist E_b die Energie pro Informationsbit. Weiterhin ist N_0 gemäß [41, 60] definiert als

die konstante, einseitige spektrale Rauschleistungsdichte eines Rauschprozesses, welcher als weißes Rauschen bezeichnet wird. Es gilt $N_0 = k \cdot T$, mit der absoluten Temperatur in Kelvin T und der Boltzmann-Konstante welche gemäß [61,62] $k = 1,380658 \cdot 10^{-23}$ J/K beträgt.

Unter vereinfachenden Annahmen, wie z.B. dass die Bitfehler gleichverteilt, unkorreliert und keine Burst-Fehler auftreten, kann wie in [35] beschrieben das PER in das BER wie folgend umgerechnet werden: Die Wahrscheinlichkeit für ein korrekt empfangenes Paket P_{PC} kann aus der Wahrscheinlichkeit für ein korrekt empfangenes Bit P_{BC} bestimmt werden zu $P_{PC} = P_{BC1} \cdot P_{BC2} \dots P_{BCN} = (P_{BC})^N$, wobei N die durchschnittliche Anzahl der Bits in einem Paket ist. Die Wahrscheinlichkeit für ein fehlerhaftes Paket ist dann $PER = 1 - P_{PC} = 1 - (P_{BC})^N$. Damit ergibt sich für das Bitfehlerverhältnis

$$BER = 1 - (1 - PER)^{\frac{1}{N}} \quad . \quad (2.3)$$

Entsprechend dem ZigBee-Standard [7] muss von einer durchschnittlichen Länge des PSDU (Physical Layer Service Data Unit) von 20 Octets⁷ ausgegangen werden. Hinzu kommen noch 8 Bit die den Beginn eines Frame (Start-of-Frame Delimiter) kennzeichnen und 7 Bit welche die Länge des Frame kodieren, womit sich insgesamt $N = 175$ Bit ergibt. Die resultierende Grenze für das Bitfehlerverhältnis ist dann

$$BER < 5,74 \cdot 10^{-5} \quad . \quad (2.4)$$

Der ZigBee-Standard [7] schreibt DBPSK als Modulationsart vor. Die theoretische BER für eine Übertragung mit DBPSK-Modulation kann nach [63, 64] in Abhängigkeit von $\frac{E_b}{N_0}$ bestimmt werden als

$$BER = 0,5 \cdot e^{-\frac{E_b}{N_0}} \quad . \quad (2.5)$$

Damit ergibt sich entsprechend [35, 36] am Demodulatoreingang ein mindestens notwendiges $\frac{E_b}{N_0}$ von

$$\left. \frac{E_b}{N_0} \right|_{Demod} = 9,58 \text{ dB} \quad . \quad (2.6)$$

⁷ Im ZigBee-Standard sind 8 Bit als zusammengefasste Größe gemeint. In der Literatur wird stattdessen häufig die Bezeichnung Byte gewählt.

Der Zusammenhang ist noch einmal in Abbildung 2.10 veranschaulicht. In dem Diagramm ist die theoretische Bitfehlerkurve für DBPSK-Modulation, sowie die mit Gleichung 2.4 berechnete Grenze für das BER eingetragen. Der Schnittpunkt der beiden Kurven bestimmt dann das mindestens notwendige $\frac{E_b}{N_0}$ am Demodulatoreingang.

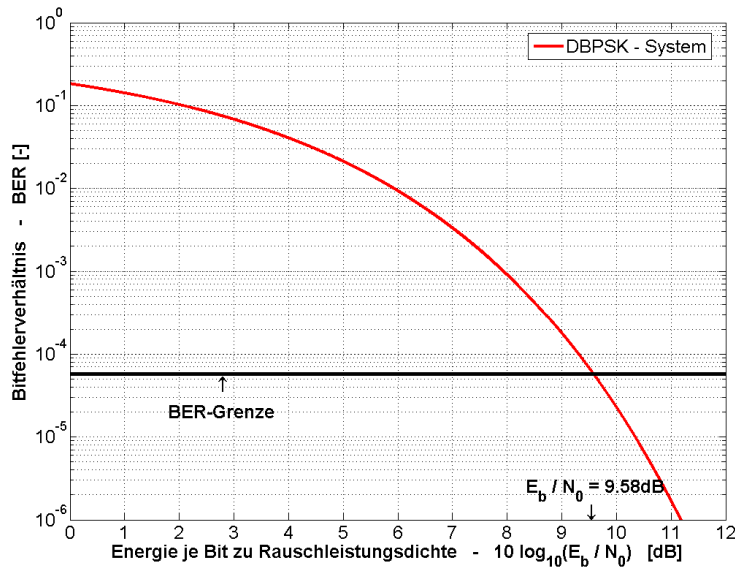


Abbildung 2.10: Theoretisches Bitfehlerverhältnis (BER) des idealen DBPSK-Empfängers.

Als weiterer Zahlenwert kann das theoretisch erzielbare $\frac{E_b}{N_0}$ an der Antenne bestimmt werden. Der Übertragungskanal wird als ein Kanal angenommen, der additiv nur weißes, gleichverteiltes Rauschen (Additive White Gaussian Noise, AWGN) hinzufügt. Es wird hier wie auch in [65] von einer äquivalenten Rauschtemperatur der Antenne von 290 K ausgegangen. Weiter wird von einem Matched Filter⁸ Empfänger ausgegangen und ein idealer Empfänger angenommen, der keinen negativen Einfluss auf das Empfangssignal oder das Rauschen hat. Ausgehend von der Definition für die Energie eines Signals $E = \int_{-\infty}^{+\infty} |s(t)|^2 dt$ in [46], kann durch Anpassung der Integrationsgrenzen an die Bitdauer T_B die Energie eines Bits $E_b = \int_0^{T_B} |s(t)|^2 dt$ bestimmt werden. Damit kann

⁸ Die englische Bezeichnung Matched Filter bedeutet an die Signalform angepasstes Filter [46].

wie in [36] beschrieben $\frac{E_b}{N_0}$ an der Antenne berechnet werden als

$$\frac{E_b}{N_0} \Big|_{Ant} = \frac{\frac{1}{T_B} \int_0^{T_B} |s(t)|^2 dt}{\frac{1}{T_B} N_0} = \frac{P_{Sig}}{kT \cdot R_c} \cdot SF \quad . \quad (2.7)$$

Der Ausdruck über dem Bruchstrich in der Mitte ist nichts anderes als die Signalleistung P_{Sig} , $\frac{1}{T_B}$ ist das Verhältnis aus der Chiprate R_c des Signals und dem Spreading-Faktor SF , T ist die absolute Temperatur in Kelvin und nach [61, 62] $k = 1,380658 \cdot 10^{-23}$ J/K die Boltzmannkonstante. Mit den Zahlenwerten des ZigBee-Systems $P_{Sig} = -92$ dBm, $SF = 15$ und $R_c = 300$ kChips/s ergibt sich wie in [36]

$$\frac{E_b}{N_0} \Big|_{Ant} = 38,96 \text{ dB} \quad . \quad (2.8)$$

Dieser Zahlenwert repräsentiert nur den Idealfall. Bei einem anderen Kanalmodell wie z.B. ein Kanal mit Rayleigh Fading wird $\frac{E_b}{N_0}$ deutlich verschlechtert.

Das $\frac{E_b}{N_0}$ an der Antenne ist größer als jenes, welches am Demodulatoreingang notwendig ist. Die Differenz wird quasi von dem nicht idealen Empfänger verbraucht. Das bedeutet, $\frac{E_b}{N_0}$ verringert sich von Stufe zu Stufe, ausgehend von der Antenne bis zum Demodulatoreingang. Die Differenz der $\frac{E_b}{N_0}$ Werte kann auch als Designspanne betrachtet werden und wird nach [36] berechnet als

$$\Delta \frac{E_b}{N_0} = \frac{E_b}{N_0} \Big|_{Ant} - \frac{E_b}{N_0} \Big|_{Demod} = 29,38 \text{ dB} \quad . \quad (2.9)$$

Es ist sehr verführerisch anzunehmen, dass diese Designspanne komplett für das Noise Figure des Empfängers verbraucht werden kann. Stattdessen muss diese Designspanne zwischen dem Analog- und Digitalteil aufgeteilt werden. Im analogen Teil wird diese benötigt z.B. für Rauschen, Nichtlinearität der Schaltungen, I/Q-Mismatch und DC-Offsets. Im digitalen Teil wird die Spanne benötigt für verschiedene Algorithmen wie z.B. Synchronisation (Trägerfrequenz-, Chip- und Frame-Synchronisation) [36].

Der Zusammenhang ist in Abbildung 2.11 schematisch dargestellt. Die beiden theoretischen $\frac{E_b}{N_0}$ Werte sind eingezeichnet ebenso wie die *BER*-Grenze die nicht überschritten werden darf. Durch einen starken Störer ergibt sich eine Grenze

nach unten die nicht unterschritten werden kann. Durch den nicht idealen Empfänger werden die BER -Kurven wie angedeutet weiter nach außen verschoben. Damit wird deutlich, dass der in Gleichung 2.6 angegebene $\frac{E_b}{N_0} \Big|_{Demod}$ Wert nur für den idealen Empfänger gilt.

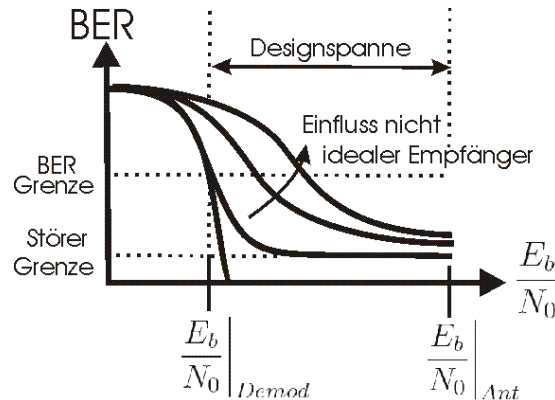


Abbildung 2.11: Prinzipielle Darstellung BER -Kurve, BER -Grenze und Grenze durch Störer.

Bei der theoretischen Berechnung des Bitfehlerverhältnis wird normalerweise von einem Matched Filter Empfänger ausgegangen. Wird im Empfänger ein anderes Filter verwendet, so muss bei der Herleitung des Bitfehlerverhältnis mit der äquivalenten Rauschbandbreite B_{eq} gerechnet werden. Da ZigBee im Sender ein Raised-Cosine-Pulsformfilter verwendet, ist die Bandbreite des gewünschten Signals auf einen schmalen Bereich begrenzt. Es kann daher davon ausgegangen werden, dass nur die äquivalente Rauschbandbreite des Antialiasing Filters das SNR beeinflusst. Der Ansatz ist vergleichbar zu dem Systembeispiel in [66], bei dem ein Non-Return-to-Zero-Signal (NRZ) und ein Raised-Cosine-Empfangsfilter verwendet wird. Solange die Filterbandbreite im Empfänger größer ist als die Bandbreite des Signals, kann das Signal als unbeeinflusst betrachtet werden. Dagegen erhöht sich die äquivalente Rauschbandbreite auf B_{eq} und kann wie in [44] beschrieben mit Gleichung 2.10 berechnet werden [36].

$$B_{eq} = \frac{1}{|H_{pk}|^2} \int_0^{\infty} |H(f)|^2 df \quad (2.10)$$

Dabei ist $H(f)$ die Übertragungsfunktion des Filters und H_{pk} das Maxima der Übertragungsfunktion. Als Resultat wird durch die größere Rauschbandbreite die

Bitfehlerkurve zu größeren $\frac{E_b}{N_0}$ Werten wie in Abbildung 2.11 angedeutet verschoben. Es kann damit Gleichung 2.6 modifiziert werden zu

$$\frac{E_b}{N_0} \Big|_{Demod, B_{eq}} = \frac{E_b}{N_0} \Big|_{Demod} + 10 \cdot \log_{10} \left(\frac{B_{eq}}{R_c} \right) . \quad (2.11)$$

Durch die Verwendung eines anderen Filters statt eines Matched Filters, wird das notwendige $\frac{E_b}{N_0}$ größer, um die gleiche BER zu erreichen. Anders ausgedrückt, ist unter diesen Voraussetzungen Gleichung 2.5 nicht mehr gültig.

Die Anwesenheit eines Störers hat ebenfalls eine große Auswirkung auf die BER -Performance des Systems. Um den Einfluss abzuschätzen wird angenommen, dass nur die Rauschzahl F des Empfängers und der Störer die BER -Performance verschlechtern. Es kann damit der folgende Ansatz gemacht werden

$$\frac{E_b}{N_0 + E_{Int}} \Big|_{Demod} = \frac{\int_0^{T_B} |s(t)|^2 dt}{N_0 \cdot F + \int_0^{T_B} |s_{Int}(t)|^2 dt} . \quad (2.12)$$

Dabei muss unterschieden werden ob das Signal vom Störer $s_{Int}(t)$ ein ZigBee-Signal mit dem gleichen Spreading-Faktor ist oder nicht. Durch die nur endliche Filterdämpfung im Sperrbereich kann ein starker Störer dafür verantwortlich sein, dass eine Grenze in der BER nach unten nicht unterschritten werden kann. Diese Grenze die sich durch den Störer ergibt ist in Abbildung 2.11 dargestellt.

2.3.2 Konventioneller Weg zu den Systemkennzahlen

Um die erforderlichen Systemkennzahlen auf konventionellem Weg festlegen zu können muss zunächst wie im vorherigen Abschnitt beschrieben das notwendige $\frac{E_b}{N_0}$ am Demodulatoreingang bestimmt werden. Dieses wird dann in das Verhältnis von Signal- zu Rauschleistung (SNR) umgerechnet und damit die Schaltung dann dimensioniert [35].

Für Schaltungsdesigner ist die Größe SNR viel praktischer, da sich die Leistungen messtechnisch oder durch Schaltungssimulation viel einfacher bestimmen lassen und damit die Eigenschaften der Schaltung beschrieben werden können. Dagegen

ist aus Sicht des Systementwurfs es viel praktischer mit $\frac{E_b}{N_0}$ zu rechnen, da auf diese Größe z.B. die Bandspreizung oder unter der Voraussetzung das ein Matched Filter verwendet wird das Empfangsfilter keinen Einfluss hat.

Bei dem konventionellen Weg wie er in der Literatur z.B. in [9, 49, 67, 68] beschrieben wird, wird zunächst das notwendige $\frac{E_b}{N_0}$ in das notwendige SNR umgerechnet. Bei dieser Umrechnung wird von der Überlegung ausgegangen, dass durch das Matched Filter das SNR maximiert wird und damit $SNR|_{max} = \frac{E_b}{N_0}$ (unter Vernachlässigung der Bandspreizung) werden kann [46]. Wird ein anderes Filter als eine Matched Filter verwendet so muss dessen äquivalente Rauschbandbreite (vgl. Gleichung 2.10) berücksichtigt werden. Gemäß der gegebenen Umrechnung in [9, 67, 68] und unter der weiteren Berücksichtigung des Spreading-Faktors kann das notwendige SNR bestimmt werden als

$$SNR|_{Demod} = \frac{E_b}{N_0} \Big|_{Demod} \cdot \frac{R_c}{SF \cdot B_{eq}} \quad (2.13)$$

Vergleichbar dazu wird das SNR an der Antenne bestimmt.

2.3.2.1 Rauschzahl des Empfängers

Nachdem das SNR an der Antenne und dem Demodulatoreingang bestimmt wurde, folgt als nächster Schritt wie in der Literatur [9, 49, 68] beschrieben, die Bestimmung der Rauschzahl F . Das Verhältnis von SNR an der Antenne zum SNR am Demodulatoreingang ist die Rauschzahl des Empfängers. Somit kann das Noise Figure

$$NF = 10 \cdot \log_{10} F = 29, 38 \text{ dB} \quad (2.14)$$

des Empfängers bestimmt werden. Dies ist aber gleichbedeutend wie die fehlerhafte Annahme, dass die in Abschnitt 2.3.1 beschriebene Designspanne komplett für das Noise Figure des Empfängers verbraucht werden kann. Wie dort beschrieben, müssen stattdessen weitere Effekte berücksichtigt werden. In der Literatur wird dieses Problem meist umgangen, indem ein paar dB Reserve einkalkuliert werden.

Die Schwierigkeit besteht darin, die Größe für die Reserve richtig zu wählen. Wird die Reserve zu klein gewählt, dann erreicht der Empfänger nicht die gewünschte

Performance. Wird die Reserve zu groß einkalkuliert, dann ist die Anforderung an den Empfänger zu hart. Das bedeutet, der Empfänger muss ein geringeres Noise Figure erreichen und eine bessere Linearität besitzen, was wie in [69] beschrieben eine höhere Stromaufnahme zur Folge hat.

2.3.2.2 Verstärkung des Empfängers

Der Analogteil muss das von der Antenne empfangene Signal verstärken, damit dieses (für die weitere Verarbeitung im Digitalteil) mit einer ausreichenden Auflösung vom ADC digitalisiert werden kann. Wie in Abschnitt 2.2 beschrieben, soll aus Gründen der Energieeffizienz ein 6 Bit ADC verwendet werden. Das Signal soll dabei mindestens mit 4 Bit aufgelöst werden.

Für die Überschlagsrechnung wird bei einer Versorgungsspannung von 2,5 V, bei einem ADC mit einem differentiellen Eingang, von einem Aussteuerungsbereich von $-2,4 \dots 2,4$ V ausgegangen. Für den 6 Bit ADC ergibt sich damit eine Stufengröße von 75 mV. Die Eingangsamplitude des ADCs muss bei der geforderten 4 Bit Auflösung somit mindestens 600 mV betragen.

Das minimale Eingangssignal des Empfängers beträgt $P_{in,min} = -92$ dBm, während das maximale Eingangssignal $P_{in,max} = -20$ dBm beträgt. Die Eingangsleistungen können mit Gleichung 2.15 in äquivalente Spannungen an einem 50Ω Widerstand umgerechnet werden. Damit ergibt sich für die Amplituden der Eingangsspannung $\hat{u}_{in,min} = 7,94 \mu\text{V}$ und $\hat{u}_{in,max} = 31,62$ mV.

$$\hat{u} = \sqrt{2 \cdot 50 \Omega \cdot 1 \text{ mW} \cdot 10^{P_{in,dBm}/10}} \quad (2.15)$$

Für das minimale Eingangssignal wird daher eine hohe Verstärkung⁹ benötigt, wo hingegen beim maximalen Eingangssignal die Verstärkung reduziert werden muss. Die notwendige Spannungsverstärkung G_V beträgt somit für das minimale Eingangssignal $G_{V,High} = 75536$ entsprechend $G_{V,High} = 97,5$ dB im logarithmischen

⁹ In der Literatur [44] wird bei frequenzumsetzenden Schaltungen wie z.B. Mischer statt Verstärkung der Begriff Conversion Gain verwendet. Da der Empfänger das HF-Signal ins Basisband umsetzt, ist genau betrachtet auch hier die Bezeichnung Conversion Gain sinnvoll.

Maßstab. Für das maximale Eingangssignal kann der volle Aussteuerungsbereich des ADCs ausgenutzt werden. Die Verstärkung beträgt in diesem Fall $G_{V,Low} = 76$ entsprechend $G_{V,Low} = 37,6$ dB. Anhand dieser Zahlen wird deutlich, dass eine einstellbare Verstärkung notwendig ist.

2.3.2.3 Nichtlinearität des Empfängers

Es gibt verschiedene Ursachen für die Nichtlinearität in Schaltungen. In der CMOS-Schaltungstechnik sind die Gründe dafür z.B. die Geschwindigkeitssättigung und die Mobilitätsreduzierung welche eine Abweichung vom quadratischen Verhalten des MOS-Transistors verursachen [44, 49, 70].

Durch die Nichtlinearität entstehen verschiedene Effekte, die wie ausführlich in [34] beschrieben, das Verhalten des Empfängers beeinflussen. Als einfaches Modell erster Ordnung wird für den Empfänger angenommen, dass es sich um ein nichtlineares, zeitinvariantes, gedächtnisloses System handelt. Das Ausgangssignal eines solchen Systems wird mit Hilfe einer Taylorreihenentwicklung approximiert als

$$y(t) = c_1 \cdot x(t) + c_2 \cdot x^2(t) + c_3 \cdot x^3(t) \quad , \quad (2.16)$$

wobei $x(t)$ das Eingangssignal, $y(t)$ das Ausgangssignal und c_n die Taylorkoeffizienten sind. Alle Terme der Nichtlinearität mit einer höheren Ordnung als drei wurden vernachlässigt. Es muss sichergestellt sein, dass das System damit hinreichend genau beschrieben wird [34, 44, 71].

Durch die Nichtlinearität können Harmonische und Intermodulationsprodukte der Eingangssignale entstehen. Ein Störer kann das gewünschte Signal modulieren und die Verstärkung für das gewünschte Signal reduzieren, wobei diese im Extremfall zu Null wird. Die Intermodulationsprodukte von Störern können sich mit dem gewünschten Signal überlagern und dadurch das *BER* erhöhen. In der Literatur werden diese Effekte auch als Gain Compression, Desensitization and Blocking, Cross Modulation und Intermodulation bezeichnet [34].

Die Linearität der Empfängerschaltung wird meist Ausgedrückt durch den Input Referred 3rd-Order Interception Point, *IIP3* [34, 44]. Dieser wird bestimmt,

indem bei einem Zwei-Ton-Test zwei im Frequenzbereich nahe beieinander liegende Signal gleicher Amplitude an den Eingang der Schaltung gelegt werden. Bedingt durch die Nichtlinearität entstehen Intermodulationsprodukte, wobei die Produkte dritter Ordnung bei $2\omega_1 - \omega_2$ und $2\omega_2 - \omega_1$ liegen. Der $IP3$ ist definiert als der extrapolierte Punkt, bei dem die Intermodulationsprodukte dritter Ordnung ($IM3$) genauso groß sind wie die Amplitude der Grundwelle. Er kann wie in [34, 44, 72] beschrieben analytisch bestimmt werden als

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{c_1}{c_3} \right|}, \quad (2.17)$$

wobei A_{IIP3} die Amplitude in Volt liefert. Ist der Punkt auf den Ausgang bezogen so wird er als $OIP3$ und ist er auf den Eingang bezogen als $IIP3$ bezeichnet. Die grafische Bestimmung des $IIP3$ ist in Abbildung 2.12 veranschaulicht [34].

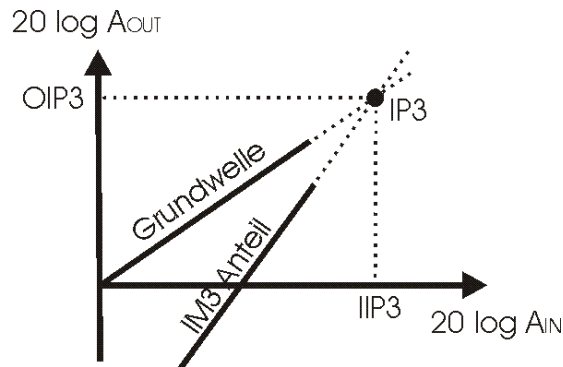


Abbildung 2.12: Graphische Bestimmung des $IIP3$ aus Grundwelle und Intermodulationsprodukte dritter Ordnung.

Im ZigBee-Standard [7] wird nicht festgelegt wie groß der $IIP3$ sein muss und es wird auch kein Intermodulationstest vorgeschrieben. In anderen Standards wie z.B. in Bluetooth [6] wird genau beschrieben, welches Nutzsignal und welche Störsignale in einem Intermodulationstest zu verwenden sind. Dabei darf eine vorgegebene BER -Grenze nicht überschritten werden. Aus diesen Vorgaben kann dann der $IIP3$ bestimmt werden.

In der Literatur werden verschiedene Ansätze gemacht um den $IIP3$ zu bestimmen. Die verschiedenen Ansätze führen zu unterschiedlichen Ergebnissen wie im folgenden gezeigt wird:

Betrachtet werden die Intermodulationsprodukte dritter Ordnung von zwei Stör-signalen, welche sich mit dem Nutzsignal überlagern. Die $IM3$ -Anteile werden dabei behandelt wie weißes Rauschen. Mit Hilfe des in Gleichung 2.6 bestimmten, mindestens notwendigen $\frac{E_b}{N_0}$ wird dann die auf den Eingang bezogene Leistung der Intermodulationsprodukte dritter Ordnung $P_{IM3,in}$ mit folgender Bestimmungsgleichung berechnet:

$$\frac{E_b}{N_0 + E_{Int}} \Big|_{D_{emod}} = \frac{P_{Sig}}{kT \cdot \frac{R_c}{SF} \cdot F + P_{IM3,in}} = 9,58 \text{ dB} \quad (2.18)$$

Der $IIP3$ kann dann mit der in [9, 34, 67, 68] angegebenen Gleichung

$$IIP3 = \frac{1}{2} (3 \cdot P_{Int,dBm} - P_{IM3,dBm}) \quad (2.19)$$

berechnet werden (alle Leistungen in dBm). Anhand der Gleichung 2.18 und Gleichung 2.19 ist die Verknüpfung zwischen Linearität, Rauschen und BER zu erkennen. Das bedeutet, das NF lässt sich in Grenzen gegen die Linearität austauschen. Da im ZigBee-Standard [7] aber keine Störer spezifiziert sind, führt dieser Weg zu keinem Ergebnis.

Ein alternativer Weg zum $IIP3$ wird z.B. in [9] beschrieben und führt über die Definition der Spurious-Free Dynamic Range (SFDR). Nach dieser Definition dürfen die Intermodulationsprodukte genauso groß sein wie das eingangsbezogene Rauschen (Noise Floor) also

$$P_{IM3,dBm} = 10 \cdot \log_{10} \left(kT \cdot \frac{R_c}{SF} / 1 \text{ mW} \right) + NF \quad (2.20)$$

Mit Gleichung 2.19 wird dann der $IIP3$ berechnet. Mit den Zahlenwerten des ZigBee-Systems ergibt sich dann der $IIP3 = +7,29 \text{ dBm}$. Da die Spurious-Free Dynamic Range eine einfache Definition ist, besitzt diese keine Aussagekraft. Folglich ist der auf diesem Wege bestimmte $IIP3$ ohne Aussage.

Es kann auch wie in [14] versucht werden den $IIP3$ über den 1-dB-Kompressionspunkt zu bestimmen. Bei einem maximalen Eingangssignal von -20 dBm sollte der 1-dBKompressionspunkt über -20 dBm liegen. Da in einem System mit einer gedächtnislosen Nichtlinearität dritter Ordnung der 1-dBKompressionspunkt um 9,6 dB unterhalb des $IIP3$ liegt [34], muss folglich der $IIP3$ größer sein als

-10,4 dBm. Wird ein kleinerer $IIP3$ von z.B. -15 dBm gewählt, so würde sich unter den o.g. Bedingungen die Verstärkung um 3,3 dB reduzieren. Diese kleine Reduzierung der Verstärkung könnte durch die Verstärkungsregelung im Empfänger (bei entsprechender Dimensionierung) wieder ausgeglichen werden. Damit hat auch dieser $IIP3$ nur eine geringe Aussagekraft.

Ein weiterer Weg zu einem Zahlenwert für den $IIP3$ führt über den Effekt des Desensitization and Blocking. Bei dem gemeinsam Empfang eines gewünschten Signals mit der Amplitude A_1 und der Kreisfrequenz ω_1 und eines Störers mit der Amplitude A_2 und der Kreisfrequenz ω_2 wird die gewünschte Verstärkung durch den Störer wie in [34] beschrieben reduziert. Dies ist besonders dramatisch, wenn das gewünschte Signal sehr klein und der Störer sehr groß ist. Mit dem Ausdruck für den $IIP3$ in Gleichung 2.17 kann das Ausgangssignal beschrieben werden als

$$y(t) = c_1 \cdot \left[1 - \left(\frac{A_1}{A_{IIP3}} \right)^2 - 2 \cdot \left(\frac{A_2}{A_{IIP3}} \right)^2 \right] A_1 \cdot \cos(\omega_1 t) + \dots \quad , \quad (2.21)$$

wobei c_1 die gewünschte Verstärkung ist. Der Klammerausdruck wird im folgenden als $G_{Nichtlin}$ bezeichnet und ist vom Zahlenwert her kleiner als eins. Er verursacht daher eine unerwünschte Dämpfung. Der $IIP3$ kann dann daraus bestimmt werden als

$$IIP3 = \frac{P_{Sig} - 2 \cdot P_{Int}}{1 - G_{Nichtlin}} \quad , \quad (2.22)$$

wobei P_{Sig} die Signalleistung und P_{Int} die Störerleistung ist. Wird eine Dämpfung von 6 dB zugelassen, ergibt sich durch die in Abschnitt 1.2 beschriebenen Anforderungen an das ZigBee-System ($P_{Sig} = -92$ dBm, $P_{Int} = -29$ dBm und $G_{Nichtlin} = -6$ dB) für den $IIP3 = -22,97$ dBm.

Bei den in der Literatur beschriebenen und oben näher untersuchten Effekten wird von Eingangssignalen der Form

$$x(t) = \sum_{k=1}^N A_k \cdot \cos(\omega_k t) \quad (2.23)$$

ausgegangen. Es wird also eine Summe von sinusförmigen Signalen mit konstanten Amplituden A_k angenommen. Dieses simple Modell führt zu einfach handhabbaren Gleichungen für die Signale, mittels derer die Auswirkung der verschiedenen

Effekte im Empfänger vorhergesagt werden können. Die real verwendeten Signale weisen allerdings eine spektrale Ausdehnung auf und die Amplituden sind die zeitabhängigen Basisbandsignale $A(t)$.

Durch die Nichtlinearität und die spektrale Ausdehnung der Signale können Intermodulationsprodukte entstehen, die vom Nutzsinal selbst oder von einem einzelnen Störer im Nachbarkanal verursacht werden. So kann z.B. durch die Frequenzkomponenten bei $f_1 = 868,4$ MHz und $f_2 = 868,5$ MHz des Nutzsignals ein Intermodulationsprodukt entstehen bei 868,3 MHz, welches im Zentrum des Nutzsignals liegt. Das Nutzsinal hat damit eine Rückwirkung auf sich selbst. Da diese Intermodulationsprodukte kleiner sind als die ursprüngliche Komponente des Nutzsignals, haben diese eine geringe Auswirkung. Dramatischer sind die Auswirkungen eines einzelnen, starken Störers im Nachbarkanal z.B. bei 869,3 MHz mit den Frequenzkomponenten bei $f_1 = 869$ MHz und $f_2 = 868,6$ MHz und das dadurch entstehende Intermodulationsprodukt bei 868,4 MHz. Dieses Intermodulationsprodukt des Störers überlagert sich mit dem Nutzsinal. Die Auswirkung dieser Intermodulationsprodukte auf die Systemperformance lässt sich nicht mehr analytisch vorhersagen.

2.3.2.4 Zusammenfassung

Wie in den vorherigen beiden Abschnitten beschrieben werden die Systemkennzahlen auf konventionellem Weg unter vielen vereinfachenden Annahmen festgelegt oder führen z.B. je nach angewendeter Bestimmungsmethode zu stark unterschiedlichen Werten für den $IIP3$. Die Ergebnisse sind in der Tabelle 2.2 noch einmal zusammengefasst.

Wie in [36] beschrieben müssen für die richtige Vorhersage des Verhaltens des realen Empfängers viele Effekte berücksichtigt werden:

- Die empfangenen Signale sind keine sinusförmigen Signale. Sie besitzen eine spektrale Ausdehnung und können daher mit sich selbst intermodulieren und das gewünschte Signalband stören.

Tabelle 2.2: Zusammenfassung der durch unterschiedliche Methoden bestimmten Systemkennzahlen.

Kennzahl	Wert	Bestimmungsmethode	Bemerkung
$G_{V,High}$	97,5 dB	Signalpegelbetrachtung	
$G_{V,Low}$	37,6 dB	Signalpegelbetrachtung	
NF	29,38 dB	$\Delta - SNR$ Antenne-Demodulator	
$IIP3$		BER-Grenze	Störer nicht spezifiziert
$IIP3$	+7,29 dBm	IM3 = Noise Floor	
$IIP3$	-10,4 dBm	1-dB-Kompressionspunkt	
$IIP3$	-22,97 dBm	Desensitization and Blocking	

- Durch die nur endliche Filterdämpfung vor dem ADC können Aliasingeffekte auftreten.
- Die Auswirkung der Aliasingeffekte hängt stark vom verwendeten Filter ab.
- Die praktische Realisierung des Digitalteils des Empfängers (DFE¹⁰) unterscheidet sich vom theoretischen Prototypen, durch die nur endliche Wordbreite, die nicht absolut fehlerfreie Synchronisation und weitere Aspekte.

Der nicht vorhersagbare Einfluss des Analogteils des Empfängers (AFE¹¹) auf die Performance des gesamten Systems kann dazu führen, dass falsche Kennzahlen für den Empfänger spezifiziert werden. Werden die Anforderungen zu gering gewählt, d.h. ein zu geringer $IIP3$ und ein zu hohes NF dann erreicht der Empfänger nicht die gewünschte BER . Aus diesem Grund wird eine ausreichend große Reserve eingeplant. Die Folge davon kann sein, dass die Anforderungen an das NF und den $IIP3$ zu hoch gewählt werden. Da beide Größen mit der Stromaufnahme verbunden sind [69], kann dies in einer unnötig hohen Stromaufnahme des Empfängers resultieren [36].

Aus diesen Gründen ist eine Systemsimulation unverzichtbar um die Performance des gesamten Systems zu ermitteln. Diese hilft gleichzeitig den Stromverbrauch

¹⁰ Die Abkürzung DFE steht für Digital Front End.

¹¹ Die Abkürzung AFE steht für Analog Front End.

des Empfängers zu reduzieren [36]. Die Bestimmung der Systemkennzahlen mit Hilfe der Systemsimulation wird im nächsten Abschnitt beschrieben.

2.3.3 Ermittlung der Systemkennzahlen mittels Systemsimulation

Da die Kennzahlen wie z.B. das Noise Figure NF oder die Linearität ausgedrückt durch den $IIP3$ nicht vom ZigBee-Standard [7] festgelegt werden, müssen diese bestimmt werden. Im Abschnitt 2.3.2 wurde gezeigt, wie diese Kennzahlen auf konventionellem Weg festgelegt werden. Die Schwierigkeiten die sich durch die Auswirkung der nichtidealen Effekte des realen Empfängers auf das BER des Systems ergeben, wurden ebenfalls erläutert. Aus diesen Gründen wird nun die in [35,36] vorgestellte MATLAB Systemsimulation verwendet, die möglichst viele Effekte des real Empfängers nachbildet und mit deren Hilfe dann die Kennzahlen des Empfängers festgelegt werden können. Der Aufbau der Systemsimulation, die Modellierung und die resultierenden Simulationsergebnisse werden im folgenden beschrieben.

2.3.3.1 Aufbau der Systemsimulation

Für den Empfänger wird wie in Abschnitt 2.1 beschrieben die homodyne Architektur verwendet. Der Aufbau des Empfängers ist in Abbildung 2.13 dargestellt. Er besteht aus einem LNA und je I- und Q-Pfad aus Mischer, Tiefpassfilter, einstellbarer Verstärker (Programmable Gain Amplifier, PGA) und ADC.

Für die Systemsimulation wird die in Abbildung 2.13 dargestellte Architektur des Empfängers zugrunde gelegt. Die Simulation des Empfängers erfolgt im Zeitbereich und wird mit Hilfe des numerischen Mathematikprogramms MATLAB durchgeführt.

Der hochfrequente Träger liegt bei 868,3 MHz während die HF-Bandbreite des Signals unter Berücksichtigung der Raised-Cosine-Pulsform 0,6 MHz beträgt. Damit liegt die HF-Bandbreite des Signals mehr als drei Dekaden unterhalb der Trä-

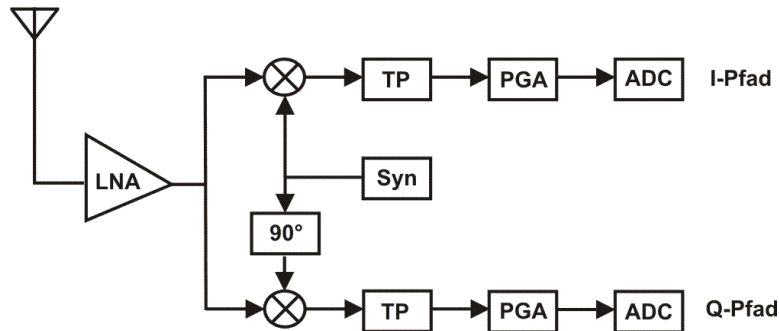


Abbildung 2.13: Architektur des Empfängers.

gerfrequenz. Entsprechend dem Abtasttheorem von Shannon muss die Schrittrate in der Simulation größer sein, als das doppelte der höchsten Frequenzkomponente der simulierten Signale. Die somit erforderliche hohe Abtastrate führt zu sehr langen Simulationszeiten, besonders in dem Fall wenn *BER*-Kurven ermittelt werden müssen. Es ist daher ein adäquates Basisbandmodell absolut notwendig um unakzeptabel lange Simulationszeiten zu verhindern [35, 36].

Das Modell ist in verschiedene Teile aufgeteilt wie in Abbildung 2.14 dargestellt. Es beinhaltet das äquivalente Basisbandmodell des AFEs mit den Nichtlinearitäten und dem I/Q-Mismatch (ANM¹²), einen Block in dem ein DC-Offset hinzugefügt werden kann, Tiefpassfilter (TP), Analog-Digital-Umsetzer (ADC), einen Block der das entsprechende Rauschen hinzufügt, sowie den Digitalteil im Sender und Empfänger (DFE).

Das DFE im Empfänger steht für den Physical Layer (PHY) und beinhaltet die Träger-, Chip- und Rahmensynchronisation (Carrier, Chip und Frame). Außerdem werden dort die Chips vorverarbeitet, die Chips wieder in Bits umgesetzt (Despreading) und die empfangenen Daten an den Medium Access Layer (MAC) übergeben. Im DFE des Senders werden die Daten vom MAC-Layer übernommen, die Bits in Chips umgesetzt (Spreading) und die Raised-Cosine-Pulsformfilterung durchgeführt. Eine detaillierte Beschreibung der ZigBee DFE-Funktionen ist in [7, 26] zu finden. Sie sind nicht Bestandteil dieser Arbeit.

¹² Die Abkürzung ANM steht für AFE-Model with Nonlinearity and I/Q-Mismatch.

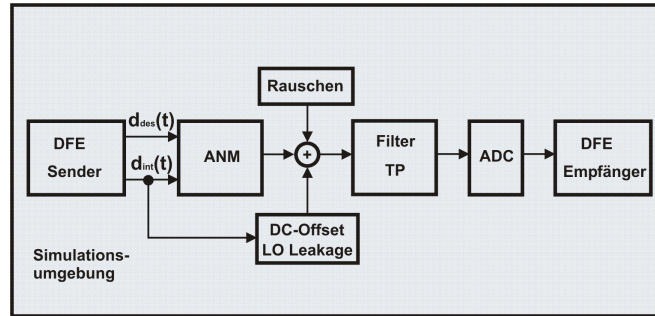


Abbildung 2.14: Blockdiagramm der Simulationsumgebung, inklusive des äquivalenten Basisbandmodells des AFEs mit Nichtlinearitäten und I/Q-Mismatch (ANM).

Das gewünschte Signal $d_{des}(t)$ und das Signal des Störers $d_{int}(t)$ sind als ZigBee-Signale modelliert. Das Störsignal befindet sich im Nachbarkanal im 1 MHz Abstand und ist mit dem gewünschten Signal synchronisiert. Dies stellt somit den ungünstigsten Fall dar. Beide Signale werden von einem Raised-Cosine-Filter pulsgestimmt und wie in Abbildung 2.14 gezeigt, als Basisbandsignale an die Eingänge des ANM-Blocks gelegt [36].

Das Filter vor dem ADC muss zwei Aufgaben erfüllen. Zum einen ist es dafür da Aliasingeffekte zu verhindern indem Signalkomponenten höher als die Hälfte der Abtastrate ausreichend gedämpft werden. Zum anderen wird es eingesetzt für die Kanalselektion. Wie in Abschnitt 2.2 gezeigt wurde, ist es aufgrund der Stromaufnahme des ADCs viel günstiger die Kanalselektion im Analogem statt im Digitalen auszuführen. Um den Störer im Nachbarkanal ausreichend zu unterdrücken wird ein Butterworth-Filter siebter Ordnung verwendet. Der ADC selbst ist als MATLAB-Code realisiert und wird in der Simulation als Funktion aufgerufen [36]

Im ANM-Block wird die Abtastrate der Signale erhöht. Dies geschieht aus zwei Gründen: Zum einen befindet sich das heruntergemischte Signal des Störers in der Realität bei einer größeren Frequenz als das Nutzsinal. In der Simulation muss deshalb im ANM-Block das Basisbandeingangssignal des Störers entsprechend dem HF-Kanalabstand zu einer höheren Frequenz verschoben werden. Um Aliasingeffekte in der Simulation zu verhindern muss die Abtastrate ausreichend groß sein und wird daher im ANM-Block vergrößert. Zum anderen wird das ana-

loge Kanalselektionsfilter in der MATLAB-Simulation durch ein digitales Filter approximiert. Damit der Verlauf der Übertragungsfunktion des Filters (besonders bei hohen Frequenzen - im Sperrbereich des Filters) richtig simuliert wird, muss die Abtastrate entsprechend erhöht werden. Dies ist besonders wichtig, da das Rauschen durch dieses Filter spektral geformt wird [36].

Wie in Abschnitt 2.1 beschrieben leidet der Homodyne-Empfänger unter DC-Offsets und unter LO-Leakage. Um diese Effekte zu modellieren ist es notwendig, die HF-Isolation zwischen LNA-Eingang bzw. HF-Eingang des Mixers zum LO-Eingang des Mixers zu messen oder wie in [73] abzuschätzen. Dieser Effekt kann in der Simulation modelliert werden als ein konstantes DC-Signal und ein kleiner Bruchteil vom Quadrat des Störsignals (mit der Mittenfrequenz bei Null). Diese Komponenten werden wie in Abbildung 2.14 angedeutet zu den anderen Signalen am Eingang des Filters hinzuaddiert [35, 36].

2.3.3.2 Nichtlinearität und I/Q-Mismatch Modell

Wie in Abschnitt 2.1 beschrieben stellt der I/Q-Mismatch ein Problem für den Homodyne-Empfänger dar. Der I/Q-Mismatch kann gemäß dem Ansatz in [35, 36] und wie in Abbildung 2.15 dargestellt modelliert werden. Das Modell beinhaltet ebenfalls die Funktion des Mixers im Empfänger welcher das HF-Eingangssignal ins Basisband umsetzt. Die Blöcke α_I und α_Q sorgen für die unterschiedliche Verstärkung im I- und im Q-Pfad, ω_0 ist die LO-Frequenz des Mixers und φ_{mis} stellt die Abweichung vom exakten 90° Unterschied zwischen den beiden LO-Signalen dar.

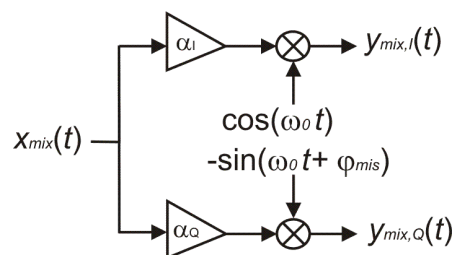


Abbildung 2.15: Modell für den I/Q-Mismatch und Mixer im Empfänger.

Die Summe der I- und Q-Ausgangssignale bildet das in Gleichung 2.24 gegebene komplexe Ausgangssignal $y_{mix}(t)$. Im Idealfall wird das heruntermischen in das komplexe Basisband beschrieben durch eine Multiplikation des Eingangssignals mit $e^{-j\omega_0 t}$, also eine Multiplikation mit einer komplexen, harmonischen Schwingung mit einer negativen Frequenz. Das heruntermischen in Anwesenheit von I/Q-Mismatch (d.h. $\alpha_I \neq \alpha_Q$ und $\varphi_{mis} \neq 0^\circ$) wird modelliert als eine Störung die zum idealen Signal hinzugefügt wird. Die Störung ist proportional zum Eingangssignal, multipliziert mit einer komplexen, harmonischen Schwingung mit einer positiven Frequenz. Das Ausgangssignal des nichtidealen Mischers kann somit durch Gleichung 2.25 angegeben werden, wobei $\alpha = \frac{1}{2}(\alpha_I + \alpha_Q \cdot e^{-j\varphi_{mis}})$ und $\beta = \frac{1}{2}(\alpha_I - \alpha_Q \cdot e^{+j\varphi_{mis}})$ ist. Im Idealfall ist β gleich Null und α gleich eins [36].

$$y_{mix}(t) = x_{mix}(t) [\alpha_I \cdot \cos(\omega_0 t) - j\alpha_Q \cdot \sin(\omega_0 t + \varphi_{mis})] \quad (2.24)$$

$$y_{mix}(t) = x_{mix}(t) [\alpha \cdot e^{-j\omega_0 t} + \beta \cdot e^{+j\omega_0 t}] \quad (2.25)$$

Die Nichtlinearität des Empfängers wird modelliert als konzentrierte Nichtlinearität am Eingang des Empfängers. Dies ist erforderlich um die Simulationszeit auf eine endliche Zeit zu begrenzen. Die Annahme ist legitim, da auch für den gesamten Empfänger der IIP3 bestimmt werden kann. Die Nichtlinearität wird beschrieben durch Gleichung 2.16.

Um das Ausgangssignal des ANM-Blocks zu bestimmen wird von dem Eingangssignal

$$x(t) = \text{Re} \{ A_{des}(t) \cdot e^{j\omega_{des}t + j\varphi_{des}} + A_{int}(t) \cdot e^{j\omega_{int}t + j\varphi_{int}} \} \quad (2.26)$$

ausgegangen, mit $A_{des}(t) = \hat{u}_{des} \cdot d_{des}(t)$ und $A_{int}(t) = \hat{u}_{int} \cdot d_{int}(t)$. Das Eingangssignal besteht aus den beiden Basisbandsignalen, dem gewünschten Signal $d_{des}(t)$ und dem Störsignal $d_{int}(t)$. Die Vorfaktoren \hat{u}_{des} und \hat{u}_{int} werden genutzt, um die Amplituden entsprechend den empfangenen Signalleistungen einzustellen [35].

Alle Stufen des Empfängers sind auf das gewünschte Signal abgestimmt. Die Signale werden daher nur in einem relativ schmalbandigen Bereich verstärkt und die Frequenzkomponenten die weit von dem gewünschten Signal entfernt liegt können daher vernachlässigt werden. Das Ausgangssignal $y_{ANM}(t)$ des ANM-Blocks kann gemäß [35] bestimmt werden mit dem Eingangssignal aus Gleichung 2.26, der Be-

schreibung des nichtlinearen Verhaltens durch Gleichung 2.16 und das Modell für den Mischer und I/Q-Mismatch mit Gleichung 2.25 und ergibt somit

$$\begin{aligned}
y_{ANM}(t) = & \frac{1}{8}\alpha \cdot \{ [4c_1 + 3c_3A_{des}^2 + 6c_3A_{int}^2] \cdot A_{des} \cdot e^{j(\omega_{des}-\omega_0)t+j\varphi_{des}} \\
& + [4c_1 + 3c_3A_{int}^2 + 6c_3A_{des}^2] \cdot A_{int} \cdot e^{j(\omega_{int}-\omega_0)t+j\varphi_{int}} \\
& + 3c_3A_{des}^2A_{int} \cdot e^{j(2\omega_{des}-\omega_{int}-\omega_0)t+j(2\varphi_{des}-\varphi_{int})} \\
& + 3c_3A_{des}A_{int}^2 \cdot e^{j(2\omega_{int}-\omega_{des}-\omega_0)t+j(2\varphi_{int}-\varphi_{des})} \} \\
& + \frac{1}{8}\beta \cdot \{ [4c_1 + 3c_3A_{des}^2 + 6c_3A_{int}^2] \cdot A_{des} \cdot e^{-j(\omega_{des}-\omega_0)t-j\varphi_{des}} \\
& + [4c_1 + 3c_3A_{int}^2 + 6c_3A_{des}^2] \cdot A_{int} \cdot e^{-j(\omega_{int}-\omega_0)t-j\varphi_{int}} \\
& + 3c_3A_{des}^2A_{int} \cdot e^{-j(2\omega_{des}-\omega_{int}-\omega_0)t-j(2\varphi_{des}-\varphi_{int})} \\
& + 3c_3A_{des}A_{int}^2 \cdot e^{-j(2\omega_{int}-\omega_{des}-\omega_0)t-j(2\varphi_{int}-\varphi_{des})} \} \quad . \quad (2.27)
\end{aligned}$$

Ist kein Störer vorhanden bzw. verhält sich der Empfänger vollkommen linear, so vereinfacht sich die Gleichung 2.27 dann zu Gleichung 2.28 bzw. zu Gleichung 2.29.

$$y_{ANM}(t) = \frac{1}{2} \left(c_1 + \frac{3}{4}c_3A_{des}^2 \right) A_{des} \cdot [\alpha \cdot e^{j(\omega_{des}-\omega_0)t+j\varphi_{des}} + \beta \cdot e^{-j(\omega_{des}-\omega_0)t-j\varphi_{des}}] \quad (2.28)$$

$$\begin{aligned}
y_{ANM}(t) = & \frac{1}{2}c_1 \cdot \{ A_{des} [\alpha \cdot e^{j(\omega_{des}-\omega_0)t+j\varphi_{des}} + \beta \cdot e^{-j(\omega_{des}-\omega_0)t-j\varphi_{des}}] \\
& + A_{int} [\alpha \cdot e^{j(\omega_{int}-\omega_0)t+j\varphi_{int}} + \beta \cdot e^{-j(\omega_{int}-\omega_0)t-j\varphi_{int}}] \} \quad (2.29)
\end{aligned}$$

Ist kein Störer vorhanden und verhält sich der Empfänger vollkommen linear, so entfällt der Ausdruck $\frac{3}{4}c_3A_{des}^2$ in Gleichung 2.28. Bis auf den dann noch vorhandenen I/Q-Mismatch (Faktor α und β) stellt dies dann den Idealfall dar [35].

2.3.3.3 Modellierung des Rauschens

Für die Ermittlung des Bitfehlerverhältnis muss das Rauschen in der Simulation richtig modelliert werden. Wie oben beschrieben ist es aus Simulationszeitlichen Gründen nicht möglich das empfangene Signal an der Antenne direkt zu simulieren. Dadurch ergibt sich das Problem, dass das Rauschen im äquivalenten Basisband modelliert werden muss [35].

Es wird davon ausgegangen, dass durch den Übertragungskanal nur weißes Rauschen hinzugefügt wird. Äquivalent zu der Herleitung in [41] wird das Rauschen modelliert durch zwei statistisch unabhängige Rauschquellen im I- und Q-Pfad. Die spektrale Leistungsdichte (PSD) ist hierbei doppelt so groß wie die PSD an der Antenne. Es wird davon ausgegangen, dass die vorausgehenden Stufen komplett linear sind und keine Störungen produzieren [35, 36].

Das Rauschen im Empfänger wird durch die verschiedenen Stufen spektral geformt, wobei den größten Einfluss das Filter hat. Der einfachste Weg um das bandbegrenzte Rauschen zu erzeugen besteht darin, auch in der Simulation das Filter vor dem ADC zu nutzen um das Rauschen spektral zu formen. Das Rauschen kann in MATLAB als weißes Rauschen (mit ausreichend hoher Abtastrate) generiert werden. Es wird skaliert durch die Rauschzahl F der vorausgehenden Stufen, bevor es gemeinsam mit den anderen Signalen an den Eingang des Filters gelegt wird [35, 36].

2.3.3.4 Simulationsergebnisse

In diesem Abschnitt werden ein paar Ergebnisse der durchgeführten Simulationen präsentiert. Der Einfluss des Analogteils auf das BER des Systems soll klar gezeigt und die Systemkennzahlen festgelegt werden. Es werden alle Simulationen mit einem als fehlerfrei angenommenen Digitalteil durchgeführt. Um den Einfluss von Quantisierungsrauschen vernachlässigen zu können, wird in der Simulation eine ausreichende Auflösung an Bit verwendet [36].

Wie in Abschnitt 2.2 beschrieben wird ein Butterworth-Filter siebter Ordnung verwendet um einen Störer im Nachbarkanal mit 1 MHz Abstand ausreichend zu unterdrücken. Da der Empfänger kein Matched-Filter verwendet, hat die Wahl der 3-dB-Eckfrequenz des Filters einen großen Einfluss auf die Systemperformance. Einerseits führt eine schmalere Filterbandbreite zu einer geringeren Rauschleistung und zu einer stärkeren Unterdrückung des Störers. Andererseits, verschlechtert sich aber die Systemperformance, wenn die Eckfrequenz zu nahe am gewünschten Signal liegt. Da der Empfänger in CMOS-Technologie realisiert wird, müssen die dort typischen großen Bauelementwertschwankungen mit be-

rücksichtigt werden. Die Filterbandbreite muss daher ausreichend groß gewählt werden [35].

Als erstes wird in der Simulation die 3-dB-Eckfrequenz des Filters auf unterschiedliche Werte (150 kHz, 290 kHz, 370 kHz und 800 kHz) gesetzt und das BER simuliert, wobei der Störer während der Simulation ausgeschaltet wird. Die Simulationsergebnisse werden mit der durch Gleichung 2.5 gegebenen theoretischen Kurve für DBPSK verglichen. Die Simulationsergebnisse sind in Abbildung 2.16 dargestellt.

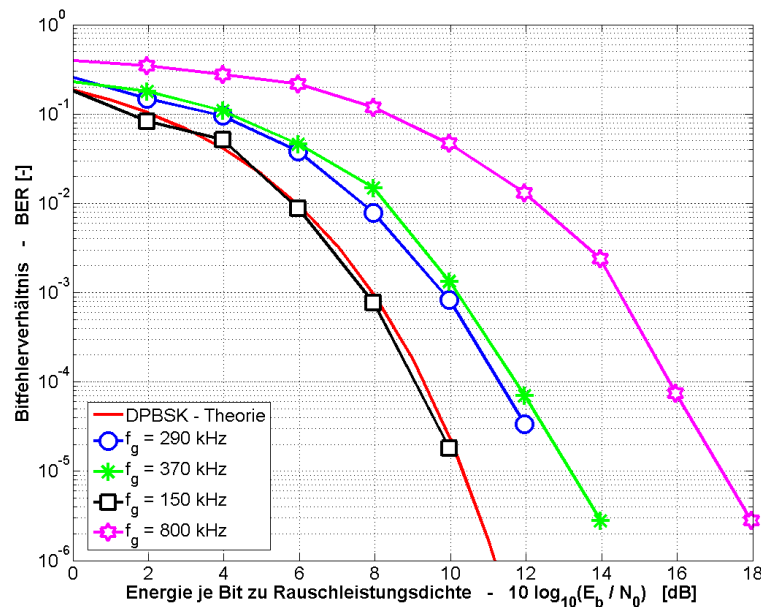


Abbildung 2.16: Vergleich unterschiedlicher Filterbandbreiten des Kanalselektionsfilters.

Die BER -Kurve für das Filter mit einer 150 kHz Eckfrequenz ist weitestgehend identisch mit der theoretischen Kurve für DBPSK. Aufgrund der großen Bauelementwertschwankungen in der CMOS-Technik ist dies jedoch keine praktikable Wahl für den Empfänger. Aus den simulierten Kurven ist gut zu erkennen, dass durch eine größere Bandbreite die äquivalente Rauschbandbreite größer wird und damit die BER -Kurve wie in Abschnitt 2.3.1 beschrieben weiter nach außen verschoben wird. Die Wahl der Eckfrequenz von 290 kHz stellt somit einen guten Kompromiss dar [35, 36].

Für das Filter mit der 290 kHz Eckfrequenz kann die äquivalente Rauschbandbreite numerisch oder analytisch durch Gleichung 2.10 bestimmt werden. Sie ist um einen konstanten Faktor größer als die Chiprate R_c . Dieser Faktor wurde numerisch durch ein Least-Square-Fitting¹³ ermittelt. Abbildung 2.17 zeigt den Vergleich zwischen der theoretischen Kurve für DBPSK unter Berücksichtigung der äquivalenten Rauschbandbreite und der simulierten Kurve. Zwischen beiden ist eine sehr gute Übereinstimmung zu erkennen. Sie wird als Referenz für weitere Vergleiche verwendet. Aus den Kurven ist weiter zu erkennen, dass bei Verwendung eines Filters mit einer größeren Bandbreite mit z.B. $f_g = 290$ kHz für die gleiche BER ca. 2 dB mehr an $\frac{E_b}{N_0}$ notwendig sind [36].

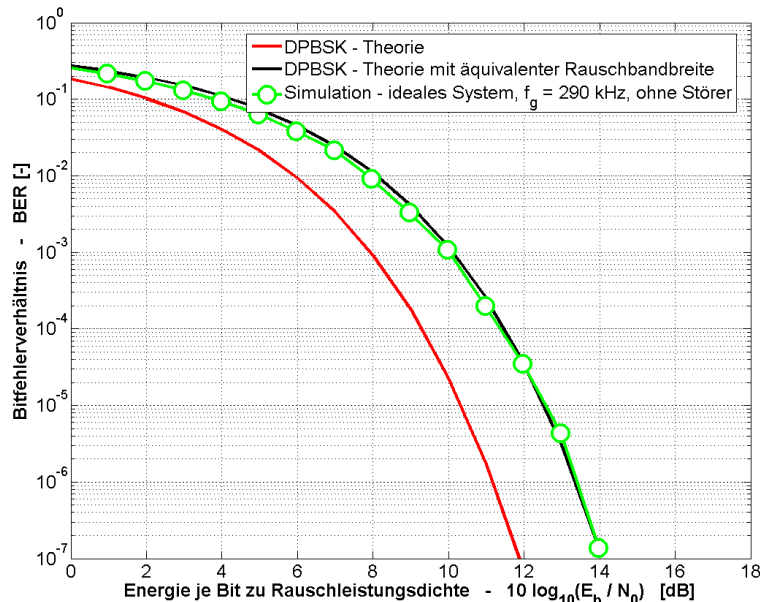


Abbildung 2.17: DBPSK-Theorie mit äquivalenter Rauschbandbreite und simulierte Kurve.

Als nächstes wird der Einfluss eines starken Störers ($P_{int} = -29$ dBm) im Nebarkanal mit 1 MHz Abstand untersucht. Das Simulationsergebnis ist in der Abbildung 2.18 präsentiert. Obwohl vollkommen lineares Verhalten angenommen

¹³ Beim Least-Square-Fitting wird durch eine Minimierung der Fehlerquadrate, die Zielfunktion mit ihren Parametern an die Referenzfunktion angepasst. In MATLAB stehen hierfür entsprechende Algorithmen zur Verfügung.

wird ($IIP3 = +\infty$), beginnen die Kurven bei einer $BER \approx 3 \cdot 10^{-4}$ vom idealen Verlauf abzuweichen. Da das Filter kein ideales Tiefpassfilter mit einer unendlichen Dämpfung im Sperrbereich ist, kann es durch den Störer zu Aliasingeffekten kommen. Dadurch läuft wie in Abschnitt 2.3.1 beschrieben die BER -Kurve gegen einen Grenzwert der nicht unterschritten werden kann [36].

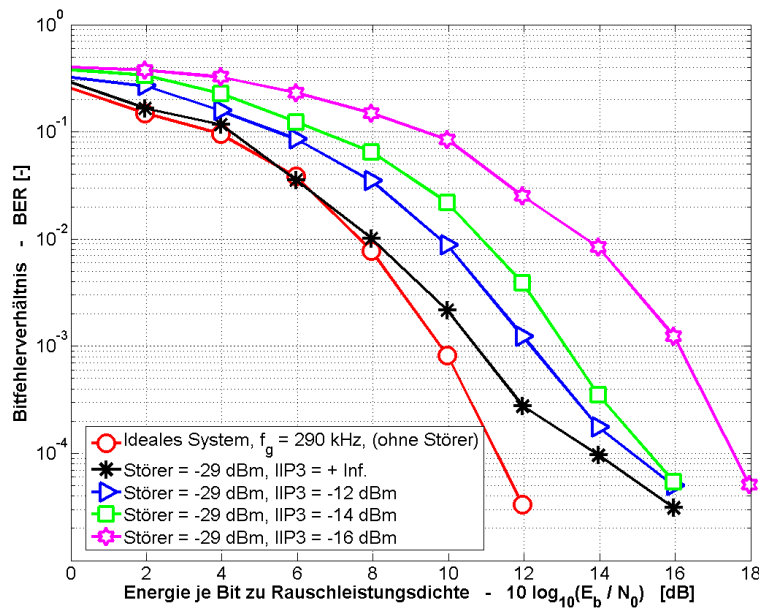


Abbildung 2.18: Einfluss des Störers und der Nichtlinearität.

Wird nichtlineares Verhalten angenommen (endlicher $IIP3$), dann sind die BER -Kurven zu größeren $\frac{E_b}{N_0}$ Werten verschoben. Dadurch wird z.B. bei einem $IIP3$ von -16 dBm ein im Vergleich zum idealen System um 6,5 dB größeres $\frac{E_b}{N_0}$ benötigt um die spezifizierte BER zu erreichen. Dies führt dann z.B. zu einer strengeren Anforderung an das NF des Empfängers.

2.3.3.5 Abschließende Festlegung der Systemkennzahlen

Mit den im vorherigen Abschnitt ermittelten Simulationsergebnissen werden die Kennzahlen für den gesamten Empfänger festgelegt. Der Einfluss des Digitalteils auf die BER -Performance des Empfängers muss dabei berücksichtigt werden,

er ist jedoch nicht Bestandteil dieser Arbeit. Da zum Zeitpunkt des Entstehens dieser Arbeit der Digitalteil noch nicht vollständig entwickelt war, wird für diesen eine Reserve von 5 dB eingeplant.

Ausgangspunkt für die Festlegung der Systemkennzahlen ist die durch Gleichung 2.9 bestimmte Designspanne von $\Delta \frac{E_b}{N_0} = 29,38$ dB. Im nächsten Schritt wird der *IIP3* festgelegt, dabei muss beachtet werden, dass dieser über die Stromaufnahme des Empfängers mit dem *NF* verknüpft ist (siehe Erläuterung in Abschnitt 2.3.2.4). Es sollte daher der minimal mögliche *IIP3* gewählt werden, mit dem der Empfänger die geforderte *BER* erreicht ohne eine zu strenge Anforderung an das *NF* festzulegen. Basierend auf dem Simulationsergebnis in Abbildung 2.18 wird der *IIP3* = -16 dBm festgelegt. Dadurch reduziert sich die Designspanne um 6,5 dB. Weiterhin reduziert sich die Designspanne durch die größere Filterbandbreite des Empfangsfilters um 2 dB. Unter Berücksichtigung der Reserve von 5 dB für das DFE bleiben somit ca. 15 dB für das Noise Figure übrig.

Die Spannungsverstärkung kann weiterhin auf konventionellem Weg, wie in Abschnitt 2.3.2.2 beschrieben, ermittelt werden. Die Spezifikation für den gesamten Empfänger ist in der Tabelle 2.3 noch einmal zusammengefasst.

Tabelle 2.3: Systemkennzahlen des gesamten ZigBee-Empfängers.

Größe	Symbol	Wert
Spannungsverstärkung hoch	$G_{V,High}$	97,5 dB
Spannungsverstärkung niedrig	$G_{V,Low}$	37,6 dB
Noise Figure	NF	15 dB
Linearität	$IIP3$	-16 dBm
Empfängerempfindlichkeit	$P_{in,min}$	-92 dBm
Max. Eingangssignal	$P_{in,max}$	-20 dBm

Die hier mit Hilfe der Systemsimulation festgelegten Kennzahlen für den *IIP3* und das *NF*, können mit denen aus Abschnitt 2.3.2 die durch konventionellem Weg bestimmt wurden, verglichen werden. Hierbei wird deutlich, dass der *IIP3*

eindeutig festgelegt werden kann. Er liegt nahe dem Wert, der vorher durch Desensitization and Blocking bestimmt wurde. Der Wert für das NF liegt aber deutlich unter dem, der vorher analytisch ermittelt wurde. Der Grund hierfür ist, dass hier die Reduzierung der Designspanne durch verschiedene Effekte berücksichtigt wurde und daher nur ein geringerer Wert für das NF zur Verfügung steht. Damit wird deutlich, dass eine Systemsimulation unbedingt erforderlich ist, um die unterschiedlichen Einflüsse auf das BER richtig zu ermitteln und somit die Systemkennzahlen richtig festzulegen.

2.4 Spezifikation der einzelnen Schaltungsblöcke

Die im vorherigen Abschnitt festgelegte Systemspezifikation muss in Spezifikationen für die einzelnen Schaltungsblöcke umgesetzt werden. In der Literatur sind Gleichungen gegeben, mit denen das NF und der $IIP3$ von kaskadierten Schaltungsblöcken ermittelt werden kann. Diese Gleichungen werden in den folgenden Abschnitten angegeben und es wird diskutiert, was bei deren Anwendung zu berücksichtigen ist. Im letzten Abschnitt werden die mit Hilfe dieser Gleichungen ermittelten Kennzahlen für die einzelnen Schaltungsblöcke zusammengefasst dargestellt.

2.4.1 Rauschzahl kaskadierter Schaltungsblöcke

Das Rauschen eines Zweitors kann durch eine äquivalente Kettenschaltung aus einem Rauschquellenzweitor und dem ursprünglichen, nun rauschfreien Zweitor wie in Abbildung 2.19 dargestellt beschrieben werden. Die beiden Quellen am Eingang bilden das Rauschquellenzweitor, wobei die Quellen im allgemeinen Fall miteinander korreliert sind [34, 41, 44, 60, 74].

Handelt es sich bei dem Zweitor um die i -te Stufe einer Kettenschaltung von Zweitoren, so kann nach der Herleitung in [34] die Rauschzahl der i -ten Stufe durch Gleichung 2.30 bestimmt werden. Sie hängt von dem Ausgangswiderstand

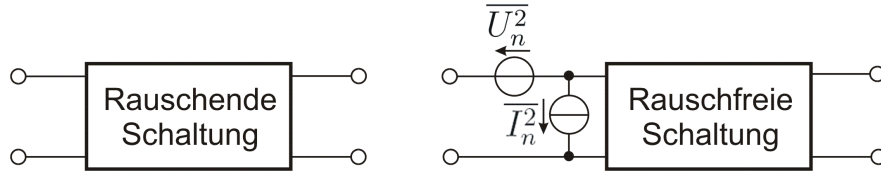


Abbildung 2.19: Darstellung des rauschenden Zweitors durch rauschfreies Zweitor mit äquivalenten Rauschquellen am Eingang.

der vorausgehenden Stufe $R_{out,i-1}$ ab.

$$F_i = 1 + \frac{(I_{n,i} \cdot R_{out,i-1} + U_{n,i})^2}{4kT \cdot R_{out,i-1} \cdot \Delta f} \quad (2.30)$$

Beim Empfänger sind mehrere Zweitore zu einer Kette zusammen geschaltet. Die Gesamtrauschzahl der Kette hängt von der verfügbaren Leistungsverstärkung $G_{Pi,av}$ ab. Diese ist definiert als das Verhältnis aus der verfügbaren Leistung am Ausgang zu verfügbare Leistung der Quelle bei konjugiert komplexer Impedanzanpassung sowohl am Eingang als auch am Ausgang. Sie ist wiederum abhängig von der Spannungsverstärkung G_i und dem Eingangswiderstand $R_{in,i}$ der i-ten Stufe und wird bestimmt durch

$$G_{Pi,av} = \left(\frac{R_{in,i}}{R_{out,i-1} + R_{in,i}} \right)^2 \cdot G_i^2 \cdot \frac{R_{out,i-1}}{R_{out,i}} \quad (2.31)$$

Die Gesamtrauschzahl von n kaskadierten Zweitore kann mit Hilfe der Friis-Gleichung (Gleichung 2.32) wie in [9, 34, 67, 68, 74] erläutert berechnet werden.

$$F_{ges} = F_1 + \frac{F_2 - 1}{G_{P1,av}} + \dots + \frac{F_n - 1}{G_{P1,av} \cdot \dots \cdot G_{P(n-1),av}} \quad (2.32)$$

Bei der Realisierung eines voll integrierten Empfängers in CMOS-Schaltungstechnik ergeben sich mit der oben angegebenen Friis-Gleichung wie zum Teil auch in [9, 34, 68] dargestellt einige Probleme: Während der Phase des Systementwurfs sind die Werte der Ausgangsimpedanz der Schaltungsblöcke nicht bekannt und können auch nur schwer abgeschätzt werden. Da der Empfänger voll integriert ist, sind die meisten Blöcke der Kette von den Impedanzen her auch nicht angepasst. Die einzelnen Stufen besitzen keine einheitliche Eingangs- und Ausgangsimpedanz von z.B. 50Ω , auf die die einzelnen Rauschzahlen bezogen werden können.

Bei den niedrigen Frequenzen im Basisband gehen die Eingangsimpedanzen der Stufen gegen unendlich, so dass praktisch kein Strom in die Eingänge fließt. Dies ist von Vorteil, da die Eingangsströme von den vorausgehenden geliefert werden müssen und dadurch der Stromverbrauch des Empfängers unnötig erhöht werden würde.

Für den Fall, dass die Eingangsimpedanz $R_{in,i} \rightarrow \infty$, kann die Rauschstromquelle am Eingang vernachlässigt werden und die rauschende Schaltung vollständig durch die Rauschspannungsquelle am Eingang beschrieben werden [34]. Für diese Stufen kann die Rauschzahl bezogen auf einen 50Ω Normierungswiderstand angegeben werden als

$$F_{50\Omega,i} = 1 + \frac{\overline{U_{n,i}^2}}{4kT \cdot 50 \Omega \cdot \Delta f} . \quad (2.33)$$

Diese Vereinfachung gilt jedoch nicht für den LNA, da dessen Eingangsimpedanz an 50Ω angepasst sein muss um Reflexionen am Eingang zu vermeiden. Für den LNA muss die Rauschzahl weiterhin durch Gleichung 2.30 bestimmt werden. Die Eingangsimpedanz des Mischers ist im Vergleich zu der Ausgangsimpedanz des LNAs relativ hochohmig, so dass für ihn Gleichung 2.33 als Näherung zu betrachten ist. Die Berechnung der Gesamtrauschzahl vereinfacht sich damit zu

$$F_{ges} = F_1 + \frac{F_{50\Omega,2} - 1}{\left(\frac{G_1}{2}\right)^2} + \dots + \frac{F_{50\Omega,n} - 1}{\left(\frac{G_1}{2}\right)^2 \dots G_{n-1}^2} . \quad (2.34)$$

Alternativ zum dem hier vorgestellten Ansatz ist es auch möglich direkt mit den Rauschspannungen und Rauschströmen zu rechnen und diese als Kennzahlen für die einzelnen Blöcke zu verwenden. Dabei wird das Rauschen der Blöcke im Basisband durch eingangsbezogene Rauschspannungsquellen beschrieben. LNA und Mischer werden als ein kombinierter Block betrachtet, für den das Rauschen gemeinsam charakterisiert wird durch eine Rauschspannungs- und eine Rauschstromquelle am Eingang des LNAs. Hierdurch wird das Problem mit der zum Zeitpunkt des Systementwurfs unbekanntem Eingangsimpedanz des Mischers und der Ausgangsimpedanz des LNAs umgangen. Dieser Ansatz wird aber in der vorliegenden Arbeit nicht weiterverfolgt.

2.4.2 Linearität kaskadierter Schaltungsblöcke

Die Gesamtlinearität einer Kettenschaltung von Zweitoren kann gemäß der Herleitung in [34, 71] bestimmt werden. Bei der Berechnung der Gesamtlinearität werden die gleichen Überlegungen wie bei der Berechnung der Gesamttauschzahl berücksichtigt. Das bedeutet, für die Eingangsimpedanzen der Basisbandschaltungen gilt $R_{in,i} \rightarrow \infty$ und für den Mischer $R_{in,Mischer} \gg R_{out,LNA}$. Unter diesen Bedingungen kann die Gesamtlinearität bestimmt werden durch

$$A_{IIP3,ges}^2 = \left[\frac{1}{A_{IIP3,1}^2} + \frac{G_1^2}{A_{IIP3,2}^2} + \dots + \frac{G_1^2 \dots G_{n-1}^2}{A_{IIP3,n}^2} \right]^{-1}, \quad (2.35)$$

wobei $A_{IIP3,i}$ die Amplitude des $IIP3$ in Volt ist.

2.4.3 Eingangsreflexionsfaktor S_{11}

Häufig wird zwischen der Antenne und dem Empfängereingang ein Bandselektionsfilter (Bandpassfilter) geschaltet um den gewünschten Frequenzbereich auszuwählen und um sehr starke Störer zu unterdrücken. Dieses passive Filter erfüllt nur dann die Filterfunktion wie gewünscht, wenn die Impedanzen am Eingang und am Ausgang weitestgehend identisch sind mit denen, für die es entwickelt wurde. Sind die Impedanzen nicht angepasst, so kommt es zusätzlich zu Reflexionen. Reflexionen können z.B. auch entstehen, wenn sich zwischen der Antenne und dem Empfängereingang eine Leitung befindet an dessen Enden die Impedanzen nicht mit den daran angeschlossenen Elementen übereinstimmen. Durch die Reflexionen entstehen Echos der Signale und als Folge davon verschlechtert sich die Systemperformance [49].

Als Maß für die Anpassung wird der Eingangsreflexionsfaktor S_{11} verwendet. Im logarithmischen Maßstab ist dieser gemäß [44, 60, 74] definiert als

$$S_{11,dB} = 20 \cdot \log_{10} \left(\left| \frac{Z_{in} - R_s}{Z_{in} + R_s} \right| \right). \quad (2.36)$$

Z_{in} ist die Eingangsimpedanz des Blocks für den der Eingangsreflexionsfaktor bestimmt werden soll und R_s der Normierungswiderstand. Dieser beträgt typischerweise 50Ω .¹⁴

In der Abbildung 2.20 ist der Eingangsreflexionsfaktor in der komplexen Impedanzebene dargestellt. Er nimmt den geringsten und damit günstigsten Wert für $Z_{in} = 50 \Omega + j0 \Omega$ an. Bedingt durch die CMOS-Bauelementwertschwankungen von typischerweise 20% ist es ohne eine Feinabstimmung der fertig produzierten Empfänger schwer möglich, diesen Punkt exakt zu treffen. Auf dem Markt erhältliche Empfänger weisen einen $S_{11,dB} = -12 \dots -10$ dB auf. Für den zu entwickelnden Empfänger wird daher $S_{11,dB} < -12$ dB spezifiziert.

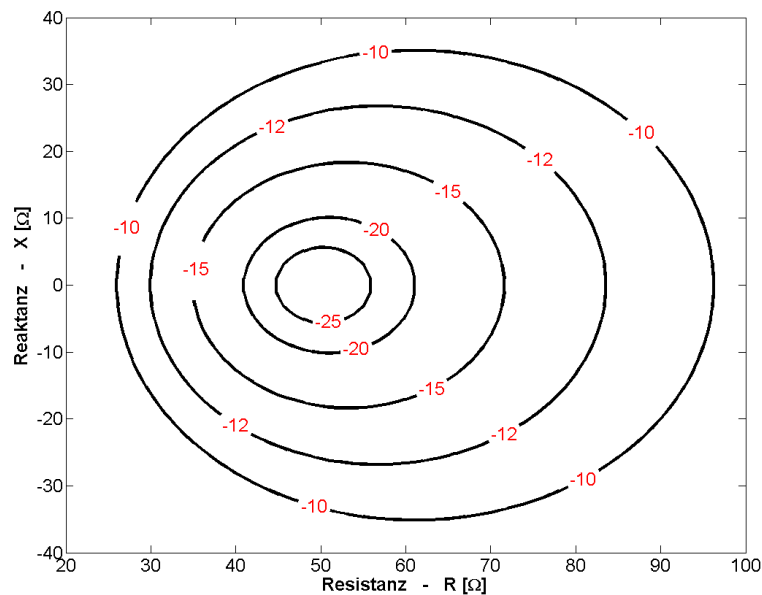


Abbildung 2.20: Eingangsreflexionsfaktor $S_{11,dB}$ in dB in der komplexen Impedanzebene.

¹⁴ Der Wert von 50Ω stellt dabei einen Kompromiss dar zwischen der maximal möglichen Nennbelastbarkeit (30Ω bei einem Coax-Kabel mit Luft als Isolator) und der minimalen Dämpfung des Kabels (77Ω bei einem Coax-Kabel mit Luft als Isolator) [44, 75].

2.4.4 Abschließende Festlegung der Blockkennzahlen

Die gemäß Abschnitt 2.3 durch die Systemsimulation ermittelten Kennzahlen für das NF , den $IIP3$ und die Verstärkung G_V werden auf die einzelnen Blöcke verteilt. Die Aufteilung erfolgt mit Hilfe der Gleichungen 2.34 und 2.35.

Bei der Verteilung der Kennzahlen auf die einzelnen Stufen gibt es zunächst unendlich viele Möglichkeiten. Aus System Sicht können $IIP3$ und NF ohne Einschränkung gegeneinander ausgetauscht werden, jedoch sind beide Größen gemäß [69] mit der Stromaufnahme verbunden. Der Systemdesigner muss die schaltungstechnischen Grenzen der einzelnen Stufen kennen, um die Kennzahlen optimal, d.h. bei möglichst geringen Stromverbrauch der einzelnen Stufen zu verteilen.

Die Kennzahlen für einzelnen Blöcke werden in einem iterativen Prozess ermittelt, bei dem die Erkenntnisse aus der späteren schaltungstechnischen Realisierung mit einfließen. Als Ausgangspunkt können Kennzahlen aus der Literatur dienen. Hierbei muss jedoch die Anwendung berücksichtigt werden, für die der entsprechende Schaltungsblock entwickelt wurde. Weiterhin kann der Einfluss der Stufen auf das gesamte NF und den $IIP3$ ermittelt werden. Dazu wird der prozentuale Anteil bestimmt, den die einzelnen Summanden aus Gleichung 2.34 zur gesamten Rauschzahl F_{ges} beitragen. Ebenso wird der prozentuale Anteil ermittelt, den die einzelnen Summanden im Klammerausdruck in der Gleichung 2.35 zum Gesamtwert $\frac{1}{A_{IIP3,ges}^2}$ liefern. Mit Hilfe dieser Zahlen können leicht die Stufen identifiziert werden, die den größten Einfluss auf NF_{ges} und $IIP3_{ges}$ haben.

Die Festlegung der Kennzahlen wird erleichtert und zugleich visualisiert, indem die Gleichungen in ein Tabellenkalkulationsprogramm wie z.B. EXCEL eingegeben werden. Das Ergebnis der Blockspezifikation ist in Tabelle 2.4 zusammengefasst. Aus der Tabelle ist zu entnehmen, dass bei dieser Aufteilung der PGA den größten Einfluss auf das NF_{ges} hat, während der Mischer den größten Einfluss auf $IIP3_{ges}$ hat.

Für große Eingangssignale wird die Verstärkung reduziert auf den minimalen Wert $G_{V,Low} = 37,6$ dB. Es wird dafür die Verstärkung am LNA verringert von 15 dB auf 0 dB und die Verstärkung des PGA von 52,5 dB auf 7,5 dB.

Tabelle 2.4: Kennzahlen der einzelnen Schaltungsblöcke des ZigBee-Empfängers.

Systemkennzahl	LNA	Mischer	Filter	PGA	gesamt
Spannungsverstärkung $G_{V,High}$ [dB]	15	15	15	52,5	97,5
Noise Figure NF [dB]	5	18	30	50	14,4
Linearität $IIP3$ [dBm]	-6	+1	+22	+40	-15,9
Eingangsreflexionsfaktor $S_{11,dB}$ [dB]	-12				-12
Einfluss auf NF [%]	11,4	28,4	14,4	45,7	100
Einfluss auf $IIP3$ [%]	10,3	65,1	16,4	8,2	100

Im folgenden Kapitel wird auf die Bauelemente in HF-Schaltungen, sowie auf die Aufbau- und Verbindungstechnik (AVT) eingegangen. Von dem kompletten Empfänger wurde im Rahmen dieser Arbeit der LNA als Beispielblock ausgewählt und schaltungstechnisch realisiert. Die unterschiedlichen LNA-Architekturen werden in Kapitel 4 miteinander verglichen und in Kapitel 5 wird das Design und die Optimierung des ausgewählten CG-LNAs beschrieben.

Kapitel 3

Bauelemente in HF-Schaltungen und AVT

Im Kapitel 2 wurden auf Systemebene der Aufbau und die Anforderungen an den Empfänger beschrieben. In dieser Arbeit wird wie in Kapitel 1 erläutert, auf der Schaltungsebene der Low Noise Amplifier (LNA) näher untersucht. Damit dieser schaltungstechnisch realisiert werden kann, ist es notwendig das Verhalten der Bauelemente und die Besonderheiten bei hohen Frequenzen zu kennen. In diesem Kapitel werden die Bauelemente und die Auswirkungen des Aufbaus und der Verbindungen kurz beschrieben. Dabei wird, falls erforderlich, speziell auf die Anforderungen des LNAs eingegangen.

Die Bauelemente die in Hochfrequenzschaltungen eingesetzt werden sind prinzipiell die gleichen wie diejenigen, die im niedrigen Frequenzbereich eingesetzt werden. Es werden also Transistoren, Widerstände und Kondensatoren verwendet. Da auf dem Chip nur Spulen mit kleinen Induktivitäten realisiert werden können, kommen diese erst bei hohen Frequenzen als zusätzliches Bauelement in Betracht. Die parasitären Eigenschaften, vor allem die parasitären Kapazitäten zum Substrat und zwischen den Anschlüssen bekommen eine immer größere Bedeutung und müssen berücksichtigt werden.

Werden die Bauelemente bei Frequenzen betrieben bei denen die Wellenlänge in der Größenordnung der Abmessung der Bauteile liegt, dann können die Bauelemente nicht mehr als konzentriert betrachtet werden. Bei diesen Frequenzen

ist es stattdessen erforderlich die Bauelemente selbst als verteilte Schaltung zu betrachten [41, 44, 74, 76–79].

Im folgenden werden der Aufbau und die Eigenschaften des verwendeten CMOS-Prozesses kurz beschrieben. Anschließend werden die Besonderheiten beim Einsatz der Bauelemente bei Hochfrequenz erläutert und abschließend auf die Verbindungstechnik eingegangen. Für detaillierte Einführungen zu den Bauelementen sei auf die Literatur [44, 70, 76, 79, 80] verwiesen.

3.1 Der verwendete CMOS-Prozess

Die richtige Auswahl des am besten geeigneten Prozesses für die schaltungstechnische Realisierung ist eine sehr wichtige Entscheidung, die in einem möglichst frühen Stadium des Projektes gefällt werden muss. Dies entscheidet nicht nur über den wirtschaftlichen Erfolg des Projektes, sondern gibt damit auch die Rahmenbedingungen für die technisch erreichbaren Performancekennzahlen vor.

Es gibt mehrere Service Anbieter wie z.B. MOSIS oder EURO PRACTICE die es ermöglichen ICs in den großen Fabriken von z.B. IBM, TSMC oder UMC fertigen zu lassen. Dort werden auch Prozesse angeboten, die sich für Analogschaltungen oder besonders für Hochfrequenzschaltungen eignen. Diese zeichnen sich dadurch aus, dass ein hochohmiges Substrat verwendet wird und vor allem sechs bis acht Metalllagen zur Verfügung stehen. Die obersten Metalllagen sind dann mehrere Mikrometer dick und bestehen im Idealfall aus Kupfer, was besonders vorteilhaft für das Design von integrierten Spulen ist.

Dem Autor dieser Arbeit stand keine der o.g. Technologien zur Verfügung. Es wurde stattdessen eine $0,25\ \mu\text{m}$ Standard-CMOS-Technologie des Fraunhofer-Instituts für Mikroelektronische Schaltungen und Systeme verwendet. Allerdings befand sich dieser Prozess noch in der Entwicklung, so dass für die Schaltungssimulationen nur vorläufige Parameter zur Verfügung standen.

Bei dem Prozess handelt es sich um einen Prozess der vorrangig für digitale Anwendungen geeignet ist. Die Technologie besitzt LDD-MOSFETs¹ welche eine geringe Dotierung des Drainbahngebietes haben und die Gates bestehen aus Salicide-Poly² wodurch der Gate-Widerstand reduziert wird [80]. Als Substratmaterial werden Non-Epitaxiwafer mit einem hohen Substratwiderstand verwendet, der allerdings eine große Streuung aufweist. Die wichtigsten Merkmale der verwendeten Technologie sind in der Tabelle 3.1 zusammengefasst [81, 82].

Tabelle 3.1: Übersicht Technologiedaten des 0,25 μm Standard-CMOS-Prozesses.

Eigenschaft	Wert
Non-Epitaxiwafer	8-Zoll, p-dotiert
Substratwiderstand	1 ... 50 Ωcm
Poly-Schichten	1
Metall-Schichten	1 - 4
Metallmaterial	Aluminium
Metalldicken	0,3 / 0,5 / 0,5 / 0,6 μm
Versorgungsspannung	2,5 V

3.2 Transistormodell

3.2.1 Einleitung

Das einfachste und grundlegende Modell für den MOSFET-Transistor ist das Langkanalmodell das in der Literatur auch als Level-1 Modell, Shichman-Hodges-Modell oder Square-Law-Modell bezeichnet wird [44, 71, 79]. Der Arbeitsbereich des Transistors wird dabei eingeteilt in Sperr-, Trioden- (wobei ein Teilbereich hiervon als ohmscher Bereich bezeichnet wird) und Sättigungsbereich. Bei diesem

¹ Die Abkürzung LDD steht für Lightly Doped Drain [79, 80].

² Die Abkürzung Salicide steht für Self Aligned Silicid [79, 80].

einfachen Modell ist per Definition im Sperrbereich, d.h. für eine Gate-Source-Spannung U_{GS} die unterhalb der Schwellspannung U_{th0} liegt, der Drainstrom I_D gleich Null. Dies stimmt mit der Realität nicht überein. Der Drainstrom geht dagegen in eine exponentielle Abhängigkeit von der Gate-Source-Spannung über. Auch im Sättigungsbereich kann der Drainstrom nicht einfach durch das klassische Modell mit

$$I_D = \frac{K}{2} (U_{GS} - U_{th})^2 \quad (3.1)$$

beschrieben werden. Bedingt durch kleine Strukturgrößen ergeben sich durch die Kurzkanaleffekte sehr viel komplexere Zusammenhänge [44, 70, 76, 79, 80, 83].

Es gibt eine Vielzahl von Modellen die das Verhalten von Kurzkanal-MOSFET-Transistoren beschreiben. Um hier einige Beispiele aufzuzählen: Das am weitesten verbreitete Modell ist das BSIM3³-Modell mit der Version BSIM3V3, welches in der Industrie einen de facto Standard darstellt. Das Modell wurde weiterentwickelt zum BSIM4-Modell mit der aktuellen Version BSIM4V5. Des weiteren gibt es das von der Firma Philips entwickelte MOS9 bzw. MOS11 Modell. Das am Swiss Federal Institut of Technology Lausanne (EPFL) entwickelte EKV-Modell⁴ zeichnet sich dadurch aus, dass es im Gegensatz zum BSIM-Modell selbst in der „Basisversion“ das Verhalten des Transistors über alle Arbeitsbereiche durch eine kontinuierliche Gleichung beschreibt. Die Version EKV2.6 ist mittlerweile in vielen Schaltungssimulatoren implementiert, jedoch noch nicht die neuste Version EKV3.0.

Alle diese Modelle haben verschiedene Vor- und Nachteile und sie besitzen eine sehr stark unterschiedliche Komplexität. Das BSIM3V3-Modell benötigt z.B. mehr als 180 Parameter [70] wobei mehr als 100 Parameter schon für das DC-Modell benötigt werden [84]. Im Vergleich dazu benötigt das EKV2.6 Modell nur 18 DC-Parameter. Der Grund für die geringere Anzahl von Parametern im EKV-Modell liegt gemäß [84] daran, dass die im Modell verwendeten Gleichungen auf

³ Die BSIM-Modelle (Berkeley Short Channel IGFET Model) wurden an der University of California, Berkeley entwickelt.

⁴ Der Name des Modells stammt von seinen ursprünglichen Entwicklern Christian Enz, François Krummenacher und Eric Vittoz.

der Physik basieren. Ein detaillierter Vergleich zwischen BSIM3V3 und EKV2.6 ist in [84] zu finden.

Dem Autor standen die BSIM3V3-Parameter für die im Rahmen dieser Arbeit verwendete 0,25 μm Standard-CMOS-Technologie zur Verfügung. Das BSIM3V3-Modell wurde daher für die Schaltungssimulationen verwendet. Für die analytischen und die numerischen Berechnungen in MATLAB wurde das EKV-Modell verwendet, da es zum einen mit weniger Parametern auskommt und zum anderen das Verhalten des MOSFETs über alle Arbeitsbereiche durch kontinuierliche und stetig differenzierbare Gleichungen beschreibt.

In den folgenden Abschnitten wird das EKV-Modell kurz beschrieben. Der Leser der mit dem EKV-Modell nicht vertraut ist, sei für eine ausführliche Einführung auf die Literatur verwiesen. Das EKV-Modell wurde erstmalig in [83] vorgestellt und es werden dort die Grundlagen ausführlich beschrieben. Weiterhin wird in [13, 76, 85–93] eine Einführung zum EKV-Modell gegeben. Das in [94] und auch in [95] präsentierte MOSFET-Modell ist weitestgehend identisch mit dem EKV-Modell und kann daher ebenfalls gut als Einführung verwendet werden. Die kompletten Gleichungen für das EKV2.6 Modell können aus dem Manual [96] entnommen werden.

Dieses im folgenden angegebene, einfache Modell kann natürlich nicht das vollständige Modell des MOSFETs ersetzen, welches in der Schaltungssimulation verwendet werden muss. Es soll aber als Ansatz verwendet werden um mehr Verständnis für das Verhalten des Transistors zu erlangen und den Ausgangspunkt für die Dimensionierung der Schaltungen festzulegen.

3.2.2 Modellierung des DC-Verhaltens im EKV-Modell

3.2.2.1 Ströme, Ladungen und Transkonduktanzen

Das EKV-Modell basiert auf die im MOSFET gespeicherten Ladungen, mittels derer das Verhalten vorhergesagt wird. Der Drainstrom hängt ab von der mobilen

Inversionsladungsträgerdichte Q'_i , die an den beiden Enden des Kanals am Source als Q'_{iS} und am Drain als Q'_{iD} bestimmt wird [85,97].

In diesem ladungsbasierten Modell lässt sich der Drainstrom aufteilen in einen vorwärts gerichteten Strom I_F und einen rückwärts gerichteten Strom I_R [83]

$$I_D = I_F - I_R = I_{Spec} \cdot (i_f - i_r) \quad , \quad (3.2)$$

wobei $i_f = I_F/I_{Spec}$ und $i_r = I_R/I_{Spec}$ die auf den spezifischen Strom I_{Spec} normierten Stromanteile sind. Der spezifische Strom ist eine von der Geometrie des MOSFETs abhängige charakteristische Größe, die als wichtige Normierungsgröße im EKV-Modell verwendet wird. Sie ist definiert als

$$I_{Spec} = 2 \cdot n \cdot \mu_{eff} \cdot C'_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot U_{Temp}^2 \quad , \quad (3.3)$$

mit W_{eff} und L_{eff} der effektiven Weite und Länge des Transistors, μ_{eff} der effektiven Mobilität der Ladungsträger, C'_{ox} der flächenbezogenen Oxidkapazität und $U_{Temp} = \frac{kT}{q}$ der Temperaturspannung. Der Faktor n ist der von der Gate-Bulk-Spannung abhängige Slope-Faktor⁵, der sich beim NMOS-Transistor von $n = 1,6$ im Bereich der schwachen Inversion bis $n = 1,3$ im Bereich der starken Inversion verändert (beim PMOS $n = 1,4 \dots 1,2$) [83,97].

Die normierten Ströme i_f und i_r charakterisieren den Grad der Inversion des Kanals am Source und am Drain und werden genutzt um die unterschiedlichen Arbeitsbereiche des MOSFETs zu definieren. Der MOSFET wird üblicherweise in vorwärts Sättigung betrieben (im folgenden wird dies kurz als Sättigung bezeichnet), d.h. $i_f > i_r$. In diesem Fall wird i_f auch als Inversionskoeffizient bezeichnet. Entsprechend der Definition in [83] werden die Arbeitsbereiche in Abhängigkeit vom Inversionskoeffizienten unterschieden in schwache, moderate und starke Inversion.⁶ Im Bereich von $i_f < 0,1$ arbeitet der MOSFET in schwacher Inversion, im Bereich von $0,1 \leq i_f \leq 10$ in moderater Inversion und im Bereich von $i_f > 10$ in starker Inversion [83,97].

Die normierten Vorwärts- und Rückwärtsströme i_f und i_r sind mit den normierten Ladungsträgerdichten verknüpft, welche definiert sind als $q_s = \frac{-Q'_{iS}}{2nU_{Temp}C'_{ox}}$ und

⁵ Der Slope-Faktor wird in [71] als Emissionsfaktor im Unterschwellenbereich bezeichnet.

⁶ Diese Einteilung der Arbeitsbereiche des MOSFETs erfolgt z.B. auch in [98].

$q_d = \frac{-Q'_{iD}}{2nU_{Temp}C'_{ox}}$. Der Drainstrom aus Gleichung 3.2 lässt sich daher gemäß der in [97] angegebenen Beziehung ausdrücken als

$$I_D = I_{Spec} \cdot (i_f - i_r) = I_{Spec} \cdot [(q_s^2 + q_s) - (q_d^2 + q_d)] \quad (3.4)$$

Die normierten Ladungsträgerdichten können als Funktion der normierten Vorwärts- und Rückwärtsströme angegeben werden durch die in [85] gegebenen Gleichungen

$$q_s = \frac{2 \cdot i_f}{1 + \sqrt{1 + 4 \cdot i_f}} = \frac{1}{2} \cdot (\sqrt{1 + 4 \cdot i_f} - 1) \quad (3.5)$$

$$q_d = \frac{2 \cdot i_r}{1 + \sqrt{1 + 4 \cdot i_r}} = \frac{1}{2} \cdot (\sqrt{1 + 4 \cdot i_r} - 1) \quad (3.6)$$

Die Kleinsignalparameter Source- und Drain-Transkonduktanz sind gemäß [83] definiert und im Anhang in Abschnitt A.1 angegeben. Sie können in Abhängigkeit von den Ladungen und von $G_{Spec} = \frac{I_{Spec}}{U_{Temp}}$ bestimmt werden mittels

$$g_{ms} = G_{Spec} \cdot q_s = G_{Spec} \cdot \frac{2 \cdot i_f}{1 + \sqrt{1 + 4 \cdot i_f}} \quad (3.7)$$

$$g_{md} = G_{Spec} \cdot q_d = G_{Spec} \cdot \frac{2 \cdot i_r}{1 + \sqrt{1 + 4 \cdot i_r}} \quad (3.8)$$

Das Verhältnis von Source-Transkonduktanz zu Drainstrom $\frac{g_{ms}}{I_D}$ wird in der Literatur [49, 91–93, 99] als Transkonduktanzeffizienz bezeichnet. Dieses Verhältnis gibt an wie energieeffizient der Strom in eine Transkonduktanz umgesetzt wird, d.h. je größer dieses Verhältnis ist desto besser [99]. Wird der Ausdruck $\frac{g_{ms}}{I_D}$ durch die Multiplikation mit der Temperaturspannung U_{Temp} normiert, so resultiert daraus der in [88, 94] gegeben Zusammenhang

$$G = \frac{g_{ms} \cdot U_{Temp}}{I_D} = \frac{2}{1 + \sqrt{1 + 4 \cdot i_f}} \quad (3.9)$$

wobei G auch als Großsignal-Interpolationsfunktion oder Ausgleichsfunktion bezeichnet wird. Der Funktionsverlauf ist in Abhängigkeit vom Inversionskoeffizienten i_f in Abbildung 3.1 dargestellt. Weiterhin ist dort die oben beschriebene Einteilung der Arbeitsbereiche in schwache, moderate und starke Inversion eingezeichnet. Das Maximum wird im Bereich der schwachen Inversion erreicht während im Bereich der starken Inversion die Funktion mit $\frac{1}{\sqrt{i_f}}$ abfällt.

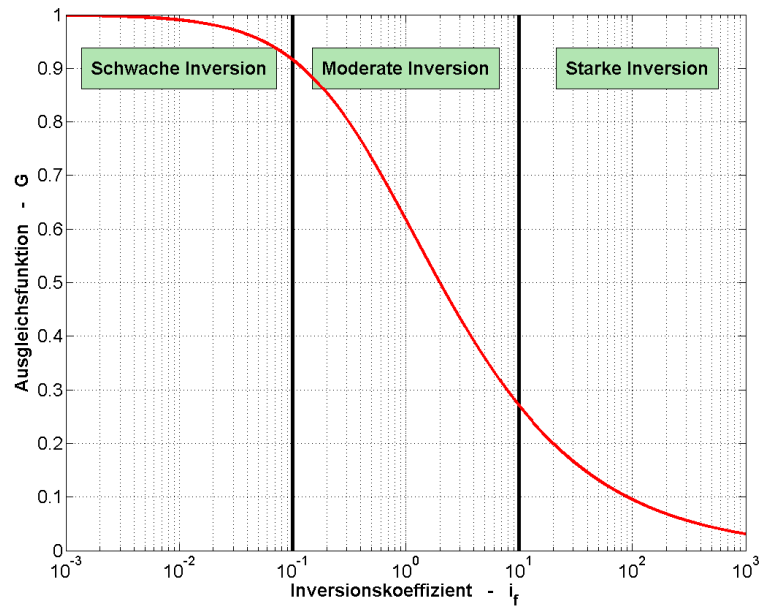


Abbildung 3.1: Ausgleichsfunktion G in Abhängigkeit vom Inversionskoeffizienten i_f und Unterteilung der Arbeitsbereiche des MOSFETs in schwache, moderate und starke Inversion.

3.2.2.2 Spannungen an den Anschlüssen des MOSFETs

Im EKV-Modell werden alle Spannungen auf den Bulk-Anschluss des MOSFETs (Substrat) bezogen und die Spannungen werden häufig normiert auf die Temperaturspannung angegeben.

Die Ströme und die Transkonduktanzen sind durch die Ladungen q_s und q_d mit den Spannungen an den Anschlüssen des MOSFETs gemäß dem Zusammenhang aus [85, 88, 97] verknüpft durch

$$u_p - u_s = \ln(q_s) + 2 \cdot q_s, \quad (3.10)$$

mit $u_p - u_s = \frac{U_P - U_S}{U_{Temp}}$. Ein entsprechend vergleichbarer Ausdruck ergibt für $u_p - u_d$. Die Gleichung 3.10 kann durch Gleichung 3.5 in Abhängigkeit vom Inversionskoeffizienten ausgedrückt werden. Die Pinch-Off-Spannung U_P ist definiert als das Potential des Kanals, bei dem die Inversionsladung verschwindet (bei der Näherung für starke Inversion) und kann in Abhängigkeit von der Gate-Spannung

ausgedrückt werden [83, 97, 100] als

$$U_P = \frac{U_G - U_{th0}}{n}. \quad (3.11)$$

Soll die Ladung q_s oder der Inversionskoeffizienten i_f in Abhängigkeit von den Spannungen bestimmen werden, so muss die Gleichung 3.10 invertiert werden. Leider ist dies auf analytischen Weg nicht möglich, jedoch kann dies numerisch erfolgen [13, 88, 100]. Ein möglicher Ansatz dazu wird im Anhang in Abschnitt A.2 gegeben. Eine Möglichkeit zur analytischen Lösung bietet der in der ursprünglichen Veröffentlichung [83] und auch in [101] angegebene Ausdruck für die Interpolationsfunktion, welcher jedoch gemäß [13] eine nicht physikalische Näherung darstellt. Die Spannungsdifferenz kann damit durch Gleichung 3.12 näherungsweise beschrieben, und als Gleichung 3.13 in invertierter Form angegeben werden. Der Vergleich zwischen der numerisch invertierten Gleichung und der Näherung zeigt, dass diese gut übereinstimmen. Bei den höheren Ableitungen dieser Funktion zeigen sich (wie in Abschnitt C.2 gezeigt wird) aber große Unterschiede im Vergleich zur exakten Interpolationsfunktion. Die nicht physikalische Interpolationsfunktion ist daher ungeeignet, um z.B. den *IIP3* einer Schaltung zu bestimmen. Die Näherung kann jedoch verwendet werden um in analytischen Rechnungen näherungsweise den Inversionskoeffizienten zu bestimmen.

$$u_p - u_s \approx 2 \cdot \ln \left(e^{\sqrt{i_f}} - 1 \right) \quad (3.12)$$

$$i_f \approx \left[\ln \left(e^{\frac{u_p - u_s}{2}} + 1 \right) \right]^2 \quad (3.13)$$

Für den Schaltungsentwurf ist es sinnvoll die Grenzen des Inversionskoeffizienten die sich aus Gleichung 3.10 und Gleichung 3.5 ergeben abzuschätzen. Im Bereich der starken Inversion gilt $i_f \gg 1$ woraus $u_p - u_s|_{SI} \approx 2 \cdot q_s \approx 2 \cdot \sqrt{i_f}$ bzw. für den Bereich der schwachen Inversion gilt $i_f \ll 1$ woraus $u_p - u_s|_{WI} \approx \ln(q_s) \approx \ln(i_f)$ resultiert.

Der maximale Inversionskoeffizient $i_{f,max}$ wird erreicht, wenn der Gate- und Drain-Anschluss mit der positiven Versorgungsspannung U_{DD} und Source mit Masse (*GND*) verbunden ist, während der minimale Inversionskoeffizient $i_{f,min}$ erreicht wird, wenn Gate und Source beide mit Masse verbunden sind und Drain

mit U_{DD} verbunden ist. Mit Hilfe der Gleichung 3.11 und den Zahlenwerten $U_G = 2,5 \text{ V}$, $n = 1,3$ und $U_{th0} = 0,5 \text{ V}$ für $i_{f,max}$ und $U_G = 0 \text{ V}$, $n = 1,6$ und $U_{th0} = 0,5 \text{ V}$ für $i_{f,min}$ ergibt sich

$$i_{f,max} = \left(\frac{U_G - U_{th0}}{2 \cdot n \cdot U_{Temp}} \right)^2 \approx 10^3 \quad (3.14)$$

$$i_{f,min} = e^{\frac{U_G - U_{th0}}{n \cdot U_{Temp}}} \approx 0,01 \cdot 10^{-3} \quad (3.15)$$

3.2.2.3 Kurzkanaleffekte

Die immer kleiner werdenden Geometrien des MOSFETs haben zur Folge, dass schon bei kleinen Spannungen sehr große Feldstärken erreicht werden, welche das Verhalten der Transistoren maßgeblich beeinflussen. Diese Phänomene werden in der Literatur als Kurzkanaleffekte bezeichnet und in [44,70,76,79,80,83] ausführlich beschrieben. Einige dieser Effekte werden hier nur kurz erwähnt.

Der Effekt mit der größten Auswirkung ist die Geschwindigkeitssättigung⁷ (VS), welcher bei einer Feldstärke von ca. 10^6 V/m in Stromflussrichtung einsetzt. Die Elektronenbeweglichkeit wird bei einer weiteren Zunahme der Feldstärke geringer, so dass die Geschwindigkeit der Ladungsträger gegen den Sättigungswert von ca. 10^5 m/s läuft [44,70,79].

Im vollständigen EKV-Modell wird der Effekt der Geschwindigkeitssättigung wie in [96] beschrieben berücksichtigt. Ein vereinfachter Ansatz ist in [97,102–104] gegeben und wird durch den Längenabhängigen Parameter

$$\lambda_c = \frac{2 \cdot \mu_0 \cdot U_{Temp}}{v_{sat} \cdot L} = \frac{2 \cdot U_{Temp}}{E_c \cdot L} \quad (3.16)$$

modelliert. Dabei ist v_{sat} die Sättigungsgeschwindigkeit der Elektronen im Silizium und E_c die kritische Feldstärke.⁸

⁷ In der Literatur wird dieser Effekt auch als Velocity Saturation (VS) bezeichnet.

⁸ Die kritische oder auch als Sättigungsfeldstärke bezeichnete Größe wird in der Literatur abhängig vom verwendeten Mobilitätsmodell definiert [79]. Sie wird in [96,102,103] definiert als $E_c = \frac{v_{sat}}{\mu_0}$ und in [104,105] als $E_c = \frac{2v_{sat}}{\mu_0}$. In dieser Arbeit wird die letztgenannte Definition verwendet.

Damit ergibt sich für die effektive Mobilität der Ladungsträger

$$\mu_{eff} = \frac{\mu_0}{1 + \lambda_c \cdot (q_s - q_d)} \quad . \quad (3.17)$$

Bei großen Gate-Spannungen kommt es zu einer Mobilitätsreduzierung⁹ der Ladungsträger bedingt durch das vertikale Feld (MRV). Der Effekt ist zu erklären durch die Oberflächenstreuung der Elektronen an der Si-SiO₂-Grenzfläche, welche bei zunehmender Feldstärke in vertikaler Richtung zunimmt und dadurch die Beweglichkeit abnimmt [44, 70, 79].

In HF-Schaltungen werden normalerweise Transistoren mit minimaler Kanallänge verwendet. Bei diesen ist im Sättigungsbereich des Ausgangskennlinienfeldes eine große Steigung zu beobachten, wodurch der Ausgangswiderstand stark reduziert wird. Dieser als Kanallängenmodulation¹⁰ (CLM) bezeichnete Effekt ist durch eine von der Drain-Spannung abhängigen Lage des Abschnürpunktes im Kanals zu erklären [44, 70, 79, 80]. Der Abschnürpunkt bewegt sich mit zunehmender Drain-Spannung weiter zum Source, wodurch die effektive Kanallänge reduziert wird. Der Ausgangswiderstand ist wie in [70, 80, 105] beschrieben noch von weiteren Effekte abhängig. Die Modellierung dieser Effekte im EKV-Modell ist in [96, 97] angegeben. Da dieser Ausgangswiderstand im Vergleich zu dem effektiven Lastwiderstand am Drain des LNA-Transistors groß ist, wird im Rahmen dieser Arbeit bei der numerischen und analytischen Optimierung des LNAs dessen Auswirkung vernachlässigt.

Beim Drain-Induced Barrier Lowering (DIBL) kommt es durch eine hohe Spannung am Drain zu einer Reduzierung der Schwellspannung [106]. Um diesem Effekt entgegen zu wirken werden LDD-MOSFETs verwendet, bei denen es manchmal zu einer Überkompensation und somit zum Reverse Short Channel Effekt (RSCE) kommt [44, 76, 79, 80]. Der DIBL-Effekt ist im EKV2.6 Modell nicht berücksichtigt, wird jedoch im EKV3.0 Modell modelliert [84, 107]. Auch dieser Effekt wird bei der numerischen und analytischen Optimierung des LNAs vernachlässigt.

⁹ Für diesen Effekt ist in der Literatur auch die Bezeichnung Mobility Reduction due to Vertical Field (MRV) üblich.

¹⁰ Dieser Effekt wird in der Literatur als Channel Length Modulation (CLM) bezeichnet.

3.2.3 Kapazitätsmodellierung

Die parasitären Kapazitäten des MOSFETs beeinflussen maßgeblich die Performance der HF-Schaltungen. Es muss daher für das Design und speziell für die Optimierung des LNAs das Verhalten der Kapazitäten über alle möglichen Arbeitsbereiche (von schwacher bis starker Inversion) durch Gleichungen beschrieben werden. In den folgenden beiden Abschnitten, aufgeteilt in interne und externe Kapazitäten des MOSFETs, wird deren Modellierung im EKV-Modell angegeben.

3.2.3.1 Interne Kapazitäten

Beim MOSFET lassen sich für den niedrigen bis mittleren Frequenzbereich, also für den Quasi-Statistischen-Arbeitsbereich (QS), wie in [76, 79, 96, 105] beschrieben die Kapazitätskoeffizienten bestimmen durch

$$C_{xy} = \pm \frac{\partial}{\partial U_y} (Q_x) \quad x, y = G, D, S, B \quad . \quad (3.18)$$

Das positive Vorzeichen wird für den Fall $x = y$ und das negative Vorzeichen entsprechend für $x \neq y$ verwendet. Aufgrund der vier Anschlüsse des MOSFETs lassen sich somit insgesamt 16 verschiedene Kapazitätskoeffizienten bestimmen, welche im allgemeinen nicht reziprok sind. Das bedeutet, es gilt $C_{xy} \neq C_{yx}$.

Ausgehend von dem Kirchhoffschen Knotensatz [108], nachdem die Summe aller in den MOSFET fließenden Ströme gleich Null sein muss, wird in der Herleitung in [76, 79] gezeigt, dass die 16 Kapazitätskoeffizienten sich zu neun voneinander unabhängige Koeffizienten reduzieren. Die Gleichungen für die Ströme, welche in den MOSFET hinein fließen, sind vergleichbar zu denen in [76] und können so umgeformt werden, dass sich hieraus ein Ersatzschaltbild mit fünf Kapazitäten und drei Transkapazitäten ableiten lässt. Die Gleichungen für die Ströme setzen sich dabei zum einen aus Termen der Form $C_{xy} \frac{d U_{yx}}{d t}$ und zum anderen aus Termen der Form $C_{xy} \frac{d U_\alpha}{d t}$ zusammen, mit $\alpha = G, D, S$. Letztere bilden die sogenannten Transkapazitäten, welche gemäß [79] spannungsgesteuerte Stromquellen mit kapazitiven Verhalten darstellen, d.h. der Strom ist proportional zur zeitlichen Ableitung der Steuerspannung. Die Transkapazitäten liegen im Ersatzschaltbild

parallel zu den Transkonduktanzen und sind von den gleichen Steuerspannungen abhängig.

Für ausreichend niedrige Frequenzen können die Transkapazitäten im Vergleich zu den Transkonduktanzen vernachlässigt, und somit das Ersatzschaltbild weiter vereinfacht werden. Die Frage, was ausreichend niedrige Frequenzen sind, wird später im Abschnitt 3.2.4 diskutiert. In diesem Fall vereinfacht sich das Ersatzschaltbild zu dem in [76, 83, 97] erläutert und in Abbildung 3.2 dargestellten Kleinsignalersatzschaltbild für den Quasi-Statischen-Arbeitsbereich (QS) mit fünf internen Kapazitäten (C_{gs} , C_{gb} , C_{gd} , C_{bs} , C_{bd}).

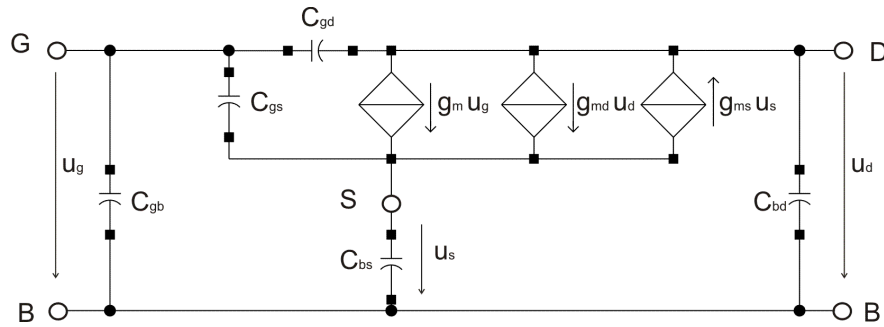


Abbildung 3.2: Kleinsignalersatzschaltbild des MOSFETs im QS-Arbeitsbereich mit den fünf internen Kapazitäten C_{gs} , C_{gb} , C_{gd} , C_{bs} und C_{bd} .

Im EKV-Modell sind die Gleichungen für die Kapazitäten auf $C_{OX} = C'_{ox} \cdot W \cdot L$ normiert gegeben, d.h. für C_{gs} gilt z.B. der Zusammenhang $C_{gs} = C_{OX} \cdot c_{gs}$. Die Gleichungen für die Kapazitäten sind im EKV-Manual [96] in Abhängigkeit von der Hilfsvariable $x_f = q_s + \frac{1}{2}$ bzw. $x_r = q_d + \frac{1}{2}$ ausgedrückt und können somit umgerechnet und angegeben werden als:

$$c_{gs} = \frac{1}{3} \cdot q_s \cdot \frac{2q_s + 4q_d + 3}{(q_s + q_d + 1)^2} \quad (3.19)$$

$$c_{gd} = \frac{1}{3} \cdot q_d \cdot \frac{2q_d + 4q_s + 3}{(q_s + q_d + 1)^2} \quad (3.20)$$

$$c_{gb} = \left(\frac{n-1}{n} \right) \cdot (1 - c_{gs} - c_{gd}) \quad (3.21)$$

$$c_{bs} = (n-1) \cdot c_{gs} \quad (3.22)$$

$$c_{bd} = (n-1) \cdot c_{gd} \quad (3.23)$$

Nach den Angaben in [76] gilt im Sättigungsbereich $C_{gd} = 0$ und $C_{bd} = 0$. Dies kann leicht Anhand der Gleichungen 3.19 - 3.23 und dem Ausdruck $q_d = 0$ für den Sättigungsbereich überprüft werden. Die Arbeitspunktsabhängigkeit der verbleibenden normierten Kapazitäten c_{gs} , c_{gb} und c_{bs} des in Sättigung befindlichen MOSFETs sind unter der Annahme, dass $n = 1,3$ und unabhängig vom Arbeitspunkt ist, in Abbildung 3.2 dargestellt.

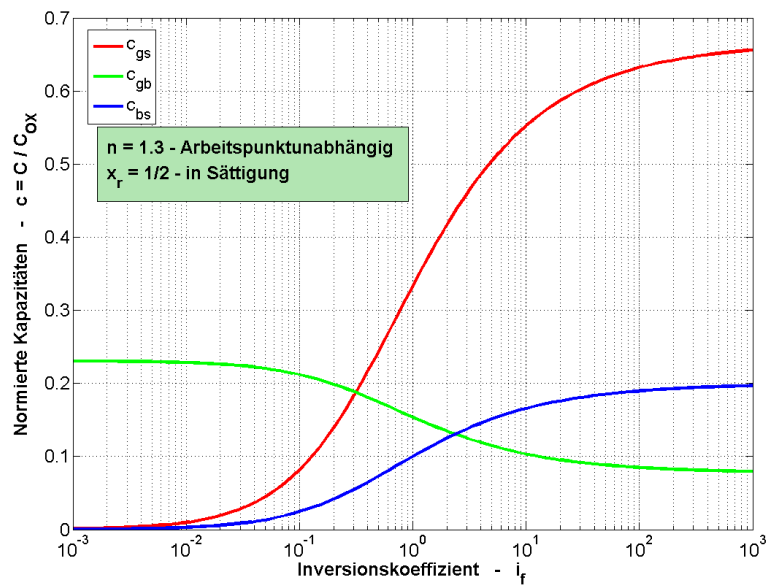


Abbildung 3.3: Interne Kapazitäten c_{gs} , c_{gb} und c_{bs} des in Sättigung befindlichen MOSFET in Abhängigkeit vom Inversionskoeffizienten i_f mit der Annahme $n = 1,3$ arbeitspunktunabhängig.

Die Kapazitäten laufen ausgehend von einem festen Grenzwert in schwacher Inversion, gegen einen anderen festen Grenzwert in starker Inversion. Der Übergang zwischen diesen Werten findet überwiegend im Bereich der moderaten Inversion statt. Da gerade die Kapazitäten C_{gs} und C_{bs} im Bereich der schwachen Inversion gegen Null gehen und die Kapazitäten C_{gd} und C_{bd} in Sättigung gleich Null sind, wird hierdurch die absolut notwendige Berücksichtigung der externen Kapazitäten des MOSFETs deutlich.

3.2.3.2 Externe Kapazitäten

Wie im vorherigen Abschnitt festgestellt wurde, ist es unbedingt notwendig die externen Kapazitäten des MOSFETs zu berücksichtigen. In der Literatur wird unterschieden zwischen den Overlap¹¹- und den Sperrschichtkapazitäten¹². Das in Abbildung 3.2 angegebene Kleinsignalersatzschaltbild muss also um die externen Kapazitäten wie in [76, 96] gezeigt und Abbildung 3.4 dargestellt erweitert werden.

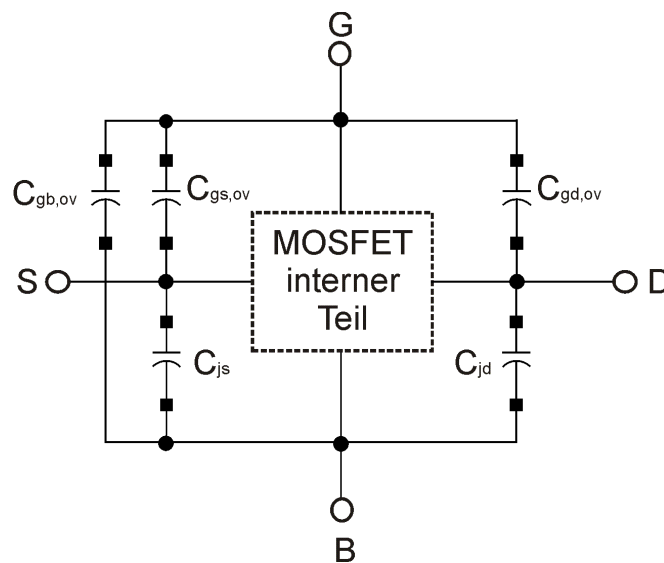


Abbildung 3.4: Kleinsignalersatzschaltbild des MOSFETs mit externen Kapazitäten.

Die Overlap-Kapazitäten entstehen zu einem durch die Ausdehnung der Source- und Draindiffusionsgebiete unter das Gate und zum anderen durch die elektrischen Felder an den Kanten (Fringing-Kapazität) [76]. Beim LDD-MOSFET weisen die Overlap-Kapazitäten eine Spannungsabhängigkeit auf, welche auch im allgemeinen im BSIM3V3-Modell [105] berücksichtigt wird. Bei der verwendeten Technologie sind die Parameter jedoch so gesetzt, dass sich für die Overlap-

¹¹ In der Literatur wird dafür auch die Bezeichnung Überlappkapazitäten verwendet.

¹² Diese werden auch als Junction-Kapazitäten bezeichnet.

Kapazitäten die einfachen Ausdrücke

$$C_{gs,ov} = W \cdot c_{gso} \quad (3.24)$$

$$C_{gd,ov} = W \cdot c_{gdo} \quad (3.25)$$

ergeben. Dabei sind c_{gso} und c_{gdo} die auf die Weite des Transistors bezogenen Kapazitäten.

Eine weitere parasitäre Kapazität bildet sich zwischen dem Gate und dem Substrat [76]. Diese wird im BSIM3V3-Modell [105] gemäß Gleichung 3.26 berechnet, wobei c_{gbo} die Kapazität pro Längeneinheit ist.

$$C_{gb,ov} = L \cdot c_{gbo} \quad (3.26)$$

Die in Sperrrichtung betriebenen pn-Übergänge zwischen Substrat (Bulk) und Source bzw. Substrat und Drain bilden die Sperrschichtkapazitäten C_{js} und C_{jd} . Diese setzen sich wiederum wie in [76] erläutert aus drei Anteilen zusammen, welche jeweils abhängig von der Spannung am Source bzw. Spannung am Drain sind. Im BSIM3V3-Modell [105] wird die Kapazität C_{js} berechnet durch

$$C_{js} = A_s \cdot \frac{c_j}{\left(1 + \frac{U_s}{PB}\right)^{m_j}} + (P_s - W) \cdot \frac{c_{jsw}}{\left(1 + \frac{U_s}{PBSW}\right)^{m_{jsw}}} + W \cdot \frac{c_{jswg}}{\left(1 + \frac{U_s}{PBSWG}\right)^{m_{jswg}}}, \quad (3.27)$$

wobei c_j der Kapazitätsanteil pro Flächeneinheit, c_{jsw} und c_{jswg} die Kapazitätsanteile pro Längeneinheit, PB , $PBSW$ und $PBSWG$ die Diffusionsspannungen und m_j , m_{jsw} und m_{jswg} die Gradationsexponenten sind. Diese Parameter des BSIM-Modells können direkt aus der Technologie-Datei entnommen werden. Der Schaltungssimulator berechnet als weitere Größen die Fläche $A_s = W \cdot L_{Gate,Cont}$ und die Länge $P_s = W + 2 \cdot L_{Gate,Cont}$, wobei $L_{Gate,Cont} = 0,715 \mu\text{m}$ eine Konstante der verwendeten CMOS-Technologie ist.

Wird in der Gleichung 3.27 bei den Variablen im Index „s“ gegen „d“ bzw. „S“ gegen „D“ ausgetauscht, ergibt dies die Gleichung für C_{jd} . In der verwendeten Technologie ist das Modell so parametrisiert, dass sich bei gleichen Spannungen an den Anschlüssen der gleiche Zahlenwert für C_{jd} wie für C_{js} ergibt.

3.2.4 Betrachtung der NQS-Effekte

Wird der MOSFET-Transistor bei sehr hohen Frequenzen betrieben, so treten die Nicht-Quasi-Statistischen-Effekte (NQS) in Erscheinung. Die Ladungsträger in der Inversionsschicht können bei einer sehr hochfrequenten Anregung dieser nur mit einer Verzögerung folgen und somit kommt es zu Laufzeiteffekten zwischen der Anregung an dem einen Anschluss des MOSFETs und der Reaktion an einem anderen Anschluss.

Ein möglicher Ansatz wie er in [76, 83] gemacht wird um diesen Effekt zu modellieren besteht darin, den MOSFET selbst nicht mehr als konzentriertes Bauelement zu betrachten und den Kanal in einzelne Segmente zu unterteilen. Die einzelnen Segmente werden dann als MOSFET mit einem entsprechend kürzeren Kanal betrachtet und zu einer Kette zusammen geschaltet. Für eine detaillierte Beschreibung und Analyse der NQS-Effekte sei der Leser auf die Literatur [13, 76, 83, 109–111] verwiesen.

Es soll nun die Frage untersucht werden ob das QS-Modell unter allen Arbeitsbedingungen für den LNA-MOSFET ausreichend ist oder ob das NQS-Modell verwendet werden muss.¹³ In der Literatur [85, 97, 111] wird hierfür als Grenze die Zeitkonstante τ_{qs} bzw. deren Kehrwert ω_{crit} herangezogen und kann bestimmt werden durch

$$\tau_{qs} = \tau_0 \cdot \frac{1}{30} \cdot \frac{4 \cdot q_s^2 + 10 \cdot q_s + 5 + 12 \cdot q_s \cdot q_d + 10 \cdot q_d + 4 \cdot q_d^2}{(q_s + 1 + q_d)^3} \quad (3.28)$$

mit

$$\tau_0 = \frac{L_{eff}^2}{\mu_{eff} \cdot U_{Temp}} \quad (3.29)$$

In Abbildung 3.5 ist der Verlauf der Funktion τ_{qs}/τ_0 für den Sättigungsbereich ($q_d = 0$) dargestellt. Im Bereich der schwachen Inversion gilt $q_s \ll 1$ woraus $\left. \frac{\tau_{qs}}{\tau_0} \right|_{WI} \approx \frac{1}{6}$ resultiert und für den Bereich der starken Inversion in dem $q_s \gg 1$ gilt, woraus $\left. \frac{\tau_{qs}}{\tau_0} \right|_{SI} \approx \frac{2}{15} \cdot \frac{1}{q_s}$ sich ergibt.

¹³ Im EKV-Modell Version EKV2.6 [96] ist nur ein NQS-Modell erster Ordnung enthalten ebenso wie im BSIM3V3-Modell [105]. Ein Vergleich der NQS-Modellierung des BSIM3V3-Modells mit Messergebnissen wird [112] durchgeführt.

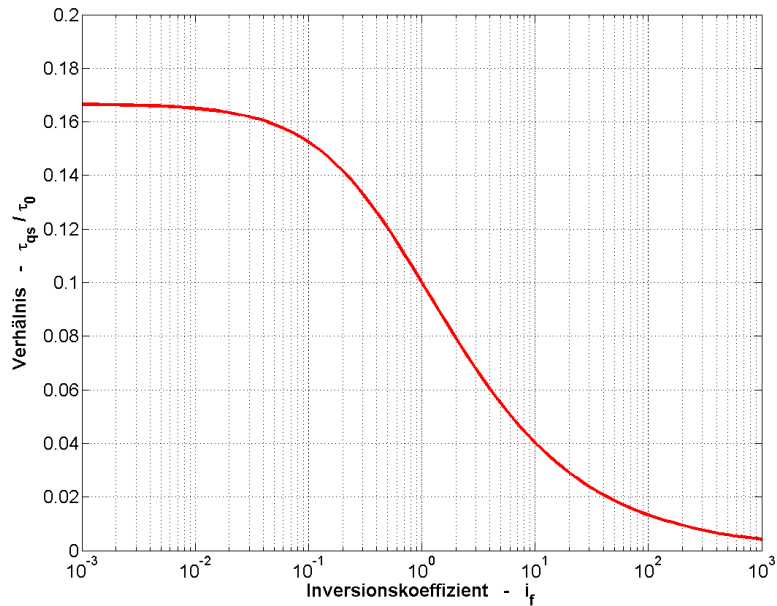


Abbildung 3.5: Verhältnis der NQS-Zeitkonstante τ_{qs}/τ_0 in Abhängigkeit vom Inversionskoeffizienten i_f .

Aus den Näherungen bzw. direkt aus der Abbildung 3.5 ist zu entnehmen, dass im Bereich der starken Inversion das Verhältnis τ_{qs}/τ_0 bis zum Faktor 40 kleiner ist, im Vergleich zu dem Wert der sich in schwacher Inversion ergibt.

Um nun endgültig zu klären ob der Bereich der starken oder der Bereich der schwachen Inversion der Kritische ist, muss die Funktion τ_0 betrachtet werden. Diese ist umgekehrt proportional zu der effektiven Mobilität μ_{eff} , welche wie in Abschnitt 3.2.2.3 geschildert im Bereich der starken Inversion geringer wird. Die Abnahme von μ_{eff} reduziert somit die Abnahme von τ_{qs}/τ_0 im Bereich der starken Inversion, kompensiert diese aber nicht vollständig (wie sich Anhand von Schaltungssimulationen überprüfen lässt). Damit stellt sich klar heraus, dass die NQS-Effekte zuerst im Bereich der schwachen Inversion auftreten.

Basierend auf diesen Überlegungen kann die Grenzfrequenz für den NQS-Bereich bestimmt werden als $f_{NQS} = \frac{1}{2\pi \cdot \tau_{qs}|_{WI}}$. Unterhalb dieser Grenzfrequenz kann das QS-Modell inklusive der Transkapazitäten verwendet werden. Liegt der Arbeitsbereich weit unterhalb dieser Frequenz können auch die Transkapazitäten

vernachlässigt werden. In [76] wird als Grenzfrequenz für die Transkapazitäten $\omega_{crit}/10$ angegeben. Die Grenzfrequenz für das einfache QS-Modell kann somit bestimmt werden als

$$f_{QS} < \frac{0.3}{\pi} \cdot \frac{\mu_0 \cdot U_{Temp}}{L_{eff}^2} = 1,66 \text{ GHz} . \quad (3.30)$$

Der Empfänger wird für eine Trägerfrequenz von 868,3 MHz entwickelt, welche somit unterhalb der QS-Grenzfrequenz liegt. Das bedeutet, es wird das einfache QS-Modell ohne Berücksichtigung der Transkapazitäten verwendet.¹⁴ Damit ist auch die Frage aus Abschnitt 3.2.3.1 beantwortet, was eine ausreichend niedrige Frequenz ist.

Durch die NQS-Effekte wird weiterhin die Eingangsimpedanz der Common-Source-Schaltung beeinflusst. Wie in [49, 97] beschrieben, lässt sich bei dieser Schaltung ein Realteil der Eingangsimpedanz messen, der nicht durch die Layoutbedingten Widerstände (z.B. die Bahnwiderstände welche in [113–115] beschrieben werden) des Transistors erklärt werden kann. Dieser zusätzliche Anteil wird von den NQS-Effekten verursacht und kann gemäß [44, 49, 97, 116], bzw. wie im Anhang in Abschnitt A.5.2 gezeigt wird, angegeben werden als

$$r_{g,NQS} = \text{Re}\{Z_{in}\} = \text{Re}\left\{\frac{1}{Y_{GG}}\right\} \approx \frac{1}{5 \cdot g_{ms}} . \quad (3.31)$$

Da der Realteil der Eingangsimpedanz im Vergleich zum Imaginärteil sehr viel geringer ist, kann er in den meisten Fällen vernachlässigt werden. Anders verhält es sich, wenn zum Gate eine Induktivität in Serie geschaltet wird.¹⁵ Diese kompensiert im Resonanzfall den kapazitiven Anteil der Eingangsimpedanz und es bleibt nur noch der durch NQS-Effekte verursachte resistive Anteil übrig. Durch das abstimmen dieses Schwingkreises wird der durch NQS-Effekte bedingte Widerstand weit unterhalb der NQS-Grenzfrequenz relevant und darf daher nicht vernachlässigt werden.

¹⁴ Es sei darauf hingewiesen, dass die Transistoren die im Basisbandteil des Empfängers eingesetzt werden sehr große Längen haben können und daher auch sehr niedrige Grenzfrequenzen für die NQS-Effekte besitzen.

¹⁵ Dies ist z.B. beim CS-LNA der Fall (siehe Abschnitt 4.2).

3.2.5 Rauschmodellierung

3.2.5.1 Unterscheidung der Rauschphänomene

Wie im vorangehenden Kapitel 2 diskutiert, beeinflusst das Rauschen maßgeblich die Performance des Empfängers. Das durch den Empfänger zusätzlich hinzugefügte Rauschen stammt von den in der Empfängerschaltung verwendeten Widerständen und Transistoren. So können an den Anschlüssen des MOSFETs zufällige, von den Eingangssignalen unabhängige Fluktuationen beobachtet werden, welche als Rauschen bezeichnet werden. In der Literatur [44, 71, 76, 79] wird unterschieden zwischen Flicker-, Schrot- und thermischen Rauschen.

Das Flickerrauschen wird in der Literatur auch als $1/f$ -Rauschen bezeichnet. Dabei weist letztere Bezeichnung auf die spektrale Leistungsdichte hin, welche annähernd umgekehrt proportional zu der Frequenz ist. Das $1/f$ -Rauschen kann für den LNA vernachlässigt werden, muss jedoch in den Schaltungen des Basisbands, sowie beim Mischer und beim spannungsgesteuerter Oszillator (VCO) beachtet werden [97, 117, 118]. Der interessierte Leser sei hier auf die Literatur [13, 44, 70, 76, 117–123] verwiesen.

Für das Schrotrauschen¹⁶ verantwortlich ist der in Elementarladungen q quantisierte Ladungstransport über pn-Übergänge [44, 79]. Da der Drainstrom im Bereich der schwachen Inversion ein Diffusionsstrom ist (vgl. hierzu [124–126]), wird in der Literatur kontrovers diskutiert, ob es sich bei dem dort zu beobachtenden Rauschen um Schrotrauschen handelt. Gleichgültig ob nun dafür Schrotrauschen oder thermisches Rauschen verantwortlich gemacht wird, führt dies zum gleichen Ergebnis [13, 76, 119, 127].

Aufgrund von statistischen Bewegungen der Ladungsträger im Leiter kommt es zu thermischen Rauschen, welches auch als Nyquist- oder Johnson-Rauschen bezeichnet wird. Da der MOSFET einen veränderlichen Widerstand darstellt, ist das Rauschen, welches im Kanal des Transistors entsteht thermisches Rauschen [119]. Dieses gelangt über die (Trans-)Konduktanzen an das Drain und an das Sour-

¹⁶ In der Literatur wird dies auch als Shot Noise bezeichnet.

ce, sowie durch kapazitive Kopplung an das Gate und das Substrat [85]. Letztere werden auch als induziertes Gate- und induziertes Substrat-Rauschen bezeichnet. Weitere thermische Rauschquellen sind die parasitären Zuleitungswiderstände am Drain, Source und Gate, sowie die Widerstände im Substratnetzwerk [85, 97].¹⁷ Diese Rauschquellen liefern einen geringen Beitrag und werden daher in einem Modell erster Ordnung vernachlässigt. Ein allgemeines Ersatzschaltbild mit den Rauschquellen des MOSFETs wird in [13, 85, 111] vorgestellt und ist in der Abbildung 3.6 dargestellt.

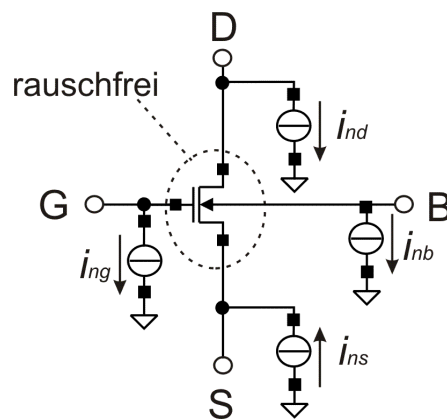


Abbildung 3.6: Allgemeines Ersatzschaltbild des MOSFETs mit Rauschquellen.

Bei dem hier betrachteten Frequenzbereich wird in der Literatur für den im Sättigungsbereich arbeitenden MOSFET das vereinfachte Ersatzschaltbild wie es in der Abbildung 3.7 dargestellt ist verwendet. Dieses wird für die analytischen und numerischen Berechnung eingesetzt.

Die Rauschanteile der beiden Quellen werden durch ihre spektralen Rauschleistungsichten angegeben. Für das Drain-Rauschen ist dieses durch die Gleichung 3.32 gegeben, wobei γ der arbeitspunktabhängige Drain-Noise-Faktor ist [85, 97, 131].

$$S_{n,i_d^2} = \frac{\overline{i_{nd}^2}}{\Delta f} = 4kT \cdot \gamma \cdot g_{ms} \quad (3.32)$$

¹⁷ Der Einfluss der Zuleitungswiderstände und des Substratnetzwerks auf das Verhalten des MOSFETs wird in [113–115, 128–130] untersucht.

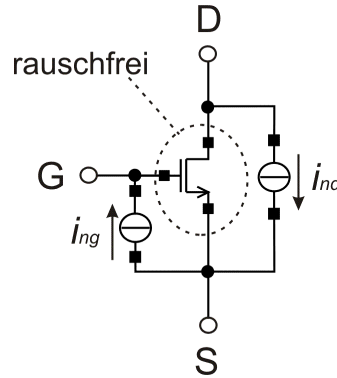


Abbildung 3.7: Ersatzschaltbild des MOSFETs mit Rauschquellen i_{ng} und i_{nd} .

Das induzierte Gate-Rauschen ist eine Folgeerscheinung der NQS-Effekte und es wird für dessen Herleitung mindestens ein NQS-Modell erster Ordnung benötigt [76, 85, 119]. Die spektrale Rauschleistungsdichte des Gate-Rauschens ist

$$S_{n,i_g^2} = \frac{\overline{i_{ng}^2}}{\Delta f} = 4kT \cdot \delta \cdot g_g \quad (3.33)$$

mit

$$g_g = \operatorname{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5 \cdot g_{ms}}, \quad (3.34)$$

wobei δ der arbeitspunktabhängige Gate-Noise-Faktor und Y_{GG} die totale Gate-Admittanz ist [85, 97, 111, 131]. Die Herleitung der in der Literatur verwendeten Näherung $\operatorname{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5 \cdot g_{ms}}$ wird im Anhang in Abschnitt A.5.2 gezeigt. Da beim QS-Modell $\operatorname{Re}\{Y_{GG}\} = 0$ ist, verschwindet somit auch das induzierte Gate-Rauschen [85].

Im Abschnitt 3.2.4 wurde durch Betrachtung der NQS-Effekte gezeigt, dass aufgrund der geringen Arbeitsfrequenz diese im Kleinsignalersatzschaltbild vernachlässigt werden können. Es ist daher sehr verführerisch, auch das induzierte Gate-Rauschen generell zu vernachlässigen. Diese Entscheidung kann aber erst nach genauer Betrachtung der Schaltungsarchitektur getroffen werden. Abhängig davon kann das induzierte Gate-Rauschen für Frequenzen weit unterhalb der NQS-Grenzfrequenz relevant werden, wie aus der Darstellung in [49, 116] zu entnehmen ist.

Für Rauschberechnungen muss die Korrelation zwischen dem induzierten Gate-Rauschen und dem Drain-Rauschen berücksichtigt werden. Diese wird durch das Kreuzleistungsdichtespektrum (CPSD) S_{n,i_g,i_d^*} beschrieben, womit sich gemäß [85, 111, 119] der Korrelationskoeffizient ermitteln lässt als

$$c = \frac{S_{n,i_g,i_d^*}}{\sqrt{S_{n,i_d^2} \cdot S_{n,i_g^2}}} . \quad (3.35)$$

Das Vorzeichen bei dem Imaginärteil des Korrelationskoeffizienten muss besonders beachtet werden. Mit der in Abbildung 3.7 eingezeichneten Stromrichtung für das induzierte Gate-Rauschen (vom Source zum Gate) besitzt der Imaginärteil des Korrelationskoeffizienten c aus Gleichung 3.35 ein negatives Vorzeichen. Bei jeder Änderung der Strombezugsrichtung in der Abbildung 3.7 oder bei Verwendung des konjugiert komplexen Ausdrucks S_{n,i_g^*,i_d} in der Gleichung 3.35 anstelle von S_{n,i_g,i_d^*} ändert sich das Vorzeichen [132, 133].

3.2.5.2 Rauschen von Kurzkanal-MOSFETs

Für den Langkanal-MOSFET in Sättigung und Arbeitsbereich in starker Inversion wurden nach den Berechnungen von A. van der Ziel [119, 134] für die Rauschparameter $\gamma = \frac{2}{3}$ und $\delta = \frac{4}{3}$, sowie für den Korrelationskoeffizienten $c = -j0,395$ ermittelt.

Kurzkanaltransistoren zeigen im Vergleich zum Langkanaltransistor größeres Rauschen, wie als erstes durch Messungen von Abidi [135] belegt wurde. In weiteren Veröffentlichungen von Messungen [136–150] wird dieses beobachtete Verhalten bestätigt. Ebenfalls zeigen Bauelementsimulationen des einzelnen Transistors [151, 152] einen Anstieg des Rauschens bei Kurzkanal-MOSFETs.

Unterschiede in den veröffentlichten Messwerten können durch die verwendete Messtechnik und vor allem durch die angewendete Deembedding-Prozedur (das Herausrechnen der parasitären Einflüsse wie z.B. durch die Pads und der Zuleitung

zwischen Pad und Transistor) erklärt werden [149, 153–157].¹⁸ Bei dem bestimmen der einzelnen Rauschquellen im Transistor selbst müssen die parasitären Anteile z.B. der Drain-, Source- und Gate-Widerstände und das Substratnetzwerk besonders berücksichtigt werden. So hat z.B. der Gate-Widerstand einen sehr großen Einfluss auf das messtechnisch ermittelte induzierte Gate-Rauschen [144].

Für die Zunahme des Rauschens werden in der Literatur unterschiedliche Effekte wie z.B. Carrier-Heating (CH), Geschwindigkeitssättigung (VS), Mobilitätsreduzierung durch das Vertikale Feld (MRV) und Kanallängenmodulation (CLM) verantwortlich gemacht. Basierend auf diesen Effekten existieren viele unterschiedliche Modelle wie z.B. [102, 103, 131, 136, 137, 142, 144, 146, 150, 159–164] um die Zunahme der Rauschparameter γ und δ zu erklären.

Da die im Rahmen dieser Arbeit verwendete Technologie sich noch in der Entwicklung befand, standen dem Autor die eigens für Rauschmessungen entwickelten Teststrukturen nicht zur Verfügung. Auf die Entwicklung eines eigenen Rauschmodells wird verzichtet und auf ein einfaches, im EKV-Modell implementierbares zurückgegriffen, welches im folgenden Abschnitt beschrieben wird. Abschließend sei darauf hingewiesen, dass im BSIM3V3-Modell das induzierte Gate-Rauschen ebenso, wie der durch Kurzkanaleffekte bedingte Anstieg des Drain-Rauschens vernachlässigt wird. Beim BSIM4-Modell wird zwar das induzierte Gate-Rauschen bedrückt, aber abweichend vom Modell nach van der Ziel implementiert. Hierdurch ergibt sich gemäß [165] ein Fehler beim Korrelationskoeffizient.

3.2.5.3 Rauschen im EKV-Modell

Die im vorherigen Abschnitt erwähnten Modelle für das Rauschen unterscheiden sich auch stark in ihrer Komplexität und Implementierbarkeit in das EKV-Modell. Hier wird das einfache, in [85, 97, 131] vorgestellte Rauschmodell verwendet.

¹⁸ Allgemeine Hinweise und Grundlagen zum Deembedding können z.B. aus [158] und Hinweise zum Deembedding der parasitären Widerstände des MOSFETs aus [113, 115] entnommen werden.

Für den in Sättigung befindlichen Langkanaltransistor wird der arbeitspunktabhängige Drain-Noise-Faktor γ nach [85, 97, 131] beschrieben durch

$$\gamma_{sat,long} = \frac{2}{3} \cdot \frac{q_s + \frac{3}{4}}{q_s + 1} . \quad (3.36)$$

Diese Funktion geht im Bereich der starken Inversion gegen $\gamma|_{SI} = \frac{2}{3}$ und im Bereich der schwachen Inversion gegen $\gamma|_{WI} = \frac{1}{2}$, wie auch aus der oberen Darstellung in Abbildung 3.8 zu entnehmen ist. Dies ist völlig konsistent mit dem in [142] berechneten und präsentierten Verlauf.

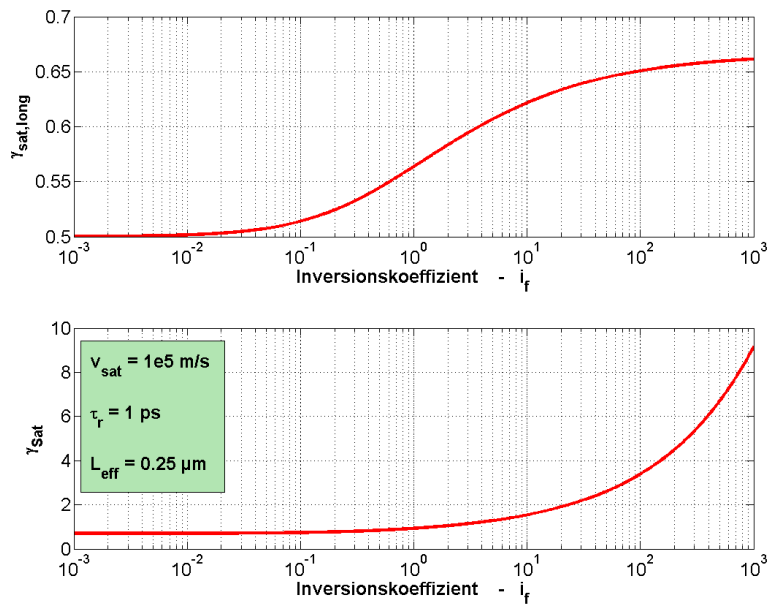


Abbildung 3.8: Drain-Noise-Faktor γ in Abhängigkeit vom Inversionskoeffizienten i_f für Langkanal- und Kurzkanaltransistor.

Das von Klein entwickelte Rauschmodell für Kurzkanal-MOSFETs [136] ist ursprünglich für den Bereich der starken Inversion entwickelt worden und berücksichtigt Carrier-Heating (CH) und Geschwindigkeitssättigung (VS). Dieses Modell wurde von C. Enz und Y. Cheng wie in [131] vorgestellt erweitert, um den gesamten Bereich von schwacher bis zur starken Inversion abzudecken. Wird in dem dort vorgestellten Ausdruck die Ausgleichsfunktion G durch die Ladung q_s

ausgedrückt, so kann der Drain-Noise-Faktor γ demnach bestimmt werden als

$$\gamma(i_f) = \gamma_{sat,long} \cdot \left[1 + (q_s + 1) \cdot \frac{v_{sat} \cdot \tau_r}{L_{eff}} \right] , \quad (3.37)$$

wobei v_{sat} die Sättigungsgeschwindigkeit und τ_r die Relaxationszeit ist. Der aus den Zahlenwerten $v_{sat} \approx 10^5 \frac{\text{m}}{\text{s}}$ (aus den Technologiedaten), $\tau_r \approx 1 \text{ ps}$ [131] und $L_{eff} = 0,25 \mu\text{m}$ resultierende Kurvenverlauf ist der unteren Darstellung in Abbildung 3.8 zu entnehmen. Aus dieser Darstellung ist die starke Zunahme in starker Inversion genauso wie die Konvergenz gegen $\gamma|_{WI} = 0,7$ in schwacher Inversion zu erkennen. In der Mitte der moderaten Inversion ($i_f = 1$) ist nur ein leichter Anstieg auf $\gamma|_{MI} \approx 0,93$ zu beobachten, was schon die Vorteile dieses Arbeitsbereiches andeutet.

Der arbeitspunktabhängige Gate-Noise-Faktor δ und der arbeitspunktabhängige Korrelationsfaktor c kann aus den in [111] angegebenen Gleichungen für das NQS-Rauschverhalten des Langkanaltransistors wie im Anhang in Abschnitt A.5 angegeben hergeleitet werden. Für den in Sättigung befindlichen MOSFET wird der Gate-Noise-Faktor δ somit ausgedrückt durch

$$\delta = \frac{1}{3} \cdot \frac{32 \cdot q_s^3 + 114 \cdot q_s^2 + 132 \cdot q_s + 45}{(4 \cdot q_s^2 + 10 \cdot q_s + 5) \cdot (2 \cdot q_s + 3)} \quad (3.38)$$

und der Korrelationsfaktor c durch

$$|c| = \frac{\sqrt{5} \cdot (q_s^2 + 3 \cdot q_s + \frac{3}{2})}{\sqrt{(q_s + \frac{3}{4}) \cdot (32 \cdot q_s^3 + 114 \cdot q_s^2 + 132 \cdot q_s + 45)}} . \quad (3.39)$$

Im Bereich der schwachen Inversion konvergieren die Funktionen gegen $\delta|_{WI} = 1$ bzw. $c|_{WI} = -j\frac{1}{\sqrt{3}}$ und im Bereich der starken Inversion gegen $\delta|_{SI} = \frac{4}{3}$ bzw. $c|_{SI} = -j\sqrt{\frac{5}{32}} \approx -j0,395$. Dabei wird das Vorzeichen des Imaginärteils von c entsprechend den Erläuterungen in Abschnitt 3.2.5.1 berücksichtigt. Wie aus der Darstellung in Abbildung 3.9 zu entnehmen ist, findet der Übergang beider Funktionen im Bereich der moderaten Inversion statt.

Über den Einfluss von Kurzkanaleffekten auf das induzierte Gate-Rauschen in Abhängigkeit vom Inversionskoeffizienten ist nach Wissen des Autors keine Information verfügbar. Es werden daher zwei Annahmen getroffen: Zum einen wird

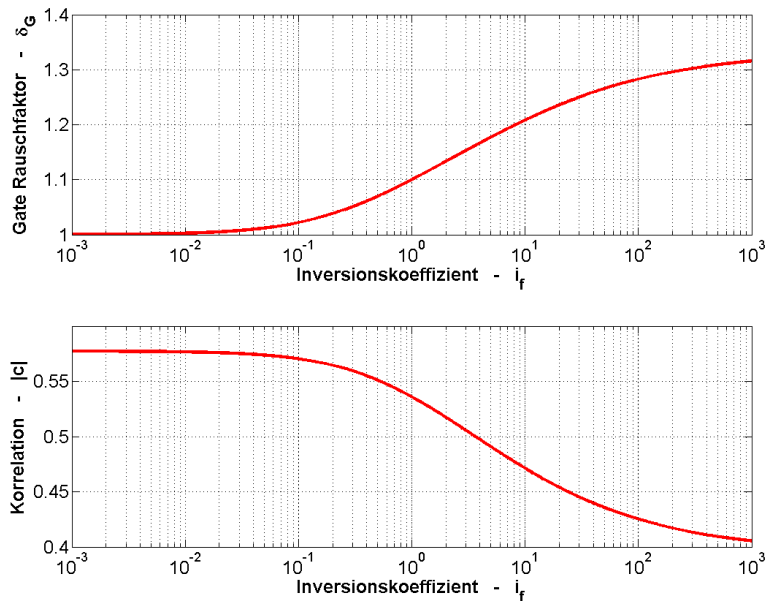


Abbildung 3.9: Gate-Noise-Faktor δ und Korrelationsfaktor c in Abhängigkeit vom Inversionskoeffizienten i_f für den Langkanaltransistor.

davon ausgegangen, dass das Verhältnis von $\frac{\delta}{\gamma}$ sich im Vergleich zum Langkanaltransistor nicht ändert. Für den Langkanal-MOSFET ist wie im Anhang in Abschnitt A.5 dargestellt das Verhältnis $\frac{\delta}{\gamma} \approx 2$, unabhängig vom Inversionskoeffizienten. Diese Annahme erscheint sinnvoll, da sowohl beim Lang- als auch beim Kurzkanaltransistor das Rauschen im Kanal entsteht und durch kapazitive Kopplung an das Gate gelangt. Weiterhin ist bei den Noise Figure Berechnungen nur das Verhältnis, nicht aber der absolute Wert von δ von Interesse. Als zweites wird angenommen, dass die Korrelation durch die Kurzkanaleffekte nicht beeinflusst wird.

3.3 Widerstände und Kondensatoren

Die im Rahmen dieser Arbeit verwendete Standard-CMOS-Technologie bietet neben den CMOS-Transistoren auch die Möglichkeit Widerstände und Kondens-

satoren einzusetzen. In diesem Abschnitt sollen diese Bauelemente nur ganz kurz behandelt werden. Eine ausführliche Darstellung ist in [44, 70, 80] zu finden.

Die Widerstände werden meist als mäanderförmige Bahnen der Poly-Schicht aufgebaut, welche an beiden Enden kontaktiert werden. Durch die Wahl zwischen Salicide-Poly (mit einem geringen Ω/\square -Wert) und nur Poly (mit einem großen Ω/\square -Wert) können Widerstände in einem großen Bereich realisiert werden. Als Alternative können Widerstände aus den Metallschichten, der n-Wanne, sowie den Drain- und Source-Diffusionsgebieten p^+ und n^- aufgebaut werden [70]. Bei den beiden letztgenannten Bauform muss darauf geachtet werden, dass die parasitäre Diode die sich bildet nicht in Flussrichtung gerät [44].

Die Widerstände besitzen unterschiedliche Temperaturkoeffizienten (TK), welcher bei Poly $TK = \pm 0,1\%/^{\circ}\text{C}$, bei Salicide-Poly $TK = 0,2\% \dots 0,4\%/^{\circ}\text{C}$, bei den Drain- und Source-Diffusionsgebieten $TK = 0,05\% \dots 0,1\%/^{\circ}\text{C}$, bei der n-Wanne $0,2\% \dots 0,5\%/^{\circ}\text{C}$ und bei Aluminium $0,3\%/^{\circ}\text{C}$ beträgt [44, 70].

Neben der Temperaturabhängigkeit zeigen die Widerstände auch eine Abhängigkeit von der anliegenden Spannung, welche gemäß [80] durch einen Spannungskoeffizienten UK beschrieben wird. Den geringsten UK besitzen die Widerstände die aus der Poly-Schicht aufgebaut sind [44, 70]. Eine deutlich größere Spannungsabhängigkeit zeigen die Widerstände, die aus den Diffusionsgebieten gebildet werden und die größte Spannungsabhängigkeit besitzen Widerstände, die durch n-Wannen realisiert werden [44, 70]. Der Spannungskoeffizient dieser Widerstände wird in [80] angegeben als $UK = 0,02\%/V$.

Ein weiterer zu berücksichtigender Effekt ist die parasitäre Kapazität der Widerstände die sich zum Substrat hin ausbildet. Bei den Bauformen, welche eine parasitäre Diode besitzen, kommt noch eine zusätzliche spannungsabhängige Sperrschichtkapazität hinzu [44]. Dagegen weisen Poly-Widerstände die geringste parasitäre Kapazität auf [70]. Diese parasitären Kapazitäten müssen vor allem dann beachtet werden, wenn an den Schaltungsknoten zwischen denen die Kapazität angeschlossen ist hochfrequente Signale anliegen.

Theoretisch können Kondensatoren als Plattenkondensator aus den zur Verfügung stehenden Metallschichten und der Poly-Schicht aufgebaut werden [44, 70].

Aufgrund der dicken Oxidschicht weisen diese Kondensatoren einen geringen Kapazitätsbelag auf und werden daher nicht verwendet. In dem verwendeten Prozess stehen zwei Varianten zur Verfügung: Zum einen Kondensatoren mit einer Elektrode aus Poly, während die zweite Elektrode die n-Wanne bildet. Zum anderen Kondensatoren mit einer Elektrode aus Poly, während die zweite Elektrode die Drain- und Source-Diffusionsgebiete bildet. Spezielle Bauformen wie z.B. MIM-Kondensatoren (Metal-Insulator-Metal) stehen diesem Prozess nicht zur Verfügung.

Auch die Kapazitäten zeigen eine Temperatur und Spannungsabhängigkeit. Die n-Wannen-Kapazitäten weisen eine größere Spannungsabhängigkeit auf, als die Kapazitäten die aus den Diffusionsgebieten aufgebaut werden. Der Spannungskoeffizienten der Diffusionsgebiet-Kapazitäten beträgt typischerweise $UK = 0,05\%/V$ [70]. Der Temperaturkoeffizient für die hier beschriebenen Kapazitäten ist nicht gegeben. In [44] wird jedoch ein Wert von $TK = 30 \dots 50 \text{ ppm}/^\circ\text{C}$ für Metall-Metall-Kondensatoren angegeben.

3.4 Spulen

In der Mikroelektronik können Induktivitäten als planare Spulen realisiert werden. Aufgrund ihrer kleinen Induktivitäten und der geringen Güten kommen sie erst im HF-Bereich als zusätzliches Bauelement in Betracht. Die bei 1 GHz realisierbaren Induktivitäten liegen dabei zwischen $1 \dots 20 \text{ nH}$ [166]. Sie werden z.B. eingesetzt als Lastspule beim LNA um die parasitären Kapazitäten zu kompensieren oder im Schwingkreis des VCOs.

Die Spulen sind dabei die Schlüsselkomponenten für einen energieeffizienten Empfänger. Beim Verstärker wird durch eine große Spulengüte eine große Verstärkung erreicht, ohne den Preis eines hohen DC-Arbeitspunktstroms zahlen zu müssen. Im Gegensatz zum ohmschen Widerstand ist der durch den Arbeitspunktstrom verursachte Spannungsabfall über der Spule viel geringer. Dadurch eröffnet sich die Möglichkeit die Versorgungsspannung zu senken, und damit den Leistungsverbrauch zu reduzieren (siehe z.B. CG-LNA mit reduzierter Versorgungsspannung

im Anhang in Abschnitt D). Beim VCO werden Spulen mit einer großen Güte benötigt um das Phasenrauschen zu reduzieren [69].

Sehr viele parasitäre Effekte beeinflussen das Verhalten der Spulen und es existieren viele Veröffentlichungen zu dieser komplexen Thematik. Im Rahmen dieser Arbeit soll der Aufbau und das elektrische Verhalten der Spule nur kurz beschrieben werden, um ihren Einfluss auf die Performance des LNAs besser verstehen zu können.

3.4.1 Aufbau der Spulen

Die Spulen werden als planare, spiralförmige Anordnung aus den Metallebenen realisiert, wobei die Form evtl. durch das verwendete Layoutprogramm oder durch Vorgaben für die Maskenerstellung limitiert ist. Sind z.B. nur senkrechte und waagerechte Leiterbahnen erlaubt (Manhattan-Struktur) so ergeben sich daraus nur quadratische Spulen, wohingegen bei erlaubten 45°-Winkeln achteckige Spulen realisiert werden können. Spulen mit einer runden oder achteckigen Form weisen dabei etwas bessere elektrische Eigenschaften als viereckige auf [44, 167–169].

Für die Spulen werden die obersten Metallebenen verwendet, da diese die größte Dicke aufweisen (vgl. Tabelle 3.1) und am weitesten von dem Verlustbehafteten Substrat entfernt sind. Bei den digitalen Standard-CMOS-Prozessen bestehen diese Metallschichten aus sehr dünnem Aluminium, weshalb mehrere Metallschichten parallel geschaltet werden um den Widerstand zu reduzieren. Im Gegensatz dazu werden bei speziellen HF-Prozessen in den obersten Metallebenen mehrere Mikrometer dicke Metallschichten verwendet, welche im Idealfall aus Kupfer bestehen. Die Verbindung zum inneren Anschluss wird wie schematisch in Abbildung 3.10 gezeigt in einer der unteren Metallschichten realisiert.

In der Mitte der Spulen wird ein „Loch“ freigelassen, d.h. sie werden nicht bis zur Mitte mit Windungen aufgefüllt. Der Grund dafür liegt zum einen bei dem geringen Beitrag den die inneren Windungen zum gesamten magnetischen Fluss liefern. Zum anderen wird durch einen größeren Abstand zu den gegenüberliegenden Segmenten der Windung gewährleistet, dass der durch diese hervorgerufene

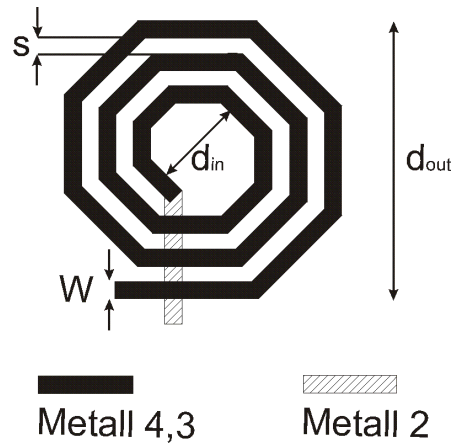


Abbildung 3.10: Schematischer Aufbau einer planaren Spule.

entgegengesetzte Fluss nur einen geringen Einfluss hat. Somit leisten die inneren Windungen nur einen geringen Beitrag zur Gesamtinduktivität, aber einen großen Beitrag zum Serienwiderstand und werden deshalb weggelassen.¹⁹ Ein anderer Ansatz ist es, den Querschnitt der Leiterbahnen zum Zentrum hin zu verjüngen (Tapered Spiral Inductor) [44, 166, 170, 171].

3.4.2 Elektrische Eigenschaften der Spulen

3.4.2.1 Parasitische Einflüsse realer Spulen

Wie oben erwähnt beeinflussen viele parasitäre Effekte das Verhalten der Spule, welche ausführlich in [171] beschrieben werden. Dies ist bei niedrigen Frequenzen vor allem die begrenzte Leitfähigkeit des Leitermaterials, welche in Kombination mit den sehr dünnen Schichtdicken relativ große Widerstände der Leiterbahnen ergeben. Mit zunehmender Frequenz steigt die Stromverdrängung innerhalb des Leiters (Skinneffekt [172]) und durch das Magnetfeld benachbarter Wicklungen wird die Stromverteilung weiter beeinflusst (Proximity-Effekt). Hierdurch wird der effektive Leiterquerschnitt verringert und dadurch der Widerstand der Leiterbahn weiter vergrößert [77, 171].

¹⁹ In der Literatur werden die Spulen daher auch als Hollow Spiral Inductor bezeichnet.

Ein großes Problem der CMOS-Technologie ist der Substratwiderstand, welcher bei der verwendeten Technologie bei $1 \dots 50 \Omega\text{cm}$ liegt und die dadurch entstehenden Substratverluste. Es können drei Arten von Verlustmechanismen unterschieden werden: Erstens, durch kapazitive Kopplung gelangen Verschiebungsströme in das Substrat, wo sie entweder seitlich über benachbarte Substratkontakte oder über die Rückseitenmetallisierung des Wafers nach Masse abfließen. Zweitens, durch das Magnetfeld der Spule entstehen Wirbelströme im Substrat und damit Verluste. Als drittes entstehen Verluste durch Abstrahlung. Aufgrund der geringeren Ausbreitungsgeschwindigkeit, welche um den Faktor $\sqrt{\epsilon_r}$ geringer ist als im Vergleich zum Vakuum, erfolgt die Abstrahlung hauptsächlich im Substrat wo sich dann verschiedene Ausbreitungsmoden bilden können [77, 171].

Neben der kapazitiven Kopplung zum Substrat wird das Verhalten der Spule durch weitere kapazitive Kopplungen beeinflusst. So wirkt sich z.B. die Überlappung zwischen den Leiterbahnen der Spule mit derjenigen die zum inneren Anschluss führt kapazitiv aus. Die Kapazität die sich zwischen den einzelnen Windungen der Spule ergibt, kann zusammengefasst werden als eine Kapazität die parallel zu den Anschlüssen der Spule liegt. Da die benachbarten Windungen der Spule annähernd auf dem gleichen Potential liegen, ist dieser kapazitive Anteil gemäß [173] relativ gering. Der Windungsbedingte kapazitive Anteil ist daher gegenüber dem Anteil der sich bedingt durch die Zuführung zum mittleren Anschluss ergibt zu vernachlässigen.

3.4.2.2 Verbesserungsansätze

In der Literatur werden verschiedene Ansätze verfolgt um die im vorherigen Abschnitt beschriebenen parasitären Effekte zu reduzieren. Um den Serienwiderstand senken zu können, müssen mehrere Metallebenen parallel geschaltet werden [44, 174, 175]. Wird abweichend vom Standard-CMOS-Prozess Kupfer als Metall für die Spule verwendet, so wird bedingt durch den geringeren spezifischen Widerstand ein niedriger Serienwiderstand und letztlich eine höhere Güte erreicht wie in [176] gezeigt wird.

Die elektrischen Felder können durch eine mit Masse verbundene, leitfähige Abschirmung daran gehindert werden in das Substrat einzudringen. Damit in der leitfähigen Abschirmung keine Wirbelströme entstehen können, wird diese wie erstmalig in [177] vorgestellt, als streifenförmige Struktur ausgelegt (Patterned Ground Shield, PGS). Durch diese Maßnahme wird zwar das Eindringen des elektrischen Feldes in das Substrat verhindert, jedoch wird dieser Vorteil durch eine größere Kapazität nach Masse erkauft. Als Folge davon sinkt die Eigenresonanzfrequenz der Spule. Die Abschirmung wird daher am besten aus Salicide-Poly realisiert, da diese bei vergleichbarer Leitfähigkeit wie Metall-1 einen größeren Abstand zur Spule aufweist. Das PGS stellt für die magnetischen Felder kein Hindernis dar, so dass weiterhin im Substrat Wirbelströme induziert werden können [77, 170, 171, 173, 177].

In [10] wird ein anderer Ansatz beschrieben, bei dem das Verlust verursachende Substrat unter der Spule durch Ätzen entfernt wird. Die Spule ist damit bis auf wenige Stützstellen frei gelagert.²⁰ Der Nachteil dieser Methode ist die geringere mechanische Stabilität, aber vor allem handelt es sich hierbei nicht mehr um einen Standard-CMOS-Prozess.

Das Einbringen einer Struktur in das Substrat wird in [178, 179] als weiterer Ansatz vorgestellt um die Substratverluste zu reduzieren. Die Struktur besteht aus sehr schmalen Streifen einer n^- -Wanne, die an den Enden über n^+ -Bereiche miteinander verbunden sind. Über diese kann dann eine Spannung an die Struktur angelegt werden, durch die es zur Ausbildung einer Verarmungszone kommt. Elektrisch betrachtet stellt sich dies als eine Reihenschaltung aus der festen Oxidkapazität und einer spannungsabhängigen Sperrschichtkapazität dar. Das verlustbehaftete Substrat befindet sich somit in einer größeren Entfernung zur Spule [178, 179].

Zusammenfassend kann festgehalten werden, dass es keine allgemein gültigen Regeln für die Optimierung der elektrischen Eigenschaften der Spulen gibt. In Abhängigkeit von der Arbeitsfrequenz der Spule und der gewünschten Induktivität wirken sich die parasitären Effekte unterschiedlich stark aus, gegen die dann

²⁰ Sie wird daher auch als Suspended Inductor bezeichnet.

geeignete Gegenmaßnahmen getroffen werden müssen. Der Erfolg der Gegenmaßnahmen ist aber wiederum abhängig von dem verwendeten Substratmaterial.

3.4.2.3 Einfaches physikalisches Modell

Die in Abschnitt 3.4.2.1 erwähnten Effekte beeinflussen das Verhalten der Spule, woraus ein komplexes Modell abgeleitet werden kann. Bei dem hier betrachteten Frequenzbereich lässt sich das Verhalten durch ein einfacheres Modell beschreiben welches noch Bezug zu den physikalischen Effekten hat. Das in [180] vorgestellte Modell ist in Abbildung 3.11 dargestellt.

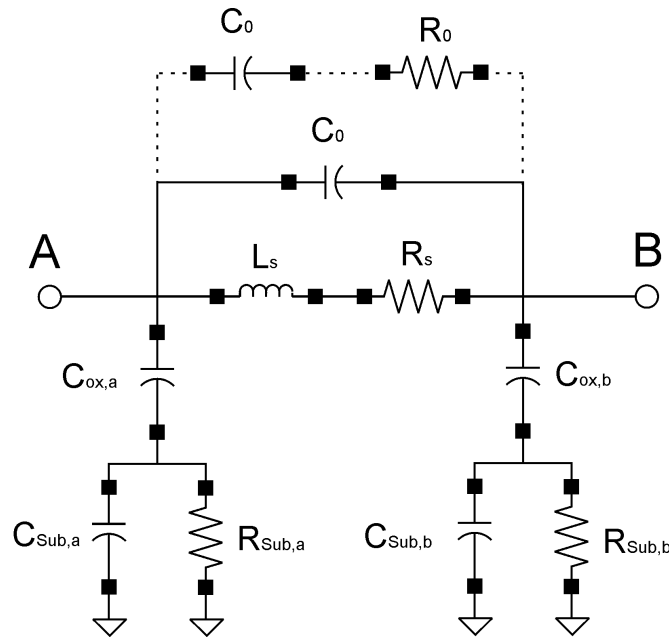


Abbildung 3.11: Einfaches physikalisches Modell der integrierten Spule.

Es besteht aus der gewünschten Serieninduktivität der Spule L_s . Dazu in Reihe befindet sich der Serienwiderstand R_s , der durch den Widerstand der Leiterbahnen, den Skin- und Proximity-Effekt, sowie durch die Wirbelstromverluste bestimmt wird. Die Kapazität C_0 berücksichtigt die Überlappung zwischen den Leiterbahnen der Spule mit derjenigen die zum inneren Anschluss der Spule führt. Die Kapazitäten zwischen den Windungen fließen ebenfalls mit in diesen Wert ein,

können aber meist vernachlässigt werden. Die Spule ist durch die Oxidschicht vom Substrat getrennt, was im Modell durch die Kapazität C_{ox} berücksichtigt wird. Das Substrat wird durch die Parallelschaltung aus C_{Sub} und R_{Sub} modelliert, wobei durch R_{Sub} die Substratverluste ausgedrückt werden. Gelegentlich wird, wie in Abbildung 3.11 angedeutet und in [77] präsentiert ein Ersatzschaltbild bestehend aus zehn Elementen verwendet. Bei diesem wird zusätzlich zu der Kapazität C_0 ein Widerstand R_0 in Reihe geschaltet [173, 180].

Bei genauer Betrachtung des Aufbaus der Spule (siehe Abbildung 3.10) wird die Asymmetrie offensichtlich. Das bedeutet die Spule weist geringe Unterschiede auf wenn das Signal am Tor A oder am Tor B angelegt wird, was sich auch bei Messungen beobachten lässt. Im Ersatzschaltbild in Abbildung 3.11 ist dies durch den zusätzlichen Index „a“ bzw. „b“ angedeutet.

3.4.2.4 Definition der Spulengüte Q

Die Performance der Spule ist wie oben beschrieben durch die verschiedenen Verlustmechanismen limitiert. Als Vergleichsmaß wird für die Spule die Güte Q verwendet, welche nach [108] im allgemeinen gültigen Fall definiert ist als

$$Q = 2\pi \cdot \frac{\text{Gesamte gespeicherte Energie}}{\text{in einer Periode umgesetzte Energie}} \quad (3.40)$$

Bei dieser grundsätzlichen Definition wird aber nicht festgelegt, was die gespeicherte Energie ist. Der feine Unterschied liegt darin, welche Energieform (magnetische oder elektrische Energie) betrachtet wird. Bei einer Spule ist nur die im Magnetfeld gespeicherte Energie nützlich, wohingegen die im elektrischen Feld der parasitären Kapazitäten gespeicherte Energie kontraproduktiv ist. Diese Betrachtungsweise führt zu einer häufig verwendeten Definition der Güte einer Spule als

$$Q_L = 2\pi \cdot \frac{\widehat{W}_{mag} - \widehat{W}_{el}}{P \cdot T} = \frac{\text{Im}\{Z_{in}\}}{\text{Re}\{Z_{in}\}} \quad (3.41)$$

mit \widehat{W}_{mag} und \widehat{W}_{el} den Spitzenwerten der magnetischen bzw. elektrischen Energie, T der Periodendauer und P der Verlustleistung.²¹ Diese Definition ist gleichbe-

²¹ Bei dieser Definition wird sinusförmige Anregung vorausgesetzt.

deutend mit der, bei der die Güte aus dem Verhältnis von Imaginär- zu Realteil der Impedanz betrachtet wird, die in das Bauelement eingesehen wird. Wird die Spule oberhalb ihrer Eigenresonanzkreisfrequenz ω_0 betrieben, so wird $Q_L < 0$ [10, 171, 173, 179].

Bei einem LC -Schwingkreis ist die gespeicherte Energie gleich der Summe aus den arithmetischen Mittelwerten der magnetischen und der elektrischen Energie. Dies führt zu der Definition der Güte als

$$Q_{LC} = 2\pi \cdot \frac{\overline{W}_{mag} + \overline{W}_{el}}{P \cdot T} \Big|_{\omega=\omega_0} = \frac{\omega_0}{\Delta\omega} \quad (3.42)$$

Diese Definition ist äquivalent zu der 3-dB-Bandbreitendefinition der Güte. Wird diese Definition auf die Spule angewendet, so kann die Güte bei der Eigenresonanzfrequenz bestimmt werden. Dies stellt jedoch kein Problem dar, da die Spule meist durch das zuschalten einer externen Kapazität (C_{ex}) gezielt als LC -Schwingkreis eingesetzt wird. Durch die externe Kapazität verändert sich die Resonanzfrequenz und die Bandbreite. Wird numerisch eine ideale Kapazität parallel zur Spule hinzugefügt, so kann durch Variation dieser Kapazität die Güte bestimmt werden als $Q = \frac{f_{res}}{\Delta f}$ [10, 77, 171, 173, 179].

Wenn die Spule als Bauelement charakterisiert werden soll ist die Definition der Güte nach Gleichung 3.41 praktischer, da hier bessere Rückschlüsse auf ihr Verhalten gezogen werden kann und weniger Umrechnungen der gemessenen oder simulierten S-Parameter notwendig sind. Aus Sicht des Schaltungsdesigns ist die Definition nach Gleichung 3.42 praktischer, da hier die Güte eines später realisierten Schwingkreises direkt abgelesen werden kann.²² Außerdem ist bei einem zu realisierenden Parallelschwingkreis die Größe der notwendigen Kapazität schon bekannt [10, 171, 173, 179].

Aus schaltungstechnischer Sicht lässt sich noch eine weitere Güte definieren. Dazu muss zunächst die Frage beantwortet werden, was eine gute Spule auszeichnet. Für das Schaltungsdesign sollte die Spule einen möglichst kleinen DC-Widerstand (R_{DC}) und einen großen verbleibenden Widerstand ($R_{p,res}$) im Resonanzfall be-

²² Integrierte Kondensatoren weisen im Vergleich zu den Spulen eine weitaus größere Güte auf, so dass bei einem Schwingkreis in guter Näherung $Q_{ges} = Q_{Spule}$ gilt.

sitzen. Dabei gilt die Näherung²³ $R_{DC} \approx R_s$ und $R_{p,res} = 1/\text{Re}\{Y\}$, mit Y der Admittanz der Spule. Weiterhin muss die Eigenresonanzfrequenz der Spule ausreichend hoch sein damit der Schwingkreis, bestehend aus der Spule und den parasitären Kapazitäten, sowie der Abstimmkapazität auf die gewünschte Trägerfrequenz eingestellt werden kann. Andererseits sollte die notwendige Abstimmkapazität nicht zu groß sein damit keine Chipfläche unnötig verbraucht wird. Wird die Forderung aufgestellt, dass die Chipfläche für die Abstimmkapazität nur 10% der Chipfläche der Spule betragen darf, so ergibt sich z.B. bei einem Außendurchmesser der Spule von $d_{out} = 370 \mu\text{m}$ eine Fläche für die Abstimmkapazität von ca. $125 \cdot 85 \mu\text{m}^2$ was in der verwendeten Technologie einer Kapazität von ca. 40 pF entspricht. Daraus ergibt sich als erste Forderung $1 \text{ pF} < C_{ex} < 40 \text{ pF}$.

Durch einen kleinen R_{DC} wird der Spannungsabfall über der Spule minimiert und somit steht ein größerer Spannungsbereich für die aktive Schaltung zur Verfügung oder es ergibt sich die Möglichkeit die Versorgungsspannung abzusenken (siehe z.B. CG-LNA mit reduzierter Versorgungsspannung im Anhang in Abschnitt D). Durch einen großen $R_{p,res}$ wird eine große Verstärkung bei kleiner Stromaufnahme gewährleistet. Damit wird als weiteres Gütemaß definiert

$$Q_{R_{p,res},R_{DC}} = \sqrt{\frac{R_{p,res}}{R_{DC}}} . \quad (3.43)$$

Das diese Definition sinnvoll ist wird anhand des folgenden Beispiels gezeigt. Es wird dafür das sehr einfache Ersatzschaltbild einer Spule in Abbildung 3.12 betrachtet. Die Reihenschaltung aus dem Widerstand R_s und der Induktivität L_s kann in eine äquivalente Parallelschaltung mit den frequenzabhängigen Komponenten R_p und L_p umgerechnet werden. Mit der Definition der Güte nach Gleichungen 3.41 ($Q = \frac{\omega L_s}{R_s}$) ergibt sich für den Widerstand $R_p = R_s (1 + Q^2)$.

Wird zu der Anordnung eine Kapazität hinzugeschaltet, so ergibt sich ein Schwingkreis, für den $R_{DC} = R_s$ und $R_{p,res} = R_p|_{\omega=\omega_{res}}$ gilt. Daraus folgt $Q_{R_{p,res},R_{DC}} = \sqrt{1 + Q^2}$ und für große Q gilt $Q_{R_{p,res},R_{DC}} = Q$. Dieser einfache Zusammenhang zwischen den beiden Güte Definitionen gilt nur für dieses einfa-

²³ Bei dieser Näherung werden die Anteile durch den Skin- und Proximity-Effekt, sowie die Wirbelstromverluste im Substrat vernachlässigt.

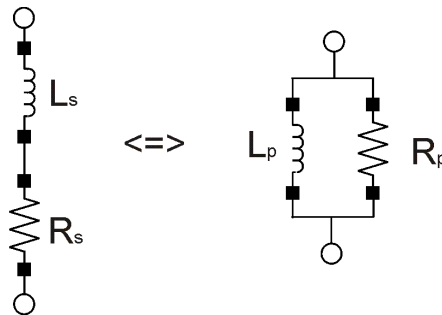


Abbildung 3.12: Sehr einfaches Modell einer Spule und äquivalente Parallelschaltung.

che Beispiel. Bei der realen Spule ergibt sich durch die parasitären Elemente ein sehr viel komplexerer Zusammenhang.

Ein gegenüberstellender Vergleich der unterschiedlichen Güte Definitionen nach Gleichungen 3.41-3.43 ist in Abbildung 3.13 dargestellt.²⁴ Im Vergleich ist zu erkennen, dass die Güte nach der Q_L -Definition bei der Eigenresonanzfrequenz Null ist, während sie nach der Q_{LC} -Definition bei der Eigenresonanzfrequenz endet. Die Ausdrücke Q_L und $Q_{R_p, res, R_{DC}}$ sind auch oberhalb der Eigenresonanzfrequenz definiert. Bei der Trägerfrequenz $f_c = 868,3$ MHz können die Güten $Q_L = 1,79$, $Q_{LC} = 3,91$ und $Q_{R_p, res, R_{DC}} = 5,36$ abgelesen werden.

Welche Güte-Definition letztlich angewendet wird ist weniger von Bedeutung. Alle besitzen Vor- und Nachteile. Bei der Anwendung muss aber klar kenntlich gemacht werden, welche der Definitionen verwendet wird.

3.4.2.5 Bestimmung der Parameter des Ersatzschaltbildes

Die Parameter des in Abschnitt 3.4.2.3 vorgestellten Ersatzschaltbildes können auf unterschiedlichem Weg bestimmt werden. Unter Vernachlässigung der Messfehler ist die genaueste Methode die Spule, eingebettet in ihre spätere Umgebung, zu vermessen. Nach dem Herausrechnen der parasitären Effekte (Deembedding) können die Elemente des ESBs durch ein Parameter-Fitting bestimmt werden. Der an Deembedding-Methoden interessierte Leser sei hier auf die Li-

²⁴ Die Zahlenwerte stammen von der Spule, die später beim LNA verwendet wird.

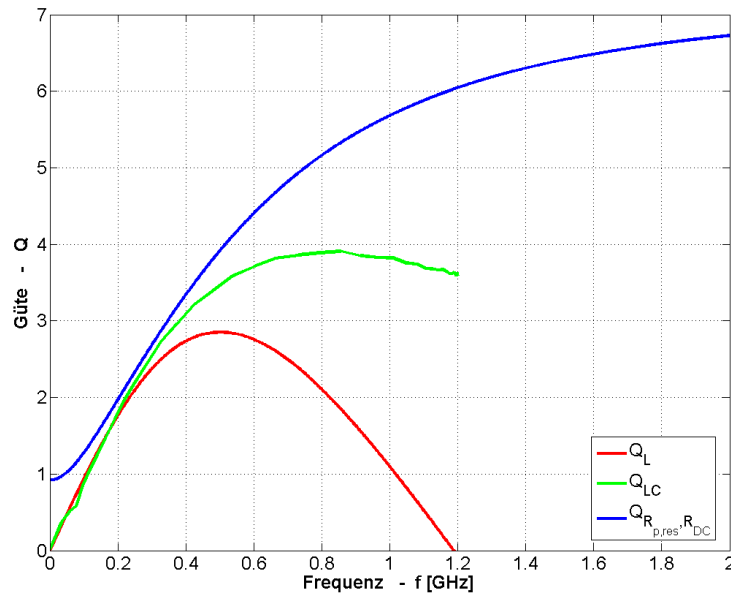


Abbildung 3.13: Vergleich der unterschiedlichen Güte Definitionen.

teratur [158, 181] verwiesen. Anstatt durch Messung lassen sich die S-Parameter auch durch eine 3D-Feldsimulation ermitteln. Hierfür muss der genaue strukturelle Aufbau in den Feldsimulator eingegeben werden.

Einen Kompromiss zwischen Genauigkeit und Geschwindigkeit stellen die Segmentmodelle dar. Hierbei wird die Spule in kleine Leitersegmente zerlegt, für die wiederum ein Modell verwendet wird, das möglichst viele parasitäre Effekte berücksichtigt. Durch eine Verkettung dieser Segmente wird ein Modell für die gesamte Spule erstellt [77, 169]. Nach diesem Prinzip arbeitet z.B. das Programm ASITIC [169] und unter Cadence der Spiral-Inductor-Modeler.

Aus den Daten der Cadence-Simulation können dann die Elemente des ESBs durch ein Parameter-Fitting bestimmt werden. Beispielsweise werden die Parameter der Spule angegeben, die später im LNA eingesetzt wird. Es sei darauf hingewiesen, dass es sich hierbei um einen digitalen Standard-CMOS-Prozess handelt. Bei diesem wird keiner der in Abschnitt 3.4.2.2 beschriebenen Verbesserungsansätze wie z.B. ein Patterned Ground Shield, spezielle Substratstrukturen oder wegätzen des Substrates angewendet. Der Abstand zwischen der Spule und

dem Verlustverursachenden Substrat beträgt bei dieser Spule $2,9 \mu\text{m}$. Das Layout der Spule ist im Anhang in der Abbildung E.1 dargestellt und die dazugehörigen Geometriedaten sind in der Tabelle 3.2 angegeben.

Tabelle 3.2: Geometrieparameter einer realen Spule.

Geometrieparameter	Wert
Spulengeometrie	10-eckig
Metallschichten der Spule	M4, M3
Metallschicht für inneren Anschluss	M2
Windungsanzahl	6
Außendurchmesser	$d_{out} = 368 \mu\text{m}$
Innendurchmesser	$d_{in} = 102,5 \mu\text{m}$
Leiterbahnbreite der Spule	$W = 20 \mu\text{m}$
Leiterbahnabstand	$s = 0,5 \mu\text{m}$

Die durch Parameter-Fitting bestimmten Zahlenwerte für das in Abschnitt 3.4.2.3 beschriebene Ersatzschaltbild (bestehend aus zehn Elementen) sind in der Tabelle 3.3 zusammengefasst. Das Ersatzschaltbild der Spule kann bei einer späteren Schaltungssimulation eingesetzt werden.

Tabelle 3.3: Zahlenwerte für das Ersatzschaltbild einer realen Spule.

Element	L_s	R_s	C_0	R_0	$C_{ox,a}$	$C_{ox,b}$	$C_{Sub,a}$	$C_{Sub,b}$	$R_{Sub,a}$	$R_{Sub,b}$
	in nH	in Ω	in fF	in $\mu\Omega$	in pF	in pF	in pF	in pF	in Ω	in Ω
Wert	11,32	7,18	31,73	0,34	14,15	25,97	1,72	1,87	352,09	387,03

Weiterhin können aus den simulierten Daten der Spule, der Wert für den Widerstand $R_{p,res}$ und der Wert für die Lastkapazität C_{Komp} bestimmt werden. Die Kapazität C_{Komp} ist die notwendige Kapazität, um den Schwingkreis bestehend aus Spule und dieser Kapazität, für die jeweilige Frequenz abzustimmen. Dargestellt ist in Abbildung 3.14 der Wert von $R_{p,res}$ und C_{Komp} über der Frequenz. Dabei weist die Spule bei der Trägerfrequenz von $868,3 \text{ MHz}$ einen Widerstand $R_{p,res} = 243,46 \Omega$ und eine Kapazität $C_{Komp} = 1,35 \text{ pF}$ auf.

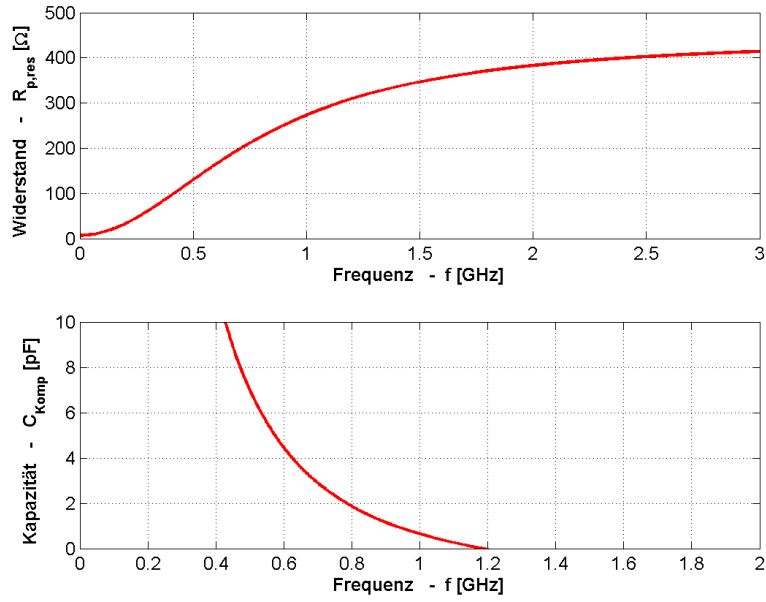


Abbildung 3.14: Widerstand $R_{p,res}$ und Lastkapazität C_{Komp} der realen Spule.

Für Handberechnungen oder als Startpunkt für das Design der Spule können die Elemente des Ersatzschaltbildes, mittels der in [167, 182] gegebenen analytischen Gleichungen 3.44 - 3.49 bestimmt werden.²⁵ Bei diesem einfachen Modell wird davon ausgegangen, dass sich die Spule symmetrisch verhält.

$$R_s = \frac{\rho \cdot l}{W \cdot \delta_S \cdot (1 - e^{-l/\delta_S})} \quad (3.44)$$

$$C_0 = \frac{\epsilon_{ox} \cdot n \cdot W^2}{t_{ox,Spule-Mitt}} \quad (3.45)$$

$$C_{ox} = \frac{\epsilon_{ox} \cdot l \cdot W}{2 \cdot t_{ox,Spule-Sub}} \quad (3.46)$$

$$C_{Sub} = \frac{C'_{Sub} \cdot l \cdot W}{2} \quad (3.47)$$

$$R_{Sub} = \frac{2}{l \cdot W \cdot G'_{Sub}} \quad (3.48)$$

$$L_s = \frac{\mu_0 \cdot n^2 \cdot d_{avg} \cdot c_1}{2} \cdot \left[\ln \left(\frac{c_2}{\alpha} \right) + c_3 \alpha + c_4 \alpha^2 \right] \quad (3.49)$$

²⁵ Die Induktivität der Spule kann z.B. auch mit der Greenhouse-Methode [183] bestimmt werden.

Die Dicke der Oxidschicht zwischen der Spule und dem Substrat wird durch $t_{ox,Spule-Sub}$ und die Dicke der Oxidschicht zwischen der Spule und der Leiterbahn die zum mittleren Anschluss der Spule führt durch $t_{ox,Spule-Mitt}$ ausgedrückt. Weiterhin bezeichnet n die Windungsanzahl, W die Breite der Leiterbahnen, sowie G'_{Sub} und C'_{Sub} die flächenbezogenen Größen des Leitwertes und der Kapazität des Substrates. Die Eindringtiefe des Skinneffektes wird durch $\delta_S = \sqrt{\frac{2\rho}{\omega \cdot \mu_0 \cdot \mu_r}}$ bestimmt, mit ω der Kreisfrequenz, ρ dem spezifischen Widerstand und $\mu_r \approx 1$ der relativen Permeabilitätszahl der Metallschicht. Die Variable $\alpha = \frac{d_{out} - d_{in}}{d_{out} + d_{in}}$ gibt den Füllfaktor an und d_{avg} ist der arithmetische Mittelwert vom Außendurchmesser d_{out} und Innendurchmesser d_{in} . Die Koeffizienten für die Induktivitätsberechnung einer achteckigen Spule sind gemäß [167] $c_1 = 1,07$, $c_2 = 2,29$, $c_3 = 0$ und $c_4 = 0,19$.

3.4.3 Vergleich zwischen diskreter und integrierter Spule

Als Alternative zur integrierten Spule wird im folgenden die diskrete Spule untersucht. Dabei wird die Spule zunächst nach elektrischen Gesichtspunkten und anschließend noch unter dem Kostenaspekt betrachtet.

Die Spulen werden als SMD²⁶-Komponenten mit unterschiedlichen Induktivitätswerten und einer ausreichend hohen Eigenresonanzfrequenz z.B. von der Fa. Coil-Craft [1] angeboten. Der Hersteller bietet auf seiner Homepage [1] ein einfaches SPICE-Modell für seine Spulen an, mit denen dann das elektrische Verhalten simuliert werden kann.

Da das elektrische Verhalten jedoch durch parasitäre Effekte stark beeinflusst wird, müssen diese zusätzlich modelliert werden. In der Abbildung 3.15 ist das Ersatzschaltbild dieser Anordnung dargestellt (vgl. auch das einfachere Modell in [11, 184]). Es besteht aus dem Modell für die diskrete Spule, der Kapazität die sich durch den Anschluss der Spule auf der Platine ergibt, und einem Modell für die Signalführung auf den Chip. Diese besteht aus dem eigentlichen Bonddraht,

²⁶ Die Abkürzung steht für Surface Mounted Device.

sowie den Anschlusskapazitäten auf der Platine und dem Chip (auf das Modell für die Verbindung wird noch in Abschnitt 3.5 eingegangen).

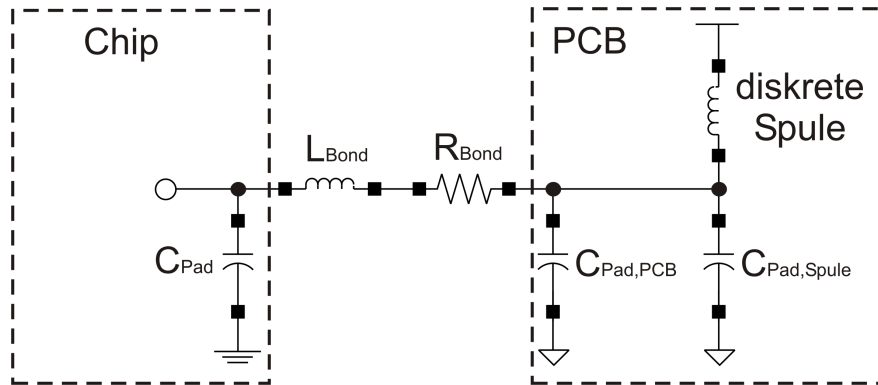


Abbildung 3.15: Einfaches Modell für den Anschluss einer diskreten Spule.

Um den Einfluss der parasitären Elemente zu verdeutlichen wird zum einen die Güte der diskreten Spule alleine und zum anderen die resultierende Güte der gesamten Anordnung bestimmt. Da die Spule später in dem Lastschwingkreis des LNAs eingesetzt werden soll, wird hierfür die LC -Schwingkreis Definition der Güte gemäß Gleichung 3.42 verwendet. Mit angenommenen typischen Werten von $C_{Pad} = 0,25$ pF, $L_{Bond} = 2$ nH, $R_{Bond} = 0,28$ Ω , $C_{Pad,PCB} + C_{Pad,Spule} = 1,5$ pF und dem Modell für die 10,4 nH Spule der Baugröße 0604HQ der Fa. CoilCraft [1] ergibt sich der in Abbildung 3.16 gezeigte Verlauf für die Güte. Bei 868,3 MHz weist die Spule alleine eine Güte von $Q_{LC,Spule} = 101$ auf, während die Güte der gesamten Anordnung etwas reduziert wird auf $Q_{LC,ges} = 94$. Die Eigenresonanzfrequenz sinkt von $f_{res,Spule} \approx 5,35$ GHz auf $f_{res,ges} \approx 1$ GHz und der resultierende Widerstand ist im Resonanzfall bei 868,3 MHz einige k Ω groß.

In der praktischen Schaltung wirken sich zusätzlich die parasitären Kapazitäten am Drain des LNA-Transistors sowie die Eingangskapazität des Mischers aus. Hier muss beachtet werden, dass durch diese Kapazitäten die Resonanzfrequenz nicht zu weit abgesenkt wird. Da im Vergleich zur integrierten Spule der resultierende Widerstand im Resonanzfall groß ist, muss der Ausgangswiderstand des LNA-MOSFETs, sowie der Realteil der Eingangsimpedanz des Mischers berücksichtigt werden. Durch diese weiteren parasitären Effekte wird letztlich die Güte

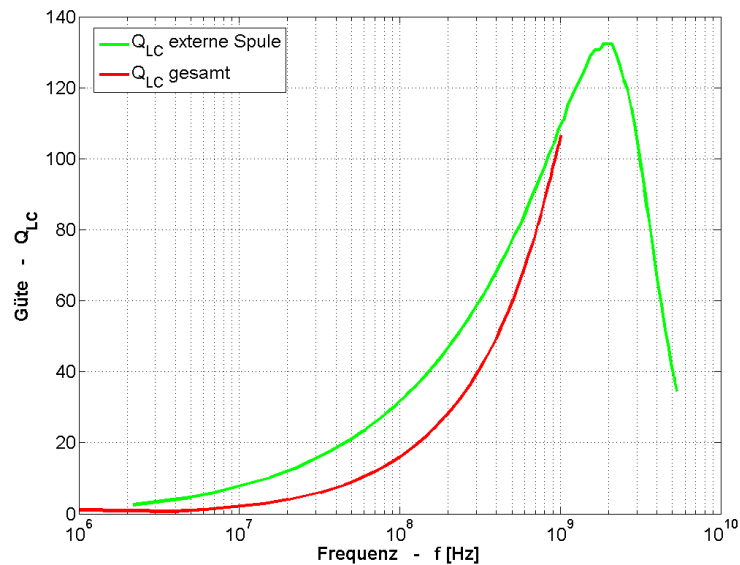


Abbildung 3.16: Güte Q_{LC} der diskreten 10,4 nH Spule, Baugröße 0604HQ (Fa. CoilCraft [1]) alleine und der gesamten Anordnung nach Abbildung 3.15.

und der resultierende Widerstand des gesamten Lastschwingkreises weiter abgesenkt. Aus den Zahlenwerten wird aber deutlich, dass der LNA mit einer diskreten Spule eine Spannungsverstärkung von $G_V = 25 \dots 30$ dB erreichen kann.

Aus wirtschaftlichen Gründen müssen für die Entscheidung, Chip mit integrierter Spule oder eine diskrete Lösung, die Kosten beider Varianten verglichen werden. An dieser Stelle soll lediglich anhand von Zahlenbeispielen die Größenordnung des Kostenunterschieds für einen Chip betrachtet werden.

Die Abschätzung kann mittels der in [185] gegebenen Gleichungen erfolgen. Es wird von einem Standard-CMOS-Prozess mit 8-Zoll Wafern ausgegangen, in dem der Empfänger-Chip als längliche Struktur mit einer Fläche von ca. 5 mm^2 realisiert werden soll. Unter der Berücksichtigung, dass der Wafer am Rand nicht komplett genutzt werden kann und ein Teil aufgrund von Testfeldern entfällt, lassen sich pro Wafer ca. 6137 Chips fertigen. Wird weiterhin die Ausbeute (Ausfälle

aufgrund von Defekten) der Chips auf 90% abschätzt, so ergibt sich bei einem angenommenen Preis von 1000 EUR pro Wafer ein Preis von 0,18 EUR pro Chip.²⁷

Eine integrierte Spule belegt beispielsweise unter Berücksichtigung eines Sicherheitsabstandes zu benachbarten Schaltungsteilen eine Fläche von ca. 0,3 mm². Wird die Spule diskret realisiert, so reduziert sich die Fläche der einzelnen Chips und es lassen sich dann pro Wafer ca. 6503 Chips fertigen. Bei einer nahezu unveränderten Ausbeute reduziert sich der Preis pro Chip dann auf 0,17 EUR.

Aus diesen Beispielzahlen resultiert ein Preisunterschied von ca. 1 Cent. Da die Kosten für diskrete Spulen deutlich höher sind, wird hiermit der Vorteil einer integrierten Spule deutlich. Bei dieser Betrachtung wurde vernachlässigt, dass bei einer diskreten Spule noch zusätzliche Pads (Chip-Fläche) und letztlich auch zusätzliche Pins am IC benötigt werden. Hierdurch steigen die Kosten der diskreten Variante, wodurch der Preisunterschied weiter reduziert wird. Weiterhin ist die Akzeptanz einer diskreten Lösung beim Kunden bedingt durch den größeren Arbeitseinsatz wahrscheinlich geringer.

Da bei der Verwendung der integrierten Spule das Design des LNAs unabhängiger von den externen parasitären Einflüssen ist, weniger diskrete Komponenten benötigt werden und der Empfänger auch kosteneffizienter ist, wird letztlich entschieden die integrierte Spule zu verwenden.

3.5 Aufbau- und Verbindungstechnik (AVT)

3.5.1 Aufbau des Empfängersystems

Schon vor Beginn des Designs muss der Aufbau des Empfänger-ICs festgelegt werden, da dieser die Systemperformance beeinflusst. Die Beeinflussung geschieht durch die Art und Weise wie die Zuführung der externen Signale und Versorgungsspannungen zum IC erfolgt. Die Verbindungen vom inneren zum äußeren Gehäuseanschluss (Lead Frame) und die Bonddrahtverbindungen zwischen Chip

²⁷ Der Preis für das Bonden und Testen wird bei dieser Betrachtung vernachlässigt.

und innerem Gehäuseanschluss wirken als parasitäre Induktivität, während die Bondpads auf dem Chip, die Bondanschlüsse im Gehäuse und die Anschluss-Pads auf der Platine (Printed Circuit Board, PCB) sich als parasitäre Kapazität auswirken. Außerdem entstehen durch die Verbindungen ohmsche Verluste. Bei den Signalführungen wirken sich diese Effekte als unerwünschte Reflexion und als Einfügedämpfung aus, wohingegen bei den Zuführungen der Versorgungsspannung unerwünschte Resonanzen in Erscheinung treten können [186, 187].

Es existieren viele unterschiedliche IC-Gehäusebauformen wie z.B. DIL, QFP oder BGA die für die jeweiligen Anwendungszwecke optimiert, verschiedene Vor- und Nachteile besitzen. Neben der IC-Gehäusebauform gibt es auch verschiedene Montagemöglichkeiten, wie das IC mit den äußeren Anschlüssen verbunden wird. Für HF-Schaltungen ist die günstigste Variante die Flip-Chip-Technik, bei der das IC mit der Oberseite nach unten direkt mit den Gehäuseanschlüssen verbunden wird. Hierbei werden im Vergleich zur klassischen Verbindungstechnik die notwendigen Bonddrähte eingespart. Alternativ kann auch der Chip direkt auf ein PCB gebondet werden, wodurch die parasitären Einflüsse des Gehäuses entfallen. Der Chip wird dann durch eine Vergussmasse (Blop-Top) vor äußeren Einflüssen geschützt. Eine ausführliche Einführung in diese Thematik ist [186, 188] zu finden.

Da dem Autor dieser Arbeit die Flip-Chip-Technik nicht zur Verfügung stand, wurde entschieden das Empfänger-IC direkt auf ein PCB zu bonden. Für die Zuführung von Testsignalen werden auf dem PCB SMA-Stecker vorgesehen, von denen aus das Signal über CPW oder Mikrostreifenleitungen ($50\ \Omega$ Leitung) an das IC herangeführt wird. Der Aufbau des PCB ist nicht Bestandteil dieser Arbeit und wird daher hier nicht weiter erörtert.

Für das Design des Empfängers wird davon ausgegangen, dass das Signal ohne Störungen (Dämpfung und Reflexion) über die CPW oder Mikrostreifenleitungen übertragen wird. Für die Bondverbindung, bestehend aus Pads und Bonddraht, wird in den folgenden Abschnitten ein einfaches Modell entwickelt, das bei der Schaltungssimulation verwendet wird.

3.5.2 Pads und Bonddrahnte

3.5.2.1 Bondpads auf dem PCB und auf dem Chip

Wie im vorherigen Abschnitt beschrieben werden die Signale ber Leitungen auf dem PCB an das IC herangefhrt. Am IC geht die Leitung in einen kleinen, schmalen Streifen fur das Bondpad uber. Dieser ist im Vergleich zur Wellenlange $\lambda = \lambda_0 / \sqrt{\epsilon_{r,eff}} \approx 15,44$ cm sehr viel kurzer und wird daher als konzentrierte Kapazitat modelliert. Der schematische Aufbau dieser Mikrostreifenanordnung ist der Darstellung in Abbildung 3.17 zu entnehmen.

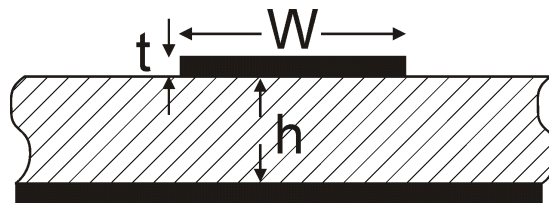


Abbildung 3.17: Schematische Darstellung der Mikrostreifenanordnung am Bondpadanschluss auf dem PCB.

Der Kapazitatsbelag kann mit Hilfe der in [188] gegebenen Gleichung

$$C' = 39,37 \cdot 0,67 \cdot \frac{\epsilon_r + 1,41}{\ln\left(\frac{5,98 \cdot h}{0,8 \cdot W + t}\right)} \quad (3.50)$$

bestimmt werden. Die Gleichung 3.50 liefert den Kapazitatsbelag in pF/m, wenn die Geometriegroen in μm eingesetzt werden. Dabei ist $h = 100 \mu\text{m}$ die Hohe des Dielektrikums mit $\epsilon_r = 5$, sowie $W = 100 \mu\text{m}$ die Breite und $t = 17 \mu\text{m}$ die Dicke der Kupferlage. Mit diesen Zahlenwerten ergibt sich ein Kapazitatsbelag von 93 pF/m. Die Groenordnung fur die Kapazitat von einem ca. 10 mm langen Streifen kann somit abgeschatzt werden als

$$C_{Pad,PCB} \approx 1 \text{ pF} \quad . \quad (3.51)$$

Das auf dem Chip befindliche Bondpad ist in Abbildung 3.18 dargestellt. Es besteht aus einer $81 \mu\text{m} \cdot 81 \mu\text{m}$ groen Flache in Metall-4, welche im aueren

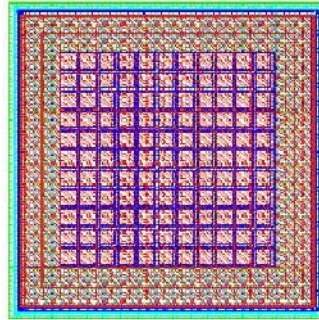


Abbildung 3.18: Bondpad auf dem Chip.

Bereich mittels Durchkontaktierungen bis hinunter zu Metall-1 verbunden ist. Das Pad ist außen von einem Ring mit Substratkontakten berandet.

Da bei diesem Pad keine Abschirmung für das Substrat vorhanden ist kann das Signal in das Substrat einkoppeln. Bedingt durch den Substratwiderstand wird die gewünschte Verstärkung des Empfängers reduziert, der Eingangsreflexionsfaktor verschlechtert und das Noise Figure erhöht [156, 189–192]. Das elektrische Verhalten des Pads kann gemäß [190] bis zu einer Frequenz von ca. 3 GHz mit einem Modell erster Ordnung wie in Abbildung 3.19 dargestellt beschrieben werden.

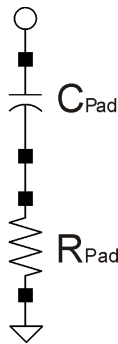


Abbildung 3.19: Modell erster Ordnung für das Bondpad.

Die Padkapazität C_{Pad} kann in einem einfachen Plattenkondensatormodell (bei dem die Streufelder vernachlässigt werden) als eine Parallelschaltung von zwei Teilkapazitäten betrachtet werden. Die Teilkapazitäten bestehen aus der Kapazität die sich durch den äußeren Bereich des Pads und zum andern aus der Kapa-

zität die sich durch den inneren Bereich des Pads ergibt. Die Größenordnung für die Padkapazität kann daher abgeschätzt werden als

$$C_{Pad} \approx 245 \text{ fF} . \quad (3.52)$$

Der Widerstand R_{Pad} wird durch den Substratwiderstand bestimmt. Da der genaue Kopplungsweg nach Masse zum Zeitpunkt des Entwurfs nicht festgelegt werden kann, ist es schwer möglich den Wert für R_{Pad} abzuschätzen. Nach [190] liegt dieser Wert zwischen 5 und 200 Ω je nach Leitfähigkeit des Substrates.

Der Einfluss des Bondpads kann deutlich reduziert werden, indem durch eine mit Masse Potential verbundene Abschirmung verhindert wird, dass das Signal in das Substrat eindringen kann. Der Aufbau des Pads sollte wie in [10, 49, 191, 192] beschrieben, nur aus der obersten Metallschicht (Metall-4) mit darunter liegender Abschirmung aus Metall-1 bestehen. Ferner sollte die Fläche des Bondpads so klein wie möglich sein. Wird wie in Abbildung 3.20 dargestellt eine achteckige Form ($A_{Achteck} = \frac{r^2}{\sqrt{2}}$) für das Pad gewählt, so kann im Vergleich zur viereckigen Form ($A_{Viereck} = r^2$) die Fläche des Pads um ca. 30% gesenkt werden.

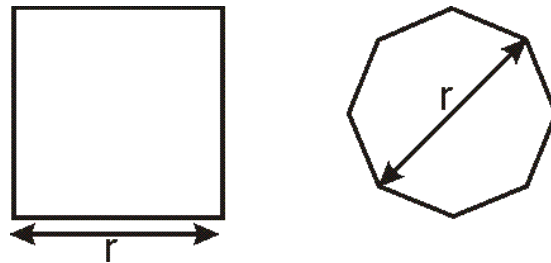


Abbildung 3.20: Flächenvergleich viereckiges Pad zum achteckigen Pad.

Wird dieses Pad als einfacher Plattenkondensator betrachtet, so kann dessen Kapazität bei einer Diagonalen von $r = 50 \mu\text{m}$ abgeschätzt werden als $C_{Pad,Achteck} \approx 19,7 \text{ fF}$. Dieser Wert liegt damit um den Faktor 12 unterhalb des Wertes der sich für das ursprüngliche Pad ergibt. Substratverluste treten bei dieser Anordnung nicht auf, womit sich für den Widerstand im Ersatzschaltbild in Abbildung 3.19 der Wert $R_{Pad} = 0 \Omega$ ergibt.

3.5.2.2 Bonddrahtverbindungen

Die Bonddrahtverbindung zwischen dem Bondpad auf dem Chip und dem Bondpad auf dem PCB wirkt als Serieninduktivität und Serienwiderstand für das Signal. Die Größe der Induktivität und des Widerstandes soll in diesem Abschnitt abschätzt werden. Für eine ausführlich Beschreibung der Modellierung und Messung von Bonddrähten sei der interessierte Leser auf die Literatur [193–195] verwiesen. Außerdem werden in [196, 197] weitere Messergebnisse präsentiert und in [198, 199] Bonddrahtverbindung mit Hilfe von Feldsimulationen charakterisiert.

Die Länge des aus Aluminium bestehenden Bonddrahtes liegt typischerweise zwischen $l = 0,5 \dots 2,5$ mm, der Durchmesser beträgt $d = 25 \mu\text{m}$ und der spezifische Widerstand ist $\rho_{Alu} = 2,65 \cdot 10^{-8} \Omega\text{m}$. Die Eigeninduktivität eines geraden Leiters im freien Raum kann mittels der in [200] angegebenen Gleichung

$$L_{Bond} = \frac{\mu_0 l}{2\pi} \cdot \left\{ \ln \left[\frac{2l}{d} + \sqrt{1 + \left(\frac{2l}{d} \right)^2} \right] + \frac{d}{2l} - \sqrt{1 + \left(\frac{d}{2l} \right)^2} + \mu_r \delta_F \right\} \quad (3.53)$$

bestimmt werden. Dabei ist μ_r die relative Permeabilität, welche bei nicht ferromagnetischen Materialien wie z.B. Kupfer, Gold oder Aluminium näherungsweise gleich eins ist. Der Skin-Faktor $\delta_F = 0,25 \tanh \frac{4\delta_S}{d}$ berücksichtigt die frequenzabhängige interne Induktivität des Drahtes, wobei $\delta_S = \sqrt{\frac{2\rho}{\omega \cdot \mu_0 \cdot \mu_r}}$ die Eindringtiefe des Skineffektes ist. Bei niedrigen Frequenzen nimmt der Term $\mu_r \cdot \delta_F$ den Wert 0,25 an und konvergiert gegen Null wenn die Frequenz gegen unendlich geht [200]. Für große Bonddrahtlängen ($\frac{l}{d} \gg 1$) und für Frequenzen bis zum UHF-Bereich vereinfacht sich die Gleichung 3.53 zu

$$L_{Bond} \approx \frac{\mu_0 l}{2\pi} \cdot \left[\ln \left(\frac{4l}{d} \right) - 0,75 \right] \quad , \quad (3.54)$$

welche somit in guter Übereinstimmung mit den in [44, 186, 201] angegebenen Gleichungen ist.

Befindet sich eine leitende Fläche im Abstand h unter dem Bonddraht oder ein zweiter Bonddraht im Abstand s (Abstand der Drahtmitten) in der Nähe, so muss dessen Einfluss berücksichtigt werden. Die Gegeninduktivitäten können gemäß

[186, 200] bestimmt werden als

$$M_{GND} = \frac{\mu_0 l}{2\pi} \cdot \left\{ \ln \left[\frac{l}{2h} + \sqrt{1 + \left(\frac{l}{2h} \right)^2} \right] + \frac{2h}{l} - \sqrt{1 + \left(\frac{2h}{l} \right)^2} \right\} \quad (3.55)$$

$$M_{Bond} = \frac{\mu_0 l}{2\pi} \cdot \left\{ \ln \left[\frac{l}{s} + \sqrt{1 + \left(\frac{l}{s} \right)^2} \right] + \frac{s}{l} - \sqrt{1 + \left(\frac{s}{l} \right)^2} \right\} . \quad (3.56)$$

Neben der Induktivität weist der Bonddraht einen Widerstand auf, der nicht vernachlässigt werden sollte. Der DC-Widerstand des Bonddrahtes ist gegeben durch

$$R_{DC} = \frac{\rho l}{A} = \frac{4 \rho l}{\pi d^2} \approx l \cdot 0,54 \text{ } \Omega/\text{cm} . \quad (3.57)$$

Durch die Skinneffekt bedingte Stromverdrängung ergibt sich mit zunehmender Frequenz eine Zunahme des Widerstandes. Der Widerstand des Bonddrahtes kann gemäß [108, 200] für $d/\delta_S \geq 3,394$ bestimmt werden durch

$$R_{Bond} = R_{DC} \cdot \left(\frac{d}{4 \cdot \delta_S} + 0,2654 \right) . \quad (3.58)$$

Im oberen Teil der Abbildung 3.21 ist die nach Gleichung 3.53 berechnete Eigeninduktivität, sowie die nach Gleichung 3.56 berechnete Gegeninduktivität für einen in $125 \mu\text{m}$ und einen in $250 \mu\text{m}$ Abstand befindlichen zweiten Bonddraht in Abhängigkeit von der Bonddrahtlänge dargestellt. Wie aus der Darstellung zu entnehmen ist, liegen die Induktivitäten im nH-Bereich und müssen daher bei Frequenzen von 868 MHz berücksichtigt werden. Der nach Gleichung 3.58 berechnete längenabhängige Bonddrahtwiderstand ist gemeinsam mit dem DC-Widerstandwert im unteren Teil der Abbildung 3.21 dargestellt.

Wird das HF-Signal über einen einzelnen Bonddraht zugeführt, so fließt der Strom über die am Chip verteilten Masseanschlüsse zurück zur HF-Signalquelle. Die resultierende Impedanz ist daher schwer vorhersagbar. Weiterhin können durch Kopplungen zu benachbarten Bonddrähten Störungen entstehen welche sich mit dem gewünschten Signal überlagern (siehe z.B. [202]). Um diesen Einfluss zu verringern und die Impedanz besser Vorhersagen zu können, werden die HF-Signale

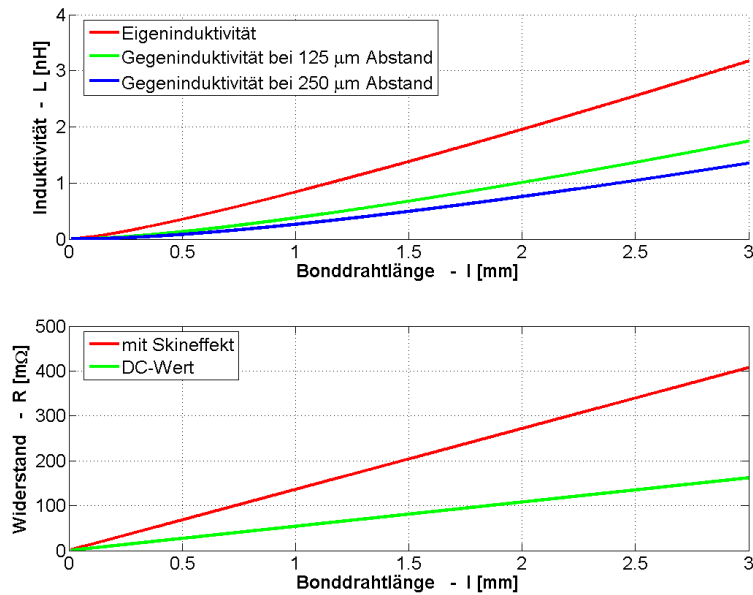


Abbildung 3.21: Induktivität und Widerstand des Bonddrahtes in Abhängigkeit von der Länge.

über die Bonddrähte in einer Masse-Signal-Masse-Anordnung (GSG-Anordnung) dem IC zugeführt und es wird ein ausreichend großer Abstand zu weiteren Bonddrähten eingehalten. Der Aufbau der Anordnung stellt sich wie in Abbildung 3.22 gezeigt dar. Der Abstand zwischen dem mittleren und den beiden äußeren Bonddrähten wurde zu $125\ \mu\text{m}$ gewählt womit sich ein Abstand von $250\ \mu\text{m}$ der beiden äußeren Rückführungen ergibt.

Die drei benachbarten Bonddrähte besitzen eine identische Länge und Form, wodurch diese die gleiche Eigeninduktivität L_{Bond} und den gleichen Widerstand R_{Bond} aufweisen. Weiterhin bilden sich wie in Abbildung 3.22 angedeutet, die Gegeninduktivität $M_{I,Bond}$ zwischen dem Signal und den beiden Rückführungen, sowie die Gegeninduktivität $M_{II,Bond}$ zwischen den beiden Rückführungen aus.

Das Netzwerk in Abbildung 3.22, das die GSG-Bonddrahtverbindung charakterisiert, stellt einen Vierpol dar für den ein Klemmenäquivalenter Vierpol bestimmt werden soll. Der Vierpol selbst kann als „quer betriebener Übertrager“ angesehen werden, bei dem zwei Sekundärwicklungen parallel geschaltet sind. Unter der Voraussetzung, dass der Strom über den mittleren Bonddraht hin und je zur Hälf-

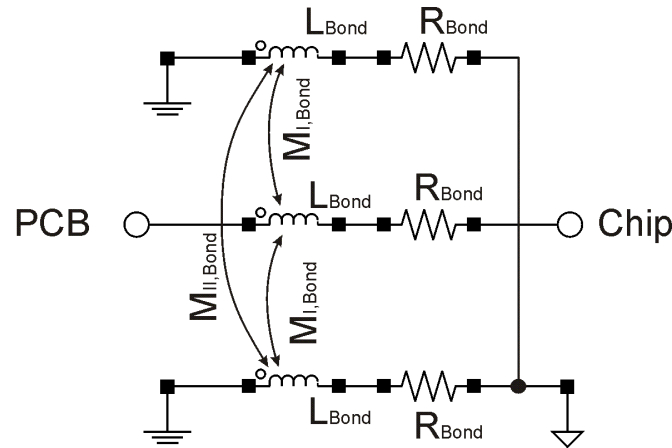


Abbildung 3.22: Modell für die HF-Signalführung über eine GSG-Bonddrahtverbindung.

te aufgeteilt über die beiden äußeren Bonddrähte zurück fließt, lässt sich wie im Anhang in Abschnitt B.1 hergeleitet, der äquivalente Vierpol bestimmen. Dieser ist in Abbildung 3.23 dargestellt, wobei

$$\frac{1}{Y_{tot}} = R_{tot} + sL_{tot} = \frac{3}{2}R_{Bond} + sL_{tot} \tag{3.59}$$

$$L_{tot} = \frac{3}{2}L_{Bond} + \frac{3}{4}M_{II,Bond} - 2M_{I,Bond} \tag{3.60}$$

Y_{tot} die gesamte Admittanz, L_{tot} die gesamte Induktivität und R_{tot} der gesamte Widerstand des Netzwerkes ist.

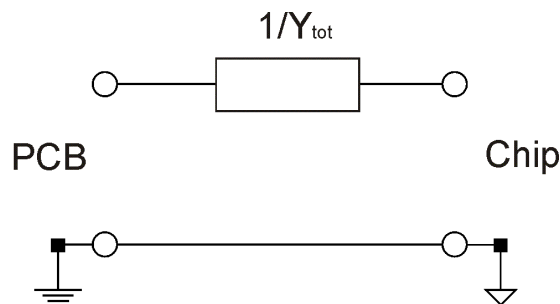


Abbildung 3.23: Äquivalenter Vierpol für GSG-Bonddrahtverbindung.

Im oberen Teil der Abbildung 3.24 ist die nach Gleichung 3.60 berechnete gesamte Induktivität in Abhängigkeit von der Bonddrahtlänge aufgetragen. Sie zeigt eine fast völlig lineare Abhängigkeit von der Bonddrahtlänge und liegt

vom Wert her etwas unterhalb der Induktivität eines einzelnen Bonddrahtes (vgl. Abbildung 3.21). Der gesamte Widerstand des Bonddrahtes ist im unteren Teil der Abbildung 3.24 dargestellt. Dieser liegt wie auch aus Gleichung 3.59 ersichtlich um den Faktor 1,5 höher als der Widerstand eines einzelnen Bonddrahtes.

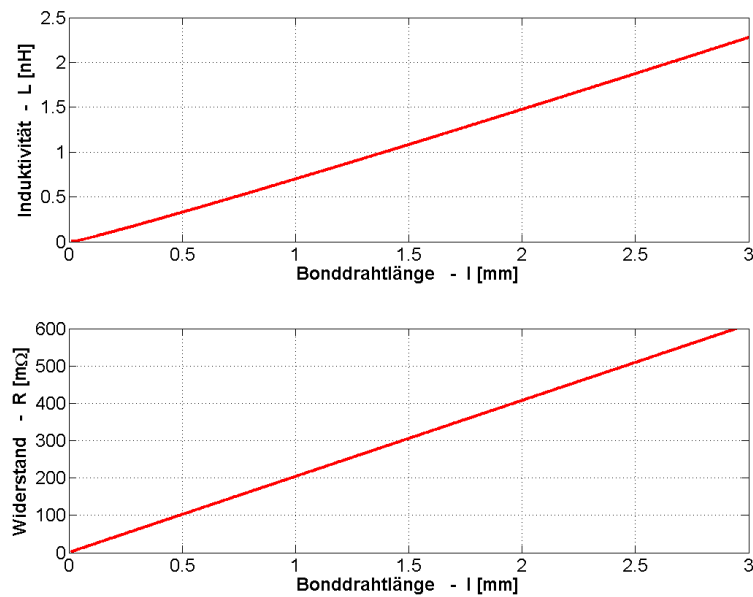
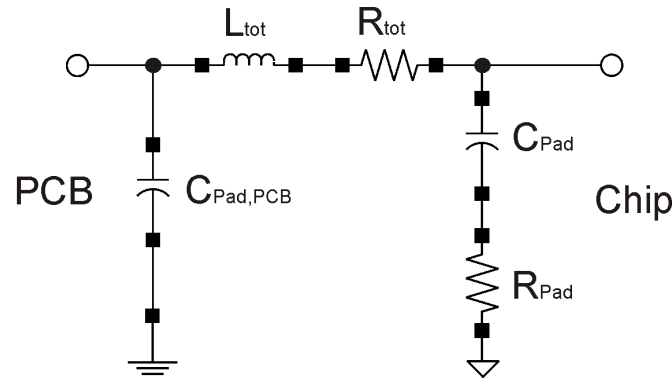


Abbildung 3.24: Gesamte Induktivität und Widerstand des Bonddrahtes in Abhängigkeit von der Länge.

3.5.2.3 Vollständiges Modell der Verbindung PCB zum Chip

Für die Signalführung vom PCB zum Chip kann für die Verbindung ein komplettes Modell erstellt werden. Dieses besteht, wie in Abbildung 3.25 dargestellt aus in vorherigen Abschnitten beschriebenen Teilmodellen für das Pad auf dem PCB, dem Pad auf dem Chip, sowie dem Modell für die Bonddrahtverbindung.

Wird der Widerstand R_{Pad} vernachlässigt, so ergibt sich eine π -Struktur die eine Impedanztransformation aufweist [44]. Ist die Eingangsimpedanz der Empfängerschaltung Z_{Empf} , so wird vom PCB aus betrachtet die Impedanz Z_{in} gesehen,

Abbildung 3.25: π -Modell für die Signalführung vom PCB zum Chip.

welche um Reflexionen zu verhindern zu der Impedanz der Signalquelle passen muss. Es muss also $Z_{in} = R_s = 50 \Omega$ gelten. Die Impedanz Z_{Empf} kann als eine Parallelschaltung, von einem Widerstand R_{Empf} und einer Kapazität C_{Empf} betrachtet werden, wobei im folgenden letztere als Bestandteil von C_{Pad} angesehen wird. Durch Variation der beiden Kapazitäten C_{Pad} und $C_{Pad,PCB}$ (z.B. durch eine Veränderung der Fläche oder hinzuschalten von zusätzlichen Kapazitäten) und Veränderung der Länge des Bonddrahtes können damit theoretisch beliebige Transformationsverhältnisse erreicht werden. Praktisch wird dies jedoch stark limitiert durch den Widerstand des Bonddrahtes. Es soll daher untersucht werden welche Kombination den geringsten Reflexionsfaktor $S_{11,dB}$ ergibt.

Für den Eingangsreflexionsfaktor gilt $S_{11,dB} = f(l, C_{Pad}, C_{Pad,PCB}, R_{Empf})$. In der Abbildung 3.26 ist daher $S_{11,dB}$ als Konturdiagramm in Abhängigkeit von der Bonddrahtlänge l und der Pad-Kapazität C_{Pad} für vier unterschiedliche Werte von $C_{Pad,PCB}$ bei einem festen Widerstand von $R_{Empf} = 50 \Omega$ dargestellt. Wie aus der Darstellung ersichtlich sollte $C_{Pad} < 0,5 \text{ pF}$ gelten, um einen möglichst geringen Reflexionsfaktor zu erreichen. Dieser kann durch eine entsprechende Wahl der Bonddrahtlänge (aus dem zulässigen Bereich von z.B. $l = 0,5 \dots 2,5 \text{ mm}$) minimiert werden. Weiterhin ist aus der Darstellung ersichtlich, dass bei einer festen Kapazität C_{Pad} die optimale Bonddrahtlänge umso kürzer ist, je kleiner die Kapazität $C_{Pad,PCB}$ ist.

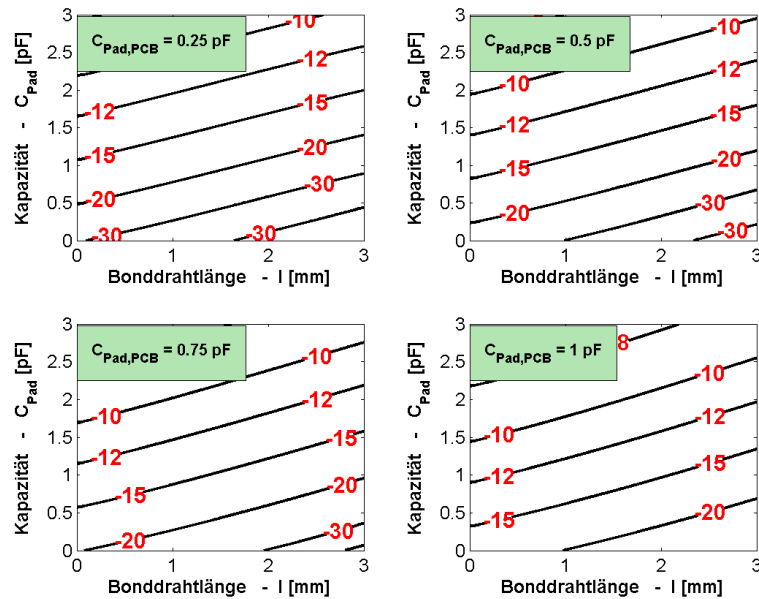


Abbildung 3.26: Eingangsreflexionsfaktor $S_{11,\text{dB}}$ in Abhängigkeit von der Bonddrahtlänge l und der Pad-Kapazität C_{Pad} bei vier unterschiedlichen $C_{\text{Pad},\text{PCB}}$ Werten und einem festen Widerstand von $R_{\text{Empf}} = 50 \Omega$.

Im Anhang in Abschnitt B.2 befinden sich die weiteren Darstellungen mit $R_{\text{Empf}} = 30 \Omega$ und $R_{\text{Empf}} = 70 \Omega$, für die tendenziell die gleiche Aussage gilt. Durch diese weiteren Darstellungen wird auch deutlich, dass die Fähigkeit der Impedanztransformation des π -Modells stark begrenzt ist. Zusammenfassend kann also festgestellt werden, dass für einen möglichst geringen Reflexionsfaktor die Kapazitäten C_{Pad} und $C_{\text{Pad},\text{PCB}}$ möglichst gering sein sollten. Der Resteinfluss kann dann durch eine entsprechende Wahl der Bonddrahtlänge kompensiert werden.

3.5.3 ESD-Schutz

Durch elektrostatische Aufladung können sehr große Ladungen an das Gate von MOSFETs gelangen und dadurch zur Zerstörung führen. Um dies zu verhindern

sind im allgemeinen ICs mit MOSFET-Schaltungen durch ESD²⁸-Schutzschaltungen an den Anschlusspins ausgestattet, welche meist in Pads integriert sind. Diese sind für Eingangsspannungen innerhalb des zulässigen Bereichs hochohmig und werden für Eingangsspannungen die den erlaubten Bereich überschreiten niederohmig. Sie können somit die hohen Spannungen innerhalb kürzester Zeit abbauen [79].

Die für digitale CMOS-Schaltungen übliche ESD-Schutzschaltung kann jedoch nicht für HF-Eingangssignale genutzt werden. Wie in [79, 116] gezeigt besitzt diese einen Schutzwiderstand in der Größenordnung von 100Ω der sich direkt im Signalweg befindet und daher zu nicht tolerierbaren Reflexionen am Eingang führen würde. Die ESD-Schutzschaltung besitzt weiterhin eine parasitäre Kapazität, welche umso größer ist je effektiver der ESD-Schutz ausgelegt wird. Der ESD-Schutz ist daher verantwortlich für eine Vergrößerung des Eingangsreflexionsfaktors und des Noise Figures, sowie für die Verringerung der Verstärkung [116].

In [116] werden alternative ESD-Schutzschaltungen vorgestellt, die jedoch vor ihrem Einsatz genau charakterisiert werden müssen. Beim dem hier beschriebenen Empfänger wird daher bei den HF-Eingangspins auf den ESD-Schutz verzichtet, dieser jedoch für ein späteres Redesign mit eingeplant (nach erfolgter Charakterisierung). Die Eingänge für niederfrequente Signale und Eingänge für die Zuführungen der Versorgungsspannungen besitzen selbstverständlich einen ESD-Schutz.

²⁸ Die Abkürzung ESD steht für Electro Static Discharge.

Kapitel 4

LNA-Architekturen

In dem vorangehenden Kapitel 2 wurden die Anforderungen für den LNA festgelegt und in Kapitel 3 wurde auf die Bauelemente in HF-Schaltungen, sowie auf die AVT eingegangen. In diesem Kapitel werden die unterschiedlichen LNA-Architekturen untersucht und die bestgeeignete für einen energieeffizienten Empfänger ausgewählt.

In der Literatur [34, 44] werden zwei grundlegenden LNA-Architekturen, Common-Gate¹ (CG-LNA) und Common-Source (CS-LNA) unterschieden, die als schmalbandige Verstärker arbeiten. Außer diesen beiden konventionellen LNA-Architekturen, die immer Induktivitäten benutzen, sind in der Literatur Varianten ohne Induktivitäten zu finden, die hier als alternative Architekturen untersucht werden. Die einfachste Variante ist beispielsweise ein rückgekoppelter Verstärker. Eine Architektur die ebenfalls als rückgekoppelter Verstärker arbeitet ist der LNA nach Tiebout [2]. Der LNA nach Janssens [3] arbeitet nach einem anderen Funktionsprinzip, bei dem mehrere aus einzelnen MOSFETs bestehende Verstärkerelemente parallel und kaskadiert verschaltet sind. Auch die Möglichkeit statt einer realen Spule eine synthetische Spule einzusetzen wird untersucht. Symmetrische und unsymmetrische LNA-Schaltungen werden in bezug auf das

¹ Die in der Literatur verwendeten Bezeichnungen (Common-Source, Common-Drain oder Common-Gate) geben darüber Auskunft, welcher der Anschlüsse des MOSFETs als gemeinsamer Bezugsknoten für den Eingang und den Ausgang der Schaltung verwendet wird [71, 79].

Rauschen, Linearität und Stromverbrauch miteinander verglichen. Abschließend wird eine LNA-Mischer-Kombination betrachtet.

4.1 Common-Gate LNA

4.1.1 Aufbau und Kleinsignalersatzschaltbild

Als erste LNA-Architektur wird der Common-Gate LNA untersucht. Der Prinzipielle Aufbau der Schaltung ist in Abbildung 4.1 dargestellt, dabei ist der LNA-MOSFET durch M_1 gekennzeichnet. Der Arbeitspunkt der Schaltung wird durch die Konstantstromquelle I_{AP} eingestellt und U_{AP} dient als Hilfsspannung die an das Gate angeschlossen wird. Das HF-Eingangssignal wird an den Source-Anschluss angelegt und das HF-Ausgangssignal wird vom Drain-Anschluss abgegriffen. Die Spule am Drain-Anschluss des MOSFETs bildet zusammen mit ihren eigenen parasitären Kapazitäten, den parasitären Kapazitäten des MOSFETs und der Eingangskapazität der nächsten Stufe (Mischer) einen Schwingkreis, der durch eine zusätzliche Abstimmkapazität auf die gewünschte Trägerfrequenz abgestimmt wird [203].

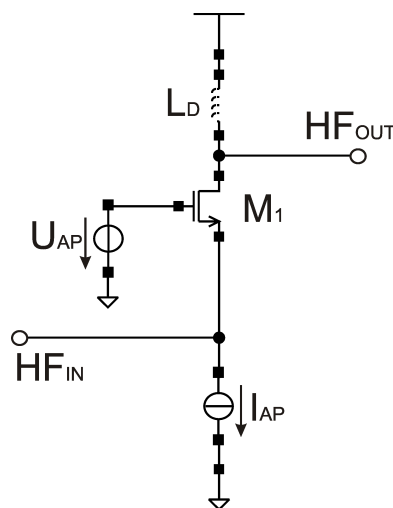


Abbildung 4.1: Prinzipschaltbild des Common-Gate LNAs.

Damit der CG-LNA berechnet werden kann, müssen zunächst die relevanten Effekte identifiziert und ein Kleinsignalersatzschaltbild entwickelt werden. Dieses ist in Abbildung 4.2 dargestellt. Da die Spule im LNA einen Parallelschwingkreis bildet, kann aus dem in Abschnitt 3.4 angegebenen Modell der Spule eine äquivalente Parallelschaltung mit den frequenzabhängigen Komponenten L_p , C_p und R_p bestimmt werden. Die Summe aus der Kapazität der Spule C_p , der Eingangskapazität des Mischers und einer zusätzlichen Abstimmkapazität (damit der Schwingkreis auf die gewünschte Frequenz abgestimmt werden kann) bilden zusammen die Kapazität C_{Last} [203].

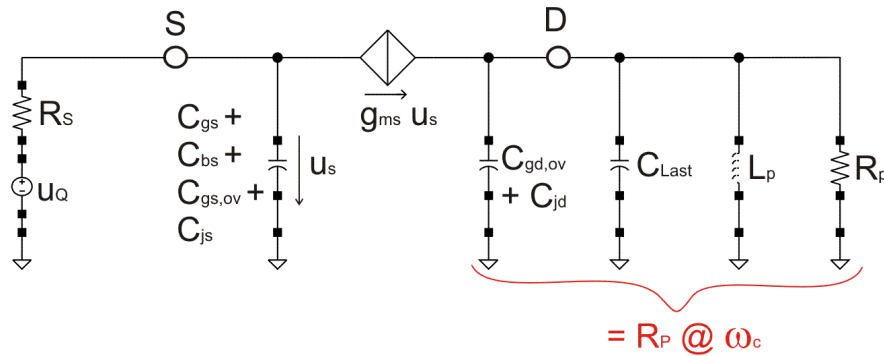


Abbildung 4.2: Kleinsignalersatzschaltbild des Common-Gate LNAs.

Wie in Abschnitt 3.2.3.1 beschrieben sind beim MOSFET fünf interne Kapazitäten vorhanden, von denen in Sättigung die Kapazitäten C_{gs} , C_{gb} und C_{bs} ungleich Null sind. Weiterhin ist beim CG-LNA das Gate im Kleinsignalersatzschaltbild mit Masse verbunden und daher ist die Kapazität C_{gb} kurzgeschlossen. Die Summe der beiden verbleibenden internen Kapazitäten kann damit, wie in [204, 205] angegeben, beschrieben werden durch

$$C_{gs,bs} = n \cdot \frac{1}{3} \cdot q_s \cdot \frac{2q_s + 3}{(q_s + 1)^2} \cdot C_{OX} \quad . \quad (4.1)$$

Zusätzlich zu den internen Kapazitäten müssen wie in Abschnitt 3.2.3.2 erläutert, die externen Kapazitäten berücksichtigt werden. Dies sind zum einen die durch die Gleichungen 3.24 - 3.25 gegebenen Anteile $C_{gs,ov}$ und $C_{gd,ov}$ der Overlap-Kapazitäten und zum anderen die Sperrschichtkapazitäten C_{js} und C_{jd} . Die Kapa-

azität $C_{gb,ov}$ ist wie auch die interne Kapazität C_{gb} im Kleinsignalersatzschaltbild kurzgeschlossen und kann daher vernachlässigt werden.

Die Kapazitäten C_{jd} und $C_{gd,ov}$ am Drain-Anschluss des MOSFETs sind Bestandteil des Schwingkreises. Durch die richtige Wahl der Abstimmkapazität, wird dieser auf die Trägerfrequenz abgestimmt und im Resonanzfall bleibt nur der Widerstand R_p übrig. Da der Wert der Abstimmkapazität später mittels einer Schaltungssimulation bestimmt wird, ist der exakte Wert von C_{jd} und $C_{gd,ov}$ für die durchgeführten analytischen Berechnungen ohne Bedeutung. Die exakte Einstellung der Abstimmkapazität erfolgt im Anschluss an das Layout und nach der Extraktion der parasitären Kapazitäten [204, 205].

Die Sperrschichtkapazität C_{js} ist gemäß Gleichung 3.27 von der Spannung am Source-Anschluss abhängig [76, 105]. Für analytische Berechnungen kann diese Spannungsabhängigkeit jedoch vernachlässigt werden. Diese Näherung ist zulässig, da gemäß der Argumentation in [205] die sehr kleinen Signale des LNAs den Arbeitspunkt nicht beeinflussen. Weiterhin wird bei der schaltungstechnischen Realisierung des LNAs die Arbeitspunktstromquelle in Abbildung 4.1 durch einen Stromspiegel ersetzt, über dem eine konstante (in erster Näherung vom Strom unabhängige) Spannung von $0,8 \dots 1$ V abfällt. Die Sperrschichtkapazität am Source-Anschluss kann daher durch die Näherung

$$C_{js} \approx \frac{3}{4} \cdot W \cdot (L_{Gate,Cont} \cdot c_j + c_{jswg}) \quad (4.2)$$

angegeben werden. Dabei sind $L_{Gate,Cont}$, c_j und c_{jswg} Prozessparameter, welche z.B. aus den BSIM3V3-Technologiedaten des verwendeten $0,25 \mu\text{m}$ Standard-CMOS-Prozess entnommen werden können. Abschließend zeigt Abbildung 4.3 das Konturdiagramm der Spannungs- und Weitenabhängigen Sperrschichtkapazität C_{js} , sowie deren Näherung bei einem konstanten Spannungsabfall [205].

4.1.2 Eingangsimpedanz und Reflexionsfaktor

Um Reflexionen am Eingang des LNAs zu vermeiden, muss wie in Abschnitt 2.4.3 erläutert, die Eingangsimpedanz des LNAs zu der Ausgangsimpedanz der vorausgehenden Stufe passen. Die Eingangsimpedanz des LNAs kann nach [204, 205] aus

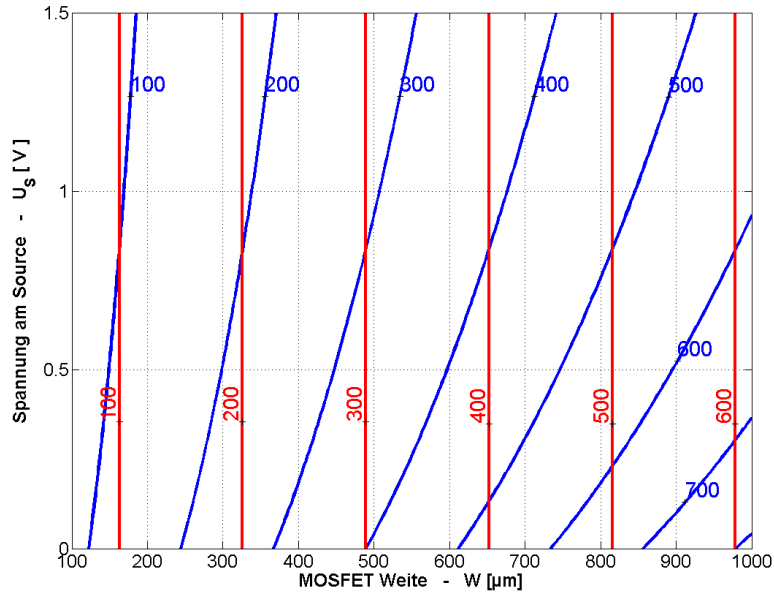


Abbildung 4.3: Sperrschichtkapazität in fF am Source-Anschluss, exakte Rechnung nach Gleichung 3.27 und Näherung durch Gleichung 4.2.

dem Kleinsignalersatzschaltbild in Abbildung 4.2 bestimmt werden als

$$Z_{in} = \frac{1}{g_{ms} + s \cdot C_{in}} \quad , \quad (4.3)$$

mit der totalen Eingangskapazität

$$C_{in} = C_{gs} + C_{bs} + C_{gs,ov} + C_{js} \quad . \quad (4.4)$$

Der Eingangsreflexionsfaktor $S_{11,dB}$ kann, mit dem zuvor durch Gleichung 4.3 bestimmten Wert für Z_{in} , durch die Gleichung 2.36 ermittelt werden. Der LNA soll gemäß der in Abschnitt 2.4.4 festgelegten Spezifikation einen Eingangsreflexionsfaktor von $S_{11,dB} < -12$ dB erreichen. In der Praxis wird der erreichbare Eingangsreflexionsfaktor jedoch stark durch die parasitäre totale Eingangskapazität beeinflusst. Er kann daher nicht, wie in der Literatur angegeben gegen $-\infty$ dB gehen [205].

Die minimale Stromaufnahme des CG-LNAs kann folgendermaßen abgeschätzt werden: Wird der kapazitive Anteil (C_{in}) vernachlässigt, so gilt $Z_{in} \approx \frac{1}{g_{ms}}$. Bei

einer Quellimpedanz von $R_s = 50 \Omega$ ergibt sich $g_{ms} = 20 \text{ mS}$. Da die Transkonduktanzeffizienz im Bereich der schwachen Inversion am größten ist (vgl. Abschnitt 3.2.2.1), wird in diesem Bereich die notwendige Transkonduktanz mit dem geringsten Drainstrom erreicht. Die Transkonduktanz konvergiert dort gegen den Wert $g_{ms}|_{WI} = \frac{I_D}{U_{Temp}}$, woraus sich ein minimaler Arbeitspunktstrom von $I_{AP,min} = 517,3 \mu\text{A}$ ergibt.

4.1.3 Spannungsverstärkung

Die Spannungsverstärkung des CG-LNAs kann mit Hilfe des in Abbildung 4.2 dargestellten Kleinsignalersatzschaltbildes bestimmt werden. Diese ist nach [203, 206] definiert als $G_V = \left| \frac{u_{out}}{u_{in}} \right|$, mit der Eingangsspannung $u_{in} = u_s$. Die Ausgangsspannung ist im Resonanzfall $u_{out} = g_{ms} \cdot u_s \cdot R_p$, woraus die Verstärkung des CG-LNAs resultiert

$$G_V|_{\omega=\omega_c} = g_{ms} \cdot R_p . \quad (4.5)$$

Die gewünschte Spannungsverstärkung wird erreicht, indem zu der Source-Transkonduktanz g_{ms} der passende Widerstand R_p gewählt wird. Der Wert von g_{ms} ist wiederum gemäß Gleichung 3.7 vom Arbeitspunkt abhängig und R_p wird durch den äquivalenten Widerstand der Spule im Resonanzfall bestimmt. Die Güte der Spule (vgl. Abschnitt 3.4.2.4) bestimmt somit maßgeblich die erreichbare Verstärkung des LNAs [206]. Dies wird besonders deutlich, wenn in Gleichung 4.5 für $g_{ms} \approx 1/R_s$ eingesetzt wird, woraus

$$G_{V,max} \approx \frac{R_p}{R_s} \quad (4.6)$$

resultiert. Da die Quellimpedanz $R_s = 50 \Omega$ vorgegeben ist, lässt sich mit der in Abschnitt 2.4.4 spezifizierten Spannungsverstärkung von $G_V = 15 \text{ dB}$ der notwendige Widerstand als $R_p = 281 \Omega$ bestimmen.

Für die Rauschberechnungen im nächsten Abschnitt ist es nützlich, gemäß [203] als weitere Spannungsverstärkung $G_V^* = \left| \frac{u_{out}}{u_Q} \right|$ zu definieren. Dabei ist u_Q die Quellspannung innerhalb der 50Ω -Quelle, welche mit dem Eingang des LNAs

verbunden ist. Für diese Spannungsverstärkung gilt

$$G_V^*|_{\omega=\omega_c} = \left| \frac{g_{ms} \cdot R_p}{1 + g_{ms} \cdot R_s + sC_{in} \cdot R_s} \right|. \quad (4.7)$$

Für den Fall, dass $g_{ms} \gg sC_{in}$ ist, folgt für $g_{ms} \approx 1/R_s$ und somit für die Verstärkung $G_V^*|_{\omega=\omega_c} \approx \frac{R_p}{2 \cdot R_s} = \frac{G_{V,max}}{2}$.

4.1.4 Rauschzahl

Die Rauschzahl F des CG-LNAs kann basierend auf dem in Abbildung 4.4 dargestellten Ersatzschaltbild ermittelt werden. Bei der Berechnung wird davon ausgegangen, dass der Schwingkreis am Drain-Anschluss des MOSFETs wie in Abschnitt 4.1.1 beschrieben auf die gewünschte Trägerfrequenz f_c abgestimmt ist. Daher wird bei der folgenden Rauschberechnung nur der Widerstand R_p verwendet, welcher die Verluste im dem Schwingkreis beschreibt [203, 205].

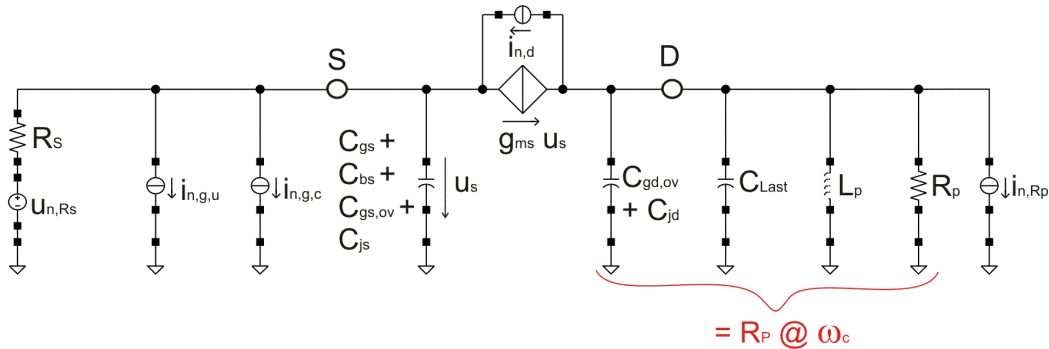


Abbildung 4.4: Kleinsignalerersatzschaltbild für die Rauschberechnung des Common-Gate LNAs.

In der Literatur wird bei der Rauschberechnung für den CG-LNA ebenso wie bei der Berechnung für den CS-LNA der Rauschanteil der von der Last stammt vernachlässigt. Für die dort durchgeführten Berechnungen werden die Drainströme der LNA-MOSFETs als Ausgangsgrößen definiert und darauf bezogen dann die Rauschzahlen F ermittelt. Diese Vorgehensweise führt zu kleinen Rauschzahlen, welche allerdings wenig Aussagekräftig sind. Bei einem Empfänger in CMOS-Schaltungstechnik ist die Ausgangsgröße des kompletten LNAs (bestehend aus LNA-MOSFET und der Lastimpedanz) eine Spannung und nicht der

Drainstrom.² Für die Rauschberechnungen muss daher auch der Rauschanteil der Last R_p berücksichtigt werden. Nur für den Fall, bei dem die Spannungsverstärkung des LNAs gegen unendlich geht, liefert die Last keinen Beitrag zur Rauschzahl des LNAs [203].

Bei der Rauschberechnung werden die unterschiedlichen Anteile berücksichtigt. Dies sind die thermischen Rauschanteile von R_p und R_s , sowie die Rauschquellen des MOSFETs selbst, welche in Abschnitt 3.2.5 beschrieben wurden. Da das induzierte Gate-Rauschen mit dem Rauschen des Drainstroms korreliert ist, muss es für die Berechnungen aufgeteilt werden in seinen korrelierten und unkorrelierten Anteil [207]. Die verschiedenen Rauschquellen des CG-LNAs können gemäß [203, 205] angegeben werden als

$$\overline{u_{nR_s}^2} = 4kTR_s \cdot \Delta f \quad (4.8)$$

$$\overline{u_{nR_p}^2} = 4kTR_p \cdot \Delta f \quad (4.9)$$

$$\overline{i_{nd}^2} = 4kT \cdot \gamma \cdot g_{ms} \cdot \Delta f \quad (4.10)$$

$$\overline{i_{ng,u}^2} = 4kT\delta g_g \cdot (1 - |c|^2) \cdot \Delta f \quad (4.11)$$

$$\overline{i_{ng,c}^2} = 4kT\delta g_g \cdot |c|^2 \cdot \Delta f . \quad (4.12)$$

Mit Hilfe des Ersatzschaltbildes in Abbildung 4.4 und den Gleichungen 4.8 - 4.12 kann wie im Anhang in Abschnitt C.1 hergeleitet, die Rauschzahl des CG-LNAs bestimmt werden als

$$F = 1 + \gamma \cdot \frac{1}{g_{ms}R_s} \left(1 + \frac{1}{Q_{in}^2} \right) \Psi + \frac{R_p}{R_s} \frac{1}{|G_V^*|^2} . \quad (4.13)$$

Dabei ist $Q_{in} = \frac{1}{\omega_c C_{in} R_s}$, $|G_V^*|$ die durch Gleichung 4.7 gegebene Verstärkung (bezogen auf die Quellspannung) und die Größe Ψ beschreibt den Anteil, der durch das induzierte Gate-Rauschen entsteht. Hierbei gilt es zu beachten, dass

² Für den LNA wird üblicherweise eine Spannungsverstärkung angegeben und keine Transkonduktanz. Besitzt dagegen der LNA eine durch diskrete Komponenten realisierte Lastimpedanz kann diese evtl. als eigenständiger Block angesehen werden und eine andere Einteilung der Empfängerblöcke vorgenommen werden. Eine mögliche Einteilung der Blöcke ist dann: LNA-MOSFET, Lastschwingkreis, Mischer, . . . In diesem Fall müssen aber die Systemkennzahlen entsprechend festgelegt werden.

der Faktor Ψ beim CG-LNA unterschiedlich ist im Vergleich zu dem beim CS-LNA. Er kann bestimmt werden durch

$$\Psi = 1 + \frac{1}{Q_{in}^2 + 1} \left\{ \frac{\delta}{5\gamma} \cdot \frac{C_{gs}^2}{C_{in}^2} - 2|c| \cdot \frac{C_{gs}}{C_{in}} \cdot \sqrt{\frac{\delta}{5\gamma}} \right\} . \quad (4.14)$$

Damit der LNA einen kleinen Eingangsreflexionsfaktor erreicht gilt in der Praxis $Q_{in} \gg 1$. Wird unter dieser Randbedingung die Gleichung 4.14 betrachtet bzw. diese numerisch ausgewertet, so ergibt sich $\Psi \approx 1$. Durch $\Psi \approx 1$ wird deutlich, dass das induzierte Gate-Rauschen beim CG-LNA einen vernachlässigbaren Anteil hat [203–205].³

Aus der Struktur der Gleichung 4.13 ist zu erkennen, dass ein Summand vom LNA-MOSFET selbst stammt und ein weiterer Beitrag durch die Last R_p verursacht wird. Werden zusätzlich weitere Rauschquellen berücksichtigt, wie z.B. die durch ohmsche Verluste im Pad und im Bonddraht entstehen, oder von der Schaltung die den Arbeitspunktstrom bereitstellt, so kann ein weiterer Summand hinzugefügt werden. Wie in [203] gefolgert wird, kann die Gleichung 4.13 umgeschrieben werden als

$$F = 1 + (F_{MOST} - 1) + (F_{Last} - 1) + (F_{Sonstige} - 1) . \quad (4.15)$$

Für den Rauschanteil der Last $(F_{Last} - 1)$ ergibt sich aus den Gleichungen 4.13 und 4.7 der Ausdruck $(F_{Last} - 1) \approx \frac{4R_s}{R_p}$. Mit den Zahlenwerten $R_s = 50 \Omega$ und $R_p = 281 \Omega$ resultiert für diesen Rauschanteil $(F_{Last} - 1) \approx 0,71$. Im Vergleich dazu ergibt sich aus den Daten der Spule in Abschnitt 3.4.2.5 $R_p = 243,46 \Omega$ und damit $(F_{Last} - 1) \approx 0,82$. Der Rauschanteil $(F_{Sonstige} - 1)$ liegt in der Größenordnung von 0,3.

Der in der Literatur z.B. in [34, 44, 116] für den CG-LNA angegebene Wert von $NF = 2,2$ dB wird nur unter vielen vereinfachenden Annahmen erreicht, die in der Praxis so nicht gültig sind. Dabei werden nur die ersten beiden Summanden aus der Gleichung 4.13 betrachtet und es wird angenommen, dass die

³ Das induzierte Gate-Rauschen wird, wie in Abschnitt 3.2.5 beschrieben, beim BSIM3V3 Modell komplett vernachlässigt. Da beim CG-LNA dieses wie hier gezeigt fast keinen Einfluss hat, ist der dadurch entstehende Fehler sehr gering.

Eingangsimpedanz angepasst ist also $g_{ms} \cdot R_s = 1$ gilt und der MOSFET sich wie ein Langkanaltransistor verhält. In diesem Fall ergibt sich $F = 1 + \gamma = \frac{5}{3}$, was äquivalent zu $NF = 2,2$ dB im logarithmischen Maßstab ist [203–205].

4.1.5 Linearität

Neben der gewünschten Spannungsverstärkung G_V und dem NF wurde in Abschnitt 2.4.4 die notwendige Linearität ($IIP3$) für den LNA festgelegt. Um den $IIP3$ zu bestimmen muss wie im folgenden gezeigt wird, die erste und die dritte Ableitung des Drainstroms nach der Spannung U_G berechnet werden. Für eine exakte Bestimmung des $IIP3$ ist ein sehr genaues Transistormodell erforderlich, welches die parasitären Effekte wie z.B. die Kurzkanaleffekte mit berücksichtigt. Eine exakte Bestimmung kann daher nur durch eine Schaltungssimulation erfolgen.

In der Literatur sind ein paar analytische Ansätze für die Berechnung des $IIP3$ zu finden wie z.B. in [176]. Bei diesen Veröffentlichungen ist der Fokus meist auf den CS-LNA gerichtet. So wird in [208] ein Ausdruck für den $IIP3$ des CS-LNAs im Bereich der starken Inversion angegeben. In [209] wird gezeigt, dass durch mehrfache Rückkopplungen die Terme zweiter Ordnung auch einen Beitrag zum $IIP3$ der gesamten Schaltung liefern können. Verschiedene Linearisierungstechniken werden ebenso wie der Einfluss der induktiven Degeneration beim CS-LNA in [210] untersucht. Der Bereich der moderaten Inversion wird speziell in [211] betrachtet.

Um die Tendenz des $IIP3$ beim CG-LNA abzuschätzen wird die Abhängigkeit des Drainstroms von der Eingangsspannung verwendet. Der Drainstrom zeigt im Bereich der schwachen Inversion eine exponentielle Abhängigkeit von der Eingangsspannung, während er im Bereich der starken Inversion in eine quadratische Abhängigkeit übergeht. Bedingt durch Kurzkanaleffekte ist in der Praxis in diesem Bereich eher eine lineare Abhängigkeit von der Eingangsspannung zu beobachten. Durch dieses Verhalten verschwindet die dritte Ableitung des Drainstroms bzw. sie wird sehr klein im Bereich der starken Inversion. Dagegen geschieht dies bedingt durch die e-Funktion nicht im Bereich der schwachen Inversion. Es ist da-

her tendenziell für den CG-LNA eine bessere Linearität zu erwarten, wenn sein Arbeitspunkt im Bereich der starken Inversion statt im Bereich der schwachen Inversion liegt.

Im folgenden soll der $IIP3$ für den CG-LNA analytisch unter der Annahme bestimmt werden, dass der MOSFET sich wie ein idealer Langkanaltransistor verhält. Ausgangspunkt für die Berechnung des $IIP3$ ist der in Abbildung 4.5 dargestellte CG-LNA mit dem ohmschen Lastwiderstand R , der Versorgungsspannung U_{DD} und der Eingangsspannungsquelle $U_s = U_{DC} + u_{in}$. Der Einfluss der Kapazitäten wird bei dieser Betrachtung vernachlässigt.

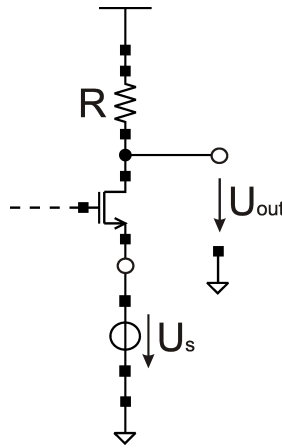


Abbildung 4.5: Prinzipschaltbild für die Bestimmung der Linearität des CG-LNAs.

Die Ausgangsspannung der Schaltung wird am Drain abgegriffen und beträgt $U_{out} = U_{DD} - I_d \cdot R$. Für diese wird eine Taylorreihenentwicklung durchgeführt, welche nach dem dritten Glied abgebrochen wird. Mit dem Ausdruck für die n -te Ableitung $g_{ms,n} = -\frac{d^n I_D}{dU_s^n}$ kann die Ausgangsspannung angegeben werden als

$$U_{out} = U_{DD} - I_D \cdot R + R \cdot \left(g_{ms,1} \cdot u_{in} + \frac{g_{ms,2}}{2} \cdot u_{in}^2 + \frac{g_{ms,3}}{6} \cdot u_{in}^3 \right) \quad (4.16)$$

Basierend auf der Gleichung 2.17 kann der P_{IIP3} durch die Gleichung 4.17 bestimmt werden. Die ausführliche Herleitung des P_{IIP3} ist im Anhang in Abschnitt C.2 gegeben. Mit den dort angegebenen Ausdrücken für $g_{ms,1}$ und $g_{ms,3}$ kann schließlich der P_{IIP3} des CG-LNAs durch die Gleichung 4.18 berechnet wer-

den.

$$P_{IIP3} = \frac{A_{IIP3}^2}{2 \cdot R_s} = \frac{4}{R_s} \cdot \left| \frac{g_{ms,1}}{g_{ms,3}} \right| \quad (4.17)$$

$$P_{IIP3} = 4 \cdot \frac{U_{T_{emp}}^2}{R_s} \cdot (2q_s + 1)^3 \quad (4.18)$$

In der Abbildung 4.6 ist berechnete $IIP3$ als Funktion vom Inversionskoeffizienten i_f dargestellt. Der P_{IIP3} konvergiert im Bereich der schwachen Inversion gegen $P_{IIP3}|_{WI} = 4 \cdot \frac{U_{T_{emp}}^2}{R_s}$ und im Bereich der starken Inversion gegen $P_{IIP3}|_{WI} = 32 \cdot \frac{U_{T_{emp}}^2}{R_s} \cdot q_s^3$. Daraus resultiert für den Bereich der schwachen Inversion $IIP3|_{WI} = -12,71$ dBm und für den Bereich der starken Inversion ergibt sich eine Steigung des $IIP3$ von 15 dB pro Dekade von i_f . Der Übergang in diese Abhängigkeit erfolgt im Bereich der moderaten Inversion.

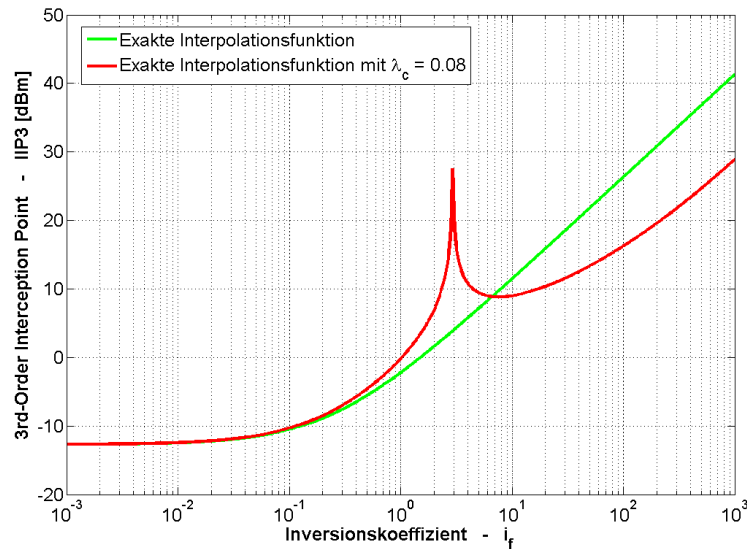


Abbildung 4.6: $IIP3$ für den CG-LNA unter der Annahme, dass sich der MOSFET wie ein idealer Langkanaltransistor verhält und $IIP3$ unter Berücksichtigung der Geschwindigkeitssättigung.

Zum Vergleich kann der $IIP3$ auch bestimmt werden, wenn der Effekt der Geschwindigkeitssättigung berücksichtigt wird. Wie im Anhang in Abschnitt C.2

gezeigt wird, besitzt in diesem Fall die dritte Ableitung des Drainstroms eine Nullstelle. Daraus resultiert wie in der Darstellung in Abbildung 4.6 zu erkennen ist, eine Polstelle für den $IIP3$. Diese liegt nahe dem Übergang von dem Bereich der moderaten zur starken Inversion. Dieser Effekt wird in der Literatur auch als $IIP3$ -Peaking bezeichnet und in [211] analysiert. In der Praxis werden an diesem Punkt die Terme höherer Ordnung wie z.B. fünfter und siebter Ordnung dominant und begrenzen daher die Linearität der Schaltung, wodurch der $IIP3$ seine Aussagekraft verliert. Wird der $IIP3$ nicht auf den Eingang, sondern auf die Quellspannung u_Q innerhalb der $50\ \Omega$ -Quelle bezogen, so zeigt der Widerstand R_s einen Einfluss auf den $IIP3$. Durch diesen verschwindet gemäß [13] der Effekt des $IIP3$ -Peaking.

4.2 Common-Source LNA

4.2.1 Aufbau und Kleinsignalersatzschaltbild

Eine weitere, sehr häufig verwendete LNA-Architektur ist der Common-Source LNA. Dieser wurde in der Literatur vielfach analysiert, so z.B. in der grundlegenden Veröffentlichung von D. Shaeffer und T. Lee [207] mit den dazugehörigen Korrekturen und Anmerkungen [133, 212] der Autoren, welche hierbei besonders beachtet werden sollten. Eine weitere detaillierte Analyse der Schaltung ist in [49, 132] zu finden.

Der prinzipielle Aufbau der Schaltung nach [34, 44, 49, 207] ist in Abbildung 4.7 a) dargestellt, dabei ist der LNA-MOSFET durch M_1 gekennzeichnet. Die Einstellung des Arbeitspunktes erfolgt wie angedeutet, durch den mit dem MOSFET M_2 aufgebauten Stromspiegel. Das HF-Eingangssignal gelangt über die Spule L_G an den Gate-Anschluss des MOSFETs M_1 und das HF-Ausgangssignal wird von seinem Drain-Anschluss abgegriffen. Wie auch beim CG-LNA bildet die Spule am Drain-Anschluss des MOSFETs zusammen mit den parasitären Kapazitäten an diesem Knoten einen Schwingkreis der auf die gewünschte Trägerfrequenz abgestimmt wird [203].

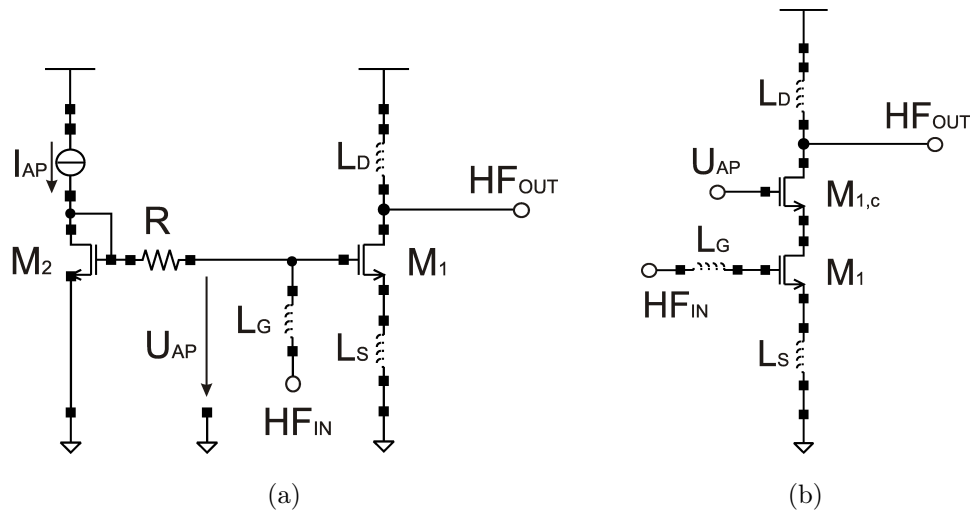


Abbildung 4.7: Prinzipschaltbild des Common-Source LNAs a) als Grundschiung mit Arbeitspunkteinstellung, b) mit Erweiterung durch Kaskodentransistor.

Durch die externe Overlap-Kapazität $C_{gd,ov}$ des MOSFETs M_1 kommt es zu einer Rückkopplung zwischen Ausgang und Eingang. Diese Kapazität wirkt sich als Millerkapazität aus und sorgt daher für eine erhöhte kapazitive Belastung am Eingang des LNAs [71]. Die Rückkopplung der Schaltung kann außerdem dazu führen, dass der LNA instabil wird und zu schwingen beginnt [34]. Aus diesem Grund wird in der Praxis die Grundschiung durch einen Kaskodentransistor $M_{1,c}$ wie in Abbildung 4.7 b) gezeigt erweitert. Indem der Kaskodentransistor die Rückwärtsisolation erhöht erfüllt er zwei Aufgaben: Zum einen wird das LO-Leakage das vom Mischer stammt reduziert und zum anderen wird die Stabilität der Schaltung erhöht, indem die Rückkopplung zum Ausgang reduziert wird [34, 44, 49, 207].

Bei der analytischen Untersuchung der Schaltung kann der Kaskodentransistor in erster Näherung vernachlässigt werden, da dieser keinen wesentlichen Beitrag zur Spannungsverstärkung, zur Eingangsimpedanz und zum Rauschen liefert [207, 213]. Der interessierte Leser sei auf die Literatur [49] verwiesen in der eine detaillierte Analyse der Auswirkungen des Kaskodentransistors auf die Kennzahlen des CS-LNAs zu finden ist. Dank des Kaskodentransistors kann im Kleinsignalersatzschaltbild der Schaltung die Kapazität $C_{gd,ov}$ vernachlässigt werden, wodurch sich die Berechnung der Schaltung weiter vereinfacht. In der Literatur

wie z.B. in [127, 132, 133, 207, 213–216] werden zusätzlich meist die externen Kapazitäten und die Kapazität C_{gb} des MOSFETs vernachlässigt, ebenso wie der Substratsteuereffekt. Damit ergibt sich als Ausgangspunkt für die Berechnungen das in Abbildung 4.8 dargestellte Kleinsignalersatzschaltbild.

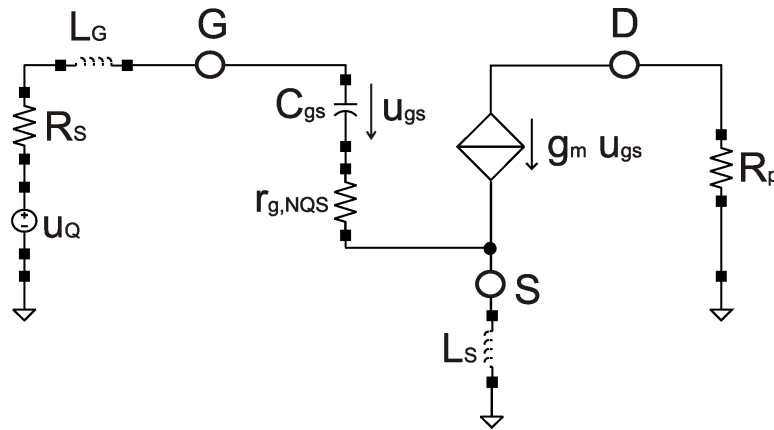


Abbildung 4.8: Kleinsignalersatzschaltbild des Common-Source LNAs.

Der Widerstand $r_{g,NQS}$ ist der ohmsche Anteil der gemäß Abschnitt 3.2.4 durch die NQS-Effekte entsteht. Dieser Anteil muss mit berücksichtigt werden, da er wie im folgenden Abschnitt gezeigt wird, einen weiteren Anteil zur Eingangsimpedanz des CS-LNAs beiträgt.

4.2.2 Eingangsimpedanz

Die Eingangsimpedanz des CS-LNAs kann mit Hilfe des in Abbildung 4.8 dargestellten Kleinsignalersatzschaltbildes bestimmt und gemäß [49] angegeben werden als

$$Z_{in} = r_{g,NQS} + \frac{g_m}{C_{gs}} \cdot L_s + s(L_s + L_g) + \frac{1}{sC_{gs}} \quad (4.19)$$

Damit der LNA reflexionsfrei an die vorausgehende Stufe (treibende Quellimpedanz $R_s = 50 \Omega$) angeschlossen werden kann, muss die Eingangsimpedanz angepasst sein. Dies wird erreicht durch die richtige Wahl der Induktivitäten L_s und L_g . Dazu wird die Induktivität L_s so gewählt, dass $\text{Re}\{Z_{in}\} = R_s$ sich ergibt.

Anschließend wird die Induktivität am Gate L_g so angepasst, dass der Blindanteil der Eingangsimpedanz bei der gewünschten Trägerfrequenz kompensiert und somit $\text{Im}\{Z_{in}\} = 0$ wird. Das Verhältnis $\frac{g_m}{C_{gs}}$ entspricht näherungsweise der Transitzkreisfrequenz (siehe im Anhang Abschnitt A.4) und damit lässt sich die Eingangsimpedanz angeben als

$$Z_{in}|_{\omega=\omega_c} = r_{g,NQS} + \omega_t \cdot L_s \quad . \quad (4.20)$$

Durch die ohmschen Verluste der Spulen am Gate und am Source des MOSFETs entsteht, wie ebenfalls in [213] gezeigt wird, ein zusätzlicher Realteil der Eingangsimpedanz. Der Einfluss der Gate-Bulk-Kapazität C_{gb} muss nach den Untersuchungen in [217] beachtet werden, wenn der Arbeitspunkt des MOSFETs im Bereich der schwachen oder moderaten Inversion liegt. Diese Feststellung lässt sich leicht anhand der Abbildung 3.3 verifizieren. Wie aus der Darstellung zu erkennen ist, wird die Kapazität C_{gb} im Bereich der schwachen Inversion deutlich größer als die Kapazität C_{gs} und muss daher in diesem Bereich berücksichtigt werden. In [49] wird der Einfluss der Bonddrahtverbindung und der Pads auf die Eingangsimpedanz untersucht.

4.2.3 Spannungsverstärkung

Mit Hilfe des in Abbildung 4.8 dargestellten Kleinsignalersatzschaltbildes wird die Spannungsverstärkung des CS-LNAs bestimmt. Wenn der Eingang wie im vorausgehenden Abschnitt beschrieben auf die gewünschte Frequenz abgestimmt ist ergibt sich für die Spannungsverstärkung des CS-LNAs

$$G_V|_{\omega=\omega_c} = \frac{g_m \cdot R_p}{\omega_c \cdot C_{gs} \cdot \left(r_{g,NQS} + \frac{g_m}{C_{gs}} \cdot L_s \right)} \quad . \quad (4.21)$$

Wie aus der Gleichung 4.21 ersichtlich hängt die Spannungsverstärkung des CS-LNAs von der Gate-Transkonduktanz g_m und dem Widerstand R_p der Spule ab. Die Verstärkung wird damit wie beim CG-LNA von der Güte der Spule und vom Arbeitspunktstrom bestimmt. Eine zusätzliche Verstärkung wird durch den Term im Nenner erreicht. Diese entsteht durch die Spannungsüberhöhung im Resonanzfall beim Serienschwingkreis am Eingang des LNAs [214]. Die Güte

dieses Schwingkreises bestimmt die Höhe der zusätzlichen Verstärkung und ist gemäß [48] definiert als

$$Q_{in} = \frac{1}{\omega_c \cdot C_{gs} \cdot R_s} = \frac{\omega_c \cdot (L_s + L_g)}{R_s} . \quad (4.22)$$

Eine andere Betrachtungsweise führt zu einem interessanten Ergebnis im Vergleich zum CG-LNA. Ausgangspunkt dafür ist der Klammerausdruck in Gleichung 4.21, welcher gleich der Quellimpedanz R_s sein soll. Weiter gilt für das Verhältnis $\frac{g_m}{C_{gs}} \approx \omega_t$ wodurch gemäß [203] die Verstärkung ausgedrückt werden kann als

$$G_V|_{\omega=\omega_c} = \frac{R_p}{R_s} \cdot \frac{\omega_t}{\omega_c} . \quad (4.23)$$

Die Quellimpedanz $R_s = 50 \Omega$ ist fest vorgegeben. Die gewünschte Verstärkung kann hier durch den Widerstand R_p und durch das Verhältnis $\frac{\omega_t}{\omega_c}$ eingestellt werden. Bei gleichem R_p erreicht der CS-LNA eine um den Faktor $\frac{\omega_t}{\omega_c}$ höhere Verstärkung bzw. der Widerstand R_p kann entsprechend kleiner gewählt werden um die gleiche Verstärkung zu erreichen.

Wie beim CG-LNA kann auch hier die Spannungsverstärkung in bezug auf die Quellspannung innerhalb der 50Ω -Quelle berechnet werden. Diese ist hilfreich für die im nächsten Abschnitt durchgeführten Rauschberechnungen und ist gemäß [203] definiert als $G_V^* = \left| \frac{u_{out}}{u_Q} \right|$. Diese Spannungsverstärkung kann unter Vernachlässigung von $r_{g,NQS}$ ausgedrückt werden als

$$G_V^*|_{\omega=\omega_c} = \left| \frac{g_m \cdot R_p}{\omega_c C_{gs} \cdot R_s \cdot \left(1 + \frac{\omega_t L_s}{R_s}\right)} \right| = \frac{R_p}{R_s} \cdot \frac{\omega_t}{\omega_c} \cdot \frac{1}{1 + \frac{\omega_t L_s}{R_s}} . \quad (4.24)$$

Mit dem Wert $\frac{\omega_t L_s}{R_s} = 1$ ergibt sich schließlich für die Spannungsverstärkung $G_V^*|_{\omega=\omega_c} = \frac{R_p}{2 \cdot R_s} \cdot \frac{\omega_t}{\omega_c} = \frac{G_V|_{\omega=\omega_c}}{2}$.

4.2.4 Rauschzahl

Für die Berechnung der Rauschzahl F wird hier, wie in der Literatur [127, 132, 133, 207, 213–216] üblich, das vereinfachte Ersatzschaltbild verwendet, wie es in

Abbildung 4.9 dargestellt ist. Bei den Berechnungen wird davon ausgegangen, dass die Eingangsimpedanz an die Quellimpedanz angepasst und der Schwingkreis am Drain-Anschluss des MOSFETs auf die gewünschte Trägerfrequenz abgestimmt ist.

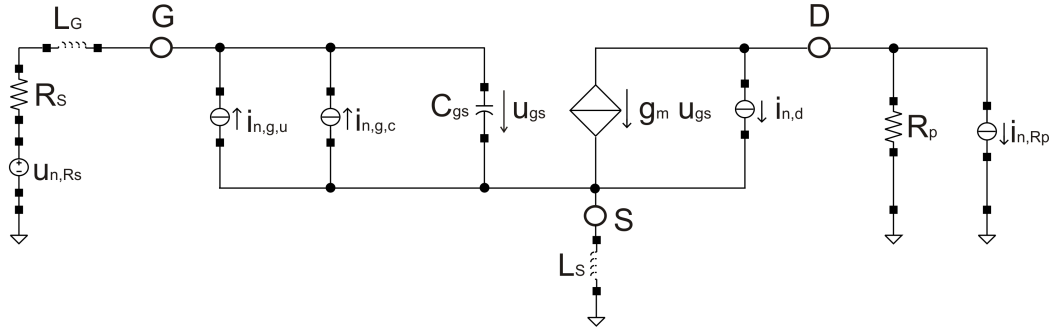


Abbildung 4.9: Kleinsignalersatzschaltbild für die Rauschberechnung des Common-Source LNAs.

Die im Ersatzschaltbild berücksichtigten Rauschquellen modellieren das thermische Rauschen von R_p und R_s , sowie die Rauschquellen des MOSFETs gemäß Abschnitt 3.2.5. Das induzierte Gate-Rauschen wird wie in [207] beschrieben, in seinen korrelierten und unkorrelierten Anteil aufgeteilt. Das Vorzeichen des Imaginärteils von c muss dabei entsprechend den Erläuterungen in Abschnitt 3.2.5.1 berücksichtigt werden [132,133]. Mit Hilfe des Ersatzschaltbildes in Abbildung 4.9 und den Gleichungen 4.8 - 4.12 kann die Rauschzahl des CS-LNAs bestimmt werden als

$$F = 1 + \gamma \cdot g_{ms} \cdot R_s \cdot \left(\frac{\omega_c}{\omega_t} \right)^2 \cdot \Psi_{CS} + \frac{R_p}{R_s} \frac{1}{|G_V^*|^2} \quad (4.25)$$

Die Größe $|G_V^*|$ ist die, gemäß Gleichung 4.24 auf die Quellspannung bezogene Verstärkung. Der Anteil des induzierten Gate-Rauschens wird durch die Variable Ψ_{CS} ausgedrückt und kann in Übereinstimmung mit [132, 133, 212] bestimmt werden durch

$$\Psi_{CS} = 1 - 2|c| \cdot \sqrt{\frac{\delta}{5n^2\gamma}} + \frac{\delta}{5n^2\gamma} \cdot (1 + Q_{in}^2) \quad (4.26)$$

Der Anteil vom induzierten Gate-Rauschen beim CS-LNA Ψ_{CS} unterscheidet sich damit von dem des CG-LNAs (vgl. Gleichung 4.14). Weiterhin gilt für $\Psi_{CS} > 1$ und darf im Gegensatz zum CG-LNA nicht vernachlässigt werden.

Mit Hilfe der Gleichung 4.22 kann die Rauschzahl F des CS-LNAs in Abhängigkeit von der Güte des Eingangskreises ausgedrückt werden als

$$F = 1 + \gamma \cdot \frac{n^2}{g_{ms} \cdot R_s} \cdot \frac{1}{Q_{in}^2} \cdot \Psi_{CS} + \frac{R_p}{R_s} \frac{1}{|G_V^*|^2} . \quad (4.27)$$

Zu den einzelnen Summanden in der Gleichung 4.27 können die Rauschquellen zugeordnet werden und somit kann die Gesamtrauschzahl durch die Gleichung 4.15 ausgedrückt werden. Im folgenden wird der Summand, der von der Lastimpedanz verursacht wird näher betrachtet. Mit dem Ausdruck $\frac{\omega_t L_s}{R_s} = 1$ ergibt sich aus der Gleichung 4.24 $G_V^*|_{\omega=\omega_c} = \frac{R_p}{2 \cdot R_s} \cdot \frac{\omega_t}{\omega_c}$ und damit

$$(F_{Last} - 1) = 4 \cdot \frac{R_s}{R_p} \cdot \left(\frac{\omega_c}{\omega_t} \right)^2 . \quad (4.28)$$

Unter der Voraussetzung, dass der CS-LNA die gleiche Verstärkung aufweisen soll wie der CG-LNA ergibt sich aus Abschnitt 4.2.3, dass der Widerstand R_p um das Verhältnis $\frac{\omega_t}{\omega_c}$ kleiner gewählt werden muss. Die Folge davon ist, dass der Rauschanteil, der von der Lastimpedanz stammt, beim CS-LNA um den Faktor $\frac{\omega_t}{\omega_c}$ geringer ist als beim CG-LNA. Der Anteil vom MOSFET selbst ($F_{MOST} - 1$) ist ebenfalls geringer, wodurch sich für den CS-LNA eine geringere Gesamtrauschzahl als beim CG-LNA ergibt.

In der Literatur wird der Einfluss weiterer Rauschquellen untersucht. In [97, 218] wird ein Ersatzschaltbild präsentiert, welches weitere Rauschquellen des MOSFETs beinhaltet. Nach der in [97, 219] durchgeführten Analyse wird gezeigt, dass das Rauschen des Substratwiderstands einen zusätzlichen Anteil zum Rauschen des CS-LNAs beiträgt. Ein weiterer, jedoch geringerer Anteil stammt von dem Zuleitungswiderstand (siehe hierzu [113–115]) am Gate des MOSFETs [97, 219, 220]. Der Einfluss auf die Rauschzahl durch die Serienwiderstände der Spulen am Source und am Gate wird in [215] untersucht mit dem Ergebnis, dass besonders der Rauschanteil vom Serienwiderstand der Gate-Spule nicht vernachlässigt werden

sollte. Wird das Bondpad am Eingang des LNAs, wie in Abschnitt 3.5.2.1 beschrieben, ohne eine Abschirmung des Substrates aufgebaut, so gelangt das durch die ohmschen Verluste im Bondpad entstehende Rauschen, zusätzlich an den Eingang des LNAs. Die Auswirkung wurde in [156, 157, 191, 192] für einen mit MOSFETs und in [189, 190] für einen mit bipolaren Transistoren aufgebauten LNA untersucht.

4.3 Alternative Architekturen

4.3.1 Rückgekoppelter Verstärker

Bei den in Abschnitt 4.1 und 4.2 beschriebenen Architekturen handelt es sich um schmalbandige Verstärker. Im Gegensatz dazu können breitbandige Verstärker durch eine negative Rückkopplung (Gegenkopplung) realisiert werden. Rückgekoppelte Verstärker weisen verschiedene Vor- und Nachteile, welche nach der Beschreibung in [44] zusammengefasst werden können als:

- Durch die Gegenkopplung wird die Gesamtverstärkung der Schaltung reduziert. Um dennoch die gewünschte Verstärkung zu erreichen muss die Vorwärtsverstärkung und damit der Stromverbrauch erhöht werden.
- Ein fundamentaler Vorteil der Schaltung mit Gegenkopplung ist, dass die Gesamtverstärkung weniger empfindlich ist in bezug auf Variationen in der Vorwärtsverstärkung. Durch die Gegenkopplung wird die Linearität verbessert (auf Kosten der Verstärkung und damit des Stromverbrauchs). Variationen in der Rückwärtsverstärkung werden nicht reduziert. Da in der Rückkopplung meist passive Elemente eingesetzt werden, kann deren Variationen im Vergleich zum Vorwärtszweig vernachlässigt werden.
- Ein weiterer Vorteil dieser Schaltungen ist das keine Induktivitäten benötigt werden und damit die auf dem Chip notwendige Fläche kleiner wird. Hierdurch werden letztlich die Kosten gesenkt. Die Problematik, dass Stö-

rungen vom Substrat aus über die Spulen in die Schaltungen eingekoppelt werden, wird ebenfalls vermieden.

- Das Verstärkungs-Bandbreite-Produkt GBW^4 bleibt konstant. Eine größere Bandbreite der Schaltung wird erzielt, indem durch die Gegenkopplung die DC-Verstärkung reduziert wird. Es wird keine zusätzliche Verstärkung bei hohen Frequenzen erreicht. Im Gegensatz dazu bleibt bei einem Verstärker mit einem abgestimmten Lastschwingkreis das Verstärkungs-Bandbreite-Produkt (GBW) konstant, wird aber zu höheren Frequenzen verschoben (vgl. auch [221]).
- Ein wesentlicher Nachteil dieser Schaltungen ist, dass durch die Gegenkopplung die Bandbreite vergrößert und damit auch die Rauschbandbreite vergrößert wird.
- Das eingangsbezogene Rauschen kann durch die Rückkopplung nicht reduziert werden. Im Gegenteil, durch ohmsche Widerstände in der Rückkopplung wird das Rauschen sogar vergrößert.
- Da der Vorwärts- und Rückwärtszweig eine frequenzabhängige Verstärkung aufweist, kann der Verstärker evtl. instabil werden.

Eine einfache Verstärkerarchitektur mit Gegenkopplung ist der Shunt-Series-Amplifier. Dieser besteht aus einer Kombination von einer Strom- und Spannungsgegenkopplung [44]. Der prinzipielle Aufbau der Schaltung ist in der Abbildung 4.10 dargestellt, wobei die Stromgegenkopplung durch den Widerstand R_1 und die Spannungsgegenkopplung durch R_F realisiert wird. Die Einstellung des Arbeitspunktes ist hier nicht gezeigt, sie kann aber ähnlich wie beim CS-LNA erfolgen.

Da es sich bei dem Shunt-Series-Amplifier um einen klassischen Breitbandverstärker handelt, bei dem die Verstärkung bis zur Grenzfrequenz näherungsweise konstant ist (vgl. [71]), muss die Schaltung eine ausreichende DC-Verstärkung besitzen. Anders ausgedrückt, der Verstärker muss ein ausreichendes

⁴ Dies wird in der Literatur auch als Gain Bandwidth Product (GBW) bezeichnet.

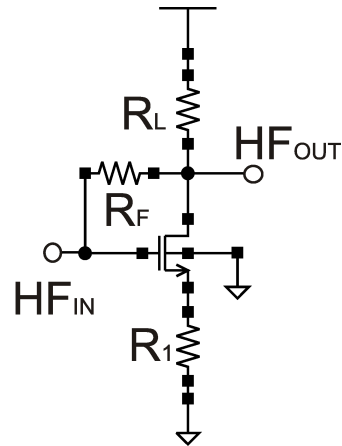


Abbildung 4.10: Prinzipschaltbild des Shunt-Series-Amplifiers.

Verstärkungs-Bandbreite-Produkt (GBW) besitzen. Es wird daher das DC-Verhalten dieser Schaltung betrachtet und gezeigt, dass diese Architektur aufgrund der Systemanforderungen des ZigBee-Empfängers ungünstig ist. Dazu wird das in Abbildung 4.11 gezeigte DC-Kleinsignalersatzschaltbild verwendet.

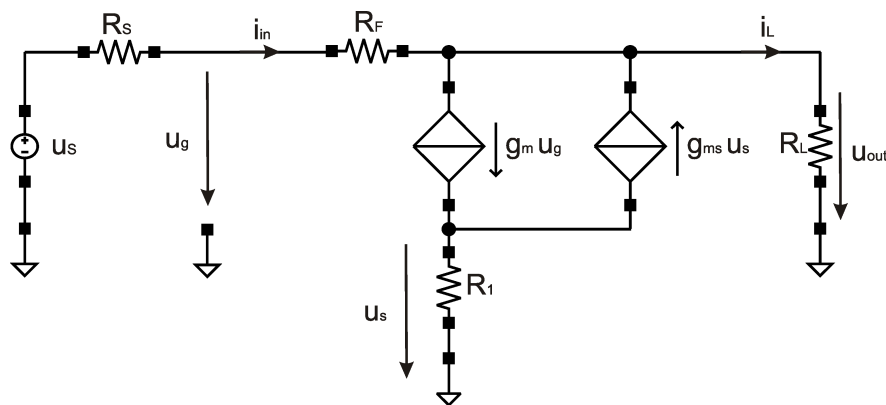


Abbildung 4.11: DC-Kleinsignalersatzschaltbild des Shunt-Series-Amplifiers.

Anhand des Kleinsignalersatzschaltbildes und mit dem durch Gleichung 4.29 definierten effektiven Widerstand R_{eff} (im Sättigungsbereich des MOSFETs), kann die DC-Verstärkung der Schaltung durch die Gleichung 4.30 angegeben werden. Die Eingangsimpedanz ist abhängig von dem Widerstand R_F und der Verstär-

kung wie aus der Gleichung 4.31 ersichtlich ist.

$$\frac{1}{R_{eff}} = g_{m,eff} = \frac{g_m}{1 + g_{ms}R_1} = \frac{1}{1/g_m + nR_1} \quad (4.29)$$

$$G_V|_{DC} = \frac{R_L \cdot (R_F - R_{eff})}{R_{eff} \cdot (R_F + R_L)} \quad (4.30)$$

$$Z_{in}|_{DC} = \frac{R_F}{1 + G_V|_{DC}} \quad (4.31)$$

Damit der Eingang reflexionsfrei abgeschlossen ist, muss die Eingangsimpedanz der Schaltung an die Quellimpedanz $R_s = 50 \Omega$ angepasst sein. Weiter soll der LNA gemäß Abschnitt 2.4.4 eine Verstärkung von 15 dB aufweisen. Daraus ergibt sich aus der Gleichung 4.31 dann $R_F = R_s \cdot (1 + G_V|_{DC}) = 331 \Omega$.

Als nächstes kann die mindestens notwendige Transkonduktanz g_m abgeschätzt werden. Hierfür wird die Gleichung 4.31 in die nach R_{eff} aufgelöste Gleichung 4.30 eingesetzt, woraus $\frac{1}{R_{eff}} = \frac{1}{R_s} + \frac{G_V|_{DC}}{R_L} > 20 \text{ mS}$ sich ergibt. Aus der Gleichung 4.29 folgt mit $1 \gg g_{ms}R_1$ schließlich für den minimalen Wert der Transkonduktanz $g_{m,min} = 20 \text{ mS}$.

Aus dem Wert der Transkonduktanz ergibt sich der minimale Arbeitspunktstrom. Dieser kann wie beim CG-LNA in Abschnitt 4.1 abgeschätzt werden und liegt im Bereich der schwachen Inversion. Da im Sättigungsbereich für die Gate-Transkonduktanz $g_m = g_{ms}/n$ gilt, folgt für den Arbeitspunktstrom $I_{D,min} > g_{m,min} \cdot U_{Temp} = 517,3 \mu\text{A}$. Wird der Spannungsabfall über dem Widerstand R_1 (welcher sehr viel kleiner ist als R_L) und der über dem MOSFET (welcher im Bereich der moderaten Inversion auch sehr gering ist) vernachlässigt, so ergibt sich für den Lastwiderstand der Maximalwert $R_{L,max} = 4,83 \text{ k}\Omega$.

Unter Berücksichtigung der Grenzfrequenz wird der Maximalwert des Lastwiderstands weiter reduziert. Bei einer Eingangskapazität der nachfolgenden Stufe (Mischer), von z.B. $C = 250 \text{ fF}$ und einer geforderten 3-dB-Eckfrequenz von 1 GHz, darf der Widerstand nur $R_{L,max} = 637 \Omega$ betragen. Als Folge muss die Transkonduktanz erhöht werden um die geforderte Verstärkung zu erreichen. Durch die Gegenkopplung wird die Verstärkung zusätzlich reduziert, so dass der notwendige Arbeitspunktstrom weiter erhöht werden muss. Die parasitären Kapazitäten

des MOSFETs (siehe Abschnitt 3.2.3) verschlechtern ebenfalls das Verhalten der Schaltung.

Mit der oben beschriebenen 3-dB-Eckfrequenz von 1 GHz besitzt die Schaltung damit eine Bandbreite die viel größer ist als die, die für die schmalbandigen ZigBee-Signale benötigt wird. Wie in der Einleitung dieses Abschnittes beschrieben ist damit auch die äquivalente Rauschbandbreite der Schaltung viel größer.

4.3.2 LNA nach Tiebout

Ein zweistufiger, rückgekoppelter Verstärker wird von Tiebout in [2] als weitere LNA-Architektur vorgestellt. Der Vorteil dieser Architektur ist die höhere Vorwärtsverstärkung der Schaltung. Dies wird jedoch mit den Nachteilen einer höheren Stromaufnahme und einer größeren Rauschbandbreite erkaufte (vgl. Abschnitt 4.3.1).

Die Ausgangsgröße der Schaltung ist der Drainstrom, der durch die Wahl einer geeigneten Lastimpedanz in eine Spannung umgesetzt werden muss. Der Aufbau des LNAs nach Tiebout ist um den Lastwiderstand erweitert in Abbildung 4.12 dargestellt.

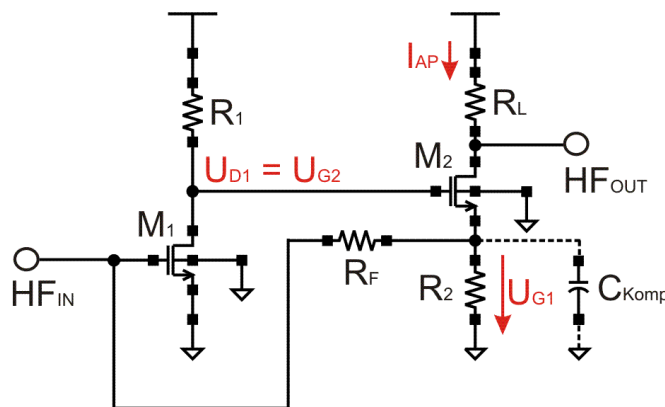


Abbildung 4.12: Prinzipschaltbild des LNAs nach Tiebout [2].

Die Schaltung ist in der Lage selbstständig ihren Arbeitspunkt zu regeln. Dies geschieht folgendermaßen: Durch die Wahl eines ausreichend niedrigen Lastwider-

standes R_L kann der Arbeitspunktstrom durch den MOSFET M_2 fließen. Dieser verursacht an dem Gegenkopplungswiderstand R_2 einen Spannungsabfall, welcher gleich der Gate-Spannung des Transistors M_1 ist. Der sich dadurch ergebende Drainstrom verursacht seinerseits am Widerstand R_1 einen Spannungsabfall. Hierdurch ergibt sich eine Drain-Spannung an M_1 , welcher gleich der Gate-Spannung von M_2 ist. Wird nun durch irgendeinen Einfluss der Drainstrom von M_1 erhöht, so verringert sich die Gate-Spannung von M_2 und damit der Spannungsabfall an R_2 . Dies führt letztlich zu einer Reduzierung des Drainstroms von M_1 . Der Arbeitspunkt wird also geregelt.

Die Zielapplikation des LNAs nach Tiebout ist ein UMTS-Empfänger, der im Zeitduplex (TDD) und im Frequenzduplex (FDD) arbeitet (Erklärung der Duplexverfahren und eine Beschreibung des UMTS-Systems ist in [63, 222–225] zu finden). Die Anforderungen an diesen LNA unterscheiden sich stark von denen des ZigBee-Systems. Da das UMTS-System im FDD-Modus auf unterschiedlichen Frequenzen gleichzeitig sendet und empfängt, darf es zwischen dem Sender und dem Empfänger nicht zu einem Übersprechen kommen. Diese Forderung zu erfüllen wird zusätzlich durch die Tatsache erschwert, dass die abgestrahlte Leistung im Sender viele Größenordnungen über der Eingangsempfindlichkeit des Empfängers liegt. Da es durch eine Spule im LNA leichter zu einem Übersprechen kommen kann, wird gemäß [2] auf diese verzichtet. Als weiteres Argument für diesen LNA wird dort die kleinere Chipfläche angegeben.

Ein großer Nachteil der vorgestellten Architektur ist der hohe Stromverbrauch. Dieser führt in der Schlussfolgerung in [2] dazu, dass der LNA in CMOS-Technik nicht besonders gut für den praktischen Einsatz geeignet ist und letztlich der LNA in einer BiCMOS Technologie mit BJT-Transistoren realisiert wird. Im folgenden wird dieser LNA daher nur kurz betrachtet und ein weiterer Nachteil erläutert.

Die Analyse der Schaltung kann mit Hilfe des in Abbildung 4.13 gezeigten Kleinsignalersatzschaltbildes erfolgen. Mit g_{ds1} und g_{ds2} den Ausgangsleitwerten der MOSFETs M_1 bzw. M_2 , $C_{in1} = C_{gs1} + C_{gb1} + C_{gs,ov1} + C_{gb,ov1}$ und $C_{out1} = C_{jd1} + C_{gb2} + C_{gb,ov2}$. Als Ergebnis kann die DC-Verstärkung der Schaltung durch die Gleichung 4.32 und die DC-Eingangsimpedanz durch Gleichung 4.33 angegeben werden. Dabei ist $R_{out1} = \frac{R_1}{1 + g_{ds1}R_1}$.

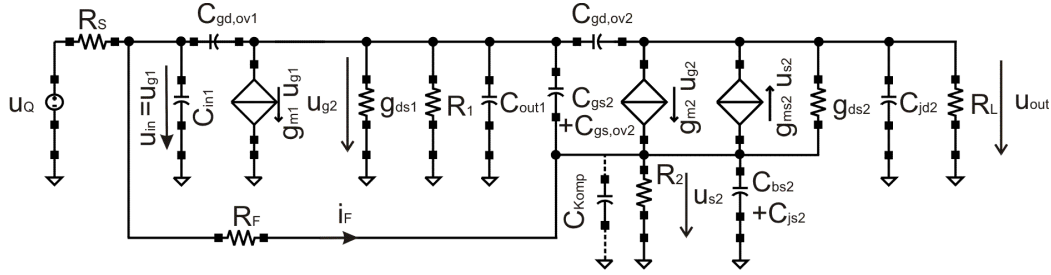


Abbildung 4.13: Kleinsignalersatzschaltbild des LNAs nach Tiebout.

$$G_V|_{DC} = \frac{g_{m1}g_{m2}R_{out1}R_L + \frac{R_2}{R_2+R_F}R_L \cdot (g_{ms2} + g_{ds2})}{1 + g_{ds2}R_L + (R_2 || R_F) \cdot (g_{ms2} + g_{ds2})} \quad (4.32)$$

$$Z_{in}|_{DC} = \frac{R_F}{1 - \frac{\frac{R_2}{R_F} - g_{m1}g_{m2}R_{out1}R_2}{1 + g_{ms2}R_2 + \frac{R_2}{R_F} + g_{ds2}R_2} - \frac{g_{ds2}R_2}{1 + g_{ms2}R_2 + \frac{R_2}{R_F} + g_{ds2}R_2} \cdot G_V|_{DC}} \quad (4.33)$$

Unter Berücksichtigung von $R_2 \ll R_F$, $g_{ds2} \ll g_{ms2}$ und einer weiteren Vereinfachung kann die Verstärkung und die Eingangsimpedanz näherungsweise durch die Gleichungen 4.34 und 4.35 ausgedrückt werden. Aus den Gleichungen wird deutlich, dass die Gesamtverstärkung der Schaltung sich aus den, um die Gegenkopplung reduzierten Teilverstärkungen der Stufen ergibt. Die Eingangsimpedanz des LNAs wird durch den Widerstand R_F (bei $R_2 \approx R_L$) und durch die Verstärkung der Schaltung bestimmt.

$$G_V|_{DC} \approx \frac{g_{m1}g_{m2}R_{out1}R_L}{1 + g_{ms2}R_2} \quad (4.34)$$

$$Z_{in}|_{DC} \approx \frac{R_F}{1 + \frac{R_2}{R_L} \cdot G_V|_{DC}} \quad (4.35)$$

Die Verstärkung wird bei hohen Frequenzen durch den parasitären Tiefpassfilter reduziert, der sich aus den Elementen R_{out1} und C_{out1} bildet. Den Hauptanteil an C_{out1} trägt C_{jd1} bei. Damit bestimmt die Zeitkonstante die sich aus $R_{out1} \cdot C_{jd1}$ ergibt maßgeblich die Grenzfrequenz der gesamten Schaltung. In [2] wird zum Widerstand R_2 eine Kapazität C_{Komp} parallel geschaltet (vgl. Abbildungen 4.12

und 4.13). Diese bewirkt bei hohen Frequenzen eine Reduzierung der Gegenkopplung und damit eine Vergrößerung der Verstärkung der zweiten Stufe. Die bei hohen Frequenzen auftretende Reduzierung der Verstärkung der ersten Stufe, wird durch eine Anhebung der Verstärkung der zweiten Stufe kompensiert.

In der Abbildung 4.14 ist die Spannungsverstärkung des LNAs für unterschiedliche Werte der Kapazität C_{Komp} gezeigt. Aus der Darstellung ist zu erkennen, dass durch die Wahl von z.B. $C_{Komp} = 3 \text{ pF}$ die Bandbreite der Schaltung verdreifacht werden kann. Bei der Wahl einer größeren Kapazität kommt es zu einer stärkeren Reduzierung der Gegenkopplung und damit zu einem Anstieg der Verstärkung bei hohen Frequenzen. Durch die Vergrößerung der Bandbreite der Schaltung wird allerdings auch die äquivalente Rauschbandbreite der Schaltung vergrößert (vgl. Abschnitt 4.3.1).

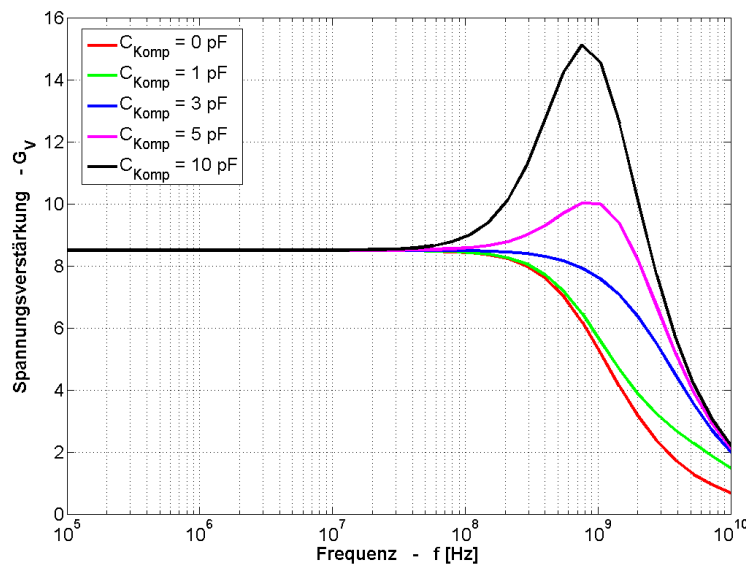


Abbildung 4.14: Simulationsergebnis: Spannungsverstärkung G_V des LNAs nach Tiebout mit unterschiedlichen Kapazitätswerten für C_{Komp} .

Durch die Kapazität C_{Komp} wird die Gegenkopplung bei hohen Frequenzen verringert und bedingt dadurch wird auch die Linearität der Schaltung in diesem Frequenzbereich reduziert. Um dies zu verdeutlichen wurde bei dem LNA eine

Kapazität von $C_{Komp} = 10$ pF gewählt und der $IIP3$ einmal für eine Frequenz von 10 MHz und einmal für 794 MHz bestimmt (wobei die verwendeten Testsignale hierbei 1 MHz voneinander entfernt liegen). Der letztgenannte Frequenzwert ist der Wert, bei dem die Verstärkung des LNAs ihren Maximalwert erreicht (vgl. Abbildung 4.14). Das $IIP3$ -Simulationsergebnis ist in Abbildung 4.15 dargestellt. Bei 10 MHz ergibt sich daraus ein deutlich höher $IIP3$ als bei 794 MHz.

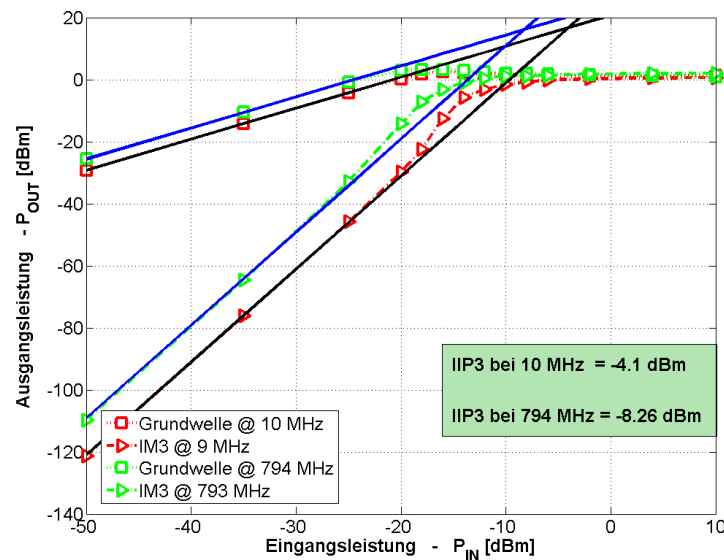


Abbildung 4.15: Simulationsergebnis: $IIP3$ des LNAs nach Tiebout bei 10 MHz und 794 MHz.

Bei diesem LNA wird der Vorteil der gegengekoppelten Struktur (eine höhere Linearität, vgl. Abschnitt 4.3.1) im oberen Frequenzbereich gegen eine höhere Verstärkung eingetauscht. Da es sich bei den Eingangssignalen des ZigBee-LNAs um schmalbandige Signale handelt, ist hier die Verstärkung und die Linearität besonders im oberen Frequenzbereich von Bedeutung. Eine schlechtere Linearität in diesem Bereich ist somit nachteilig. Ebenso ist die Stromaufnahme des LNAs sehr hoch, so dass dieser für den Einsatz im ZigBee-Empfänger nicht geeignet ist.

4.3.3 LNA nach Janssens

Eine LNA-Architektur ohne Spulen wird von Janssens in [3] vorgestellt. Diese besteht aus drei kaskadierten Stufen, wobei die dritte Stufe als Ausgangstreiber verwendet wird. Der Aufbau der Schaltung ist in Abbildung 4.16 gezeigt, dabei ist aus Gründen der Übersichtlichkeit die Einstellung des Arbeitspunktes und die Ausgangsstufe nicht dargestellt.

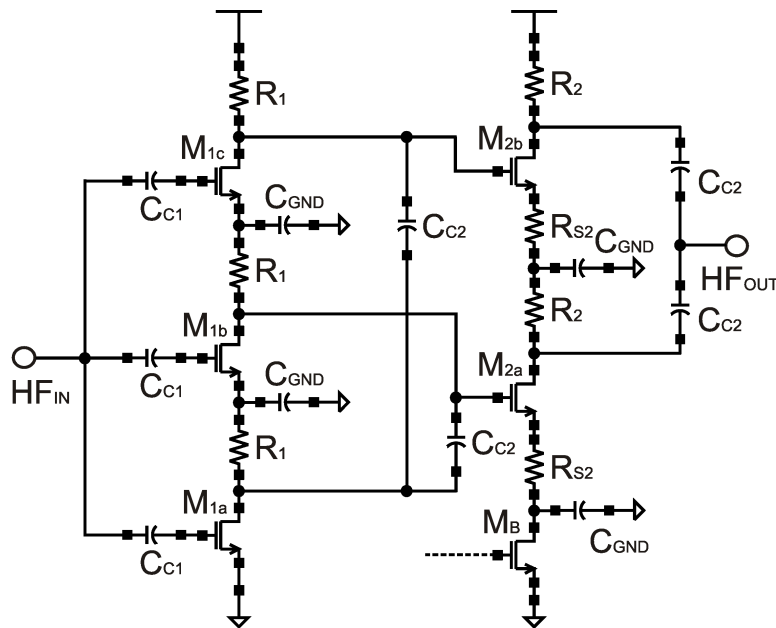


Abbildung 4.16: Prinzipschaltbild des LNAs nach Janssens [3].

Um den Stromverbrauch zu reduzieren wird die Current-Reuse-Technik verwendet [3]. Hierbei werden identische Verstärkungselemente übereinander angeordnet⁵, welche vom gleichen Arbeitspunktstrom durchflossen werden. In der ersten Stufe sind dies drei Elemente, die aus den MOSFETs $M_{1a} - M_{1c}$ gemeinsam mit den Lastwiderständen R_1 aufgebaut sind. Die zweite Stufe bilden zwei Verstärkungselemente, bestehend aus den MOSFETs M_{2a} und M_{2b} und den Lastwiderständen R_2 , sowie den Gegenkopplungswiderständen R_{S2} . Gemäß [3] sorgen die Kapazitäten C_{GND} dafür, dass die Source-Anschlüsse der MOSFETs $M_{1a} - M_{1c}$

⁵ Aufgrund der Anordnung wird dies in der Literatur als Stacked bezeichnet.

und ein Anschluss der Widerstände R_{S2} im Kleinsignalersatzschaltbild auf Massepotential liegen. Die Kapazitäten C_{C1} und C_{C2} dienen als Koppelkapazitäten.

Um die Architektur nach Janssens zu beurteilen wird diese im folgenden mit einer vereinfachten Variante verglichen. Die vereinfachte Variante soll nur aus einem Verstärkungselement der ersten Stufe, kaskadiert zu einem Verstärkungselement der zweiten Stufe bestehen und die Verstärkungselemente sollen aus den gleichen MOSFETs und Lastwiderständen aufgebaut sein. Die Vor- und Nachteile der Architektur nach Janssens werden bei Betrachtung des Kleinsignalersatzschaltbildes deutlich. In diesem sind die drei Verstärkungselemente der ersten Stufe zueinander parallel geschaltet, ebenso wie die in der zweiten Stufe. Das vereinfachte resultierende Kleinsignalersatzschaltbild ist in der Abbildung 4.17 dargestellt. Die Verstärkung bei geringen Frequenzen ist damit proportional zu $3g_{m1} \cdot \frac{R_1}{3} = g_{m1}R_1$. Ein vergleichbares Resultat ergibt sich für die zweite Stufe. Bei geringen Frequenzen zeigt die Variante, bei der mehrere Verstärkungselemente übereinander angeordnet sind keinen Vorteil im Vergleich zu der Variante, bei der nur ein einzelnes Verstärkungselement verwendet wird.

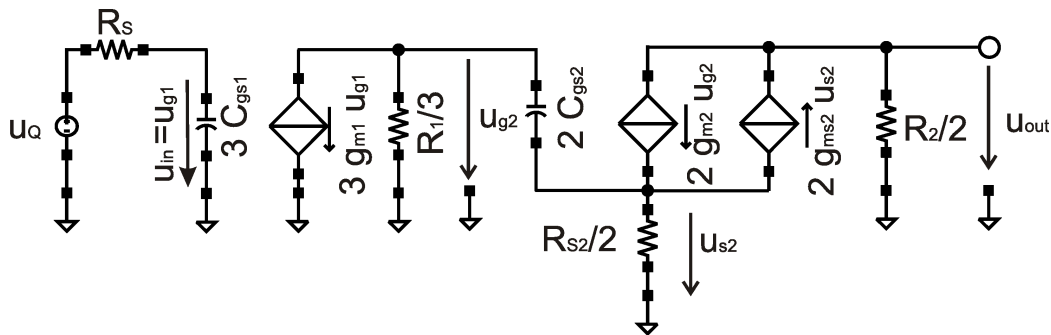


Abbildung 4.17: Vereinfachtes resultierendes Kleinsignalersatzschaltbild des LNAs nach Janssens.

Anders verhält es sich jedoch bei höheren Frequenzen, wo die parasitären Kapazitäten der MOSFETs berücksichtigt werden müssen. Hier zeigt sich anhand des Kleinsignalersatzschaltbildes, dass die drei Verstärkungselemente der ersten Stufe nur zwei Eingangskapazitäten ($2 C_{gs2}$) der Folgestufe treiben müssen. Die Schaltung erreicht daher eine größere Bandbreite als eine Schaltung in der nur einzelne Verstärkungselemente kaskadiert werden. Aus dem Kleinsignalersatzschaltbild

in Abbildung 4.17 wird auch der Nachteil der Schaltung deutlich. Am Eingang des LNAs entsteht bei dieser Architektur eine dreifach höhere Eingangskapazität ($3 C_{gs1}$) im Vergleich zu der Variante, bei der nur einzelne Verstärkungselemente kaskadiert werden.

Aus dem Kleinsignalersatzschaltbild in Abbildung 4.17 wird deutlich, dass die Eingangsimpedanz maßgeblich durch die Eingangskapazität bestimmt wird. In [3] wird beschrieben, dass auf eine Impedanzanpassung am Eingang verzichtet wurde. Die Messwerte für die Eingangsimpedanz und den Eingangsreflexionsfaktor des LNAs nach Janssens werden in [116] präsentiert. Diese weichen wie zu erwarten, stark von dem geforderten Wert 50Ω ab.

Nachteilig beim LNA nach Janssens ist auch der sehr große Flächenbedarf, welcher ebenfalls in [116] kritisiert wird. Dieser wird nach der Begründung in [3] verursacht durch die Kapazitäten C_{GND} . Die Kapazitäten müssen einen ausreichend großen Wert (und damit Fläche) aufweisen damit diese dafür sorgen können, dass die Schaltungsknoten an denen sie angeschlossen sind für die Signalfrequenzen auf Massepotential liegen. Der LNA nach Janssens benötigt damit eine größere Fläche als z.B. die CS-LNAs in [191, 226] inklusive der auf dem Chip befindlichen Spulen.

Abschließend seien hier die erreichten Kennzahlen des LNAs nach Janssens [3] gegeben. Dieser ist in einer $0,25 \mu\text{m}$ CMOS-Technologie realisiert und erreicht bei einem Stromverbrauch von $3,4 \text{ mA}$ eine Spannungsverstärkung G_V von $14,8 \text{ dB}$ bei 700 MHz und 9 dB bei 900 MHz , sowie einen $IIP3$ von $-4,7 \text{ dBm}$.

4.3.4 Synthetische Spule

4.3.4.1 Aufbau und Wirkungsweise

Die in den vorausgehenden Abschnitten vorgestellten LNA-Architekturen CG-LNA und CS-LNA besitzen am Drain-Anschluss eine Spule. Diese bildet mit den parasitären Elementen an diesem Knoten einen auf die gewünschte Trägerfrequenz abgestimmten Schwingkreis. In diesem Abschnitt soll nun untersucht

werden, ob diese Spule durch eine synthetische Spule ersetzt werden kann. Das bedeutet, es wird eine aktive Schaltung betrachtet, welche sich an ihren Klemmen in dem gewünschten Frequenzbereich wie eine reale Spule verhält.

Der schematische Aufbau der synthetischen Spule gemäß [43] ist gemeinsam mit dem prinzipiellen Verlauf der Impedanz $|Z|$ in Abbildung 4.18 gezeigt. Die Stromquelle steht dabei symbolisch für den LNA-MOSFET, wodurch der zur Verfügung stehende Arbeitspunktstrom vorgegeben ist. Von der Stromquelle aus kann die Impedanz Z in die Schaltung eingesehen werden, wobei der Verlauf der Impedanz über den Widerstand R und die Kapazität C eingestellt wird.

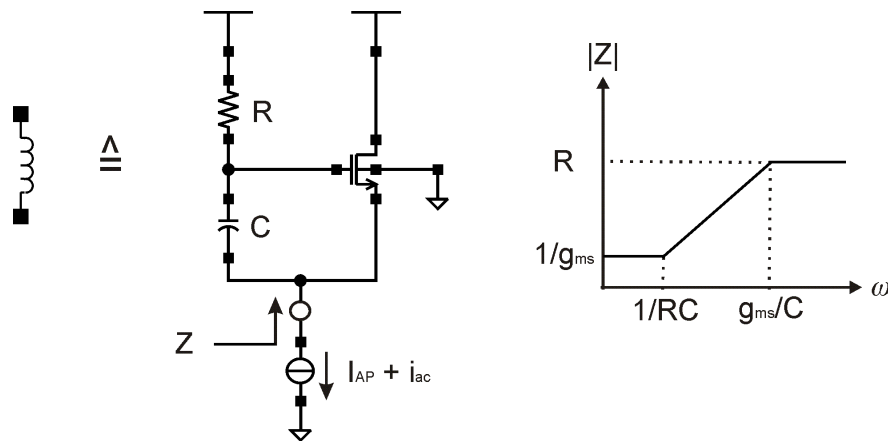


Abbildung 4.18: Schaltbild der synthetischen Spule und prinzipieller Verlauf der Impedanz $|Z|$.

Als Alternative kann die in Abbildung 4.19 gezeigte Architektur mit einem PMOS-Transistor verwendet werden. Im Gegensatz zur NMOS-Variante gelangt hier das Eingangssignal an das Drain des MOSFETs. Der Vorteil dieser Architektur ist, dass der Substratsteuereffekt keinen Einfluss auf den Verlauf der Impedanz hat. Bedingt durch die geringere Beweglichkeit der Ladungsträger besitzt der PMOS-Transistor bei gleicher Geometrie und gleichem Drainstrom eine geringere Transkonduktanz (g_m) und daher einen größeren DC-Wert der Impedanz. Die synthetische Spule mit dem PMOS-Transistor weist letztlich eine etwas schlechtere Performance auf, als die NMOS-Variante und wird daher im folgenden nicht weiter betrachtet.

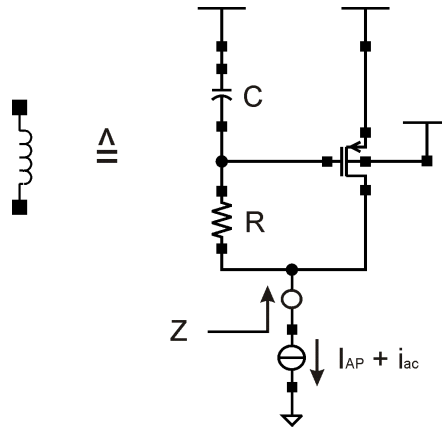


Abbildung 4.19: Schaltbild der synthetischen Spule, bestehend aus einem PMOS-Transistor.

Die Impedanz der synthetischen Spule aus Abbildung 4.18 kann mit Hilfe des in Abbildung 4.20 dargestellten Kleinsignalersatzschaltbildes bestimmt werden. Dabei werden die in Abschnitt 3.2.3 beschriebenen internen und externen Kapazitäten sowie der Ausgangsleitwert g_{ds} des MOSFETs berücksichtigt. Es gilt für die Kapazitäten $C_1 = C + C_{gs} + C_{gs,ov}$, $C_2 = C_{gb} + C_{gb,ov} + C_{gd,ov}$ und $C_3 = C_{bs} + C_{js}$.

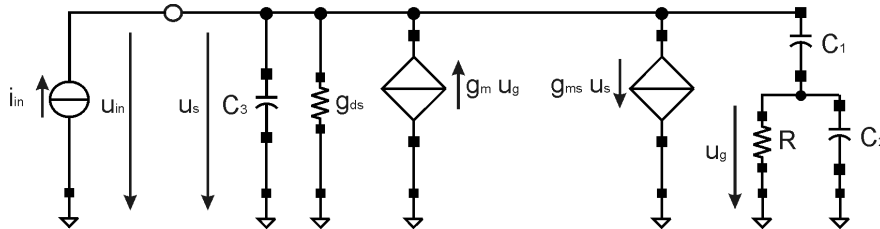


Abbildung 4.20: Kleinsignalersatzschaltbild der synthetischen Spule mit parasitären Elementen (NMOS-Variante).

Die Impedanz kann damit bestimmt werden als:

$$Z = \frac{1}{g_{ms} + g_{ds}} \cdot \frac{1 + s(C_1 + C_2)R}{1 + s \left[(C_1 + C_2)R + \frac{C_3 + C_1(1 - g_m R)}{g_{ms} + g_{ds}} \right] + s^2 \frac{(C_1 C_2 + C_1 C_3 + C_2 C_3)R}{g_{ms} + g_{ds}}} \quad (4.36)$$

Mit der ersten Näherung $C_1 = C$, $C_3 = C_{js}$ und $g_{ds} = 0$ ergibt sich der Ausdruck

$$Z \approx \frac{1}{g_{ms}} \cdot \frac{1 + sCR}{1 + s \left[CR + \frac{C(1-g_m R)}{g_{ms}} \right] + s^2 CR \cdot \frac{C_2 + C_3}{g_{ms}}} . \quad (4.37)$$

Werden alle Kapazitäten des MOSFETs vernachlässigt, d.h. $C_1 = C$, $C_2 = C_3 = 0$ so ergibt sich als weitere Näherung

$$Z \approx \frac{1}{g_{ms}} \cdot \frac{1 + sCR}{1 + s \left[CR + \frac{C(1-g_m R)}{g_{ms}} \right]} \quad (4.38)$$

$$Z \approx \frac{1}{g_{ms}} \cdot \frac{1 + sCR}{1 + s \frac{C}{g_{ms}}} . \quad (4.39)$$

Aus der Näherung in Gleichung 4.39 ergibt sich der in Abbildung 4.18 dargestellte prinzipiellen Verlauf der Impedanz.

Die Spule soll letztendlich eingesetzt werden, um die parasitären Kapazitäten am Drain-Anschluss des LNA-MOSFETs zu kompensieren. Dies ist im allgemeinen nur möglich, solange die Spule unterhalb ihrer Eigenresonanzfrequenz betrieben wird und gilt damit selbstverständlich auch für die synthetische Spule. Es wird daher die Fähigkeit betrachtet kapazitive Lasten treiben zu können. Dazu wird die Lastkapazität bestimmt, die notwendig ist, um den Schwingkreis (bestehend aus der synthetischen Spule und Lastkapazität C_{Komp}) für die jeweilige Frequenz abzustimmen. Für die Eigenresonanzfrequenz wird der Betrag der Impedanz maximal und es gilt $C_{Komp} = 0$ F. Wie in Abschnitt 3.4.2.4 beschrieben, wird für die minimale Lastkapazität der Grenzwert von 1 pF festgelegt. Basierend hierauf kann die Grenzfrequenz ermittelt werden, bei der die Kompensationskapazität $C_{Komp} = 1$ pF beträgt. Dieser Wert liegt unterhalb der Eigenresonanzfrequenz der Spule.

Wie im Abschnitt 4.1.4 beschrieben, hat der Rauschanteil der von der Lastimpedanz stammt, einen Einfluss auf das gesamte Noise Figure des LNAs. Es wird daher untersucht, wie groß der Anteil des Rauschens, von der synthetischen Spule im Vergleich zur realen Spule ist. Die reale Spule weist im Resonanzfall den Widerstand $R_{p,res} = 1/\text{Re}\{Y\}$ auf. Sie produziert damit eine Rauschleistungsdichte von $\frac{\overline{u_n^2}}{\Delta f} = 4kT \cdot R_{p,res}$. Wird die Rauschleistungsdichte der synthetischen Spule

ins Verhältnis zu der Rauschleistungsdichte der realen Spule gesetzt, so kann der Noise-Excess-Faktor der Spule definiert werden als

$$\Gamma_{syn,Spule} = \frac{\overline{u_{n,syn,Spule}^2}}{\Delta f \cdot 4kT \cdot (1/\text{Re}\{Y\})} . \quad (4.40)$$

Er beschreibt damit, wievielfach stärker das Rauschen der synthetischen Spule als das der realen Spule ist. Der Faktor $\Gamma_{syn,Spule}$ wird durch eine Schaltungssimulation bestimmt. Er wird neben der erreichten Güte als ein Bewertungskriterium der synthetischen Spule verwendet. Die Ergebnisse der Schaltungssimulationen werden im nächsten Abschnitt präsentiert.

4.3.4.2 Simulationsergebnisse

Als Startwerte für das Design und als Basis für die hier präsentierten Simulationsergebnisse werden die in Tabelle 4.1 aufgeführten Dimensionierungsgrößen der synthetischen Spule verwendet.

Tabelle 4.1: Dimensionierungsdaten der synthetischen Spule.

Variable	W	L	I_{AP}	R	C
Wert	100 μm	0,25 μm	1 mA	1 k Ω	10 pF

Als erstes erfolgt wie in Abbildung 4.21 dargestellt der Vergleich der berechneten Werte, mit dem Verlauf der Impedanz der durch die Schaltungssimulation in Cadence ermittelt wurde. Die für die Berechnung notwendigen Kleinsignalparameter wurden ebenfalls durch die Schaltungssimulation bestimmt. Aus der Darstellung ist die sehr gute Übereinstimmung zwischen der Schaltungssimulation und dem nach Gleichung 4.36 berechneten Verlauf (Exakte Rechnung) zu erkennen. Weiterhin ist dort der Vergleich mit der ersten Näherung (Gleichung 4.37), der zweiten Näherung (Gleichung 4.38) und der dritten Näherung (Gleichung 4.39) gezeigt. Aus der Darstellung bekommt der Designer ein erstes Gefühl dafür, welche parasitären Effekte des MOSFETs sich auf die Performance der synthetischen Spule auswirken.

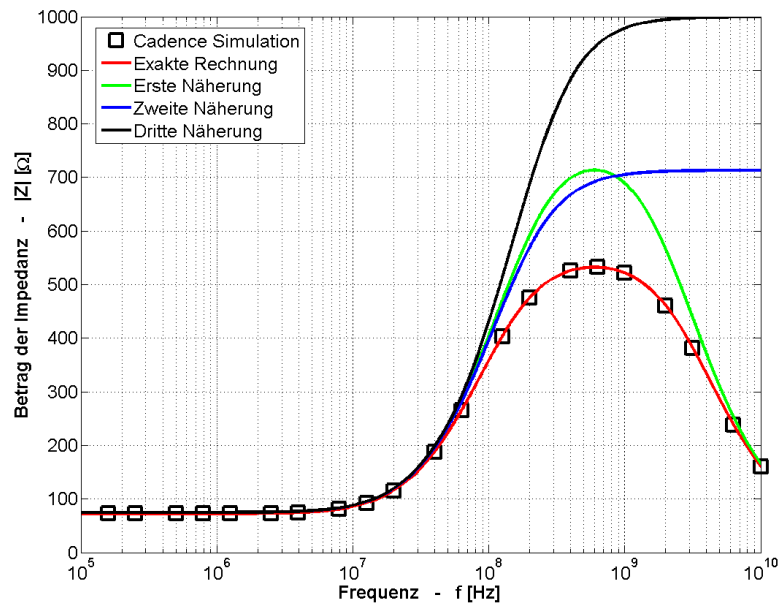


Abbildung 4.21: Vergleich Simulation und Berechnung der synthetischen Spule.

Als zweites werden die in Tabelle 4.1 angegebenen Dimensionierungsgrößen der synthetischen Spule einzeln variiert. Das Ergebnis der Schaltungssimulation für den Betrag der Impedanz ist in Abbildung 4.22 gezeigt. Für den Ausgangswert beträgt der DC-Wert der Impedanz $|Z|_{\omega=0} = 72,43 \Omega$. Damit kann gemäß der Definition in Gleichung 3.43 ein maximales $Q_{R_p, res, R_{DC}, max} = 2,71$ erreicht werden. Durch die Vergrößerung des Widerstandes wird ein höherer Maximalwert erreicht und durch die Vergrößerung der Kapazität wird die Polstelle zu niedrigeren Frequenzen verschoben und damit das System breitbandiger. Über den Arbeitspunktstrom wird der Wert der Impedanz skaliert. Durch eine Verringerung der Weite (Multiplier M reduziert von 10 auf 1) wird das System breitbandiger und das Maxima ganz leicht zu höheren Frequenzen verschoben. Als Nachteil ergibt sich jedoch ein höherer DC-Wert der Impedanz.

Als drittes wird die Fähigkeit betrachtet kapazitive Lasten treiben zu können. Dazu wird, wie im vorherigen Abschnitt beschrieben, aus der Schaltungssimulation die Kompensationskapazität C_{Komp} bestimmt. Diese ist in Abbildung 4.23 dargestellt. Weiterhin wird die Grenzfrequenz ermittelt bei der die Kompensati-

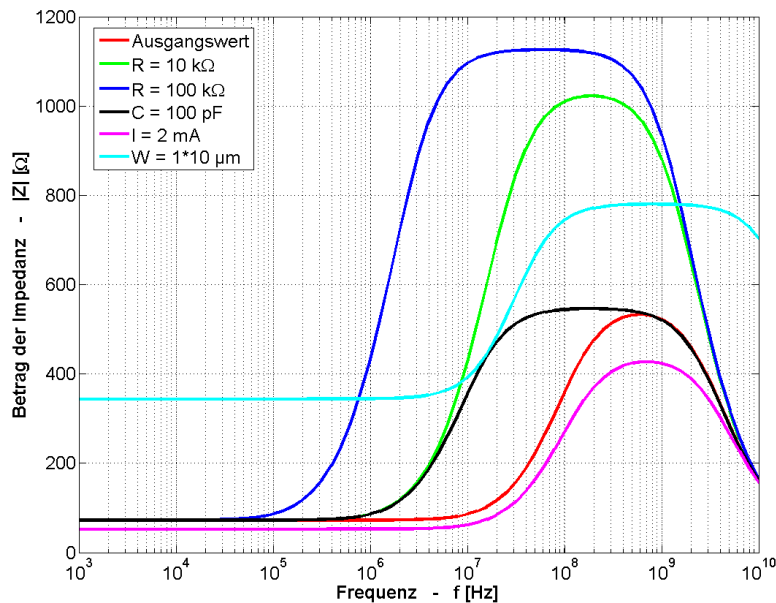


Abbildung 4.22: Simulation der synthetischen Spule mit variierten Dimensionierungsgrößen.

onskapazität $C_{Komp} = 1 \text{ pF}$ beträgt. Dieser Wert ist auch in der Darstellung in Abbildung 4.23 eingetragen. Aus dem Simulationsergebnis ist zu erkennen, dass durch eine Vergrößerung des Widerstandes oder der Kapazität die Grenzfrequenz sinkt. Durch eine Verringerung der Weite wird ebenfalls die Grenzfrequenz reduziert, dagegen sorgt eine Vergrößerung der Stromaufnahme für eine Erhöhung der Grenzfrequenz.

Als letztes wird das Rauschen der synthetischen Spule untersucht. Dafür wird gemäß der Definition im vorherigen Abschnitt in Gleichung 4.40 der Noise-Excess-Faktor $\Gamma_{syn,Spule}$ bestimmt. Dargestellt ist in Abbildung 4.24 das Ergebnis der Schaltungssimulation. Aus der Darstellung ist zu erkennen, dass $\Gamma_{syn,Spule}$ mit zunehmender Frequenz fällt. Im Frequenzbereich in dem der Betrag der Impedanz ansteigt, ist auch ein Anstieg von $\Gamma_{syn,Spule}$ zu erkennen. In dem Frequenzbereich in dem die synthetische Spule sinnvoll eingesetzt werden kann, ist $\Gamma_{syn,Spule} = 4 \dots 6$. Die synthetische Spule produziert damit im Vergleich zur realen Spule einen um den Faktor vier bis sechs höheren Rauschanteil.

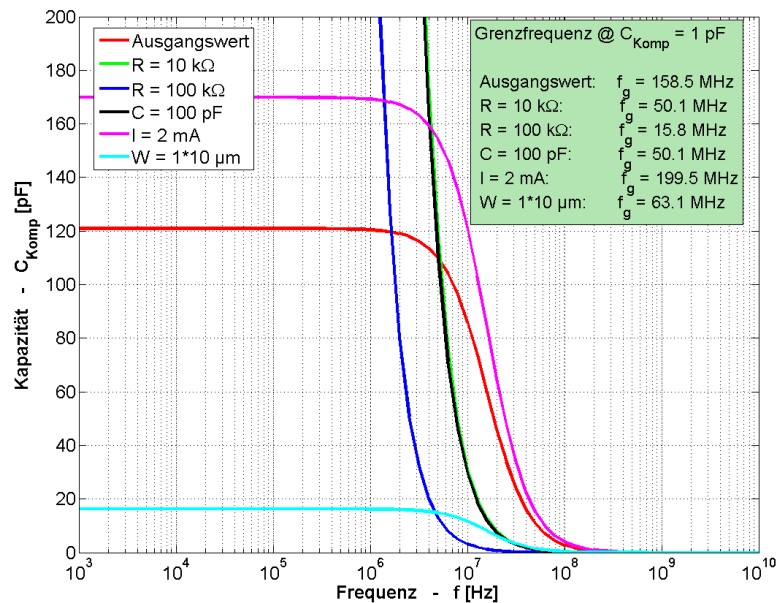


Abbildung 4.23: Lastkapazität (C_{Komp}) zur Kompensation der synthetischen Spule für unterschiedliche Dimensionierungsgrößen.

Abschließend sei noch darauf hingewiesen, dass bei den Schaltungssimulationen das BSIM3V3 Modell verwendet wurde. Wie im Abschnitt 3.2.5 beschrieben, wird bei diesem Modell das Rauschen nicht korrekt modelliert. Bei der realen Schaltung ist daher ein größerer Faktor $\Gamma_{syn,Spule}$ zu erwarten.

4.3.4.3 Bewertung und Zusammenfassung

In den beiden vorherigen Abschnitten wurde die Architektur der synthetischen Spule analytisch und numerisch durch Schaltungssimulationen analysiert. Die mit den Startwerten für das Design (siehe Tabelle 4.1) erreichte Performance der synthetischen Spule ist nicht ausreichend für den Einsatz im LNA.

Das Maxima der Impedanz (Eigenresonanz) tritt bei einer viel zu geringen Frequenz auf. Dieses Problem kann behoben werden, indem $C = 0 \text{ F}$ gesetzt wird und der Widerstand R , sowie die Weite W des MOSFETs entsprechend gewählt werden. Die maximal erreichte Güte $Q_{R_p, res, R_{DC}, max}$ der synthetischen Spule ist

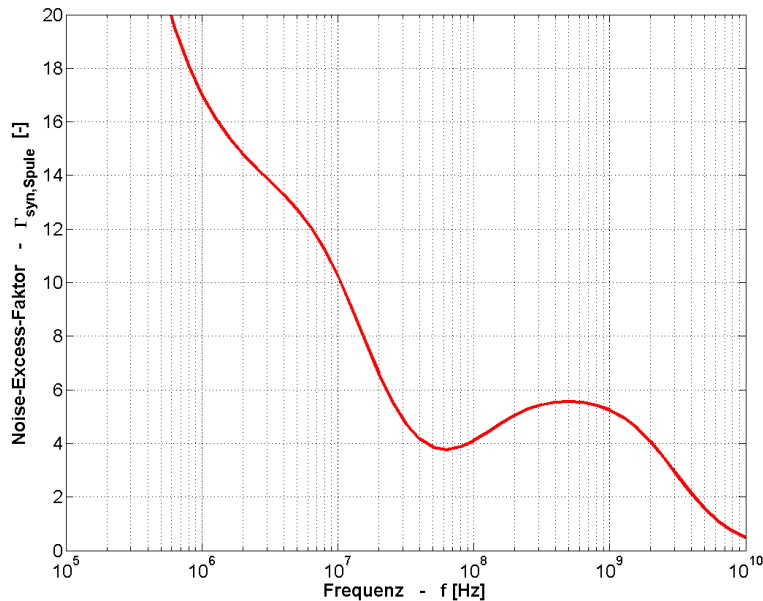


Abbildung 4.24: Noise-Excess-Faktor der synthetischen Spule $\Gamma_{syn,Spule}$.

im Vergleich zur realen Spule viel geringer. Die geringe Güte wird noch weiter reduziert wenn versucht wird die synthetische Spule für den Einsatz bei höheren Frequenzen (hier z.B. 868 MHz) zu dimensionieren.

In der Literatur wird in [227] eine Kaskodenarchitektur für die synthetische Spule vorgestellt und in einer GaAs-Technologie realisiert. Diese kann im Vergleich zur realen Spule in einem größerem Frequenzbereich eingesetzt werden und wird z.B. in einem Breitbandverstärker verwendet. In [228] wird eine erweiterte Kaskodenarchitektur vorgestellt die bei der richtigen Dimensionierung theoretisch verlustfrei ist. In der Praxis wird dies durch die parasitären Einflüsse nicht erreicht. Die in [227, 228] vorgestellten Kaskodenarchitekturen werden in [229] in einer SOI-Technologie untersucht. Dabei erreicht die erweiterte Kaskodenarchitektur eine maximale Güte von 150, allerdings bei einem sehr hohen Stromverbrauch. Eine synthetische Spule wird in einem differentiellen CG-LNA in [230] eingesetzt und in [231] in einem CS-LNA. Dort wird ebenfalls auf das Problem hingewiesen, dass die synthetische Spule einen großen Anteil zum Rauschen der Schaltung beiträgt.

Die synthetische Spule verursacht außerdem nach den dortigen Aussagen eine größere Nichtlinearität der Schaltung.

Damit die Spule eine Lastkapazität kompensieren kann muss sie unterhalb ihrer Eigenresonanzfrequenz betrieben werden. Als weitere Kennzahl kann die Grenzfrequenz ermittelt werden, bei der die Spule noch eine bestimmte Lastkapazität kompensieren kann. Wird versucht die hier betrachtete einfache synthetische Spule für höhere Frequenzen zu dimensionieren, so liegt die Grenzfrequenz weit unterhalb ihrer Eigenresonanzfrequenz. Das bedeutet, dass wenn die synthetische Spule für höhere Frequenzen dimensioniert werden soll, diese nicht gleichzeitig eine hohe effektive Induktivität besitzen kann. Dies ist auch bei der realen Spule zu beobachten. Bei dem hier betrachteten Frequenzbereich können die Anforderungen einfacher mit einer realen Spule erfüllt werden.

Bei der Betrachtung des Rauschen wurde festgestellt, dass der Rauschanteil der synthetischen Spule im Vergleich zur realen Spule um einen Faktor größer ist. Die reale Spule ist daher der synthetischen Variante vorzuziehen.

Der große Vorteil der synthetischen Spule ist, dass nur eine sehr kleine Chipfläche benötigt wird. Für den Einsatz in einem LNA überwiegen aber die oben geschilderten Nachteile, so dass die reale Spule der synthetischen Spule klar vorzuziehen ist.

4.3.5 Symmetrische LNA-Schaltungen

Die bisher betrachteten LNA-Architekturen arbeiten mit unsymmetrischen Signalen, d.h. die Schaltung arbeitet mit Massebezogenen Signalen.⁶ Weiterhin besitzen diese LNAs einen einzelnen, jeweils Massebezogenen Ein- und Ausgang. Im Gegensatz dazu gibt es LNAs, die mit symmetrischen Signalen arbeiten.⁷ Die Ein- und Ausgänge dieser LNAs besitzen typischerweise zwei Anschlüsse, welche jeweils mit Differenzsignalen arbeiten. Im allgemeinen sind auch Kombinationen

⁶ In der Literatur werden diese Schaltungen auch als „Single Ended Circuits“ bezeichnet.

⁷ Diese Schaltungen werden in der Literatur auch als „Differential Circuits“ bezeichnet.

von symmetrischen und unsymmetrischen Ein- und Ausgängen denkbar, jedoch sind diese typischerweise beim Mischer zu finden.⁸

Ein Problem stellen die Bonddrähte und die damit einhergehenden Induktivitäten für die unsymmetrischen LNAs dar. Die parasitäre Induktivität nach Masse hat besonders beim CS-LNA einen großen Einfluss, da die notwendige Induktivität L_s (siehe Abschnitt 4.2) in der gleichen Größenordnung wie die Induktivität des Bonddrahtes liegt. Die auf dem Chip befindlich Bezugsmasse kann durch andere Schaltungen moduliert werden, was schließlich wie in [186] gezeigt wird zur Instabilität des LNAs führen kann. Ein möglicher Ansatz diese Probleme zu lösen besteht darin, mehrere Bonddrähte für die Zuführung der Masse zu verwenden und die kritischen Schaltungsblöcke getrennt zu versorgen. Ein anderer Lösungsansatz ist der Einsatz eines symmetrischen LNAs [13, 44, 186].

Ein LNA der mit symmetrischen Signalen arbeitet weist eine verbesserte Stabilität auf und sorgt für eine bessere Unterdrückung von Gleichtaktstörungen. Das Rauschen das über die Arbeitspunktquellen in die Schaltung eingekoppelt wird, teilt sich exakt zur Hälfte auf die beiden Schaltungszweige auf und wird damit ebenfalls unterdrückt. Da beim symmetrischen LNA das Signal auf die beiden Schaltungszweige aufteilt wird, erreicht dieser LNA einen um 3 dB höheren $IIP3$ als die unsymmetrische Variante [13, 44].

Die Vorteile eines symmetrischen LNAs werden aber durch eine Reihe von Nachteilen erkaufte, diese sind: Die an den Eingang des LNAs angeschlossene Antenne oder das gegebenenfalls eingesetzte Filter arbeiten typischerweise mit Massebezogenen Signalen, wodurch eine Umsetzung von unsymmetrischen nach symmetrischen Signalen am Eingang notwendig wird. Die Umsetzung kann z.B. durch einen Übertrager (Balun) erfolgen, der in der Praxis verlustbehaftet ist. Durch diese Verluste am Eingang des LNAs erhöht sich das Noise Figure der Schaltung, wie in [232] gezeigt wird. Bei gleicher Leistungsaufnahme besitzt somit die symmetrische Schaltung ein höheres Noise Figure, oder anders ausgedrückt die

⁸ In Abhängigkeit davon, ob nur der Ausgang mit symmetrischen Signalen arbeitet oder ob der Eingang ebenfalls mit symmetrischen Signalen arbeitet, werden die Bezeichnungen „Single Balanced“ und „Double Balanced“ in der Literatur verwendet.

Leistungsaufnahme ist doppelt so hoch um das gleiche Noise Figure wie bei der unsymmetrischen Schaltung zu erreichen [34,44,184]. Die symmetrische LNA-Architektur ist damit ungünstig für einen stromsparsamen ZigBee-Empfänger und wird daher nicht weiter betrachtet.

4.3.6 LNA-Mischer-Kombination

Neben den bisher betrachteten eigenständigen LNA-Architekturen existieren auch Kombinationen aus LNA und Mischer. Hierbei wird der Mischer schaltungs-technisch über dem LNA angeordnet, so dass beide Schaltungen vom gleichen DC-Arbeitspunktstrom versorgt werden (Current-Reuse-Technik). Der prinzipielle Aufbau nach [39] ist in der Abbildung 4.25 dargestellt und zusätzlich der Signalweg, sowie der Pfad für den Arbeitspunktstrom eingetragen. Wie aus der Darstellung zu erkennen ist, gelangt das Ausgangssignal des LNAs über einen Koppelkondensator an den Eingang des Mixers und wird von diesem ins Basisband heruntergemischt.

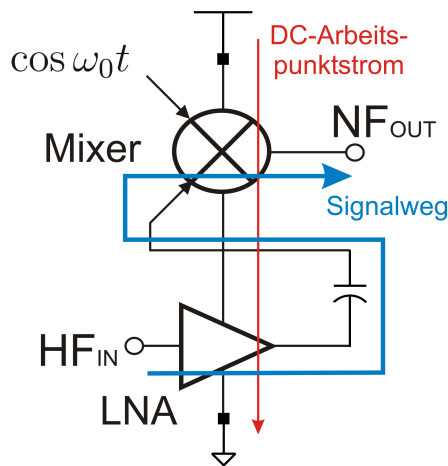


Abbildung 4.25: Prinzipschaltbild LNA-Mischer Kombination mit Current-Reuse-Technik.

Diese Variante bzw. eine Abwandlung davon wird z.B. in den Empfängern in [13,14,21,39,233] eingesetzt und bietet im Vergleich zu der kaskadierten Variante von LNA und Mischer den Vorteil eines geringeren Stromverbrauchs. Als Nachteil ergibt sich gemäß [13,21] ein größeres Noise Figure und eine geringere Linearität

(IIP3), was sich folgendermaßen erklären lässt: Bei der LNA-Mischer-Kombination werden mehrere Transistoren übereinander angeordnet und über jeden dieser Transistoren ist ein gewisser Spannungsabfall notwendig, damit diese im Sättigungsbereich arbeiten. Je nachdem wie der Mischer aufgebaut wird (aktiv oder passiv) und wie die Last des Mixers realisiert wird, sind im Mischer mehrere Transistoren notwendig (eine detaillierte Beschreibung der Mischer-Architekturen ist z.B. in [44] zu finden). Es muss daher die Versorgungsspannung entsprechend erhöht werden oder die Anzahl der Transistoren gesenkt werden. Die Folge davon ist eine geringere Linearität, sowie eine geringere Verstärkung zwischen dem Eingang des LNAs und den Schalttransistoren des Mixers wodurch (bedingt durch die hohe Rauschzahl des Mixers) sich ein höheres Noise Figure ergibt. Die LNA-Mischer-Kombination wird daher im folgenden nicht weiter betrachtet.

4.4 Zusammenfassende Bewertung der LNA-Architekturen

Die in den vorausgehenden Abschnitten beschriebenen LNA-Architekturen sollen in diesem Abschnitt miteinander verglichen werden und die beste Architektur für den ZigBee-Empfänger ausgewählt werden. Die Entscheidung wird durch die in der Tabelle 4.2 zusammengefassten Vor- und Nachteile der einzelnen LNA-Architekturen unterstützt. Durch das Symbol „+“ wird angedeutet, dass das aufgeführte Problem für diese LNA-Architektur leicht zu lösen ist, bzw. kein Problem darstellt. Entsprechend hat das Symbol „-“ die genau entgegengesetzte Bedeutung und „o“ gilt als neutrale Einstufung.

Zunächst erfolgt der Vergleich zwischen den in Abschnitt 4.1 und 4.2 vorgestelltem CG-LNA und CS-LNA. Der letztere erreicht bei gleichem R_s und R_p eine um den Faktor $\frac{\omega_t}{\omega_c}$ höhere Verstärkung (siehe Gleichung 4.23) und der Rauschanteil der durch die Last verursacht wird ist ebenfalls um diesen Faktor geringer (siehe Gleichung 4.28). Auch der Rauschbeitrag vom LNA-MOSFET selbst kann durch ein großes Verhältnis von $\frac{\omega_t}{\omega_c}$ bzw. durch einen großen Wert von Q_{in} stark reduziert werden. In der Praxis wird gemäß [44] meist

Tabelle 4.2: Vergleich und Bewertung der LNA-Architekturen.

Architektur bedingte Probleme	CG-LNA	CS-LNA	Shunt-Series-Amplifier	LNA nach Tiebout	LNA nach Janssens	LNA mit synth. Spule
Eingangsimpedanz	+	+	o	+	o	-
Verstärkung	o	+	-	-	-	o
Rauschen	o	+	o	+	o	-
Linearität	o	o	+	+	+	o
Stromverbrauch	+	o	-	-	-	o
Chipfläche	o	-	+	+	-	+
Diskrete Komponenten	+	-	+	+	-	+

$\frac{\omega_t}{\omega_c} \approx 5 \dots 10$ und $Q_{in} \approx 2 \dots 5$ gewählt. Bei einem zu großen Wert der Transitfrequenz f_t nimmt die notwendige Induktivität L_s am Source-Anschluss zu geringe Werte an, wie an einem Zahlenbeispiel deutlich wird. Ausgehend von einem minimal erlaubten Wert von z.B. $L_{s,min} = 0,8$ nH ergibt sich aus der Gleichung 4.20 für $f_{t,max} \approx \frac{R_s}{2\pi \cdot L_{s,min}} = 9,94$ GHz, woraus für das Verhältnis $\frac{\omega_t}{\omega_c} = 11,46$ resultiert. Die Induktivität L_s liegt damit in der Größenordnung der Bonddrahtverbindung, wodurch der CS-LNA sehr empfindlich auf den Einfluss durch parasitäre Induktivitäten reagiert. Weiterhin kann aus der Gleichung 4.22 und mit $Q_{in} = 2 \dots 5$ der Wert für die Gate-Induktivität bestimmt werden als $L_g = \frac{Q_{in} \cdot R_s}{\omega_c} - L_s \approx 17,5 \dots 45,8$ nH. Aufgrund des Zahlenwerts wird deutlich, dass die Induktivität L_g durch eine diskrete Spule realisiert werden muss. Das NF und S_{11} zeigt gemäß den Analysen in [10] bei großen Werten von Q_{in} eine hohe Empfindlichkeit auf parasitäre Einflüsse wie z.B. durch Kapazität des Bondpads und ohmsche Verluste in der Gate- und Source-Spule. Um ein geringes NF zu erreichen muss ein großer Wert für f_t erzielt werden und damit der Arbeitspunkt im Bereich der starken Inversion bzw. im Übergangsbereich von der moderaten zur starken Inversion liegen. Da $Q_{in} \propto \frac{1}{C_{gs}}$ und $C_{gs} \propto W$ ist, muss eine große Weite W gewählt werden um einen nicht zu großen Wert für Q_{in} zu erzielen. Die Folge von einem großen Wert von W und i_f ist eine hohe Stromaufnahme des LNAs. Weiterhin benötigt der CS-LNA drei Induktivitäten im Vergleich zu einer beim CS-LNA. Die Induktivitäten werden teilweise auf dem Chip (mit der Folge einer größeren Chipfläche) und teils als diskrete Bauelemente realisiert. Außerdem weist der CG-LNA bedingt durch die nicht vorhandene Rückkopplung eine hö-

here Stabilität auf. Der CS-LNA ist daher im Vergleich zum CG-LNA schlechter für einen preisgünstigen, monolithisch integrierten, energieeffizienten Empfänger wie z.B. ZigBee geeignet.

Nachteilig bei den Architekturen CG-LNA und CS-LNA ist, dass diese Spulen benötigen. Werden die Spulen auf dem Chip realisiert, so belegen diese eine große Fläche und erreichen durch die aufbaubedingten Verluste nur eine geringe Güte. Eine Lösung mit einer diskreten Spule ist wie in Abschnitt 3.4.3 dargelegt wurde, sowohl aus Kostengründen als auch durch Probleme der parasitären Kapazitäten, eher ungünstig. Als Alternative wurde in Abschnitt 4.3.4 die synthetische Spule untersucht. Wie vorher gezeigt, weist diese aber im Vergleich zur passiven Spule einen deutlich höheren Rauschanteil auf und verursacht außerdem eine größere Nichtlinearität des LNAs. Die LNAs ohne Spule unterliegen diesen Problemen nicht. Eine Ausnahme ist der LNA nach Janssens, welcher aber aufgrund der notwendigen großen Kapazitäten eine größere Fläche benötigt als die LNAs mit integrierten Spulen.

Bei dem einfachen rückgekoppelten Verstärker, dem LNA nach Tiebout und dem nach Janssens (Abschnitte 4.3.1 - 4.3.3) handelt es sich um breitbandige Verstärker. Damit diese eine ausreichende Verstärkung bei der gewünschten Trägerfrequenz erreichen, müssen diese ein entsprechend hohes Verstärkungs-Bandbreite-Produkt GBW besitzen. Im Gegensatz dazu kommt der CG-LNA und der CS-LNA (Abschnitte 4.1 und 4.2) mit einem geringeren GBW und damit mit einer geringeren Stromaufnahme aus. Der Grund dafür liegt in dem abgestimmten Lastschwingkreis der dafür sorgt, dass das GBW zu höheren Frequenzen verschoben wird.

Die symmetrische LNA-Architektur wurde in Abschnitt 4.3.5 betrachtet mit dem Ergebnis, dass diese einen doppelt so hohen Stromverbrauch aufweist um das gleiche Noise Figure zu erreichen. Da zusätzliche noch ein Übertrager am Eingang notwendig wird, ist diese Variante für einen ZigBee-Empfänger ungünstig und wird daher verworfen.

Die in Abschnitt 4.3.6 betrachtete LNA-Mischer-Kombination weist im Vergleich zur kaskadierten Variante ein höheres Noise Figure und eine geringere Linearität auf und wird daher in der vorliegenden Arbeit nicht weiter untersucht.

Wie oben geschildert und auch aus der Tabelle 4.2 ersichtlich, erweist sich unter den gegebenen Randbedingungen der CG-LNA als die am besten für den ZigBee-Empfänger geeignete LNA-Architektur. Der CG-LNA wird daher in dem folgenden Kapitel näher untersucht und optimiert.

Kapitel 5

Design und Optimierung des CG-LNAs

Im Kapitel 4 wurden die unterschiedlichen LNA-Architekturen miteinander verglichen und der CG-LNA als der, unter den gegebenen Randbedingungen am besten geeignete ausgewählt. Da die Performance des CG-LNAs vom gewählten Arbeitspunkt (Inversionskoeffizienten i_f) und von der Weite W des MOSFETs abhängt, sollen hier die optimalen Werte gewählt werden damit der LNA die in Abschnitt 2.4.4 vorgegebenen Kennzahlen bei minimalem Arbeitspunktstrom erreicht.

Im folgenden werden zunächst die erreichbaren Kennzahlen des CG-LNAs numerisch ermittelt und visualisiert. Im Anschluss daran werden die Technologie bedingten Grenzen für den Eingangsreflexionsfaktor und für das Noise Figure berechnet. Weiterhin wird die entwickelte Optimierungsstrategie vorgestellt und auf den CG-LNA angewendet. Anschließend wird auf die schaltungstechnische Realisierung eingegangen. Der entwickelte CG-LNA wird abschließend durch eine variable Verstärkungseinstellung erweitert, welche zugleich die Möglichkeit bietet den Arbeitspunktstrom um fast eine Größenordnung zu reduzieren.

5.1 Numerische Evaluierung des CG-LNAs

Die Eingangsimpedanz des CG-LNAs ist wie in Abschnitt 4.1.2 gezeigt wurde umgekehrt proportional zur Source-Transkonduktanz g_{ms} und zur totalen Eingangskapazität C_{in} . Als zweite Kennzahl des LNAs ist die Rauschzahl F wie in Abschnitt 4.1.4 gezeigt wurde proportional zum Drain-Noise-Faktor γ und umgekehrt proportional zur Source-Transkonduktanz g_{ms} . Damit ist die Rauschzahl und der Eingangsreflexionsfaktor wiederum von Parametern abhängig, die entweder nur vom Inversionskoeffizienten i_f oder von i_f und von der Weite W abhängen. Es stellt sich daher die Frage nach dem günstigsten Arbeitspunkt für den CG-LNA. Die Kennzahlen der Schaltung werden daher mittels einer numerischen Simulation ermittelt.

Die Simulation erfolgt unter MATLAB und basiert auf dem in Abschnitt 3.2 vorgestellten EKV-Modell, wobei die notwendigen Technologiedaten aus dem BSIM3V3-Modell der verwendeten 0,25 μm Standard-CMOS-Technologie entnommen sind. In der numerischen Simulation wird W im Bereich zwischen 10...10000 μm und i_f im Bereich zwischen 10^{-3} ... 10^{+3} gewählt. Der Einfluss durch die Verbindung zwischen PCB und Chip (siehe Abschnitt 3.5) wird in der Simulation unter MATLAB ebenso, wie der Rauschanteil von der Lastimpedanz vernachlässigt.

Als erstes wird angenommen, dass sich der MOSFET wie ein idealer Langkanaltransistor verhält und damit keine Mobilitätsreduzierung und kein Anstieg des Rauschens bedingt durch Kurzkanaleffekte auftritt. Das Simulationsergebnis ist als Konturdiagramm in der Abbildung 5.1 a) dargestellt. Die Farbstufen zeigen dabei den Eingangsreflexionsfaktor $S_{11,\text{dB}}$ in dB und die durchgezogenen Linien das Noise Figure NF in dB an. Wie aus der Darstellung zu erkennen ist, ergibt nur eine bestimmte Kombination aus W und i_f einen minimalen Wert für $S_{11,\text{dB}}$. Der minimale Wert von $S_{11,\text{dB}}$ wird geringer bei kleinerem W und größerem i_f . Im Bereich der starken Inversion liegt der aus der Literatur bekannte Wert von $NF = 2,2$ dB exakt in der Mitte des Bereichs, in dem der Eingangsreflexionsfaktor minimal wird. Beim angenommenen Langkanalverhalten liegt wie

das Simulationsergebnis zeigt der günstigste Arbeitspunkt im Bereich der starken Inversion [204].

Als zweites werden die Kurzkanaleffekte berücksichtigt und das dazugehörige Simulationsergebnis wird in Abbildung 5.1 b) gezeigt. Sowohl beim NF als auch beim $S_{11,\text{dB}}$ sind Veränderungen besonders im Bereich der starken Inversion zu beobachten. So ist der minimale Wert für $S_{11,\text{dB}}$ im Bereich der starken Inversion zu größeren Werten von W verschoben. Die Konturlinie für $NF = 2,2$ dB liegt nun außerhalb des Bereichs, in dem der minimale Reflexionsfaktor erreicht wird. Im Gegensatz zum Langkanalverhalten ist durch den Einfluss der Kurzkanaleffekte ein größerer Wert von i_f und eine kleinere Weite W ungünstig. Das bedeutet, der günstigste Arbeitspunkt liegt nicht mehr im Bereich der starken Inversion, sondern ist verschoben zum Bereich der moderaten Inversion. Weiterhin zeigen die Abbildungen 5.1 a) und b), dass ein geringeres NF erreicht werden kann, wenn eine Fehlanpassung am Eingang akzeptiert wird. Als Nachteil ergibt sich dann eine höhere Stromaufnahme des LNAs [204].

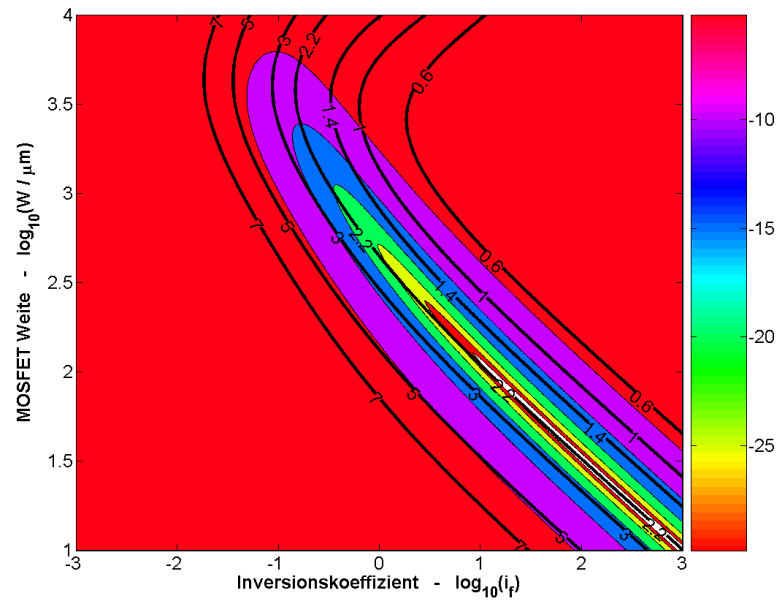
5.2 Technologiebedingte Grenzen des CG-LNAs

5.2.1 Definition charakteristischer Kennzahlen

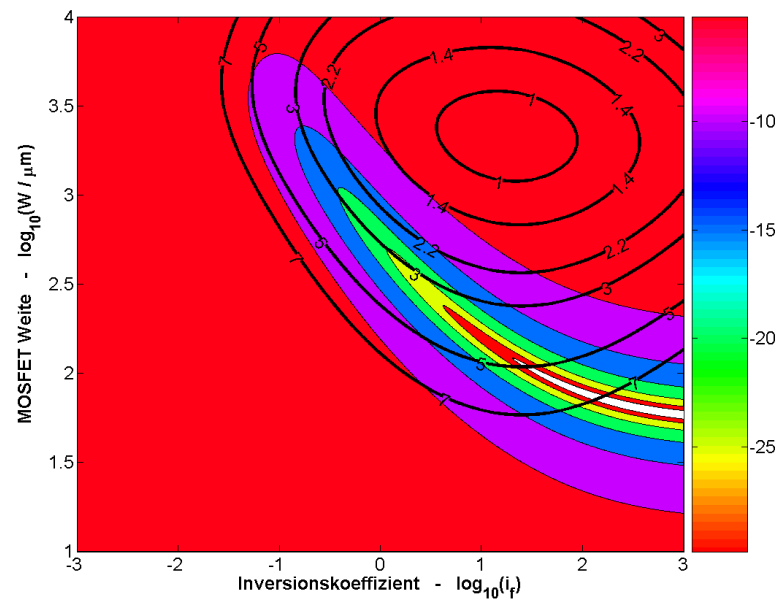
Im folgenden werden charakteristische Kennzahlen der Technologie definiert die im Anschluss genutzt werden, um direkt die technologiebedingten Grenzen des CG-LNAs zu bestimmen. Ausgangspunkt ist die Eingangsimpedanz Z_{in} , die wie in Abschnitt 2.4.3 beschrieben an die Impedanz der Eingangsquelle ($R_s = 50 \Omega$) angepasst sein muss. Die Eingangsimpedanz des CG-LNAs ist durch die Gleichung 4.3 gegeben und abhängig von der Source-Transkonduktanz g_{ms} , sowie von der totalen Eingangskapazität C_{in} .

Da g_{ms} gemäß Gleichung 3.7 vom spezifischen Strom I_{Spec} abhängig und dieser nach Gleichung 3.3 proportional zu W ist, kann die weitenbezogene Source-Transkonduktanz, wie in [205] präsentiert, definiert werden als

$$g'_{ms} = \frac{g_{ms}}{W} . \quad (5.1)$$



a)



b)

Abbildung 5.1: Eingangsreflexionsfaktor $S_{11,\text{dB}}$ (Farbkontur) und Noise Figure NF (Konturlinien) in Abhängigkeit vom Inversionskoeffizienten i_f und Weite W für a) Langkanalverhalten und b) Kurzkanalverhalten.

Die totale Eingangskapazität C_{in} setzt sich nach Gleichung 4.4 aus den Teilkapazitäten C_{gs} , C_{bs} , $C_{gs,ov}$ und C_{js} zusammen. Diese sind gemäß der Gleichungen 4.1, 3.24 und 4.2 alle proportional zur Weite des MOSFETs. Damit kann nach [205] auch die weitenbezogene totale Eingangskapazität definiert werden als

$$C'_{in} = \frac{C_{in}}{W} . \quad (5.2)$$

Die weitenbezogene Source-Transkonduktanz g'_{ms} und die weitenbezogene totale Eingangskapazität C'_{in} stellen beide arbeitspunktanhängige charakteristische Performancekennzahlen der verwendeten Standard-CMOS-Technologie dar [205]. Die Abhängigkeit vom Inversionskoeffizienten ist in der Abbildung 5.2 dargestellt. Im Bereich der schwachen Inversion konvergiert g'_{ms} gegen Null und im Bereich der starken Inversion ist ein Anstieg proportional zu $\sqrt{i_f}$ zu erkennen bzw. ergibt sich dies aus Gleichung 3.7. Unter Berücksichtigung der Geschwindigkeitssättigung, zeigt sich im Bereich der starken Inversion eine Reduzierung von g'_{ms} , während C'_{in} unbeeinflusst bleibt. Die weitenbezogene Kapazität C'_{in} konvergiert im Bereich der schwachen Inversion gegen einen Wert, der sich durch die externen Kapazitäten ergibt und gegen einen anderen Wert im Bereich der starken Inversion der durch die internen und externen Kapazitäten gemeinsam bestimmt wird. Das Verhältnis von Minimal- zu Maximalwert von C'_{in} beträgt bei der hier verwendeten Standard-CMOS-Technologie ca. drei [205].

Aus den weitenbezogenen Größen g'_{ms} und C'_{in} kann zusätzlich die Eingangszeitkonstante ermittelt werden. Diese ist abhängig vom Inversionskoeffizienten, aber unabhängig von der Weite des MOSFETs und wird definiert als

$$\tau_{in} = \frac{C'_{in}}{g'_{ms}} . \quad (5.3)$$

In oberen Teil der Abbildung 5.3 ist die Eingangszeitkonstante τ_{in} über i_f aufgetragen. Da g'_{ms} im Bereich der schwachen Inversion gegen Null konvergiert, ist bei τ_{in} in diesem Bereich ein starker Anstieg zu erkennen. Etwas anschaulicher ist die Eingangsgrenzfrequenz die aus dem Kehrwert von τ_{in} bestimmt wird als $f_{in} = \frac{1}{2 \cdot \pi \cdot \tau_{in}}$. Diese ist im unteren Teil der Abbildung 5.3 dargestellt.¹

¹ Aufgrund der Definition von f_{in} ergibt sich ein ähnlicher Kurvenverlauf wie bei der Transitfrequenz f_t (siehe im Anhang Abschnitt A.4). Es sei aber ausdrücklich darauf hingewiesen,

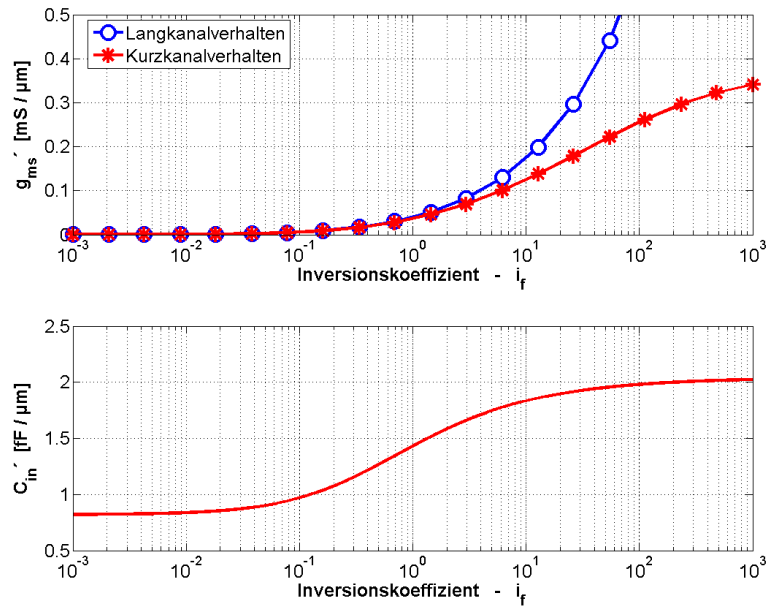


Abbildung 5.2: Arbeitspunktabhängige charakteristische Performancekennzahlen der verwendeten CMOS-Technologie: Weitenbezogene Source-Transkonduktanz g'_{ms} und weitenbezogene totale Eingangskapazität C'_{in} .

Unter Vernachlässigung des Einflusses der Verbindung zwischen PCB und Chip (siehe Abschnitt 3.5), kann die Eingangsimpedanz in Abhängigkeit von den weitenbezogenen Größen bzw. in Abhängigkeit von der Eingangszeitkonstante ermittelt werden durch

$$Z_{in} = \frac{1}{W \cdot (g'_{ms} + s \cdot C'_{in})} = \frac{1}{W \cdot g'_{ms} \cdot (1 + s \cdot \tau_{in})} \quad (5.4)$$

Daraus lässt sich mittels der Gleichung 2.36 der Eingangsreflexionsfaktor $S_{11, dB}$ bestimmen.

5.2.2 Grenzen des Eingangsreflexionsfaktors

Wie aus der Darstellung in Abbildung 5.1 b) zu erkennen ist, wird im Bereich der schwachen Inversion ein geringerer minimaler Eingangsreflexionsfak-

dass f_{in} weder direkt mit f_t verknüpft ist, noch dass f_{in} die Transitfrequenz der CG-Schaltung angibt.

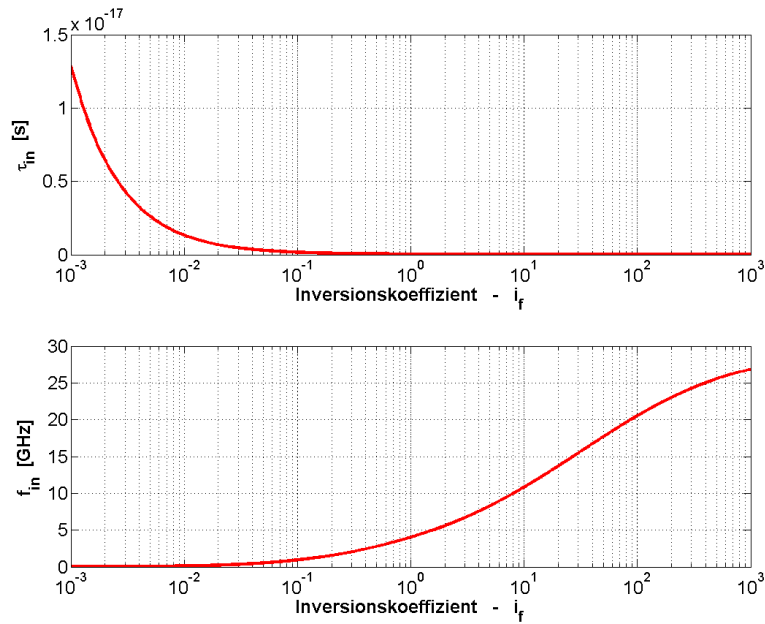


Abbildung 5.3: Arbeitspunktabhängige charakteristische Performancekennzahlen der verwendeten CMOS-Technologie: Eingangszeitkonstante τ_{in} und Eingangsgrenzfrequenz f_{in} .

tor $\min(S_{11,\text{dB}})$ erreicht als im Bereich der starken Inversion. Dies kann wie aus Gleichung 5.4 ersichtlich ist, durch die Zunahme Eingangszeitkonstante τ_{in} erklärt werden. Es wird daher der arbeitspunktabhängige Wert von $\min(S_{11,\text{dB}})$ bestimmt.

Ausgangspunkt für die analytische Berechnung von $\min(S_{11,\text{dB}})$ ist die Definitionsgleichung 2.36 des Eingangsreflexionsfaktors, welcher somit angegeben werden kann als

$$|S_{11}| = \frac{\left|1 - \frac{R_s}{Z_{in}}\right|}{\left|1 + \frac{R_s}{Z_{in}}\right|} = \sqrt{\frac{\left[1 - \operatorname{Re}\left(\frac{R_s}{Z_{in}}\right)\right]^2 + \left[\operatorname{Im}\left(\frac{R_s}{Z_{in}}\right)\right]^2}{\left[1 + \operatorname{Re}\left(\frac{R_s}{Z_{in}}\right)\right]^2 + \left[\operatorname{Im}\left(\frac{R_s}{Z_{in}}\right)\right]^2}}. \quad (5.5)$$

Mit den Ausdrücken die sich aus der Gleichung 5.4 ergeben:

$$\operatorname{Re}\left(\frac{R_s}{Z_{in}}\right) = R_s \cdot W \cdot g'_{ms} \quad (5.6)$$

$$\operatorname{Im}\left(\frac{R_s}{Z_{in}}\right) = R_s \cdot W \cdot \omega \cdot C'_{in} \quad (5.7)$$

Da $|S_{11}|$ sowohl von der Weite W als auch vom Inversionskoeffizienten i_f abhängig ist, soll der Wert für W bestimmt werden, der bei dem jeweiligen i_f den minimalen Wert für $|S_{11}|$ ergibt. Dazu wird die Ableitung der Gleichung 5.5 nach W bestimmt und Null gesetzt, d.h. $\frac{d|S_{11}|}{dW} \stackrel{!}{=} 0$. Durch das auflösen nach $W_{S_{11},min}$ (die negative Lösung entfällt dabei) resultiert daraus

$$W_{S_{11},min} = \frac{1}{R_s \cdot \sqrt{g'_{ms}{}^2 + \omega^2 C'_{in}{}^2}} = \frac{1}{R_s \cdot g'_{ms} \cdot \sqrt{1 + (\omega \cdot \tau_{in})^2}} \quad (5.8)$$

Nach dem Einsetzen der Gleichung 5.8 in die Gleichung 5.5 ergibt sich nach ein paar Umformungen schließlich

$$\min(S_{11,dB}) = 10 \cdot \log_{10} \left(\frac{1 - \sqrt{\frac{1}{1 + (\omega \cdot \tau_{in})^2}}}{1 + \sqrt{\frac{1}{1 + (\omega \cdot \tau_{in})^2}}} \right) \quad (5.9)$$

Der Wert von $\min(S_{11,dB})$ ist in Abhängigkeit von i_f unter Berücksichtigung der Geschwindigkeitssättigung in der Abbildung 5.4 aufgetragen. Es zeigt sich eine sehr gute Übereinstimmung zwischen dem aus der numerischen Simulation bestimmten Wert zu dem berechneten Wert. Die Begrenzung im Bereich der schwachen Inversion wird wie oben beschrieben durch die externen Kapazitäten des MOSFETs verursacht, welche in diesem Bereich dominant sind. Aus der Darstellung lässt sich der minimal erlaubte Inversionskoeffizient direkt ablesen. Bei einem maximal zugelassenen Eingangsreflexionsfaktor von z.B. $S_{11,dB} = -15$ dB (wobei 3 dB als Reserve eingeplant werden aufgrund des vernachlässigten Einflusses der Verbindung zwischen PCB und Chip) ergibt sich als untere Grenze für i_f ein Wert von 0,38 der nicht unterschritten werden darf [205].

Wird dagegen versucht den spezifizierten Eingangsreflexionsfaktor von z.B. $S_{11,dB} = -15$ dB (inklusive 3 dB Reserve) exakt zu erreichen, so kann aus der Gleichung 5.5 die hierfür notwendige Weite $W_{S_{11},const}$ bestimmt werden. Nach ein paar Umformungen kann diese angegeben werden als

$$W_{S_{11},const} = \frac{(1 + |S_{11,const}|^2) + \sqrt{4 \cdot |S_{11,const}|^2 - [\omega \cdot \tau_{in} (1 - |S_{11,const}|^2)]^2}}{R_s \cdot g'_{ms} \cdot (1 - |S_{11,const}|^2) \cdot [1 + (\omega \cdot \tau_{in})^2]} \quad (5.10)$$

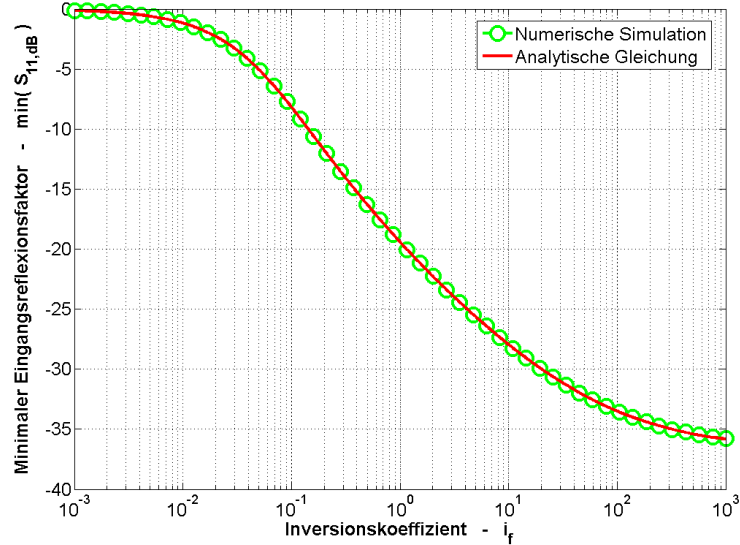


Abbildung 5.4: Arbeitspunkt- und weitenabhängiger minimaler Eingangsexreflexionsfaktor $\min(S_{11,\text{dB}})$ in dB bei $f_c = 868,3$ MHz.

Dabei ist $|S_{11,\text{const}}|$ der spezifizierte Wert für den Eingangsexreflexionsfaktor. Bei Betrachtung der Abbildung 5.1 b) wird deutlich, dass eigentlich zwei Lösungen für $W_{S_{11,\text{const}}}$ existieren. Die negative Lösung der Gleichung für $W_{S_{11,\text{const}}}$ ergibt die kleinere Weite, welche wie auch aus Abbildung 5.1 b) ersichtlich ein höheres Noise Figure zur Folge hat. Die negative Lösung wird daher nicht weiter beachtet. Das bedeutet, es wird der Teil der Konturlinie ausgewählt der sich näher an der rechten oberen Ecke befindet.

Der spezifizierte Wert für $|S_{11,\text{const}}|$ kann, wie aus Abbildung 5.1 b) zu erkennen ist, nur innerhalb eines bestimmten Bereichs von W und i_f erreicht werden. Die Grenze bei der, der spezifizierte Wert für $|S_{11,\text{const}}|$ überschritten wird kann entweder aus der Gleichung 5.10 oder aus der Gleichung 5.9 bestimmt werden. Das Ergebnis der Gleichung 5.10 wird komplex, sobald der Ausdruck unter der Wurzel negativ wird. Als Grenze kann das Produkt aus Trägerkreisfrequenz und

maximal erlaubter Eingangszeitkonstante angegeben werden

$$\omega_c \cdot \tau_{in,max} = \frac{2 \cdot |S_{11,const}|}{1 - |S_{11,const}|^2} . \quad (5.11)$$

Daraus ergibt sich die Anforderung an die Technologieparameter bzw. die untere Grenze für den Inversionskoeffizienten kann mit Hilfe der Gleichung 5.3 berechnet werden. Bei einem maximal zugelassenen Eingangsreflexionsfaktor von z.B. $S_{11,dB} = -15$ dB (inklusive 3 dB Reserve) ergibt sich die oben schon bestimmte untere Grenze für i_f von 0,38 die nicht unterschritten werden darf.

5.2.3 Grenzen für das Noise Figure

Wie im Abschnitt 5.2.2 beschrieben, kann zu jedem Wert von i_f ein minimaler Wert $\min(S_{11,dB})$ bestimmt werden. Wie in [205] gezeigt wird, gehört zu dem jeweiligen Punkt ein entsprechender NF -Wert der bestimmt werden kann.

Bei der analytischen Berechnung wird wie bei der Simulation der Rauschanteil von der Last vernachlässigt und zusätzlich von $\Psi \approx 1$ ausgegangen. In diesem Fall kann die durch Gleichung 4.13 angegebene Rauschzahl vereinfacht werden zu $F \approx 1 + \gamma \cdot \frac{1}{W \cdot g_{ms} R_s} \cdot \left(1 + \frac{1}{Q_{in}^2}\right)$. Wird in diesem Ausdruck die Weite $W_{S_{11,min}}$ aus Gleichung 5.8 eingesetzt, so resultiert daraus die Rauschzahl bei minimalem Eingangsreflexionsfaktor

$$F_{S_{11,min}} \approx 1 + \gamma \cdot \frac{1 + 2 \cdot (\omega \cdot \tau_{in})^2}{\sqrt{1 + (\omega \cdot \tau_{in})^2}} . \quad (5.12)$$

Wird zusätzlich von $Q_{in} \gg 1$ ausgegangen, so ergibt sich die vereinfachte Näherung

$$F_{S_{11,min}} \approx 1 + \gamma \cdot \sqrt{1 + (\omega \cdot \tau_{in})^2} . \quad (5.13)$$

In der Abbildung 5.5 ist das NF bei minimalem Eingangsreflexionsfaktor dargestellt, dass sich aus der numerischen Simulation ergibt. Zum Vergleich sind in der Darstellung die Werte die aus den analytischen Gleichungen 5.12 und 5.13 resultieren eingetragen. Bei den größeren Werten von i_f ist eine gute Übereinstimmung der drei Kurven zu erkennen. Die Gleichung 5.12 zeigt auch im Bereich der

moderaten bis schwachen Inversion nur einen geringen Unterschied zur Simulation. Dieser Unterschied ergibt sich dadurch, dass die Näherung $\Psi \approx 1$ in diesem Bereich nicht mehr so gut zutreffend ist. In diesem Bereich verliert auch die Näherung $Q_{in} \gg 1$ ihre Gültigkeit, wodurch sich der größere Unterschied zwischen numerische Simulation und der Gleichung 5.13 ergibt. Der minimale Wert von $NF = 2,9$ dB wird bei $i_f \approx 0,55$ erreicht und befindet sich im Bereich der moderaten Inversion.

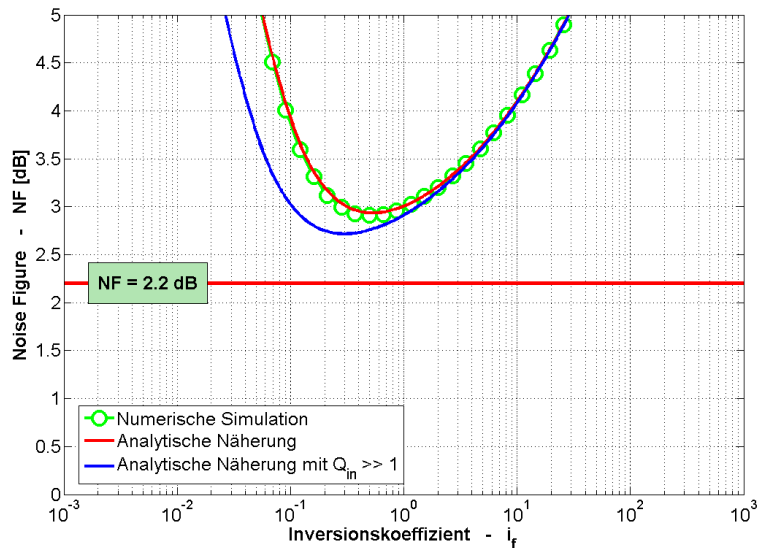


Abbildung 5.5: Arbeitspunkt- und weitenabhängiges Noise Figure NF bei minimalem Eingangsreflexionsfaktor $\min(S_{11,\text{dB}})$: Vergleich numerische Simulation und analytische Näherungen.

Das NF bei konstantem Eingangsreflexionsfaktor ($S_{11,\text{const}}$) kann ebenfalls analytisch bestimmt werden. Dabei wird wieder der Rauschanteil von der Last vernachlässigt und von $\Psi \approx 1$ ausgegangen. Durch das einsetzen der Gleichung 5.10

ergibt sich für die Rauschzahl

$$F_{S_{11, const}} \approx 1 + \gamma \cdot \frac{[(1 - K) \cdot (1 + a^2)]^2 + \left[(1 + K) + \sqrt{4K - a^2(1 - K)^2} \right]^2}{\left[(1 + K) + \sqrt{4K - a^2(1 - K)^2} \right] \cdot [(1 - K) \cdot (1 + a^2)]} \quad (5.14)$$

Dabei wurde zur Vereinfachung der Schreibweise $a = \omega \cdot \tau_{in}$ und $K = |S_{11, const}|^2$ eingeführt. Die Rauschzahl vereinfacht sich weiter, wenn von $Q_{in} \gg 1$ ausgegangen wird zu

$$F_{S_{11, const}} \approx 1 + \gamma \cdot \frac{(1 - K) \cdot [1 + a^2]}{(1 + K) + \sqrt{4K - a^2(1 - K)^2}} \quad (5.15)$$

Die Abbildung 5.6 zeigt das NF bei $S_{11, const}$, welches sich aus der numerischen Simulation ergibt und die berechneten Werte die aus den Gleichungen 5.14 und 5.15 resultieren. Auch hier zeigt sich eine gute Übereinstimmung der drei Kurven bei den größeren Werten von i_f . Der geringe Unterschied zwischen der Gleichung 5.14 und der Simulation ist durch die verwendete Näherung $\Psi \approx 1$ zu erklären. Im Bereich der moderaten Inversion erweist sich die Näherung $Q_{in} \gg 1$ als nicht mehr zutreffend, wodurch sich ein größerer Unterschied zwischen Simulation und Gleichung 5.15 ergibt. Die Kurven enden bei $i_f \approx 0,38$, da wie im vorherigen Abschnitt erläutert, unterhalb dieses Inversionskoeffizienten der geforderte Wert von $S_{11, const} = -15$ dB nicht mehr erreicht werden kann. Bei $i_f \approx 0,97$ (moderate Inversion) wird der minimale Wert von $NF = 2,46$ dB erreicht.

Abschließend sind die beiden Simulationsergebnisse $NF_{S_{11, min}}$ und $NF_{S_{11, const}}$ in der Abbildung 5.7 gegenübergestellt. Die NF -Kurve bei konstantem Eingangsreflexionsfaktor liegt, wie auch aus der Darstellung in Abbildung 5.1 b) zu erkennen ist, unterhalb der Kurve die sich bei minimalem Eingangsreflexionsfaktor ergibt. Das Minimum dieser NF -Kurve liegt außerdem bei einem etwas größeren Inversionskoeffizienten i_f .

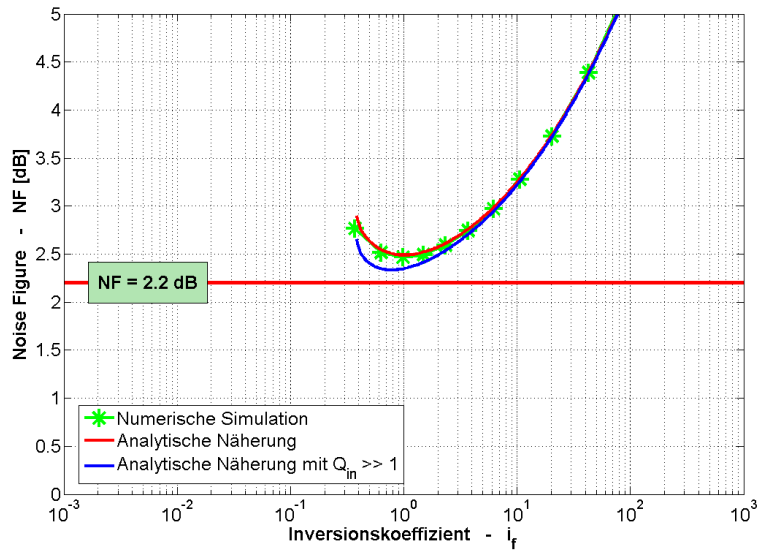


Abbildung 5.6: Arbeitspunkt- und weitenabhängiges Noise Figure NF bei konstantem Eingangsreflexionsfaktor $S_{11, const} = -15$ dB; Vergleich numerische Simulation und analytische Näherungen.

5.3 Optimierung des CG-LNAs

Im vorausgehenden Abschnitt wurden die technologiebedingten Grenzen des CG-LNAs in bezug auf das Noise Figure und den Eingangsreflexionsfaktor untersucht. In diesem Abschnitt soll der CG-LNA basierend auf den in Abschnitt 2.4.4 festgelegten Spezifikationen optimiert werden. Da die Optimierung auf der numerischen Simulation (siehe Abschnitt 5.1) basiert, wird hierbei nur der Rauschanteil der von dem MOSFET selbst stammt berücksichtigt und der Einfluss durch die Verbindung zwischen PCB und Chip vernachlässigt. Es wird daher eine Reserve von 3 dB für den Eingangsreflexionsfaktor eingeplant und eine Reserve von 1,8 dB für das Noise Figure aufgrund der weiteren Rauschanteile (siehe Abschnitt 4.1.4). Der LNA muss damit in der Optimierung $S_{11, dB} \leq -15$ dB und $NF \leq 3,2$ dB erreichen. Die Optimierung erfolgt anhand der Darstellung in Abbildung 5.8.

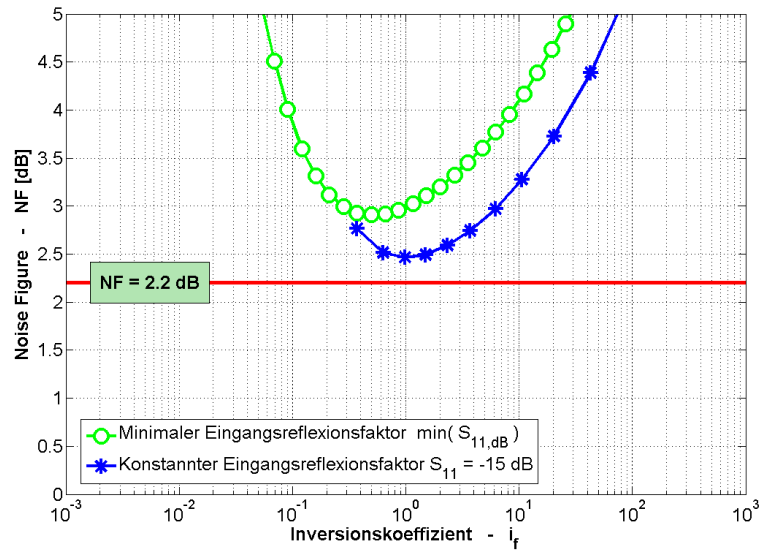


Abbildung 5.7: Arbeitspunkt- und weitenabhängiges Noise Figure NF bei minimalem Eingangsreflexionsfaktor $\min(S_{11,\text{dB}})$ und bei konstantem Eingangsreflexionsfaktor $S_{11,\text{dB}} = -15 \text{ dB}$.

Die Optimierung wird wie in [204] vorgestellt folgendermaßen durchgeführt: Als erster Schritt wird der Bereich markiert, in dem der Eingangsreflexionsfaktor kleiner ist als der geforderte Wert von z.B. $S_{11,\text{dB}} \leq -15 \text{ dB}$. Dieser Bereich definiert somit den erlaubten Designraum. Als zweiter Schritt wird die Konturlinie ausgewählt, bei der das NF den maximal erlaubten Wert von z.B. $NF = 3,2 \text{ dB}$ erreicht. Durch die Schnittkante, die sich aus der Konturlinie mit dem im vorherigen Schritt festgelegten Designraum ergibt, wird dieser eingeschränkt auf den Bereich der sich oberhalb der Schnittkante befindet. Für den Fall, dass die Konturlinie für das NF nicht den im ersten Schritt festgelegten Designraum schneidet, muss entweder die Anforderung an das NF oder die Anforderung an $S_{11,\text{dB}}$ reduziert werden. In diesem Fall muss Schritt eins und zwei wiederholt werden. In einem dritten Schritt werden die Konturlinien für den konstanten Drainstrom betrachtet. Die Konturlinien sind logarithmisch skaliert in der Abbildung 5.8 als diagonale Linien eingezeichnet, wobei der Wert von der unteren linken zur oberen rechten Ecke ansteigt. Für den Fall, dass die erlaubte Grenze des Drain-

stroms überschritten wird muss das Systemkonzept überarbeitet werden, andernfalls kann W und i_f innerhalb des verbleibenden erlaubten Designbereichs frei gewählt werden. Der günstigste Arbeitspunkt liegt in dem mittleren Bereich in dem $S_{11,\text{dB}}$ minimal wird und befindet sich nahe an der unteren linken Ecke. Durch diese Vorgehensweise wird ein minimaler Stromverbrauch gewährleistet.

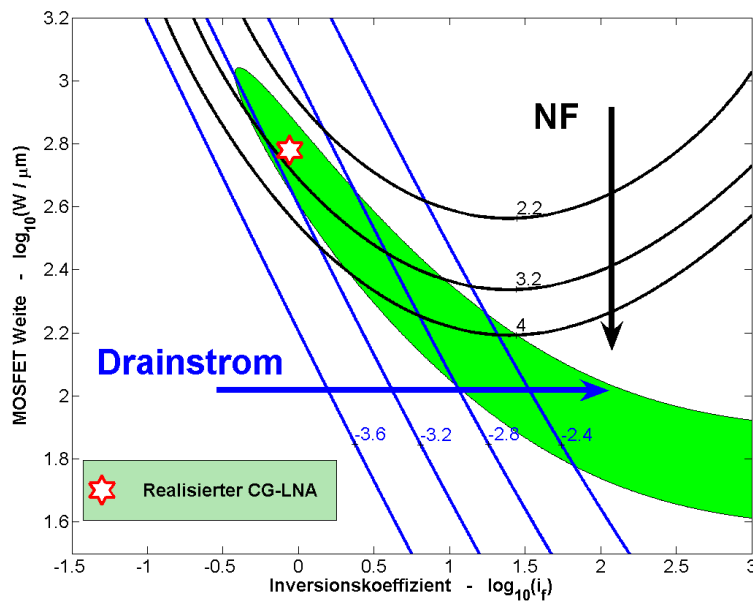


Abbildung 5.8: Grafische Optimierung des CG-LNAs.

Die Optimierungsstrategie kann stichwortartig zusammengefasst werden als:

1. Erlaubten Designraum markieren in dem $S_{11,\text{dB}}$ kleiner als spezifizierter Maximalwert ist.
2. Designraum weiter einschränken auf den Bereich der sich oberhalb des maximal zulässigen NF befindet. Falls NF -Konturlinie außerhalb des erlaubten Designraums liegt, Anforderung an NF oder $S_{11,\text{dB}}$ reduzieren und Schritte 1. und 2. wiederholen.
3. Designparameter W und i_f innerhalb des verbleibenden Designraums so wählen, dass resultierender Punkt möglichst bei minimalem $S_{11,\text{dB}}$ liegt und

gleichzeitig sich nahe der unteren linken Ecke sich befindet. Wird Maximalwert für I_D überschritten, muss Systemkonzept überarbeitet werden.

Basierend auf der oben beschriebenen Strategie wird der CG-LNA optimiert. Der Stern in der Abbildung 5.8 markiert den gefundenen Punkt für die optimierten Designparameter, diese sind: Weite $W = 600 \mu\text{m}$ und einen Inversionskoeffizienten von $i_f \approx 0,88$.

5.4 Schaltungstechnische Realisierung

5.4.1 Aufbau der Schaltung

Nachdem im vorherigen Abschnitt die günstigsten Designparameter für den CG-LNA bestimmt wurden, erfolgt in diesem Abschnitt die schaltungstechnische Realisierung des LNAs. Die Abbildung 5.9 zeigt den Aufbau der Schaltung, welche dem prinzipiellen Aufbau entspricht, wie er in Abschnitt 4.1.1 beschrieben wurde. Die Lastspule wird auf dem Chip realisiert. Das Verhalten dieser Spule kann durch das in Abschnitt 3.4.2 angegebene π -Modell beschrieben werden, wobei die Parameter des Ersatzschaltbildes bereits dort angegeben sind. Diskrete Komponenten wie z.B. Spulen oder Anpassungsnetzwerke werden nicht benötigt.

Aufgrund der im vorherigen Abschnitt beschriebenen Optimierung des CG-LNAs wird die Geometrie des LNA-MOSFETs festgelegt als $W = 600 \mu\text{m}$ und $L = 0,25 \mu\text{m}$. Damit der Gate-Widerstand das Verhalten des LNAs nicht beeinflusst, muss dieser gering gehalten werden. Der MOSFET wird deshalb als Multifinger-Transistor realisiert, bei dem das Gate zusätzlich beidseitig kontaktiert wird. Der Gate-Widerstand kann gemäß [234] bestimmt werden durch

$$R_G = \kappa \cdot \frac{1}{3} \cdot \frac{W_f}{N_f \cdot L_f} \cdot R_{G\Box} . \quad (5.16)$$

Dabei ist N_f die Anzahl der Finger, W_f die Weite je Finger, L_f die Fingerlänge und $R_{G\Box} = 5 \Omega/\Box$ der Schichtwiderstand des Silicide-Poly in der verwendeten Standard-CMOS-Technologie. Der Wert von κ ist eins, wenn das Gate einseitig kontaktiert wird und $\frac{1}{4}$, wenn es beidseitig kontaktiert wird. Im Fall des LNA-

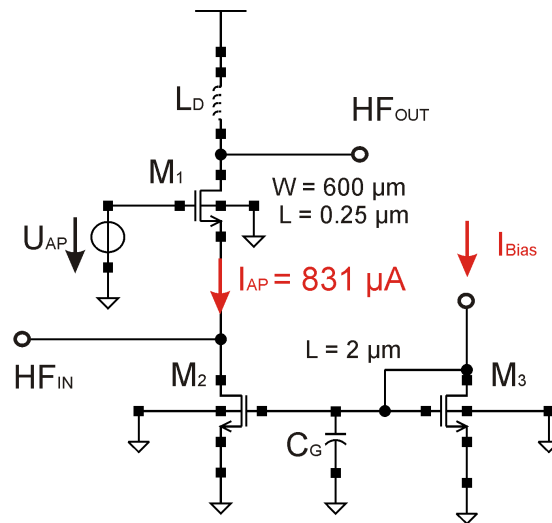


Abbildung 5.9: Schaltungstechnische Realisierung des CG-LNAs.

MOSFETs ergibt sich bei 60 Fingern ein Gate-Widerstand von $R_G = 0,28 \Omega$ wodurch deutlich wird, dass dieser vernachlässigt werden kann. Der notwendige Arbeitspunktstrom des LNA-MOSFETs lässt sich aus den Gleichungen in Abschnitt 3.2.2 bestimmen. Bei einem Inversionskoeffizienten von $i_f \approx 0,88$ beträgt der Arbeitspunktstrom $I_{AP} = 831 \mu A$.

Im Vergleich zum Prinzipschaltbild in Abbildung 4.1 ist die Arbeitspunktstromquelle durch einen Stromspiegel, bestehend aus den MOSFETs M_2 und M_3 ersetzt worden. Da der Ausgangswiderstand einer idealen Stromquelle gegen unendlich geht, muss damit auch der Ausgangswiderstand des Stromspiegels möglichst groß sein. Dies wird erreicht, indem bei den dazugehörigen Transistoren eine größere Kanallänge gewählt wird, als die minimale mögliche in der verwendeten Technologie. Die Weite W der Stromspiegeltransistoren M_2 und M_3 wird klein gewählt, damit die kapazitive Belastung am Source-Anschluss des LNA-MOSFETs möglichst gering ist. Der Arbeitspunkt der MOSFETs M_2 und M_3 liegt somit in der Sättigung im Bereich der starken Inversion. Das Übersetzungsverhältnis des Stromspiegels stellt einen Kompromiss zwischen gutem Matching und geringen Stromverbrauch der Bias-Schaltung dar. Hier wird ein Übersetzungsverhältnis von $1 : 8$ gewählt. Die Geometrie der Stromspiegeltransistoren wird daher festgelegt als $W_f = 4 \mu m$, $L_f = 2 \mu m$, wobei die Anzahl der Finger $N_f = 16$ bei

M_2 und $N_f = 2$ bei M_3 beträgt. Die Kapazität C_G an den Gate-Anschlüssen der Transistoren M_2 und M_3 dient dazu, Störungen und Rauschen zu unterdrücken die von der Bias-Schaltung in den LNA einkoppeln können. Die Kapazität wurde zu $C_G = 10$ pF gewählt.

5.4.2 Temperaturkompensation

Das Verhalten des CG-LNAs wird maßgeblich durch den Wert der Source-Transkonduktanz g_{ms} bestimmt. So hängt, wie in Abschnitt 4.1 gezeigt wurde, der Eingangsreflexionsfaktor S_{11} , die Spannungsverstärkung G_V , das Noise Figure NF und die Linearität ($IIP3$) von g_{ms} ab. Damit das Verhalten des LNAs unabhängig von der Temperatur ist, muss der Arbeitspunktstrom der von der Bias-Schaltung geliefert wird, eine entsprechende Temperaturabhängigkeit aufweisen, so dass der Wert von g_{ms} konstant gehalten wird.

Da der Arbeitspunkt des CG-LNAs im Bereich der moderaten Inversion liegt, kann der Einfluss der Geschwindigkeitssättigung vernachlässigt werden. Die Source-Transkonduktanz kann daher gemäß Gleichung 3.7 angegeben werden als $g_{ms} = \frac{I_{Spec,0}}{U_{Temp}} \cdot q_s$. Der Drainstrom $I_D = I_{Spec,0} \cdot (q_s^2 + q_s)$ ist gleich dem Arbeitspunktstrom I_{AP} . Damit kann die Source-Transkonduktanz in Abhängigkeit von I_{AP} ausgedrückt werden als

$$g_{ms} = \frac{I_{AP}}{U_{Temp}} \cdot \frac{1}{q_s + 1} \quad (5.17)$$

Die Source-Transkonduktanz soll unabhängig von der Temperatur sein. Es wird daher die Ableitung der Gleichung 5.17 nach der Temperatur T bestimmt und Null gesetzt, d.h. $\frac{d g_{ms}}{d T} \stackrel{!}{=} 0$. Daraus resultiert

$$0 = \frac{d I_{AP}}{d T} \cdot T - I_{AP} \quad (5.18)$$

Es handelt sich bei der Gleichung 5.18 um eine homogene lineare gewöhnliche Differentialgleichung (DGL) mit variablen Koeffizienten, die nach [235,236] gelöst werden kann durch „Integration des vollständigen Differentials“. Die Lösung der DGL für den Arbeitspunktstrom ist $I_{AP} = K \cdot T$, wobei K eine Konstante ist und

T die Temperatur in Kelvin ist. Diese Gleichung kann umgeschrieben werden als

$$I_{AP} = I_{AP,ref} \cdot [1 + TK \cdot (\vartheta - \vartheta_{ref})] \quad , \quad (5.19)$$

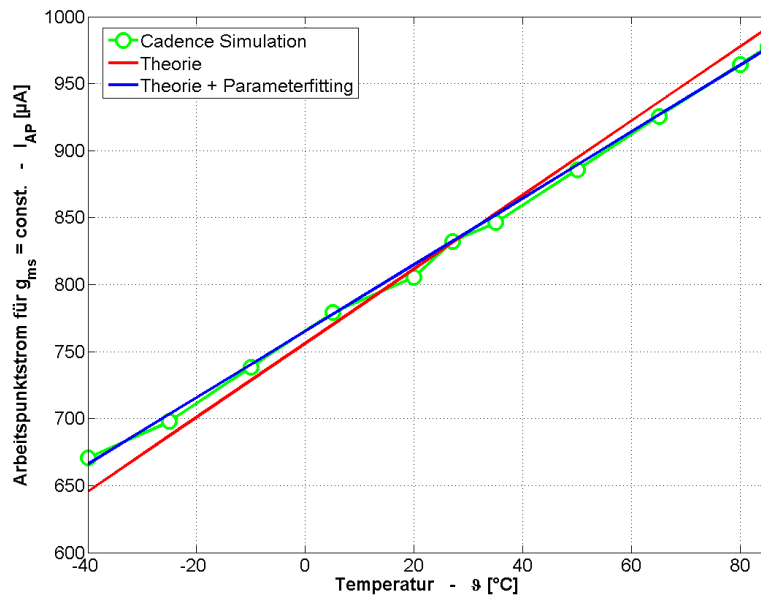
mit $I_{AP,ref}$ dem Referenzstrom bei 27 °C, ϑ der Temperatur in °C, $\vartheta_{ref} = 27$ °C der Referenztemperatur und $TK = \frac{1}{300} \text{ } ^\circ\text{C}^{-1}$ dem Temperaturkoeffizienten.

Die Abbildung 5.10 a) zeigt den notwendigen Arbeitspunktstrom (I_{AP}) um g_{ms} konstant zu halten, welcher durch eine Schaltungssimulation bestimmt wurde. Der theoretische Verlauf ist in der Darstellung ebenfalls eingetragen, dabei zeigt sich zwischen der Theorie und der Simulation eine gute Übereinstimmung. Die Simulierte Kurve zeigt nur eine etwas geringere Steigung. Daher wurde durch ein Parameterfitting der Temperaturkoeffizient bestimmt als $TK = \frac{1}{335,3} \text{ } ^\circ\text{C}^{-1}$ und die daraus resultierende Kurve zusätzlich dargestellt. Der Strom der von der Bias-Schaltung (I_{Bias}) geliefert werden muss, erfordert die gleiche Temperaturabhängigkeit wie die von I_{AP} . Der durch Parameterfitting ermittelte Temperaturkoeffizient beträgt $TK = \frac{1}{326,46} \text{ } ^\circ\text{C}^{-1}$ und ist damit näherungsweise identisch mit dem, der für I_{AP} ermittelt wurde.

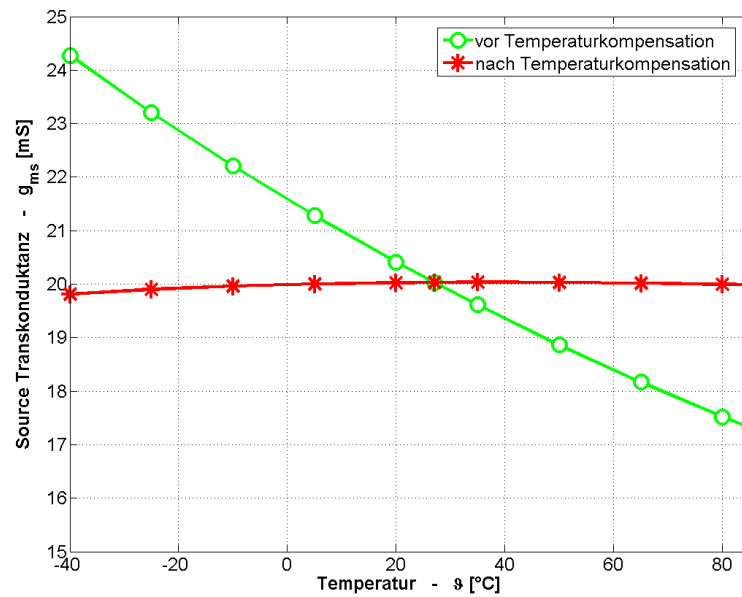
Die Source-Transkonduktanz g_{ms} in Abhängigkeit von der Temperatur wird in der Abbildung 5.10 b) gezeigt, wobei diese einmal ohne Temperaturkompensation und einmal mit entsprechender Temperaturkompensation durch den Bias-Strom dargestellt ist. In dem betrachteten Temperaturbereich von $-40 \dots +85$ °C reduziert sich g_{ms} ohne Temperaturkompensation von 24,3 mS auf 17,3 mS, dagegen bleibt g_{ms} mit der Temperaturkompensation weitestgehend konstant.

5.4.3 Simulationsergebnisse

Wie in Abschnitt 3.2.1 beschrieben, stehen für die Schaltungssimulationen nur die BSIM3V3-Parameter der verwendeten CMOS-Technologie zur Verfügung. Es ist daher ein Modellwechsel vom EKV-Modell zum BSIM-Modell notwendig. Hierbei muss beachtet werden, dass wie in Abschnitt 3.2.5 beschrieben im BSIM3V3-Modell bei der Rauschmodellierung sowohl das induzierte Gate-Rauschen, als auch der durch Kurzkanaleffekte bedingte Anstieg des Rauschens vernachlässigt wird. Bis auf das Rauschen werden bei den Ergebnissen die durch Schaltungssimulatio-



a)



b)

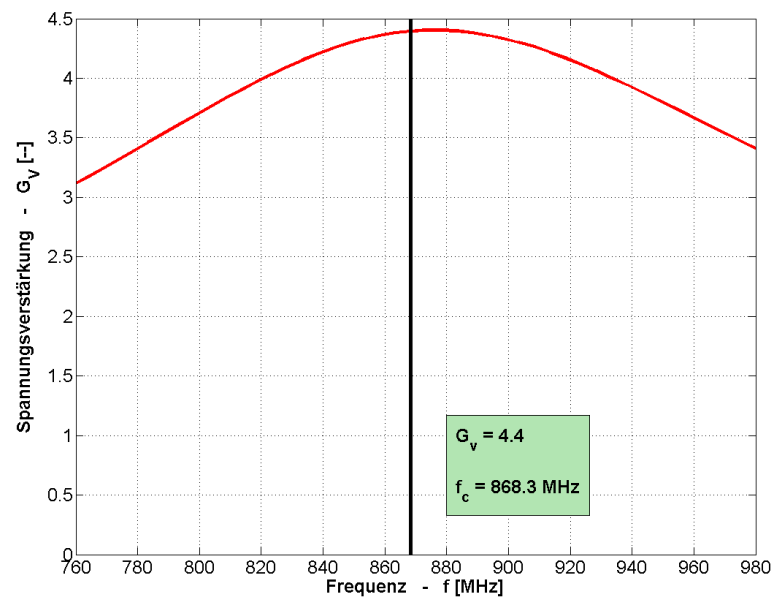
Abbildung 5.10: Simulationsergebnisse Temperaturkompensation a) notwendiger Arbeitspunktstrom I_{AP} für $g_{ms} = \text{const.}$ und b) Source-Transkonduktanz g_{ms} vor und nach der Temperaturkompensation.

nen bestimmt werden keine großen Unterschiede im Vergleich zu den analytischen und numerischen Berechnungen erwartet. Die Schaltungssimulationen werden daher unter Cadence mit dem Simulator Spectre durchgeführt und basieren auf dem BSIM3V3-MOSFET-Modell. Der parasitäre Anteil der durch die Verbindung zwischen PCB und Chip entsteht, wird durch das in Abschnitt 3.5.2 beschriebene Modell berücksichtigt. Für die Drainspule wird das in Abschnitt 3.4.2 angegebene π -Modell mit den dort angegebenen Parametern verwendet.

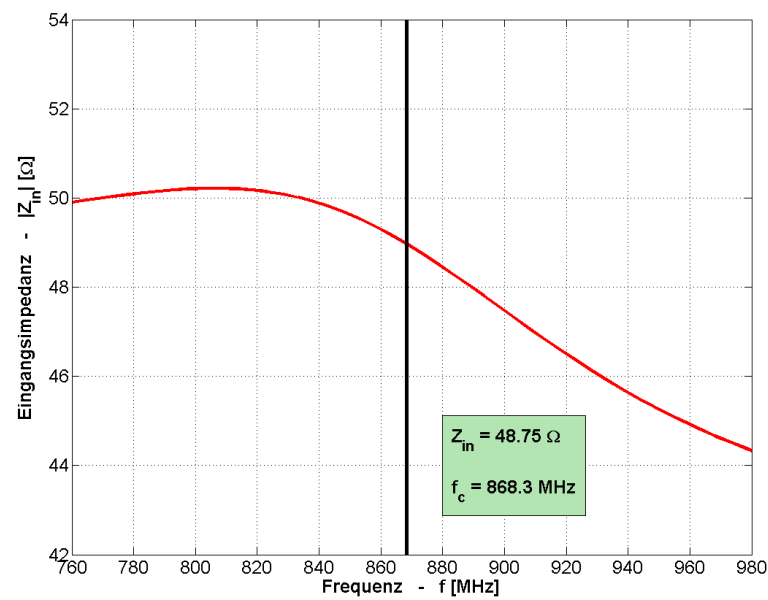
Das Simulationsergebnis der Spannungsverstärkung G_V ist in der Abbildung 5.11 a) dargestellt. Bei der Trägerfrequenz $f_c = 868,3$ MHz erreicht der LNA eine Verstärkung von $G_V = 4,4$, was 12,86 dB im logarithmischen Maßstab entspricht. Damit liegt die erreichte Spannungsverstärkung leicht unter dem in Abschnitt 2.4.4 spezifizierten Wert von 15 dB. Die Ursache dafür liegt bei dem etwas zu geringem Wert des äquivalenten Parallelwiderstandes R_p des Lastschwingkreises, welcher hauptsächlich durch die Spule bestimmt wird. Durch eine gezielte Optimierung der Spule lässt sich der geforderte Wert der Verstärkung erreichen.

Der simulierte Betrag der Eingangsimpedanz $|Z_{in}|$ wird in der Abbildung 5.11 b) gezeigt und ist sehr nahe an dem geforderten Wert von 50Ω , was auch durch den erzielten Eingangsreflexionsfaktor $S_{11,\text{dB}} = -14,52$ dB deutlich wird. In dem simulierten Wert sind sowohl die parasitären Kapazitäten des MOSFETs, als auch die parasitären Effekte der Verbindung zwischen PCB und Chip enthalten. Der LNA unterschreitet den in Abschnitt 2.4.4 geforderten Eingangsreflexionsfaktor von $S_{11,\text{dB}} \leq -12$ dB.

In der Abbildung 5.12 a) ist das Simulationsergebnis für das Noise Figure dargestellt. Die Schaltungssimulation ergibt ein Noise Figure von $NF = 4,55$ dB, was einer Rauschzahl von $F = 2,85$ entspricht. Der angegebene Zahlenwert beinhaltet den Rauschanteil von der Last, sowie den Anteil der sonstigen Rauschquellen. Der Anstieg des Rauschens, welches durch die Kurzkanaleffekte (siehe Abschnitt 3.2.5) bedingt wird, wird in der Schaltungssimulation nicht berücksichtigt. Es muss daher das Simulationsergebnis entsprechend korrigiert werden. Das bei der Rauschsimulation eingesetzte BSIM3V3-Modell ist so parametrisiert, dass das einfache SPICE-Modell für das thermische Rauschen verwendet wird.



a)



b)

Abbildung 5.11: Simulationsergebnisse des CG-LNAs a) Spannungsverstärkung G_V und b) Eingangsimpedanz $|Z_{in}|$.

Als Folge davon wird in der Schaltungssimulation mit $\gamma = \frac{2}{3}$ gerechnet, unabhängig vom Inversionsbereich des MOSFETs. Der zu erwartende reale Zahlenwert für F kann mit dem in [203] präsentierten Ansatz bestimmt werden durch

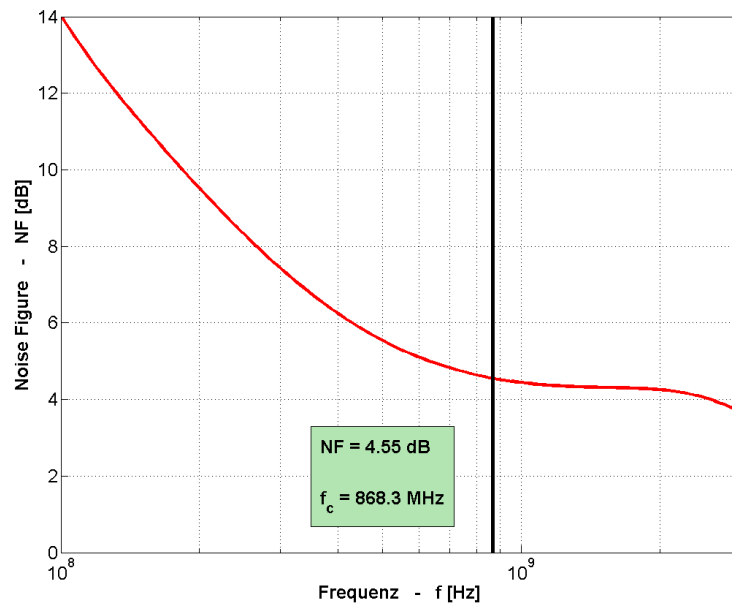
$$F = 1 + \frac{\gamma_{Real}}{\gamma_{Simu}} \cdot (F_{MOST} - 1)|_{Simu} + (F_{Last} - 1) + (F_{Sonstige} - 1) \quad (5.20)$$

Da die MOSFETs im Stromspiegel und in der Bias-Schaltung eine deutlich größere Kanallänge besitzen wird davon ausgegangen, dass nur der LNA-MOSFET durch einen größeren Wert von γ beeinflusst wird. Die einzelnen Rauschanteile können mit Hilfe einer Simulation bestimmt werden als $(F_{Last} - 1) \approx 0,82$ und $(F_{Sonstige} - 1) \approx 0,34$. Weiterhin ist $\gamma_{Simu} = \frac{2}{3}$ und γ_{Real} kann für $i_f \approx 0,88$ mit Hilfe der Gleichungen 3.36 und 3.37 berechnet werden als $\gamma_{Real} = 0,91$. Für den LNA ergibt sich damit eine zu erwartende Rauschzahl von $F = 3,1$ was einem Noise Figure von $NF = 4,91$ dB im logarithmischen Maßstab entspricht. Der LNA erreicht damit den in Abschnitt 2.4.4 spezifizierten Wert.

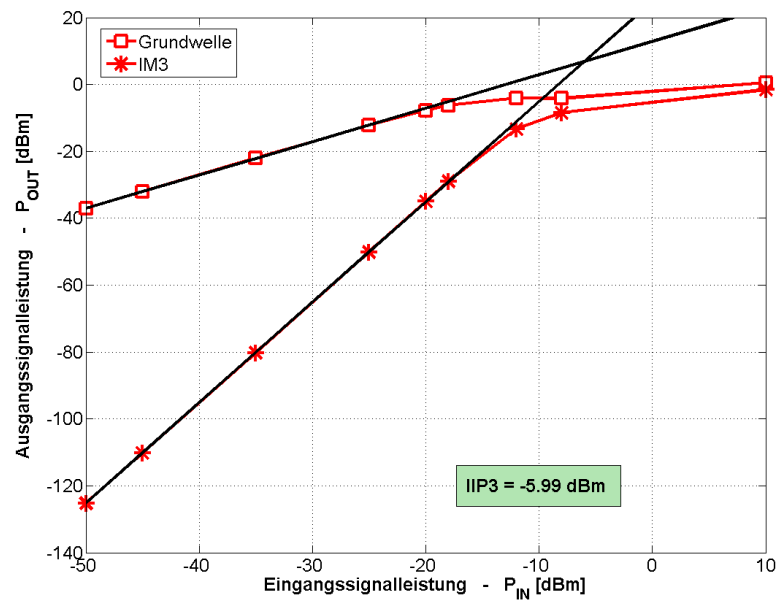
Die Linearität der Schaltung wird bestimmt, indem der $IIP3$ des CG-LNAs ermittelt wird. Dieser ergibt sich wie in Abschnitt 2.3.2.3 beschrieben, aus dem extrapolierten Schnittpunkt der Intermodulationsprodukten dritter Ordnung (IM3) mit dem Anteil der Grundwelle. Der $IIP3$ des CG-LNAs kann aus der Darstellung in der Abbildung 5.12 b) bestimmt werden als $IIP3 = -5,99$ dBm und erreicht damit den in Abschnitt 2.4.4 festgelegten Wert.

Die Ergebnisse der Schaltungssimulation für den CG-LNA sind der Tabelle 5.1 zusammengefasst. Zusätzlich sind dort, die in Abschnitt 2.4.4 spezifizierten Kennzahlen des LNAs eingetragen. Die Gegenüberstellung der Kennzahlen zeigt, dass der LNA bis auf die Spannungsverstärkung die festgelegten Kennzahlen erreicht. Die geforderte Spannungsverstärkung kann wie oben beschrieben durch eine Optimierung der Lastspule erreicht werden. Eine größere Spannungsverstärkung reduziert gleichzeitig den Rauschanteil von der Last und damit ergibt sich ein etwas geringeres Noise Figure für den gesamten LNA. Die Optimierung der Spule wird aber nicht im Rahmen dieser Arbeit durchgeführt.

Wie in der Einleitung in Abschnitt 1.3 beschrieben, ist die Versorgungsspannung für einige Blöcke in dem Empfänger fest vorgegeben und entspricht der erlaubten



a)



b)

Abbildung 5.12: Simulationsergebnisse des CG-LNAs a) Noise Figure NF und b) Linearität ($IIP3$).

Nennversorgungsspannung der Technologie. Aus diesem Grund steht die Reduzierung des Stromverbrauchs und eben nicht die Reduzierung des Leistungsverbrauchs im Vordergrund dieser Arbeit. Die Möglichkeit die Versorgungsspannung beim dem CG-LNA abzusenken wird daher im Anhang in Abschnitt D untersucht. Wie dort gezeigt, zeigt der CG-LNA auch bei stark reduzierter Versorgungsspannung eine fast unveränderte Performance.

Tabelle 5.1: Ergebnisse der Schaltungssimulation und spezifizierte Werte.

Systemkennzahl	erreicht	spezifiziert
Spannungsverstärkung G_V [dB]	12,86	15
Noise Figure NF [dB]	4,55 ²	5
Linearität $IIP3$ [dBm]	-5,99	-6
Eingangsreflexionsfaktor $S_{11,\text{dB}}$ [dB]	-14,52	-12
Stromaufnahme I_{AP} [μA]	831	
Versorgungsspannung U_{DD} [V]	2,5	
Technologie [μm]	0,25 Standard-CMOS	

5.5 Variable Verstärkung

Das Eingangssignal des LNAs kann in weiten Bereichen variieren. Wie in Abschnitt 1.1 beschrieben beträgt das minimale Eingangssignal $P_{in,min} = -92$ dBm und das maximale Eingangssignal $P_{in,max} = -20$ dBm. Damit nachfolgende Stufen nicht in die Sättigung geraten wurde bei der Spezifikation des LNAs (siehe Abschnitt 2.4.4 festgelegt, dass die maximale Verstärkung 15 dB und die minimale Verstärkung 0 dB betragen soll. Der CG-LNA muss daher um eine einstellbare Verstärkung erweitert werden.

² Ergebnis der Schaltungssimulation. Mit der oben beschriebenen Korrektur ergibt in der Praxis ein zu erwartender Wert von $NF = 4,91$ dB.

5.5.1 Konzepte zur Verstärkungseinstellung

Die Spannungsverstärkung des CG-LNAs kann gemäß Gleichung 4.5 angegeben werden als $G_V = g_{ms} \cdot R_p$ und ist somit abhängig von der Source-Transkonduktanz g_{ms} und von dem äquivalenten Widerstand der Spule im Resonanzfall R_p . Folglich ergeben sich zwei Möglichkeiten die Verstärkung zu verringern: Die erste Option ist es den Lastwiderstand zu reduzieren, indem wie in Abbildung 5.13(a) gezeigt zu der Lastspule ein zusätzlicher Widerstand (R_x) parallel geschaltet wird. Dies ist die typische Variante wie sie in der Literatur z.B. in [127] verwendet wird. Die Eingangsimpedanz $Z_{in} \approx \frac{1}{g_{ms}}$ (vgl. Gleichung 4.3) bleibt damit unbeeinflusst. Allerdings bleibt hier auch der Arbeitspunktstrom unverändert und führt damit zu einer Energieverschwendung, speziell wenn sehr leistungsstarke Signale empfangen werden. Diese Variante der Verstärkungseinstellung ist daher schlecht für einen stromsparsamen Empfänger wie ZigBee geeignet [206].

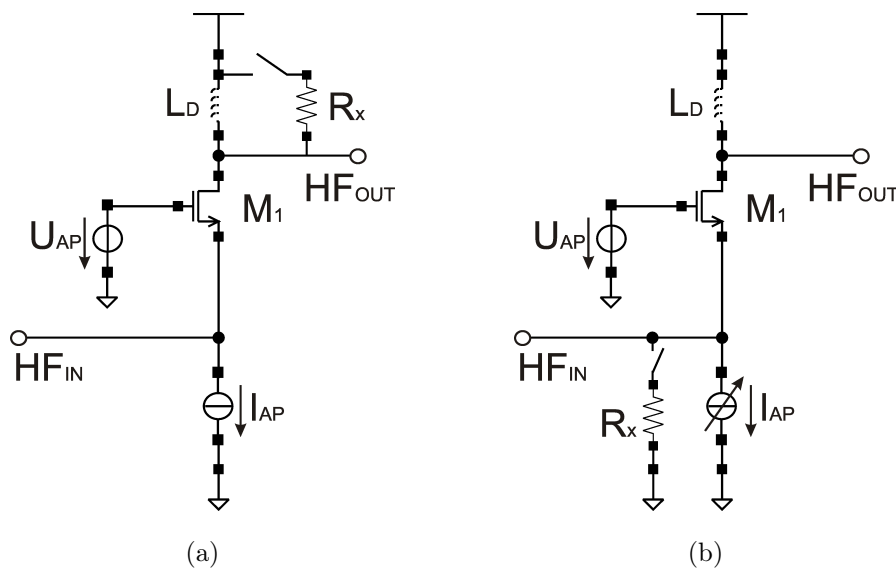


Abbildung 5.13: Einstellung der Verstärkung durch (a) Shuntwiderstand parallel zur Lastspule und (b) Anpassung des Arbeitspunktstroms, sowie Shuntwiderstand parallel zum Eingang zur Impedanzanpassung.

Aus diesem Grund wurde eine energiesparsame Methode zur Reduzierung der Verstärkung entwickelt und in [206] vorgestellt. Diese basiert auf der oben ange-deuteten zweiten Möglichkeit die Verstärkung zu verringern, indem die Source-

Transkonduktanz g_{ms} reduziert wird. Da g_{ms} gemäß Abschnitt 3.2.2 vom Arbeitspunktstrom abhängig ist, muss dieser wie in Abbildung 5.13(b) dargestellt abgesenkt werden. Als Folge davon steigt aber auch die Eingangsimpedanz an. Um eine konstante Eingangsimpedanz von 50Ω sicherzustellen, wird ein zusätzlicher Shuntwiderstand R_x parallel zum Eingang geschaltet. Für die Eingangsimpedanz ergibt sich somit gemäß [206]

$$Z_{in} \approx \frac{1}{g_{ms} + \frac{1}{R_x}} . \quad (5.21)$$

Einen Widerstand parallel zum Eingang zu schalten ist nach Rauschgesichtspunkten die schlechteste Möglichkeit um einen reflexionsfreien Eingang des LNAs zu erreichen [34, 44, 116]. Der dort vertretene Standpunkt ist richtig, wenn das Eingangssignal sehr klein ist. Allerdings wird der Widerstand am Eingang nur hinzugefügt, wenn das Signal sehr groß und damit weit über dem Rauschen liegt. Das zusätzliche Rauschen, dass durch diesen Widerstand entsteht, hat damit einen geringeren Einfluss, wie im nächsten Abschnitt dargelegt wird [206].

5.5.2 SNR-Performance

Wie im vorausgehenden Abschnitt erläutert, verändert sich die Verstärkung und das Noise Figure des LNAs in Abhängigkeit von der gewählten Verstärkungseinstellung. Es ist daher notwendig zu zeigen, dass das Signal zu Rauschverhältnis (SNR) bei einer geringen Verstärkungseinstellung sich nicht verschlechtert. Aus diesem Grund muss die SNR -Performance für die einzelnen Verstärkungseinstellungen bestimmt werden. Ausgangspunkt hierfür ist die in der Literatur [34, 41, 44] meist übliche Definition der Rauschzahl F

$$F = \frac{SNR|_{IN}}{SNR|_{OUT}} . \quad (5.22)$$

Es wird daher das SNR -Ausgangsverhältnis (Δ) gemäß [206] definiert als

$$\Delta = \frac{SNR_2}{SNR_1} \Big|_{OUT} = \frac{SNR_2}{SNR_1} \Big|_{IN} \cdot \frac{F_1}{F_2} = \frac{P_2}{P_1} \Big|_{IN} \cdot \frac{F_1}{F_2} , \quad (5.23)$$

wobei P die Eingangssignalleistung und F die Rauschzahl ist. Der Index 1 kennzeichnet die hohe ursprüngliche Verstärkungseinstellung und 2 die niedrige Verstärkungseinstellung. Die Gleichung 5.23 kann in dB ausgedrückt werden als

$$\Delta_{\text{dB}} = \Delta_{P_{IN,\text{dB}}} - \Delta_{NF} \quad , \quad (5.24)$$

dabei ist $\Delta_{P_{IN,\text{dB}}}$ die Differenz der Eingangsleistungen in dB und Δ_{NF} die Differenz des Noise Figure. Es ist ein Maß für die Performanceverbesserung des LNAs unter Berücksichtigung des höheren Rauschen bei der niedrigeren Verstärkungseinstellung. Für $\Delta_{\text{dB}} > 0$ ergibt sich eine Verbesserung der SNR -Performance, während sich für $\Delta_{\text{dB}} < 0$ eine Verschlechterung ergibt [206].

5.5.3 Realisierung des LNAs

Das Schaltbild des in [206] präsentierten CG-LNAs mit der variabel einstellbaren Verstärkung ist in Abbildung 5.14 dargestellt. Der Kern des LNAs besteht aus den MOSFETs $M_1 - M_3$ und ist wie im Abschnitt 5.4 beschrieben aufgebaut. Der Arbeitspunkt des LNAs liegt im Bereich der moderaten Inversion und diskrete Komponenten wie z.B. Spulen oder Anpassungsnetzwerke werden nicht benötigt.

Der Widerstand am Eingang in Abbildung 5.13(b) wird realisiert durch einen MOSFET mit Arbeitspunkt im Triodenbereich. Dieser MOSFET kann als ein nichtidealer Schalter mit einem relativ hohen ON-Widerstand angesehen werden. Dieser kann gemäß der Herleitung im Anhang in Abschnitt A.6 angegeben werden durch

$$R_{ON} \approx \frac{1}{\mu_0 \cdot C'_{OX} \cdot \frac{W}{L} \cdot (U_G - U_{th0})} \quad . \quad (5.25)$$

Selbst bei maximaler Eingangsspannung von $\hat{u}_{in,max} = 31,62$ mV (entspricht gemäß Gleichung 2.15 einem Eingangssignal von $P_{in,max} = -20$ dBm) ist das Signal sehr klein. Die Änderung des Widerstandswerts des MOSFETs ist daher zu vernachlässigen, woraus somit keine Verschlechterung der Linearität der Schaltung resultiert [206]. Damit der MOSFET am Eingang nicht den Stromspiegel, welcher

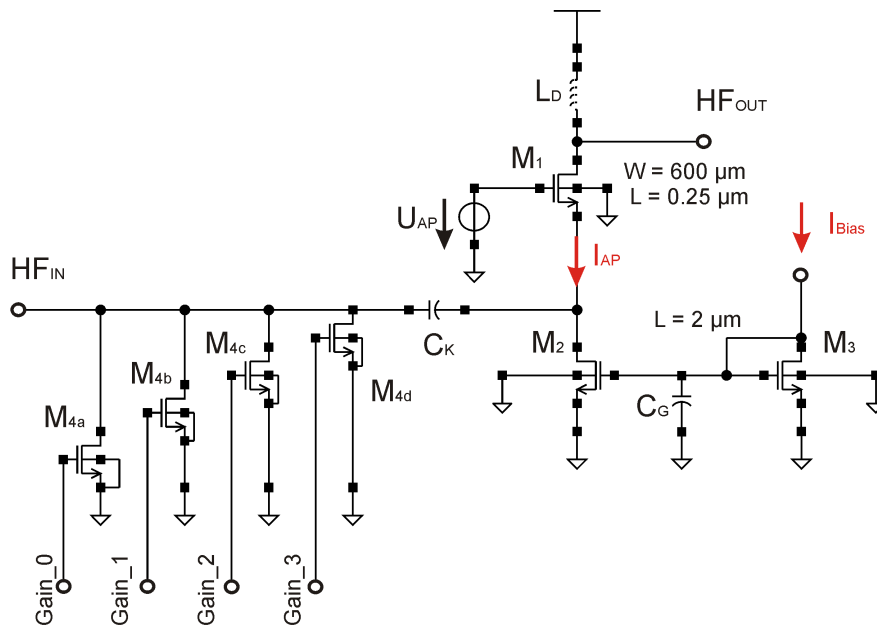


Abbildung 5.14: Realisierung des CG-LNAs mit adaptiver Verstärkungseinstellung.

aus $M_2 - M_3$ besteht kurzschließt, wird vor dem Kern des LNAs ein Koppelkondensator C_K eingefügt.

Ein variabel einstellbarer Widerstand am Eingang wird durch die vier MOSFETs $M_{4a} - M_{4d}$ realisiert³, welche über ihren Gate-Anschluss kontrolliert hinzugeschaltet werden können. Dadurch wird es möglich unterschiedliche Verstärkungseinstellung durch ein digitales Steuerwort (hier bestehend aus 4 Bits Gain_0 - Gain_3) auszuwählen. Da vier MOSFETs sechzehn Verstärkungsstufen ergeben, und gemäß Abschnitt 2.4.4 die maximale Verstärkung 15 dB und die minimale 0 dB betragen soll, wird eine Verringerung der Verstärkung (Dämpfung) von 1 dB je Stufe festgelegt.⁴ Der zu der ausgewählten Verstärkungsstufe zugehörige Arbeitspunktstrom wird von der Bias-Schaltung mit Hilfe des Stromspiegels geliefert.

³ Ein variabel einstellbarer Widerstand kann ebenfalls erreicht werden, indem die Gate-Spannung bei diesem MOSFET verändert wird.

⁴ Im allgemeinen ist eine beliebige Festlegung der Dämpfung pro Stufe realisierbar.

Zusätzlich zu dem gewünschten Widerstand wirken sich die MOSFETs am Eingang des LNAs als parasitäre Kapazität aus. Dieser parasitäre Anteil wird im wesentlichen durch die externen Kapazitäten des MOSFETs (siehe Abschnitt 3.2.3.2) nämlich der Sperrschichtkapazität C_{jd} und der Overlap-Kapazität $C_{gd,ov}$ verursacht. Ziel ist es diesen kapazitiven Anteil zu minimieren.

Bei Betrachtung der MOSFETs $M_{4a} - M_{4d}$ in Abbildung 5.14 wird deutlich, dass diese einen gemeinsamen Source- und einen gemeinsamen Drain-Anschluss besitzen. Der einzige Unterschied besteht im Gate-Anschluss. Weiterhin sollen die MOSFETs im aktivierten Zustand jeweils einen unterschiedlichen ON-Widerstand aufweisen. Da die Steuerspannung am Gate identisch ist, wird dies durch die Wahl der Geometrie (W , L und Anzahl der Finger) realisiert. In einem empirischen Verfahren kann die Geometrie der MOSFETs so gewählt werden, dass die MOSFETs die gleiche Weite W und Länge L pro Finger aufweisen und sich nur durch die Anzahl der Finger unterscheiden. So können die MOSFETs $M_{4a} - M_{4d}$ realisiert werden mit $W = 1 \mu\text{m}$ und $L = 0,25 \mu\text{m}$, wobei die Anzahl der Finger 1, 3, 7 und 12 ist [206].

Die einzelnen MOSFETs können dann als ein MOSFET mit einer unterschiedlichen Anzahl von Fingern realisiert werden. Durch das zusammenfassen der MOSFETs kann die Sperrschichtkapazität C_{jd} unter Umständen reduziert werden. Das Prinzip ist in Abbildung 5.15 dargestellt. Die Anzahl der Drain-Gebiete pro MOSFET ist $1 + \frac{N_F - 1}{2}$, dabei ist N_F die Anzahl der Finger. Durch das zusammenfassen zweier MOSFETs mit jeweils einer ungeraden Anzahl von Fingern kann ein Drain-Gebiet eingespart werden. Durch diese Maßnahme wird die Kapazität C_{jd} etwas reduziert. Die Overlap-Kapazität bleibt unverändert. Durch die kürzeren Verbindungsleitungen zwischen den MOSFETs ergibt sich eine geringere Kapazität gegen das Substrat und damit eine geringere Eingangskapazität.

Abschließend kann die Designstrategie der Schaltung folgendermaßen zusammengefasst werden:

1. Der CG-LNA wird gemäß der Spezifikation für die maximale Verstärkung entwickelt. Hierzu wird z.B. die in Abschnitt 5.3 beschriebene Designstrategie angewendet.

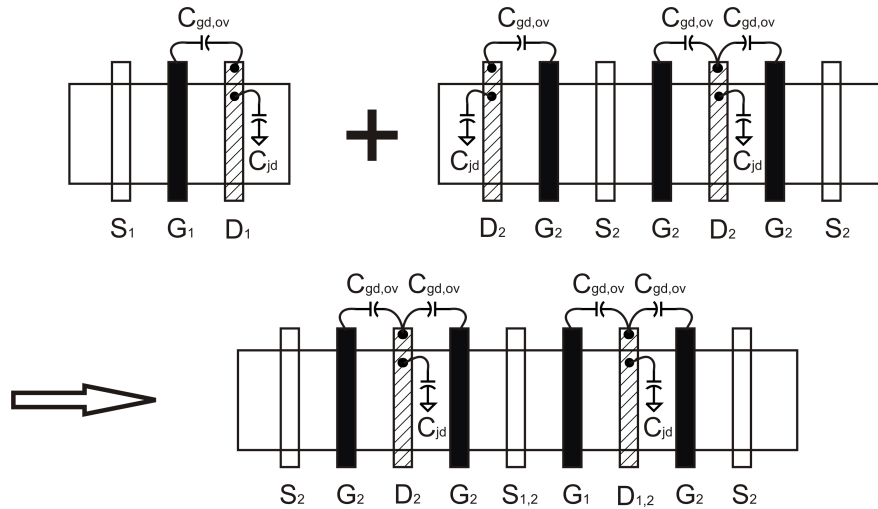


Abbildung 5.15: Reduzierung der Sperrschichtkapazität C_{jd} durch zusammenfassen der MOSFETs.

2. Die gewünschte Anzahl der Verstärkungsstufen und die gewünschte Verstärkung je Stufe wird festgelegt.
3. Für die gewählten Verstärkungen werden die notwendigen Arbeitspunktströme bestimmt.
4. Durch eine Schaltungssimulation wird die Eingangsimpedanz des LNAs bei den vorher bestimmten Arbeitspunktströmen ermittelt. Basierend hierauf wird der notwendige Shuntwiderstand berechnet, so dass die gesamte Eingangsimpedanz des LNAs zu der Quellimpedanz von z.B. $R_s = 50 \Omega$ passt.
5. Der Shuntwiderstand wird durch einen MOSFET mit der entsprechenden Weite W , Länge L und Anzahl der Finger realisiert. Um die parasitäre Kapazität zu reduzieren wird in einem empirischen Verfahren versucht W , L und die Anzahl der Finger so zu wählen, dass die MOSFETs für die unterschiedlichen Verstärkungsstufen sich nur durch die Anzahl der Finger unterscheiden.

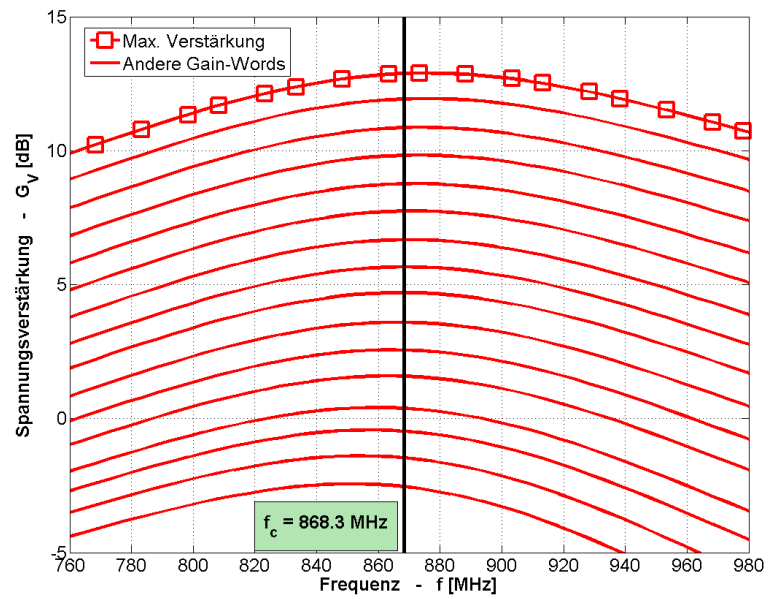
5.5.4 Simulationsergebnisse

Die Schaltungssimulationen werden unter Cadence mit dem Simulator Spectre durchgeführt und basieren auf dem BSIM3V3-MOSFET-Modell. Der parasitäre Anteil der durch die Verbindung zwischen PCB und Chip entsteht, wird durch das in Abschnitt 3.5.2 beschriebene Modell berücksichtigt. Für die Drainspule wird das in Abschnitt 3.4.2.1 angegebene π -Modell verwendet.

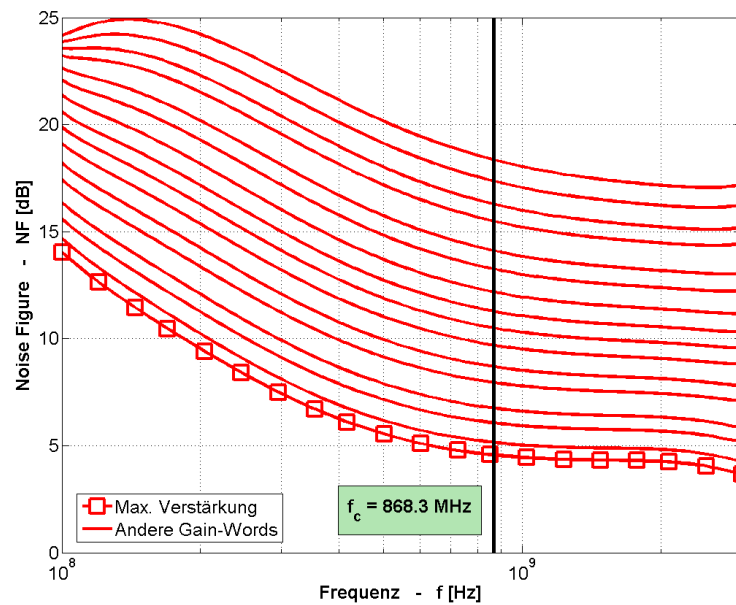
Die Abbildung 5.16 a) zeigt das Simulationsergebnis der Spannungsverstärkung bei den einzelnen Verstärkungseinstellungen. Die maximale Spannungsverstärkung (Gain-Word 0000) ist durch Quadrate kenntlich gemacht und erreicht einen Wert von $G_V = 4,40$ entsprechend 12,87 dB im logarithmischen Maßstab. Die Verstärkung reduziert sich in 1-dB-Schritten bis auf $-2,54$ dB bei minimaler Verstärkungseinstellung (Gain-Word 1111). Wie aus der Darstellung zu erkennen, verschiebt sich dabei das Maxima der Verstärkung bei den niedrigeren Verstärkungseinstellungen etwas zu geringeren Frequenzen hin. Das Maxima bleibt aber weiterhin sehr nah an der gewünschten Trägerfrequenz von 868,3 MHz.

Der in Abschnitt 5.4 vorgestellte LNA kommt bereits mit einem sehr geringen Arbeitspunktstrom von $831 \mu\text{A}$ aus. Dieser kann durch die im vorherigen Abschnitt vorgestellte Methode zur Verstärkungseinstellung weiter reduziert werden und erreicht bei der minimalen Einstellung einen Wert von $118 \mu\text{A}$. Dies entspricht einer Reduzierung der Stromaufnahme um Faktor sieben.

Das Ergebnis der Rauschsimulation wird in Abbildung 5.16 b) gezeigt. Aus dieser kann bei maximaler Verstärkung (markiert durch Quadrate) eine Rauschzahl F von 2,85 ermittelt werden, was einem Noise Figure von $NF = 4,56$ dB entspricht. Das maximale Noise Figure von $NF = 18,34$ dB wird bei der minimalen Verstärkungseinstellungen erreicht. Der Rauschanteil der von der Last stammt (vgl. Abschnitt 4.1.4) ist in diesem Simulationsergebnis bereits enthalten. Da im BSIM3V3-Modell das Rauschen nicht vollständig korrekt modelliert ist (siehe Abschnitt 3.2.5), wird in der Praxis wie in Abschnitt 5.4.3 beschrieben ein geringfügig höheres Noise Figure erwartet (z.B. von 4,91 dB als minimalen Wert). Der entwickelte CG-LNA erfüllt damit die festgelegten Spezifikationen des ZigBee-Empfängers.



a)



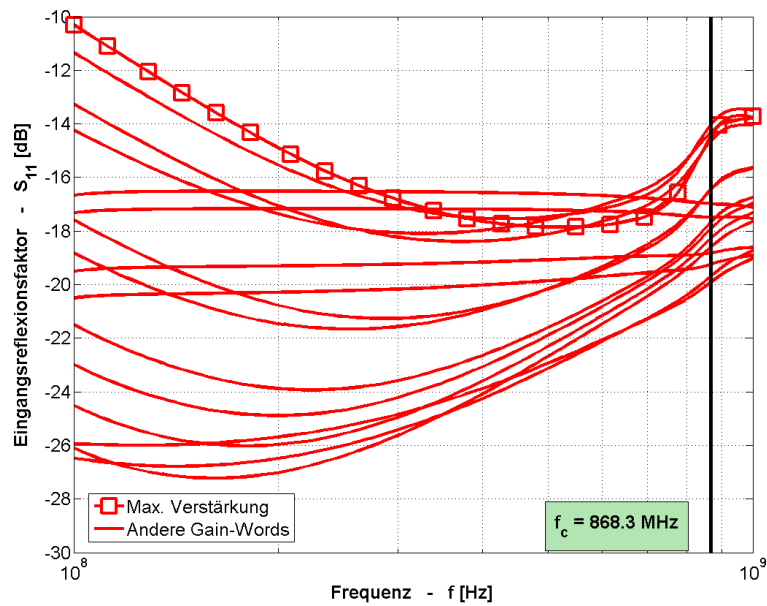
b)

Abbildung 5.16: Simulationsergebnis des CG-LNAs bei den einzelnen Verstärkungseinstellungen: a) Spannungsverstärkung G_V und b) Noise Figure NF .

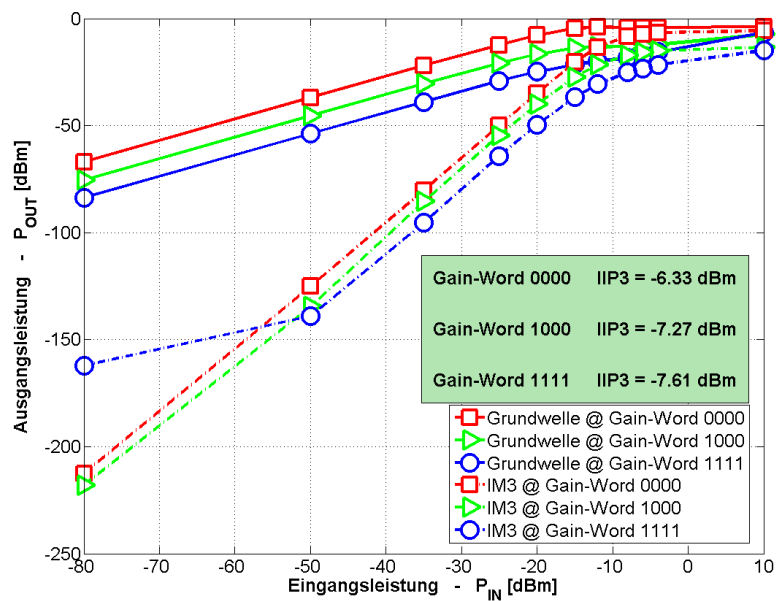
Das Simulationsergebnis für den Eingangsreflexionsfaktor S_{11} ist in der Abbildung 5.17 a) dargestellt. Bei der maximalen Verstärkung (hervorgehoben durch Quadrate) beträgt der Reflexionsfaktor $S_{11} = -14,38$ dB und bei der minimalen Verstärkungseinstellung $S_{11} = -16,98$ dB. Der maximale Eingangsreflexionsfaktor beträgt $-13,98$ dB (Gain-Word 0001) und der minimale $-19,88$ dB (Gain-Word 1011). Der Eingangsreflexionsfaktor konvergiert nicht gegen den Wert von $-\infty$ aufgrund der parasitären Kapazitäten des MOSFETs (siehe Abschnitt 5.2.2) und der parasitären Einflüsse der Verbindung zwischen PCB und Chip (siehe Abschnitt 3.5.2). Letztlich zeigt das Simulationsergebnis, dass der Eingangsreflexionsfaktor ausreichend niedrig ist und damit die Eingangsimpedanz nahe bei den geforderten 50Ω liegt.

Die Abbildung 5.17 b) zeigt das Simulationsergebnis für die Linearität des LNAs. Die durchgezogenen Linien zeigen die Grundwellen und die gestrichelten Linien die Intermodulationsprodukte dritter Ordnung ($IM3$) bei den unterschiedlichen Verstärkungseinstellungen. Aus Gründen der Übersichtlichkeit werden in der Darstellung nur die Kurven bei maximaler und minimaler Verstärkung, sowie bei der frei gewählten Verstärkungseinstellung Gain-Word 1000 dargestellt. Der erste Datenpunkt für die Verstärkungseinstellung Gain-Word 1111 wird als numerischer Simulationsfehler betrachtet. Der $IIP3$ wird wie in Abschnitt 2.3.2.3 beschrieben aus dem Schnittpunkt der Tangenten bestimmt und beträgt $-6,33$ dBm beim Gain-Word 0000, $-7,61$ dBm beim Gain-Word 1111 und $-7,27$ dBm beim Gain-Word 1000. Die Linearität unterschreitet damit nur geringfügig die festgelegte Spezifikation.

Die in diesem Abschnitt präsentierten Simulationsergebnisse des LNAs, können bei maximaler Verstärkungseinstellung mit den Simulationsergebnisse des LNA-Kerns aus Abschnitt 5.4.3 verglichen werden. Bei der Stromaufnahme, der Spannungsverstärkung G_V und beim Noise Figure NF ist fast überhaupt kein Unterschied feststellbar. Wie im vorhergehenden Abschnitt 5.5.3 beschrieben, ist bedingt durch den MOSFET am Eingang sowohl eine geringe parasitäre Kapazität, als auch eine etwas größere Nichtlinearität zu erwarten. Dies zeigt sich auch an den Simulationsergebnissen für den Eingangsreflexionsfaktor $S_{11,dB}$ und dem $IIP3$. In der Tabelle 5.2 sind die beiden LNA Varianten gegenübergestellt.



a)



b)

Abbildung 5.17: Simulationsergebnis des CG-LNAs bei den einzelnen Verstärkungseinstellungen: a) Eingangsreflexionsfaktor S_{11} und b) Input Referred 3rd-Order Interception Point, $IIP3$ (Linearität).

Tabelle 5.2: Gegenüberstellung LNA-Kern und LNA mit variabler Verstärkungseinstellung.

Systemkennzahl	LNA-Kern	LNA mit variabler Verstärkungseinstellung
Spannungsverstärkung G_V [dB]	12,86	12,87
Noise Figure NF [dB]	4,55	4,56
Linearität $IIP3$ [dBm]	-5,99	-6,33
Eingangsreflexionsfaktor $S_{11,\text{dB}}$ [dB]	-14,52	-14,38

Um zu zeigen, dass die SNR -Performance sich bei einer geringeren Verstärkungseinstellung nicht verschlechtert, wird das SNR -Ausgangsverhältnis Δ_{dB} gemäß der Definitionsgleichung 5.24 bestimmt. Die minimale Eingangsleistung von $P_{in,min} = -92$ dBm wird als Bezugswert verwendet. Für die Einstellung Gain-Word 1000 ist die minimale Eingangsleistung $P_{in} = -56$ dBm und das Noise Figure erhöht sich von $NF_1 = 4,56$ dB auf $NF_2 = 11,27$ dB. Daraus ergibt sich $\Delta_{\text{dB}} = 36$ dB $- 6,71$ dB = $29,29$ dB. Das Ergebnis der Schaltungssimulation ist in der Tabelle 5.3 zusammengefasst.

Tabelle 5.3: Simulationsergebnisse des CG-LNAs mit adaptiver Verstärkungseinstellung.

Gain-Word	I_{AP} [μA]	G_V [dB]	S_{11} [dB]	$IIP3$ [dBm]	NF [dB]	Δ_{dB} [dB]
0000	830,95	12,87	-14,38	-6,33	4,56	0
1000	281,76	4,70	-18,23	-7,27	11,27	+29,29
1111	117,58	-2,54	-16,98	-7,61	18,34	+53,72

Für die anderen Verstärkungseinstellungen können äquivalente Berechnung durchgeführt werden. Die Abbildung 5.18 visualisiert zusammenfassend die Ergebnisse der Schaltungssimulationen. Die blauen Balken in der Darstellung zeigen die Spannungsverstärkung G_V in dB, welche wie gewünscht stufenweise abnimmt. An dem Verlauf der grünen Balken ist die Zunahme des Noise Figure NF bei geringer werdender Verstärkung zu erkennen und die dunkel roten Balken kennzeichnen das SNR -Ausgangsverhältnis Δ_{dB} . In der Grafik ist weiterhin die Stromaufnahme des CG-LNAs eingetragen, welche kontinuierlich von $831 \mu\text{A}$ auf

118 μA reduziert wird. Aus dieser Darstellung wird deutlich, dass sich zwar bei einer geringeren Verstärkungseinstellung das NF erhöht, aber das SNR am Ausgangs des LNAs aufgrund der wesentlich stärkeren Zunahme der Signalleistung sich dennoch verbessert. Dies wird erreicht bei einer gleichzeitigen Reduzierung des Arbeitspunktstroms um den Faktor sieben.

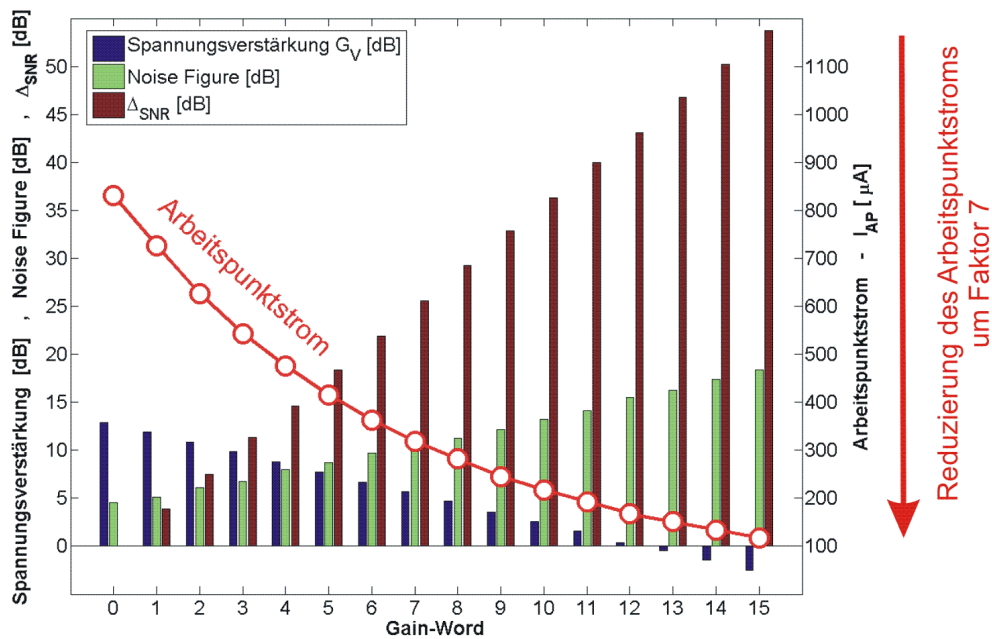


Abbildung 5.18: Performance des CG-LNAs mit adaptiver Verstärkungseinstellung.

5.6 Diskussion der Ergebnisse

Der in dieser Arbeit entwickelte CG-LNA soll in diesem Abschnitt mit anderen in der Literatur publizierten LNAs verglichen werden. Zum Vergleich dient die Tabelle 5.4, welche unterteilt ist in die unterschiedlichen Architekturen CS-, CG-LNA und sonstige (LNA nach Tiebout und nach Janssens). Die Tabelle gibt die Trägerfrequenz f_c , den Arbeitspunktstrom I_{AP} , die Spannungsverstärkung G_V , das Noise Figure NF , den Eingangsreflexionsfaktor S_{11} , den Input Referred 3rd-Order Interception Point $IIP3$ und die verwendete Technologie an. Weiterhin gibt

die letzte Spalte an, ob und welche diskreten Bauelemente notwendig sind. Die jeweils beste erreichte Kennzahl ist in der Tabelle durch Fettdruck hervorgehoben.

Tabelle 5.4: Vergleich LNA dieser Arbeit mit in der Literatur publizierten LNAs.

Nr.	Lite- ratur	Archi- tektur	f_c in GHz	I_{AP} in mA	G_V in dB	NF in dB	S_{11} in dB	$IIP3$ in dBm	Techno. in μm	diskr. BE
1	[226]	CS	0,8	3,75	8,8	0,9	-38,1	7,1	0,24	L_g
2	[216]	CS-Folded	0,868	1,6	12	1,35	-18	-4	0,25	L_0 u. L_s
3	[127]	D-CS	0,9	8	17,5	2	-10	-3 (-6)	0,35	L_g
4	[237]	D-CS	0,9	7,5	18	2,6		5	0,35	L_g
5	[237]	D-CS	0,9	15	15,5	2,8		18	0,35	L_g
6	[215]	CS	1		20	4,2			1,2	keine
7	[238]	CS	1,24	6	20	0,8	-11	-11	0,25	L_g
8	[49]	CS	1,227	6	20	0,79	-11	-10,8	0,25	L_g
9	[207]	CS	1,57	5	22	3,5	-15,6	-9,3	0,6	L_g
10	[233]	D-CS + Mix	2,1	8	23	3,4	-19	-1,5	0,35	L_g
11	[39]	CS + Mix	2,4	2,5	29	3			0,25	
12	[9]	D-CS	2,45	4,4	18,2	2,6	-14	0	0,35	L_g
13	[239]	CS	2,45	4	31	3	-30		0,28	keine
14	[213]	CS	2,45	4,24	20	0,9	-13,5	3	0,35	keine
15	[217]	CS	2,5	4,1		1,4			0,35	L_d
16	[240]	CS	5,7	3,2	16,4	3,5	-11		0,18	keine
17	[191]	CS	7	6,9	8,9	1,8	-9,54	8,4	0,25	L_g
18	[170]	D-CG	0,868	1,5	16,2	9,5	-10	-2	0,8	
19	[10]	D-CG	0,9	2,2	20	3,2	-16	8	1	L_{in}
20	[11]	CG-MW	0,93	0,5	27	3,9	-20	-13	0,25	L_d + MW
21	[214]	D-CG, gm-B	5,6	3,6	10,4	3,38	-16,4	2,96	0,18	L_s u. L_d
22	[2]	Tieb.	2,14	19,7	14	2,5	-8	-3,4 ?	0,25	keine
23	[3]	Jans.	0,9	3,4	9	3,3	-7	-4,7	0,5	MW
24	dieser	CG	0,868	0,83	12,86	4,91	-14,52	-5,99	0,25	keine

Die in der Tabelle 5.4 verwendeten Abkürzungen für die LNA-Architekturen bedeuten: D-CS und D-CG steht für CS- bzw. CG-LNA mit differentielllem Eingang, gm-B steht für g_m -Boost, MW steht für Matching Network (Netzwerk zur

Impedanzanpassung an $R_s = 50 \Omega$), CS-Folded steht für CS-LNA wobei der Kas-kodentransistor gefaltet wird, sowie Tieb. und Jans. steht für LNA nach Tiebout und nach Janssens.

Aus der Tabelle 5.4 wird ersichtlich, dass die CS-LNAs tendenziell einen höheren Arbeitspunktstrom benötigen, dafür aber ein geringeres NF erreichen. Die Induktivität L_g beim CS-LNA ist die am häufigsten durch diskrete Bauelemente realisierte Komponente, da diese eine große Induktivität und eine hohe Güte besitzen muss. Die LNAs mit differentielltem Eingang benötigen zusätzlich einen Balun (Übertrager), um das unsymmetrische Signal der Antenne in ein symmetrisches Signal für den Differenzeingang des LNAs umzusetzen.

Den geringsten I_{AP} weist der CG-LNA Nr. 20 auf. Dieser benötigt allerdings als diskrete Bauelemente eine Lastspule (L_d), sowie ein zusätzliches Matching Network (MW). Der LNA dieser Arbeit erreicht ohne den Einsatz diskreter Bauelemente den zweitgeringsten Stromverbrauch. Den sehr großen Wert für G_V erreicht der LNA Nr. 13 indem eine Lastspule mit einer Güte von zehn verwendet wird. Die Spulen in dem hier verwendeten Standard-CMOS-Prozess erreichen bei den geringeren Frequenzen nicht so eine hohe Güte und damit der LNA nicht so eine hohe Verstärkung (siehe auch Abschnitt 3.4 und 4.1). Eine hohe Verstärkung reduziert ebenfalls das NF . Der LNA Nr. 8 erzielt das geringste NF , allerdings weist dieser auch einen um den Faktor 7,2 höheren Stromverbrauch im Vergleich zum LNA dieser Arbeit auf. Durch die Verwendung diskreter Bauelemente lässt sich leicht eine Impedanzanpassung am Eingang vornehmen und somit erreicht der LNA Nr. 1 den geringsten S_{11} . Der hier vorgestellte LNA liegt mit seinem S_{11} im Mittelfeld. Den höchsten $IIP3$ erreicht der LNA Nr. 5 indem 2 identische Schaltungen parallel betrieben werden, die sich gegenseitig kompensieren. Der LNA dieser Arbeit liegt bei der Linearität im mittleren Bereich. Wie in Abschnitt 4.1.5 gezeigt wurde, wird ein größerer $IIP3$ im Bereich der starken Inversion erreicht, womit aber auch eine höhere Stromaufnahme verbunden ist.

Zusammenfassend kann also festgestellt werden, dass es sich bei dem Kern-LNA in dieser Arbeit um einen monolithisch integrierten LNA handelt, welcher nach Wissen des Autors den geringsten Stromverbrauch aufweist. Der LNA erfüllt außerdem die Anforderungen eines ZigBee-Empfängers.

Es existieren in der Literatur nur wenige LNAs (so z.B. [127,240]) die eine einstellbare Verstärkung aufweisen. Nach Wissen des Autors, bietet keiner der publizierten LNAs die Möglichkeit einer reduzierten Stromaufnahme bei einer geringeren Verstärkungseinstellung. Diese Option wird bei dem hier vorgestellten LNA geboten und stellt damit eine wichtige Neuerung dar.

Kapitel 6

Zusammenfassung und Ausblick

Der vorliegenden Arbeit vorangestellt ist eine Literaturübersicht über die verschiedenen Empfängerarchitekturen. Aus diesen wurde die homodyne Architektur als die am besten für einen energieeffizienten Empfänger wie z.B. ZigBee geeignete ausgewählt. Basierend auf einer Systemsimulation wurden die Kennzahlen des gesamten Empfängers festgelegt und diese umgesetzt in Spezifikationen für die einzelnen Schaltungsblöcke. Aus den festgelegten Kennzahlen wird deutlich, dass im Vergleich zu anderen drahtlosen Systemen eine geringe Anforderung an das Noise Figure und die Linearität gestellt wird, aber eine hohe Anforderung der geringe Stromverbrauch darstellt.

In einer weiteren Literaturübersicht wurden unterschiedlichen LNA-Architekturen miteinander verglichen und bewertet. Dabei wurden nicht nur die konventionellen Architekturen CS-LNA und CG-LNA betrachtet, sondern auch alternative Varianten wie z.B. die LNA-Architekturen nach Tiebout und nach Janssens oder die Möglichkeit zur Verwendung einer synthetischen Spule untersucht. Aufgrund der Systemanforderungen wurde der CG-LNA als der am besten geeignete ausgewählt.

Basierend auf dem EKV-Modell, welches das Verhalten des MOSFETs in allen Arbeitsbereich von der schwachen bis zur starken Inversion beschreibt, wurde der CG-LNA analysiert. Dabei wurden speziell, die parasitären Kapazitäten des MOSFETs und die durch Kurzkanaleffekte bedingte Zunahme des Rauschens, in Abhängigkeit vom Arbeitspunkt berücksichtigt.

In dieser Arbeit konnten weiterhin neue, arbeitspunktabhängige charakteristische Performancekennzahlen des CG-LNAs definiert werden. Diese sind die weitenbezogene Source-Transkonduktanz, die weitenbezogene totale Eingangskapazität und die Eingangszeitkonstante, welche in direkter Verbindung zu der verwendeten Standard-CMOS-Technologie stehen. Mit Hilfe dieser Kenngrößen können die Technologiebedingten Grenzen für den Eingangsreflexionsfaktor und das Noise Figure bestimmt werden.

Mit Hilfe einer numerischen Simulation wurden die Kennzahlen des CG-LNAs ermittelt. Darauf basierend wurde ein Algorithmus formuliert, mittels dessen unter Berücksichtigung der festgelegten Spezifikationen für den LNA (Noise Figure und Eingangsreflexionsfaktor) der optimale Inversionskoeffizient und die dazugehörige Weite bei minimalem Arbeitspunktstrom gefunden werden kann. Die durchgeführte Optimierung zeigt, dass der günstigste Arbeitspunkt im Bereich der moderaten Inversion liegt. Die durch die Optimierung gefundenen Designparameter wurden bei der anschließenden schaltungstechnischen Realisierung verwendet und die Kennzahlen des LNAs durch eine Schaltungssimulation verifiziert. Bei der Rauschsimulation wurde das im Simulator implementierte Modell verwendet.

Ein weiterer Schwerpunkt dieser Arbeit liegt bei der Erweiterung des entwickelten CG-LNAs um eine variabel einstellbare Verstärkung. Dazu wurde ein neues Konzept zur Verstärkungseinstellung vorgestellt und umgesetzt. Dieses basiert auf einer energiesparsamen Methode, welche den Arbeitspunktstrom absenkt bei einer gewählten reduzierten Verstärkungseinstellung. Bei der schaltungstechnischen Umsetzung wurden 16 verschiedene Verstärkungsstufen realisiert, wodurch die Verstärkung des LNAs in 1 dB Schritten reduziert werden kann (eine beliebige Stufung ist ebenfalls realisierbar). Der Arbeitspunktstrom wird dabei um fast eine Größenordnung reduziert. Die gewünschte Verstärkungseinstellung kann durch ein digitales Steuerwort gewählt werden. Durch Betrachtung des SNR-Ausgangsverhältnisses wurde gezeigt, dass bei einer geringeren Verstärkungseinstellung sich keine Verschlechterung des SNR-Verhältnisses im Vergleich zur größten Verstärkungseinstellung ergibt.

Da der CG-LNA samt variabel einstellbare Verstärkung in einer Standard-CMOS-Technologie entworfen wurde, die sich noch in der Entwicklung befand, war es im zeitlichen Rahmen dieser Arbeit nicht möglich diesen messtechnisch zu verifizieren. Die Verifikation erfolgte daher durch Schaltungssimulationen. Messungen an dem gefertigten Testchip sollten aber in der Zukunft nachgeholt werden, sobald dieser vorliegt.

Der in dieser Arbeit vorgestellte optimierte CG-LNA kann zukünftig in Empfängern mit vergleichbaren Anforderungen wie z.B. andere stromsparsame Sensornetzwerke eingesetzt werden. Die einstellbare Verstärkung mit gleichzeitig reduzierter Stromaufnahme stellt dabei eine wichtige Entwicklung dar, welche maßgeblich zur Verlängerung der Batterielebensdauer bei mobilen Geräten beiträgt.

Literaturverzeichnis

- [1] “CoilCraft, Inc.: CoilCraft RF SMD inductors products.” available in the internet: <http://www.coilcraft.com>.
- [2] M. Tiebout and E. Papparisto, “LNA design for a fully integrated CMOS single chip UMTS transceiver,” in *Proc. of the 28th European Solid-State Circuits Conference, ESSCIRC 2002*, Sept. 2002, pp. 835–838.
- [3] J. Janssens, J. Crols, and M. Steyaert, “A 10 mW inductorless, broadband CMOS low noise amplifier for 900 MHz wireless communications,” in *Proc. of the IEEE Custom Integrated Circuits Conference 1998*, May 1998, pp. 75–78.
- [4] “Umsetzung des Schaltplans des LNAs in das Layout durch T. Fedtschenko unter Berücksichtigung der Vorgaben für die Schaltung,” interne Mitteilungen, Fraunhofer-Institut IMS, Duisburg, Germany, 2005.
- [5] “Umsetzung der Schaltpläne des Empfängers in das Layout durch T. Fedtschenko unter Berücksichtigung der Vorgaben für die Schaltungen,” interne Mitteilungen, Fraunhofer-Institut IMS, Duisburg, Germany, 2005.
- [6] “Bluetooth Core Specification,” available in the internet: <http://www.bluetooth.com>.
- [7] “IEEE Std 802.15.4 -2006, IEEE Standard for Information technology - Telecommunications and information exchange between systems - Local and metropolitan area networks - Specific requirements - Part 15.4: Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs),” available in the internet: www.zigbee.org.

-
- [8] “ZigBee poised for massive growth, says european analyst Future Horizont,” *Microwave Engineering Europe*, p. 10, May 2006.
- [9] W. Sheng, “Design and Implementation of CMOS Radio Frequency Receivers,” Ph.D. dissertation, Texas A&M University, 2002.
- [10] J. Chang, “An Integrated 900 MHz Spread-Spectrum Wireless Receiver in 1- μ m CMOS and a Suspended Inductor Technique,” Ph.D. dissertation, University of California, Los Angeles, 1998.
- [11] H. Darabi, “An Ultralow Power Single-Chip CMOS 900 MHz Receiver for Wireless Paging,” Ph.D. dissertation, University of California, Los Angeles, 1999.
- [12] A. Shahani, “Radio-Frequency Conversion and Synthesis (for a 115 Milliwatt GPS Receiver),” Ph.D. dissertation, Stanford University, 1999.
- [13] A.-S. Porret, “Design of a low-power and low-voltage UHF transceiver integrated in a CMOS process,” Ph.D. dissertation, EPFL, Switzerland, (thesis No. 2542), 2002.
- [14] N.-J. Oh, S.-G. Lee, and J. Ko, “A CMOS 868/915 MHz direct conversion ZigBee single-chip radio,” *IEEE Communications Magazine*, vol. 43, no. 12, pp. 100–109, Dec. 2005.
- [15] T.-K. Nguyen, N.-J. Oh, V.-H. Le, and S.-G. Lee, “A low-power CMOS direct conversion receiver with 3-dB NF and 30-kHz flicker-noise corner for 915-MHz band IEEE 802.15.4 ZigBee standard,” *IEEE Trans. Microwave Theory and Techniques*, vol. 54, no. 1, pp. 735–741, Feb. 2006.
- [16] L. Göpfert, F. Hofmann, and G. Jacobasch, “A 900MHz CMOS RF transceiver including digital baseband and hardware-MAC for IEEE 802.15.4/ZigBee applications,” in *Proc. of the 14th IST Mobile and Wireless Communications Summit 2005, Dresden*, June 2005.
- [17] L. Göpfert, G. Jacobasch, F. Hofmann, T. Franke, A. Lerch, and K.-H. Rooch, “A fully-integrated 900MHz CMOS RF transceiver including digi-

- tal baseband for IEEE 802.15.4/ZigBee application,” in *Proc. of European Conference on Wireless Technologies 2003, Munich*, 2003, pp. 371–374.
- [18] S. Mahdavi and A. Abidi, “Fully integrated 2.2-mW CMOS front end for a 900-MHz wireless receiver,” *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 662–669, May 2002.
- [19] H. Darabi and A. Abidi, “A 4.5-mW 900-MHz CMOS receiver for wireless paging,” *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1085–1096, Aug. 2000.
- [20] J. Crols and M. Steyaert, “A single-chip 900 MHz CMOS receiver front-end with a high performance low-IF topology,” *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1483–1492, Dec. 1995.
- [21] J. Järvinen, J. Kaukokuori, J. Ryyänen, J. Jussila, K. Kivekäs, M. Honkanen, and K. Halonen, “2.4-GHz receiver for sensor applications,” *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1426–1433, July 2005.
- [22] Y.-J. Jung, H. Jeong, E. Song, J. Lee, S.-W. Lee, D. Seo, I. Song, S. Jung, J. Park, D.-K. Jeong, S.-I. Chae, and W. Kim, “A 2.4-GHz 0.25- μm CMOS dual-mode direct-conversion transceiver for bluetooth and 802.11b,” *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1185–1190, July 2004.
- [23] “International Technology Roadmap for Semiconductors 2005 Edition Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications,” available in the internet: <http://www.itrs.net>, 2005.
- [24] J. Gutierrez, M. Naeve, E. Callaway, M. Bourgeois, V. Mitter, and B. Heile, “IEEE 802.15.4: A Developing Standard for Low-Power Low-Cost Wireless Personal Area Networks,” *IEEE Network Magazine*, vol. 15, no. 5, pp. 12–19, Sept./Oct. 2001.
- [25] “Es funkt im Zickzack-Netz,” *Markt & Technik*, no. 27, pp. 18–23, July 2003.

-
- [26] J. Gutiérrez, E. Callaway, and R. Barrett, *Low-Rate Wireless Personal Area Networks - Enabling Wireless Sensors with IEEE 802.15.4TM*, 1st ed. New York: IEEE standards wireless networks series, 2004.
- [27] “Homepage der ZigBee Alliance,” available in the internet: <http://www.zigbee.org>.
- [28] E. Callaway, P. Gorday, L. Hester, J. Gutierrez, M. Naeve, B. Heile, and V. Bahl, “Home Networking with IEEE 802.15.4: A Developing Standard for Low-Rate Wireless Personal Area Networks,” *IEEE Communications Magazine*, vol. 40, no. 8, pp. 70–77, Aug. 2002.
- [29] “ATMEL AT86RF230 ZigBee / IEEE 802.15.4 Transceiver Datasheet,” available in the internet: <http://www.atmel.com>, 2006.
- [30] “CHIPCON CC2420 2.4 GHz IEEE 802.15.4 / ZigBee-ready RF Transceiver Datasheet,” available in the internet: <http://www.chipcon.com>, 2006.
- [31] “FREESCALE MC13192 2.4 GHz Low Power Transceiver for the IEEE 802.15.4 standard Datasheet,” available in the internet: <http://www.freescale.com>, 2005.
- [32] “ZMD 44101 Single Chip 868 MHz to 928 MHz RF Transceiver Datasheet,” available in the internet: <http://www.zmd.de>, 2005.
- [33] “Frequenznutzungsplan der Bundesnetzagentur,” available in the internet: <http://www.bundesnetzagentur.de>, May 2006.
- [34] B. Razavi, *RF Microelectronics*, 1st ed. Cambridge, New York, Melbourne, Madrid, Cape Town: Cambridge University Press, 1998.
- [35] T. Stücker, N. Christoffers, R. Kokozinski, and S. Kolnsberg, “System Simulation of IEEE 802.15.4 Wireless Sensor Networks,” in *Proc. of the Wireless Congress 2004: Systems and Applications, Munich*, Nov. 2004.
- [36] —, “BER Optimization for Micro Power Receivers Using Quick and Accurate System Simulation,” in *Proc. of the 14th IST Mobile and Wireless Communications Summit 2005, Dresden*, June 2005.

-
- [37] B. Strackenbrock and J. Weiß, *Brockhaus Mensch, Natur, Technik*, 1st ed. Leipzig, Mannheim: Brockhaus-Redaktion, 2000.
- [38] O. Blumtritt, *Nachrichtentechnik, Sender, Empfänger, Übertragung, Vermittlung*, 2nd ed. München: Deutsches Museum, 1997.
- [39] A. Zolfaghari, *Low Power CMOS Design for Wireless Transceivers*, 1st ed. Boston, Dordrecht, London: Kluwer Academic Publishers, 2003.
- [40] A. Teetzel, “Classic and Modern Receiver Architectures,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [41] D. Pozar, *Microwave and RF Design of Wireless Systems*, 1st ed. New York: John Wiley and Sons, 2001.
- [42] F. op’t Eynde, “Direct-Conversion Radio Transceivers,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [43] A. Teetzel, “Complex Circuits for RF Signal Processing,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [44] T. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge, New York, Melbourne, Madrid, Cape Town: Cambridge University Press, 2004.
- [45] M. Hafizi, S. Feng, T. Fu, K. Schulze, R. Ruth, R. Schwab, P. Karlsen, D. Simmonds, and Q. Gu, “RF front-end of direct conversion receiver RFIC for cdma-2000,” *IEEE J. Solid-State Circuits*, vol. 39, no. 10, pp. 1622–1632, Oct. 2004.
- [46] H. Lüke and J. Ohm, *Signalübertragung*, 8th ed. Berlin, Heidelberg, New York: Springer Verlag, 2002.
- [47] M. Steyaert, “CMOS Down & Up Converter Mixer,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.

- [48] D. Shaeffer and T. Lee, *The Design and Implementation of Low-Power CMOS Radio Receivers*, 1st ed. Norwell, Dordrecht: Kluwer Academic Publishers, 1999.
- [49] J. Janssens and M. Steyaert, *CMOS Cellular Receiver Front-Ends*, 1st ed. Boston, Dordrecht, London: Kluwer Academic Publishers, 2001.
- [50] E. Lauwers and G. Gielen, "A power estimation model for high-speed CMOS A/D converters," in *Proc. of the Design, Automation and Test in Europe Conference and Exhibition 1999*, March 1999, pp. 401–405.
- [51] I. Mehr and D. Dalton, "A 500 Msample/s 6-Bit Nyquist Rate ADC for Disk Drive Read Channel Applications," in *Proc. the 24th European Solid-State Circuits Conference 1998, ESSCIRC '98*, Sept. 1998, pp. 236–239.
- [52] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbolla, "Low-power pipeline ADC for wireless LANs," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1338–1340, Aug. 2004.
- [53] M. Scott, B. Boser, and K. Pister, "An ultralow-energy ADC for smart dust," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1123–1129, July 2003.
- [54] C.-S. Lin and B.-D. Liu, "A new successive approximation architecture for low-power low-cost CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 54–62, Jan. 2003.
- [55] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s low-power pipelined CMOS A/D converter using a pseudodifferential architecture," *IEEE J. Solid-State Circuits*, vol. 38, no. 2, pp. 369–373, Feb. 2003.
- [56] C.-C. Wang, J.-M. Huang, C.-Y. Chang, K.-T. Cheng, and C.-P. Li, "A 6.57 mW ZigBee Transceiver for 868/915 MHz Band," in *Proc. of the IEEE International Symposium on Circuits and Systems 2006, ISCAS '06*, May 2006, pp. 5195–5198.
- [57] N. Christoffers, T. Fedtschenko, T. Stücker, R. Kokozinski, and S. Kolnsberg, "Noise-Power Trade-Off in CMOS G_m - C -Channel Select Filters," in *Proc.*

- of the Int. IEEE Conf. on Mixed Design of Integrated Circuits, MIXDES 2006, Gdynia, Poland, June 2006, pp. 349–353.*
- [58] I. Galton, “Data Conversion in Wireless Communication Systems,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.-8.October 2004.
- [59] C.-C. Wang, J.-M. Huang, C.-Y. Chang, and C.-P. Li, “868/915 MHz Zig-Bee receiver for personal medical assistance,” in *Int. Conf. on Consumer Electronics 2006, ICCE '06, Digest Technical Papers*, Jan. 2006, pp. 461–462.
- [60] M. Hoffmann, *Hochfrequenztechnik*, 1st ed. Berlin, Heidelberg, New York: Springer Verlag, 1997.
- [61] H. Lindner, W. Siebke, G. Simon, and W. Wuttke, *Physik für Ingenieure*, 15th ed. München, Wien: Fachbuchverlag Leipzig, 1999.
- [62] E. Hering, R. Martin, and M. Stohrer, *Physik für Ingenieure*, 6th ed. Berlin, Heidelberg, New York: Spinger Verlag, 1997.
- [63] T. Rappaport, *Wireless Communications*, 2nd ed. London, Sydney, Toronto, Mexico, New Delhi, Tokyo, Singapore, Rio de Janeiro: Prentice-Hall, 1999.
- [64] J. Proakis, *Digital Communications*, 4th ed. Singapore: McGraw-Hill, 2001.
- [65] D. Shaeffer, “The Design and Implementation of Low-Power CMOS Radio Receivers,” Ph.D. dissertation, Stanford University, 1998.
- [66] R. Mäusl, *Digitale Modulationsverfahren*, 4th ed. Heidelberg: Hüttig Verlag, 1995.
- [67] W. Sheng and E. Sanchez-Sinencio, “System level design of radio frequency receivers for wireless communications,” in *Proc. of the 5th International Conference ASIC 2003*, vol. 2, Oct. 2003, pp. 930–933.

- [68] W. Sheng, A. Emira, and E. Sanchez-Sinencio, "CMOS RF Receiver System Design: A Systematic Approach," *IEEE Trans. Circuits and Systems I: Regular Papers*, vol. 53, no. 5, pp. 1023–1034, May 2006.
- [69] A. Abidi, G. Pottie, and W. Kaiser, "Power-conscious design of wireless circuits and systems," *Proc. of the IEEE*, vol. 88, no. 10, pp. 1528–1545, Oct. 2000.
- [70] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 1st ed. New York: McGraw-Hill, 2001.
- [71] U. Tietze and C. Schenk, *Halbleiter-Schaltungstechnik*, 11st ed. Berlin, Heidelberg, New York: Springer Verlag, 1999.
- [72] A. Abidi, "General relations between IP₂, IP₃, and offsets in differential circuits and the effects of feedback," *IEEE Trans. Microwave Theory and Techniques*, vol. 51, no. 5, pp. 1610–1612, May 2003.
- [73] J. Ryyänen, K. Kivekäs, J. Jussila, A. Pärssinen, and K. Halonen, "RF gain control in direct conversion receivers," in *IEEE International Symposium Circuits and Systems 2002, ISCAS 2002*, vol. 4, May 2002, pp. 117–120.
- [74] G. Gronau, *Höchstfrequenztechnik. Grundlagen, Schaltungstechnik, Messtechnik, Planare Antennen.*, 1st ed. Berlin, Heidelberg, New York: Springer Verlag, 2001.
- [75] A. Teetzel, "Broadbanding and Frequency Translations," Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [76] Y. Tsividis, *Operation and Modeling of the MOS Transistor*, 2nd ed. New York: McGraw-Hill, 1999.
- [77] J. Long, "Passive Components and RF IC Design," Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [78] E. Herter and W. Lörcher, *Nachrichtentechnik. Übertragung, Vermittlung und Verarbeitung*, 8th ed. München, Wien: Hanser Fachbuchverlag, 2000.

-
- [79] M. Reisch, *Elektronische Bauelemente*, 1st ed. Berlin, Heidelberg, New York: Springer Verlag, 1998.
- [80] R. Baker, H. Li, and D. Boyce, *CMOS Circuit Design, Layout, and Simulation*, 1st ed. New York: IEEE Press, 1998.
- [81] “Preliminary Electrical Parameter Manual C025,” Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme, 2004.
- [82] “Preliminary Design Manual C025,” Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme, 2004.
- [83] C. Enz, F. Krummenacher, and E. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” *Analog Integrated Circuits Signal Processing*, vol. 8, pp. 83–114, 1995.
- [84] S. Terry, J. Rochelle, D. Binkley, B. Blalock, D. Foty, and M. Bucher, “Comparison of a BSIM3V3 and EKV MOSFET model for a 0.5 μm CMOS process and implications for analog circuit design,” *IEEE Trans. Nuclear Science*, vol. 50, no. 1, pp. 915–920, Aug. 2003.
- [85] C. Enz, “MOS Transistor Modelling for RF IC Design,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [86] C. Enz and E. Vittoz, “CMOS low-power analog circuit design,” *Emerging Technologies (1996) Designing Low Power Digital Systems*, pp. 79–133, 1996.
- [87] G. Machado, C. Enz, and M. Bucher, “Estimating key parameters in the EKV MOST model for analogue design and simulation,” in *Proc. of the IEEE International Symposium on Circuits and Systems 1995, ISCAS '95*, vol. 3, May 1995, pp. 1588–1591.
- [88] M. Bucher, C. Lallement, C. Enz, F. Théodoloz, and F. Krummenacher, “Scalable GM/I Based MOSFET Model,” in *Proc. of the Int. Semiconductor Device Research Symposium (ISDRS'97)*, 1997, pp. 615–618.

- [89] M. Bucher, C. Lallement, C. Enz, and F. Krummenacher, "Accurate MOS modelling for analog circuit simulation using the EKV model," in *Proc. of the IEEE International Symposium on Circuits and Systems 1996, ISCAS '96*, vol. 4, May 1996, pp. 703–706.
- [90] C. Lallement, M. Bucher, and C. Enz, "Modelling and characterization of non-uniform substrate doping," *Solid-State-Electronics*, vol. 41, no. 12, pp. 1857–1861, Dec. 1997.
- [91] D. Foty, M. Bucher, and D. Binkley, "Re-interpreting the MOS transistor via the inversion coefficient and the continuum of g_{ms}/I_d ," in *Proc. of the 9th International Conference on Electronics, Circuits and Systems 2002*, vol. 3, Sept. 2002, pp. 1179–1182.
- [92] D. Binkley, M. Bucher, and D. Foty, "Design-oriented characterization of CMOS over the continuum of inversion level and channel length," in *Proc. of the 7th IEEE International Conference on Electronics, Circuits and Systems 2000, ICECS 2000*, vol. 1, Dec. 2000, pp. 161–164.
- [93] M. Bucher, D. Kazazis, F. Krummenacher, D. Binkley, D. Foty, and Y. Papananos, "Analysis of transconductances at all levels of inversion in deep submicron CMOS," in *Proc. of the 9th International Conference on Electronics, Circuits and Systems 2002*, vol. 3, Sept. 2002, pp. 1183–1186.
- [94] A. Cunha, M. Schneider, and C. Galup-Montoro, "An MOS transistor model for analog circuit design," *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1510–1519, Oct. 1998.
- [95] Y. Tsvividis, K. Suyama, and K. Vavelidis, "Simple 'reconciliation' MOSFET model valid in all regions," *Electronics Letters*, vol. 31, no. 6, pp. 506–508, March 1995.
- [96] M. Bucher, C. Lallement, C. Enz, F. Théodoloz, and F. Krummenacher, "The EPFL-EKV MOSFET Model Equations for Simulation - Model Version 2.6, Revision II," available in the internet: <http://legwww.epfl.ch/ekv/model.html>, 1999.

- [97] C. Enz, "An MOS transistor model for RF IC design valid in all regions of operation," *IEEE Trans. Microwave Theory and Techniques*, vol. 50, no. 2, pp. 342–359, Jan. 2002.
- [98] Y. Tsvividis and G. Masetti, "Problems in Precision Modeling of the MOS Transistor for Analog Applications," *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems*, vol. 3, no. 1, pp. 72–79, 1984.
- [99] F. Silveira, D. Flandre, and P. Jespers, "A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," *IEEE J. Solid-State Circuits*, vol. 31, no. 9, pp. 1314–1319, Sept. 1996.
- [100] C. Enz, M. Bucher, A.-S. Porret, J.-M. Sallese, and F. Krummenacher, "The foundations of the EKV MOS transistor charge-based model," in *Workshop on Compact modeling at the Int. Conf. on Modeling and simulation of microsystems, Puerto Rico*, 2002, pp. 666–669.
- [101] M. Bucher, C. Lallement, and C. Enz, "An efficient parameter extraction methodology for the EKV MOST model," in *Proc. of the IEEE International Conference on Microelectronic Test Structures 1996, ICMTS 1996*, March 1996, pp. 145–150.
- [102] C. Enz and A. Roy, "A comprehensive study of thermal noise in the MOS transistor," in *Proc. of the Conf. on Noise in Devices and Circuits, Maspalomas, Spain*, May 2004, pp. 84–95.
- [103] A. Roy and C. Enz, "Compact modeling of thermal noise in the MOS transistor," in *Proc. of the Int. Conf. on Mixed Design, MIXDES 2004, Szczecin, Poland*, June 2004, pp. 71–78.
- [104] A. Roy, Sallese, J. , Enz, and C. , "Compact modeling of anomalous high frequency behavior of MOSFET's small-signal NQS parameters in presence of velocity saturation," in *Proc. of the 35th European Solid-State Device Research Conference 2005, ESSDERC 2005*, Sept. 2005, pp. 141–144.

- [105] W. Liu, X. Jin, J. Chen, M. Jeng, Z. Liu, Y. Cheng, K. Chen, M. Chan, K. Hui, J. Huang, R. Tu, P. Ko, and C. Hu, "BSIM3v3.2.2 MOSFET Model, Users' Manual," University of California, Berkley, 1999.
- [106] J. Vann, M. Smith, M. Simpson, C. Thomas, M. Paulus, J. Moore, L. Baylor, J. Rochelle, D. Lowndes, D. Geohegan, G. Jellison, V. Merkulov, A. Puzetzký, and E. Voelkl, "Modeling and simulation of short-channel MOSFETs operating in deep weak inversion," in *Proc. of the Midwest Symposium Circuits and Systems 1998*, Aug. 1998, pp. 24–27.
- [107] M. Bucher, C. Enz, F. Krummenacher, J. Sallese, C. Lallement, and A. Porret, "The EKV 3.0 Compact MOS Transistor Model: Accounting for Deep-Submicron Aspects," in *Nanotech 2002 - Technical Proceedings of the 2002 Int. Conf. on Modeling and Simulation of Microsystems*, vol. 1, 2002, pp. 670–673.
- [108] I. Wolff, *Grundlagen der Elektrotechnik*, 6th ed. Aachen: Nellissen-Wolff GmbH, 1997.
- [109] J.-M. Sallese and A.-S. Porret, "A novel approach to charge-based non-quasi-static model of the MOS transistor valid in all modes of operation," *Solid-State-Electronics*, vol. 44, no. 6, pp. 887–894, June 2000.
- [110] A.-S. Porret, J.-M. Sallese, and C. Enz, "A compact non-quasi-static extension of a charge-based MOS model," *IEEE Trans. Electron Devices*, vol. 48, no. 8, pp. 1647–1654, Aug. 2001.
- [111] A.-S. Porret and C. Enz, "Non-quasi-static (NQS) thermal noise modelling of the MOS transistor," *IEE Proc. Circuits Devices and Syst.*, vol. 151, no. 2, pp. 155–166, 2004.
- [112] S. F. Tin, A. Osman, K. Mayaram, and C. Hu, "BSIM3 MOSFET model accuracy for RF circuit simulation," in *Proc. of the IEEE Radio and Wireless Conference 1998, RAWCON 98*, Aug. 1998, pp. 351–354.
- [113] W.-K. Yeh, C.-C. Ku, S.-M. Chen, Y.-K. Fang, and C. Chao, "Effect of extrinsic impedance and parasitic capacitance on figure of merit of RF

- MOSFET,” *IEEE Trans. Electron Devices*, vol. 52, no. 9, pp. 2054–2060, Sept. 2005.
- [114] A. Litwin, “Overlooked interfacial silicide-polysilicon gate resistance in MOS transistors,” *IEEE Trans. Electron Devices*, vol. 48, no. 9, pp. 2179–2181, Sept. 2001.
- [115] S. H.-M. Jen, C. Enz, D. Pehlke, M. Schröter, and B. Sheu, “Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz,” *IEEE Trans. Electron Devices*, vol. 46, no. 11, pp. 2217–2227, Nov. 1999.
- [116] M. Steyaert, “CMOS LNA Circuits,” Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [117] T. Melly, A.-S. Porret, C. Enz, and E. Vittoz, “An analysis of flicker noise rejection in low-power and low-voltage CMOS mixers,” *IEEE J. Solid-State Circuits*, vol. 36, no. 1, pp. 102–109, Jan. 2001.
- [118] T. Melly, A. Porret, C. Enz, and E. Vittoz, “Addition to “an analysis of flicker noise rejection in low-power and low-voltage CMOS mixers“,” *IEEE J. Solid-State Circuits*, vol. 37, no. 8, pp. 1090–1090, Aug. 2002.
- [119] A. van der Ziel, *Noise in Solid-State Devices and Circuits*, 1st ed. New York: Wiley, 1986.
- [120] J. Chang, A. Abidi, and C. Viswanathan, “Flicker noise in CMOS transistors from subthreshold to strong inversion at various temperatures,” *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 1965–1971, Nov. 1994.
- [121] A. Hajimiri and T. Lee, “A general theory of phase noise in electrical oscillators,” *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, Feb. 1998.
- [122] H. Darabi and A. Abidi, “Noise in RF-CMOS mixers: a simple physical model,” *IEEE J. Solid-State Circuits*, vol. 35, no. 1, pp. 15–25, Jan. 2000.

- [123] S. Chehrazi, R. Bagheri, and A. Abidi, "Noise in passive FET mixers: a simple physical model," in *Proc. of the IEEE Custom Integrated Circuits Conference 2004*, Oct. 2004, pp. 375–378.
- [124] D. Comer and D. Comer, "Operation of analog MOS circuits in the weak or moderate inversion region," *IEEE Trans. Education*, vol. 47, no. 4, pp. 430–435, Nov. 2004.
- [125] —, "Using the weak inversion region to optimize input stage design of CMOS op amps," *IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol. 51, no. 1, pp. 8–14, 2004.
- [126] U. Yodprasit and J. Ngarmnil, "Efficient low-power designs using MOSFETs in the weak inversion region," in *The IEEE Asia-Pacific Conference Circuits and Systems 1998, IEEE APCCAS 1998*, Nov. 1998, pp. 45–48.
- [127] F. Gatta, E. Sacchi, F. Svelto, P. Vilmercati, and R. Castello, "A 2-dB noise figure 900-MHz differential CMOS LNA," *IEEE J. Solid-State Circuits*, vol. 36, no. 10, pp. 1444–1452, Oct. 2001.
- [128] E. Gondro, P. Klein, and F. Schuler, "An analytical source-and-drain series resistance model of quarter micron MOSFETs and its influence on circuit simulation," in *Proc. of the 1999 IEEE International Symposium Circuits and Systems, ISCAS '99.*, vol. 6, June 1999, pp. 206–209.
- [129] S. F. Tin, A. Osman, K. Mayaram, and C. Hu, "A simple subcircuit extension of the BSIM3v3 model for CMOS RF design," *IEEE J. Solid-State Circuits*, vol. 35, no. 4, pp. 612–624, April 2000.
- [130] S. F. Tin and K. Mayaram, "Substrate network modeling for CMOS RF circuit simulation," in *Proc. of the IEEE Custom Integrated Circuits 1999*, May 1999, pp. 583–586.
- [131] C. Enz and Y. Cheng, "MOS transistor modeling for RF IC design," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 186–201, Feb. 2000.

- [132] L. Belostotski and J. Haslett, "Noise figure optimization of inductively de-generated CMOS LNAs with integrated gate inductors," *IEEE Trans. Circuits and Systems I: Regular Papers*, vol. 53, no. 7, pp. 1409–1422, July 2006.
- [133] D. Shaeffer and T. Lee, "Corrections to "A 1.5-V, 1.5-GHz CMOS low noise amplifier"," *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1397–1398, 2005.
- [134] A. van der Ziel, "Noise in solid-state devices and lasers," in *Proc. of the IEEE*, vol. 58, no. 8, 1970, pp. 1178–1206.
- [135] A. Abidi, "High-frequency noise measurements on FET's with small dimensions," *IEEE Trans. Electron Devices*, vol. 33, no. 11, pp. 1801–1805, 1986.
- [136] P. Klein, "An Analytical Thermal Noise Model of deep submicron MOS-FET's for Circuit Simulation with Emphasis on the BSIM3v3 SPICE Model," in *Proc. of the 28th European Solid-State Device Research Conference 1998*, 1998, pp. 460–463.
- [137] D. Triantis, A. Birbas, and D. Kondis, "Thermal noise modeling for short-channel MOSFETs," *IEEE Trans. Electron Devices*, vol. 43, no. 11, pp. 1950–1955, Nov. 1996.
- [138] K.-H. To, Y.-B. Park, T. Rainer, W. Brown, and M. Huang, "High frequency noise characteristics of RF MOSFETs in subthreshold region," in *Proc. of the IEEE Radio Frequency Integrated Circuits (RFIC) Symposium 2003*, June 2003, pp. 163–166.
- [139] G. Anelli, "Design and Characterization of Radiation Tolerant Integrated Circuits in Deep Submicron CMOS Technologies for the LHC Experiments," Ph.D. dissertation, Laboratoire Européen pour la Recherche Nucléaire (CERN), 2000.

- [140] ———, “Noise and Matching in CMOS (Analog) Circuits,” African Regional Course on Advanced VLSI Design Techniques, Kwame Nkrumah University of Science and Technology, Kumasi, Ghana, December 2003.
- [141] G. Knoblinger, P. Klein, and U. Baumann, “Thermal channel noise of quarter and sub-quarter micron NMOSFET’s,” in *Proc. of the 2000 International Conference on Microelectronic Test Structures 2000, ICMTS 2000*, 2000, pp. 95–98.
- [142] S. Tedja, J. Van der Spiegel, and H. Williams, “Analytical and experimental studies of thermal noise in MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 2069–2075, Nov. 1994.
- [143] P. O’Connor and G. De Geronimo, “Prospects for charge sensitive amplifiers in scaled CMOS,” *Nuclear Instruments and Methods in Physics Research Section A*, vol. 480, pp. 713–725, March 2002.
- [144] A. Scholten, L. Tiemeijer, R. van Langevelde, R. Havens, Zegers-van, A. Duijnhoven, and V. Venezia, “Noise modeling for RF CMOS circuit simulation,” *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 618–632, March 2003.
- [145] G. Knoblinger, “RF-Noise of Deep-Submicron MOSFETs: Extraction and Modeling,” in *Proc. of the 31st European Solid-State Device Research Conference 2001*, 2001, pp. 331–334.
- [146] A. Scholten, H. Tromp, L. Tiemeijer, Van, R. Langevelde, R. Havens, De, P. Vreede, R. Roes, P. Woerlee, A. Montree, and D. Klaassen, “Accurate thermal noise model for deep-submicron CMOS,” in *Proc. of the International Electron Devices Meeting IEDM 1999, Technical Digest.*, Dec. 1999, pp. 155–158.
- [147] C.-H. Chen, M. Deen, Y. Cheng, and M. Matloubian, “Extraction of the induced gate noise, channel noise, and their correlation in submicron MOSFETs from RF noise measurements,” *IEEE Trans. Electron Devices*, vol. 48, no. 12, pp. 2884–2892, Dec. 2001.

- [148] C. Chen, M. Deen, Z. Yan, M. Schroter, and C. Enz, "High frequency noise of MOSFETs. II. Experiments," *Solid-State-Electronics*, vol. 42, no. 11, pp. 2083–2092, 1998.
- [149] M. Deen and C. Chen, "RF MOSFET Noise Parameter Extraction and Modeling," in *Proc. of the 5th Int. Conf. on Modeling and Simulation of Microsystems (MSM 2002)*, San Juan, Puerto Rico, April 2002, pp. 694–697.
- [150] K. Han, J. Gil, S.-S. Song, J. Han, H. Shin, C.-K. Kim, and K. Lee, "Complete high-frequency thermal noise modeling of short-channel MOSFETs and design of 5.2-GHz low noise amplifier," *IEEE J. Solid-State Circuits*, vol. 40, no. 3, pp. 726–735, March 2005.
- [151] J.-S. Goo, C.-H. Choi, F. Danneville, E. Morifuji, H. Momose, Z. Yu, H. Iwai, T. Lee, and R. Dutton, "An accurate and efficient high frequency noise simulation technique for deep submicron MOSFETs," *IEEE Trans. Electron Devices*, vol. 47, no. 12, pp. 2410–2419, Dec. 2000.
- [152] J.-S. Goo, C.-H. Choi, A. Abramo, J.-G. Ahn, Z. Yu, T. Lee, and R. Dutton, "Physical origin of the excess thermal noise in short channel MOSFETs," *IEEE Electron Device Letters*, vol. 22, no. 2, pp. 101–103, Feb. 2001.
- [153] N. Otegi, J. Collantes, and M. Sayed, "Calibrated noise figure measurements in vector network analyser," *Electronics Letters*, vol. 41, no. 18, pp. 999–1000, Sept. 2005.
- [154] M. Schmatz and W. Baechtold, "Broadband noise parameter and S-parameter measurement technique," in *IEEE MTT-S International Microwave Symposium Digest 1997*, vol. 3, June 1997, pp. 1443–1446.
- [155] C.-H. Chen and M. Deen, "A general noise and S-parameter deembedding procedure for on-wafer high-frequency noise measurements of MOSFETs," *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 5, pp. 1004–1005, May 2001.

- [156] C. Biber, M. Schmatz, T. Morf, U. Lott, E. Morifuji, and W. Bächtold, “Technology independent degradation of minimum noise figure due to pad parasitics,” in *Proc of the IEEE MTT-S International Microwave Symposium Digest 1998*, vol. 1, June 1998, pp. 145–148.
- [157] R. Vanoppen, L. de Maaijer, D. Klaassen, and L. Tiemeijer, “RF noise modelling of 0.25- μm CMOS and low power LNAs,” in *Proc. of the International Electron Devices Meeting 1997, Technical Digest*, Dec. 1997, pp. 317–320.
- [158] S. Wartenberg, *RF Measurements of Die and Packages*, 1st ed. Norwood: Artech House, 2002.
- [159] G. Knoblinger, P. Klein, and H. Tiebout, “A new model for thermal channel noise of deep-submicron MOSFETs and its application in RF-CMOS design,” *IEEE J. Solid-State Circuits*, vol. 36, no. 5, pp. 831–837, May 2001.
- [160] G. Knoblinger, P. Klein, and M. Tiebout, “A new model for thermal channel noise of deep submicron MOSFETs and its application in RF-CMOS design,” in *Proc. of the Symposium VLSI Circuits 2000, Digest Technical Papers. 2000*, June 2000, pp. 150–153.
- [161] C. Chen and M. Deen, “High frequency noise of MOSFETs. I. Modeling,” *Solid-State-Electronics*, vol. 42, no. 11, pp. 2069–2081, 1998.
- [162] A. Roy and C. Enz, “Compact modeling of thermal noise in the MOS transistor,” *IEEE Trans. Electron Devices*, vol. 52, no. 4, pp. 611–614, April 2005.
- [163] ———, “Advanced Noise Modeling in EKV - Compact Modeling of Noise in the MOS Transistor,” EKV 3.0 Workshop, available in the internet: <http://legwww.epfl.ch/ekv/workshop/>, 2004.
- [164] A. Roy, C. Enz, and J.-M. Sallese, “Noise modeling methodologies in the presence of mobility degradation and their equivalence,” *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 348–355, Feb. 2006.
- [165] J.-S. Goo, W. Liu, C.-H. Choi, K. Green, Z. Yu, T. Lee, and R. Dutton, “The equivalence of van der Ziel and BSIM4 models in modeling the induced gate

- noise of MOSFETs,” in *Proc. of the International Electron Devices Meeting IEDM 2000, Technical Digest*, Dec. 2000, pp. 811–814.
- [166] J. Long and M. Copeland, “The modeling, characterization, and design of monolithic inductors for silicon RF IC’s,” *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 357–369, March 1997.
- [167] S. Mohan, M. del Mar Hershenson, S. Boyd, and T. Lee, “Simple accurate expressions for planar spiral inductances,” *IEEE J. Solid-State Circuits*, vol. 34, no. 10, pp. 1419–1424, Oct. 1999.
- [168] R. Merrill, T. Lee, H. You, R. Rasmussen, and L. Moberly, “Optimization of high Q integrated inductors for multi-level metal CMOS,” in *International Electron Devices Meeting 1995*, Dec. 1995, pp. 983–986.
- [169] A. Niknejad and R. Meyer, “Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs,” *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1470–1481, Oct. 1998.
- [170] M. Nemes, *Entwicklung eines UHF - Transceivers für das ISM - Frequenzband 868-870 MHz in einer 0.8 μm CMOS Technologie*, 1st ed. Aachen: Shaker Verlag, 2003.
- [171] A. Niknejad and R. Meyer, *Design, Simulation and Applications of Inductors and Transformers for Si RF ICs*, 1st ed. Boston, Dordrecht, London: Kluwer Academic Publishers, 2000.
- [172] I. Wolff, *Maxwellsche Theorie*, 4th ed. Berlin, Heidelberg, New York: Springer Verlag, 1997.
- [173] C. Yue and S. Wong, “On-chip spiral inductors with patterned ground shields for Si-based RF ICs,” *IEEE J. Solid-State Circuits*, vol. 33, no. 5, pp. 743–752, May 1998.
- [174] J. Lee, A. Kral, A. Abidi, and N. Alexopoulos, “Design of spiral inductors on silicon substrates with a fast simulator,” in *Proc. the 24th European Solid-State Circuits Conference 1998, ESSCIRC '98*, Sept. 1998, pp. 328–331.

- [175] J. Burghartz, K. Jenkins, and M. Soyuer, "Multilevel-spiral inductors using VLSI interconnect technology," *IEEE Electron Device Letters*, vol. 17, no. 9, pp. 428–430, Sept. 1996.
- [176] L. Larson, "Silicon technology tradeoffs for radio-frequency/mixed-signal "systems-on-a-chip"," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 683–699, March 2003.
- [177] C. Yue and S. Wong, "On-chip Spiral Inductors With Patterned Ground Shields For Si-based RF IC's," in *Symposium on VLSI Circuits 1997, Digest of Technical Papers*, June 1997, pp. 85–86.
- [178] J. Maget, R. Kraus, and M. Tiebout, "Voltage-controlled Substrate Structure for Integrated Inductors in Standard Digital CMOS Technologies," in *Proc. of the 32nd European Solid-State Device Research Conference 2002*, 2002, pp. 331–334.
- [179] J. Maget, "Varactors and Inductors for Integrated RF Circuits in Standard MOS Technologies," Ph.D. dissertation, Universität der Bundeswehr München, 2002.
- [180] C. Yue, C. Ryu, J. Lau, T. Lee, and S. Wong, "A physical model for planar spiral inductors on silicon," in *International Electron Devices Meeting 1996*, Dec. 1996, pp. 155–158.
- [181] J. Rautio and R. Groves, "A potentially significant on-wafer high-frequency measurement calibration error," *IEEE Microwave Magazine*, vol. 6, no. 4, pp. 94–100, Dec. 2005.
- [182] M. del Mar Hershenson, S. Mohan, S. Boyd, and T. Lee, "Optimization of inductor circuits via geometric programming," in *Proc. of the 36th Design Automation Conference 1999*, June 1999, pp. 994–998.
- [183] H. Greenhouse, "Design of Planar Rectangular Microelectronic Inductors," *IEEE Trans. and Packaging*, vol. 10, no. 2, pp. 101–109, 1974.

-
- [184] A. Abidi and H. Darabi, "Low power RF integrated circuits: principles and practice," in *Proc. of the International Symposium on Low Power Electronics and Design 1999*, 1999, pp. 1–6.
- [185] G. Pelz, "Methoden und Werkzeuge zum Entwurf von CMOS VLSI Schaltungen," Skriptum zur Vorlesung Rechnergestützter Entwurf, 1999.
- [186] J. Long, "Packaging RF Circuits," Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8.October 2004.
- [187] M. Ingels and M. Steyaert, "Design strategies and decoupling techniques for reducing the effects of electrical interference in mixed-mode IC's," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1136–1141, July 1997.
- [188] G. Blackwell, *The Electronic Packaging Handbook*, 1st ed. Boca Raton: CRC Press, 2000.
- [189] J. Colvin, S. Bhatia, and K. O, "Effects of substrate resistances on LNA performance and a bondpad structure for reducing the effects in a silicon bipolar technology," *IEEE J. Solid-State Circuits*, vol. 34, no. 9, pp. 1339–1344, Sept. 1999.
- [190] N. Camilleri, J. Kirchgessner, J. Costa, D. Ngo, and D. Lovelace, "Bonding pad models for silicon VLSI technologies and their effects on the noise figure of RF NPNs," in *IEEE MTT-S International 1994.*, May 1994, pp. 1179–1182.
- [191] R. Fujimoto, K. Kojima, and S. Otaka, "A 7-GHz 1.8-dB NF CMOS low-noise amplifier," *IEEE J. Solid-State Circuits*, vol. 37, no. 7, pp. 852–856, July 2002.
- [192] —, "A 7-GHz 1.8dB NF CMOS low noise amplifier," in *Proc. the 27th European Solid-State Circuits Conference 2001, ESSCIRC 2001*, Sept. 2001, pp. 49–52.
- [193] K. Mouthaan, *Modelling of RF High Power Bipolar Transistors*, 1st ed. Delft: Delft Univ. Press, 2001.

- [194] K. Mouthaan, R. Tinti, M. de Kok, H. de Graaff, J. Tauritz, and J. Slotboom, "Microwave modelling and measurement of the self- and mutual inductance of coupled bondwires," in *Proc. of the Bipolar/BiCMOS Circuits and Technology Meeting 1997*, Sept. 1997, pp. 166–169.
- [195] F. Alimenti, U. Goebel, and R. Sorrentino, "Quasi static analysis of microstrip bondwire interconnects," in *IEEE MTT-S International Microwave Symposium Digest 1995*, May 1995, pp. 679–682.
- [196] Y.-G. Lee, S.-K. Yun, and H.-Y. Lee, "Novel high-Q bondwire inductor for MMIC," in *International Electron Devices Meeting 1998, IEDM '98 Technical Digest.*, Dec. 1998, pp. 548–551.
- [197] J.-Y. Kim, H.-Y. Lee, J.-H. Lee, and D.-P. Chang, "Wideband characterization of multiple bondwires for millimeter-wave applications," in *Asia-Pacific Microwave Conference 2000*, Dec. 2000, pp. 1265–1268.
- [198] F. Alimenti, P. Mezzanotte, L. Roselli, and R. Sorrentino, "Modeling and characterization of the bonding-wire interconnection," *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 1, pp. 142–150, Jan. 2001.
- [199] —, "An equivalent circuit for the double bonding wire interconnection," in *IEEE MTT-S International Microwave Symposium Digest 1999*, vol. 2, June 1999, pp. 633–636.
- [200] S. March, "Simple equations to characterize bond wires," *Microwaves & RF*, no. 11, pp. 105–110, 1991.
- [201] J. Cranickx and M. Steyaert, *Wireless CMOS Frequency Synthesizer Design*, 1st ed. Boston: Kluwer Academic Publishers, 1998.
- [202] F. op't Eynde, "Practical Design Constraints for RF ICs," Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8. October 2004.
- [203] T. Stücker, N. Christoffers, R. Kokozinski, S. Kolnsberg, and B. Hosticka, "LNA for Low-Power, Low Data Rate PAN Applications," in *Advances in*

- Radio Sciences: Kleinheubacher Tagung 2005, Miltenberg*, Sept. 2006, pp. 219–224.
- [204] —, “Graphical Optimization of Common-Gate LNA,” in *Proc. of the IEEE CAS 2nd Conference on Ph.D. Research in MicroElectronics and Electronics, PRIME 2006, Otranto, Italy*, no. 2, June 2006.
- [205] —, “The Impact of Technology Parameters on the Performance of Common-Gate LNAs,” in *Proc. of the Int. IEEE Conf. on Mixed Design of Integrated Circuits, MIXDES 2006, Gdynia, Poland*, June 2006, pp. 538–543.
- [206] —, “A Low Power, Variable Gain Common-Gate LNA,” in *Proc. of the IEEE MTT German Microwave Conference, GeMiC 2006, Karlsruhe, Germany*, no. 2, March 2006.
- [207] D. Shaeffer and T. Lee, “A 1.5-V, 1.5-GHz CMOS low noise amplifier,” *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, May 1997.
- [208] T. Soorapanth and T. Lee, “RF linearity of short-channel MOSFETs,” in *Proc. of the First Int. Workshop on Design of Mixed Integrated Circuits, Cancun, Mexico*, Oct. 1997, pp. 81–84.
- [209] V. Aparin and C. Persico, “Effect of out-of-band terminations on intermodulation distortion in common-emitter circuits,” in *IEEE MTT-S International Microwave Symposium Digest 1999*, vol. 3, June 1999, pp. 977–980.
- [210] V. Aparin and L. Larson, “Linearization of monolithic LNAs using low-frequency low-impedance input termination,” in *Proc. of the 29th European Solid-State Circuits Conference 2003, ESSCIRC '03*, Sept. 2003, pp. 137–140.
- [211] B. Toole, C. Plett, and M. Cloutier, “RF circuit implications of moderate inversion enhanced linear region in MOSFETs,” *IEEE Trans. Circuits and Systems I: Regular Papers*, vol. 51, no. 2, pp. 319–328, Feb 2004.

- [212] D. Shaeffer and T. Lee, "Comment on Corrections to "A 1.5-V, 1.5-GHz CMOS low noise amplifier"," *IEEE J. Solid-State Circuits*, vol. 41, no. 10, pp. 2359–2359, Oct. 2006.
- [213] E. Roa, J. Soares, and W. van Noije, "A methodology for CMOS low noise amplifier design," in *Proc. of 16th Symposium Integrated Circuits and Systems Design 2003, SBCCI 2003*, Sept. 2003, pp. 14–19.
- [214] D. Allstot, X. Li, and S. Shekhar, "Design considerations for CMOS low-noise amplifiers," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium 2004, Digest Papers*, June 2004, pp. 97–100.
- [215] Y. Ge and K. Mayaram, "A comparative analysis of CMOS low noise amplifiers for RF applications," in *Proc. of the IEEE International Symposium Circuits and Systems 1998, ISCAS '98*, vol. 4, June 1998, pp. 349–352.
- [216] T.-K. Nguyen, C.-H. Kim, G.-J. Ihm, M.-S. Yang, and S.-G. Lee, "CMOS low-noise amplifier design optimization techniques," *IEEE Trans. Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433–1442, May 2004.
- [217] V. Baroncini and O. da Costa Gouveia-Filho, "Design of RF CMOS low noise amplifiers using a current based MOSFET model," in *Proc. of the 17th Symposium Integrated Circuits and Systems Design 2004, SBCCI 2004*, Sept. 2004, pp. 82–87.
- [218] C. Enz, "MOS transistor modeling for RF integrated circuit design," in *Proc. of the IEEE Custom Integrated Circuits Conference 2000, CICC 2000*, May 2000, pp. 189–196.
- [219] D. Triantis and A. Birbas, "Optimal current for minimum thermal noise operation of submicrometer MOS transistors," *IEEE Trans. Electron Devices*, vol. 44, no. 11, pp. 1990–1995, Nov. 1997.
- [220] K. Cao, H. Yang, and H. Wang, "The design of CMOS RF low noise amplifiers," in *Proc. of the 5th International Conference ASIC 2003*, vol. 2, Oct. 2003, pp. 1106–1109.

- [221] J. Long, "RF Design in BiCMOS," Advanced Engineering Course on RF IC Design, at the EPFL, Lausanne 4.- 8.October 2004.
- [222] B. Walke, M. P. Althoff, and P. Seidenberg, *UMTS - Ein Kurs*, 1st ed. Karlsruhe: J. Schlembach Fachverlag, 2001.
- [223] P. Jung, *Analyse und Entwurf digitaler Mobilfunksysteme*, 1st ed. B.G. Teubner Verlag, 2004.
- [224] F. Jondral, *Nachrichtensysteme. Grundlagen - Verfahren - Anwendungen*, 1st ed. Karlsruhe: J. Schlembach Fachverlag, 2001.
- [225] K. Beuth, R. Hanebuth, G. Kurz, and C. Lüders, *Nachrichtentechnik - Elektronik 7*, 2nd ed. Würzburg: Vogel Fachverlag, 2001.
- [226] J.-S. Goo, H.-T. Ahn, D. Ladwig, Z. Yu, T. Lee, and R. Dutton, "Design methodology for power-constrained low noise RF circuits," in *Workshop on Synthesis and System Integration of Mixed Technologies, SASIMI, Nara, Japan*, Oct. 2001, pp. 394–401.
- [227] S. Hara, T. Tokumitsu, T. Tanaka, and M. Aikawa, "Broad-band monolithic microwave active inductor and its application to miniaturized wide-band amplifiers," *IEEE Trans. Microwave Theory and Techniques*, vol. 36, no. 12, pp. 1920–1924, Dec. 1988.
- [228] S. Hara, T. Tokumitsu, and M. Aikawa, "Lossless broad-band monolithic microwave active inductors," *IEEE Trans. Microwave Theory and Techniques*, vol. 37, no. 12, pp. 1979–1984, Dec. 1989.
- [229] J. Raskin, J. Eggermont, D. Vanhoenacker, and J. Colinge, "Synthetic Microwave Inductors in SOI Technology," in *Proc. of the IEEE Int. SOI Conf. 1997*, 1997, pp. 90–91.
- [230] Y. Shin and K. Bult, "An inductorless 900 MHz RF low-noise amplifier in 0.9 μm CMOS," in *Proc. of the IEEE Custom Integrated Circuits Conference, 1997*, May 1997, pp. 513–516.

- [231] K. Sharaf, "2-V, 1-GHz CMOS inductorless LNAs with 2-3 dB NF," in *Proc. of the 12th Int. Conf. on Microelectronics 2000, ICM 2000*, Oct. 2000, pp. 379–383.
- [232] A. Abidi and J. Leete, "De-embedding the noise figure of differential amplifiers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, pp. 882–885, June 1999.
- [233] H. Sjöland, A. Karimi-Sanjaani, and A. Abidi, "A merged CMOS LNA and mixer for a WCDMA receiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1045–1050, June 2003.
- [234] B. Razavi, R.-H. Yan, and K. Lee, "Impact of distributed gate resistance on the performance of MOS devices," *IEEE Trans. Circuits and Systems I: Fundamental Theory and Applications*, vol. 41, no. 11, pp. 750–754, Nov. 1994.
- [235] G. Oberholz, *Differentialgleichungen für technische Berufe*, 4th ed. Gelsenkirchen: Verlag Anita Oberholz, 1995.
- [236] L. Papula, *Mathematik für Ingenieure und Naturwissenschaftler Band 2. Ein Lehr- und Arbeitsbuch für das Grundstudium*, 8th ed. Braunschweig, Wiesbaden: Vieweg Verlag, 1997.
- [237] Y. Ding and R. Harjani, "A +18 dBm IIP3 LNA in 0.35 μm CMOS," in *IEEE International Solid-State Circuits Conference 2001, ISSCC 2001, Digest Technical Papers*, Feb. 2001, pp. 162–163,.
- [238] M. Steyaert, B. De Muer, P. Leroux, M. Borremans, and K. Mertens, "Low-voltage low-power CMOS-RF transceiver design," *IEEE Trans. Microwave Theory and Techniques*, vol. 50, no. 1, pp. 281–287, Jan. 2002.
- [239] M. Egels, J. Gaubert, P. Pannier, and S. Bourdel, "Design method for fully integrated CMOS RF LNA," *Electronics Letters*, vol. 40, no. 24, pp. 1513–1514, Nov. 2004.
- [240] Y. Wang and L.-H. Lu, "5.7 GHz low-power variable-gain LNA in 0.18 μm CMOS," *Electronics Letters*, vol. 41, no. 2, pp. 66–68, Jan. 2005.

-
- [241] R. Corless, G. Gonnet, D. Hare, D. Jeffrey, and D. Knuth, “On the Lambert W function,” *Adv. Comput. Math.*, vol. 5, pp. 329–359, 1996.
- [242] G. Knoblinger, “Modellierung des Hochfrequenzverhaltens von MOS-Transistoren,” Ph.D. dissertation, Universität der Bundeswehr München, 2001.
- [243] L. Papula, *Mathematik für Ingenieure und Naturwissenschaftler Band 1. Ein Lehr- und Arbeitsbuch für das Grundstudium*, 8th ed. Braunschweig, Wiesbaden: Vieweg Verlag, 1998.
- [244] H.-J. Bartsch, *Taschenbuch mathematischer Formeln*, 18th ed. München, Wien: Fachbuchverlag Leipzig, 1998.
- [245] L. Rade and B. Westergren, *Springers Mathematische Formeln. Taschenbuch für Ingenieure, Naturwissenschaftler, Informatiker, Wirtschaftswissenschaftler*, 3rd ed. Berlin, Heidelberg, New York: Springer Verlag, 2000.
- [246] M. Brezeanu, A. Rusu, and L. Dobrescu, “MOS channel length modulation in weak inversion,” in *Proc. of the International Semiconductor Conference 2002, CAS 2002*, vol. 2, Oct. 2002, pp. 301–304.
- [247] T. Fedtschenko, R. Kokozinski, and Kolnsberg, “Ultra Low-Power Bandgap Strom- und Spannungsquellen in CMOS-Technologie für integrierte drahtlose Systeme,” in *Advances in Radio Sciences: Kleinheubacher Tagung 2005, Miltenberg*, Sept. 2006, pp. 213–217.

Anhang A

Grundgleichungen und Definitionen im EKV-Modell

A.1 Transkonduktanzen

Die für die Kleinsignalanalyse benötigten Kleinsignalparameter Source-, Drain- und Gate-Transkonduktanz sind gemäß [93, 96, 97, 107] definiert als:

$$g_{ms} = - \left. \frac{\partial I_D}{\partial U_S} \right|_{U_D, U_G = \text{const.}} \quad (\text{A.1})$$

$$g_{md} = \left. \frac{\partial I_D}{\partial U_D} \right|_{U_S, U_G = \text{const.}} \quad (\text{A.2})$$

$$g_m = \left. \frac{\partial I_D}{\partial U_G} \right|_{U_S, U_D = \text{const.}} = \frac{g_{ms} - g_{md}}{n} \quad (\text{A.3})$$

A.2 Numerische Lösung der Interpolationsfunktion

Die normierten Spannungen u an den Anschlüssen des MOSFETs sind mit den normierten Ladungsträgerdichten q über die Interpolationsfunktion

$$u = \ln(q) + 2 \cdot q \quad (\text{A.4})$$

miteinander verknüpft (siehe Abschnitt 3.2.2.2). Dabei steht u für $u_p - u_s$ bzw. für $u_p - u_d$ und q steht für q_s bzw. für q_d . Die Gleichung A.4 kann mit Hilfe der in [241] präsentierten Lösung für die Lambert W Funktion nach q aufgelöst werden. Die Lambert W Funktion kann als eine tabellierte Funktion angesehen werden die z.B. in MATLAB implementiert ist und die Form hat

$$w \cdot e^w = x \quad . \quad (\text{A.5})$$

Diese kann gelöst werden durch

$$w = \text{LambertW}(x) \quad . \quad (\text{A.6})$$

Für die Lösung der Interpolationsfunktion muss die Gleichung A.4 umgeformt werden als

$$e^u = e^{\ln(q)} \cdot e^{2 \cdot q} = q \cdot e^{2 \cdot q} \quad . \quad (\text{A.7})$$

Mit der Substitution $z = 2 \cdot q$ folgt

$$e^u = \frac{z}{2} \cdot e^z \quad (\text{A.8})$$

$$2 \cdot e^u = z \cdot e^z \quad (\text{A.9})$$

$$z = \text{LambertW}(2 \cdot e^u) \quad . \quad (\text{A.10})$$

Mit der Rücksubstitution $q = \frac{z}{2}$ ergibt sich schließlich

$$q = \frac{1}{2} \cdot \text{LambertW}(2 \cdot e^u) \quad . \quad (\text{A.11})$$

Die Gleichung A.11 kann nun verwendet werden um die normierten Ladungsträgerdichten q in Abhängigkeit von den normierten Spannungen u an den Anschlüssen des Transistors zu bestimmen.

A.3 Geschwindigkeitssättigung

Die Ansätze zur Modellierung der Geschwindigkeitssättigung im EKV-Modell sind vergleichbar mit dem in [44, 48, 207] verwendeten Modell, welches sich auf

die Schwellspannung des MOSFETs bezieht. Dies soll durch die folgenden Berechnungen gezeigt werden. Der Drainstrom des in Sättigung befindlichen MOSFET kann im EKV-Modell im Bereich der starken Inversion ausgedrückt werden durch (siehe Abschnitt 3.2.2)

$$I_D \approx I_{Spec,0} \cdot \frac{q_s^2}{1 + \lambda_c \cdot q_s} . \quad (\text{A.12})$$

Dabei ist $I_{Spec,0} = I_{Spec}(\mu_0)$. In diesem Arbeitsbereich gilt für den MOSFET mit dem Source-Anschluss auf Masse für die normierten Spannungen

$$u_p - u_s = 2 \cdot q_s \approx \frac{U_G - U_{th0}}{n \cdot U_{Temp}} = \frac{U_{od}}{n \cdot U_{Temp}} . \quad (\text{A.13})$$

Mit Hilfe des Parameters $\lambda_c = \frac{2 \cdot U_{Temp}}{E_c \cdot L}$ und dem Ausdruck $q_s = \frac{U_{od}}{2 \cdot n \cdot U_{Temp}}$ kann der Drainstrom angegeben werden als

$$I_D = 2 \cdot n \cdot \mu_0 \cdot C'_{ox} \cdot \frac{W}{L} \cdot U_{Temp}^2 \cdot \frac{\frac{U_{od}^2}{4 \cdot n^2 \cdot U_{Temp}^2}}{1 + \frac{2 \cdot U_{Temp}}{E_c \cdot L} \cdot \frac{U_{od}}{2 \cdot n \cdot U_{Temp}}} \quad (\text{A.14})$$

$$I_D = \frac{1}{2} \cdot \mu_0 \cdot C'_{ox} \cdot \frac{W}{L} \cdot \frac{U_{od}^2}{n + \frac{U_{od}}{E_c \cdot L}} \quad (\text{A.15})$$

$$I_D = \frac{1}{2} \cdot \mu_0 \cdot C'_{ox} \cdot \frac{W}{L} \cdot U_{od} \cdot \frac{U_{od} \cdot E_c \cdot L}{U_{od} + n \cdot E_c \cdot L} . \quad (\text{A.16})$$

Wird im Bereich der starken Inversion die Näherung $n \approx 1$ verwendet, so ist die Gleichung A.16 identisch mit dem in [44, 48, 207] angegebenen Ausdruck.

A.4 Transitfrequenz

Die Transitfrequenz des MOSFET-Transistors ist nach [44, 76, 79] definiert als die extrapolierte Frequenz, bei welcher der Betrag der Kurzschlussstromverstärkung bei der CS-Schaltung gleich eins wird d.h. $\left| \frac{i_d}{i_g} \right| = 1$. Die Transitzkreisfrequenz kann gemäß [76, 94, 131, 218] bestimmt werden durch

$$\omega_t = \frac{g_m}{C_{GG}} . \quad (\text{A.17})$$

Dabei muss zwischen der intrinsischen und extrinsischen Transitfrequenz unterschieden werden. Bei der extrinsischen Transitfrequenz beeinflussen die externen parasitischen Elemente den Wert der Transitfrequenz wie in [113] gezeigt wird. Für die internen Kapazitäten gilt $C_{GG} = C_{gs} + C_{gd} + C_{gb}$ und für den MOSFET in Sättigung gilt weiter $C_{gd} = 0$. Damit ergibt sich für die intrinsische Transitfrequenz der Ausdruck

$$f_t = \frac{1}{2\pi} \cdot \frac{g_m}{C_{gs} + C_{gb}} \quad (\text{A.18})$$

Mit Hilfe der in Abschnitt 3.2.3.1 angegebenen Gleichungen, ergibt sich für die Kapazitäten $C_{gs} + C_{gb}$ des in Sättigung befindlichen MOSFETs:

$$C_{gs} + C_{gb} = C_{OX} \cdot [c_{gs} + c_{gb}] = C_{OX} \cdot \frac{n - 1 + c_{gs}}{n} \quad (\text{A.19})$$

$$C_{gs} + C_{gb} = \frac{C_{OX}}{n} \cdot \left[n - 1 + q_s \cdot \frac{2q_s + 3}{3 \cdot (q_s + 1)^2} \right] \quad (\text{A.20})$$

Wird der MOSFET als idealer Langkanaltransistor angesehen, so kann die Gate-Transkonduktanz durch Gleichung A.21 angegeben und unter Berücksichtigung der Geschwindigkeitssättigung durch die Gleichung A.22 beschrieben werden (siehe auch Abschnitt C.2). Dabei ist $I_{Spec,0} = I_{Spec}(\mu_0)$.

$$g_{m,0} = \frac{g_{ms,0}}{n} = \frac{I_{Spec,0}}{n \cdot U_{Temp}} \cdot q_s \quad (\text{A.21})$$

$$g_{m,VS} = \frac{g_{ms,VS}}{n} = \frac{I_{Spec,0}}{n \cdot U_{Temp}} \cdot \frac{(2q_s + \lambda_c \cdot q_s^2 + 1) \cdot q_s}{(1 + \lambda_c \cdot q_s)^2 \cdot (2q_s + 1)} \quad (\text{A.22})$$

Mit $\frac{I_{Spec,0}}{n \cdot U_{Temp}} / \frac{C_{OX}}{n} = \frac{2n}{\tau_0}$ und unter der Annahme, dass $n = \frac{4}{3}$ und unabhängig vom Arbeitspunkt ist, ergibt sich für die Transitfrequenz:

$$f_{t,0} = \frac{1}{2\pi} \cdot \frac{1}{\tau_0} \cdot \frac{8q_s \cdot (q_s + 1)^2}{3q_s^2 + 5q_s + 1} \quad (\text{A.23})$$

$$f_{t,VS} = \frac{1}{2\pi} \cdot \frac{1}{\tau_0} \cdot \frac{8q_s \cdot (q_s + 1)^2}{3q_s^2 + 5q_s + 1} \cdot \frac{(2q_s + \lambda_c \cdot q_s^2 + 1)}{(1 + \lambda_c \cdot q_s)^2 \cdot (2q_s + 1)} \quad (\text{A.24})$$

Die Geschwindigkeitssättigung hat nur im Bereich der starken Inversion einen deutlichen Einfluss auf das Verhalten des MOSFETs. Die Transitfrequenz konvergiert daher im Bereich der schwachen Inversion gegen den Wert $f_t|_{WI} = \frac{1}{2\pi} \cdot \frac{8q_s}{\tau_0}$

und im Bereich der starken Inversion gegen $f_{t,VS}|_{SI} = \frac{1}{2\pi} \cdot \frac{1}{\tau_0} \cdot \frac{4}{3\lambda_c}$. Dieses Verhalten ist auch aus der Darstellung in der Abbildung A.1 zu entnehmen, bei der die Transitfrequenz in Abhängigkeit vom Inversionskoeffizienten mit und ohne Berücksichtigung der Geschwindigkeitssättigung dargestellt ist. Der Verlauf mit Geschwindigkeitssättigung zeigt dabei eine gute Übereinstimmung mit den in [242] gemessenen Werten, bei denen eine vergleichbare CMOS-Technologie vermessen wurde.

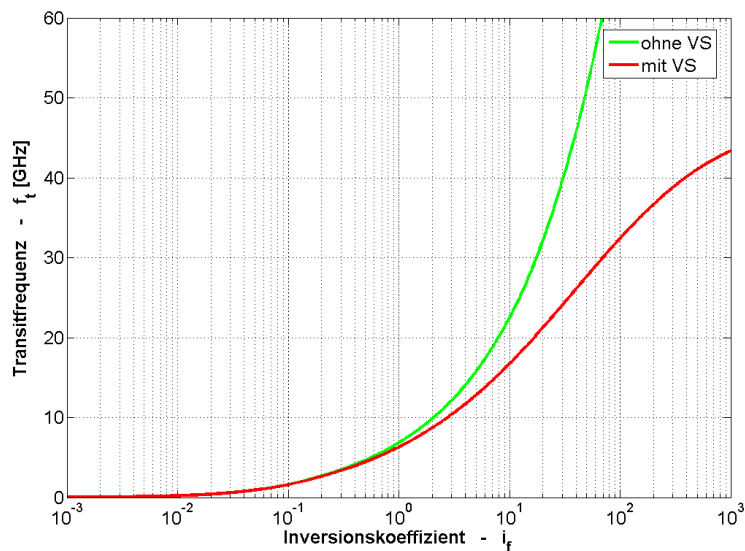


Abbildung A.1: Transitfrequenz f_t des MOSFETs mit und ohne Geschwindigkeitssättigung.

Durch den Einfluss der Geschwindigkeitssättigung ist die Transitfrequenz f_t umgekehrt proportional zu L anstatt zu L^2 [97]. Dies lässt sich einfach zeigen, indem der durch Gleichung 3.16 gegebene Ausdruck für λ_c berücksichtigt wird. Daraus resultiert $f_{t,VS}|_{SI} = \frac{v_{sat}}{3\pi \cdot L}$ und damit ergibt sich $f_{t,VS}|_{SI} \propto 1/L$. Im Gegensatz dazu ergibt sich ohne Geschwindigkeitssättigung $f_t \propto 1/\tau_0 \propto 1/L^2$.

A.5 Gate-Noise und Korrelation mit Drain-Noise

In diesem Abschnitt werden der arbeitspunktabhängige Gate-Noise-Faktor δ und der arbeitspunktabhängige Korrelationsfaktor c berechnet. Die Herleitung für die in der Literatur üblicherweise verwendeten Näherung für die Gate-Admittanz wird ebenfalls gezeigt. Bei den Herleitungen wird von den in [111] angegebenen Gleichungen für das NQS-Rauschverhalten des Langkanaltransistors ausgegangen. Diese sind in Abhängigkeit von der Hilfsvariable $x_f = q_s + \frac{1}{2}$ bzw. $x_r = q_d + \frac{1}{2}$ ausgedrückt und können somit umgerechnet werden. Der im Rahmen dieser Arbeit näher betrachtete LNA-MOSFET wird im Sättigungsbereich ($q_d = 0$) betrieben. Die folgenden Herleitungen beziehen sich daher ausschließlich auf diesen Arbeitsbereich.

A.5.1 Gate-Noise-Faktor δ

Der Drain-Noise-Faktor ist nach [111] definiert als

$$\delta = \frac{S_{n,i_g^2}}{4kT \cdot \operatorname{Re}\{Y_{gg}\}} = \frac{S_{n,i_g^2}}{\operatorname{Re}\{y_{gg}\}} \quad (\text{A.25})$$

Mit den weiteren Gleichungen aus [85,111] und unter Berücksichtigung von $q_d = 0$, sowie dass der LNA unterhalb der NQS-Grenzfrequenz betrieben wird ($\Theta \ll 1$) gilt:

$$S_{n,i_g^2} = \frac{(\omega \cdot \tau_0)^2}{1080 n^2} \cdot \frac{N}{(q_s + 1)^5} \quad (\text{A.26})$$

$$y_{gg} = j \frac{\Omega}{2n^2} \cdot \{(n-1) + \xi_c [c_c(q_s, q_d) + c_c(q_d, q_s)]\} \quad (\text{A.27})$$

$$N = 32q_s^4 + 114q_s^3 + 132q_s^2 + 45q_s \quad (\text{A.28})$$

$$\xi_c \approx \frac{1}{1 + j\frac{\Theta}{2}} = \frac{1 - j\frac{\Theta}{2}}{1 + (\frac{\Theta}{2})^2} \quad (\text{A.29})$$

$$c_c(q_s, q_d) = \frac{1}{3} \cdot \frac{q_s \cdot (2q_s + 3)}{(q_s + 1)^2} \quad (\text{A.30})$$

Weiterhin ist $\Theta = \frac{\Omega}{\Omega_{crit}}$, $\Omega = \omega \cdot \tau_0$ und $\Omega_{crit} = \omega_{crit} \cdot \tau_0$. Dabei ist τ_0 nach Gleichung 3.29 definiert und $\omega_{crit} = \frac{1}{\tau_{qs}}$ durch Gleichung 3.28 gegeben. Daraus folgt dann:

$$\Omega_{crit} = \frac{30 \cdot (q_s + 1)^3}{4q_s^2 + 10q_s + 5} \quad (\text{A.31})$$

$$\text{Re}\{y_{gg}\} = \frac{\Omega}{2n^2} \cdot \frac{\frac{\Theta}{2}}{1 + \left(\frac{\Theta}{2}\right)^2} \cdot c_c \approx \frac{\Omega^2}{4n^2} \cdot \frac{c_c}{\Omega_{crit}} \quad (\text{A.32})$$

Gleichung A.26 und A.32 eingesetzt in Gleichung A.25 ergibt dann:

$$\delta = \frac{\Omega^2}{1080 n^2} \cdot \frac{N}{(q_s + 1)^5} \cdot \frac{4n^2}{\Omega^2} \cdot \frac{\Omega_{crit}}{c_c} = \frac{N \cdot \Omega_{crit}}{270 \cdot (q_s + 1)^5 \cdot c_c} \quad (\text{A.33})$$

Durch einsetzen der Gleichungen A.28, A.30 und A.31 kann der Drain-Noise-Faktor beschrieben werden durch

$$\delta = \frac{1}{3} \cdot \frac{32 \cdot q_s^3 + 114 \cdot q_s^2 + 132 \cdot q_s + 45}{(4 \cdot q_s^2 + 10 \cdot q_s + 5) \cdot (2 \cdot q_s + 3)} \quad (\text{A.34})$$

A.5.2 Näherungen für die Gate-Admittanz

Es kann gezeigt werden, dass näherungsweise $\text{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5g_{ms}}$ gilt. Durch den Vergleich der Gleichungen A.30 und 3.19 wird deutlich, dass (für $q_d = 0$) $c_c = c_{gs}$ gilt, woraus resultiert

$$\text{Re}\{Y_{GG}\} \approx Y_{Spec} \cdot \frac{\omega^2 \tau_0^2 \cdot c_{gs}}{4n^2 \cdot \Omega_{crit}} \quad (\text{A.35})$$

Durch Multiplikation der rechten Seite der Gleichung A.35 mit $\frac{c_{gs} \cdot C_{OX}^2 \cdot 5g_{ms}}{c_{gs} \cdot C_{OX}^2 \cdot 5g_{ms}}$ und unter Berücksichtigung von $g_{ms} = Y_{Spec} \cdot q_s$, $C_{OX} = C'_{ox} \cdot W \cdot L$, $\tau_0 = \frac{L^2}{\mu \cdot U_{Temp}}$, sowie $I_{Spec} = 2 \cdot n \cdot \mu \cdot C'_{ox} \cdot \frac{W}{L}$ folgt:

$$\text{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5g_{ms}} \cdot Y_{Spec} \cdot \frac{\tau_0^2 \cdot 5g_{ms}}{4n^2 \cdot \Omega_{crit} \cdot c_{gs} \cdot C_{OX}^2} \quad (\text{A.36})$$

$$\text{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5g_{ms}} \cdot Y_{Spec}^2 \cdot \frac{5q_s \cdot L^4}{4n^2 \cdot \mu^2 \cdot U_{Temp}^2 \cdot C'_{ox}{}^2 \cdot W^2 \cdot L^2 \cdot \Omega_{crit} \cdot c_{gs}} \quad (\text{A.37})$$

$$\text{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5g_{ms}} \cdot Y_{Spec}^2 \cdot \frac{U_{Temp}^2}{I_{Spec}^2} \cdot \frac{5q_s}{\Omega_{crit} \cdot c_{gs}} \quad (\text{A.38})$$

Durch einsetzen der Gleichungen 3.19 und A.31 ergibt sich

$$\operatorname{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5g_{ms}} \cdot \frac{1}{2} \cdot \frac{4q_s^2 + 10q_s + 5}{(q_s + 1)(2q_s + 3)} . \quad (\text{A.39})$$

Der Anteil $\frac{1}{2} \cdot \frac{4q_s^2 + 10q_s + 5}{(q_s + 1)(2q_s + 3)}$ konvergiert im Bereich der schwachen Inversion gegen den Wert $\frac{5}{6}$ und im Bereich der starken Inversion gegen den Wert 1. Im Übergangsbereich zeigt sich eine stetige Zunahme, so dass schließlich die Näherung angegeben werden kann

$$\operatorname{Re}\{Y_{GG}\} \approx \frac{(\omega C_{gs})^2}{5 \cdot g_{ms}} . \quad (\text{A.40})$$

Für den ohmschen Anteil der Impedanz, die in das Gate eingesehen wird, wird in der Literatur eine weitere Näherung verwendet. Ausgangspunkt für die Herleitung dieser Näherung ist in [44] die Gate-Admittanz, welche näherungsweise aus einer Parallelschaltung der Kapazität C_{gs} und einem Widerstand mit dem Leitwert $g_g = \operatorname{Re}\{Y_{GG}\}$ betrachtet wird. Diese Parallelschaltung kann in eine äquivalente Reihenschaltung umgerechnet werden als

$$Z_{in} = \frac{1}{g_g + j\omega C_{gs}} = \frac{g_g - j\omega C_{gs}}{g_g^2 + (\omega C_{gs})^2} . \quad (\text{A.41})$$

Mit dem Ausdruck $Q = \frac{\omega C_{gs}}{g_g}$ und mit $Q \gg 1$ ergibt sich

$$Z_{in} = \frac{1}{g_g \cdot (1 + Q^2)} - j \frac{1}{\omega C_{gs} \cdot (1 + 1/Q^2)} \approx \frac{1}{g_g \cdot Q^2} - j \frac{1}{\omega C_{gs}} . \quad (\text{A.42})$$

Wird in die Gleichung A.42 für g_g , gemäß Gleichung A.40 $g_g = \frac{(\omega C_{gs})^2}{5 \cdot g_{ms}}$ eingesetzt, so resultiert daraus $Z_{in} \approx \frac{1}{5 \cdot g_{ms}} - j \frac{1}{\omega C_{gs}}$. Dies entspricht einer Reihenschaltung aus einer Kapazität C_{gs} und einem ohmschen Widerstand $r_{g,NQS}$. Für den NQS-Widerstand gilt damit nach [44]

$$r_{g,NQS} \approx \frac{1}{5 \cdot g_{ms}} . \quad (\text{A.43})$$

A.5.3 Korrelationskoeffizient c

Der Korrelationskoeffizient ist nach [111] definiert als

$$c = \frac{s_{n,i_g,i_d^*}}{\sqrt{s_{n,i_d^2} \cdot s_{n,i_g^2}}} . \quad (\text{A.44})$$

Für den Langkanaltransistor können die normierten Rauschleistungsdichten mit Hilfe der in [111] gegebenen Gleichungen beschrieben werden durch:

$$s_{n,i_d^2} = q_s \cdot \frac{2}{3} \cdot \frac{q_s + \frac{3}{4}}{q_s + 1} \quad (\text{A.45})$$

$$s_{n,i_g^2} = \frac{(\omega \cdot \tau_0)^2}{1080} \cdot \frac{N}{n^2 \cdot (q_s + 1)^5} \quad (\text{A.46})$$

$$s_{n,i_g,i_d^*} = -j \frac{\Omega}{18} \cdot \frac{q_s \cdot (q_s^2 + 3q_s + \frac{3}{2})}{n \cdot (q_s + 1)^3} \quad (\text{A.47})$$

Damit ergibt sich für den Korrelationskoeffizienten:

$$c = -j \frac{\sqrt{1080}}{18} \cdot \frac{q_s \cdot (q_s^2 + 3 \cdot q_s + \frac{3}{2})}{\sqrt{\frac{2}{3} \cdot q_s \cdot (q_s + \frac{3}{4}) \cdot N}} \quad (\text{A.48})$$

Mit der Gleichung A.28 kann der Korrelationsfaktor letztlich angegeben werden als

$$c = -j \frac{\sqrt{5} \cdot (q_s^2 + 3 \cdot q_s + \frac{3}{2})}{\sqrt{(q_s + \frac{3}{4}) \cdot (32 \cdot q_s^3 + 114 \cdot q_s^2 + 132 \cdot q_s + 45)}} \quad (\text{A.49})$$

A.5.4 Verhältnis der Rauschparameter $\frac{\delta}{\gamma}$

Für den Langkanaltransistor kann der arbeitspunktabhängige Drain-Noise-Faktor γ und Gate-Noise-Faktor δ durch Gleichung 3.36 bzw. Gleichung 3.38 angegeben werden. Für das Verhältnis der beiden Größen gilt dann

$$\frac{\delta}{\gamma} = 2 \cdot \frac{(32 \cdot q_s^3 + 114 \cdot q_s^2 + 132 \cdot q_s + 45) \cdot (q_s + 1)}{(4 \cdot q_s^2 + 10 \cdot q_s + 5) \cdot (2 \cdot q_s + 3) \cdot (4 \cdot q_s + 3)} \quad (\text{A.50})$$

Wird die Gleichung A.50 für $q_s \gg 1$ und für $q_s \ll 1$ betrachtet, so ergibt sich in den beiden Fällen $\frac{\delta}{\gamma} = 2$. Der Ausdruck kann für den gesamten Arbeitsbereich von schwacher bis starker Inversion numerisch ausgewertet werden. Dies ist in der Abbildung A.2 dargestellt. Weiter hin ist dort zum Vergleich das exakt numerisch berechnete Verhältnis aus den in [111] gegebenen kompletten NQS-Funktionen dargestellt.

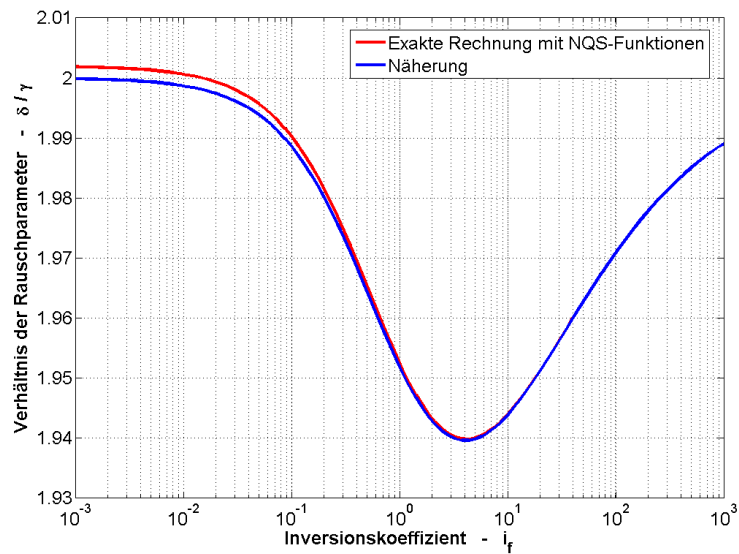


Abbildung A.2: Arbeitspunktabhängiges Verhältnis der Rauschparameter $\frac{\delta}{\gamma}$.

Aus der Darstellung ist zu erkennen, dass die Gleichung A.50 sehr gut mit dem exakten, aus den NQS-Funktionen berechneten Verlauf übereinstimmt. Weiterhin wird durch die Darstellung deutlich, dass im gesamten Arbeitsbereich als sehr gute Näherung

$$\frac{\delta}{\gamma} \approx 2 \quad (\text{A.51})$$

verwendet werden kann.

A.6 ON-Widerstand

A.6.1 Mit exakter Interpolationsfunktion

Wird der MOSFET als Schalter eingesetzt, so liegt sein Arbeitspunkt im unteren Abschnitt des Triodenbereichs, welcher auch als ohmscher Bereich bezeichnet wird. Im Gegensatz zum Sättigungsbereich darf im Triodenbereich der Rückwärtsanteil des Drainstroms nicht vernachlässigt werden, d.h. es gilt nicht mehr

$i_f \gg i_r$. Solange der MOSFET sich im Vorwärtsbetrieb befindet gilt aber weiterhin $i_f > i_r$. In diesem Arbeitsbereich kann das Verhalten des MOSFETs mit den Gleichungen aus Abschnitt 3.2.2 ausgedrückt werden durch:

$$I_D = I_{Spec} \cdot (i_f - i_r) = I_{Spec} \cdot [(q_s^2 + q_s) - (q_d^2 + q_d)] \quad (\text{A.52})$$

$$u_p - u_d = \ln(q_d) + 2 \cdot q_d \quad (\text{A.53})$$

$$u_p - u_d = \frac{U_P - U_D}{U_{Temp}} \quad (\text{A.54})$$

$$U_P = \frac{U_G - U_{th0}}{n} \quad (\text{A.55})$$

Der ON-Widerstand des MOSFETs kann mit Hilfe der durch Gleichung A.2 definierten Drain-Transkonduktanz folgendermaßen bestimmt werden:

$$R_{ON} = \frac{1}{g_{md}} \Big|_{U_d \rightarrow 0} \quad (\text{A.56})$$

$$g_{md} = \frac{dI_D}{dU_D} = \frac{dI_D}{dq_d} \cdot \frac{dq_d}{d(u_p - u_d)} \cdot \frac{d(u_p - u_d)}{dU_D} \quad (\text{A.57})$$

Die Vorgehensweise zur Berechnung von $\frac{dI_D}{dU_D}$ ist die gleiche, wie sie zur Bestimmung der Source-Transkonduktanz in Abschnitt C.2.1 verwendet wird. Damit ergibt sich für die kompletten Ableitungen des Drainstroms der Ausdruck:

$$g_{md} = \frac{dI_D}{dU_D} = \frac{I_{Spec}}{U_{Temp}} \cdot q_d \quad (\text{A.58})$$

Mit der Gleichung A.11 für q_d und mit der Näherung für $(u_p - u_d) \gg 1$ ergibt sich (wie numerisch gezeigt werden kann):

$$q_d = \frac{1}{2} \cdot \text{LambertW}(2 \cdot e^{u_p - u_d}) \approx \frac{u_p - u_d}{2} \quad (\text{A.59})$$

$$q_d \approx \frac{U_P - U_D}{2 \cdot U_{Temp}} \quad (\text{A.60})$$

$$g_{md}|_{U_d \rightarrow 0} = \frac{I_{Spec}}{U_{Temp}} \cdot \frac{U_P}{2 \cdot U_{Temp}} = \frac{I_{Spec}}{U_{Temp}} \cdot \frac{U_G - U_{th0}}{2 \cdot n \cdot U_{Temp}} \quad (\text{A.61})$$

Der ON-Widerstand des MOSFETs kann damit letztlich angegeben werden als

$$R_{ON} = \frac{2 \cdot n \cdot U_{Temp}^2}{I_{Spec} \cdot (U_G - U_{th0})} \quad (\text{A.62})$$

$$R_{ON} = \frac{1}{\mu_0 \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_G - U_{th0})} \quad (\text{A.63})$$

A.6.2 Mit Näherung für die Interpolationsfunktion

Ohne numerische Näherung für die Lambert W Funktion kann der ON-Widerstand des MOSFETs bestimmt werden, wenn die nicht physikalische Näherung für die Interpolationsfunktion verwendet wird. In diesem Fall gilt für den MOSFET

$$I_D = I_{Spec} \cdot (i_f - i_r)$$

$$I_D \approx I_{Spec} \cdot \left\{ \left[\ln \left(e^{\frac{u_p - u_s}{2}} + 1 \right) \right]^2 - \left[\ln \left(e^{\frac{u_p - u_d}{2}} + 1 \right) \right]^2 \right\} \quad (\text{A.64})$$

$$u_p - u_d = \frac{U_P - U_D}{U_{Temp}} \quad (\text{A.65})$$

Damit ergibt sich für die Drain-Transkonduktanz

$$g_{md} = \frac{dI_D}{dU_D} = \frac{I_{Spec}}{U_{Temp}} \cdot \ln \left(e^{\frac{u_p - u_d}{2}} + 1 \right) \cdot \frac{e^{\frac{u_p - u_d}{2}}}{e^{\frac{u_p - u_d}{2}} + 1}, \quad (\text{A.66})$$

woraus dann für $u_p - u_d \gg 1$ folgt

$$g_{md} = \frac{I_{Spec}}{U_{Temp}} \cdot \frac{u_p - u_d}{2} = \frac{I_{Spec}}{U_{Temp}} \cdot \frac{U_G - U_{th0}}{2 \cdot n \cdot U_{Temp}} \quad (\text{A.67})$$

Damit ergibt sich wieder wie im vorherigen Abschnitt für den ON-Widerstand des MOSFETs der Ausdruck

$$R_{ON} = \frac{1}{\mu_0 \cdot C'_{ox} \cdot \frac{W}{L} \cdot (U_G - U_{th0})} \quad (\text{A.68})$$

Anhang B

Modellentwicklung für die Bonddrahtverbindung

B.1 Herleitung des äquivalenten Vierpols

Für das in Abschnitt 3.5.2.2 vorgestellte Modell der HF-Signalzuführung über Bonddrahtverbindungen, wird in diesem Abschnitt ein äquivalenter Vierpol bestimmt. In dem Modell wird von drei parallelen Bonddrähten ausgegangen, welche die gleiche Länge und Form besitzen.

Zunächst wird im allgemeinen Fall von drei parallelen Bonddrähten ausgegangen. Um die Spannungsabfälle über den Bonddrähten zu berechnen, werden wie in Abbildung B.1 dargestellt, die Bezugsrichtungen für die Spannungen und Ströme festgelegt. Das Modell kann damit als ein Übertrager mit drei Wicklungen angesehen werden, wobei Z_{in} die Eingangsimpedanz der Schaltung darstellt.¹ Unter Berücksichtigung der transformatorischen Kopplung [108] zwischen den Drähten,

¹ Bei der Betrachtung der Darstellung in Abbildung B.1 wird deutlich, dass diese Anordnung als ein „quer betriebener Übertrager“ angesehen werden kann. Im Gegensatz zu einem gewünschten Übertrager, bei dem die Spannungen über den einzelnen Wicklungen abgegriffen werden, werden bei diesem die Spannungen als Potentialdifferenzen an den Enden unterschiedlicher Wicklungen abgegriffen.

können die Spannungsabfälle über diesen bestimmt werden als:

$$u_1 = R_1 \cdot i_1 + sL_{11} \cdot i_1 + sL_{21} \cdot i_2 + sL_{31} \cdot i_3 \quad (\text{B.1})$$

$$u_2 = R_2 \cdot i_2 + sL_{22} \cdot i_2 + sL_{12} \cdot i_1 + sL_{32} \cdot i_3 \quad (\text{B.2})$$

$$u_3 = R_3 \cdot i_3 + sL_{33} \cdot i_3 + sL_{13} \cdot i_1 + sL_{23} \cdot i_2 \quad (\text{B.3})$$

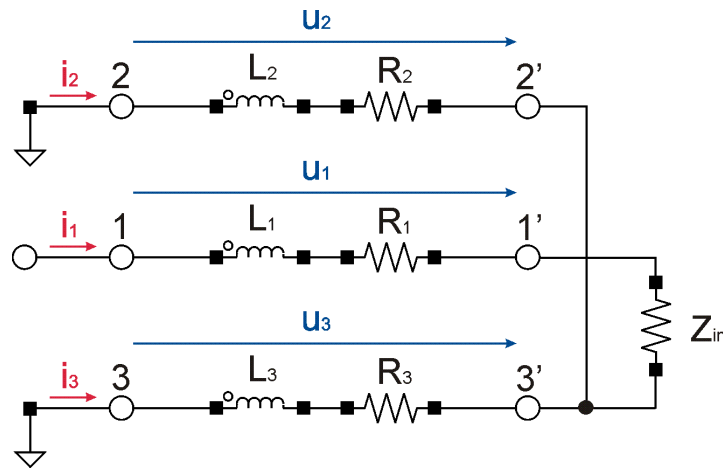


Abbildung B.1: Modell für die Berechnung der Bonddrahtverbindung mit eingezeichneten Bezugspfeilen für die Spannungen und Ströme.

Da die Bonddrahtverbindung aus drei identischen Drähten besteht, gilt für die Widerstände $R_1 = R_2 = R_3 = R$ und für die Eigeninduktivitäten $L_{11} = L_{22} = L_{33} = L$. Bei den Gegeninduktivitäten muss unterschieden werden zwischen direkt benachbarten Bonddrähten und solchen, zwischen denen sich ein weiterer Draht befindet. Aufgrund der Symmetrie der Anordnung können somit die Gegeninduktivitäten zusammengefasst werden als $L_{12} = L_{21} = L_{13} = L_{31} = M_1$ und $L_{23} = L_{32} = M_2$. Für die Ströme gilt $i_2 = i_3$ und $i_2 = -i_1/2$. Aus den Gleichungen B.1 - B.3 folgt dann mit den angegebenen Vereinfachungen:

$$u_1 = R \cdot i_1 + sL \cdot i_1 + sM_1 \cdot i_2 + sM_1 \cdot i_2 \quad (\text{B.4})$$

$$u_2 = R \cdot i_2 + sL \cdot i_2 + sM_1 \cdot i_1 + sM_2 \cdot i_2 \quad (\text{B.5})$$

$$u_3 = R \cdot i_2 + sL \cdot i_2 + sM_1 \cdot i_1 + sM_2 \cdot i_2 \quad (\text{B.6})$$

Diese können zusammengefasst werden als:

$$u_1 = [R + s(L - M_1)] \cdot i_1 \quad (\text{B.7})$$

$$u_2 = [R + s(L - 2M_1 + M_2)] \cdot i_2 \quad (\text{B.8})$$

$$u_3 = [R + s(L - 2M_1 + M_2)] \cdot i_2 \quad (\text{B.9})$$

Aus der Gleichung B.8 und der Gleichung B.9 wird deutlich, dass $u_2 = u_3$ gilt. Im nächsten Schritt wird die Admittanzmatrix \vec{Y} dieses Vierpols mit Hilfe der Abbildung B.2 bestimmt. Aus der Darstellung ist zu erkennen, dass $I_B = -I_A$ und $i_2 = \frac{-i_1}{2} = \frac{-I_A}{2}$ gilt. Hiermit können als Zwischenrechnung $i_1 - i_2 = \frac{3}{2}I_A$ und $i_1 - 2i_2 = 2I_A$ bestimmt werden.

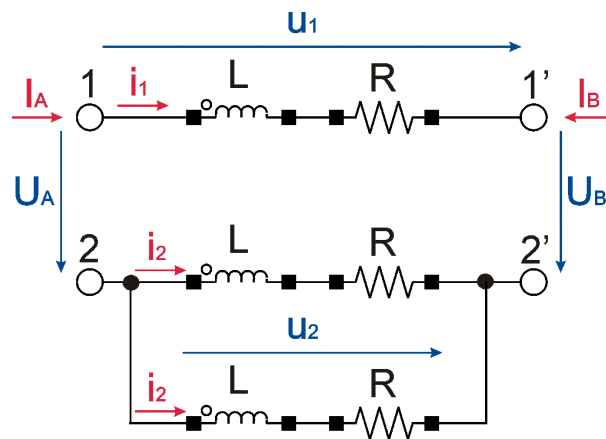


Abbildung B.2: Ersatzschaltbild für die Bestimmung der Admittanzmatrix \vec{Y} der Bonddrahtverbindung.

Für die Spannungen gilt:

$$U_A = u_1 - u_2 = R \cdot \frac{3}{2}I_A + sL \cdot \frac{3}{2}I_A - sM_1 \cdot 2I_A + sM_2 \cdot \frac{1}{2}I_A \quad (\text{B.10})$$

$$U_A = \frac{3}{2}I_A \cdot \left[R + s \left(L + \frac{M_2}{2} - \frac{4}{3}M_1 \right) \right] \quad (\text{B.11})$$

$$U_B = u_2 - u_1 = -R \cdot \frac{3}{2}I_A - sL \cdot \frac{3}{2}I_A + sM_1 \cdot 2I_A - sM_2 \cdot \frac{1}{2}I_A \quad (\text{B.12})$$

$$U_B = -\frac{3}{2}I_B \cdot \left[R + s \left(L + \frac{M_2}{3} - \frac{4}{3}M_1 \right) \right] \quad (\text{B.13})$$

Damit kann die Admittanzmatrix \vec{Y} bestimmt werden als:

$$\vec{Y} = \frac{2}{3} \cdot \frac{1}{R + s \left(L + \frac{M_2}{2} - \frac{4}{3} M_1 \right)} \cdot \begin{pmatrix} +1 & -1 \\ -1 & +1 \end{pmatrix} \quad (\text{B.14})$$

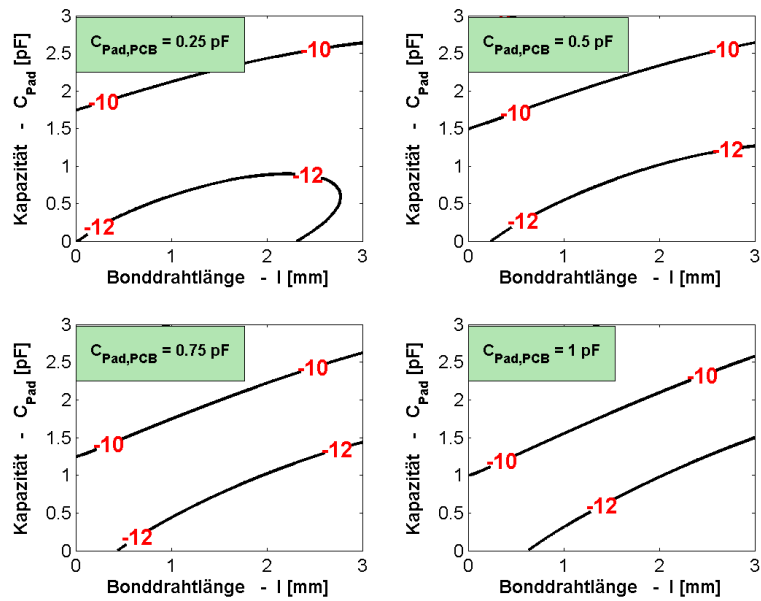
Aufgrund der Struktur der Admittanzmatrix kann der äquivalente Vierpol wie in Abbildung 3.23 gezeigt, dargestellt werden. Hierbei wird $R = R_{Bond}$, $L = L_{Bond}$, $M_1 = M_{I,Bond}$ und $M_2 = M_{II,Bond}$ definiert. Daraus folgt letztlich für die Admittanz Y_{tot} in dem Vierpol:

$$\frac{1}{Y_{tot}} = R_{tot} + sL_{tot} = \frac{3}{2}R_{Bond} + sL_{tot} \quad (\text{B.15})$$

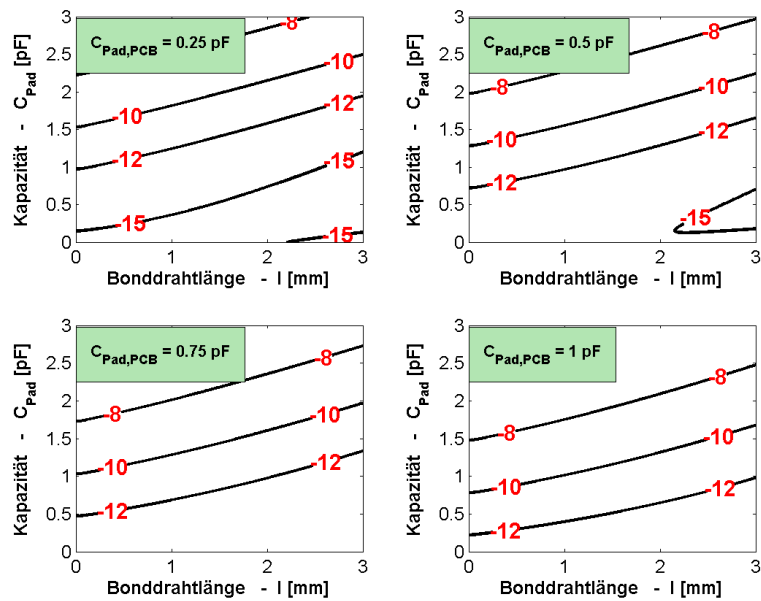
$$L_{tot} = \frac{3}{2}L_{Bond} + \frac{3}{4}M_{II,Bond} - 2M_{I,Bond} \quad (\text{B.16})$$

B.2 Impedanztransformation

Der Eingangsreflexionsfaktor $S_{11,\text{dB}} = f(l, C_{Pad}, C_{Pad,PCB}, R_{Empf})$ wurde in Abschnitt 3.5.2.3 als Konturdiagramm in Abhängigkeit von der Bonddrahtlänge l und der Pad-Kapazität C_{Pad} für vier unterschiedliche Werte von $C_{Pad,PCB}$ bei einem festen Widerstand von $R_{Empf} = 50 \Omega$ dargestellt. In diesem Abschnitt sind in der Abbildung B.3 die weiteren Konturdiagramme mit $R_{Empf} = 30 \Omega$ und $R_{Empf} = 70 \Omega$ dargestellt.



a)



b)

Abbildung B.3: Eingangsreflexionsfaktor $S_{11,\text{dB}}$ in Abhängigkeit von der Bonddrahtlänge l und der Pad-Kapazität C_{Pad} bei vier unterschiedlichen $C_{\text{Pad,PCB}}$ Werten und a) einem festen Widerstand von $R_{\text{Empf}} = 30 \Omega$, b) einem festen Widerstand von $R_{\text{Empf}} = 70 \Omega$.

Anhang C

Berechnungen zum Common-Gate LNA

C.1 Rauschen

Die Berechnung des Noise Figure NF des CG-LNAs erfolgt anhand des Ersatzschaltbildes in Abbildung 4.4. Die Rauschquellen werden dabei einzeln betrachtet und ihr Anteil an der Rauschleistungsdichte am Ausgang der Schaltung bestimmt. Die gesamte Ausgangsrauschleistungsdichte wird im Anschluss auf den, durch den $50\ \Omega$ -Quellenwiderstand verursachte Anteil an der Ausgangsrauschleistungsdichte bezogen. Bei den Berechnungen wird davon ausgegangen, dass der Schwingkreis am Ausgang auf die gewünschte Trägerfrequenz abgestimmt ist und somit nur noch der Widerstand R_p berücksichtigt werden muss.

Bei der Berechnung des Rauschens muss die Korrelation zwischen dem Drain-Rauschen und dem induzierten Gate-Rauschen berücksichtigt werden. Die Rauschleistungsdichte des induzierten Gate-Rauschens aus Gleichung 3.33 kann wie in [207] beschrieben in den korrelierten und den unkorrelierten Anteil folgendermaßen aufgeteilt werden:

$$\frac{\overline{i_{ng}^2}}{\Delta f} = \underbrace{4kT\delta g_g (1 - |c|^2)}_{\text{unkorreliert}} + \underbrace{4kT\delta g_g |c|^2}_{\text{korreliert}} \quad (\text{C.1})$$

Dabei ist g_g , δ und $|c|$ durch die Gleichungen 3.34, 3.38 und 3.39 gegeben. Der korrelierte Rauschstromanteil kann damit angegeben werden als

$$\sqrt{\overline{i_{ng}^2}} = -j \cdot |c| \cdot \sqrt{4kT\delta g_g \cdot \Delta f} \quad (\text{C.2})$$

und der Drainrauschstrom wird mit γ aus Gleichung 3.37 beschrieben durch

$$\sqrt{\overline{i_{nd}^2}} = \sqrt{4kT\gamma g_{ms} \cdot \Delta f} \quad (\text{C.3})$$

C.1.1 Anteile der Ausgangsrauschleistungsdichte

Im folgenden werden die einzelnen Anteile der Ausgangsrauschleistungsdichte bestimmt:

Der Anteil vom Quellwiderstand $\overline{u_{R_s}^2}$:

$$S_{a,R_s} = 4kTR_s \cdot \frac{g_{ms}^2}{|1 + g_{ms}R_s + sC_{in}R_s|^2} \cdot R_p^2 \quad (\text{C.4})$$

Der Anteil vom Lastwiderstand $\overline{u_{R_p}^2}$:

$$S_{a,R_p} = 4kT \cdot R_p \quad (\text{C.5})$$

Unkorrelierter Anteil vom Gate-Rauschen $\overline{i_{ng,u}^2}$:

$$S_{a,i_{g,u}} = \frac{4kT\gamma\xi g_{ms}}{|1 + g_{ms}R_s + sC_{in}R_s|^2} \cdot R_p^2 \quad (\text{C.6})$$

$$\xi = \frac{\delta}{5\gamma} \cdot [1 - |c|^2] \cdot \frac{1}{Q_{in}^2} \cdot \frac{C_{gs}^2}{C_{in}^2} \quad (\text{C.7})$$

Anteil vom Drain-Rauschen $\overline{i_{ng,c}^2}$ und vom Gate-Rauschen $\overline{i_{nd}^2}$ unter Berücksichtigung der Korrelation:

$$S_{a,i_{d,i_{g,c}}} = \frac{4kT\gamma\kappa g_{ms}}{|1 + g_{ms}R_s + sC_{in}R_s|^2} \cdot R_p^2 \quad (\text{C.8})$$

$$\kappa = 1 + \frac{1}{Q_{in}^2} \cdot \left[1 - |c| \frac{C_{gs}}{C_{in}} \cdot \sqrt{\frac{\delta}{5\gamma}} \right]^2 \quad (\text{C.9})$$

Anteil vom Drain-Rauschen $\overline{i_d^2}$ bei Vernachlässigung der Korrelation:

$$S_{a,i_d} = 4kT\gamma g_{ms} \cdot \frac{1 + \omega^2 C_{in}^2 R_s^2}{|1 + g_{ms} R_s + s C_{in} R_s|^2} \cdot R_p^2 \quad (\text{C.10})$$

C.1.2 Berechnung der Rauschzahl

Die Rauschzahl des CG-LNAs kann aus den einzelnen Anteilen der Ausgangsrauschleistungsdichte bestimmt werden durch

$$F = 1 + \frac{S_{a,i_g,u}}{S_{a,R_s}} + \frac{S_{a,i_g,c,i_d}}{S_{a,R_s}} + \frac{S_{a,R_p}}{S_{a,R_s}} \quad (\text{C.11})$$

Im Vergleich dazu ergibt sich für die Rauschzahl unter Vernachlässigung des induzierten Gate-Rauschens

$$F = 1 + \frac{S_{a,i_d}}{S_{a,R_s}} + \frac{S_{a,R_p}}{S_{a,R_s}} \quad (\text{C.12})$$

Die Rauschanteile $S_{a,i_g,u}$ und S_{a,i_g,c,i_d} können zusammengefasst werden als

$$S_{a,i_g,u} + S_{a,i_g,c,i_d} = \frac{4kT\gamma g_{ms} \cdot (\kappa + \xi)}{|1 + g_{ms} R_s + s C_{in} R_s|^2} \cdot R_p^2 \quad (\text{C.13})$$

Der Einfluss des induzierten Gate-Rauschens kann in Anlehnung an den Ansatz in [207] bestimmt werden. Dies geschieht, indem die Rauschzahl ohne den Einfluss des induzierten Gate-Rauschens (Gleichung C.12) bestimmt und mit der Rauschzahl verglichen wird, die sich unter Berücksichtigung des induzierten Gate-Rauschens (Gleichung C.11) ergibt. Der Unterschied zwischen diesen beiden Rauschzahlen wird durch die Größe Ψ ausgedrückt und kann folgendermaßen bestimmt werden:

$$\begin{aligned} \Psi &= \frac{Q_{in}^2}{Q_{in}^2 + 1} \cdot (\xi + \kappa) \\ \Psi &= 1 + \frac{1}{Q_{in}^2 + 1} \left\{ \frac{\delta}{5\gamma} \cdot \frac{C_{gs}^2}{C_{in}^2} - 2|c| \cdot \frac{C_{gs}}{C_{in}} \cdot \sqrt{\frac{\delta}{5\gamma}} \right\} \end{aligned} \quad (\text{C.14})$$

Aus der Gleichung C.11 und den einzelnen Anteilen der Ausgangsrauschleistungsdichten (Gleichungen C.4 - C.10) ergibt sich mit Hilfe der Gleichung C.14 für die

Rauschzahl

$$F = 1 + \gamma \cdot \frac{1}{g_{ms}R_s} \cdot \left(1 + \frac{1}{Q_{in}^2}\right) \cdot \Psi + \frac{|1 + g_{ms}R_s + sC_{in}|^2}{g_{ms}^2 R_s R_p} \quad . \quad (C.15)$$

Der letzte Summand in der obigen Gleichung gibt den Rauschbeitrag der Last an. Mit der auf die Quellspannung u_Q bezogenen Spannungsverstärkung G_V^* (siehe Gleichung 4.7) kann die Rauschzahl des CG-LNAs letztlich angegeben werden als

$$F = 1 + \gamma \cdot \frac{1}{g_{ms}R_s} \cdot \left(1 + \frac{1}{Q_{in}^2}\right) \cdot \Psi + \frac{R_p}{R_s} \cdot \frac{1}{|G_V^*|^2} \quad . \quad (C.16)$$

C.2 Linearität

In Abschnitt 4.1.5 wurde durch die Gleichung 4.18 ein Ausdruck für den P_{IIP3} angegeben, der in diesem Abschnitt hergeleitet werden soll. Weiterhin wird zum Vergleich auch der $IIP3$ berechnet, wenn die nicht physikalische Interpolationsfunktion (siehe Gleichung 3.12) aus der ursprünglichen Veröffentlichung zum EKV-Modell [83] verwendet wird.

Ausgangspunkt für die Berechnungen ist der in Abbildung 4.5 dargestellte CG-Verstärker mit dem ohmschen Lastwiderstand R , der Versorgungsspannung U_{DD} und der Eingangsspannungsquelle $U_s = U_{DC} + u_{in}$. Die Ausgangsspannung der Schaltung kann berechnet werden durch

$$U_{out} = U_{DD} - I_d \cdot R \quad , \quad (C.17)$$

für die im Arbeitspunkt eine Taylorreihenentwicklung durchgeführt wird. Durch den Abbruch der Reihe nach dem dritten Glied ergibt sich

$$\begin{aligned} U_{out} \approx & U_{out}(U_{DC}) + \frac{1}{1!} \cdot \frac{dI_D}{dU_S} \cdot (U_s - U_{DC}) \\ & + \frac{1}{2!} \cdot \frac{d^2 I_D}{dU_S^2} \cdot (U_s - U_{DC})^2 + \frac{1}{3!} \cdot \frac{d^3 I_D}{dU_S^3} \cdot (U_s - U_{DC})^3 \quad . \quad (C.18) \end{aligned}$$

Zur Vereinfachung wird folgende Konvention für die Schreibweise eingeführt: Die n -te Ableitung des Drainstroms nach der Eingangsspannung U_S wird definiert als $g_{ms,n} = -\frac{d^n I_D}{dU_S^n}$. Die Ausgangsspannung kann somit angegeben werden als

$$U_{out} \approx U_{DD} - I_D \cdot R + R \cdot \left(g_{ms,1} \cdot u_{in} + \frac{g_{ms,2}}{2} \cdot u_{in}^2 + \frac{g_{ms,3}}{6} \cdot u_{in}^3 \right) \quad .(C.19)$$

Durch einen Koeffizientenvergleich der Gleichung C.19 mit der Gleichung 2.16 ergibt sich $c_1 = R \cdot g_{ms,1}$ und $c_3 = R \cdot \frac{g_{ms,3}}{6}$. Die Amplitude des A_{IIP3} in Volt lässt sich daraus gemäß Gleichung 2.17 bestimmen als $A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{c_1}{c_3} \right|} = \sqrt{8 \left| \frac{g_{ms,1}}{g_{ms,3}} \right|}$. Für den P_{IIP3} ergibt sich dann

$$P_{IIP3} = \frac{A_{IIP3}^2}{2 \cdot R_s} = \frac{4}{R_s} \cdot \left| \frac{g_{ms,1}}{g_{ms,3}} \right|. \quad (\text{C.20})$$

C.2.1 Mit exakter Interpolationsfunktion

Mit den Gleichungen aus Abschnitt 3.2.2 für den MOSFET in Sättigung

$$I_D = I_{Spec} \cdot (q_s^2 + q_s) \quad (\text{C.21})$$

$$u = u_p - u_s = \ln(q_s) + 2 \cdot q_s \quad (\text{C.22})$$

$$u_p - u_s = \frac{U_P - U_S}{U_{Temp}} \quad (\text{C.23})$$

können schließlich durch Anwendung der Kettenregel [243–245] die Ableitungen folgendermaßen bestimmt werden:

$$g_{ms,1} = -\frac{dI_D}{dU_S} = -\frac{dI_D}{dq_s} \cdot \frac{dq_s}{du} \cdot \frac{du}{dU_S} \quad (\text{C.24})$$

$$g_{ms,2} = -\frac{d^2 I_D}{dU_S^2} = +\frac{dg_{ms,1}}{dq_s} \cdot \frac{dq_s}{du} \cdot \frac{du}{dU_S} \quad (\text{C.25})$$

$$g_{ms,3} = -\frac{d^3 I_D}{dU_S^3} = +\frac{dg_{ms,2}}{dq_s} \cdot \frac{dq_s}{du} \cdot \frac{du}{dU_S} \quad (\text{C.26})$$

$$(\text{C.27})$$

Die inneren Ableitungen werden der Reihe nach bestimmt. Dabei ergibt sich

$$\frac{du}{dU_S} = -\frac{1}{U_{Temp}}. \quad (\text{C.28})$$

Da die Gleichung C.22 für die normierte Spannung u nicht analytisch invertiert werden kann, wird die weitere innere Ableitung $\frac{dq_s}{du}$ folgendermaßen bestimmt

(vgl. auch die Herleitung zur Ableitung der Umkehrfunktion in [243–245]):

$$\frac{du(q_s)}{dq_s} = \frac{1}{\frac{dq_s(u)}{du}} \quad (\text{C.29})$$

$$\frac{du(q_s)}{dq_s} = \frac{1}{q_s} + 2 \quad (\text{C.30})$$

$$\frac{dq_s(u)}{du} = \frac{q_s}{2q_s + 1} \quad (\text{C.31})$$

Die äußeren Ableitungen sind dabei:

$$\frac{dI_D}{dq_s} = I_{Spec} \cdot (2q_s + 1) \quad (\text{C.32})$$

$$\frac{dg_{ms,1}}{dq_s} = + \frac{I_{Spec}}{U_{Temp}} \quad (\text{C.33})$$

$$\frac{dg_{ms,2}}{dq_s} = \frac{I_{Spec}}{U_{Temp}^2} \cdot \frac{1}{(2q_s + 1)^2} \quad (\text{C.34})$$

Damit ergibt sich für die kompletten Ableitungen des Drainstroms:

$$g_{ms,1} = - \frac{dI_D}{dU_S} = + \frac{I_{Spec}}{U_{Temp}} \cdot q_s \quad (\text{C.35})$$

$$g_{ms,2} = - \frac{d^2 I_D}{dU_S^2} = - \frac{I_{Spec}}{U_{Temp}^2} \cdot \frac{q_s}{2q_s + 1} \quad (\text{C.36})$$

$$g_{ms,3} = - \frac{d^3 I_D}{dU_S^3} = + \frac{I_{Spec}}{U_{Temp}^3} \cdot \frac{q_s}{(2q_s + 1)^3} \quad (\text{C.37})$$

Aus den Gleichungen C.35 und C.37 kann schließlich mittels der Gleichung C.20 der P_{IIP3} bestimmt werden als

$$P_{IIP3} = 4 \cdot \frac{U_{Temp}^2}{R_s} \cdot (2q_s + 1)^3 \quad (\text{C.38})$$

C.2.2 Mit Näherung für die Interpolationsfunktion

Mit den Gleichungen aus Abschnitt 3.2.2 für den MOSFET in Sättigung und unter Verwendung der nicht physikalischen Näherung für die Interpolationsfunktion

$$I_D = I_{Spec} \cdot (q_s^2 + q_s) = I_{Spec} \cdot i_f \quad (\text{C.39})$$

$$u = u_p - u_s \approx 2 \cdot \ln \left(e^{\sqrt{i_f}} - 1 \right) \quad (\text{C.40})$$

$$u_p - u_s = \frac{U_P - U_S}{U_{Temp}} \quad (\text{C.41})$$

können auch hier durch Anwendung der Kettenregel [243–245] die Ableitungen folgendermaßen bestimmt werden:

$$g_{ms,1} = -\frac{dI_D}{dU_S} = -\frac{dI_D}{du} \cdot \frac{du}{dU_S} \quad (\text{C.42})$$

$$g_{ms,2} = -\frac{d^2 I_D}{dU_S^2} = +\frac{dg_{ms,1}}{du} \cdot \frac{du}{dU_S} \quad (\text{C.43})$$

$$g_{ms,3} = -\frac{d^3 I_D}{dU_S^3} = +\frac{dg_{ms,2}}{du} \cdot \frac{du}{dU_S} \quad (\text{C.44})$$

$$(\text{C.45})$$

Für die innere Ableitung ergibt sich wieder

$$\frac{du}{dU_S} = -\frac{1}{U_{Temp}} \quad (\text{C.46})$$

Die Näherungsgleichung für die normierte Spannung kann nach i_f aufgelöst werden und ergibt dann $i_f \approx [\ln(e^{\frac{u}{2}} + 1)]^2$. Die äußeren Ableitungen sind dabei:

$$\frac{dI_D}{du} = I_{Spec} \cdot \ln(e^{\frac{u}{2}} + 1) \cdot \frac{e^{\frac{u}{2}}}{e^{\frac{u}{2}} + 1} \quad (\text{C.47})$$

$$\frac{dg_{ms,1}}{du} = -\frac{I_{Spec}}{2 \cdot U_{Temp}} \cdot \frac{e^{\frac{u}{2}}}{(e^{\frac{u}{2}} + 1)^2} \cdot [e^{\frac{u}{2}} + \ln(e^{\frac{u}{2}} + 1)] \quad (\text{C.48})$$

$$\frac{dg_{ms,2}}{du} = \frac{I_{Spec}}{4 \cdot U_{Temp}^2} \cdot \frac{e^{\frac{u}{2}}}{(e^{\frac{u}{2}} + 1)^3} \cdot [3 \cdot e^{\frac{u}{2}} + \ln(e^{\frac{u}{2}} + 1) \cdot (1 - e^{\frac{u}{2}})] \quad (\text{C.49})$$

Damit ergibt sich für die kompletten Ableitungen des Drainstroms:

$$g_{ms,1} = +\frac{I_{Spec}}{U_{Temp}} \cdot \ln(e^{\frac{u}{2}} + 1) \cdot \frac{e^{\frac{u}{2}}}{e^{\frac{u}{2}} + 1} \quad (\text{C.50})$$

$$g_{ms,2} = -\frac{I_{Spec}}{2 \cdot U_{Temp}^2} \cdot \frac{e^{\frac{u}{2}}}{(e^{\frac{u}{2}} + 1)^2} \cdot [e^{\frac{u}{2}} + \ln(e^{\frac{u}{2}} + 1)] \quad (\text{C.51})$$

$$g_{ms,3} = +\frac{I_{Spec}}{4 \cdot U_{Temp}^3} \cdot \frac{e^{\frac{u}{2}}}{(e^{\frac{u}{2}} + 1)^3} \cdot [3 \cdot e^{\frac{u}{2}} + \ln(e^{\frac{u}{2}} + 1) \cdot (1 - e^{\frac{u}{2}})] \quad (\text{C.52})$$

Aus den Gleichungen C.50 und C.52 kann schließlich mittels der Gleichung C.20 der P_{IIP3} bestimmt werden als

$$P_{IIP3} = 16 \cdot \frac{U_{Temp}^2}{R_s} \cdot (e^{\frac{u}{2}} + 1)^2 \cdot \left| \frac{\ln(e^{\frac{u}{2}} + 1)}{3 \cdot e^{\frac{u}{2}} + \ln(e^{\frac{u}{2}} + 1) \cdot (1 - e^{\frac{u}{2}})} \right| \quad (\text{C.53})$$

C.2.3 Mit Geschwindigkeitssättigung

Die in Abschnitt 3.2.2.3 beschriebenen Kurzkanaleffekte zeigen einen Einfluss auf die Linearität der Schaltung. Um dies zu verdeutlichen, wird unter Berücksichtigung des Effekts der Geschwindigkeitssättigung der $IIP3$ bestimmt. Die Ausgangsgleichung für den Drainstrom kann mit $I_{Spec,0} = I_{Spec}(\mu_0)$ angegeben werden als:

$$I_D = I_{Spec,0} \cdot (q_s^2 + q_s) \cdot \frac{1}{1 + \lambda_c \cdot q_s} \quad (C.54)$$

Nach etwas Rechenaufwand ergeben sich für die kompletten Ableitungen des Drainstroms die Ausdrücke:

$$g_{ms,1} = + \frac{I_{Spec,0}}{U_{Temp}} \cdot \frac{(2q_s + \lambda_c \cdot q_s^2 + 1) \cdot q_s}{(1 + \lambda_c \cdot q_s)^2 \cdot (2q_s + 1)} \quad (C.55)$$

$$g_{ms,2} = - \frac{I_{Spec,0}}{U_{Temp}^2} \cdot \frac{q_s \cdot [\lambda_c^2 \cdot q_s^3 + (4 - \lambda_c) \cdot q_s^2 + (4 - \lambda_c) \cdot q_s + 1]}{(1 + \lambda_c \cdot q_s)^3 \cdot (2q_s + 1)^3} \quad (C.56)$$

$$g_{ms,3} = + \frac{I_{Spec,0}}{U_{Temp}^3} \cdot \frac{q_s}{(1 + \lambda_c \cdot q_s)^4 \cdot (2q_s + 1)^5} \cdot \{ -4\lambda_c^3 \cdot q_s^5 + (\lambda_c^3 + 8\lambda_c^2 - 24\lambda_c) \cdot q_s^4 + (12\lambda_c^2 - 32\lambda_c) \cdot q_s^3 + (\lambda_c^2 - 15\lambda_c + 4) \cdot q_s^2 + (-4\lambda_c + 4) \cdot q_s + 1 \} \quad (C.57)$$

Der P_{IIP3} kann schließlich gemäß der Gleichung C.20 mit Hilfe der Gleichungen C.55 und C.57 bestimmt werden.

C.2.4 Vergleich der Ergebnisse

In den vorherigen Abschnitten wurde die erste bis dritte Ableitung des Drainstroms nach der Spannung U_S bestimmt. Dabei wurden unterschiedliche Ausdrücke für den Drainstrom verwendet. Zum einen wurde die exakte Interpolationsfunktion für den Langkanaltransistor verwendet, weiterhin die nicht physikalische Näherung und als drittes wurde der Einfluss der Geschwindigkeitssättigung mit berücksichtigt. In der Abbildung C.1 sind die normierten Ableitungen $g_{ms,1}^* = \frac{g_{ms,1}}{I_{Spec,0} / U_{Temp}}$, $g_{ms,2}^* = \frac{g_{ms,2}}{-I_{Spec} / U_{Temp}^2}$ und $g_{ms,3}^* = \frac{g_{ms,3}}{I_{Spec,0} / U_{Temp}^3}$ über der normierten Spannungsdifferenz u dargestellt.

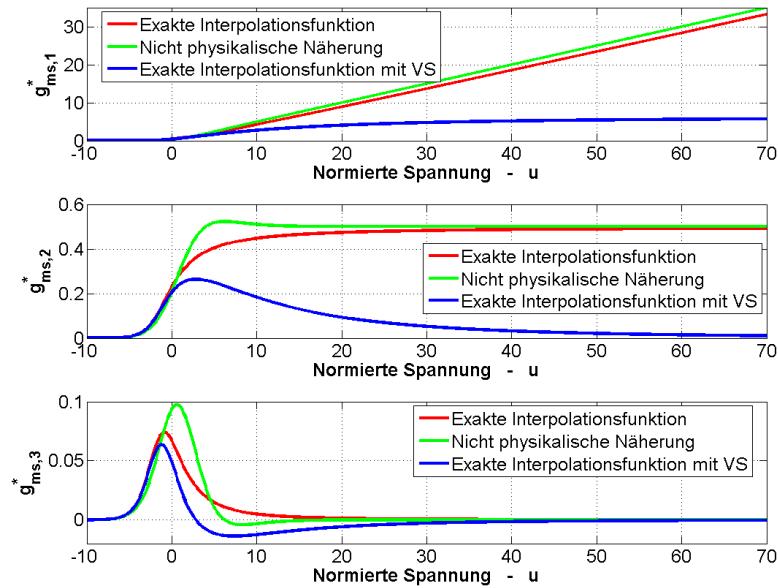


Abbildung C.1: Normierte Ableitungen des Drainstroms nach der Spannung U_S .

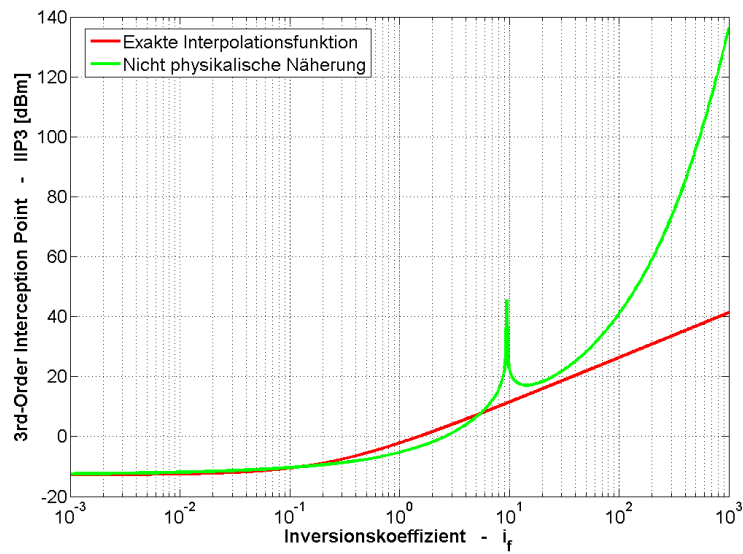
Wird die nicht physikalische Näherung verwendet, so zeigt sich im Vergleich zur exakten Interpolationsfunktion bei der ersten Ableitung ein nur sehr geringer Unterschied. Bei der zweiten Ableitung ist nach dem Anstieg ein geringer Abfall zu erkennen (Überschwingen), woraus sich die Nullstelle in der dritten Ableitung ergibt. Die nicht physikalische Näherung zeigt somit bei den höheren Ableitungen große Unterschiede im Vergleich zur exakten Interpolationsfunktion.

Die Abbildung C.1 zeigt weiter den Einfluss der Geschwindigkeitssättigung mit dem Parameter $\lambda_c = 0,08$. Bei der ersten Ableitung ist die starke Reduzierung von $g_{ms,1}^*$ bei großen Spannungsdifferenzen u zu erkennen. Die zweite Ableitung konvergiert bei großen Werten der normierten Spannungsdifferenz u nicht mehr gegen einen konstanten Wert, sondern gegen Null. Durch den Anstieg und anschließenden Abfall der zweiten Ableitung ergibt sich bei der dritten Ableitung eine Nullstelle.

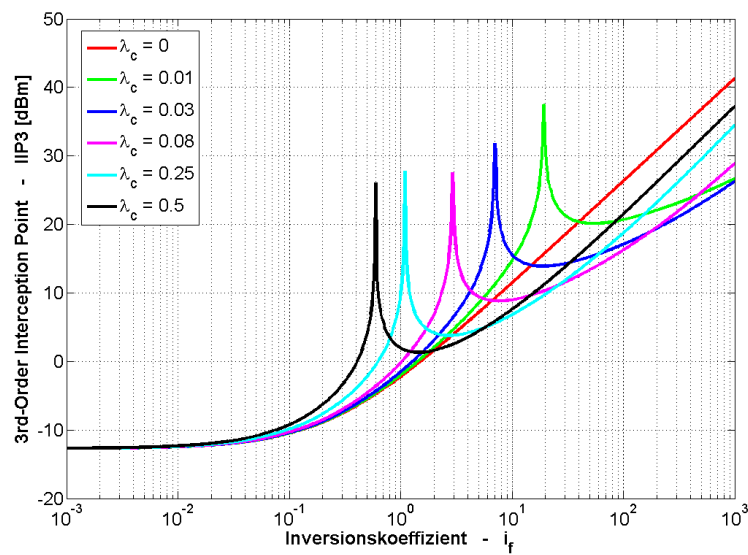
Aus den berechneten Ableitungen kann, wie in den vorherigen Abschnitten beschrieben, der $IIP3$ bestimmt werden. Zum Vergleich ist dieser sowohl für die exakte Interpolationsfunktion als auch für die nicht physikalische Näherung in der

Abbildung C.2 a) dargestellt. Bei dem $IIP3$ der mittels der Näherung bestimmt wurde ist beim Übergang von dem Bereich der moderaten zur starken Inversion eine Polstelle zu erkennen. Diese wird verursacht durch die Nullstelle bei der dritten Ableitung des Drainstroms. Weiterhin zeigt der $IIP3$ im Bereich der starken Inversion einen stärkeren Anstieg, als es die exakte Interpolationsfunktion vorausagt. Nur im Bereich der schwachen Inversion zeigen beide Funktionen eine gute Übereinstimmung. Die nicht physikalische Näherung sollte daher für Berechnung der Linearität nicht verwendet werden.

In der Abbildung C.2 b) wird der berechnete $IIP3$ in Abhängigkeit vom Inversionskoeffizient i_f für unterschiedliche Werten von λ_c gezeigt. Wie zu erwarten ist kein Einfluss durch Geschwindigkeitssättigung im Bereich der schwachen Inversion zu erkennen. Für $\lambda_c \neq 0$ ergibt sich eine Polstelle beim $IIP3$, welche im Bereich zwischen moderater und Anfangsbereich der starken Inversion liegt. Weiterhin ergibt sich durch die Geschwindigkeitssättigung eine Reduzierung des $IIP3$ im Bereich der starken Inversion. Die Stärke der Reduzierung ist vom Wert von λ_c abhängig.



a)



b)

Abbildung C.2: Berechneter $IIP3$ für den CG-LNA a) beim idealen Langkanaltransistor mit exakter Interpolationsfunktion und nicht physikalischer Näherung, b) unter Berücksichtigung der Geschwindigkeitssättigung.

Anhang D

Common-Gate LNA mit reduzierter Versorgungsspannung

D.1 Aufbau und Funktionsweise

Wie in der Einleitung in Abschnitt 1.3 beschrieben stand ein geringer Stromverbrauch der Schaltungsblöcke im ZigBee-Empfänger im Vordergrund der vorliegenden Arbeit. Der Grund dafür, dass der Stromverbrauch und eben nicht der Leistungsverbrauch betrachtet wurde liegt bei der fest für einige Blöcke im Empfänger vorgegebenen Versorgungsspannung, welche der Nennversorgungsspannung der verwendeten CMOS-Technologie entspricht.

Nach der International Technology Roadmap [23] wird bei den zukünftigen CMOS-Technologien mit einer Versorgungsspannung von 1 V gerechnet. Wie in [13] gezeigt wird, sinkt die Schwellspannung der MOSFETs hierbei nicht proportional zur Versorgungsspannung. Es soll daher in diesem Abschnitt untersucht werden, bis zu welcher reduzierten Versorgungsspannung der entwickelte CG-LNA aus Abschnitt 5.4 ohne eine nennenswerte Verschlechterung der Performance seine Funktion erfüllt.

Bei der Untersuchung der Bias-Schaltung für den entwickelten CG-LNA zeigt sich, dass diese nicht in der Lage ist den notwendigen Arbeitspunktstrom bei einer stark reduzierten Versorgungsspannung (U_{DD}) zu liefern. Der Aufbau der

Schaltung aus Abschnitt 5.4 wie er in Abbildung 5.9 dargestellt ist wird modifiziert indem die Bias-Schaltung, die den Arbeitspunktstrom für den LNA einstellt, in der Schaltungssimulation durch eine ideale Konstantstromquelle ersetzt wird. Der modifizierte Aufbau der Schaltung ist in der Abbildung D.1 dargestellt.

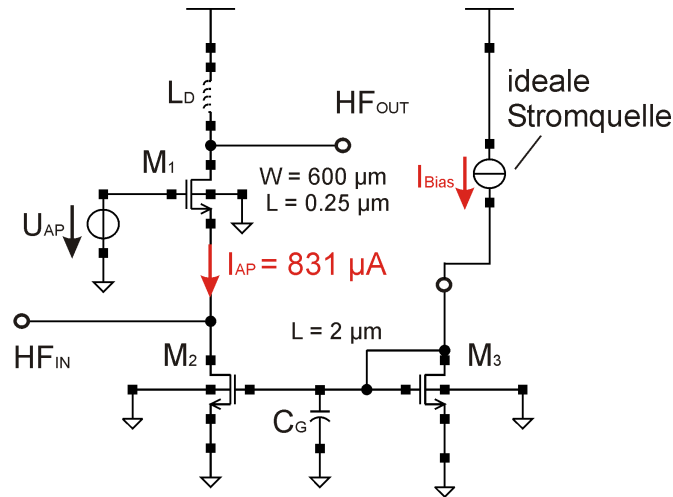


Abbildung D.1: CG-LNA bei reduzierter Versorgungsspannung mit Konstantstromquelle.

Damit der Stromspiegeltransistor M_2 im Sättigungsbereich in starker Inversion betrieben werden kann, muss über diesen eine ausreichend große Drain-Source-Spannung anliegen. Dagegen wird der LNA-MOSFET M_1 in moderater Inversion betrieben und somit ist für diesen nur eine geringe Drain-Source-Spannung notwendig (vgl. auch [94,246]). Der Spannungsabfall über der Spule beträgt ca. 6 mV und kann daher vernachlässigt werden. Es ergibt sich damit die Möglichkeit die Versorgungsspannung zu reduzieren, ohne das dabei eine drastische Verschlechterung der Performance zu erwarten ist.

Durch eine reduzierte Versorgungsspannung verringert sich auch der Aussteuerungsbereich der Signale am Drain-Anschluss von M_1 . Der LNA erreicht daher bei etwas geringeren Eingangssignalpegeln den 1-dB-Kompressionspunkt und weist daher auch einen etwas geringeren $IIP3$ auf. Da auch bei maximalem Eingangssignal von $\hat{u}_{in,max} = 31,62$ mV das Ausgangssignal sehr gering ist, ist hier nur eine geringe Beeinträchtigung zu erwarten.

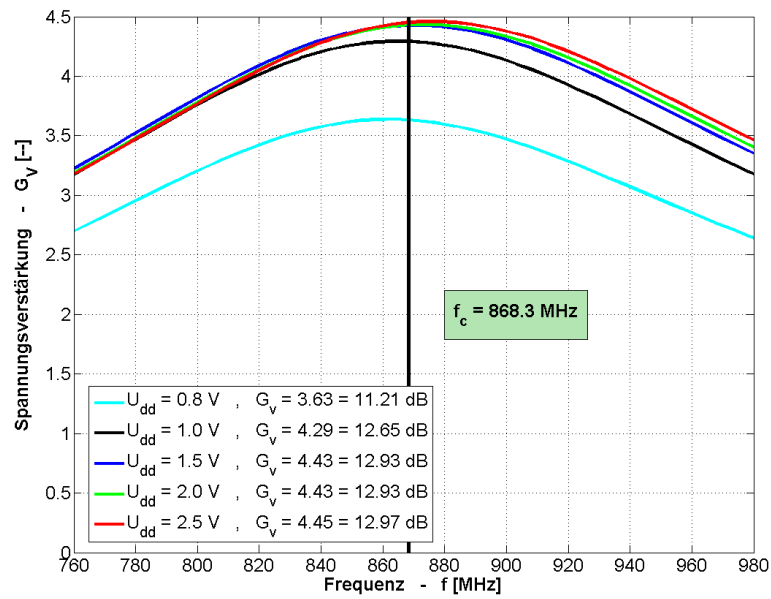
D.2 Simulationsergebnisse

Wie im vorherigen Abschnitt beschrieben wird hier untersucht wie der entwickelte CG-LNA aus Abschnitt 5.4 sich bei reduzierter Versorgungsspannung (U_{DD}) verhält. Die Schaltungssimulation erfolgt bei einer Versorgungsspannung von 2,5 V, 2,0 V, 1,5 V, 1,0 V und 0,8 V.

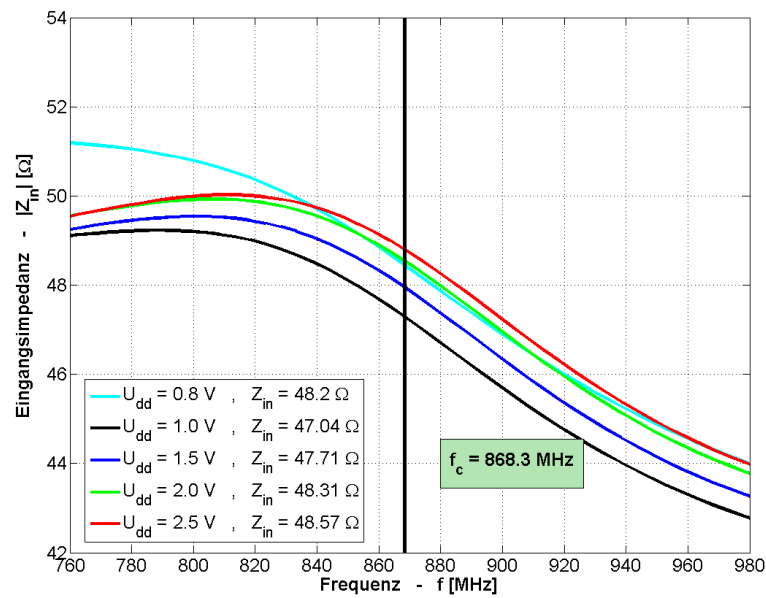
In der Abbildung D.2 a) ist das Simulationsergebnis für die Spannungsverstärkung G_V dargestellt. Wie aus der Darstellung zu erkennen ist, ist die Spannungsverstärkung bis zu $U_{DD} = 1,5$ V fast unverändert. Bei einer Versorgungsspannung von 1,0 V verringert sich die Spannungsverstärkung von ursprünglich $G_V = 4,45$ auf $G_V = 4,29$ (entsprechend von 12,97 dB auf 12,65 dB). Die Spannungsverstärkung reduziert sich weiter auf $G_V = 3,63$ (11,21 dB), wenn U_{DD} auf 0,8 V abgesenkt wird. Das Maxima der Verstärkung wird dabei leicht zur geringeren Frequenzen verschoben, liegt aber immer noch nahe der Trägerfrequenz von $f_c = 868,3$ MHz.

Der simulierte Betrag der Eingangsimpedanz $|Z_{in}|$ wird in der Abbildung D.2 b) gezeigt. Der LNA weist bei einer Versorgungsspannung von 1 V eine Eingangsimpedanz von $|Z_{in}| = 47,04 \Omega$ und einen Reflexionsfaktor von $S_{11} = -13,73$ dB auf und für $U_{DD} = 0,8$ V beträgt $|Z_{in}| = 48,02 \Omega$ und $S_{11} = -12,04$ dB. Dagegen erreicht der LNA bei $U_{DD} = 2,5$ V für $|Z_{in}| = 48,57 \Omega$ und $S_{11} = -14,86$ dB. Damit zeigt sich eine nur geringfügige Verschlechterung bei reduzierter Versorgungsspannung.

Das Simulationsergebnis für das Noise Figure ist in der Abbildung D.3 a) dargestellt. Die Schaltungssimulation ergibt ein Noise Figure von $NF = 4,46$ dB bei $U_{DD} = 2,5$ V, ein Noise Figure von $NF = 4,68$ dB bei $U_{DD} = 1,0$ V und ein Noise Figure von $NF = 5,56$ dB bei $U_{DD} = 0,8$ V. Wie in Abschnitt 5.4.3 beschrieben wird in der Schaltungssimulation der durch Kurzkanaleffekte bedingte Anstieg des Rauschens nicht berücksichtigt. Der in der Praxis zu erwartende Wert wird bei etwas größeren Zahlenwerten liegen. Dieser Wert kann z.B. mit Hilfe der Gleichung 5.20 abgeschätzt werden.



a)

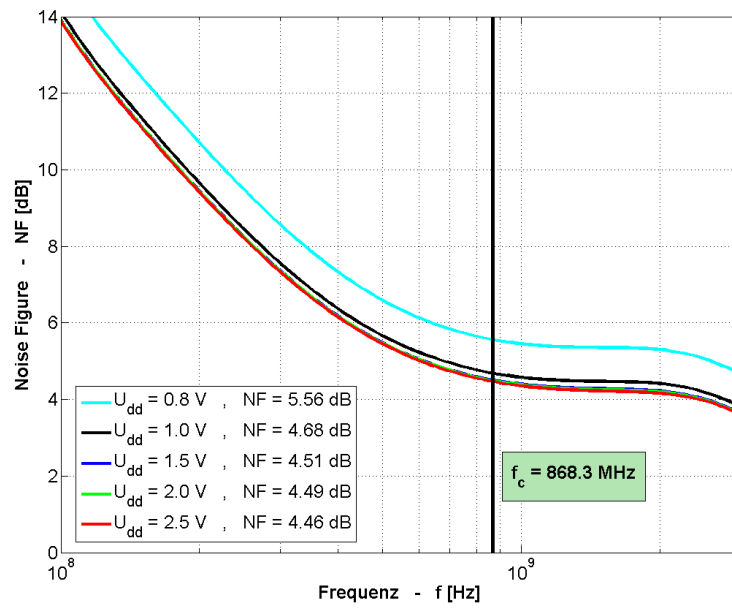


b)

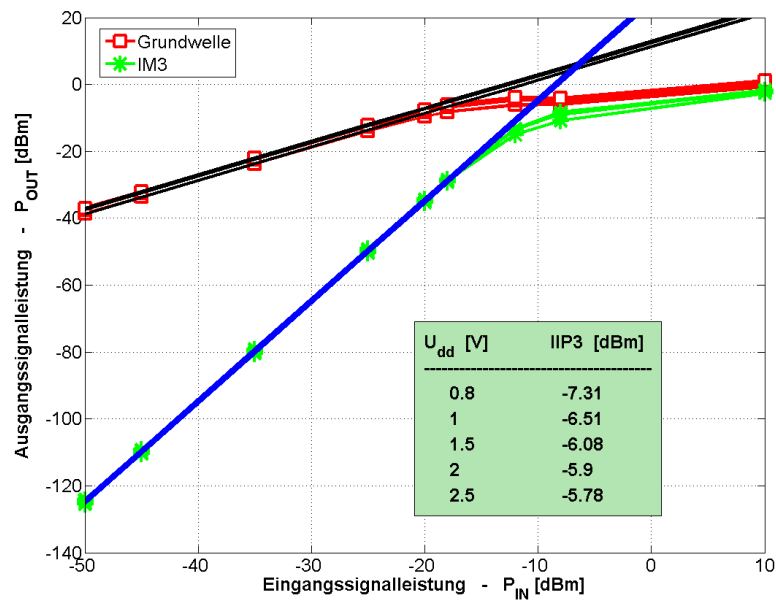
Abbildung D.2: Simulationsergebnisse des CG-LNAs bei reduzierter Versorgungsspannung
 a) Spannungsverstärkung G_V und b) Eingangsimpedanz $|Z_{in}|$.

Die Linearität der Schaltung wird mit Hilfe der Abbildung D.3 b) bestimmt, aus der der $IIP3$ ermittelt wird. Bei einer Versorgungsspannung von bis zu 1,5 V ist nur eine geringe Verschlechterung des $IIP3$ zu beobachten. Bei einer Versorgungsspannung von $U_{DD} = 1,0$ V erzielt der CG-LNA einen $IIP3$ von $-6,51$ dBm. Dagegen erreicht der LNA bei $U_{DD} = 2,5$ V einen $IIP3$ von $-5,78$ dBm. Bei einer Versorgungsspannung von $U_{DD} = 0,8$ V verschlechtert sich der $IIP3$ des LNAs auf $-7,78$ dBm.

Der CG-LNA arbeitet wie die Simulationsergebnisse zeigen bei einer reduzierten Versorgungsspannung von 1,5 V praktisch unverändert. Selbst bei einer stark verringerten Versorgungsspannung von 2,5 V auf 1,0 V ist nur eine geringe Verschlechterung der Performance zu beobachten. Erst bei einer weiter reduzierten Versorgungsspannung auf 0,8 V zeigt sich eine deutliche Verschlechterung. Der entwickelte CG-LNA kann damit auch bei einer stark reduzierten Versorgungsspannung eingesetzt werden und ist damit auch für den Einsatz in zukünftigen CMOS-Technologien geeignet.



a)



b)

Abbildung D.3: Simulationsergebnisse des CG-LNAs bei reduzierter Versorgungsspannung
a) Noise Figure NF und b) Linearität ($IIP3$).

Anhang E

Layouts

E.1 Hinweise zur Umsetzung der Schaltung

Einige Punkte die bei der Umsetzung der Schaltpläne in das Layout beachtet werden müssen, werden in diesem Abschnitt kurz angesprochen. Abschließend wird das Layout des HF-Teils des Empfängers, sowie das Layout des gesamten Empfängers präsentiert. Dabei wurde in der vorliegenden Arbeit der LNA schaltungstechnisch realisiert. Die weiteren Blöcke des Empfängers wurden unter den hier spezifizierten Kennzahlen realisiert, sind aber nicht Bestandteil der vorliegenden Arbeit. Einzelne Schaltungsblöcke sind in eigenständigen Veröffentlichungen beschrieben, wie z.B. das verwendete Filter in [57] und die Bias-Schaltungen in [247].

Bei der Umsetzung der Schaltung in das Layout müssen zunächst die grundsätzlichen Design-Regeln der verwendeten CMOS-Technologie [82] befolgt werden. Weitere Regeln bzw. Empfehlungen ergeben sich aus der HF-Betrachtung des kompletten Chips, wobei mögliche Kopplungen und parasitäre Effekte identifiziert und durch Gegenmaßnahmen unterdrückt werden sollen. Diese können aus der Literatur wie z.B. [80, 186, 187] entnommen bzw. abgeleitet werden.

Beim Layout müssen unter anderem folgende Punkte beachtet werden: Die Substratkontakte der MOSFETs sind so nahe wie möglich an den Transistoren zu platzieren und sollen diese als Ring umschließen. Die Gate-Anschlüsse der MOS-

FETs im LNA und Mischer, die das HF-Signal führen, müssen beidseitig kontaktiert werden. Weiterhin muss eine ausreichende Anzahl an Durchkontaktierungen (Vias) verwendet werden, um sicherzustellen, dass der damit verbundene Widerstand zu vernachlässigen ist. Dies gilt im besonderen für den Gate-Anschluss des LNA-MOSFETs.

Für den Anschluss der Spule soll die gleiche Leiterbahnbreite wie für die Spule selbst verwendet werden. Zu den benachbarten Strukturen soll die Spule einen ausreichend großen Abstand aufweisen (Größenordnung ca. $\frac{d_{out}-d_{in}}{2}$), wobei die dadurch entstehende Fläche durch einen Ring aus Substratkontakten berandet wird. Um die kapazitive Belastung und die damit verbundene Einkopplung von Störungen über das Substrat zu reduzieren, sind die HF-Signale (soweit möglich) in der obersten Metallebene über längere Distanzen zu führen. Gegebenenfalls wird hierfür eine Anordnung wie eine Mikrostreifenleitung, auf dem Chip (vgl. Abbildung 3.17) bestehend aus den Metallschichten vier und eins verwendet. Um möglichst wenig Übersprechen zwischen dem HF-Signal und dem LO-Signal zu erreichen, werden diese wie in [73] empfohlen orthogonal zueinander geführt.

Die Anschluss-Pads für die Versorgungsspannung (U_{DD} und GND) sollten so nahe wie möglich beieinander liegen, damit die Gegeninduktivität zwischen den Bonddrähten möglichst groß und somit die effektive Gesamtinduktivität der Zuführung gemäß [186] möglichst gering ist. Es werden separate Bias-Schaltungen für den LNA, die Mischer und den kompletten Basisbandteil des Empfängers verwendet, welche auch über getrennte Bonddrahtverbindungen die benötigte Versorgungsspannung erhalten. Um Störeinkopplungen über das Substrat zu unterdrücken erhält gemäß [187] jeder Schaltungsblock einen zusätzlichen Ring mit Substratkontakten, welche über Bonddrahtverbindungen extern mit Masse verbunden sind. Der Basisbandteil wird durch einen Streifen mit Substratkontakten vom HF-Teil abgetrennt.

Um die für den Prozess vorgeschriebene Metallabdeckung zu erreichen werden Füllstrukturen aus Metall verwendet. Diese dürfen nicht in den kritischen HF-Teilen und im Bereich der Spule samt deren Abstandszone eingefügt werden. Glättungskapazitäten sind im ausreichenden Maße auf dem Chip zu realisieren, so können Freiflächen auf dem Chip für diese genutzt werden. Um ein geringes

I/Q-Mismatch zu erzielen, müssen die beiden Zweige für die I- und Q-Komponente symmetrisch aufgebaut und die Symmetrieachse im Layout klar erkennbar sein. Das Gesamt-Layout des Empfängers soll eine längliche Struktur besitzen, damit dieser mit einem Sender und Synthesizer als ein Block gruppiert werden kann.

Zur exakten Abstimmung des Lastschwingkreises im LNA müssen nach dem erstellen des Layouts aus diesem die Kapazitäten extrahiert werden. In Abhängigkeit von diesen parasitären Kapazitäten muss die Abstimmkapazität für den LNA gewählt werden.

E.2 Realisierung des Layouts

Die Abbildung E.1 zeigt das Layout des HF-Teils des Empfängers [4]. Die Schaltungsblöcke LNA, Bias-Schaltung für den LNA, sowie Mischer mit dazugehöriger Bias-Schaltung aus [247] sind kenntlich gemacht. Außen herum um den Chip befinden sich die Anschluss-Pads und die restlichen Flächen werden für Glättungskapazitäten genutzt. Im Layout lässt sich die Lastspule des LNAs deutlich erkennen.

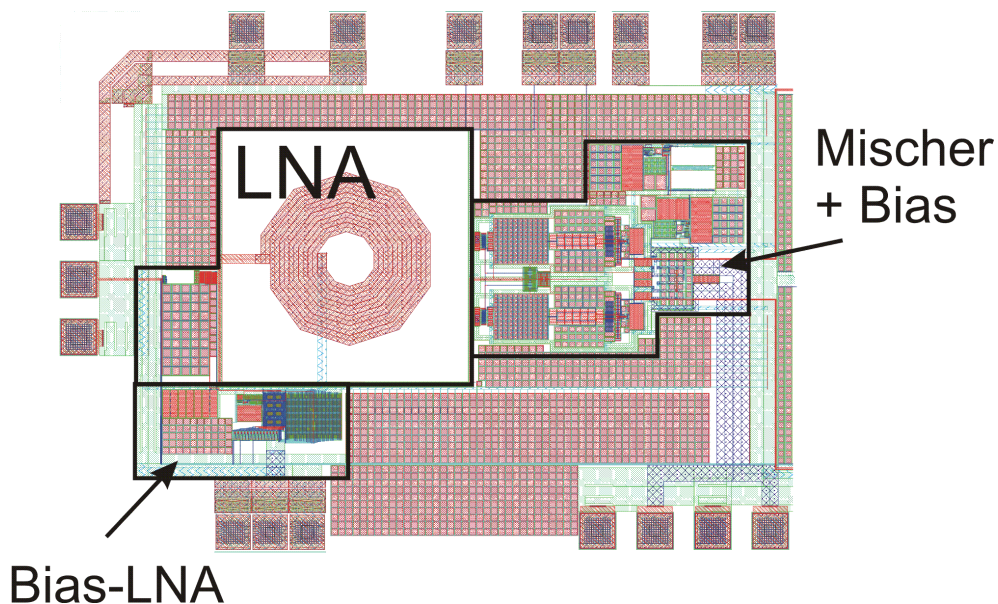


Abbildung E.1: Layout des HF-Teils des Empfängers [4].

E. Layouts

Abschließend wird in der Abbildung E.2 das Layout des kompletten Empfänger-Chips präsentiert [5]. In diesem ist der HF-Teil und der Basisbandteil eingezeichnet. Letzterer ist wie angedeutet unterteilt in Filter aus [57] und PGA. Wie zu erkennen, werden ca. 2/3 der Chipfläche für den Basisbandteil benötigt bzw. knapp die Hälfte der Fläche wird vom Filter belegt. An dem Layout lässt sich deutlich die waagerechte Symmetrieachse für den I- und Q-Zweig des Empfängers erkennen.

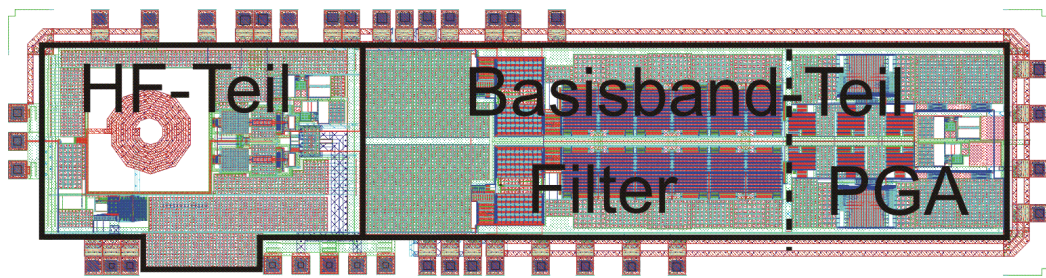


Abbildung E.2: Layout des kompletter Empfänger-Chips [5].

Index

- 1/f-Rauschen, 14, 16, 21, 22, 24
- IIP3*
 - Bestimmung über
 - BER* Grenze, 41
 - 1-dB Kompressionspunkt, 41
 - Desensitization and Blocking, 42
 - IM3 = Noise Floor, 41
 - Definition, 39
 - Graphische Bestimmung, 40
 - Peaking, 132
 - Vergleich der Bestimmungsmethoden, 43
- $\frac{E_b}{N_0}$
 - Antenne, 34
 - Demodulatoreingang, 33
 - Umrechnung *SNR*, 37
- ADC, 14
 - Abtastrate, 28
 - Auflösung, 29
 - Auflösung, 23, 38
 - Leistungsaufnahme, 27
 - Over Sampling Ratio (OSR), 28
 - Stromaufnahme, 28
- Analog-Digital-Umsetzer, 12
- Arbeitspunktstromreduzierung, 192, 198
- AWGN Übertragungskanal, 33
- Balun (Übertrager), 161, 205
- Batteriestandzeit, 4
- Bitfehlerverhältnis
 - DBPSK Modulation, 33
 - Grenze, 33
 - Umrechnung von Paketfehlerverhältnis, 32
- Bitrate, 3
- Bonddraht
 - DC-Widerstand, 113
 - Eigeninduktivität, 112
 - Gegeninduktivität, 112
 - Modell HF-Signalzuführung, 114
 - Skinneffekt, 113
- Bondpad
 - Aufbau, 109
- GND-Shield, 111
- Kapazität, 110
- Kapazität des PCB, 109
- Kapazitätsreduzierung, 111
- Substratabschirmung, 110
- Butterworth-Filter, 47, 51
- CG-LNA
 - IIP3*-Peaking, 132
 - SNR*-Ausgangsverhältnis (Δ_{dB}), 193, 200
 - Arbeitspunktstrom, 169, 179, 182, 184, 192, 198
 - Arbeitspunktstromreduzierung, 192, 198
 - Charakteristische Kennzahlen, 169
 - Eingangszeitkonstante, 171
 - weitenbezogene Source-Transkonduktanz, 169
 - weitenbezogene totale Eingangskapazität, 171
 - Designparameter, 182
 - Designstrategie, 196
 - Eingangsimpedanz, 124, 168, 171, 187, 192
 - Eingangsreflexionsfaktor, 125, 168, 169, 171, 179, 184, 187, 198
 - Ergebnisse, 189
 - Grenzen Eingangsreflexionsfaktor, 172
 - Grenzen Noise Figure, 176
 - induziertes Gate-Rauschen, 129, 176, 177
 - Kapazitäten, 123, 171, 174
 - konstanter Eingangsreflexionsfaktor, 174
 - Linearität, 130, 184, 189, 194, 200
 - maximale Spannungsverstärkung, 126
 - minimaler Arbeitspunktstrom, 125
 - minimaler Eingangsreflexionsfaktor, 174
 - moderate Inversion, 169, 194
 - Noise Figure, 129, 168, 179, 187, 198
 - bei konstantem Reflexionsfaktor, 177
 - bei min. Reflexionsfaktor, 176
 - Numerische Evaluierung, 168
 - Optimierungsstrategie, 179
 - Rauschanteil der Last, 127, 129, 154, 163, 176, 177, 187, 189, 198

- Reduzierte Versorgungsspannung, 189
- Spannungsverstärkung, 126, 163, 184, 187, 192
- starke Inversion, 183
- Stromspiegel, 183
- Temperaturkoeffizient, 184
- Temperaturkompensation, 185
- Verstärkungseinstellung, 192, 195, 198
- Weite bei konst. Reflexionsfaktor, 174
- Weite bei min. Reflexionsfaktor, 174
- Chiprate, 3
- CMOS-Prozess
 - Übersicht Technologiedaten, 65
 - für Hochfrequenzschaltungen, 64, 92
 - Substratwiderstand, 93
 - verwendete Technologie, 64, 168
- Cross Modulation, 39
- Current-Reuse-Technik, 162
- DC-Offsets, 14, 16, 21, 22, 34
- Deembedding, 85, 100
- Desensitization and Blocking, 39
- Designspanne, 34, 55
- Eingangsgrenzfrequenz, 171
- Eingangsimpedanz, 17, 59
- Eingangsreflexionsfaktor, 59, 117, 168, 187
- Eingangssignalpegel, 3, 38, 191
- Eingangsspannung, 38, 194
- Eingangszeitkonstante, 171
- EKV-Modell
 - Arbeitsbereiche, 68
 - Ausgleichsfunktion, 69
 - Carrier-Heating (CH), 86, 87
 - Drain-Induced Barrier Lowering (DIBL), 73
 - Drain-Noise-Faktor γ , 83, 86, 187
 - Drain-Rauschen, 83
 - effektive Mobilität, 68, 73, 80
 - Ersatzschaltbild mit Rauschquellen, 83
 - externe Kapazitäten, 77, 123, 195
 - Gate-Noise-Faktor δ , 83, 88
 - Gate-Rauschen, 83, 129, 138, 176, 177
 - Geschwindigkeitssättigung (VS), 72, 86, 87, 174, 184
 - Großsignal-Interpolationsfunktion, 69
 - interne Kapazitäten, 75, 123
 - Inversionskoeffizient Grenzen, 71
 - Inversionskoeffizient, Definition, 68
 - Kanallängenmodulation (CLM), 73, 86
 - Kapazitätskoeffizienten, 74
 - Kleinsignalersatzschaltbild, 75
 - Korrelationskoeffizient, 84, 88
 - Korrelationskoeffizient, Vorzeichen, 85
 - Mobilitätsreduzierung (MRV), 73, 86
 - moderate Inversion, 68, 168, 169, 176, 178, 184, 194
 - nicht physikalische Interpolationsfunktion, 71
 - normierte Kapazitäten, 76
 - normierte Ladungsträgerdichten, 68
 - normierte Ströme, 68
 - NQS-Effekte, 79, 84
 - NQS-Gate-Widerstand, 81, 135
 - NQS-Zeitkonstante, 79
 - Overlap-Kapazitäten, 77, 123, 133, 195, 196
 - Pinch-Off-Spannung, 70
 - QS-Grenzfrequenz, 80
 - Quasi-Statistischer-Arbeitsbereich, 74, 75
 - Rauschen von Kurzkanal-MOSFETs, 85, 88, 185, 187, 198
 - Reverse Short Channel Effekt (RSCE), 73
 - rückwärts Anteil Drainstrom, 68
 - schwache Inversion, 68
 - Slope-Faktor, 68
 - Spannungen an den Anschlüssen, 70
 - Sperrschichtkapazitäten, 78, 123, 134, 195, 196
 - Spezifische Zeitkonstante, 79
 - Spezifischer Strom, 68, 169
 - starke Inversion, 68, 168, 169
 - Sättigungsgeschwindigkeit, 88
 - totale Gate-Admittanz, 83
 - Transkapazitäten, 74, 80
 - Transkonduktanzen, 69
 - vorwärts Anteil Drainstrom, 68
- Empfängerarchitektur
 - Aufbau, 12
 - Digital-IF, 20
 - Dual-Down-Conversion, 24
 - Hartley, 19
 - Heterodyne, 16
 - Homodyne, 13
 - Image-Reject, 18
 - Low-IF, 22
 - Subsampling, 21
 - Vergleich, 26
 - Weaver, 20
- ESD-Schutz, 118
- Friis-Gleichung, 57
- Gain Compression, 39

- I/Q-Komponenten, 13
- I/Q-Mismatch, 14, 16, 19–22, 34
- I/Q-Mismatch Modell, 49
- IEEE 802.15.4, 2
- Input Referred 3rd-Order Interception Point, 39
- Intermodulation, 39
- Intermodulationsprodukte, 14, 40

- Kanalselektion, 14, 47
- Kondensatoren
 - Aufbau, 90
 - Spannungsabhängigkeit, 91
 - Temperaturabhängigkeit, 91

- Linearität
 - kaskadierter Zweitore, 59
- LNA-Architektur
 - CG-LNA
 - IIP3*, 131
 - Aufbau, 122
 - Eingangsimpedanz, 124, 168
 - Eingangsreflexionsfaktor, 125, 168
 - induziertes Gate-Rauschen, 129
 - interne Kapazitäten, 123
 - Kapazitäten, 123
 - Kleinsignalersatzschaltbild, 122
 - Linearität, 130
 - maximale Spannungsverstärkung, 126
 - Noise Figure, 128
 - Noise Figure Rauschanteile, 129, 139
 - Rauschanteil der Last, 127, 129, 154, 163, 187, 189
 - Spannungsverstärkung, 126, 163
 - Sperrschichtkapazität Näherung, 124
 - Sperrschichtkapazitäten, 123
 - totale Eingangskapazität, 125, 168
 - CS-LNA
 - Aufbau, 133
 - Eingangsimpedanz, 135
 - induziertes Gate-Rauschen, 138
 - Kaskodentransistor, 133, 134
 - maximale Spannungsverstärkung, 137
 - Noise Figure, 138
 - Rauschanteil der Last, 139, 154, 163
 - Spannungsverstärkung, 136, 163
 - Stabilität, 133, 161
 - LNA nach Janssens
 - Aufbau, 149
 - Current-Reuse-Technik, 149
 - Eingangsimpedanz, 151
 - Kleinsignalersatzschaltbild, 150
 - Spannungsverstärkung, 151
 - LNA nach Tiebout
 - IIP3*, 147
 - Aufbau, 144
 - Bandbreitenvergrößerung, 146
 - Eingangsimpedanz, 145
 - Kleinsignalersatzschaltbild, 145
 - Spannungsverstärkung, 145
 - LNA-Mischer-Kombination, 162
 - Shunt-Series-Amplifier
 - Aufbau, 141
 - Eingangsimpedanz, 142
 - Kleinsignalersatzschaltbild, 141
 - Spannungsverstärkung, 142
 - Symmetrische LNA-Schaltungen, 160
 - Vergleich, 163, 203
- LO-Leakage, 14

- Matched Filter, 33
- MOSFET
 - 1/*f*-Rauschen, 82
 - Ausgangswiderstand, 73, 183
 - LDD, 65
 - Modelle
 - BSIM3 und BSIM4, 66, 168, 185, 198
 - EKV, 66, 168
 - MOS9 und MOS11, 66
 - Parameteranzahl, 66
 - Multifinger-Transistor, 182, 196
 - ON-Widerstand, 194, 196
 - Rauschphänomene, 82
 - Salicide-Poly, 65, 182
 - Schrotrauschen, 82
 - thermisches Rauschen, 82
 - Triodenbereich, 194

- Nichtlinearität, 14, 34, 39, 43
- Noise Figur, 34

- Paketfehlerverhältnis, 3, 32
- Paketlänge, durchschnittliche, 33
- Pulsformfilter, 3, 45, 46

- Quadratur-Mischer, 13

- Rauschbandbreite, äquivalente, 35
- Rauschen des MOSFETs, 82
- Rauschen von Kurzkanal-MOSFETs, 88, 185, 198
- Rauschzahl
 - Bezugswiderstand 50 Ω, 58

- Gesamtrauschzahl, 57
- Gesamtrauschzahl bezogen auf 50 Ω , 58
- kaskadierter Zweitore, 56
- Signal- zu Rauschleitung, 36
- Simulationsergebnis
 - äquivalente Rauschbandbreite, 52
 - CG-LNA
 - IIP3*, 189, 200
 - Eingangsreflexionsfaktor, 187, 198
 - Noise Figure, 187, 198
 - Spannungsverstärkung, 187, 198
 - Vergleich, 203
 - Einfluss Störer u. Nichtlinearität, 54
 - Filterbandbreite, 52
- Spannungsverstärkung, 39
- Spiegelfrequenz, 14, 16, 17, 19, 24
- Spiegelfrequenzunterdrückung, 19, 20, 22
- Spulen
 - Abstrahlung, 93
 - analytische Berechnungen, 102
 - Aufbau, 92
 - diskrete Bauelemente, 104
 - Ersatzschaltbild, 96, 102, 182, 185, 198
 - Güte
 - 3-dB-Bandbreitendefinition, 98
 - allgemeine Definition, 97
 - Magnetfeld Definition, 97
 - Vergleich der Definitionen, 100
 - Widerstandsverhältnis, 98
 - Patterned Ground Shield, 94
 - Proximity-Effekt, 93
 - Simulationen, 100
 - Skineffekt, 93
 - Substratstrukturen, n⁻-Wanne, 95
 - Substratverluste, 93
 - Substratätzen, 95
 - Tapered Spiral Inductor, 92
 - Verlustmechanismen, 93
 - Verschiebungsströme, 93
 - Wirbelströme, 93
 - wirtschaftliche Überlegungen, 106
- Stromaufnahme
 - aktivierter Zustand, 4
 - deaktivierter Zustand, 4
 - durchschnittliche, 4
- Stromverbrauch, 26
- Störfestigkeit, 4, 6
- Synchronisation
 - Chip, 34, 46
 - Frame, 34, 46
 - Trägerfrequenz, 34, 46
- Synthetische Spule
 - Aufbau, 152
 - Impedanz, 152, 155
 - Impedanz Näherung, 154
 - Kapazitäten, 152
 - Noise-Excess-Faktor, 154, 157
- Systemkennzahlen
 - Aufteilung auf Schaltungsblöcke, 61
 - Festlegung
 - IIP3*, 55
 - IIP3*-Bestimmungsmethoden, 40–42
 - konventioneller Weg, 31, 37
 - Noise Figure, 37, 55
 - Spannungsverstärkung, 55
 - Verstärkung, 38
- Systemsimulation
 - Aufbau, 45, 46
 - Ausgangssignal ANM-Block, 50
 - Basisbandmodell, 46
 - DC-Offset, 46, 48
 - I/Q-Mismatch, 46
 - LO-Leakage, 48
 - Nichtlinearität, 46
 - Rauschen, 46, 51
- Transitfrequenz, 135, 139, 163
- Verbindung PCB zum Chip, 116, 179, 185, 187, 198
- Verstärkungseinstellung, 192, 195, 198
- Weitenbezogene Source-Transkonduktanz, 169
- Weitenbezogene totale Eingangskapazität, 171
- Widerstände
 - Aufbau, 90
 - parasitäre Kapazität, 90
 - Spannungsabhängigkeit, 90
 - Temperaturabhängigkeit, 90
- ZigBee
 - Chips Vergleichsdaten, 5
 - Kennzahlen des Funkstandards, 3
- Zwei-Ton-Test, 39
- Zwischenfrequenz, 16, 17, 19, 21, 23, 24