

Plasma Charging Damage bei Bauteilen höchster Zuverlässigkeitsanforderungen

**Von der Fakultät für Ingenieurwissenschaften
der Universität Duisburg-Essen**

zur Erlangung des akademischen Grades eines
Doktors der Ingenieurwissenschaften
genehmigte Dissertation

**von
Dipl.-Ing. Sebastian Paul Sommer
aus Herne**

Referent: Prof. Dr. Holger Vogt
Korreferent: Prof. Dr. Horst Fiedler
Tag der mündlichen Prüfung: 25.05.2010

Danksagung

Auch eine Doktorarbeit entsteht nicht aus dem Nichts. Viele der Ideen und Überlegungen in dieser Arbeit entstanden während der Diskussion mit anderen Personen, von deren Fachwissen und Erfahrungen ich profitieren konnte. Zwangsläufig ergibt sich draus eine lange Liste von Personen, denen ich am Ende dieser Arbeit „Danke“ zu sagen habe.

Ich möchte mich bei Herrn Prof. Dr.-Ing. Holger Vogt dafür bedanken, dass er dieser Arbeit als Doktorvater betreute. Vielen Dank für die erhaltene Unterstützung. Mein Dank gilt auch Herrn Prof. Dr.-Ing. Horst Fiedler, dafür, dass er sich bereit erklärt hat, bei dieser Arbeit als Korreferent zu fungieren.

Vielen Dank an Dr. Uwe Paschen, für die Möglichkeit über Ergebnisse zu diskutieren und für sein großes Engagement und Interesse an dieser Arbeit und den dazu gehörenden Veröffentlichungen.

Jeder Mitarbeiter und jede Mitarbeiterin der Abteilung Forschung und Entwicklung am Fraunhofer IMS hat auf die eine oder andere Weise dabei geholfen, dass diese Arbeit nun vorliegt. Vielen Dank für Hilfestellungen und die Möglichkeit nachzufragen und natürlich auch für Kuchen, Tee und kurze Pausen. Danke an meine Bürokollegen Dr. Sascha Weyers und Frank Hochschulz, dafür, dass bei uns stets eine angenehme Atmosphäre herrschte und für die Möglichkeit vom umfangreichen Physik- sowie \LaTeX -Fachwissen zu profitieren. Mein Dank gilt auch Dr. Ralf Kühnhold und Dr. Gernot Becker für ihr Interesse und die logistische Unterstützung beim Erstellen der Testfelder. Danke auch an Dr. Tobias Kleining für seine Messergebnisse, die wesentlich für Abschnitt 5.3.2 waren.

Mein Dank gilt auch meiner Familie und meiner Freundin Leonie Schweika, die mich während dieser Arbeit unterstützt haben. Eure Unterstützung war mir eine große Hilfe.

Zuletzt Danke an alle, die hier nicht namentlich erwähnt sind. Alle aufzuzählen, würde den Rahmen sprengen und so hoffe ich, dass sich all Diejenigen, die sich im Vorherigen nicht wiederfinden, durch diese Zeilen angesprochen fühlen.

Inhaltsverzeichnis

Vorwort	7
1 Theorie des Plasma Charging Damage	9
1.1 Physikalisches Modell des Oxiddurchbruchs	9
1.1.1 Oxiddurchbruch	9
1.1.2 Fowler-Nordheim-Tunnelströme	11
1.1.3 Percolation Model	12
1.1.4 Ladung und Haftstellen im Oxid	15
1.1.5 Physikalisches Modell von Haftstellen	18
1.1.6 Einfluss der Temperung	22
1.2 Wirkung von Plasma Charging Damage	23
1.3 Ursachen von Plasma Charging Damage	25
1.3.1 Aufladung in Plasmen	25
1.3.2 Inhomogene Plasmapotentiale	26
1.3.3 Einfluss des Aspektverhältnisses	29
1.3.4 Weitere Einflussfaktoren	32
1.3.5 Wirkung von Antennen	33
2 Messen von Plasma Charging Damage	35
2.1 Messmethoden	35
2.1.1 Messen des Gateleckstroms	36
2.1.2 Bestimmung der Parameterdrift	37
2.1.3 Durchbruchmessungen	40
2.1.4 Charge Pumping	42
2.1.5 Messung während des Diagnosestresses	47
2.2 Erstellen von Testfeldern	51
2.2.1 Auswahl der Antenne	51
2.2.2 Design der Teststrukturen	52
2.2.3 Rückführbarkeit auf einzelne Prozess-Schritte	53
3 Umgang mit Plasma Charging Damage	55
3.1 Prozessanpassungen	55
3.2 Designregeln	56
3.3 Schutzstrukturen	57
4 Qualifizierung eines 0,35 µm Prozesses	61
4.1 Zu qualifizierender Prozess	61
4.2 Testfelder und Messergebnisse	63
4.2.1 Voraussetzungen bei Beginn der Untersuchungen	63

4.2.2	Untersuchungsbeispiele	65
4.2.3	Untersuchung der Analogtransistoren	71
4.3	Anpassen der Designregeln und WLR-Strukturen	72
4.4	Detektion verdeckter Schäden	74
4.5	Unterschiede zum 0,35 μm -SOI-Prozess	77
5	Entwicklung von PCD-Schutzstrukturen	83
5.1	Verwendung von PCD-Schutzstrukturen	83
5.2	Transient Fuse	84
5.3	PNP-Schutzstruktur	85
5.3.1	Aufbau und Messergebnisse	85
5.3.2	Anwendung der PNP-Struktur bei Flash-Speicher-Zellen	86
6	Experimentelle Messungen	91
6.1	Ladungsverteilung	91
6.1.1	Experimenteller Aufbau	92
6.1.2	Messergebnisse	96
6.1.3	Schlußfolgerung	98
6.2	Untersuchung des Oxiddurchbruchs	100
6.2.1	Experimenteller Aufbau	100
6.2.2	Messergebnisse	100
6.2.3	Schlußfolgerung	108
7	Zusammenfassung und Ausblick	109
	Literaturverzeichnis	113
	Abbildungsverzeichnis	119
	Formelzeichen	123

Vorwort

Plasmaanlagen spielen in der Prozessierung von Halbleitern eine bedeutende Rolle. Sie haben unterschiedlichste Einsatzgebiete und dienen beispielsweise zum Veraschen von Fotolack, trockenem, anisotropen Ätzen und zur Abscheidung von verschiedensten Schichten. Mit der fortschreitenden Nutzung dieser Werkzeuge wurde deutlich, dass neben vieler Vorteile auch Nachteile mit diesen Anlagen verbunden sind. Ein Punkt, der bei der Verwendung von Plasmaanlagen besonders berücksichtigt werden muss, ist Plasma Charging Damage, kurz PCD genannt.

PCD entsteht, wenn während des Plasmaprozesses an unterschiedlichen Stellen des Wafers verschiedene Potentiale auftreten. Sind die Potentiale groß genug, fließen Ausgleichströme durch den Wafer und unter Umständen auch durch das Gateoxid. Dabei verändert sich das Oxid, es entstehen Haftstellen, die die Transistoreigenschaften degradieren und schließlich zum Oxiddurchbruch führen. PCD kann also sowohl die Ausbeute verringern als auch die Lebenszeit der Bauelemente verkürzen.

Ein Herstellungsprozess mit der Strukturgröße 350 nm, das entspricht der Strukturgröße der hier untersuchten Technologie, wurde bei Intel bereits 1997 zur Herstellung des Pentium II Prozessors verwendet. Heute wird dort mit 45 nm in Serie produziert [Int07]. Es stellt sich also die Frage, wieso eine 350 nm Technologie noch Gegenstand der Forschung sein kann. Es ist zu festzustellen, dass sich die Anwendungsgebiete seit der ersten Implementierung einer Technologie mit dieser Strukturgröße deutlich gewandelt haben. Während die kleinsten Technologien für sehr schnelle und komplexe Systeme (zum Beispiel Mikroprozessoren) genutzt werden, zeigen die größeren Technologien (ca. 120 nm bis 2 μm) Vorteile wenn es um Zuverlässigkeit und Robustheit geht. Technologien in diesen Strukturgrößen sind, ebenso wie die hier untersuchte Technologie, oft für hohe Qualitätsansprüche optimiert und Produkte dieser Prozesse werden an Kunden, die z.B. in der Automobilbranche oder im medizinischen Bereich tätig sind, ausgeliefert. Insbesondere die Automobilbranche hat sehr hohe Ansprüche, so dass oft Ausfälle von 1 ppm der gelieferten Ware nicht akzeptiert werden.

Damit stellt die verringerte Ausbeute an sich schon ein finanzielles Risiko dar. Die verkürzte Lebenszeit und damit die Möglichkeit des Ausfalls beim Kunden, ist jedoch eine viel größere Gefahr, da sie zum Verlust von Aufträgen führen kann. Eine engmaschige Überwachung und Analyse der einzelnen Fertigungsprozesse auf mögliche Fehler ist somit notwendig.

Zählt man neben den Ätz-, Depositions- und Veraschschritten noch die Implantationsschritte hinzu, die ebenfalls das Potential haben PCD zu verursachen, so ergibt sich eine beträchtliche Anzahl von Prozessschritten (im untersuchten 0,35 μm Prozess ca. 40), die analysiert, qualifiziert und überwacht werden müssen. Es wird deutlich, dass umfangreiche Messungen nötig sind, um mögliche Probleme erkennen und bearbeiten zu können.

Die Erstellung dieser Arbeit war eng mit der Qualifizierung des am Fraunhofer Institut für Integrierte Schaltungen und Systeme IMS entwickelten 0,35 μm Prozesses verknüpft.

Ziel dieser Arbeit war es, Phänomene von PCD im Detail zu untersuchen und somit gewährleisten zu können, dass nur fehlerfreie Produkte an den Kunden ausgeliefert werden.

In Kapitel 1 werden zunächst die Grundlagen des Oxiddurchbruchs erläutert, um zu verstehen, wie Aufladungseffekte das Oxid schädigen. Der zweite Abschnitt des Kapitels beschäftigt sich dementsprechend mit der Entstehung von Aufladungseffekten in Plasmen. Hier wird gezeigt, wie es im Plasma überhaupt zu PCD kommen kann. Im dritten Abschnitt werden die Folgen von PCD für die Bauteile erläutert.

Kapitel 2 stellt verschiedene Methoden vor, mit denen PCD erfasst werden kann. Die Vor- und Nachteile der Messmethoden werden vorgestellt. In einem weiteren Abschnitt wird dargestellt, wie geeignete Messtrukturen erzeugt werden können.

Kapitel 3 zeigt welche Gegenmaßnahmen möglich sind um PCD einzudämmen. Es wird gezeigt wie Designregeln entwickelt werden können, die PCD verhindern. Des Weiteren wird die Möglichkeit von Prozessanpassungen behandelt. Ein letzter Abschnitt befasst sich mit dem Einsatz von Schutzstrukturen.

Kapitel 4 zeigt Messergebnisse, die während der Qualifikation des 0,35 μm -Prozesses erstellt wurden. Es zeigt, wie Messstrukturen entwickelt wurden und welche konkreten Ergebnisse bei der Verbesserung des Prozesses erzielt werden konnten. Einige Besonderheiten des Prozesses und ihr Einfluss auf PCD werden betrachtet.

In Kapitel 5 wird die Entwicklung und Untersuchung von PCD-Schutzstrukturen dargestellt. Dabei wird eine Transient-Fuse-Struktur und eine PNP-Struktur näher betrachtet. Die Möglichkeit die Transient-Fuse-Struktur anders als bisher üblich zu verwenden wird beleuchtet. Die PNP-Schutzstruktur stellt eine Innovation dar, da sie sowohl das Gateoxid vor PCD schützt, als auch, nach Abschluss des Prozesses, Messungen bei hohen Spannungen erlaubt. Trotz einer exzellenten Schutzwirkung können dabei Messungen mit Spannungen deutlich oberhalb des Einsatzes des Fowler-Nordheim-Stroms durchgeführt werden.

In Kapitel 6 werden zwei Experimente betrachtet, die während dieser Arbeit durchgeführt wurden. Zum einen wurde der Einfluss von PCD auf die Ladungsverteilung im Oxid untersucht. Zu diesem Thema existieren in der Literatur unterschiedliche Standpunkte. Die Messergebnisse unterstützen eines dieser Modelle und zeigen, dass die Ladungsverteilung nicht mit einfachen Messungen bestimmt werden kann.

Zum anderen wurde der Durchbruch von Oxiden, die im Prozess PCD erhielten betrachtet. Dabei wurden erstmalig Gateoxiddurchbrüche von unterschiedlich stark geschädigten Transistoren gemeinsam untersucht. Mit Hilfe der Messungen ließ sich die Lebensdauer der Transistoren trotz einer unterschiedlichen Vorschädigung vorhersagen.

Im letzten Kapitel 7 wird die Arbeit schließlich zusammengefasst und aufgezeigt, welche zukünftigen Untersuchungen weiterhin nötig sind.

Kapitel 1

Theorie des Plasma Charging Damage

Dieses Kapitel erläutert die theoretischen Grundlagen des PCD.

Im ersten Abschnitt wird die oxid-schädigende Wirkung von PCD erläutert. Zu diesem Zweck ist Material aus verschiedenen Quellen zusammengetragen worden, das hier verdichtet und aufbereitet wurde. Diese Grundlagen sind notwendig um Schädigungen durch die Prozessierung in Plasmaanlagen verstehen zu können.

Im zweiten Abschnitt wird, gestützt auf verschiedene Quellen, die Auswirkung der Oxid-schädigung auf die Ausbeute und die Zuverlässigkeit beschrieben.

Der dritte Abschnitt führt aus wie es generell zu PCD kommen kann, d.h. wie Aufladungseffekte im Plasma entstehen. Diese Erläuterungen sind grundlegend, wenn PCD evaluiert werden soll. Dementsprechend sind in diesem Bereich bereits viele Untersuchungen durchgeführt worden, die hier verdichtet wiedergegeben werden.

1.1 Physikalisches Modell des Oxiddurchbruchs

1.1.1 Oxiddurchbruch

Sobald ein dünnes Oxid durch Spannung und Strom belastet wird, beginnt es zu degradieren. Dieser Degradation folgt ultimativ der Oxiddurchbruch (oxide breakdown). Dieser mehrstufige Vorgang zeichnet sich dadurch aus, dass im Oxid kristallografische Veränderung stattfinden; sogenannte Haftstellen entstehen, die Ladung speichern können. Aufgrund seiner geringen Schichtdicke ist das Gateoxid von diesem Mechanismus am stärksten betroffen, da hier das größte Feld entsteht. Zusätzlich ist das Gateoxid ein äußerst wichtiges Element eines Transistors, so dass sich Veränderungen im Gateoxid sehr schnell auf die Eigenschaften des Transistors auswirken [Dum02].

Der Durchbruchprozess ist ein kontinuierlicher Vorgang. Die entstehenden Haftstellen verändern durch die in ihnen festgesetzte Ladungen die elektrischen Parameter des Transistors (bzw. des Kondensators). Auch kann, abhängig von der Anzahl der Haftstellen, ein erhöhter Tunnelstrom durch das Oxid fließen. Man spricht vom stress induced leakage current (SILC) [Dum02]. SILC wird daher auch als „trap assisted tunneling“ bezeichnet [CLK⁺97].

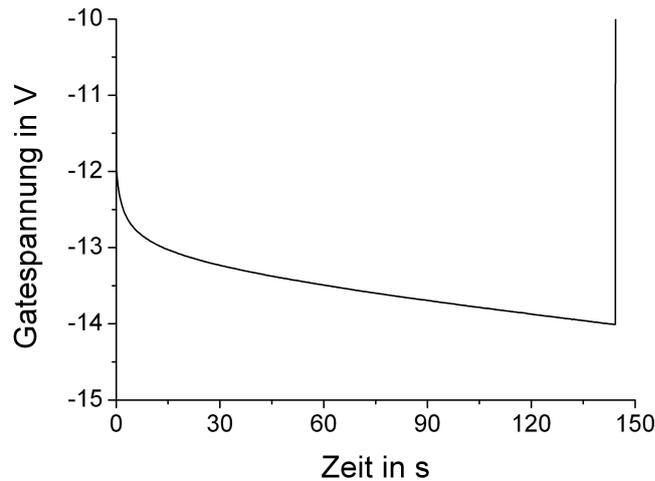


Abbildung 1.1: Typische Durchbruchmessung eines Gateoxids bei Konstantstromstress.

Diese Degradation lässt sich beispielsweise mit den in Abschnitt 2.1 vorgestellten Messmethoden nachweisen. In Abbildung 1.1 ist exemplarisch eine Durchbruchmessung bei Konstantstromstress gezeigt. Dargestellt ist die Spannung als Funktion der Zeit, die nötig ist, um den negativen Konstantstrom zu treiben. Deutlich ist zu erkennen, dass sich der Absolutwert der Spannung erhöht. Dies wird darauf zurückgeführt, dass Ladungen im Oxid festgesetzt werden, die die Potentialbarriere für den Fowler-Nordheim-Strom erhöhen (siehe Abschnitt 2.1.5).

Mit einer kontinuierlichen Erhöhung der Anzahl der Haftstellen im Oxid folgt früher oder später der eigentliche Durchbruch (Details dazu in Abschnitt 1.1.3). Dabei entsteht ein leitender Kanal im Oxid, durch den sich ein Teil der in der Oxid-Kapazität gespeicherten Energie $E_c = \frac{1}{2} C V^2$ lokal und innerhalb kurzer Zeit entlädt. Im Weiteren sind zwei Szenarien möglich: Der sogenannte harte Durchbruch (hard breakdown) oder der weiche Durchbruch (soft breakdown) [Dum02]. Beim weichen Durchbruch sorgt die in der Kapazität gespeicherte Energie dafür, dass der leitende Kanal durch die hohe Temperatur, die bei der großen Stromdichte auftritt, zerstört wird. Damit erhöht sich der Widerstand und das Oxid ist zwar nicht wieder vollständig intakt, aber es kann weiterhin durch die angeschlossene Spannungsquelle geladen werden, bis schließlich ein weiterer Durchbruch (hart oder weich) stattfindet. In sehr dünnen Oxiden (< 5 nm) ist der weiche Durchbruch oft nur durch eine Erhöhung des Rauschniveaus sichtbar [SJM02].

Beim harten Durchbruch ist der fließende Strom so groß, dass eine Zone des Oxids aufgeschmolzen wird, wodurch eine dauerhafte leitende Verbindung zwischen beiden Seiten des Oxids entsteht.

Welches dieser beiden Szenarien stattfindet, hängt in erster Linie von der im Moment des Durchbruchs verfügbaren Energie, der Stromdichte, die durch den leitenden Pfad fließt und der Oxiddicke ab. Oft ist der erste Durchbruch bereits ein harter Durchbruch, so dass keine weiteren Durchbrüche stattfinden können. Dies ist besonders bei dickeren Oxiden der Fall. Da die Degradation stark vom elektrischen Feld abhängt, müssen bei dickeren Oxiden höhere Spannungen angelegt werden. Die Energie jedoch, die dafür entscheidend ist, ob ein weicher oder ein harter Durchbruch stattfindet, steigt quadratisch mit der Spannung ($E_c = \frac{1}{2} C U^2$).

Es kommt in dickeren Oxiden also auf Grund der größeren Energie eher zu einem harten Durchbruch. Bei dünneren Oxiden werden oft mehrere weiche Durchbrüche festgestellt, bevor schließlich der destruktive Durchbruch stattfindet. Grundsätzlich können aber auch bei dickeren Oxiden einige weiche Durchbrüche stattfinden, bevor der finale Durchbruch auftritt [Dum02]. Dabei ist die Einteilung in dicke und dünne Oxide sehr grob. Wie sich ein Oxid verhält, hängt von vielen Faktoren ab. Weiche Durchbrüche wurden bei Oxiden mit einer Schichtdicke von 1,6 nm bis 80 nm nachgewiesen [Dum02].

Die benötigte Energie hängt nur im idealen Fall tatsächlich von der in der Kapazität des Gateoxidkondensators gespeicherten Energie ab. In der Realität ist sie sehr stark von dem Messsystem, mit dem die Durchbruchmessung durchgeführt wird, abhängig. Dies wurde von verschiedenen Gruppen nachgewiesen [JRO⁺97] [Che03]. Cheung geht sogar so weit und erklärt weiche Durchbrüche zu Messartefakt. Er führt aus, dass diese in einem Schaltkreis, in dem angrenzende Transistoren nur begrenzte Treiberfähigkeiten haben, nicht auftreten können [Che03]. Unabhängig von der Existenz weicher Durchbrüche im Schaltkreis, entstehen auch dort Haftstellen, die die Transistorparameter negativ beeinflussen und auch dort ultimativ zu einer Zerstörung des Oxids führen.

1.1.2 Fowler-Nordheim-Tunnelströme

Haftstellen entstehen beispielsweise durch elektrischen Stress, also zum Beispiel wenn Ströme durch das Oxid fließen (siehe Abschnitt 1.1.5). Dies geschieht bei den hier untersuchten Oxiden normalerweise durch sogenanntes Fowler-Nordheim-Tunneln.

Beim Fowler-Nordheim-Tunneln [FN28] wird die Potentialbarriere durch die anliegende Spannung deformiert, so dass die Elektronen nur durch einen Teil der Potentialbarriere tunneln müssen, um ins Leitungsband des Oxids zu gelangen (siehe Abbildung 1.2). Die Elektronen sind nun im Leitungsband und können so durch verschiedene Prozesse zur Entstehung von Haftstellen beitragen (siehe Abschnitt 1.1.5). Der Fowler-Nordheim-Strom ist stark nichtlinear und verhält sich gemäß folgender Formel [SD93]:

$$J_{FN} = \alpha E_{ox}^2 e^{-\beta/E_{ox}} \quad (1.1)$$

Dabei ist J_{FN} die Fowler-Nordheim-Stromdichte und E_{ox} das elektrische Feld im Oxid. Die beiden Konstanten α und β sind gegeben als [Che01a]:

$$\alpha = \frac{e^3 m_{Si}}{8\pi m_{ox} \Phi_B} \quad (1.2)$$

$$\beta = \frac{-4\sqrt{2m_{ox}}}{3(h/2\pi)qE_{ox}} \Phi_B^{3/2} \quad (1.3)$$

Dabei ist q die Elementarladung, h das plancksche Wirkungsquantum und Φ_B ist die Potentialbarriere, die die Elektronen durchtunneln müssen. m_{Si} und m_{ox} sind die effektiven Elektronenmassen im Silizium, respektive im Oxid. Ein typischer Verlauf ist in Abbildung 1.3 dargestellt. Diese wurde an einem Kondensator mit ca. 10 nm Gateoxid und einer Fläche von ca. 10 000 μm^2 gemessen. Zu beachten ist, dass das elektrische Feld hier nur approximiert wurde. Nicht berücksichtigt wurde der Einfluss der Flachbandspannung U_{FB} und der Substratwiderstand.

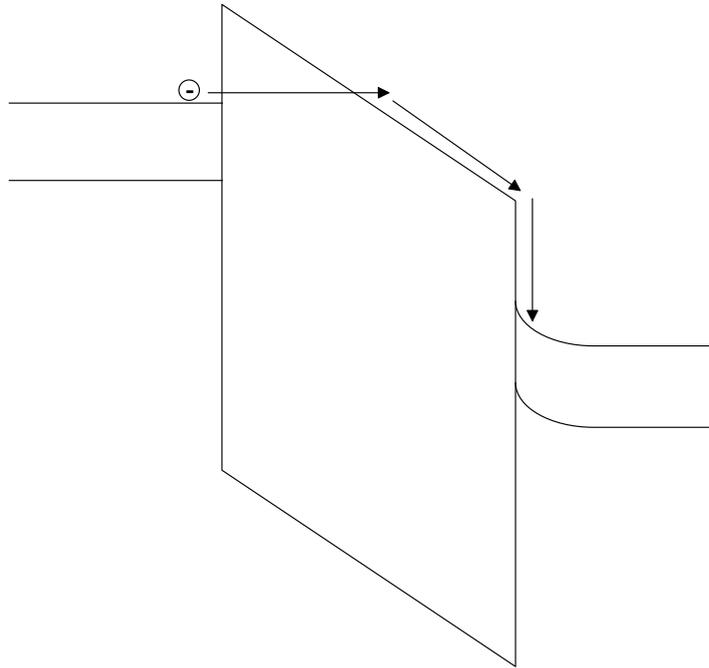


Abbildung 1.2: Bänderdiagramm beim Fowler-Nordheim-Tunneln.

Abweichend von der idealen Kennlinie fließt ein Teil des gemessenen Stroms in Haftstellen, die, sobald sie geladen sind, das Oxidfeld beeinflussen. Diese Abweichungen sollen an dieser Stelle nicht näher betrachtet werden. Es ist jedoch wichtig, dies bei exakten Messungen zu berücksichtigen.

1.1.3 Percolation Model

Auch wenn die physikalische Gestalt von Haftstellen noch diskutiert wird (siehe Abschnitt 1.1.4), so lassen sich die statistischen Eigenschaften ihrer Entstehung sehr gut beschreiben. Dadurch lässt sich der Oxiddurchbruch mit den Mitteln der Statistik beschreiben. Das sogenannte Percolation Model (percolation = durchsickern) hat diesen Zusammenhang etabliert [DMSS94] [DGB⁺95]. Das Percolation Model geht davon aus, dass elektrischer Stress an zufälligen Stellen im Oxid kugelförmige Haftstellen mit einem bestimmten Wirkungsquerschnitt erzeugt. Entsteht dabei eine durchgehende Verbindung aus Haftstellen zwischen den beiden Grenzflächen des Oxids, kommt es zum Oxiddurchbruch (siehe dazu Abbildung 1.4). Dieses Modell ist sehr erfolgreich in der Vorhersage von Oxiddurchbrüchen. Dabei ist zu beachten, dass sich mit diesem Modell zwar der Zeitpunkt, an dem ein gegebenes Oxid durchbricht, nicht exakt bestimmen lässt, aber in Abhängigkeit von Oxiddicke, Stromfluss und Spannung kann die Durchbruchwahrscheinlichkeit zu einem bestimmten Zeitpunkt ermittelt werden. Misst man den Durchbruch mehrerer Oxide aus der selben statistischen Population, so folgt ihr Durchbruchzeitpunkt dem durch das Modell vorhergesagten Verhalten.

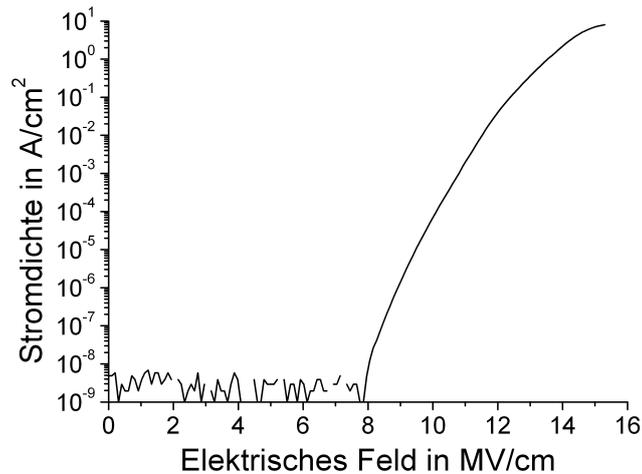


Abbildung 1.3: Typische gemessene Fowler-Nordheim-Kennlinie.

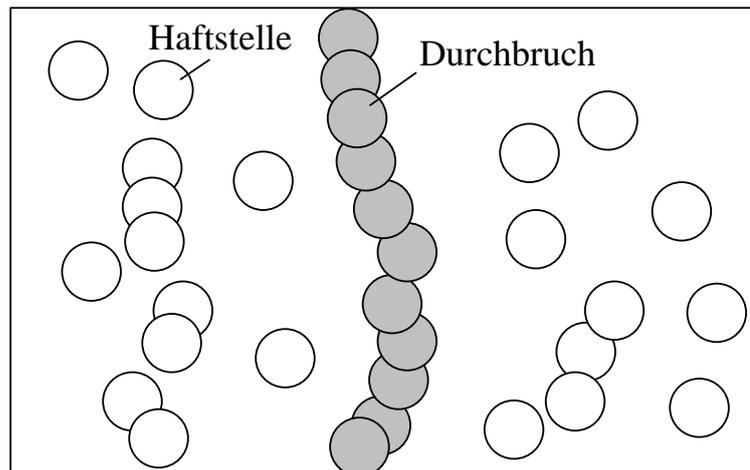


Abbildung 1.4: Modell des Oxiddurchbruchs. Das Oxid bricht durch, sobald ein leitender Kanal aus Haftstellen zwischen den Grenzflächen existiert (nach [DGB⁺95]).

Das Gateoxid wird als zerstört angenommen, sobald ein einziger Pfad durch das Oxid geschaffen wurde. Es handelt sich dabei statistisch um ein Schwächste-Glied-Problem (weakest link). Ein solches Verhalten, wie es der Gateoxiddurchbruch zeigt, führt zu einer Durchbruchwahrscheinlichkeit mit Weibullverteilung. Die Verteilungsfunktion einer Weibullverteilung lautet [Che01a]:

$$F(t) = 1 - e^{-(t/\eta)^\beta} \quad (1.4)$$

Dabei ist $F(t)$ die kumulierte Ausfallwahrscheinlichkeit, η der Zeitpunkt bei dem 63.2% der Population ausgefallen sind und β ist die sogenannte Weibullsteigung. β nimmt in der Regel Werte zwischen 0,5 und 5 an.

Will man überprüfen, ob Ausfallraten einer Weibullverteilung folgen, so trägt man die Messwerte in einem sogenannten Weibullgraphen auf.

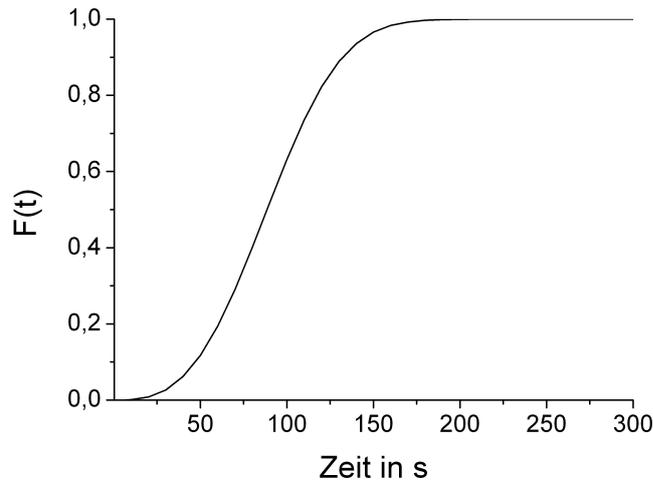


Abbildung 1.5: Verteilungsfunktion einer Weibullverteilung $\eta = 100\text{ s}$ $\beta = 3$.

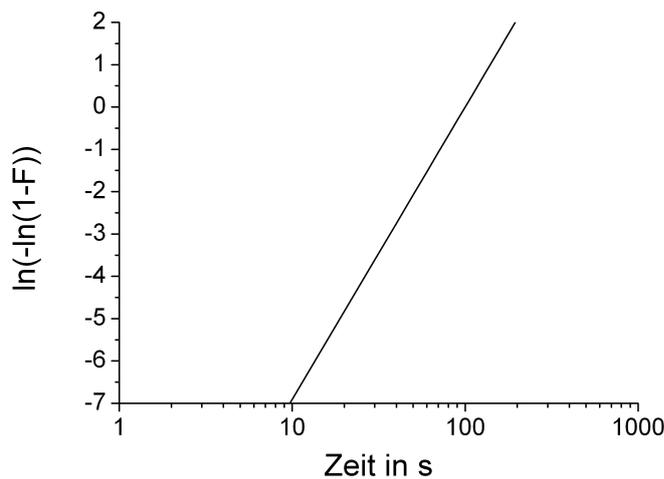


Abbildung 1.6: Verteilungsfunktion einer Weibullverteilung (mit $\eta = 100\text{ s}$ $\beta = 3$) dargestellt als Weibullgraph.

In Abbildung 1.5 ist eine Weibullverteilungsfunktion dargestellt. Die gleiche Funktion ist in der Abbildung 1.6 als Weibullgraph dargestellt. Dadurch, dass auf der y-Achse der Term $\ln(-\ln(1 - F[t]))$ aufgetragen ist und die Zeit logarithmisch skaliert ist, ergibt sich die Gleichung als:

$$\ln(-\ln(1 - F[t])) = \beta \ln(t) - \beta \ln(\eta) \quad (1.5)$$

Die Weibullsteigung β ergibt sich also als Steigung der Verteilungsfunktion im Weibullgraphen. Auf diese Weise lässt sich eine Weibull-Verteilungsfunktion leicht bestimmen, wenn man die Messdaten als Weibullgraph aufträgt.

Es ist anzumerken, dass eine Weibullverteilung streng genommen nur für ideale, ungeschädigte Oxide gilt. Ist ein Oxid bereits vorgeschädigt, zum Beispiel durch PCD, so wird

die Verteilungsfunktion unter Umständen erheblich von einer Weibullfunktion abweichen. Grund hierfür ist, dass die Oxide durch unterschiedliche Vorschädigung nicht mehr identisch sind und daher nicht mehr zur selben statistischen Population gehören (siehe dazu Abschnitt 6.2).

Des Weiteren gilt das Percolation Model nur bis zu dem Zeitpunkt, an dem ein leitender Pfad im Oxid erzeugt wurde. Ob es dann zu einem harten oder weichen Durchbruch kommt, darüber trifft das Modell keine Aussage. Tatsächlich wurde gezeigt, dass der Weibullgraph des ersten Durchbruchs, unabhängig davon, ob dies ein weicher oder harter Durchbruch ist, ein wesentlich rauschärmeres Signal liefert, als der des finalen (harten) Durchbruchs [Dum02]. Leider ist der erste Durchbruch wesentlich schwieriger messtechnisch zu erfassen (siehe Abschnitt 2.1.3), so dass meist der finale Durchbruch als Messwert aufgezeichnet wird. Da der Weibullgraph ein gutes Werkzeug ist, um große Datenmengen auf einen einzigen Graphen zu verdichten, wird er in dieser Arbeit auch auf Messwerte angewandt, bei denen keine Weibullverteilung erwartet wird (siehe Abschnitt 2.1.1).

1.1.4 Ladung und Haftstellen im Oxid

Unterschiedliche Einflüsse sorgen dafür, dass in real existierenden Gateoxiden verschiedene Ladungen vorhanden sein können. Nicht alle entstehen durch elektrischen Stress oder sind für die Untersuchung von PCD von Interesse. Um ein möglichst vollständiges Bild zu gewinnen, soll hier zuerst ein Überblick über die im Oxid vorhandenen Ladungen gezeigt werden [Sch98]. Es werden vier Sorten Ladungen im Oxid unterschieden (siehe Abbildung 1.7).

Mobile Ionen

Diese mobilen Ladungen können im Oxid driften und führen daher mit der Zeit zu einer Degradation der Transistorparameter. Dies sind typischerweise Ionen wie Na^+ , Li^+ , K^+ oder H^+ .

Fixe Ladungen

Diese positiven Ladungszentren sind Strukturdefekte im Siliziumdioxid. Sie entstehen bereits bei der Oxidation. Sie beeinflussen daher das elektrische Feld zwischen Gate und Kanal, können aber nicht direkt mit dem Kanal wechselwirken, d. h. sie können keine Ladungen mit dem Kanal austauschen.

Oxidhaftstellen

Die Ladung in diesen Haftstellen kann positiv oder negativ sein. Sie entstehen beispielsweise durch elektrischen Stress oder Strahlung. Mit dem Kanal können sie in der Regel keine Ladungen austauschen. Die Ursache für diese Ladungen lassen sich zur Zeit noch nicht eindeutig einem Defektyp zuordnen (siehe Abschnitt 1.1.5).

Interfacehaftstellen

Die Interfacehaftstellen sind direkt am Kanal lokalisiert. Sie können mit dem Kanal Ladungen austauschen. Sie entstehen ebenfalls durch elektrischen Stress oder Strahlung. Ähnlich wie bei den Oxidhaftstellen gibt es auch für die Interfacehaftstellen noch kein allgemeingültiges physikalisches Modell.

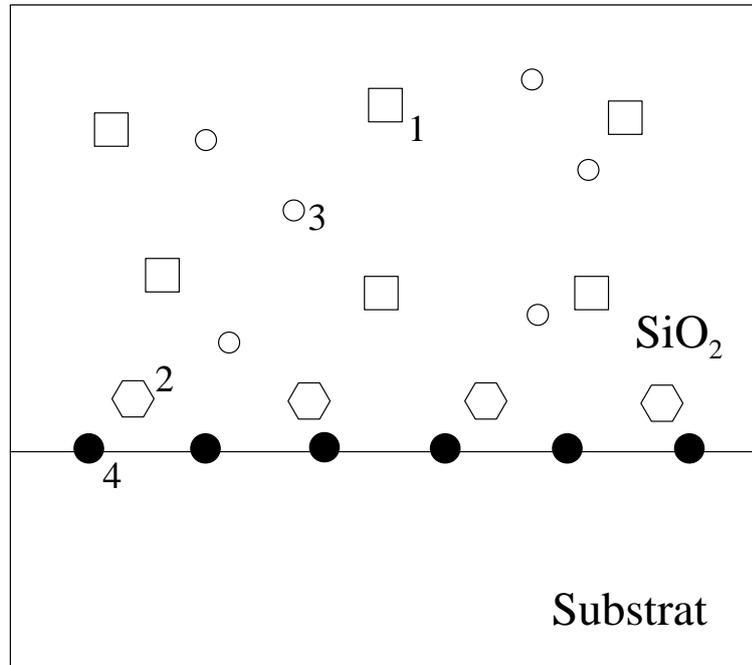


Abbildung 1.7: Ladungen im Oxid: 1) Mobile Ionen 2) Fixe Ladungen 3) Oxidhaftstellen 4) Interfacehaftstellen (nach [Sch98]).

Für die Unterscheidung von Ladungen im Oxid ist es besonders wichtig, zwischen Defekten und den Haftstellen mit ihren elektrischen und den räumlichen Eigenschaften (defects, traps und states) zu unterscheiden, obwohl die Begriffe teilweise synonym verwendet werden [FWR⁺93].

Ein Defekt (defect) ist eine Unregelmäßigkeit im kristallographischen Aufbau des Oxids. Defekte können Ladung festsetzen, bereits geladen sein (z.B. Metallionen) oder auch elektrisch nicht wirksam sein. Können sie Ladungen festsetzen, so spricht man von Haftstellen, die durch die englischen Begriffe „Traps“ und „States“ näher beschrieben sind. *Defekt* ist also ein *kristallographischer Begriff*. Die Begriffe *Trap* und *State*, schließen automatisch mit ein, dass eine Ladung festgesetzt werden kann [FWR⁺93].

Von der oben genannten Aufzählung entstehen nur die letzten beiden, Oxid-Haftstellen und Interface-Haftstellen, durch PCD; die anderen Ladungszentren werden an anderen Stellen im Prozess (beispielsweise während der Oxidation) erzeugt. Daher werden im Weiteren, wenn nicht explizit erwähnt, nur Oxidhaftstellen und Interfacehaftstellen betrachtet. Oft werden diese noch in eine dritte Art unterteilt [Fle92]. Die sogenannten Border States sind in der Nähe des Interface angesiedelt, interagieren jedoch viel langsamer (Mikrosekunden bis Jahre) mit dem Kanal. In der hier verwendeten Auflistung spielen sie jedoch keine Rolle, da in dieser Arbeit die von Fleetwood et al. 1993 eingeführte Nomenklatur verwendet wird [FWR⁺93].

Fleetwood et al. nutzten Bezeichnungen, die die Haftstellen nach ihrer *räumlichen Lage* im Oxid bzw. nach ihrer *Fähigkeit mit dem Kanal Ladung auszutauschen* unterscheiden. Die korrespondierenden Begriffe sind *Trap* und *State*. Dies ist in Abbildung 1.8 dargestellt. Traps werden, genau wie die States, in zwei Gruppen unterteilt: Oxide Traps liegen im Oxid, während Interface Traps am Kanal-Gateoxid-Interface liegen. Die States unterteilen sich in Switching States, die mit dem Kanal Ladungen austauschen können und Fixed

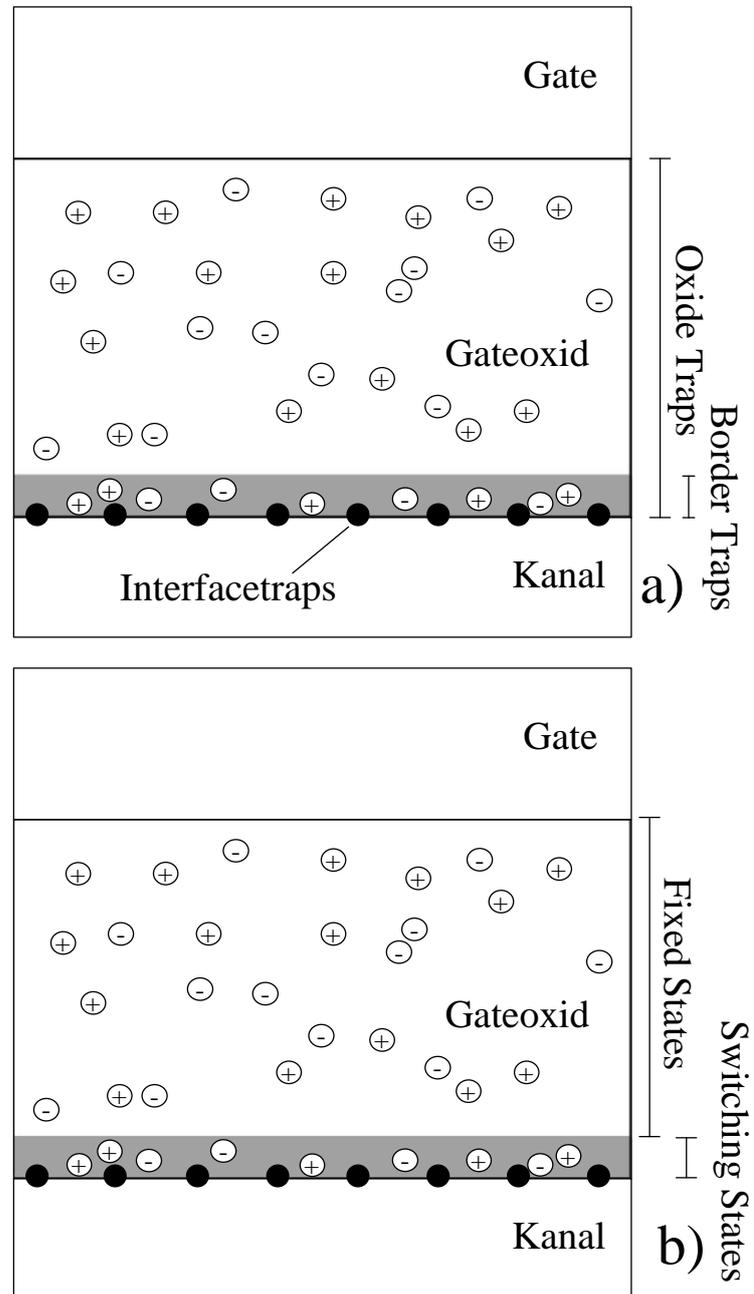


Abbildung 1.8: Räumliche Verteilung von Traps und States im Oxid a) Traps werden nach räumlicher Lage unterschieden. b) States unterscheiden sich durch ihre Fähigkeit mit dem Kanal Ladungen auszutauschen (nach [FWR⁺93]).

Name	Elektrische Eigenschaft	Position
Switching State	kann Ladung mit dem Kanal austauschen	in Tunneldistanz zum Kanal
Fixed State	kann keine Ladung mit dem Kanal austauschen	nicht am Interface
Interface Traps	kann Ladung mit dem Kanal austauschen	direkt am Interface
Oxide Traps	undefiniert	im Oxid

Tabelle 1.1: Eigenschaften von Traps und States.

States, die es nicht können. Zwischen diesen beiden Klassifizierungen gibt es teilweise Überschneidungen (siehe dazu Tabelle 1.1).

So können alle Interface Traps Ladungen mit dem Kanal austauschen. Diese Eigenschaft macht alle Interface Traps auch zu Switching States. Diese sind jedoch nicht die einzigen Switching States. Eine weitere Gruppe von Haftstellen, die sich in Nähe des Interface befindet, kann ebenso mit dem Kanal Ladungen austauschen. Sie gehören räumlich zur Gruppe der Oxide Traps. Diese spezielle Gruppe entspricht den oben bereits erwähnten Border Traps. Diese Bezeichnung ist jedoch nicht sinnvoll, da sie je nach Klassifikation entweder zu den Oxide Traps (wenn die räumliche Lage untersucht wird) oder zu den Switching States (wenn die elektrischen Eigenschaften untersucht werden) gerechnet werden sollten.

Natürlich gibt es zwischen der räumlich Lage und der Fähigkeit mit dem Kanal Ladung auszutauschen einen Zusammenhang. So sinkt die Zeitkonstante, mit der die Haftstelle Ladung mit dem Kanal austauschen kann, exponentiell mit dem Abstand zum Kanal. Damit hängt die Anzahl der erfassten Switching States auch von der Messmethode, insbesondere von der Messfrequenz und den eingesetzten Spannungen ab (siehe dazu Abschnitt 2.1.4). Es ist also nicht möglich, eine exakte Anzahl von Switching States anzugeben. Diese hängt immer von der eingesetzten Messmethode ab. Das nicht nur Haftstellen direkt am Interface mit dem Kanal Ladungen austauschen können, muss bei Messungen der Interface-Trap-Dichte beachtet werden, da dieses Merkmal der Interface Traps oft genutzt wird, um ihre Dichte zu messen (siehe Abschnitt 2.1.4).

In dieser Arbeit wird meistens der deutsche Begriff Haftstelle verwendet, der übersetzt sowohl Trap als auch State bedeuten kann. Da die exakte Unterscheidung zwischen State und Trap nur in Sonderfällen notwendig ist, werden die englischen Begriffe nur verwendet, wenn explizit zwischen räumlichen und elektrischen Eigenschaften unterschieden werden soll. Dies ist zum Beispiel bei den Messmethoden (siehe Abschnitt 2.1) der Fall.

1.1.5 Physikalisches Modell von Haftstellen

Was genau eine Haftstelle ist, darüber wurde noch kein Konsens erzielt. Übereinstimmung besteht darin, dass in Haftstellen Ladungen festgesetzt wird und sie beim Oxiddurchbruch eine entscheidende Rolle spielen. Im Laufe der Jahre wurden verschiedene Modelle vorgeschlagen. Es existieren Modelle, in denen die Haftstellen nur Elektronen festsetzen [NCSFB85], Modelle in denen die Löcher nur am Anfang und Elektronen während der

ganzen Dauer des Stresses festgesetzt werden [DCA93] und Modelle, bei denen die Haftstellen zuerst neutral erzeugt werden und dann je nach Stresspolarität geladen werden [DKJDM96]. Das letztere Modell stimmt mit den für die vorliegende Arbeit erstellten Messungen am besten überein und ist weit verbreitet [Dum02]. Es erklärt jedoch nicht den transienten Verlauf der Haftstellen-Erzeugung (siehe dazu Abschnitt 2.1.5).

Dumin geht davon aus, dass Haftstellen während des Stresses homogen verteilt im Oxid entstehen. Abweichungen gibt es in der Nähe beider Grenzflächen; dort wurde eine erhöhte Anzahl von Haftstellen nachgewiesen [Dum02].

Durch den anliegenden elektrischen Stress werden die Haftstellen geladen und zwar so, dass Haftstellen nahe der Kathode negative und Haftstellen nahe der Anode positive Ladung annehmen (siehe Abbildung 1.9). Dies hat zu Folge, dass bei Messmethoden, die Stress verwenden um Haftstellen sichtbar zu machen (siehe Abschnitt 1.1.6), den sogenannten Diagnosestress (diagnostic stress), stets die Stresspolarität mit berücksichtigt werden muss, da nachfolgende Messungen maßgeblich durch die Verteilung der Ladung im Oxid beeinflusst werden. Ein physikalisches Modell von Haftstellen, das zu dem von Dumin et al. propagierten Modell der Haftstellenverteilung passt, wurde von McPherson [McP02] erstellt.

Es ergibt sich als Synthese aus den seit 1985 diskutierten vorherrschenden Modellen: Dem E-Modell [MB85] und dem 1/E-Modell [CHH85]. Die Modelle sind nach ihrer Voraussage zur Durchbruchzeit benannt. Dabei gilt für das E-Modell:

$$\ln(t_F) \propto \frac{W_1}{k_B T} - \gamma E_{ox} \quad (1.6)$$

Während für das 1/E-Modell gilt:

$$\ln(t_F) \propto \frac{W_2}{k_B T} + G \frac{1}{E_{ox}} \quad (1.7)$$

Dabei ist E_{ox} das Oxidfeld, k_B die Boltzmann-Konstante, T die Temperatur und t_F die time-to-failure. Der Wert von t_F ist definiert als diejenige Zeit, nach der 50% der Testpopulation ausgefallen sind. Die Faktoren γ und G sind die Feld-Beschleunigungsfaktoren für die jeweiligen Modelle und W_1 und W_2 sind die Aktivierungsenergien der Prozesse. Die Modelle haben eine unterschiedliche physikalische Rechtfertigung. Das E-Modell

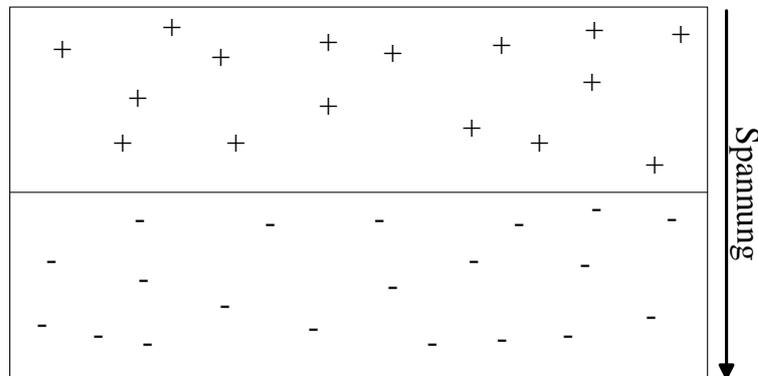


Abbildung 1.9: Schematische Verteilung der Ladung während eines Fowler-Nordheim-Stresses.

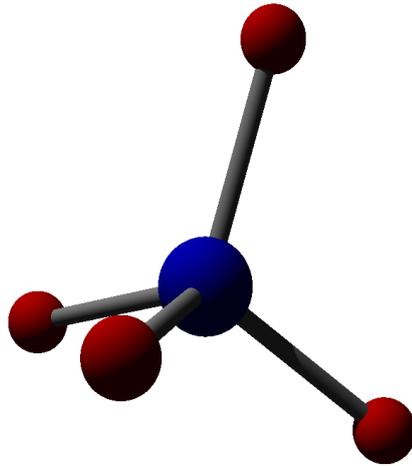


Abbildung 1.10: SiO₂-Tetraeder. SiO₂ bildet Tetraeder aus, bei denen das Siliziumatom im Zentrum liegt, während die Sauerstoffatome die Ecken belegen. Das SiO₂-Kristallgitter ist aus diesen Tetraeder aufgebaut (Abbildung [Wey]).

geht davon aus, dass das elektrische Feld Bindungen des Atomgitters brechen kann und somit die Bildung von Haftstellen ermöglicht. W_1 ist also die Energie die benötigt wird, um eine Bindung zu brechen. Beim 1/E-Modell findet Fowler-Nordheim-Tunneln statt, wobei die Elektronen im Substrat ihre Energie abgeben. Auf diese Weise werden heiße Löcher erzeugt, die wiederum ins Oxid tunneln und dort Haftstellen erzeugen. Dieses Zurücktunneln wird als Anode-Hole-Injection-Modell [SH93] bezeichnet. W_2 ist daher die Energie, die mit diesem Vorgang assoziiert wird. Beide Modelle liefern gute Vorhersagen für bestimmte Stress-Bereiche. Das 1/E-Modell liefert gute Ergebnisse bei hohen Strömen und Spannungen, während das E-Modell bei niedrigen Spannungen die besseren Ergebnisse erzielt.

Das von McPherson vorgestellte Modell vereinigt diese beiden Modelle und ergänzt sie um ein physikalisches Modell. Bekanntermaßen hat das Siliziumdioxid-Atomgitter die Form von regelmäßigen SiO₄ Tetraedern, wobei die Sauerstoffatome die Ecken bilden und das Siliziumatom im Zentrum des Tetraeders liegt (siehe Abbildung 1.10). Die Bindung zu anderen Tetraedern erfolgt in einem Winkel Φ von meist 120°-180° [HP94], wobei der stabilste Winkel 150° beträgt. Dieser Winkel hat die höchste Bindungsenergie, während Winkel, die stark von diesem Wert abweichen eine deutlich reduzierte Bindungsenergie aufweisen. Außerhalb des oben genannten Intervalls sind kaum stabile Bindungen möglich. Als Defekt treten außerdem Si-Si oder Si-H Bindungen auf, die eine deutlich niedrigere Bindungsenergie aufweisen. Diese Defekte im Kristallgitter stellen Schwachstellen dar, die brechen können und damit zur Haftstelle werden (siehe Abbildung 1.11). Nach der Zerstörung der Bindung kann die noch neutrale Haftstelle Ladungen einfangen. Eine Zerstörung dieser Bindung wird im Folgenden näher betrachtet.

Tatsächlich laufen die durch das E-Modell und das 1/E-Modell geschilderten Vorgänge

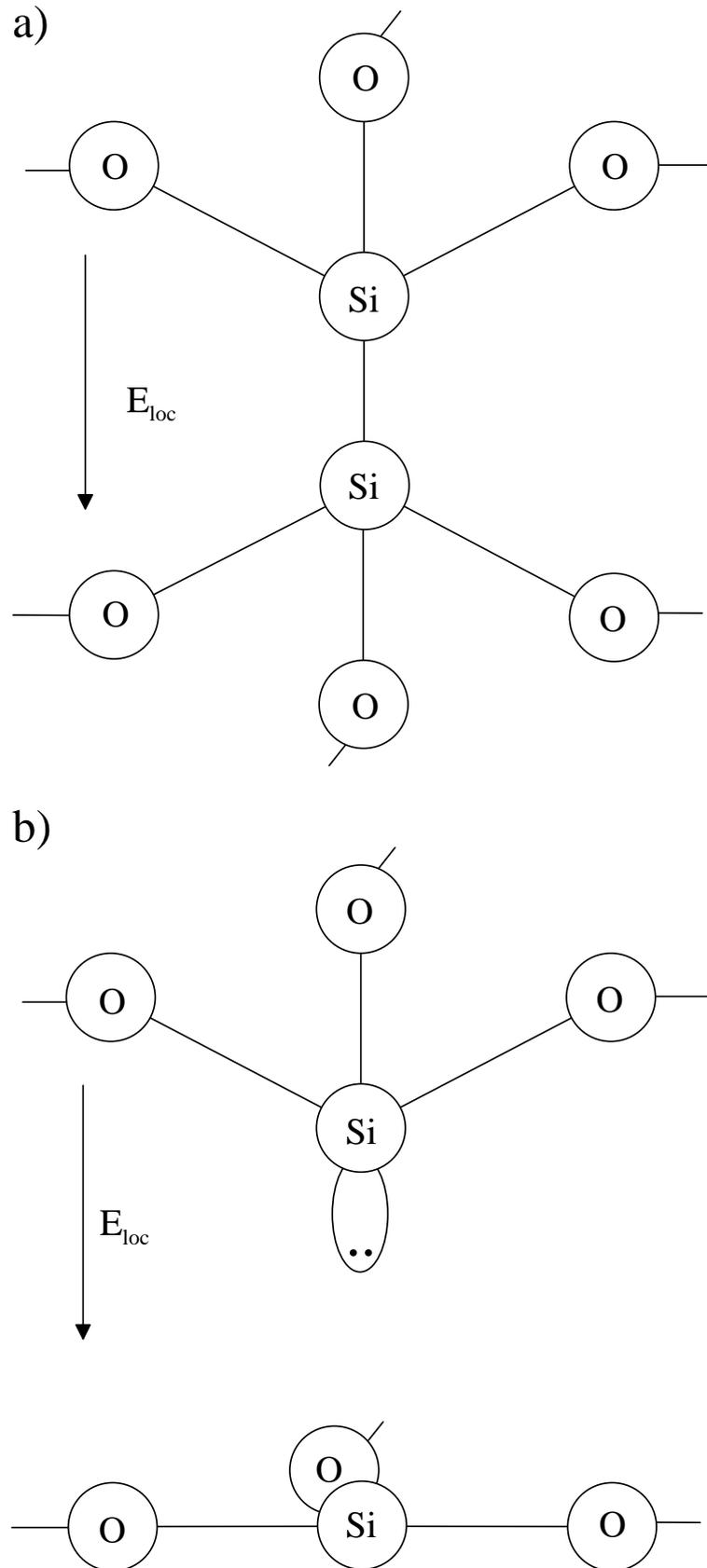


Abbildung 1.11: Si-Si Bindung a) als elektrisch nicht wirksamer Defekt b) nach dem Bruch der Bindung ist der Defekt in der Lage Ladungen einzufangen (nach [McP02]). Vorerst ist der gesamte Defekt neutral, jedoch kann die obere Bindung ein Elektron abgeben und die untere Bindung ein Elektron einfangen.

parallel ab. Zum einen erzeugt eine anliegende Spannung ein elektrisches Feld im Oxid, dass jedoch lokal durch die Polarisierung des Oxids verstärkt werden kann. Die polaren Bindungen, die Silizium und Sauerstoff bilden, werden je nach ihrer Ausrichtung zum lokalen Feld E_{loc} entweder gestaucht oder gedehnt. Durch die Dehnung verringert sich die Bindungsenergie und die Wahrscheinlichkeit für die Zerstörung der Bindung steigt. Bricht die Bindung, so kollabiert, entsprechend der Polarität des anliegenden Feldes, einer der Tetraeder. Dies führt zur Entstehung eines neuen Energieniveaus im Bänderdiagramm des Oxids und damit zu einer Haftstelle. Dieser Verschleiß-Mechanismus entspricht dem E-Modell und findet bei schwachen Feldern statt.

Zum anderen tunneln bei stärkeren Feldern (>6 MV/cm) Elektronen aus der Kathode in die Anode, wo sie Löcher anregen, die daraufhin ins Valenzband des Oxids tunneln. Diese Löcher können von gedehnten Bindungen eingefangen werden. Dieser Mechanismus führt zwar nicht zur irreversiblen Zerstörung des Oxids, da ein Elektron jederzeit mit dem Loch rekombinieren kann und so der Ursprungszustand wieder hergestellt wird, jedoch senken die eingefangenen Löcher die Bindungsenergie. Auf diese Weise führen eingefangene Löcher dazu, dass Bindungen leichter thermochemisch zerstört werden können. Dieser Vorgang wird durch das $1/E$ -Modell repräsentiert. Für ein Verständnis des Oxiddurchbruchs werden also beide Modelle benötigt.

McPherson führt aus, dass die Entscheidung, welches Modell in einem konkreten Fall gültig ist, von dem elektrischen Feld und der Bindungsenergie im Oxid abhängt. Für einen Transistor bei einem elektrischen Feld von 5 MV/cm, also z.B. 5 V bei 10 nm Gateoxid, und einer Temperatur von 125 °C ist das $1/E$ -Modell nur gültig, wenn die Bindungsenergie zwischen 3 eV und 6 eV liegt. Ansonsten ist das E-Modell gültig. Eine detaillierte Analyse kann bei [McP02] nachgelesen werden.

Es muss jedoch betont werden, dass das von McPherson beschriebene Modell zwar die Eigenschaften von Haftstellen beschreibt und mit einem mikroskopischen, physikalischen Modell verknüpft, jedoch kann nicht davon gesprochen werden, dass dieses Modell allgemein akzeptiert wird. Die offenen Bindungen (dangling bonds) sind jedoch die wahrscheinlichsten Kandidaten für Haftstellen.

1.1.6 Einfluss der Temperung

Die während der Plasmaprozesse entstandenen Haftstellen werden normalerweise am Ende des Herstellungsprozesses durch einen Hochtemperaturschritt in Wasserstoff oder Formiergas (Wasserstoff-Stickstoff) abgesättigt oder ausgeheilt. Nach diesem Prozess sind nur noch sehr wenige Haftstellen detektierbar, der Ursprungszustand ist jedoch nicht wieder hergestellt. Nach einem kurzen elektrischen Stress (zum Beispiel Fowler-Nordheim-Stress) sind die Haftstellen schon nach sehr geringen eingepprägten Ladungsmengen wieder detektierbar. Dies wurde erstmalig von King et al. [KH94] demonstriert.

King et al. simulierten PCD durch elektrischen Stress unterschiedlicher Dauer. Dieser Stress führte zu einer erhöhten Anzahl von Switching States in Abhängigkeit von der Dauer des Stresses. Eine Temperung ließ die Switching States zwar verschwinden, jedoch waren die Auswirkungen der einzelnen Vorschädigungen nach einem kurzem Stress wieder erkennbar (siehe Abbildung 1.12). Erst eine Prozessierung bei 900 °C führte dazu, dass die Haftstellenanzahl bei allen Bauteile trotz unterschiedlicher Vorschädigungen identische

war. Eine so hohe Temperatur am Ende der Prozessierung ist aber bei den meisten Fertigungsprozessen nicht möglich, da dies zur Diffusion der Dotierstoffe führen würde und sich auch auf das Metallsystem negativ auswirken würden (Aluminium schmilzt bei 660°C). Stattdessen kommt es zur Entstehung von schwachen Bindungen, also Bindungen mit einer niedrigeren Bindungsenergie (zum Beispiel Si-Si). Diese werden auch als latente Defekte (latent defects) bezeichnet, da sie schon nach einem kurzen Stress erneut elektrisch nachweisbar sind. Sie brechen bei einem elektrischen Stress als erste auf und führen daher zu Beginn eines elektrischen Stresses zu einer überproportional schnellen Alterung des Oxids. Ohne den elektrischen Stress sind die Haftstellen jedoch passiviert und daher nicht detektierbar.

Dieses Verhalten ist bei der Untersuchung von PCD von großer Bedeutung, da subtile Schädigungen durch PCD erst nach einem sogenannten Diagnosestress (diagnostic stress) sichtbar werden. Aus diesem Grund können die sensitivsten Messungen auf dieses Hilfsmittel nicht verzichten. Die Auswirkung von Diagnosestress auf die Messgenauigkeit wird in Kapitel 2 und in Abschnitt 4.4 näher betrachtet.

1.2 Wirkung von Plasma Charging Damage

Wie bereits erwähnt, entstehen durch PCD im Gateoxid Haftstellen, die zu einer vorzeitigen Alterung des Oxids führen. Dabei können die Schäden zur direkten Zerstörung des Oxids führen oder die Transistorparameter so weit verschieben, dass eine Schaltung nicht mehr funktionsfähig ist.

Insbesondere kann ein erhöhter Gateleckstrom zu einer höheren Leistungsaufnahme führen oder Ladungen im Oxid können Parameter wie die Verstärkung des Transistors oder die Schwellenspannung negativ beeinflussen. All dies führt zu einer Verringerung der Ausbeute. Darüber hinaus kann PCD die Zuverlässigkeit von Schaltungen negativ beeinflussen. Führt

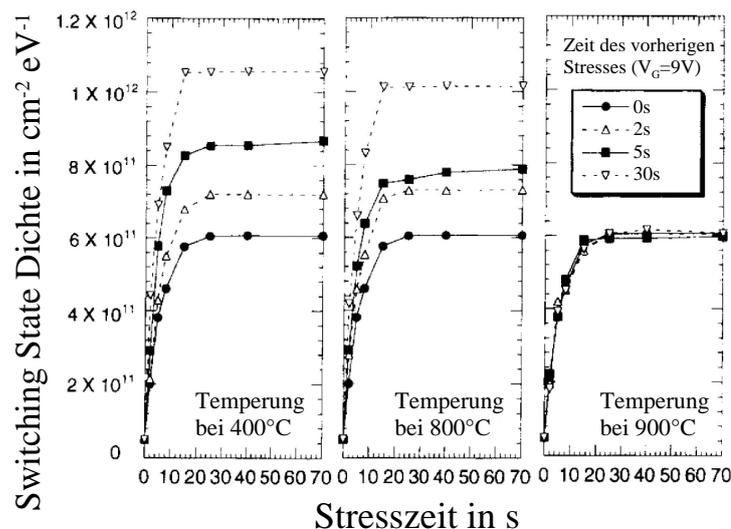


Abbildung 1.12: Auswirkung der Temperatur. Eine Temperatur ist nicht in der Lage die Haftstellen zu eliminieren. Stattdessen sind sie nach kurzem Stress erneut nachweisbar [KH94].

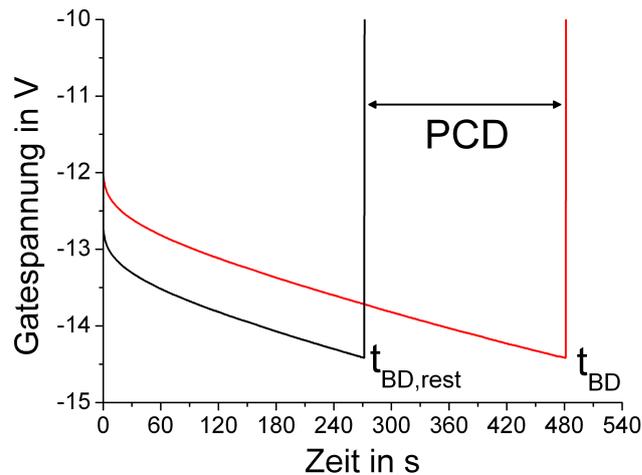


Abbildung 1.13: Auswirkung von PCD (nach [EUN⁺94]). Statt der tatsächlichen Lebensdauer t_{BD} kann bei einer Durchbruchmessung nur $t_{BD,rest}$ gemessen werden. Ein Teil der Lebensdauer ging während des Prozesses bereits durch PCD verloren.

die Schädigung nicht zum sofortigen Ausfall des Gateoxids, so werden die Haftstellen am Ende des Prozesses durch die Temperung passiviert und sind somit elektrisch nicht mehr detektierbar. Dabei entstehen statt der ursprünglichen Si-O Bindungen Si-Si oder Si-H Bindungen (siehe Abschnitt 1.1.5). Diese brechen jedoch nach einem kurzen Stress sehr schnell wieder auf, wodurch das Gateoxid beinahe wieder in den Zustand vor der Temperung versetzt wird. King et al. [KH94] zeigten, dass nach einem Diagnosestress 70% der Haftstellen, die vor der Temperung gemessen wurden, wieder sichtbar und wirksam waren.

Dieser Effekt wurde beispielsweise von Eriguchi et al. [EUN⁺94] untersucht. Eriguchi führte Fowler-Nordheim-Durchbruchmessungen durch. Dazu wurde ein konstanter Strom ins Gateoxid eingepreßt und die Spannung über die Zeit gemessen. Er definierte die eingepreßte Ladung beim Oxiddurchbruch als:

$$Q_{BD,rest} = Q_{BD} - \Delta Q_{BD} \quad (1.8)$$

Dabei ist $Q_{BD,rest}$ die messbare eingepreßte Ladung im Oxid beim Durchbruch und Q_{BD} die tatsächliche eingepreßte Ladung im Oxid. Die Differenz dieser beiden Werte ist ΔQ_{BD} und damit derjenige Betrag, der während der Prozessierung eingepreßt wurde, mit anderen Worten PCD. Dieser Zusammenhang ist schematisch in Abbildung 1.13 dargestellt. Da der Strom konstant ist, kann die Stromstärke mit dem Zeitpunkt des Durchbruchs $t_{BD,rest}$ multipliziert werden, um $Q_{BD,rest}$ zu erhalten.

Der gezeigte Zusammenhang hat eine wichtige Bedeutung für Zuverlässigkeitsuntersuchungen von durch PCD geschädigten Strukturen. Er verdeutlicht, dass PCD ein Problem der Langzeitzuverlässigkeit und nicht der Kurzzeitzuverlässigkeit ist [MDMO05]. Die Schädigung verbraucht sozusagen einen Teil der Lebensdauer des Oxids, dies wirkt sich jedoch erst nach einiger Zeit aus. Aus diesem Grund kann PCD während eines Burn-In nicht detektiert werden. Ursache hierfür ist, dass PCD keine, bzw. nur sehr wenige, Frühausfälle erzeugt. Mason et al. [MDMO05] zeigten diesen Zusammenhang exemplarisch. Bei ihren Experi-

menten wurde ein Teil der Oxidlebensdauer durch Fowler-Nordheim-Stress verbraucht, die Oxide getempert und anschließend ein Burn-In durchgeführt, um zu überprüfen, ob die Schäden detektiert werden. Selbst die höchste Schädigung (50% der Oxidlebensdauer wurden verbraucht), erzeugte eine Ausfallrate von nur 1% am Ende des Burn-Ins. Es wird deutlich, dass ein Burn-In keinen Schutz vor PCD bietet. Deswegen ist eine sorgfältige Analyse, Beurteilung und gegebenenfalls Beseitigung von PCD unumgänglich, wenn eine hohe Qualität garantiert werden soll.

1.3 Ursachen von Plasma Charging Damage

1.3.1 Aufladung in Plasmen

Dass die Ursache für PCD Ströme sind, die während eines Plasmaprozesses durch das Gateoxid fließen, wurde bereits erläutert. Voraussetzung dafür ist eine Potentialdifferenz und die entsprechende Ladung, die das Plasma bereitstellen muss, um den Strom treiben zu können. Eine mögliche Ursache ist ein inhomogenes Plasmapotential. Um verstehen zu können, wie die Schädigung stattfindet, müssen zunächst einige Eigenschaften von Plasmen betrachtet werden.

Plasma wird auch als 4. Aggregatzustand bezeichnet; es handelt sich dabei um ein hoch ionisiertes Gas. Im Plasma bewegen sich Elektronen und Ionen getrennt von einander. Die leichten Elektronen haben typischerweise eine Temperatur von 20 000 K bis 100 000 K, während Ionen und neutrale Teilchen eine Temperatur von 2000 K bzw. 300 K haben [Che01d].

Wird ein isoliertes Objekt in das Plasma gebracht, so wird es zuerst von den viel beweglicheren Elektronen getroffen. Dies führt zu einer negativen Aufladung und damit zu einem Potential ψ_f , das gegenüber dem Plasmapotential ψ_P negativ ist. Das Potential ψ_f wird Floating Potential bezeichnet. Es gilt:

$$U_{sh} = \psi_p - \psi_f \quad (1.9)$$

Durch die Potentialdifferenz U_{sh} , auch Sheath Potential genannt, werden die weniger beweglichen, positiv geladenen Ionen auf das Objekt beschleunigt, gleichzeitig werden niederenergetische Elektronen abgelenkt. Nach kurzer Zeit (im Bereich von Mikrosekunden) stellt sich ein Gleichgewicht ein; der Fluss von Elektronen und positiv geladenen Ionen ist gleich groß.

Auf Grund ihrer hohe Beweglichkeit können Elektronen die sogenannte Sheath Region abschirmen, so dass der Spannungsabfall nur lokal begrenzt um das Objekt auftritt. Diese Zone enthält weniger Elektronen, da diese durch das negative Potential verdrängt werden. Aufgrund dessen finden in diesem Bereich weniger Lichtemissionen statt, so dass sie auch Dunkelzone (dark region) genannt wird.

Die hohe Beweglichkeit der Elektronen und ihre Fähigkeit Potentiale abzuschirmen führt dazu, dass nahezu die komplette Spannung über der Sheath Region abfällt. Nur ein geringer Teil der Spannung fällt über eine kurze Distanz, eine Debye-Länge, im Plasma ab. Über diese Länge, auch pre-Sheath genannt, fällt die Spannung $k_B T_e / 2e$ ab, unabhängig vom Sheath Potential. Dabei ist k_B die Boltzmann-Konstante, T_e die Elektronentemperatur und q die Elementarladung. Der Effekt dieses Bereiches ist, dass durch die hier anliegende

Potentialdifferenz mehr Ionen die Sheath Region erreichen, als durch die thermische Drift allein erklärbar wäre. Der Ionenstrom auf das isolierte Objekt wird dadurch erhöht. Die gesättigte Ionenstromdichte beträgt nach dem Bohm-Kriterium [Che01d] [Che74]:

$$J_{Ion} = e^{-1/2} q n \sqrt{\frac{k_B T_e}{m_{Ion}}} \quad (1.10)$$

Dabei ist J_{Ion} die Ionenstromdichte, n die Plasmadichte und m_{Ion} die Masse der Ionen. Im Gleichgewichtszustand ist der Elektronenstrom gleich dem Ionenstrom. Es können nur diejenigen Elektronen in der maxwellschen Geschwindigkeitsverteilung, die energiereich genug sind, um das Sheath Potential zu überwinden, das Objekt erreichen. Das Stromgleichgewicht ergibt sich als:

$$\frac{1}{4} \sqrt{\frac{8k_B T_e}{\pi m_e}} \exp\left(\frac{qU_{sh}}{k_B T_e}\right) = 0,6 n \sqrt{\frac{k_B T_e}{m_{Ion}}} \quad (1.11)$$

Wobei m_e die Elektronenmasse ist. Durch Umformen erhält man den folgenden Ausdruck:

$$\exp\left(\frac{qU_{sh}}{k_B T_e}\right) = \sqrt{\frac{m_{Ion}}{2,3 m_e}} \quad (1.12)$$

Und damit für das Sheath Potential:

$$U_{sh} = \frac{k_B T_e}{2q} \ln\left(\frac{m_{Ion}}{2,3 m_e}\right) \quad (1.13)$$

An diesem Ausdruck ist deutlich zu erkennen, dass das Sheath Potential unabhängig vom Plasmapotential ist. Dies ist von entscheidender Bedeutung, da damit das Floating Potential dem Plasmapotential folgt (vergleiche Gleichung 1.9).

Es ist anzumerken, dass viele der Gleichungsparameter in der Realität gar nicht oder nur sehr schwer bestimmt werden können. PCD lässt sich daher sehr schwer berechnen oder simulieren. Die Gleichungen können jedoch hilfreich sein, wenn in einem konkreten Fall überlegt wird, wie PCD verringert werden kann. Mit den Gleichungen können Parameter selektiert werden, auf die Einfluss genommen werden soll.

1.3.2 Inhomogene Plasmapotentiale

Der in Abschnitt 1.3.1 beschriebene Vorgang findet natürlich auch in Plasmaanlagen während der Halbleiterfertigung statt. Einzelne Transistorgates können hier als isolierte Objekte im Plasma betrachtet werden und laden sich daher auf das Floating Potential auf. Ist das Plasmapotential inhomogen, so ist laut Gleichung 1.9 auch das Floating Potential inhomogen. Die einzelnen Gates werden in diesem Fall voneinander verschiedene Potentiale einnehmen (siehe dazu Abbildung 1.14). Der Wafer kann ebenfalls als isoliertes Objekt betrachtet werden. In dem in Abbildung 1.14 dargestellten Beispiel, ist angenommen, dass er am Rand nicht isoliert ist. Deswegen lädt er sich auf das Potential auf, das am Rand anliegt. Ist der Wafer von allen Seiten passiviert, koppelt er kapazitiv auf ein Potential ein. Eine Verteilung wie in Abbildung 1.14 ergibt sich nur, wenn man Tunnelströme vernachlässigt. In der Realität setzt ab einer gewissen Spannung Fowler-Nordheim-Tunneln ein.

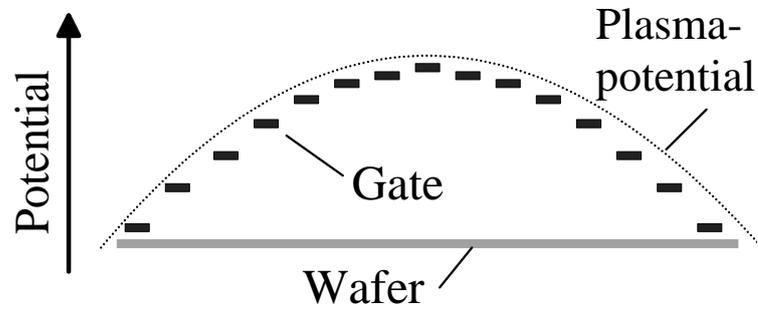


Abbildung 1.14: Floating Potential während eines Plasmaprozesses (nach [Che01d]). Das Floating Potential der Gates folgt dem Plasmapotential. Das Substrat ist in diesem Beispiel am Rand leitend und koppelt daher auf das Plasmapotential an seinem Rand ein.

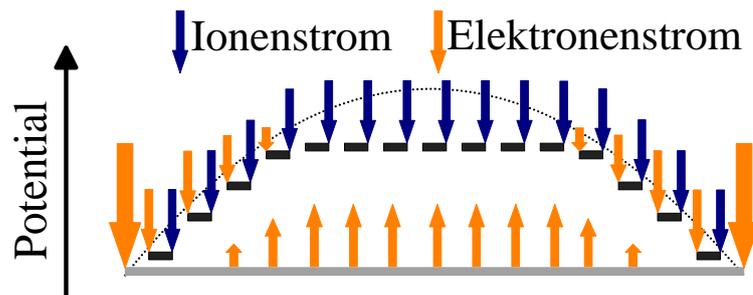


Abbildung 1.15: Ladungsfluss während eines Plasma Prozesses (nach [Che01d]). Das Potential einzelner Gates wird durch Fowler-Nordheim-Ströme gesenkt. Die nötige Ladung für den Fowler-Nordheim-Strom wird in diesem Beispiel über den Rand des Substrates eingefangen.

Dies bedeutet, dass das Potential einzelner Gates durch den Zufluss von Elektronen aus dem Substrat gesenkt wird (siehe Abbildung 1.15). Das Substrat fängt in Abbildung 1.15 Ladungen vom Rand ein. In der Abbildung wird auch deutlich, dass der Fluss in jedes Gate Null sein muss. Für jedes einzelne Transistorgate gilt:

$$I_{FN} + I_e + I_{Ion} = 0 \quad (1.14)$$

Dabei ist I_{Ion} der Ionenstrom vom Plasma, I_e der Elektronenstrom vom Plasma und I_{FN} der Fowler-Nordheim-Tunnelstrom vom Substrat. Zu beachten ist, dass I_{Ion} und I_e entgegengesetzte Vorzeichen haben. I_{FN} hat je nach Situation das eine oder das andere Vorzeichen. Für die Bereiche mit hohem elektrischem Feld gilt $I_e = 0$, da die beweglichen Elektronen vom Feld abgeschirmt werden. Daraus folgt $I_{FN} = -I_{Ion}$. Der schädigende Fowler-Nordheim-Strom ist also direkt vom Ionenstrom abhängig. Die Elektronen für den Fowler-Nordheim-Tunnelstrom werden vom Substrat geliefert, das die Elektronen wiederum über den Rand einfängt. Sollte das Substrat isoliert sein, so müssen die Elektronen, die nötig sind, um die Fowler-Nordheim-Ströme zu treiben, von einzelnen Transistoren eingefangen werden. Dies führt unter Umständen zu einer noch größeren Schädigung der entsprechenden Transistoren, da hier die Stromdichte gegebenenfalls deutlich höher sein kann.

Aufladung bei hochfrequenter Vorspannung (RF Bias)

Beim Reaktiven Ionen Ätzen (RIE) wird eine negative Wechselspannung an den Wafer angelegt, wodurch sich die Potentialverteilung ändert (siehe Abbildung 1.16). Dabei werden während der positiven Halbwelle Elektronen aus dem Plasma herausbewegt und treffen auf den Wafer. Dieser wird dadurch negativ aufgeladen. Während der negativen Halbwelle können die Elektronen den Wafer jedoch nicht wieder verlassen, da sie die Austrittsarbeit nicht aufbringen können. Der Ionenstrom hingegen bleibt konstant, da die trägeren Ionen dem elektrischen Wechselfeld nicht folgen können. Lediglich die Energieverteilung der Ionen ändert sich [Che01d]. Über mehrere Zyklen führt dies zu einer sukzessiven negativen Aufladung des Substrats, bis der Wafer schließlich soweit aufgeladen ist, dass Elektronen- und Ionenstrom im Gleichgewicht sind.

Die dann anliegende Spannung, die sogenannte Biasspannung, kann bis zu -1000 V betragen. Um die Spannung zu erhalten, die die Ionen beschleunigt, muss in Gleichung (1.11) eine Wechselspannung eingesetzt werden und über eine Periode gemittelt werden. Das Stromgleichgewicht ergibt sich als:

$$\frac{1}{4} n \sqrt{\frac{8k_B T_e}{\pi m_e}} \frac{1}{2\pi} \int_0^{2\pi} \exp\left(\frac{qU_{DC} + U_{RF} \cos(\omega t)}{k_B T_e}\right) d\omega t = 0,6n \sqrt{\frac{k_B T_e}{m_{Ion}}} \quad (1.15)$$

Dabei ist ω die Kreisfrequenz, U_{DC} die Biasspannung, die sich aus der Aufladung des Wafers ergibt und U_{RF} die Spannung des eingekoppelten Wechselfeldes. Statt der Sheatspannung U_{sh} wurde die Wechselspannung $U_{DC} + U_{RF} \cos \omega t$ in die Gleichung eingesetzt und das Integral über eine Periode gebildet. Nach Vereinfachung ergibt sich:

$$\exp\left(\frac{qU_{DC}}{k_B T_e}\right) \frac{1}{2\pi} \int_0^{2\pi} \exp\left(\frac{qU_{RF} \cos \omega t}{k_B T_e}\right) = \sqrt{\frac{m_{Ion}}{2,3 m_e}} \quad (1.16)$$

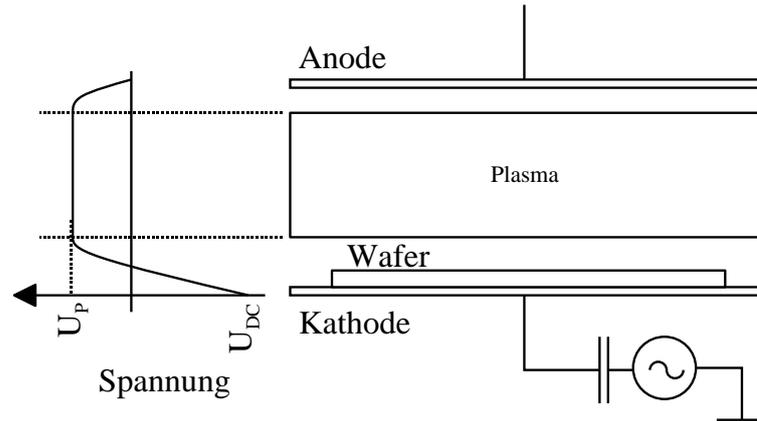


Abbildung 1.16: Schematischer Aufbau RIE-Verfahren (nach [Hil04]).

Zusammen mit Gleichung 1.12 erhält man:

$$\exp\left(\frac{qU_{DC}}{k_B T_e}\right) \frac{1}{2\pi} \int_0^{2\pi} \exp\left(\frac{qU_{RF} \cos \omega t}{k_B T_e}\right) dt = \exp\left(\frac{qU_{sh}}{k_B T_e}\right) \quad (1.17)$$

Durch Lösen des Integrals stellt sich die Gleichung dar als:

$$\exp\left(\frac{qU_{DC}}{k_B T_e}\right) I_0\left(\frac{qU_{RF}}{k_B T_e}\right) = \exp\left(\frac{qU_{sh}}{k_B T_e}\right) \quad (1.18)$$

$I_0(qU_{RF}/k_B T_e)$ ist eine Besselfunktion der zweiten Art und nullten Ordnung. Für die beschleunigende Spannung U_{DC} erhält man schließlich:

$$U_{DC} = U_{sh} - \frac{k_B T_e}{q} \ln\left(I_0\left(\frac{qU_{RF}}{k_B T_e}\right)\right) \quad (1.19)$$

1.3.3 Einfluss des Aspektverhältnisses

PCD kann auch bei völlig homogenen Potentialverläufen entstehen. Ein häufig genanntes Beispiel für diesen Sachverhalt ist eine Abschattung der Elektronen, sogenanntes „electron shading“, durch hohe Aspektverhältnisse [HHHN96], [VBP97], [Che01e]. Das Aspektverhältnis ist gegeben als das Verhältnis der Tiefe und der Breite einer geätzten Struktur. Grundsätzlich kann PCD durch hohe Aspektverhältnisse bei verschiedenen Vorgängen entstehen. Als Beispiel wird im folgenden Fall auf das Ätzen von Kontakten näher eingegangen. Zunächst soll Abbildung 1.17 betrachtet werden. Die hochbeweglichen und ungerichteten Elektronen treffen unter unterschiedlichsten Winkeln auf den Wafer. Unter anderem werden auch die Seitenwände des Kontaktlochs getroffen. Das negative Potential, das sich dadurch an der Oberkante des Kontaktlochs aufbaut, lenkt die leichten Elektronen ab, hat aber keinen Einfluss auf die senkrecht zum Substrat auftreffenden und sehr viel massereicheren Ionen (siehe Abbildung 1.17).

Je größer das Aspektverhältnis ist, desto weniger Elektronen erreichen den Boden des

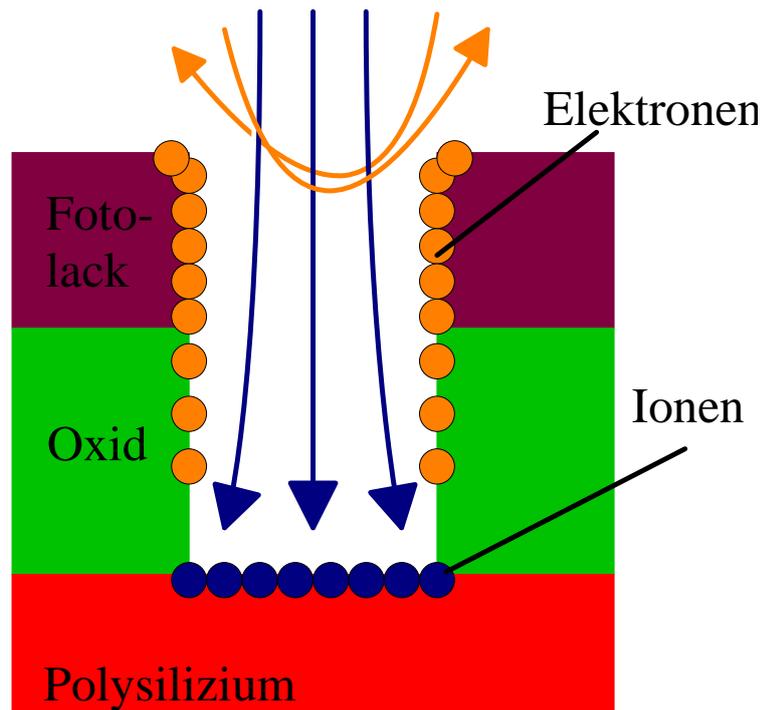


Abbildung 1.17: Aufladung bei unterschiedlichen Aspektverhältnissen (Detailansicht)(nach [Che01d]) Elektronen werden durch das elektrische Feld der im Oxid festgesetzten Elektronen abgelenkt. Ionen erreichen den Grund des Kontakts.

Kontaktlochs; eine positive Nettoladung stellt sich ein. In Abbildung 1.18 wird deutlich, dass der Kontakt, der im Aktivgebiet endet, eine insgesamt höhere, positive Ladung erhält, als der Kontakt, der auf dem Polysiliziumgate endet. Es entsteht eine Potentialdifferenz, die dazu führen kann, dass ein Ausgleichsstrom als Fowler-Nordheim-Strom durch das Gateoxid fließt.

Dieser Effekt tritt auch bei anderen Schritten, wie beispielsweise dem Metallätzen, auf. Hier wirken zwei Effekte gemeinsam. Das hohe Aspektverhältnis wird von den mit Fotolack bedeckten Leiterbahnen gebildet. Zusätzlich ist die Ätzrate beim RIE-Verfahren vom Aspektverhältnis abhängig. Daher kann es vorkommen, dass eng zusammenstehende Leiterbahnen noch verbunden sind, während an anderen Stellen, mit größeren Abständen, das Metall bereits entfernt wurde (siehe Abbildung 1.19). Da auch hier Elektronen in dem aufliegenden Fotolack festgesetzt werden und der Boden der Strukturen so von Elektronen abgeschirmt wird, kann sich so am Boden zwischen den Leiterbahnen eine positive Ladung aufbauen, während bereits freigeätzte Strukturen nur über die Metallflanke Ladungen aufnehmen können. Hier wird sich auf Grund der höheren Elektronenbeweglichkeit eher eine negative Ladung aufbauen, da die Metallstruktur von oben mit Fotolack bedeckt ist und nur die Elektronen in der Lage sind, seitlich auf die Metallflanke zu treffen.

Dass der Schaden von der Elektronenbeweglichkeit abhängig ist, wurde von Hashimoto et al. [HHHN96] demonstriert. Sie konnten während eines Experiments die Elektronenbeweglichkeit reduzieren. Als Ergebnis maßen sie eine Reduzierung des PCD bei Antennen mit hohem Aspektverhältnis. Das Team konnte also zeigen, dass bei einer niedrigeren Elektronenbeweglichkeit ein geringerer Schaden durch den Abschattungseffekt entsteht.

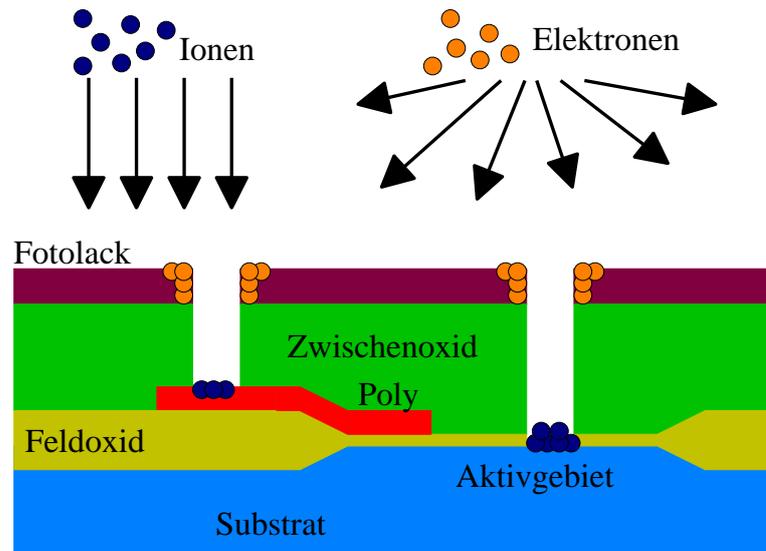


Abbildung 1.18: Aufladung bei unterschiedlichen Aspektverhältnissen (nach [Che01d]) Hochbewegliche und ungerichtete Elektronen erreichen bei einem größerem Aspektverhältnis seltener den Boden des Kontakts, die gerichteten Ionen haben eine höhere Chance ihn zu erreichen. Auf diese Weise entsteht in tieferen Öffnungen eine größere positive Nettoladung. Dargestellt ist nur die Nettoladung.

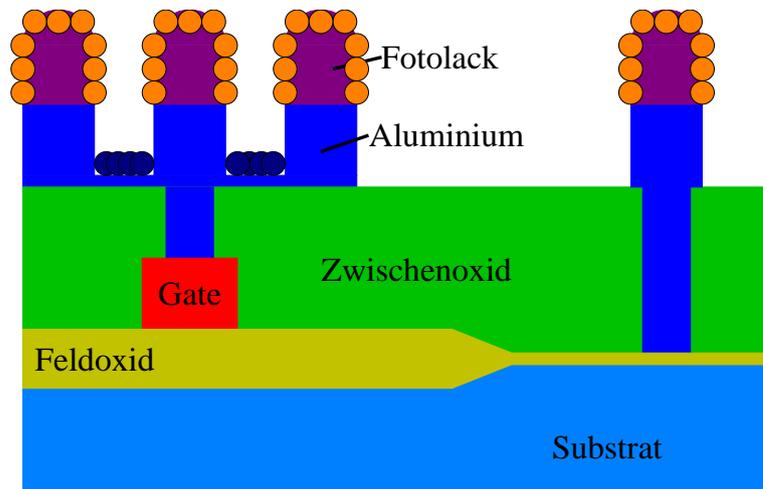


Abbildung 1.19: Aufladung beim Metallätzen. Zwischen den eng zusammen stehenden Bahnen ist das Metall noch nicht komplett weggeätzt, so dass hier Ladung eingefangen werden kann. Elektronen bleiben im Fotolack haften und führen zur Abschattung (nach [Che01d]).

1.3.4 Weitere Einflussfaktoren

Neben den bereits beschriebenen Mechanismen des PCD sind weitere Vorgänge für PCD verantwortlich. Diese sollen hier jedoch nur erwähnt werden, um einen besseren Überblick über den gesamten Komplex PCD zu erhalten. Im Einzelfall ist letztlich immer entscheidend, ob sich lokal oder global auf dem Wafer eine Spannungsdifferenz bildet, die groß genug ist, Fowler-Nordheim-Tunneln zu erlauben und ob der Ladungsfluss vom Plasma groß genug ist, diesen Strom zu treiben.

Transiente Vorgänge

Transiente Effekte sind Sonderfälle, die in Plasmaanlagen auftreten können. MacPhie et al. [MMLC99] fanden, dass ein verursachter Schaden an ihren Teststrukturen von der Geschwindigkeit des Ausschaltvorgangs der hochfrequenten Vorspannung abhing. Dabei verursachten schnellere Abschaltgeschwindigkeiten einen höheren Schaden. Ursache hierfür war, dass am Ende des Prozesses, wenn der Hochfrequenzbias ausgeschaltet wurde, der Wafer nach wie vor negativ geladen war. Das Plasma brannte aber weiterhin, so dass die Ionen im Plasma vom Wafer angezogen wurden und die Ladung auf dem Wafer ausglich. Es kam für kurze Zeit zu einem hohen Ionenfluss, der den Schaden verursachte.

Einfluss des Wechselfeldes

Ähnliche Effekte kann auch das Wechselfeld selbst erzeugen. Dies geschieht, wenn die Wechselfeldkapazität kapazitiv auf den Gateoxidkondensator eingekoppelt wird. Die Sheat-Kapazität ist damit mit der Gatekapazität und der Kapazität der Strukturen am Gate in Reihe geschaltet. Eine nennenswerte Spannung entsteht daher nur, wenn die Sheat Region sehr klein ist, wodurch eine hohe Sheat-Kapazität und damit eine hohe Einkopplung entsteht. Dies ist typischerweise bei High-Density-Plasmaanlagen der Fall. Diese Anlagen werden bei dem hier untersuchten Prozess nicht verwendet [Che01d].

Eine direkte Einkopplung der Wechselfeldfrequenz ist ebenfalls sehr unwahrscheinlich, da das Wechselfeld der Plasma-Anlagen üblicherweise (bei allen Anlagen am IMS) eine Frequenz von 13,56 MHz hat. Die resultierende Wellenlänge von mehr als 2 cm ist um einige Größenordnungen größer, als eine auf dem Chip verbaute Leiterbahn. Daher können diese nicht als Antenne für das anliegende Wechselfeld wirken.

Variable Elektronentemperatur

Neben inhomogenen Plasmapotentialen können auch andere Faktoren die lokale Verteilung des Floating Potentials beeinflussen. Eine inhomogene Elektronentemperatur beispielsweise führt zu unterschiedlichen Elektronenstromdichten an verschiedenen Punkten im Plasma (siehe Gleichung 1.11) und damit zu unterschiedlichen Floating Potentials. Ein ähnlicher Effekt kann auftreten, wenn die Bewegungsrichtung der geladenen Teilchen beschränkt wird. Dies geschieht beispielsweise beim MERIE-Verfahren (Magnetic Enhanced Reactive Ion Etching). Aufgrund des Masseunterschiedes sind hauptsächlich Elektronen von diesen Einschränkungen betroffen; der Einfluss auf die schwereren Ionen ist eher gering. Da das Floating Potential auf einem Stromgleichgewicht zwischen Elektronen- und Ionenstrom beruht, hat dies einen Einfluss auf die Potentialverteilung auf dem Wafer. Dieses Verhalten wurde von verschiedensten Gruppen [NSMN94] [PNAPG03] untersucht. Cheung spricht in seinem Buch Plasma Charging Damage [Che01e] sogar davon, dass der Zusammenhang zwischen magnetisch verstärktem Plasma und PCD einer der am besten belegten Fakten in der Untersuchung von PCD ist.

Elektromagnetische Strahlung

Des Weiteren sind Prozessbedingungen zu beachten, die sich deutlich von gewohnten Messbedingungen unterscheiden. So muss die elektromagnetische Strahlung berücksichtigt werden. Typische Plasmaanlagen erzeugen elektromagnetische Strahlung unterschiedlichster Wellenlängen. Dabei entstehen typischerweise auch einige Photonen mit einer Energie, die größer ist als die Bandlücke des Oxids (9 eV). Eine Strahlung mit dieser Energie kann SiO₂ wie einen Leiter wirken lassen. In diesem Fall kann PCD sogar während einer Oxidabscheidung entstehen. Das heißt, dass selbst Plasmaschritte als mögliche Schadensursache zu betrachten sind, bei denen ein Isolator die komplette Waferoberfläche bedeckt [SSB⁺93]. Selbst niederenergetische Photonen können helfen, die Barriere vom Polysilizium-Leitungsband zum Leitungsband des Oxids zu überbrücken (3,1 eV). Dadurch kann der Fowler-Nordheim-Tunnelstrom erhöht werden [Che01e].

Erhöhte Temperatur

Auch muss eine erhöhte Temperatur während eines schädigenden Prozesses berücksichtigt werden. Eine höhere Temperatur ist gleichbedeutend mit einer Verringerung der Bindungsenergie im Kristallgitter des Gateoxids. Dies hat zur Folge, dass das Aufbrechen von Bindungen erleichtert wird. Eine Abscheidung bei einer höheren Temperatur führt also zu mehr PCD [SC97].

1.3.5 Wirkung von Antennen

Während das Plasma sehr leicht eine hohe Potentialdifferenz erzeugen kann, ist die Fähigkeit Strom zu treiben begrenzt [Che01d]. Daher werden bei der Untersuchung von PCD sogenannte Antennen verwendet, die in der Lage sind, den Stromfluss durch das Gateoxid zu erhöhen. Die Form der Antenne muss dabei dem zu untersuchenden Schritt angepasst werden. Wird beispielsweise ein Schaden durch ein inhomogenes Plasma beim Polysiliziumätzen vermutet, so können Polysiliziumflächen realisiert werden, die an das Gate der Teststruktur angeschlossen werden. Die durch die Polysiliziumfläche eingefangene Ladung kann nun durch das Gateoxid fließen und dort eine Schädigung verursachen. Da das Plasma eine konstante Stromdichte liefert, wirkt die Antenne als Verstärker, in dem sie die von ihrer Fläche eingefangene Ladung an das von der Fläche her viel kleinere Gateoxid weiterleitet. Am Gate entsteht damit eine Stromdichte, die um das Verhältnis der Flächen größer ist, als die, die am Gate allein entstehen würde. Dieser Verstärkungsfaktor wird oft Antennenfaktor (antenna ratio) genannt und ist schlicht das Verhältnis der beiden Flächen. Die Angabe dieses Verhältnisses allein ist jedoch oft irreführend, da bei unterschiedlichen Prozessen verschiedenste Strukturen als Antenne wirken können. So sind in der Untersuchung von PCD neben Flächenantennen auch Antennen mit hoher Kantenlänge oder mit vielen Vias/Kontakten gebräuchlich. In dieser Arbeit wird statt des Antennenfaktors, die Größe des schädigenden Antennenmerkmals (Fläche, Kantenlänge, Anzahl Vias, etc.) auf 1 μm^2 bezogen, verwendet.

Typische Antennen sind in Abbildung 1.20 dargestellt. Hier sind die Antennen in Polysilizium ausgeführt. Zu beachten ist auch, dass Antennen außer in Teststrukturen oft versehentlich in Schaltungen erzeugt werden. Lange Leiterbahnen oder Pads können auch als Antenne wirken und sind daher nach Möglichkeit zu vermeiden. Das Verbot von Antennen mit Hilfe von Designregeln ist einer der wichtigsten Ansatzpunkte, um PCD in einem gegebenen Prozess zu minimieren.

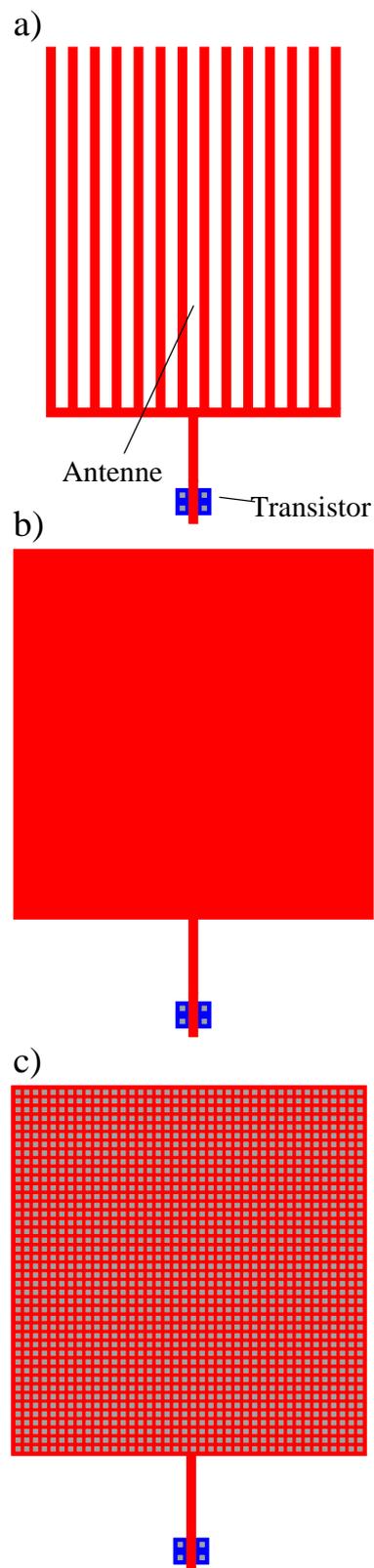


Abbildung 1.20: Transistor mit verschiedenen Antennentypen a) Antenne mit hoher Kantenlänge b) Antenne mit großer Fläche c) Antenne mit vielen Kontakten.

Kapitel 2

Messen von Plasma Charging Damage

Dieses Kapitel beschreibt die verschiedenen Möglichkeiten um PCD zu detektieren. Übliche Messmethoden werden im ersten Abschnitt dargestellt, wobei Vor- und Nachteile dieser Methoden kurz erläutert werden. Diese Analysen entstammen sowohl der Literatur als auch den praktischen Erfahrungen beim Erstellen dieser Arbeit. Die Messmethoden sind in der Literatur weit verbreitet und wurden von verschiedensten Gruppen angewendet. Der zweite Abschnitt zeigt auf, wie Strukturen erstellt werden können, die nötig sind um die zuvor beschriebenen Messungen durchzuführen. Wie zuvor wurde auf Erfahrungen verschiedener Gruppen und eigene Erkenntnisse zurückgegriffen. Auch dieser Abschnitt orientiert sich am Stand der Technik.

2.1 Messmethoden

Beim Messen von PCD müssen mehrere Besonderheiten berücksichtigt werden. Es muss berücksichtigt werden, dass die Schädigung durch PCD ein zufälliger Prozess ist. Sowohl die Entstehung von Haftstellen als auch der Durchbruch des Oxids sind statistische Vorgänge (siehe dazu Abschnitt 1.1). Das bedeutet, dass möglichst viele Messwerte erfasst werden sollten, wenn man PCD bestimmen will. Insbesondere gilt dies für Automotive-Technologien und wenn nachgewiesen werden soll, dass kein latenter Schaden vorhanden ist. Des Weiteren kann PCD eine bestimmte Verteilung auf dem Wafer haben. Ein Beispiel dafür wurde in Abschnitt 1.3.2 gezeigt. Je nach Fertigungsprozess (oder sogar je nach Maskensatz) können bestimmte Belichtungsfelder auf dem Wafer, sogenannte Dies, besonders von PCD betroffen sein. Daher können für eine detaillierte Untersuchung nicht alle Dies gleich behandelt werden. Vielmehr sollte jedes einzelne Die über verschiedene Chargen und Wafer betrachtet werden.

Ein weiteres Problem ist, dass latente Schäden erst nach einem Stress sichtbar werden (siehe Abschnitt 1.1.6). Viele Messmethoden arbeiten daher mit einem Stress, der groß genug ist, um die Temperung teilweise rückgängig zu machen und gleichzeitig klein genug ist, um nicht selbst eine hohe Anzahl Haftstellen zu erzeugen. Der Stress muss bei den Einzelmessungen exakt gleich sein, bis hin zur Pause zwischen Stress und Messung, um eine Vergleichbarkeit herzustellen. Dies erfordert ein hohes Maß an Kontrolle der Messbedingungen, weswegen eigentlich nur eine automatisierte Messung möglich ist.

Der eingesetzte Stress hat aber noch ein weiteres Problem zur Folge: Alle Messequenzen, die Stress enthalten, haben einen zerstörenden Charakter. Zwar muss der Transistor am Ende der Messung nicht vollständig zerstört sein, jedoch werden die latenten Haftstellen aufgebrochen. Die Messung ist also nicht wiederholbar; jeder Transistor kann nur einmal gemessen werden. Es ist daher schwer, die Messmethoden miteinander zu korrelieren. Das macht es zum Beispiel schwierig, direkt eine neue Messmethode mit einer bekannten Messmethode zu vergleichen, da an jedem Transistor nur einmal gemessen werden kann. Viele der hier gezeigten Messungen sind qualitativ. Eine hohe Anzahl von Teststrukturen wird gemessen und die erhaltenen Verteilungsfunktionen werden mit einer Referenz, einem Transistor ohne Schäden, verglichen. Die Entscheidung, ob ein bestimmtes Schadensniveau akzeptabel ist oder nicht, ist eine technologisch motivierte Entscheidung und keine physikalisch abgeleitete Entscheidung.

2.1.1 Messen des Gateleckstroms

Die Messung des Gateleckstroms als Parameter zur Bestimmung von PCD basiert auf der Tatsache, dass Haftstellen den Gateleckstrom erhöhen und dass Gateoxide sowohl bei einem harten Durchbruch als auch bei einem weichen Durchbruch einen erhöhten Gateleckstrom aufweist.

Da Haftstellen neue Energieniveaus im Bänderdiagramm des SiO_2 schaffen, haben geschädigte Gateoxide oft einen erhöhten Leckstrom. Man spricht dabei von „stress induced leakage current“ (SILC) oder auch „trap assisted tunneling“. Der Zusammenhang zwischen Haftstellen und SILC wurde von verschiedenen Gruppen gezeigt [RGL98][TYT96].

Findet im Oxid ein Durchbruch statt, so gibt es eine mehr oder weniger gut leitende Verbindung zwischen den beiden Seiten des Oxides, wodurch ebenso der Gateleckstrom erhöht wird. Die Messung des Gateleckstroms kann also eingesetzt werden, um SILC, harte und weiche Durchbrüche zu detektieren. Auch wenn bei einer einfachen Messung oft nicht festgestellt werden kann, welcher Mechanismus die Ursache des Leckstroms ist, so zeigt jede Erhöhung des Gateleckstroms eine Schädigung des Oxids an.

Ein Problem dieser Messmethode sind die hohen Messzeiten, wenn eine Strom-Spannungskennlinie, wie in Abbildung 2.1 dargestellt, gemessen werden soll. Der Grund hierfür ist, dass bei jedem Spannungsschritt zuerst Ladungen in die Haftstellen des Oxids fließen. Dies führt initial zu einem erhöhten Leckstrom. Daher muss die Spannung zuerst eine gewisse Zeit anliegen, bevor die Messung vorgenommen werden kann. Diese Wartezeit kann im Bereich von Sekunden liegen.

Um das Problem langer Messzeiten zu umgehen, wurde in dieser Arbeit, statt einer Strom-Spannungskennlinie, der Strom bei einer definierten Spannung gemessen. Man spricht von einer Punkt-Messung (Spot-Messung). Die Spannung lag dabei im Bereich der Betriebsspannung, also deutlich vor Einsatz des Fowler-Nordheim-Stroms. Die Messung bei relativ niedrigen Spannungen hatte den Vorteil, dass das Gateoxid nicht verändert wurde, so dass später weitere Messungen durchgeführt werden konnten. Um einen hohen Durchsatz zu ermöglichen, wurde vor den Messungen nur 100 ms gewartet. Daher konnte lediglich festgestellt werden, ob das Gate durchgebrochen war, oder nicht.

Die Methode wurde angewandt, um einen ersten Überblick über die Schädigung durch PCD zu erhalten, da hier eine Automatisierung mit Hilfe von vollautomatischen Probern einfach möglich war. Die Sensitivität der Messmethode ist eher gering (siehe Kapitel 4 und [Che01b]).

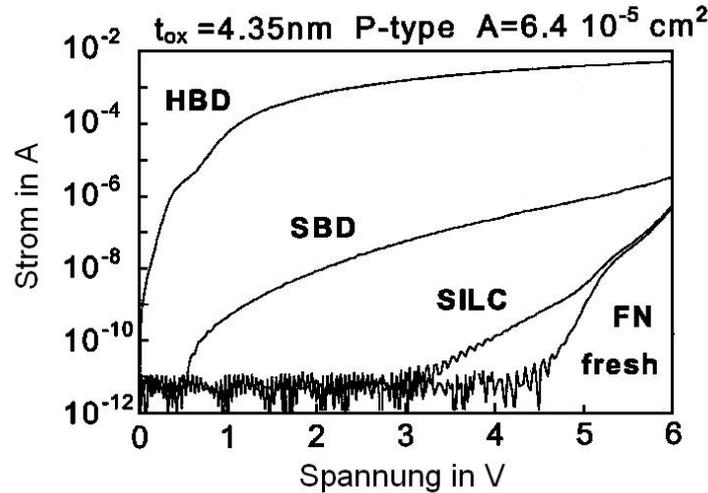


Abbildung 2.1: Gateleckströme bei verschiedenen Schädigungsgraden: HBD=harter Durchbruch; SBD=weicher Durchbruch, SILC=Stress induced leakage current; FN=Fowler-Nordheim-Strom [SJM02].

Die Ergebnisse dieser Messmethode lassen sich gut für Vergleiche heranziehen, jedoch lässt sie keinen direkten Rückschluss auf eine Haftstellendichte zu.

2.1.2 Bestimmung der Parameterdrift

Ladungen im Oxid sind in der Lage, die Parameter von Transistoren wie Schwellenspannung, Flachbandspannung, maximale Verstärkung etc. zu beeinflussen. Die in den Haftstellen gespeicherte Ladung wirkt dabei auf den Kanal und führt zu einer Abweichung gegenüber einem Transistor ohne Ladungen im Oxid [Sze81].

Ein Transistor, der durch den Produktionsprozess und die abschließende Temperung gegangen ist, kann als Transistor ohne Haftstellen betrachtet werden. Wie aus Abschnitt 1.1.6 bereits bekannt, brechen die Haftstellen nach einem kurzen Stress wieder auf und versetzen den Transistor wieder in einen ähnlichen Zustand, wie er vor der Temperung vorlag. Grundlage dieser Messmethode ist es, die entsprechenden Transistoren vor und nach einem Stress zu messen und die Messwerte zu vergleichen (siehe Abbildung 2.2).

Die erzielten Ergebnisse können jedoch irreführend sein. Grund hierfür ist, dass die Verschiebung der Parameter von Polarität, Dauer und Intensität des vorhergehenden Stresses abhängt (siehe dazu Abschnitt 1.1.5). Zwei verschiedene Messungen sind also nicht ohne Weiteres miteinander vergleichbar. Als Beispiel für die vielen möglichen messbaren Parameter sei hier die Änderung der Schwellenspannung genannt. Die Schwellenspannung wird aus der Eingangstransferkennlinie bestimmt.

Bestimmt man die Schwellenspannung vor und nach einem Stress, so ergibt sich die Änderung der Schwellenspannung ΔU_{th} als [NCSFB83a]:

$$\Delta U_{th} = -\frac{1}{\epsilon} (Q_b \bar{x} + Q_i t_{ox}) \quad (2.1)$$

Dabei ist ϵ die Dielektrizitätskonstante des Gateoxids, Q_b die Ladungsdichte der Haftstellen, die während des Stresses im Oxid festgesetzt wurde, Q_i die Ladungsdichte der Haftstellen, die während des Stresses am Interface festgesetzt wurde und t_{ox} die Dicke des Oxids. Der Ladungsschwerpunkt \bar{x} ist definiert als [Hor97]:

$$\bar{x} = \frac{\int_0^{t_{ox}} (x \cdot n(x) dx)}{\int_0^{t_{ox}} n(x) dx} \quad (2.2)$$

Dabei ist $n(x)$ die Volumendichte der Haftstellen im Oxid. Das zu Grunde liegende Koordinatensystem ist in Abbildung 2.4 dargestellt. Die Trennung in Interface Traps und Oxide Traps in Formel 2.1 ist damit begründet, dass sich Haftstellen am Interface wegen der aufeinander treffenden, unterschiedlichen Kristallgitter leichter erzeugen lassen und außerdem den Stromfluss im Kanal stärker beeinflussen. Zu beachten ist, dass mit einer solchen Messung nicht die Switching-States-Dichte bestimmt werden kann, da die Interface Trap Dichte nur in erster Näherung der Switching-State-Dichte entspricht.

Zu berücksichtigen ist weiterhin, dass sowohl die Ladungsdichten Q_b und Q_{it} als auch die Volumendichte der Haftstellen $n(x)$ von Details der Messung abhängen. Wie in Abschnitt 1.1.5 ausgeführt, laden sich die Haftstellen im Oxid an der Kathode negativ und an der Anode positiv. Stressdauer und Polarität müssen daher sorgfältig dokumentiert werden, um eine Vergleichbarkeit von Messungen herzustellen. Die Ladung in den Switching States ist außerdem vom zeitlichen Abstand zwischen Stress und Messung, von der Richtung der Spannungsrampe bei der Kennlinienmessung und von weiteren Details der Spannungsrampe, wie Dauer eines Messschrittes, Integrationszeit des Messgeräts, Spannungshub pro Messschritt etc., abhängig. Die Ergebnisse sind daher in jedem Fall interpretationsbedürftig.

Die Messergebnisse müssen besonders vorsichtig evaluiert werden, wenn die Möglichkeit besteht, dass das Gate durch den Stress bereits einen weichen Durchbruch hatte. In diesem Fall kann es passieren, dass das Gate zwar seine Steuerwirkung behält, dass aber dennoch erhöhte Gateleckströme fließen können. Der Stress degradiert das Gate dann nicht weiter

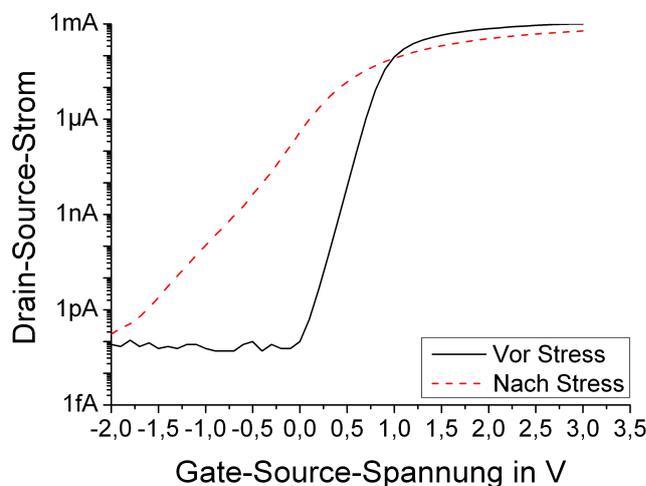


Abbildung 2.2: Eingangstransferkennlinie eines geschädigten Gates vor und nach Stress.

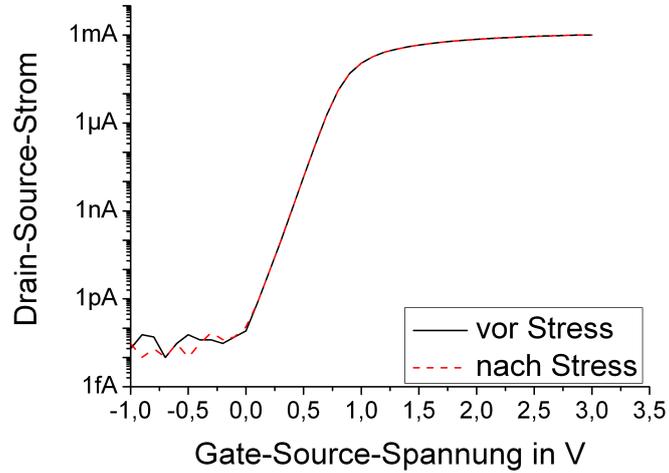


Abbildung 2.3: Eingangstransferkennlinie eines stark geschädigten Gates vor und nach Stress. Da bereits ein weicher Durchbruch stattfand, behält das Gate zwar seine Steuerwirkung, jedoch können hohe Leckströme durchs Gateoxid fließen.

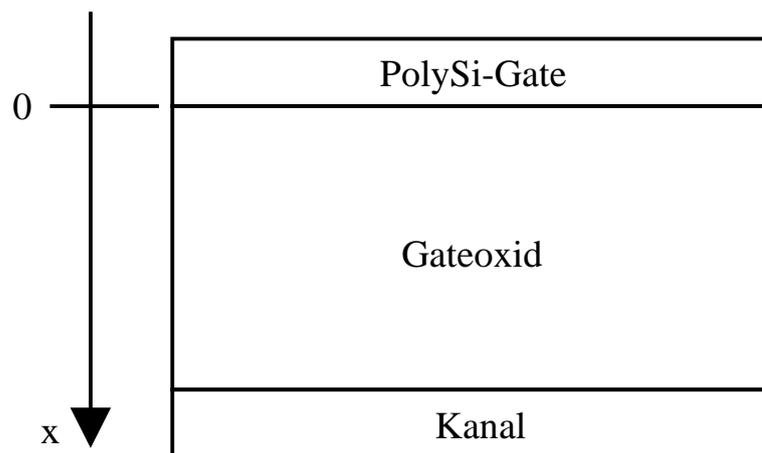


Abbildung 2.4: Koordinatensystem zur Bestimmung des Schwerpunkts.

und es werden keine Haftstellen geladen. Als Folge gibt es keine Änderung des Verlaufs der Kennlinie (siehe Abbildung 2.3).

Aus diesem Grund empfiehlt es sich, den Gateleckstrom bei dieser Methode als zusätzlichen Parameter aufzunehmen. In der gezeigten Abbildung 2.3 betrug der Gateleckstrom bei 3 V 100 pA, was für ein intaktes Gate dieser Abmessungen mehrere Größenordnungen zu hoch ist. Eine Schädigung wäre hier also deutlich geworden.

Zusätzliche Vorsicht ist geboten, da die Ladungen, die sich während des Stresses in Oxide Traps und Interface Traps festsetzen, unterschiedliche Zeitkonstanten haben. Daher kann die Verschiebung der Schwellenspannung sowohl ein positives als auch ein negatives Vorzeichen haben. Eine Schwellendrift ist daher interpretationsbedürftig, da ad hoc nicht gesagt werden kann, ob die positive oder negative Differenz auf höheren Schaden hindeutet. Tatsächlich ist es sogar möglich, dass sich die gegenläufigen Effekte aufheben und trotz Schädigung keine Änderung messbar ist [Che01b].

Als Variante werden manchmal Parameter von Transistoren oder Kondensatoren mit verschiedenen Antennen, direkt am Ende des Prozesses, ohne zusätzlichen Diagnosestress, als Maß für PCD verwendet [SWS⁺89], [TNKH87]. Dabei werden die Parameter der Teststrukturen mit den Parametern der Referenz (ohne Antenne) verglichen. Hier sind allerdings nur Abweichungen messbar, wenn die Haftstellen nicht mehr durch die Abschlussstemperung des Produktionsprozesses neutralisiert werden können.

Da eine Messung von Transistorparametern eine sehr einfache Methode ist um Schäden zu detektieren, kann die Parameterdrift, trotz der oben genannten Einschränkungen, genutzt werden um PCD zu detektieren. Die Stärken dieser Messmethode sind dann eine sehr einfache Realisierung und eine einfache Vergleichbarkeit von Messungen untereinander, wenn die Messbedingungen gleich bleiben. Da für diese Methode gewisse Vorkenntnisse des zu erwartenden Schadens nötig sind, um die Messergebnisse zu interpretieren, eignet sich die Methode eher zur routinemäßigen Kontrolle eines Prozesses, als zur tiefgehenden Analyse von PCD. Der Zeitaufwand für eine Messung ist moderat.

2.1.3 Durchbruchmessungen

Durchbruchmessungen, bei denen das Oxid bis zum Durchbruch gestresst wird, sind als Messung in der Oxidqualifikation weit verbreitet [HHL00], [MSO06], [SCM⁺95]. Dabei werden verschiedene Methoden verwendet. Es sind Rampenmethoden und Methoden, die ein Oxid konstant belasten, möglich. Bei den Rampenmethoden wird entweder die Spannung oder der Strom in einer definierten Art und Weise stufenweise erhöht, bis das Oxid durchbricht. Meist wird der Wert der jeweiligen Stufe beim Durchbruch als Parameter angegeben, auf diese Weise lässt sich bei einer Spannungsrampe beispielsweise eine Durchbruchspannung extrahieren. Der ermittelte Messwert beim Durchbruch hängt dabei sowohl von den Parametern der Rampe ab, wie etwa Schrittweite und Dauer eines einzelnen Messschritts, als auch von der Oxidqualität selbst. Dafür kann eine Rampe in wenigen Sekunden gemessen und so ein relativer Wert, bezogen auf den erwarteten Messwert eines ungeschädigten Oxids, für die Oxidqualität ermittelt werden.

Als Alternative kann ein Oxid auch mit Konstantstrom oder Konstantspannung gestresst werden. Dies führt meist zu längeren Messungen (Minuten bis Stunden), es sei denn das Niveau des Stresses wird sehr hoch gewählt. Hierbei erhält man jedoch eine höhere Auflösung als mit der Rampenmethode [HHL00]. Als Messwert dient entweder der Zeitpunkt

des Durchbruchs t_{BD} oder die Durchbruchladung Q_{BD} , also diejenige Ladung, die zum Zeitpunkt des Durchbruchs durch das Oxid geflossen ist. Die Ladung Q_{BD} wird meistens bei Konstantstrommessungen angegeben, während die Durchbruchzeit t_{BD} in der Regel bei Konstantspannungsmessungen angegeben wird. Bei einer Konstantspannungsmessung lässt sich der fließende Strom häufig nicht sehr gut messen. Das liegt daran, dass am Anfang eines solchen Stresses eine sehr hohe Ladung ins Oxid eingepreßt wird, da der Strom nur durch die Treiberfähigkeiten des Messgeräts begrenzt ist. Die meisten latenten Defekte werden aktiviert, wodurch anschließend nur noch geringe Änderungen stattfinden. Dieser initiale Verlauf, ist sehr kurz, hat einen hohen Dynamikumfang (mehrere Größenordnungen) und wird durch Einschwingvorgänge überlagert. Der tatsächlich in die Haftstellen fließende Strom lässt sich daher nur schwer praktisch bestimmen. Wird jedoch ein Strom eingepreßt, so kann der Spannungsverlauf beobachtet werden, da der Ladungsfluss ins Oxid begrenzt ist und daher die Haftstellen in einem messbaren Zeitrahmen aufbrechen. Daher wurde in dieser Arbeit nur die Konstantstrommethode verwendet. Eine typische Durchbruchkennlinie bei Konstantstromstress ist in Abbildung 2.5 dargestellt.

Auf Grund der statistischen Natur des Durchbruchs sind sehr viele Messungen nötig, um eine Aussage über die Oxidqualität machen zu können. Als Endergebnis einer solchen Messung wird dann oft ein Wert t_{BD} bzw. Q_{BD} angegeben, der jedoch nicht das Ergebnis einer konkreten Messung, sondern der Median der Durchbruchverteilung ist. Um Missverständnisse zu vermeiden, wird der Median in dieser Arbeit als \bar{t}_{BD} bzw. \bar{Q}_{BD} bezeichnet. Um vergleichbare Ergebnisse zu erhalten, muss festgelegt werden, welcher Durchbruch protokolliert wird, der erste (weiche) oder der letzte (harte) Durchbruch. Zwar liefert der erste Durchbruch eine bessere Auflösung [Dum02], aber für eine Analyse von PCD ist eine solch hohe Auflösung nicht nötig, da hier meist vergleichende Messungen vorgenommen werden. Bei dieser Arbeit konnte kein weicher Durchbruch während eines Konstantstromstress gemessen werden. Dafür war die zeitliche Auflösung der zur Verfügung stehenden Messgeräte zu gering.

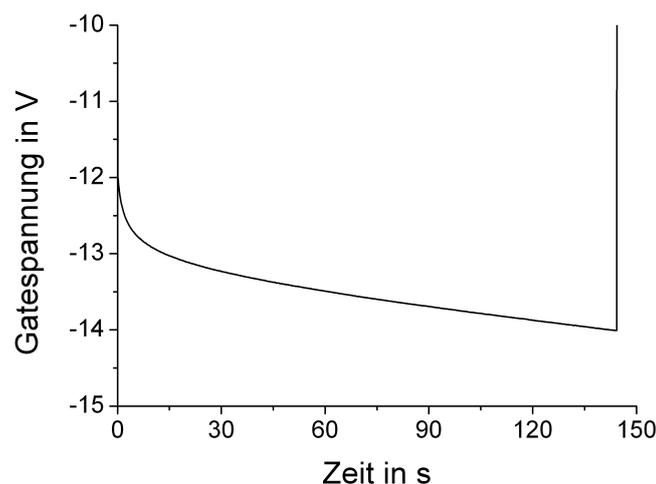


Abbildung 2.5: Typische Durchbruchmessung bei Konstantstrom. Der Anstieg der (absoluten) Spannung ist auf die abschirmende Wirkung festgesetzter Elektronen zurückzuführen (siehe Abschnitt 2.1.5).

Durchbruchmessungen können den Verlust der Lebensdauer des Oxids direkt sichtbar machen. Dies kann jedoch im Einzelfall nicht ausreichend sein, um PCD zu detektieren. Ein Schaltungsausfall kann auch auftreten, wenn die Transistorparameter stark degradiert sind, ohne dass ein harter Oxiddurchbruch auftritt. Dies ist unter Umständen lange vor dem Durchbruch der Fall [Che01b]. Ob daher Durchbruchmessungen ausreichend sind, muss von Fall zu Fall entschieden werden.

Durchbruchmessungen werden in Abschnitt 6.2 näher betrachtet.

2.1.4 Charge Pumping

Charge Pumping ist eine Methode, die in der Lage ist Switching States nachzuweisen. Da diese zum größten Teil am Interface und in der Nähe des Interface liegen, wird oft pauschal angeführt, dass mit dieser Methode Interface Traps nachgewiesen werden können [GMBRFD84], [Zha04]. Bei der hier verwendeten Nomenklatur ist es jedoch richtiger von Switching States zu sprechen (siehe dazu Abschnitt 1.1.5).

Beim Charge Pumping wird das Gate des Transistors mit einer gepulsten Spannung beaufschlagt, während der Bulk auf 0 V liegt. Am Bulk wird der Charge-Pumping-Strom I_{cp} gemessen. Source und Drain sind kurzgeschlossen und werden mit der Reversespannung U_R beaufschlagt (siehe Abbildung 2.6). Sie ist positiv beim NMOS und negativ beim PMOS. Die gepulste Spannung behält, in der hier verwendeten Variante des Charge Pumping, die Amplitude bei, während das Basislevel (U_{Basis}) nach jedem Messschritt verschoben wird. Dabei werden Amplitude und Start- und Stoppniveau so gewählt, dass sich der Transistor beim Start der Messsequenz während des kompletten Pulses in Akkumulation

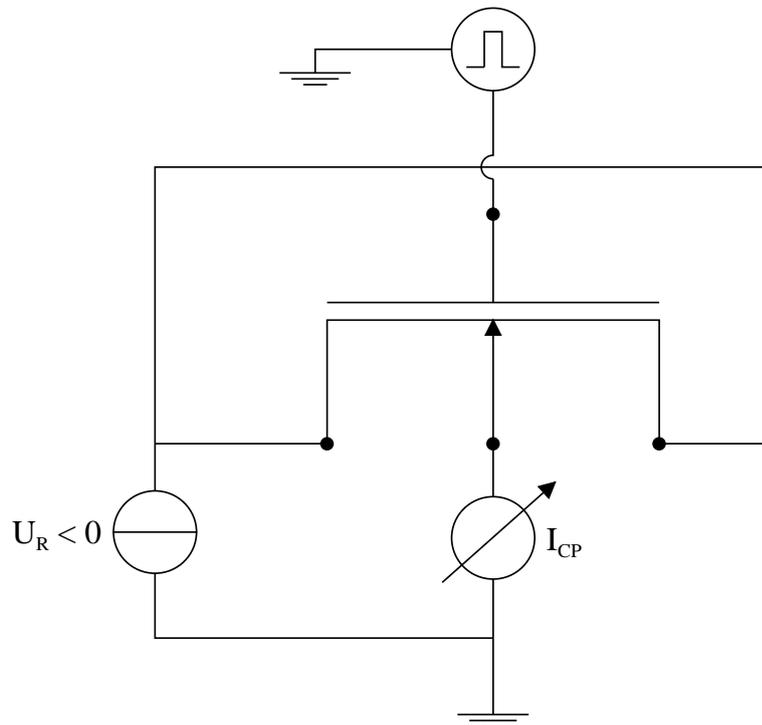


Abbildung 2.6: Messaufbau Charge Pumping beim NMOS.

und am Ende komplett in Inversion befindet (siehe Abbildung 2.7). Das Ergebnis dieser Messung ist in Abbildung 2.8 dargestellt. Der maximale Strom $I_{CP,max}$ wird ausgewertet. Ein vollständiges Bild dieser Messmethode wurde erstmalig von Groeseneken et al. [GMBRFD84] präsentiert. Das Grundprinzip des Charge Pumping besteht darin, dass der Transistor zwischen Akkumulation und Inversion hin- und hergepult wird. Befindet er sich in Inversion, so fließen Minoritätsladungsträger aus Source und Drain in den Kanal, wo sie teilweise in den Switching States festgesetzt werden. Während der Akkumulation fließen die Ladungsträger im Kanal zurück nach Source und Drain, während die im Interface festgesetzten Ladungen nicht abfließen können. Die Majoritätsladungsträger, die jetzt in den Kanal fließen, rekombinieren mit den Ladungsträgern in den Haftstellen und führen so zu einem Stromfluss im Substrat.

Im Folgenden sollen nun die Vorgänge während eines Pulses betrachtet werden. Ausgangspunkt sei hierbei der Transistor in Akkumulation (NMOS). Alle Haftstellen unterhalb des Quasiferminiveaus sind mit Elektronen gefüllt, alle oberhalb sind nicht gefüllt.

Mit Erhöhung des Gatepotentials ändert sich das Oberflächenpotential mit einer definierten Geschwindigkeit. Deswegen werden Löcher aus den Haftstellen ins Valenzband emittiert, so dass sich der Kanal weiter im thermodynamischen Gleichgewicht befindet. Diese Löcher fließen durch das Substrat ab. Der Kanal ist im thermodynamischen Gleichgewicht, so lange gilt:

$$\frac{dQ}{dt}|_{em} > \frac{dQ}{dt}|_{ss} \quad (2.3)$$

Dabei ist $dQ/dt|_{ss}$ die Änderungsrate der festgesetzten Ladungsdichte, die nötig ist um den Gleichgewichtszustand beizubehalten. $dQ/dt|_{em}$ ist die tatsächlich Änderungsrate der festgesetzten Ladungsdichte, hervorgerufen durch die Emission von Löchern. Die beiden Änderungsraten lassen sich quantifizieren als:

$$\frac{dQ}{dt}|_{em} = -q^2 \bar{D}_{ss} \frac{d\psi_s}{dt} \quad (2.4)$$

$$\frac{dQ}{dt}|_{ss} = -q \frac{dn_t(t)}{dt} \quad (2.5)$$

Dabei ist q die Elementarladung, \bar{D}_{ss} die über die Energie gemittelte Switching-State-Dichte, $n_t(t)$ die Anzahl der geladenen Haftstellen und ψ_s das Oberflächenpotential.

Sobald die Bedingung 2.3 nicht mehr erfüllt ist, ist der Kanal nicht mehr im Gleichgewichtszustand. Unter den bei Charge Pumping üblichen Messbedingungen findet dieser Übergang statt, wenn die Gatespannung nahe der Flachbandspannung ist. Ungefähr ab dieser Spannung ist das Oberflächenpotential sehr stark von der Gatespannung abhängig. Das Leeren der Haftstellen wird nun vollständig durch Emission bestimmt. Das Oberflächenpotential ändert sich sehr schnell, bis schließlich Inversion erreicht wird.

Sobald die Spannung die Schwellenspannung überschreitet, sinkt die Zeitkonstante für das Festsetzen von Elektronen in den noch nicht von Löchern geleerten Haftstellen. Diese werden daher nun konsequent von Elektronen gefüllt, die von Source und Drain geliefert werden. Bei der abfallenden Flanke finden ähnliche Vorgänge statt. Zuerst werden die Elektronen emittiert und fließen nach Source und Drain ab, bis schließlich die Schwellenspannung unterschritten wird.

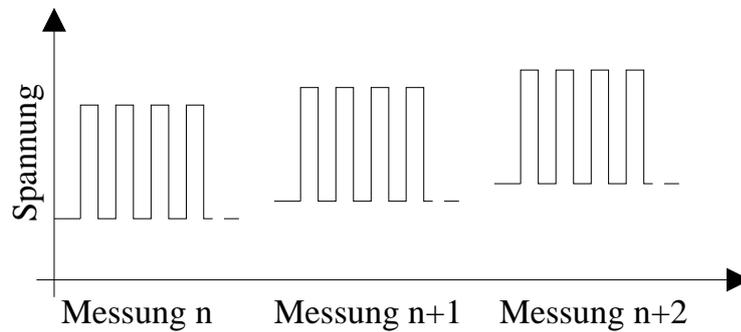


Abbildung 2.7: Messablauf Charge Pumping. Der Charge-Pumping-Strom wird während einer Pulsfolge bei einer bestimmten Pulsbasis gemessen. Anschließend wird die Pulsbasis erhöht (NMOS) und es wird erneut gemessen. Pulshöhe und Basislevel werden so gewählt, dass der Transistor bei der ersten Messung während der kompletten Pulssequenz in Akkumulation und während der letzten Messung komplett in Inversion befindet. Das Ergebnis ist als Kurve in Abbildung 2.8 dargestellt.

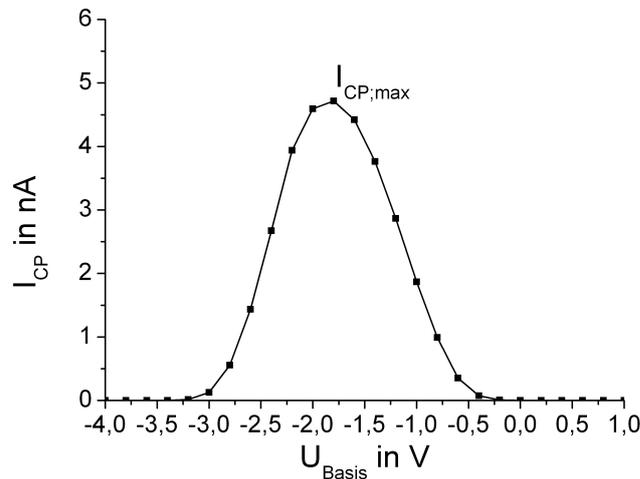


Abbildung 2.8: Typische-Charge-Pumping-Messkurve. Der Strom, der sich aus den Einzelmessungen ergibt (siehe Abbildung 2.7), wird in Abhängigkeit der Basisspannung dargestellt. Der maximale Strom während dieser Messsequenz wird ausgewertet.

Danach ist der Kanal nicht mehr im Gleichgewicht und Elektronen fließen aus den Haftstellen in den Kanal. Schließlich, sobald U_{FB} erreicht wird, fließen Löcher in die, noch mit Elektronen gefüllten, Haftstellen. Daraus ergeben sich vier Ströme:

$$I_1 = -q^2 \bar{D}_{ss} \Delta\psi_e A_g f \quad (2.6)$$

$$I_2 = q^2 \bar{D}_{ss} \Delta\psi_{ee} A_g f \quad (2.7)$$

$$I_3 = -q^2 \bar{D}_{ss} \Delta\psi_h A_g f \quad (2.8)$$

$$I_4 = q^2 \bar{D}_{ss} \Delta\psi_{he} A_g f \quad (2.9)$$

Dabei sind die ψ die Energiebereiche, die mit den Strömen assoziiert sind. Befindet sich das intrinsische Fermienergielevel des Kanals während des Pulses in dem entsprechenden Energieintervall, so fließt der entsprechende Strom. $\Delta\psi_e$ bzw. $\Delta\psi_h$ sind die Energiebereiche, die mit dem Festsetzen der Elektronen bzw. der Löcher assoziiert werden. Die anderen beiden Energiebereiche $\Delta\psi_{ee}$ bzw. $\Delta\psi_{he}$ werden mit der Emission von Elektronen bzw. Löchern assoziiert. Befindet sich das Fermienergielevel im entsprechenden Energiebereich, so fließt der dazugehörige Strom. Die Energiebereiche mit den dazugehörigen Strömen sind in Abbildung 2.9 dargestellt. A_g ist die Gatefläche und f die Frequenz des Wechselsignals am Gate.

$\Delta\psi_{he}$

Abbildung 2.9: Energiebereich der Ströme beim Charge Pumping. Befindet sich das intrinsische Niveau in den entsprechenden Energiebereichen, so fließen die jeweiligen Ströme. Die linke Seite stellt dabei den Weg des intrinsischen Niveaus von Akkumulation bis Inversion dar, die rechte Seite den Rückweg. Da jeweils Ladungen in den Haftstellen verbleiben, fließt ein Nettostrom I_{cp} . Dies geschieht während sich das intrinsische Niveau im schraffierten Bereich befindet (nach [GMBRFD84]).

Die Ströme I_1 und I_4 fließen während des Pulses von Akkumulation nach Inversion, I_2 und I_3 bei der Rückkehr zur Akkumulation. Messbar sind die Netto-Ströme:

$$I_{sub} = I_3 + I_4 = q^2 \bar{D}_{ss} (\Delta\psi_{he} - \Delta\psi_h) A_g f = I_{cp} \quad (2.10)$$

$$I_{SD} = I_1 + I_2 = q^2 \bar{D}_{ss} (\Delta\psi_{ee} - \Delta\psi_e) A_g f = I_{cp} \quad (2.11)$$

Nach einigen Umformungen (siehe Details in [GMBRFD84]) ergibt sich daraus eine vollständige Formel für den Charge-Pumping-Strom (für Rechteck-Pulse).

$$I_{cp} = 2q \bar{D}_{ss} A_g f k_B T \left[\ln(v_t n_i \sqrt{\sigma_n \sigma_p}) + \ln\left(\frac{|U_{FB} - U_T|}{|\Delta U_G|} \sqrt{t_f t_r}\right) \right] \quad (2.12)$$

Dabei sind σ_n und σ_p die effektiven Wirkungsquerschnitte der Elektronen- bzw. Löcherhaftstellen, v_t ist die thermische Geschwindigkeit der Ladungsträger, ΔU_G die Pulshöhe und n_i die intrinsische Ladungsträgerdichte. Die Zeiten t_r und t_f sind die Anstiegs- und Abfallzeiten der Pulsflanken.

Die eigentliche Messung läuft wie in 2.7 dargestellt ab: Durch Änderung des Basislevels des Pulses bei gleicher Pulshöhe ergibt sich jeweils ein geänderter Strom I_{cp} . Die Höhe des Strom hängt davon ab, wie weit der Puls Schwelle und Flachbandspannung überschreitet. Da die maximale Anzahl von Haftstellen erfasst werden soll, wird nur der maximale Charge-Pumping-Strom $I_{CP;max}$ ausgewertet.

Charge Pumping hat eine hohe Sensitivität, kann aber nur Switching States detektieren. Der Messaufwand ist relativ hoch; die Messzeit ist moderat. Da ein kurzer Diagnosestress Haftstellen aufbricht, kann Stress helfen, die Sensitivität zu erhöhen (siehe Abbildung 2.10). In dem Beispiel ändert sich das Niveau des Charge-Pumping-Stroms um zwei Größenordnungen. Es ist außerdem deutlich eine Verschiebung der Schwellenspannung zu beobachten.

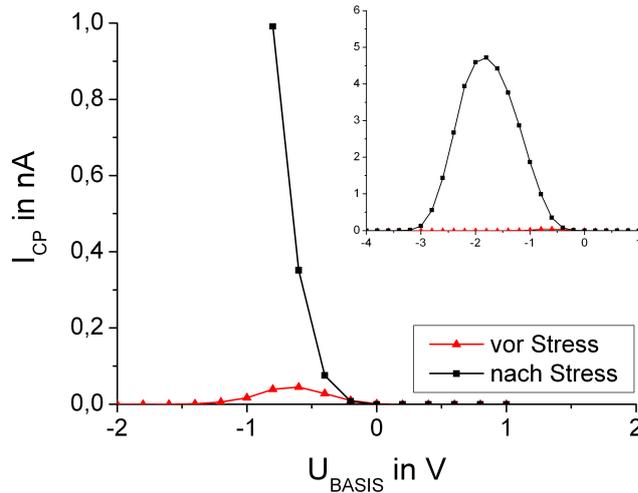


Abbildung 2.10: Typische-Charge-Pumping-Messkurve vor und nach Stress. Das große Diagramm zeigt eine vergrößerte Teilansicht der Messkurve des Stroms vor dem Stress. Durch den Stress ändert der Charge-Pumping-Strom sein Niveau um zwei Größenordnungen.

2.1.5 Messung während des Diagnosestresses

Diagnosestress wird bei einigen PCD-Messungen zur Erhöhung der Sensitivität angewendet. Er lässt sich jedoch auch selbst als Messmethode verwenden, wenn während des Stresses Messwerte aufgenommen werden. Auf diese Weise können sogar mehrere Messmethoden kombiniert werden. Wie aus Abschnitt 1.1.6 bekannt, werden Haftstellen nach kurzem elektrischen Stress depassiviert. Die durch PCD im Oxid entstanden Schwachstellen brechen bereits nach der Injektion einer geringen Ladungsmenge auf. Die festgesetzten Ladungen verändern die elektrischen Eigenschaften des Oxids. Da jeder Defekt nur einmal brechen kann und die Anzahl der schwachen Bindungen begrenzt ist, wird ein deutlicher Transient erwartet, der sich durch eine starke Änderung der Transistoreigenschaften am Anfang des Stresses und eine immer kleiner werdende Änderung bei größeren Zeiten auszeichnet. Messungen während eines Stresses sind daher transiente Methoden, die Änderungen während des Stresses zeitabhängig detektieren. Die gebräuchlichste Methode wurde 1994 von Cheung vorgestellt [Che94] und wird als IETS-Methode (initial electron trapping slope) bezeichnet.

Bei der IETS-Methode wird ein konstanter Strom in das Gate eingeprägt, während alle anderen Anschlüsse auf 0 V liegen. Dabei wird die Polarität so gewählt, dass Elektronen vom Gate injiziert werden. Es ergibt sich das in Abbildung 2.11 dargestellte Bild.

Nach dem Start der Messung dauert es einige Zeit (einige Mikrosekunden, je nach Stromdichte), bis das Spannungsniveau erreicht ist und ein lokales Minimum erreicht wird. Die Spannung steigt nun wieder, bis sie schließlich nach wenigen Millisekunden ein Maximum erreicht. Danach fällt die Spannung nichtlinear. Die Steigung kurz nach dem Maximum wird bestimmt und liefert den Messwert (IETS) dieser Methode.

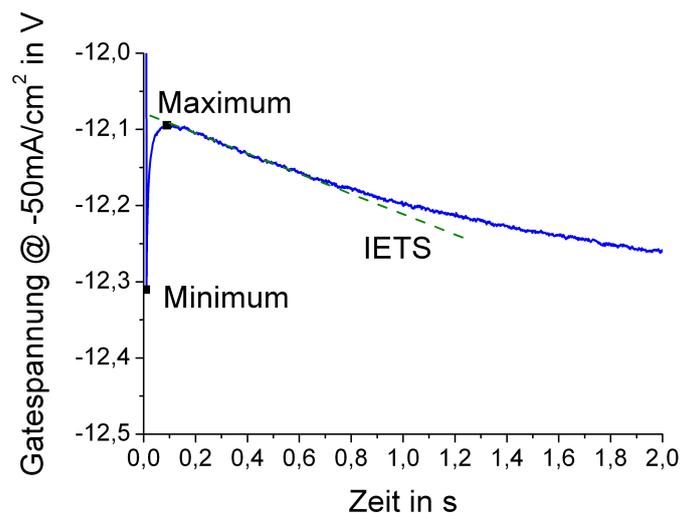


Abbildung 2.11: Transiente Kurve der IETS-Messung. Zu beachten ist, dass die Gatespannung ein negatives Vorzeichen haben, so dass im Maximum die kleinste absolute Spannung anliegt.

Auf Grund der Injektionsrichtung der Elektronen werden am Gate stets negative Spannungen gemessen. Zu beachten ist daher, dass beim Maximum der Gatespannung tatsächlich die geringste *absolute* Spannung anliegt. Es ist also in diesem Fall mit der geringsten Energie möglich den Strom zu treiben.

Der Verlauf der Messkurve wird von Cheung als Überlagerung dreier Kurven erklärt: Der Aufladungskurve der Kapazitäten, dem Festsetzen von positiven Ladungen im Oxid und dem Festsetzen von negativen Ladungen. Die einzelnen Komponenten sind in Abbildung 2.12 dargestellt.

Wie dort zu erkennen fällt die Spannung (sie steigt betragsmäßig), bis die Kapazitäten des Gateoxids und des Messsystems mit Ladungen gefüllt sind und das Messsystem eingeschwungen ist (d. h. den eingestellten Strom auch tatsächlich liefert). Ab diesem Zeitpunkt ist es für den Strom energetisch günstiger durch das Gateoxid zu fließen anstatt weiterhin die Kapazität zu laden. Die Kurve sättigt nun ab und es werden andere Effekte sichtbar. Elektronen und Löcher werden festgesetzt. Dabei wirken Elektronen dem Feld entgegen und Löcher unterstützen das Feld. Wird also der Strom konstant gehalten, so sorgt ein Festsetzen von Elektronen dafür, dass die Spannung fällt (betragsmäßig steigt; mehr Energie) und ein Festsetzen von Löchern dafür, dass die Spannung steigt (betragsmäßig fällt; weniger Energie)(siehe Abbildung 2.13). Beide Vorgänge haben unterschiedliche Zeitkonstanten. Laut Cheung ist die Anzahl der Haftstellen, die positive Ladungen aufnehmen können unabhängig von PCD, außerdem würde die Aufnahme von Löchern nach kurzer Zeit absättigen. Die gemessene Steigung wäre demnach ein Maß für die Geschwindigkeit, mit der Elektronen im Gateoxid festgesetzt werden. Je höher dieser Wert ist, desto mehr weiche Bindungen werden pro Zeiteinheit aufgebrochen. Quantitativ wird die Füllrate der durch PCD erzeugten Elektronenhaftstellen angegeben als [Che01b]:

$$\frac{dN_e}{dt} = \sigma J (N_0 - N_e(t)) \quad (2.13)$$

Dabei ist N_0 die Anzahl der latenten durch PCD erzeugten Elektronenhaftstellen, $N_e(t)$ die Anzahl der zum Zeitpunkt t bereits aufgebrochen und gefüllten Haftstellen, σ der Wirkungsquerschnitt der Haftstellen und J die Stromdichte des Stresstroms. Cheung führt aus, dass für kleine Zeiten $N_0 - N_e(t) \approx N_0$ sei und damit die Elektronenhaftstellenfüllrate direkt proportional zur gesamten Anzahl der Elektronenhaftstellen sei. Die Beziehung zwischen Spannung am Gate und Ladung im Oxid, bei dem oben beschrieben Messaufbau, ergibt sich laut Nissan-Cohen et al. für Elektroneninjektion vom Gate als [NCSFB83a]:

$$\Delta U_{gate} = \frac{1}{\epsilon} Q_{ox} \bar{x} \quad (2.14)$$

Entsprechend gilt für Elektroneninjektion vom Substrat:

$$\Delta U_{sub} = \frac{1}{\epsilon} Q_{ox} (t_{ox} - \bar{x}) \quad (2.15)$$

Dabei sind ΔU_{gate} und ΔU_{sub} die Änderung der Spannung zwischen zwei Punkten der Kurve für die jeweiligen Fälle, Q_{ox} die in der Zwischenzeit hinzugekommene Ladung und \bar{x} der Schwerpunkt der Ladung. Somit ergibt sich, dass eine höhere Änderung der Spannung auch eine größere festgesetzte Ladungsmenge pro Zeit bedeutet. Vergleicht man die Formeln 2.14 und 2.15, so wird auch klar, warum eine Injektion von Elektronen vom Gate zwingend notwendig ist: Nur mit dieser Polarität spielen Interface Traps bei

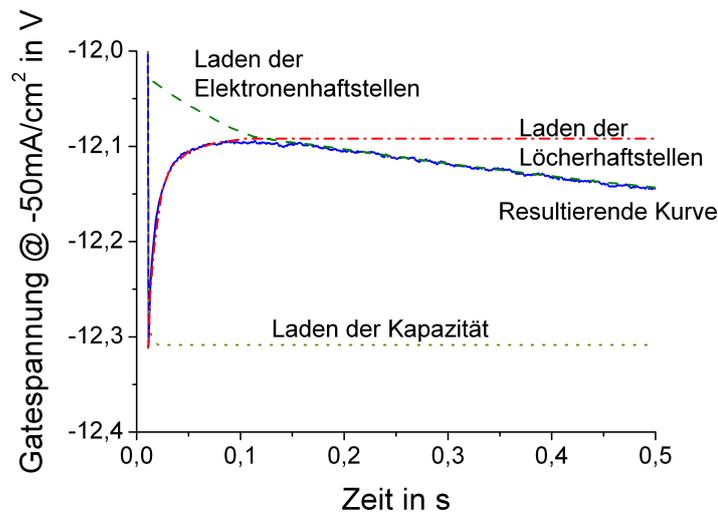


Abbildung 2.12: Transiente Kurve der IETS-Messung (nach [Che96]). Die resultierende Kurve ergibt sich aus dem Laden der Kapazitäten, bei dem keine Ladung festgesetzt wird, dem Festsetzen von Löchern und dem von Elektronen. Durch unterschiedliche Zeitkonstanten der Komponenten entsteht der charakteristische Verlauf.

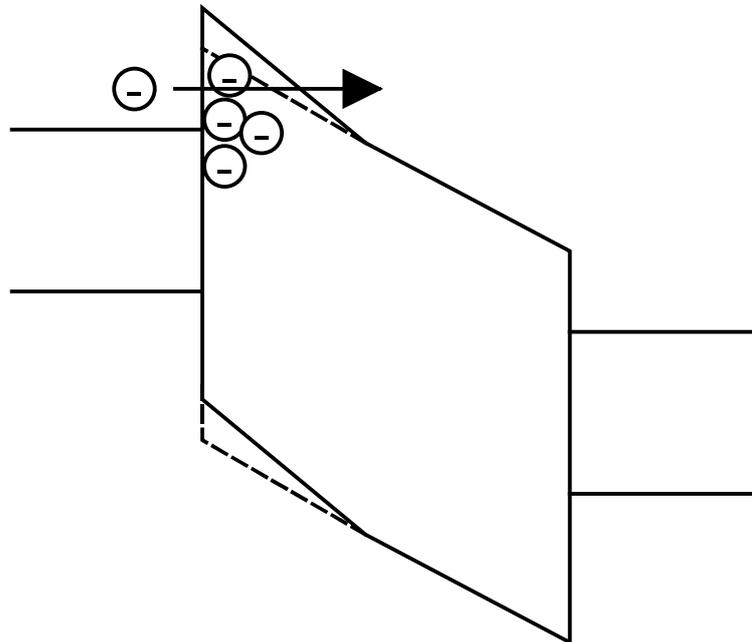


Abbildung 2.13: Spannungsänderung bei der IETS-Messung. Das Festsetzen von Elektronen verformt die Potentialbarriere, die die Elektronen durchtunneln müssen. Werden, wie in der Abbildung, Elektronen festgesetzt, so erhöht sich die Barriere. Die Elektronen müssen statt der ursprünglichen Barriere (gestrichelte Linie) die größere Barriere durchtunneln. Um einen konstanten Strom zu treiben muss also die Spannung erhöht werden. Werden Löcher festgesetzt, verkleinert sich die Barriere.

der Messung keine Rolle (siehe dazu 2.1.2) und verzerren somit nicht das Messergebnis. Interface Traps können bekanntlich leichter erzeugt werden und würden ansonsten das Messergebnis überproportional stark beeinflussen.

In Abschnitt 6.1 sind weitere Untersuchungen zur Ladungsverteilung und dem Festsetzen von Löchern gezeigt.

Obwohl der physikalische Erklärungsansatz von Cheung nicht dem in dieser Arbeit verwendeten Modell entspricht (siehe Abschnitt 1.1.5) und sein Modell kritisiert wurde [BV97] [SPV08], ist die Methode sehr gut geeignet, um PCD nachzuweisen [SWLJ98]. Der hohen Sensitivität steht jedoch ein relativ hoher Messaufwand gegenüber.

Die exakte, automatisierte Bestimmung der Steigung gestaltet sich schwierig, wenn die Transistoren unterschiedlich stark vorgeschädigt sind und sich dadurch die IETS-Messkurven sehr stark unterscheiden. Messungen in Abschnitt 4.4 zeigen, dass IETS sich durchaus über zwei Größenordnungen ändern kann.

Bei weniger geschädigten Transistoren verläuft die Kurve im Maximum sehr flach, so dass die Steigung durch das Rauschen verdeckt werden kann und sie nur schwer gefunden werden kann. Problematisch ist weiterhin der lineare Fit, mit dem die Steigung bestimmt wird. Während sich diese im am stärksten geschädigten Fall sehr schnell ändert, ist bei gering geschädigten Transistoren eine längere Zeit nötig, um die Steigung exakt zu bestimmen. Auf Grund der oben genannten Einschränkungen muss davon ausgegangen werden, dass IETS bei sehr großen Steigungen (hier macht sich die schnell ändernde Steigung bemerkbar) und bei sehr kleinen Steigungen (hier hat das Rauschen einen zusätzlichen Einfluss) eine zusätzliche systematische Abweichung aufweist. Für den Algorithmus zur Bestimmung von IETS muss also ein Kompromiss gefunden werden, der es erlaubt die Steigung in möglichst vielen Fällen, möglichst genau, zu bestimmen. Da sich die Messwerte allerdings teilweise um zwei Größenordnungen ändern, ist die Unterscheidung zwischen leicht und stark geschädigten Transistoren stets möglich.

Die Anwendung der Messmethode wird dadurch erschwert, Parameteranalyser, wie der hier verwendete Agilent 4155B, zwar über die Möglichkeit transiente Messungen aufzunehmen verfügen, jedoch sind sie für die Messmethode nicht optimiert und es liegen beim Hersteller sehr wenige Erfahrungswerte zu diesen Messungen vor. Oszilloskope, die eine sehr gute Zeitauflösung liefern, haben meist eine zu geringe Spannungsauflösung, so dass sie für diese Messmethode nicht geeignet sind. Der hohe Widerstand des Gates ($>10\text{ G}\Omega$ im vorliegenden Fall bei ca. 10 nm Gateoxid) stellt ebenfalls eine hohe Anforderung an die Messgeräte, damit der Strom durch das Messgerät nicht größer wird als der Strom durch das Testobjekt. Zusätzlich sind die wenigsten Messgeräte, die fähig sind, die Spannung und Zeiten ausreichend gut aufzulösen, in der Lage, den hohen Spannungen von deutlich über 10 V standzuhalten.

Zuletzt muss die verwendete Spannungsquelle die geforderte Stromdichte exakt liefern. Daher darf die Teststruktur eine gewisse Mindestgröße nicht unterschreiten. Die im Beispiel genannten 50 mA/cm^2 entsprechen bei einem Transistor von $1\text{ }\mu\text{m}^2$ einem Strom von 500 pA. Bei diesem Strom muss schon erhöhte Aufmerksamkeit auf parasitäre Strompfade gerichtet werden.

2.2 Erstellen von Testfeldern

Um PCD messen zu können, müssen geeignete Testfelder erstellt werden. Dazu sind verschiedene Überlegungen nötig:

2.2.1 Auswahl der Antenne

Zunächst muss überlegt werden, welche Antennen realisiert werden sollen. Dazu ist es nötig, die möglicherweise schädigenden Prozesse zu kennen. In Frage kommen verschiedenste Teilschritte. Deswegen sollten möglichst viele verschiedene Antennen umgesetzt werden, um möglichst alle verdächtigen Prozessschritte zu überprüfen.

Flächenantennen

Flächenantennen sind sozusagen die klassischen Antennen bei der Untersuchung von PCD. Sie wurden bereits sehr früh eingesetzt um prozessinduzierte Schäden zu detektieren [SWS⁺89]. Antennen mit großer Fläche können Schäden durch verschiedene Prozesse einfangen.

Kantenantennen

Diese Antennen zeichnen sich durch eine hohe Kantenlänge aus. Meist bestehen sie aus kammartigen Strukturen, um möglichst geringe Flächen zu verbrauchen. Sie eignen sich beispielsweise um Schäden durch das Metallätzen zu detektieren. Beim Metallätzen tritt der Schaden teilweise in Abhängigkeit von der Kantenlänge auf. Das liegt daran, dass einzelne Leiterbahnen ab dem sogenannten Endpunkt zwar elektrisch von ihrer Umgebung getrennt sind, aber noch einen Fuß haben (siehe Abbildung 2.14). Dieser kann Ladungen einfangen, wenn der Ätzprozess im sogenannten Overetch fortgesetzt wird.

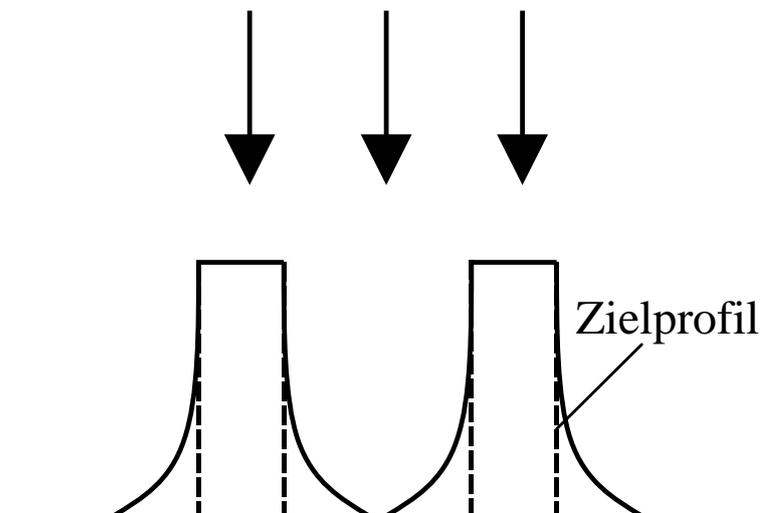


Abbildung 2.14: Zustand beim Endpunkt. Da die einzelnen Leiterbahnen bereits voneinander isoliert sind, kann Ladung über den Fuß eingefangen werden (nach [Che01d]).

Kontaktantennen

Diese Antennen bestehen aus Flächen in zwei aufeinander folgenden Ebenen, die durch Kontakte bzw. Vias verbunden sind. Die Schäden entstehen beim Ätzen des Dielektrikum durch vom Aspektverhältnis der Öffnung abhängige Aufladungen (siehe Abschnitt 1.3.3). Durch diese Antennen können Kontaktätz- bzw. Viaätzschritte als Schadenursache ausgeschlossen oder bestätigt werden.

Implantationsantennen

Auch Antennen für Implantationen können nötig sein. Sie bestehen aus einer Fläche aus Polysilizium, in die jeweils eine Implantation eingebracht wird. Um die Wirkung der jeweiligen Implantationen zu bestimmen, muss die Schadenswirkung einer flächengleichen undotierten Polysilizium-Antenne bekannt sein.

Um Plasmaschäden als Ursache der Schädigungen zu bestätigen, muss ein antennenabhängiges Signal gemessen werden. Dazu müssen Antennen verschiedener Größen (mindestens drei) vorhanden sein. Zusätzlich muss eine Referenz ohne Antenne im Testfeld vorhanden sein, um den Schadensunterschied der Transistoren feststellen zu können. Es können schnell viele dutzend Antennen nötig sein, um PCD in einem gegebenen Prozess zu überprüfen. Oft ist es auf Grund des hohen Flächenbedarfs nicht möglich, alle Prozessschritte mit einem einzigen Maskensatz zu überprüfen.

2.2.2 Design der Teststrukturen

Als Teststruktur, in der das Gateoxid durch PCD geschädigt wird, kommt prinzipiell ein (Feldeffekt-) Transistor oder ein Kondensator in Frage [Che01e]. Bei Transistoren kann durch das Design von Source und Drain auch Einfluss auf das Oxidfeld genommen werden, weswegen streng genommen viele Gleichungen, in denen die Gateoxidfläche A_g enthalten ist, nicht mehr gültig sind. Diese Abweichungen sind jedoch nicht weiter problematisch, da dieser systematische Fehler bei allen Teststrukturen gleich ist und bei der Untersuchung von PCD meist ein Vergleich von verschieden stark betroffenen Strukturen vorgenommen wird. Das Hauptaugenmerk sollte aus mehreren Gründen auf Transistoren liegen. Zum einen hat man bei Transistoren deutlich mehr Möglichkeiten, verschiedene Messmethoden anzuwenden. Zum anderen haben Kondensatoren in Schaltungen meist eine sehr große Fläche. Dadurch reduziert sich, gegenüber einem, meist viel kleineren, Transistor, die Stromdichte, wenn sie an eine Antenne angeschlossen werden. Dies verleiht Kondensatoren in Schaltungen, im Gegensatz zu den oft minimal großen Transistoren, eine gewisse Immunität gegenüber PCD.

Eine weitere wichtige Überlegung betrifft die Größe des Transistors. Ist der Transistor klein, so reicht ein geringer Strom für eine Schädigung aus, da die Stromdichte für den Schaden entscheidend ist. Dies hat jedoch zur Folge, dass Stress-Ströme (siehe Abschnitt 2.1.5 und 2.1.3) nur sehr gering sein dürfen, um den Transistor nicht zu zerstören. Ebenso sind gemessene Leckströme durch das Gateoxid sehr gering, da auch hier die gleiche Stromdichte, einen entsprechend geringeren Strom ergibt. Daher stößt man bei kleineren Transistoren schnell an die Auflösungsgrenzen des verwendeten Messgeräts.

Große Transistoren garantieren eine genauere Messung der Stromdichte, da der zu messende Strom größer ist. Sie sind somit für nahezu alle Messmethoden zu bevorzugen. Ein deutlicher

Nachteil ist jedoch, dass die Antennen in ihrer Größe an die Transistoren angepasst werden müssen. Während der Platzverbrauch eines Transistors, der um den Faktor 100 vergrößert wird, meistens zu vernachlässigen ist, gilt das nicht unbedingt für die Antennen. So sind bei Flächenantennen durchaus Antennen, die die 1000fache, 10 000fache oder sogar 100 000fache Transistorfläche haben, möglich. Testfelder mit großen Transistoren haben daher oft einen sehr großen Platzbedarf auf dem Belichtungsfeld. Es muss also ein Kompromiss gefunden werden, der es erlaubt, sowohl Strommessungen mit einer ausreichend hohen Auflösung durchzuführen, als auch Fläche im Belichtungsfeld zu sparen.

Bei den hier durchgeführten Untersuchungen haben sich Transistoren mit einer Fläche von $5\ \mu\text{m}^2$ bis $10\ \mu\text{m}^2$ bewährt.

2.2.3 Rückführbarkeit auf einzelne Prozess-Schritte

Die Testfelder sollten so konstruiert sein, dass einzelne Prozessschritte als Ursache ausgeschlossen oder bestätigt werden können. Kombinationen von Antennen sollten daher nach Möglichkeit vermieden werden. Eine Möglichkeit, die Rückführbarkeit sicherzustellen, ist das Entkoppeln der Transistoren von äußeren Einflüssen in allen, außer dem entscheidenden Schritt. Soll zum Beispiel ein Transistor mit einer Metall2-Antenne versehen werden, so ist er während des Prozesses komplett isoliert, bis er in der zweiten Metalllage mit der Antenne verbunden wird. In der folgenden Metalllage erfolgt ein Anschluss an eine Schutzstruktur, so dass der Transistor für den Rest des Prozesses immun gegen PCD ist. Ein Anschluss an die Pads erfolgt dann in der dritten oder einer folgenden Metalllage.

Selbst mit dieser Herangehensweise ist ein Schaden immer noch keinem Einzelschritt zuzuordnen. In dem oben genannten Beispiel könnte der Schaden nach wie vor vom Metall2-Ätzen, vom anschließenden Veraschen oder von der Deposition des Viaoxids stammen. Diese Schritte unterteilen sich möglicherweise in weitere Rezeptschritte, die einen Einfluss auf PCD haben können. An dieser Stelle müssen verschiedene Prozessierungsvarianten (Rezeptsplits) oder die Prozessierung auf alternativen Anlagen (Anlagensplits) angedacht werden.

Ein weiteres Problem ist ein parasitärer Einfluss von Zuleitungen und Pads. Eine vollständige Abkapselung des Transistors, wie oben beschrieben, lässt sich daher nicht immer realisieren. So stehen nicht immer geeignete Schutzstrukturen zur Verfügung, auch können Designüberlegungen dagegen sprechen. Beispielsweise müssen die Pads spätestens in der letzten Metalllage realisiert werden. In dieser Metalllage ist also keine Trennung zwischen dem Einfluss der Pads und der Antenne möglich.

Kapitel 3

Umgang mit Plasma Charging Damage

Dieses Kapitel beschreibt Maßnahmen, die es ermöglichen PCD zu reduzieren oder zu eliminieren. Die einzelnen Optionen werden erläutert und ihr Nutzen und ihre Grenzen aufgezeigt. Zur Bewertung wurden sowohl Erkenntnisse von verschiedenen Gruppen, als auch Erfahrungen während des Erstellens dieser Arbeit, herangezogen.

3.1 Prozessanpassungen

Der offensichtlichste Weg mit Problemen durch PCD umzugehen, ist den schädigenden Prozess zu ändern oder zu eliminieren. Dabei ist der erste Schritt, den schädigenden Prozess eindeutig zu identifizieren. Eine Aufgabe, die unter Umständen durchaus anspruchsvoll sein kann. Hier hilft, neben sorgfältig designten Teststrukturen auch die Prozessierung mit alternativen Prozessparametern oder auf alternativen Anlagen (siehe Abschnitt 2.2).

Ein ähnlich großes Problem ist das Beseitigen der Schadenswirkung. Dabei gibt es leider keine allgemeingültige Lösungsstrategie, wie dieses Problem angegangen werden kann. Es können jedoch einige grundsätzliche Überlegungen hierzu angestellt werden.

Als erster Schritt sollte überlegt werden, ob der Schaden in eine der bereits aus der Literatur bekannten Kategorien fallen kann. Die in Abschnitt 1.3 beschriebenen Ursachen geben dazu einen Anhaltspunkt. Grundlage aller Überlegungen muss sein, wie eine lokale oder globale Potentialdifferenz entstehen kann. Dies kann einen Hinweis auf den Schadensmechanismus geben, so dass dementsprechend Maßnahmen eingeleitet werden können.

Es kann weiterhin hilfreich sein eine direkte Messung des Plasmapotentials durchzuführen. Da die meisten Sonden das Plasmapotential verändern, empfiehlt sich dafür eine sogenannte Charm-Probe. Diese fertig prozessierten Wafer werden von der Firma „Wafer Charging Monitors, Inc.“ vertrieben und haben EEPROM-ähnliche Strukturen. Der Wafer wird, nachdem die Strukturen programmiert sind, dem Prozess ausgesetzt. Dabei verschiebt sich, je nach einwirkender Spannung, die Schwellenspannung des EEPROMs. Spezielle Strukturen erlauben außerdem den Strom und eintreffende UV-Strahlung zu messen [Waf]. Dies kann eine Hilfe dabei sein, wenn der Mechanismus durch den PCD wirkt, ermittelt werden soll.

Ist die Schadensursache gefunden und der Schadensmechanismus erkannt, können entsprechende Gegenmaßnahmen eingeleitet werden. Dabei sind die Gegenmaßnahmen so

vielfältig wie die Ursachen. So konnten Hashimoto et al. zeigen [HHHN96], dass PCD, hervorgerufen durch Abschattungseffekte, sich verringern ließ, je nachdem, mit welchem Phasenversatz die anliegende RF-Biasspannung zur gepulsten Energieversorgung des Plasmas eingeprägt wurde. Dadurch sank die Elektronentemperatur und damit der Schaden durch Abschattungseffekte.

Eine Forschergruppe um Nakagawa et al. [NSMN94] zeigte, dass sich der Schaden bei der von ihnen verwendeten MERIE-Anlage (magnetic enhanced reactive ion etch) verringern ließ, wenn die Position der Permanentmagnete variiert wurde. Dies macht deutlich, dass verschiedenste Maßnahmen einen Einfluss auf PCD haben können. Im Zweifel muss wieder durch Splits eine optimale Variante gefunden werden (siehe Abschnitt 2.2).

Bei allen Anpassungen darf jedoch nicht außer acht gelassen werden, dass PCD nicht der einzige Parameter ist, der optimiert werden muss. Oft sind die Prozesse bereits auf verschiedenste Parameter hin optimiert, wie etwa Homogenität, Abscheiderate (bzw. Ätz- oder Aschrate), Durchsatz, Reproduzierbarkeit etc. . Komplexe Wechselwirkungen mit anderen Prozessschritten erschweren die Optimierung zusätzlich. Beispielsweise könnte eine Änderung der Plasmaparameter wie Druck, Leistung oder Gaszusammensetzung dazu führen, dass ein Ätzschritt mehr Polymere erzeugt. In solch einem Fall muss berücksichtigt werden, dass eine nachfolgende Reinigung diese auch entfernen kann.

Aus diesen Gründen lässt sich eine Optimierung von Prozessschritten zur Vermeidung von PCD nicht immer durchführen.

3.2 Designregeln

Spezielle Designregeln für PCD, manchmal Antennenregeln genannt, verfolgen nicht einen technologischen, sondern einen design-technischen Ansatz, um PCD zu beseitigen. Die Grundidee ist hierbei, dass in Testfeldern eine maximale Größe für Antennen gefunden werden kann, die noch keine Schäden verursacht. Diese Antennengröße wird dann als Designregel festgelegt, so dass sie beim Erstellen neuer Schaltungen berücksichtigt werden muss [Che01c]. Zwar ist dies ein sehr einfacher Weg, um PCD einzudämmen, jedoch gibt es auch bei dieser Methode Nachteile.

Sehr restriktive Antennenregeln können das Design von ICs einschränken. Sobald bestimmte, von Design und Technologie abhängige, Grenzen unterschritten werden, ist eine sinnvolle Verdrahtung von Bauteilen nicht mehr möglich. Antennenregeln müssen daher in Zusammenarbeit mit der Designabteilung entstehen.

Eine einfache Maßnahme, um zu lange Metallbahnen zu vermeiden ist, die entsprechenden Leiterbahnen mit einer Brücke anzuschließen (siehe Abbildung 3.1). Das heißt, dass beispielsweise eine Metall1-Leiterbahn, die die Designregeln nicht erfüllt, nicht an einen Transistor angeschlossen wird. Stattdessen werden Transistor und Leiterbahn erst in der zweiten Metalllage verbunden. So kann weder das Metall1-Ätzen noch die nachfolgende Abscheidung auf den Transistor wirken. Es können aber auch aktive Schutzstrukturen nötig sein. Diese sind im nächsten Abschnitt beschrieben.

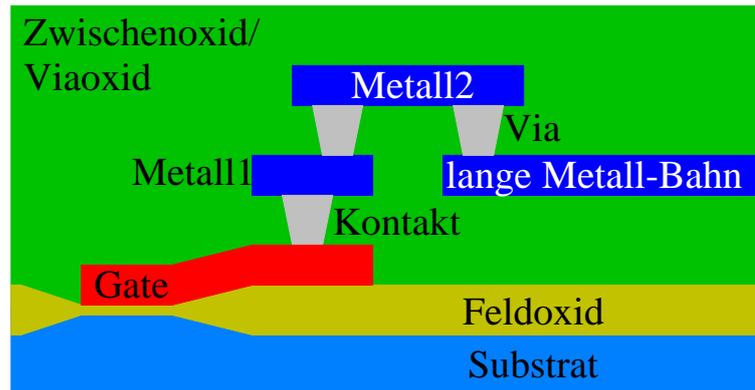


Abbildung 3.1: Konzept einer Brückenstruktur. Eine lange Metallbahn (hier in Metall1) wird vom Gate getrennt und erst in der nächsten Lage mit diesem verbunden. Ladungen, die von der Metall1-Antenne eingefangen werden, können also erst ab der 2. Metalllage an das Gate weitergeleitet werden. Zu diesem späten Zeitpunkt (das Metall ist mittlerweile mit mehreren hundert Nanometern Oxid abgedeckt) fängt die Antenne jedoch nur geringe Ladungen ein.

3.3 Schutzstrukturen

Wenn Aufladungseffekte nicht verhindert werden können, besteht die Möglichkeit die Ladung am Gateoxid vorbei abzuleiten, so dass die Potentialdifferenz ausgeglichen werden kann, ohne das Gateoxid zu schädigen. Dazu werden spezielle Schutzstrukturen benötigt. Diese sollten nach dem Ende des Prozesses möglichst wenig Einfluss auf die Schaltung haben. Im Folgenden sollen einige gängige Typen von Schutzstrukturen betrachtet werden.

Transient Fuse

Die sogenannte Transient Fuse soll vor Schäden durch das Ätzen von Leiterbahnen schützen [Kri99]. Ausgenutzt wird dabei die Tatsache, dass die Ätzrate beim RIE-Verfahren vom Aspektverhältniss abhängt. Die Struktur besteht aus zwei ineinander greifenden Kämmen, von denen eine Seite ans Gate und die andere Seite an einen Substratkontakt angeschlossen ist. Auf diese Weise bleibt während des Ätzvorgangs das Gate mit dem Substrat verbunden, so dass durch diesen Vorgang keine Schäden entstehen können (siehe Abbildung 3.2). Nach dem Ätzvorgang sind die Strukturen voneinander getrennt, so dass keine negativen Auswirkung auf die geschützte Schaltung erwartet werden können. Die Struktur schützt vor Schäden während des Ätzvorgangs in der entsprechenden Metallebene. Ob sie auch noch vor anderen Schäden schützen kann wurde im Rahmen dieser Arbeit untersucht (siehe Abschnitt 5.2).

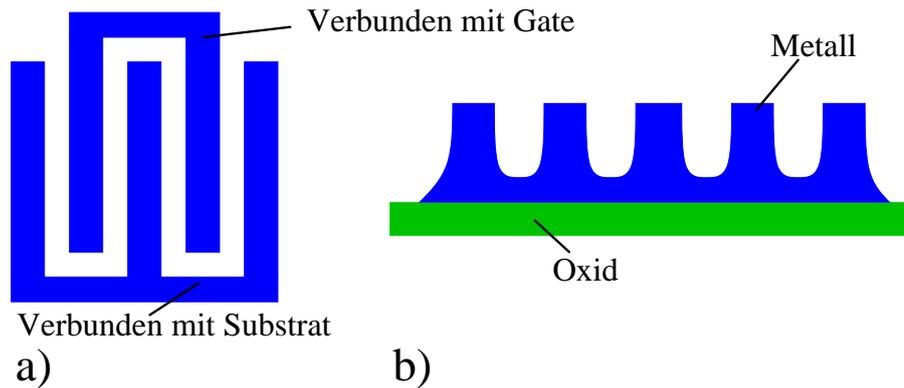


Abbildung 3.2: Konzept Fuse Schutzstruktur. a) Layout der Struktur b) Während des Ätzprozesses: Auf Grund der vom Aspektverhältnis abhängigen Ätzraten, bleiben beide Seiten der Struktur bis kurz vor Ende des Prozesses verbunden. Auf diese Weise besteht während nahezu des kompletten Ätzvorgangs eine Verbindung zum Substrat, durch potenziell schädigende Ströme am Gate vorbei abfließen können.

Schutz durch PN-Übergänge

Ein anderer Schutz wird durch die Verwendung von PN-Übergängen gewährt. Nach gängigen Designregeln gilt ein Gate als geschützt, wenn es parallel zu einem Aktivgebiet angeschlossen ist [Che01c]. Die ausgezeichnete Schutzwirkung beruht dabei auf zwei Mechanismen. Dazu muss zuerst berücksichtigt werden, dass bei PCD stets elektrische Felder mit beiden Polaritäten möglich sind. Eine einfache Diode schützt einerseits gegen Felder einer Polarität, wenn sie in Flussrichtung gepolt ist, aber auch bei Feldern der anderen Polarität ab ihrer Durchbruchspannung. Die Diode wird so platziert, dass ein Betrieb des Transistors weiterhin möglich ist (siehe Abbildung 3.3).

Zusätzlich wird oft ein zweiter Mechanismus genutzt: Sobald die Diode nicht durch Metalllagen abgedeckt ist, kann Licht, das vom Plasma erzeugt wird (Plasma ist ein stark angeregtes Gas), auf die Diode fallen und sorgt so dafür, dass in der Raumladungszone Elektronen-Loch-Paare entstehen, die eine Leitung trotz Schaltung in Sperrrichtung schon bei kleinen Spannungen möglich machen [KA99].

Dieser Mechanismus kann auch mit komplexeren Strukturen genutzt werden. Als Beispiel ist hier eine PNP-Struktur mit einer nicht angeschlossenen Basis gezeigt (siehe Abbildung 3.4). Das Licht, das vom Plasma erzeugt wird, generiert Elektronen-Loch-Paare in der Basis. Auf diese Weise ist ein Stromfluss zwischen dem am Metall1 angeschlossenen Gate und dem Substrat möglich. Daher ist das Gate vor PCD geschützt, allerdings nur wenn entweder Licht oder erhöhte Temperatur, Elektronen-Loch-Paare in der Basis erzeugen. Eine nähere Untersuchung dieser Struktur ist in Abschnitt 5.3 gezeigt.

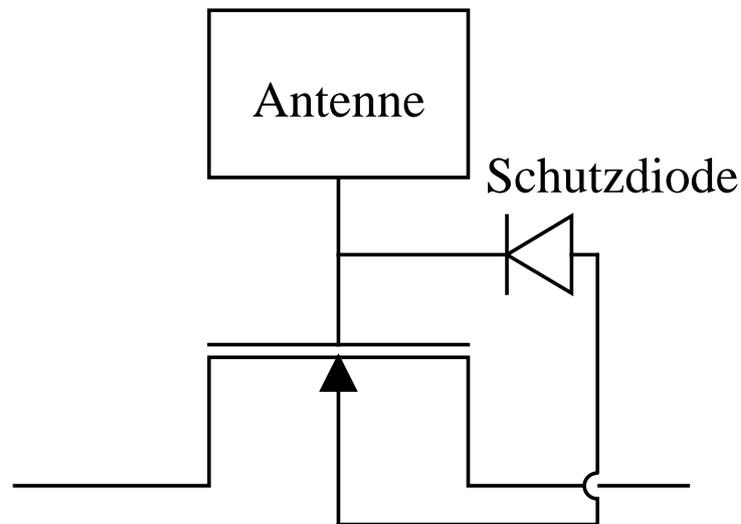


Abbildung 3.3: Funktionsweise einer Schutzdiode. Die Schutzdiode wird so am Transistorgate angebracht, dass sie auftretende Ströme ins Substrat ableiten kann. Sie schützt entweder in Flussrichtung oder im Durchbruch. Die Diode ist so platziert, dass ein Betrieb des Transistors weiterhin möglich ist.

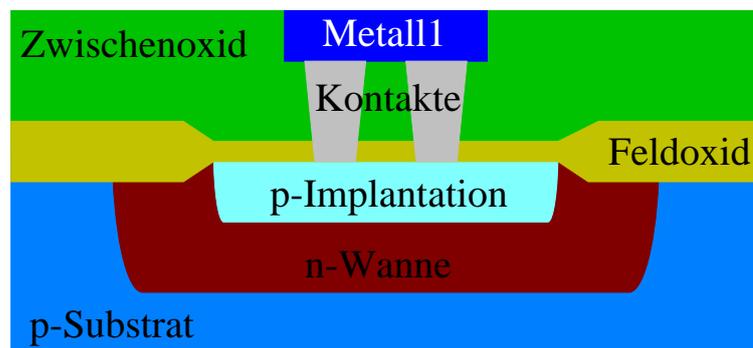


Abbildung 3.4: Konzept einer PNP-Schutzstruktur.

Kapitel 4

Qualifizierung eines 0,35 μm Prozesses

Die in den vorherigen Kapiteln beschriebenen Grundlagen, werden nun konkret angewendet, um einen gegebenen Prozess zu untersuchen. Dieses Kapitel stellt somit die Beschreibung eines wichtigen Teils der Tätigkeiten während der Erstellung dieser Arbeit dar. Es wird in Beispielen gezeigt, wie eine Untersuchung von PCD konkret ablaufen kann und wie die gewonnenen Erkenntnisse bewertet werden können. Dabei wurde Wert darauf gelegt, Iterationsstufen der Untersuchung aufzuzeigen und den Lernprozess nachzuvollziehen. Mit den hier dargestellten Erfahrungen, lässt sich die Untersuchung von PCD schneller und zielgerichteter durchführen.

Einige Besonderheiten des Prozesses, wie die Hochvoltoption und die SOI-Variante werden näher betrachtet, da es zu diesen Themen wenig Literatur vorhanden gibt.

4.1 Zu qualifizierender Prozess

Das Erstellen dieser Arbeit war eng mit der Entwicklung des 0,35 μm -Prozesses am Fraunhofer IMS verbunden. Die Untersuchung von PCD ist bereits am Anfang der Entwicklung eines Prozesses sinnvoll, da so bereits sehr früh einzelne Schritte als Schadensursache ausgeschlossen oder in Betracht gezogen werden können. Außerdem kann diese frühe Phase genutzt werden, um grundlegende Informationen über den Prozess zu erhalten und Informationen zum optimalen Design der Teststrukturen zu sammeln. In einer frühen Phase können auch Prozessanpassungen viel unproblematischer vorgenommen werden, da die meisten Teilprozesse noch nicht endgültig festgelegt sind.

Der hier untersuchte Prozess wies die folgenden Merkmale auf:

- CMOS-Technologie
- kleinste Strukturgröße 0,36 μm
- Automotive-Prozess (Qualitätsanforderungen nach TS 16949)
- DiMOS-Transistoren und Hochvoltoption bis 80 V (eigene Designregeln, zwei Gateoxide und spezielle Implantationen)
- 4 Metalllagen
- Wolframkontakte und Vias
- CMP der Viaoxide und Wolfram-CMP

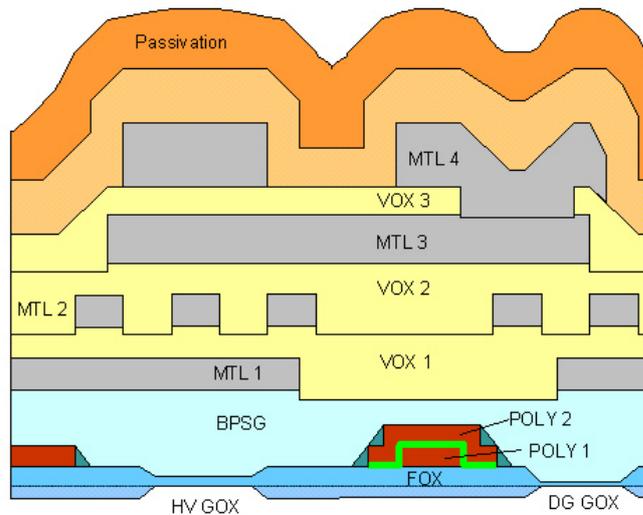


Abbildung 4.1: Schematischer Aufbau des 0,35 μm -Prozesses [Pas08].

- Silizidiertes Polysilizium (optional: Blockieren der Silizidierung)
- optional: zweite Polysiliziumlage für Flash-Speicher
- verschiedene Optionen für Kapazitätsimplantationen, EEPROMs etc.
- Fertigung auf 8 Zoll Wafern

Der schematische Prozessquerschnitt ist in Abbildung 4.1 dargestellt. Eine REM-Aufnahme der Metallisierung ist in Abbildung 4.2 zu sehen.

In dem zu untersuchenden Prozess gibt es eine große Zahl von Prozessschritten, die möglicherweise PCD verursachen können. Dazu zählen (alle Optionen vorausgesetzt) nach dem Aufwachsen des digitalen (das heißt dünneren) Gateoxids: 7 Implantationen, 16 Plasmaätzschritte, 7 dielektrische Depositionen und 14 Veraschritte.

Mit dieser Aufzählung sind nur die einzelnen (in der Laufkarte abmeldbaren) Prozessschritte erfasst. Die Deposition des Viaoxids beispielsweise (ein Schritt) besteht tatsächlich aus mehreren Einzelschritten, bei denen der Wafer durch verschiedene Kammern der Anlage geschleust wird. Das Rezept beinhaltet unter anderem eine Deposition, einen Sputter-Ätzschritt und eine weitere Deposition. Dieser Ablauf soll für eine gute Kantenbedeckung des Oxids auf dem unterliegenden Metall sorgen, führt aber dazu, dass drei (statt einem) möglicherweise kritische Schritte betrachtet werden müssen. Daher ist die tatsächliche Anzahl möglicherweise kritischer Schritte noch um einiges höher. Diese lassen sich zwar durch eine Antennenstruktur erfassen, wird jedoch ein Schaden festgestellt, so ist eine detailliertere Analyse nötig.

Interessant für die Untersuchung von PCD ist die Hochvolt-Option, die zur Folge hat, dass in dem Prozess zwei Gateoxide existieren, das sogenannte digitale Gateoxid mit ungefähr 10 nm Dicke und das sogenannte analoge Gateoxid mit ungefähr 45 nm Dicke. Diese Begrifflichkeiten leiten sich aus der vorwiegenden Verwendung der mit diesem Gateoxid konstruierten Bauteilen ab: Das digitale Gateoxid wird bei Transistoren verwendet, die für den Digitalteil von Schaltungen eingesetzt werden.

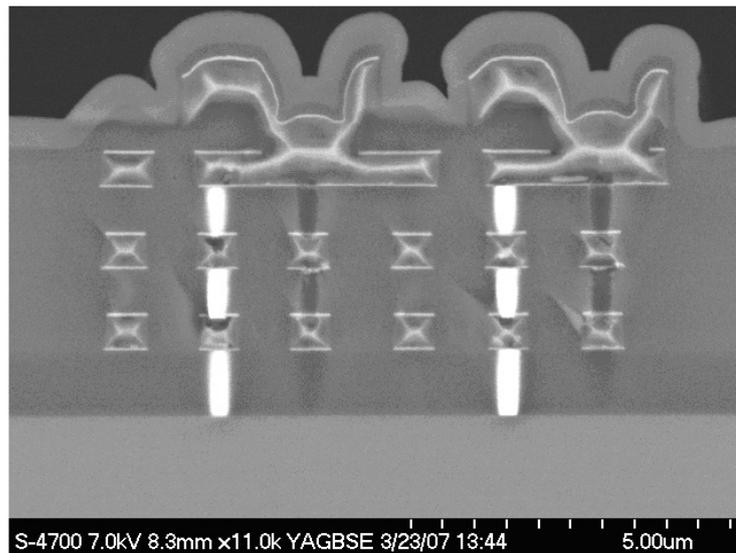


Abbildung 4.2: REM-Aufnahme der Metallisierung des 0,35 μm -Prozesses [Pas08].

Das analoge Gateoxid wird in Transistoren verbaut, die für höhere Spannungen ausgelegt und daher niedriger dotiert sind. Sie werden hauptsächlich für den analogen Teil von Schaltungen (der auch höhere Spannungen beinhalten kann) eingesetzt. Die niedrig dotierten Implantationen des Analog-Transistoren konnten zur Implementierung der PNP-PCD-Schutzstruktur (siehe Abschnitt 5.3) genutzt werden. Diese Struktur hat auf Grund der hohen Durchbruchspannung ideale Eigenschaften für Messungen bei hohen Stressspannungen.

4.2 Testfelder und Messergebnisse

4.2.1 Voraussetzungen bei Beginn der Untersuchungen

Neben der Bewertung möglicher Messmethoden war die Entwicklung und das Auswerten von Teststrukturen eine der Hauptaufgaben dieser Arbeit. Die Entwicklung von Designregeln, um PCD verhindern zu können stand dabei im Vordergrund. Das Testen eines Prozesses auf PCD stellt, wenn man noch keinen Anhaltspunkt für den zu erwartenden Schaden hat, naturgemäß eine Arbeit dar, die viele Iterationsschritte erfordert. Ausgangspunkt der Arbeit war ein bereits vorhandenes Testfeld, das auf Grund von Erfahrungswerten aus Technologien mit größeren minimalen Abmessungen erstellt worden war. Dieses bestand aus einer Mischung von den bereits erwähnten Digital- und Analogtransistoren.

Als Untersuchungsmethode wurde bei allen Analysen die Messung des Gateleckstroms genutzt. Diese hat den Vorteil der leichten Automatisierbarkeit und relativ hoher Geschwindigkeit (siehe dazu Abschnitt 2.1.1). Die geringe Sensitivität war kein Nachteil, da die Schäden am Anfang der Untersuchung sehr deutlich waren. Messergebnisse von Methoden mit einer höheren Sensitivität, die auch subtilere Schäden detektieren, werden in Abschnitt 4.4 behandelt.

In diesem Testfeld gab es mehrere Teststrukturen, wobei der Schwerpunkt auf Antennen, die eine große Anzahl vertikale Verbindungen (Vias, Kontakte) enthielten, lag. Die Digitaltransistoren hatten eine Fläche von nur $0,4 \mu\text{m}^2$, die Analogtransistoren waren mit $2,56 \mu\text{m}^2$ etwas größer. Alle Analog- als auch Digitaltransistoren teilten sich einen Source-Anschluss, hatten aber jeweils einzelne Gate- und Drain-Anschlüsse. Die Transistoren waren in der ersten Metalllage an Pads, die pro Metalllage eine Fläche von ca. $12\,000 \mu\text{m}^2$ hatten, angeschlossen. Zusätzlich waren jeweils mehr als 2200 Vias bzw. Vias2 in den Pads verbaut. Dieses erste Testfeld war aus verschiedenen Gründen suboptimal.

Parasitäre Antennen

Erste Messungen, bei einem nach Metall4 ausgesteuerten Wafer, zeigten, dass nahezu alle Digitaltransistoren (auch die Referenzstruktur ohne Antenne) ein zerstörtes Gateoxid hatten. Besonders die hohe Anzahl Vias in den Pads waren problematisch. Die schädigende Wirkung der Pads auf die Transistoren war also so groß, dass ein Vergleich zwischen Referenz und Struktur mit Antenne nicht möglich war.

Kleine Transistoren

Der Effekt der Schädigung durch die Pads wurde durch die sehr kleinen Flächen der Transistoren noch verstärkt. Die den Schaden verstärkende Wirkung der Antennen und auch der Pads, war zu groß um ein sauberes Messsignal zu erhalten.

Gemeinsamer Anschluss von Analog- und Digitaltransistoren

Die Analogtransistoren wiesen jedoch keine Schäden auf. In den ersten Messreihen zeigte sich eine Verschlechterung der Messwerte der Digitaltransistoren, wenn sie nach den Analogtransistoren gemessen wurden. Die hohen Spannungen, die zum Messen der Analogtransistoren nötig waren, konnten offensichtlich auf die Digitaltransistoren rückwirken.

Anschluss an das Pad in der ersten Metalllage

Der Anschluss an das Pad erfolgte bereits in der ersten Lage, so dass alle schädigenden Prozessschritte, die auf das Pad wirkten auch auf das Transistorgate Einfluss nehmen konnten. Die schädigende Wirkung der Pads kann verringert werden, wenn der Anschluss an den Transistor erst in der letzten Metallebene erfolgt. Dies hat jedoch auch den Nachteil, dass Messungen nicht nach jeder Metalllage vorgenommen werden können. Dieser Punkt ist also ambivalent zu sehen.

Dass aus dem Testfeld dennoch Erkenntnisse gewonnen werden konnten, liegt daran, dass auch einige Wafer zur Verfügung standen, die nach der ersten Metalllage ausgesteuert wurden. Bei diesen Wafers waren die meisten Transistoren intakt. Daher konnte nach dieser ersten Messung nur festgestellt werden, dass PCD vorhanden ist und offensichtlich mit Beginn der Metallisierung auftritt.

Nach einigen Iterationsstufen wurde das grundlegende Design der Testfelder verbessert, um aussagekräftigere Messergebnisse zu erhalten. Dazu wurde die Anzahl der in den Pads vorhandenen Vias und Vias2 deutlich reduziert und die Transistorfläche erhöht. Zu beachten ist, dass sich die Antennenflächen im Allgemeinen mit der Transistorfläche vergrößern, da immer Antennenverhältnisse untersucht werden müssen, um eine fundierte Aussage über PCD treffen zu können. Als optimaler Kompromiss zwischen dem Flächenbedarf der Testfelder und der Messauflösung stellte sich dabei eine Transistorfläche von $5 \mu\text{m}^2$ bis $10 \mu\text{m}^2$ heraus.

Um die parasitären Schäden durch die Pads weiter zu reduzieren, wurden bei späteren Testfeldern die Transistoren in der letzten Metalllage angeschlossen. Dies war jedoch erst sinnvoll, als mit fortschreitender Entwicklung des Prozesses praktische alle Chargen einen kompletten Prozessdurchlauf mit vier Metallagen erhielten. Am Anfang der Untersuchungen war der Anschluss in der ersten Metalllage durchaus ein Vorteil, da auf jedem Wafer, egal nach welcher Lage er angesteuert wurde, Messungen vorgenommen werden konnten. Eine weitere Verbesserung stellt die Nutzung der PNP-Schutzstruktur dar (siehe Abschnitt 5.3). Diese wird in der, der Antenne folgenden, Metalllage an das Gate des Transistors angeschlossen und verhindert, dass Schäden, außer denen, die durch die Antenne verursacht werden, auf das Gateoxid einwirken. So ist eine Trennung der einzelnen PCD-Ursachen möglich.

4.2.2 Untersuchungsbeispiele

Mit neu erstellten und verbesserten Testfeldern wurde nun eine vertiefte Analyse des Prozesses möglich. Umfangreiche Testfelder wurden erstellt, die NMOS- und PMOS-Transistoren enthielten. Es wurden Testfelder zur Untersuchung von Flächenantennen, Kantenantennen, Implantationsantennen, Antennen mit Kontakten und Vias sowie Antennen für das Passivierungsätzen erstellt, so dass im Rahmen dieser Arbeit über 40 verschiedene Testfelder ausgewertet wurden. Dabei wurden die Antennengrößen variiert, um eine mögliche Antennenabhängigkeit der Schäden feststellen zu können. Die Ausführungen in diesem Abschnitt beziehen sich ausschließlich auf Transistoren mit dem digitalen Gateoxid (ca. 10 nm). Beispiele für solch eine Untersuchung werden im Folgenden dargestellt.

Ein untersuchtes Testfeld wurde für die Analyse des Einflusses von Kontakten entwickelt. Das Testfeld war besonders umfangreich um den Schaden in möglichst vielen Abstufungen untersuchen zu können und bei den größten Antennen massive Schäden zu verursachen. Dabei wurde die Anzahl der Kontakte soweit erhöht, dass ein Schaden schließlich garantiert war. Gemessen wurde der Gateleckstrom bei 3,3 V (NMOS) bzw. -3,3 V (PMOS) am Gate und allen anderen Anschlüssen auf 0 V. In Abbildung 4.3 ist die Wirkung der verschiedenen Antennen auf den Gateleckstrom dargestellt. Die Gatefläche betrug $7,5 \mu\text{m}^2$.

Deutlich ist die Änderung der Verteilung zu beobachten. Während bei niedrigem Schaden eine kontinuierliche Verteilung sichtbar ist, spaltet sich die Verteilungsfunktion nach und nach in zwei unterschiedliche Populationen auf. Es gibt zu diesem Zeitpunkt nur noch Transistoren, die als ungeschädigt gemessen werden und solche, die als vollständig zerstört betrachtet werden müssen. Hier ist offensichtlich die Energie, die sich durch den Gateoxid-Kondensator beim Durchbruch entlädt so groß, dass keine weichen Durchbrüche mehr vorkommen.

Aus der Literatur ist bekannt, dass PCD oft eine charakteristische Verteilung über den Wafer aufweist [TNKH87] [Che01b]. In einem weiteren Schritt wurde versucht, die Schäden zu lokalisieren. Dazu wurde ein Programm entwickelt, das es erlaubt, die Messergebnisse einer kompletten Charge orts aufgelöst zu verdichten. Wurde eine solche Analyse für die in Abbildung 4.3 gezeigten Messdaten durchgeführt, so zeigte sich eine örtliche Verteilung der Schäden. Wie in den Abbildungen 4.4 bis 4.7 deutlich zu erkennen, ist der Schaden am Rand des Wafers stets größer als in der Mitte. In jedem Die ist der Median über alle gemessenen Wafer der Charge dargestellt. Die Skala ist logarithmisch gewählt. Jede

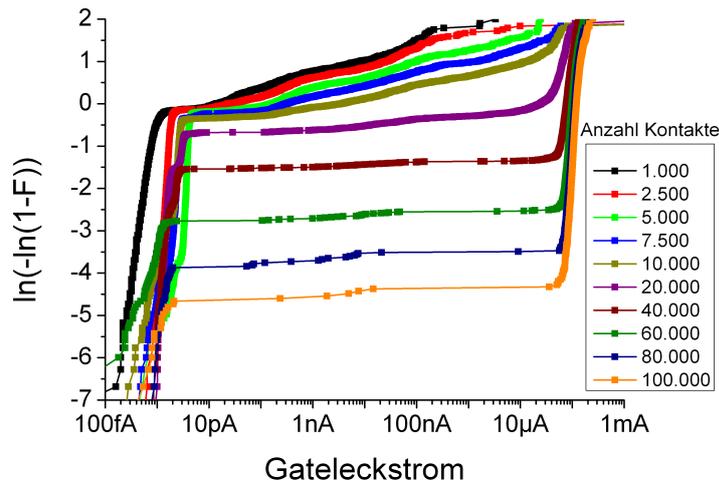


Abbildung 4.3: Verschiedene Kontaktantennen (PMOS $7,5 \mu\text{m}^2$). Mit zunehmender Kontaktanzahl nimmt der Gateleakstrom (gemessen bei $-3,3 \text{ V}$) zu.

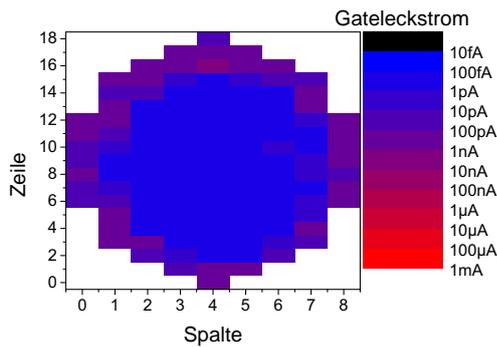


Abbildung 4.4: Verteilung des Gateleakstroms bei 1.000 Kontakten.

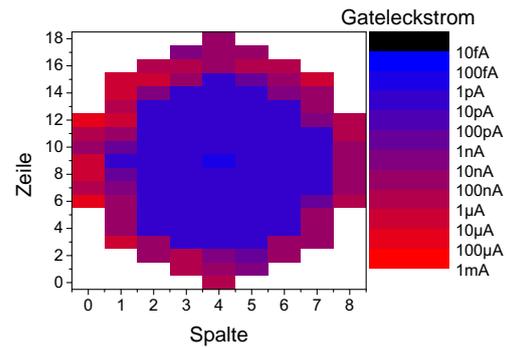


Abbildung 4.5: Verteilung des Gateleakstroms bei 10 000 Kontakten.

Farbänderung stellt also die Änderung des Stroms um eine Größenordnung dar. Diese typische Mitte-Rand-Verteilung zeigte sich bei verschiedenen PCD-Versuchen, sowohl beim Kontakt- und Viaätzen als auch bei Kanten- und Flächen-Antennen. Teilweise ergibt sich noch ein zusätzlicher Fleck mit stark betroffenen Dies in der Mitte des Wafers, so dass nur ein Ring mit guten Dies vorhanden ist. Ein solches Profil ist typisch für PCD, insbesondere bei sogenannten Barreletch-Anlagen und bei magnetisch verstärkten Plasmen, wie sie am Fraunhofer IMS verwendet werden [TNKH87] [Che01b].

Um sicher zu gehen, dass die gemessene Schadensverteilung tatsächlich durch PCD erzeugt wurde und nicht lediglich ein Abbild der Gateoxidqualität ist, muss ausgeschlossen werden, dass bereits die Gateoxidqualität eine Mitte-Rand-Verteilung aufweist. Eine Überprüfung der Wafer Level Reliability (WLR) Teststrukturen zur Kontrolle der Gateoxidqualität offenbarte jedoch keine Probleme. Diese Strukturen bestehen aus Kondensatoren, die eine ähnlich große Fläche wie die Pads aufweisen. Auf Grund des daraus resultierenden, sehr

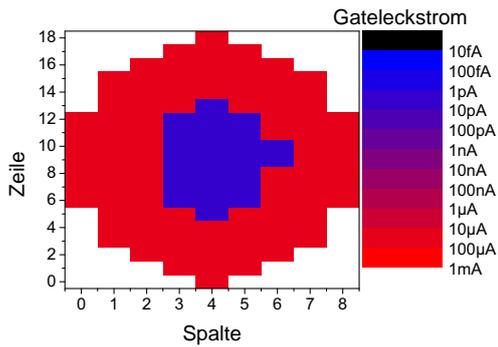


Abbildung 4.6: Verteilung des Gateleckstroms bei 40 000 Kontakten.

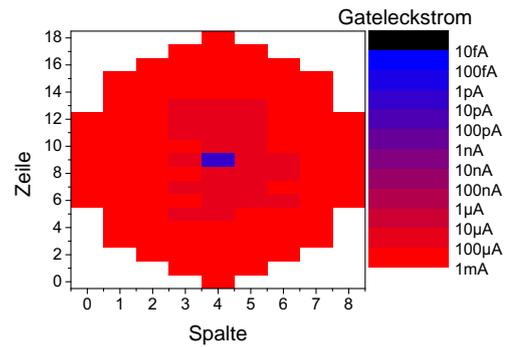


Abbildung 4.7: Verteilung des Gateleckstroms bei 80 000 Kontakten.

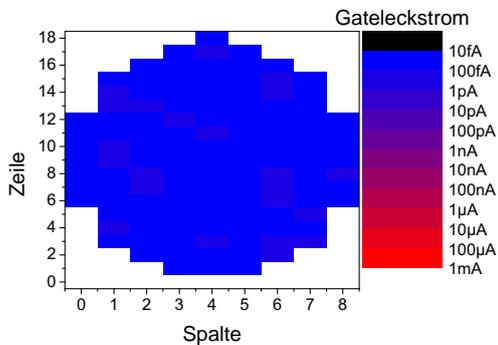


Abbildung 4.8: Verteilung der Leckströme durch Kondensatoren über dem P-Substrat.

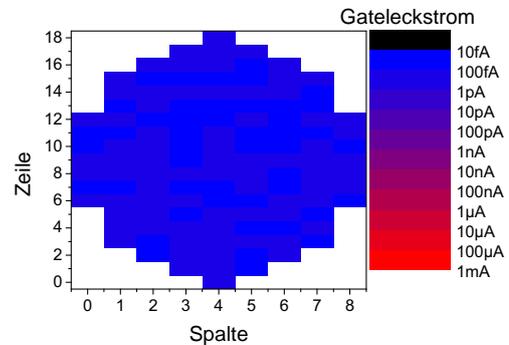


Abbildung 4.9: Verteilung der Leckströme durch Kondensatoren über der N-Wanne.

geringen, Antennenverhältnisses sind sie immun gegen PCD. Somit ist tatsächlich PCD für die bei den Antennenstrukturen beobachtete Verteilung ursächlich.

Die in Abbildung 4.8 und 4.9 gezeigten Wafermaps zeigen den Median des Leckstroms durch den Kondensator pro Die, gemessen an denselben Wafern an denen auch die vorherigen Wafermaps ermittelt wurden. Zu beachten ist jedoch, dass die Fläche der gemessenen Kondensatoren um den Faktor 1333 größer war als die der Transistoren in den PCD-Testfeldern und dass zusätzlich der Leckstrom durch das Oxid bei $-6,5\text{ V}$ (über dem P-Substrat) bzw. $6,5\text{ V}$ (über der N-Wanne) gemessen wurde. Da hier schon deutlich geringere Stromdichten nachweisbar waren und außerdem ein deutlich höheres Feld anlag, hätten Schwächen im Gateoxid sofort sichtbar werden müssen. Da dies nicht der Fall war, konnten Probleme mit der Gateoxidqualität ausgeschlossen werden.

Besonders zu Anfang der Untersuchungen war das Aussteuern der Wafer nach verschiedenen Metallebenen sehr hilfreich. Auf diese Weise konnte die Progression des Schadens durch die Metallisierungsebenen beobachtet werden. Als Beispiel wird in Abbildung 4.10 der Schaden einer Antenne aus einer Metall1-Fläche dargestellt.

Deutlich ist ein Anstieg des Schadens *nach* der ersten Ebene zu beobachten. Ursache des Schadens ist also nicht das Metallätzen, in der Ebene der Antenne selbst, sondern ein

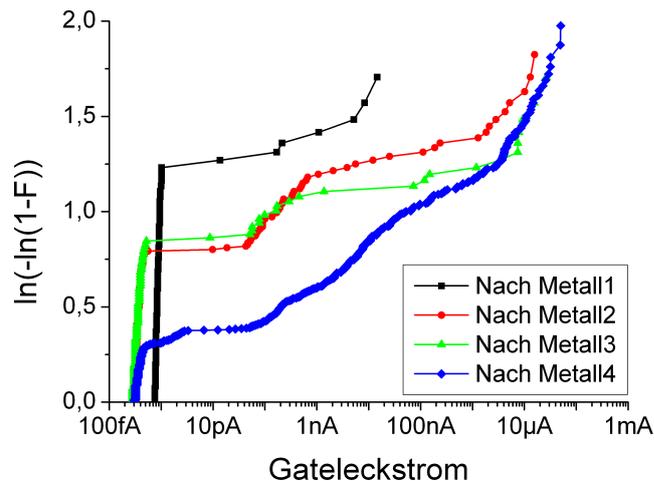


Abbildung 4.10: Austeuerung NMOS mit Metall1-Antenne nach verschiedenen Ebenen ($7,5 \mu\text{m}^2$ Gatefläche). Der Schaden erhöht sich bei einer späteren Aussteuerung.

Schritt, der zwischen der ersten und zweiten Metallebene stattfindet. Zusätzlich werden Ladungen durch die Pads eingefangen, die zu Schäden in den weiteren Ebenen führen. Zu beachten ist, dass für die Messungen eine unterschiedliche Anzahl von Wafern mit den jeweiligen Ebenen zur Verfügung standen.

Als mögliche Ursache für den Schaden wurde die Abscheidung des Oxids vermutet. Die Abscheidung der Viaoxide funktioniert nach dem Prinzip Dep-Etch-Dep, also Deposition, Rückätzen und erneute Deposition. Zuerst wird eine, gemessen an der Gesamtdicke des Schichtstapels, relativ dünne Oxidschicht mit einer plasmaunterstützten Abscheidung (PECVD) aufgebracht. Diese erste Oxidschicht bedeckt die Metallbahnen mit einigen hundert Nanometern Oxid. Da die Abscheidung nicht ganz konform ist, kann es bei geringen Abständen der Metallbahnen vorkommen, dass Bereiche entstehen die nicht mit Oxid verfüllt sind (siehe Abbildung 4.11). Anschließend wird ein Sputterätzschritt durchgeführt. Da der Abtrag des Sputterätzens winkelabhängig ist, wird an den Ecken der Metallbahnen besonders viel Oxid entfernt, so dass die Kanten gebrochen werden (siehe Abbildung 4.12). Die zweite plasmaunterstützte Abscheidung kann die unverfüllten Bereiche verschließen und bringt die Schicht schließlich auf die geforderte Solldicke.

Da außerdem bei Messungen herausgefunden wurde, dass Antennen mit einer erhöhten Kantenlänge deutlich mehr Schaden verursachen, als Antennen mit großer Fläche, aber kleiner Kantenlänge, lag der Verdacht nahe, dass die Schäden durch das Rückätzen während der Viaoxidabscheidung verursacht wurden. Wäre die plasmaunterstützte Abscheidung die Schadensursache, so würde eine Abhängigkeit des Schadens von der Fläche der Antenne erwartet. Die Abhängigkeit von der Kantenlänge spricht für einen Prozess, der vorwiegend an den Kanten wirkt, wie etwa das Sputterätzen.

Die Kantenantennen wurden als gefingerte Strukturen realisiert, also als einzelne Metallbahnen mit Minimalbreite, die miteinander verbunden sind, um so eine sehr hohe Kantenlänge bei geringer Fläche zu realisieren. Um sicher zu gehen, dass diese Struktur nicht einen Schaden durch hohe Aspektverhältnisse verursacht (siehe Abschnitt 1.3.3), wurde der Abstand der Metallbahnen variiert. Diese Untersuchung war notwendig, da der

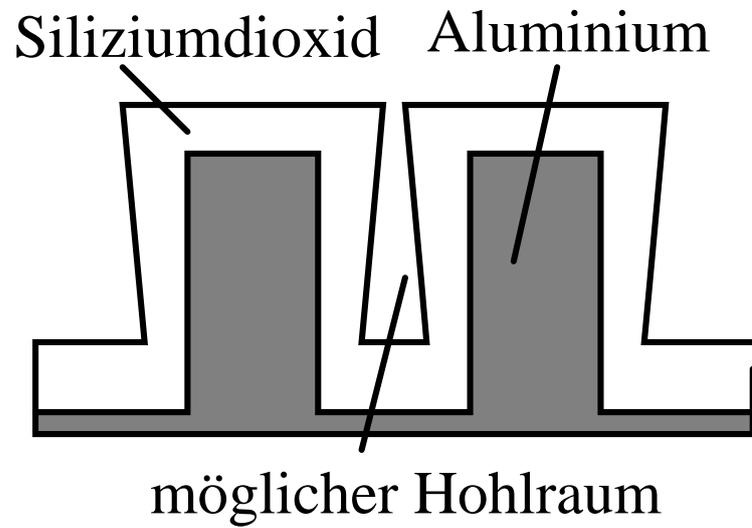


Abbildung 4.11: Zustand nach der ersten Abscheidung. Wird die Abscheidung fortgesetzt, würden zwischen den Leiterbahnen Hohlräume entstehen (nach [Hil04]).

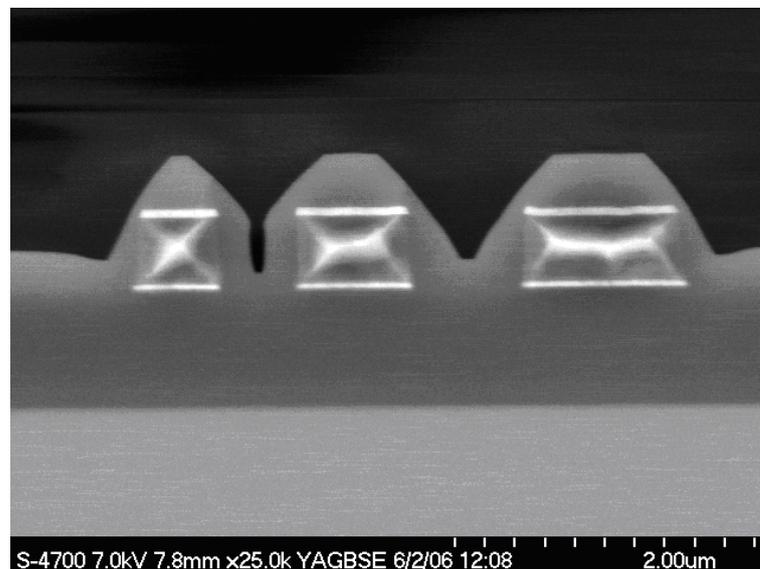


Abbildung 4.12: REM-Aufnahme von Metallbahnen nach erster Abscheidung und Sputterätzen [Vos].

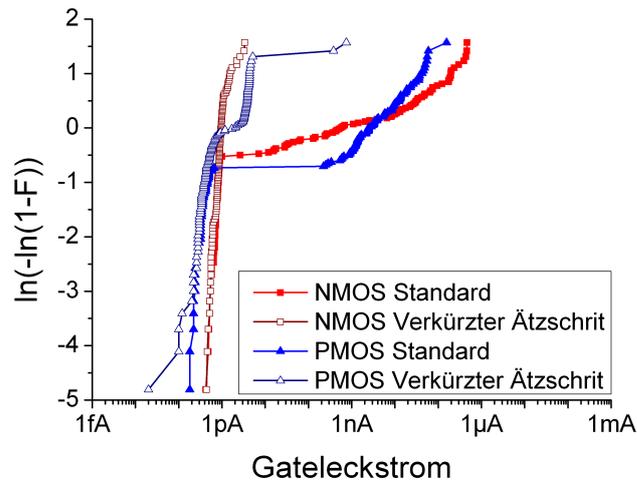


Abbildung 4.13: Vergleich Standardrezept und Verkürzter Sputterätzschritt.

Schaden aufgeschlüsselt nach der Aussteuerungsebene nur für Flächenantennen bekannt war (siehe Abbildung 4.10). Aus logistischen Gründen konnte diese Untersuchung nicht für Kantenantennen wiederholt werden. Daher bestand weiterhin die Möglichkeit, dass der kantenabhängige Schaden durch das Metallätzen (siehe Abschnitt 2.2) verursacht werden konnte. Die Antennen mit einem größeren Abstand zeigten jedoch einen noch größeren Schaden. Würde der Schaden durch das Metallätzen verursacht, so würde aber ein geringerer Schaden erwartet. Wie in Abbildung 4.12 zu erkennen, werden beim Sputterätzen die Kanten von Metallbahnen, die weiter auseinander liegen, stärker freigelegt. Der Grund hierfür ist die Form der vorhergehenden Abscheidung. Hier ist also mit steigendem Abstand ein erhöhter Schaden zu erwarten, da die freiliegenden Kanten mehr Ladung einfangen können, als die noch mit Oxid bedeckten Kanten.

Die Hauptursache von PCD wurde dann tatsächlich in dem Sputterätzschritt nachgewiesen. Um diesen Nachweis zu führen war eine Rezeptänderung im Abscheidungsrezept und der direkte Vergleich mit dem ursprünglichen Standardrezept nötig. Die Änderung bestand darin, den Sputterätzschritt zu verkürzen und anschließend den zweiten Abscheideschritt entsprechend anzupassen, um am Ende die gleiche Schichtdicke zu erhalten. Dieser verkürzte Sputterätzschritt legt die Kanten der Metallbahnen nicht frei und kann so auch nur zu deutlich geringerem PCD führen. In Abbildung 4.13 sind die Weibullgraphen von einer Antennenstruktur mit hoher Kantenlänge dargestellt. Es ist deutlich zu erkennen, dass das Standardrezept erheblich mehr PCD verursacht. Das alternative Rezept erzeugt hingegen nur minimale Schäden. Auch wenn für eine quantitative Aussage deutlich mehr Wafer gemessen werden müssten, so ist sofort offensichtlich, dass der Schaden durch den Sputterätzschritt verursacht wird. Leider ist das alternative Rezept nicht produktionstauglich, da die Füllung der Zwischenräume zwischen den Metallbahnen nicht ausreicht und daher Hohlräume im Oxid entstehen. Als Alternative bietet sich zur Zeit eine ähnliche Anlage an, bei der jedoch während des Rückätzens der Wafer gekühlt wird. Diese Kühlung bringt nachweislich ebenfalls eine deutlich Reduzierung von PCD.

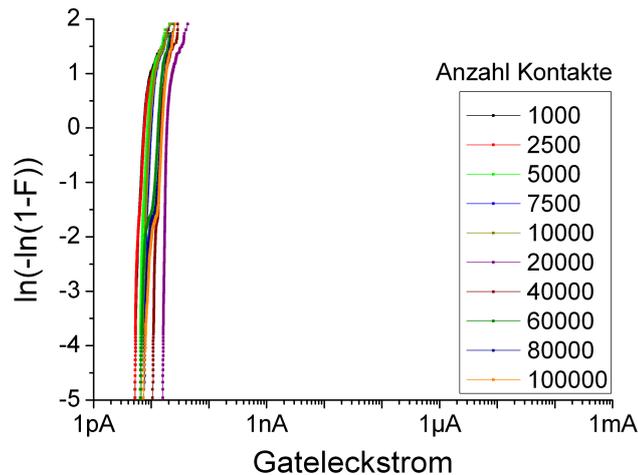


Abbildung 4.14: Gateleckstrom bei Analogtransistoren (PMOS).

4.2.3 Untersuchung der Analogtransistoren

Wie bereit erwähnt, ist eine Besonderheit der untersuchten Technologie, dass sie über eine Hochvoltoption und damit über zwei Gateoxide unterschiedlicher Dicke verfügt. Die Untersuchung des sogenannten analogen Gateoxids mit einer Stärke von ca. 45 nm stellte einen Teil der Untersuchungen von PCD dar. Es existiert sehr wenig Literatur über PCD bei Gateoxiden in dieser Stärke. Meist wird davon ausgegangen, dass ein Oxid mit einer so hohen Dicke kein PCD erhält. Auf Grund der hohen Anforderungen an die Qualität der mit dem hier untersuchten Prozess gefertigten Halbleiterprodukte wurden die Oxide trotzdem untersucht. Als Ansatzpunkt wurde ein nahezu identisches Testfeld erstellt, wie das im letzten Abschnitt beschriebene Testfeld zu Erzeugung verschiedener Schadenslevel bei Digitaltransistoren mit dem dünneren Gateoxid. Auch hier wurde die Kontaktanzahl stufenweise erhöht, um schließlich ein hohes Schadensniveau zu erreichen. Lediglich die Transistorfläche war mit $20,74 \mu\text{m}^2$ etwa um den Faktor 2,7 größer als die der Digitaltransistoren. Die Messergebnisse der 100k-Kontakte-Antenne in diesem Testfeld lassen sich also am ehesten mit denen der 40k-Kontakt-Antenne aus dem vorherigen Testfeld vergleichen. Gemessen wurde der Gateleckstrom bei 30 V (NMOS) bzw. -30 V (PMOS) mit allen anderen Anschlüssen auf 0V. In Abbildung 4.14 sind die Messungen der PMOS-Teststrukturen dargestellt.

Die Messergebnisse offenbaren keine von der Antenne abhängigen Schäden. Nahezu alle gemessenen Gateleckströme liegen am unteren Ende der Auflösung des Messgerätes. Die gemessenen Unterschiede sind so gering, dass sie wahrscheinlich Messartefakte, beispielsweise auf Grund eines anderen Kontaktwiderstandes, sind.

Mit dieser Messmethode lässt sich also kein PCD bei den Analogtransistoren nachweisen. Zusätzlich wurden Durchbruchmessungen durchgeführt. Eine Stromdichte von -10 mA wurde ins Gateoxid eingepreßt, wobei die Spannung, die nötig war um den Strom zu treiben, in konstanten Intervallen von 860 μs gemessen wurde. Ein Vorwiderstand von 10 k Ω war nötig, um zu verhindern, dass der massive Strompuls beim Durchbruch des Gateoxids Kontakte und Leiterbahnen zerstörte. Dabei ist zu beachten, dass in diesem

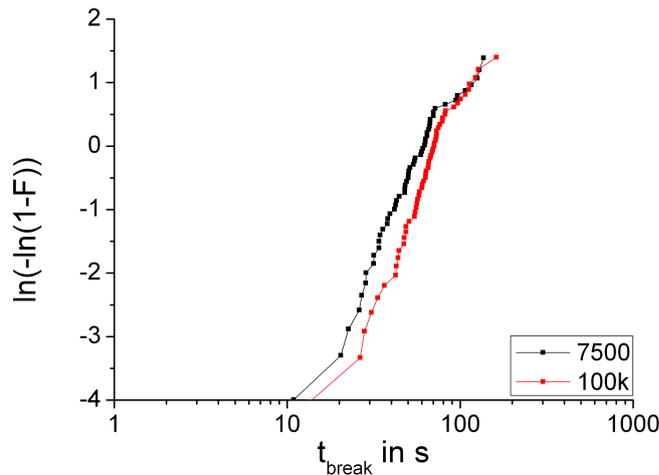


Abbildung 4.15: Weibullgraph des Durchbruchzeitpunktes des analogen Gateoxide.

Fall nicht nur die Kapazität des Transistors berücksichtigt werden muss, sondern auch die der aufgeladenen Leitungen und die Fähigkeit des Messsystems, auf den sich schlagartig ändernden Widerstand zu reagieren. In Abbildung 4.15 ist die zeitliche Verteilung des Durchbruchs dargestellt. In diesem Graphen lässt sich nur ein geringer Unterschied zwischen den Kurven erkennen. Es erscheint sogar so, als ob die 100k-Antennen-Struktur tatsächlich eine *längere* Lebensdauer hat. PCD liegt also nicht vor, die Unterschiede der Kurven sind ein Messartefakt. Die insgesamt recht kurze Lebensdauer ergibt sich dadurch, dass auf Grund der hohen anliegenden Spannung oft der erste Durchbruch bereits der finale Durchbruch ist. Da trotz der deutlich höheren Kontaktanzahl keine Unterschiede in den Verteilungskennlinien nachgewiesen wurden, lässt sich schlussfolgern, dass die Analogtransistoren deutlich weniger von PCD betroffen werden als Digital-Transistoren. Weiterhin ist zu beachten, dass die Verteilungsfunktion beinahe eine Gerade im Weibullgraph bilden. Das heißt, dass eine Weibullverteilung vorliegt. Dies ist aber nur der Fall, wenn die Oxide gleichmäßig geschädigt sind, d.h. zu einer statistischen Population gehören. Aus den vorherigen Messergebnissen ist bekannt, dass die Schadenswirkung, wenn vorhanden, eine deutliche Verteilung auf dem Wafer aufweist (siehe Abbildung 4.4ff). Daher kann nur eine Weibullverteilung vorliegen, wenn die analogen Gateoxide nicht durch PCD geschädigt wurden. Designregeln und Schutzmaßnahmen, die bei Digitaltransistoren ausreichen, sind damit auch automatisch ausreichend für Analogtransistoren.

4.3 Anpassen der Designregeln und WLR-Strukturen

Die Anpassung von Designregeln und das Erstellen von Wafer-Level-Reliability-Strukturen (WLR-Strukturen) ist eng miteinander verknüpft. Das Finden optimaler Designregeln stellt den wichtigsten Beitrag zur Reduzierung und Eliminierung von PCD dar. Ziel ist es, maximale Antennengrößen zu finden, die noch keine Schäden verursachen. Nach umfangreichen Untersuchungen, konnten für den vorliegenden Prozess Designregeln gefunden werden. Diese sind in Tabelle 4.1 aufgelistet.

Type	Maximale Antennengröße (bezogen auf 1 μm^2 Gatefläche)
Fläche	2500 μm^2
Kantenlänge	2500 μm
Vias, Vias2	300
Kontakte	600

Tabelle 4.1: PCD-Designregeln.

Teststrukturen mit Antennen in genau dieser Größe sollten auch in den WLR-Strukturen platziert werden. Integriert man eine solche Struktur in die Sägelinie, so kann routinemäßig überprüft werden, ob Veränderungen im Prozess aufgetreten sind (zum Beispiel defekte Plasmaanlagen) oder ob die Strukturen wie erwartet schadensfrei sind. Auch lassen sich auf diese Art und Weise Splits und neue Prozessvarianten leicht testen, da die Strukturen auf allen Wafern und in allen Belichtungsfeldern vorhanden sind.

Die Strukturen so weit zu schrumpfen, dass sie auf die relativ begrenzte Fläche der Sägelinie passen, stellt eine besondere Herausforderung dar. In der hier vorliegenden Arbeit mussten die Antennen dazu unterhalb der Pads platziert werden. Zusätzlich stellt die verkleinerte Transistorfläche ein Problem dar, da sich das Verhältnis der Transistorfläche zum Pad, das auch als Antenne wirkt und nicht vermeidbar ist, ungünstig verschiebt. Dies führt zu parasitären Schadenseffekten, so dass die Transistoren erst in der letzten Metalllage an die Pads angeschlossen werden sollten und durch Schutzstrukturen, in der der Antenne folgenden Ebene, von den Pads entkoppelt werden müssen. Teststrukturen mit Antennen in der letzten Ebene können nicht geschützt werden, da es keine nachfolgende Ebene gibt, so dass hier die Schäden durch die Pads voll wirken. In Abbildung 4.16 ist ein Beispiel für ein Layout von WLR-Strukturen gezeigt.

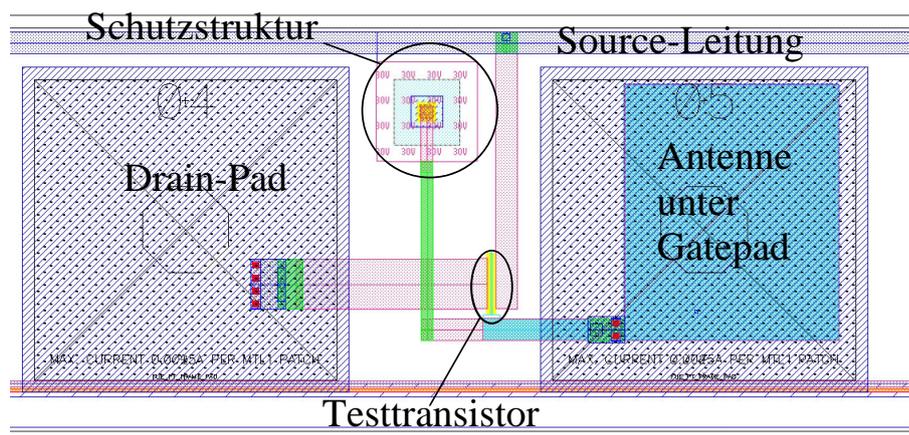


Abbildung 4.16: Layout WLR-Struktur. Gezeigt ist ein Teil des gesamten Testfeldes.

4.4 Detektion verdeckter Schäden

Die Messung des Gateleckstroms stellt einen guten Anfang dar, wenn Testfelder evaluiert werden sollen und das Schadensniveau noch deutlich sichtbar ist. Hier werden hauptsächlich weiche Durchbrüche detektiert, so dass bereits von einem erheblichen Schadensniveau gesprochen werden muss. Ist mit dieser Methode kein weiterer Schaden detektierbar, so müssen sensiblere Messmethoden zum Einsatz kommen. In Abbildung 4.17 und 4.18 sind die Wafermaps der Gateleckströme der Referenzstrukturen (ohne Antenne) aus einem WLR-Testfeld dargestellt. Diese beiden Messungen, sowie alle Folgenden, wurden am selben Wafer vorgenommen.

Die Gateleckstrom-Messung kann beim NMOS keine und beim PMOS nur geringe Schäden detektieren. Um latente Schäden zu detektieren, wurde die folgende Messreihenfolge an jeder Struktur einzeln durchgeführt:

- Charge Pumping
- IETS-Messung
- Charge Pumping

Die Messsequenz ist darauf ausgelegt, Schäden in verschiedenen Bereichen zu detektieren. Während die Charge-Pumping-Messung Switching States detektiert, werden mit der IETS-Methode nur Oxide Traps gemessen. Da die Switching States in erster Näherung den Interface Traps entsprechen, erhält man so einen ungefähren Eindruck von den Haftstellen, die durch PCD entstehen können.

Die Messungen offenbarten den verdeckten, durch die Gateleckstrom-Messung nicht detektierbaren, Schaden. Exemplarisch sind in Abbildung 4.19 die Stressmesskurven dreier NMOS-Transistoren, die unterschiedlich stark geschädigt wurden, dargestellt. Die Schadensniveaus variierten hier erheblich. Da das Gateoxid noch nicht durchgebrochen ist, konnten bei der Gateleckstrom-Messung bei diesen Transistoren keine Unterschiede detektiert werden. Betrachtet man hingegen die Verteilung von IETS über den Wafer (siehe Abbildung 4.20 bzw. 4.21), so bilden sich deutlich Muster aus. Verschiedene Schadensniveaus sind sichtbar. Es ist eine Mitte-Rand-Verteilung zu erkennen, wie sie zuvor bei stärker geschädigten Bauteilen durch die Gateleckstrom-Messung sichtbar gemacht werden konnte.

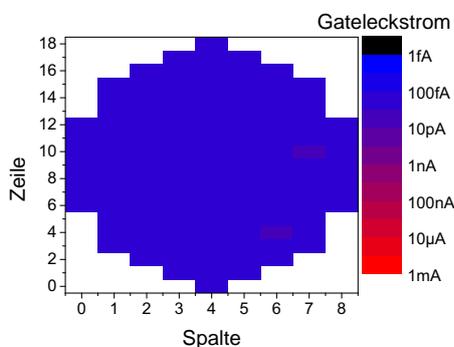


Abbildung 4.17: Verteilung des Gateleckstroms bei Referenzstruktur NMOS.

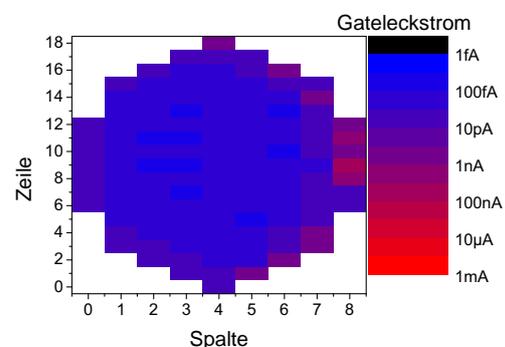


Abbildung 4.18: Verteilung des Gateleckstroms bei Referenzstruktur PMOS.

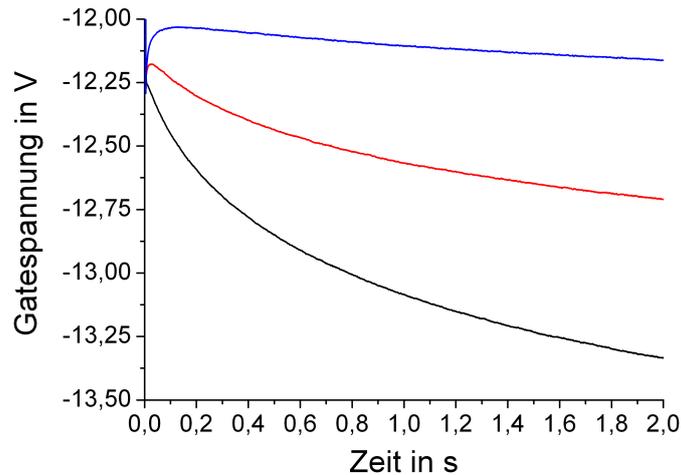


Abbildung 4.19: Verschieden starke Schädigungen werden durch die IETS-Messung sichtbar. Die Kurven unterscheiden sich stark voneinander. Deutlich ist die unterschiedlich Steigung der Kurven zu erkennen.

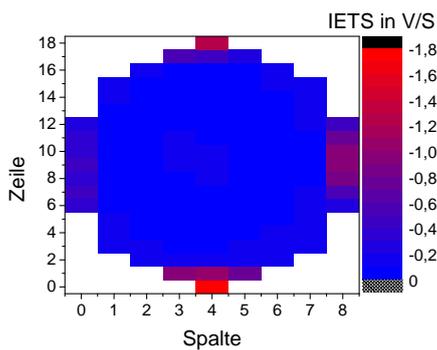


Abbildung 4.20: Verteilung der intialen Steigung (IETS) bei Referenzstruktur NMOS.

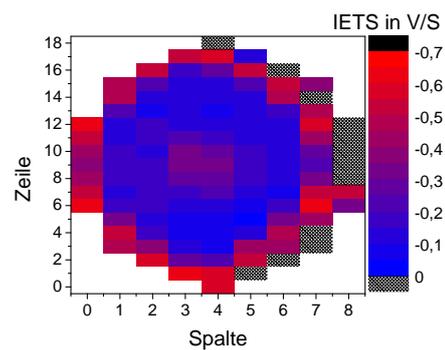


Abbildung 4.21: Verteilung der intialen Steigung (IETS) bei Referenzstruktur PMOS.

Bei den PMOS-Strukturen ist zusätzlich eine stärker geschädigte Zone in der Mitte des Wafers zu erkennen. Zu beachten ist weiterhin, dass die Wafermaps eine unterschiedliche Skala auf der z-Achse haben. Der Dynamikbereich beim NMOS ist deutlich höher als beim PMOS, wohingegen beim PMOS zerstörte Gateoxide messbar waren (im Diagramm schraffiert markiert). Mit der IETS-Messung lässt sich offensichtlich eine deutlich verbesserte Auflösung, im Vergleich zur Gateleckstrom-Messung, gewinnen. Der Charge-Pumping-Stroms $I_{cp;max}$ vor und nach dem Stress wurde als Parameter erfasst. Aus $I_{cp;max}$ wurde die Switching-State-Dichte näherungsweise berechnet als:

$$N_{ss} = \frac{I_{cp;max}}{qfA_g} \quad (4.1)$$

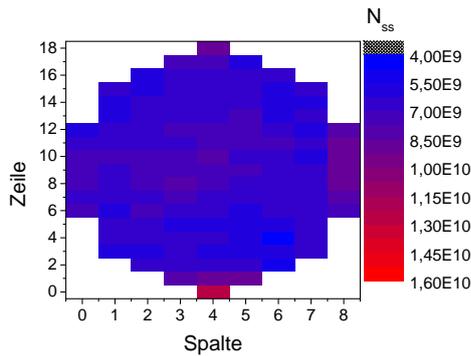


Abbildung 4.22: Initiale Verteilung der Switching-State-Dichte (NMOS).

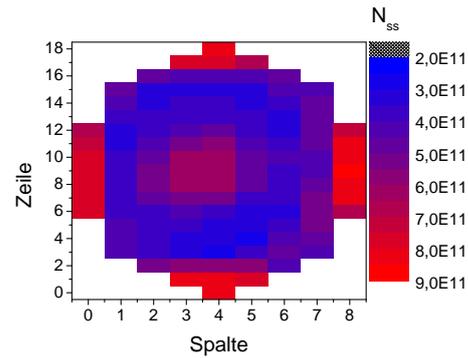


Abbildung 4.23: Verteilung der Switching-State-Dichte nach Stress (NMOS).

N_{ss} ist dabei die Anzahl der Switching State. Die Formel ist nicht so exakt wie Gleichung 2.12, wird aber oft in Messroutinen als Näherung verwendet, da sie keine schwer messbaren Konstanten enthält [Zha04] [Aru95]. Damit ließ sich die Anzahl der Switching States berechnen. Ein Vergleich der Messwerte vor und nach dem IETS-Stress ist in den Abbildungen 4.22 bis 4.25 dargestellt. Dabei fällt auf, dass bei der initialen Messung der Switching-State-Dichte kaum Variationen über den Wafer auftreten. Zu beachten sind dabei die unterschiedlichen Maßstäbe der Abbildungen. Lediglich beim NMOS sind bereits einige Dies auffällig. Bei diesen Dies kann nach dem Stress eine starke Schädigung festgestellt werden. Offensichtlich ist der Schaden hier so massiv, dass er durch die Formiergastemperung am Ende des Prozesses nicht mehr vollständig überdeckt werden kann. Die Temperung reicht offensichtlich nicht aus, um bei diesen Dies alle Switching States zu passivieren.

Beim PMOS hingegen bewegen sich alle Messung auf dem selben Niveau. Hier funktioniert die Passivierung der Switching States durch die Formiergastemperung ausreichend gut. Nach dem Stress wird eine Verteilung der Messwerte über den Wafer deutlich, die dem Wafer-Maps der IETS-Messung stark ähnelt. Dies ist auch zu erwarten, da sowohl die Erzeugung von Switching States als auch die von Fixed States mit PCD assoziiert wird [PAG⁺00] [Che94] [CMS⁺97].

Trägt man die Switching-State-Dichten gegenüber IETS auf, so erhält man den Graphen in Abbildung 4.26. Hier werden Sachverhalte deutlich, die sich bei den Wafermaps bereits andeuten. Betrachtet man zunächst die Prestress-Messung des NMOS, so fällt auf, dass die Schäden mit IETS korrelieren, zumindest im Bereich der höheren Schäden. Hier ist der Schaden so hoch, dass die Formiergastemperung nicht ausreichend ist, um alle Switching States zu passivieren. Das zeigt sich auch in einem hohen (absoluten) IETS-Wert.

Die Kurve der NMOS-Struktur nach dem Stress zeigt ein Sättigungsverhalten. Dieses erklärt sich durch die räumliche Lage der Teststrukturen auf dem Wafer. Alle Teststrukturen, die einen deutlich erhöhten Schaden zeigen liegen am Rand des Wafers. In der Mitte gibt es ebenfalls eine Zone mit leicht erhöhtem Schaden, so dass sich die am wenigsten geschädigten Zellen in einem Ring um die Wafermitte befinden. Dies wird auf Grund des hohen Dynamikbereichs in der IETS-Wafermap jedoch nicht sichtbar.

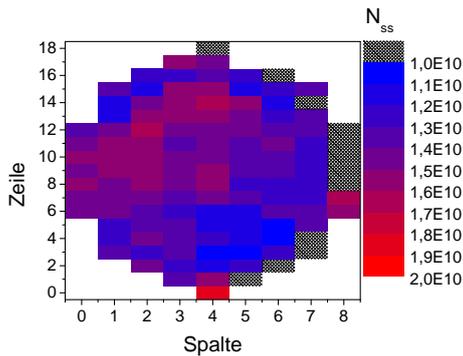


Abbildung 4.24: Initiale Verteilung der Switching-State-Dichte (PMOS).

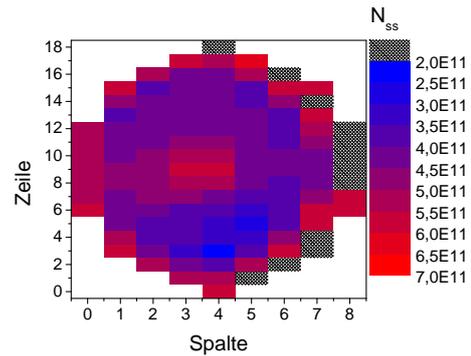


Abbildung 4.25: Verteilung der Switching-State-Dichte nach Stress (PMOS).

Dass bei den höchsten Oxide-Trap-Dichten (größtem IETS) die Switching-State-Dichte nicht weiter zunimmt, liegt möglicherweise daran, dass sich die Polarität des injizierten Stroms über den Wafer ändert. Dies ist bei einem typischen gebogenen Potentialverlauf möglich, wie in Abbildung 4.27 dargestellt.

Das Floating Potential liegt jeweils über oder unter dem Potential des Substrats, so dass sich die Stromrichtung umkehrt. In einem ähnlichen Fall zeigten Cheung et al. [CMS⁺97], dass bei Gateinjektion nur ein geringer Zusammenhang zwischen IETS und Switching-State-Dichte besteht.

Bei der Betrachtung der PMOS-Messergebnisse fällt auf, dass die Switching-State-Dichte vor dem Stress mit der IETS-Messung nicht korreliert ist. Dies ist gewünscht und zeigt, hier noch einmal quantitativ, dass die Formiergastemperatur beim PMOS funktioniert. Nach dem Stress ist eine Abhängigkeit zwar erkennbar, da hohe Switching-State-Dichten in der Regel ein hohes, absolutes IETS aufweisen, sie ist jedoch weiterhin gering. Die Ursache für dies Unterschiede zum NMOS lassen sich nicht exakt identifizieren. Mögliche Ursachen sind zum einen, dass sich im Zusammenhang mit der unterschiedlichen Dotierung ein anderes Interface zwischen Oxid und Kanal ausbildet. Zum anderen wird der Stress beim NMOS in Akkumulation und beim PMOS in Inversion durchgeführt. Beides kann zu unterschiedlichen Switching-State-Dichten führen.

4.5 Unterschiede zum 0,35 μm -SOI-Prozess

Neben dem 0,35 μm Prozess auf Silizium-Substrat wurde am Fraunhofer IMS auch ein Prozess auf SOI-Basis entwickelt. SOI ist eine Abkürzung für Silicon on Insulator und bezeichnet eigentlich ein Wafermaterial, das eine vergrabene Oxidschicht enthält. Prozesse auf diesen Wafern haben einige Vorteile, da eine bessere Isolation einzelner Schaltungsblöcke oder auch einzelner Bauteile voneinander, leichter möglich sind. Dies führt unter anderem (je nach Auslegung des Prozesses) zu geringeren parasitären Kapazitäten, geringeren Substratströmen oder einer höheren Spannungs- oder Temperaturstabilität.

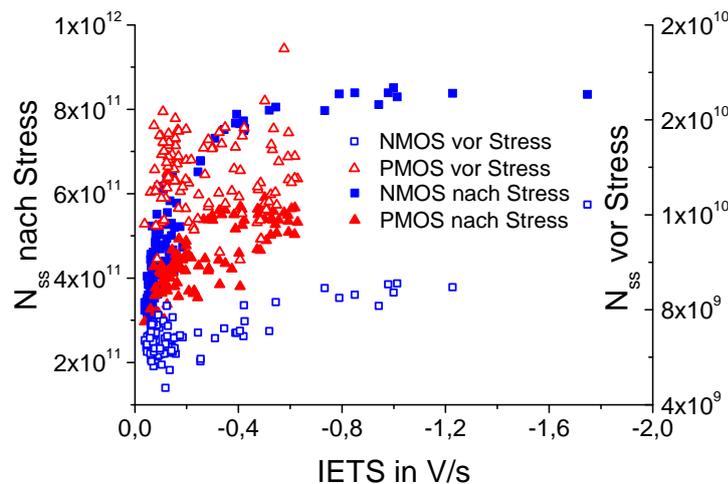


Abbildung 4.26: Korrelation der Switching-State-Dichte und IETS. Beim NMOS ist ein deutlicher Zusammenhang zwischen IETS und den Switching-State-Dichten deutlich. Bei kleinen Werten für die Switching-State-Dichte vor dem Stress liegt der gemessene Strom am Rande der Messauflösung des Messgeräts. Beim PMOS ist der Zusammenhang nur gering.

Der am Fraunhofer IMS entwickelte SOI-Prozess stellt insofern eine Besonderheit dar, da es sich bei ihm nicht um einen Prozess handelt, bei dem jedes Bauelement vollständig dielektrisch isoliert ist (Dünnsfilm-SOI). Solche Prozesse eignen sich sehr gut um die Eigenschaften schneller, digitaler Schaltungen zu verbessern.

Stattdessen werden bei dem hier entwickelten Prozess, nur die Bauteile im Analogbereich und komplette Blöcke des Digitalteils durch Trenches und das Buried Oxide vom Rest der Schaltung abgetrennt. Die Unterschiede werden in den Abbildungen 4.28 und 4.29 dargestellt. Beim einem Dünnsfilm-SOI Prozess ist jeder Transistor einzeln von Oxid umgeben, die Epitaxieschicht oberhalb der vergrabenen Oxidschicht ist nur wenige 100 nm dick. Die Variante des 0,35 μm Prozesses hingegen setzt auf eine deutlich dickere (mehrere Mikrometer) Schicht oberhalb des vergrabenen Oxids (Dickfilm-SOI). Dadurch verhalten sich die bereits für den Standardprozess entwickelten Bauteile ähnlich wie auf normalen Substraten. Auf diese Weise kann der Entwicklungsaufwand erheblich reduziert werden. Die Stärke dieses Prozesses liegt demnach auch nicht in einer verbesserten Performance des Digitalteils der Schaltung, stattdessen entstehen Vorteile im Analogteil. Hier können die, mit hohen Spannungen operierenden Treibertransistoren deutlich näher aneinander und an den Digitalteil gesetzt werden.

Sherony et al. [SCM⁺95] fanden, dass PCD durch die Verwendung eines Dünnsfilm-SOI Prozesses deutlich reduziert wurde. Die Messungen sollten zeigen, ob dies für den am Fraunhofer IMS entwickelten Prozess ebenso gilt, obwohl hier die Transistoren nach außen hin nicht vereinzelt sind. Das Testfeld enthielt eine Anzahl von Digitaltransistoren und war komplett durch einen Trench isoliert. Dieser Fall ist realistisch, da bei realen Schaltungen so ebenfalls die Digitalgebiete vom Analogteil getrennt werden würden. In Abbildung 4.30 sind Vergleichsmessungen einer besonders schadensanfälligen Struktur, einer Antenne mit hoher Kantenlänge in der dritten Metalllage, zwischen Bulk-Wafern und SOI-Wafern

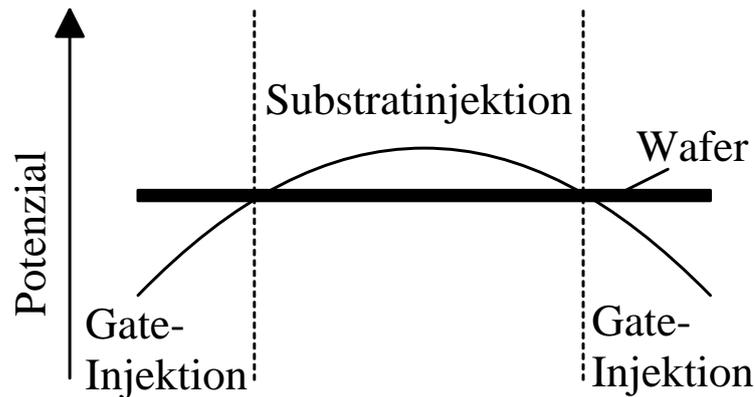


Abbildung 4.27: Schematische Darstellung des Potentialverlaufs auf dem Wafer. Ist das Substrat vom Plasma isoliert, so koppelt es kapazitiv auf ein Potential ein. Es entstehen Bereiche in denen das Floating Potential der Gates oberhalb und unterhalb des Waferpotentials liegen. Dementsprechend ändert der Fowler-Nordheim-Strom sein Vorzeichen (nach [CMS⁺97]).

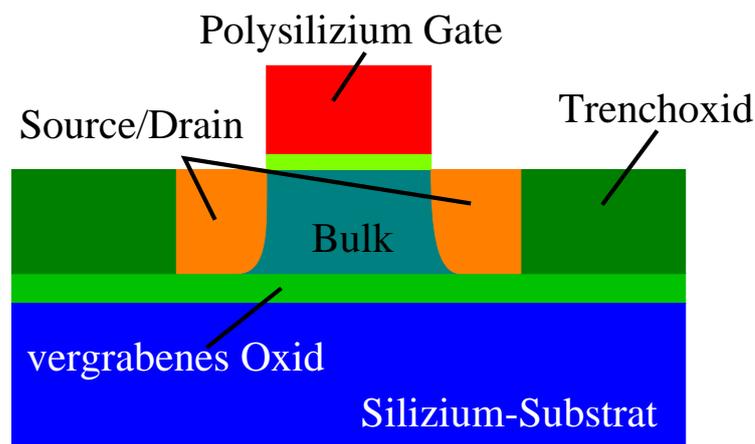


Abbildung 4.28: Ansicht eines Dünnfilm-SOI-Prozesses. Jeder Transistor ist einzeln von Oxid umgeben (nach [Hil04]).

dargestellt. PCD wird offensichtlich durch die Verwendung von SOI-Material und die Verwendung der Trenches reduziert, aber nicht vollständig eliminiert. Die Unterbrechung des Stromflusses durch den Wafer zeigt offensichtlich Wirkung und verhindert einen großen Teil des Schadens. Dies bedeutet umgekehrt aber auch, dass selbst auf den relativ kleinen Abständen des Testmoduls von ca. 3 mm Spannungsdifferenzen entstehen können, die groß genug sind, um das Gateoxid zu schädigen.

Ähnlich wie in dem Standardprozess und anders als in Dünnfilm-SOI-Prozessen sind für diese Art der Prozessführung Schutzstrukturen möglich. Bei einem SOI-Prozess existiert kein einheitliches Waferpotential, da der Wafer in viele isolierte Bereiche unterteilt ist, so dass kein globaler Potentialausgleich stattfinden kann. Dennoch wäre es möglich das Potential des Gates auf das des unterliegenden Substrats zu setzen. Dazu sind prinzipiell die in Abschnitt 3.3 beschriebenen Strukturen in der Lage.

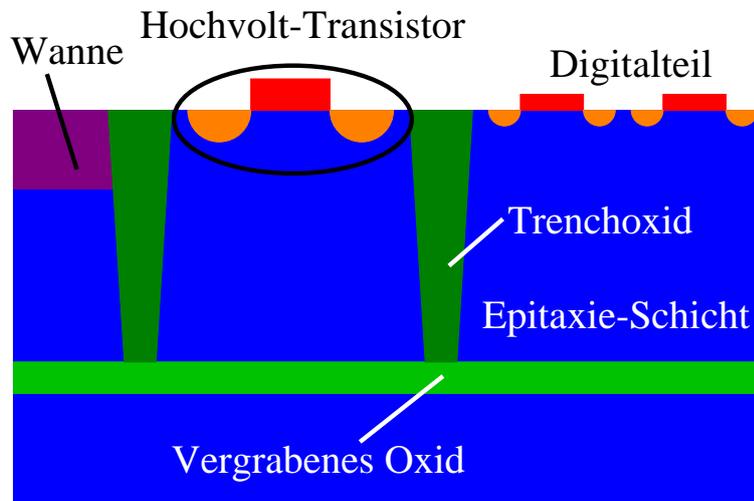


Abbildung 4.29: Ansicht des 0,35 μm -SOI-Prozesses am Fraunhofer IMS. Nur Hochvolt-bauelemente werden durch Trenche vom Rest der Schaltung isoliert.

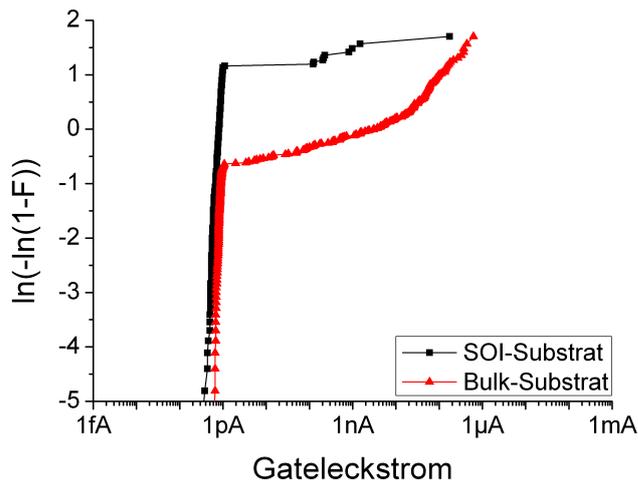


Abbildung 4.30: Vergleich des Gateleckstroms bei SOI- und Bulk-Material. Es wurde eine Teststruktur mit einer kantenintensiven Antenne in der dritten Metalllage gemessen.

Solche eine Struktur wurde bisher noch nicht getestet. Zum Zeitpunkt der Drucklegung dieser Arbeit befand sich ein Testfeld mit einem solchen Layout in der Produktionslinie, so dass noch keine Messergebnisse zu diesen Strukturen vorgestellt werden können.

Ähnliche Schutzstrukturen sind in Dünnschicht-SOI-Prozessen nicht möglich, da jedes Bauteil von dem Rest der Schaltung isoliert ist. Pelella et al. [PCK⁺07] lösten dieses Problem, in dem das vergrabene Oxid lokal entfernt wurde, so dass im Chip, an ausgewählten Stellen, eine Verbindung zum Substrat bestand. Dort konnten Dioden für einen globalen Potentialaustausch implantiert werden. Mit diesen Strukturen konnten Pelella et al. PCD deutlich reduzieren.

Eine solche Lösung ist jedoch aufwendig und erfordert zusätzliche Prozessschritte. Das Schadensniveau ist in dem hier vorliegenden Prozess geringer als beim Standardprozess, so dass die Designregeln aus dem Standardprozess direkt übernommen werden können.

Kapitel 5

Entwicklung von PCD-Schutzstrukturen

Im folgenden Kapitel wird die Untersuchung von PCD-Schutzstrukturen dargestellt. Aus den gewonnenen Erkenntnissen wurden neuartige Schutzstrukturen entwickelt, die sich besonders dafür eignen an den angeschlossenen Teststrukturen Messungen mit hohen Spannungen beider Polaritäten durchzuführen. Derartige Strukturen wurden in der Literatur bisher nicht beschrieben.

5.1 Verwendung von PCD-Schutzstrukturen

Bei der Untersuchung von PCD werden meist die Messwerte einer mit einer Antenne belasteten Struktur, mit den Messwerten einer Referenzstruktur verglichen. Idealerweise wurde diese Referenzstruktur durch den Prozess nicht geschädigt. Da besonders kleinere Strukturen, wie sie für Testfelder zur flächendeckenden und kontinuierlichen Überwachung von PCD benötigt werden, anfällig für Schäden durch Pads und Zuleitungen sind, kann die Schadensfreiheit meist nur durch eine Schutzstruktur gewährleistet werden.

Ein grundlegendes Problem bei der Verwendung von Schutzstrukturen ist, dass diese auch während der Charakterisierung der geschützten Bauteile einen Einfluss haben. Zwar ist ein normaler Betrieb der Bauteile mit den Schutzstrukturen, wie sie in Abschnitt 3.3 beschrieben sind, möglich, jedoch ist dies für eine tiefer gehende Analyse oft nicht ausreichend. Diagnosestress findet bei Spannungen deutlich oberhalb der Betriebsspannung statt, also in Bereichen für die die meisten Schutzstrukturen nicht ausgelegt sind. Es ist möglich, dass die Schutzstrukturen die Messung verfälschen.

Einige Gruppen lösten dieses Problem, indem sie die Verbindung zwischen Schutzstruktur und Transistor nachträglich durchtrennten [KRR01]. Dazu wurde eine sogenannte Fuse, eine Struktur, die sich durch einen Strompuls gezielt zerstören lässt, verwendet. Dies hat jedoch den Nachteil, dass eventuell parasitäre Strompfade weiterhin vorhanden sein können und die Messung beeinflussen. Zusätzlich könnte der Zerstörungspuls auch negative Einflüsse auf das Gateoxid haben und so ebenfalls die Messungen beeinflussen.

Lin fand eine Technik, mit der ein Gateleckstrom trotz einer angeschlossenen Schutzdiode gemessen werden konnte [Lin07]. Diese Messmethode ist zwar hilfreich, wenn der Gateleckstrom gemessen werden soll, jedoch ist die Verwendung eines Diagnosestresses nach wie vor nicht möglich.

Für die flächendeckende, kontinuierliche und exakte Untersuchung von PCD, sind also Schutzstrukturen zwingend notwendig, die sowohl unter Messbedingungen bei hohen

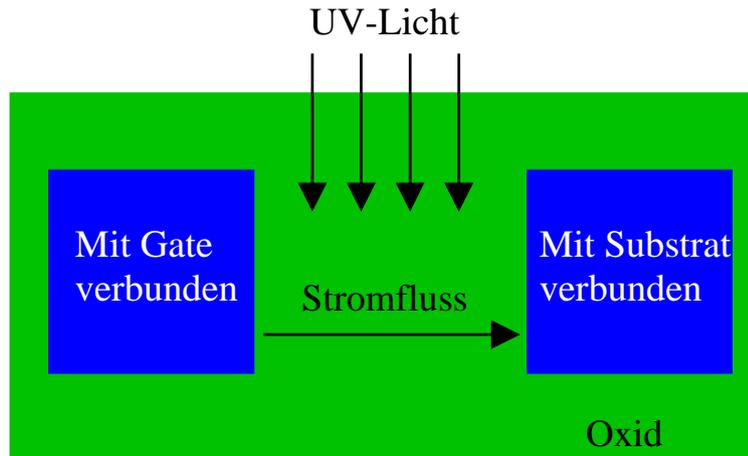


Abbildung 5.1: Idee Schutzwirkung der Transient Fuse. Im Plasma erzeugtes UV-Licht sollte über genügend Energie verfügen um das Oxid leitfähig werden zu lassen.

Spannungen beider Polaritäten nur geringe Leckströme aufweisen, als auch unter Prozessbedingungen einen optimalen Schutz der angeschlossenen Teststruktur gewährleisten.

5.2 Transient Fuse

Die sogenannte Transient Fuse wurde in Abschnitt 3.3 bereits vorgestellt. Ihr Schutzmechanismus wirkt beim Metallätzen, in dem die vom Aspektverhältnis abhängige Ätzrate ausgenutzt wird.

In dieser Arbeit wurde ein weiterer potenzieller Schutzmechanismus durch die Struktur überprüft. Da der Abstand zwischen den beiden Seiten der Finger, der in der Technologie minimal mögliche Abstand der Leiterbahnen ist, wurde überprüft ob eine Ableitung des schädigenden Stroms während des Prozesses durch einfallendes UV-Licht möglich ist. UV-Licht wird durch die meisten Plasmaprozesse erzeugt. Das UV-Licht würde im Siliziumdioxid für eine Erhöhung des Leitwertes sorgen und so die Ströme am Gateoxid vorbei ableiten. Dieser Mechanismus würde ähnlich funktionieren wie in Abschnitt 1.3.4 beschrieben, jedoch sollte hier eine laterale statt einer vertikalen Struktur verwendet werden (siehe Abbildung 5.1).

Eine Teststruktur wurde erstellt, bestehend aus einem Transistor der Größe $7,5 \mu\text{m}^2$ mit ca. 10 nm Gateoxid, und einer Antenne, bestehend aus Metallflächen der Größe $100 \mu\text{m} \cdot 250 \mu\text{m}$ in den Metalllagen 1, 2 und 3, sowie jeweils 25 000 Vias und Vias2. Diese Teststruktur wurde einmal ungeschützt und einmal mit der Transiente Fuse in einem Testfeld realisiert. Jeder einzelne Teil der Antenne verletzt die Designregeln deutlich. Nach dem Prozessende wurde Gateleckstrom bei 3,3 V (bzw. -3,3 V) gemessen. Die Ergebnisse sind in Abbildung 5.2 als Weibullgraph aufgetragen. Deutlich ist zu erkennen, dass die Struktur keine Schutzwirkung aufweist, da ihre Verteilungskurve nur geringfügig von der der ungeschützten Struktur abweicht. Sie ist also nicht geeignet PCD von diesen Antennentypen zu verhindern.

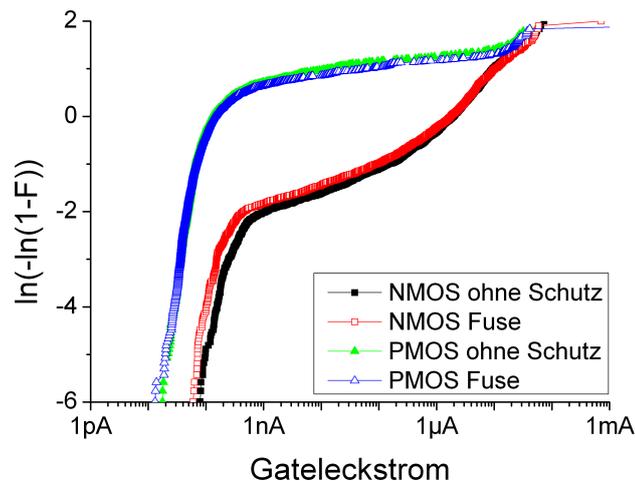


Abbildung 5.2: Weibullgraph Fuse Schutzstruktur. Die Verteilungskurven liegen dicht beieinander. Eine Schutzwirkung ist nicht vorhanden.

5.3 PNP-Schutzstruktur

5.3.1 Aufbau und Messergebnisse

Ein anderer Ansatz untersucht die Möglichkeit, PN-Übergänge so zu gestalten, dass der Leckstrom bei den benötigten Spannungen minimal ist [SPFV09]. Das Layout entspricht in diesem Fall dem in Abschnitt 3.3 gezeigten Aufbau. Es wurden jedoch besonders geringe Implantationen verwendet. Diese Implantationen sind Teil der Hochvoltoption des Prozesses und können daher direkt ohne zusätzliche Maskenebene verwendet werden. Das Design dieser Struktur ist in Abbildung 5.3 dargestellt.

Die PNP-Struktur setzt sich zusammen aus der Epitaxie-Schicht des Wafers, der Hochvolt n-Wanne und einem niedrig dotierten p-Gebiet. Diese wird normalerweise verwendet um die Driftstrecken am Drain von Hochvolttransistoren zu dotieren.

Eine zusätzliche Implantation (Source-Drain-Implantation) ist nötig um einen ohmschen Kontakt mit der inneren p-Wanne herstellen zu können. Die Struktur hatte eine Durchbruchspannung (bei beiden Polaritäten), die deutlich oberhalb der Durchbruchspannung des Oxids lag (siehe Abbildung 5.4). Wird die PNP-Struktur während der Messung jedoch mit weißem Licht bestrahlt, so erhöht sich der Strom durch die Struktur schon bei niedrigen Spannungen um mehrere Größenordnungen. Ähnliches erreicht man, wenn die Temperatur erhöht wird.

Vom Aufbau her handelt es sich bei der Struktur um einen Bipolar-Transistor, jedoch ist die Anwendung eine völlig Andere. Das charakteristische Merkmal der Struktur ist die hohe Durchbruchspannung unter Messbedingungen. Statt der Funktion als Schaltelement wird hier nur die Sperrwirkung genutzt. Zudem erfolgt ohne eine angeschlossene Basis das Schalten nur über die Bestrahlung mit Photonen. Die Struktur hat also eher die Wirkung zweier gegeneinander verschalteten (Foto-) Dioden. Um diese konzeptionellen Unterschiede deutlich zu machen, wird dieser Transistor daher im weiteren als PNP-Struktur bezeichnet.

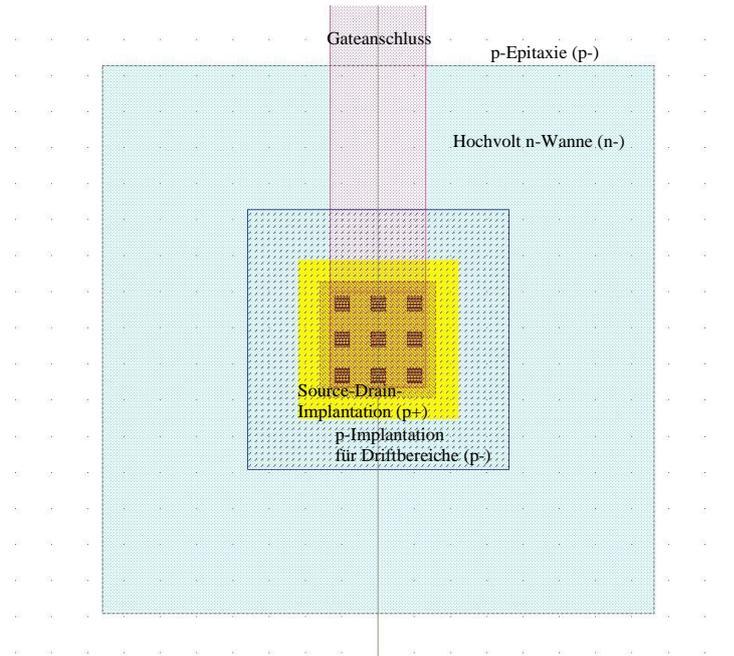


Abbildung 5.3: Layout PNP-Schutzstruktur.

Schließt man diese Schutzstruktur an die Teststruktur an, an der auch die Transient Fuse getestet wurde, so zeigt sich eine deutlich verbesserte Leckstromverteilung (siehe Abbildung 5.5). Mehr als 99,5% der geschützten NMOS und 97% der geschützten PMOS zeigen keine Schäden, während ohne Schutz nahezu alle Transistoren ausfallen.

Da die Schutzstruktur trotz der ausgezeichneten Schutzwirkung unter normalen Messbedingungen (Raumtemperatur, Dunkelheit) bis hin zu hohen elektrischen Feldern nicht leitet, können an der geschützten Struktur weiterhin Messungen, die Stress mit hohen Feldern beinhalten, durchgeführt werden. Eine derartige Struktur wurde bisher in der Literatur nicht beschrieben. Die entwickelte Teststruktur eignet sich ausgezeichnet um Referenztransistoren, also schadensfreie Transistoren, herzustellen. Die geschützten Transistoren können dann gemessen werden, ohne dass die Teststruktur die Messergebnisse beeinflusst.

5.3.2 Anwendung der PNP-Struktur bei Flash-Speicher-Zellen

Die PNP-Schutzstruktur wurde auch zum Schutz von Flash-Speicher-Arrays eingesetzt. Nichtflüchtige Speicher wie EEPROMs und Flash-Zellen sind dafür bekannt, dass ihre Eigenschaften durch PCD verschlechtert werden. Flash-Zellen bestehen aus einem Transistor, der durch ein zusätzliches, komplett isoliertes Polysilizium-Gate ergänzt wird (siehe Abbildung 5.6). Auf diesem sogenannten Floating Gate werden Ladungen durch das Anlegen einer Spannungen zwischen dem sogenannten Control Gate und Drain gespeichert bzw. herausgezogen. Je nach Vorzeichen der im Floating Gate gespeicherten Ladung, verschiebt sich die Schwellenspannung des Transistors. Dies kann als ein gespeichertes Bit interpretiert werden. Zum Programmieren bzw. Löschen werden Pulse mit beiden Polaritäten und hohen

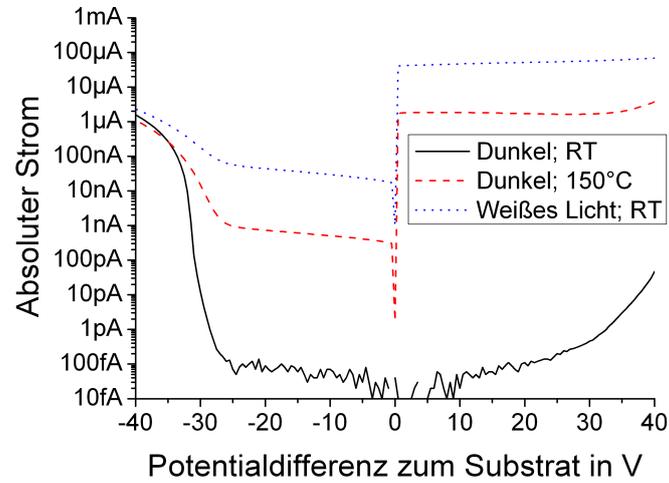


Abbildung 5.4: Strom-Spannungs-Kennlinie der PNP-Schutzstruktur. Licht und erhöhte Temperatur sind in der Lage Elektronen-Loch-Paare zu erzeugen. Die Struktur wird leitend.

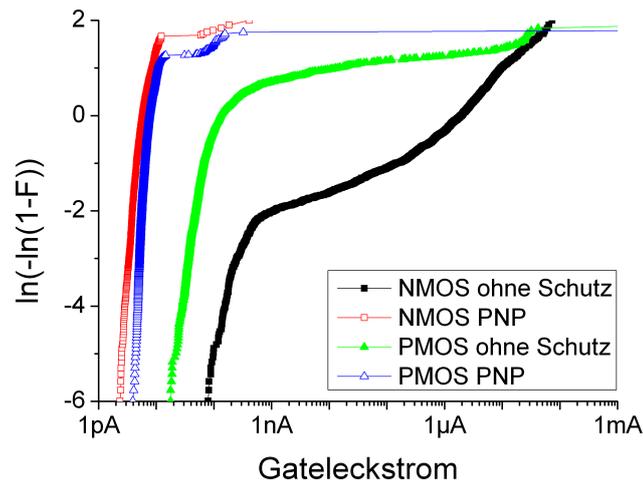


Abbildung 5.5: Weibullgraph PNP-Schutzstruktur. Ein verringerter Leckstrom bei den geschützten Strukturen ist deutlich erkennbar.

Spannungen am Control Gate benötigt.

Eine hohe Stabilität der gespeicherten Information über einen langen Zeitraum, selbst bei erhöhter Temperatur, ist für solch einen Speicher, besonders in einem Automotive-Prozess, von entscheidender Bedeutung. Eine Beschädigung der dünnen isolierenden Schichten, etwa des Tunneloxids oder der sogenannten ONO-Schicht, ist daher unbedingt zu vermeiden. Diese Schicht ist ein Schichtstapel aus Siliziumoxid, Siliziumnitrid und Siliziumoxid, die eine hohe Isolation zu gewährleisten.

Um große Informationsmengen zu speichern, werden Flash-Zellen meist in Blöcken zusammengeschaltet. Dann ist ein zusätzlich Transistor auf der Sourceseite nötig, um die entsprechenden Zellen zu selektieren. Bei realen Schaltungen existieren komplexe Ausleseschaltungen, so dass die Gates der Transistoren meist auf Grund von kurzen Zuleitungen und direkten Anschlüssen an Aktivgebiete, vor PCD geschützt sind. Solche Strukturen sind jedoch nicht hilfreich, wenn die Parameter von Flash-Zellen extrahiert werden sollen. Hier werden Control Gates direkt an Pads angeschlossen, die wiederum als Antenne für PCD dienen können. Zu Untersuchungszwecken wurden Flash-Speicher-Arrays mit einer Prozessvariante gefertigt, von der bekannt war, dass sie PCD erzeugt.

Einzelne Blöcke des Arrays wurden mit der PNP-Schutzstruktur geschützt, so dass die Wirkung von PCD auf die Stabilität der Zellen untersucht werden konnte.

Bei diesen Arrays wurde eine Drift der programmierten und gelöschten Schwelle schon nach einer 16-stündigen Lagerung bei 250 °C Temperatur festgestellt. Die Untersuchungen zeigten eine Verminderung der Drift um den Faktor zwei, wenn die Schutzstruktur angeschlossen war, womit die Schwellenänderung auf ein akzeptables Maß reduziert wurde. In Abbildung 5.7 ist die Drift der programmierten Schwellen normiert dargestellt. Für diese Auswertung wurden über 3000 einzelne Messwerte erfasst. Gleichzeitig wurde kein Unterschied im Programmierverhalten der geschützten Zellen festgestellt. Die PNP-Schutzstruktur konnte also ihre Eignung als Schutzstruktur bei Flash-Zellen eindrucksvoll beweisen.

Eine solche Schutzstruktur kann nötig sein, obwohl Flash-Zellen in realen Schaltungen oft nur sehr kleine Antennen haben. In den Parameterteststrukturen kann PCD jedoch auf Grund der Pads voll wirken. Werden Prozessvarianten getestet, so kann es passieren, dass sie sich, auf Grund von PCD, negativ auf die Stabilität der Flash-Zellen in den

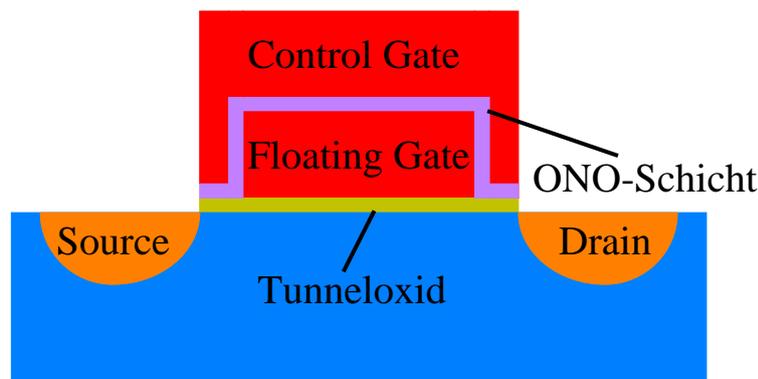


Abbildung 5.6: Konzept einer Flash-Zelle. Ladung wird durch Spannungsdifferenzen zwischen Control Gate in das Floating Gate gebracht oder herausgezogen.

Parametertestfeldern auswirken. In den Schaltungen tritt jedoch oft kein Effekt auf. Durch die Verwendung der Schutzstrukturen kann also ein unnötiger Entwicklungsaufwand verhindert werden. Dabei ist eine andauernde, gleichzeitige Kontrolle von PCD allerdings zwingend notwendig.

Für eine zusätzliche Sicherheit kann die Schutzstruktur natürlich auch in realen Schaltungen angewendet werden.

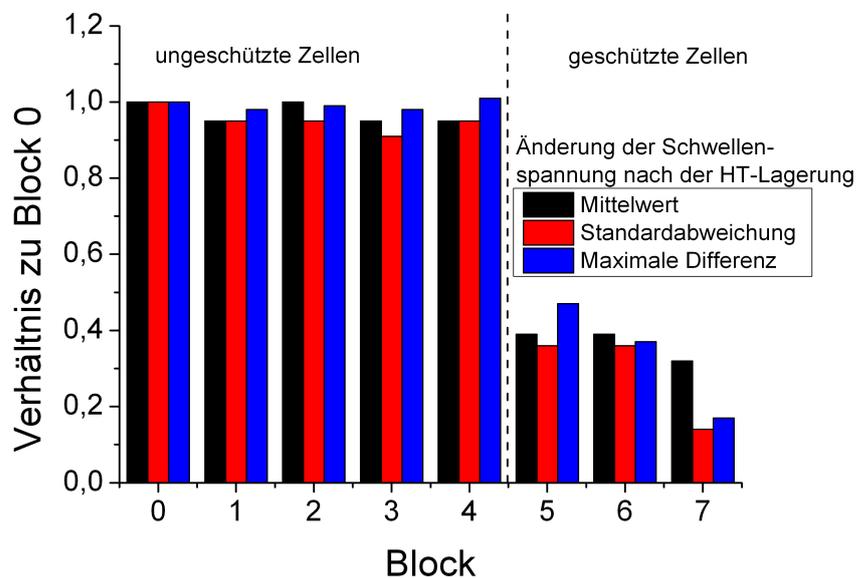


Abbildung 5.7: Drift der programmierten Schwellenspannung nach Hoch-Temperatur-Lagerung bei einem Flash-Array. Die geschützten Zellen auf der rechten Seite weisen eine deutlich reduzierte Drift nach der Hochtemperaturlagerung auf. Dies betrifft sowohl den Mittelwert als auch Standardabweichung und die maximale Drift in einem Block. Referenziert sind die jeweiligen Werte auf den ersten (ungeschützten) Block 0 [Kle].

Kapitel 6

Experimentelle Messungen

Obwohl PCD schon seit den 80er Jahren untersucht wird, sind immer noch einige Zusammenhänge unbekannt. Aus diesem Grund wurde neben der praktischen Arbeit bei der Untersuchung von PCD in einem gegebenen Prozess, auch Zusammenhänge untersucht, die für die theoretische Betrachtung von Bedeutung sind.

Ein erstes Experiment untersucht die Verteilung der Ladungen im Oxid. Zu diesem Thema gibt es in der Literatur widersprüchliche Angaben, so dass hier weitere Untersuchungen vorgenommen wurden. Zudem hat die Verteilung der Ladung eine wichtige Bedeutung für die Auswertung von Messmethoden, insbesondere für den Parameter IETS, der als die Geschwindigkeit mit der Elektronen festgesetzt werden, verstanden wird.

Ein zweites Experiment untersucht Oxiddurchbrüche bei einer größeren Anzahl von Teststrukturen, die unterschiedlich stark durch PCD geschädigt wurden. Solche Messungen sind zwar bekannt, jedoch wird die Durchbruchmessung zumeist nur als Werkzeug zur Analyse der Oxidschäden genutzt. In diesem Experiment war aber die Durchbruchmessung selbst Gegenstand der Untersuchungen. So wurden die Transienten der Messungen betrachtet, um eventuelle Gemeinsamkeiten und Unterschiede beim Festsetzen der Ladungen in den Oxiden feststellen zu können. Dabei wurden neue Erkenntnisse über die durch PCD entstandenen latenten Defekte gewonnen. Weiterhin kann die entwickelte Messmethodik Durchbruchmessungen erheblich verkürzen.

6.1 Ladungsverteilung

Ziel dieses Experimentes war es, sowohl die Gesamtladung als auch den Ladungsschwerpunkt im Gateoxid zu bestimmen. Ausgangspunkt waren dabei zwei gegenüberstehende Theorien zur Verteilung der Ladung durch Fowler-Nordheim-Stress im Oxid. Die Erstere wird unter anderem von Cheung vertreten und ist eng mit der Entstehung der IETS-Messmethode verknüpft. Zusammengefasst, vertritt Cheung in mehreren Veröffentlichung [Che96] [Che94] die Meinung, dass bei der IETS-Messung nur am Anfang des Stress positive Ladungen festgesetzt werden, bei längerem Stress kommen keine weiteren positiven Ladungen hinzu (für Details siehe Abschnitt 2.1.5). Stattdessen würden im folgenden Verlauf nur noch Elektronen festgesetzt. Des Weiteren sei die Anzahl der positiven Ladungen unabhängig von PCD [Che01b]. Die These, dass sich positive Ladungen nur am Anfang eines Stress festsetzen, wird von Untersuchungen anderer Gruppen unterstützt [DCA93].

Dem gegenüber steht eine Auffassung, die von Dumin et al. vertreten wird. Diese Gruppen schlussfolgern aus ihren Messungen, dass während eines Stresses sowohl Elektronen als auch Löcher festgesetzt werden. Dabei werden die Haftstellen im Oxid gleichverteilt erzeugt und entsprechend der Stresspolarität geladen. Haftstellen werden nahe der Anode positiv und Haftstellen nahe der Kathode negativ geladen [QD98] [Dum02]. Auch Zhang et al. fanden, dass während des kompletten Stresses Löcher festgesetzt werden [ZSGD01]. Zudem zeigten Brozek et al., dass PCD auch die Anzahl der Löcher-Haftstellen im Oxid erhöhen kann [BV97]. Cheung et al. zweifelten den Aussagegehalt dieser Messergebnisse an und erwiderten, dass die Untersuchung von Brozek et al. nicht aussagekräftig seien und eine bestätigende Messung nötig sei [CHW05]. Eine zusätzliche Untersuchung mit erweiterten Messmethoden wurde im Rahmen dieser Arbeit durchgeführt [SPV08].

6.1.1 Experimenteller Aufbau

Um die Ladung im Oxid zu bestimmen, müssen mehrere Messungen vorgenommen werden. Als eine Messmethode soll hier die Änderung der Gatespannung während eines Konstantstromstresses genutzt werden. Dieser Messaufbau entspricht der IETS-Messung (siehe Abschnitt 2.1.5), jedoch wird nicht nur IETS als Messparameter genutzt. Betrachtet man zunächst die beiden Formeln 2.14 und 2.15, für die Spannungsänderung bei Konstantstromstress, so wird in diesen beiden Gleichungen das grundsätzliche Problem einer Messung der Oxidladung deutlich:

Nimmt man nicht an, dass die Verteilung der Ladung bekannt ist, mit der der Schwerpunkt sofort berechnet werden kann (für eine homogene Verteilung z.B. ist $\bar{x} = t_{ox}/2$), so müssen zwei Messungen durchgeführt werden, um die Ladung bestimmen zu können, da zwei Unbekannte, Ladung Q und Ladungsschwerpunkt \bar{x} , in den Gleichungen enthalten sind. Dementsprechend muss die Ladung einmal vom Gate und einmal vom Kanal aus gemessen werden. Auf diese Weise erhält man Werte für die Terme \bar{x} und $(t_{ox} - \bar{x})$, da Q in beiden Fällen identisch sein muss.

Es ist jedoch nicht möglich, von beiden Seiten die Änderung der Fowler-Nordheim-Spannung U_{FN} zu messen, da die zweite Messung die Haftstellen umlädt und so Ladung und Schwerpunkt ändert. Eine Messung des Stroms durch das Oxid mit einer Stromdichte, die so gering ist, dass keine Haftstellen umgeladen werden, ist auf Grund des Designs der Teststruktur nicht möglich. Die Untersuchung von PCD erzwingt Transistoren mit relativ geringen Flächen, um die um ein Vielfaches größeren Antennen zu minimieren. Nur so sind die Strukturen klein genug um in den Sägelinien platziert zu werden. Daher würde eine Stromdichte, die so gering ist, dass eine Umladung der Haftstellen ausgeschlossen ist, einen so geringen Strom zur Folge haben, dass er, mit den vorhandenen technischen Geräten, nicht mehr messbar wäre.

Das Potential am Gate-Kanal-Interface beeinflusst den Strom im Kanal. Daher lassen sich Ladungen im Gateoxid auch durch eine Verschiebung der Schwellenspannung oder der Flachbandspannung detektieren [Sch98]. Dabei werden jedoch stets auch Interface Traps in die Messung eingeschlossen. Interface Traps können auf Grund ihrer Position zwischen den Kristallgittern des Si und des SiO₂ aber viel leichter erzeugt werden, als Haftstellen im Oxid, so dass sie das endgültige Messergebnis verzerren würden. Eine andere Messmethode musste gefunden werden, die Oxide Traps berücksichtigte, nicht jedoch die Interface Traps.

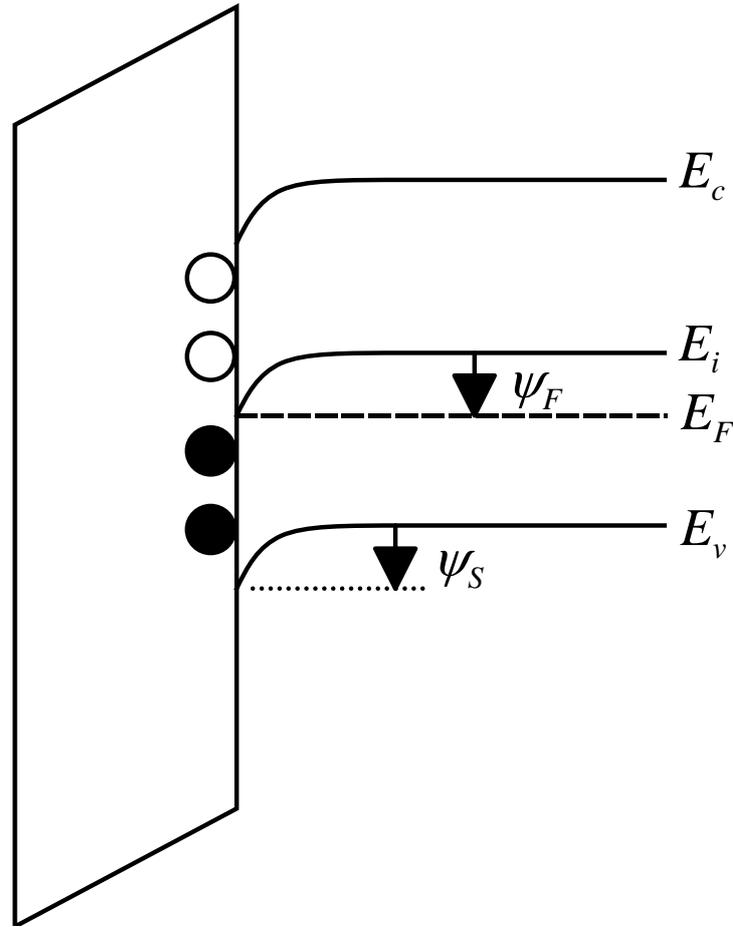


Abbildung 6.1: Konzept der Midgapspannung. Liegt die Midgapspannung am Gate an, so gilt $\psi_s = \psi_F$ (nach [Sch98]).

Dazu wurde in dieser Arbeit die Messung der Midgap-Spannung U_{mg} verwendet [CWS98]. Die Messung der Midgap-Spannung zur Bestimmung von Ladungen im Oxid wurde erstmals von McWohrter et al. [MW86] beschrieben. Als Midgapspannung wird diejenige Gatespannung bezeichnet, bei der das Oberflächenpotential ψ_s gleich dem Fermipotential ψ_F ist (siehe Abbildung 6.1).

In diesem Fall sind die Haftstellen in der unteren Hälfte der Verbotenen Zone (akzeptor-ähnliche Switching States) gefüllt und somit neutral, die in der oberen Hälfte (donator-ähnliche Switching States) sind entleert und damit ebenfalls neutral. Somit ist, falls zusätzlich Ladung ins Gate gelangt, die Midgapspannung nur von der Ladung im Gateoxid, nicht aber von der Ladung am Oxid-Kanal-Interface abhängig.

Die Midgapspannung wird über den Midgapstrom I_{mg} bestimmt. Das ist der Strom, der im Kanal fließt, wenn die Midgapspannung am Gate angelegt wird. Dieser ergibt sich aus der Gleichung für den Subthreshold-Drainstrom des Transistors [MW86]:

$$I_d = \sqrt{2} C_m \frac{q N_A L_B}{\beta} \left(\frac{n_i}{N_A} \right)^2 \exp(\beta \psi_s) (\beta \psi_s)^{-1/2} \quad (6.1)$$

Mit:

$$L_B = \left(\frac{\epsilon_s}{\beta q N_A} \right)^2 \quad (6.2)$$

$$\beta = \frac{q}{k_B T} \quad (6.3)$$

$$C_m = \mu \frac{W}{2L} \quad (6.4)$$

Dabei ist N_A die Dotierstoffkonzentration im Kanal, n_i die intrinsische Ladungsträgerkonzentration, μ die Elektronenbeweglichkeit, ψ_s das Oberflächenpotential und L_B die Debye-Länge. Wirkt an der Oberfläche genau das Midgapspotential ψ_b , so gilt für dieses:

$$\psi_s = \psi_b = \frac{k_b T}{q} \ln(N_A/n_i) \quad (6.5)$$

Der Parameter C_m kann bestimmt werden, wenn sich der Transistor in Sättigung befindet. Dann gilt:

$$I_d = C_m C_{ox} (U_g - U_{th})^2 \quad (6.6)$$

Dabei ist U_g die Gatespannung, C_{ox} die Oxidkapazität und U_{th} die Schwellenspannung. Der Parameter C_m ergibt sich also aus der Steigung, wenn man I_d über $\sqrt{U_g}$ aufträgt. Damit kann der Midgapstrom berechnet werden, da nun nur noch Technologiekonstanten vorhanden sind. Diese sind aus der Literatur oder aus Simulationen bekannt bzw. müssen geschätzt werden. Der Midgapstrom liegt unterhalb der Auflösung des Messgerätes, so dass er aus der Subthreshold-Steigung extrapoliert werden muss (siehe Abbildung 6.2). C_m wurde nur beim ungestressten Transistor bestimmt, um parasitäre Effekte durch detrapping zu vermeiden. Dies ist jedoch nur von untergeordneter Bedeutung, da hier die Verschiebung der Midgap-Spannung bestimmt werden soll und nicht ein absoluter Wert für die Midgap-Spannung. McWohrter et al. zeigten, dass der Fehler bei einem abweichendem C_m nur geringfügige Auswirkungen hat [MW86].

Nun stehen zwei Spannungsmessungen zur Verfügung, die Rückschlüsse auf die Ladung im Oxid zulassen (siehe Abbildung 6.3). Die Gleichungen für die Änderung der Spannung, die nötig ist, um einen definierten Fowler-Nordheim-Strom zu treiben lauten [NCSFB83b]:

$$\Delta U_{FN} = U_{FN2} - U_{FN1} = \frac{(t_{ox} - \bar{x}) \Delta Q}{\epsilon} \quad (6.7)$$

Und für die die Midgapspannung:

$$\Delta U_{MG} = U_{MG2} - U_{MG1} = -\frac{\bar{x} \Delta Q}{\epsilon} \quad (6.8)$$

Diese Gleichungen enthalten die implizite Annahme, dass lediglich ein Ladungstyp im Oxid existiert. Cheung erklärt den Verlauf der IETS-Kurve damit, dass, außer am Anfang der Messung, ausschließlich Elektronen festgesetzt werden. Die Spannungsänderung ergibt sich dann nach Gleichung 6.7. Die Gültigkeit dieser Gleichungen wird im Weiteren kritisch beleuchtet, doch zunächst sollen sie hier verwendet werden.

Somit stehen zwei Gleichungen zur Verfügung, um Ladung und Schwerpunkt zu bestimmen. Es wurde daher die folgende Messsequenz durchgeführt:

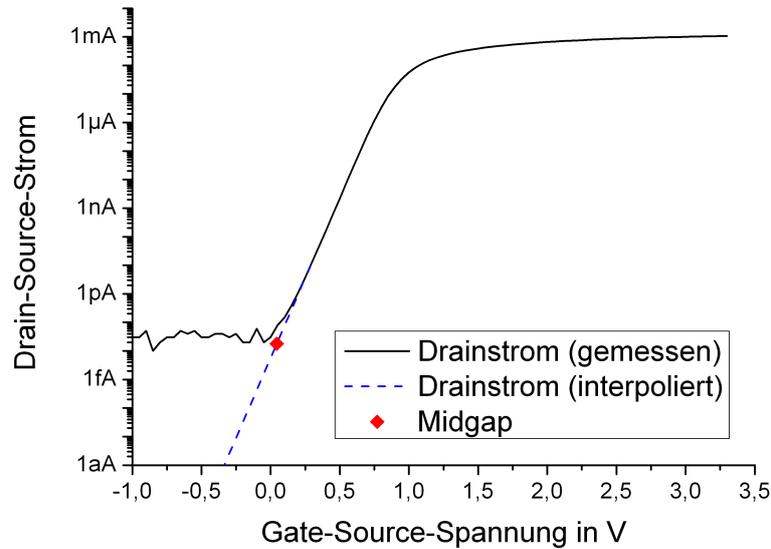


Abbildung 6.2: Bestimmung der Midgapspannung. Da der Midgapstrom kleiner ist als die Auflösung des Messgerätes, muss die Midgapspannung extrapoliert werden.

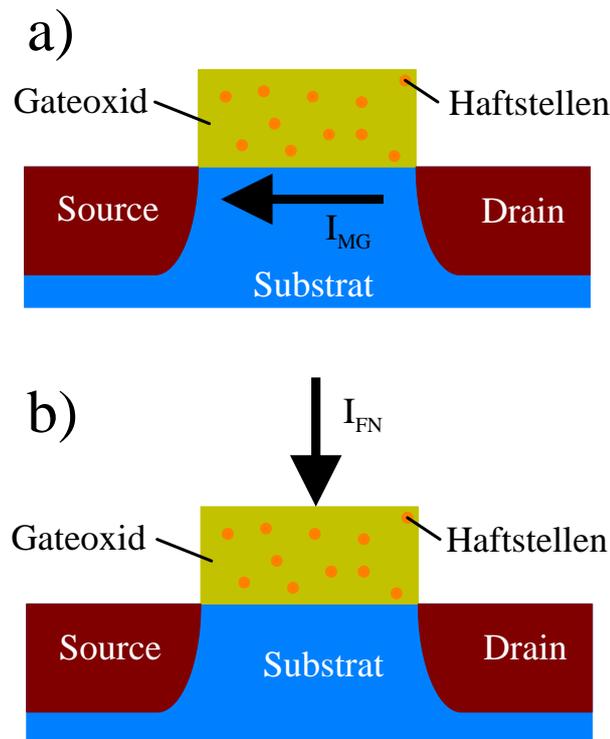


Abbildung 6.3: Messung der Ladung von beiden Seiten des Oxids a) U_{MG} wird durch den Stromfluss im Kanal ermittelt und reagiert daher stärker auf Ladung in der Nähe des Kanals. b) U_{FN} wird vom Gate eingepreßt und reagiert daher stärker auf Ladungen in der Nähe des Gates.

- Bestimmung von C_m
- Messen von U_{MG}
- IETS-Messung über 2s und bestimmen von U_{FN}
- Messen von U_{MG}
- IETS-Messung über 5s und bestimmen von U_{FN}
- Messen von U_{MG}

6.1.2 Messergebnisse

Die Messkurven der Midgapspannung einer stark geschädigten Struktur sind in Abbildung 6.5 dargestellt, die Messergebnisse der IETS-Messungen in den Abbildungen 6.4 und 6.6. Betrachtet man die Messkurven vom ersten Stress und von der Messung der Midgapspannung, so fällt sofort auf, dass ΔU_{FN} und ΔU_{MG} negativ sind. Aus dem Kurvenverlauf ist ersichtlich, dass dies stets der Fall sein wird, sofern die Messzeit lange genug gewählt wurde. Aus den Formeln 6.7 und 6.8 ergibt sich somit aufgrund identischer Vorzeichen für die Ladung in beiden Gleichungen ein unterschiedliches Vorzeichen; positive Ladung ergibt sich aus der Messung der Midgapspannung und negative Ladung ergibt sich aus der Messung der Gatespannung beim Fowler-Nordheim-Stress. Setzt man stattdessen bei beiden Gleichungen eine Ladung mit demselben Vorzeichen ein, so erhält man einen Schwerpunkt außerhalb des Gateoxid.

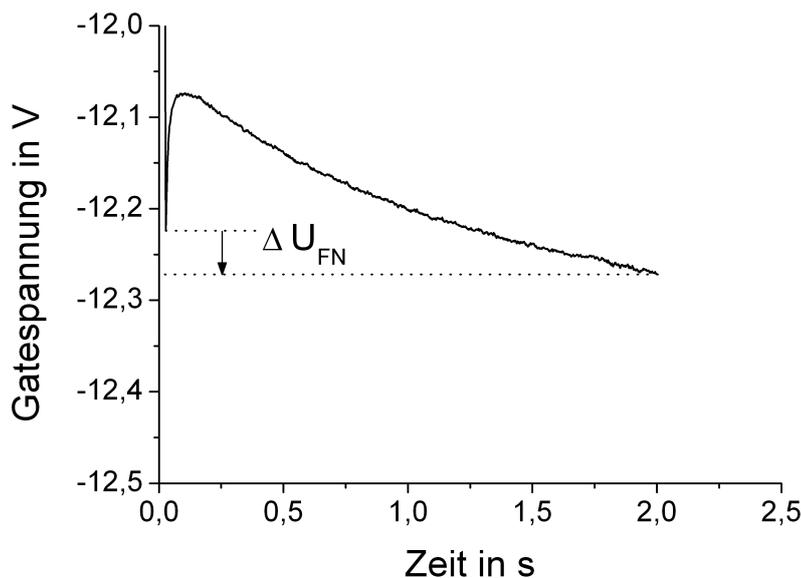


Abbildung 6.4: Exemplarische Messung während des ersten IETS-Stress bei einer stark geschädigten Struktur.

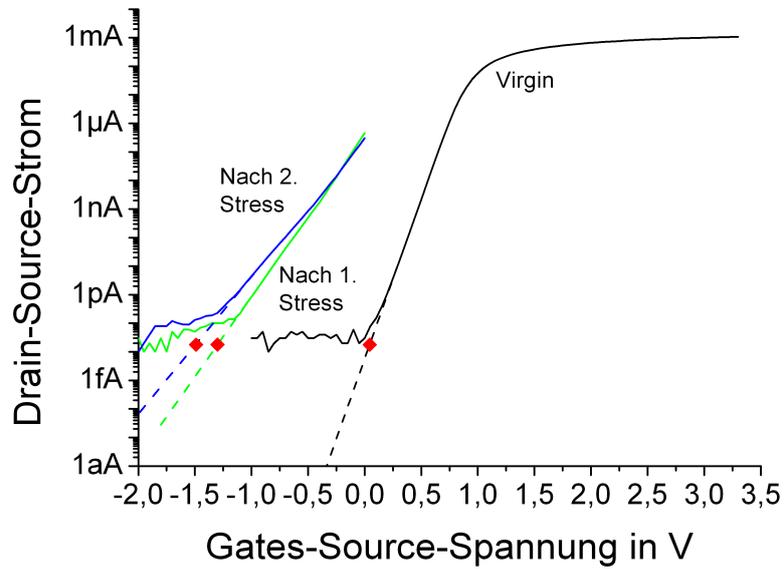


Abbildung 6.5: Exemplarische Messung der Midgapspannung bei einer stark geschädigten Struktur.

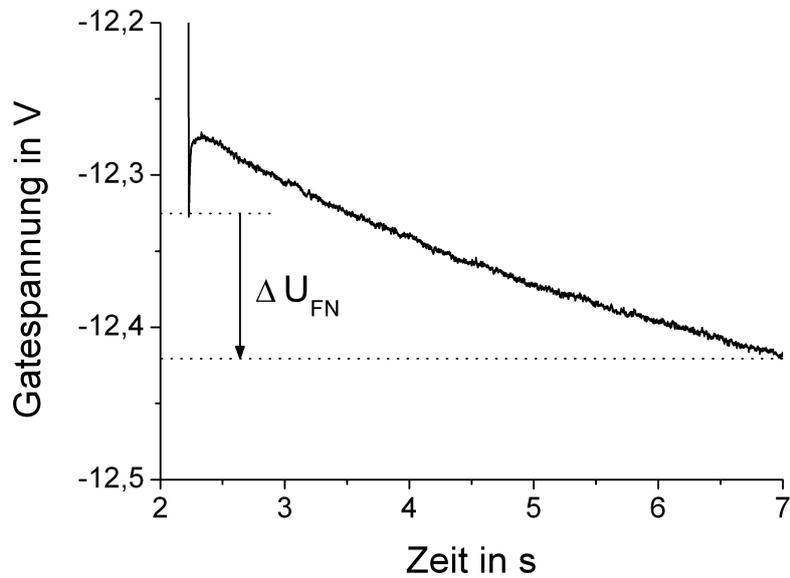


Abbildung 6.6: Exemplarische Messung während des zweiten IETS-Stress bei einer stark geschädigten Struktur.

Weder die unterschiedlichen Ladungen bei beiden Messungen, noch ein Schwerpunkt außerhalb des Gateoxids, sind in diesem Modell physikalisch sinnvoll.

Eine Fortsetzung der IETS-Messung nach der Messung der Midgapspannung zeigt, dass hierbei weiterhin negative Ladung festgesetzt wird (siehe Abbildung 6.6). Eine anschließende Messung der Midgapspannung zeigt, dass sich die Midgapspannung weiter ins Negative verschiebt. Dies bedeutet, dass diese Messung nach wie vor das Festsetzen positive Ladung detektiert. Es ist also auch bei fortgesetztem Stress kein Absättigen der Ladungen zu beobachten.

6.1.3 Schlußfolgerung

Es wird deutlich, dass das einfache physikalische Modell, wie es in den Gleichungen 6.7 und 6.8 beschrieben ist, nicht ausreichend ist, um die Vorgänge während des Stresses zu beschreiben. Stattdessen müssen die Gleichungen nach der Polarität der Ladungen aufgeschlüsselt werden, da während des Stresses offensichtlich positive und negative Ladungen, allerdings mit unterschiedlichen Schwerpunkten, festgesetzt werden. Die neuen, modifizierten Gleichungen lauten demnach:

$$\Delta U_{FN} = \frac{(t_{ox} - \bar{x}_h) \Delta Q_h + (t_{ox} - \bar{x}_e) \Delta Q_e}{\epsilon} \quad (6.9)$$

$$\Delta U_{MG} = -\frac{\bar{x}_h \Delta Q_h + \bar{x}_e \Delta Q_e}{\epsilon} \quad (6.10)$$

Dabei bezeichnen die Indizes h und e die die Parameter der Löcher bzw. der Elektronen. Diese Gleichungen haben, anders als die Gleichungen 6.7 und 6.8, vier Unbekannte und sind damit nicht mehr durch zwei Messungen lösbar. Selbst mit vier Messungen wäre dies nur möglich, wenn die positive Ladung absättigen würde, da in diesem Fall nach einiger Zeit ΔQ_h bezogen auf den Wert des ungestressten Transistors konstant bleibt. In diesem Fall könnten mit der hier verwendeten Messreihenfolge alle Unbekannten bestimmt werden. Die Messergebnisse zeigen jedoch, dass dies nicht der Fall ist, so dass mit dieser Methodik eine Bestimmung der Ladung im Oxid nicht möglich ist. Zudem hängt die Anzahl der positiven Ladungen im Oxid offensichtlich mit PCD zusammen. Dies wird deutlich, wenn man IETS gegenüber ΔU_{MG} aufträgt (siehe Abbildung 6.7). Damit kann klar gezeigt werden, dass PCD auch Löcherhaftstellen erzeugt.

Die Messergebnisse legen ein Bild von Ladung im Oxid nahe, wie es von Dumin beschrieben wird [Dum02]. Die Haftstellen werden während eines elektrischen Stresses im Oxid homogen verteilt erzeugt und laden sich an der Kathode negativ und an der Anode entsprechend positiv auf [YLMM00] [SDH⁺96].

Dieser Mechanismus liegt hier in abgewandelter Form vor: Die Haftstellen werden durch Fowler-Nordheim-Stress während der Prozessierung, also durch PCD, im Oxid homogen verteilt erzeugt. Die Abschlusstemperatur passiviert die Haftstellen, die jedoch bei der IETS-Messung aufbrechen. Die Ladung der Haftstellen und ebenso die Polarität der Ladungen hängt damit vom Diagnosestress ab; die Anzahl der Haftstellen jedoch von PCD.

Die Messergebnisse sind damit in Übereinstimmung mit Brozek et al. [BV97] und zeigen, dass durch PCD auch Löcherhaftstellen entstehen können, da das gleichzeitige Festsetzen

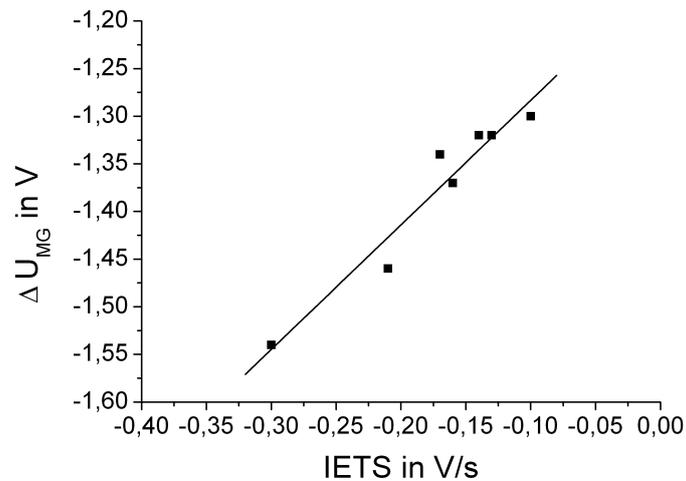


Abbildung 6.7: Zusammenhang IETS und Midgapspannung. Für hohe (absolute) Werte von IETS ist eine hohe (absolute) Änderung der Midgapspannung zu erkennen. Da IETS ein Maß für PCD ist und ein negativer Wert für ΔU_{MG} das Festsetzen von Löchern bedeutet, kann geschlussfolgert werden, dass bei höherem PCD mehr Löcher festgesetzt werden.

von Elektronen und Löcher in Abhängigkeit von PCD nachgewiesen werden konnte. Ein solcher Nachweis, mit einer anderen als den von Brozek et al. verwendeten Messmethoden, wurde von Cheung et al. gefordert [CHW05].

Der Messwert IETS muss nach diesen Ergebnissen kritisch betrachtet werden. Die initiale Steigung der Messkurve ist nach diesen Erkenntnissen kein reines Festsetzen von Elektronen (siehe Gleichung 2.13). Stattdessen zeigt IETS vielmehr eine, auf Grund der Injektionsrichtung stets negative, Nettoladung, die sich aus Gleichung 6.9 ergibt. Dennoch bleibt der Parameter IETS ein exzellenter Parameter um PCD nachzuweisen, da mit ihm die Geschwindigkeit gemessen wird, mit der Bindungen brechen. Diese ist bei geschädigten Oxiden ungleich höher, auch wenn von diesem Parameter nicht direkt auf eine Ladung im Oxid rückgeschlossen werden kann (vergleiche Formel 2.13).

Die einzelnen Kurven für das Festsetzen der negativen bzw. positiven Ladung können aus den Messergebnissen nicht extrapoliert werden (vergleiche Abbildung 2.12). Das scheinbare Absättigen von positiver Ladung lässt sich dadurch erklären, dass entweder am Anfang des Stresses positive Ladungen auch in der Nähe des Gates erzeugt werden oder dass positive Ladungen schneller festgesetzt werden als Elektronen.

Die Messung selbst ist mit einigen Unsicherheiten behaftet. Unsicherheiten bei der Kanaldotierung oder dem Parameter C_m führen nur zu geringen Abweichungen, da hier die Differenz zweier Messwerte untersucht wird und nicht der Messwert selbst [MW86]. Als weitere Unsicherheit ist die Messapparatur zu nennen. Auf Grund von Umschaltvorgängen im Messsystem findet eine nicht exakt definierte Pause zwischen einzelnen Messungen statt, so dass eventuell Entladevorgänge stattfinden können. Mit vertretbarem Aufwand ist hier allerdings keine Abhilfe zu schaffen. Diese Abweichungen fallen jedoch nicht ins Gewicht, da das hier gezeigte qualitative Modell, auf den unterschiedlichen Vorzeichen basiert, die rechnerisch für die Ladung im Oxid bestimmt wurden. Da diese Abweichungen

sehr deutlich sind, wird das vorgestellte Modell nicht durch diese Unsicherheiten beeinflusst.

6.2 Untersuchung des Oxiddurchbruchs

Als ein Werkzeug zur Qualifikation von Gateoxiden wird die Messung des Gateoxiddurchbruchs angesehen [Dum02] [MSO06] [SWS⁺89]. Dennoch wird meist nur ein einzelner Parameter, Durchbruchzeitpunkt, Durchbruchladung oder Durchbruchspannung als Parameter übernommen. Eine Analyse des Transienten einer Konstantstrommessung wurde in dieser Arbeit durchgeführt, um zusätzliche Informationen zu gewinnen. Da sich PCD bereits am Anfang der Messung zeigt, können so frühzeitig Informationen zum erwarteten Durchbruchzeitpunkt gewonnen werden. Diese Messung ist die Verlängerung der IETS-Messung bis zum Durchbruch. Daher können auch Rückschlüsse auf die IETS-Messung gezogen werden.

6.2.1 Experimenteller Aufbau

Für dieses Experiment wurden NMOS und PMOS Transistoren ausgewählt, die über Metall1-Antennen verfügten. Diese waren in drei Größen gemäß Tabelle 6.1 vorhanden. Ausgesteuert wurden die Wafer nach der ersten Metalllage. Gemessen wurden 123 Dies auf einem Wafer.

Es wurde eine Stromdichte von -50 mA/cm^2 (Gateinjektion) eingepreßt, was bei der Gatefläche von $7,5 \mu\text{m}^2$ einem absoluten Strom von $-3,75 \text{ nA}$ entsprach. Resultat einer solchen Messung sind Messkurven, wie sie in Abbildung 6.8 dargestellt sind. Der Kurvenverlauf folgt der bekannten Formel 6.9, wobei stets eine negative Ladung gemessen wird, da hier Elektronen vom Gate eingepreßt werden. Wird der Schwerpunkt als konstant angenommen, so ist die Spannungsänderung proportional zur Gesamtladung im Oxid. Die Messungen werden zeigen, dass diese Annahme gut mit den gemessenen Ergebnissen korrespondiert.

6.2.2 Messergebnisse

Messungen

Der Punkt direkt bevor das Oxid den finalen, destruktiven Durchbruch erreicht, wird gekennzeichnet durch die Zeit t_{BD} und die Spannung U_{BD} . Zeichnet man diese beiden

Name	Antennenfaktor (bezogen auf $1 \mu\text{m}^2$ Gatefläche)
Small	1636
Medium	8034
Large	25362

Tabelle 6.1: Im Experiment verwendete Metall1-Antennen.

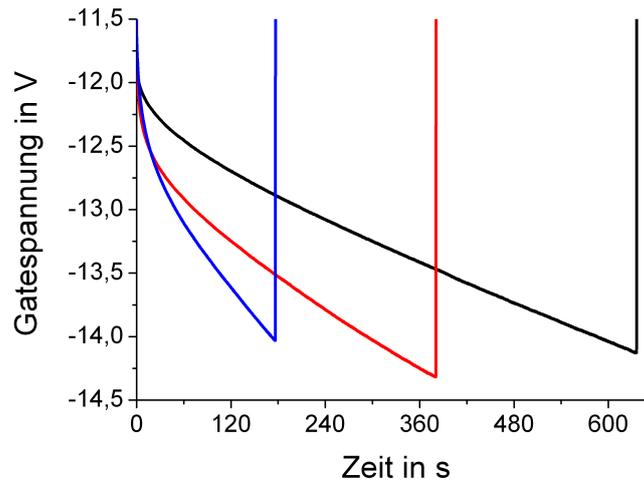


Abbildung 6.8: Exemplarische Kurven der Konstantstrom-Durchbruchmessung. Die Messungen wurden bei der gleichen Struktur an unterschiedlichen Positionen auf dem Wafer durchgeführt. Der Anstieg der (absoluten) Spannung ist auf die abschirmende Wirkung festgesetzter Elektronen zurückzuführen (siehe Abschnitt 2.1.5).

Messwerte als Weibullgraph, so ergeben sich die in Abbildung 6.9 und 6.10 gezeigten Diagramme. Es wird schnell deutlich, dass die Verteilungskurven bei t_{BD} stark von einer Weibullverteilung abweichen, während die von U_{BD} eine Gerade im Weibullgraphen bilden. Außerdem sind die U_{BD} -Kurven nahezu antennenunabhängig und unterscheiden sich nur durch den Transistortyp.

Mit Rückblick auf Abschnitt 1.1.3 würde man eine Weibullverteilung des Durchbruchzeitpunktes t_{BD} erwarten, da hier ein Konstantstrom eingepreßt wird und die durch das Oxid geflossene Ladung daher proportional zur Zeit ist. Dieser Zusammenhang ist aber nur bei einer Population von identischen Oxiden zutreffend. Im vorliegenden Fall sind die Oxide jedoch von unterschiedlicher Qualität (siehe Abbildung 6.8), da sie, je nach Position auf dem Wafer, unterschiedlich hohe Vorschädigungen erhalten haben.

Die Durchbruchspannung U_{BD} ist diejenige Spannung, die nötig ist, um den Konstantstrom im dem Zeitpunkt direkt bevor der Durchbruch stattfindet, durchs Oxid zu treiben. Die Änderung der Spannung gegenüber dem ungeschädigten Zustand entspricht also der Spannung ΔU_{FN} aus Gleichung 6.9 und ist damit proportional zur im Oxid enthaltenen Ladung ΔQ_{BD} . Die tatsächlichen Spannungen unterscheiden sich daher nur durch eine Konstante. Das bedeutet, dass der Parameter U_{BD} unabhängig von der Vorschädigung des Oxids ist. Er erfasst also auch die bereits verbrauchte Lebensdauer (siehe Abschnitt 1.2), da für die erreichte Spannung nicht von Bedeutung ist, ob die Ladung sich in Haftstellen, die durch PCD entstanden sind, festsetzt oder in durch den Messstress erzeugten Haftstellen. Die Gerade im Weibullgraph kann daher als Referenz zur Berechnung des Durchbruchzeitpunkts genutzt werden. So kann der Median der Durchbruchspannung \bar{U}_{BD} als Parameter für die Oxidqualität genutzt werden, nicht jedoch \bar{t}_{BD} , da er auf Grund der verschiedenen statistischen Populationen keine repräsentative Bedeutung hat. \bar{U}_{BD} ist außerdem proportional zu \bar{Q}_{BD} , dem Median der Durchbruchladung, wenn sich der Ladungsschwerpunkt nicht ändert. Die Tatsache, dass sich im Weibullgraph eine Gerade

ergibt, zeigt, dass dies tatsächlich der Fall ist und sich der Schwerpunkt der Ladung nicht stark ändert.

Trägt man die beiden Parameter U_{BD} und t_{BD} gegeneinander auf, so ergibt sich das in Abbildung 6.11 gezeigte Diagramm. Die beiden Parameter sind offensichtlich nicht miteinander korreliert. Die beiden gestrichelten Linien sind nur als optische Hilfe eingezeichnet und markieren die Grenze der Punktwolken. An dieser Grenze zeigen die beiden Parameter beinahe einen linearen Zusammenhang. Diese Strukturen zeigen die höchste (absolute) Durchbruchspannung und eine hohe Durchbruchzeit. Hierbei handelt es sich offensichtlich um die am wenigsten geschädigten Strukturen. Bei ihnen sind Spannung und Ladung im Oxid tatsächlich linear abhängig, da hier das Schadensniveau nach der Prozessierung identisch ist. Das bedeutet wiederum, dass vermutlich keine Schäden vorliegen.

Eine weitere herausragende Gruppe sind die Punkte mit kurzer Lebenszeit und hoher (absoluter) Durchbruchspannung. Diese sind nur beim NMOS mit der Medium und Large Antenne vorhanden und bilden in dem Weibullgraph der Durchbruchspannung eine abweichende Kurve am oberen Ende des Graphen. Bei diesen stark geschädigten Oxiden ist offensichtlich der Schwerpunkt der Ladung verschoben, da die dazugehörigen Messpunkte nicht zur Weibullverteilung in Abbildung 6.10 gehören.

Betrachtet man alle Durchbruchkurven einer Antennenstruktur (in Abbildung 6.12 exemplarisch für PMOS Medium-Antenne), so fällt auf, dass diese sich grob in zwei Gruppen unterteilen lassen. Eine Gruppe besteht aus Kurven, die über weite Teile einen nahezu parallelen Verlauf haben. Zwischen ihnen besteht nur ein geringer Unterschied in der Spannung. Dieser Unterschied wird durch PCD generiert. Bei dieser ersten Gruppe der Kurven macht sich PCD nur über wenige Sekunden bemerkbar; dann sind die latenten Defekte aufgebrochen und es werden nur noch durch den Messstress neue Haftstellen erzeugt. Da dies bei allen Oxiden im gleichen Maße geschieht, sind die Kurven im weiteren Verlauf nahezu parallel.

Der andere Teil besteht aus Kurven, die stark auseinander laufen. Hier hat PCD offensichtlich einen weit stärkeren Einfluss, auch erkennbar an den frühen Durchbruchzeitpunkten.

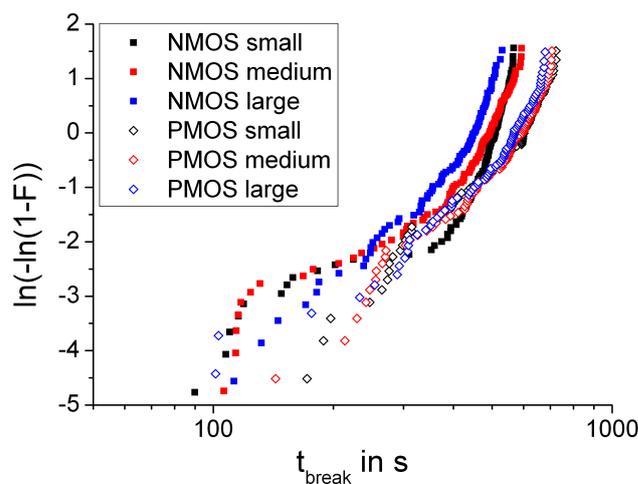


Abbildung 6.9: Weibullgraph des Durchbruchzeitpunktes. Deutlich sind die einzelnen Antennen zu unterscheiden.

Die Strukturen, zu denen die Kennlinien dieser Familie gehören, befinden sich am Rande des Wafers, so dass hier davon ausgegangen werden kann, dass diese Strukturen stärker geschädigt wurden (vergleiche Abschnitt 4.4). Anscheinend erzeugte die starke Schädigung hier eine weitere Klasse von latenten Defekten mit erhöhter Aktivierungswahrscheinlichkeit. Diese ist jedoch geringer als die der latenten Defekte, welche bei den Kurven der ersten Gruppe beobachtet wurde. Die Haftstellen entstehen auf Grund ihrer geringeren Aktivierungswahrscheinlichkeit nicht in den ersten Sekunden des Stresses, sondern über einen Zeitraum von mehreren Minuten. Dennoch ist ihre Aufbrechwahrscheinlichkeit höher als die von intakten Bindungen. Als Konsequenz zeigen die Strukturen dieser Gruppe über einen längeren Zeitraum eine erhöhte Spannungsänderung. Dabei muss betont werden, dass der Übergang zwischen den beiden Gruppen nicht klar abgegrenzt, sondern fließend ist.

Lebenszeitvorhersage

Die Steigung aller gemessenen Kurven wurde numerisch bestimmt. Dabei stellte sich heraus, dass sich die Steigungen der Kurven ähnlich verhalten, wenn auf die Steigung von 30 s normiert wurde (siehe dazu Abbildung 6.13). Wurde ein früher Zeitpunkt ausgewählt, so wichen die Graphen stark voneinander ab. Da von diesem Zeitpunkt an die Verläufe der Kurven ähnlich sind, liegt die Schlussfolgerung nahe, dass neue Haftstellen nur noch durch den Messstress erzeugt werden. Daher kann geschlossen werden, dass zu diesem Zeitpunkt der Großteil der latenten Defekte aufgebrochen ist.

Die Streuung der Kurven in Abbildung 6.13 beruht zum Teil darauf, dass die Absolutwerte der Steigung gering sind und daher auf Grund von messtechnischen Unsicherheiten mit einem Rauschen versehen sind. Auch wenn in Abbildung 6.13 nur die Werte der PMOS Medium Strukturen dargestellt sind, so sehen die Kurven aller anderen Strukturen (PMOS und NMOS, alle Antennentypen) nahezu identisch aus.

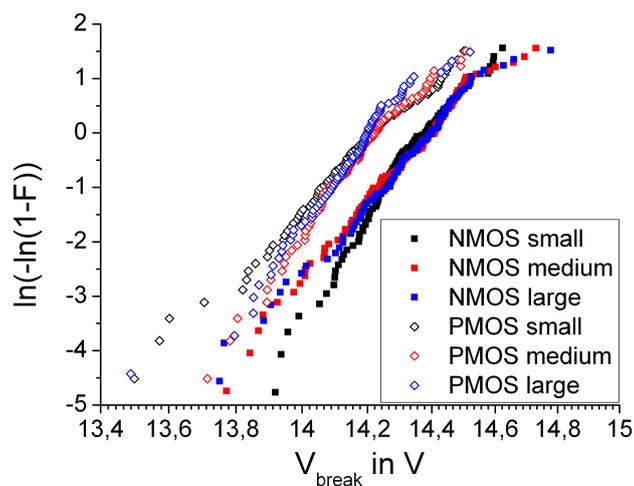


Abbildung 6.10: Weibullgraph der Durchbruchspannung. Trotz unterschiedlicher Antennen fallen die Graphen zusammen. Da die Spannung einer Weibullverteilung folgt, kann jedem Spannungswert eine Durchbruchwahrscheinlichkeit zugeordnet werden.

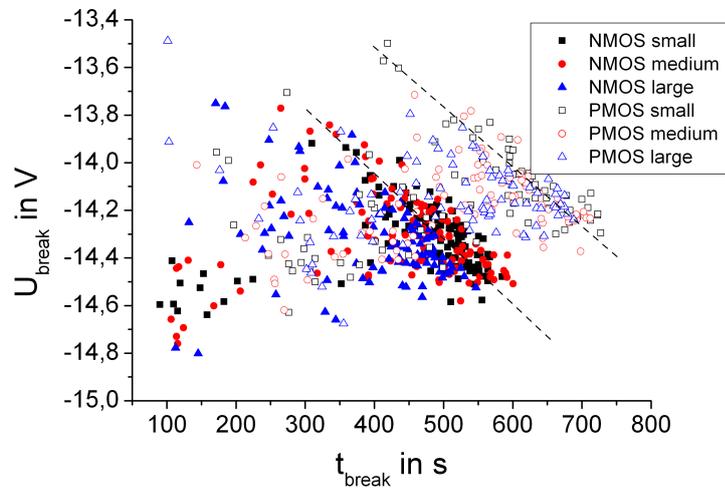


Abbildung 6.11: Korrelation von t_{BD} und U_{BD} . Es ist keine Korrelation erkennbar. Nur am rechten Rand der Punktwolke ist eine nahezu lineare Abgrenzung erkennbar. Die Geraden dienen als optische Hilfe.

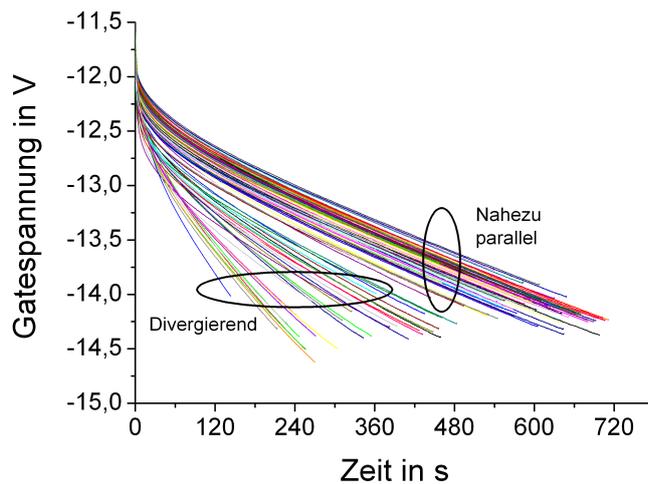


Abbildung 6.12: Durchbruchkennlinien PMOS Medium-Antenne.

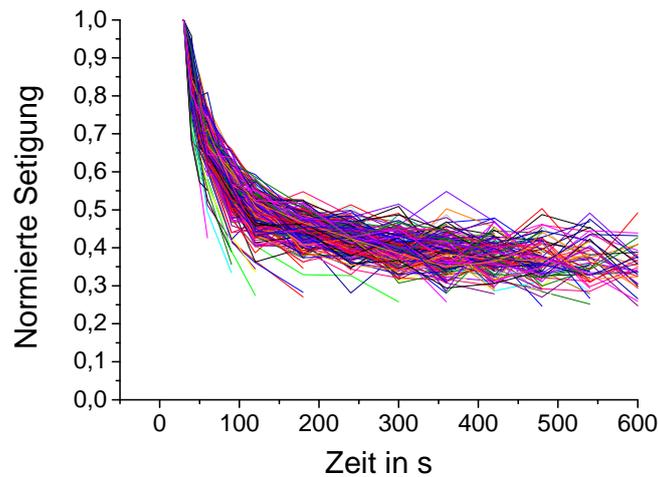


Abbildung 6.13: Normierte Steigung der PMOS Medium-Antenne. Die Steigung der Messkurven wurde auf den Wert von 30 s normiert.

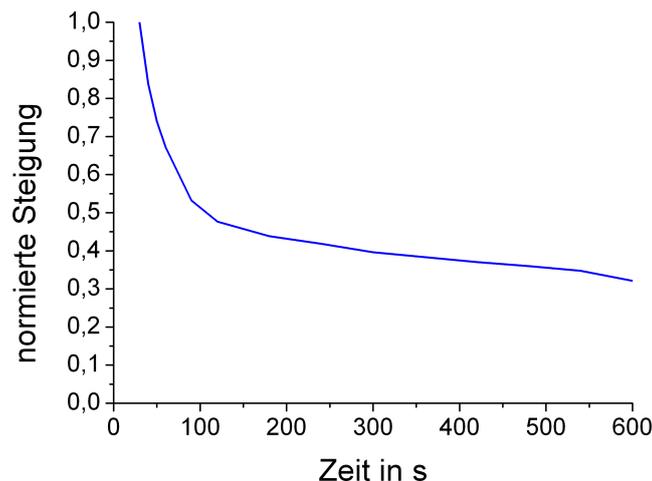


Abbildung 6.14: Mittelwert der normierten Steigungen. Die Kurve wurde aus den normierten Steigungen aller Strukturen ermittelt.

Trägt man den Mittelwert der Steigungen aller Kurven auf, so ergibt sich die Kurve in Abbildung 6.14. Die Kurve kann dazu genutzt werden, den Verlauf der Durchbruchmessung bereits nach 30 s vorherzusagen. Anders gesagt gilt:

$$U_i(t) \approx \int_{30s}^t U'_i(30s) \cdot U'(\tau) d\tau + U_i(30s) \quad (6.11)$$

Dabei ist $U_i(t)$ die Gatespannung zum Zeitpunkt t einer beliebigen Durchbruchmessung, $U'_i(t)$ ist die Ableitung nach der Zeit von $U_i(t)$ und $U'(t)$ ist die relative Ableitung der Gatespannung zum Zeitpunkt t der universellen, nur numerisch bekannten Durchbruchkurve. $U'(t)$ bezieht sich auf die Steigung bei 30 s. Da die Funktion der Ableitung der universellen

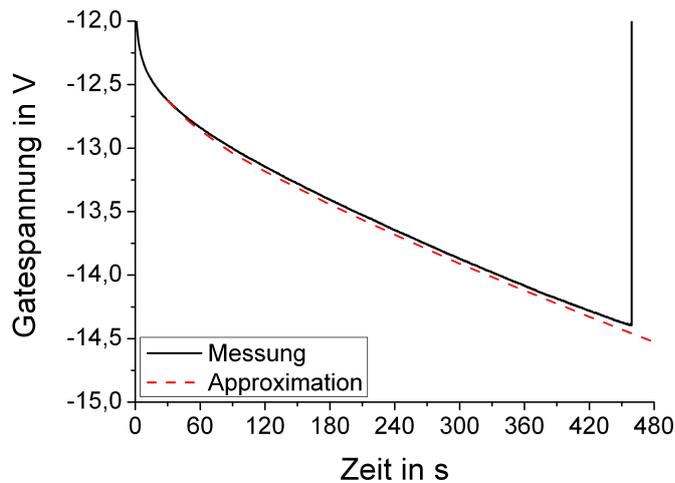


Abbildung 6.15: Approximation der Durchbruchkennlinie. Ermittelt mit den Werten aus Abbildung 6.14.

Kurve $U'(t)$ unbekannt ist, wurde eine numerische Approximation des Kurvenverlaufs, mit Hilfe der Kurve in Abbildung 6.14, durchgeführt. Dazu wird die Messkurve ab dem Zeitpunkt 30s abschnittsweise mit den entsprechenden Steigungen linearisiert.

Die so ermittelten Kurven weichen nur geringfügig von den Messkurven ab. Ein typisches Beispiel für die Approximation ist in Abbildung 6.15 dargestellt. Um einen Überblick über die Güte der Approximation zu erhalten, wurde die Zeit t_{fit} ermittelt, zu der die approximierte Kennlinie den tatsächlich gemessenen Durchbruchzeitpunkt erreicht. Mit dieser Methodik konnte gezeigt werden, dass die Fitkurve auch für große Zeiten eine gute Näherung ist. Trägt man die beiden Parameter gegeneinander auf, so erhält man den Graphen in Abbildung 6.16. Die beiden Parameter korrelieren gut miteinander. Es ist also möglich mit einer Messung von nur 30s den Zeitpunkt, zu dem die Kurve eine bestimmte Spannung erreicht, zu ermitteln.

Dass die absoluten Werte der Steigung gering sind, ist für die Approximation hilfreich. Eine hoher relativer Fehler der Steigung in einem Intervall, führt trotzdem zu einer geringen absoluten Abweichung des Messwertes. Zudem sind die Strukturen mit der höchsten Abweichung stark geschädigt und tendieren dazu frühzeitig durchzubrechen. Dies reduziert die absolute Abweichung zusätzlich.

Anwendung als Messmethode

Mit der oben beschriebenen Technik lässt sich der Verlauf der Spannung schon nach einer kurzer Messzeit bestimmen. Da außerdem die Durchbruchwahrscheinlichkeit direkt mit der Spannung verknüpft ist (siehe Abbildung 6.10), kann ermittelt werden, nach welcher Zeit eine bestimmte Durchbruchwahrscheinlichkeit erreicht wird. Ein Beispiel dafür ist in Abbildung 6.17 gezeigt. In diesem Beispiel wird der Spannungsverlauf nach der Messung von 30s approximiert. Damit kann zwar nicht der Durchbruchzeitpunkt exakt vorhergesagt werden, schließlich ist der Durchbruch ein statistisches Phänomen, aber es ist möglich ein

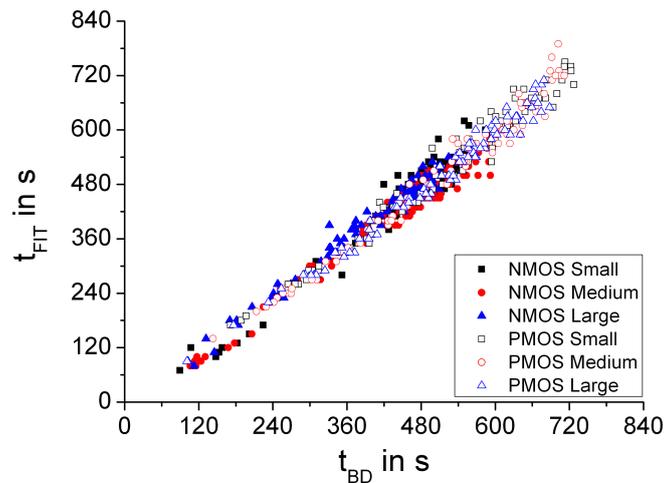


Abbildung 6.16: Korrelation der Parameter t_{fit} und t_{break} .

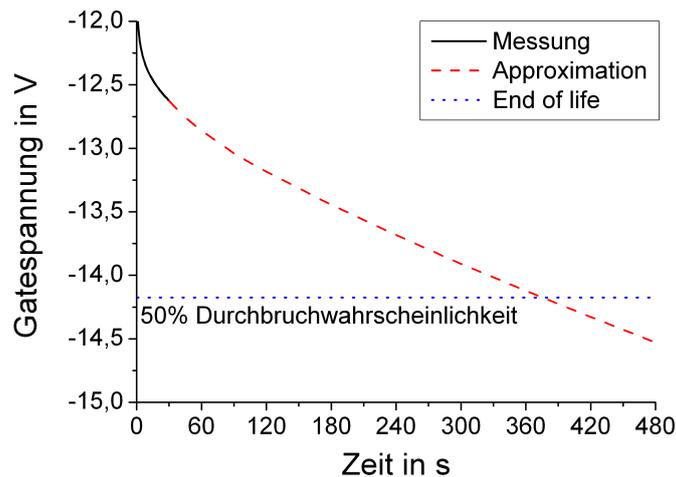


Abbildung 6.17: Messung von 30 s gefolgt von Approximation zu Durchbruchvorhersage.

End-of-life Kriterium festzulegen. Dies geschieht mit Hilfe des Weibullgraphen in Abbildung 6.10. Das Ende der Lebensdauer kann, wie hier im Beispiel, auf \bar{U}_{BD} gesetzt werden. In dem Beispiel in Abbildung 6.17 wird das Ende der Lebensdauer nach 375 s erreicht. Die 30 s Messzeit entspricht also 8% der Lebensdauer. In dieser Zeit brechen sowohl Haftstellen auf, die zuvor durch PCD erzeugt wurden, als auch neu durch den Stress erzeugte Haftstellen. Die Anzahl der Haftstellen, die durch den Stress erzeugt werden, ist konstant für alle Messungen, so dass mit dem ermittelten Wert für das Erreichen des End-of-life bzw. dem Wert für den Anteil der verbrauchten Lebensdauer, ein Parameter zur Verfügung steht, der angibt, wie stark das Oxid durch PCD vorgeschädigt wurde. Er kann genutzt werden um PCD in einem Prozess zu überwachen.

6.2.3 Schlußfolgerung

Die Untersuchungen zeigten, dass die Durchbruchzeit bei einer Population von Oxiden, die teilweise geschädigt sind, als Kenngröße für PCD nicht hilfreich ist. Die Verteilung der Durchbruchzeit weicht stark von einer Weibullverteilung ab und kann daher nicht zur Vorhersage der Lebensdauer genutzt werden. Stattdessen wurde erstmalig die Durchbruchspannung als Kenngröße eingeführt. Hier konnte eine Weibullverteilung nachgewiesen werden, so dass Messungen auf diesen Parameter referenziert werden können.

Es wurden verschiedene Gruppen von Durchbruchkennlinien in Abhängigkeit vom erhaltenen PCD gemessen, die aber Gemeinsamkeiten in ihren Verläufen aufwiesen. Wurden die Steigungen der Kurven auf die Steigung bei 30 s normiert, so ergab sich näherungsweise eine universelle Kurve. Diese konnte zur Vorhersage von Durchbruchkennlinien verwendet werden. Ein Vergleich mit den Messwerten zeigte eine gute Übereinstimmung der Vorhersage mit den tatsächlichen Kennlinien. Damit kann eine Lebenszeitvorhersage nach einer Stresszeit von nur 30 s durchgeführt werden.

Die allgemeine Kurve folgt keinem einfachen Zusammenhang, wie etwa einer Exponentialfunktion oder einer Funktion der Form t^n . Dies liegt vermutlich daran, dass sich hier verschiedene Vorgänge überlagern. Es ist anzunehmen, dass auch nach deutlich längeren Zeiten als 30 s noch verschiedene Populationen von Haftstellen mit einer unterschiedlichen Durchbruchwahrscheinlichkeit vorhanden sind. Da die Populationen der Haftstellen limitiert sind, klingt die zu den jeweiligen Durchbruchwahrscheinlichkeiten gehörige Funktion nach einer Weile ab. Der Versuch einer Approximation der Kurve mit einer komplexeren Funktion (etwa: $A \cdot e^{-B/t} + C \cdot e^{-D/t} + E \cdot t + F$) scheiterte daran, dass zu viele Parameter vorhanden waren. Es wurden zwar Approximationen gefunden, die den Kurven ähnelten, jedoch schwankten die Parameter, je nach Startbedingung, sehr stark und nahmen unrealistische Werte an. Eine allgemeingültige, stabile Funktion kann so nicht bestimmt werden.

Kapitel 7

Zusammenfassung und Ausblick

In dieser Arbeit wurden verschiedene Phänomene des Plasma Charging Damage (PCD) untersucht. PCD kann in Halbleiterprozessen die Zuverlässigkeit der Bauteile und die Ausbeute erheblich senken. Dies geschieht durch Potentialdifferenzen während der Prozessierung im Plasma, durch die Fowler-Nordheim-Ströme durch das Gateoxid getrieben werden. Daher ist PCD seit den 1980er Jahren Gegenstand der Forschung. Dennoch sind einige, auch grundsätzliche, Fragen ungelöst. Zudem sind, insbesondere bei Unternehmen, die für die Automobilindustrie fertigen, die Qualitätsanforderungen in den letzten Jahren deutlich gestiegen. PCD ist daher nach wie vor ein hohes Risiko für Zuverlässigkeit und Ausbeute.

Mit den hier durchgeführten Untersuchungen konnten einige neue, generelle Erkenntnisse über PCD gewonnen werden. Zusätzlich wurden konkrete Analysen beim untersuchten Fertigungsprozess durchgeführt.

Für die Untersuchungen waren viele verschiedene Testfelder nötig, die im Laufe dieser Promotion entwickelt wurden. Aus den dabei gewonnenen Erfahrungen konnten allgemeine Richtlinien entwickelt werden, wie ein solches Testfeld ausgelegt werden sollte, um damit PCD optimal analysieren zu können. Mit Hilfe dieser Strukturen konnte im untersuchten Prozess sowohl die Hauptursache für PCD gefunden werden, als auch Designregeln entwickelt werden, die helfen PCD zu vermeiden. Damit konnte eine wichtige Ursache für eventuelle Zuverlässigkeitsprobleme erkannt und entschärft werden.

Eine Besonderheit des Prozesses war das Vorhandensein von sogenannten Analog- und Digitaltransistoren. Dabei sind die digitalen Bauteile für 3,3 V Betriebsspannung geeignet, die analogen Bauteile jedoch für deutlich höhere Spannungen. Die Transistoren unterscheiden sich daher sowohl in ihren Dotierungen, als auch, für PCD interessanter, durch die Stärke der Gateoxide. Messungen an Analogtransistoren zeigten, dass diese den Schäden gegenüber nahezu immun sind, die durch den Prozess verursacht werden können. Ein Schadensniveau, das ausreicht um einen Transistor mit digitalem Gateoxid zu zerstören hinterlässt keine Spuren bei einem Transistor mit analogem Gateoxid. Da die Designregeln das Design nicht stark einschränken, ist es ausreichend die Regeln der Digitaltransistoren für die Analogtransistoren zu übernehmen.

Eine Variante des Prozesses, der auf Dickfilm-SOI-Substraten hergestellt wurde, ist ebenso untersucht worden. Zu diesem Thema wurden bisher sehr wenige Messergebnisse veröffentlicht. Die Untersuchung des am Fraunhofer IMS entwickelten Prozesses zeigte, dass Dickfilm-SOI-Prozesse auf Grund ihrer isolierenden Eigenschaften deutlich weniger von PCD betroffen sind, als vergleichbare Prozesse auf Bulk-Wafern.

Ein grundlegendes Problem bei der Analyse von PCD ist es, eine schadensfreie Referenz zum Abgleich der Messungen herzustellen. Dies wird meistens mit Schutzstrukturen erreicht, die jedoch bei den hohen elektrischen Feldern, bei denen die Messungen von PCD oft stattfinden, die Ergebnisse durch parasitäre Strompfade verfälschen können. Zur besseren Analyse von PCD wurde daher eine Schutzstruktur entwickelt, die die durch den Plasmaprozess erzeugten Ströme am Oxid vorbei ableitet und so vor PCD schützt. Die Schutzstruktur selbst ist als PNP-Struktur ausgeführt, wobei die Basis nicht angeschlossen ist. Neuartig ist, dass für diese Schutzstruktur Implantationen verwendet wurden, die sich durch eine hohe Spannungsfestigkeit auszeichnen. Dies bedeutet, dass sich die Durchbruchspannung der Schutzstruktur unter normalen Messbedingungen (Raumtemperatur, Dunkelheit) oberhalb der Durchbruchspannung des Gateoxids befindet und dadurch die Messung nicht beeinflusst. Dennoch schützt die Teststruktur vor PCD, da sie unter Prozessbedingungen (erhöhte Temperatur, Licht) leitend wird und so die entstehenden Ströme ableitet. Damit sind Durchbruchmessungen und Diagnosestress-Messungen möglich, ohne dass ein störender Einfluss durch die Schutzstruktur die Messung verfälscht. Dies ist für die Analyse von PCD und zur Abgrenzung der Wirkung einzelner Antennen von großer Bedeutung. Besonders bei kleinen Messstrukturen, die für PCD besonders empfindlich sind, ist dies von Vorteil, da hier die Erzeugung einer schadensfreien Referenz schwierig ist. Wenn kleinere Transistoren verwendet werden, können bei gleichem Verhältnis kleinere Antennen verwendet werden, so dass der Flächenbedarf der Testfelder im Bildfeld erheblich reduziert wird. Dadurch können erheblich Kosten eingespart werden.

Es wurden außerdem verschiedene Messverfahren getestet um tiefere Einblicke in PCD zu erhalten. Durch eine Kombination von Messverfahren wurden Erkenntnisse über die Verteilung der Ladungen im Oxid gewonnen. Für die Verteilung der Ladung nach PCD existieren nach wie vor verschiedene Modelle. Die hier durchgeführten Messungen zeigen deutlich, dass die Polarität der gemessenen Ladungen von der Messmethode abhängt. Es konnte gezeigt werden, dass, anders als von einigen Autoren vertreten, die Anzahl der Löcher im Gateoxid bei einem längeren Stress nicht konstant bleibt, sondern mit dem Stress zunimmt. Die Ergebnisse stellen einen Beitrag zur Diskussion um die Oxidladung nach PCD dar.

Eine andere Messung untersucht PCD mit Hilfe von Konstantstrom-Durchbruchmessungen, wobei die Gatespannung in Abhängigkeit der Zeit bestimmt wurde. Als Ergebnis von PCD stehen am Ende eines Produktionsprozesses Teststrukturen mit verschiedenen Schadensniveaus zur Verfügung. Um die Messergebnisse einer Durchbruchmessung bewerten zu können, wurde die Spannung zum Zeitpunkt des Durchbruchs als Parameter eingeführt und als Bewertungsgrundlage genutzt. Es wurde gezeigt, dass dieser Parameter, trotz unterschiedlicher Schadenslevel, einer Weibullverteilung folgt. Weiterhin konnte gezeigt werden, dass die Steigungen der Durchbruchkurven einen ähnlichen Verlauf aufweisen und einer allgemeinen Kurve folgen. Dies konnte zur Prognose des Spannungsverlaufes genutzt werden. Die berechneten Kurven zeigten eine gute Übereinstimmung mit dem tatsächlichen Verlauf, wodurch diese Approximation letztendlich für eine verkürzte Messung der Durchbruchzeit genutzt werden kann.

Die hier gewonnenen Erkenntnisse erweitern das Wissen um PCD und können für zukünftige Zuverlässigkeitsstrukturen und Messungen eingesetzt werden. Die Analyse von PCD in dem untersuchten Prozess kann als erfolgreich, aber noch nicht abgeschlossen bezeichnet

werden. Es gelang Designregeln zu erstellen, nützliche Testfelder zu entwickeln und die Hauptschadensursachen für PCD im Prozess zu lokalisieren, dennoch ist weiterhin Raum für Verbesserungen vorhanden. Die Beseitigung der größten Schadensursachen ermöglicht es genauer nach weiteren Schadensursachen zu suchen und sensitivere Messmethoden zu verwenden. Die Optimierung in Bezug auf PCD ist ein Thema, das für eine kontinuierliche Verbesserung eines Produktionsprozesses ständig weiterverfolgt werden muss.

Literaturverzeichnis

- [Aru95] ARUGA, M.: *Program for charge pumping test*. Charge pumping Programm für HP4155A / HP4156A, 1995. – Programm wird mit Semiconductoranalyser vertrieben
- [BV97] BROZEK, T. ; VISWANATHAN, C. R.: Increased hole trapping in gate oxides as latent damage from plasma charging. In: *Semiconductor Science and Technology* 12 (1997), S. 1551–1558
- [Che74] *Kapitel 8. Nonlinear Effects*. In: CHEN, F. F.: *Introduction to plasma physics*. 3. Edition. Plenum Press, 1974, S. 241–278
- [Che94] CHEUNG, K. P.: An efficient methode for plasma-charging damage measurement. In: *Electronic Device Letters* 15 (1994), S. 460–462
- [Che96] CHEUNG, K. P.: On the use of Fowler-Nordheim stress to reveal plasma-charging damage. In: *1st International Symposium on Plasma Process-Induced Damage*, 1996, S. 11–14
- [Che01a] *Kapitel Thin gateoxide wear-out and breakdown*. In: CHEUNG, K. P.: *Plasma Charging Damage*. Springer-Verlag London Limited, 2001, S. 1–45
- [Che01b] *Kapitel Charging damage measurement II*. In: CHEUNG, K. P.: *Plasma Charging Damage*. Springer-Verlag London Limited, 2001, S. 245–310
- [Che01c] *Kapitel Coping with plasma damage*. In: CHEUNG, K. P.: *Plasma Charging Damage*. Springer-Verlag London Limited, 2001, S. 311–341
- [Che01d] *Kapitel Mechanism of plasma charging damage I*. In: CHEUNG, K.P.: *Plasma Charging Damage*. Springer -Verlag London, 2001, S. 47–97
- [Che01e] *Kapitel Mechanism of plasma charging damage II*. In: CHEUNG, K.P.: *Plasma Charging Damage*. Springer -Verlag London, 2001, S. 99–167
- [Che03] CHEUNG, K.P.: Soft breakdown in thin gate oxide - a measurement artifact. In: *International Reliability Physics Symposium Proceedings* 41 (2003), March-4 April, S. 432–436
- [CHH85] CHEN, I. C. ; HOLLAND, S. ; HU, C.: A quantitative model for time-dependent breakdown in SiO₂. In: *International Reliability Physics Symposium*, 1985, S. 24–31
- [CHW05] CHEUNG, K. P. ; HITS, D. ; WANG, Y.: Electron trap distribution in thin oxide after high-field stress. In: *Applied Physics Letters* 86 (2005), S. 102905

- [CLK⁺97] CHOU, A. I. ; LAI, K. ; KUMAR, K. ; CHOWDHURY, P. ; LEE, J. C.: Modeling of stress-induced leakage current in ultrathin oxides with the trap-assisted tunneling mechanism. In: *Applied Physics Letters* 70 (1997), S. 3407–3409
- [CMS⁺97] CHEUNG, K.P. ; MISRA, D. ; STEINER, K.G. ; COLONELLI, J.I. ; CHANG, C-P. ; LAI, W-Y-C. ; LIU, C-T. ; LIU, R. ; PAI, C-S.: Is NMOSFET hot carrier lifetime degraded by charging damage? In: *International Symposium on Plasma Process-Induced Damage 2* (1997), May, S. 186–188
- [CWS98] CHEN, C. ; WILSON, W. L. ; SMAYLING, M.: Tunneling induced charge generation in SiO₂ thin films. In: *Journal of Applied Physics* 83 (1998), S. 3898–3905
- [DCA93] DIMARIA, D. J. ; CARTIER, E. ; ARNOLD, D.: Impact ionization, trap creation, degradation, and breakdown in silicon dioxide films on silicon. In: *Journal of Applied Physics* 73 (1993), S. 3367–3384
- [DGB⁺95] DEGRAEVE, R. ; GROESENEKEN, G. ; BELLENS, R. ; DEPAS, M. ; MAES, H. E.: A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides. In: *International Electronic Device Meeting*, 1995, S. 863–866
- [DKJDM96] DUMIN, N. A. ; K. J. DICKERSON, D. J. D. ; MOORE, B. T.: Correlation of the decay of tunneling currents with trap generation inside thin oxides. In: *Solid State Electronics* 39 (1996), Nr. 5, S. 655–660
- [DMSS94] DUMIN, D. J. ; MADDUX, J. R. ; SCOTT, R. S. ; SUBRAMONIAM, R.: A Model Relating Wearout to Breakdown in Thin Oxides. In: *Transaction on electron devices* 41 (1994), Nr. 9, S. 1570–1580
- [Dum02] *Kapitel Oxide wearout, breakdown and reliability.* In: DUMIN, D. J.: *Oxide wearout, breakdown and reliability.* World Scientific Publishing Co. Pte. Ltd., 2002, S. 1–102
- [EUN⁺94] ERIGUCHI, K. ; URAKOKA, Y. ; NAKAGAWA, H. ; TAMAKI, T. ; KUBOTA, M. ; NOMURA, N.: Quantitative evaluation of gate oxide damage during plasma processing using antenna-structure capacitors. In: *Japanese Journal of Applied Physics* 33 (1994), January, Nr. 1A, S. 83–87
- [Fle92] FLEETWOOD, D. M.: Border trap in MOS devices. In: *Transaction on nuclear science* 39 (1992), Nr. 2, S. 269–271
- [FN28] FOWLER, R. H. ; NORDHEIM, L.: Electron emission in intense electric fields. In: *Proceedings of the Royal Society of London, Series A* 119 (1928), S. 173–181
- [FWR⁺93] FLEETWOOD, D. M. ; WINOKUR, P. S. ; REBER, R. A. ; MEISENHEIMER, T. L. ; SCHWANK, J. R. ; SHANEYFELT, M. R. ; RIEWE, L. C.: Effects of oxide traps, interface traps and border traps on metal-oxide-semiconductor devices. In: *Journal of Applied Physics* 73 (1993), S. 5058–5074

- [GMBRFD84] GROESENEKEN, G. ; MAES, H. E. ; BELTRAN, N. ; R. F. DEGRAEVE, R. K.: A reliable approach to charge-pumping measurements in MOS transistors. In: *Transaction on Electron Devices* 31 (1984), Nr. 1, S. 42–53
- [HHHN96] HASHIMOTO, K. ; HIKOSAKA, Y. ; HASEGAWA, A. ; NAKAMU, M.: Reduction of the charging damage from electron shading. In: *Symposium on Plasma Process-Induced Damage*, 1996, S. 43–46
- [HHL00] HOOK, T.B. ; HARMON, D. ; LIN, Chuan: Detection of thin oxide (3.5 nm) dielectric degradation due to charging damage by rapid-ramp breakdown. In: *International Reliability Physics Symposium* 38 (2000), S. 377–388
- [Hil04] HILLERINGMANN, U.: *Silizium-Halbleitertechnik*. 4. Auflage. Teubner Verlag, 2004
- [Hor97] *Kapitel MIS structure*. In: HORI, T.: *Gate dielectrics and MOS USLSIs*. Springer -Verlag Berlin Heidelberg, 1997, S. 23–74
- [HP94] HELMS, C. R. ; POINDEXTER, E. H.: The silicon-silicon-dioxide system: Its microstructure and imperfections. In: *Reports on progress in physics* 57 (1994), S. 791–852
- [Int07] INTEL COOPERATION: *60 years of the transistor: 1947 – 2007*. Poster, 2007. – www.intel.com
- [JRO⁺97] JACKSON, J. C. ; ROBINSON, T. ; ORALKAN, O. ; DUMIN, D. J. ; BROWN, G.A.: Nonuniqueness of time-dependent-dielectric-breakdown distributions. In: *Applied Physics Letters* 71 (1997), S. 3682–3684
- [KA99] KRISHNAN, S. ; AMERASEKERA, A.: *Plasma emission triggered protection device for protecting against charge-induced damage*. US-Patent 5994742, 1999
- [KH94] KING, J. C. ; HU, C.: Effect of low and high temperature anneal on process-induced damage of gate oxide. In: *Electron Device Letters* 15 (1994), Nr. 11, S. 475–476
- [Kle] KLEINING, Tobias: *Private Kommunikation*
- [Kri99] KRISHNAN, S.: *Protection structures for the suppression of plasma damage*. US-Patent 5998299, 1999
- [KRK01] KRISHNAN, A.T. ; REDDY, V. ; KRISHNAN, S.: Impact of charging damage on negative bias temperature instability. In: *Electron Devices Meeting*, 2001, S. 39.3.1–39.3.4
- [Lin07] LIN, W.: A new technique for measuring gate-oxide leakage in charging protected MOSFETs. In: *Transaction on Electron Devices* 54 (2007), S. 683–691
- [MB85] MCPHERSON, J. W. ; BAGLEE, D. A.: Acceleration factors for thin gate oxide stressing. In: *International Reliability Physics Symposium*, 1985, S. 1–5

- [McP02] MCPHERSON: Physics and chemistry of intrinsic time-dependent dielectric breakdown in SiO₂ dielectrics. In: DUMIN, D. J. (Hrsg.): *Oxide Reliability*. World Scientific Publishing Co. Pte. Ltd., 2002, S. 135–171
- [MDMO05] MASON, P. W. ; DEBUSK, D.K. ; MCDANIEL, J.K. ; OATES, A.S.: Relationship between yield and reliability impact of plasma damage to gate oxide. In: *International Symposium on Plasma Process-Induced Damage*, 2005, S. 2–5
- [MMLC99] MACPHIE, A. ; MCMILLAN, J. ; LOVE, E. ; CULLIAN, B.: Use of recipe parameters in an AMAT500 etcher to reduce Qdb failures in an 0.5µm BiCMOS process. In: *1st European Symposium on Plasma Process Induced Damage*, 1999, S. 35–38
- [MSO06] MARTIN, A. ; SCHLÜNDER, C. ; OSWALD, P.-E.: Investigation into the dependency of plasma induced damage on the structural MOS geometry with a fast WLR stress and measurement sequenz. In: *International Reliability Physics Symposium*, 2006, S. 719–720
- [MW86] MCWOHRTER, P. J. ; WINOKUR, P. S.: Simple technique for separating the effects of interface trap and trapped oxide charge in metal-oxide-semiconductor transistors. In: *Applied Physics Letters* 48 (1986), S. 133–135
- [NCSFB83a] NISSAN-COHEN, Y. ; SHAPPIR, J. ; FROHMAN-BENTCHKOWSKY, D.: Characterization of simultaneous bulk and interface high-field trap effects in SiO₂. In: *International Electronic Device Meeting*, 1983, S. 182–185
- [NCSFB83b] NISSAN-COHEN, Y. ; SHAPPIR, J. ; FROHMAN-BENTCHKOWSKY, D.: High field current induced-positive charge transients in SiO₂. In: *Journal of Applied Physics* 54 (1983), S. 5793–57800
- [NCSFB85] NISSAN-COHEN, Y. ; SHAPPIR, J. ; FROHMAN-BENTCHKOWSKY, D.: Dynamic model of trapping-detrapping in SiO₂. In: *Journal of Applied Physics* 58 (1985), S. 2252–2261
- [NSMN94] NAKAGAWA, S. ; SASAKI, T. ; MORI, H. ; NAMURA, T.: Charge build-up and uniformity control in magnetically enhanced reactive ion etching using acurved lateral magnetic field. In: *Japanese Journal of Applied Physics* 33 (1994), Nr. 4B, S. 2194–2199
- [PAG⁺00] PANTISANO, L. ; A.PACCAGNELLA ; G.CELLERE ; P.COLOMBO ; M.G.VALENTINI: Interface state creation due to low-field latent damage depassivation. In: *International Symposium on Plasma Process-Induced Damage*, 2000, S. 93–96
- [Pas08] PASCHEN, U.: Development of 0.35µsmart power CMOS process for automotive applications. In: *Annual Report 2007*. Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme, 2008, S. 24–25
- [PCK⁺07] PELELLA, M. M. ; CHAN, D. ; KRUEGEL, S. ; FROHBERG, K. ; RIVERS, J. ; HELLER, T. ; RICHTER, R. ; RODRIGUEZ, N. ; KLEIN, R. ; ZHOU, J. R. ; EPPES, D. ; LEARY, M. ; S. HALE, D. N. ; BULLARD, L. ; HUEBLER, P. ;

- SCHÜLER, S. ; DREIZNER, A. ; WORKING, J. ; SCHWAN, C. ; HORSTMANN, M. ; EN, B. ; WIECZOREK, K. ; GREENLAW, D. ; HEIDEL, T. ; HEINIG, V. ; MIETHKE, J. ; KEPLER, N.: A plasma damage mitigation concept for SOI technologies: Lightning rods. In: *International SOI Conference IEEE*, 2007, S. 77–78
- [PNAPG03] PASKALEVA, A. ; NOVKOVSKI, N. ; ATANASSOVA, E. ; PECOVSKA-GJORGJEVICH, M.: Density and spatial distribution of MERIE-like plasma induced defects in SiO₂. In: *Physica status solidi* 199 (2003), Nr. 2, S. 243–249
- [QD98] QIAN, D. ; DUMIN, D. J.: A comprehensive physical model of oxide wearout and breakdown involving trap generation, charging and discharging. In: *Integrated reliability workshop IEEE*, 1998, S. 1075–1077
- [RGL98] RICCO, B. ; GOZZI, G. ; LANZONI, M.: Modeling and simulation of stress-induced leakage current in ultrathin SiO₂ films. In: *Transaction on Electron Devices* 45 (1998), Nr. 7, S. 1554–1560
- [SC97] SUEHLE, J. S. ; CHAPARALA, P.: Low electric field breakdown of thin SiO₂ films under static and dynamic stress. In: *Transaction on Electron Devices* 44 (1997), S. 801–808
- [Sch98] *Kapitel Oxide and interface trapped charge, oxide integrity.* In: SCHROEDER, D. K.: *Semiconductor material and device characterization*. Second Edition. John Wiley & Sons, Inc., 1998, S. 337–419
- [SCM⁺95] SHERONY, M. J. ; CHEN, A. J. ; MISTRY, K. R. ; ANTONIADIS, D. A. ; DOYLE, B. S.: Comparison of plasma-induced charging damage in bulk and SOI MOSFETS. In: *International SOI Conference*, 1995, S. 20–21
- [SD93] SANCHEZ, J. J. ; DEMASSA, T. A.: Modeling gate emission: A review - Part I. In: *Microelectronic Engineering* 20 (1993), S. 185–220
- [SDH⁺96] SCOTT, R. S. ; DUMIN, N. A. ; HUGHES, T. W. ; DUMIN, D. J. ; MOORE, B. T.: Properties of high - voltage stress generated traps in thin silicon oxide. In: *Transaction on Electron Devices* 43 (1996), S. 1133–1143
- [SH93] SCHUEGRAF, K. F. ; HU, C.: Hole injection oxide breakdown model for very low voltage lifetime extrapolation. In: *International Reliability Physics Symposium*, 1993, S. 7–12
- [SJM02] SUÑÉ, J. ; JIMENEZ, D. ; MIRANDA, E.: Breakdown modes and breakdown statistics of ultrathin SiO₂ gate oxides. In: DUMIN, D. J. (Hrsg.): *Oxide reliability*. World Scientific Publishing Co. Pte. Ltd., 2002, S. 173–232
- [SPFV09] SOMMER, S. P. ; PASCHEN, U. ; FIGGE, M. ; VOGT, H.: Light switched plasma charging damage protection device allowing high field characterization. In: *ESSDERC*. Athens, 2009
- [SPV08] SOMMER, S. P. ; PASCHEN, U. ; VOGT, H.: Positive charge trapping induced by plasma charging damage in NMOS transistors. In: *ESSDERC Fringe Poster Session*, 2008, S. P28

- [SSB+93] STRONG, A.W. ; STAMPER, A.K. ; BOLAM, R.J. ; FURUKAWA, T. ; GOW, C.J. ; GOW, T.R. ; MARTIN, D.W. ; MITTL, S.W. ; NAKOS, J.S. ; PENNINGTON, S.L.: Gate dielectric integrity and reliability in 0.5- μm CMOS technology. In: *Reliability Physics Symposium*, 1993, S. 18–21
- [SWLJ98] SHEU, B.-R. ; WU, K.-H. ; LIN, G.-L. ; JENG, E.: Charging damage evaluation in 0.25-0.3 μm polycide gate etching processes. In: *International Symposium on Plasma Process-Induced Damage*, 1998, S. 76–79
- [SWS+89] SHONE, F. ; WU, K. ; SHAW, J. ; HOKELEK, E. ; MITTAL, S. ; HARANHALLI, A.: Gate oxide charging and its elimination for metal antenna capacitor and transistor in VLSI CMOS double layer metal technology. In: *Digest of technical papers*. The Japan Society of Applied Physics, 1989, S. 73–74
- [Sze81] *Kapitel 7 MIS Diode and CCD*. In: SZE, S.M.: *Physics of Semiconductor Devices*. John Wiley & Sons, Inc., 1981, S. 312–361
- [TNKH87] TSUNOKUNI, K. ; NOJIRI, K. ; KUBOSHIMA, S. ; HIROBE, K.: The effect of charge build-up on gate oxide breakdown during dry etching. In: *Solid state devices and materials*. Tokyo, 1987, S. 195–198
- [TYT96] TAKAGI, S. ; YASUDA, N. ; TORIUMI, A.: Experimental evidence of inelastic tunneling in stress-induced leakage current. In: *International Electron Device Meeting*, 1996, S. 335–341
- [VBP97] VAHEDI, V. ; BENJAMIN, N. ; PERRY, A.: Topographic dependence of plasma charging induced device damage. In: *Symposium on Plasma Process-Induced Damage*, 1997, S. 41–44
- [Vos] VOSS, Jürgen: *Private Kommunikation*
- [Waf] WAFER CHARGING MONITORS, Inc.: *Using CHARM-2 to quantify wafer charging in ion and plasma-based IC processing equipment*. Tutorial, . – www.charm-2.com
- [Wey] WEYERS, Sascha: *Private Kommunikation*
- [YLMM00] YAMABE, K. ; LIAO, K. ; MINEMURA, H. ; MURATA, M.: Nonuniform Distribution of trapped charges in electron injection stressed SiO_2 films. In: *Journal of the electrochemical society* 148 (2000), S. F9–F11
- [Zha04] ZHAO, Y.: *How to get accurate trap density measurements using charge pumping*. Application Note, 2004. – Application Note von Keithley Instruments, Inc.
- [ZSGD01] ZHANG, J. F. ; SII, H. K. ; GROESENEKEN, G. ; DEGRAEVE, R.: Hole Trapping and Trap Generation in the Gate Silicon Dioxide. In: *Transaction on Electron Devices* 48 (2001), S. 1127–1135

Abbildungsverzeichnis

1.1	Typische Durchbruchmessung eines Gateoxids bei Konstantstromstress . . .	10
1.2	Bänderdiagramm beim Fowler-Nordheim-Tunneln	12
1.3	Typische Fowler-Nordheim-Kennlinie	13
1.4	Modell des Oxiddurchbruchs	13
1.5	Verteilungsfunktion einer Weibullverteilung	14
1.6	Verteilungsfunktion einer Weibullverteilung als Weibullgraph	14
1.7	Ladungen im Oxid	16
1.8	Räumliche Verteilung von Traps und States im Oxid	17
1.9	Schematische Verteilung der Ladung während eines Fowler-Nordheim-Stresses	19
1.10	SiO ₂ -Tetraeder (Abbildung [Wey])	20
1.11	Si-Si Bindung a) intakt b) gebrochen	21
1.12	Auwirkung der Temperung	23
1.13	Auswirkung von PCD	24
1.14	Floating Potential während eines Plasmaprozesses	27
1.15	Ladungsfluss während eines Plasmaprozesses	27
1.16	Schematischer Aufbau RIE-Verfahren	29
1.17	Aufladung bei unterschiedlichen Aspektverhältnissen (Detailansicht)	30
1.18	Aufladung bei unterschiedlichen Aspektverhältnissen	31
1.19	Aufladung beim Metallätzen	31
1.20	Transistor mit verschiedenen Antennentypen	34
2.1	Verschiedene Gateleckströme	37
2.2	Eingangstransferkennlinie eines leicht geschädigten Gates vor und nach Stress	38
2.3	Eingangstransferkennlinie eines stark geschädigten Gates vor und nach Stress	39
2.4	Koordinatensystem zur Bestimmung des Schwerpunkts	39
2.5	Typische Durchbruchmessung bei Konstantstrom	41
2.6	Messaufbau Charge Pumping	42
2.7	Messablauf Charge Pumping	44
2.8	Typische Charge-Pumping-Messkurve	44
2.9	Energiebereich der Ströme beim Charge Pumping	45
2.10	Typische Charge-Pumping-Messkurve vor und nach Stress	46
2.11	Transiente Kurve der IETS-Messung	47
2.12	Konzept der IETS-Messung	49
2.13	Spannungsänderung bei der IETS-Messung	49
2.14	Zustand beim Endpunkt	51
3.1	Konzept einer Brückenstruktur	57
3.2	Konzept Fuse Schutzstruktur	58
3.3	Funktionsweise einer Schutzdiode	59

3.4	Konzept einer PNP-Schutzstruktur	59
4.1	Schematischer Aufbau des 0,35 μm -Prozesses	62
4.2	REM-Aufnahme der Metallisierung des 0,35 μm -Prozesses	63
4.3	Verschiedene Kontaktantennen (PMOS 7,5 μm^2)	66
4.4	Verteilung des Gateleckstroms bei 1000 Kontakten	66
4.5	Verteilung des Gateleckstroms bei 10 000 Kontakten	66
4.6	Verteilung des Gateleckstroms bei 40 000 Kontakten	67
4.7	Verteilung des Gateleckstroms bei 80 000 Kontakten	67
4.8	Verteilung der Leckströme durch Kondensatoren über dem P-Substrat . . .	67
4.9	Verteilung der Leckströme durch Kondensatoren über der N-Wanne	67
4.10	Aussteuerung NMOS mit Metall1-Antenne nach verschiedenen Ebenen (7,5 μm^2 Gatefläche)	68
4.11	Zustand nach der ersten Abscheidung	69
4.12	REM-Aufnahme von Metallbahnen nach erster Abscheidung und Sputterätzen. Mit freundlicher Genehmigung von Dr. Jürgen Voss	69
4.13	Vergleich Standardrezept und verkürzter Sputterätzschritt	70
4.14	Gateleckstrom bei Analogtransistoren (PMOS)	71
4.15	Weibullgraph des Durchbruchzeitpunktes des analogen Gateoxide	72
4.16	Layout WLR-Struktur	73
4.17	Verteilung des Gateleckstroms bei Referenzstruktur NMOS	74
4.18	Verteilung des Gateleckstroms bei Referenzstruktur PMOS	74
4.19	Verschieden starke Schädigungen werden durch die IETS-Messung sichtbar	75
4.20	Verteilung der intialen Steigung (IETS) bei Referenzstruktur NMOS	75
4.21	Verteilung der intialen Steigung (IETS) bei Referenzstruktur PMOS	75
4.22	Initiale Verteilung der Switching-State-Dichte (NMOS)	76
4.23	Verteilung der Switching-State-Dichte nach Stress (NMOS)	76
4.24	Initiale Verteilung der Switching-State-Dichte (PMOS)	77
4.25	Verteilung der Switching-State-Dichte nach Stress (PMOS)	77
4.26	Korrelation der Switching-State-Dichte und IETS	78
4.27	Schematische Darstellung des Potentialverlaufs auf dem Wafer	79
4.28	Ansicht eines Dünnfilm-SOI-Prozesses	79
4.29	Ansicht des 0,35 μm -SOI-Prozesses am Fraunhofer IMS	80
4.30	Vergleich des Gateleckstroms bei SOI- und Bulk-Material	80
5.1	Idee Schutzwirkung der Transient Fuse	84
5.2	Weibullgraph Fuse Schutzstruktur	85
5.3	Layout PNP-Schutzstruktur	86
5.4	Strom-Spannungs-Kennlinie der PNP-Schutzstruktur	87
5.5	Weibullgraph PNP-Schutzstruktur	87
5.6	Konzept einer Flash-Zelle	88
5.7	Drift der programmierten Schwellenspannung nach Hoch-Temperatur- Lagerung bei einem Flash-Array [Kle].	89
6.1	Konzept der Midgapspannung	93
6.2	Bestimmung der Midgapspannung	95
6.3	Messung der Ladung von beiden Seiten des Oxids	95
6.4	Messung während des ersten IETS-Stress	96

6.5	Messung der Midgapspannung	97
6.6	Messung während des zweiten IETS-Stress	97
6.7	Zusammenhang IETS und Midgapspannung	99
6.8	Exemplarische Kurven der Konstantstrom-Durchbruchmessung	101
6.9	Weibullgraph des Durchbruchzeitpunktes	102
6.10	Weibullgraph der Durchbruchspannung	103
6.11	Korrelation von t_{BD} und U_{BD}	104
6.12	Durchbruchkennlinien PMOS Medium-Antenne	104
6.13	Normierte Steigung der PMOS Medium-Antenne	105
6.14	Mittelwert der normierten Steigungen	105
6.15	Approximation der Durchbruchkennlinie	106
6.16	Korrelation der Parameter t_{fit} und t_{BD}	107
6.17	Messung von 30 s gefolgt von Approximation zu Durchbruchvorhersage . .	107

Formelzeichen

α	Konstante in der Fowler-Nordheim-Gleichung in A/V^2
β	Weibullsteigung, nimmt in der Regel Werte zwischen 0,5 und 5 an
β	Konstante in der Fowler-Nordheim-Gleichung in V/cm
C	Kapazität in F
C_m	Transistorkonstante in cm^2/Vs
C_{ox}	Oxidkapazität in F
\bar{D}_{ss}	Über Energie gemittelte Switching-State-Dichte in $J^{-1}cm^{-3}$
E_c	In einer Kapazität gespeicherte Energie in J
E_{loc}	Lokales elektrische Feld in V/m
E_{ox}	Elektrisches Feld im Oxid in V/cm
ϵ_s	Permittivität des Siliziums in As/Vm
$F(t)$	Kummulierte Ausfallwahrscheinlichkeit
Φ_B	Potentialbarriere in eV
G	Feldbeschleunigungsfaktor im 1/E-Modell in V/m
γ	Feldbeschleunigungsfaktor im E-Modell in m/V
h	Plancksches Wirkungsquantum $6,6261 \cdot 10^{-34}$ Js
η	Zeitpunkt zu dem 63,2% der Bauteile ausgefallen sind (Weibullverteilungsfunktion)
I_{cp}	Charge-Pumping-Strom in A
$I_{CP;max}$	Maximaler Charge-Pumping-Strom in A
I_e	Elektronenstrom in A
IETS	Initial Electron Trapping Slope in V/s
I_{FN}	Fowler-Nordheim-Tunnelstrom in A
I_{Ion}	Ionenstrom in A
J	Stromdichte in A
J_{FN}	Fowler-Nordheim-Stromdichte in A/m^2
J_{Ion}	Gesättigte Ionenstromdichte in A/cm
k_B	Boltzmann-Konstante $8,617343 \cdot 10^{-5}$ eV/K
L_B	Debye-Länge in m
m_e	Elektronenmasse in kg
m_{Ion}	Ionenmasse in kg
m_{ox}	Elektronenmasse im Siliziumoxid in kg

m_{Si}	Elektronenmasse im Silizium in kg
μ	Ladungsträgerbeweglichkeit in cm^2/Vs
n	Plasma-Ladungsdichte in cm^{-3}
N_0	Anzahl der durch PCD erzeugten latenten Elektronenhaftstellen
N_A	Dotierstoffkonzentration in cm^{-3}
n_i	Intrinsische Ladungsträgerkonzentration in cm^{-3}
N_{ss}	Anzahl der Switching States
$N_e(t)$	Anzahl der zum Zeitpunkt t gefüllten Elektronenhaftstellen
$n_t(t)$	Anzahl der geladenen Haftstellen
Q	Ladung in C
q	Elementarladung $1,6022 \cdot 10^{-19}$ C
Q_b	Ladung im Bulk des Oxids in C
Q_{BD}	Absolute eingeprägte Ladung beim Durchbruch in C
$Q_{BD,rest}$	Gemessene, eingeprägte Oxidladung beim Durchbruch in C
Q_i	Ladung am Interface des Oxids in C
ΔQ_{BD}	Teil der eingepprägten Oxidladung beim Durchbruch die durch PCD verbraucht wurde in C
\bar{Q}_{BD}	Median der durchs Oxid geflossenen Ladung beim Durchbruch in C
ΔQ_e	Ladung der Elektronen in C
ΔQ_h	Ladung der Löcher in C
σ	Wirkungsquerschnitt einer Haftstelle in m^2/As
σ_n	Wirkungsquerschnitt der Elektronenhaftstellen in cm^{-3}
σ_p	Wirkungsquerschnitt der Löcherhaftstellen in cm^{-3}
T	Temperatur in K
t_{BD}	Durchbruchzeitpunkt in s
T_e	Elektronentemperatur in K
t_F	Timet-to-failure Zeitpunkt zu dem 50% der Testpopulation ausgefallen sind in s
t_f	Abfallzeit eines Pulses in s
t_{fit}	Approximiert Durchbruchzeitpunkt in s
t_{ox}	Dicke des Oxids in nm
t_r	Anstiegszeit eines Pulses in s
t	Zeit in s
\bar{t}_{BD}	Median der Durchbruchzeitpunkte in s
U	Spannung in V
U_{Basis}	Basisniveau des Pulses beim Charge Pumping in V
U_{BD}	Durchbruchspannung bei einem Konstantstromstress in V
U_{DC}	Gleichstrom Biasspannung in V
U_{FB}	Flachbandspannung in V

U_{FN}	Spannung die nötig ist um einen konstanten Strom durchs Gateoxid zu treiben in V
U_g	Gatespannung in V
U_{MG}	Midgap-Spannung in V
U_R	Reverse-Spannung beim Charge Pumping in V
U_{RF}	Ins Plasma eingekoppelte Wechselfspannung in V
U_{sh}	Sheath Spannung in V
U_{th}	Schwellenspannung in V
v_t	Thermische Geschwindigkeit der Ladungsträger in m/s
\bar{U}_{BD}	Median der Durchbruchspannung bei einem Konstantstromstress in V
ΔU_G	Pulshöhe am Gate beim Charg Pumping in V
ΔU_{gate}	Änderung der Spannung bei Injektion eines konstanten Elektronenstroms vom Gate in V
ΔU_{sub}	Änderung der Spannung bei Injektion eines konstanten Elektronenstroms vom Subtrat in V
$U'(t)$	Ableitung der Gatespannung während einer Konstantstrom-Durchbruchmessung zum Zeitpunkt t der universellen Messkurve bezogen auf die Steigung bei 30s in s
$U'_i(t)$	Ableitung der Gatespannung während einer Konstantstrom-Durchbruchmessung zum Zeitpunkt t einer beliebigen Messkurve in V/s
$U_i(t)$	Gatespannung während einer Konstantstrom-Durchbruchmessung zum Zeitpunkt t einer beliebigen Messkurve in V
W_1	Aktivierungsenergie im E-Modell in eV
W_2	Aktivierungsenergie im 1/E-Modell in eV
\bar{x}	Ladungsschwerpunkt der Oxidladung in nm
\bar{x}_e	Schwerpunkt der Elektronen in m
\bar{x}_h	Schwerpunkt der Löcher in m
ψ_F	Fermipotential in V
ψ_e	Potential assoziiert mit dem Festsetzen von Elektronen in V
ψ_{ee}	Potential assoziiert mit der Emission von Elektronen in V
ψ_{eh}	Potential assoziiert mit der Emission von Löchern in V
ψ_h	Potential assoziiert mit dem Festsetzen von Löchern in V
ψ_s	Oberflächenpotential in V
ψ_f	Floating Potential in V
ψ_p	Plasmapotential in V
ω	Kreisfrequenz in Hz