

Herstellung und Charakterisierung eines
CMOS-kompatiblen Multi-Elektroden-Arrays,
nanomodifiziert mit Kohlenstoff-Nanoröhren und
Ruthenium-Nano-Rasen

**Von der Fakultät für Ingenieurwissenschaften,
Abteilung Elektrotechnik und Informationstechnik**

der

Universität Duisburg-Essen

zur Erlangung des akademischen Grades

Doktors der Ingenieurwissenschaften

genehmigte Dissertation

von

Dipl.-Phys. Andreas Jupe

aus

Dortmund

Referent: Prof. Dr.-Ing. Holger Vogt
Korreferent: Prof. Dr. rer. nat. Wilfried Mokwa

Tag der mündlichen Prüfung: 6. Mai 2015

Abstract

The present work deals with the fabrication and characterization of CMOS-compatible nano-modified multi-electrode arrays (MEA). Carbon nanotubes and a novel ruthenium nano-lawn are applied on a multi-electrode array (Base-CMOS-MEA) as nano-modifications. The special feature is the direct processing of these nano-modified layers in a post CMOS process. Since the process temperature for the synthesis of carbon nanotubes by thermal CVD processes is typically in the range of 700 °C, the direct synthesis on a standard CMOS substrate with aluminum metallization is normally impossible. The highest allowed temperature for integrated circuits is about 450 °C. More higher temperatures normally lead to irreversible parameter shifts of the electronic components or to a degradation of the metallization and therefore to a significant increase of the electric resistance. In the first part of the present thesis, annealing studies up to 700 °C, limited for 30 min, are performed on established high-temperature CMOS technologies for testing the suitability of direct synthesis of carbon nanotubes. The findings of the annealing experiments shows that a special CMOS technology, based on a bulk substrate with high-temperature-stable tungsten metallization, have only a low threshold voltage shift after the 700 °C (30 min) annealing. With this knowledge, a corresponding CMOS-compatible, planarized multi-electrode array is produced in the evaluated high-temperature technology. The electrode material is composed of a 70 nm thin layer stack of titanium and titanium nitride. The direct deposition of carbon nanotubes are performed on test substrates of this conductive, biocompatible and biostable material. In particular the influence of a necessary catalyst for CNT synthesis is studied. The studies exhibit a significant decrease of the CNT synthesis temperature to 620 °C by using an iron-platinum composite catalyst. The Base-CMOS-MEA is nano-modified with carbon nanotubes using the optimized process parameters. Another focus of the present work is the development of a novel nano-lawn of ruthenium. A sacrificial layer is masked by photolithography of the nano-lawn and structured with an anisotropic etching process. The template is filled by use of atomic layer deposition of metallic ruthenium. The ruthenium nano-lawn is released by isotropic etching of the sacrificial layer. With this new technique, three-dimensional structures can be built, which can also be used for other microsystems applications. For a comparison of the

nano-modified electrodes with standard electrodes, coatings of gold, platinum, iridium, and iridium oxide are also performed on the Base-CMOS-MEA. The different nano-modified multi-electrode arrays require selected concepts of packaging. Therefore, in another part of this work, two concepts of packaging are presented and discussed. The electrochemical characterization of the multi-electrode arrays are performed by electrochemical impedance spectroscopy and cyclic voltammetry. The findings shows an increase of the charge transfer capacity for nano-modified electrodes. First biological cell studies are presented.

Zusammenfassung

Die vorliegende Arbeit beschäftigt sich mit der Herstellung und Charakterisierung CMOS-kompatibler, nanomodifizierter Multi-Elektroden-Arrays (MEA). Als Nanomodifizierung werden Kohlenstoff-Nanoröhren und ein neuartiger Ruthenium-Nano-Rasen auf einem Multi-Elektroden-Array (Basis-CMOS-MEA) appliziert. Die Besonderheit liegt in der direkten Prozessierung der nanomodifizierten Schichten in einem Post-CMOS-Prozess. Da die Prozesstemperaturen für die Synthese von Kohlenstoff-Nanoröhren mit Hilfe thermischer CVD-Prozesse üblicherweise 700 °C betragen, ist eine direkte Synthese auf einem Standard-CMOS-Substrat mit Aluminium-Metallisierung nicht möglich. Die maximal erlaubte Temperatur für integrierte Schaltungen liegt hier bei 450 °C. Erhöhte Temperaturen führen normalerweise zu irreversiblen Parameterverschiebungen der elektronischen Bauelemente oder zu einer irreparablen Schädigung der Metallisierung und damit zu einer signifikanten Widerstandserhöhung. Daher werden in der vorliegenden Arbeit zunächst Temperaturversuche bis 700 °C, zeitlich begrenzt auf 30 min, mit etablierten Hochtemperatur-CMOS-Technologien durchgeführt und hinsichtlich ihrer Tauglichkeit zur direkten CNT-Synthese untersucht. In den Versuchen zeigt sich, dass eine CMOS-Technologie auf Basis eines Bulk-Substrates mit hochtemperaturstabiler Wolfram-Metallisierung nur eine geringe Schwellenspannungsverschiebung nach einem 700 °C (30 min) Temperaturschritt aufweist. Mit diesem Kenntnisstand wird ein entsprechendes CMOS-kompatibles, planarisiertes Multi-Elektroden-Array in der evaluierten Hochtemperaturtechnologie hergestellt. Als Elektrodenmaterial dient ein 70 nm dünner Schichtstapel aus Titan und Titannitrid. Auf diesem leitfähigen, biokompatiblen und biostabilen Material werden auf Testsubstraten Versuche zur direkten Abscheidung von Kohlenstoff-Nanoröhren vorgenommen. Insbesondere der Einfluss eines für die CNT-Synthese notwendigen Katalysators wird untersucht. So zeigt sich, dass bei Verwendung eines Eisen-Platins-Mischkatalysators die Synthesetemperatur der Kohlenstoff-Nanoröhren auf 620 °C reduziert werden kann. Mit den optimierten Prozessparametern wird anschließend das Basis-CMOS-MEA mit Kohlenstoff-Nanoröhren modifiziert. Ein weiterer Fokus dieser Arbeit liegt in der Entwicklung eines neuartigen Nano-Rasens aus Ruthenium. Dazu wird auf einer Opferschicht der Nano-Rasen mit fotolithografischen Mitteln maskiert und mit einem aniso-

tropen Ätzverfahren strukturiert. Das Template wird mit Hilfe der Atomlagenabscheidung mit Ruthenium aufgefüllt und anschließend durch entfernen der Opferschicht freigelegt. Auf diese Weise können dreidimensionale Strukturen aufgebaut werden, die ebenfalls für andere mikrosystemtechnische Applikationen genutzt werden können. Für einen Vergleich der erzeugten Nanomodifizierungen mit Standard-Elektrodenmaterialien werden in dieser Arbeit zudem Elektroden mit Gold, Platin, Iridium und Iridiumoxid beschichtet. Die unterschiedlich nanomodifizierten Multi-Elektroden-Arrays erfordern ausgewählte Konzepte der Aufbau- und Verbindungstechnik (AVT). Daher werden in einem weiteren Teil der Arbeit zwei AVT-Konzepte vorgestellt und diskutiert. Die elektrochemische Charakterisierungen der Multi-Elektroden-Arrays erfolgen mit Hilfe der elektrochemischen Impedanzspektroskopie und der Cyclovoltammetrie. Es zeigt sich eine Steigerung der Ladungstransferkapazität der nanomodifizierten Multi-Elektroden-Arrays. Erste biologische Zelluntersuchungen werden präsentiert.

Inhaltsverzeichnis

1	Einleitung und Motivation	1
2	Stand der Technik	5
2.1	Multi-Elektroden-Array	5
2.2	Nanomodifizierung von Elektrodenoberflächen	9
2.3	Kohlenstoff-Nanoröhren auf CMOS	21
3	Randbedingungen der CMOS-Integration	23
3.1	MOS-Kapazität	24
3.2	MOS-Feldeffekttransistor	29
3.3	Technologie: SOI-Substrat mit Wolfram-Metallisierung	33
3.3.1	Untersuchung von NMOS- und PMOS-Transistoren	34
3.3.2	Untersuchung der Metallisierung	37
3.4	Technologie: Bulk-Substrat mit hotAlCu-Metallisierung	39
3.4.1	Untersuchung von n-Kanal und p-Kanal MOSFETs	40
3.4.2	Untersuchung der Metallisierung	42
3.5	Technologie: Bulk-Substrat mit Wolfram-Metallisierung	43
3.5.1	Untersuchung von n-Kanal und p-Kanal MOSFETs	44
3.5.2	Untersuchung der Metallisierung	47
3.6	Fazit zur CMOS-Integration	49
4	Mikrosystemtechnische Verfahren	51
4.1	Deposition	51
4.1.1	Chemische Gasphasenabscheidung	51
4.1.2	Atomlagenabscheidung	52
4.2	Trockenätzverfahren	54
4.2.1	Reaktives Ionenätzen	54
4.2.2	DRIE-Prozess, Bosch-Prozess	54
4.2.3	Ionenstrahlätzen	56
4.2.4	Isotropes Trockenätzen	58

5	Basis-CMOS-MEA	59
5.1	Elektrostatistische Feldverteilung	59
5.2	Layout der Multi-Elektroden-Arrays	61
5.3	Herstellung des Basis-CMOS-MEA	64
5.4	Überprüfung des Herstellungsprozesses	67
5.5	Passivierung des Basis-CMOS-MEA	69
6	Integration von Kohlenstoff-Nanoröhren auf dem Basis-CMOS-MEA	75
6.1	Struktur von Kohlenstoff-Nanoröhren	75
6.1.1	Mechanische Eigenschaften	77
6.1.2	Elektrische Eigenschaften	77
6.2	Synthese von Kohlenstoff-Nanoröhren	78
6.3	Katalysator	79
6.4	CNT-Wachstumsmechanismus	80
6.5	Ergebnisse zur CNT-Synthese auf Testsubstraten mit Ti/TiN-Barriere .	81
6.5.1	CNT-Synthese bei unterschiedlichem Prozessdruck	82
6.5.2	Einfluss des Precursors auf die CNT-Synthese	83
6.5.3	Einfluss des Katalysators auf die CNT-Synthese	87
6.5.4	Fazit zur CNT-Synthese auf Testsubstraten	88
6.6	CNT-Synthese auf Basis-CMOS-MEA	89
6.6.1	Lift-off Verfahren	90
6.6.2	Strukturierung des Katalysators	90
6.6.3	Ergebnisse zur CNT-Synthese auf Basis-CMOS-MEA	93
6.6.4	Fazit zur CNT-Synthese auf Basis-CMOS-MEA	96
7	Integration eines Nano-Rasens auf dem Basis-CMOS-MEA	99
7.1	Konzept des Nano-Rasens	100
7.2	Prozessentwicklung	102
7.2.1	Deposition der Opferschicht	102
7.2.2	Fotolithografie für Nano-Rasen	103
7.2.3	Anisotropes Ätzen - Bosch Prozess	105
7.2.4	Deposition der Ruthenium-Schicht	108
7.2.5	Ionenstrahlätzen	108
7.2.6	Release-Prozess	110
7.3	Fazit: Nano-Rasen auf Basis-CMOS-MEA	113

7.4	Elektrische und mechanische Charakteristik	114
7.4.1	Layout der Teststrukturen	114
7.4.2	Herstellung der Teststrukturen	115
7.4.3	Zweipunkt-Widerstandsmessung	119
7.4.4	Vierleiter-Widerstandsmessung	119
7.4.5	Mechanische Eigenschaften	124
7.5	Fazit: Teststrukturen für Nano-Rasen	127
8	Modifizierung der MEA mit Au, Pt, Ir und Pt+IrOx	129
8.1	Deposition von Au, Pt, Ir, Pt+IrOx	129
9	Aufbau- und Verbindungstechnik	133
9.1	Konzept	134
9.2	Pad-Metallisierung	135
9.3	Chipträger für Basis-CMOS-MEA	136
9.3.1	Layout der Chipträger	136
9.3.2	Herstellung der Chipträger	137
9.4	Flip-Chip-Prozess mit anisotropem Leitleber	139
9.4.1	Flip-Chip-Prozesskontrolle	141
9.5	Drahtbonden	144
9.6	AVT der Einzelkomponenten	144
9.7	Fazit zur AVT	146
10	Elektrochemische Charakterisierung	147
10.1	Metall-Elektrolyt-Phasengrenze	147
10.2	Elektrochemische Impedanzspektroskopie	154
10.3	Cyclovoltammetrie	157
10.4	Versuchsaufbau der elektrochemischen Messungen	162
10.5	Impedanzspektroskopische Untersuchungen	164
10.5.1	Vergleich der geometrischen Faktoren	164
10.5.2	Vergleich der Materialvarianten	166
10.5.3	Einfluss der MEA-Passivierung auf das Impedanzspektrum . . .	169
10.6	Cyclovoltammetrische Untersuchungen	170
10.6.1	Vergleich der geometrischen Faktoren	171
10.6.2	Vergleich der Materialvarianten	171

10.6.3 Einfluss der MEA-Passivierung auf die Ladungstransferkapazität	176
10.6.4 Einfluss der Scanrate und Zyklenzahl	177
10.7 Fazit: Elektrochemische Charakterisierung	180
11 Untersuchung der Biokompatibilität	183
12 Zusammenfassung und Ausblick	185
Literaturverzeichnis	190
Abkürzungsverzeichnis	211

1 Einleitung und Motivation

Multi-Elektroden-Arrays (MEA) zur Stimulation von Nervenzellen und zur Ableitung von Aktionspotentialen finden heutzutage vielfältigen Einsatz als Neuro-Implantate, so zum Beispiel bei Cochleaimplantaten, Hirnschrittmachern oder auch bei Herzschrittmachern. Die Applikationen sind bereits seit vielen Jahren auf dem Markt etabliert. Mikroelektroden bilden zudem das Fundament für Neuroprothesen zur Stimulation des Sehnervs auf der Netzhautoberfläche bei sogenannten Retina-Implantaten, vgl. Abb. 1.1a. Eine Miniaturisierung der Mikroelektroden kann hier zu einem deutlichen Fortschritt durch eine Erhöhung der Integrationsdichte führen. Des Weiteren finden sich Applikationen in der Neuroforschung bei Untersuchungen von Zell- und Gewebeschnitten, bei der Erforschung der Netzwerkdynamik, neuronalen Regeneration, der neuronalen Entwicklung sowie in der medizinischen Diagnostik, vgl. Abb. 1.1b. Es besteht ein bedeutendes Forschungsfeld für weitere Anwendungen von Multi-Elektroden-Arrays. Künftige Entwicklungen könnten beispielsweise eine Steuerung von Prothesen über die Hirnaktivität (Brain-Computer-Interfaces) ermöglichen. Mikroelektroden werden auch als Interface für die Wiederherstellung motorischer Fähigkeiten bei Verletzungen der Wirbelsäule in Betracht gezogen.

Für alle genannten Aspekte ist eine Erhöhung der Elektrodenzahl zwingend erforderlich. Eine signifikante Erhöhung der Elektrodenzahl wird jedoch über die notwendige Kontaktierung der Elektroden über einzelne Metallleiterbahnen limitiert. Ab einer

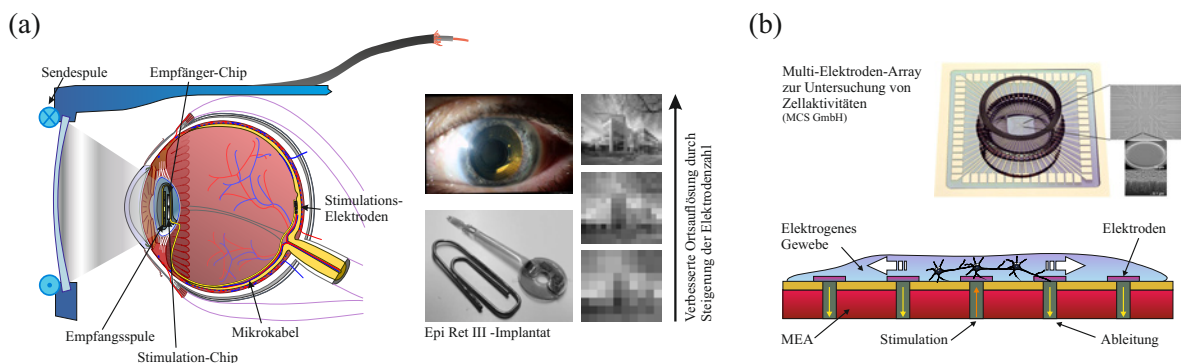


Abbildung 1.1: Mögliche Applikationen von Multi-Elektroden-Arrays, (a) Stimulationselektroden in flexibler, retinaler Sehprothese, (EpiRet III), nach [1], (b) Planare Mikroelektroden zur Untersuchung von Zell- und Gewebeschnitten, nach [2, 3]

bestimmten Integrationsdichte ist ein Anschließen einzelner Elektroden über Leiterbahnen nicht mehr praktikabel. Künftige Entwicklungen von Multi-Elektroden-Arrays werden daher integrierte Schaltungen implementieren. Kleinere Elektroden führen zu einer erhöhten Impedanz und zu einem reduzierten Signal-Rausch-Verhältnis. Es ist daher zwingend erforderlich, dass die Verstärkerelektronik für die Stimulations- und Ableitungssignale mit Hilfe der CMOS-Technologie möglichst nah an den Elektroden positioniert wird. Nervenzellen werden erst bei einer Überschreitung eines bestimmten elektrischen Schwellenpotentials stimuliert. Um den benötigten Energieverbrauch und die Betriebstemperatur eines auf CMOS basierten Multi-Elektroden-Arrays zu reduzieren, müssen auch die Elektroden optimiert werden. Eine Steigerung der Ladungstransferkapazität kann z. B. durch eine Vergrößerung der aktiven Elektrodenoberfläche durch eine Nanomodifizierung erreicht werden. Eine dreidimensionale Struktur auf der Elektrodenoberfläche kann zudem zu einem verbesserten Kontakt zu den Nervenzellen und somit zu einer Effizienzsteigerung der Multi-Elektroden-Arrays führen.

Typische Elektrodenmaterialien sind Edelmetalle wie Gold und Platin [4]. Elektroden aus Titanitrid [5, 6] haben sich ebenfalls auf dem Markt etabliert. Neue Entwicklungen basieren auf Beschichtungen mit nanoporösen Materialien wie z. B. reaktiv gesputterte Iridium- oder Iridiumoxid-Filme (**S**puttered **I**ridium **O**xide **F**ilms (SIROF)). Ein sehr interessantes Nanomaterial sind insbesondere Kohlenstoff-Nanoröhren (**C**arbon **N**anotubes (CNT)), die aufgrund ihrer mechanischen, chemischen und elektrischen Eigenschaften ein vielversprechendes Material für künftige Neuroprothesen darstellen. Für Kohlenstoff-Nanoröhren beschichtete Elektroden wurde zudem beobachtet, dass eine Selbstorganisation neuronaler Netzwerke zwischen einzelnen Elektroden über Verbindungen mittels Axonen und Dendriten stattfinden kann [7, 8]. Auch andere Elektrodenmaterialien, wie z. B. Ruthenium [9] sind Gegenstand der aktuellen Forschung. Allen Elektrodenmaterialien ist gemeinsam, dass sie eine hohe Biokompatibilität und Biostabilität aufweisen. Dennoch ist die zeitliche Begrenzung eines dauerhaften In-vivo-Einsatzes von Neuro-Implantaten aufgrund unzureichender Verkapselung ein wichtiges Forschungsfeld im Bereich der Materialforschung.

Die vorliegende Arbeit befasst sich mit der Entwicklung eines Fertigungsprozesses für CMOS-kompatible, nanomodifizierte Multi-Elektroden-Arrays. Im Fokus steht eine monolithische Integration von Kohlenstoff-Nanoröhren sowie die Integration eines Nano-Rasens auf den Elektrodenflächen eines hergestellten Basis-CMOS-MEA, das als Plattform für die Nanostrukturierungen dient. Die Abscheidung von Kohlenstoff-

Nanoröhren auf einem geeignetem Trägersubstrat erfordert in einem CVD-Prozess (Chemical Vapour Deposition) Synthese-Temperaturen von typisch 600 °C bis 700 °C. Eine direkte Abscheidung von CNTs auf Standard CMOS-Substraten mit Aluminium-Metallisierung ist aufgrund der maximal zulässigen Temperatur von 450 °C nicht möglich [10, 11]. Allgemein führt eine erhöhte Temperatur zu nicht tolerablen Parameterverschiebungen der Bauelemente und zu einer Schädigung der Metallisierung. Die Arbeit beschäftigt sich zunächst mit der Klärung, ob bei besonderen Hochtemperatur tauglichen CMOS-Technologien eine direkte, monolithische Integration von Kohlenstoff-Nanoröhren auf den Elektrodenflächen möglich ist, unter der Prämisse, dass die Synthese bei 700 °C und bei einer Prozessdauer von 30 min stattfindet. Die Synthese von CNT-Schichten auf geeigneten CMOS-kompatiblen Testsubstraten und dem Multi-Elektroden-Array wird untersucht. Im Rahmen dieser Arbeit wird zudem eine neuartige Methode zur definierten Oberflächenvergrößerung konzipiert und angewendet. Die als 'Nano-Rasen' bezeichnete Oberflächenmodifikation aus dem biokompatiblen Elektrodenmaterial Ruthenium basiert auf einem Opferschichtprozess und einer hochkonformen Atomlagenabscheidung. Um die Elektrodenmodifikationen und die Ladungstransferkapazität mit typischen Elektrodenmaterialien zu vergleichen, werden des Weiteren Beschichtungen mit Gold, Platin, Iridium und Iridiumoxid vorgenommen. Die Randbedingungen der CNT-Synthese und des Nano-Rasens stellen besondere Herausforderungen an die Aufbau- und Verbindungstechnik der Multi-Elektroden-Arrays. Die Charakterisierung der prozessierten Mikroelektroden wird mit Methoden der Cyclovoltammetrie und der elektrochemischen Impedanzspektroskopie vorgenommen. Konkret befasst sich die vorliegende Arbeit mit folgenden Teilaspekten:

- **Kapitel 2** beleuchtet den aktuellen Stand der Technik zur Herstellung nanomodifizierter Multi-Elektroden-Arrays. Verfahren zur direkten Integration von CNTs auf CMOS werden erörtert. Ansätze für Oberflächenmodifikationen werden diskutiert.
- **Kapitel 3** thematisiert eine CMOS-kompatible Integration von CNT-Strukturen, indem für verschiedene CMOS-Technologien Temperaturuntersuchungen durchgeführt und die Parameterverschiebungen diskutiert werden.
- **Kapitel 4** stellt dem Leser notwendige mikrosystemtechnische Grundlagen vor, die im Rahmen dieser Arbeit besonders zur Anwendung gekommen sind.

- Im **Kapitel 5** wird die Herstellung eines CMOS-kompatiblen Multi-Elektroden-Arrays mit planaren Elektroden vorgestellt, welches als Basis nachfolgender Nanomodifizierungen dient. Ferner wird hier auf eine zusätzliche Passivierung der Multi-Elektroden-Arrays eingegangen.
- **Kapitel 6** beschäftigt sich mit der Synthese von Kohlenstoff-Nanoröhren auf geeigneten Trägersubstraten und der Integration auf dem Basis-CMOS-MEA.
- **Kapitel 7** beschreibt die Prozessentwicklung und die Integration eines Nano-Rasens als weitere Oberflächenmodifikation. Ein Teilaspekt liegt hier auch in der Charakterisierung des Nano-Rasens mit geeigneten Teststrukturen.
- Im **Kapitel 8** wird eine weitere Oberflächenmodifikationen mit Gold, Platin, Iridium und Iridiumoxid vorgestellt.
- **Kapitel 9** beschäftigt sich mit der Aufbau- und Verbindungstechnik der hergestellten Multi-Elektroden-Arrays
- **Kapitel 10** befasst sich mit der elektrochemischen Charakterisierung der prozessierten Mikroelektroden.
- **Kapitel 11** präsentiert die Untersuchungen zur Biokompatibilität.
- Die Arbeit endet in **Kapitel 12** mit einer Zusammenfassung der erzielten Ergebnisse und mit einem Ausblick auf künftige Entwicklungen.

2 Stand der Technik

Multi-Elektroden-Arrays (MEA) zur In-vitro-Untersuchung biologischen Gewebes sind bereits auf dem Markt etabliert und werden in unterschiedlichen Ausfertigungen kommerziell angeboten. Im vorliegenden Kapitel wird ein aktueller Überblick über Mikroelektroden von Industrie- und Forschungseinrichtungen vorgestellt. Dabei werden die MEAs in passive und aktive Bauformen klassifiziert. Passive MEAs stellen dabei nur die Elektroden und die elektrische Verbindung zu einer externen Stimulations- und Ableitungseinheit zur Verfügung. Aktive MEAs besitzen eine integrierte Verstärkerelektronik und ermöglichen auf diese Weise ein besseres Signal-Rausch-Verhältnis, eine höhere Elektrodenanzahl und damit auch eine verbesserte Ortsauflösung. Aktive MEAs bieten zur Steigerung der Ladungstransferkapazität bisher nur eine geringe Auswahl von Oberflächenmodifikationen an, da die Herstellung entweder nicht CMOS-kompatibel oder nicht wirtschaftlich ist. Nanoporöse Materialien auf Multi-Elektroden-Arrays werden diskutiert. Ein Schwerpunkt wird auf eine Modifikation mit Kohlenstoff-Nanoröhren (Carbon Nanotubes (CNT)) und auf dreidimensionale Elektrodenformen gelegt. Für eine direkte, monolithische Synthese von Kohlenstoff-Nanoröhren auf einem CMOS-Substrat können unterschiedliche Verfahren eingesetzt werden, die zum Ende dieses Kapitels vorgestellt werden.

2.1 Multi-Elektroden-Array

Passive Multi-Elektroden-Arrays

Multi-Elektroden-Arrays werden kommerziell von verschiedenen Anbietern für die medizinische und biologische Forschung vertrieben. Die Angebote umfassen dabei auch meistens passende Werkzeuge für die Ansteuerung der Stimulations- und Ableitungselektroden sowie Software für Datenerfassung und für Datenanalyse. Die in Deutschland ansässige Firma 'Multi-Channel-Systems'¹ bietet derzeit MEAs mit 60, 120 und 252 adressierbaren planaren Stimulationselektroden mit unterschiedlichen Materialvarianten an, vgl. Abbildung 2.1.

¹<http://www.multi-channel-systems.de>

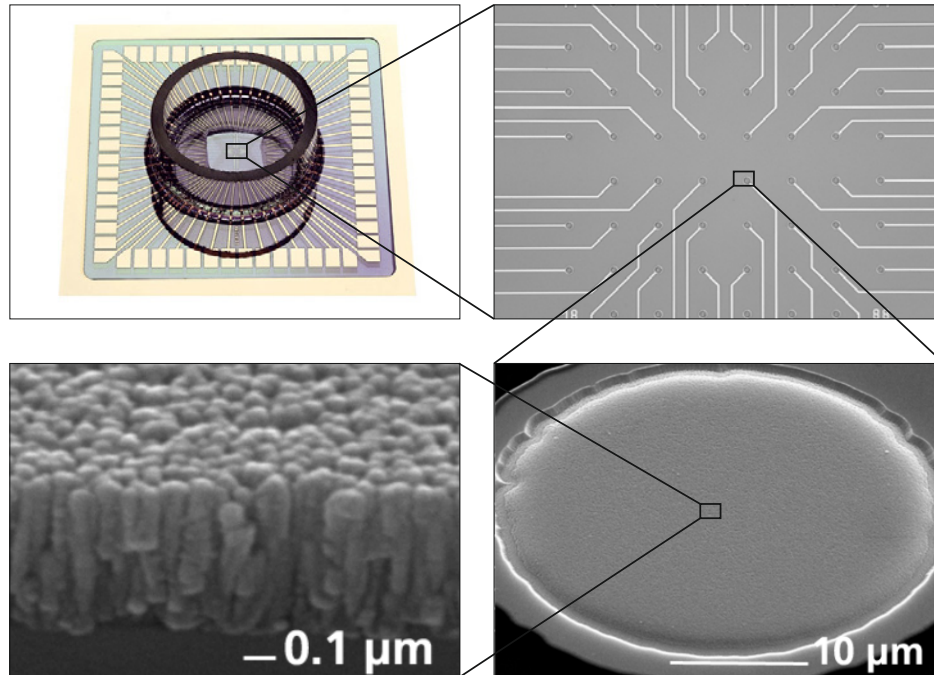


Abbildung 2.1: Multi-Elektroden-Array der Firma 'Multi-Channel-Systems' mit reaktiv gesputterten Titannitrid-Elektroden, nach [2]

Der Elektrodendurchmesser liegt bei den meisten Materialvarianten zwischen minimal $8\ \mu\text{m}$ und maximal $30\ \mu\text{m}$, der Mitte-Mitte-Abstand (Pitch) variiert zwischen $30\ \mu\text{m}$ und $500\ \mu\text{m}$. Das Elektrodenmaterial besteht im wesentlichen aus reaktiv gesputtertem Titannitrid, um eine niedrige Impedanz und ein großes Signal-Rausch-Verhältnis zu erhalten. Für eine Elektrode mit einem Durchmesser von $30\ \mu\text{m}$ gibt der Hersteller eine Impedanz von $30\ \text{k}\Omega$ bis $40\ \text{k}\Omega$ bei einer Frequenz von $1\ \text{kHz}$ an. Für $10\ \mu\text{m}$ große Elektroden liegt die Impedanz im Bereich von $250\ \text{k}\Omega$ bis $400\ \text{k}\Omega$. Einzelne Varianten bestehen aus Gold, wobei der Durchmesser der Elektroden dann $100\ \mu\text{m}$ und der Pitch $700\ \mu\text{m}$ beträgt. Zudem bietet die Firma verschiedene Anordnungen der Elektroden (hexagonal, quadratisch) an, die für unterschiedliche Anwendungen optimiert sind. Alle Varianten liegen auf einem Glas-Substrat vor, wobei die Kontaktanschlüsse und die Leiterbahnen neben Titannitrid auch mit transparentem Indiumzinnoxid (**I**ndium **T**in **O**xide (ITO)) verfügbar sind. Die Passivierung der MEA besteht aus einer Si_3N_4 -Schicht. Die in der Schweiz ansässige Firma 'Qwane Biosciences S.A'² bietet Multi-Elektroden-Arrays mit Platin-Elektroden und nanoporösen Platin-Black-Elektroden an. Die Elektroden ($d = 10\ \mu\text{m}$) zeigen bei einer Frequenz von $1\ \text{kHz}$ eine Impedanz

²<http://www.qwane.com>

von 150 k Ω bis 200 k Ω . Die Firma bietet darüber hinaus einen Ansatz für penetrierende 3D-Elektroden kommerziell an [12], vgl. Abbildung 2.10 im Abschnitt 2.2.

Das MED64 System der japanischen Firma 'Alpha Med Scientific, Inc.'³ weist 64 quadratische Elektroden der Größe 20 μm \times 20 μm und 50 μm \times 50 μm mit Platin-Black-Beschichtungen auf. Die Impedanz bei 1 kHz wird mit 7 k Ω bis 10 k Ω angegeben. Die Firma 'Axion Biosystems'⁴ aus Atlanta, USA, verkauft MEA ebenfalls mit 64 Elektroden der Größe 30 μm und einem Pitch von 200 μm . Als Materialien sind Gold und nanoporöses Platin verfügbar. Die Impedanz (1 kHz) der Platin-Elektrode wird mit 25 k Ω angegeben. Passive Multi-Elektroden-Arrays mit einer Elektrodenzahl größer 256 sind auf dem Markt nicht etabliert. Die Kontaktierung der Elektroden mit einzelnen Leiterbahnen erreicht bereits dann die momentane Technologiegrenze.

Aktive Multi-Elektroden-Arrays

Eine größere Elektrodenzahl ist nur durch den Einsatz integrierter Schaltungen realisierbar. Erste Systeme aktiver CMOS-MEA werden derzeit von der Firma 'Multi-Channel-Systems' angeboten, vgl. Abbildung 2.2. Das CMOS-MEA5000-System weist

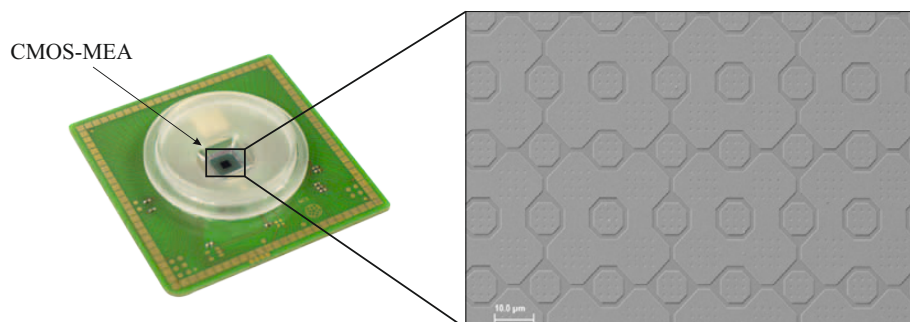


Abbildung 2.2: Aktives Multi-Elektroden-Array in CMOS-Technologie mit 1024 Stimulationselektroden und 4225 Ableitungselektroden und CMOS Verstärkerelektronik, nach [2]

4225 Elektroden für Ableitungssignale und 1024 Elektroden für Stimulationssignale auf. Die Abtastrate liegt bei 25 kHz. Die Verstärkerelektronik und der Stimulator sind direkt auf dem MEA-Chip implementiert. Die Passivierung besteht aus Siliziumnitrid. Weitere Spezifikationen über das Elektrodenmaterial werden vom Hersteller nicht genannt. Die Schweizer Firma '3Brain'⁵ ist mit dem CMOS-basierten Multi-Elektroden-Array BioChip4096 auf dem Markt vertreten (Abb. 2.3). Die Elektrodenzahl beträgt

³<http://www.med64.com>

⁴<http://www.axionbiosystems.com>

⁵<http://www.3brain.com/>

4096, wobei jede Elektrode eine Größe von $21\ \mu\text{m} \times 21\ \mu\text{m}$ und einen Pitch von $42\ \mu\text{m}$ aufweist [13]. Die Elektroden bestehen aus einer AlSi-Metallisierung, die aber auch in einem Post-CMOS-Prozess mit Platin beschichtet werden können.

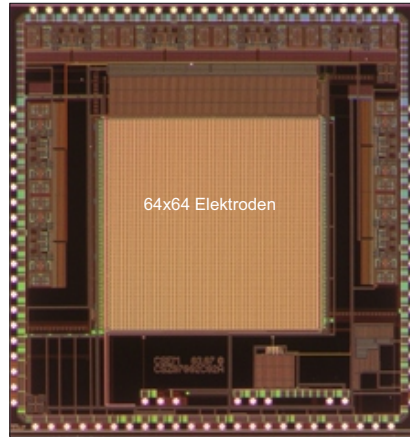


Abbildung 2.3: Aktives CMOS-MEA BioChip4096 mit 4096 Elektroden. Einzelelektrode $21\ \mu\text{m} \times 21\ \mu\text{m}$ bei einem Pitch von $42\ \mu\text{m}$

Im Bereich der Forschung wird ebenfalls an CMOS-basierten Multi-Elektroden-Arrays intensiv gearbeitet. So wurden von Schindler et al. [14] ein transistorbasiertes MEA mit 4096 Elektroden entwickelt, mit dem kortikale Rattenneuronen kapazitiv über das Gate entweder stimuliert oder abgeleitet wurden. Das MEA wurde in eine $0,5\ \mu\text{m}$ CMOS-Technologie mit Aluminium-Metallisierung realisiert. Die Passivierung des MEA besteht aus Siliziumnitrid. Die offenliegenden Aluminium-Elektroden wurden mittels Atomlagenabscheidung von $\text{Al}_2\text{O}_3/\text{HfO}_2$ -Mehrschichtsystemen dielektrisch vom Elektrolyten getrennt, vgl. Abbildung 2.4.

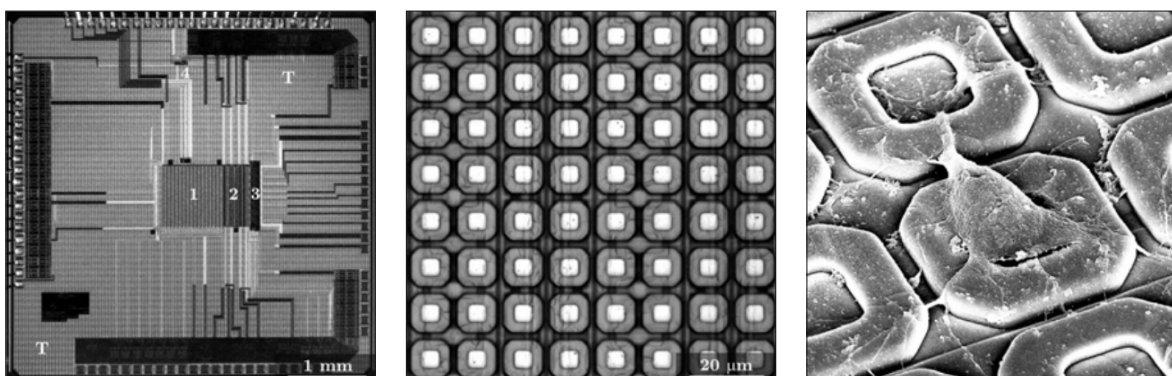


Abbildung 2.4: Transistorbasiertes Multi-Elektroden-Array mit 4096 Elektroden zur Stimulation oder Ableitung, nach [14]

Frey et al. [15] haben ein CMOS-MEA mit 11 011 Platin-Elektroden entwickelt, mit dem gleichzeitig Stimulation und Ableitung durchgeführt werden kann. Die Passivierung ist mit alternierenden Schichten aus SiO_2 und Si_3N auf dem MEA aufgebracht. Fromherz et al. [16] haben ein auf Transistoren basiertes Multi-Elektroden-Array mit 16 384 Einzelelektroden auf einer Fläche von 1 mm^2 zur Untersuchung der neuronalen Aktivität von Hirnschnitten entwickelt. Die Ortsauflösung des MEAs liegt bei $7,8 \mu\text{m}$.

2.2 Nanomodifizierung von Elektrodenoberflächen

Für eine signifikante Steigerung der Ladungstransferkapazität, also die Fähigkeit, Ladungen im System zu speichern (vgl. Abschnitt 10.3), muss die aktive Elektrodenoberfläche der Multi-Elektroden-Arrays vergrößert werden. In der Literatur finden sich neben den bereits etablierten nanoporösen Platin-, Iridium- und Iridiumoxid-Schichten, insbesondere Forschungsarbeiten zu Beschichtungen mit Kohlenstoff-Nanoröhren, vgl. Tabelle 2.1. Dreidimensionale Elektroden bilden eine weitere Klasse der Nanostrukturierung, die es zudem erlaubt, penetrierend in das biologische Gewebe einzudringen und lokal die Stimulation und die Ableitung von Signalen zu optimieren. Neue Ansätze der Nanomodifizierung bieten Verfahren zur Herstellung von sogenannten Nanopillars oder Nanorods, die über anodisierte Materialien erzeugt werden. Im folgenden werden die Forschungsarbeiten, die sich mit den genannten Nanomodifizierungen auf MEAs befassen, diskutiert.

Material	Ladungsaustausch	Maximale Q_{inj} (mC/cm^2)	Potential (V)
Platin / Platin-Iridium	faradaysch	0,05-0,15	-0,6 bis 0,8
Platin-Black	faradaysch	$\geq 1,0$	-0,6 bis 0,8
aktiviertes IrOx	faradaysch	1-5	-0,6 bis 0,8
gesputtertes IrOx	faradaysch	1-5	-0,6 bis 0,8
Titannitrid	kapazitiv	≈ 1	-0,9 bis 0,9
CNTs	faradaysch	1,0-1,6	n.a.
PEDOT	faradaysch	3,6-15	-0,9 bis 0,6

Tabelle 2.1: Unterschiedliche Elektrodenmaterialien mit Angabe des Ladungsaustauschs, der maximalen Ladungstransferkapazität und der verwendeten Potentialgrenzen, nach [17]

Nanoporöses Titannitrid

Titannitrid ist chemisch inert und zeigt eine gute Biokompatibilität. Es eignet sich daher hervorragend als Elektrodenmaterial. Nanoporöses Titannitrid mit einer großen aktiven Oberfläche kann über reaktives Sputtern hergestellt werden [6]. Die Ladungstransferkapazität der nanoporösen Titannitrid-Elektroden ($4000 \mu\text{m}^2$) wurden zu $0,9 \text{ mC}/\text{cm}^2$ bestimmt. Damit zeigen nanoporöse Titannitrid-Elektroden eine geringere Ladungstransferkapazität als nanoporöse Iridiumoxid-Elektroden. Kommerziell werden reaktiv gesputterte Titannitrid-Schichten auf Multi-Elektroden-Arrays der Firma 'Multi-Channel-Systems' eingesetzt, vgl. Abschnitt 2.1.

Nanoporöses Platin

Nanoporöses Platin mit großer aktiver Oberfläche kann mit Hilfe der Dünnschichttechnologie, z. B. reaktives Sputtern auf Elektroden abgeschieden werden. Die Morphologie der abgeschiedenen Schicht ist über unterschiedlichen Prozessparametern beeinflussbar. Slavcheva et al. [18] haben für verschiedene Leistungen, Argon-Drücke und Schichtdicken die Morphologie einer reaktiv gesputterten Platin-Schicht mit Hilfe von Rasterelektronenaufnahmen und elektrochemischen Messungen charakterisiert. Es zeigte sich, dass sich mit steigender Schichtdicke und Oberflächenrauigkeit auch die elektrochemische Aktivität vergrößerte, wobei sich allerdings die Stromdichte reduzierte. Ein optimales Verhältnis zwischen Impedanz und Morphologie wurde bei einer 120 nm dicken, reaktiv gesputterten Platin-Schicht bestimmt. Eine weitere Methode, um Platin-Schichten auf Multi-Elektroden-Arrays abzuscheiden, sind elektrochemische Depositionsverfahren. Die Oberflächenrauigkeit von elektrochemisch abgeschiedenen Platin kann ebenfalls durch eine Variation der Prozessparameter beeinflusst werden, z. B. über die Zusammensetzung des Elektrolyten oder über das angelegte Potential. Bei hohen Stromdichten und hohen Depositionsraten wachsen auf den Elektrodenoberflächen kristalline Dendriten [19] auf. Bei optimierten Prozessparametern werden sehr kleine Dendriten erzeugt, die die Oberfläche schwarz erscheinen lässt (Platin-Black). Die Impedanz einer Mikroelektrode kann sich auf diese Weise um zwei Größenordnungen reduzieren [20]. Wie in der Literatur berichtet [21], zeigt sich jedoch eine geringe mechanische Stabilität von Platin-Black Beschichtungen auf Elektroden, so dass diese als dauerhaftes Material für Implantate ungünstig sind.

Nanoporöses Iridiumoxid

Iridiumoxid ist aufgrund seiner hohen Ladungstransferkapazität, seiner sehr guten Biokompatibilität sowie Biostabilität ebenfalls ein Material, das in den letzten Jahren immer öfters für Multi-Elektroden-Arrays eingesetzt wurde [22, 23, 6], vgl. Abbildung 2.5. Nanoporöses Iridiumoxid kann entweder durch eine elektrochemische Aktivierung von reinem Iridium (AIROFs) [24], durch reaktives Sputtern (SIROFs) [25, 26] oder durch elektrochemische Deposition (EIROFs) [27] hergestellt werden. Die jeweilige Oberflächenrauigkeit der abgeschiedenen Iridiumoxid-Schicht kann auch hier durch Variation der Prozessparameter beeinflusst werden. Für reaktiv gesputtertes Iridiumoxid wurde der Einfluss der Temperatur [28], des Prozessdrucks [29] und des Sauerstoff-Fluss [30] untersucht. Insbesondere der Sauerstoff-Fluss ist für die Qualität der Abscheidung entscheidend. Bei Zugabe von Sauerstoff wurde zwar die Oberflächenrauigkeit signifikant erhöht, jedoch wurde ebenfalls beobachtet, dass die mechanische Stabilität und auch die Ladungstransferkapazität abnimmt [21].

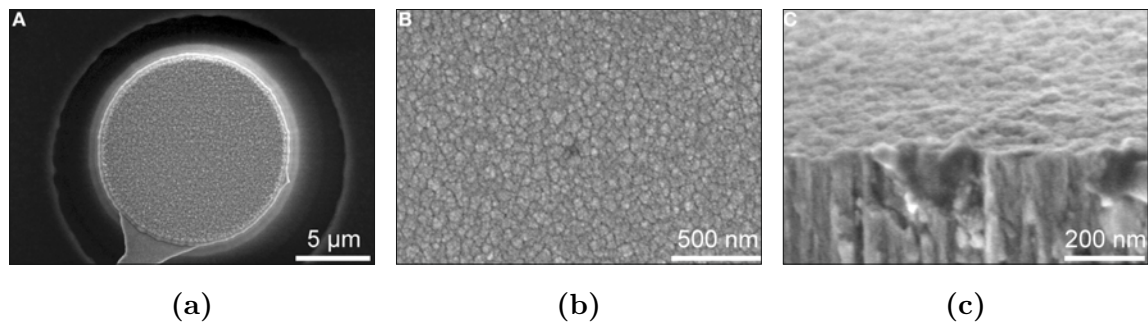


Abbildung 2.5: Rasterelektronenaufnahme von SIROF-Schichten. (a) SIROF-beschichtete Mikroelektrode mit einem Durchmesser von 10 µm, (b) Oberfläche der SIROF-Schicht, (c) Querschnitt durch die nicht elektrochemisch aktivierte Elektrode. Durch das nanoporöse Material wird eine deutliche Oberflächenvergrößerung erzielt, nach [23]

Kohlenstoff-Nanoröhren

Kohlenstoff-Nanoröhren sind aufgrund ihres großen Oberflächen- zu Volumenverhältnisses ein vielversprechendes Elektrodenmaterial mit hoher Ladungstransferkapazität und großem Signal-Rausch-Verhalten. Kohlenstoff-Nanoröhren lassen sich über eine Suspension gelöster CNT-Pulver über Coating-Prozesse (Dip-, Spin-Coating, Siebdruck) auf vielen Oberflächen anlagern. Dielektrophoretische Abscheidungen aus flüssi-

gen CNT-Suspensionen zählen ebenso zu den möglichen Beschichtungsmethoden. Dabei wird die Fällung der CNTs auf den Oberflächen mit Hilfe elektrischer Wechselfelder zwischen zwei Elektroden ausgelöst [31]. Eine vertikale Ausrichtung der CNTs ist mit diesem Verfahren allerdings nicht möglich. Neue Ansätze zu einer kovalenten Anbindung von CNTs auf metallischen Grenzflächen nutzen große DNA-Moleküle, an denen CNTs gebunden sind. Die Moleküle binden über eine Sulfidbrücke kovalent und selektiv auf einem Goldsubstrat an [32]. Die elektrochemische Beschichtung aus Dispersionen bietet aufgrund der geringen Prozesstemperatur ($T = 25\text{ °C}$) die Möglichkeit, dass auch Substrate genutzt werden können, die empfindlich auf hohe Temperaturen reagieren. Die Qualität und die Homogenität der CNT-Beschichtung ist jedoch anderen Verfahren unterlegen. Daher werden Kohlenstoff-Nanoröhren gegenwärtig über Gasphasenabscheidungen mit entsprechenden Katalysatoren direkt auf geeignete Substrate abgeschieden. Je nach Prozessbedingungen werden ungerichtete und vertikal gerichtete

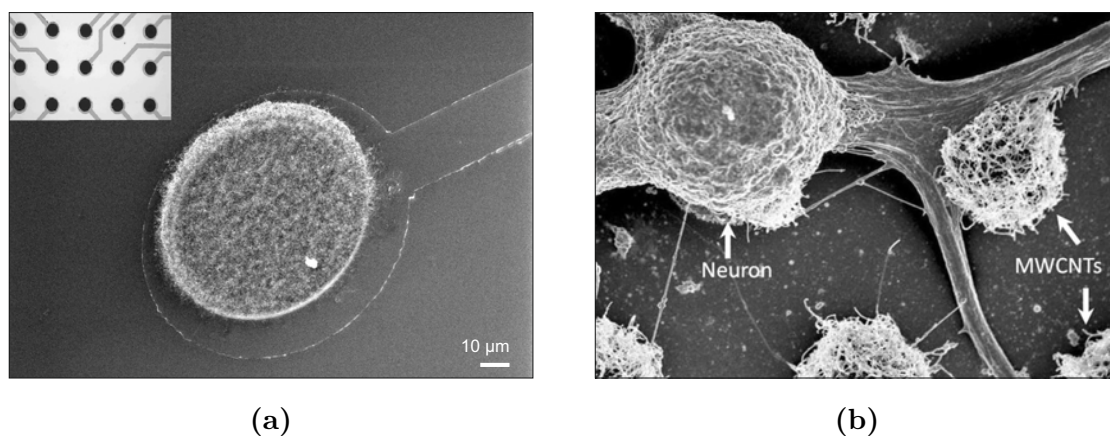


Abbildung 2.6: (a) Multi-Elektroden-Array mit Titannitrid Basis-Elektroden und nicht ausgerichteter CNT-Beschichtung, (b) Neuronales Netzwerk auf isolierten CNT-Flächen. Die Zellkörper sind an die CNT-beschichtete Flächen gebunden und sind über Axone und Dendriten miteinander verbunden, nach [33, 7]

Kohlenstoff-Nanoröhren erzeugt. Heutzutage liegt die Herausforderung in der Synthese von vertikal ausgerichteten CNTs hoher Homogenität auf leitfähigen Materialien, wobei der Durchmesser der CNTs für eine hohe Ladungstransferkapazität möglichst klein sein sollte. Als mögliche leitfähige Schicht wurde bisher sauerstofffreies Kupfer mit einem Nickel-Katalysator identifiziert [34]. Bei dieser Materialkombination wurden bei einer Prozesstemperatur von 700 °C und unter Verwendung eines C_2H_2 -Precursors jedoch nur ungerichtete mehrwandige Kohlenstoff-Nanoröhren (**M**ulti-**W**all-**C**arbon-

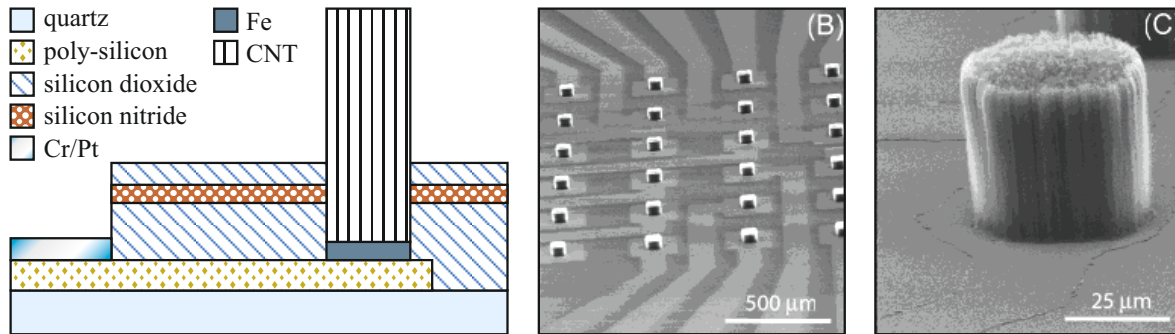


Abbildung 2.7: Vertikal ausgerichtete CNTs auf Quartz-Multi-Elektroden-Array. CNT-Synthese auf Poly-Silizium und Fe-Katalysator, nach [38]

Nanotubes (MWNT)) auf dem Substrat erzeugt. Wei et al. [35] haben gezeigt, dass auf einem Silizium-Trägermaterial und einer 4 nm dünnen Titanschicht mit Hilfe eines Nickel-Katalysators die Synthese vertikal ausgerichteter CNTs möglich ist. Die Prozesstemperatur für die CNT-Synthese mittels Mikrowellen-unterstützter PECVD-Anlage betrug 650 °C bei Verwendung eines Methan-Precursors. Auch auf Titanitrid-Schichten wurden bereits gerichtete MWNTs deponiert [36]. Die Prozesstemperatur liegt in diesem Fall bei 750 °C. Auf einer Kupfer-Schicht mit einer 100 nm dicken Titanitrid-Schicht wurde ein (Fe)- und Fe/Pt-Katalysator aufgebracht. Als Precursor wurde C_2H_4 zur CNT-Synthese in die APCVD-Anlage eingeleitet, wobei vertikal ausgerichtete MWNT mit einem Durchmesser von 20 nm bis 30 nm erzeugt wurden. In den Arbeiten von Gabay et al. [33], Ben-Jacob et al. [7] und Shein et al. [37] wurden Mikro-Elektroden-Arrays mit ungerichteten CNTs beschichtet, die auf Titanitrid-Schichten mit Hilfe eines Nickel-Katalysators bei hohen Temperaturen synthetisiert wurden, vgl. Abbildung 2.6a. Es wurde beobachtet, dass sich ein neuronales Netzwerk von Axonen und Dendriten zwischen den CNT-beschichteten Elektroden selbstorganisiert ausbildet, vgl. Abbildung 2.6b. Dies ermöglicht eine direkte Messung der Zellaktivität zwischen zwei Elektroden. Vertikal ausgerichtete CNTs wurden auf Multi-Elektroden-Arrays unter anderen in der Arbeit von Wang et al. [38] vorgestellt. Die CNTs wurden mit Hilfe eines C_2H_4 -Precursors und eines Eisen-Katalysators, der auf einem leitfähigem Poly-Silizium aufgebracht wurde, bei einer Prozesstemperatur von 700 °C synthetisiert, vgl. Abbildung 2.7.

Stamm et al. [39] haben CNT-modifizierte Multi-Elektroden-Arrays auf Titanitrid-Elektroden, die auf einem Glas-Substrat liegen, hergestellt. Dabei wurde ein 10 nm dicker Fe-Katalysator auf den Elektroden aufgesputtert und über die Lift-off Metho-

de strukturiert. Die CNT-Synthese wurde mittels LPCVD (**L**ow **P**ressure **C**hemical **V**apour **D**eposition) in einer $\text{NH}_3\text{-C}_2\text{H}_2$ -Atmosphäre bei einem Druck von 5 mbar und einer Prozesstemperatur von 520°C durchgeführt, vgl. Abbildung 2.8. Im Vergleich zu unterliegenden TiN-Elektrode wurde eine um 50 % verbesserte Impedanz und eine um 72 % verbesserte Ladungstransferkapazität gemessen.

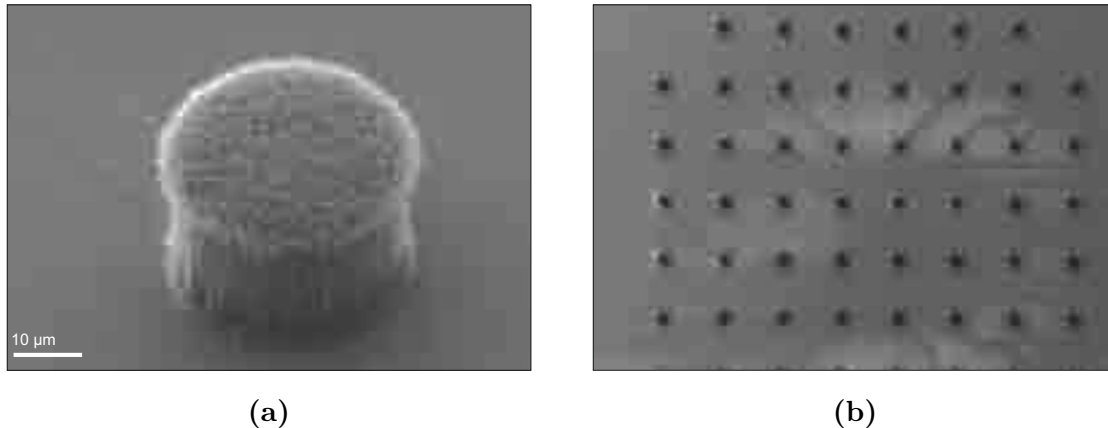


Abbildung 2.8: Vertikal ausgerichtete CNT-Beschichtungen auf Quartz-Multi-Elektroden-Array mit Titanitrid-Metallisierung. (a) Detailaufnahme einer Elektrode, (b) Übersicht des CNT-MEA [39]

Nach Kontakt mit flüssigen Medien und anschließendem Trocknungsvorgang tendieren Kohlenstoff-Nanoröhren zur Bildung von aneinander haftenden Bündeln. Um diesen Effekt zu reduzieren werden Ansätze zur Beschichtung der CNTs mit leitfähigen Polymeren (Polypyrrol, PPy) verfolgt [40, 41]. Ein weiteres Verfahren der Nanomodifizierung besteht derzeit in der Beschichtung der Elektrodenflächen mit Kompositwerkstoffen aus leitfähigen Polymeren, hier Poly-3,4-ethylendioxythiophen (PEDOT, und Kohlenstoff-Nanoröhren, die zusammen mit Hilfe der Elektropolymerisation auf die Elektrodenflächen abgeschieden werden (PEDOT-CNT) [42].

Dreidimensionale Nanomodifizierung

Für einen verbesserten Kontakt zwischen MEA und biologischen Gewebe können dreidimensionale, penetrierende Elektroden realisiert werden, bei dem unterschiedliche mikrosystemtechnische Verfahren eingesetzt werden. Zur Herstellung spitzer Nadelelektroden kommen insbesondere isotrope Ätzschritte mit starker Unterätzung zur Anwendung. Andere Verfahren nutzen zur Prozessierung von dreidimensionalen Mikro- und Nanostrukturen strukturierte Opferschicht-Materialien als Template für elektro-

chemische Abscheidungen. Thiébaud et al. [43] haben die Herstellung einer dreidimensionalen Silizium-Mikroelektrode beschrieben, deren Spitze mit Platin beschichtet ist. Dabei wird die Mikroelektrode durch nasschemisches Ätzen von $\langle 100 \rangle$ -Silizium in einer 40 % Kaliumhydroxid-Lösung (KOH) hergestellt. Die Elektrode erhält anschließend eine Passivierungsschicht aus Siliziumoxid und Siliziumnitrid. Die Strukturierung der Platin-Schicht erfolgt über einen Lift-off Prozess. Im Anschluss wird eine weitere Passivierungsschicht aus Siliziumnitrid appliziert, die an den Spitzen mit einem reaktiven Plasma-Ätzschritt entfernt wird. Die Elektrode weist eine Höhe von $47 \mu\text{m}$ auf, vgl. Abbildung 2.9.

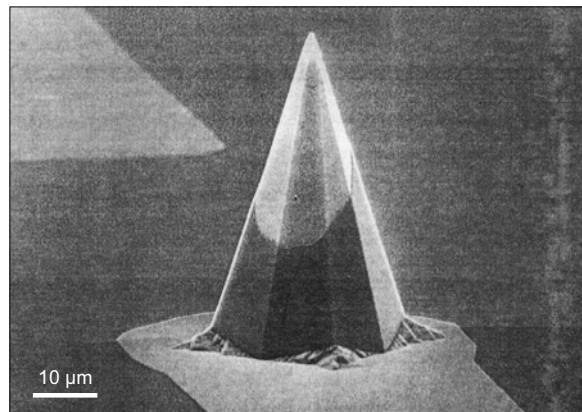


Abbildung 2.9: Dreidimensionale Mikroelektrode mit geöffneter Platin-Spitze, REM-Bild nach [43]

Heuschkel et al. [12] verfolgten einen ähnlichen Ansatz zur Herstellung eines Platinbeschichteten, dreidimensionalen Multi-Elektroden-Arrays durch isotropes Ätzen eines Glas-Substrates, vgl. Abbildung 2.10. Die Höhe der Elektroden beträgt ca. $60 \mu\text{m}$, wobei jedoch nur $40 \mu\text{m}$ aufgrund einer Epoxy-Passivierungsschicht effektiv in eine Zelle eindringen können. Das MEA weist 60 Einzelelektroden auf, mit denen Stimulations- und Ableitungsexperimente an Hippocampus-Gewebe einer Ratte durchgeführt wurden. Es wurde eine Verbesserung der Signalqualität durch die penetrierenden Mikroelektroden festgestellt.

In Arbeiten von Kusko et al. [44] und Charvet et al. [45] werden unter anderem Ansätze gezeigt, wie durch eine Kombination von isotropen und anisotropen Ätzschritten die Form einer dreidimensionalen Mikroelektrode beeinflusst werden kann. Für den anisotropen Ätzschritt greifen die Gruppen auf einem DRIE-Prozess (**D**eep **R**eactive **I**on **E**tching) zurück. Die Metallisierung der Elektroden wird entweder durch eine galvanisch abgeschiedene Goldschicht oder durch Platin-Schichten hergestellt. Die Multi-Elektroden-Arrays von Charvet et al. zeichnen sich zudem durch eine hohe Anzahl von

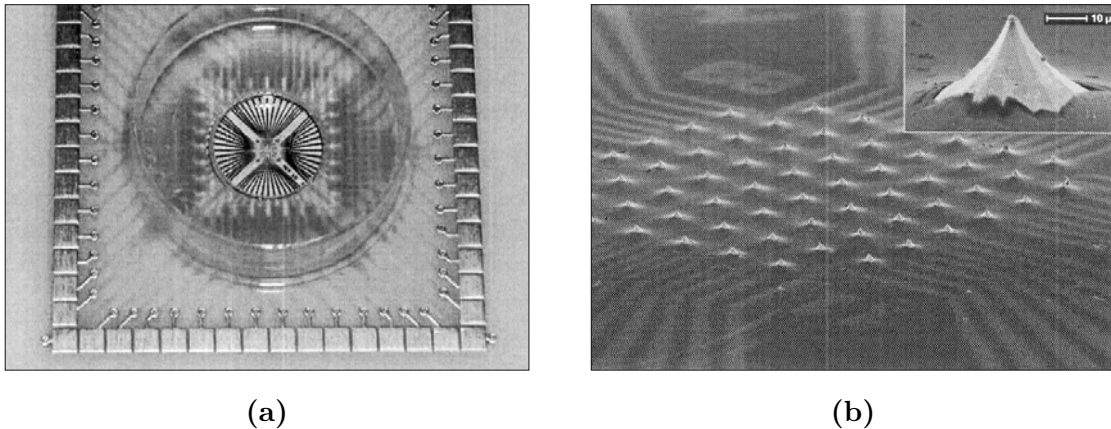


Abbildung 2.10: (a) Übersicht über das Multi-Elektroden-Array auf Glas-Substrat mit 60 Einzel-elektroden, (b) Rasterelektronenaufnahme der Platin-beschichteten, penetrierenden Mikroelektroden mit Epoxy-Passivierungsschicht, nach [12]

Einzelelektroden mit 256-Kanälen aus, die mit Methoden der integrierten Schaltungen kontaktiert wurden, vgl. Abbildung 2.11. Branch et al. [46] haben ebenfalls mit einem Bosch-Prozess dreidimensionale Pillar-Strukturen ($d=3\ \mu\text{m}$, $h=8\ \mu\text{m}$) hergestellt und anschließend mit Platin beschichtet. Als Besonderheit wurde auf dem MEA eine 10 nm dünne HfO_2 -Schicht mittels eines ALD-Prozesses abgeschieden, um ein rein kapazitives Interface zwischen MEA und retinalen Zellen herzustellen. Trotz der Isolationsschicht wurden erfolgreich Stimulations- und Ableitungsexperimente durchgeführt. Für sehr hohe Aspektverhältnisse von dreidimensionalen Mikrostrukturen stellt die Beschichtung mit leitfähigen Materialien eine besondere Herausforderung dar. Um eine dünne Metallschicht auf den 3D-Strukturen abzuscheiden, werden üblicherweise Dünnschichttechnologien wie Aufdampf- oder Sputterprozesse angewendet. Mit diesen Prozessen ist es aufgrund des Einfallswinkels der auftreffenden metallischen Ionen allerdings schwierig, die 3D-Elektroden komplett bis auf die Basisfläche ohne Unterbrechung der Metallisierung zu beschichten. Sasso et al. [47] haben daher eine Alternative mit biokompatiblen, leitfähigen Polymeren vorgestellt, die zur Beschichtung von 3D-Mikroelektroden genutzt wurden.

Held et al. [48] haben ein 3D-Multi-Elektroden-Array mit Gold-Mikrosäulen entworfen, die über Electroplating hergestellt wurden. Im Konzept wird auf einem MEA-Chip mit TiN-Elektroden eine TiAu-Starterschicht aufgesputtert. Ein Dicklack mit einer Schichtdicke von $60\ \mu\text{m}$ wird über einen fotolithografischen Schritt strukturiert. Anschließend wird in den Löchern eine $50\ \mu\text{m}$ hohe Gold-Schicht elektrochemisch ab-

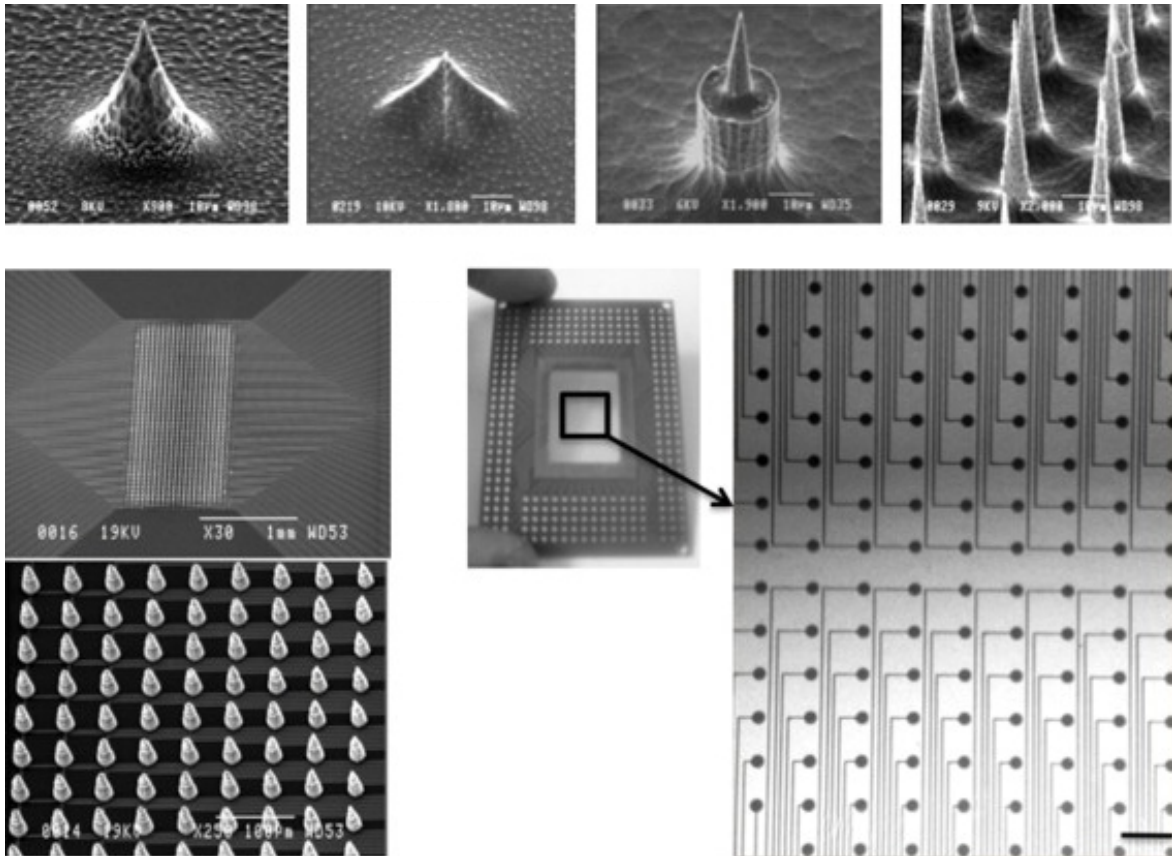


Abbildung 2.11: Dreidimensionales Multi-Elektroden-Array mit unterschiedlich nass- und trockenchemisch geätzten Nadeln mit Platin-Beschichtung, nach [45]

geschieden. Nach der nasschemischen Entfernung des Fotolacks wird die TiAu-Plating-Base in einem Ätzschritt entfernt und eine Passivierungsschicht abgeschieden. An den Spitzen der Mikrosäulen wird die Passivierung über einen maskenlosen Ätzschritt entfernt, vgl. Abbildung 2.12. Ein ähnlichen Konzept zur Herstellung dreidimensionaler Multi-Elektroden-Arrays wurde auch von Ewe [49] genutzt.

Martiradonna et al. [50] haben die Gold-Elektrodenflächen eines MEAs mit nanoskaligen, dreidimensionalen Platin-Nanopillar-Arrays modifiziert, die mit Hilfe einer Ionenstrahl-induzierten Deposition hergestellt wurden. Die Pt-Nanopillar in Abbildung 2.13 weisen einen Durchmesser von 400 nm, eine Höhe von 1 μm und einen Mitte-Mitte-Abstand von 3 μm auf. Nach der Herstellung wurden die MEAs mit Hippocampus-Hirnzellen einer Ratte besiedelt. Es zeigte sich, dass die Zellkörper zwischen benachbarten 3D-Elektroden ein neuronales Netzwerk ausbilden.

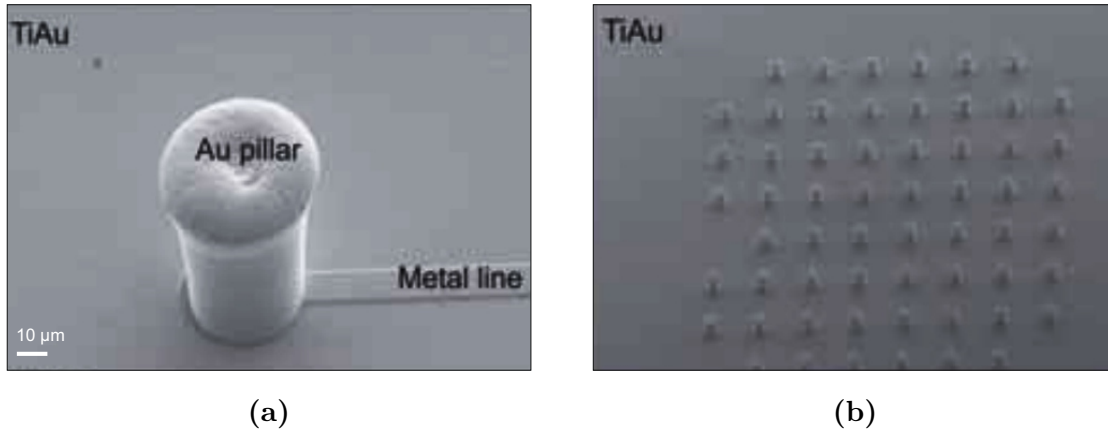


Abbildung 2.12: (a) Multi-Elektroden-Array mit einer Gold-Mikrosäule, (b) Übersicht über die Elektroden-Anordnung, nach [48]

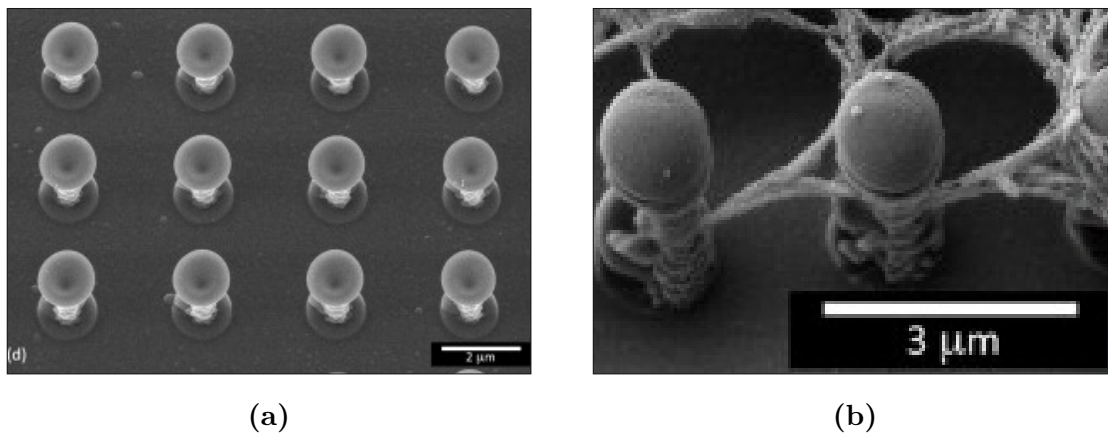


Abbildung 2.13: (a) 3D-Pillar aus Platin, hergestellt aus Ionenstrahl-induzierte Deposition, (b) Ausbildung eines neuronalen Netzwerks zwischen benachbarten 3D-Strukturen, nach [50]

In den letzten Jahren stehen immer mehr mikro- und nanoporöse Materialien in den Fokus, die als Template für Nanostruktur-Arrays dienen. Anwendungen liegen im Bereich der Energiespeicherung, Gassensorik, Biosensoren, Photonik oder auch in der Verbindungstechnik [51, 52]. Die Nanoporen können dabei mit elektrochemischen Depositionsverfahren oder auch mit Hilfe chemischer oder physikalischer Gasphasenabscheidungen (CVD, PVD) gefüllt werden. Das Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration (IZM) hat unter anderem einen sogenannten Gold-Nano-Rasen erzeugt (Abb. 2.14). Dabei wurden in einem Folientemplate mit Hilfe von Ionenstrahlen kleine Löcher generiert, die anschließend galvanisch aufgefüllt wurden [53].

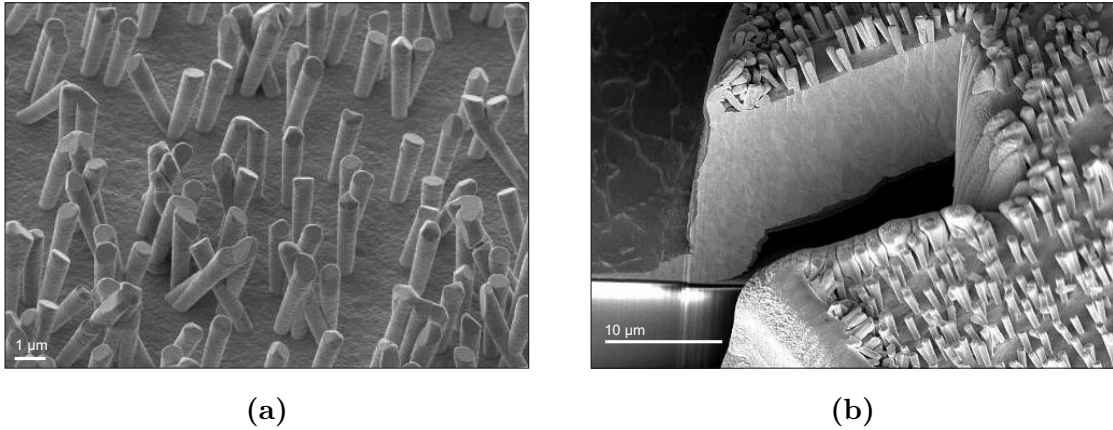


Abbildung 2.14: (a) Rasterelektronenaufnahme einer Gold-Nano-Rasen-Struktur, die mittels eines Ionenspur-geätzten Folientemplates galvanisch hergestellt wurde, (b) FIB-Schnitt durch die Struktur, nach [53]

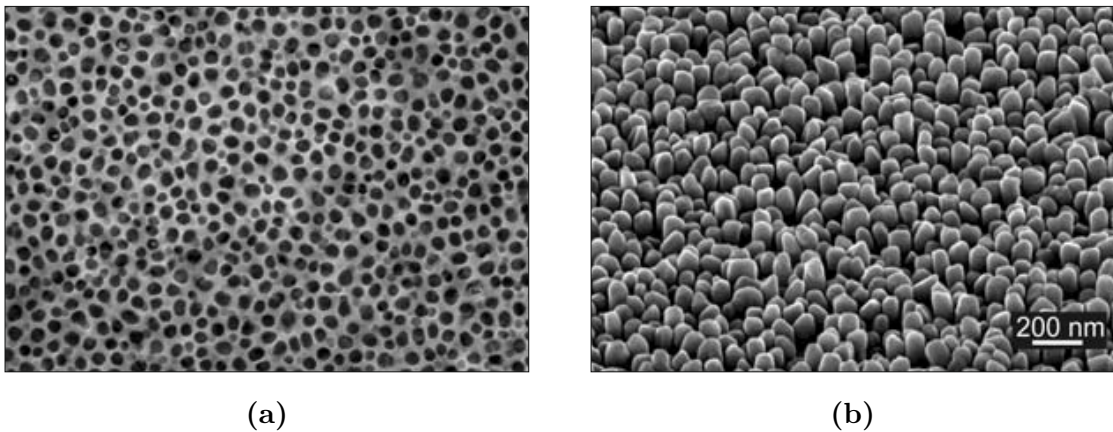


Abbildung 2.15: (a) Nanoporöse, anodisierte Aluminiumoxid-Membran, (b) Gold-Nanopillars auf Multi-Elektroden-Array, nach [54]

Eine weite Verbreitung als Template-Material finden nanoporöse, anodisierte Aluminiumoxid-Membranen (**A**nodic **A**luminum **O**xide (AAO)) [55]. Der Anodisierungsprozess einer Aluminiumoxid-Schicht wird in einem elektrochemischen Bad mit Oxal-, Schwefel- oder Phosphorsäure und durch Anlegen eines elektrischen Potentials durchgeführt. Die Struktur und Geometrie der Nanoporen kann über die Variation der Prozessparameter beeinflusst werden. Durch eine Optimierung der Säurekonzentrationen, der Temperaturen sowie des angelegten Potentials können AAO-Templates mit hoher hexagonaler Fernordnung hergestellt werden. Das Porenwachstum geschieht dabei selbst-

organisiert. In einer Arbeit von Brüggemann [54] wurden Gold-Nanopillars auf Multi-Elektroden-Arrays mit Hilfe nanoporöser, anodisierter Aluminiumoxid-Membranen und anschließender elektrochemischer Gold-Deposition hergestellt (Abb. 2.15). Nach Entfernen des Templates wiesen die resultierenden Nanopillars einen mittleren Durchmesser von 60 nm und eine Höhe von maximal 400 nm auf. Es zeigte sich nach elektrochemischen Messungen eine signifikante Oberflächenvergrößerung im Vergleich zu planaren Elektroden.

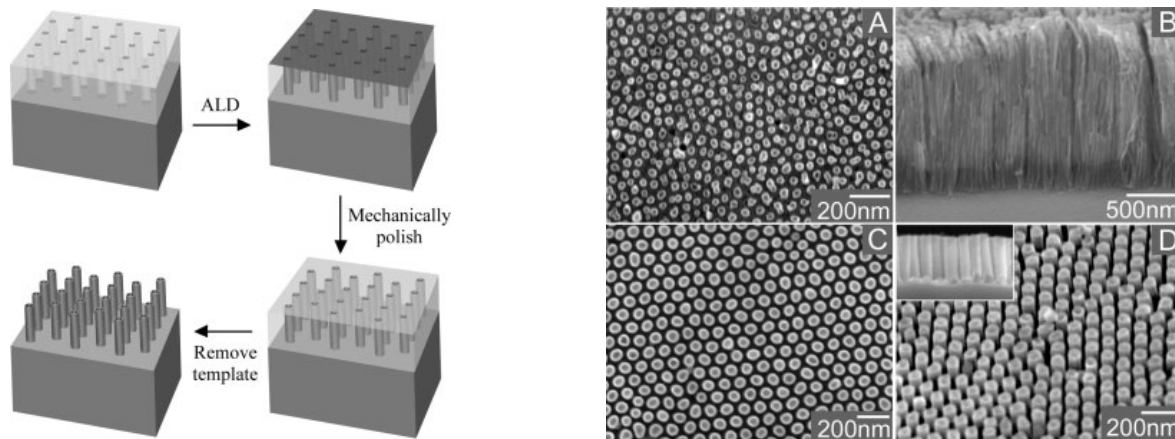


Abbildung 2.16: (a) Schematische Darstellung zur Herstellung von Nanotubes durch ALD-Beschichtung nanoporöser Templates, (b) TiO₂-Nanotubes mit einem Durchmesser von 40 nm und einer Höhe von 1,5 µm auf Silizium-Substrat, nach [56]

In den Publikationen von Knez et al. [57] und von Hyungjun Kim et al. [58] werden Nanostrukturierungen diskutiert, die mittels Atomlagenabscheidung (**A**tomic **L**ayer **D**eposition (ALD)) hergestellt wurden. Unter anderem wird auch die Möglichkeit genannt, mit Hilfe von ALD nanoporöse Membranen wie z. B. AAO hochkonform zu beschichten und auf diese Weise Nanotubes aufzubauen. Durch chemisch-mechanisches Polieren (CMP) oder über einen maskenlosen Ätzprozess wird die Oberfläche des Templates von der ALD-Schicht befreit. Der Vorteil des ALD-Template-Verfahrens liegt in der großen Vielzahl von Materialien, die durch Auswahl entsprechender chemischer Precursoren abgeschieden werden können. Sander et al. [56] erstellten mit diesem Verfahren TiO₂-Nanotubes auf einem Silizium-Substrat, vgl. Abbildung 2.16. Der Durchmesser und die Höhe der erstellten Nanoröhren wurde je nach Template zu 40 nm/1,5 µm und 80 nm/300 nm bestimmt. Insbesondere Woo-Hee Kim et al. [59] haben gezeigt, dass das Verfahren auch zur Herstellung von Ruthenium-Nanotubes auf einem Silizium-Substrat genutzt werden kann. Die Nanoporen hatten einen Durchmesser von 30 nm bis 100 nm

Material	Template	Referenz
ZrO ₂ Nanotubes	Polycarbonat	[60]
TiO ₂ Nanotubes	Polycarbonat	[61]
ZnO Nanotube	AAO	[62]
Co & Ni Nanotubes	AAO	[63]
Fe ₃ O ₄ Nanotube Array	AAO	[64],[65]
TiO ₂ Nanotube Array	AAO/Si	[56]
ZnO Nanorod Array	AAO/Si	[66]
Ru Nanorod Array	AAO/Si	[59]
TiN Nanotube Array	AAO	[67]
Pt Nanotubes Array	AAO	[68],[69]
HfO ₂ Nanotubes	Makroporöses Si	[70]

Tabelle 2.2: Materialien zur Herstellung von Nanotubes mit Hilfe des ALD-Verfahrens mit Angabe des verwendeten Template-Materials

mit einem Aspektverhältnis von 2:1 bis 20:1. Als Precursor diente Ru(DMPD)(EtCp) mit Sauerstoff als Reaktant. Tabelle 2.2 gibt einen Überblick verschiedener Materialien, mit denen Nanotubes im ALD-Template-Verfahren hergestellt wurden.

2.3 Kohlenstoff-Nanoröhren auf CMOS

In dieser Arbeit werden CNTs direkt auf CMOS-kompatible Substrate abgeschieden. Da eine direkte Abscheidung von CNTs auf CMOS-Substrate aufgrund der hohen Synthese-Temperatur der CNTs von bis zu 700 °C und des maximal erlaubten Temperaturbudgets für integrierte Schaltungen (450 °C) zu einer irreparablen Schädigung der Bauelemente führt, werden derzeit unterschiedliche Ansätze für eine CNT-Integration verfolgt. Als Stand der Technik ist bekannt, dass die Synthese-Temperatur durch spezielle CNT-Abscheidungsverfahren reduziert werden kann. Hofmann et al. [71] berichten über eine Niedertemperatur-Synthese von Kohlenstoff-Nanofasern bei 120 °C. Mit Hilfe eines PECVD-Prozesses (NH₃-C₂H₂-Precursor) wurden die Nanofasern auf eine SiO₂-Oberfläche (mit Nickel-Katalysator) erzeugt. Allerdings zeigen die synthetisierten Kohlenstoff-Strukturen nur eine geringe Qualität und Homogenität. Wang et al. [72] haben Kohlenstoff-Nanoröhren bei einer Prozesstemperatur von 180 °C mittels eines 8 nm dicken FeNi-Mischkatalysators und eines CH₄-Precursors auf einem Glas-Substrat mit einer RF-PECVD-Anlage (**R**adio frequency) erzeugt. Obwohl bei den genannten Publi-

kationen die direkte CNT-Synthesen unterhalb der CMOS-kritischen Temperaturgrenze liegen, ist die direkte Abscheidung auf leitfähigen Materialien mit diesen Methoden bisher nicht gelungen. Daher werden derzeit Ansätze zu 'zweistufigen Prozessen' verfolgt, die zu einer Minimierung der notwendigen Aktivierungsenergie und damit zu einer erfolgreichen CNT-Synthese auf metallischen Materialien beitragen. Dabei wird der Precursor zunächst auf eine hohe Temperatur vorgeheizt und anschließend auf ein Substrat geleitet, das auf eine geringere Temperatur aufgeheizt ist. Auf diese Weise ist es unter anderem Nessim et al. [73] gelungen, vertikal ausgerichtete CNTs bei einer Prozesstemperatur unterhalb von 500 °C zu erzeugen. Die Metallisierung der Substrate bestand hier aus einer Tantal-Schicht mit einem Fe-Katalysator. Chen et al. [74] haben Kohlenstoff-Nanoröhren auf einem Ti/TiN-Schichtstapel über einen Nickel-Katalysator bei einer Prozesstemperatur von 350 °C abgeschieden. Hier wurde die notwendige Aktivierungsenergie über ein Infrarot-Lampenfild nur auf die Oberfläche des Substrates übertragen. Die Temperatureinwirkung auf das Substrat kann über eine Rückseitenkühlung reduziert werden. Bei den genannten Niedertemperatur-Abscheidungen liegt der Nachteil allerdings in einem großen apparativen Aufwand. Andere Ansätze nutzen spezielle Heizstrukturen, die im CMOS-Substrat integriert sind [75]. Die Heizelemente werden dabei weit von empfindlichen Bauelementen positioniert. Ein lokales Hochheizen verhindert die Schädigung der weit entfernten CMOS-Transistoren. Problematisch bei diesem Verfahren ist jedoch die direkte elektrische Kontaktierung der Heizstrukturen in einer Prozesskammer.

3 Randbedingungen der CMOS-Integration

Eine direkte Integration von Sensorfunktionen auf einem Substrat mit integrierter Ausleseschaltung (**I**ntegrated **C**ircuit (**IC**)) erfordert besonders schonende Fertigungsverfahren, die insbesondere die erlaubten Temperaturen eines Post-CMOS-Prozesses einschränken. Die vorliegende Arbeit befasst sich mit einer CMOS-kompatiblen Nano-Modifizierung von Elektroden. Dazu werden Kohlenstoff-Nanoröhren (**C**arbon **N**anotubes (**CNT**)) und ein Ruthenium-Nano-Rasen appliziert. Die Synthese von vertikal ausgerichteten Kohlenstoff-Nanoröhren guter Qualität benötigt Prozesstemperaturen von 700 °C und eine Prozesszeit von 20 min bis 30 min.

Die obere Temperaturgrenze einer CMOS-Schaltung in Bulk-Substrat-Technologie mit Aluminium-Metallisierung liegt jedoch bei 450 °C [10, 11]. Mit der SOI-Technologie (**S**ilicon **O**n **I**nsulator) können parasitäre Kapazitäten eines Transistors und Leckströme reduziert werden. Daher eignet sich die SOI-Technologie besonders für Anwendungen im Temperaturbereich bis 250 °C [76]. Es ist allerdings bisher nicht geklärt, welche Parameterverschiebungen nach einem 30 min Hochtemperaturschritt bei 700 °C auftreten. Wichtige Kenngrößen eines Transistors sind insbesondere die Schwellenspannung sowie die Transkonduktanz, auch als Steilheit bezeichnet, die das Verhältnis vom Ausgangsstrom und Eingangsspannung angibt. Auch die Metallisierung einer integrierten Schaltung begrenzt die mögliche Prozess Temperatur. Daher werden Technologien mit hochtemperaturstabiler Wolfram-Metallisierung und sogenannter hotAlCu-Metallisierung für die Eignung einer direkten Abscheidung von CNTs auf einem CMOS-Substrat untersucht.

Im vorliegenden Kapitel werden zunächst die Grundlagen der MOS-Kapazität (**M**etal **O**xide **S**emiconductor) und des MOS-Feldeffekttransistors (MOSFET) dargelegt. Im Anschluss werden drei unterschiedliche Technologien auf ihre Tauglichkeit für eine direkte Abscheidung von CNTs auf CMOS charakterisiert. Dabei wird eine SOI-Substrat-Technologie mit Wolfram-Metallisierung (SOI-Wolfram), eine Bulk-Substrat-Technologie mit hotAlCu-Metallisierung (Bulk-hotAlCu) sowie ein Technologiemix aus Bulk-Substrat mit Wolfram-Metallisierung (Bulk-Wolfram) untersucht.

3.1 MOS-Kapazität

Für viele Halbleiter-Bauelemente ist die MOS-Kapazität ein grundlegendes Funktionselement, das z. B. für die Regelung eines leitfähigen Kanals in einem MOS-Transistor eingesetzt wird. Abbildung 3.1a zeigt den prinzipiellen Funktionsaufbau einer MOS-Kapazität. Zwischen Halbleiter-Substrat und einer Elektrode, der sogenannten Gate-Elektrode, befindet sich ein Isolator. Bei einer Technologie auf Silizium-Basis kann die Isolatorschicht (Gateoxid) durch einfaches thermisches Oxidieren (SiO_2) hergestellt werden. Aus Gründen der Zuverlässigkeit wird in heutiger Halbleiter-Technologie die metallische Gate-Elektrode durch hochdotiertes polykristallines Silizium (Poly-Si) ersetzt.

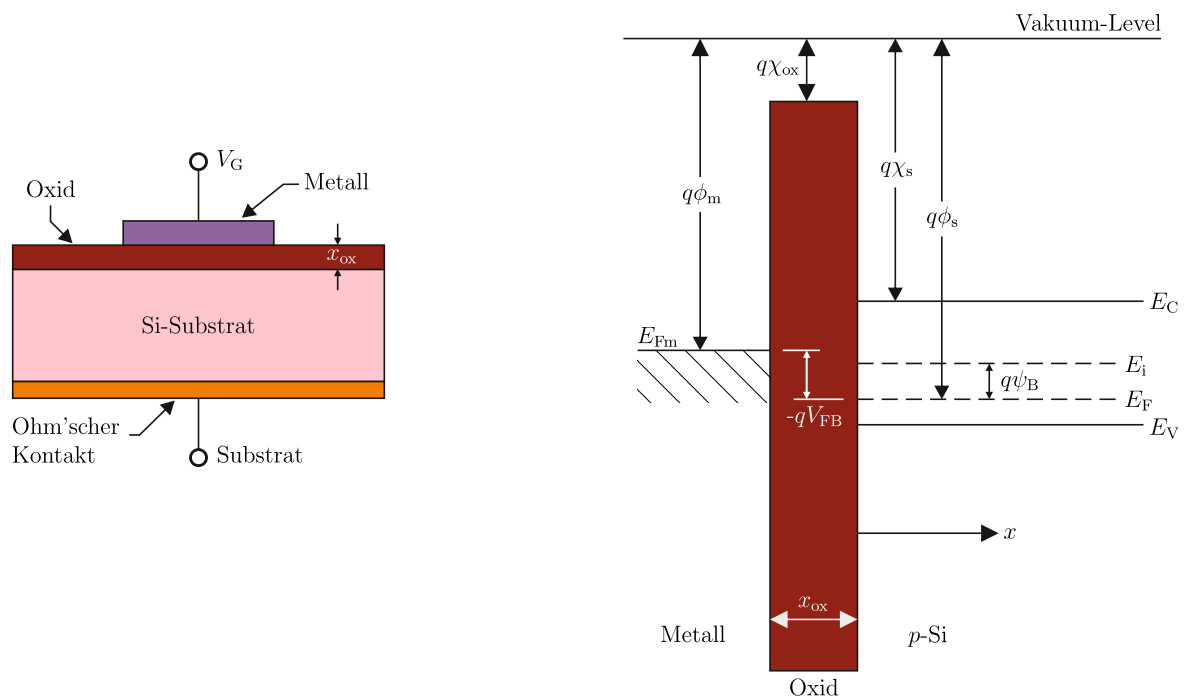


Abbildung 3.1: (a) Struktureller Aufbau einer MOS-Kapazität. (b) Energieband-Diagramm einer MOS-Kapazität im Flachbandfall [77]

Das Wirkprinzip einer idealen MOS-Kapazität wird in Abbildung 3.1b anhand eines eindimensionalen Banddiagramms illustriert. Dabei ist χ_s die Elektronenaffinität des Halbleiters, ψ_B die Differenz zwischen Fermi-Niveau E_F und der Bandmittenkante E_i des Halbleiters, χ_{ox} die Elektronenaffinität des Isolators, ϕ_s und ϕ_m die Austrittsarbeit des Halbleiters bzw. des Metalls und V_{FB} die Flachbandspannung, die der Differenz der Austrittsarbeiten beider Materialien entspricht. Im Flachbandfall wird zunächst durch

Anlegen einer schwachen Vorspannung das Kontaktpotential und der Spannungsabfall über dem Oxid ausgeglichen. Als Folge bildet sich im Flachbandfall keine Raumladungszone aus. Eine Energiebandverbiegung an der Oxid-Halbleiter-Grenzfläche findet nicht statt. Beim Anlegen unterschiedlicher Bias-Spannungen werden die Energiebänder in unterschiedliche Bereiche verschoben, vgl. Abbildung 3.2. An der Grenzfläche zwischen Halbleiter und Isolator findet ein Ladungsaustausch statt, wobei sich die Fermi-Energien der beiden Kontaktmaterialien angleichen und im thermodynamischen Gleichgewicht konstant sind. Durch die unterschiedlichen Austrittsarbeiten der Materialien kommt es an beiden Oberflächen zu einer Ladungsinfluenz, die zu einer Verbiegung der Energiebänder führt. Es bildet sich eine Raumladungszone aus. Folgende Fälle der Bandverbiegungen werden unterschieden:

- **Anreicherungsfall:** Am Gate-Anschluss wird eine negative Spannung ($V_G < 0$) angelegt. Das Valenzband eines p-Halbleiters verbiegt sich dadurch an der Grenze zwischen Halbleiter und Isolator nach oben, wobei die Differenz zwischen Fermi-Niveau und Valenzband minimiert wird. Für die Ladungsträgerkonzentration gilt in diesem Fall $p_{p,ox} = n_i \cdot \exp((E_F - E_V)/k_B T)$. Es kommt zu einer Anreicherung der Majoritätsladungsträger an der Phasengrenze.
- **Verarmungsfall:** Wird an der Gate-Elektrode eine nicht zu große positive Spannung ($V_G > 0$) angelegt, verbiegen sich die Bänder in umgekehrte Richtung nach unten, wobei der Abstand zwischen Valenzbandkante und Fermi-Niveau vergrößert wird. Als Folge verringert sich die Konzentration der Majoritätsladungsträger an der Halbleiter-Isolator-Phasengrenze.
- **Inversionsfall:** Eine Erhöhung der positiven Spannung ($V_G \gg 0$) bewirkt eine stärkere Verbiegung der Energiebänder. Ist die Verbiegung so stark, dass sich die Bandmittenkante E_i mit dem Fermi-Niveau E_F schneidet, so übersteigt die Konzentration der Minoritätsladungsträger die Konzentration der Majoritätsladungsträger.

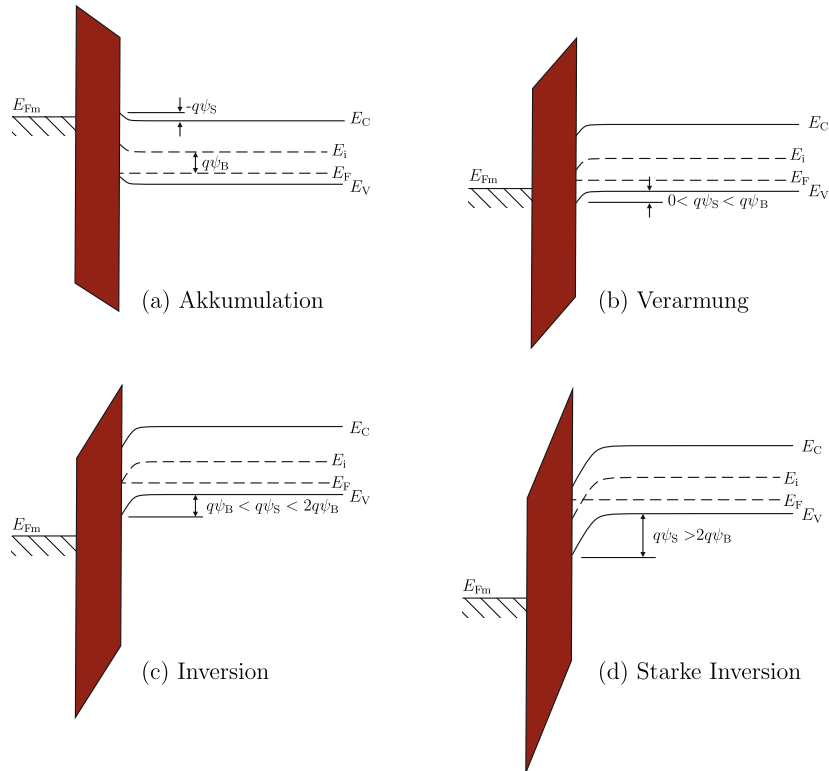


Abbildung 3.2: In Abhängigkeit der angelegten Spannung befindet sich die MOS-Kapazität in (a) Akkumulation, (b) Verarmung, (c) schwache Inversion, (d) starke Inversion [77]

Kapazität-Spannungs-Verhalten

Bei starker Inversion, d. h. wenn $\psi_S = 2\psi_B$, berechnet sich die Weite der Raumladungszone W_d unter Beachtung des Potentials $\psi_S = 2k_B T \ln(N_A/n_i)$ zu [78]

$$W_d = \left[\frac{2\varepsilon_s (2\psi_B)}{qN_A} \right]^{\frac{1}{2}} = \left[\frac{4\varepsilon_s k_B T (N_A/n_i)}{q^2 N_A} \right]^{\frac{1}{2}} \quad (3.1)$$

Dabei ist k_B die Boltzmann-Konstante, T die Temperatur, N_A die Akzeptorkonzentration, n_i die intrinsische Ladungsträgerkonzentration und ε_s die Permittivität des Substrates.

Bei negativ vorgespanntem Gate-Potential, d. h. im Bereich der Akkumulation, sammeln sich die Löcher an der Grenzfläche der Oxidschicht an, sodass die Kapazität der Oxidschicht allein wie die Kapazität eines Plattenkondensators mit der Dicke x_{ox} bestimmt werden kann [78].

$$C_{ox} = \frac{\varepsilon_{ox}}{x_{ox}} \quad (3.2)$$

Die Gesamtkapazität der Metall-Isolator-Halbleiter Struktur ergibt sich als Reihenschaltung zu

$$C_A = \frac{1}{\frac{x_{\text{ox}}}{\varepsilon_{\text{ox}}} + \frac{W_d}{\varepsilon_s}} \quad (3.3)$$

Das Verhältnis von C_A und C_{ox} steht in Abhängigkeit der Gate-Spannung V_G

$$\frac{C_A}{C_{\text{ox}}} = \frac{1}{[1 + 2C_{\text{ox}}^2(V_G - V_{\text{FB}})/(qN_a\varepsilon_s)]^{1/2}} \quad (3.4)$$

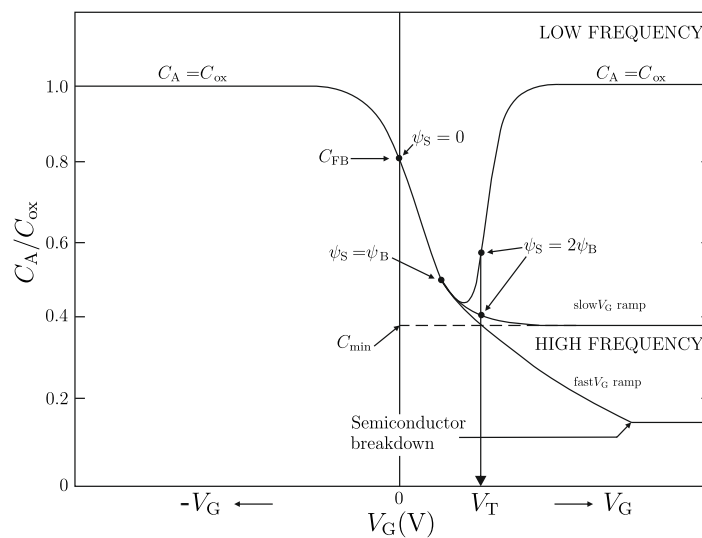


Abbildung 3.3: Typische Kapazitäts-Spannungs-Kennlinie einer MOS-Kapazität (p-Substrat). Kapazität in Abhängigkeit der Gate-Spannungen für nieder- und hochfrequenten Fall [77].

Die Kapazität-Spannung-Messung einer MOS-Kapazität (vgl. Abb. 3.3) zeigt im Inversionsfall eine Frequenzabhängigkeit, da die Generierung der Minoritätsträger in der Inversionsschicht nicht instantan erfolgt und sich daher kein thermisches Gleichgewicht einstellen kann. Bei niedrigen Frequenzen (≤ 10 Hz) haben die Minoritätsträger genügend Zeit den Feldänderungen zu folgen und in die Grenzschicht hineinzufließen. Bei hohen Frequenzen (≥ 1 kHz) können die beweglichen Minoritätsträger der schnellen Feldänderung nicht folgen.

Nicht-ideale MOS-Kapazität

In der Isolatorschicht eines nicht-idealisierten Isolator-Halbleiter-Systems treten Oberflächenzustände und zusätzliche Ladungen auf, die wie folgt kategorisiert werden:

- Q_m - Mobile Ionen im Isolator (effektiv an der Si-SiO₂ Grenzschicht)
- Q_{ot} - Haftstellen für Ladungen im Isolator (oxide trap sites)
- Q_f - Nicht umladbare Grenzflächenzustände an der Isolator-Halbleiter Phasengrenze (positive oxide charges)
- Q_{it} - Umladbare Grenzflächenzustände an der Isolator-Halbleiter Phasengrenze (interface trapped charges)

Die zusätzlichen Ladungen haben einen großen Einfluss auf die Kapazitätsspannungskurve, da sich eine zusätzliche Bandverbiegung an der Isolator-Halbleiter-Phasengrenze ausbildet [77]. Mobile Ionen im Isolator äußern sich in einer Hysterese der CV-Kurve aufgrund einer Änderung des Ladungsschwerpunktes. Dies hat eine Verschiebung der Flachbandspannung zur Folge. Haftstellen für freie Ladungen, die durch den Isolator transportiert werden, implizieren ebenfalls eine Änderung des Ladungsschwerpunktes und damit eine Änderung der Flachbandspannung. Nicht umladbare Grenzflächenzustände sind unabhängig von der angelegten Spannung und bedingen eine Parallelverschiebung der CV-Kurve entlang der Spannungsachse, wobei die Form der CV-Kurve unverändert bleibt. Umladbare Grenzflächenzustände an der Isolator-Halbleiter Phasengrenze erzeugen Energiezustände, die über dem verbotenen Band liegen und dadurch bewegliche Ladungen einfangen oder abgeben können. Als Folge ändert sich die Oberflächenzustandskapazität, wodurch sich die Steigung der CV-Kurve ändert.

Oxiddurchbruch

Für reale Isolatoren existiert, im Gegensatz zum idealen Isolator, ein Stromfluss durch die dielektrische Schicht aufgrund erhöhter Temperaturen oder starken elektrischen Feldern. Die Isolatorschicht degradiert dabei kontinuierlich und ein Durchbruch des Oxids wird aufgrund eines sich bildenden leitenden Kanals provoziert. Je nach Degradationsgrad des Oxids unterscheidet man den weichen und den harten Durchbruch. Beim weichen Durchbruch (soft breakdown) entlädt sich die gespeicherte Energie der Oxidkapazität schlagartig, wobei der leitende Kanal im Oxid durch die Temperaturentwicklung einbricht. Das Oxid wird dabei instantan erwärmt, jedoch kann es weiter durch die angeschlossene Spannungsquelle geladen werden; es bleibt also funktional. Beim harten Durchbruch ist die Temperaturentwicklung im Oxid so hoch, dass das

Oxid lokal schmilzt und ein dauerhafter, leitender Kanal zwischen beiden Seiten des Oxids entsteht.

Durch die angelegte Spannung wird die Potentialbarriere am Oxid-Interface zu einer Dreiecksbarriere deformiert. Die Ladungsträger müssen nur durch einen schmalen Bereich der Potentialbarriere tunneln, damit diese ins Leitungsband des Oxids gelangen. Dieses Tunnelverhalten wird auch als Fowler-Nordheim-Tunneln [79] bezeichnet. Im Leitungsband tragen die Ladungsträger zu einer kontinuierlichen Degradation des Oxids durch Erzeugung von Haftstellen bei [80].

Der Fowler-Nordheim-Strom ist stark nichtlinear und verhält sich wie [81]

$$J_{\text{FN}} = C_1 \mathcal{E}^2 \exp(-\mathcal{E}_0/\mathcal{E}) \quad (3.5)$$

mit \mathcal{E} als Feldstärke und C_1 sowie \mathcal{E}_0 als Konstanten, die von der effektiven Masse und der Potentialbarriere abhängig sind.

3.2 MOS-Feldeffekttransistor

Fügt man an einer MOS-Kapazität an den Seiten des leitfähigen Kanals durch Ionenimplantation hochdotierte Kontakte hinzu, wie in Abbildung 3.4 schematisch dargestellt, so erhält man einen Metall-Oxid-Halbleiter-Feldeffekttransistor (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor). Die zusätzlichen Anschlüsse werden mit Source und Drain bezeichnet.

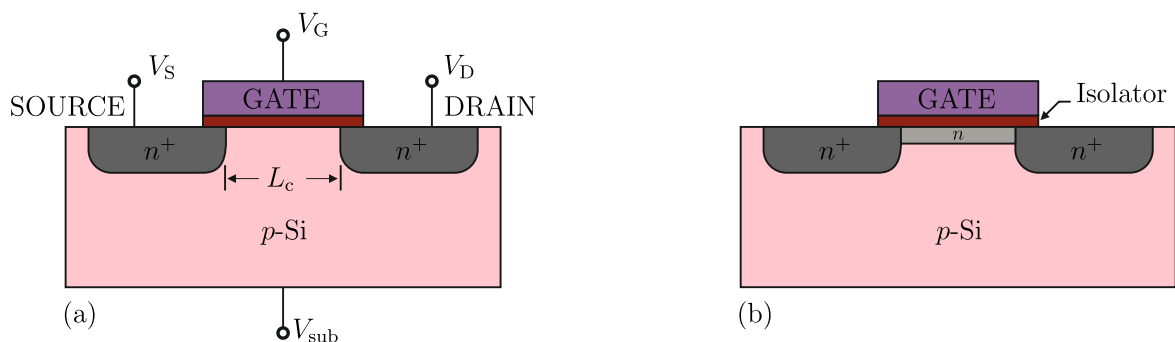


Abbildung 3.4: Struktureller Aufbau eines MOSFETs, (a) n-Kanal Enhancement-Variante und (b) Verarmungs-Variante

Zwischen Source und Substrat sowie zwischen Drain und Substrat bildet sich jeweils ein pn-Übergang aus. Die Kanallänge L und die Kanalweite W sind charakteristische Merkmale für die Stromergiebigkeit eines MOSFETs. Die Schwellenspannung, bei der

sich ein leitfähiger Kanal unter der Isolatorschicht ausbildet, kann bei der Herstellung eines MOSFETs durch Ionenimplantation justiert werden [82, 83].

Lineares Transistormodell

Das Verhalten eines MOSFETs bei kleiner Drain-Source-Spannung kann durch ein lineares Modell (Stromgleichung 0.ter Ordnung) beschrieben werden. Dabei wird der MOSFET auf einen linearen Widerstand, der durch die angelegte Gate-Source-Spannung moduliert wird, reduziert. Der Drainstrom I_D innerhalb der Inversionsschicht entspricht der Ladung Q_{inv} , die im Kanal mit der Weite W und der Länge L in der Transitzeit t_r von Source zum Drain fließt.

$$I_D = -\frac{Q_{\text{inv}}WL_C}{t_r} \quad (3.6)$$

Im Fall einer konstanten Ladungsträgergeschwindigkeit ν innerhalb der Inversionsschicht, ergibt sich mit der Ladungsträgermobilität μ und dem konstanten elektrischen Feld \mathcal{E} für den Drainstrom die Beziehung

$$I_D = -\mu \cdot Q_{\text{inv}} \cdot \frac{W}{L_C} \cdot V_{\text{DS}} \quad (3.7)$$

Mit der Ladungsträgerdichte in der Inversionsschicht $Q_{\text{inv}} = -C_{\text{ox}}(V_{\text{GS}} - V_{\text{T}})$ gilt daher für den Drainstrom

$$I_D = -\mu C_{\text{ox}} \frac{W}{L_C} (V_{\text{GS}} - V_{\text{T}}) V_{\text{DS}} \quad \text{für } V_{\text{DS}} \ll (V_{\text{GS}} - V_{\text{T}}) \quad (3.8)$$

Quadratisches Transistormodell

Im Gegensatz zum linearen Modell geht das quadratische Modell von der Annahme aus, dass die Ladungsträgerdichte in der Inversionsschicht zwischen Source und Drain variabel ist. Damit ergibt sich für den Drainstrom

$$I_D = \mu C_{\text{ox}} \frac{W}{dy} (V_{\text{G}} - V_{\text{S}} - V_{\text{C}} - V_{\text{T}}) dV_{\text{C}} \quad (3.9)$$

Eine Integration von $y = 0$ bis zur Gatelänge L_c ergibt [78]

$$\int_0^{L_C} I_D dy = \mu C_{\text{ox}} W \int_0^{V_{\text{DS}}} (V_{\text{G}} - V_{\text{S}} - V_{\text{C}} - V_{\text{T}}) dV_{\text{C}} \quad (3.10)$$

Der Drainstrom I_D ist konstant

$$I_D = \mu C_{\text{ox}} \frac{W}{L_c} \left[(V_{\text{GS}} - V_T) V_{\text{DS}} - \frac{V_{\text{DS}}^2}{2} \right] \quad \text{für } V_{\text{DS}} < V_{\text{GS}} - V_T \quad (3.11)$$

Das Ausgangskennlinienfeld eines MOSFET zeigt Abbildung 3.5a. Für eine feste Gate-Source-Spannung V_{GS} steigt der Strom mit steigender Drain-Source-Spannung V_{DS} an, bis der Strom im Sättigungsbereich $V_{\text{DS,sat}}$ einen Sättigungswert $I_{\text{D,sat}}$ erreicht. Mit $V_{\text{DS,sat}} = V_{\text{GS}} - V_T$ erhält man für den Sättigungsstrom

$$I_{\text{D,sat}} = \mu C_{\text{ox}} \frac{W}{2L_c} (V_{\text{GS}} - V_T)^2 \quad \text{für } V_{\text{DS}} > V_{\text{GS}} - V_T \quad (3.12)$$

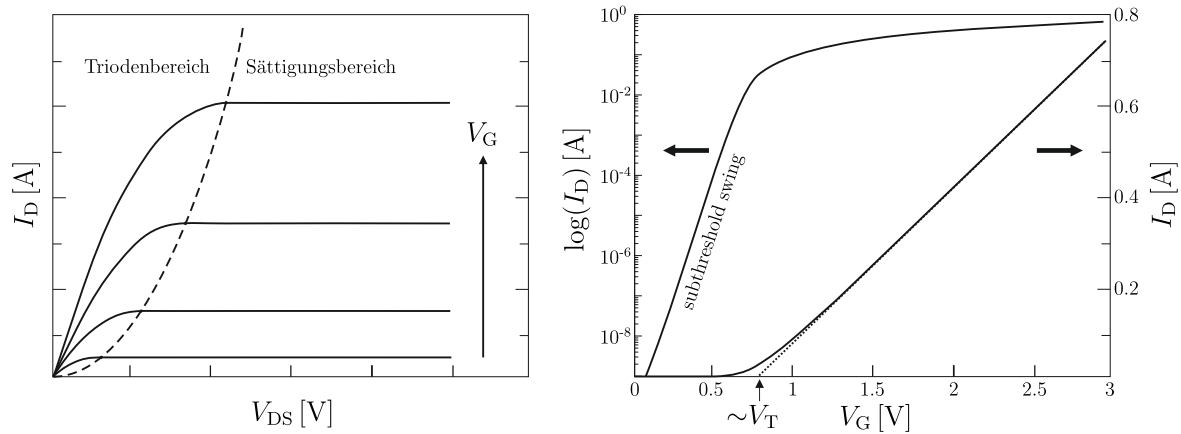


Abbildung 3.5: (a) Ausgangskennlinien mit Darstellung des Triodenbereichs und des Sättigungsbereichs bei unterschiedlichen Gate-Source-Spannungen V_{GS} , (b) Transferkennlinien und Subthreshold-Verhalten zur Bestimmung der Schwellenspannung V_T

Im Sättigungsbereich tritt eine Kanallängenmodulation zwischen Source und Drain auf. Durch die Einschnürung des Kanals verringert sich die effektive Kanallänge, vgl. Abb. 3.6. Im Ausgangskennlinienfeld erkennt man bei vorhandener Kanallängenmodulation einen Anstieg des Drainstroms im Sättigungsbereich bei steigender Drain-Source-Spannung [77].

Die Transkonduktanz g_m ist definiert als Verhältnis des Ausgangstroms zur Eingangsspannung bei fester Drain-Source-Spannung V_{DS}

$$g_m = \left. \frac{\partial I_D}{\partial V_{\text{GS}}} \right|_{V_{\text{DS}}} \quad (3.13)$$

Damit erhält man für die Transkonduktanz im quadratischen Bereich

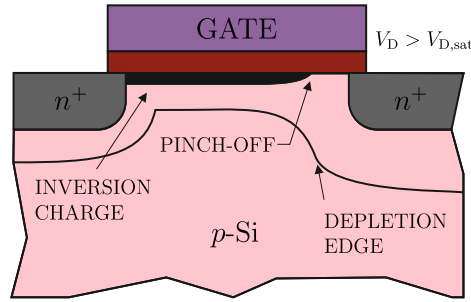


Abbildung 3.6: Im Sättigungsbereich V_{DS} ($V_{GS} - V_T$) vergrößert sich der Abstand des Pinch-Off-Punktes vom Drain, nach [77]

$$g_{m,quad} = \mu C_{ox} \frac{W}{L_C} V_{DS} \quad (3.14)$$

Die Transkonduktanz im Sättigungsbereich berechnet sich zu

$$g_{m,sat} = \mu C_{ox} \frac{W}{L_C} (V_{GS} - V_T) \quad (3.15)$$

Schwellenspannung

Die Schwellenspannung V_T ist gegeben durch [78]

$$V_T = V_{FB} + 2\psi_B + \frac{\sqrt{2\varepsilon_S q N (2\psi_B)}}{C_{ox}} \quad (3.16)$$

In der Literatur werden unterschiedliche Methoden zur Bestimmung der Schwellenspannung beschrieben [84]. In dieser Arbeit wird die Schwellenspannung mit Hilfe einer linearen Extrapolation der Eingangskennlinien im Punkt der maximalen Transkonduktanz bestimmt. Aus der Stromgleichung 0.ter Ordnung kann mit der Gleichung

$$V_T = V_{GS} - \frac{I_{DS}}{g_{m,max}} - \frac{V_{DS}}{2} \quad (3.17)$$

die Schwellenspannung bestimmt werden.

Kurzkanaleffekte

Falls die Kanallänge unterhalb von $\approx 1 \mu\text{m}$ liegt, treten sogenannte Kurzkanaleffekte auf [77].

- Die Schwellenspannung V_T ist von der Kanallänge L_C und von der Drain-Source-Spannung V_{DS} abhängig
- Die Ströme im Subthreshold-Bereich und im Sättigungsbereich sind von der Drain-Source-Spannung V_{DS} abhängig
- Der Strom im Sättigungsbereich steigt linear mit der Gate-Source-Spannung V_{GS}

SOI-Technologie

Eine Möglichkeit zur Reduzierung von Leckströmen sowie parasitären Kapazitäten ist die Verwendung von Isolationsschichten. Bei der SOI-Technologie wird das Bulk-Substrat durch ein spezielles Substratmaterial ersetzt, bei dem ein vergrabenes Oxid (engl. **Buried Oxide (BOX)**) unter einer dünnen Siliziumschicht vorhanden ist [85, 86]. Die Bauelemente werden in späteren Prozessschritten nur in dem dünnen Silizium-Film hergestellt. Dabei ergeben sich gegenüber der Bulk-Technologie folgende Vorteile:

- Die elektrischen Bauelemente werden vollständig voneinander getrennt
- Wannen und Wannenkontakte entfallen. Dadurch ergibt sich eine größere Packungsdichte
- Reduzierte Leckströme ermöglichen erhöhte Betriebstemperaturen
- Latch-Up-Effekt wird durch dielektrische Isolierung der p- und n-Gebiete eliminiert

Ein Nachteil der SOI-Technologie ist die Anfälligkeit der Bauteile gegenüber Selbsterwärmungseffekten aufgrund der im Vergleich zum Silizium geringeren thermischen Leitfähigkeit der vergrabenen Oxidschicht [87].

3.3 Technologie: SOI-Substrat mit Wolfram-Metallisierung

Um die Auswirkungen auf die Parameterstabilität der Transistoren und der Metallisierung durch die Prozesstemperatur der CNT-Synthese, die bei ungefähr 700 °C liegt, zu simulieren, wurden Temperaturuntersuchungen von jeweils 30 min an bereits etablierten Hochtemperaturtechnologien des Fraunhofer IMS durchgeführt. Das Fraunhofer

IMS stellt hierzu einen CMOS-Prozess zur Verfügung, der auf einem Dünnschicht-SOI-Substrat mit einem ca. 120 nm dickem Silizium-Film auf etwa 400 nm dickem vergrabenen Oxid basiert. Die Besonderheit dieser Technologie liegt in einer hochtemperaturstabilen Wolfram-Metallisierung, die bis zu drei Metalllagen abdecken kann. Für Bauelemente stellt die Technologie eine Gateoxiddicke von ≈ 40 nm und eine Tunneloxiddicke von ≈ 11 nm zur Verfügung. Die minimale Kanallänge beträgt $1 \mu\text{m}$ [88].

Die Hochtemperatur-Schritte wurden mit einem Ofen der Firma ATV (ATV PEO-603) durchgeführt. Dabei wurden Temperaturen von 500°C bis 700°C in 50°C Schritten evaluiert, wobei die Zieltemperatur für 30 min konstant gehalten wurde. Um den Oxidationsprozess von offen liegenden Kontaktflächen im Ofen zu verhindern, wurde das Tempern unter Stickstoffatmosphäre (N_2) durchgeführt. Die Messung der Transistoren wurde jeweils bei Raumtemperatur $T = 25^\circ\text{C}$ und nach dem jeweiligen Hochtemperaturschritt im abgekühlten Zustand vorgenommen [89].

Die elektrische Charakterisierung der Bauelemente wurde mittels eines HP4155/56 Semiconductor Analyzer an einem manuellen Mikroprober-Messplatz durchgeführt. Es wurden jeweils Probenstücke eines Wafers mit mindestens 4 DUTs (**D**evice **U**nder **T**est) für die Temperaturuntersuchung genutzt.

3.3.1 Untersuchung von NMOS- und PMOS-Transistoren

Für die elektrische Charakterisierung der Transistoren wurden zwei NMOS-Transistoren mit dem Weiten- zu Längenverhältnis (W/L) $36 \mu\text{m}/1,6 \mu\text{m}$ und $36 \mu\text{m}/4,0 \mu\text{m}$, sowie zwei PMOS-Transistoren mit $36 \mu\text{m}/1,6 \mu\text{m}$ und $36 \mu\text{m}/3,2 \mu\text{m}$ gewählt. Für die Transferkennlinien der NMOS-Transistoren wurde die Gate-Source-Spannung V_{GS} im Intervall von -1 V bis 4 V durchgeföhren und der Drain-Source-Strom I_{DS} gemessen. Für die PMOS-Transistoren wurde die Gate-Source-Spannung V_{GS} von 1 V bis -4 V variiert. Für die Eingangskennlinie wurde die Drain-Source-Spannung V_{DS} konstant auf 100 mV gehalten. Für die Ausgangskennlinien der n-Kanal MOSFETs wurde der Drain-Source-Strom I_{DS} in Abhängigkeit der Drain-Source-Spannung V_{DS} im Spannungsbereich von 0 V bis 6 V aufgezeichnet. Dabei wurde die Gate-Source-Spannung V_{GS} in 5 Schritten von 0 V bis 4 V konstant gehalten. Für die Ausgangskennlinien der p-Kanal MOSFETs wurde ein Spannungsbereich von 0 V bis -6 V gewählt. In Abbildung 3.7 sind die Transferkennlinien und das Ausgangskennlinienfeld der NMOS- und PMOS-Transistoren ($W/L = 36 \mu\text{m}/1,6 \mu\text{m}$, SOI-Wolfram) vor und nach einem Hochtemperaturschritt von $T = 500^\circ\text{C}$ dargestellt. Aus Gründen der Übersicht wurde nur ein

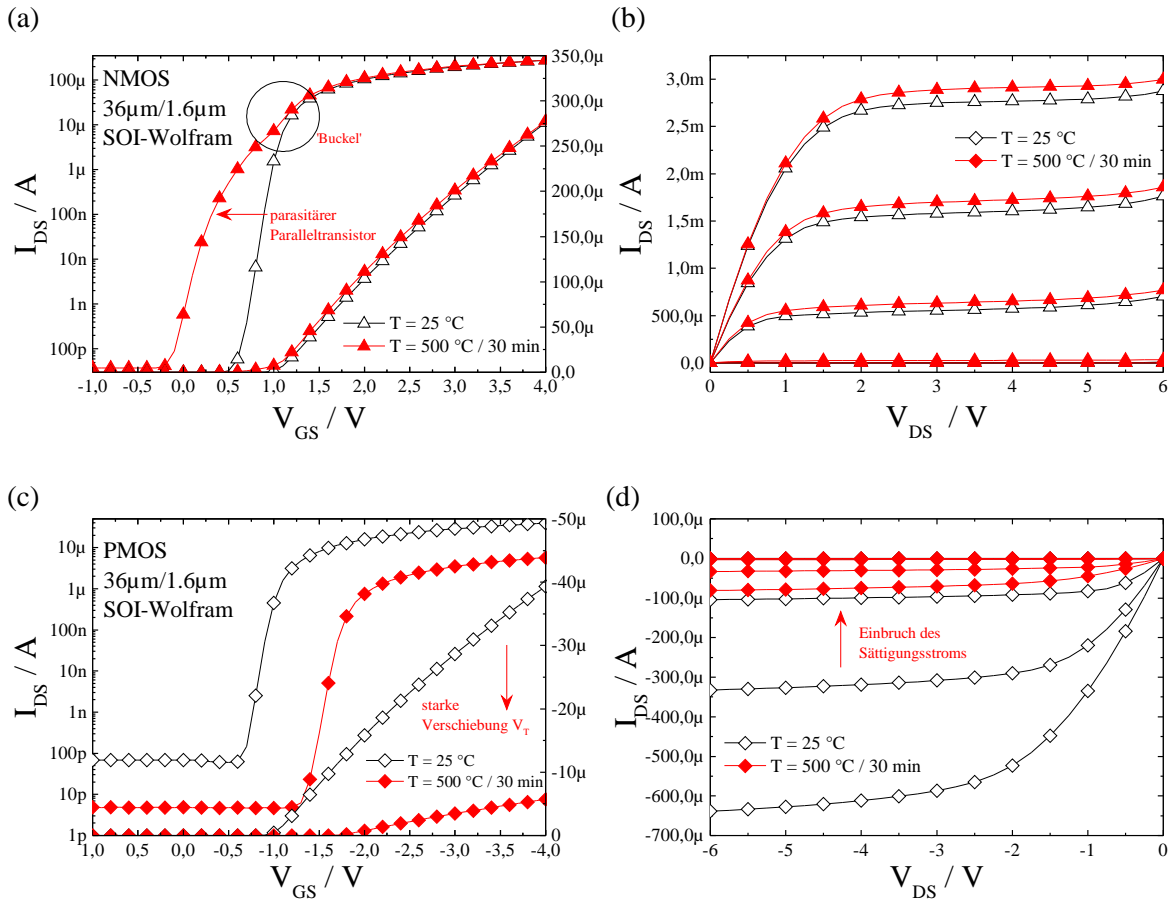


Abbildung 3.7: Transferkennlinien und Ausgangskennlinien von NMOS- und PMOS-Transistoren ($W = 36\text{ }\mu\text{m}$, $L = 1,6\text{ }\mu\text{m}$) bei $T = 25\text{ °C}$ und nach $T = 500\text{ °C}$ (30 min) Temperaturschritt (Technologie: SOI-Substrat mit Wolfram-Metallisierung)

Probenstück (Die) im Graphen aufgenommen. Die Transferkennlinie des n-Kanal MOSFET zeigt in der logarithmischen Darstellung nach einem Hochtemperaturschritt bei 500 °C bereits einen deutlichen 'Buckel' im Anlaufbereich des Transistors. Es bildet sich ein parasitärer Paralleltransistor aus, der im Kennlinienbild als Superposition von zwei Transferkennlinien deutlich wird. Auch bei höheren Temperaturen bis 700 °C wird die Ausbildung eines parasitären Paralleltransistors in der Eingangskennlinie beobachtet. Die Schwellenspannung der n-Kanal MOSFETs verschiebt sich nach einem 700 °C Hochtemperaturschritt moderat um maximal -170 mV . Der Sättigungsstrom im Ausgangskennlinienfeld steigt um $\approx 0,1\text{ mV}$ an. Im Gegensatz zu den NMOS-Transistoren zeigen die PMOS-Transistoren bereits bei 550 °C einen starken Einfluss des Hochtemperaturschrittes in der Transfer- und Ausgangskennlinie. Die Transferkennlinie zeigt einen deutlichen Einfluss des Temperschrittes auf die Transkonduktanz des PMOS-

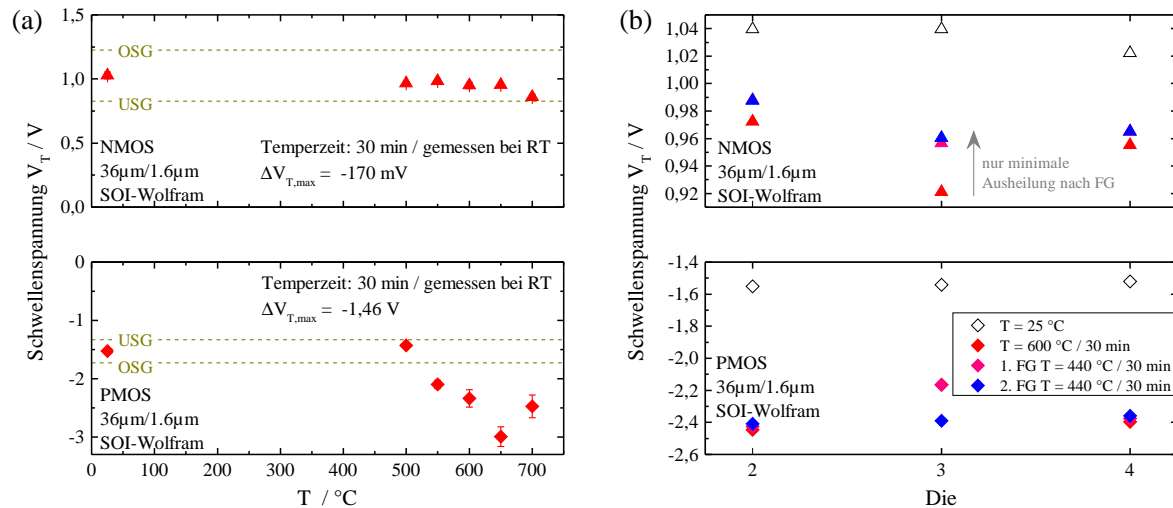


Abbildung 3.8: a) Verschiebung der Schwellenspannung für NMOS- und PMOS-Transistoren ($W = 36 \mu\text{m}$, $L = 1,6 \mu\text{m}$) in Abhängigkeit eines 30 min Hochtemperatur-Schritts b) Einfluss einer Formiergastemperatur auf die Schwellenspannungsänderung (Technologie: SOI-Substrat mit Wolfram-Metallisierung)

Transistors. Zudem ist eine starke Vergrößerung des Leckstroms zu verzeichnen. Der Sättigungsstrom des PMOS-Transistors reduziert sich im Ausgangskennlinienfeld um eine Größenordnung.

Die maximale Schwellenspannungsverschiebung der PMOS-Transistoren beträgt nach der 650 °C Temperatureinwirkung im Durchschnitt $-1,46$ V. Dieser Wert liegt weit über der tolerierbaren Grenze von etwa $\Delta V_T = 200$ mV. In Abbildung 3.8 werden die Schwellenspannungsverschiebungen der n-Kanal und p-Kanal MOSFETs in Abhängigkeit des 30 min Hochtemperaturschritts dargestellt. Die Schwellenspannungsverschiebung kann durch mehrmaliges Formiergastempnen nur minimal verkleinert werden.

Möglicherweise ist die Generierung eines parasitären Paralleltransistors und die ausgeprägte Verschiebung der Schwellenspannung des p-Kanal Transistors im Aufbrechen von Wasserstoffbindungen an der Si/SiO₂-Grenzschicht des Gateoxids begründet, so dass der Wasserstoff nach dem Hochtemperaturschritt vollständig aus dem Bauelement diffundiert ist. Die Nitrid-Passivierung dient selbst wieder als Barrierschicht für Wasserstoff-Diffusion, so dass eine durchgeführte Formiergastemperatur bei 440 °C die aufgebrochenen Wasserstoffbindungen nicht erneut absättigen kann. Durch die Formiergastemperatur lässt sich der 'Buckel' in der Transferkennlinie zwar minimal reduzieren [89], allerdings bleibt die Änderung der Transkonduktanz weiter bestehen, d. h. die Beweglichkeit μ wird durch Störstellen reduziert oder die Kapazität C_{ox} wird durch

weitere Ladungen beeinflusst. Die Verschiebung der Schwellenspannung bewegt sich für den NMOS- und PMOS-Transistor in die gleiche negative Richtung, jedoch mit unterschiedlicher Intensität. Dies lässt sich dadurch erklären, dass nach dem Hochtemperaturschritt n-dotierte Bereiche als Zwischenzustände generiert werden, die die Schwellenspannung der PMOS-Transistoren stärker als die NMOS-Transistoren verschieben. Der Ursprung der zusätzlichen n-Dotierung kann an dieser Stelle nicht vollständig geklärt werden. Die n-Dotierung wird im CMOS-Prozess durch Dotierung mit Phosphor erreicht. Gerade das hochdotierte Poly-Silizium zur Kontaktierung des Gates kann als Quelle einer Phosphorverunreinigung dienen. Zusätzlich können bei SOI-Substraten thermisch generierte Donatoren aufgrund von Sauerstoff-Atomen im Silizium auftreten. Insgesamt könnte ein Barriere-Versagen nach dem Hochtemperatur-Schritt die Verschiebung des PMOS-Transistors erklären. Daneben könnten auch Verunreinigungen des Ofen-Prozesses als Dotierstoff-Quelle dienen.

3.3.2 Untersuchung der Metallisierung

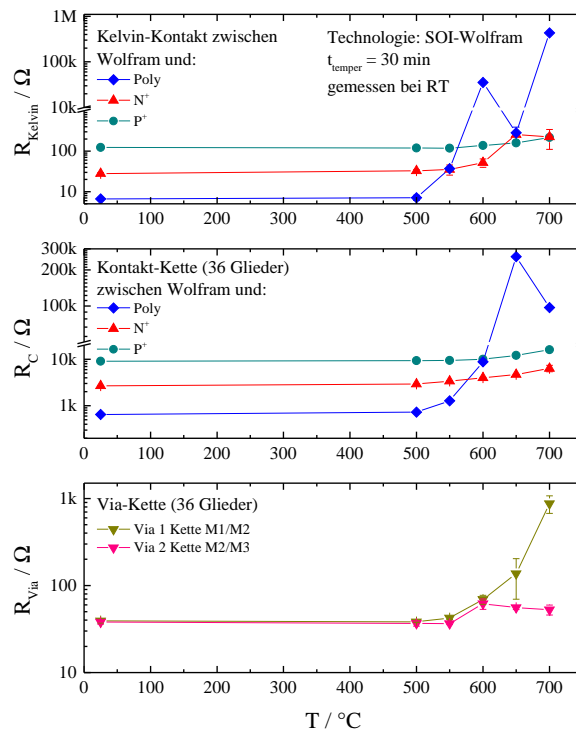


Abbildung 3.9: Widerstandsverhalten für Kelvin-Kontakte, Kontakt-Ketten und Via-Ketten nach dem Hochtemperaturschritt (Technologie: SOI-Substrat mit Wolfram-Metallisierung)

Zur elektrischen Charakterisierung der Wolfram-Metallisierung standen in der verwendeten Technologie Kelvin-Kontakte aus Poly-Silizium (Poly-Si) sowie N^+ und P^+ dotierte Aktivgebiete, Kontakt-Ketten (zwischen Wolfram und Poly-Si, N^+ , P^+) und Via-Ketten zwischen Metall 1 und Metall 2 und zwischen Metall 2 und Metall 3 zur Verfügung. Nach jedem 30 min Temperaturschritt im Bereich von 500°C bis 700°C wurde der elektrische Widerstand an den Teststrukturen für jeweils vier Proben bei Raumtemperatur gemessen und mit der ungetemperten Probe verglichen.

Die Messergebnisse sind in Abbildung 3.9 dargestellt. Die Untersuchung zeigt, dass die Kelvin-Kontakte des N^+ und des P^+ Einzelkontaktes auch nach einem 700°C Temperaturschritt funktional bleiben. Der maximale Zuwachs des Widerstands beträgt für den N^+ Kontakt $200\ \Omega$ (Faktor 8) und $95\ \Omega$ (Faktor 2) für den P^+ Kontakt. Der Widerstand des Poly-Si Kontaktes zeigt nach dem 700°C Temperaturschritt eine signifikante Widerstandsänderung und liegt im unteren $1\ \text{M}\Omega$ -Bereich. Für Temperaturen bis 550°C (30 min) zeigt sich eine geringe Widerstandserhöhung für die N^+ , P^+ und Poly-Si Kontakte, wobei der Poly-Si Kontakt die höchste Widerstandsänderung zeigt. Vermutlich werden hier, wie von Rydberg et al. [90] beschrieben, im Poly-Silizium-Widerstand (n-dotiert mit Phosphor) durch die Temperatureinwirkung schwache Wasserstoffbindungen an den Korngrenzen aufgebrochen (dangling bonds), die als Störstellen für den Stromfluss fungieren und so den Widerstand leicht erhöhen. Phosphor kann den Wasserstoff selbst wieder binden, so dass die Widerstandsänderung nach dem thermischen Stress irreversibel ist. Die Aktivgebiete bestehen im Gegensatz zu dem Poly-Si aus einkristallinen Silizium, d. h. es existieren keine Korngrenzen, an denen Wasserstoffbindungen aufgebrochen werden. Nur an den Siliziumgrenzflächen können Wasserstoffbindungen aufbrechen, welche zu einer reduzierten Beweglichkeit führen [76]. Als weitere Erklärung für den Widerstandsanstieg kann eine Degradation des Kontakts zwischen Wolfram und Poly-Si aufgrund des thermischen Stresses angeführt werden. Die signifikante Widerstandsänderung des Poly-Si Kontakts für Temperaturen oberhalb von 550°C lassen sich nur durch partielle Kontaktabriss an der Grenzschicht zwischen Wolfram-Metallisierung und Poly-Si erklären, die durch thermischen Stress verursacht wurden, vgl. Abbildung 3.10.

Ein ähnliches Verhalten wie bei den Kelvin-Kontakten ist auch bei den Kontakt-Ketten (36 Einzelglieder) zu identifizieren. Auch hier steigt der Widerstand der Poly-Si Kontakt-Kette nach dem 600°C Temperaturschritt (30 min) stark an, bleibt aber teilweise funktional. Die Kontaktkette der Aktivgebiete zeigt dagegen nach dem Temperatur-

schritt nur einen moderaten Widerstandsanstieg von $9\text{ k}\Omega$ auf $16\text{ k}\Omega$ (für P^+) und von $2,7\text{ k}\Omega$ auf $6,4\text{ k}\Omega$ (für N^+).

Für die Via-Ketten zeigt sich ein erhöhter Widerstandswert zwischen Metall 1 und Metall 2. Die Via-Kette zwischen Metall 2 und 3 bleibt jedoch auch nach einem $700\text{ }^\circ\text{C}$ Hochtemperaturschritt funktional. Abbildung 3.11 zeigt eine Rasterelektronenaufnahme des VIA1-Kontaktes im ungetemperten und nach $700\text{ }^\circ\text{C}$ getemperten Zustand. Der erhöhte Widerstandswert der VIA1-Kette lässt sich eindeutig einem partiellen Kontaktabriss zwischen Metall 1 und dem Wolframplug zuordnen.

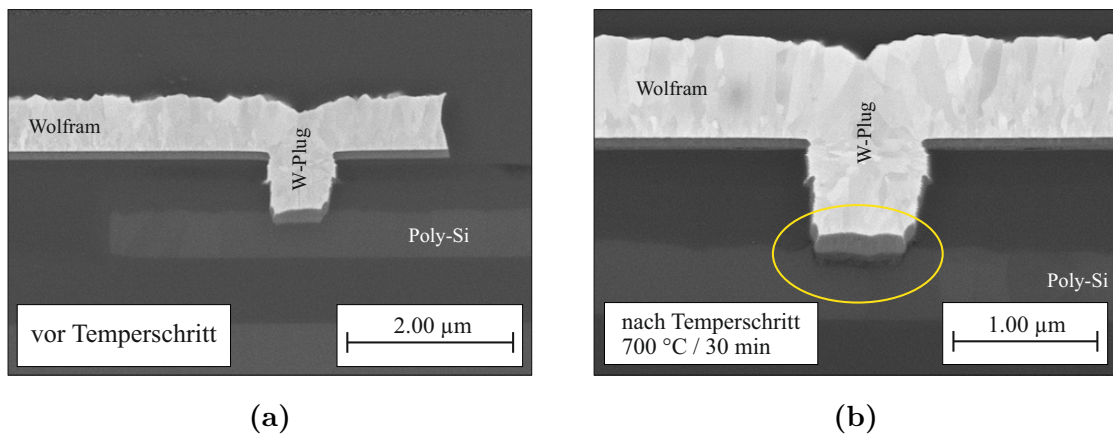


Abbildung 3.10: REM-Analyse des Poly-Si Kelvin-Kontakts nach $700\text{ }^\circ\text{C}$ Temperschritt (30 min). (a) Kontakt vor Temperschritt, (b) Teilabriss zwischen Poly-Si und Wolfram-Plug nach Temperschritt (Technologie: SOI-Substrat mit Wolfram-Metallisierung)

3.4 Technologie:

Bulk-Substrat mit hotAlCu-Metallisierung

Wie im Abschnitt 3.3.1 gezeigt, verschiebt sich die Schwellenspannung der PMOS-Transistoren der SOI-Wolfram-Technologie nach einem Hochtemperaturschritt über die akzeptablen Grenzwerte, so dass diese Technologie zur direkten Abscheidung von CNT auf CMOS-Substrat ungeeignet ist. Eine weitere Hochtemperatur-Technologie des Fraunhofer IMS basiert auf einer Bulk-Substrat-Technologie mit einer sogenannten hotAlCu-Metallisierung. Die Metallschichten werden bei dieser Technologie unter einem erhöhten Temperaturbudget in einem PVD-Prozess (**P**hysical **V**apour **D**eposition) abgeschieden. Auf diese Weise reduziert sich der Stress auf die Metallisierung, der

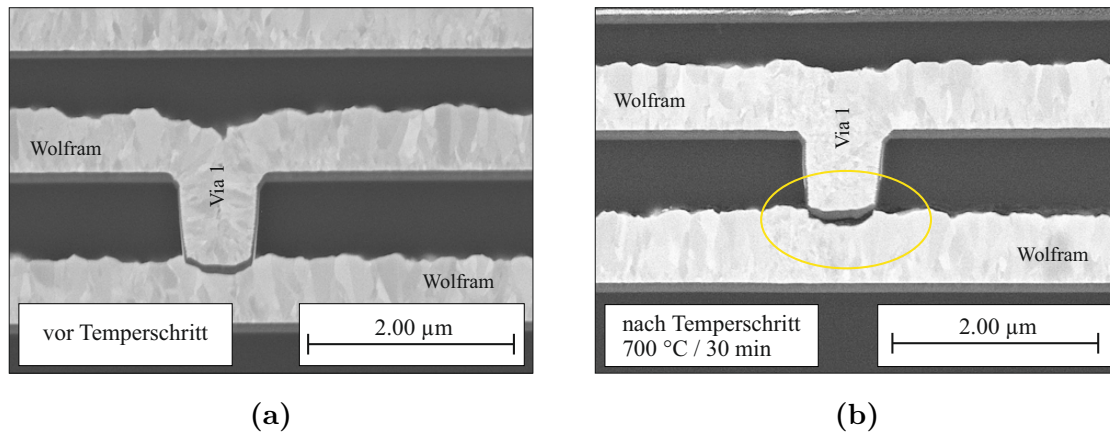


Abbildung 3.11: REM-Analyse der Via1-Kette nach Hochtemperaturschritt (700 °C, 30 min), (a) vor Temperung, (b) Teilabriss des Via-Kontakts zwischen Metall 1 und Metall 2 nach Tempereschritt (Technologie: SOI-Substrat mit Wolfram-Metallisierung)

durch hohe Prozess- oder Betriebstemperaturen entsteht. Die hotAlCu-Metallisierung schränkt jedoch die möglichen Temperuntersuchungen auf Temperaturen unterhalb von 650 °C ein. Bereits niedrige Prozesstemperaturen können zu einer Diffusion und Migration von Siliziumatomen in das Metall führen, wobei die so evozierten Gräben durch das Aluminium gefüllt werden können. Dieser sogenannte Spiking-Effekt kann auf diese Weise zu einer Kurzschlussbildung zwischen Metallisierung und Halbleitersubstrat führen [91].

3.4.1 Untersuchung von n-Kanal und p-Kanal MOSFETs

Zur Bestimmung der Schwellenspannungsänderung nach einem 30 min Tempereschritt von 500 °C bis 650 °C wurden NMOS-Transistoren mit dem Weiten- zu Längenverhältnis (W/L) 30 μm/3,4 μm, 50 μm/1,2 μm, 50 μm/5,0 μm sowie PMOS-Transistoren mit 50 μm/1,2 μm, 50 μm/2,0 μm und 50 μm/4,0 μm vermessen [89]. Abbildung 3.12 zeigt die Transfer- und Ausgangskennlinie für einen NMOS- und PMOS-Transistor (50 μm/1,2 μm) für die Temperatur T=25 °C und nach einem 500 °C (30 min) Hochtemperaturschritt. Aus Gründen der Übersichtlichkeit werden nur die Transfer- und Ausgangskennlinien von 1 von 4 Proben dargestellt. Für den NMOS- und PMOS-Transistor zeigen die Transferkennlinien in linearer und logarithmischer Auftragung nur eine geringe Verschiebung nach dem Hochtemperaturschritt, vgl. Abbildung 3.12. Im Gegensatz zur SOI-Wolfram-Technologie bildet sich kein parasitärer Paralleltransistor nach

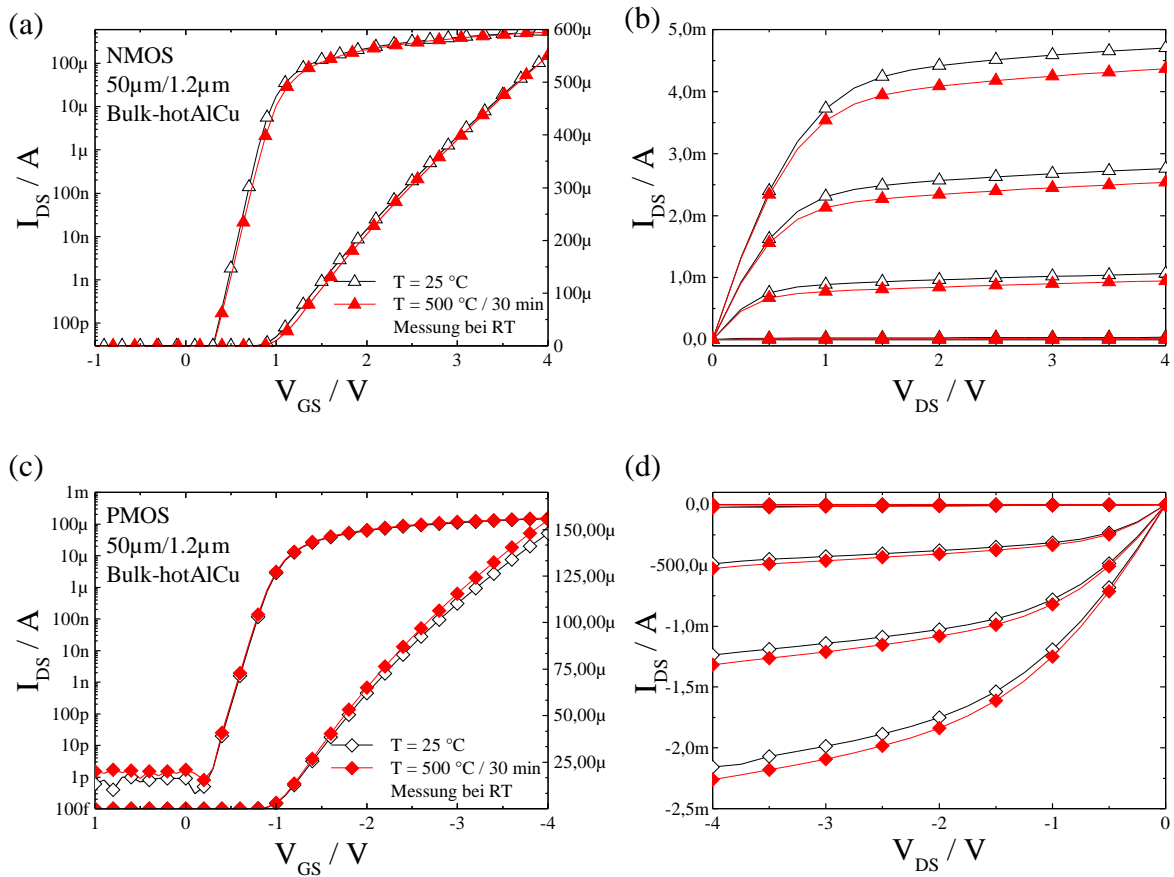


Abbildung 3.12: Transfer- und Ausgangskennlinien eines n-Kanal und p-Kanal MOSFETs ($W = 50\text{ }\mu\text{m}$, $L = 1,2\text{ }\mu\text{m}$) bei $T = 25\text{ }^\circ\text{C}$ und nach $T = 500\text{ }^\circ\text{C}$ (30 min) Temperaturschritt (Technologie: Bulk-Substrat mit hotAlCu-Metallisierung)

dem $500\text{ }^\circ\text{C}$ Tempersschritt beim NMOS-Transistor aus. Das Ausgangskennlinienfeld der NMOS- und PMOS-Transistoren zeigt bei beiden Transistoren eine akzeptable Änderung des Sättigungsstroms.

Die Schwellenspannungsverschiebung der NMOS- und PMOS-Transistoren bei unterschiedlichen Tempersschritten wird in Abbildung 3.13 dargestellt. Die maximale Schwellenspannungsdifferenz der n-Kanal MOSFETs beträgt 64 mV und beim p-Kanal MOSFET 74 mV . Damit liegen die Schwellenspannungsverschiebungen innerhalb der erlaubten Grenzen von ungefähr 200 mV . Eine signifikante Reduzierung der Schwellenspannungsdifferenz durch eine 30 min Formiergastemperatur ($440\text{ }^\circ\text{C}$) konnte auch bei der Bulk-Substrat Technologie mit hotAlCu-Metallisierung nicht festgestellt werden.

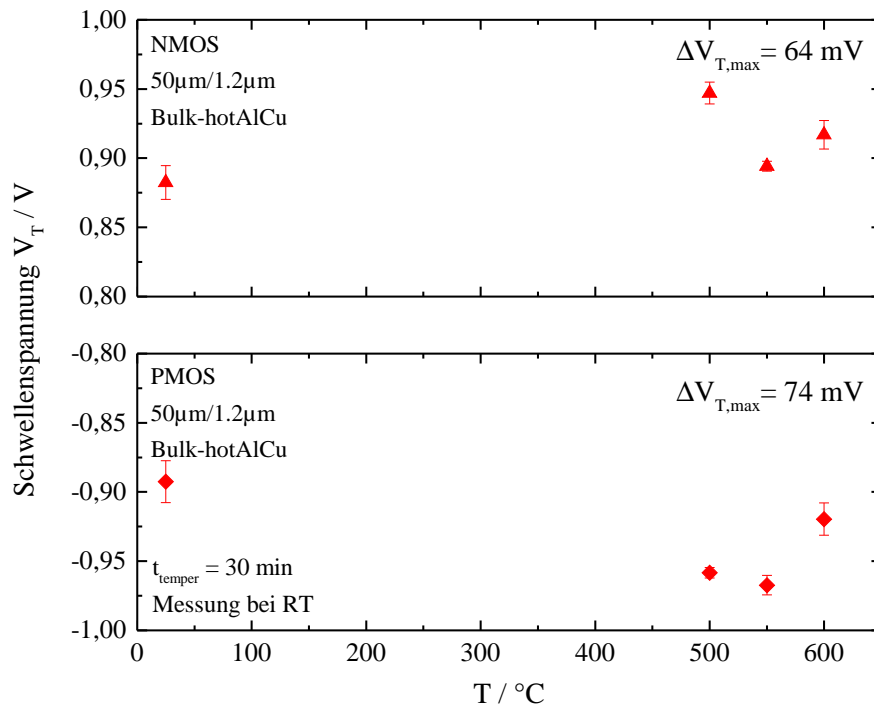


Abbildung 3.13: Vergleich der Schwellenspannung für n-Kanal und p-Kanal MOSFETs ($W = 50 \mu\text{m}$, $L = 1,2 \mu\text{m}$) nach Hochtemperatur-Schritt (30 min) (Technologie: Bulk-Substrat mit hotAlCu-Metallisierung)

3.4.2 Untersuchung der Metallisierung

Für die Charakterisierung der hotAlCu-Metallisierung wurden Messungen an Kelvin-Strukturen, van-der-Pauw Strukturen, Kontakt-Ketten sowie Via-Ketten nach dem Hochtemperaturschritt durchgeführt und mit den Referenzwerten der ungetemperten Proben in Relation gesetzt. Die untersuchten Kelvin-Kontakte Poly-Si, N^+ und P^+ bleiben bis zu einer Temperatur von 600°C stabil. Ab einer Temperatur von 650°C sind die Kontakte aufgrund des Spiking-Effekts kurzgeschlossen. Ein ähnliches Verhalten ergibt sich für die untersuchten Poly-Si, N^+ , P^+ vdP-Strukturen. Auch hier fallen die Kontakte nach einem 30 min Tempersschritt bei 650°C wie erwartet aus. Für die Kontakt-Kette (918 Glieder) beobachtet man, dass zunächst der Widerstand bis 550°C nur moderat ansteigt, bei 600°C aufgrund thermischen Stress hochohmig wird und ebenfalls bei 650°C ausfällt. Die evaluierten Via-Ketten mit 685 Einzelgliedern, zeigen wie die Kontakt-Ketten bei 600°C einen starken Widerstandsanstieg, fallen aber auch nach einer 650°C Hochtemperaturschritt aufgrund des Spiking-Effekts aus.

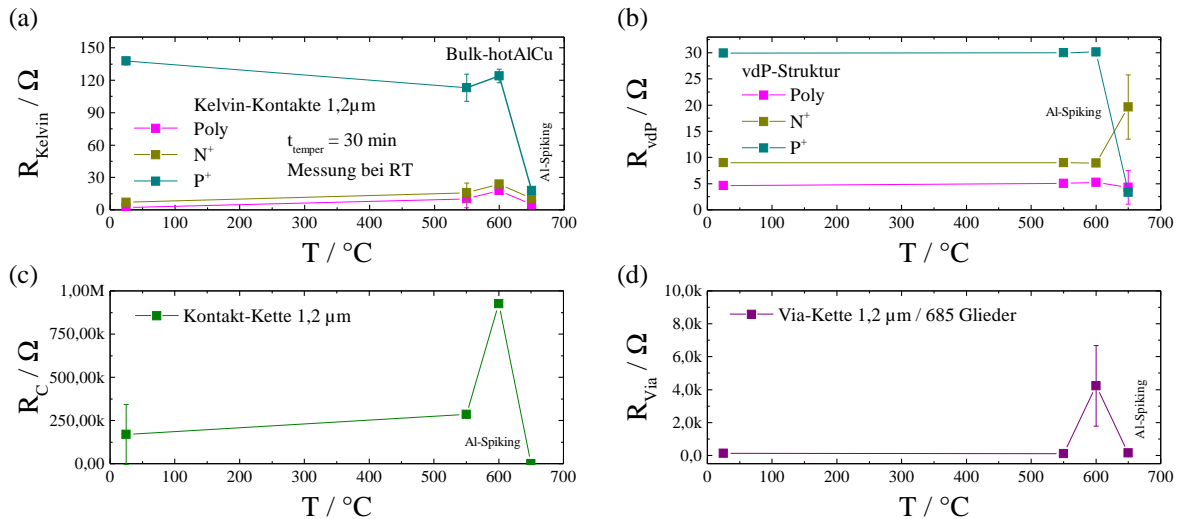


Abbildung 3.14: Untersuchung des Widerstands von Kelvin-Strukturen, vdP-Strukturen, Kontaktketten und Via-Ketten (Technologie: Bulk-Substrat mit hotAlCu-Metallisierung)

3.5 Technologie:

Bulk-Substrat mit Wolfram-Metallisierung

Die SOI-Technologie mit Wolfram-Metallisierung zeigt im Experiment für NMOS-Transistoren bis Temperaturen von 700°C eine moderate Verschiebung der Schwellenspannung unterhalb von 200 mV . Die PMOS-Transistoren fallen bei dieser Technologie allerdings schon nach einem Tempersschritt von 550°C wegen einer starken Schwellenspannungsverschiebung aus. Die Metallisierung dieser Technologie bleibt jedoch mit Ausnahme des Poly-Siliziums bis Temperaturen von 700°C funktional. Die Bulk-Substrat Technologie mit hotAlCu-Metallisierung zeigt dagegen nach einem Hochtemperaturschritt von 500°C bis 600°C für die evaluierten NMOS- und PMOS-Transistoren nur eine geringe Schwellenspannungsverschiebung. Für Temperaturen von bis zu 600°C zeigt die hotAlCu-Metallisierung ein stabiles Verhalten. Alle Kontakte weisen allerdings einen Kurzschluss nach dem 650°C Tempersschritt auf. Aus diesem Grund wurde im Rahmen dieser Arbeit eine Kombination der beiden untersuchten Hochtemperatur-Technologien, d. h. eine Bulk-Substrat CMOS-Technologie mit Wolfram-Metallisierung, hergestellt [92]. Das Bulk-CMOS-Substrat basiert auf einer Technologie mit minimaler Gatelänge von $0,8 \mu\text{m}$. Die normalerweise verwendete Aluminium-Metallisierung wurde durch eine Wolfram-Metallisierung ersetzt. Der untersuchte CMOS-Wafer weist nur eine Metallage auf.

3.5.1 Untersuchung von n-Kanal und p-Kanal MOSFETs

Die NMOS- und PMOS-Transistoren der neuen Bulk-Wolfram-Technologie wurden im ungetemperten Zustand und nach einem 30 min Hochtemperaturschritt von 700 °C gemessen. Für die Charakterisierung standen NMOS- und PMOS-Transistoren mit unterschiedlichem W/L-Verhältnis zur Verfügung. Im folgenden werden Transistoren mit den Gatelängen 50 µm/1,5 µm und 20 µm/0,8 µm betrachtet. Eine Übersicht über die Schwellenspannungsverschiebung aller untersuchten Transistoren findet sich in Tabelle 3.1. Die Transfer- und Ausgangskennlinie der 20 µm/0,8 µm NMOS- und PMOS-Tran-

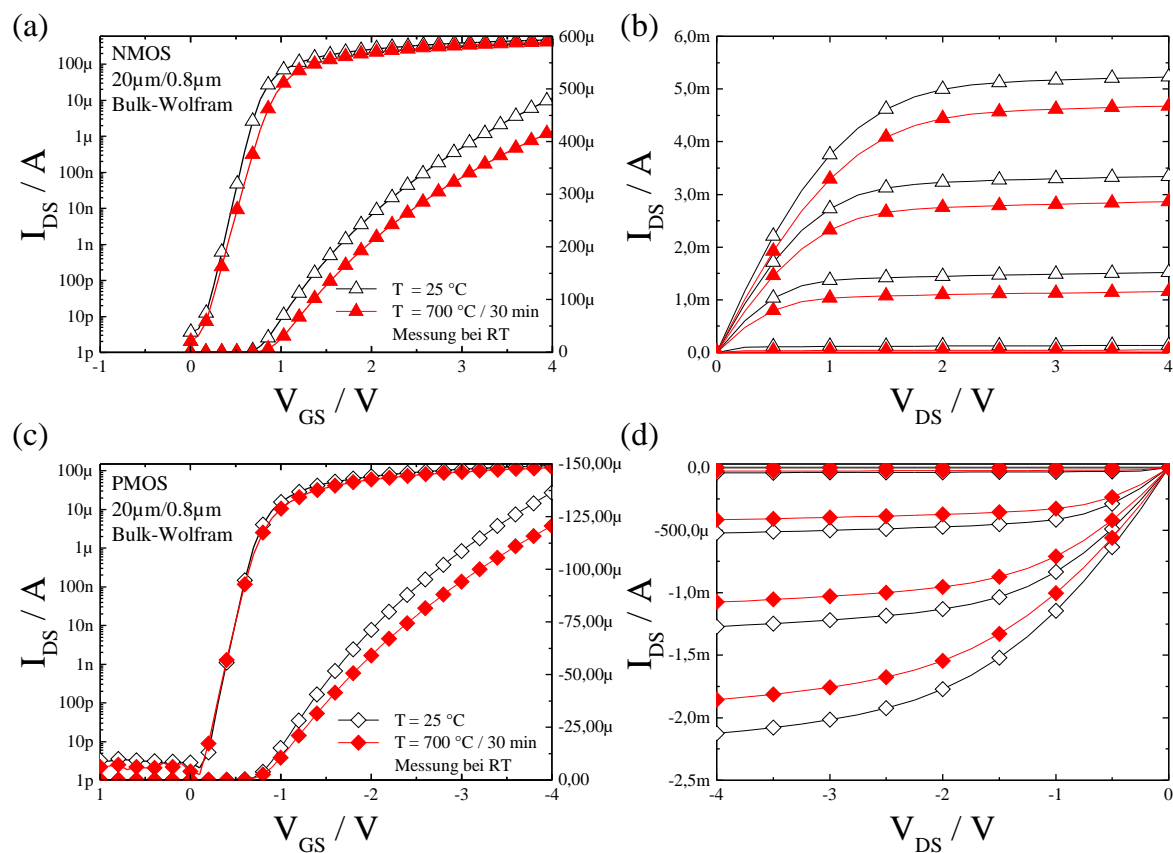


Abbildung 3.15: Transfer- und Ausgangskennlinien eines NMOS- und PMOS-Transistors ($W/L = 20\text{ }\mu\text{m}/0,8\text{ }\mu\text{m}$) bei $T = 25\text{ °C}$ und nach $T = 700\text{ °C}$ (30 min) Temperaturschritt (Technologie: Bulk-Substrat mit Wolfram-Metallisierung)

istoren ist in Abbildung 3.15 dargestellt. Es zeigt sich nach dem 700 °C Temperaturschritt nur eine leichte Verschiebung der Schwellenspannung des n- und p-Kanal MOSFETs. Die Transferkennlinien zeigen eine moderate Änderung in der Transkonduktanz. In der logarithmischen Darstellung bleibt der Kurvenverlauf des PMOS-Transistors

im Anlaufbereich deckungsgleich. Der Sättigungsstrom im Ausgangskennlinienfeld der NMOS- und PMOS-Transistoren ($20\ \mu\text{m}/0,8\ \mu\text{m}$) zeigt prozentual die gleiche Abnahme nach dem Temperaturschritt. Der Leckstrom vor und nach dem Temper-Prozess zeigt keine Auffälligkeiten. Im Gegensatz zur SOI-Wolfram-Technologie bildet sich kein parastärer Paralleltransistor aus. In Abbildung 3.16 sind die Schwellenspannungsverschie-

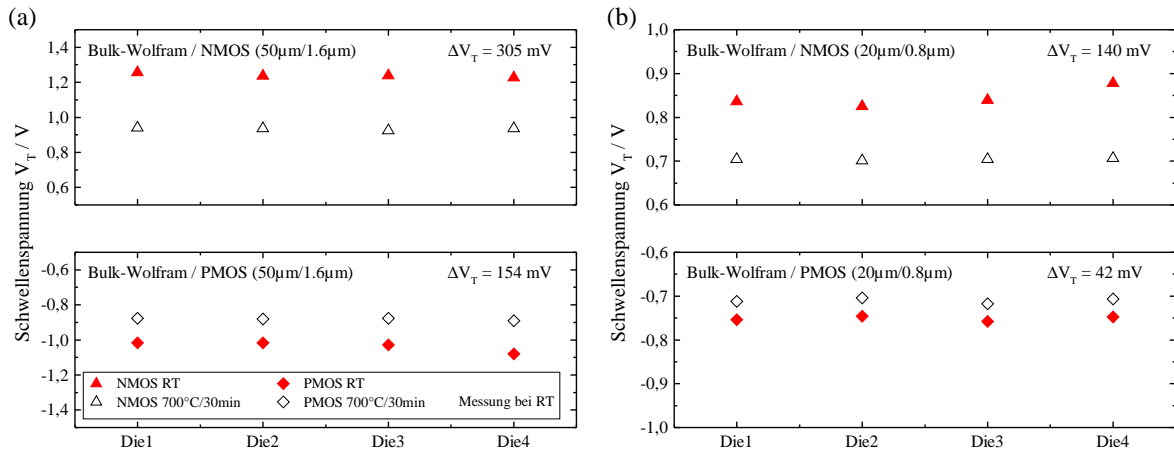


Abbildung 3.16: Vergleich der Schwellenspannung von n-Kanal und p-Kanal MOSFETs unterschiedlicher Gatelänge nach $700\ ^\circ\text{C}$ Hochtemperatur-Schritt (30 min) (Technologie: Bulk-Substrat mit Wolfram-Metallisierung)

bung der NMOS- und PMOS-Transistoren mit den W/L-Verhältnissen $50\ \mu\text{m}/1,6\ \mu\text{m}$ und $20\ \mu\text{m}/0,8\ \mu\text{m}$ nach dem Hochtemperaturschritt für jeweils 4 untersuchte Probenstücke aufgetragen. Die durchschnittliche Schwellenspannungsverschiebung der $50\ \mu\text{m}/1,6\ \mu\text{m}$ -NMOS-Transistoren liegt bei $305\ \text{mV}$ und bei den PMOS-Transistoren gleichen W/L-Verhältnissen bei $154\ \text{mV}$. Die $20\ \mu\text{m}/0,8\ \mu\text{m}$ -NMOS- und PMOS-Transistoren weisen im Gegensatz dazu nur eine geringe Schwellenspannungsverschiebung von $140\ \text{mV}$ (NMOS) und $42\ \text{mV}$ (PMOS) auf. Alle untersuchten NMOS- und PMOS-Transistoren bleiben nach dem Hochtemperaturschritt funktional, vgl. Tabelle 3.1, wobei die $20\ \mu\text{m}/0,8\ \mu\text{m}$ -Transistoren eine Schwellenspannungsänderung unterhalb von $200\ \text{mV}$ aufweisen.

Neben den $700\ ^\circ\text{C}$ Temperuntersuchungen im ATV-Ofen wurde ein Probenstück auch während einer CNT-Synthese in der CVD-Kammer (Chemical Vapour Deposition) des Fraunhofer IKTS getempert. Die Prozesstemperatur betrug $670\ ^\circ\text{C}$ bei einer Prozesszeit von 20 min. Nach dem Prozess wurde die Schwellenspannung der NMOS- und PMOS-Transistoren bestimmt. Die Schwellenspannungsdifferenz der $20\ \mu\text{m}/0,8\ \mu\text{m}$ NMOS-Transistoren beträgt $39\ \text{mV}$ und für die jeweiligen PMOS-Transistoren $-11\ \text{mV}$. Für die

50 $\mu\text{m}/1,6 \mu\text{m}$ Transistoren stellt man eine Verschiebung der Schwellenspannungen von 22 mV (NMOS) und -8 mV (PMOS) fest. Damit unterscheiden sich zwar die Schwellenspannungsverschiebungen nach dem CNT-Prozess zu dem simulierten Prozess des ATV-Ofens aufgrund von Verunreinigungen der Prozesskammer, jedoch kann festgehalten werden, dass die Schwellenspannungsverschiebungen innerhalb der Sollgrenzen liegen.

Um den Einfluss des Hochtemperaturschrittes weiter zu charakterisieren, wurde das Oxid-Durchbruchverhalten an einer Teststruktur mit einer Oxiddicke von $\approx 40 \text{ nm}$ und einer Fläche von $A=37\,840 \mu\text{m}^2$ untersucht. In Abbildung 3.17 ist der Gatestrom I_G in

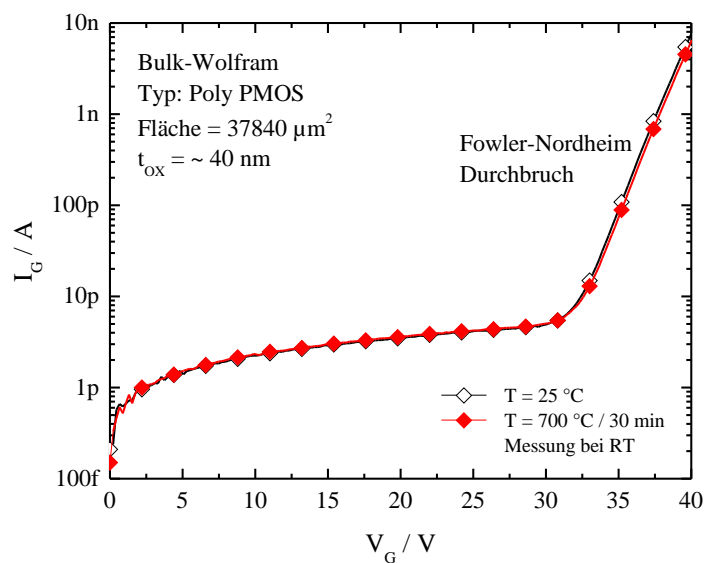


Abbildung 3.17: Durchbruchverhalten des Gateoxids ($\approx 40 \text{ nm}$) für Bulk-Substrat mit Wolfram-Metallisierung vor und nach einem Hochtemperaturschritt; Fowler-Nordheim Tunneln ab einer Durchbruchspannung von 30 V

W/L	50 $\mu\text{m}/1,6 \mu\text{m}$	50 $\mu\text{m}/2,0 \mu\text{m}$	50 $\mu\text{m}/5,0 \mu\text{m}$	1,8 $\mu\text{m}/5,0 \mu\text{m}$
NMOS	305 mV	315 mV	342 mV	287 mV
PMOS	154 mV	170 mV	178 mV	-
W/L	20 $\mu\text{m}/0,8 \mu\text{m}$	20 $\mu\text{m}/1,0 \mu\text{m}$	20 $\mu\text{m}/5,0 \mu\text{m}$	1,0 $\mu\text{m}/5,0 \mu\text{m}$
NMOS	140 mV	146 mV	165 mV	148 mV
PMOS	42 mV	45 mV	47 mV	40 mV

Tabelle 3.1: Schwellenspannungsverschiebung von NMOS- und PMOS-Transistoren unterschiedlichen W/L-Verhältnisses nach 700 °C Temperschritt (30 min), Bulk-Substrat mit Wolfram-Metallisierung

Abhängigkeit der Gatespannung V_G für diese Teststruktur logarithmisch aufgetragen. Die Spannung wurde soweit erhöht, bis es zu einem Oxid-Durchbruch gekommen ist. Der Durchbruch findet bei einer Spannung von ungefähr 30 V statt, wobei in dem gewählten Spannungsbereich nur ein weicher Fowler-Nordheim Durchbruch festgestellt wurde. Die ungetemperten und die bei 700 °C getemperten Proben zeigen keinen signifikanten Unterschied des Durchbruchverhaltens.

An einer weiteren Teststruktur gleichen Aufbaus wurden auch Kapazität-Spannungsmessungen mit einem Keithley K590 CV-Messgerät vorgenommen. In Abbildung 3.18 sind hochfrequente CV-Kurven der Poly-Si PMOS ($A=37\,840\ \mu\text{m}^2$) und der Poly-Si NMOS Struktur ($A=48\,290\ \mu\text{m}^2$) dargestellt, wobei die Gatespannung jeweils von Akkumulation zur Inversion kontinuierlich verändert wurde. Die ungetemperte und die getemperte Kurve unterscheiden sich im Bereich der Akkumulation nur unwesentlich. Für die Poly-Si PMOS Kapazität beobachtet man im Bereich der Verarmung nach dem 700 °C Tempersschritt eine deutliche Degradation der CV-Kurve, die auf geladene Störstellen oder mobile Ionen an der Phasengrenze zurückzuführen ist. Für die Poly-Si NMOS Kapazität ist diese Degradation nicht feststellbar. Im Bereich der tiefen Verarmung stellt man für die ungetemperten und getemperten NMOS- und PMOS-Kapazitäten eine Differenz von ungefähr 1 pF fest. Eine starke Verschiebung der CV-Kurve oder eine starke Änderung des Anstiegs der Kurve im Verarmungsbereich ist dagegen nicht festzustellen. Das Dotierstoffprofil unterhalb der Oxid-Halbleiter-Phasengrenze kann im Verarmungsbereich berechnet werden, vgl. Abbildung 3.18 (b) und (d). Dabei wird die gemessenen Kapazität C_A im Verarmungsbereich als $1/C_A^2$ über Ψ_S aufgetragen und die Steigung der linearen Kurve zur Bestimmung der Dotierstoffkonzentration genutzt. Für die Poly-Si PMOS-Kapazität erkennt man eine Anreicherung von Ladungsträgern nach dem Hochtemperaturschritt im Bereich der Oxid-Halbleiter Phasengrenze. Die Poly-Si NMOS-Kapazität zeigt eine Anreicherung von Ladungsträgern in einer Tiefe von 180 nm unterhalb der Phasengrenze.

3.5.2 Untersuchung der Metallisierung

Da die evaluierte Bulk-Wolfram-Technologie nur bis zur ersten Metalllage mit abschließender Standardpassivierung ($\text{SiO}_2/\text{Si}_3\text{N}_4$) prozessiert wurde, stehen für die elektrische Charakterisierung der Wolfram-Metallisierung nur Kontakt-Ketten von Poly-Si (49920 Glieder), zwei N^+ Kontakt-Ketten unterschiedlichen Abstands mit jeweils 50 400 Elementen sowie eine Kontakt-Kette mit 164 P^+ , 206 Poly-Si, 26 N^+ Gliedern zur Ver-

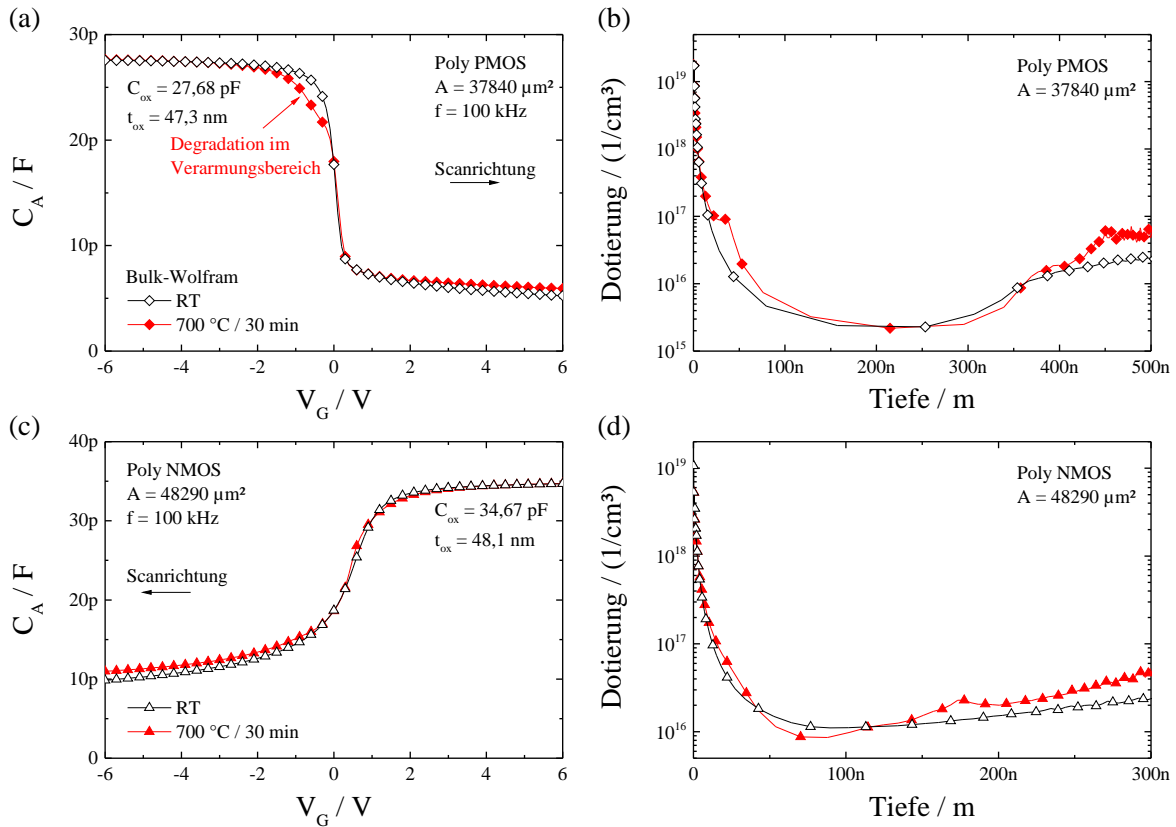


Abbildung 3.18: Hochfrequente (100 kHz) CV-Kurven für eine Poly-Si PMOS und Poly-Si NMOS Teststruktur mit Darstellung des Dotierstoffprofils. Vergleich einer ungetemperten Probe mit einer Probe, die bei 700 °C (30 min) behandelt wurde. (Bulk-Substrat mit Wolfram-Metallisierung)

fügung. In Abbildung 3.19 wird der gemessene Widerstand der ungetemperten Probe im Bezug zur getemperten Probe (700 °C) dargestellt. Der Widerstand der Poly-Si Kontakt-Kette vergrößert sich nach dem Temperschnitt um 235 kΩ (30 %). Bei den N⁺ Kontakt-Ketten ist ein Anstieg von $\Delta R_{N^+,kurz} = 377 \text{ k}\Omega$ (25 %) bzw. $\Delta R_{N^+,lang} = 360 \text{ k}\Omega$ (29 %) feststellbar. Die P⁺/Poly-Si/N⁺ Kontakt-Kette weist einen Anstieg um 6 kΩ (22 %) auf. Alle gemessene Teststrukturen bleiben nach dem 700 °C Hochtemperaturschritt funktional.

Der Einfluss des 700 °C Temperschnitts auf die Metallisierung und auf die Passivierung ist in der REM-Querschnittsanalyse (**R**asterelektronen**m**ikroskop) in Abbildung 3.19b dargestellt. Es zeigt sich keine Degradation des Kontakts zum Poly-Si. Jedoch zeigen sich vereinzelt kleine Risse in der Passivierung an Stress-Punkten. Im Gegensatz zur SOI-Wolfram-Technologie finden sich keine Anzeichen für ein Abplatzen der Passivierungsschicht [89].

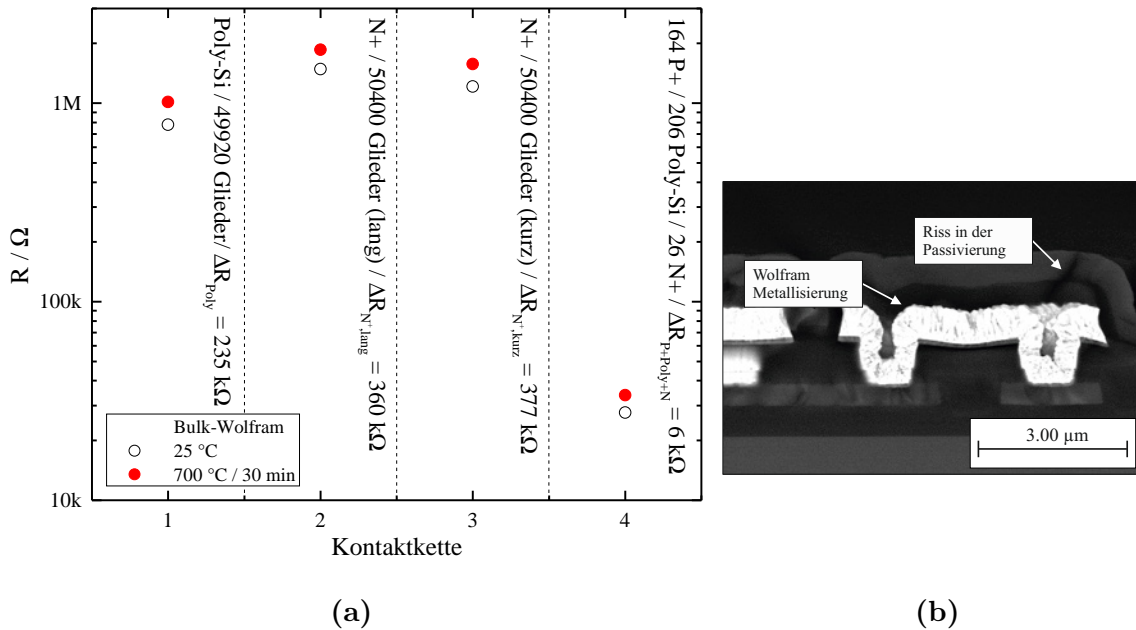


Abbildung 3.19: (a) Widerstand der Kontaktketten, ungetempert und nach 700 °C Tempersschritt 30 min, (b) REM-Analyse der Wolfram-Metallisierung und Passivierungsschicht

3.6 Fazit zur CMOS-Integration

In den Abschnitten 3.3, 3.4 und 3.5 sind drei unterschiedliche CMOS Hochtemperatur-Technologien auf ihre Eignung für eine direkte Abscheidung von CNTs auf CMOS untersucht worden. Die SOI-Wolfram-Technologie ist für eine direkte Integration von CNTs ungeeignet. Es zeigt sich zwar eine gute Stabilität der Wolfram-Metallisierung gegenüber einem Temperschnitts bis 700 °C, allerdings beobachtet man eine starke Parameterinstabilität der PMOS-Transistoren nach den durchgeführten Temperschnitten. Zudem kommt es zur Ausbildung eines parasitären Paralleltransistors bei den NMOS-Transistoren. Für die Bulk-Substrat-Technologie mit hotAlCu-Metallisierung beobachtet man sehr geringe Schwellenspannungsverschiebungen nach einem Temperschnitt bis 600 °C. Aufgrund des geringen Temperaturbudgets der hotAlCu-Metallisierung liegt die maximale Temperatur bei 600 °C. Alle Widerstandsmessungen zeigen nach 650 °C für diese Technologie einen Kurzschluss aufgrund des Spiking-Effekts. Als Konsequenz der charakterisierten Hochtemperatur-Technologien wurde eine neue Technologie auf Basis eines Bulk-Substrats mit Wolfram-Metallisierung entwickelt. Insbesondere die NMOS- und PMOS-Transistoren mit dem W/L-Verhältnis 20 μm/0,8 μm zeigen bei dieser Technologie nur eine geringe Verschiebung der Schwellenspannung. Die Kontrolle

der Oxid-Durchbruchspannung zeigt keine Auffälligkeiten nach dem Temperschnitt von 700 °C. Die Kapazitätsspannungs-Messung zeigt für die Poly-Si PMOS-Teststruktur im Bereich der Verarmung eine Degradation im Vergleich zur ungetemperten Probe. Vermutlich brechen an der Phasengrenze zwischen Oxid und Substrat durch die Temperatureinwirkung nicht abgesättigte Bindungen auf, die nicht vollständig nach dem thermischen Stress relaxieren. Die Poly-Si NMOS-Kapazität ist von dieser Degradation nicht betroffen. Es ist jedoch anzumerken, dass bei dieser Technologie keine Ausfälle der untersuchten Bauelemente nach dem Temperschnitt gefunden wurde. Einzig die Passivierung zeigt an Stress-Punkten vereinzelt Risse. Durch Reduzierung von Stress-Punkten, z. B. durch Änderung der Design-Regeln und Vermeiden von großen Metallflächen, ist davon auszugehen, dass die Degradation der Passivierung weiter reduziert werden kann. Zudem besteht die Möglichkeit einer Planarisierung des CMOS-Substrats. Die Bulk-Substrat-Technologie mit Wolfram-Metallisierung eignet sich daher zu einer direkten Post-CMOS-Integration von CNTs auf einem Halbleiter-Substrat. In dieser Arbeit wird ein Multi-Elektroden-Array (MEA) in einem CMOS-kompatiblen Prozess hergestellt. Aufgrund der obigen Ergebnisse basiert der MEA-Chip auf einem planarisierendem Bulk-Substrat mit Wolfram-Metallisierung.

4 Mikrosystemtechnische Verfahren

Zur Herstellung eines CMOS-kompatiblen Multi-Elektroden-Arrays werden im Rahmen dieser Arbeit verschiedene mikrosystemtechnische Verfahren angewendet. Zur Schichtdeposition werden neben Sputter-Prozessen hauptsächlich CVD-Prozesse (**C**hemical **V**apour **D**eposition) verwendet. Eine Erweiterung des CVD Verfahrens ist die Atomlagenabscheidung (**A**tomic **L**ayer **D**eposition (ALD)), mit der man einen superkonformen Film auf einer Substratoberfläche herstellen kann [93]. Für die Strukturierung abgeschiedener Schichten kommen unterschiedliche Ätzverfahren zum Einsatz. Neben dem RIE-Prozess (**R**eactive **I**on **E**tching) kommen für diese Aufgabe insbesondere das DRIE Verfahren (**D**eep **R**eactive **I**on **E**tching) und das Ionenstrahlätzen (**I**on **B**eam **E**tching (IBE)) zum Einsatz. Für bestimmte Einsatzzwecke, so z. B. für das Entfernen eines Opferschichtmaterials, sind insbesondere isotrope Ätzverfahren von Interesse. Daher wird im nachfolgenden Abschnitt auch kurz auf die Gasphasenätzung von Silizium mit Xenondifluorid eingegangen.

4.1 Deposition

4.1.1 Chemische Gasphasenabscheidung

Die chemische Gasphasenabscheidung (CVD) ist ein Verfahren, das aus der thermischen Zersetzung von gasförmigen Ausgangsverbindungen eine Schicht auf einem Trägersubstrat bildet [94]. Das CVD Verfahren wird je nach Prozessdruck und nach Art der Energiezufuhr in unterschiedliche Unterklassen eingeteilt. Bei der APCVD (**A**tmospheric **P**ressure **C**hemical **V**apour **D**eposition) handelt es sich um ein CVD-Verfahren, das unter Atmosphärendruck betrieben wird. Dagegen wird beim LPCVD-Verfahren (**L**ow **P**ressure **C**hemical **V**apour **D**eposition) der Prozessdruck stark reduziert, was zu einer höheren Konformität der Beschichtung führen kann. Die zur thermischen Aktivierung notwendigen Prozesstemperaturen liegen beim APCVD und beim LPCVD Verfahren im Bereich von über 400 °C. Die Aktivierungsenergie kann auch durch einen Plasma-Prozess zur Verfügung gestellt werden. Bei dieser Prozessvariante spricht man von PECVD (**P**lasma **E**nhanced **C**hemical **V**apour **D**eposition) [95]. Die Temperatur bei

der Deposition liegt im Bereich von 250 °C bis 350 °C. Je nach Prozessgas können im CVD Verfahren unterschiedliche Materialien auf dem Substrat abgeschieden werden. So werden im Rahmen dieser Arbeit Siliziumoxid (SiO_2), Siliziumnitrid (Si_3N_4), Wolfram (W), amorphes Silizium (a-Si) und Kohlenstoff-Nanoröhren auf einem Trägersubstrat aufgebracht.

4.1.2 Atomlagenabscheidung

Der ALD-Prozess ist eine Dünnschichttechnologie und basiert auf dem CVD-Verfahren. Im Gegensatz zum CVD-Prozess wird das abzuscheidende Material nicht komplett in der Gasphase gebildet, das sich schließlich auf dem Substrat absetzt, sondern es finden zwei oder mehr zyklisch selbstterminierende Oberflächenreaktionen auf dem Substrat statt, wobei immer nur eine Gaskomponente im Teilprozess zur Verfügung steht. Abbildung 4.1 zeigt den schematischen Prozessablauf eines ALD-Zyklus [96]. In einem ersten Prozessschritt wird der erste Reaktant A in den Reaktor eingelassen, wo dieser mit der Substratoberfläche, z. B. an OH-Gruppen, reagiert. Im zweiten Schritt wird der Reaktor mit einem Inertgas (z. B. Argon oder Stickstoff) ausreichend lange gespült, um nicht reagiertes Gas des ersten Reaktanten A aus der Kammer zu entfernen. Nun folgt ein Schritt mit einem weiteren Reaktanten B, der wiederum selbstlimitierend eine Reaktion mit dem Reaktanten A eingeht und diesen wieder für die erste Reaktion aktiviert. Bevor der Zyklus erneut startet, wird die Kammer wiederum mit einem Inertgas gespült. Die selbstterminierenden Reaktionen ermöglichen ein superkonformes Wachstum und eine präzise Einstellung der Schichtdicken. Um Inhomogenitäten bei der Abscheidung zu vermeiden, müssen im Prozess die beiden Teilreaktionen vollständig gesättigt sein. Vergleicht man z. B. zwei Substrate mit unterschiedlichen Gesamtoberflächen, z. B. durch eine Strukturierung mit Gräben oder Löchern, so kann es sein, dass die Zykluszeit bei dem Substrat mit der vergrößerten Oberfläche nicht ausreicht, um die Oberfläche vollständig mit dem Reaktanten abzusättigen. Daher wird immer versucht, eine ausreichend lange Pulszeit zu wählen, da diese keinen negativen Einfluss auf das Schichtwachstum nimmt. Ein kritischer Prozessparameter ist die Prozesstemperatur. Zu geringe Depositionstemperaturen können zu einer Kondensation an der Substratoberfläche führen. Zu hohe Temperaturen können eine Abspaltung und eine Desorption von Reaktionsprodukten bewirken [97]. Heutzutage können viele Materialien mittels ALD-Verfahren genutzt werden [98]. Darunter zählen unter anderem dielektrische Oxide wie Al_2O_3 , TiO_2 , ZrO_2 , HfO_2 , Ta_2O_5 oder auch SiO_2 . Leitfähige Oxide

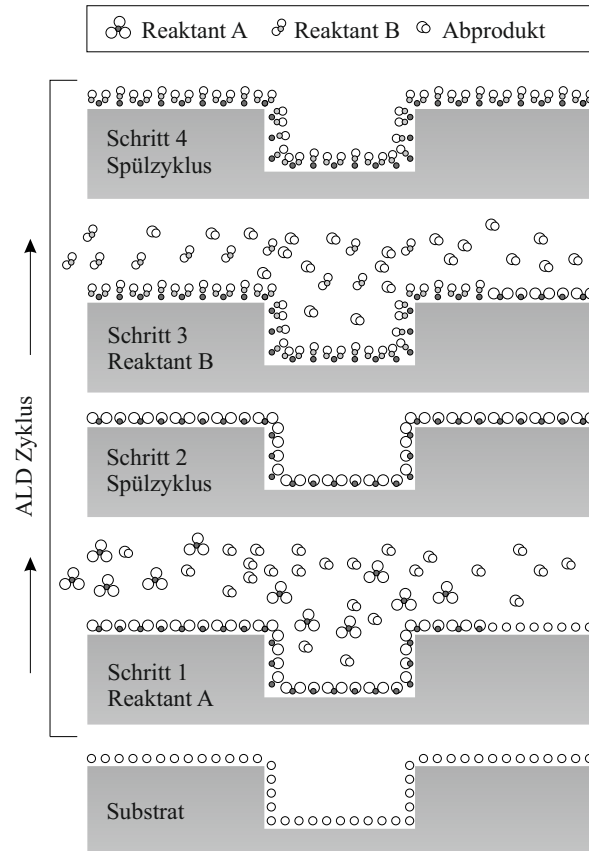


Abbildung 4.1: Schematische Darstellung der Atomlagenabscheidung. Aufteilung eines ALD-Zyklus in vier Teilschritte, nach [96]

wie z. B. In_2O_3 , ZnO oder RuO_2 sind herstellbar. Bei den dielektrischen Nitriden sind z. B. AlN , GaN und Si_3N_4 von Interesse. TiN oder TaN sind als metallische Nitride im ALD-Verfahren realisierbar. Neben vielen anderen Materialien sind insbesondere metallische Elemente von Bedeutung, so lassen sich auch Dünnschichten von Ru, Pt, Ir, Pd, Cu, Ta, W, Ti und Al im ALD-Verfahren synthetisieren. Dazu wurden eine Reihe von unterschiedlichen Precursoren entwickelt, die in den Aggregatzuständen fest, flüssig und gasförmig vorliegen können [99]. In dieser Arbeit kommen ALD-Schichten aus Tantalpentoxid und aus Ruthenium zum Einsatz. Für Tantalpentoxid wird als erster Reaktant $\text{Ta}(\text{OEt})_5$ und als zweiter Reaktant H_2O verwendet [100]. Die Prozesstemperatur liegt normalerweise bei 275°C . Für die Beschichtung mit Ruthenium kommen die Reaktanten RuCp_2 (Cp = Cyclopentadienyl) und Sauerstoff zum Einsatz, wobei die Prozesstemperatur bei ungefähr 350°C liegt [101, 102]. Alle ALD-Beschichtungen werden in einer Anlage der Firma Picosun des Typs $\text{SUNALE}^{\text{TM}}$ P-200 durchgeführt.

4.2 Trockenätzverfahren

4.2.1 Reaktives Ionenätzen

Das reaktive Ionenätzen (RIE) ist ein gaschemisches Trockenätzverfahren, bei dem zwei Ätzmechanismen in einem einzigen Prozess genutzt werden. Zum einen wird das zu ätzende Substrat mit einem physikalischen Ionenbeschuss abgetragen und zum anderen findet an der Substratoberfläche eine chemische Reaktion statt, die zum Materialabtrag beiträgt. Dabei wird die chemische Reaktion erst durch die kinetische Energie der auftreffenden Ionen energetisch ermöglicht [91]. Beim RIE-Prozess wird im Gegensatz zum einfachen Plasmaätzen die hochfrequente Leistung an der ungeerdeten Kathode eingespeist, auf der die zu ätzenden Substrate liegen. Die Kathode lädt sich dabei mit einer Biasspannung auf, die die Ionen in Richtung der Waferoberfläche beschleunigt. Bei genügend großer mittlerer freier Weglänge treffen die Ionen senkrecht auf die Waferoberfläche und tragen zum Materialabtrag bei. Mit dem Verfahren lassen sich sowohl isotrope als auch anisotrope Ätzprofile realisieren. Eine Erweiterung des RIE-Prozess ist der DRIE-Prozess, bei dem anisotrope Ätzprofile großer Tiefe erreicht werden können.

4.2.2 DRIE-Prozess, Bosch-Prozess

Der DRIE-Prozess ist eine Modifikation des RIE-Prozesses. Mittels isotropem Ätzen und Abscheiden von Passivierungsschichten lassen sich anisotrope Strukturen in Silizium ätzen.

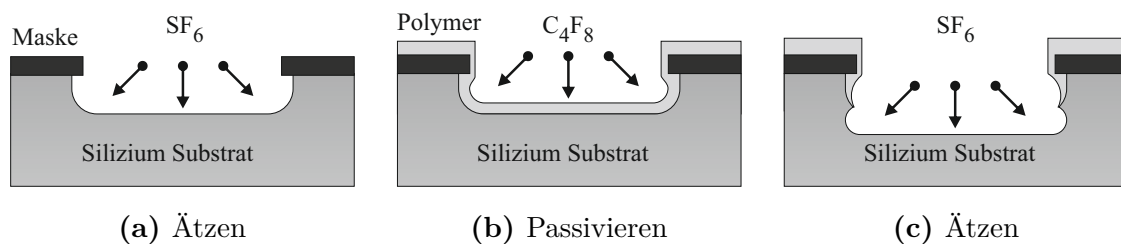


Abbildung 4.2: Schematische Darstellung des Bosch-Prozesses mit einer zyklischen Abfolge von Ätz- und Passivierungsschritten

Beim patentierten Bosch-Prozess wird der DRIE-Prozess in vollständige Teilprozesse zwischen Ätzen und Passivieren aufgetrennt, vgl. Abbildung 4.2. Mittels alter-

nierenden Ätz- und Passivierungszyklen lassen sich anisotrope Strukturen mit sehr hohem Aspektverhältnis in Silizium ätzen [103]. Dabei werden beim Bosch-Prozess hochdichte Plasmen genutzt, die z. B. induktiv eingekoppelt werden (**I**nductively **C**oupled **P**lasma (ICP)). Als fluorhaltiges Ätzgas haben sich Schwefelhexafluorid (SF_6) und als Passivierungsgas Octafluorocyclobutan (C_4F_8) durchgesetzt. C_4F_8 bildet auf dem Substrat eine Teflon[®]-artige Passivierungsschicht (CF_2), insbesondere auch auf den Seitenwänden, die dann vor einem isotropen SF_6 -Ätzschritt geschützt sind. Beim Bosch-Prozess ist das Verhältnis zwischen Ätzen und Passivieren von besonderer Bedeutung. Für ein optimales Ätzprofil müssen Parameter, wie Gaszusammensetzung, Gasfluss, RF-Plasmaleistung, Bias-Spannung, Prozessdruck und Temperatur aufeinander abgestimmt sein. Durch das alternierende Umschalten zwischen Passivieren und Ätzen entsteht eine Seitenwandrauigkeit (Scalloping). Durch Optimierung der Prozessparameter lässt sich die Seitenwandrauigkeit minimieren. Je nach Anwendung oder gewünschtem Ätzprofil lässt sich z. B. die Zykluszeit und der jeweilige Gasfluss verkleinern, um die Seitenwandrauigkeit zu reduzieren [104, 105]. Allerdings werden dabei auch die erreichbare Ätztiefe sowie die Selektivität verringert. Verschiedene Prozessmodifikationen können die Performance des Ätzprozesses beeinflussen. So besteht die Möglichkeit zu dem Prozess Sauerstoff beizufügen. Der Sauerstoff beeinflusst die Schichtdicke des passivierenden Polymers. Eine andere Prozessoptimierung ergibt sich beim Tri-Pulse Prozess, bei dem zunächst im O_2 -Plasma die Polymerschicht auf dem Boden des Ätzprofils entfernt wird, um danach mit SF_6 den Ätzschritt durchzuführen. Da Sauerstoff im Vergleich zu SF_6 die Polymerschicht viel schneller ätzen kann, wird die Ätzrate insgesamt verbessert.

In Abbildung 4.3 werden mögliche Effekte beim Tiefenätzen dargestellt. Für immer tiefere Löcher kann die Entfernung der Polymerschicht am Boden des Ätzprofils durch SF_6 nicht ausreichend sein, so dass die Ätzrate im Laufe des Prozesses abnimmt und dabei das Ätzprofil geändert wird. Bei unterschiedlichen Strukturbreiten wird der sogenannte ARDE-Effekt (**A**spect **R**atio **D**ependent **E**tching) beobachtet, bei dem unterschiedliche Ätzraten je nach Strukturbreite entstehen. Größere Strukturen werden schneller als kleine Strukturen geätzt. Daher ist es teilweise durch eine intendierte Überätzung nötig, die Differenz der Ätzraten zu kompensieren. Ein langes Überätzen kann jedoch, je nach Selektivität des Materials auf dem der Ätzvorgang stoppen soll, zu ungewollten Effekten wie dem sogenannten Notching führen. Dabei handelt es sich um eine Aufweitung der Struktur an der Grenzfläche. Der Effekt wird insbesondere bei ei-

nem Ätzstopp auf dielektrische Materialien beobachtet. Des Weiteren kann es auch bei gleichen Strukturbreiten zu einer Änderung der Ätzrate kommen, wenn die Strukturen in der Nähe einer großen Öffnung platziert sind. An diesen Stellen wird zunächst ein Großteil der meisten Radikale aufgebraucht, so dass diese bei den Nachbarstrukturen fehlen und die Ätzrate reduzieren. Dieser Effekt wird als μ Loading bezeichnet. Durch Kontaminationen im Ätzprofil, z. B. durch Ablagerungen der Passivierung können Maskierungspunkte entstehen, die zur Erzeugung von kleinen Siliziumnadeln (Black Silicon) beitragen. Im Rahmen dieser Arbeit wird ein Tiefenätzter des Typs TegalTM 200 SE DRIE zum Siliziumätzen kleiner Löcher mit hohem Aspektverhältnis genutzt.

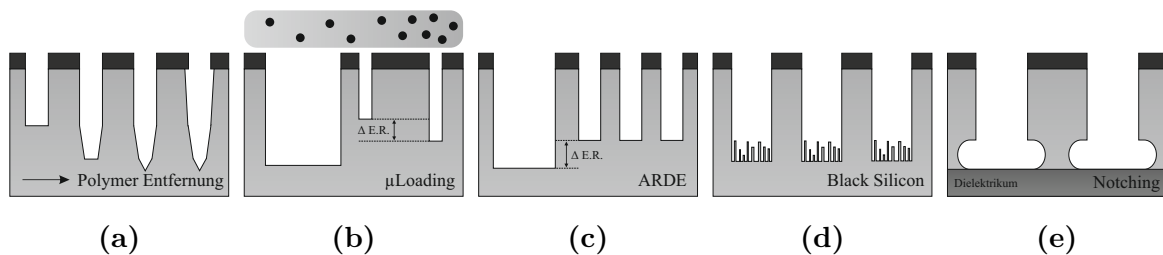


Abbildung 4.3: (a) Unvollständige Polymer-Entfernung mit SF_6 in Löchern mit hohem Aspektverhältnis führt zu einer Änderung des Ätzprofils, (b) μ Loading: Lokale Verteilung von Radikalen an großen Öffnungen bewirkt eine Änderung der Ätzrate, (c) ARDE-Effekt: Große Strukturen werden schneller geätzt als kleine, (d) Lokale Maskierung durch Redepositionen kann zu Black Silicon führen, (e) Notching-Effekt bei Stopp auf Dielektrikum, nach [103]

4.2.3 Ionenstrahlätzen

Das Ionenstrahlätzen (**Ion Beam Etching (IBE)**) ist ein rein physikalisches Trockenätzverfahren, bei dem Material von der Waferoberfläche von hochenergetischen Ionen durch Impulsübertrag abgetragen wird. Dabei werden Argon-Ionen, die z. B. in einem Plasma erzeugt werden, in einem parallelen Strahl auf die Waferoberfläche gerichtet. Mittels eines Gittersystems werden die Ionen auf die gewünschte Ionenenergie aus dem Plasma beschleunigt. Aufgrund ihrer kinetischen Energie und ihres Impulsübertrags können die Ionen andere Teilchen aus dem Substrat freischlagen. Beim Ionenstrahlätzen handelt es sich um ein sehr stark gerichtetes Verfahren, dass zu einem anisotropen Ätzprofil beiträgt. Beim reinen IBE-Verfahren werden unterschiedliche Materialien mit einer vergleichbaren Ätzrate abgetragen, so dass keine hohe Selektivität erreicht werden kann. Zudem wird nur eine geringe Ätzrate erzielt.

Im Rahmen dieser Arbeit wird für den IBE-Prozess eine Anlage des Typs IonSys800 von Roth&Rau eingesetzt. Zur Plasma-Erzeugung wird bei diesem Anlagentyp ein induktives Kopplungsverfahren bei 13,56 MHz genutzt. Neben einer Substratkühlung erlaubt die Anlage auch eine Substratverkipfung sowie eine Substratrotation zur Steigerung der Homogenität. Um eine elektrische Aufladung des Substrats und damit auch eine Repulsion der auftreffenden Ionen zu vermeiden, werden dem Ionenstrom Elektronen zur Neutralisation beigefügt. Das Gittersystem besteht aus dem Abschirmgitter (auf positivem Potential, V_{Beam}), dem Beschleunigungsgitter (auf negativem Potential, V_{acc}) und dem Massegitter (Massepotential) [106]. Die Ionen werden im elektrischen Feld zwischen Abschirmgitter und Beschleunigungsgitter beschleunigt. Das Massegitter dient der Bündelung des Ionenstroms [107]. Abbildung 4.4 zeigt eine schematische Darstellung des Ionenstrahläzlers zusammen mit der Potentialverteilung der Ionen [108]. Die Ionenenergie E_i kann alleine durch die eingestellte Beamspannung V_{Beam} bestimmt werden, da Massegitter und Substrat auf Nullpotential liegen. Unabhängig von der Ionenenergie kann die Ionenstrahldichte über die Plasmaeigenschaften eingestellt werden. Um das Target zum Prozessbeginn vor der Ioneneinwirkung zu schützen, kann ein sogenannter Shutter in den Ionenstrahl ein- und ausgefahren werden. Mit Hilfe eines implementierten Quadrupol-Massenspektrometers (Hiden, HAL-IMP-301/3), das die Teilchenmassen in-situ detektieren kann, kann ein Endpunkt beim Ätz-Prozess bestimmt werden. Ein Nachteil beim reinen IBE-Prozess liegt in der Redeposition vom

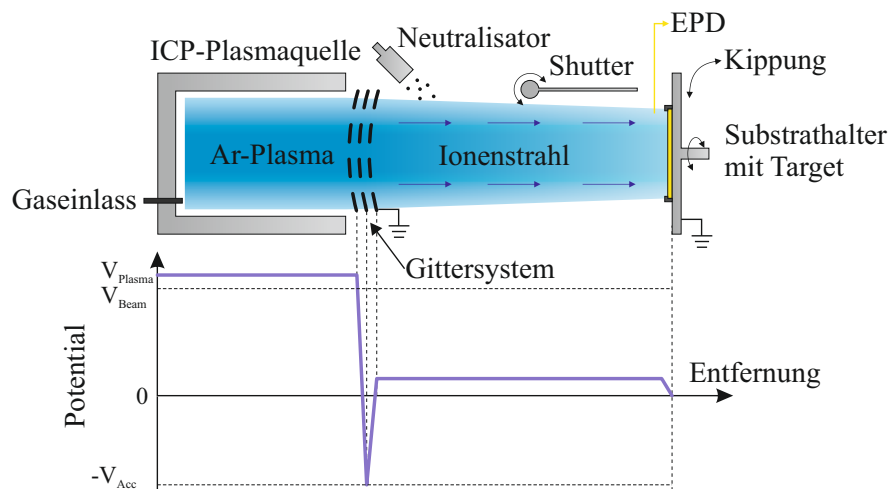
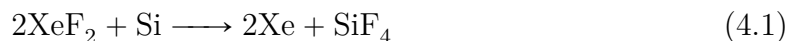


Abbildung 4.4: Prinzipieller Aufbau eines Ionenstrahläzlers mit induktiv eingekoppeltem Plasma. Ein Gittersystem aus Extraktionsgitter und Beschleunigungsgitter formt einen Ionenstrahl, nach [108, 109]

geätzten Material an vertikalen Kanten der Waferoberfläche. Eine Reduzierung dieses Effekts ist prinzipiell durch eine Erweiterung des Ätzprozesses durch eine chemisch reaktive Komponente realisierbar.

4.2.4 Isotropes Trockenätzen

Für die Entfernung eines Opferschichtmaterials zur Freilegung einer MEMS-Struktur (Micro **E**lectro **M**echanical **S**ystems) benötigt man ein isotropes Ätz-Verfahren [110]. Das Opferschichtmaterial sollte dabei rückstandsfrei und hochselektiv gegenüber anderen Materialien des Trägersubstrats ätzbar sein. Als Opferschichtmaterial bietet sich neben Silizium und Poly-Silizium insbesondere amorphes Silizium an, da hier eine hohe Opferschichtdicke erreicht werden kann. Xenondifluorid (XeF_2) kann Silizium mit hoher Rate über die Reaktion



ätzen [111], wobei das feste XeF_2 mit Hilfe eines Trägergases bereits bei Raumtemperatur sublimiert und im Prozess zur Verfügung steht. Ein plasmaaktivierter Prozess ist nicht erforderlich. Aufgrund der sehr hohen Selektivität von XeF_2 zu Dielektrika wie SiO_2 oder Si_3N_4 , sowie einer hohen Selektivität gegenüber Aluminium-Metallisierungen, eignet sich XeF_2 insbesondere für CMOS-kompatible Prozesse. Für das isotrope Ätzen mit XeF_2 haben sich zwei Methoden durchgesetzt [112]. Im ersten Fall wird in einer Vakuumkammer immer nur eine bestimmte Gasmenge eingeleitet, die nach einer endlichen Zeit vollständig mit Silizium reagiert. Die Kammer wird erneut abgepumpt und mit XeF_2 gefüllt, wobei dieser Prozess alternierend abläuft. Im zweiten Fall wird das Ätzgas kontinuierlich in die Prozesskammer geleitet, die mit Ventilen unter einem definierten Druck gehalten wird. Nach einer bestimmten Ätzzeit wird der Zufluss von XeF_2 gestoppt. Im Rahmen dieser Arbeit wurde das isotrope XeF_2 -Ätzen mit einer Anlage der Firma MemStar durchgeführt. Für eine hohe Homogenität ist die Anlage mit einem sogenannten Showerhead zur gleichmäßigen Gasverteilung ausgestattet. XeF_2 wurde kontinuierlich mit Hilfe von Stickstoff als Trägergas in die Kammer eingeleitet. Nach dem Ätzvorgang kann die Kammer mit einem Inertgas gespült werden.

5 Basis-CMOS-MEA

Die Anordnung, die Größe und der Abstand der Einzelelektroden eines Multi-Elektroden-Arrays (MEA) sind von entscheidender Bedeutung für eine erfolgreiche Anregung von Nervenzellen. Zum einen möchte man möglichst viele kleine Elektroden für eine höhere Ortsauflösung nah bei den Nervenzellen anordnen, zum anderen besteht in diesem Fall die Problematik, dass die Nervenzellen dann von mehreren Elektroden gleichzeitig stimuliert werden. Eine Separation des Stimulationsvorgangs durch Einzelelektroden ist nur dann möglich, wenn ein möglichst kleiner Abstand der Nervenzellen zur Elektrode hergestellt werden kann. Verkleinert man jedoch die Elektrodenflächen wird auch die Elektrodenkapazität reduziert. Aus diesem Grund ist eine Vergrößerung der Elektrodenoberfläche bei gleichzeitiger Reduzierung des Elektrodendurchmessers wünschenswert.

Im ersten Abschnitt dieses Kapitels wird eine analytische Lösung für die Berechnung einer Ladungsverteilung gegeben. Anhand einer vereinfachten Simulation wird die Notwendigkeit unterschiedlicher Elektrodenkonfigurationen diskutiert. Im zweiten Abschnitt dieses Kapitels wird das Layout des Multi-Elektroden-Arrays vorgestellt. Die Herstellung der planaren Multi-Elektroden-Arrays, im Weiteren Basis-CMOS-MEA genannt, wird im darauffolgenden Teilabschnitt beschrieben. Nach dem Herstellungsprozess erfolgt eine einfache Funktionsprüfung der Basis-CMOS-MEA. Einzelne Varianten des Basis-CMOS-MEA werden mit einer zusätzlichen Passivierungsschicht versehen.

5.1 Elektrostatische Feldverteilung

Betrachtet man das Potential einer Einzelelektrode wie das Potential einer begrenzten Ladungsverteilung, so kann das Potential in einem beliebigen Punkt durch Multipole entwickelt werden. Für das Potential φ einer beliebigen Ladungsverteilung $\rho(\mathbf{r})$ gilt

$$\varphi(\mathbf{r}) = \frac{1}{4\pi\epsilon_0} \int \frac{\rho(\mathbf{r}')}{|\mathbf{r} - \mathbf{r}'|} d^3r' \quad (5.1)$$

Mit einer Taylorentwicklung des Integranden

$$\begin{aligned} \frac{1}{|\mathbf{r} - \mathbf{r}'|} &= \exp(-\mathbf{r}' \cdot \nabla) \frac{1}{r} = \frac{1}{r} - (\mathbf{r}' \cdot \nabla) \frac{1}{r} + \frac{1}{2} (\mathbf{r}' \cdot \nabla)^2 \frac{1}{r} \pm \dots \\ &= \frac{1}{r} + \frac{\mathbf{r}' \cdot \mathbf{r}}{r^3} + \frac{3(\mathbf{r}' \cdot \mathbf{r})^2 - r'^2 r^2}{2r^5} + \dots \end{aligned} \quad (5.2)$$

folgt für eine Extrapolation des Potentials in Gleichung 5.1 der Ausdruck

$$\begin{aligned} 4\pi\epsilon_0\varphi(\mathbf{r}) &= \frac{1}{r} \int \rho(\mathbf{r}') d^3r' + \frac{1}{r^3} \mathbf{r} \cdot \int \mathbf{r}' \rho(\mathbf{r}') d^3r' + \\ &+ \frac{1}{2r^5} \int \rho(\mathbf{r}') (3(\mathbf{r} \cdot \mathbf{r}')^2 - r'^2 r^2) d^3r' + \dots \end{aligned} \quad (5.3)$$

Fasst man die einzelnen Summanden in ihrem Monopol-, Dipol- und Quadrupol-Term zusammen, folgt für die Potential-Entwicklung

$$4\pi\epsilon_0\varphi(\mathbf{r}) = \frac{q}{r} + \frac{\mathbf{r} \cdot \mathbf{p}}{r^3} + \frac{1}{2} \sum_{i,j} Q_{ij} \frac{x_i x_j}{r^5} \quad (5.4)$$

Dabei beschreibt Q_{ij} das Quadrupolmoment, das aus dem letzten Summanden in der Gleichung 5.3 zusammengefasst wurde

$$Q_{ij} = \int \rho(\mathbf{r}') (3x'_i x'_j - r'^2 \delta_{ij}) d^3r' \quad (5.5)$$

Die Ladungsverteilung wirkt, betrachtet aus sehr weit entfernten Punkten, wie eine Punktladung, da in diesem Fall nur der erste $1/r$ Term der Multipol-Entwicklung in die Betrachtung einbezogen wird. Für Punkte, die nah an der Ladungsverteilung liegen, müssen auch die anderen Terme einbezogen werden, wobei der Dipolterm proportional mit $1/r^2$ abfällt. Falls die Gesamtladung $Q = 0$ ist, so z. B. bei zwei gegenüberliegenden Punktladungen mit Ladung $-q$ und $+q$, dominiert nur das Dipolmoment in der Potentialentwicklung.

Die Potentialverteilung beliebiger Elektrodenkonfigurationen kann mit Hilfe numerischer Verfahren gelöst werden. Damit ist es im Prinzip möglich das Potential in unmittelbarer Nähe der Elektroden abzuschätzen. In Abbildung 5.1 sind die Ergebnisse einer Simulation von 9 angeordneten Einzelelektroden mit einem Durchmesser von $30 \mu\text{m}$ und einem Abstand von $70 \mu\text{m}$ dargestellt. Die Elektroden liegen alle auf dem selben Potential von 1 V. Das Massepotential liegt auf der Gegenelektrode, die in einem Abstand von $500 \mu\text{m}$ über dem Si_3N_4 -Substrat positioniert ist. Die betrachteten Schnittebenen durch das elektrische Potential liegen in einem Abstand von $10 \mu\text{m}$ (a) und $50 \mu\text{m}$ (b) über der Substrat-Oberfläche. Es ist deutlich zu erkennen, dass eine

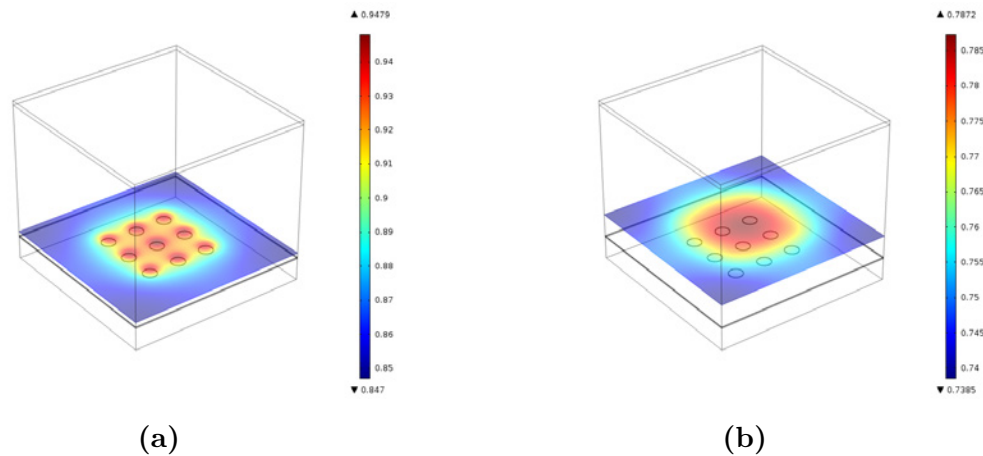


Abbildung 5.1: Simulation der elektrostatischen Potentialverteilung eines 3×3 Multi-Elektroden-Arrays. (a) Schnittebene nah an den Elektroden, (b) Schnittebene in großer Entfernung zu den Elektroden

Separation des Potentials nur in unmittelbarer Elektrodennähe möglich ist. Um den Einfluss der Elektrodengröße und des Abstands auf die Charakterisierung mittels elektrochemischer Impedanzspektroskopie und Cyclovoltammetrie zu untersuchen, wurden in dieser Arbeit unterschiedliche Layouts von Multi-Elektroden-Arrays realisiert.

5.2 Layout der Multi-Elektroden-Arrays

Beim Entwurf des Basis-CMOS-MEA wurden unterschiedliche Randbedingungen, die sich aus den Ergebnissen der im Kapitel 3.5 evaluierten Technologie 'Bulk-Substrat mit Wolfram-Metallisierung' ergeben, beachtet. Die kleinste Strukturbreite, d. h. die Via-Kontakte zwischen den Metallisierungsebenen, liegt bei $0,8 \mu\text{m}$. Die Metallisierung der Verdrahtungsebene und der Vias besteht aus hochtemperaturstabilem Wolfram. Die oberste Metallisierung der Elektrodenflächen und der Kontaktpads besteht aus Ti/TiN, da einerseits dieses Material bereits als biokompatibles Stimulationselektrode in der Literatur [113, 114] bekannt ist und andererseits eine direkte Abscheidung von Kohlenstoff-Nanoröhrchen (vgl. Kapitel 6.2) erlaubt. Sehr große Metallflächen, die sich beim Hochtemperaturschritt aufgrund des thermischen Stress als nachteilig erwiesen haben, sind beim Design des Chips durch kleine zusammenhängende Metallflächen ersetzt worden. Die jeweilige Metallabdeckung aller Chips liegt bei $\approx 30\%$. Thermische Stresspunkte an Kanten der Passivierung werden durch eine planarisierte Oberfläche

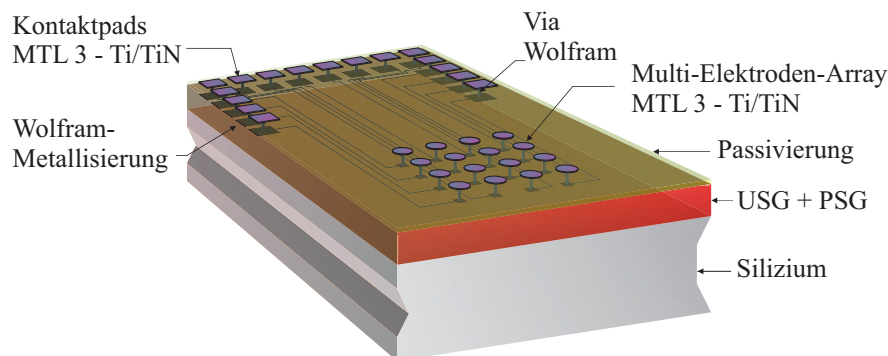


Abbildung 5.2: Schematische Darstellung des Basis-CMOS-MEA mit reduzierter Elektrodenzahl und nicht maßstabgerechten Schichtdicken. Der Fertigungsprozess des Basis-CMOS-MEA umfasst einen 3 Masken Prozess mit Wolfram-Verdrahtung, planarisiertem Substrat und Ti/TiN-Elektroden. Das Basis-CMOS-MEA dient als Plattform für weitere Post-CMOS-Prozesse.

verringert. Um für spätere Projekte einen epiretinalen Stimulatorchip [115] mit dem Multi-Elektroden-Array zu kombinieren, ist die Anzahl von einzeln ansteuerbaren Elektroden auf 25 limitiert. Für die Integration von Referenz- und Gegenelektrode sind weitere 2 Pads der 27 Anschlüsse reserviert, die auch dazu genutzt werden können, um nicht explizit genutzte Elektroden auf ein gemeinsames Potential zu legen. Um eine hohe Integrationsdichte der Elektroden zu simulieren, sind neben den Einzelelektroden auch Elektroden-Cluster von jeweils 4×4 Einzelelektroden als Elektrodenvariante vorgesehen. Die Größe ($95 \mu\text{m} \times 95 \mu\text{m}$) und der Abstand ($50 \mu\text{m}$) der Kontaktpads sind aufgrund der Randbedingungen in der Aufbau- und Verbindungstechnik festgesetzt. Jede Chip-Variante ist in 2 Regionen aufgeteilt, vgl. Abbildung 5.2. Die linke Seite beinhaltet den Anschlussbereich des Chips, inklusive der Justier- und Alignment-Kontrollen für Post-CMOS-Prozesse. Die rechte Seite besteht aus dem eigentlichen Sensorbereich, d. h. aus den Elektrodenflächen. Die Leiterbahnbreite beträgt $3 \mu\text{m}$ und der gegenseitige Leiterbahnabstand liegt bei $10 \mu\text{m}$. Auch wenn die Technologie prinzipiell eine höhere Integrationsdichte zulässt, wurde die Leiterbahnbreite so gewählt, dass Kontaktabrisse, z. B. durch Elektromigration oder durch den thermischen Stress eines Hochtemperaturschrittes, vermieden werden. Der relativ große Leiterbahnabstand soll

ein elektrisches Übersprechen, gerade bei den hochfrequenten Messungen der elektrochemischen Impedanzspektroskopie verhindern.

Für die Einzelelektroden und für die Elektroden-Cluster wurden insgesamt 19 Varianten konstruiert, vgl. Abb. 5.3. Neben der Elektrodengröße wird auch der Elektrodenabstand variiert. Zusätzlich sind MEA-Varianten mit der Möglichkeit zur Integration von Referenz- und Gegenelektrode integriert. Ein Chip des Retikels wird für lithografische Zwecke, d. h. zur Bereitstellung von Justierkreuzen und Kontrollstrukturen reserviert. In Tabelle 5.1 sind die unterschiedlichen Elektrodenkonfigurationen aufgelistet. Tabelle 5.2 gibt eine Übersicht über die verwendeten Masken, die auch in einem späteren Post-CMOS-Prozess zum Einsatz kommen.

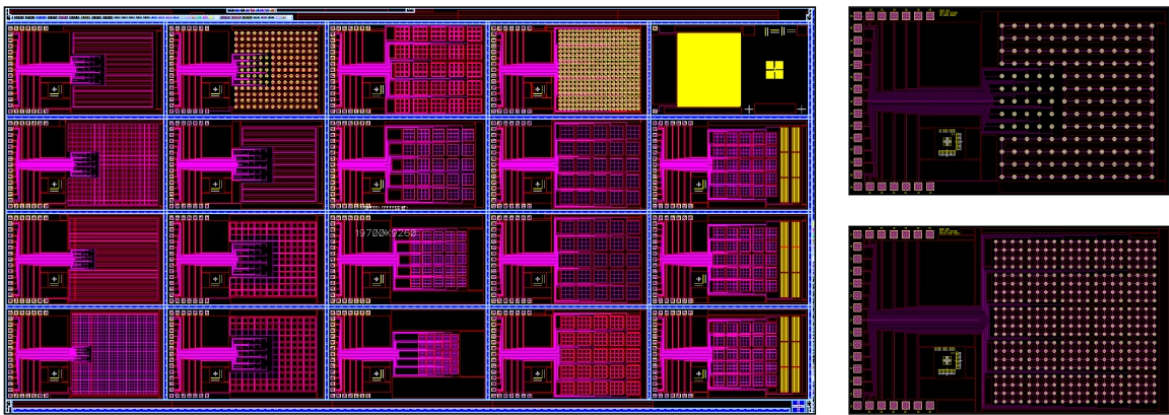


Abbildung 5.3: Unterschiedliche Elektrodenkonfigurationen für Basis-CMOS-MEA. Variation des Durchmessers und des Abstands für Einzelelektroden und Elektroden-Cluster

Einzelelektroden		Elektroden-Cluster	
Durchmesser [μm]	Abstand [μm]	Durchmesser [μm]	Abstand [μm]
50	70	20	50
50	90	20	70
50	110	20	90
50	130	20	110
10	150	20	100
30	150	40	100
50	150	60	100
70	150	80	100

Tabelle 5.1: Basis-CMOS-MEA Varianten. Die kleinste Elektrodengröße beträgt 10 μm , die GröÙte 80 μm . Der Abstand variiert von 50 μm bis 150 μm

Maske	Stepper	Polarität	Verwendungszweck
M	Nikon	Hellfeld	Strukturierung Wolfram Verdrahtungsebene (Metall 2)
O	Nikon	Dunkelfeld	Wolfram Via 2 zwischen Metall 2 und Metall 3
Q	Nikon	Hellfeld	Strukturierung Ti/TiN Elektroden und Kontaktpads (Metall 3)
F	ASML	Dunkelfeld	Öffnung Elektrodenflächen (Zusatzpassivierung)
H	ASML	Dunkelfeld	Öffnung Pads+Sägerahmen (Zusatzpassivierung)
SA	ASML	Dunkelfeld	Löcherarray Nano-Rasen 0,4 μm
SB	ASML	Dunkelfeld	Löcherarray Nano-Rasen 0,8 μm (optional)
SP	ASML	Hellfeld	Strukturierung für Pad-Metallisierung (optional)
SL	ASML	Hellfeld	Lift-Off für Elektrodenflächen (Katalysator)

Tabelle 5.2: Masken für Lithografie-Schritte des Basis-CMOS-MEA und Post-CMOS-Prozesse

5.3 Herstellung des Basis-CMOS-MEA

Das Multi-Elektroden-Array wurde im Halbleiterwerk der ELMOS Semiconductor AG und des Fraunhofer IMS auf einem 200 mm Bulk-Substrat Wafer gefertigt. Da das Multi-Elektroden-Array selbst nur CMOS-kompatibel sein soll, werden in dieser Arbeit die FEOL-Prozessschritte (**Front-End-of-Line**), d. h. die Prozesse, die zur Fertigung der elektrisch aktiven Bauelemente (Transistoren, Kondensatoren, EEPROMS) dienen, nicht prozessiert. Der Fertigungsprozess der Multi-Elektroden-Arrays setzt erst mit dem sogenannten BEOL (**Back-End-of-Line**), also der Herstellung der Verdrahtungsebenen ein. Das Basis-CMOS-MEA, das als Plattform für spätere Post-CMOS Prozesse dient, wird in der Technologie 'Bulk-Substrat mit Wolfram-Metallisierung' gefertigt. Die kleinste Strukturgröße in dieser Technologie beträgt 0,8 μm . In Abbildung 5.4 ist der Fertigungsprozess des Basis-CMOS-MEA skizziert. Um eine elektrische Isolierung der Metallisierung vom Substrat zu gewährleisten, wird in einem ersten Prozessschritt mit einer chemischen Gasphasenabscheidung eine ca. 750 nm dicke SiO_2 -Schicht auf dem Bulk Substrat erzeugt. Im nächsten Schritt wird die Wolfram-Metallisierung ebenfalls durch ein CVD-Prozess hergestellt. Auf einem dünnen Liner aus Ti/TiN, der als Haftschiicht der Wolfram-Schicht auf dem Oxid fungiert, wird durch die Reaktion $\text{WF}_6 + 3 \text{H}_2 \longrightarrow \text{W} + 6 \text{HF}$ eine dünne Wolfram-Metallisierung erzeugt. Die Wolfram-Schicht wird anschließend durch eine Fototechnik im Positiv-Verfahren strukturiert. Nach dem automatischen Belacken des Wafers mit Positiv-Fotolack, wird in einem Belichtungsprozess die Maske der unteren Metall-Ebene, d. h. Kontaktpads, Leiterbah-

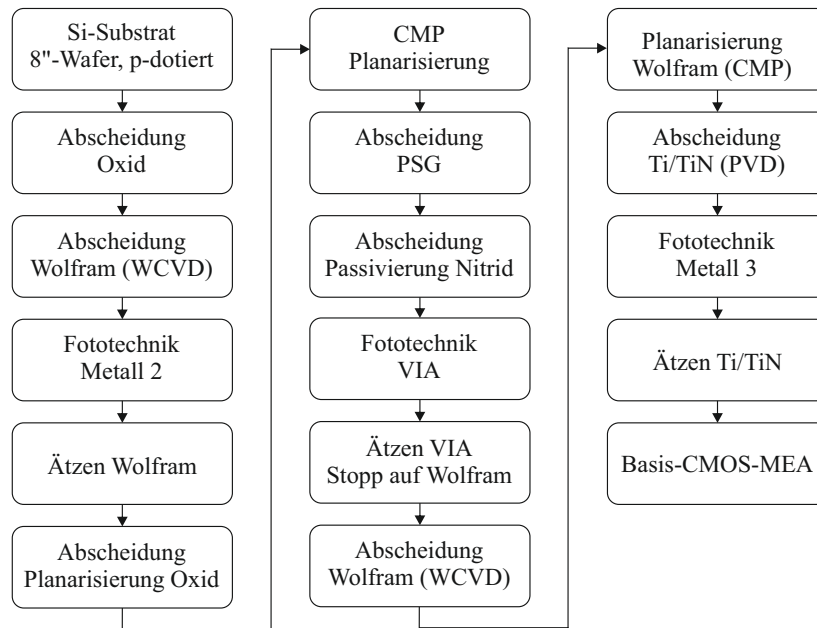


Abbildung 5.4: Fertigungsprozess des Basis-CMOS-MEA, 3 Maskenebenen

nen und Elektrodenflächen, in den Fotolack übertragen. Die belichteten Bereiche des Positivlacks werden durch den Entwickler gelöst. Die Wolfram-Schicht wird nun mit Hilfe von Schwefelhexafluorid SF_6 , welches bei der chemischen Reaktion das metallische Wolfram erneut in eine Gasphase umwandelt, mittels eines Plasma-Ätzprozesses (RIE) auf dem Wafer strukturiert. Nach einer Kontrolle der geätzten Struktur kann der restliche Fotolack durch Veraschen im Sauerstoff-Plasma entfernt werden (vgl. Abb. 5.5a). Für Polymer- und Resteentfernung, wird nach jedem Veraschen eine nasschemische Reinigung mit EKC265 auf den Substraten durchgeführt.

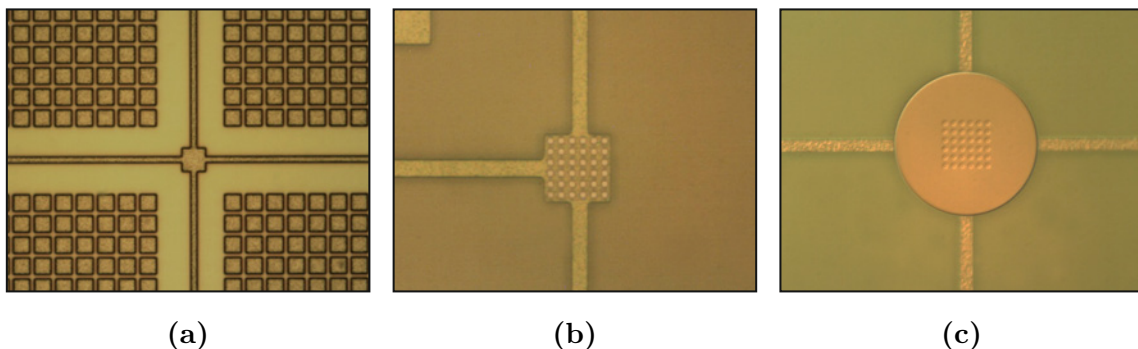


Abbildung 5.5: Optische Mikroskopie von: (a) strukturierte Wolfram-Metallisierung in Metall 2, (b) Via-Kontakte aus Wolfram, (c) fertig prozessierte Ti/TiN Elektrodenfläche (Metall 3)

Um eine planarisierte Oberfläche zu erhalten, wird in einem ersten Schritt eine dicke Oxid-Schicht ($\approx 2\ \mu\text{m}$) mittels eines CVD-Prozesses auf dem Wafer abgeschieden. Mit steigender Oxiddicke werden Kanten, die aufgrund der Stufenbedeckung der Wolfram-Metallisierung entstehen, ausgeglichen. Für die Planarisierung der Wafer-Oberfläche wird die dicke Oxid-Schicht auf eine Zieldicke von 500 nm chemisch-mechanisch poliert (**C**hemical **M**echanical **P**olishing (CMP)). Die Oxid-Dicke wird dabei mit Hilfe der Ellipsometrie gemessen. Nach einem weiteren Reinigungs-Schritt wird auf dem planarisiertem Substrat eine ca. 200 nm dicke Schicht aus Phosphorsilikatglas (PSG) abgeschieden. PSG zerfließt bei hohen Temperaturen und reduziert den Stress im Oxid. Daher findet es Anwendung bei der Herstellung einer Passivierungsschicht. Als endgültiges Passivierungsmaterial dient Siliziumnitrid, das mit einer Dicke von ca. 750 nm auf dem Schichtstapel deponiert wird. Die Passivierung schützt den Chip vor Kontamination mit Wasser und Alkaliionen. Um einen Kontakt mit der unteren strukturierten Wolfram-Metallisierung herzustellen, werden kleine Via-Kontaktlöcher mit einem Durchmesser von $0,8\ \mu\text{m}$ durch den Siliziumnitrid-, PSG- und USG-Schichtstapel geätzt. Zunächst werden die zu ätzenden Bereiche mit einer weiteren Fototechnik auf dem Wafer definiert. Der eigentliche Ätzschritt durch den Schichtstapel mit Stopp auf Wolfram wird durch einen Plasma-Ätzschritt vorgenommen. Nach einer erfolgreichen Kontrolle des Ätzprozesses wird der restliche Fotolack durch einen Veraschungsschritt und eine anschließende nasschemische Reinigung vollständig entfernt. Die Kontaktlöcher werden mit Hilfe einer dicken Wolfram-Abscheidung gefüllt. Die Wolfram-Schicht wird über einen CMP-Schritt soweit poliert, dass nur noch die separierten, gefüllten Wolfram-Plugs auf dem Wafer übrig bleiben (vgl. Abb. 5.5b). Die oberste Metallisierung der eigentlichen Elektrodenflächen und der Kontaktpads aus Ti/TiN wird durch einen PVD-Prozess auf dem Wafer abgeschieden. Die Schichtdicken betragen 20 nm Ti und 40 nm TiN. Die oberste Ti/TiN Metallisierung wird wiederum durch eine Fototechnik maskiert und durch einen Plasma-Ätzprozess strukturiert. Nach Entfernung der Lackreste ist das Basis-CMOS-MEA vollständig prozessiert und steht für die Post-CMOS Bearbeitung zur Verfügung (vgl. Abb. 5.5c). Dies umfasst die Prozessierung einer zusätzlichen Oberflächenpassivierung aus Tantalpentoxid (Ta_2O_5), beschrieben im Kapitel 5.5. Darüber hinaus wird im Kapitel 6.6 die Herstellung von Kohlenstoff-Nanoröhren auf dem Basis-CMOS-MEA durchgeführt. Die Post-CMOS Modifizierung der Elektrodenoberfläche mit einem Ruthenium-Nano-Rasen wird im Kapitel 7 erläutert. Zudem wird im Kapitel 8 eine Beschichtung der Elektrodenoberflächen mit

Standard-Elektrodenmaterialien wie Gold, Platin sowie Iridium im Lift-off Verfahren vorgenommen. Für die unterschiedlichen Varianten des Basis-CMOS-MEA müssen verschiedene Konzepte der Aufbau- und Verbindungstechnik (AVT) realisiert werden. Im Kapitel 9 wird daher zunächst in einem Post-CMOS-Prozess eine Aluminium-Padmetallisierung vorgestellt, die auf einzelnen Varianten das Basis-CMOS-MEA zur einfachen Drahtkontaktierung prozessiert wird.

5.4 Überprüfung des Herstellungsprozesses

Für den Basis-CMOS-MEA wurden zwei CMOS-Technologien miteinander kombiniert, die jeweils unterschiedliche minimale Strukturbreiten aufweisen. Besonders die Via-Kontakte zwischen Metall 2 (Wolfram) und Metall 3 (Ti/TiN) weisen in beiden Technologien einen anderen Durchmesser auf. Während für die reine Wolfram-Hochtemperatur Technologie der Durchmesser 1 μm beträgt, wurde das Basis-CMOS-MEA mit 0,8 μm breiten Vias hergestellt. Beim Ätzen der Kontaktlöcher durch den Si_3N_4 -PSG-USG Schichtstapel kann es daher zu dem unerwünschten Fall kommen, dass kein elektrischer Kontakt zur Wolfram-Metallisierung hergestellt wird. Daher wurde die Metallisierung des Basis-CMOS-MEA nach dem Herstellungsprozess an einzelnen Dies (ungehäuste Einzelchips) geprüft. Die Metallisierung des Basis-CMOS-MEA wurde mittels Rasterelektronenmikroskopie (REM) inspiziert, vgl. Abbildung 5.6. Es zeigt sich, dass die Wolfram-Plugs vollständig ohne Ausbildung von Voids (eingeschlossene Hohlräume) gefüllt wurden. Ebenso ist ein leitender Kontakt des Plugs zwischen Ti/TiN-Elektrode und der untersten Wolfram-Metallisierung in der REM-Analyse zu erkennen. Abbildung 5.6c zeigt zudem, dass sich über den Wolfram-Plugs und der Ti/TiN-Elektrode aufgrund des chemisch-mechanischen Polierschrittes eine Kante von wenigen Nanometern ausbildet.

Neben der REM-Analyse wurden an unterschiedlichen Proben Widerstandsmessungen an dem Basis-CMOS-MEA vorgenommen. Mit Hilfe eines manuellen Mikroprobers wurde an vereinzelt Dies eine Strom-Spannungskennlinie zwischen Kontakt-Pad und Elektrode aufgezeichnet. Abbildung 5.7 zeigt die IV-Kennlinie der Messung sowie die ohmschen Widerstände von 3 Stichproben. Da die Kontaktierung der Messnadeln die Oberfläche des Wafers zerkratzen kann, wurde auf einen erhöhten Stichprobenumfang verzichtet. Der Leitungswiderstand von Kontaktpad zu Elektrode wurde zu $R = 203 \Omega$ bestimmt. Für die Wolfram-Metallisierung ($\rho = 0,056 \Omega\text{mm}^2/\text{m}$) berechnet sich der

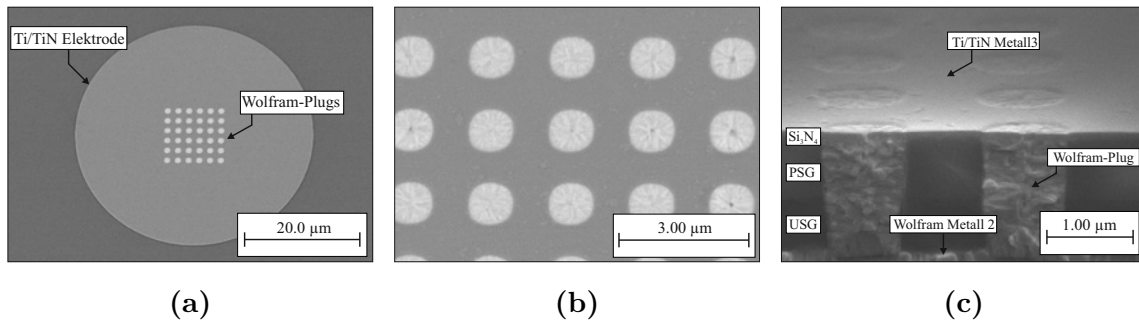


Abbildung 5.6: Rasterelektronenaufnahme des Basis-CMOS-MEA: (a) Kontrolle der Ti/TiN Abscheidung, (b) Kontrolle der Wolfram-Plugs auf Voids, (c) Kontrolle auf vollständig gefüllte Wolfram-Plugs und der Metallisierung

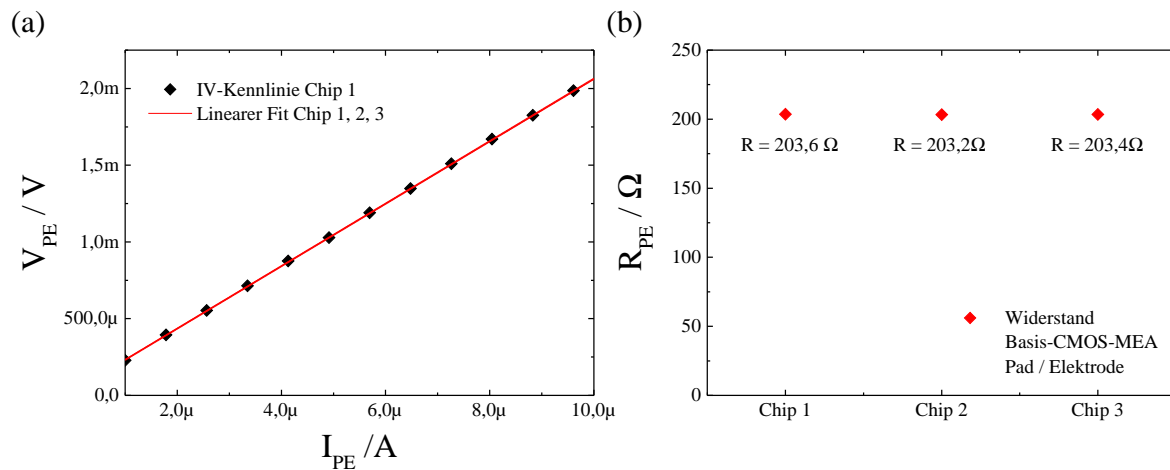


Abbildung 5.7: Elektrische Funktionsprüfung des Basis-CMOS-MEA mittels Widerstandsmessung zwischen Kontaktpad und Elektrode an einem Spitzenmessplatz. Der Widerstand R_{PE} wurde bei drei Proben zu 203Ω bestimmt.

Widerstandswert bei einer Schichtdicke von 500 nm , $3 \mu\text{m}$ breiten Leiterbahnen der Länge $2100 \mu\text{m}$ theoretisch zu $78,4 \Omega$. Der experimentell gemessene Widerstandswert und der theoretisch abgeschätzte Widerstand unterscheiden sich um einen Faktor 2,6. Der Unterschied zwischen theoretisch und experimentell bestimmten Widerstandswert lässt sich aufgrund zusätzlicher Widerstandsbeiträge der Vias, der TiN-Schichten sowie der Zuleitungen erklären.

5.5 Passivierung des Basis-CMOS-MEA

Die Passivierungsschicht einer integrierten Schaltung besteht heutzutage meistens aus einem $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Schichtstapel. Dabei wird die $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Schicht mittels CVD auf die Substrate abgeschieden, bevor auf diesem die Anschlusskontakte geöffnet und eine abschließende Formiergastemperung durchgeführt wird. Im Falle des planarisierten Basis-CMOS-MEAs ist die $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Passivierungsschicht vor dem Kontaktlochätzen, der Wolfram-Füllung (Wolfram-CVD, CMP) und der Strukturierung der Ti/TiN-Metallisierung durchgeführt worden, vgl. Abschnitt 5.3. Siliziumnitrid zeigt aufgrund seines dielektrischen Verhaltens eine ausgezeichnete elektrische Passivierung der integrierten Bauelemente. Es dient zusätzlich als Diffusionsbarriere für Ionen, wie z. B. Natrium und Kalium. In der Literatur wird von einer hohen Biokompatibilität von Si_3N_4 -Schichten berichtet [116, 117], so dass diese auch zur Passivierung von Multi-Elektroden-Arrays eingesetzt wird. Allerdings ist auch bekannt [118], dass sich Siliziumnitrid und Siliziumoxid allmählich in Wasser auflösen. So reagiert Si_3N_4 mit H_2O unter Freisetzung von Ammoniak (NH_3) zu SiO_2 . Siliziumoxid verbindet sich mit H_2O zu Monokieselsäure ($\text{Si}(\text{OH})_4$). Die chemischen Reaktionen führen zu einer immer stärkeren Degradation der Passivierungsschicht, insbesondere auch unter Einfluss einer elektrischen Beaufschlagung, wie sie z. B. bei einem Multi-Elektroden-Array stattfindet. Maloney et al. [119] haben die Biostabilität einer $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Passivierung eines Bioimplantates in vivo untersucht. Es zeigte sich, dass die Si_3N_4 -Schicht mit einer Rate von bis zu 3,5 nm/d geätzt wird. In einer Arbeit von Betz [120] wurde die Degradation einer mit PECVD erzeugten $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Schicht (750 nm/500 nm) unter beschleunigtem Altern untersucht. Die Proben wurden dabei in einem Autoklaven bei einer Temperatur von 164 °C für 46 h in phosphatgepufferte Salzlösung (PBS) gelagert. Nach der Behandlung zeigte sich eine vollständig geätzte Passivierungsschicht und sogar eine Ätzung des Si-Substrates von bis zu 8 μm . Der Schichtabtrag einer reinen Si_3N_4 -Schicht wurde zu 3,8 $\mu\text{m}/\text{a}$ extrapoliert. In der gleichen Arbeit wurde weiterhin eine hochkonforme Tantalpentoxid-Schicht, die als zusätzliche Passivierungsschicht auf einer Si_3N_4 -Schicht abgeschieden wurde, auf ihre Biostabilität untersucht. Die Ta_2O_5 -Schicht ist dabei mittels ALD prozessiert worden. Die Ergebnisse zeigen eine erhebliche Verbesserung der Passivierungseigenschaften durch die hochkonforme Ta_2O_5 -Schicht. So untersuchte Betz mittels Rasterelektronenmikroskopie verschiedene Ta_2O_5 -passivierte Proben, die bei 160 °C für 234 h und bei 250 °C für 18 h im PBS gefüllten Autoklaven gelagert

wurden. Es zeigte sich in beiden Fällen eine sehr hohe Biostabilität im untersuchten Elektrolyten. Eine Degradation der Tantalpentoxid-Schicht nach der Lagerung im Autoklaven wurde nicht festgestellt.

Die hohe Biostabilität und die ausgezeichnete Passivierungseigenschaft von Tantalpentoxid motivierte auch in der vorliegenden Arbeit die Prozessierung einer hochkonformen, passivierenden ALD-Schicht für den Basis-CMOS-MEA. Einzelne Varianten des Basis-CMOS-MEA wurden daher mit einer zusätzlichen Ta_2O_5 -Passivierungsschicht versehen. Dabei ist zu beachten, dass die Deposition nur ganzflächig auf Wafer-Ebene durchgeführt und anschließend die Kontakte und die Elektrodenflächen geöffnet wurden. Eine vollständige Verkapselung des kompletten MEA-Chips mit Ta_2O_5 wurde nicht durchgeführt. In Abbildung 5.8 ist der Prozessablauf illustriert.

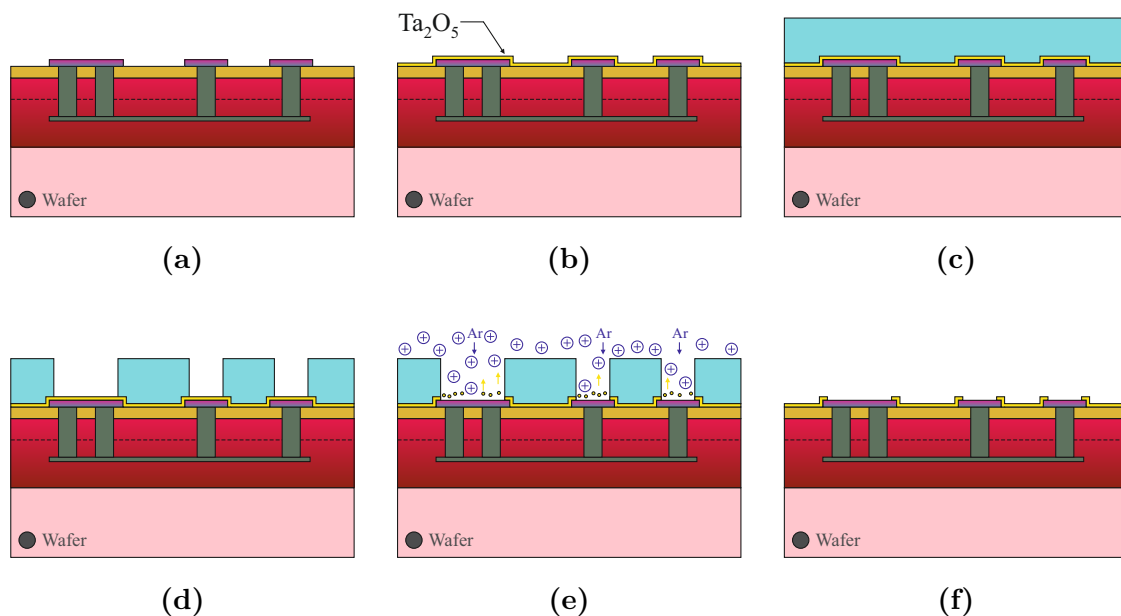


Abbildung 5.8: Prozessablauf zur Passivierung des Basis-CMOS-MEA: (a) Basis-CMOS-MEA auf Wafer-Ebene, (b) Atomic-Layer-Deposition einer Ta_2O_5 -Schicht, (c) Belackern des Wafers mit Positiv-Fotolack, (d) Belichten und Entwickeln des Fotolacks, Öffnung der Elektrodenflächen und Kontaktpads, (e) Strukturierung der Ta_2O_5 -Schicht mit Hilfe des Ionenstrahlätzens (Ar-Ionen), (f) passivierter Basis-CMOS-MEA nach Veraschen des Fotolacks und Reinigungsschritt

Als Ausgangssubstrat dient das planarisierte Basis-CMOS-MEA mit $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Passivierung. Im ersten Schritt wird mittels einer Atomlagenabscheidung eine 40 nm dicke, hochkonforme Tantalpentoxid-Schicht mit Hilfe der Precursoren $\text{Ta}(\text{OEt})_5$ und H_2O auf dem Wafer ganzflächig abgeschieden. Die Prozesstemperatur liegt bei 275°C .

Die Schicht wird mit Hilfe der Fotolithografie maskiert und über einen Ätzschritt strukturiert. Die Dunkelfeld-Maske öffnet den Bereich über den Elektrodenflächen und den Anschlusskontakten für einen Ätzschritt. Dabei wurde ein Überlapp von $4\ \mu\text{m}$ über den Anschlusskontakten und $0,8\ \mu\text{m}$ über den Elektrodenflächen bei der Erstellung der Maske eingeplant. Tantalpentoxid ist prinzipiell über reaktives Ionenätzen (RIE) mit einem CF_4 -Plasma strukturierbar [121]. Im konkreten Anwendungsfall besteht jedoch die Problematik, dass die $40\ \text{nm}$ dünne Titannitrid-Schicht, die sich unterhalb der Ta_2O_5 -Schicht befindet, ebenfalls mit niedriger Selektivität geätzt wird. Aus diesem Grund wurde die Strukturierung der Ta_2O_5 Schicht mittels Ionenstrahlätzen durchgeführt, da hier die Möglichkeit besteht, bei geringer Ätzrate einen definierten Endpunkt über ein implementiertes Massenspektrometer zu bestimmen. Bei einem eingestellten Ionenstrom von $400\ \text{mA}$, einer Beamspannung von $300\ \text{V}$ und einer Beschleunigungsspannung von $190\ \text{V}$ wurde mittels Ionenstrahlätzen die $40\ \text{nm}$ dicke Ta_2O_5 -Schicht innerhalb von ungefähr $6\ \text{min}$ geätzt.

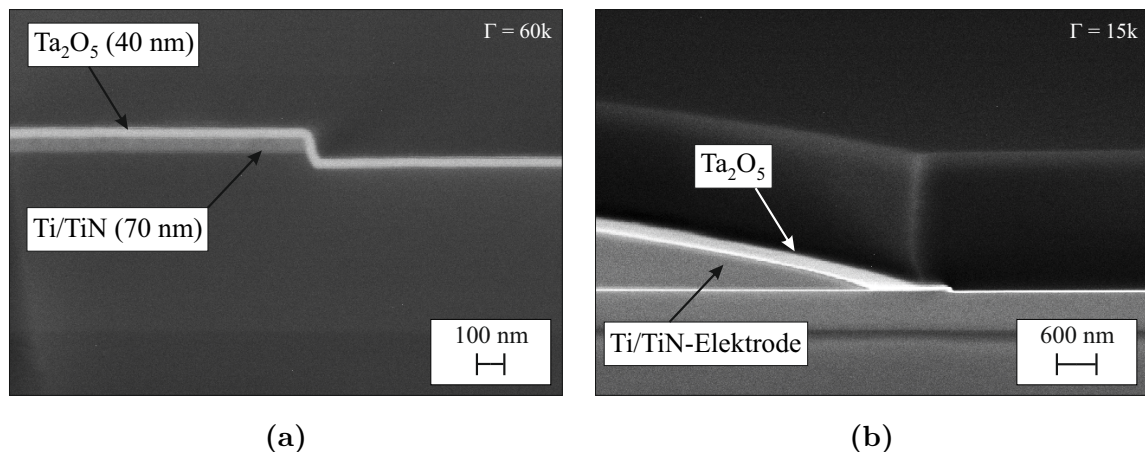


Abbildung 5.9: (a) Rasterelektronenaufnahme der Ta_2O_5 -Passivierung auf dem Basis-CMOS-MEA mit sehr guter Kantenbedeckung, (b) Basis-CMOS-MEA mit strukturierter Ta_2O_5 -Passivierung und offenkundiger Ti/TiN -Elektrode (Im Bild: zusätzliche Beschichtung mit Negativlack für Lift-off Prozesse)

Die REM-Analyse in Abbildung 5.9 zeigt die $40\ \text{nm}$ dünne Ta_2O_5 -Passivierung auf dem Basis-CMOS-MEA. Insbesondere die sehr gute Kantenbedeckung der Ta_2O_5 -Beschichtung trägt zur hermetisch dichten Passivierung des Multi-Elektroden-Arrays bei. Die Strukturierung der Passivierungsschicht über der $70\ \text{nm}$ dünnen Ti/TiN -Elektrode

wird in Abbildung 5.9b gezeigt. Der Überlapp der Ta₂O₅ Schicht über den Elektroden beträgt 0,8 µm.

Die zwei unterschiedlichen Passivierungsvarianten des Basis-CMOS-MEA wurden mittels temperaturbeschleunigter Alterung untersucht. Die Ablaufgeschwindigkeit einer Reaktion (Reaktionsratenkoeffizient k) lässt sich mit Hilfe der Arrhenius-Gleichung [122] in Abhängigkeit der Temperatur T über

$$k = A \exp\left(-\frac{E_a}{k_B T}\right) \quad (5.6)$$

bestimmen, wobei E_a für eine charakteristische Aktivierungsenergie, A für einen Frequenzfaktor und k_B für die Boltzmann-Konstante steht. Als Beschleunigungsfaktor B wird das Verhältnis der Arrhenius-Gleichung bei einer Prüftemperatur T_P zu einer Betriebstemperatur T_B definiert.

$$B = \exp\left(\frac{E_a}{k_B} \left(\frac{1}{T_B} - \frac{1}{T_P}\right)\right) \quad (5.7)$$

Die Proben wurden für die beschleunigte Alterung in einem Autoklaven, der mit einer phosphatgepufferten Salzlösung (PBS) befüllt ist, für insgesamt 46 h unter Druck und Temperatur (120 °C) behandelt. Bei Annahme einer Aktivierungsenergie E_a von 0,57 eV für die PECVD-abgeschiedene Si₃N₄-Passivierungsschicht [120], berechnet sich der Beschleunigungsfaktor für eine Betriebstemperatur T_B von 25 °C zu $B = 213$, was einer Alterungszeit von ungefähr 1,118 a entspricht. Bei einer Betriebstemperatur von $T_B = 37$ °C erhält man eine Alterungszeit von ungefähr 0,47 a. In Abbildung 5.10 werden die REM-Analysen des Alterungstest dargestellt und mit nicht behandelten Proben in Relation gesetzt. Für die Si₃N₄-Passivierung zeigt sich nach der Alterung eine isotrope Unterätzung von 80 nm. Für den Basis-CMOS-MEA, der eine zusätzliche Ta₂O₅- Passivierung aufweist, zeigt sich dagegen keine sichtbare Unterätzung in der REM-Analyse.

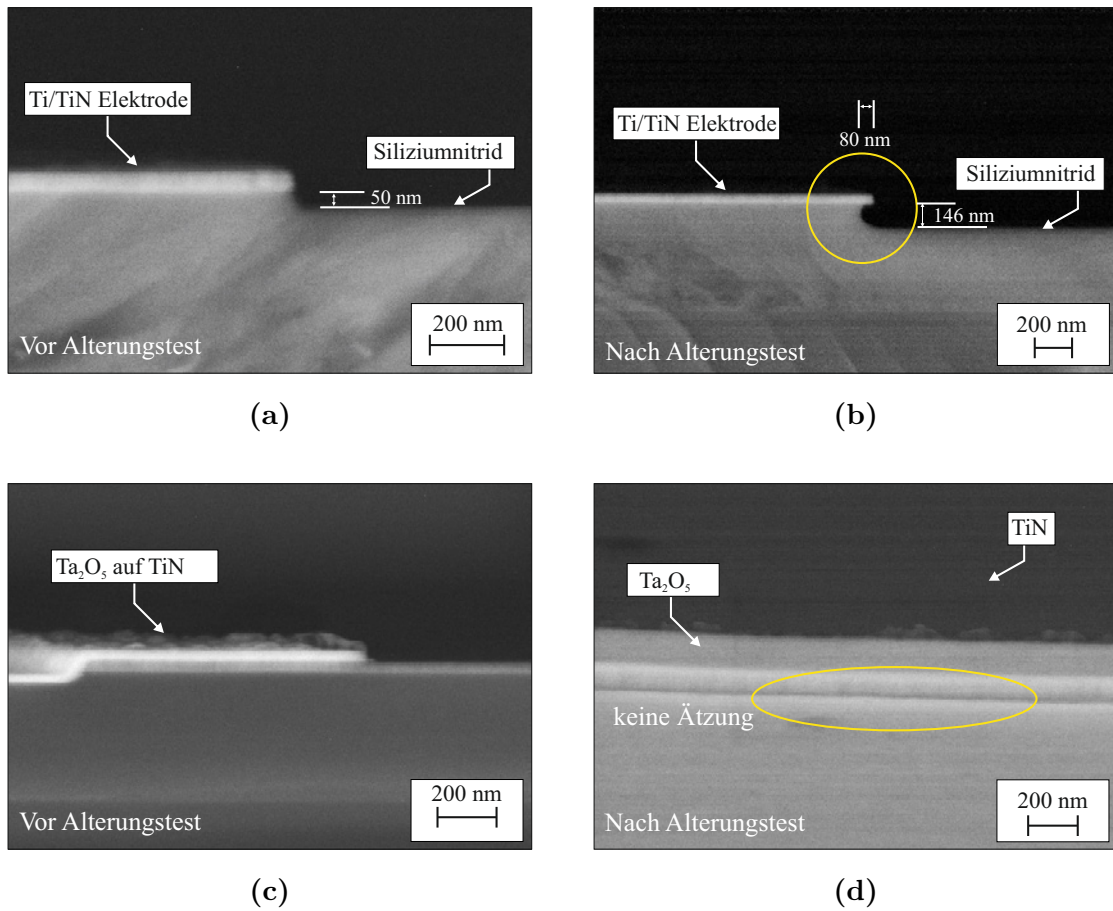


Abbildung 5.10: Beschleunigte Alterung des Basis-CMOS-MEA (46 h/120 °C, PBS-Lösung). (a) Si_3N_4 -Passivierung vor Alterung, keine Unterätzung, (b) isotrope Unterätzung der Si_3N_4 -Schicht von 80 nm nach Alterung, (c) Ta_2O_5 -Passivierung vor Alterung, (d) Ta_2O_5 -MEA nach Alterung, ohne Unterätzung

6 Integration von Kohlenstoff-Nanoröhren auf dem Basis-CMOS-MEA

Die Integration von Kohlenstoff-Nanoröhren (Carbon Nanotubes (CNT)) auf einem CMOS-kompatiblen Multi-Elektroden-Array erfordert üblicherweise Synthese-Temperaturen im Bereich von 700 °C bei einer Prozesszeit von 20 min bis 30 min. Die Ergebnisse im Abschnitt 3.5 zeigen, dass eine direkte CNT-Integration innerhalb dieses Prozessfensters ohne negativen Einfluss auf die CMOS-Funktionalität realisierbar ist. Im nachfolgendem Kapitel werden zunächst die Grundlagen zu Kohlenstoff-Nanoröhren erläutert. Dies betrifft den strukturellen Aufbau von CNTs, Herstellungsverfahren, Katalysatoren sowie den CNT-Wachstumsmechanismus. Im Anschluss werden experimentelle Ergebnisse der CNT-Synthese auf Testsubstraten qualitativ vorgestellt. Die CNT-Synthese wurde durch die Arbeitsgruppe 'Funktionsschichten für Mikroelektronik und Verschleißschutz' des Fraunhofer IKTS vorgenommen und charakterisiert. Der Einfluss der Faktoren Prozessdruck, Precursor, Schichtaufbau und Katalysator auf das CNT-Wachstum wird vorgestellt. Die Ergebnisse der experimentellen Voruntersuchungen fließen direkt in die Herstellung von CNT-modifizierten Multi-Elektroden-Arrays ein. Das Kapitel schließt daher mit der Synthese strukturierter CNTs auf dem Basis-CMOS-MEA ab.

6.1 Struktur von Kohlenstoff-Nanoröhren

Kohlenstoff-Nanoröhren bestehen aus einer oder mehreren zu einem Zylinder aufgerollten Graphen-Ebenen. Je nach Ordnung wird zwischen zwei Oberklassen von Kohlenstoff-Nanoröhren unterschieden. Single-Wall-Carbon-Nanotubes (SWNT) bestehen nur aus einer einzigen aufgerollten Graphen-Ebene, während Multi-Wall-Carbon-Nanotubes (MWNT) aus mehreren coaxial geschichteten SWNT konstruiert sind. Dabei entspricht der Abstand zwischen den einzelnen Wänden dem Ebenenabstand des Graphits. Betrachtet man eine zweidimensionale Graphen-Ebene mit sechseckigen Kohlenstoffverbindungen, so kann man in diesem Gitter zwei nicht orthogonale Gittervektoren \mathbf{a}_1 und \mathbf{a}_2 festlegen [123], die einen Betrag von $\sqrt{3}a$ aufweisen, siehe

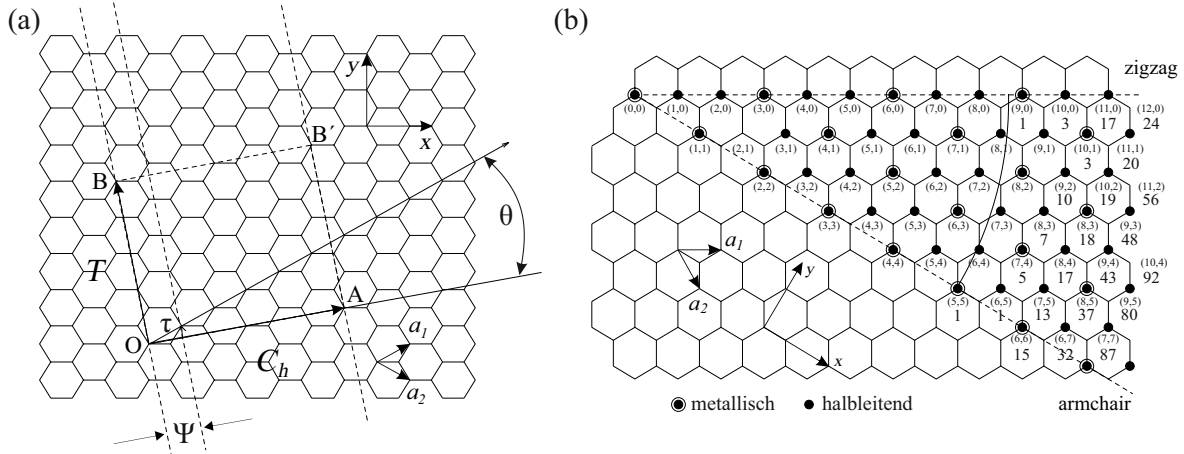


Abbildung 6.1: Struktur von SWNTs. (a) Angabe des chiralen Vektors C_h als ganzzahliges Vielfaches der Gittervektoren a_1 und a_2 mit Darstellung des chiralen Winkels θ , des Rotationswinkels Ψ und der Translation τ . (b) Darstellung von möglichen Nanotube-Strukturen (zigzag, armchair, chiral) mit Angabe der (n,m) -Paare. Unter bestimmten (n,m) Variationen bilden sich entweder halbleitende oder metallisch leitende Nanotubes. [123]

Abbildung 6.1. Eine genaue Strukturbeschreibung der SWNTs ist über die Angabe des chiralen Vektors [123]

$$C_h = n\mathbf{a}_1 + m\mathbf{a}_2 \quad (6.1)$$

möglich, wobei n und m als ganze Zahlen die Chiralität der Nanoröhre bestimmen. Die Länge des chiralen Vektors bestimmt den Umfang und somit auch den Durchmesser der SWNT. Der Durchmesser d_t der SWNT lässt sich zu

$$d_t = |C_h| / \pi = \sqrt{3}a_{C-C} \cdot (m^2 + mn + n^2)^{\frac{1}{2}} / \pi \quad (6.2)$$

berechnen, wobei a_{C-C} der Bindungsabstand zwischen zwei Kohlenstoffatomen ist (1,42 Å). Der chirale Winkel θ ist gegeben durch

$$\theta = \arctan \left[\sqrt{3}n / (2m + n) \right] \quad (6.3)$$

Beim Aufrollen der Graphen-Ebenen zu Zylinderstrukturen können drei verschiedene Varianten gebildet werden, die jeweils einen unterschiedlichen chiralen Winkel θ aufweisen. Der chirale Winkel richtet sich nach Gleichung 6.3 nach dem Paar (n,m) . Nanotubes mit einem identischen (n,m) Index werden als 'armchair' bezeichnet. Der chirale Winkel beträgt in diesem Fall 30° . Falls der Index m den konstanten Wert $m = 0$ einnimmt, spricht man von einer 'zigzag' Struktur. Der chirale Winkel beträgt dann 0° . Alle anderen Kombinationen von (n,m) liegen im Winkelbereich von $0^\circ < \theta < 30^\circ$

und werden als chirale Nanotubes bezeichnet, vgl. Abbildung 6.2. SWNTs weisen einen typischen Durchmesser von 0,4 nm bis 3 nm auf, bei MWNTs liegt der Durchmesser zwischen 2 nm und 150 nm. Die Länge von MWNTs liegt in der Größenordnung von einigen Mikrometern bis in den Zentimeterbereich [124]. Kohlenstoff-Nanoröhren weisen damit ein sehr hohes Aspektverhältnis auf, welches in verschiedenen Anwendungen ausgenutzt wird.

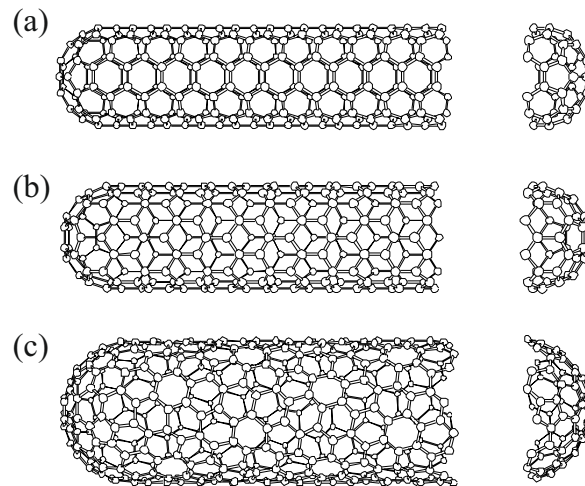


Abbildung 6.2: Schematische Darstellung von SWNTs. (a) armchair Nanoröhre, (b) zigzag Nanoröhre, (c) chirale Nanoröhre [123]

6.1.1 Mechanische Eigenschaften

SWNTs weisen eine sehr große mechanische Stabilität aufgrund eines großen Elastizitätsmoduls in axialer Richtung auf. In der Literatur [125, 126] wird von E-Modulen von 1 TPa berichtet. Die Zugfestigkeit liegt im Bereich von 30 GPa. Betrachtet man die Zugfestigkeit in Relation zu ihrer Dichte ($1,8 \text{ g/cm}^3$), erhält man bei Vernachlässigung von Skaleneffekten rechnerisch eine 135-mal größere Zugfestigkeit im Vergleich zu Stahl. Trotz ihrer Stabilität zeigen SWNT wegen ihres enormen Aspektverhältnisses auch eine große mechanische Flexibilität.

6.1.2 Elektrische Eigenschaften

Die elektrische Leitfähigkeit von SWNTs unterscheidet sich nach ihrer Chiralität. SWNTs können entweder metallisch leitend oder halbleitend sein, wobei die Bandlücke der halbleitenden Nanoröhren durch den Durchmesser und die Chiralität bestimmt

wird [127]. SWNTs mit gleichem chiralen Index (n,n) sind metallisch leitend (armchair SWNTs) und halbleitend, wenn die Bedingung [123]

$$\frac{n - m}{3} = k \quad (6.4)$$

erfüllt ist, wobei k eine natürliche Zahl größer Null ist. Die Größe der Bandlücke sinkt umgekehrt proportional zum Quadrat des Durchmessers der CNTs [123]. Daher sind SWNTs bei Raumtemperatur auch metallisch leitend, da sich die Bandlücke unterhalb der intrinsischen Bandlücke befindet. Aufgrund ihrer Mehrwandigkeit und ihres größeren Durchmessers weisen MWNTs meistens ein metallisch leitendes Verhalten auf. Im Produktionsprozess ist es nicht möglich auf die elektronischen Eigenschaften der Kohlenstoff-Nanoröhren Einfluss zu nehmen. Daher wird immer eine Mischung aus metallisch leitenden und halbleitenden CNTs auf einem Substrat abgeschieden.

6.2 Synthese von Kohlenstoff-Nanoröhren

Die ersten Kohlenstoff-Nanoröhren wurden zufällig 1991 von S. Iijima et al. [128] bei der Lichtbogensynthese (Arc-Discharge) von C_{60} -Fullerenen entdeckt. Bei dieser Methode wird zwischen zwei Graphitelektroden bei vermindertem Druck unter Heliumatmosphäre ein Lichtbogen gezündet, der die Elektrode lokal aufheizt. Durch den sehr hohen Stromfluss verdampft auf der Anode Kohlenstoff, der sich mit Hilfe eines metallischen Katalysatorpartikels auf die Kathode absetzt. Bei diesem Prozess wachsen auf der Kathode neben Kohlenstoffresten auch SWNTs auf. Das lokale Aufheizen eines Graphitblocks bis zu Temperaturen, die kurz unterhalb der Schmelztemperatur des Graphits liegen, kann auch mit Hilfe eines energiereichen Nd:YAG-Laserstrahls erzielt werden. Bei dem Laser-Ablations-Verfahren wird der verdampfte Kohlenstoff mittels eines Inertgases, z. B. Argon, auf einen gekühlten Kupferblock geleitet, auf dem sich der Kohlenstoff absetzt und dabei Kohlenstoff-Nanoröhren aufbaut [129].

Im Rahmen dieser Arbeit werden die Kohlenstoff-Nanoröhren in einer CVD-Anlage aus der Gasphase auf einem Substrat abgeschieden. Bei diesem Prozess werden Precursor aus Kohlenwasserstoffen (Acetylen C_2H_2 , Ethen C_2H_4 , Methan CH_4 , Ethan C_2H_6 oder Alkohole) zusammen mit einem Trägergas, z. B. Argon oder Wasserstoff in einen Reaktor eingeleitet. Der für das CNT-Wachstum nötige Katalysator kann entweder direkt dem Precursor beigemischt werden oder wird in einem vorherigen Prozessschritt auf dem Substrat abgeschieden [130]. Die Qualität und die Eigenschaften der CNT-

Deposition hängt stark von den Prozessparametern Druck, Temperatur [131], Gaszusammensetzung [132], Strömungsverhältnisse, gewähltem Substrat [133] und Katalysator [134] ab. Die endotherme Reaktion in der CVD-Kammer kann durch unterschiedliche Verfahren der Energiezufuhr erreicht werden. Es wird nach thermischer CVD und plasmaunterstützter CVD (PECVD) unterschieden. Bei der thermischen CVD erfolgt die Energiezufuhr entweder über ein beheiztes Substrat oder über einen beheizten Reaktor, man spricht von Kaltwand- und Heißwandreaktor. Der Vorteil des Kaltwandreaktors liegt in einem niedrigen Precursor-Verbrauch. Hier wird allerdings eine homogene Abscheidung aufgrund des Temperaturgefälles zwischen Substrat und Reaktorwand erschwert. Der Heißwandreaktor wirkt sich positiv auf die Schichtqualität aus, benötigt aber mehr Precursor-Material. Des Weiteren werden thermische CVD-Anlagen in unterschiedliche Druckbereiche eingeteilt. CVD-Prozesse unter Atmosphärendruck werden in APCVD-Anlagen (**A**tmospheric **P**ressure **C**hemical **V**apour **D**eposition (APCVD)) und CVD-Prozesse mit vermindertem Druck werden in LPCVD-Anlagen (**L**ow **P**ressure **C**hemical **V**apour **D**eposition (LPCVD)) durchgeführt. Die LPCVD-Anlage ermöglicht im Vergleich zur APCVD-Anlage eine homogene CVD-Abscheidung. Der Temperaturbereich für die thermisch induzierte CVD liegt zwischen 500 °C und 1000 °C. Alternativ kann die Aktivierungsenergie auch mittels eines Plasmaprozesses (PECVD) bei Temperaturen unterhalb von 600 °C erreicht werden [71, 72]. Dabei wird der notwendige Energieeintrag durch Elektronen-Stoßprozesse im Plasma erreicht. Auf diese Weise ist eine Reduzierung der notwendigen Synthese-Temperatur möglich. Nachteilig im Vergleich zur LPCVD erweist sich der hohe technologische Aufwand und eine reduzierte CNT-Schichtqualität bei erniedrigten Temperaturen. In dieser Arbeit werden die CNT-Schichten mittels einer thermischen CVD-Anlage erzeugt, die am Fraunhofer IKTS zur Verfügung steht. Die Anlage kann im LPCVD- und im APCVD-Modus betrieben werden.

6.3 Katalysator

Die Deposition von Kohlenstoff-Nanoröhren auf einem Substrat benötigt einen Katalysator aus einem Übergangsmetall. Die Katalysatorschicht sollte dabei nicht aus einem kontinuierlichen Film bestehen, sondern aus einzelnen nanoskaligen Partikeln. Die Größe der Katalysatorpartikel steht im direkten Zusammenhang mit dem Durchmesser der aufwachsenden Kohlenstoff-Nanoröhren. Für SWNT sollte die Partikelgröße

ße daher im nanoskaligen Bereich liegen. Typische Katalysator-Materialien sind Eisen (Fe), Nickel (Ni) oder Cobalt (Co) [124], die auf unterschiedliche Weise auf einem Substrat deponiert werden können. Neben der Möglichkeit einer Beschichtung aus einer Suspension [124], haben sich physikalische Abscheideverfahren wie z. B. thermisches Verdampfen, Elektronenstrahlverdampfen, Laserstrahlverdampfen, Ionenstrahlsputtern oder Magnetronspütern zur Katalysator-Deposition durchgesetzt [130]. Die Katalysator-Schichtdicke liegt im Bereich von wenigen Nanometern (< 20 nm). Es wurde beobachtet [135], dass die Katalysator-Schichtdicke ebenfalls einen Einfluss auf den Durchmesser der Kohlenstoff-Nanoröhren nimmt. Zur Unterstützung der Partikelbildung kann vor der eigentlichen CNT-Synthese in der thermischen CVD-Anlagen zunächst ein Gasstrom aus Inertgas bei hohen Temperaturen über den Katalysator geleitet werden. Bei der CNT-Synthese mittels PECVD kann die Erzeugung der Partikel auch durch einen kurzen Sputter-Ätzschritt erreicht werden. Es hat sich gezeigt, dass sich eine Metallschicht unterhalb des Katalysators aus thermodynamischen Gründen positiv auf die Bildung von Nano-Partikel auswirkt [133, 136]. In der Literatur werden Metallschichten aus Aluminium (Al), Wolfram (W), Titan (Ti), Tantal (Ta) oder Indiumzinnoxid (ITO) gelistet [137]. Für die CNT-Synthese auf Ti/TiN-Elektrodenflächen sind in dieser Arbeit Katalysatoren aus Eisen (Fe), Eisen-Titan (FeTi) und Eisen-Platin (FePt) zum Einsatz gekommen. Durch Co-Sputtern wurde jeweils eine 3 nm dünne Katalysatorschicht auf unterschiedliche Schichtstapel mit variierender Ti/TiN-Barriere deponiert. Die Ti/TiN-Barriere ermöglicht ein einfach kontaktierbares elektrisches Interface zu den erzeugten Kohlenstoff-Nanoröhren. Zudem dient sie als Diffusions-Barriere und verhindert eine Silizidierung während des CVD-Prozesses.

6.4 CNT-Wachstumsmechanismus

Die notwendige Temperatur für die CNT-Synthese kann bei Verwendung geeigneter Katalysatorpartikel gesenkt werden. Typische Katalysatoren sind Eisen, Nickel und Cobalt, da diese Metalle eine starke Bindung mit Kohlenstoff eingehen. Der kohlenstoffhaltige Precursor (z. B. Acetylen) reagiert zunächst katalytisch an der Oberfläche des Katalysatorpartikels. Der bei dieser Reaktion freigesetzte Kohlenstoff kann bei Temperaturen ab 500 °C durch das Katalysatorpartikel diffundieren und dieses schließlich absättigen. Bei einem vollständig abgesättigten Katalysatorpartikel diffundiert der

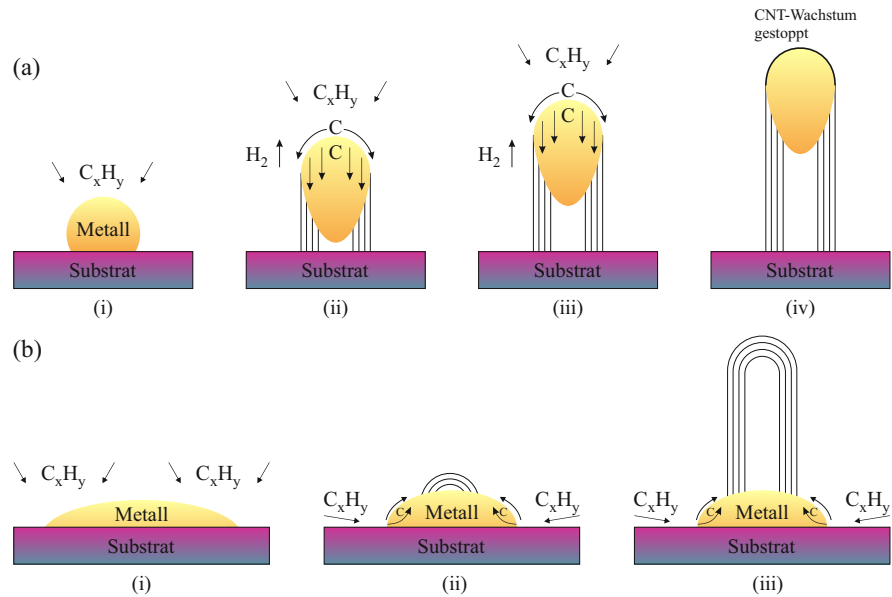


Abbildung 6.3: Schematische Darstellung des Wachstums von SWNTs. (a) tip-growth Wachstum bei schwacher Adhäsion des Katalysators auf dem Substrat, (b) bottom-growth Wachstum bei starker Adhäsion des Katalysators, nach [124]

Kohlenstoff zu den reaktiven Seiten des Katalysators und kristallisiert in einem graphenartigen Kohlenstoffnetzwerk. Die eigentliche Nanoröhre wächst nun aus dem Katalysatorpartikel heraus. Dabei wird das Wachstum in 'bottom growth'-Wachstum und 'tip growth'-Wachstum unterschieden, wie in Abbildung 6.3 illustriert. Im ersten Fall ist das Partikel stark an das Substrat gebunden und bleibt auch beim CNT-Wachstum am Substrat haften. Bei schwacher Substrat-Bindung kann das Partikel auch von der Substratoberfläche abheben und an der Spitze der CNT in die Höhe wachsen. Das Wachstum der Kohlenstoff-Nanoröhre wird beendet wenn kein Kohlenstoff mehr durch das Katalysatorpartikel zur Verfügung gestellt werden kann. Dies kann z. B. durch eine Bedeckung der Oberfläche mit amorphem Kohlenstoff geschehen.

6.5 Ergebnisse zur CNT-Synthese auf Testsubstraten mit Ti/TiN-Barriere

Für die Integration von Kohlenstoff-Nanoröhren auf dem CMOS-kompatiblen Multi-Elektroden-Array wurden unter Vorgabe eines festen Prozessfensters Versuche zur CNT-Synthese durchgeführt. Die maximale Temperatur dieser Synthese ist aufgrund der Ergebnisse der elektrischen Charakterisierung der hochtemperaturtauglichen Bulk-

Substrat-Technologie mit Wolfram-Metallisierung auf 700 °C begrenzt. Die Prozesszeit wurde in den Versuchen auf 20 min festgesetzt. Besonders die Substrate sind aufgrund der evaluierten CMOS-Technologie in ihrem Schichtaufbau nicht veränderbar. So besteht der Schichtaufbau im Wesentlichen aus dem Silizium-Substrat, einer Oxid-Schicht, einem Passivierungsnitrid und einer Ti/TiN-Barriere, die zum einen als Elektrodenmaterial dient und zum anderen die direkte CNT-Synthese über Katalysatoren erlaubt. Es wurden zunächst Studien zum CNT-Wachstum auf nicht strukturierten Wafern durchgeführt. Als Probenmaterial standen die in Abbildung 6.4 dargestellten Varianten mit den Schichtaufbauten (LS: layer stacks) LS I bis LS VI zur Verfügung.

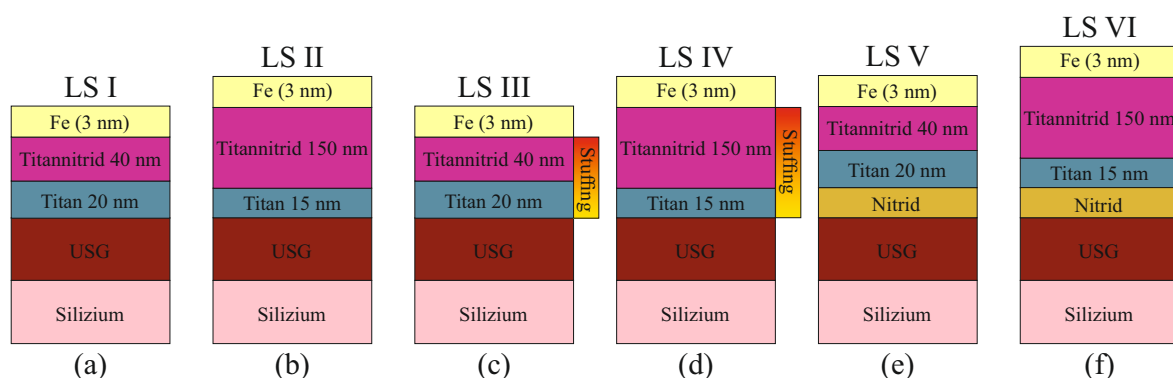


Abbildung 6.4: Untersuchte Schichtaufbauten (LS I-VI) mit unterschiedlichen Ti/TiN-Barrieren zur direkten CNT-Synthese. (a)-(b) Variation der Ti/TiN-Schichtdicke (LS I und LS II), (c)-(d) Variation der Ti/TiN-Schichtdicke mit zusätzlichem Stuffing (LS III und LS IV), (e)-(f) Variation der Ti/TiN-Schichtdicke auf Si_3N_4 -Passivierung (LS V und LS VI)

Zwei unterschiedliche Ti/TiN-Barriere-Schichtdicken wurden jeweils auf SiO_2 (USG) und auf Si_3N_4 hergestellt. Bei den reinen SiO_2 -Schichtaufbauten wurde die Variation um ein sogenanntes Stuffing erweitert. Dabei wird durch ein schnelles thermisches Aufheizen mit einem RTA-Ofen (**R**apid **T**hermal **A**nnealing) die Barriere-Schicht verdichtet.

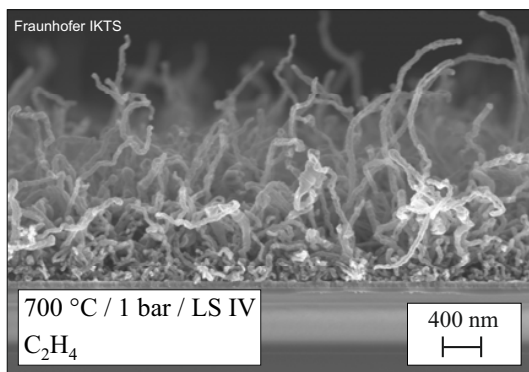
6.5.1 CNT-Synthese bei unterschiedlichem Prozessdruck

Um einen qualitativen Überblick zu erhalten, welcher der zu evaluierenden Schichtstapel besonders zur CNT-Synthese geeignet ist, wurden bei einer konstanten Synthesetemperatur von 700 °C, einer Gesamtprozesszeit von 20 min und einem Ethen-Prekursor (Gasmisch: $\text{C}_2\text{H}_4 + \text{H}_2 + \text{Ar}$) der Prozessdruck zu 1 bar und 0,3 bar variiert. Es zeigte sich, dass bei dem Schichtstapel LS II (USG/Ti(15 nm)/TiN(150 nm)) bei

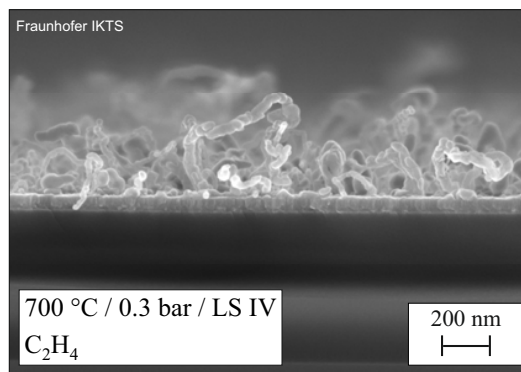
Verwendung eines 3 nm dünnen Eisen-Katalysators bei 1 bar und bei 0,3 bar kein gerichtetes CNT-Wachstum zu erzielen war. Es wurden nur ungerichtete Kohlenstoff-Agglomerate auf diesem Schichtstapel abgeschieden. Unter gleichen Prozessbedingungen und bei gleichem Schichtaufbau, aber mit einem zusätzlich ausgeführten Stuffing (LS IV), konnte auf der Oberfläche CNT-Strukturen abgeschieden werden, vgl. REM-Bilder 6.5(a)(b). Bei einem Prozessdruck von 1 bar konnte man im Gegensatz zu 0,3 bar CNTs mit beginnender vertikaler Ausrichtung erzeugen, wobei Durchmesser von ≈ 40 nm und Längen von ca. $1,7 \mu\text{m}$ erzielt wurden. Offensichtlich wirkt sich ein Stuffing positiv auf die Oberflächenmorphologie aus und ermöglicht ein besseres CNT-Wachstum. Eine Reduzierung der Barriere-Schichtdicke auf Ti(20 nm)/TiN(40 nm) mit Stuffing (LS III) wirkt sich ebenfalls positiv auf das Wachstum auf. Es konnten erfolgreich Strukturen mit einem Durchmesser von 35 nm und einer Länge von $1,6 \mu\text{m}$ bei einem Prozessdruck von 1 bar synthetisiert werden, siehe Abb. 6.5c. Allerdings wurde hier bei erniedrigtem Prozessdruck kein Wachstum festgestellt. Eine Si_3N_4 -Zwischenschicht unter der dünnen Ti/TiN-Schicht (LS V), also entsprechend dem Schichtaufbau des Basis-CMOS-MEA, erwies sich ebenfalls als vorteilhaft für die CNT-Abscheidung. Bei einem Druck von 1 bar konnten Kohlenstoff-Nanoröhren mit einem Durchmesser von 60 nm und einer Länge von $1,2 \mu\text{m}$ synthetisiert werden, vgl. Abb. 6.5d, wobei bei einem Druck von 0,3 bar nur Kohlenstoff-Agglomerate erzeugt wurden. Zusammengefasst zeigt sich, dass das CNT-Wachstum sehr unterschiedlich auf den verschiedenen Substrat-Materialien stattfindet. Es ist aber deutlich erkennbar, dass ein Prozessdruck von 1 bar für das CNT-Wachstum auf den Ti/TiN-Schichten von Vorteil ist. Die Morphologie der Ti/TiN-Oberfläche nimmt ebenfalls eine wichtige Rolle für den Prozess ein. Ein Stuffing erwies sich bei allen Ti/TiN-Schichtdicken als vorteilhaft.

6.5.2 Einfluss des Precursors auf die CNT-Synthese

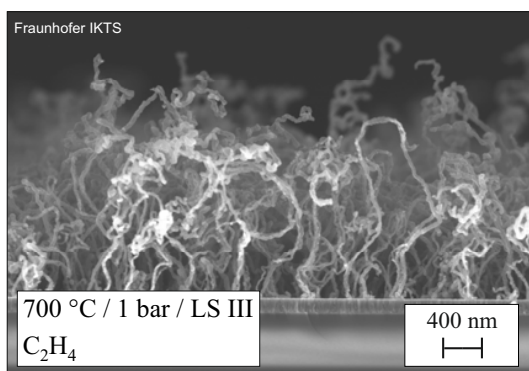
Wie im vorherigem Abschnitt erläutert, weist die Synthese der CNTs bei einer C_2H_4 -Kohlenstoffquelle unter den genannten Parametern keine perfekte Homogenität auf. Um die CNT-Synthese auf dem Ti/TiN-Schichtstapel mittels thermischer CVD zu verbessern, wurde der Einfluss einer Acetonitril-Zugabe (CH_3CN) zu der C_2H_4 -Kohlenstoffquelle untersucht. Dazu wurde Acetonitril mittels eines Flüssigkeitsverdampfers in die CVD-Kammer während der Synthese im Verhältnis 1:3 und 1:1 in den Reaktor eingeleitet. Bei den Untersuchungen zeigte sich durch Zugabe von Acetonitril eine verbesserte CNT-Synthese, vgl. Abb. 6.6. Für den Schichtaufbau USG / Ti (20 nm) / TiN (40 nm)



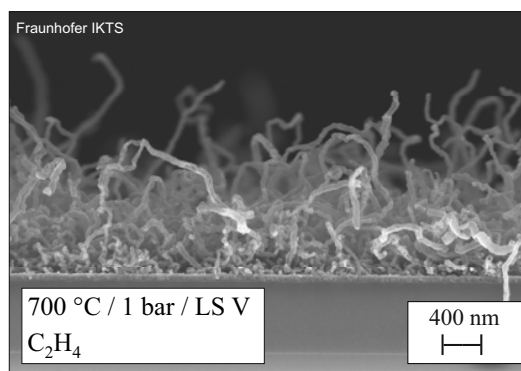
(a) 15 nm Ti / 150 nm TiN (Stuffing)



(b) 15 nm Ti / 150 nm TiN (Stuffing)



(c) 20 nm Ti / 40 nm TiN (Stuffing)

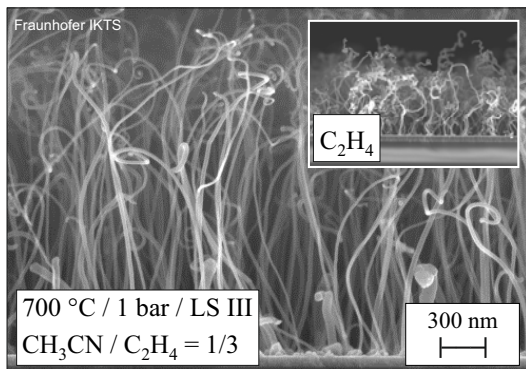


(d) Si₃N₄ / 20 nm Ti / 40 nm TiN

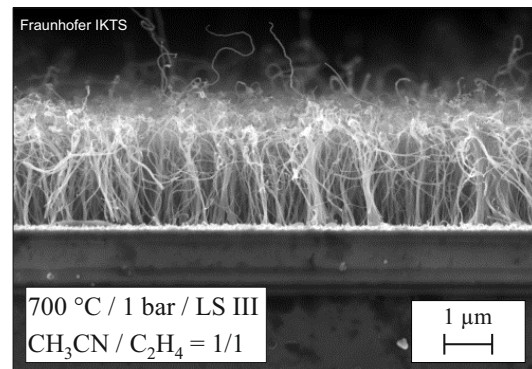
Abbildung 6.5: Synthese von Kohlenstoff-Nanostrukturen auf Ti/TiN-Barriere unterschiedlicher Schichtdicken bei Prozessdruck 1 bar und 0,3 bar, Precursor: C₂H₄ / H₂ / Ar, Synthesetemperatur: 700 °C, Prozesszeit: 20 min; (a) dicke Ti/TiN-Barriere mit Stuffing (1 bar) ermöglicht CNT-Abscheidung; (b) bei Prozessdruck 0,3 bar entstehen nur Kohlenstoff-Agglomerate; (c) dünne Ti/TiN-Barriere mit Stuffing, CNT-Abscheidung möglich; (d) dünne Ti/TiN-Barriere ohne Stuffing aber mit Si₃N₄-Schicht, CNT-Synthese möglich

mit Stuffing (LS III) konnte im Vergleich zu der Synthese ohne Acetonitril-Zusatz ein Zuwachs der CNT-Länge von ca. 100 % (2,4 µm) erreicht werden. Der Durchmesser der Nanoröhren konnte von 70 nm auf 15 nm bis 30 nm reduziert werden. Die Zugabe von Acetonitril erzeugt vertikal ausgerichtete CNTs (vaCNT) hoher Homogenität. Bei einem Mischungsverhältnis von Acetonitril zu Ethen von 1:1 beobachtet man ebenfalls eine deutliche Verbesserung des Wachstums. Vertikal ausgerichtete CNTs hoher Homogenität der Länge 2,6 µm konnten mit dem erhöhten Mischungsverhältnis abgeschieden werden, allerdings vergrößert sich der Durchmesser auf 24 nm. Damit wächst der CNT-Durchmesser proportional zur Acetonitril-Beimischung. Für den Schichtauf-

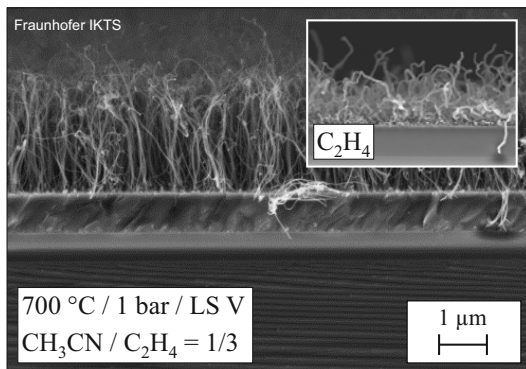
bau LS V (USG / Si₃N₄ / Ti (20 nm) / TiN (40 nm)) lässt sich die CNT-Synthese ebenfalls durch die Zugabe von Acetonitril zu Ethen stark optimieren. Während der Prozess ohne Acetonitril für diesen Schichtaufbau ungerichtete CNT mit dem Durchmesser 45 nm bis 65 nm und einer Schichtdicke von 0,9 μm erzeugte, werden durch die Zugabe von Acetonitril im Verhältnis 1:3 homogene vertikal ausgerichtete CNTs mit einem Durchmesser von 15 nm bis 25 nm und einer CNT-Schichtdicke von 2,5 μm produziert. Für ein Mischungsverhältnis von 1:1 beobachtet man eine Länge von 2,6 μm und einen Durchmesser von maximal 35 nm.



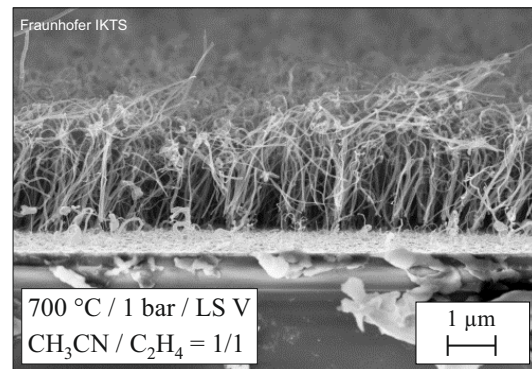
(a) 20 nm Ti / 40 nm TiN (Stuffing)



(b) 20 nm Ti / 40 nm TiN (Stuffing)



(c) 20 nm Ti / 40 nm TiN



(d) Si₃N₄ / 20 nm Ti / 40 nm TiN

Abbildung 6.6: Einfluss eines CH₃CN-Zusatzes im Verhältnis 1:3 und 1:1 während der CNT-Synthese auf Ti/TiN-Barriere (20 nm/40 nm) mit und ohne Stuffing bei der Prozess-temperatur 700 °C, Prozess-druck 1 bar, Precursor: CH₃CN / C₂H₄ / H₂ / Ar, Prozesszeit: 20 min; (a) dünne Ti/TiN-Barriere mit Stuffing (CH₃CN / C₂H₄=1/3); (b) dünne Ti/TiN-Barriere mit Stuffing CH₃CN / C₂H₄=1/1; (c) dünne Ti/TiN-Barriere ohne Stuffing (CH₃CN / C₂H₄=1/3); (d) dünne Ti/TiN-Barriere ohne Stuffing CH₃CN / C₂H₄=1/1

Der Zusatz von Acetonitril zu Ethen wirkt sich positiv auf das Wachstum aus. Eine weitere Kohlenstoffquelle zur CNT-Synthese findet sich in Acetylen (C_2H_2). Synthesversuche auf Substraten mit dünner Ti/TiN-Barriere (20 nm/40 nm) mit und ohne ausgeführtem Stuffing und einer 3 nm Fe-Katalysatorschicht zeigten für Acetylen ein verbessertes CNT-Wachstum im Vergleich zur Acetonitril/Ethen Kombination. In Abbildung 6.7 ist die REM-Analyse der synthetisierten Schichten nach einer 20 min Abscheidung bei 700 °C (1 bar) unter Verwendung des Gasgemisch Ar / H_2 / 150 sccm C_2H_2 dargestellt.

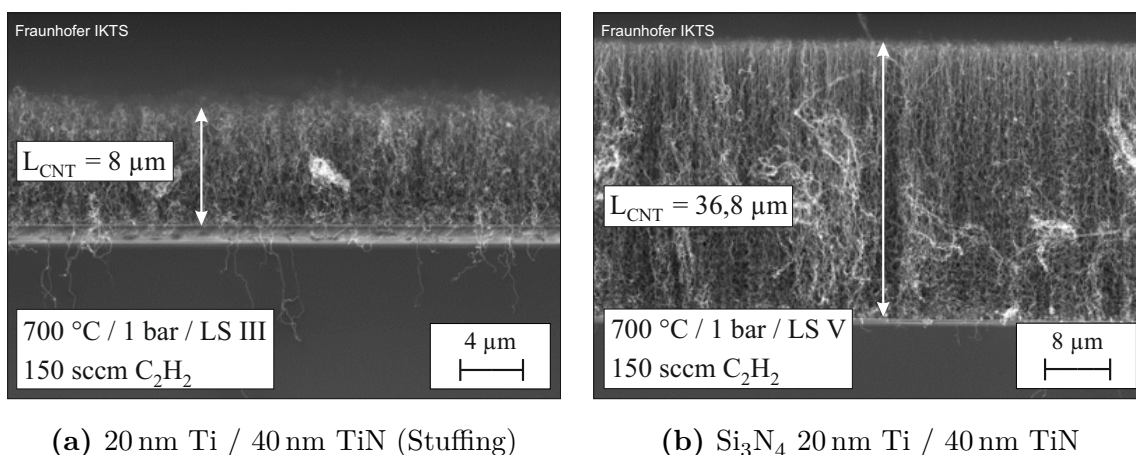


Abbildung 6.7: CNT-Synthese bei Verwendung von C_2H_2 (150 sccm) Precursor auf Ti/TiN-Barriere (20 nm/40 nm) mit und ohne Stuffing bei Prozesstemperatur 700 °C, Prozessdruck 1 bar, Gasgemisch: C_2H_2 / H_2 / Ar, Prozesszeit: 20 min; (a) dünne Ti/TiN-Barriere mit Stuffing, vertikal ausgerichtete CNTs hoher Homogenität mit der Länge $L_{CNT} = 8 \mu m$; (b) dünne Ti/TiN-Barriere ohne Stuffing, vertikal ausgerichtete CNTs hoher Homogenität mit der Länge $L_{CNT} = 36,8 \mu m$

Es zeigt sich eine starke Verbesserung der CNT-Synthese bei Verwendung des C_2H_2 -Precursors (150 sccm) auf beiden Substraten. Die erreichte Schichtdicke L_{CNT} beträgt nach 20 min auf dem dünnen Ti/TiN-Schichtstapel mit zusätzlichem Stuffing (LS III) 8 μm . Für den Schichtaufbau LS V (Si_3N_4 / Ti / TiN (20 nm/40 nm)) erreicht man unter gleichen Prozessbedingungen eine sehr hohe Schichtdicke von $L_{CNT} = 36,8 \mu m$. Anscheinend wirkt sich die Si_3N_3 -Schicht unterhalb der Ti/TiN-Barriere positiv auf das Wachstum der CNTs mit C_2H_2 -Precursor aus. Aufgrund dieses Ergebnisses wurde das Basis-CMOS-MEA nach den Voruntersuchungen mit dem favorisierten Schichtaufbau hergestellt, d. h. mit einer Si_3N_4 -Passivierungsschicht und Ti/TiN-Elektroden der Schichtdicke 20 nm/40 nm.

6.5.3 Einfluss des Katalysators auf die CNT-Synthese

Die Prozesstemperatur ist ein entscheidender Faktor für eine direkte Integration von CNTs auf einem CMOS-Substrat. Obwohl die Synthese bei 700 °C unter Verwendung eines C_2H_2 -Precursors auf einem Schichtaufbau, der dem des Basis-CMOS-MEAs entspricht, erfolgreich durchgeführt wurde, ist eine Reduzierung der Temperatur und damit eine mögliche Verringerung der Parameterverschiebungen einer evtl. integrierten Schaltung wünschenswert. Aus diesem Grund wurde das CNT-Wachstum bei Verwendung eines C_2H_2 -Precursors auch bei Temperaturen unterhalb von 700 °C analysiert. Dabei wird insbesondere der Einsatz von Mischkatalysatoren auf das CNT-Wachstum betrachtet. In der Literatur wird berichtet, dass Mischkatalysatoren die Synthesetemperaturen herabsetzen können [138]. Die Deposition von Kohlenstoff-Strukturen mittels C_2H_2 -Precursor auf einem 3 nm dünnen Fe-Katalysator bei verminderten Prozesstemperaturen von 660 °C, 640 °C und 620 °C erzeugte auf den etablierten Substraten nur Kohlenstoff-Agglomerate mit dem Durchmesser ≈ 100 nm (vgl. REM-Analyse in Abbildung 6.8). Damit erweist sich das Wachstum von Kohlenstoff-Nanoröhren bei

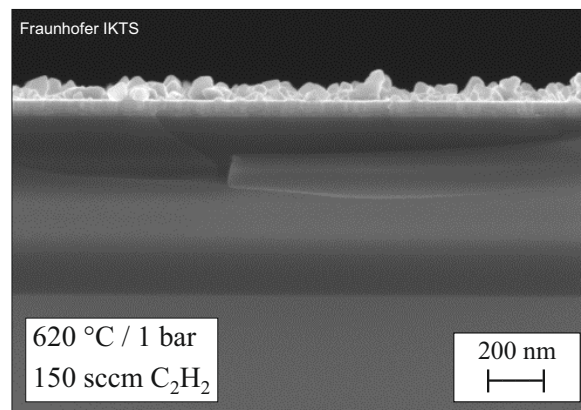


Abbildung 6.8: Keine erfolgreiche Synthese von Kohlenstoff-Nanoröhren bei Reduzierung der Synthesetemperatur und Verwendung eines C_2H_2 -Precursors (150 sccm) auf Fe-Katalysator

Verwendung eines Fe-Katalysators und dem Gasgemisch $Ar / H_2 / 150$ sccm C_2H_2 als stark temperaturabhängig. Die Aktivierungsenergie des C_2H_2 -Precursors liegt bei über 700 °C. Durch die Modifizierung des Katalysators, d. h. durch Verwendung von Mischkatalysatoren aus Eisen-Titan (FeTi) und Eisen-Platin (FePt), die mit Hilfe von Co-Sputtering auf dem Substraten aufgebracht wurden, wurde eine Reduzierung der Prozesstemperaturen angetestet. Die Schichtdicke des Mischkatalysators wurde nicht geändert und betrug weiterhin 3 nm. Im Fall des Mischkatalysators FeTi wurde

bei einer Temperatur von 620 °C auf dem Testsubstrat eine Abscheidung ungerichteter Kohlenstoff-Nanoröhren erzielt (Abb. 6.9b). Unter Verwendung des modifizierten Schichtstapels ohne Si₃N₄-Passivierung, jedoch mit einem zusätzlich ausgeführten Stuffing (LS III), konnten vertikal ausgerichtete CNTs bei 660 °C, 640 °C sowie 620 °C synthetisiert werden (Abb. 6.9a). Ein Wachstum bei 700 °C wurde bei Verwendung des FeTi-Katalysators dagegen nicht festgestellt. Im Vergleich zur Probe ohne Hochtemperaturschritt erwies sich ein Stuffing und die daraus resultierende verbesserte Morphologie der Substrat-Oberfläche auch bei den Mischkatalysatoren für das CNT-Wachstum als vorteilhaft. Im Unterschied zum FeTi erlaubt der FePt-Mischkatalysator bei Temperaturen unter 700 °C tendenziell ein noch besseres Wachstum gerichteter CNTs (vgl. Abb. 6.9(c)(d)). So wurden vertikal ausgerichtete CNTs der Länge 3,4 µm bei einer Temperatur von 620 °C mit sehr hoher Homogenität auf dem Basis-CMOS-MEA Schichtaufbau (LS V) abgeschieden. Die Länge der CNTs und ihre Ausrichtung reduzierte sich bei diesem Schichtaufbau mit zunehmender Temperatur.

6.5.4 Fazit zur CNT-Synthese auf Testsubstraten

Bei den Untersuchungen des CNT-Wachstums auf unterschiedlichen Schichtstapeln hat sich gezeigt, dass die Qualität des CNT-Wachstums durch eine Optimierung der Prozessparameter stark verbessert werden kann. So zeigte sich, dass bei einem Prozessdruck von 1 bar qualitativ bessere Kohlenstoff-Nanoröhren als bei verminderten Prozessdruck von 0,3 bar erzeugt werden. Eine Beimischung von Acetonitril zum Precursor C₂H₄ ermöglicht zwar die Synthese vertikal ausgerichteter Kohlenstoff-Nanoröhren auf allen untersuchten Schichtstapeln, allerdings wurde ein noch besseres CNT-Wachstum bei Verwendung eines Precursors auf Basis von C₂H₂ (150 sccm) festgestellt. Bei den Untersuchungen zeigte sich ein stark temperaturabhängiges Verhalten des Prozesses bei Verwendung unterschiedlicher Katalysatoren. Ein reiner Fe-Katalysator ermöglicht die Synthese nur bei Temperaturen ≥ 700 °C mittels C₂H₂-Precursors. Eine Reduzierung der Prozesstemperatur konnte mit Hilfe von Mischkatalysatoren erzielt werden. So ist für den FePt-Mischkatalysator ein optimales Wachstum hoher Homogenität bei einer Temperatur von 620 °C zu beobachten. Da insbesondere die Temperatur auf die Parameterverschiebung einer integrierten Schaltung Einfluss nimmt, konnte durch die Nutzung des FePt-Mischkatalysators ein maßgeblicher Vorteil erreicht werden. Für den Schichtaufbau, der dem des Basis-CMOS-MEAs entspricht, konnten vertikal ausgerichtete CNTs der Länge $L_{\text{CNT}} = 3,4 \mu\text{m}$ synthetisiert werden.

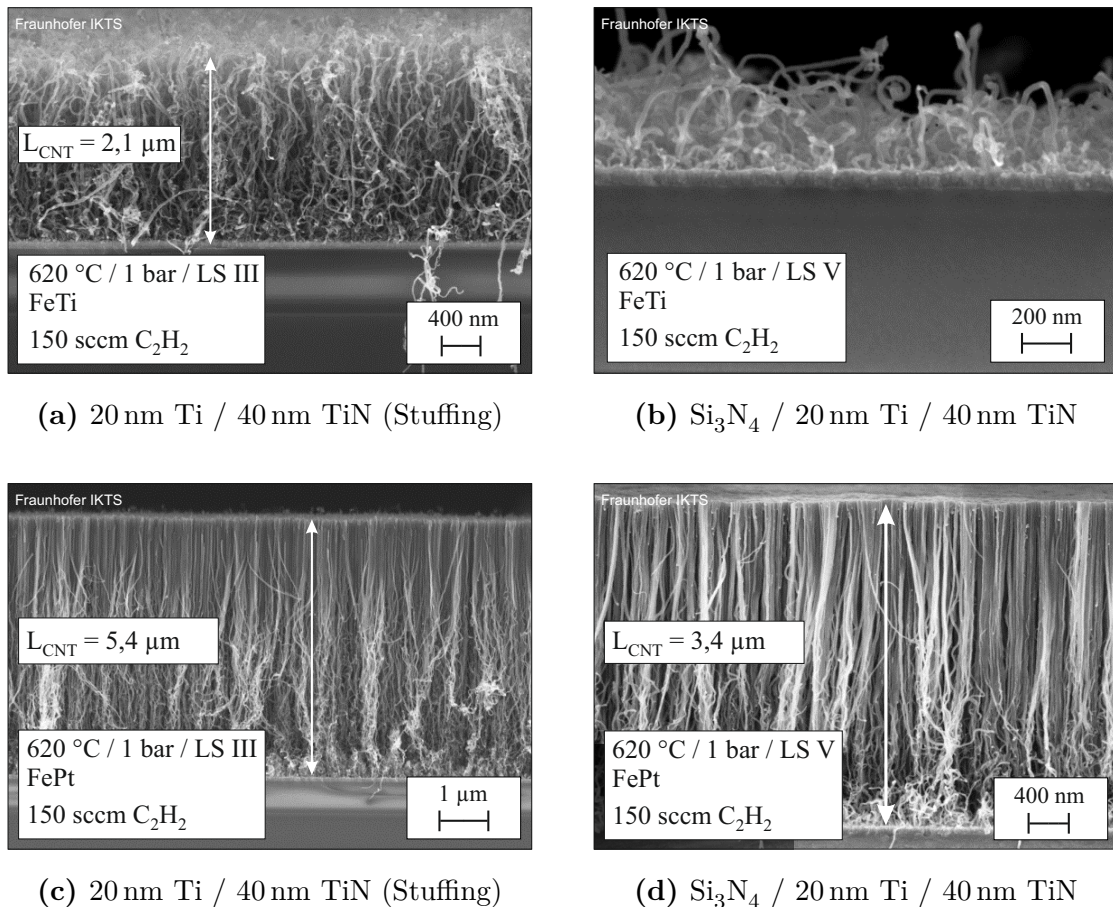


Abbildung 6.9: CNT-Synthese mit Mischkatalysatoren, Prozesstemperatur 620 °C, Prozessdruck 1 bar, Gasmisch: C₂H₂ (150 sccm) / H₂ / Ar, Prozesszeit: 20 min; (a) FeTi-Katalysator, dünne Ti/TiN-Barriere mit Stuffing, vaCNTs mit der Länge $L_{\text{CNT}} = 2,1 \mu\text{m}$; (b) FeTi-Katalysator, dünne Ti/TiN-Barriere ohne Stuffing, anfängliches CNT-Wachstum; (c) FePt-Katalysator, dünne Ti/TiN-Barriere mit Stuffing, vaCNTs mit der Länge $L_{\text{CNT}} = 5,4 \mu\text{m}$; (d) FePt-Katalysator, dünne Ti/TiN-Barriere ohne Stuffing, vaCNTs mit der Länge $L_{\text{CNT}} = 3,4 \mu\text{m}$

6.6 CNT-Synthese auf Basis-CMOS-MEA

Die Notwendigkeit eines Katalysatorpartikels für eine erfolgreiche CNT-Synthese kann für eine Strukturierung der CNT-Flächen ausgenutzt werden. Das lokale Aufwachsen von Kohlenstoff-Nanoröhren auf den Elektrodenflächen des Basis-CMOS-MEAs kann daher indirekt über die Strukturierung des Katalysators realisiert werden.

6.6.1 Lift-off Verfahren

Ein gängiges Verfahren zur Erzeugung strukturierter Metallflächen ist die Lift-off Methode. Dabei wird zunächst ein Negativlack auf dem Substrat aufgebracht und mittels Fotolithografie strukturiert. Der Negativlack weist bei abgestimmten Belichtungsparametern eine negative Lackflanke auf. Im Anschluss erfolgt eine ganzflächige Abscheidung des zu strukturierenden Materials. Die negative Lackflanke erlaubt bei Beschichtungsmethoden mit schlechter Kantenbedeckung ein nasschemisches Entfernen des Fotolacks und somit des überschüssigen Materials. Für einen erfolgreichen Lift-off muss neben einem negativen Kantenwinkel auch das Verhältnis zwischen Fotolackdicke und abgeschiedener Metallschichtdicke so gewählt werden, dass keine durchgehende Materialschicht auf dem Substrat entsteht. Des Weiteren darf die Prozesstemperatur bei der Deposition nicht über dem Erweichungspunkt des Fotolacks liegen, da dies zu einer Kantenverrundung des Lackprofils und so zu einer Beschichtung der Lackflanken führen kann. Problematisch beim Lift-off Prozess kann auch eine Redeposition des gelösten Materials auf dem Substrat sein.

6.6.2 Strukturierung des Katalysators

In Abbildung 6.10 ist der durchgeführte Prozessablauf illustriert. Alle Prozessschritte bis zur Deposition des Katalysators wurden auf Wafer-Ebene durchgeführt. Es wurden zwei Varianten des Basis-CMOS-MEA gewählt. Die erste Variante hatte eine Siliziumnitrid-Passivierung, die zweite Variante eine zusätzliche Passivierungsschicht aus Tantalpentoxid (Ta_2O_5 , 40 nm), vgl. Kapitel 5.5. Zunächst erfolgt das Belacken mit einem Negativlack der Serie AZ[®] nLOF2020, um eine ca. 2 μm dicke Lackschicht auf dem Substrat herzustellen. Dazu wird der Wafer zunächst in einem Pre-Bake Schritt für 60 s bei 200 °C zur Reduzierung von Partikeln und Wasser, welches sich auf der Waferoberfläche befindet, ausgeheizt. Im Anschluss wird der Wafer mit dem Haftvermittler Hexamethyldisilazan (HMDS) bei einer Temperatur von 150 °C benetzt. HMDS entfernt Wasserstoff und Hydroxidionen von der Waferoberfläche. Vor dem Aufbringen des Lacks wird der Wafer auf Raumtemperatur 20 °C abgekühlt. Das Belacken des Wafers wird im Spin-Coater durchgeführt, wobei je nach Viskosität des Lacks andere Belackungsparameter gewählt werden müssen. Der gewählte Negativlack AZ[®] nLOF2020 weist eine geringe Viskosität auf. Bei einer geringen Drehzahl wird der Negativlack zunächst auf dem Wafer aufgetragen und schließlich bei 3000 rpm homo-

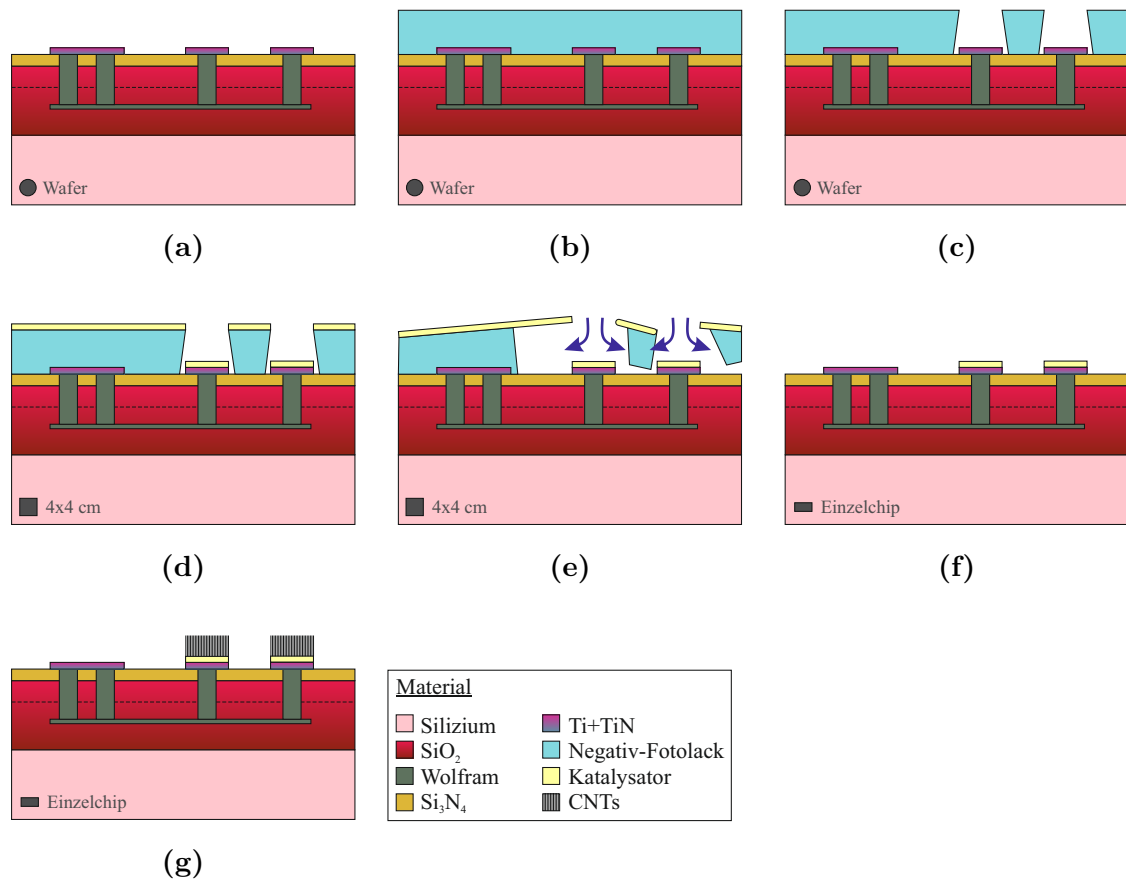


Abbildung 6.10: Prozessablauf zur strukturierten CNT-Synthese. (a) Basis-CMOS-MEA auf Wafer-Ebene, (b) Belacken mit Negativlack, (c) Belichten und Entwickeln mit negativem Unterschnitt, (d) Wafer in 4×4 cm Stücke sägen und Deposition des Katalysators (3 nm Fe, FeTi oder FePt), (e) Lift-off des Katalysators mittels NMP, (f) Vereinzeln der Probenstücke in Einzelchips, (g) CNT-Synthese auf Einzelchips

gen verteilt. Nach dem Belacken wird ein Softbake-Schritt bei 110°C (60 s) durchgeführt. Die Belichtung wird im Wafer-Step-Verfahren vorgenommen. Dabei werden mit Hilfe einer Hellfeld-Maske die Elektrodenflächen auf dem Basis-CMOS-MEA bei einer relativ geringen Belichtungs-dosis (Energiedosis $60 \text{ mJ}/\text{cm}^2$, i-Linie) belichtet. Nur die oberen Bereiche der Lackschicht werden auf diese Weise quervernetzt und ermöglichen beim Entwickeln den negativen Unterschnitt der Lackkante. Zwingend notwendig bei Verwendung eines Negativlacks ist nach der Belichtung die Ausführung eines Post Exposure Bake (PEB), bei dem die belichteten Lackbereiche quervernetzt werden. Für den PEB wurde eine Temperatur von 110°C (60 s) gewählt. Beim Entwickeln des Lacks lösen sich die nicht belichteten Bereiche der Lackschicht in der Entwicklerlösung (AZ[®]

826 MIF) auf. Der Entwicklungsvorgang wird durch Spülen mit deionisiertem Wasser (DI-Wasser) auf dem Wafer gestoppt. Im Gegensatz zu einem Positivlack wird beim Negativlack nach dem Entwickeln kein Hard-bake ausgeführt, um ein Verrunden der Lackflanken zu vermeiden. Die Rasterelektronenaufnahme in Abbildung 6.11 illustriert die erfolgreiche Prozessierung einer Lackflanke mit negativem Unterschnitt.

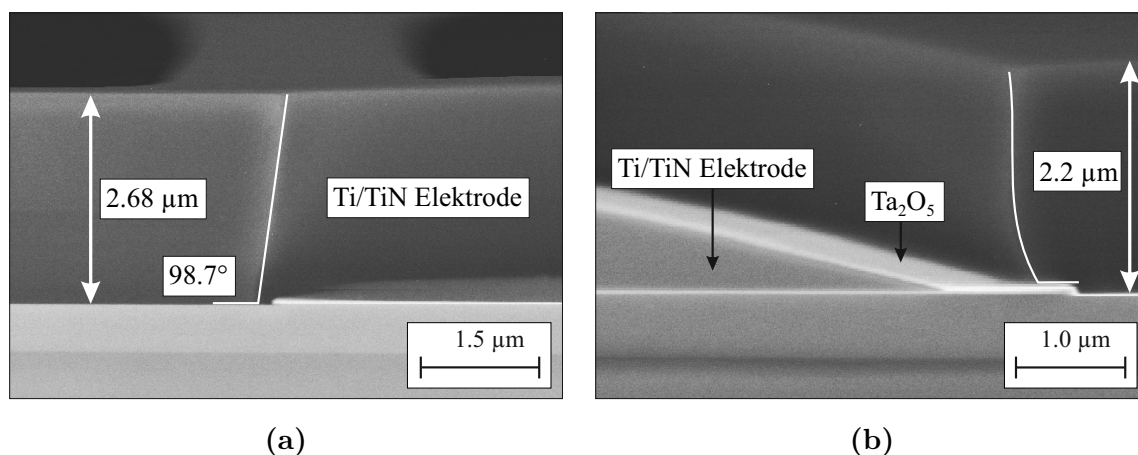


Abbildung 6.11: Rasterelektronenmikroskopie des Basis-CMOS-MEA mit entwickeltem Negativlack, (a) Basis-CMOS-MEA, deutlicher Unterschnitt der Lackflanke erkennbar, (b) Basis-CMOS-MEA mit zusätzlicher Ta_2O_5 -Passivierung

Nach dem Fotolithografie-Prozess wird der Wafer in einem Sägeprozess in ca. 4×4 cm große Einzelstücke entlang des Ritzrahmens gesägt. Eine weitere Prozessierung in 200 mm Technologie ist aufgrund der Geometrie der weiter benötigten Anlagen nicht möglich. Die Katalysatoren Fe, FeTi und FePt werden mittels Co-Sputtering jeweils mit einer Schichtdicke von 3 nm auf den Proben durch das Fraunhofer IKTS abgeschieden. Der Lift-off des überflüssigen Katalysators auf dem Fotolack wurde mittels des Lösungsmittel NMP (**N**-**M**ethyl-2-**p**yrrolidon) durch das Institut für Werkstoffe der Elektrotechnik, Lehrstuhl Mikrostrukturintegration (IWE1) der Universität Aachen durchgeführt. Dabei wurden die Proben kopfüber in 80°C heißem NMP für 24 Stunden eingeweicht. Im Anschluss erfolgt die Reinigung mittels DI-Wasser, Aceton und Isopropanol. Abbildung 6.12 zeigt eine lichtmikroskopische Aufnahme des strukturierten Katalysators auf dem Basis-CMOS-MEA. Anhand des Farbunterschieds zwischen Ti/TiN-Flächen und den beschichteten Elektrodenflächen, lässt sich die erfolgreiche Deposition des 3 nm dünnen Katalysators ablesen.

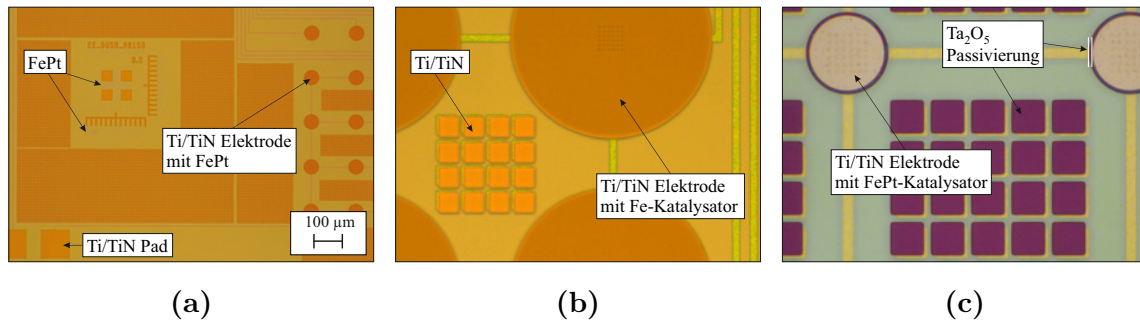


Abbildung 6.12: Kontrolle der Katalysator-Deposition nach Lift-off mittels Lichtmikroskopie (Farbveränderung). (a) FePt-Katalysator auf Ti/TiN-Elektrodenflächen, (b) Fe-Katalysator auf Elektrode mit Überlapp von $0,8\mu\text{m}$, (c) FePt-Katalysator auf Basis-CMOS-MEA mit zusätzlicher Ta_2O_5 -Passivierung.

6.6.3 Ergebnisse zur CNT-Synthese auf Basis-CMOS-MEA

Bevor die CNT-Synthese durchgeführt werden kann, müssen die $4 \times 4\text{ cm}$ großen Proben in $3,8 \times 2,2\text{ mm}$ Einzelchips gesägt werden. Die starke mechanische Einwirkung und die Hochdruckreinigung des Sägeprozesses würde die Schicht aus Kohlenstoff-Nanoröhren zerstören. Daher ist nur die CNT-Synthese auf Einzelchips möglich, die allerdings in einem Verbund gleichzeitig im CVD-Reaktor bearbeitet werden können. Die Ergebnisse aus Abschnitt 6.5.3 haben zur Konsequenz, dass die meisten Proben mit dem jeweils favorisierten Prozessparametern bearbeitet wurden. So wurden die Proben, die mit dem FePt-Katalysator beschichtet wurden, bei einer Prozess Temperatur von 620°C und einem Prozessdruck von 1 bar mittels des C_2H_2 -Precursors (C_2H_2 (150 sccm) / H_2 / Ar) mit CNTs beschichtet. Kohlenstoff-Nanoröhren auf den Proben mit einem Fe-Katalysator wurden bei sonst gleichen Parametern bei der Synthese-Temperatur 700°C hergestellt. Trotz der geringen Qualität der CNTs im Fall des FeTi-Katalysators, wurden die FeTi-Proben ebenfalls bei 620°C prozessiert. Die rasterelektronische Aufnahme in Abbildung 6.13 zeigt die erfolgreiche Synthese von Kohlenstoff-Nanoröhren auf dem Basis-CMOS-MEA bei der Temperatur 620°C und Verwendung des FePt-Katalysators. Die Synthese weist bei einer Prozesszeit von 20 min eine Schichtdicke von $\approx 2,5\mu\text{m}$ auf. Die CNTs sind zwar vertikal ausgerichtet, allerdings nicht so homogen wie bei der Synthese auf den Testsubstraten. In Teilabbildung 6.13c erkennt man, dass die Kohlenstoff-Nanoröhren auf der Elektrodenfläche gleich verteilt aufgewachsen

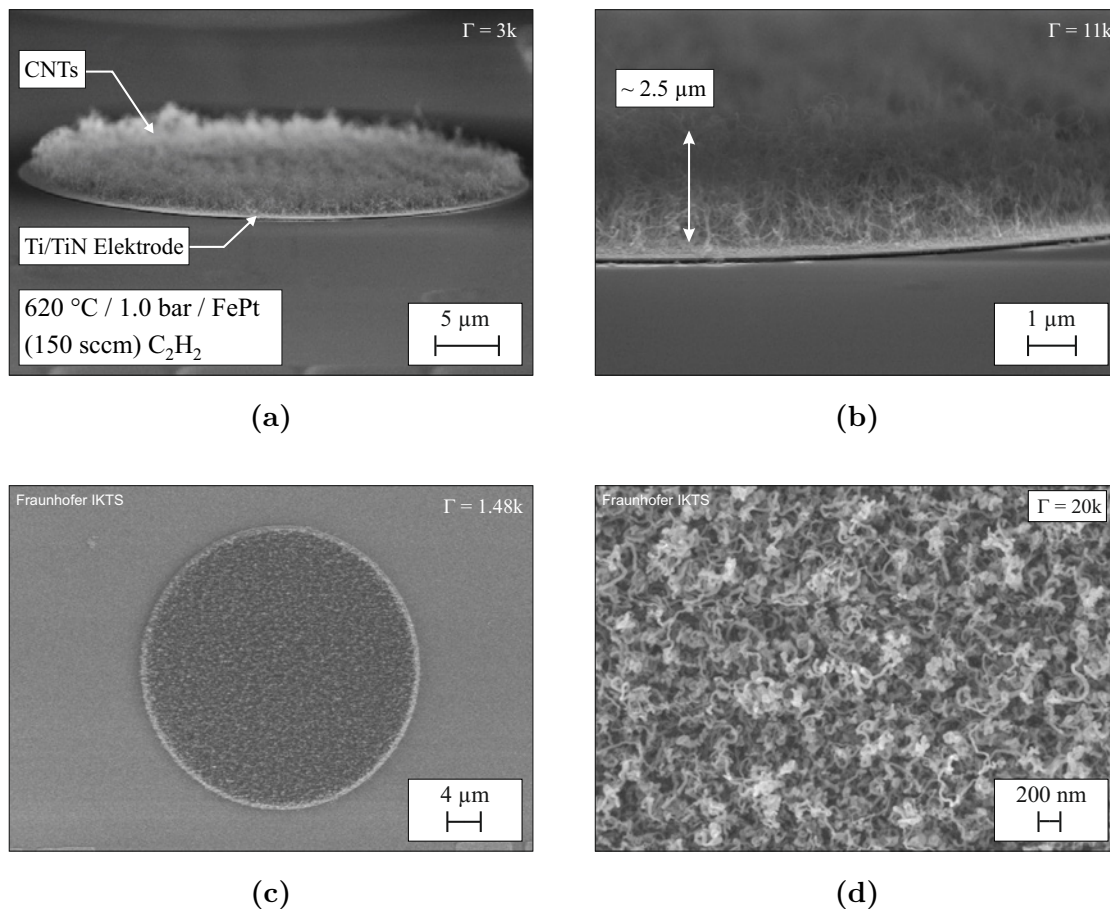


Abbildung 6.13: Kohlenstoff-Nanoröhren auf Ti/TiN-Elektrodenflächen des Basis-CMOS-MEA bei Prozesstemperatur 620 °C auf FePt-Katalysator, Prozessdruck 1 bar, Gasgemisch: C_2H_2 (150 sccm) / H_2 / Ar. (a) Flächige Bedeckung der Elektrode mit CNTs mittlerer Homogenität. (b) beginnende vertikale Ausrichtung der CNTs, Höhe ca. 2,5 μm , (c) Aufsicht auf Elektrode, gleichmäßige Verteilung der CNTs auf Elektrodenoberfläche, (d) Detailansicht der Oberfläche, MWNT-Wachstum.

sind. In der Detailansicht erkennt man deutlich, dass es sich beim CNT-Wachstum um MWNT-Strukturen handelt.

Die Rasterelektronenaufnahmen in Abbildung 6.14 zeigen das Wachstum auf dem Basis-CMOS-MEA, der eine zusätzliche Ta_2O_5 -Passivierung aufweist. Die Synthese wurde mittels des FePt-Katalysators bei 620 °C durchgeführt. Im Vergleich zum CNT-Wachstum ohne zusätzlicher Ta_2O_5 -Passivierung erkennt man, dass auf der hochkonformen, 40 nm dünnen Ta_2O_5 -Schicht kein CNT-Wachstum möglich ist. Die Qualität der CNTs ist mit der Synthese auf unpassiviertem Substrat vergleichbar, wobei jedoch qualitativ eine minimale Änderung der vertikalen Ausrichtung und ein stärker gekräuselt Wachstum erkennbar ist. Nach der 20 minütigen Beschichtung mit

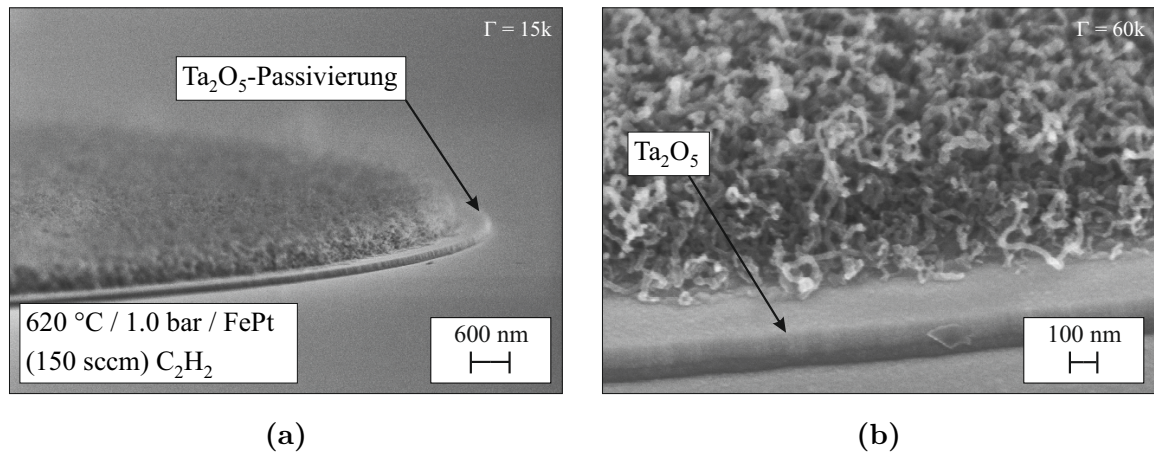


Abbildung 6.14: Kohlenstoff-Nanoröhren auf Basis-CMOS-MEA mit zusätzlicher Tantalpentoxid-Passivierung. CNT-Synthese mittels FePt-Katalysator, Prozessdruck 1 bar, Gasmischung: C_2H_2 (150 sccm) / H_2 / Ar, Temperatur 620 °C. (a) CNT-Synthese mit beginnender vertikaler Ausrichtung, (b) Detailansicht der Ta_2O_5 -Passivierung und MWNT-Wachstum auf Ti/TiN Elektrode

Kohlenstoff-Nanoröhren treten keine Beschädigungen, wie z. B. Risse oder ein Ablättern der Ta_2O_5 -Schicht auf.

Die Ergebnisse der CNT-Synthese auf dem Basis-CMOS-MEA mittels Fe- sowie FeTi-Katalysators sind in Abbildung 6.15a dargestellt. Ein CNT-Wachstum beim Fe-Katalysator bei 700 °C ist erfolgreich durchgeführt worden. Allerdings wird die erzielte Schichtdicke der Voruntersuchungen nicht erreicht. Die Abscheidung zeigt im Vergleich zur FePt-Kombination eine geringere Homogenität. Die Verteilung der MWNTs auf der Elektrodenfläche ist mit der des FePt-Katalysators vergleichbar. Die CNT-Synthese auf dem Basis-CMOS-MEA mit strukturierten FeTi-Katalysator ist in Abbildung 6.15b dargestellt. Wie aus den Voruntersuchungen erwartet, ist bei dieser Konfiguration und einer Prozesstemperatur von 620 °C ein CNT-Wachstum nur im Ansatz erkennbar. Vereinzelt finden sich Kohlenstoff-Nanoröhren auf der Oberfläche. Vergleicht man die CNT-Synthese aller drei Katalysatoren, so zeigt sich deutlich, dass das Wachstum von Kohlenstoff-Nanoröhren mit dem FePt-Mischkatalysator für den Schichtaufbau des Basis-CMOS-MEA favorisiert ist, insbesondere wenn man die geringe Prozesstemperatur von 620 °C beachtet.

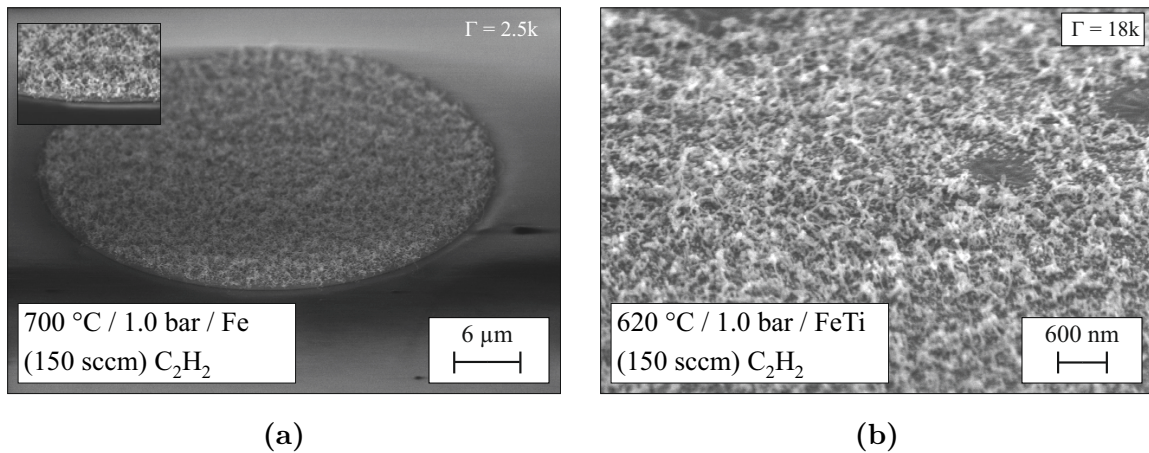


Abbildung 6.15: Kohlenstoff-Nanoröhren auf Basis-CMOS-MEA mittels Fe- und FeTi-Katalysator, Prozessdruck 1 bar, Gasgemisch: C_2H_2 (150 sccm) / H_2 / Ar, (a) CNT-Synthese mit beginnender vertikaler Ausrichtung mit Fe-Katalysator bei 700 °C, (b) Erzeugung von Kohlenstoff-Strukturen mittels FeTi-Katalysators bei 620 °C

6.6.4 Fazit zur CNT-Synthese auf Basis-CMOS-MEA

Die Voruntersuchungen zur CNT-Synthese auf unterschiedlichen Schichtstapeln haben gezeigt, dass das beste Wachstum bei niedrigen Temperaturen bei der Konfiguration SiO_2 / Si_3N_4 / Ti (20 nm) / TiN (40 nm) / FePt (3 nm) mit dem Precursor C_2H_2 (150 sccm) erzielt werden konnte. Dieser Schichtstapel entspricht dem Schichtaufbau des Basis-CMOS-MEA. Auf dem Basis-CMOS-MEA wurden die Katalysatoren Fe, FeTi und FePt erfolgreich strukturiert. Dazu wurde eine Strukturierung mittels Lift-off Verfahren genutzt. Die CNT-Synthese auf dem Basis-CMOS-MEA, ohne und mit einer zusätzlichen Ta_2O_5 -Verkapselung, zeigt für den FePt-Katalysator bei einer Prozesstemperatur von 620 °C ein akzeptables CNT-Wachstum mit beginnender vertikaler Ausrichtung der Nanoröhren. Das CNT-Wachstum mit Hilfe eines Fe-Katalysators (700 °C) erreicht nicht die Schichtdicke aus den Vorversuchen. Auch die Synthese mittels FeTi-Katalysators zeigt auf dem Basis-CMOS-MEA ein schlechteres CNT-Wachstum im Vergleich zum Testsubstrat. Für alle CNT-Synthesen auf dem Basis-CMOS-MEA zeigt sich eine geringere Homogenität der Kohlenstoff-Nanoröhren Deposition. Die Ursachen hierfür können nur qualitativ diskutiert werden. Die Qualität der Katalysator-schicht könnte durch den Reinigungsprozess beim Lift-off mittels NMP, Aceton und Isopropanol, sowie durch die Reinigungsschritte des Sägeprozesses gemindert worden sein. Dies würde die geringere Homogenität und damit verbunden auch die kleinere

vertikale Ausrichtung der CNT-Schicht erklären. Eine andere mögliche Erklärung ist, dass die Synthese der CNTs bereits bei kleinen Prozessänderungen großen Einfluss auf die Qualität des CNT-Wachstums zeigt. So könnte die im Vergleich zu den Testsubstraten veränderte Probengeometrie einen Einfluss auf das CNT-Wachstum haben. Die Strömungsverhältnisse in der Kammer ändern sich bei Verwendung kleinerer Proben. Zudem ändert sich die thermische Kopplung zwischen Substrat und Reaktor bei veränderter Probengeometrie. Trotzdem zeigt sich gerade bei dem Basis-CMOS-MEA mit FePt-CNT-Synthese eine hohe Oberflächenvergrößerung der Elektrodenflächen. Die nanomodifizierten Multi-Elektroden-Arrays werden im Kapitel 10 mit den Methoden der zyklischen Voltammetrie und elektrochemischer Impedanzspektroskopie charakterisiert.

7 Integration eines Nano-Rasens auf dem Basis-CMOS-MEA

Um bei immer kleineren Elektrodendurchmessern eine möglichst große aktive Oberfläche zu erzielen, wird in dieser Arbeit neben der Integration von Kohlenstoff-Nanoröhren auch ein neu entwickeltes Konzept zur Oberflächenvergrößerung vorgestellt. Dabei wird auf den Elektrodenflächen ein Nano-Rasen aus Ruthenium aufgebaut, wobei die effektive Oberfläche der Elektroden durch die dreidimensionale Struktur maximiert wird. Ruthenium, das im Periodensystem zur Platin-Gruppe gezählt wird, ist ein relativ hartes und sprödes Übergangsmetall mit einem Schmelzpunkt von 2334 °C. Ähnlich wie Platin zeigt Ruthenium eine hohe Reaktionsträgheit und ist gegenüber Schwefelsäure, Salpetersäure, Flusssäure und sogar Königswasser resistent. Ruthenium kann mit Hilfe des reaktiven Plasmaätzens in einem Cl_2/O_2 - oder CF_4/O_2 -Plasma strukturiert werden [139, 140]. Allerdings sorgt der hohe Anteil von Sauerstoff für eine geringe Selektivität gegenüber einer Lackmaske. Die Selektivität von Ru zu SiO_2 liegt im Bereich 1,3 [140]. In der Halbleiterindustrie kann Ruthenium als Saatschicht für Elektroplating von Kupfer verwendet werden [98, 141]. Ruthenium kann hochkonform mittels ALD in sehr definierten Schichtdicken in Löcher mit sehr hohem Aspektverhältnis abgeschieden werden. Lee et al. [142] haben Ruthenium-Nanotubes mit einem Aspektverhältnis von 1:10 und einer Wandstärke von bis zu 23 nm mittels einer konformen ALD Abscheidung in selbstgeordnetem, anodisiertem Aluminiumoxid (**A**nodic **A**luminum **O**xide (AAO)) abgeschieden. Das als Template dienende AAO kann selektiv zur abgeschiedenen Ruthenium-Schicht mittels eines BCl_3 -Plasmas entfernt werden [59]. In der Literatur wird aufgrund der Zugehörigkeit von Ruthenium zur Platin-Gruppe von einer hohen Biokompatibilität berichtet [143]. Nanoporöses Rutheniumdioxid wurde bereits als Elektrodenmaterial für bio-elektrochemische Anwendungen in Implantaten verwendet [144]. In einer Studie von Burdet et al. [9] wurden planare Ruthenium-Elektroden, die im ALD-Verfahren und aus der Elektrodeposition hergestellt wurden, elektrochemisch charakterisiert, wobei bei der mit ALD hergestellten Ruthenium-Schicht ein Faktor 2 der Ladungstransferkapazität erreicht wurde.

Im ersten Abschnitt dieses Kapitels wird der Prozessablauf zur Integration eines Nano-Rasens auf dem Basis-CMOS-MEA erläutert. Die Prozessentwicklung unterliegt verschiedenen Parametern, wie z. B. der Schichtdicke einer notwendigen Opferschicht, der Belichtungsdosis in der Fotolithografie, der Ätzrate im DRIE-Prozess sowie der Konformität bei einem ALD-Prozess. Einzelne Parameter werden bis zur vollständigen Integration eines Nano-Rasens auf dem Basis-CMOS-MEA diskutiert.

Für eine elektrische Charakterisierung der hergestellten Nanostrukturierung werden zum Ende dieses Kapitel verschiedene Teststrukturen vorgestellt und charakterisiert.

7.1 Konzept des Nano-Rasens

Die Oberflächenvergrößerung der Einzelelektroden zur Effizienzsteigerung wird in dieser Arbeit durch ein neuartiges Konzept eines dreidimensionalen Nano-Rasens erreicht. In Abbildung 7.1 ist der prinzipielle Prozessablauf zur Erzeugung des Nano-Rasens illustriert. Auf dem Basis-CMOS-MEA wird zunächst ein Opferschichtmaterial abgeschieden, das in einem späteren Prozessschritt sehr selektiv gegenüber anderen eingesetzten Materialien (TiN, Si_3N_4 , AlSi) von der Substratoberfläche entfernt werden kann. Das Opferschichtmaterial soll zudem die Eigenschaft besitzen, in einem Ätzverfahren anisotrop geätzt werden zu können. Als mögliches Material bietet sich daher eine amorphe Siliziumschicht (a-Si) an [145]. Mittels eines anisotropen Ätzverfahrens, hier des Bosch-Prozesses, werden kleine Löcher in der maskierten Opferschicht strukturiert. Der Ätzvorgang soll dabei auf der Oberfläche der Ti/TiN-Elektroden stoppen. Eine besondere Herausforderung liegt hier im hohen Aspektverhältnis. Die geätzten Löcher werden nach einem EKC-Reinigungsschritt mittels einer hoch konformen ALD-Abscheidung mit Ruthenium gefüllt. Die Separation einzelner Nano-Röhren kann entweder über eine weitere Strukturierung der oberflächlichen Ruthenium-Schicht erfolgen, oder vereinfacht über einen ganzflächigen Ätzschritt auf der Waferoberfläche, wie in dieser Arbeit durchgeführt. Eine Winkelabhängigkeit der Ätzraten beim Sputterätzen oder auch beim Ionenstrahlätzen verhindert ein vollständiges Entfernen der abgeschiedenen ALD-Schicht bei Strukturen mit hohem Aspektverhältnis. Die Ätzrate für die Seitenwände der gefüllten Löcher ist im Vergleich zur Ätzrate auf einer planaren Oberfläche sehr gering. Nach dem Ätzen werden daher die einzelnen Nano-Säulen zunächst voneinander isoliert, bleiben jedoch in der Opferschicht fixiert. Nachdem der Wafer des Basis-CMOS-MEA mit den noch eingekapselten Nano-Röhren nach einer Reinigung in

Einzelproben gesägt wird, kann auf einzelnen Chips die Opferschicht von der Probenoberfläche in einem isotropen Ätzschritt entfernt werden. Nach dem Release-Prozess verbleiben auf den Ti/TiN-Elektrodenflächen eine Vielzahl von einzelnen Ruthenium-Nano-Röhren mit einem nanoskaligen Durchmesser von 400 nm und mit Wandstärken im Bereich von 50 nm.

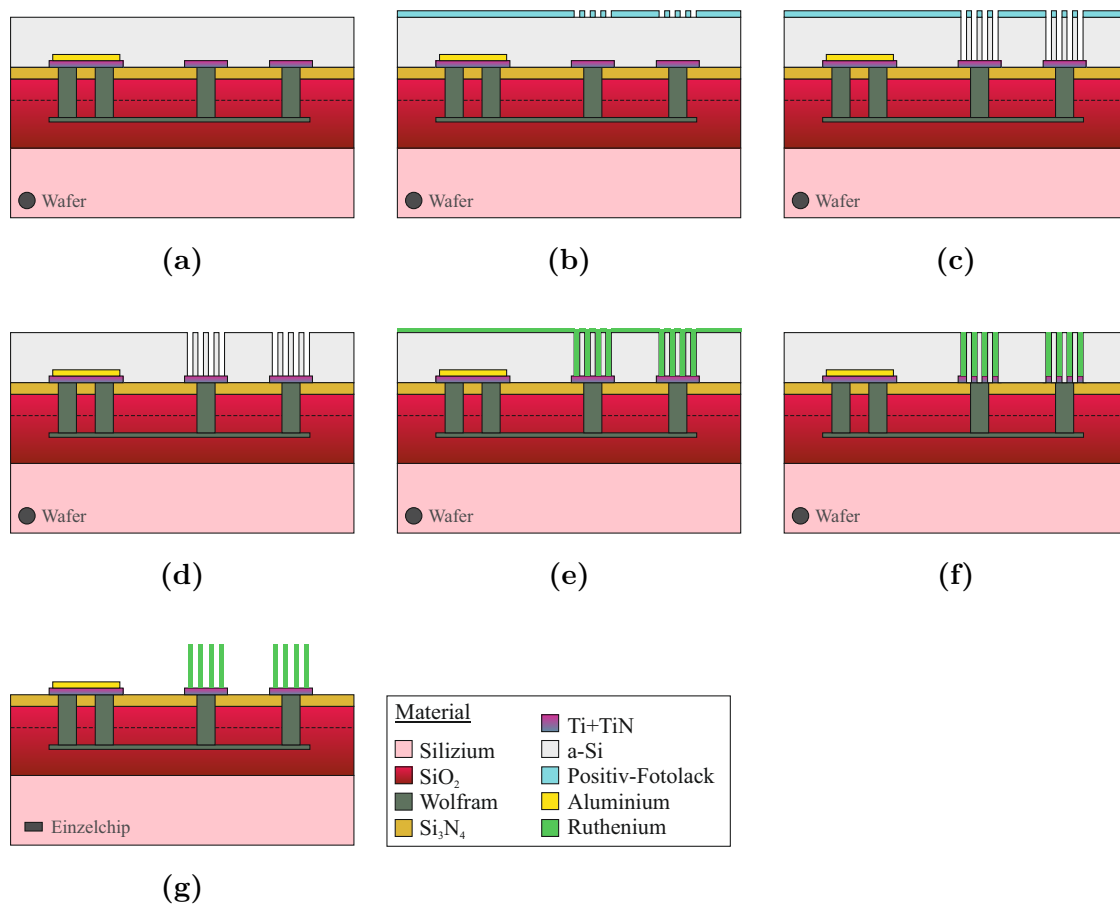


Abbildung 7.1: Prozessablauf zur Erzeugung eines Ruthenium-Nano-Rasens. (a) Abscheidung einer 3 µm dicken a-Si Opferschicht, (b) Fotolithografie zur Öffnung von 400 nm schmalen Löchern über Elektroden, (c) Anisotropes Ätzen mittels Bosch-Prozess mit Stopp auf Elektrode, (d) Veraschen des Fotolacks und Entfernung von Polymeren, (e) Hochkonforme ALD Beschichtung (Ruthenium), (f) Ganzflächiges Ätzen der ALD Schicht, (g) Release-Prozess des Nano-Rasens auf Chip-Ebene

7.2 Prozessentwicklung

7.2.1 Deposition der Opferschicht

Amorphes Silizium (a-Si) wird heutzutage als Opferschichtmaterial oder auch als Sensormaterial in CMOS-kompatiblen Prozessen eingesetzt. Als Sensormaterial zeigt amorphes Silizium in der atomaren Nahordnung vergleichbare Eigenschaften wie kristallines Silizium. Beim Wachstum von amorphem Silizium treten nicht abgesättigte Si-Bindungen (dangling bonds) auf, die die elektronischen Eigenschaften des a-Si beeinflussen und den Einsatz als Sensormaterial einschränken. Für den Einsatz als Sensormaterial wird daher bei der Synthese zum Prozessgas Silan (SiH_4) ein Anteil von Wasserstoff (H_2) beigemischt, um die offenen Bindungen abzusättigen. Als Opferschichtmaterial hat die Beimischung von Wasserstoff keine elektronische Bedeutung. Amorphe Silizium-Schichten, die mit einem Trägergas verdünnt sind, können unterschiedlichen Einfluss auf den intrinsischen Stress der abgeschiedenen Schicht zeigen [146]. In der Literatur werden hydrogenisierte a-Si Schichtdicken von bis zu $12\ \mu\text{m}$ beschrieben [147]. Der intrinsische Stress kann z. B. zu einer Durchbiegung des $725\ \mu\text{m}$ dicken Wafers und schließlich zu einer Delamination der abgeschiedenen Schicht führen. In dieser Arbeit wird die a-Si Opferschicht bei ungefähr $400\ ^\circ\text{C}$ über die Reaktion



mittels einer PECVD Anlage des Typs Amat P5000 auf dem Wafer abgeschieden. Als Trägergas wurde inertes Argon eingesetzt. Das Verhältnis zwischen SiH_4 und Ar lag bei 1:10. Eine Hydrogenisierung der a-Si Schicht wurde nicht durchgeführt. Bei der a-Si Synthese wurde ein Anteil von Diboran (B_2H_6) dem Prozessgas beigefügt. Im Druckbereich von ungefähr 3 mbar wurde eine Abscheiderate von $\approx 5,3\ \text{nm s}^{-1}$ gemessen. Die Opferschichtdicke betrug nach dem Prozess $3\ \mu\text{m}$. Die Adhäsion der a-Si Schicht auf planaren Testsubstraten mit den Oberflächenmaterialien Si_3N_4 , TiN, Ta_2O_5 und AlSi wurde erfolgreich verifiziert. Auf strukturierten Substraten wurden vereinzelt Bläschen an den Strukturkanten aufgrund kristallinem Wachstums festgestellt. Da allerdings im weiteren Prozessablauf die amorphe Siliziumschicht vollständig entfernt wird, ist die Ausbildung kleiner Störstellen im a-Si tolerierbar. Die Höhe des Nano-Rasens lässt sich über die Opferschichtdicke einstellen. Begrenzende Faktoren liegen neben der maximal möglichen Schichtdicke der a-Si Schicht insbesondere in der Strukturbreite sowie im erreichbaren Aspektverhältnis eines anisotropen Ätzschrittes.

7.2.2 Fotolithografie für Nano-Rasen

Über den Elektrodenflächen wird auf der $3\ \mu\text{m}$ dicken a-Si Opferschicht mit fotolithografischen Mitteln eine Maskierung des Nano-Rasens mit geöffneten Löchern im Fotolack hergestellt. Auf der Dunkelfeld-Maske, vgl. Layout in Abbildung 7.2, befinden sich quadratisch angeordnete, kreisrunde Strukturen mit dem Durchmesser $400\ \text{nm}$ und einem gegenseitigen Mitte-Mitte-Abstand (engl. Pitch) von $1\ \mu\text{m}$. Die Anordnung der Kreise auf der Elektrodenfläche ist so gewählt, dass zum einen die maximal mögliche Anzahl der Kreise erreicht werden kann, zum anderen aber ein minimaler Überlapp der Elektrodenfläche von $0,8\ \mu\text{m}$ eingehalten wird. Damit können mögliche Fehljustagen bei der Fotolithografie ausgeglichen werden. Bei dem Basis-CMOS-MEA mit zusätzlicher Ta_2O_5 -Passivierung, liegt der Überlapp ebenfalls bei $0,8\ \mu\text{m}$.

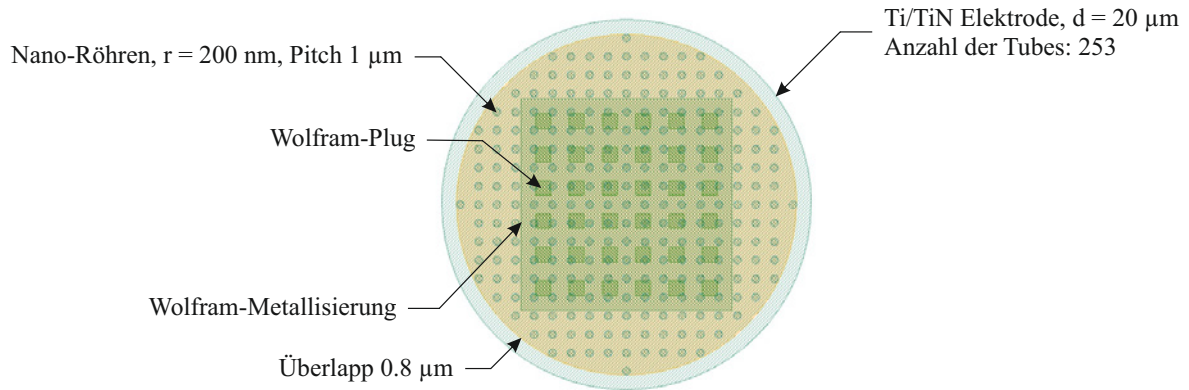


Abbildung 7.2: Layout einer Ti/TiN-Elektrode mit Durchmesser $20\ \mu\text{m}$ und Platzierung eines Nano-Rasens mit einem Röhrendurchmesser von $400\ \text{nm}$ und einem Mitte-Mitte-Abstand von $1\ \mu\text{m}$. Der Abstand zum Rand der Elektrode beträgt $0,8\ \mu\text{m}$. Anzahl der Nano-Röhren: 253, vgl. 7.1

In Tabelle 7.1 sind die Elektrodengrößen des Basis-CMOS-MEAs mit der jeweiligen Anzahl der aufgesetzten Nano-Röhren gelistet. Die Anzahl variiert zwischen 49 Nanoröhren auf einer $10\ \mu\text{m}$ breiten Elektrodenfläche und 4757 Nano-Röhren auf einer Elektrode mit einem Durchmesser von $80\ \mu\text{m}$.

Unter Annahme eines vereinfachten Modells der erzeugten Nano-Röhre als Zylinder- oder Hohlzylindergeometrie (vgl. Abb. 7.3)¹ lässt sich der Oberflächenzuwachs über

$$\begin{aligned}\Delta A_{\text{Zylinder}} &= 2\pi r h + 1\pi r^2 \\ \Delta A_{\text{Hohlzylinder}} &= 2\pi R h + 2\pi r \hat{h} + \pi(R^2 - r^2)\end{aligned}\quad (7.2)$$

¹3D Darstellung: A. Goehlich, Fraunhofer IMS

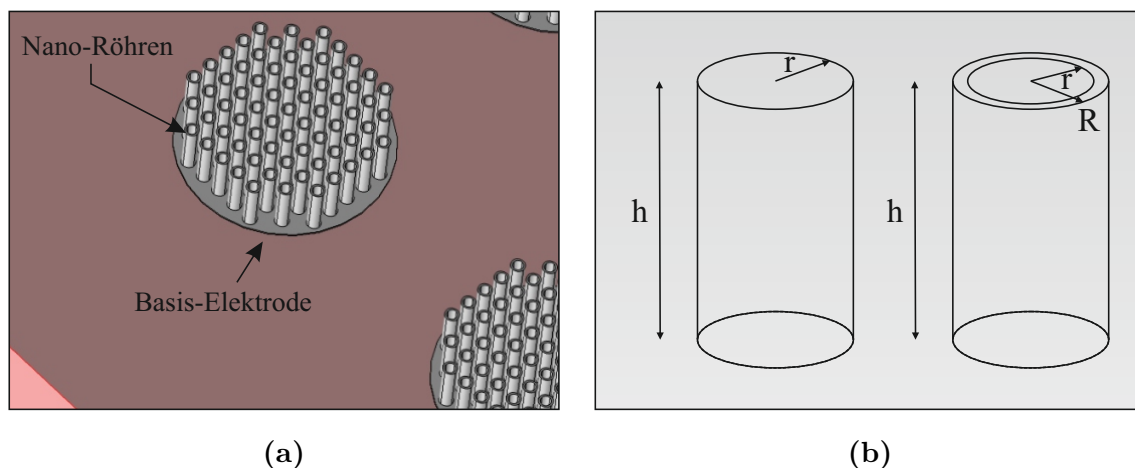


Abbildung 7.3: Schematische Darstellung eines Nano-Rasens auf einer Basis-Elektrode, (a) 3D Darstellung eines Nano-Rasens als einzelne Hohlzylinder, (b) Skizze für Zylinder und Hohlzylinder zur Bestimmung der Oberfläche

abschätzen, wobei $R - r$ der abgeschiedenen Schichtdicke und \hat{h} der Höhe des inneren Zylinders entspricht. Bei einer Höhe von $3\ \mu\text{m}$ und einer Schichtdicke von $50\ \text{nm}$, erhält man durchschnittlich eine um den Faktor $\approx 4,6$ und $\approx 7,1$ vergrößerte Gesamtoberfläche im Vergleich zur planaren Elektrode, vgl. Tabelle 7.1.

Durchmesser Elektrode [μm]	Anzahl Nanoröhren	Elektroden Fläche [μm^2]	Nano-Rasen Fläche [μm^2]	Zylinder Faktor	Hohlzylinder Faktor
10	49	79,5	190,9	3,43	5,12
20	253	314,2	985,6	4,14	6,32
30	609	706,9	2372,4	4,36	6,69
40	1129	1256,6	4398,1	4,5	6,93
50	1793	1963,5	6984,8	4,56	7,03
60	2621	2827,4	10210,3	4,61	7,12
70	3601	3848,5	14027,9	4,64	7,18
80	4757	5026,5	18531,2	4,67	7,25

Tabelle 7.1: Angabe der planaren Elektrodengröße mit der Anzahl der aufgesetzten Nano-Röhren. Abschätzung des Flächenzuwachses bei Annahme einer Zylinder- und Hohlzylinder-Geometrie der Nano-Röhren bei einer Höhe von $3\ \mu\text{m}$ und einer Wandstärke von $50\ \text{nm}$

Bei der Fotolithografie der nur $0,4\ \mu\text{m}$ großen Löcher müssen besondere Belichtungsparameter beachtet werden. Für die Belackung der Wafer wurde der Fotolack MEGAPOSITTM SPRTM 955-CM 1.1 eingesetzt, der nominal bei hoher Drehzahl des

Spin-Coaters (4800 rpm) eine minimale Schichtdicke von ca. $1\ \mu\text{m}$ einnimmt. Der für die Belichtung genutzte i-Line Stepper ASML PAS5500/200B ist für eine Auflösung bis zu $0,35\ \mu\text{m}$ spezifiziert. In Abbildung 7.4 ist eine REM-Querschnittsanalyse der Fotolithografie dargestellt. Es hat sich gezeigt, dass für eine vollständige Durchbelichtung der Nano-Rasen-Struktur bei Verwendung eines $1\ \mu\text{m}$ dicken Lacks eine erhöhte Energiedosis nötig ist. Allerdings hat dies zur Folge, dass oberflächennahe Bereiche des Fotolacks überbelichtet werden und dabei die Steilheit der Lackflanke abnimmt (Taper). Der Prozess wurde jedoch so eingestellt, dass der Fokusbereich der Belichtung unterhalb der Waferfläche liegt und so der Durchmesser der belichteten Struktur ungefähr $320\ \text{nm}$ beträgt. Bei Verwendung eines Fotolacks mit geringerer Viskosität lässt sich dieses Problem prinzipiell beheben, allerdings muss in diesem Fall beachtet werden, dass ein späterer Ätzschritt mit der Selektivität des Fotolacks kompatibel ist.

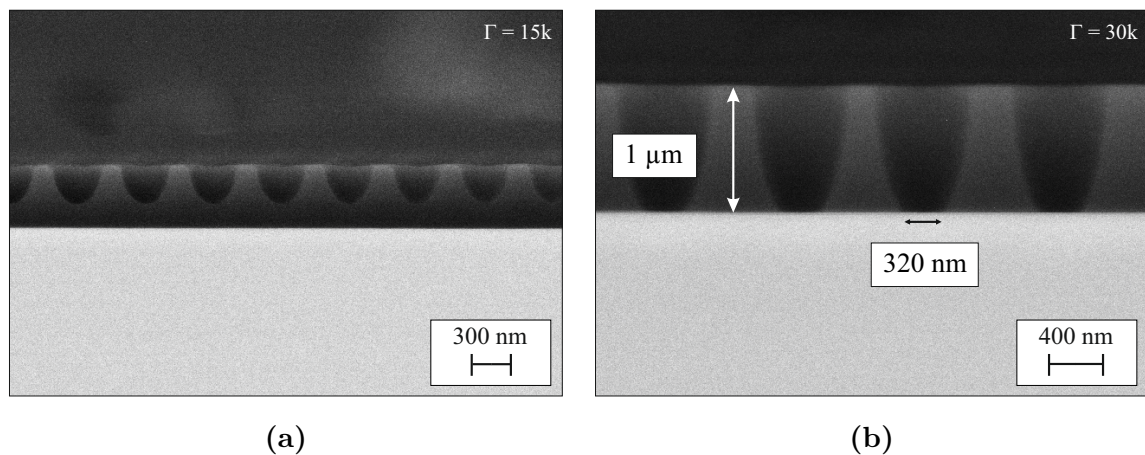


Abbildung 7.4: Rasterelektronenaufnahme der Lackstruktur mit einer Lackdicke von $1\ \mu\text{m}$. (a) eine zu geringe Energiedosis verhindert die vollständige Durchbelichtung des Nano-Rasens, (b) Freibelichtete Flächen der Nano-Rasen-Maske von ungefähr $320\ \text{nm}$ bei erhöhter Energiedosis

7.2.3 Anisotropes Ätzen - Bosch Prozess

Amorphes Silizium lässt sich wie kristallines Silizium über fluorhaltige Gase ätzen. Mittels DRIE (**D**eep **R**eactive **I**on **E**tching) lassen sich tiefe Gräben und Löcher in kristallines sowie in amorphes Silizium strukturieren, vgl. Kapitel 4.2.2. Im sogenannten Bosch-Prozess wird ein anisotropes Ätzprofil durch zwei sich abwechselnde Zyklen für Ätzen und Passivieren erreicht. Auf einem isotropem Ätzschritt mit SF_6 folgt eine Abscheidung eines Teflon[®]-artigen, passivierenden Polymerfilms (C_4F_8). Das Ätzprofil

wird anhand der Ätztiefe, d. h. also der Ätzrate, dem Seitenwandwinkel, dem Seitenwandprofil (Scalloping), der Maskenselektivität und der Uniformität auf dem Wafer beurteilt. Für die Strukturierung des Nano-Rasens muss ein angepasster Bosch-Prozess verwendet werden, der das Ätzen kleiner Strukturgrößen erlaubt. Insbesondere das Scalloping muss so klein sein, dass die Maskierung möglichst genau in die Opferschicht übertragen werden kann. Eine Minimierung des Scalloping kann durch eine Reduzierung der Pulszeiten der C_4F_8 - und der SF_6 -Zyklen erfolgen [104, 105]. Die Schichtdicke der Passivierung ist proportional zur C_4F_8 -Abscheidungsdauer. Für kleine Strukturgrößen muss der SF_6 -Ätzschritt daher ebenfalls angepasst werden, indem der SF_6 -Gasfluss reduziert wird. Gleichzeitig zum Ätzschritt wird ein geringer Fluss von C_4F_8 zur Passivierung beigefügt. Um ein Gleichgewicht zwischen Ätzen und Passivieren zu erreichen, wird zudem die Plasmaleistung reduziert. In den REM-Aufnahmen in Abbildung 7.5 ist ein Ätzprofil von 400 nm breiten Löchern in einem Si-Substrat abgebildet, wobei die Löcher mit dem angepassten Ätzprozess hergestellt wurden. Auf dem Testsubstrat wurde dabei zunächst eine Fotolack-Maskierung mit steilen Lackflanken aufgebracht, die vor dem Ätzprozess eine Schichtdicke von 0,7 μm aufwies.

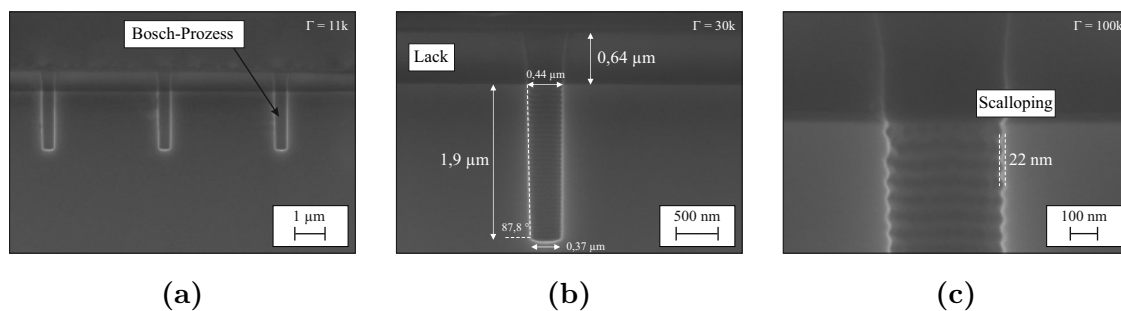


Abbildung 7.5: Bosch-Prozess von Löchern mit 0,4 μm Durchmesser mit einer Fotolack-Dicke von ursprünglich 0,7 μm . (a) Bei allen Löchern wurde nach 1 min die gleiche Ätztiefe 1,9 μm erreicht, (b) hohe Selektivität (1:30) des Fotolacks, Seitenwandwinkel von 88°, (c) geringe Rauheit der Seitenwand von 22 nm

Die erreichte Ätztiefe betrug nach 1 min Prozesszeit ungefähr 1,9 μm . Die Schichtdicke des Fotolacks reduzierte sich nach dem Prozess auf 0,64 μm , was einer Selektivität von 1:30 entspricht. Der Kantenwinkel der übertragenden Struktur liegt im Bereich von 88°. Mit den gewählten Prozessparametern werden Seitenwand-Rauheiten von 22 nm erreicht.

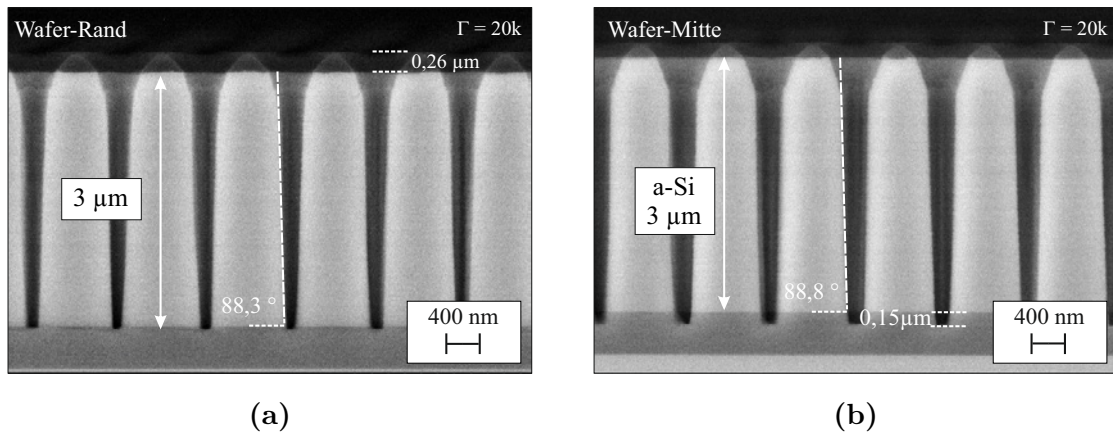


Abbildung 7.6: Anisotropes Ätzen von Löchern mit $0,4\ \mu\text{m}$ Durchmesser und einem Pitch von $1\ \mu\text{m}$ mit einer Fotolack-Dicke von ursprünglich $1,0\ \mu\text{m}$ auf einem Testsubstrat. (a) Ätzprofil am Wafer-Rand, (b) Ätzprofil in der Wafer-Mitte; bei allen Löchern wurde die $3\ \mu\text{m}$ dicke Opferschicht vollständig durchgeätzt, der Flankenwinkel des Ätzprofils beträgt über 88°

Für die Herstellung des Nano-Rasens wurde eine $3\ \mu\text{m}$ dicke Opferschicht aus amorphem Silizium auf die Wafer abgeschieden. Abbildung 7.6 zeigt die Prozessergebnisse des anisotropen Ätzschrittes auf einem Testsubstrat. Die Maskierung wurde mit einem $1\ \mu\text{m}$ dicken Fotolack vorgenommen. Alle Löcher erreichen eine Tiefe von über $3\ \mu\text{m}$. Um eventuelle Unterschiede der Uniformität in der Wafer-Mitte und am Wafer-Rand beim Ätzvorgang auszugleichen, wurden die Strukturen intendiert mit einem Vorhalt von 20% überätzt. Das trichterförmige Profil entsteht dadurch, dass nach einer bestimmten Ätzzeit der Fotolack in der Nähe der Waferoberfläche vollständig entfernt und die a-Si Schicht mit der nun breiteren Maskierung geätzt wurde. Der Seitenwandwinkel des Ätzprofils liegt auch bei amorphem Silizium im Bereich von 88° . Anhand der Restlackdicke könnte man auch die Opferschichtdicke weiter erhöhen, allerdings besteht dann die Gefahr, dass die Oberfläche durch den Prozess angegriffen wird. Abhilfe könnte dann die Verwendung einer Hartmaske verschaffen. Zudem muss bei einer Vergrößerung der Opferschichtdicke die Stabilität des Nano-Rasens beachtet werden. Geht man davon aus, dass für einen stabilen Nano-Rasen das Verhältnis zwischen oberen und unteren Durchmesser der Einzelröhre bei mindestens $2:1$ liegen sollte, so ergibt dies bei einem Flankenwinkel von 88° theoretisch eine maximale Höhe der Opferschicht von ungefähr $5,5\ \mu\text{m}$.

Nach einem erfolgreichen Prozess-Test mit Vorab-Wafern wurden die Wafer des Basis-CMOS-MEA mit gleichen Prozessparametern prozessiert. Nach dem DRIE-Schritt

wurde der restliche Fotolack im Sauerstoff-Plasma entfernt. Das Passivierungs-Polymer, das sich nach dem Ätzen noch in den Löchern befindet, wurde durch ein verlängertes nasschemisches Reinigungsverfahren mit EKC entfernt.

7.2.4 Deposition der Ruthenium-Schicht

Nach der Scheibenreinigung erfolgt im Prozessablauf die Beschichtung der Löcher mit einer leitfähigen Ruthenium-Schicht. Dazu wurde mit Hilfe der Atomlagenabscheidung eine hochkonforme Schicht aus Ruthenium in die Löcher abgeschieden. Als Precursor wurden im Prozess RuCp_2 und O_2 verwendet. Der feste RuCp_2 - Precursor wurde auf eine Temperatur von $\approx 140^\circ\text{C}$ aufgeheizt, damit Material in der Dampfphase in die Prozesskammer eingelassen werden kann. Die Prozesskammer wird auf eine Temperatur von 350°C geregelt. Die Pulszeiten der beiden Reaktanten liegen für RuCp_2 bei 1,6 s und für O_2 bei 1 s. Die Spülzeit mit Inertgas beträgt für beide Teilprozesse jeweils 8 s. Um eine Schichtdicke von $\approx 50\text{ nm}$ zu erzielen, mussten 1000 Zyklen durchgeführt werden. In der Literatur wurde beobachtet, dass die Abscheiderate erst ab einer gewissen Nukleationszeit konstant verläuft [148, 149, 101]. Die Ruthenium-Abscheidung weist zunächst ein Keimwachstum auf, so dass im Nahbereich Kanten entstehen. Auf eine Starterschicht aus Al_2O_3 wurde in dieser Anwendung verzichtet, um kein dielektrisches Interface zwischen Elektrode und Nano-Rasen herzustellen. Da eine nicht ganz glatte Abscheidung sogar noch zu einer Oberflächenvergrößerung beitragen kann, wurde auf eine Optimierung der Ruthenium-Abscheidung verzichtet.

7.2.5 Ionenstrahlätzen

Nachdem auf der gesamten Waferoberfläche mit Hilfe eines ALD-Prozesses eine 50 nm dicke Ruthenium-Schicht abgeschieden wurde, wird in einem nachfolgenden Prozessschritt die Opferschicht wieder freigelegt. Durch Ionenstrahlätzen wird die Ruthenium-Schicht von der Waferoberfläche entfernt. Da es sich beim Ionenstrahlätzen um einen stark anisotropen Prozess handelt, werden die Seitenränder der gefüllten Löcher nur zum Teil angeätzt. Die einzelnen Röhren werden auf diese Weise voneinander isoliert. Der Einfallswinkel der Ionen auf die Substratoberfläche beträgt 0° . Um die Homogenität des Ätzprofils zu erhöhen, wird der Wafer mit einer konstanten Drehgeschwindigkeit von 15 rpm rotiert. Die thermische Einwirkung auf dem Wafer wird durch eine Kühlung des Substrathalters auf eine Temperatur von $T_{\text{Sub}} = -10^\circ\text{C}$ reduziert. Zusätz-

lich wird die Waferrückseite mit Helium umspült. Die Ionenenergie wurde im Prozess auf 300 eV geregelt. Die Beschleunigungsspannung betrug 190 V, die Ionenstrahldichte 400 mA. Mit Hilfe des Quadrupol-Massenspektrometers wurden die Teilchenmassen der zerstäubten Waferrückseite detektiert. Da die Opferschicht aus amorphem Silizium besteht, wurden die Intensität für Silizium ($m = 28,085 \text{ u}$) und für Ruthenium ($m = 101,07 \text{ u}$) aufgezeichnet. In Abbildung 7.7 ist das Massenspektrum des geätzten Wafers halblogarithmisch dargestellt. Es ist deutlich erkennbar, dass nach einer Ätzzeit von 940 s ein Abfall der Intensität für Ruthenium registriert wurde. Gleichzeitig wurde eine Intensitätssteigerung von Silizium festgestellt. Da die Ätzrate beim Ionenstrahlätzen relativ gering ist, wurde beim Ätzen mit einem Vorhalt von 20 % eine intendierte Überätzung vorgenommen. Die ALD-Schicht aus Ruthenium bedeckt auch Bereiche der Waferrückseite. Bei der Aufbau- und Verbindungstechnik stören diese Bereiche, da die Haftung auf einer Sägefolie nicht gewährleistet ist. Das harte Ruthenium kann zudem negativen Einfluss auf den Sägeprozess nehmen. Aus diesem Grund wurde auch die Waferrückseite mittels Ionenstrahlätzen von Ruthenium befreit.

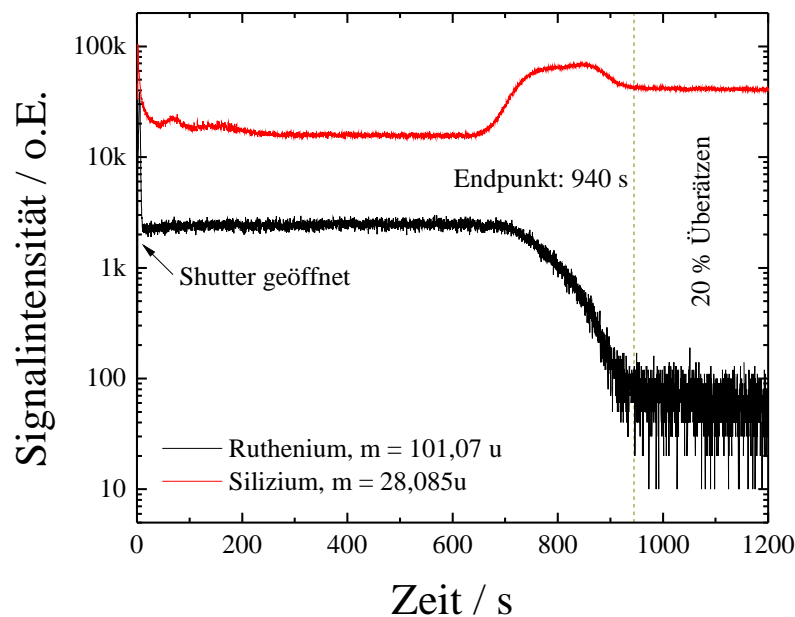


Abbildung 7.7: Analyse der Endpunktdetektion mit Hilfe eines Massenspektrometers beim Ionenstrahlätzen einer $\approx 50 \text{ nm}$ dicken Ruthenium-Schicht auf amorphem Silizium.

7.2.6 Release-Prozess

Nach dem Ionenstrahlätzen zur Freilegung der Opferschicht und zur Isolation der Röhren wird der Wafer in Einzelchips gesägt. Die starke mechanische Einwirkung beim Sägeprozess würde einen offenliegenden Nano-Rasens zerstören. Daher wurde im Prozess-Ablauf das Freilegen des Nano-Rasens durch Opferschichtätzen als letzter Prozessschritt auf Chipebene durchgeführt. Das amorphe Silizium wird mit Hilfe von XeF_2 in einem isotropen Trockenätzverfahren hochselektiv geätzt. Als Trägergas für XeF_2 wurde Stickstoff gewählt. Der Prozess findet bei Raumtemperatur statt. Die Einzelchips wurden dabei auf einem Handlingwafer, der mit SiO_2 beschichtet wurde, in die Reaktionskammer transportiert und prozessiert. Je nach Anzahl der gleichzeitig prozessierten Einzelchips wurde eine andere Ätzrate festgestellt, da eine vergrößerte Oberfläche auch mehr XeF_2 aufbraucht. Die Anlage ermöglicht neben einer Endpunktdetektion auch eine einfache Sichtkontrolle durch ein Beobachtungsfenster. Die Entfernung der Opferschicht startet von den Chipkanten und wandert in die Chipmitte. Nachdem optisch kein Opferschichtmaterial mehr zu erkennen ist, wird die Ätzzeit um ca. 10 % überhöht und der Zufluss von XeF_2 gestoppt. Für eine Chipfläche von $2,2 \text{ mm} \times 3,8 \text{ mm}$ und eine Opferschichtdicke von $3 \mu\text{m}$ liegt die Ätzzeit bei ungefähr 60 s. Aufgrund der hohen Selektivität zu Si_3N_4 und TiN ist eine Erhöhung der Ätzzeit unkritisch.

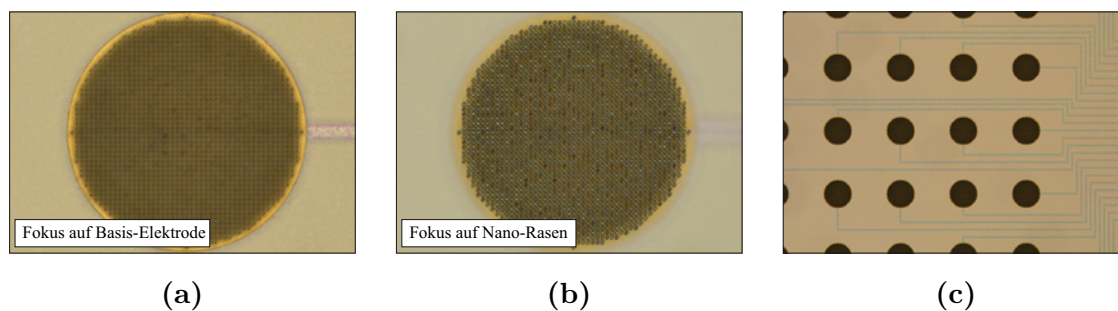


Abbildung 7.8: Mikroskopaufnahme des freigelegten Nano-Rasens. (a) Fokusebene auf Basis-Elektrode, (b) Fokusebene auf Nano-Rasen, (c) Übersicht über Elektroden-Array; Alle Nano-Röhren bleiben nach dem Release-Prozess auf den Basis-Elektroden stehen.

Abbildung 7.8 zeigt den freigelegten Nano-Rasens mittels lichtmikroskopischen Aufnahmen, bei dem der Fokusbereich auf unterschiedliche Höhen der nanomodifizierten Elektrode eingestellt wurde. Nach dem Release-Prozess bleiben alle Nano-Röhren auf den Basis-Elektroden stehen. In Abbildung 7.9 ist der vollständig freigelegte Ruthenium-

Nano-Rasen auf den Elektrodenflächen des Basis-CMOS-MEAs in einer Rasterelektronenaufnahme dargestellt. Auch hier erkennt man, dass nach dem Release-Prozess alle Einzelröhren auf der Ti/TiN-Elektrodenfläche senkrecht stehen bleiben. Beispielhaft ist der Release-Prozess an zwei Elektrodengrößen mit den Durchmessern $40\ \mu\text{m}$ und $20\ \mu\text{m}$ mit jeweils 1129 und 253 trichterförmigen Einzelröhren abgebildet. Die Höhe der Nano-Tubes kann zu $3\ \mu\text{m}$ abgeschätzt werden. Der obere Durchmesser beträgt ca. $400\ \text{nm}$, der untere Durchmesser ca. $200\ \text{nm}$. In der Detailansicht sind teilweise Ätzrückstände des XeF_2 -Ätzens erkennbar, die aufgrund von Luftfeuchtigkeit auf dem Opferschichtmaterial zu erklären sind. Ein Ausheizen der Einzelchips vor dem Release-Prozess auf einer Hot-Plate oder eine Reinigung im Sauerstoff-Plasma kann die Ätzrückstände reduzieren. Ruthenium kann jedoch im Sauerstoffplasma angegriffen werden.

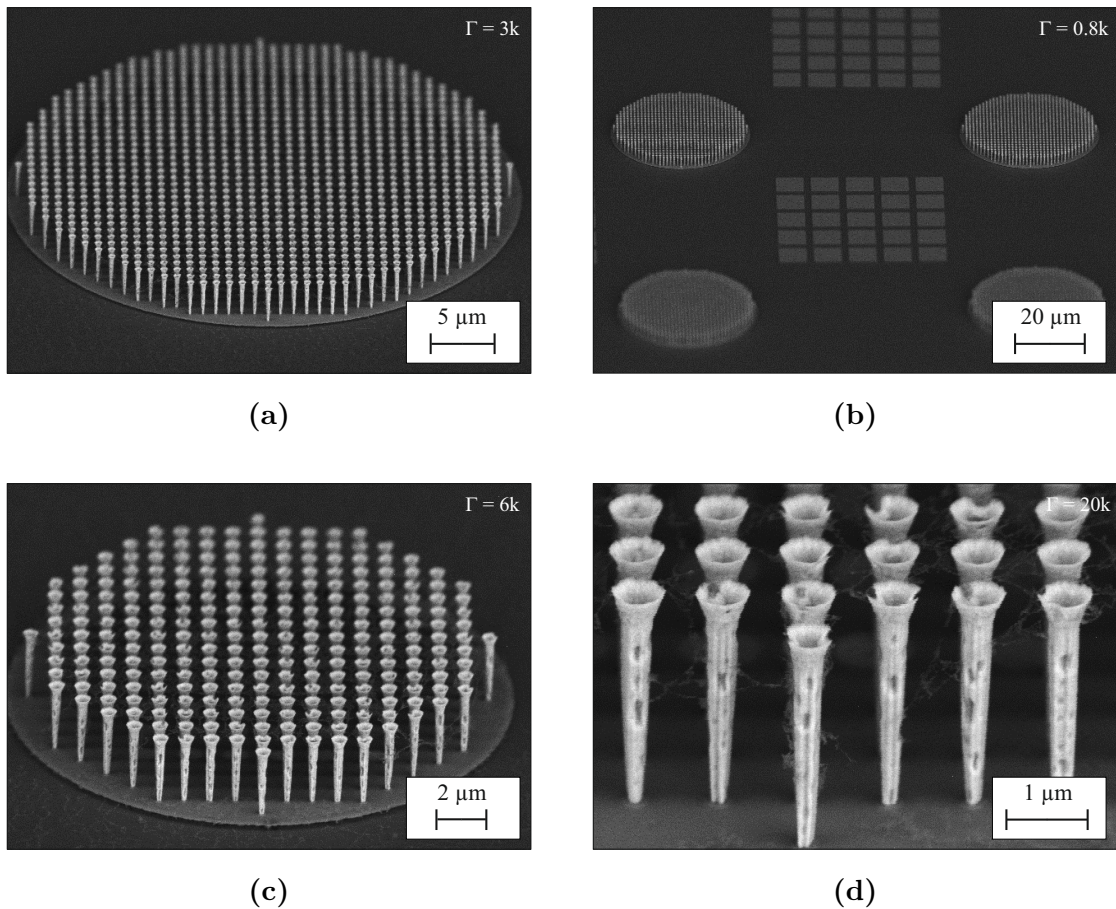


Abbildung 7.9: Ruthenium-Nano-Rasen auf Elektrodenflächen des Basis-CMOS-MEAs. (a) Elektrodendurchmesser von $40\ \mu\text{m}$ mit 1129 vereinzelt Nano-Röhren, (b) Überblick über vier nanomodifizierte Elektroden, (c) Elektrodendurchmesser von $20\ \mu\text{m}$ mit 253 vereinzelt Nano-Röhren, (d) Detailansicht des Ruthenium-Nano-Rasens mit einer Höhe von $3\ \mu\text{m}$, oberer Durchmesser $400\ \text{nm}$, unterer Durchmesser ca. $200\ \text{nm}$

Der Ruthenium-Nano-Rasen wurde ebenfalls auf der passivierten Variante des Basis-CMOS-MEA hergestellt. Bei der Prozessierung wurden die gleichen Parameter verwendet wie bei der unpassivierten Variante. In Abbildung 7.10 ist die REM-Aufnahme einer einzelnen Elektrode in der Überblick- und in der Detailansicht dargestellt. Die Tantalpentoxid-Passivierung überragt die Ti/TiN-Elektrode um $0,8\ \mu\text{m}$. Der Nano-Rasen bleibt auch bei dieser Variante senkrecht auf der Basis-Elektrode stehen. Des Weiteren wurden keine Ätزرückstände beobachtet.

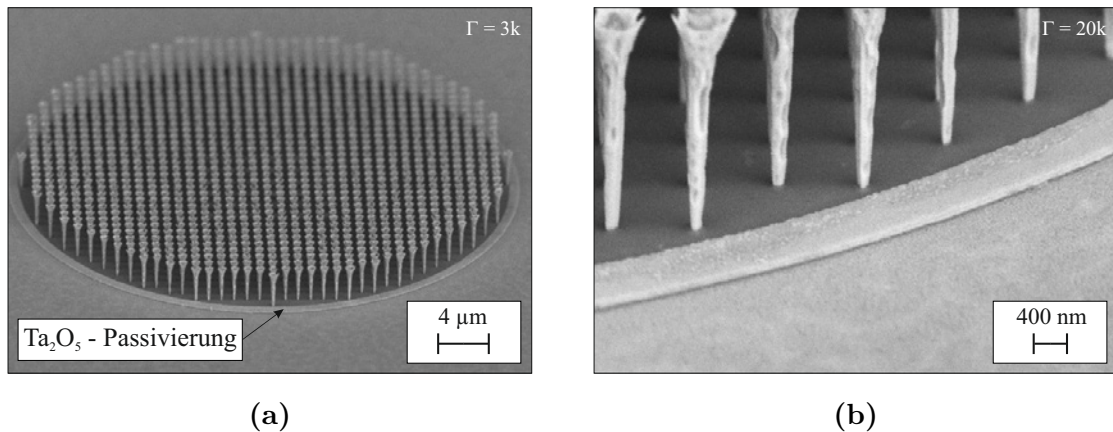


Abbildung 7.10: Ruthenium-Nano-Rasen auf Elektrodenflächen des Basis-CMOS-MEAs mit zusätzlicher Tantalpentoxid-Passivierung. (a) Überblick über eine Elektrode mit Durchmesser 40 µm, (b) Detailansicht der Elektrode. Der Überlapp der Ta₂O₅-Passivierung beträgt 0,8 µm

7.3 Fazit: Nano-Rasen auf Basis-CMOS-MEA

Die Herstellung eines Nano-Rasens auf einem CMOS-kompatiblen Multi-Elektroden-Array ist erfolgreich durchgeführt worden. Im Prozess wurde eine Opferschicht mittels Silizium-Tiefenätzen strukturiert, die zuvor in einem fotolithografischen Schritt maskiert wurde. Dazu wurde zunächst ein Bosch-Prozess für eine geringe Seitenwand-Rauheit (20 nm) optimiert. Die geätzten Löcher, die bis auf den Boden der Elektrodenflächen reichen, sind im ALD-Verfahren mit einer 50 nm dünnen Ruthenium-Schicht gefüllt worden. Durch Ionenstrahlätzen wurden trichterförmige Säulen des Nano-Rasens voneinander isoliert. Ein isotropes Opferschichtätzen mit XeF₂ erlaubt ein selektives Freilegen des Nano-Rasens auf Einzelchipebene. Nach dem Release-Prozess bleiben alle Nano-Röhren senkrecht auf der Basis-Elektrode aus Ti/TiN stehen und bilden einen elektrischen Kontakt, wobei im Prozess kein Unterschied zwischen einer nicht passivierten und mit Tantalpentoxid passivierten Variante festgestellt wurde. Für die Charakterisierung der mechanischen und elektrischen Eigenschaften des Ruthenium-Nano-Rasens werden im nachfolgendem Abschnitt Teststrukturen entworfen und vermessen. Um Aussagen über eine Vergrößerung der aktiven Oberfläche durch die 3D-Nanomodifizierung zu erhalten, werden im Kapitel 10 elektrochemische Verfahren verwendet.

7.4 Elektrische und mechanische Charakteristik

Um Aussagen über die mechanischen und elektrischen Eigenschaften des Nano-Rasens abschätzen zu können, werden in diesem Abschnitt unterschiedliche Teststrukturen vorgestellt. Das Konzept basiert darauf, dass durch eine weitere Fototechnik die Ruthenium-Schicht vor der Opferschichtentfernung so strukturiert wird, dass einzelne Nano-Röhren an der Spitze elektrisch kontaktiert werden können.

7.4.1 Layout der Teststrukturen

Der elektrische Kontakt der einzelnen Nano-Säulen kann über Widerstandsmessungen mittels Zweipunktmessungen an sogenannten Widerstandsketten (Daisy-Chains) und über Vierleitermessungen an Kelvin-Strukturen, die einen Spannungsabgriff über einer einzelnen Nano-Röhre erlauben, abgeschätzt werden. In Abbildung 7.11 ist das Layout für unterschiedliche Teststrukturen in einem Maskensatz mit drei Ebenen dargestellt. Die unterste Metallisierungsebene aus Ti/TiN stellt die Anschluss pads, die Zuleitungen und die Basisflächen der Nano-Säulen zur Verfügung. Alle Nano-Röhren in der Maske sind mit einem Durchmesser von 400 nm und einen minimalen Pitch von 1 μm gezeichnet. Der Abstand von einer Nano-Säule zum Rand der Basisfläche beträgt mindestens 400 nm, damit evtl. Fehljustagen ausgeglichen werden können. Die Leiterbahnbreiten betragen 1 μm im Bereich der Nano-Säulen und 1,2 μm sowie 3 μm für die Zuleitungen, damit der Zuleitungswiderstand reduziert wird. Die oberste Metallisierungsebene, die für eine Verbindung der Nano-Röhren-Spitzen genutzt wird, weist die gleichen Design-Regeln wie die unterste Metallisierungsebene auf. Im Maskensatz wurden mindestens zwei Aufhängepunkte der freitragenden Strukturen definiert, so dass keine einseitigen Ausleger (engl. cantilever) konstruiert wurden. In dieser Arbeit werden Kelvin-Widerstandsmessungen an Teststrukturen mit einer einzelnen Nano-Röhre, sowie an 4 und 9 parallel geschalteten Nano-Röhren vorgenommen. Zweipunktmessungen werden an Daisy-Chains mit einer unterschiedlichen Anzahl von Verbindungsgliedern durchgeführt. So sind im Layout jeweils Daisy-Chains mit 118 bis 20 158 Nano-Röhren für Widerstandsmessungen und Zuverlässigkeitsaussagen vorgesehen.

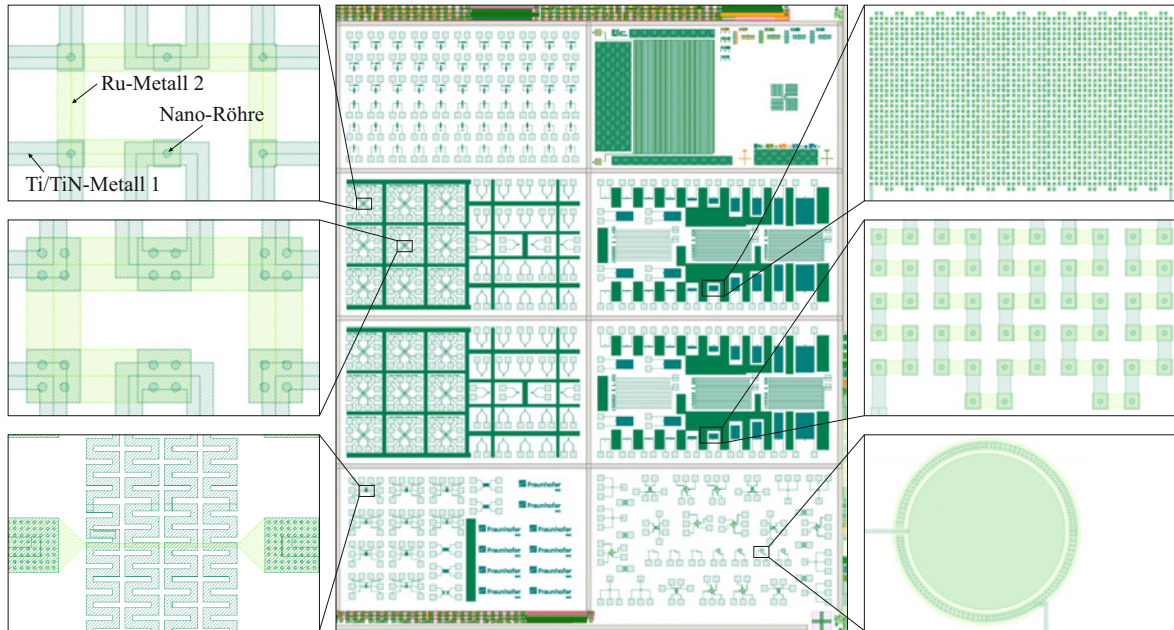


Abbildung 7.11: Layout des Maskensatz für Teststrukturen mit 3 Masken zur elektrischen und mechanischen Charakterisierung des Nano-Rasens. Vorgesehen sind: Zweipunktmessungen und Kelvin-Widerstandsmessungen, freistehende Brücken und Membranen

Für die mechanischen Eigenschaften sind freistehende Brücken mit unterschiedlichen Längen- zu Breitenverhältnissen sowie Membranen vorgesehen. In Abbildung 7.12² sind die Teststrukturen dreidimensional visualisiert.

7.4.2 Herstellung der Teststrukturen

Der Herstellungsprozess der Teststrukturen entspricht im Prinzip dem Herstellungsprozess des Nano-Rasens auf dem Basis-CMOS-MEA. Bei den Teststrukturen ist jedoch die Metallisierung der Anschlusskontakte, der Verdrahtungen und der Basisflächen, auf denen die einzelnen Nano-Säulen aufgebracht werden, auf eine einzige Metallisierungsebene zusammengefasst. Auf einem Silizium-Substrat, auf dem zur elektrischen Isolierung eine 500 nm dicke SiO_2 - und eine 200 nm dicke Si_3N_4 -Schicht mittels PECVD-Verfahren aufgebracht wurde, ist eine Ti/TiN-Schicht (20 nm / 40 nm) aufgesputtert worden. Die Schicht wurde mit fotolithografischen Mitteln maskiert, wobei ein Positivlack mit einer Schichtdicke von $1,3 \mu\text{m}$, eine Belichtungs-dosis von $150 \text{ mJ}/\text{cm}^2$ und eine Entwicklungszeit von insgesamt 65 s gewählt wurde. Die Ti/TiN-Schicht wurde mittels RIE im CF_4 -Plasma strukturiert. Nach Veraschen des Fotolacks und einer Scheiben-

²3D GDSII Viewer, University of Twente, ICD Group

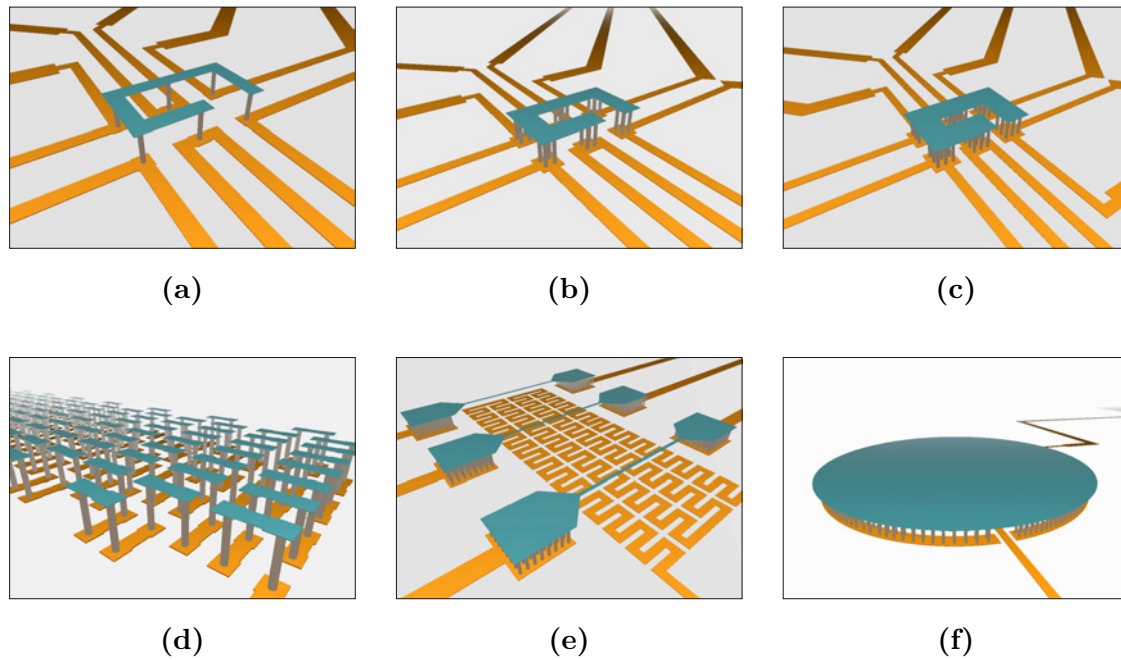


Abbildung 7.12: 3D Visualisierung der Teststrukturen, (a)-(c) Kelvin-Struktur an 1, 4 und 9 Nano-Röhren, (d) Zweipunktmessungen an Daisy-Chains, (e) Freitragende Brücken, (f) Membran mit einem Durchmesser von $50\ \mu\text{m}$

reinigung folgt die Deposition der $3\ \mu\text{m}$ dicken Opferschicht aus amorphem Silizium. Durch eine weitere Fototechnik werden die Löcher, die für die Nano-Säulen vorgesehen sind, mit hoher Genauigkeit auf der Opferschicht maskiert. Es folgt das anisotrope Ätzen der Löcher mittels Bosch-Prozess mit Stopp auf der Ti/TiN-Metallisierung sowie das Entfernen der Polymere durch eine Reinigung mit EKC. Die Ruthenium-Schicht wird im ALD-Verfahren hochkonform auf dem vorbereiteten Wafer mit einer Schichtdicke von $50\ \text{nm}$ abgeschieden. Nach der Deposition der Ruthenium-Schicht wird eine weitere Fototechnik zur Strukturierung der obersten Metallisierung für eine Verbindung einzelner Nano-Röhren vorgenommen. Mit Hilfe des Ionenstrahlätzens wird die offenliegende Schicht des Rutheniums geätzt, so dass das Opferschichtmaterial wieder zugänglich ist. Um eine zu starke Quervernetzung des Fotolacks durch die Einwirkung der Ionen zu reduzieren, wurde der Wafer auf $-10\ ^\circ\text{C}$ gekühlt. Nach dem Ätzvorgang wurde der verbleibende Fotolack im O_2/CF_4 Plasma entfernt und der Wafer mit EKC gereinigt. Vor dem Release-Prozess wurde der Wafer in Einzelchips gesägt. Die Opferschicht wurde wie beim Nano-Rasen des Basis-CMOS-MEA mit Hilfe von XeF_2 aufgelöst, wobei die Ätzzeit aufgrund der größeren Chipfläche im Bereich von

200 s lag. In Abbildung 7.13 werden die Ergebnisse zur Herstellung der Teststrukturen in einer Rasterelektronenaufnahme dargestellt. In allen Teilabbildungen ist zu erkennen, dass nach dem Release-Prozess alle Nano-Röhren senkrecht stehen bleiben. Die nur 50 nm dünnen Stege zwischen einzelnen Nano-Röhren biegen sich nicht aufgrund mechanischer Spannungen durch. Alle inspizierten Nano-Röhren sind mit der untersten Metallisierungsebene kontaktiert.

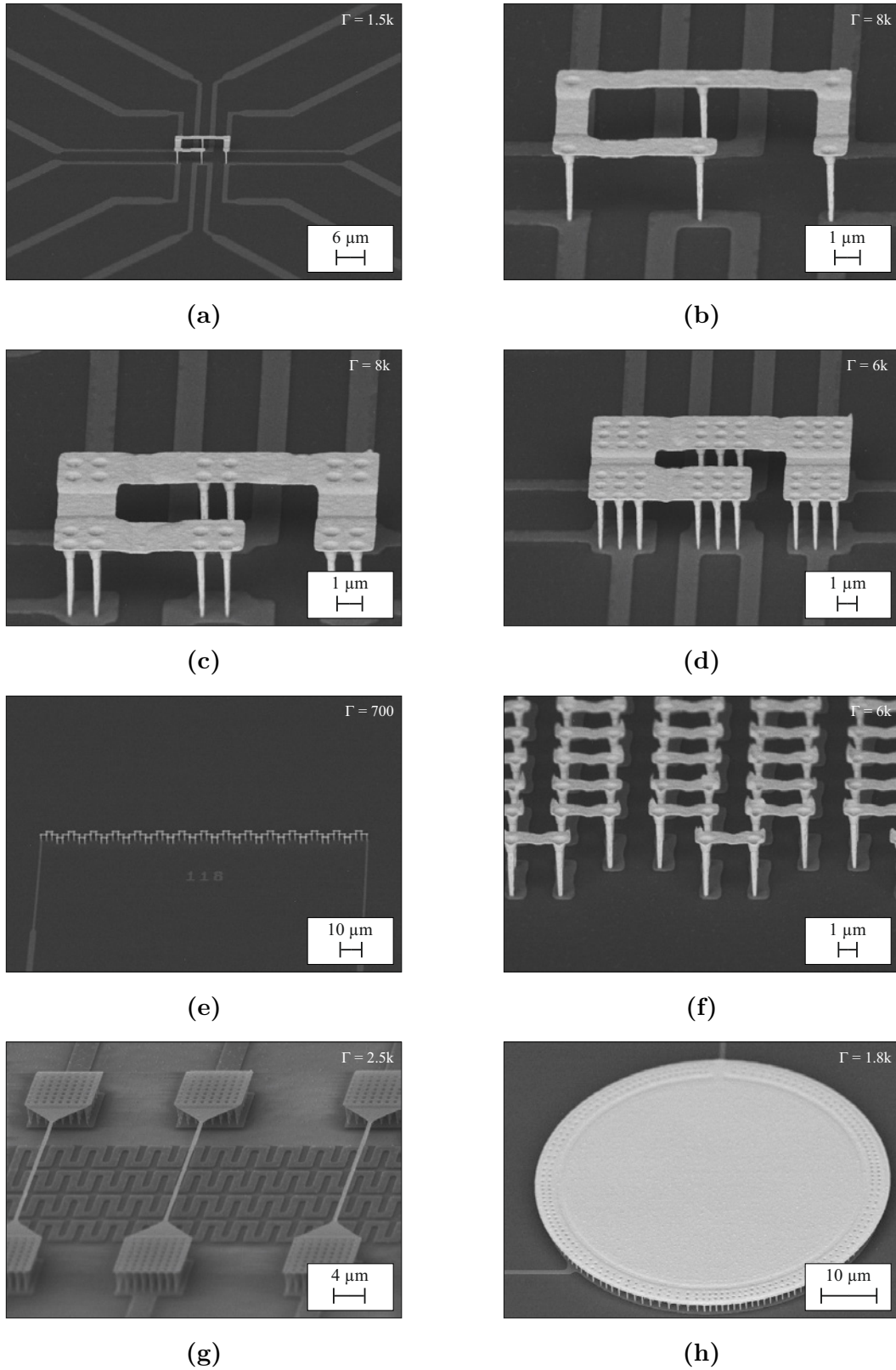


Abbildung 7.13: Rasterelektronenaufnahme der Teststrukturen zur Charakterisierung des Nano-Rasens. (a)-(d) Kelvin-Widerstandsmessung (4 Leitungen), (e)-(f) Daisy-Chains, (g) Brücken, (h) Membran

7.4.3 Zweipunkt-Widerstandsmessung

Nach dem Release-Prozess standen verschiedene Widerstandsketten mit einer unterschiedlicher Anzahl von Nano-Röhren für Messungen bereit. Die Widerstandsmessung wurde an einem manuellen Mikroprober-Messplatz mit einem HP4155/56 Semiconductor Analyzer durchgeführt. Bei der Zweipunktmethode wird der gesamte Spannungsabfall über die Messanordnung gemessen. In den Widerstandswert gehen neben der eigentlich zu charakterisierenden Struktur auch noch Widerstandswerte der Verdrahtung auf Chipebene, Kontaktwiderstände der Messnadeln sowie Kabelverbindungen ein. Ein Element der Daisy-Chain ist jeweils aus einer 3,8 μm langen, $\approx 1 \mu\text{m}$ breiten und 70 nm dicken Ti/TiN-Metallfläche sowie aus einer 50 nm dicken Ruthenium-Metallfläche gleicher Geometrie aufgebaut. Die einzelnen Metallflächen werden jeweils durch zwei Nano-Röhren miteinander verbunden. Die Nano-Röhre hat eine idealisierte Höhe von 3 μm , eine Seitenwanddicke von 50 nm und einen theoretischen Umfang von 1,2 μm . Auf dem Testchip befinden sich Ketten mit 118 bis 20 158 Nano-Röhren. Die Widerstandswerte ergeben sich als Reihenschaltung aller in einer Kette geschalteten Glieder. In Abbildung 7.14a ist der gemessene Widerstand aller verwendeten Widerstandsketten in Relation zur Anzahl der Einzelröhren logarithmisch aufgetragen. Man erkennt mit steigender Anzahl der Einzelröhren einen proportionalen Anstieg des Widerstands. Berechnet man mittels einer linearen Regression die Steigung der Kennlinie, so lässt sich der Widerstand für ein vollständiges Glied der Daisy-Chain abschätzen. Der ermittelte Widerstand liegt bei 1,28 k Ω . Bei Vernachlässigung des Widerstands der Metallflächen, kann der Widerstand einer einzelnen Nano-Röhre zu $\approx 650 \Omega$ abgeschätzt werden. Bemerkenswert ist, dass auch bei der Widerstandskette mit der höchsten Anzahl von Einzelröhren (20 158) ein ohmsches Verhalten des Widerstands gemessen wurde, vgl. Strom-Spannungskennlinie in Abbildung 7.14b. Nach dem Release-Prozess kommt es also zu keinem eindeutig erkennbaren Kontaktabriss einer einzelnen Nano-Röhre. In Tabelle 7.2 sind die gemessenen Widerstandswerte der untersuchten Daisy Chains mit der Anzahl der genutzten Nano-Röhren aufgelistet.

7.4.4 Vierleiter-Widerstandsmessung

Um die parasitären Leitungswiderstände der Chipzuleitungen, der Anschlusswiderstände und der Leitungswiderstände bei der Widerstandsmessung an einer einzelnen Nano-Röhre zu kompensieren, wird in dieser Arbeit eine Vierleitermessung (Kelvin-

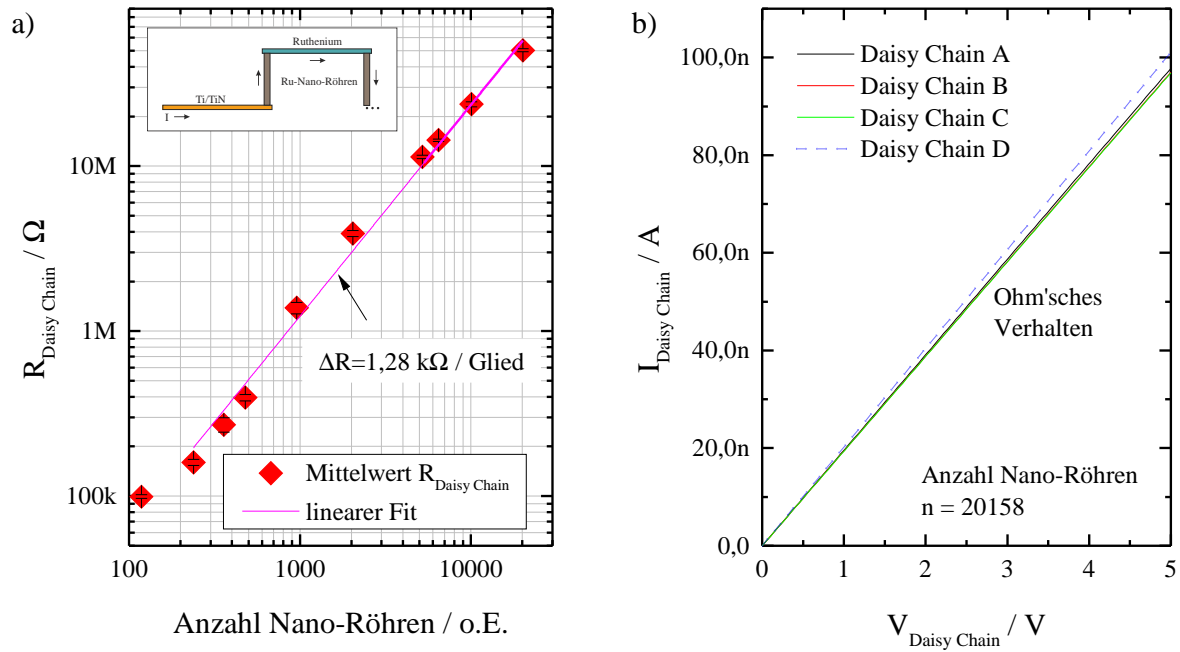


Abbildung 7.14: Widerstandsmessung an Daisy Chains. (a) Gemessene Widerstandswerte für vollständige Glieder der Widerstandskette mit 118 bis 20158 genutzten Nano-Röhren. (b) Strom-Spannungs-Kennlinie der Widerstandskette mit 20158 Gliedern an vier Einzelproben mit jeweils ohmschen Verhalten.

Struktur) durchgeführt. Hierbei fließt über zwei Zuleitungen ein definierter elektrischer Strom über den zu vermessenden Widerstand, wobei die abfallende Spannung über zwei weitere Zuleitungen abgegriffen und mit einem Spannungsmessgerät registriert wird, vgl. Abbildung 7.15.

Für die Kelvin-Widerstandsmessungen sind 3 verschiedene Kelvin-Strukturen entworfen worden, wobei die Verbindung zwischen den Anschluss-Metallflächen jeweils mit einer einzigen Nano-Röhre sowie mit 4 und 9 parallel geschalteten Nano-Röhren

Nano-Röhren	Widerstand	Nano-Röhren	Widerstand
118	99 kΩ	2038	3910 kΩ
238	160 kΩ	5198	11,3 MΩ
358	270 kΩ	6478	14,3 MΩ
478	395 kΩ	10078	23,7 MΩ
958	1381 kΩ	20158	50,4 MΩ

Tabelle 7.2: Widerstandsmessung an Widerstandsketten mit unterschiedlicher Anzahl von Nano-Röhren. Der Widerstandswert gibt den gemittelten Widerstand über 4 Messungen an.

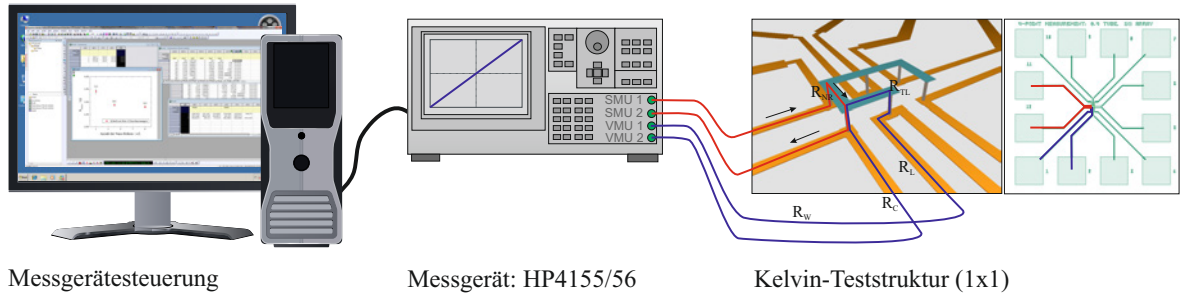


Abbildung 7.15: Schematischer Aufbau zur Messung von Kelvin-Teststrukturen über Vierleiter-Messung. Die rote Linie zeigt den eingepprägten Strompfad durch die Teststruktur, die blaue Linie die abgegriffene Spannung.

hergestellt wird. Durch einen Vergleich der gemessenen Widerstandswerte können die parasitären Leitungswiderstände, die bei allen drei Strukturen vergleichbar sind, kompensiert werden.

Die Widerstandswerte der einzelnen Teststrukturen setzen sich wie folgt zusammen:

$$R_1 = 2R_L + R_{NR} \quad (7.3)$$

$$R_2 = 2R_L + \frac{R_{NR}}{4} \quad (7.4)$$

$$R_3 = 2R_L + \frac{R_{NR}}{9} \quad (7.5)$$

Dabei ist R_L der gesamte Zuleitungswiderstand und R_{NR} der Widerstand einer Nano-Röhre. Subtrahiert man den Widerstandswert R_1 von R_2 , sowie R_1 von R_3 und R_2 von R_3 so erhält man jeweils eine Zuordnung für R_{NR} :

$$R_1 - R_2 = R_{NR} - \frac{R_{NR}}{4} = \frac{3}{4}R_{NR} \quad (7.6)$$

$$R_1 - R_3 = R_{NR} - \frac{R_{NR}}{9} = \frac{8}{9}R_{NR} \quad (7.7)$$

$$R_2 - R_3 = \frac{R_{NR}}{4} - \frac{R_{NR}}{9} = \frac{36}{5}R_{NR} \quad (7.8)$$

In Abbildung 7.16a sind die gemittelten Widerstandswerte der Kelvin-Strukturen (jeweils 6 Einzelmessungen) mit 1, 4 sowie 9 Nano-Röhren dargestellt. Die Messungen wurden mit Hilfe eines HP4155/56 Semiconductor Analyzer vorgenommen, wobei der Strom durch SMU1 und SMU2 im Bereich von 0 A bis 1 mA getrieben wurde. Die Spannung wurde über die hochohmigen Anschlüsse VMU1 und VMU2 abgegriffen. Berechnet man den Widerstand R_{NR} aus den Gleichungen 7.6 bis 7.8, so lässt sich der gemittelte Widerstand einer einzigen Nano-Röhre zu 647Ω abschätzen, wie in

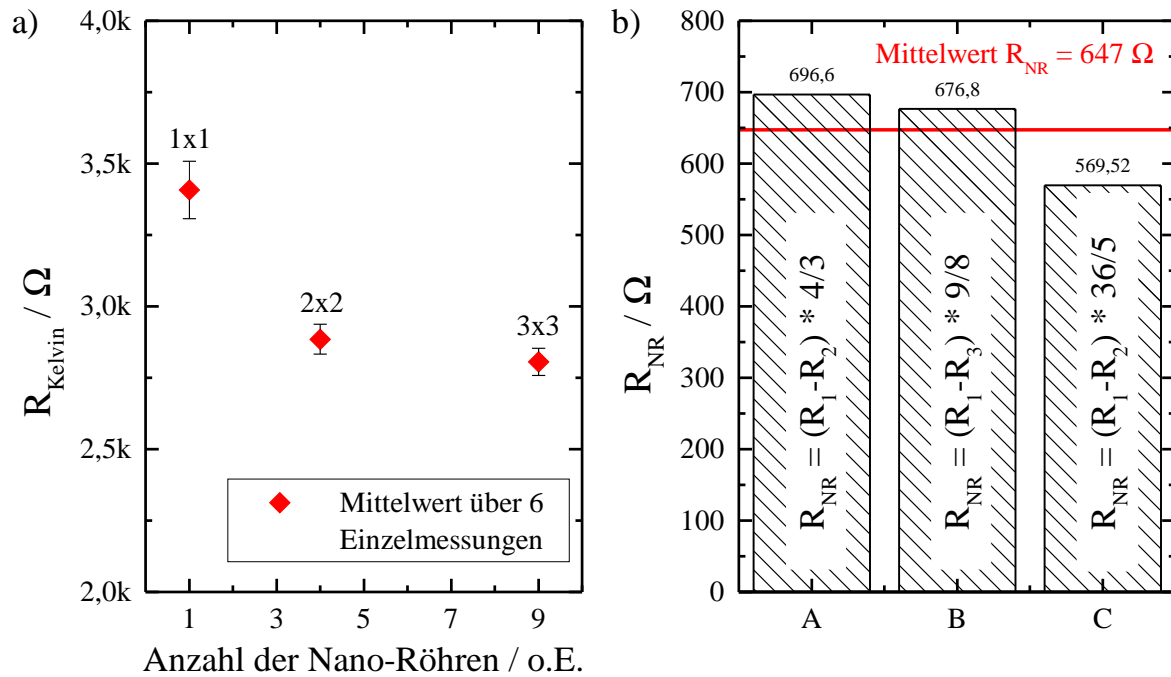


Abbildung 7.16: Messung des Widerstandswerts einer einzelnen Nano-Röhre durch Vierleiter-Messung an Kelvin-Teststrukturen mit 1, 4 und 9 parallel geschalteten Nano-Röhren. (a) Gemittelter Widerstand R_{Kelvin} in Abhängigkeit von der Anzahl der Nano-Röhren. (b) Bestimmung des Einzelwiderstands R_{NR} durch Vergleich der gemessenen Widerstände

Abbildung 7.16b dargestellt. Der Wert liegt in guter Übereinstimmung mit dem abgeschätzten Widerstandswert der Widerstandsketten. Der theoretische Widerstandswert einer Nano-Röhre berechnet sich unter Annahme einer optimalen Zylindergeometrie zu

$$R_{\text{NR}} = \rho \cdot \frac{l}{A} = \rho \cdot \frac{l}{2\pi r d} \quad (7.9)$$

mit ρ als spezifischen Widerstand, l als Höhe der Nano-Röhre, A als Fläche des aufgespannten Zylinders, r als Radius der Nano-Röhre und d als Seitenwanddicke. Der spezifische Widerstand von Ruthenium beträgt bei Raumtemperatur laut Literatur [150] $\rho_{\text{Ru}} = 7,4 \times 10^{-8} \Omega \text{ m}^{-1}$. Bei einem Radius von 200 nm, einer Schichtdicke von 50 nm und einer Höhe von 3 μm erhält man für eine einzelne Nano-Röhre einen theoretischen Widerstandswert von 3,7 Ω . Auf Testsubstraten wurde mittels Vierpunktmessungen der Flächenwiderstand einer ALD abgeschiedenen Ruthenium-Schicht mit einer Schichtdicke von 25 nm zu $R_{\square} = 7,9 \Omega / \square$ bestimmt. Berechnet man aus diesem Flächenwiderstand den spezifischen Widerstand ρ und setzt diesen in Gleichung 7.9 ein, so ergibt sich für eine einzelne Nano-Röhre ein Widerstand von 9,2 Ω . Die theoretisch

bestimmten Widerstandswerte und die abgeschätzten Werte der Widerstandsketten und der Kelvin-Strukturen zeigen eine Abweichung um einen Faktor 100.

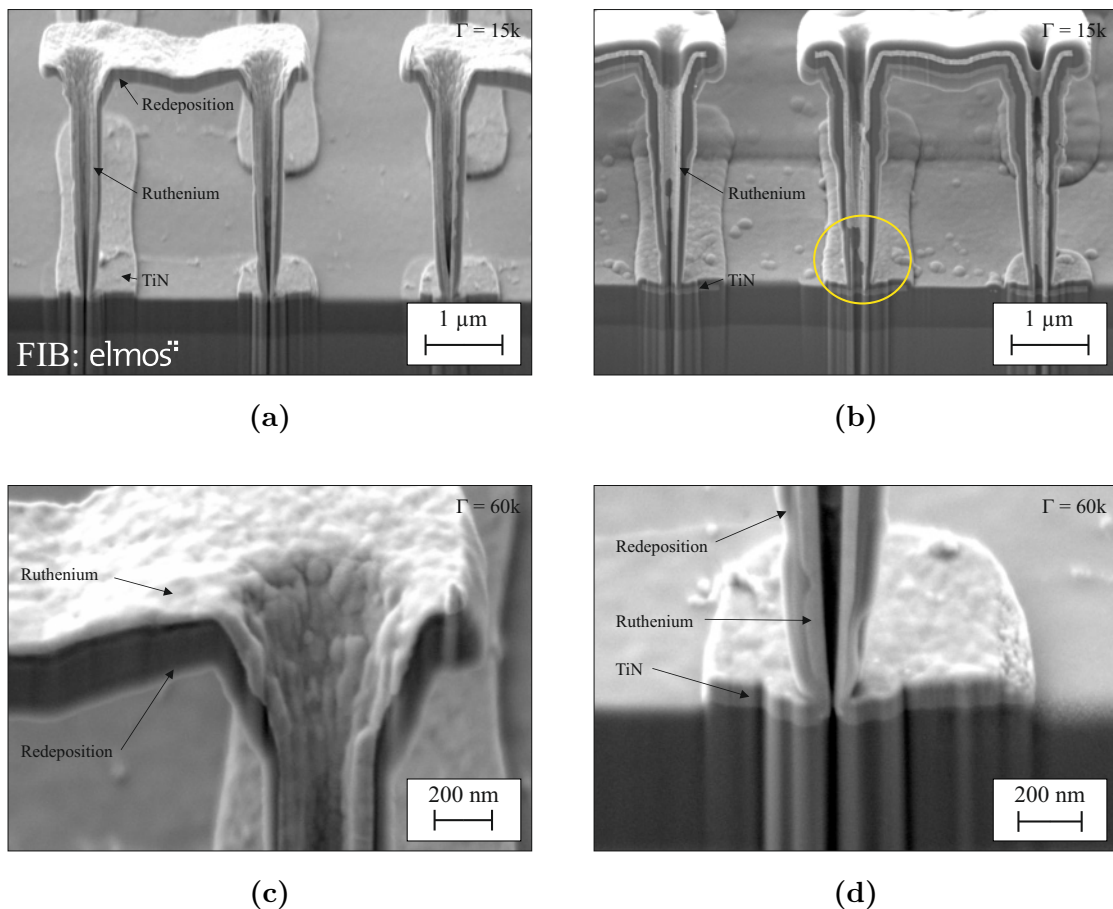


Abbildung 7.17: FIB-Querschnittsanalyse an offen geschnittenen Nanoröhren. (a) Teststruktur für Ruthenium-Nano-Rasen auf TiN-Basisflächen, Schnitt durch Nanoröhre, (b) Degradation einer Kontaktfläche, (c) Aufhängepunkt der Ruthenium-Nanoröhre, (d) Kontakt zwischen Nanoröhre und TiN-Basisfläche

In Abbildung 7.17 ist eine FIB-Analyse (**F**ocused **I**on **B**eam) der Ruthenium-Nanoröhren dargestellt. Der Schnitt ist so angelegt, dass die Nanoröhren durch den Ionenstrahl bis zur Hälfte aufgetrennt werden. Die Aufnahmen zeigen, dass die ALD-Beschichtung vollständig die Nanoröhren ausfüllt. Teilweise erkennt man an den Kontaktflächen größere Löcher, die auf Blasenbildung während der Ruthenium-Beschichtung zurückgeführt werden können. Die Schichtdicke am Aufhängepunkt beträgt 53 nm. An der Kontaktfläche zur TiN-Basisfläche reduziert sich die Ruthenium-Schichtdicke bis auf ≈ 20 nm. Der erhöhte, experimentell bestimmte Widerstandswert lässt sich daher auf eine geringe Kontaktfläche und auf eine Degradation zwischen Nanoröhre

und Basiselektrode zurückführen. Zusätzlich zeigt sich eine Porosität der Ruthenium-Schicht, die ebenfalls zu einem erhöhten Widerstandswert beiträgt.

7.4.5 Mechanische Eigenschaften

Die mechanischen Eigenschaften der Nano-Röhren bzw. der abgeschiedenen Ruthenium-Schicht werden im Folgenden anhand zweier Testobjekte untersucht. Mit dem Herstellungsverfahren wurden freitragende Brücken und Membranen aufgebaut, vgl. Abbildung 7.13h und 7.13g. Die Brücke weist an ihrer dünnsten Stelle eine Breite von $0,6\ \mu\text{m}$ und eine Länge von $24\ \mu\text{m}$ auf. Die Dicke beträgt $50\ \text{nm}$. In Abbildung 7.18 erkennt man deutlich, dass sich die freitragende Konstruktion nicht verbiegt. Elektrische Unter-

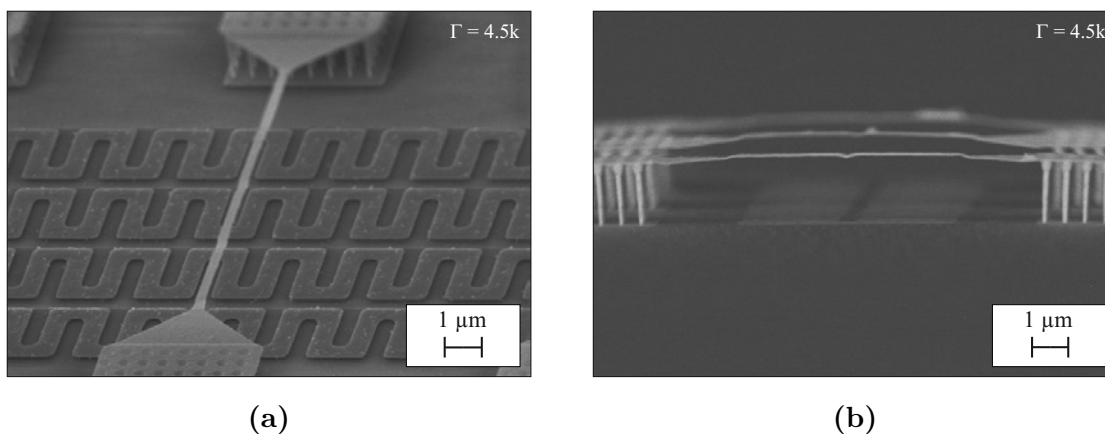


Abbildung 7.18: Freitragende Brücke ohne Verbiegung mit einer minimalen Breite von $0,6\ \mu\text{m}$, einer Länge von $24\ \mu\text{m}$ und einer Dicke von $50\ \text{nm}$.

suchungen haben gezeigt, dass ab einer Leistung von ungefähr $23\ \text{mW}$ die Brücke aufgrund der thermischen Einwirkung stark degradiert und durchbrennt, vgl. die Strom-Spannungskennlinie in Abbildung 7.19. Bei einem Einsatz als nanomodifizierte Elektrode treten Spannungen von maximal $1\ \text{V}$ und Stromstärken in der Größenordnung von μA auf, was einer Maximalleistung von $1\ \mu\text{W}$ entspricht.

Die Membran besitzt einen Durchmesser von $60\ \mu\text{m}$ und wird alleine durch Nano-Röhren, die auf einem Ring platziert sind, getragen. Unter der Membran befindet sich eine Elektrode mit einem Durchmesser von $50\ \mu\text{m}$. Die untere und die obere Elektrode können mit einer Spannung beaufschlagt werden. Mit einem Interferenz-Mikroskop der Firma Fogale Nanotech wurde die Durchbiegung der Membran ohne und mit angelegter Spannung untersucht. Abbildung 7.20 zeigt das Durchbiegungsprofil der Membran,

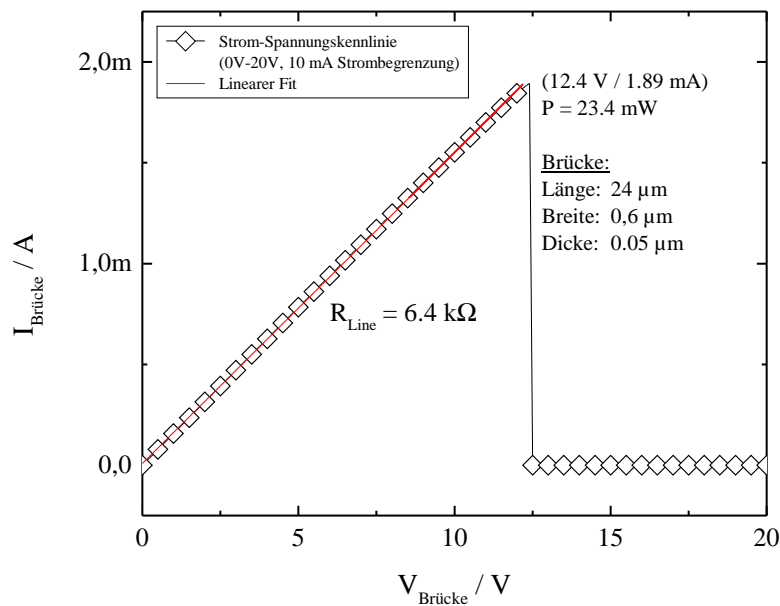


Abbildung 7.19: Strom-Spannungskennlinie beim Einprägen eines Stroms durch den Steg der Brücke. Ab einer Leistung von 23 mW wird die Brücke durch die thermische Einwirkung zerstört.

wenn keine Spannung (a) oder wenn eine Spannung von 27 V (b) an den Elektroden angelegt ist. Es ist deutlich zu erkennen, dass sich die Membran aufgrund mechanischer Spannungen nicht durchbiegt, wenn keine äußere Kraft auf diese einwirkt. Durch das elektrostatische Feld, das durch Anlegen einer Spannung von 27 V entsteht, beginnt die Membran sich zu verbiegen. Allerdings beobachtet man, dass sich die Membran nicht komplett durchbiegt, sondern sich aufgrund ihres intrinsischen Stresses aufwölbt. Die maximale Durchbiegung bei 27 V beträgt 285 nm. Legt man anstatt einer Gleichspannung eine Wechselspannung an die Elektroden an, so findet man bei einer Spannungsamplitude von 7 V einen Resonanzpunkt bei ungefähr 17,14 MHz. Die Membran wird bei diesem Resonanzpunkt zerstört.

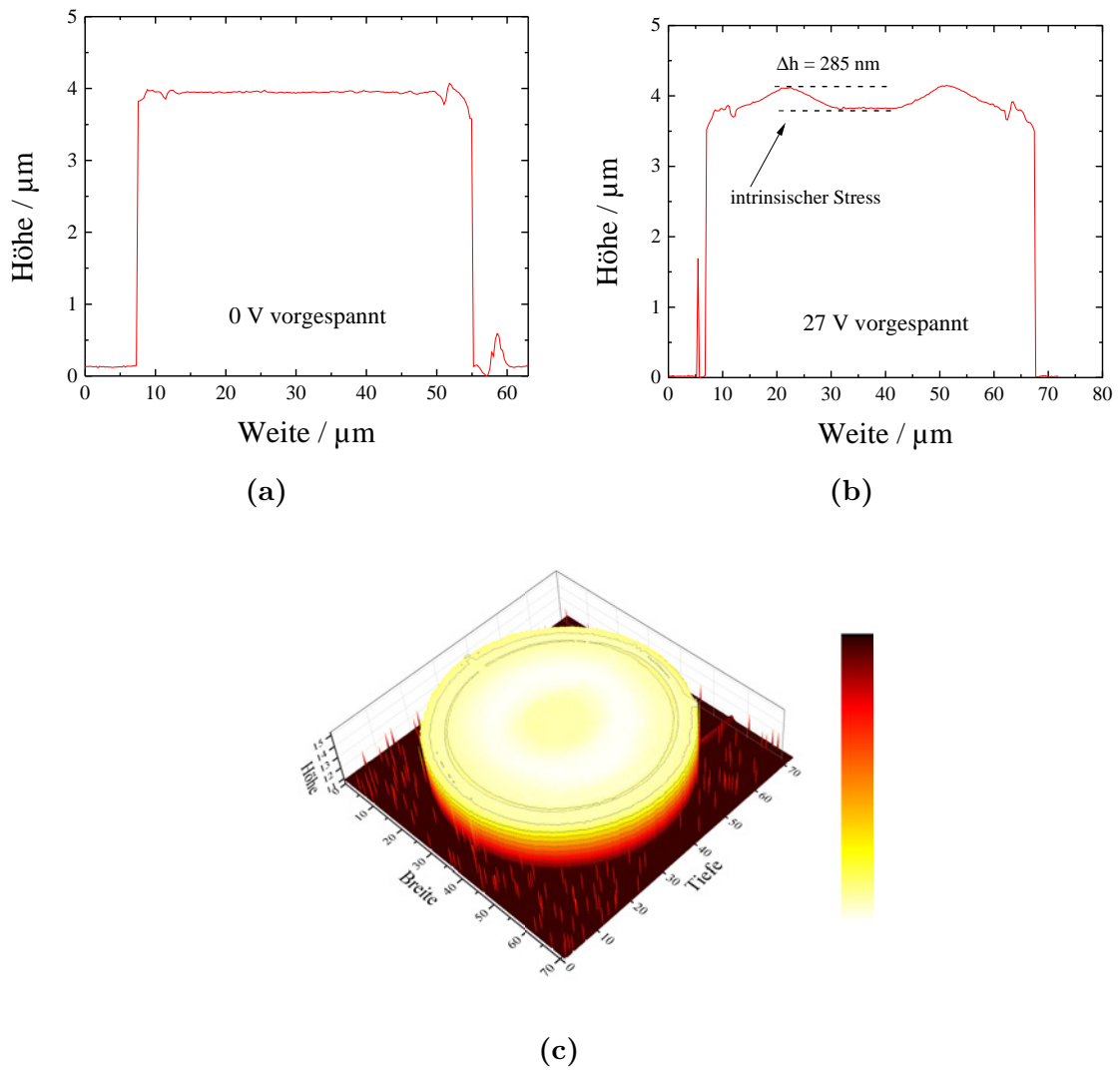


Abbildung 7.20: Durchbiegungsprofil einer Ruthenium-Membran (Durchmesser $60 \mu\text{m}$, Schichtdicke 50 nm). (a) Ohne Spannung (b) Spannung von 27 V (c) 3D Darstellung der Membran

7.5 Fazit: Teststrukturen für Nano-Rasen

Das vorgestellte Konzept zur Herstellung eines Nano-Rasens wurde um die Möglichkeit erweitert, dass eine elektrische Widerstandsmessung über die Strukturierung der obersten Metallisierungsebene möglich ist. Auf diese Weise wurden verschiedene Teststrukturen, die für eine Abschätzung der elektrischen und mechanischen Eigenschaften des Nano-Rasens genutzt werden können, realisiert. Es wurden Widerstandsketten mit bis zu 20 158 Nano-Röhren hergestellt und elektrisch vermessen. Es zeigten sich bei allen Messungen ein ohmsches Verhalten, das auf einen vollständig hergestellten Kontakt zwischen Nano-Rasen und Basiselektrode hindeutet. Der Widerstandswert einer Nano-Röhre konnte anhand der Widerstandsketten auf 650Ω abgeschätzt werden. Des Weiteren wurden Teststrukturen realisiert, die für eine Vierleitermessung eingesetzt werden konnten. Durch einen Vergleich der Widerstandswerte für 1, 4 und 9 parallel geschalteten Nano-Röhren wurde ein Widerstandswert von 647Ω für eine Nano-Röhre ermittelt. Im Vergleich zu theoretisch berechneten Widerstandswerten liegen die Messergebnisse in einem zu hohen Bereich. Eine mögliche Erklärung für den starken Anstieg des Widerstands ist eine poröse Oberfläche der Ruthenium-Schicht und Kontakt-Degradation am Ruthenium-TiN-Interface. Um Aussagen über die mechanischen Eigenschaften des Ruthenium-Nano-Rasens zu treffen, wurden freitragende Brücken und Membranen realisiert. Bei der Untersuchung zeigte sich in der REM-Analyse keine Durchbiegung der jeweiligen Konstruktionen. Ein Durchbrennen der freitragenden Brücke wurde bei einer Leistung von 23 mW gemessen. Dieser Wert liegt jedoch weit über die Leistungsgrenzen, die bei der elektrochemischen Charakterisierung verwendet werden. Aufgrund der Untersuchungen lässt sich für die mechanischen Eigenschaften der Ruthenium-Schicht festhalten, dass die einzelnen Nano-Röhren genügend stabil sind, um als Elektrodenmaterial eingesetzt zu werden.

Die vorgestellte Methode zur Realisierung eines Nano-Rasens erlaubt noch weitere Variationen im Prozessablauf. Die genaue Platzierung von Nano-Röhren durch die photolithografische Maskierung erlaubt spezifische Muster, die z. B. bei Retina-Implantaten angewendet werden können. Die große Wahl von Materialien, die im ALD-Verfahren abgeschieden werden können, erweitert zusätzlich die potentielle Anwendungsgebiete. Durch die Oberflächenvergrößerung sind auch Anwendungen z. B. in der Gassensorik denkbar.

8 Modifizierung der MEA mit Gold, Platin, Iridium und Iridiumoxid

Um die Ladungstransferkapazität der Multi-Elektroden-Arrays, die jeweils mit Kohlenstoff-Nanoröhren und einem Ruthenium-Nano-Rasen modifiziert wurden, auch mit anderen Elektrodenmaterialien zu vergleichen, wurden auf den planaren Ti/TiN-Elektroden (mit und ohne Ta₂O₅-Passivierung) zusätzlich Schichten aus Gold (Au), Platin (Pt), Iridium (Ir) sowie Platin/Iridiumoxid (Pt+IrOx) abgeschieden. Die Beschichtungen mit den genannten Materialien wurde durch das 'Institut für Werkstoffe der Elektrotechnik', Lehrstuhl für Mikrostrukturintegration (IWE1) der RWTH Aachen durchgeführt. Aufgrund ihrer großen Biokompatibilität werden Gold und Platin bereits kommerziell als Elektrodenmaterialien eingesetzt [151]. Insbesondere nanoporöse Schichten sind aufgrund ihrer großen aktiven Oberfläche für Elektrodenmaterialien interessant. Platin-Iridium Elektroden, die mittels Co-Sputtern auf den Substraten abgeschieden werden, zeigen eine signifikante Erhöhung der Ladungstransferkapazität. Dabei lassen sich über Prozessparameter wie Sputterleistung und Druck die Morphologie des abgeschiedenen Films beeinflussen [152]. Slavcheva et al. haben den Einfluss des Sauerstoff-Flusses während des Sputter-Prozesses von nanoporösen Iridiumoxid Schichten (**Sputtered Iridium Oxide Films (SIROF)**) untersucht. Es zeigte sich, dass der Sauerstoff-Fluss die mikroporöse Oberflächenmorphologie der abgeschiedenen Schicht signifikant beeinflusst. Eick et al. [23] haben mittels aufgesputterten, nanoporösen Iridium-Oxid Elektroden erste extrazelluläre in vitro Stimulationen von Nervenzellen vorgenommen.

8.1 Deposition von Gold, Platin, Iridium und Platin+Iridiumoxid

Die einzelnen Materialien wurden auf jeweils 4 cm × 4 cm großen Probenstücke mit einem Sputterprozess abgeschieden und mit Hilfe der Lift-off Methode strukturiert. Für die Fotolithografie wurde der Negativ-Lack AZ[®] nLOF2020 verwendet. Es wurden die gleichen Prozessparameter genutzt, die schon beim Lift-off Prozess der Katalysatoren

zur CNT-Synthese angewandt wurden (vgl. Kapitel 6.6.2). Für jede Materialvariante standen 2 Probenstücke zur Verfügung. In Tabelle 8.1 sind alle Materialvarianten mit der zugehörigen Schichtdicke aufgelistet. Die Entfernung des Fotolacks und somit die Strukturierung der zusätzlichen Elektrodenmaterialien wurde ebenfalls durch das IWE1 ausgeführt. Als Lösemittel wurde 80 °C heißes NMP eingesetzt, in dem die Proben für den Lift-off Prozess für 24 h eingeweicht wurden. Für einzelne Proben wurde der Lift-off Prozess mit einem Ultraschall-Bad unterstützt. Abbildung 8.1 zeigt die abgeschiedenen Materialien auf den Ti/TiN-Elektroden in der REM-Analyse. Für die abgeschiedene Gold-Schicht lässt sich die geringste Oberflächenvergrößerung abschätzen. Platin zeigt im Vergleich zur aufgesputterten Iridium- und Platin+Iridiumoxid-Elektrode den größten Zuwachs der effektiven Oberfläche. Mit Hilfe eines Rasterkraftmikroskops des Typs MFP-3D der Firma Asylum Research wurde die Rauheit der Oberflächen im Tipping-Modus bestimmt. Für die TiN-Basiselektrode liegt die Rauheit bei $R_{\text{rms}} = 0,4 \text{ nm}$. Die Rauheit der Gold-Beschichtungen liegt bei 1,53 nm und 1,97 nm für die Ta₂O₅-passivierte Variante. Der Unterschied ist aufgrund einer unterschiedlichen Schichtdicke der Gold-Abscheidung zu erklären. Die größte Oberflächenrauheiten zeigen die Platin-Beschichtungen mit Rauheiten über 4 nm, vgl. Abb. 8.2. Iridium und Iridiumoxid zeigen vergleichbare Rauheiten und liegen im Bereich von 1,5 nm und 1,95 nm. Die Pt+IrOx-Schicht zeigt bei der Messung zwar eine geringe Rauheit von 0,96 nm, allerdings wird das nanoskalige Dendritenwachstum der Iridium- und der Iridiumoxid-Schichten bei der AFM-Messung nicht vollständig aufgelöst. Die Messwerte werden in Tabelle 8.2 zusammengefasst.

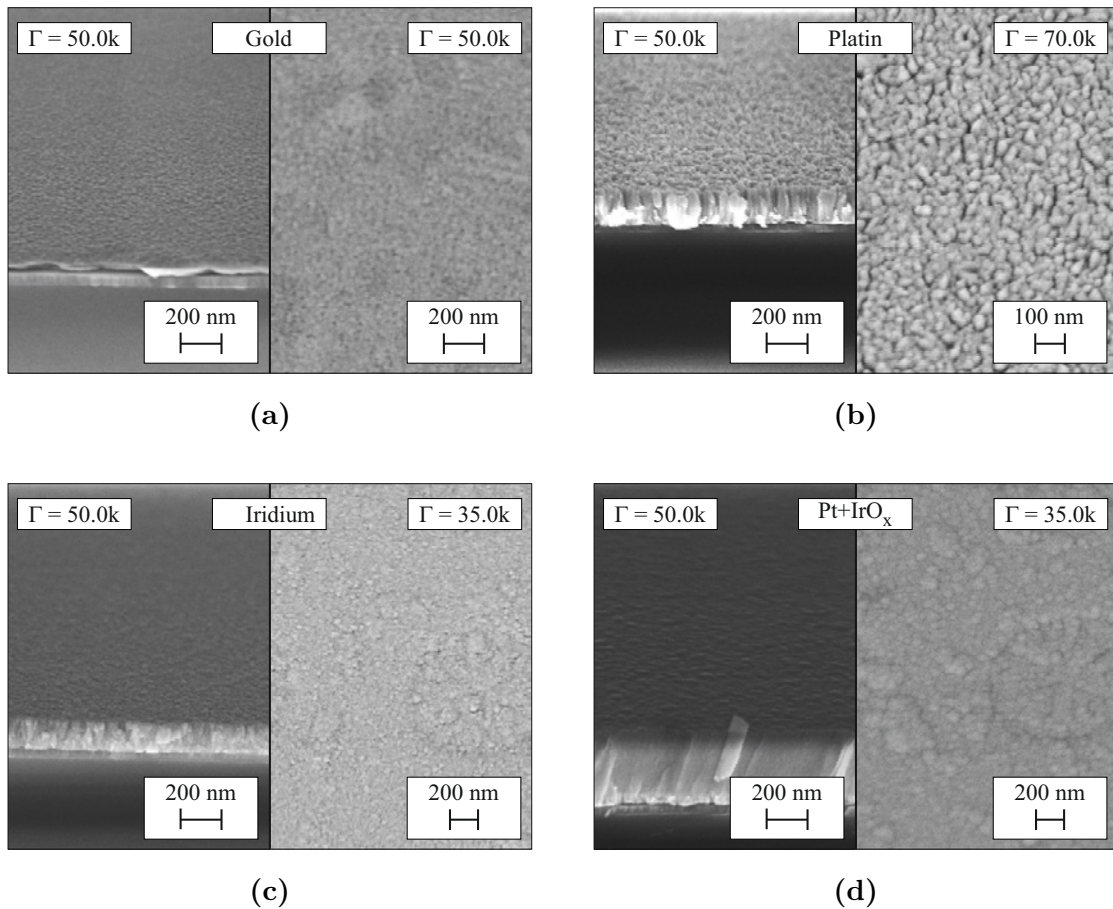


Abbildung 8.1: REM-Oberflächenanalyse für Gold, Platin, Iridium und Platin+Iridiumoxid auf Ti/TiN-Elektroden des Basis-CMOS-MEAs. (a) Niedrige Rauigkeit bei der Gold-Beschichtung, (b) stärkste Rauigkeit bei Platin-Beschichtung, (c)-(d) vergleichbare Rauigkeiten für Iridium und Platin+Iridiumoxid

Basis-CMOS-MEA ohne Ta ₂ O ₅	Schichtdicke (gemessen)	Basis-CMOS-MEA mit Ta ₂ O ₅	Schichtdicke (Sollwert)
Au	93 nm	Au	150 nm
Pt	170 nm	Pt	150 nm
Ir	146 nm	IrO _x	500 nm
Pt+IrO _x	46 nm+284 nm	Pt+IrO _x	50 nm+300 nm

Tabelle 8.1: Liste der verschiedenen Elektrodenvarianten mit Angabe der Schichtdicke

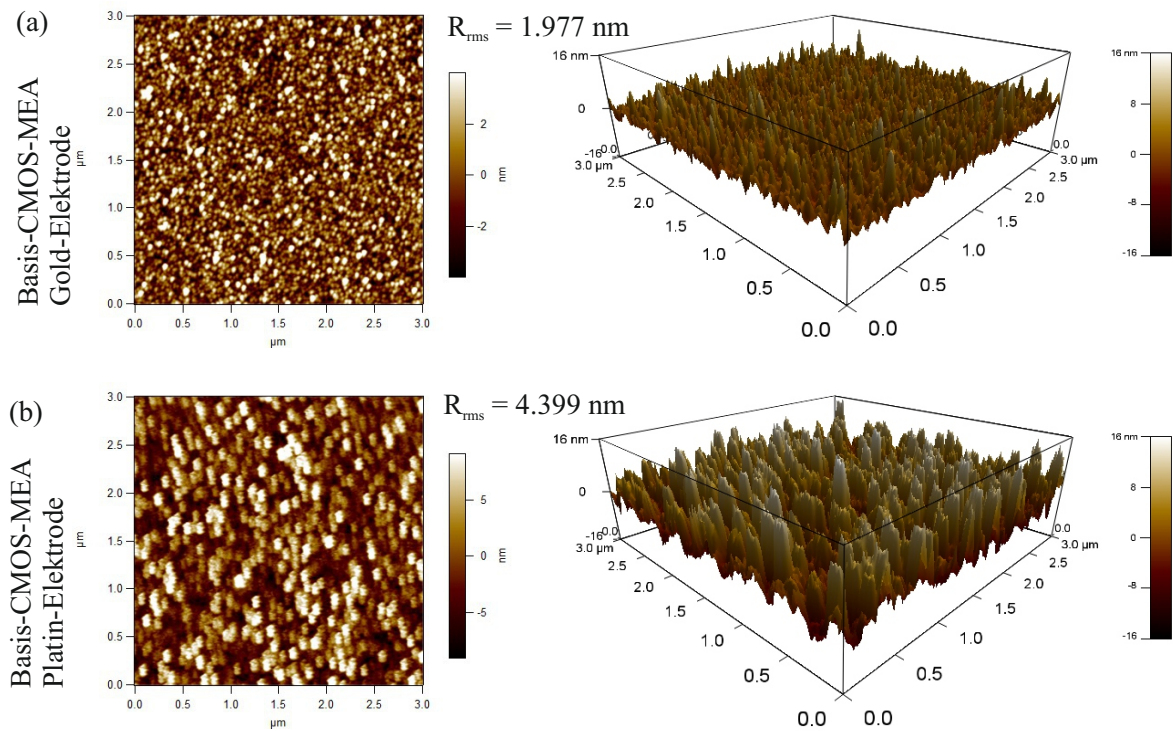


Abbildung 8.2: Rasterkraftmikroskopie zur Bestimmung der Oberflächenrauheit der Gold- und Platin-Beschichtungen für Basis-CMOS-MEA mit Ta₂O₅-Passivierung

Basis-CMOS-MEA ohne Ta ₂ O ₅	RMS-Rauheit	Basis-CMOS-MEA mit Ta ₂ O ₅	RMS-Rauheit
TiN	n.a.	TiN	0,407 nm
Au	1,537 nm	Au	1,977 nm
Pt	4,652 nm	Pt	4,399 nm
Ir	1,953 nm	IrO _x	1,509 nm
Pt+IrO _x	n.a.	Pt+IrO _x	0,966 nm

Tabelle 8.2: Liste der verschiedenen Elektrodenvarianten mit Angabe der Rauheit; gemessen über Rasterkraftmikroskopie

9 Aufbau- und Verbindungstechnik

Das Basis-CMOS-MEA wurde mit unterschiedlichen Oberflächenmodifikationen realisiert. Die planaren Ti/TiN-Elektroden wurden mit Kohlenstoff-Nanoröhren und mit einem Ruthenium-Nano-Rasen versehen. Ferner wurden auch Varianten mit jeweils einer Gold, Platin, Iridium und Pt-Iridiumoxid Schicht hergestellt. Die Prozesstemperatur bei der Synthese von Kohlenstoff-Nanoröhren auf dem Basis-CMOS-MEA beträgt bei Verwendung eines FePt-Katalysators 620 °C und 700 °C bei einem reinen Fe-Katalysator. Übliche Kontaktierverfahren in der Halbleiter-Produktion basieren auf eine Einzeldraht-Verbindung (Wire Bonden) [153] oder auf dem Flip-Chip-Verfahren, bei dem der zu kontaktierende Chip kopfüber auf einem Zielsubstrat positioniert und z. B. mit Hilfe eines Underfillers verbunden wird [154, 155]. Bei dem Einzeldrahtverfahren kommen normalerweise Gold- oder Aluminiumdrähte [156, 157] zum Einsatz. Die Kontaktierung auf einem bondfähigem Material wird mittels Thermokompressionsverfahren, Wedge-Bonden (Ultraschall) oder Thermosonicverfahren vorgenommen. In der CMOS-Technologie werden als bondfähiges Substratmaterial insbesondere Aluminium-Metallisierungen eingesetzt. Das weiche Material erlaubt mit seinem geringen Schmelzpunkt eine einfache Kontaktierung der beiden Fügepartner durch Reibschweißen. Der geringe Schmelzpunkt von Aluminium verhindert aber einen Einsatz bei Hochtemperaturen, wie z. B. bei der thermischen CNT-Synthese üblich. Ein weiteres Problem einer Aluminium-Metallisierung liegt in ihrer Diffusionseigenschaft. Bereits bei niedrigen Temperaturen kann Silizium in eine Aluminiumschicht diffundieren [158, 159, 160] und dort für eine vollständige Silizidierung und zur Ausbildung von Spikes sorgen. Eine zuverlässige, stabile Kontaktierung wird in diesem Fall erschwert. Daher werden in der Halbleiter-Industrie oftmals Aluminium-Legierungen mit einem Anteil Silizium oder Kupfer verwendet. Mit Hilfe von Barriere-Schichten (z. B. aus Ti/TiN) wird zudem der direkte Kontakt zu Silizium unterbunden. In diese Arbeit werden daher zwei unterschiedliche Kontaktierverfahren für den Basis-CMOS-MEA eingesetzt. Im nachfolgendem Abschnitt wird zunächst ein Konzept zur Aufbau- und Verbindungstechnik (AVT) vorgestellt. Einzelne Teilaspekte des AVT-Konzepts werden evaluiert. Das Kapitel endet mit der Präsentation vollständig aufgebauter Chips, die für einen Einsatz in einem elektrochemischen Messaufbau konzipiert sind.

9.1 Konzept

Die unterschiedlichen Varianten der planaren und der modifizierten Multi-Elektroden-Arrays erfordern zwei verschiedene AVT-Ansätze, die sich in der Art der Pad-Metallisierung unterscheiden. Die CNT-modifizierten Multi-Elektroden-Arrays dürfen aufgrund der hohen Temperaturen bei der Synthese der Kohlenstoff-Nanoröhren keine Aluminium-Metallisierung aufweisen, die normalerweise als bondfähiges Pad-Material eingesetzt werden. Für die planaren Varianten gilt diese Einschränkung nicht. Daher wird in diesem Fall eine übliche Metallisierung aus AlCu eingesetzt. Die Modifizierung des Basis-CMOS-MEAs mit einem Nano-Rasen erfordert ein Opferschichtmaterial aus amorphem Silizium, das bei einer Temperatur von 400 °C abgeschieden wird. Die Pad-Metallisierung der Nano-Rasen-MEA wurde daher mit einer AlSi-Schicht durchgeführt, die bei erhöhter Temperatur (500 °C) abgeschieden wurde. In Abbildung 9.1 ist der schematische Aufbau der beiden AVT-Varianten dargestellt. Nach einer voll-

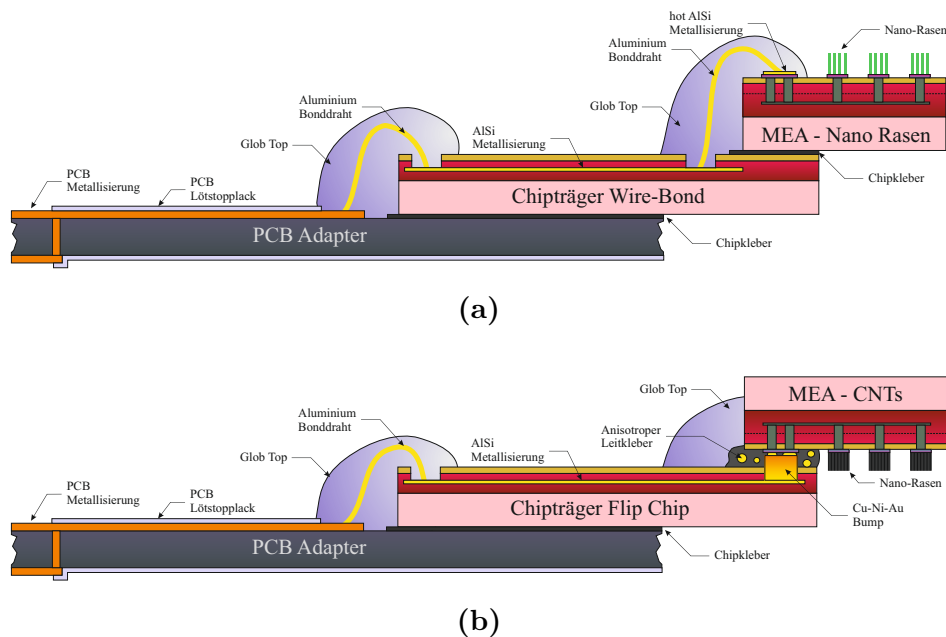


Abbildung 9.1: Konzept für die Aufbau- und Verbindungstechnik. (a) Aluminium-Pad-Metallisierung und AVT über Drahtbond-Verfahren. (b) AVT der CNT-MEAs über eine angepasste Flip-Chip Methode unter Verwendung eines anisotropen Leitklebers

ständigen Pad-Metallisierung können die planaren Multi-Elektroden-Arrays und die Nano-Rasen-Variante auf einem Chipträger geklebt und über ein Drahtbond-Verfahren mit diesem verbunden werden. Der Chipträger dient hier als verbindendes Element des

Basis-CMOS-MEA mit einem PCB-Adapter. Der Chipträger erlaubt mit seiner AlSi-Metallisierung und einem vergrößerten Pad-zu-Pad Abstand ein direktes Drahtbonden auf dem PCB-Träger. Auf den Ti/TiN Kontakten des CNT-modifizierten MEAs ist ein Drahtbonden nicht möglich. Daher wurde für diese MEA-Variante eine angepasste Flip-Chip Methode entwickelt [161]. Dabei wird der elektrische Kontakt nicht mittels Verschweißen der Fügepartner hergestellt, sondern durch einen leitfähigen Kleber. Da die Positionierung des leitfähigen Klebers auf jeder einzelnen Kontaktfläche des Basis-CMOS-MEAs nicht praktikabel ist, wird im Konzept ein anisotroper Leitkleber (**A**nisotropic **C**onductive **A**dhesives (ACA)) angedacht. Der notwendige Höhenunterschied, der für eine Abgrenzung der leitfähigen Verbindung auf die Kontaktfläche sorgt, wird auf dem Chipträger durch die Herstellung eines 'Löthockers' (Bump) mittels eines Galvanik-Prozesses realisiert. Das AVT-Konzept sieht also die Herstellung von zwei Chipträger-Varianten vor. Nach dem Flip-Chip-Prozess kann der Chipträger ebenfalls mit dem PCB-Adapter über Drahtbonden verbunden werden. Um die Bonddrähte vor mechanischen Einflüssen zu schützen und einen Einsatz in Flüssigkeiten zu ermöglichen, werden diese mit einem Glob Top Silikon geschützt.

9.2 Pad-Metallisierung

Für die Kontaktierung der planaren Ti/TiN-Elektroden und ihrer Modifikationen mit Gold, Platin, Iridium sowie Pt-Iridiumoxid wurde vor der jeweiligen Nano-Modifizierung auf dem Basis-CMOS-MEA Wafer eine zusätzliche Schicht aus einer Aluminium-Kupfer-Legierung (AlCu) aufgesputtert. Die Kontaktflächen wurden über eine Fototechnik maskiert und über einen nasschemischen Ätzschritt strukturiert. Die AlCu-Metallisierung weist eine Schichtdicke von 900 nm auf. Da auf dem Basis-CMOS-MEA Wafer bereits fertig prozessierte Ti/TiN-Elektroden mit einer Schichtdicke von 70 nm offen auf der Substratoberfläche vorhanden waren, wurde auf eine Strukturierung mittels RIE wegen einer zu geringen Selektivität von Al und Ti/TiN verzichtet. Die Strukturierung der AlCu-Schicht wurde mittels einer Aluminium-Ätzlösung (Transene AluEtch Type-A) durchgeführt. Die Bestandteile dieser Lösung setzen sich aus Phosphorsäure (H_3PO_4), Salpetersäure (HNO_3), Essigsäure ($\text{C}_2\text{H}_4\text{O}_2$) und Wasser zusammen. Die natürliche Oxidschicht des Aluminiums wird zunächst durch die Phosphorsäure entfernt. Die Salpetersäure oxidiert Aluminium zu Al_2O_3 , welches erneut durch H_3PO_4 geätzt wird. Mittels einer Heizplatte wird die Temperatur der Ätzlösung auf 40 °C gere-

gelt. Der Ätzprozess endet mit einem Eintauchen des Wafers in DI-Wasser. Die Ätzzeit für eine 900 nm dicke AlCu-Schicht liegt im Bereich von 5 min, wobei die Ätzrate stark von der Temperatur abhängig ist. Für die Nano-Rasen-Variante wurde die Pad-Metallisierung mit einer aufgesputterten 1100 nm dicken AlSi-Schicht durchgeführt, wobei eine erhöhte Abscheidetemperatur (500 °C) gewählt wurde. Das erhöhte Temperaturbudget soll eine Reaktion zwischen der AlSi-Schicht und der amorphen Si-Opferschicht bei der Herstellung des Nano-Rasens reduzieren. Die AlSi-Schicht wurde ebenfalls maschiert und nasschemisch geätzt. Dabei wurde in einem zweistufigem Prozess zunächst eine Transene AluEtch Type-A Lösung verwendet und im Anschluss eine Transene AluEtch Type-F genutzt. Transene AluEtch Type-F kann die zusätzlichen Silizium-Reste der AlSi-Schicht von der Substratoberfläche entfernen. Die Aufteilung in zwei Teilschritte beim Nassätzen ist nötig, da nur eine geringe Stabilität des verwendeten Fotolacks und des Haftvermittlers gegenüber Transene AluEtch Type-F besteht. Der Fotolack löst sich nach 2 min bis 3 min auf, so dass evtl. noch Silizium-Reste auf der Oberfläche zurückbleiben können. Daher werden einzelne Silizium-Partikel, die sich insbesondere beim Nassätzen auf den Ti/TiN-Elektroden angelagert haben, mittels XeF₂-Gasphasenätzen vollständig von der Substratoberfläche entfernt.

9.3 Chipträger für Basis-CMOS-MEA

9.3.1 Layout der Chipträger

Für die Umsetzung des AVT-Konzepts der Drahtbond- und der Flip-Chip-Variante ist die Herstellung von zwei unterschiedlichen Chipträgern erforderlich. In Abbildung 9.2 ist das Maskenlayout beider Chipträger-Versionen dargestellt. Beim Layout wird die Metallisierung durch eine einzige Maskenebene, die die Kontaktflächen, Verdrahtung sowie Dummy-Strukturen beinhaltet, realisiert. Dabei werden die Bereiche, auf denen im späteren Prozessablauf das Basis-CMOS-MEA platziert werden soll, ausgespart. Die Anschlusskontakte, die später auf einem PCB-Träger führen, sind so konzipiert, dass ein unterschiedlicher Pitch der PCB-Leiterbahnen möglich ist. Die 27 Anschlusspads werden über 5 µm breite Leiterbahnen mit der Seite, auf die das Basis-CMOS-MEA aufgebracht werden soll, miteinander verbunden. Da der Abstand zwischen beiden Seiten ungefähr 8 mm beträgt, sind die Leiterbahnen mäanderförmig angeordnet, damit eine gute Haftung der Leiterbahnen auf dem Substrat, z. B. nach dem Ätzprozess, ge-

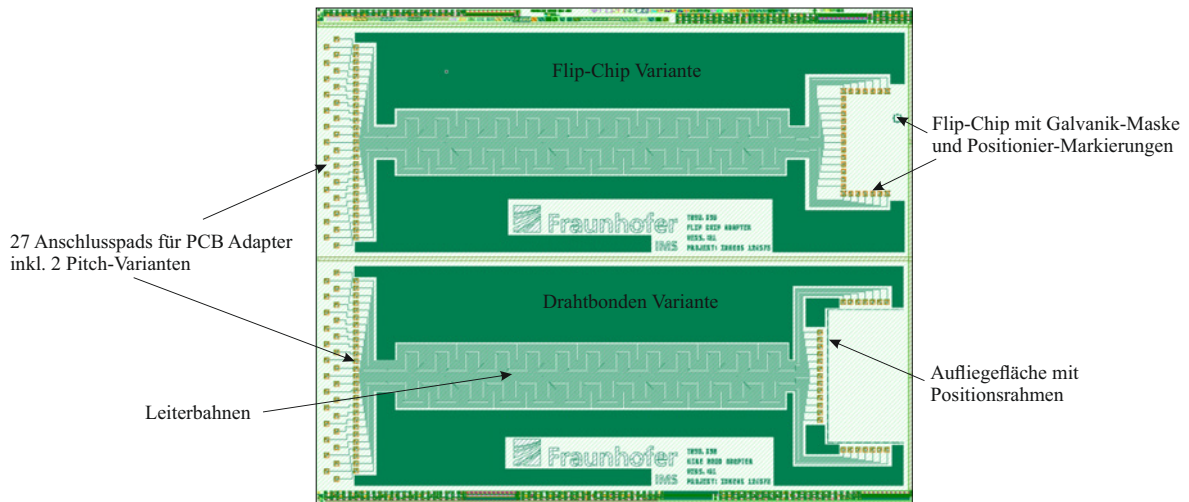


Abbildung 9.2: Layout der Chipträger für eine Drahtbond- und Flip-Chip-Variante mit 2 bzw. 3 Maskenebenen. AlSi-Metallisierung, Kontaktöffnungen, Galvanik-Öffnung

währleistet wird. Eine zweite Fototechnik öffnet über den $95\ \mu\text{m} \times 95\ \mu\text{m}$ großen Kontaktflächen mit einem Unterlapp von $4\ \mu\text{m}$ die Passivierung. Der Chipträger, der zur Kontaktierung des CNT-MEAs vorgesehen ist, besitzt darüber hinaus eine dritte Maskebene, die über den Anschlusskontakten einen Fotolack öffnet, in dem dann mittels Elektroplating ein Bump hergestellt werden kann.

9.3.2 Herstellung der Chipträger

Die Chipträger werden in einem 2- bzw. 3-Maskenprozess gefertigt. Auf einem 200 mm Wafer wird zunächst zur elektrischen Isolierung ein 500 nm dickes Oxid im PECVD-Verfahren abgeschieden. Die Metallisierung für die elektrische Kontaktierung und für die Leiterbahnen besteht aus einer 900 nm dicken AlSi-Schicht, die in einem Sputter-Prozess auf dem Wafer deponiert wurde. Als Haft- und Barrierschicht wurde eine insgesamt 50 nm dünne Ti/TiN-Schicht gewählt. Mit Hilfe der Fotolithografie wurde die Metallschicht mit einer Hellfeld-Maske maskiert und anschließend im Cl_2 -Plasma strukturiert. Der Fotolack wurde nach dem Ätzprozess direkt in einer weiteren Prozesskammer ohne Unterbrechung des Vakuums verascht, um die Bildung von HCl auf dem Wafer zu vermeiden. Nach einem Reinigungsschritt wurde auf dem Wafer eine 500 nm dicke SiO_2 -Schicht sowie eine 200 nm dicke Si_3N_4 -Schicht im PECVD-Verfahren zur Passivierung abgeschieden. Der $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Schichtstapel wurde nach einer Maskierung mittels einer zweiten Fototechnik über den Kontaktflächen mit Stopp auf AlSi

geätzt. Nach einer abschließenden EKC-Reinigung ist die Prozessierung der Drahtbond-Variante des Chipträgers abgeschlossen. Um das CNT-MEA zu kontaktieren, werden auf dem Chipträger der Flip-Chip-Variante Kupfer/Nickel/Gold-Bumps galvanisch prozessiert. Dazu wird zunächst auf einem fertig prozessierten Chipträger-Wafer eine Diffusionsbarriere aus TiW und eine Saatschicht aus Cu ganzflächig aufgesputtert, um einen elektrischen Kontakt im Elektrolyten herstellen zu können. Über den Kontaktflächen, die für die Bumps vorgesehen sind, wird mit fotolithografischen Mitteln ein ca. 10 µm dicker Dicklack (AZ[®] 10XT) über eine dritte Fototechnik geöffnet. Auf dem Wafer wird eine zweimalige Belichtung durchgeführt. Die erste Belichtung öffnet die vorgesehenen Kontaktflächen für die Galvanik. Eine zweite Belichtung ist notwendig, um die effektive offene Fläche auf dem Wafer für das Electroplating zu vergrößern. Dazu wurden im Belichtungsfeld, das auch den Maskensatz der Nano-Rasen Teststrukturen beinhaltet, offene Hellfeld-Bereiche mit Blenden abgegrenzt, belichtet und entwickelt. Um eine bessere Benetzung der verwendeten Elektrolyte zu erreichen, wird die Waferoberfläche zunächst mit einem Sauerstoff-Plasma hydrophilisiert. Es folgt eine dreistufige Galvanik, bei der zunächst eine 5 µm dicke Kupfer-Schicht galvanisch erzeugt wird. Nach der Kupfer-Galvanik (Kupfersulfat CuSO_4 in Schwefelsäure H_2SO_4) und einem Reinigungsschritt erfolgt die Nickel-Abscheidung (Nickelsulfamat $\text{Ni}(\text{NH}_2\text{SO}_3)_2$ in Borsäure H_3BO_3), die als Barriere-Schicht zwischen Gold und Kupfer dient. Anschließend wird Gold mit einer Schichtdicke von ungefähr 1 µm auf der Kupfer/Nickel-Schicht galvanisch (Gold(I)-Komplex in basischer Lösung) abgeschieden. Nach einer weiteren Reinigung der Wafer zur Entfernung von Elektrolyt-Rückständen wird der Dicklack nasschemisch mit AZ[®]100 Remover von der Waferoberfläche ganzflächig entfernt. Die TiW/Cu-Starterschicht, die sich nach dem Galvanik-Prozess noch auf der Waferober-

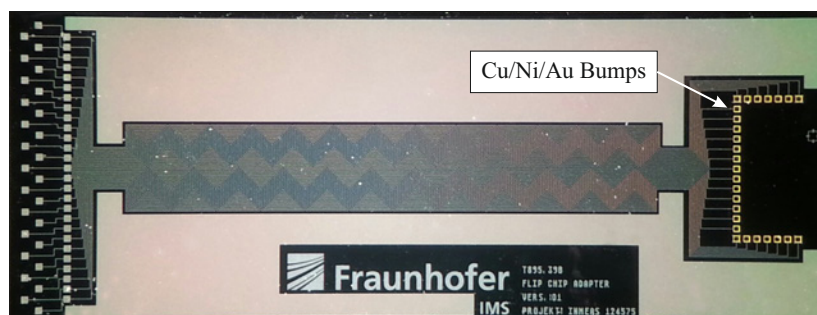


Abbildung 9.3: Fotografie des fertigen Chipträgers in der Flip-Chip-Variante mit galvanisch erzeugten Cu/Ni/Au-Bumps

fläche befindet wird nasschemisch mit Hilfe von Zitronensäure ($C_6H_8O_7$) und Wasserstoffperoxid (H_2O_2) entfernt. Nach der Fertigstellung beider Versionen des Chipträgers, wurden die Wafer in Einzelchips gesägt, vgl. Abbildung 9.3. Die Chipmaße betragen ca. $11,7\text{ mm} \times 4,6\text{ mm}$.

In Abbildung 9.4 ist ein Profil der erzeugten Bump-Struktur, die mittels eines Interferenz-Mikroskops (Fogale nanotech) im Weißlicht-Modus vermessen wurde, dargestellt. Die Kupfer/Nickel/Gold-Erhebung, die für den Flip-Chip-Ansatz notwendig ist, weist eine Höhe von bis zu $6,8\text{ }\mu\text{m}$ auf.

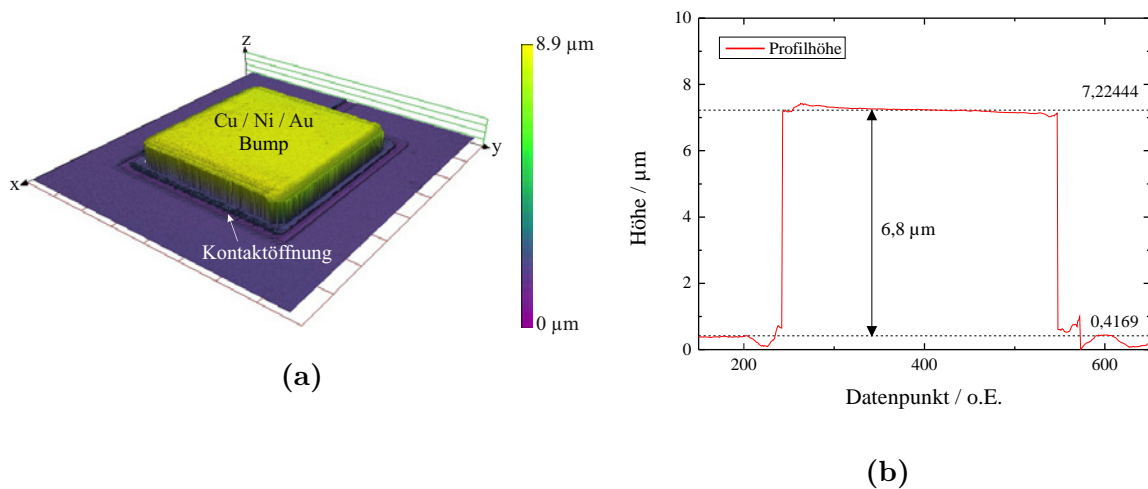


Abbildung 9.4: Interferenz-Mikroskopie der galvanisch erzeugten Kupfer/Nickel/Gold-Erhebung auf den Kontaktflächen des Chipträgers. Die Profilhöhe ergibt sich zu $6,8\text{ }\mu\text{m}$

9.4 Flip-Chip-Prozess mit anisotropem Leitkleber

Anisotrope Leitkleber sind spezielle Klebstoffe, die mit leitfähigen Partikeln gefüllt sind. Dabei ist der Füllgrad der Partikel so gewählt, dass sich die einzelnen Partikel im Grundzustand gegenseitig nicht berühren und kein leitfähiger Pfad in einer beliebigen Raumrichtung vorhanden ist. Eine vertikal leitfähige Verbindung zwischen zwei Kontakten kommt erst zustande, wenn auf dem Kleber ein Anpressdruck ausgeübt wird. Um eine laterale Leitfähigkeit der Verbindung zu unterbinden, muss ein Höhenunterschied vorhanden sein, der z. B. durch Bumps oder Stud-Bumps erzeugt werden kann. Aufgrund des geringen Füllgrads der leitfähigen Partikel wird der elektrische Kontakt nur an den Bumps hergestellt. Das Verfahren ist somit selbstjustierend. Der

Klebstoff kann ganzflächig auf einem Substrat aufgebracht werden. Als Füllstoffe werden oft Gold- oder Nickel-Partikel eingesetzt, da diese zusätzlich elastisch verformbar sind. Der Kleber härtet unter Temperatureinwirkung aus und bildet einen festen Kontakt mit den Fügepartnern. Dies verhindert, dass die leitfähigen Partikel wieder von den Kontaktflächen gelöst werden. In Abbildung 9.5 wird das Kontaktierverfahren mit

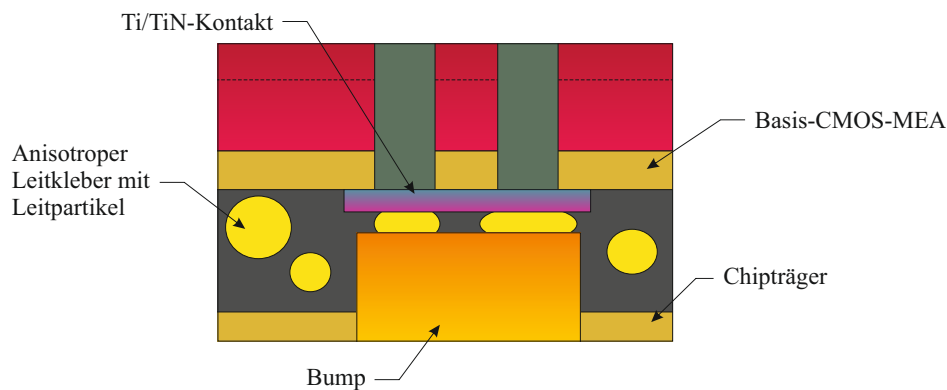


Abbildung 9.5: Schematische Darstellung des Kontaktierverfahrens mit anisotropem Leitkleber (ACA). Der elektrische Kontakt der Fügepartner kommt nur an Stellen zustande, die mittels eines Bumps einen Höhenunterschied aufweisen

einem anisotrop leitfähigen Kleber illustriert. Der benötigte Höhenunterschied zur lateralen Isolation wird in dieser Arbeit durch einen $6,8\ \mu\text{m}$ hohen Kupfer/Nickel/Gold-Bump hergestellt. Als anisotroper Leitkleber wurde DELOMONOPOX[®] AC268 von der Firma DELO benutzt [162]. Der Kleber besteht aus einem Epoxidharz, das unter Temperatureinwirkung aushärtet. Der leitfähige Anteil dieses Klebers besteht aus $5,3\ \mu\text{m}$ großen Nickel-Partikeln. Die Partikelgröße liegt somit unterhalb der Bump-Höhe. Der Klebstoff weist eine Viskosität von $32\ 000\ \text{mPa}\cdot\text{s}$ auf [162] und erlaubt so ein lokalisiertes Dispensieren auf dem Substrat. Die Aushärtungszeit beträgt bei $170\ ^\circ\text{C}$ am Kleber über eine Thermode $8\ \text{s}$. Da aber zunächst die Fügepartner selbst aufgeheizt werden müssen, dauert der eigentliche Klebeprozess entsprechend länger. Als Positioniereinheit wurde ein Flip-Chip-Bonder der Firma Finetech verwendet, vgl. Abbildung 9.6. Das Gerät besitzt eine Positioniereinheit, einen Chipaufnehmer, eine Dispenser-Einheit sowie eine Kamera, die Spiegelbilder beider Fügepartner zur genauen Justierung überlagern kann. Nach der Justierung positioniert der Schwenkarm beide Chips und übt mit einem definierten Druck eine Kraft aus. Zeitgleich kann mittels einer Thermode ein gewünschtes Temperaturprofil eingestellt werden. In dieser Arbeit wurden beide Chips mit einem Überlapp von $1,6\ \text{mm}$ auf Kante gebondet. Daher musste zunächst der Chip-

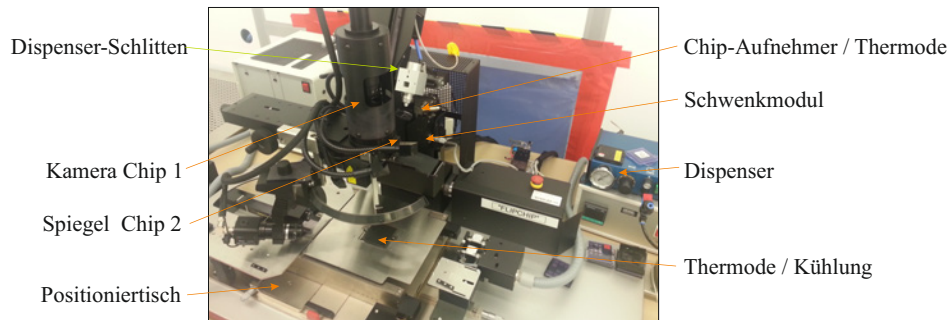


Abbildung 9.6: Flip-Chip-Bonder mit Dispenser-Einheit, Kamerasystem, einstellbarer Schwenkeinheit und Positioniertisch

träger manuell an dem Chip-Aufnehmer positioniert werden und dann mit Hilfe eines Abstandhalters auf den mit Kohlenstoff-Nanoröhren beschichteten Basis-CMOS-MEA geklebt werden. Der Leitkleber wurde dabei ganzflächig über den 27 Kontaktpads des Basis-CMOS-MEAs verteilt. Die Anpresskraft wurde dabei auf 30 N eingestellt. Dies entspricht 1,1 N pro Kontakt. Die Maximaltemperatur der Thermode betrug 170 °C.

9.4.1 Flip-Chip-Prozesskontrolle

Um die richtigen Parameter des Flip-Chip-Prozesses mit anisotropen Leitkleber zu evaluieren, wurden Querschnittsanalysen mit dem Rasterelektronenmikroskop angefertigt. Des Weiteren wurde die leitfähige Verbindung der gebondeten Chips elektrisch charakterisiert. In Abbildung 9.7 ist die REM-Querschnittsanalyse einer geschliffenen Probe dargestellt. Der Schliff reicht bis zu den Kontaktpads und den Bumps des Chipträgers. Als anisotroper Leitkleber wurde DELOMONOPOX[®] AC268 mit 5,3 µm großen Nickel-Partikel eingesetzt. Der Anpressdruck betrug bei der Probe 30 N bei einer Temperatur von 170 °C. Man erkennt deutlich einen elektrischen Kontakt zwischen dem Kupfer/Nickel/Gold-Bump und der Ti/TiN-Elektrode. Die Nickel-Partikel werden durch den Anpressdruck elastisch verformt. Der Füllungsgrad der Leitpartikel ist so gering, dass keine laterale Leitfähigkeit möglich ist. Der horizontale Versatz der beiden Fügepartner liegt im Bereich von 10 µm und damit in der Positioniergenauigkeit des verwendeten Flip-Chip-Bonders. Da der minimale Pad-Abstand 50 µm beträgt, kann der Versatz als unkritisch betrachtet werden. Für die elektrische Charakterisierung der Flip-Chip-Kontakte wurden Widerstandsmessungen mit Hilfe eines manuellen Mikroprobers und eines Strom-Spannungs-Messgeräts (HP4155/56) durchgeführt.

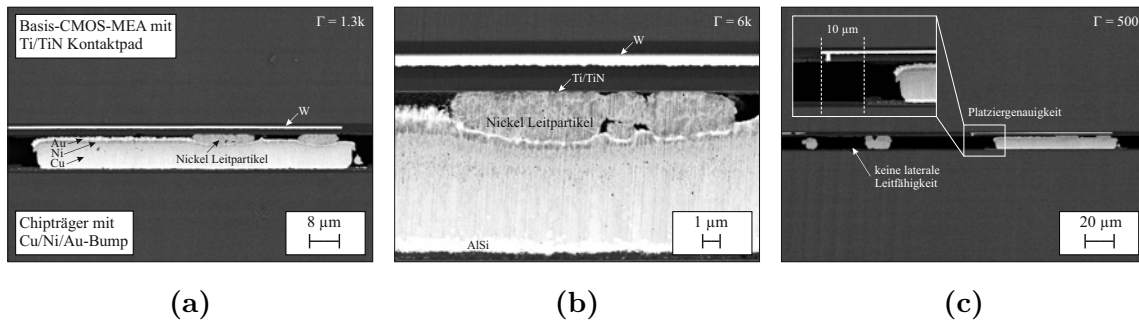


Abbildung 9.7: REM-Querschnittsanalyse einer geschliffenen Probe nach Flip-Chip-Prozess mit anisotropem Leitkleber. (a) Kupfer/Nickel/Gold-Bump mit leitfähigen Nickel-Partikel, (b) Detailaufnahme der elektrischen Verbindung, (c) keine laterale Leitfähigkeit, Bestimmung der Positioniergenauigkeit

Dabei wurde zunächst überprüft, ob zwischen benachbarten Kontakten aufgrund der leitfähigen Partikel ein Kurzschluss entstanden ist. Abbildung 9.8a zeigt den Leckstrom zwischen benachbarten Kontakten. Es ist deutlich an den erreichten Stromstärken (pA-Bereich) abzulesen, dass kein leitfähiger Pfad zwischen den Pads durch den Flip-Chip-Prozess entstanden ist. Der Anpressdruck lag bei dieser Probe bei 25 N.

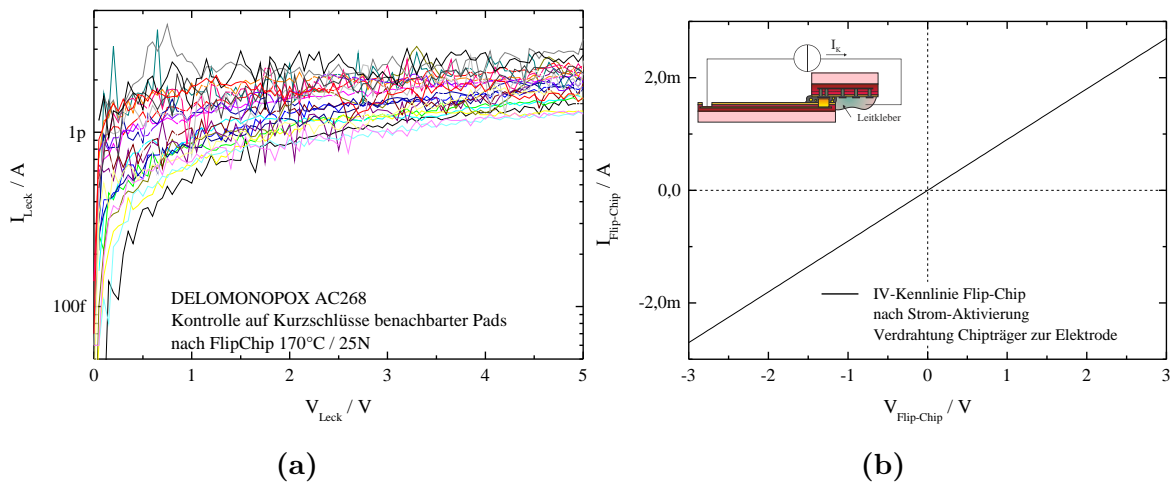


Abbildung 9.8: Elektrische Charakterisierung des Flip-Chip-Kontaktes. (a) Überprüfung auf Kurzschlüsse benachbarter Kontakte. (b) Überprüfung der elektrischen Leitfähigkeit zwischen Basis-CMOS-MEA und Chipträger nach Flip-Chip mit anisotropem Leitkleber

Um den elektrischen Kontakt über das Interface zwischen Chipträger und Basis-CMOS-MEA zu überprüfen, wurde ein Silberleitkleber (Polytec EPO-TEK H20E) auf die Elektroden des Basis-CMOS-MEA appliziert und bei 120 °C (30 min) ausgehärtet.

Auf diese Weise wurden die Elektroden des MEAs kurzgeschlossen. Der elektrische Widerstand durch jeweils zwei Flip-Chip-Kontakte wurde über jeweils zwei Kontakte des Chipträgers gemessen. In Abbildung 9.8b ist die Strom-Spannungs-Kennlinie dargestellt. Die Flip-Chip-Kontakte zeigen ein ohmsches Verhalten. Der Widerstand bei diesem Messaufbau liegt im Bereich von 1,1 k Ω . Bei den Messungen war zunächst eine elektrische Strom-Aktivierung der Kontakte notwendig. Die Ursache hierfür liegt jedoch nicht am Interface der Flip-Chip-Kontakte. Eine Vergleichsmessung mit einem nicht aufgebauten Basis-CMOS-MEA, bei dem der Elektrodenbereich mit Silberleitkleber kurz geschlossen ist, benötigt ebenfalls eine elektrische Strom-Aktivierung.

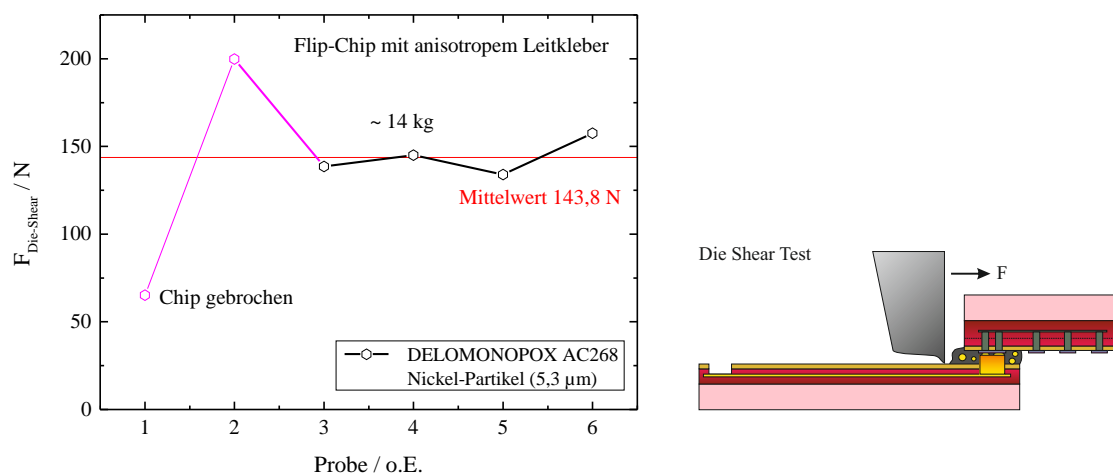


Abbildung 9.9: Kontrolle der Die-Scherfestigkeit für Flip-Chip-Kontakte mit anisotropem Leitkleber, DELOMONOPOX[®] AC268, Anpressdruck 30 N, Aushärtung bei 170 °C

Um eine Aussage über die mechanische Stabilität der Flip-Chip-Verbindung treffen zu können, wurden Schertests an 6 Proben durchgeführt. Die Flip-Chip-Verbindungen wurden mittels des Klebers DELOMONOPOX[®] AC268 bei einem Anpressdruck von 30 N und einer Aushärtungstemperatur von 170 °C hergestellt. Für die Überprüfung der Die-Scherfestigkeit wurde mit einem Schertester (Nordson DAGE 4000Plus) ein Schermeißel auf die Oberfläche des Chipträgers vor dem Basis-CMOS-MEA platziert und mit einer definierten Testgeschwindigkeit von 150 $\mu\text{m s}^{-1}$ gegen den Chip gefahren. Die gemessenen Kraftwerte sind in Abbildung 9.9 aufgetragen. Die Kraft zur Scherung der Chippaare beträgt durchschnittlich 143,8 N. Die Fläche der überlappenden Chipkanten beträgt ungefähr 4,22 mm^2 . Die Die-Scherfestigkeit lässt sich damit zu 34 MPa bestimmen. Im technischen Datenblatt des Klebers [162] wird die Die-Scherfestigkeit

mit 33 MPa angegeben. Der gemessene Wert der Die-Scherfestigkeit liegt in guter Übereinstimmung mit dieser Angabe.

9.5 Drahtbonden

Die Herstellung des Nano-Rasens basiert auf einem Opferschichtprozess mit amorphem Silizium. Um die Ti/TiN-Kontaktflächen des Basis-CMOS-MEA zu kontaktieren, wurden Pad-Metallisierungen auf den Substraten aufgebracht und strukturiert. Es ist jedoch bekannt, dass Silizium bereits bei niedrigen Temperaturen (250 °C) leicht in Aluminium diffundieren kann [91]. Dies kann zu einer Silizidierung des Aluminiums führen und die Bondfähigkeit einschränken. Daher wurde für den Nano-Rasen Prozess eine AlSi-Metallisierung angetestet, die bei erhöhter Prozesstemperatur (500 °C) abgeschieden wurde. Auf einem Siliziumsubstrat mit Oxid- und Nitrid-Passivierungen wurde eine 1,1 µm dicke Schicht aus hot-AlSi abgeschieden. Auf diesem Schichtstapel wurde nachfolgend eine 3 µm dicke amorphe Siliziumschicht bei einer Prozesstemperatur von 400 °C deponiert. Die Schicht wurde anschließend direkt mit XeF₂ im Gasphasenätzter entfernt. Auf der erneut offenliegenden AlSi-Metallisierung wurden Drahtbondversuche durchgeführt und charakterisiert. Dabei wurden die Bondverbindungen mit Gold-Draht im Thermokompressionsverfahren auf die Metallisierung aufgebracht.

Abbildung 9.10 zeigt die Messergebnisse für einen durchgeführten Wire Pull Test und einen Ball Schertest. Die Kraftwerte, um einen einzelnen Draht von der Oberfläche abzu ziehen, liegen im Bereich von 6,82 cN. Um den Nealhead, der beim Thermokompressionsverfahren auftritt, von der Substratoberfläche mit einem Schermeißel abzuscheren, wurde eine mittlere Kraft von 31,91 cN gemessen. In der Literatur [163, 164, 165] liegt die Scherfestigkeit im Bereich von 30 cN und die Zugfestigkeit bei ungefähr 7 cN. Man kann daher davon ausgehen, dass die Bondfähigkeit der AlSi-Schicht durch den Opferschichtprozess nicht gemindert wird. Auch bei Aluminiumdraht-Verbindungen, die auf dem Wedge-Bond-Verfahren basieren, wurden keine Drahtabrisse beobachtet, weshalb diese in allen Aufbauten zur Anwendung gekommen sind.

9.6 AVT der Einzelkomponenten

Die unterschiedlichen Ausführungen des Basis-CMOS-MEA werden im weiteren AVT-Prozess unterschiedlich bearbeitet. Alle planaren Multi-Elektroden-Arrays und die Va-

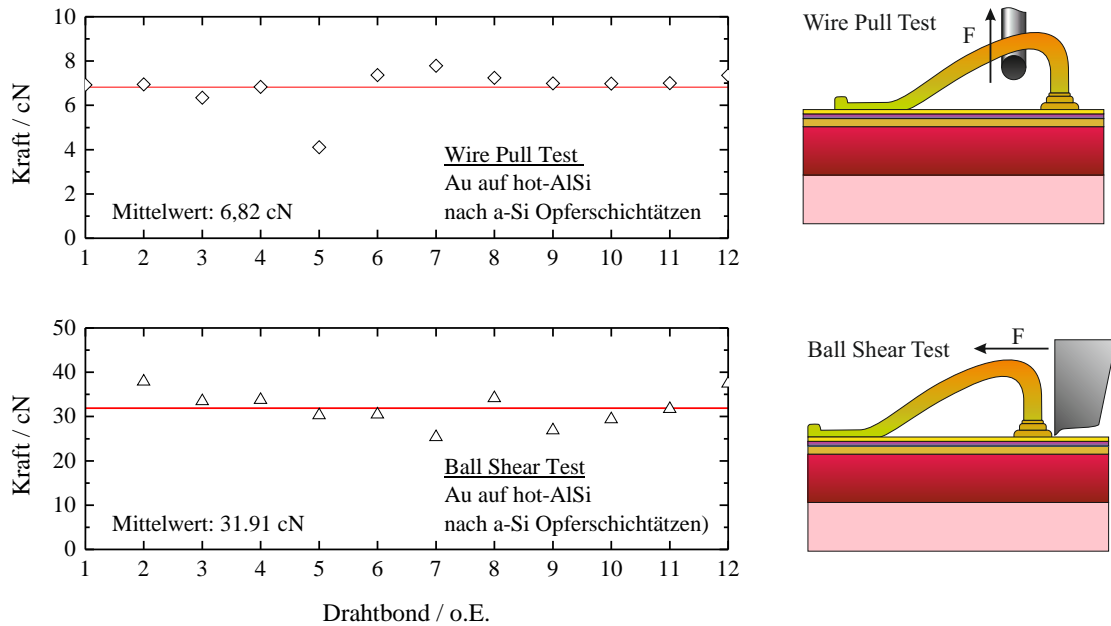


Abbildung 9.10: Zuverlässigkeit der Drahtbond-Verbindungen auf AlSi-Metallisierung nach Opferschicht-Prozess. (a) Wire Pull Test, (b) Ball Schertest

rianten mit Ruthenium-Nano-Rasen werden vor dem Drahtbonden mit dem Kleber Polytec H70S auf die Kante des Chipträgers fixiert und bei 120 °C für 30 min im Ofen ausgehärtet. Die Flip-Chip- und die Drahtbond-Varianten werden anschließend auf einem weiteren Adapter mit dem gleichen Klebeprozess dauerhaft positioniert. Anschließend erfolgt die Drahtbond-Kontaktierung mit 25 μm dickem Aluminiumdraht. Die Bonddrähte werden mit dem Glob Top Silikon H1220H der Firma ThreeBond vor mechanischen und elektrischen Einflüssen geschützt. Abbildung 9.11 zeigt den vollständig aufgebauten Basis-CMOS-MEA mit Chipträger und PCB-Träger. Der PCB-Träger dient einer vereinfachten Kontaktierung im Versuchsaufbau für elektrochemische Messungen. Die Leiterbahnbreite des PCB-Trägers beträgt 100 μm mit einem Abstand von 100 μm . Die Metallisierung des PCB-Adapters besteht aus Gold. Der Bereich, auf dem der Chipträger aufgeklebt und gebondet wird, ist vom Lötstopplack ausgespart. Im Gegensatz zu den planaren und den Nano-Rasen-Varianten zeigen die Elektrodenflächen der Flip-Chip-Variante in die entgegengesetzte Richtung. Um die Spiegelung auszugleichen wurde der PCB-Träger so konstruiert, dass eine Durchkontaktierung auf eine zweite Metallebene die Elektrodenrichtung wieder umkehrt.

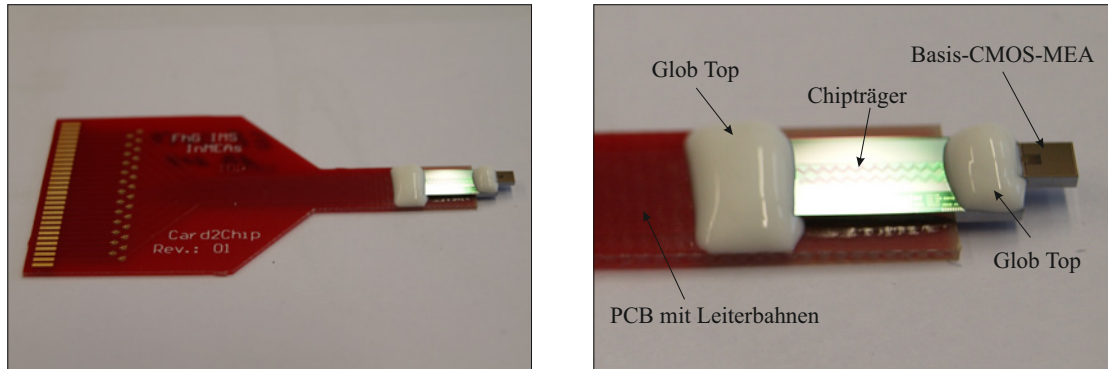


Abbildung 9.11: Vollständig aufgebaute Basis-CMOS-MEA in der Drahtbond-Variante auf einem PCB-Träger. (a) Übersicht über den PCB-Träger, Durchkontaktierung der Anschlusskontakte, (b) Detailansicht mit Basis-CMOS-MEA, Chipträger und Glob Top Massen

9.7 Fazit zur AVT

Aufgrund der erhöhten Prozesstemperatur bei der Synthese von Kohlenstoff-Nanoröhren wurden auf dem Basis-CMOS-MEA keine Aluminium-Metallisierungen eingesetzt. Für die temperaturunkritischen Prozesse, wie z. B. die Beschichtungen der Elektroden mit Gold, Platin, Iridium, Platin+Iridiumoxid sowie Ruthenium-Nano-Rasen wurde auf dem Basis-CMOS-MEA eine Aluminium-Metallisierung auf den Kontaktpads aufgesputtert und nasschemisch strukturiert. Dies ermöglicht ein einfaches AVT-Konzept auf Basis des Drahtbondens. Im speziellen Fall des Nano-Rasens, bei dem ein Opfer-schichtprozess verwendet wird, könnte eine einfache Aluminium-Metallisierung zu einer Silizidierung des Kontaktes führen. Daher wurde für diese MEA-Variante eine Pad-Metallisierung aus AlSi verwendet, die bei einer erhöhten Prozesstemperatur abgeschieden wurde. Es zeigten sich keine Nachteile bei Drahtbondversuchen bei dieser Pad-Metallisierung. Für die CNT-modifizierten MEAs wurde auf ein Flip-Chip-Verfahren mit anisotropem Leitleber zurückgegriffen. Dazu wurde auf einem extra hergestellten Chipträger Kupfer/Nickel/Gold Bumps galvanisch aufgebracht. Der erzeugte Höhenunterschied sorgt für einen uniaxialen Strompfad des anisotropen Leitlebers. Es wurde nachgewiesen, dass durch den Prozess keine Kurzschlüsse benachbarter Kontakte auftreten. Des Weiteren wurde die elektrische Leitfähigkeit der Flip-Chip-Verbindung bestätigt. Die Einzelkomponenten konnten anschließend in einem Standard-AVT-Verfahren aufgebaut werden.

10 Elektrochemische Charakterisierung

10.1 Metall-Elektrolyt-Phasengrenze

Für die Stimulation von biologischen Zellen ist die Grenzfläche zwischen Elektrode und Elektrolyt von besonderer Bedeutung. Der Elektrolyt besteht aus in Wasser dissoziierten, beweglichen Ionen und fungiert als elektrischer Ionenleiter. Eine elektrostatische Wechselwirkung zwischen den Dipolmomenten der Lösungsmittelmoleküle und der gelösten Ionen führt zu einer Solvatisierung, die eine geringere Beweglichkeit der Ionen und somit eine reduzierte elektrische Leitfähigkeit des Elektrolyten zur Folge hat. An der Phasengrenze zwischen Elektrolyt und Elektrode treten elektrochemische Reaktionen auf, die zur Ausbildung einer elektrochemischen Doppelschicht führen. Wenn beispielsweise eine Metallelektrode (Me) in einem Elektrolyten mit entsprechenden Metall-Ionen (Me^{z+}) in Reaktion geht [166]



so verarmt die Elektrode an Elektronen und eine positive Oberflächenladung wird aufgebaut. Aufgrund des Potentialunterschieds werden in der lösungsnahen Schicht Anionen elektrostatisch zu der Elektrodenoberfläche gezogen, so dass sich schließlich im dynamischen Gleichgewicht eine Ladungsdoppelschicht ausbildet. Bei einer Störung des Gleichgewichts, z.B. durch Anlegen eines elektrischen Potentials zwischen der Elektrode und einer Gegenelektrode, fließt ein resultierender anodischer oder kathodischer Strom, jeweils verbunden mit einem Stoffumsatz, vgl. Gleichung 10.1. Für eine elektrochemisch inerte Lösung wird ausschließlich die Doppelschicht bei einer Potentialänderung umgeladen. Dabei findet kein Ladungsaustausch zwischen Elektrode und Elektrolyt statt, solange das Potential unterhalb der Zersetzungsspannung des Lösungsmittels liegt. Nach Bildung der elektrochemischen Doppelschicht nähern sich solvatisierte Überschuss-Ionen des Lösungsmittels möglichst weit der Elektrodenoberfläche an und bauen eine Kapazität auf, die mit einem einfachen Modell eines Plattenkondensators verglichen werden kann. Der Plattenabstand entspricht dem Abstand zwischen Elektrodenoberfläche und dem Ladungsschwerpunkt der solvatisierten

Überschuss-Ionen. Das Doppelschichtmodell wird nach Helmholtz als starre Doppelschicht bezeichnet, vgl. Abb. 10.1a. Nach der Poisson-Gleichung des elektrischen Feldes (hier nur die x-Koordinate senkrecht zur Elektrodenoberfläche) gilt für das elektrische Potential φ [167]

$$\frac{\partial^2 \varphi}{\partial x^2} = -\frac{1}{\varepsilon_0 \varepsilon} \rho(x) \quad (10.2)$$

mit der Raumladungsdichte ρ und der absoluten Permittivität $\varepsilon_0 \varepsilon$. Bei Annahme von punktförmigen ionischen Überschuss-Ladungen, besteht zwischen der äußeren Helmholtz-Fläche (**O**uter **H**elmholtz **P**lane (OHP)) und der Elektrode ein ladungsfreier Raum ($\rho = 0$). Für die Poisson-Gleichung 10.2 gilt damit

$$\frac{\partial^2 \varphi}{\partial x^2} = 0 \quad 0 \leq x \leq a \quad ; \quad \varphi(x=0) = \varphi_e \quad ; \quad \varphi(x=a) = \zeta \quad (10.3)$$

mit dem Elektrodenpotential φ_e und dem Zeta-Potential ζ an der Grenze zwischen starrer Helmholtz-Schicht und diffuser Grenzschicht. Die Integration der Gleichung 10.3 unter Einbeziehung der Randbedingungen ergibt eine lineare Abstandsabhängigkeit des Potentials zwischen Elektrode und Helmholtz-Fläche:

$$\varphi(x) = \varphi_e - \frac{\varphi_e - \zeta}{a} \cdot x \quad (10.4)$$

Das Helmholtz-Modell einer starren Doppelschicht beschreibt die vor einer Elektrode stattfindenden Prozesse nur unvollständig. Eine beobachtbare Korrelation zwischen Elektrolytkonzentration und Potential kann nicht mit dem starren Doppelschicht-Modell erklärt werden. Aufgrund der thermischen Bewegung der Ionen und Moleküle wird die elektrostatische Wechselwirkung zwischen Elektrode und Ionen beeinflusst. Nach Gouy-Chapman erhält man mit zunehmenden Abstand von der Elektrodenoberfläche eine schwächer werdende, diffuse Raumladung, die als diffuse Doppelschicht bezeichnet wird. Der exponentielle Abfall des Potentials beschreibt gut die Verhältnisse der Doppelschichtkapazität für schwache Elektrolytkonzentrationen. Für starke Elektrolyte zeigt die Kapazität der diffusen Doppelschicht einen zu geringen Wert. Das Stern-Modell kombiniert beide Modell-Ansätze und geht von einer starren Doppelschicht nahe der Elektrodenoberfläche mit einer anschließenden diffusen Doppelschicht aus, vgl. Abb. 10.1b. Das elektrische Feld der geladenen Elektrodenoberfläche weist eine größere Reichweite als die Weite der starren Doppelschicht auf. Für die Bestimmung des Potentialverlaufs des Gouy-Chapman-Modells kann die Verteilung der Raumladung aufgrund der thermischen Bewegung über die Boltzmann-Statistik bestimmt werden.

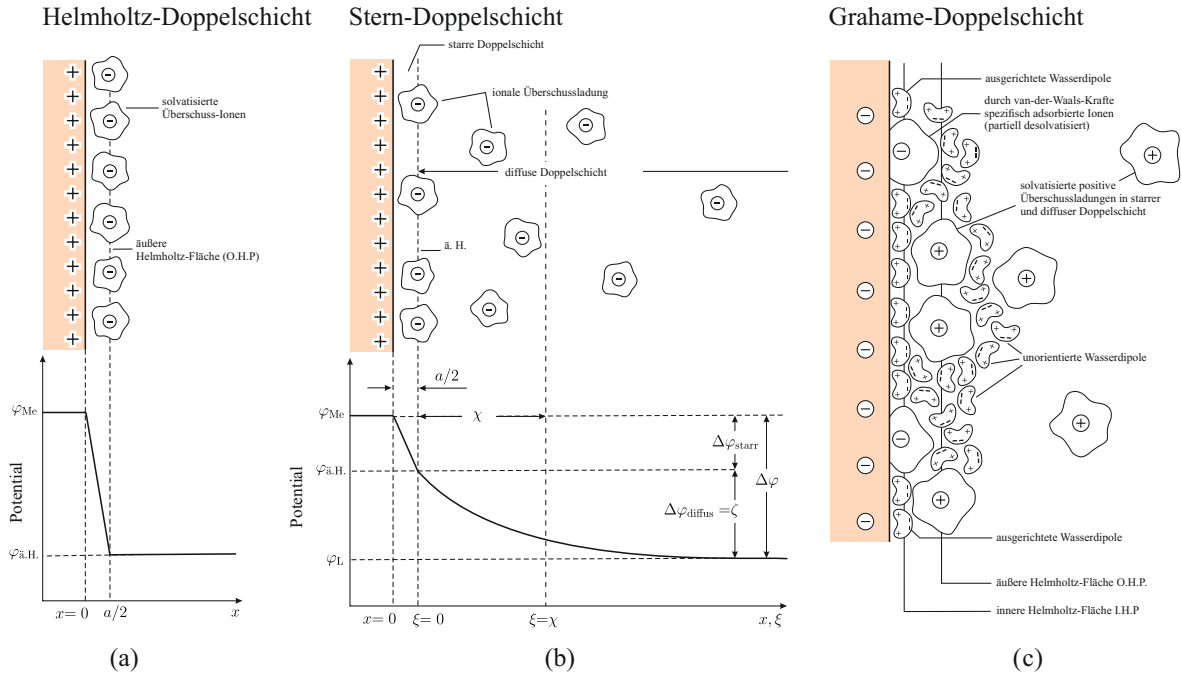


Abbildung 10.1: (a) Starre elektrochemische Doppelschicht nach Helmholtz, (b) Überlagerung von starrer (Helmholtz) und diffuser (Gouy-Chapman) Doppelschicht, Modell nach Stern, (c) elektrochemische Doppelschicht nach Grahame, nach [166]

Für die Poisson-Gleichung (Gl. 10.2) gilt mit den Randbedingungen $\varphi(x = \infty) = \varphi_L$, $\varphi(x = a) = \zeta$, $a \leq x \leq \infty$ zusammen mit der Boltzmann-Statistik [167]

$$\rho(x) = \sum_i n_i^0 z_i e_0 \exp \left[-\frac{z_i e_0 \varphi(x)}{k_B T} \right] \quad (10.5)$$

die Poisson-Boltzmann-Gleichung

$$\frac{\partial^2 \varphi}{\partial x^2} = -\frac{1}{\varepsilon_0 \varepsilon} \sum_i n_i^0 z_i e_0 \exp \left[-\frac{z_i e_0 \varphi(x)}{k_B T} \right] \quad (10.6)$$

mit n_i^0 als Teilchendichte, z_i als Teilchenanzahl, e_0 als Elementarladung, k_B als Boltzmann-Konstante und T als Temperatur. Für $z_i e_0 \varphi(x) / k_B T \ll 1$, d. h. für kleine Elektrolytkonzentration kann die Exponentialfunktion in eine Taylor-Reihe entwickelt werden, so dass für die Raumladung und schließlich für die Potentialgleichung gilt:

$$\rho(x) = \sum_i n_i^0 z_i e_0 \left(1 - \frac{z_i e_0 \varphi(x)}{k_B T} + \dots \right) = \rho(x) = -\frac{e_0^2 \varphi(x)}{k_B T} \sum_i n_i^0 z_i^2 \quad (10.7)$$

$$\frac{\partial^2 \varphi}{\partial x^2} = \frac{1}{\varepsilon \varepsilon_0} \frac{e_0 \varphi(x)}{k_B T} \sum_i n_i^0 z_i^2 = \kappa^2 \varphi(x) \quad (10.8)$$

Ein Lösungsansatz für diese partielle Differentialgleichung ist ein Potential der Form $\varphi(x) = A \exp(-\kappa x) + B \exp(\kappa x)$. Für die erste Randbedingung $B = 0$ folgt $\varphi(x) = A \exp(-\kappa x)$. Die zweite Randbedingung $\varphi(a) = \zeta$ liefert für das Potential φ [167]

$$\varphi(a) = A \exp[-\kappa a] = \zeta \rightarrow A = \zeta \exp[\kappa a] \quad (10.9)$$

$$\varphi(x) = \zeta \exp[-\kappa(x - a)] \quad \kappa^{-1} \approx \sqrt{\frac{T}{\sum n_i^0 z_i}} \quad (10.10)$$

mit κ^{-1} als Ladungsschwerpunkt der diffusen Doppelschicht (Debye-Abstand). Für das Potential $\varphi(\kappa)$ am Ort $x = \kappa^{-1}$ erhält man

$$\varphi(\kappa) = \zeta \exp[-\kappa(\kappa^{-1} - a)] \approx \frac{\zeta}{e} \quad (10.11)$$

Setzt man die Lösung für das Potential in die Poisson-Gleichung ein, so erhält man die Ladungsverteilung $\rho(x)$

$$\rho(x) = -\varepsilon \varepsilon_0 \kappa^2 \zeta \exp[-\kappa(x - a)] = -\zeta \frac{e_0^2}{kT} \exp[-\kappa(x - a)] \sum_i n_i^0 z_i^2 \quad (10.12)$$

Für kleine Werte von κ und damit auch für geringe Ionenstärken, vergrößert sich die Reichweite der Doppelschicht ins Elektrolytinnere. Um das Potential ζ der äußeren Helmholtz-Schicht (OHP) durch das Elektrodenpotential zu ersetzen, kann dieses über das elektrische Feld bestimmt werden.

$$\mathbf{E} = -\text{grad}\varphi = \frac{\partial\varphi(x)}{\partial x} \mathbf{e}_x \quad (10.13)$$

$$x < a \rightarrow E(x) = \frac{\varphi_e - \zeta}{a} \quad (10.14)$$

$$x \geq a \rightarrow E(x) = \zeta \kappa \exp[-\kappa(x - a)] \quad (10.15)$$

Bei $x = a$ muss ein stetiger Übergang des elektrischen Feldes vorliegen

$$\frac{\varphi_e - \zeta}{a} = \zeta \kappa \exp[-\kappa(a - a)] \quad (10.16)$$

$$\varphi_e - \zeta = \zeta \kappa a \quad (10.17)$$

$$\zeta = \frac{\varphi_e}{\kappa a + 1} \quad (10.18)$$

Damit ergibt sich schließlich für das Elektrodenpotential und für die Ladungsdichte eine Abhängigkeit von der Elektrolytkonzentration.

$$\varphi(x) = \frac{\varphi_e}{\kappa a + 1} \exp[-\kappa(x - a)] \quad (10.19)$$

$$\rho(x) = -\frac{\varepsilon\varepsilon_0 \cdot \varphi_e}{\kappa a + 1} \kappa^2 \exp[-\kappa(x - a)] \quad (10.20)$$

Zur Bestimmung der Kapazität der diffusen Doppelschicht kann die Ladung wie folgt bestimmt werden

$$q_{\text{diff}} = \int_a^\infty \rho(x) d\nu = A \int_a^\infty \rho(x) dx \quad (10.21)$$

$$= -\varepsilon_0 \varepsilon \kappa^2 A \zeta \int_a^\infty \exp[-\kappa(x - a)] dx \quad (10.22)$$

$$= -\varepsilon_0 \varepsilon \kappa^2 A \zeta \left[-\frac{1}{\kappa} \exp[-\kappa(x - a)] \right]_a^\infty \quad (10.23)$$

$$= -\varepsilon_0 \varepsilon \kappa A \zeta \quad (10.24)$$

Die Kapazität der starren Doppelschicht kann über ein einfaches Modell eines Plattenkondensators der Fläche A und des Abstands a bestimmt werden.

$$\tilde{C}_D = \frac{\varepsilon_0 \varepsilon A}{a} \quad (10.25)$$

Die Kapazität der diffusen Doppelschicht erhält man aus

$$\tilde{C}_{\text{diff}} = \frac{\partial |q_{\text{diff}}|}{\partial \zeta} = \varepsilon_0 \varepsilon \kappa A = \frac{\varepsilon_0 \varepsilon \kappa A}{\kappa^{-1}} \quad (10.26)$$

Die diffuse Doppelschicht verhält sich also wie ein Plattenkondensator mit konzentrationsabhängigen Plattenabstand κ^{-1} . Die Kapazität \tilde{C} der gesamten Doppelschicht setzt sich aus der Summe der Kehrwerte der einzelnen Kapazitäten zusammen.

$$\frac{1}{\tilde{C}} = \frac{1}{\tilde{C}_D} + \frac{1}{\tilde{C}_{\text{diff}}} \quad \rightarrow \quad \tilde{C} = \frac{\tilde{C}_D}{1 + \tilde{C}_D / \tilde{C}_{\text{diff}}} \quad (10.27)$$

Der Einfluss der diffusen Doppelschicht-Kapazität sinkt also mit steigender Elektrolytkonzentration. Für mittlere Konzentrationen ist die Herleitung der Potentialgleichung mittels einer Reihenentwicklung der Poisson-Boltzmann-Gleichung zu ungenau, sodass für diesen Fall eine analytische Lösung der Differentialgleichung herangezogen werden muss. Für die Kapazität der diffusen Doppelschicht erhält man dann ohne Herleitung [167]

$$\tilde{C}_{\text{diff}} = \frac{dq_{\text{diff}}}{d\varphi} = - \left(\frac{2\varepsilon_0 \varepsilon^2 e_0^2}{k_B T} \Gamma \right)^{1/2} \cosh \left(\frac{ze_0 \varphi_e}{2k_B T} \right) \quad (10.28)$$

Die Kapazität der diffusen Doppelschicht zeigt damit bei erhöhten Elektrolytkonzentrationen einen parabelförmigen Verlauf. Das Stern-Modell der Doppelschicht kann

durch Einbeziehung verschiedener weiterer Effekte verfeinert werden. An der metallischen Elektrode können spezifische Adsorptionen polarer Moleküle, Lösungsmitteldipole oder auch anderen Ionen aufgrund von van-der-Waals-Kräfte oder Coulomb-Wechselwirkungen stattfinden. Im Modell von Grahame [168] wird daher die starre Doppelschicht in eine innere und äußere Helmholtz-Schicht aufgeteilt, vgl. Abb. 10.1c. Die Schwerpunkte der adsorbierten Ladungen bilden die innere Helmholtz-Ebene (IHP) [166]. Die zweite Schicht wird äußere Helmholtz-Schicht (OHP) genannt und verläuft durch die Ladungsschwerpunkte der solvatisierten Ionen in ihrer größten Annäherung an der Elektrode. An ihr schließt sich die konzentrations- und temperaturabhängige diffuse Doppelschicht als dritte Schicht an. Die einzelnen Schichtdicken liegen im Bereich von wenigen 10 Nanometern [166]. Die Kapazitäten pro Fläche nehmen daher große Werte von etwa $10 \mu\text{F}/\text{cm}^2$ bis $100 \mu\text{F}/\text{cm}^2$ an.

Die elektrische Potentialdifferenz an der Phasengrenze zwischen Elektrode und elektrolytischer Lösung $\Delta\varphi_1 = \varphi_{e_1} - \varphi_{\text{ls}_g}$ lässt sich experimentell nur relativ bestimmen, da eine elektrische Kontaktierung des Elektrolyten einen weiteren Phasenübergang mit einer eigenen Potentialdifferenz $\Delta\varphi_2 = \varphi_{e_2} - \varphi_{\text{ls}_g}$ ausbildet. Um Potentialdifferenzen zwischen zwei Elektroden im Elektrolyten zu bestimmen, wird eine Referenzelektrode mit einem konstanten, schnellen und reproduzierbaren Gleichgewichtspotential herangezogen. Taucht man zwei Elektroden in eine elektrolytische Lösung, so stellt sich im Gleichgewicht eine Potentialdifferenz E_0 ein, die auch als Leerlaufspannung oder Elektromotorische Kraft (EMK) bezeichnet wird. Der Gleichgewichtszustand der elektrochemischen Zelle kann durch Anlegen einer äußeren Spannung gestört werden, wobei die geänderten Ladungsverteilungen zu verschiedenen chemischen Reaktionen führen können. Die Differenz $\eta = E - E_0$ zwischen Zellenpotential E und Gleichgewichtspotential E_0 wird als Überspannung bezeichnet. Überspannungen treten bei kinetisch gehemmten Elektrolysereaktionen (Durchtrittshemmungen) auf. Dafür kommen unter anderen folgende Teilschritte des Gesamtprozesses in Frage, vgl. Abb. 10.2

- Diffusion der Reaktanten zur Elektrodenoberfläche
- Konzentrationsgradienten an der Phasengrenze
- Elektronenübergänge von und zur Elektrode, d. h. Oxidation und Reduktion
- Adsorption und Desorption von Reaktanten

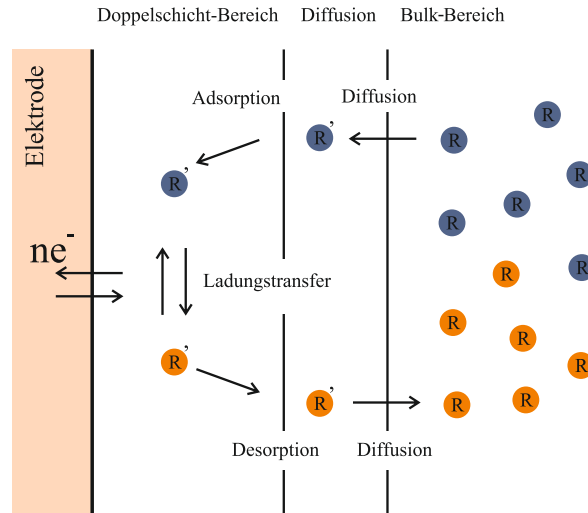


Abbildung 10.2: Faradaysche und nicht faradaysche Reaktionen an der Elektrode-Elektrolyt-Phasengrenze. Der Ladungstransfer an der Elektrodenoberfläche zeigt faradaysche Charakteristik, Diffusionsvorgänge, Adsorption und Desorption zeigen kapazitive Charakteristik, nach [169]

Die Durchtrittsreaktion hängt maßgeblich von der Kinetik einer Elektrodenreaktion ab. Zur Beschreibung der Abhängigkeit zwischen elektrochemischem Strom und Elektrodenpotential wird die Butler-Volmer-Gleichung herangezogen, die sich aus der Marcus-Theorie herleiten lässt [167, 170]

$$j(\eta) = j_{D,Ox} - j_{D,Red} = j_0 \left\{ \exp \left[\frac{\alpha n_e^- F}{RT} \eta \right] - \exp \left[-\frac{(1 - \alpha) n_e^- F}{RT} \eta \right] \right\} \quad (10.29)$$

mit j_0 als konzentrationsabhängiger Austauschstromdichte, dem Durchtrittsfaktor α , der Temperatur T , der Faraday-Konstante F , der universellen Gaskonstanten R und der Ladungszahl n_e^- . In realen Systemen treten zumeist Abweichungen der exponentiellen Strom-Spannungs-Charakteristik auf. Für sehr kleine Überspannungen η nehmen die Exponenten kleine Werte an, sodass die Exponentialfunktionen bis zum linearen Glied in eine Taylor-Reihe entwickelt werden kann. Für die Austauschstromdichte $j(\eta)$ erhält man damit

$$j(\eta) = j_0 \left(\frac{\alpha n_e^- F}{RT} \eta + \frac{(1 - \alpha) n_e^- F}{RT} \eta \right) = j_0 \frac{n_e^- F}{RT} \eta \quad (10.30)$$

Der Durchtrittswiderstand R_D kann aus dem Quotienten aus Überspannung η und der Stromdichte $j(\eta)$ bestimmt werden. Zusammen mit dem Durchtrittswiderstand erhält man für die Austauschstromdichte j_0 bei kleinen Überspannungen

$$j_0 = \frac{RT}{R_D n_e^- F} \quad (10.31)$$

Für große Überspannungen η ist je nach kathodischer oder anodischer Überspannung einer der beiden Exponentialfunktionen der Butler-Volmer-Gleichung vernachlässigbar. Für den kathodischen Bereich erhält man

$$j(\eta) = j_0 \exp\left(-\frac{\alpha n_e^- F}{RT} \eta\right) \quad (10.32)$$

und für die anodische Überspannung

$$j(\eta) = -j_0 \exp\left(\frac{(1 - \alpha) n_e^- F}{RT} \eta\right) \quad (10.33)$$

Eine logarithmische Auftragung der beiden Stromdichten führt zum sogenannten Tafel-Plot, aus deren Steigung der Durchtrittsfaktor α bestimmt werden kann.

10.2 Elektrochemische Impedanzspektroskopie

Zur Untersuchung der elektrochemischen Prozesse des Elektrode-Elektrolyt-Systems kann die Methode der elektrochemischen Impedanzspektroskopie eingesetzt werden. Dabei wird eine sinusförmige Wechselspannung über einen breiten Frequenzbereich (1 Hz bis 100 kHz) mit einem kleinen Grundpotential an das System angelegt. Die aufgezeichneten differentiellen Impedanzen geben Hinweise über die Zeitkonstanten der einzelnen elektrochemischen Prozesse. Legt man eine sinusförmige Wechselspannung $U(\omega)$ kleiner Amplitude U_0 mit variierender Frequenz ω an die Elektrodenanordnung einer elektrochemischen Zelle an, so reagiert das System mit einer Stromantwort $I(\omega)$ der Amplitude I_0 der selben Frequenz ω , die allerdings um einen Phasenwinkel ϕ verschoben ist. Allgemein gilt für die komplexe Spannung und komplexe Stromantwort

$$U(\omega) = U_0 \sin(\omega t + \phi_U) \quad \rightarrow \quad \hat{U}(\omega) = U_0 \exp[i(\omega t + \phi_U)] \quad (10.34)$$

$$I(\omega) = I_0 \sin(\omega t + \phi_I) \quad \rightarrow \quad \hat{I}(\omega) = I_0 \exp[i(\omega t + \phi_I)] \quad (10.35)$$

mit der Eulerschen Formel

$$\exp[i(\omega t + \phi)] = \cos(\omega t + \phi) + i \sin(\omega t + \phi) \quad i = \sqrt{-1} \quad (10.36)$$

Die komplexen Widerstände können in einem Zeigerdiagramm mit einer reellen und einer imaginären Achse dargestellt werden. Trägt man die Impedanzwerte, die bei unterschiedlichen Frequenzen aufgezeichnet wurden, in dieses Zeigerdiagramm ein, so gelangt man zur Nyquist-Darstellung. Das Impedanzspektrum kann ebenfalls durch

Auftragen der Impedanzwerte in Abhängigkeit der Frequenz dargestellt werden. Im Bode-Diagramm wird entweder der Logarithmus des Betrags der Impedanz oder die Phase über dem Logarithmus der Frequenz aufgetragen, wodurch die Frequenzabhängigkeit des Systems besser ausgedrückt werden kann. Für kapazitive und induktive Anteile des komplexen Widerstands erhält man

$$\frac{\hat{U}_C}{\hat{I}_C} = \hat{Z}_C = \frac{1}{i\omega C} \quad \text{und} \quad \frac{\hat{U}_L}{\hat{I}_L} = \hat{Z}_L = i\omega L \quad (10.37)$$

Die Elektrode und der Elektrolyt einer elektrochemischen Halbzelle besitzen einen ohmschen Widerstand und eine Kapazität aufgrund der elektrochemischen Doppelschicht an der Phasengrenze. Die Butler-Volmer-Gleichung 10.29 liefert auch einen Ausdruck für den Durchtrittswiderstand R_D

$$R_D = \frac{RT}{nFj_0} \quad (10.38)$$

Im Elektrolyten findet sich ebenfalls ein diffusionsbedingtes Konzentrationsgefälle, das zu einem weiteren Widerstand beiträgt. Der als Warburg-Impedanz Z_W bekannte Widerstandsbeitrag ist frequenzabhängig. Er setzt sich als Reihenschaltung eines frequenzabhängigen Widerstands $R_K(\omega)$ und einer frequenzabhängigen Kapazität $C_K(\omega)$ zusammen.

$$Z_W = R_K + \frac{1}{i\omega C_K} \quad (10.39)$$

Für die gesamte elektrochemische Halbzelle lässt sich ein Ersatzschaltbild aufgrund der einzelnen Teilreaktionen wie in Abbildung 10.3 formulieren. Unter Beachtung der Kirchhoffschen Regeln setzt sich die Gesamtimpedanz Z_{ges} aus einer Reihenschaltung

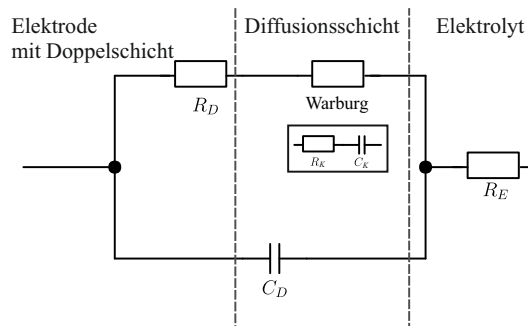


Abbildung 10.3: Ersatzschaltbild einer elektrochemischen Halbzelle mit Durchtrittswiderstand R_D , Doppelschichtkapazität C_D , Warburg-Impedanz $R_W(\omega)$ und Elektrolytwiderstand R_E

des Elektrolytwiderstands R_E und einer Parallelschaltung Z_P zusammen, die die elektrochemische Doppelschicht darstellt. Ohne Berücksichtigung der Warburg-Impedanz gilt

$$Z_{\text{ges}} = R_E + Z_P \quad \text{mit} \quad \frac{1}{Z_P} = \frac{1}{R_D} + i\omega C_D \quad (10.40)$$

und damit eine Gesamtimpedanz Z_{ges} von

$$Z_{\text{ges}} = R_E + \frac{R_D - i\omega R_D^2 C_D}{1 + \omega^2 R_D^2 C_D^2} \quad (10.41)$$

Der Realteil bzw. der Imaginärteil der Gesamtimpedanz Z_{ges} bestimmt sich zu

$$\Re(Z_{\text{ges}}) = R_E + \frac{R_D}{1 + \omega^2 R_D^2 C_D^2} \quad (10.42)$$

$$\Im(Z_{\text{ges}}) = -\frac{\omega R_D^2 C_D}{1 + \omega^2 R_D^2 C_D^2} \quad (10.43)$$

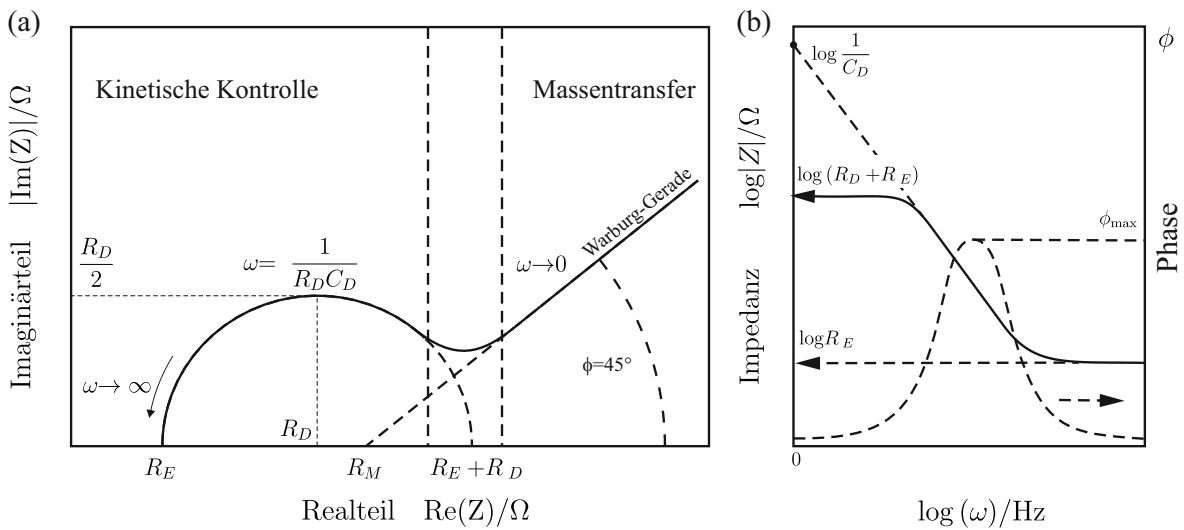


Abbildung 10.4: (a) Impedanzkurve (Nyquist-Diagramm) einer Elektrodenreaktion mit charakteristischen Punkten R_E und $R_E + R_D$. Die Warburg-Impedanz schließt mit einem Phasenwinkel von $\phi = 45^\circ$ an der kinetisch kontrollierten Impedanzkurve an und wird durch Diffusionsreaktionen bestimmt. (b) Darstellung der Impedanzkurve im Bode-Diagramm mit Angabe des Phasenwinkels ϕ , nach [166]

Damit wird im Nyquist-Diagramm die Gesamtimpedanz durch einen Halbkreis beschrieben, vgl. Abb. 10.4a. Aus der Darstellung ergeben sich zwei Grenzfälle für sehr hohe und kleine Werte von ω . Für hohe Frequenzen schneidet die Impedanzkurve die

Abszisse beim Elektrolytwiderstand R_E . Für kleine Frequenzen schneidet die Impedanzkurve die x-Achse bei $R_E + R_D$, wodurch der Durchtrittswiderstand R_D bestimmt werden kann. Unter Einbeziehung der Warburg-Impedanz ändert sich die Impedanzkurve aufgrund der Durchtritts- und Diffusionshemmung für kleine Frequenzen. Die Abszisse wird nicht mehr für kleine Werte von ω geschnitten. Es bildet sich eine Warburg-Gerade mit dem Phasenwinkel $\phi = 45^\circ$. Für die Elektrode-Elektrolyt-Phasengrenze lässt sich im Bode-Diagramm (Abb. 10.4b) für hohe Frequenzen, d. h. bei reiner kinetischer Kontrolle, der ohmsche Elektrolytwiderstand R_E ablesen. Für niedrige Frequenzbereiche lässt sich aus der Impedanzkurve am Ordinatenschnittpunkt der Wert $\log(R_E + R_D)$ bestimmen. Für mittlere Frequenzen nimmt die Impedanzkurve im Bode-Diagramm einen linearen Verlauf an. Eine lineare Extrapolation der Kurve kann zur Bestimmung der Doppelschichtkapazität C_D genutzt werden.

10.3 Cyclovoltammetrie

Zur Untersuchung des elektrochemischen Verhaltens des Elektrode-Elektrolyt-Systems kann die Methode der Cyclovoltammetrie eingesetzt werden. Dabei wird das elektrische Potential zwischen einer Arbeitselektrode und einer Gegenelektrode über einen dreieckförmigen Potential-Zeit-Verlauf zyklisch geändert. Das Potential der Arbeitselektrode wird über eine Referenzelektrode bestimmt. Die Stromantwort des Systems wird über einen Potentiostaten aufgezeichnet. Trägt man die Stromdichte j in Abhängigkeit des angelegten Potentials φ auf, so erhält man ein Cyclovoltammogramm, auch als Deckschichtdiagramm bezeichnet. Die registrierten Peaks geben Aufschluss über Oxidations- und Reduktionsvorgänge elektroaktiver Stoffe. Über die Anzahl der Strompeaks lassen sich vor- oder nachgelagerte chemische Reaktionen ablesen. Die kathodischen und anodischen Umkehrpotentiale werden so gewählt, dass der zu untersuchende Potentialbereich innerhalb der Potentialgrenzen der Sauerstoff- und Wasserstoffentwicklung liegt und so eine Zersetzung des Elektrolyten und des Elektrodenmaterials unterbunden wird. Die Geschwindigkeit der Potentialänderung v , auch als Scanrate bezeichnet, wirkt sich auf die Lage der Strompeaks aus und kann für unterschiedliche elektrochemische Fragestellungen angepasst werden. In Abbildung 10.5b ist beispielhaft das Cyclovoltammogramm einer Platin-Elektrode in 1 M Kaliumhydroxid (KOH) bei einer Potentialanstiegsgeschwindigkeit v von 100 mV/s unter Zugabe von Stickstoff dargestellt [166]. Im Bereich von 450 mV bis 550 mV wird zunächst die elektrochemi-

sche Doppelschicht aufgeladen. Die Kapazität der Doppelschicht C_D kann über die Beziehung

$$j_c = C_D \frac{\partial \varphi}{\partial t} \quad (10.44)$$

bestimmt werden. Für größere Potentialwerte kommt es zur Ausbildung einer Sauerstoffchemisorptionsschicht und schließlich zur Sauerstoffentwicklung. Beim Potentialrücklauf wird die Sauerstoffbelegung zunächst wieder reduziert, gefolgt von einem schmalen Doppelschichtbereich und anschließender Wasserstoffentwicklung. Nach dem erneuten Umkehrpunkt wird der molekulare Wasserstoff wieder oxidiert. Das Strom-

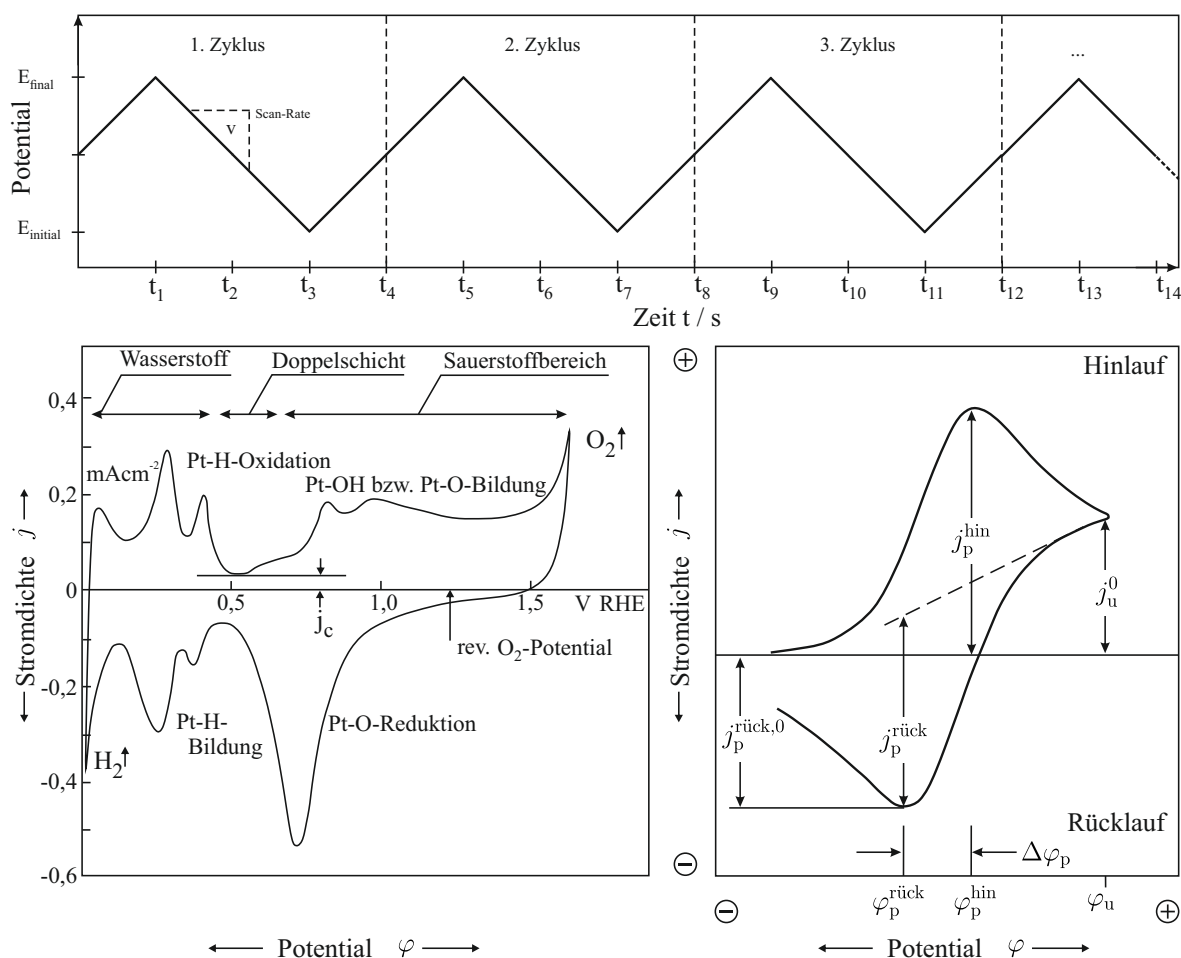


Abbildung 10.5: (a) Dreieckförmiger Potential-Zeit-Verlauf für cyclicvoltammetrische Messungen. Die Potentialgrenzen liegen im Bereich zwischen Sauerstoff- und Wasserstoffentwicklung. Die Steigung im linearen Bereich entspricht der Potentialanstiegsgeschwindigkeit v , (b) Cyclicvoltammogramm einer Platin-Elektrode in 1 mol KOH-Lösung, Stickstoff umspült, (c) reversibles Cyclicvoltammogramm mit Angabe der Stromdichten, nach [166]

maximum in einem Cyclovoltammogramm kann für eine einfache Diffusion der Reaktionspartner zur Elektrodenoberfläche und der dort stattfindenden Durchtrittsreaktion bestimmt werden. Nach Erreichen des Reaktionspotentials fällt die Oberflächenkonzentration c^s der reagierenden Spezies S bei weiterem Potentialanstieg von $c^s = c^0$ auf $c^s = 0$ ab. Gleichzeitig setzt das Wachstum der Nernstschen Doppelschicht ein, wobei die Dicke zu $\Delta_N = \sqrt{\pi Dt}$ abgeschätzt werden kann. Ein Strommaximum bildet sich aus. Die Stromdichte $j = nFJ$ kann mit Hilfe des ersten Fick'schen Gesetzes aus der Teilchenstromdichte J abgeleitet werden

$$j = nFD \frac{dc}{dx} \quad (10.45)$$

Für eine einfache Redoxreaktion $S_{\text{red}} \rightarrow S_{\text{ox}} + ze^-$ lässt sich die Stromdichte j analytisch bestimmen. Dazu werden nur Diffusionsvorgänge an planaren Elektroden und die Einschränkung auf eine Raumrichtung betrachtet. Aus der Kontinuitätsgleichung $\frac{\partial c}{\partial t} = -\frac{J}{\partial x}$ ergibt sich zusammen mit Gleichung 10.45 die Diffusionsgleichungen für Redox- und Oxidationsreaktionen

$$\frac{\partial c_{\text{ox}}}{\partial t} = D_{\text{ox}} \frac{\partial^2 c_{\text{ox}}}{\partial x^2} \quad ; \quad \frac{\partial c_{\text{red}}}{\partial t} = D_{\text{red}} \frac{\partial^2 c_{\text{red}}}{\partial x^2} \quad (10.46)$$

Für die Differentialgleichung gelten die Randbedingungen

$$j = -zFD_{\text{ox}} \frac{\partial c_{\text{ox}}}{\partial x} \Big|_{x=0} = -zFD_{\text{red}} \frac{\partial c_{\text{red}}}{\partial x} \Big|_{x=0} \quad (10.47)$$

Die Substanz S_{ox} soll vor Beginn der Reaktion nicht in der Lösung vorhanden sein, d. h. es gelten die zusätzlichen Randbedingungen

$$t = 0 \quad x \geq 0 \quad c_{\text{red}} = c_{\text{red}}^0 \quad c_{\text{ox}} = 0 \quad (10.48)$$

$$t \geq 0 \quad x \rightarrow \infty \quad c_{\text{red}} = c_{\text{red}}^0 \quad c_{\text{ox}} = 0 \quad (10.49)$$

Es werden reversible Ladungsdurchtritte (ungehemmt) und nichtreversible Ladungsdurchtritte (gehemmt) unterschieden. Für den reversiblen Ladungsdurchtritt wird die Gleichgewichtskonzentration an der Elektrodenoberfläche durch die Nernstsche Gleichung beschrieben. Zusammen mit der Potentialanstiegsgeschwindigkeit $v = d\varphi/dt$ und $\varphi = \varphi_u + vt$ ergibt sich für das Potential die Nernstsche Gleichung [166]

$$\varphi = \varphi_u + vt = \varphi_{00} + \frac{RT}{nF} \ln \frac{c_{\text{ox}}^s}{c_{\text{red}}^s} \quad (10.50)$$

Als Lösung der Differentialgleichung (10.46) ergibt sich für die betrachtete Reaktion bei ungehemmten Ladungsdurchtritt der folgende Stromdichte-Potential-Verlauf

$$j = nF \left(\frac{nF}{RT} \right)^{1/2} D_{\text{red}}^{1/2} c_{\text{red}}^0 v^{1/2} P[(\varphi - \varphi_{00}) n] \quad (10.51)$$

wobei die Funktion P den Stromverlauf über dem Potential beschreibt. Für einen Ein-Elektronenschritt (25°C , $\varphi_p = \varphi_0 + 28,5\text{ mV}$) wird die Peakstromhöhe j_p durch die Randles-Sevcik-Gleichung

$$j_p = 2,69 \cdot 10^5 n^{3/2} D_{\text{red}}^{1/2} c_{\text{red}}^0 v^{1/2} \quad (10.52)$$

bestimmt. Der momentane Strom und der Peakstrom verhalten sich proportional zur Wurzel der Potentialanstiegsgeschwindigkeit. Damit können im Experiment Aussagen über die Reversibilität der Reaktion getroffen werden. Eine Erhöhung der Scanrate führt zu steileren Strompeaks und zu definierten Peaklagen. Für den nichtreversiblen Fall, d.h. bei gehemmtem Ladungsdurchtritt und vorhandener Diffusion, ist ebenfalls ein Strompeak beim zeitlichen Durchlauf des Potentials zu erwarten. Hierbei ist jedoch die Potentiallage des Strompeaks in Richtung des Potentialanstiegs verschoben und von der Geschwindigkeit der Potentialänderung abhängig. Die Gleichgewichtskonzentration an der Elektrodenoberfläche stellt sich langsamer ein, wodurch die maximale Stromdichte mit steigender Potentialanstiegsgeschwindigkeit zu höheren Überspannungen verschoben wird. Der Durchtrittsfaktor α beim gehemmten Ladungsdurchtritt muss ebenfalls in die Bestimmung der Stromdichte j eingehen. Es gilt [166]

$$j = \pi^{1/2} nF \left(-\frac{\alpha nF}{RT} v \right)^{1/2} D_{\text{red}}^{1/2} c_{\text{red}}^0 Q \left(\frac{\alpha nF}{RT} vt \right) \quad (10.53)$$

wobei die Funktion Q den Stromverlauf über dem Potential φ beschreibt. Für die Spitzenstromdichte bei 25°C erhält man nun [166]

$$j_p = 3,01 \cdot 10^5 n^{3/2} \alpha^{1/2} D_{\text{red}}^{1/2} c_{\text{red}}^0 v^{1/2} \quad (10.54)$$

Die Verschiebung des Peakpotentials bei Änderung der Scanrate kann als Unterscheidungskriterium von ungehemmtem und gehemmtem Ladungsdurchtritt herangezogen werden. Andere elektrochemische Reaktionen der beteiligten Spezies, wie z. B. Adsorption an der Elektrodenoberfläche wurden in den vorgestellten theoretischen Betrachtungen zur Bestimmung der Stromdichte nicht einbezogen. Für einen vollständig zyklischen Potentialverlauf sind nach dem Umkehrpunkt des Potentials in Rücklaufrichtung die

Stromspitzen gegenüber einer neuen Strom-Basislinie zu bestimmen, vgl. Abb. 10.5c. Die exakte Lage dieser Basislinie ist jedoch nicht genau definiert, wodurch eine Bestimmung des genauen Verhältnisses der maximalen Peakstromdichten $j_p^{\text{rück}}/j_p^{\text{hin}}$ erschwert wird. Als Basislinie wird daher eine Gerade herangezogen, die vom Umkehrpunkt des Potentials startet und sich der CV-Kurve im Anfangsbereich der Rücklaufrichtung annähert. Schnelle nichtreversible Reaktionen zeigen nur einen schwach ausgeprägten Rücklaufpeak im Cyclovoltammogramm, wobei auch hier der Strompeak mit steigender Potentialanstiegsgeschwindigkeit ansteigt. Folgereaktionen der elektrochemisch erzeugten Produkte, beispielsweise weitere Oxidationsstufen, äußern sich im Cyclovoltammogramm als aufeinanderfolgende Strompeaks. Alle elektrochemischen Reaktionen zwischen Elektrode und Elektrolyt nehmen am Ladungstransfer teil und lassen sich aus einem Cyclovoltammogramm bestimmen. Da bei der Cyclovoltammetrie nur flache Spannungsrampen eingesetzt werden, wirken sich mögliche Diffusionsvorgänge im Elektrolyten nicht auf das Messergebnis aus. Damit wird die Charakterisierung von Elektrodenmaterialien mit unterschiedlicher aktiver Oberfläche bei gleicher geometrischer Größe der Basis-Elektrode ermöglicht. Es werden Ladungstransferkapazität (**C**harge **D**elivery **C**apacity (CDC)) und Ladungsspeicherkapazität (**C**harge **S**torage **C**apacity (CSC)) als wichtige Kenngrößen für die Charakterisierung von elektrochemischen Systemen unterschieden. Dabei ist die CDC ein Maß für den gesamten Ladungsaustausch zwischen Elektrode und Elektrolyt. Die CSC liefert Informationen über das Vermögen der Elektrode, Ladungen stabil zu speichern. CDC und CSC lassen sich aus einem Cyclovoltammogramm aus dem absoluten Integral des anodischen und des kathodischen Stroms bestimmen, wobei die Potentialgrenzen so maximiert sind, dass gerade keine Elektrolyse des Wassers stattfindet. Es gilt damit für die Ladungstransferkapazität (gesamte Integralfläche)

$$\text{CDC} = \frac{\left| \int j_{\text{anodisch}} \right| + \left| \int j_{\text{kathodisch}} \right|}{v} \quad (10.55)$$

und für die Ladungsspeicherkapazität (Integralfläche unterhalb des Nullpotentials)

$$\text{CSC} = \frac{\left| \int j_{\text{kathodisch}} \right|}{v} \quad (10.56)$$

mit v als Scanrate und j_{anodisch} sowie $j_{\text{kathodisch}}$ als anodische und kathodische Stromdichte.

10.4 Versuchsaufbau für elektrochemische Charakterisierungen

Für die elektrochemische Charakterisierung der hergestellten, nanomodifizierten Multi-Elektroden-Arrays wurden Methoden der elektrochemischen Impedanzspektroskopie und der Cyclovoltammetrie verwendet. In Abbildung 10.6 ist der Versuchsaufbau für die Messungen schematisch dargestellt. Für alle Messungen wurde ein Drei-Elektroden-System eingesetzt. Als Arbeitselektroden dienten die hergestellten Multi-Elektroden-Arrays mit unterschiedlichen Nanomodifizierungen. Als Gegenelektrode wurde eine Pt-Elektrode eingesetzt, die zusammen mit einer Ag/AgCl-Referenzelektrode auf einem keramischen Träger aufgebracht ist. Als Elektrolyt kam ausschließlich 3 M Kaliumchlorid-Lösung (KCl) zum Einsatz, die in ein Gefäß aus Polytetrafluorethylen (PTFE) gefüllt wird. Für die elektrochemische Impedanzspektroskopie wurde ein Potentiostat μ Autolab-FRA mit integriertem Impedanzanalysator verwendet. Für die cyclovoltammetrischen Messungen kam ein MultiEmStat³-Potentiostat der Firma PalmSens zum Einsatz.

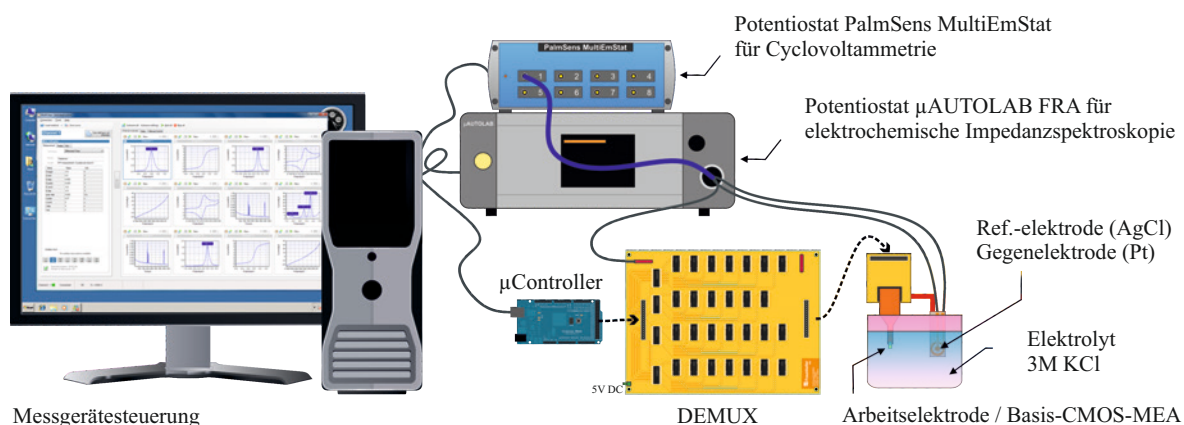


Abbildung 10.6: Schematische Darstellung des verwendeten Versuchsaufbaus für cyclovoltammetrische Messungen und elektrochemische Impedanzspektroskopie. Ansteuerung der einzelnen Arbeitselektroden des Basis-CMOS-MEAs über einen programmierbaren Relais-Demultiplexer. Pt-Gegenelektrode, Ag/AgCl-Referenzelektrode, Elektrolyt: 3 M KCl

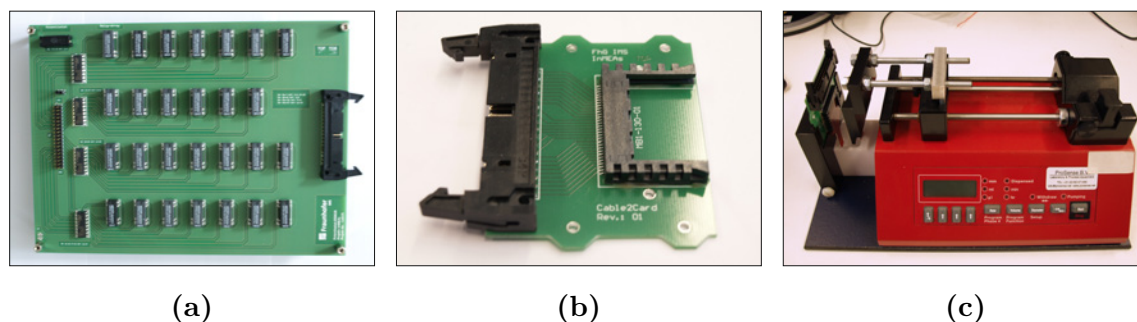


Abbildung 10.7: (a) Programmierbarer Demultiplexer, aufgebaut aus Relais, zur parallelen Verteilung des angelegten Potentials auf Einzelelektroden, (b) PCB-Vorrichtung zur Aufnahme eines aufgebauten Basis-CMOS-MEAs, (c) Positioniereinheit mit Linearmotor zur genauen Festlegung der Abstände zwischen Arbeitselektrode und Gegenelektrode

Um Aussagen über Wechselwirkung zwischen Elektrodengröße und Elektrodenabstand auf die elektrochemischen Messungen zu treffen, können 25 anschließbare Elektroden einzeln oder parallel angesprochen werden. Dazu wurde ein programmierbares Demultiplexer-Board aufgebaut, das das elektrische Eingangssignal des Potentiostaten auf verschiedene Ausgänge verteilen kann. Die Leiterplatte wurde mit analogen Relais bestückt, um mögliche Stromverstärkungen digitaler Multiplexer zu unterbinden. Ein über LabVIEWTM gesteuerter Mikrocontroller übernimmt die Steuerung von Darling-ton-Transistoren, die wiederum die An- und Ausschaltvorgänge der einzelnen Relais steuern. Das Aufbau- und Verbindungskonzept der Basis-CMOS-MEA unterscheidet sich je nach Nanomodifizierung. Um in den gleichen Versuchsaufbau Multi-Elektroden-Arrays einzusetzen, die entweder über einen Flip-Chip-Prozess oder über einen Drahtbond-Prozess aufgebaut worden sind, wurde eine weitere Leiterplatte konstruiert, die den aufgebauten Chip in jeweils umgekehrte Richtung aufnehmen kann, vgl. Abb. 10.7b. Für eine möglichst genaue, reproduzierbare Positionierung des Elektrodensystems in einer elektrolytischen Lösung wurde eine Vorrichtung aufgebaut, die über einen ansteuerbaren Linearmotor den Abstand der Gegenelektroden zur Arbeitselektrode verfahren kann (Abb. 10.7c). Alle Messungen wurden in einem Faradayschen Käfig durchgeführt.

10.5 Impedanzspektroskopische Untersuchungen

Die elektrochemische Impedanzspektroskopie wurde an folgenden Multi-Elektroden-Arrays durchgeführt:

- Geometrische Faktoren, Material Ti/TiN:
Um Auswirkungen unterschiedlicher Elektrodenabstände auf das Impedanzspektrum zu untersuchen, stehen Einzelelektroden des festen Durchmessers $d = 50 \mu\text{m}$ mit verschiedenen Mitte-Mitte-Abständen (Pitch) von $70 \mu\text{m}$, $90 \mu\text{m}$, $110 \mu\text{m}$, $130 \mu\text{m}$ und $150 \mu\text{m}$ zur Verfügung. Für die Untersuchung unterschiedlicher Elektrodendurchmesser auf das Impedanzspektrum, wurde bei einem konstanten Pitch von $150 \mu\text{m}$ der Durchmesser zu $10 \mu\text{m}$, $30 \mu\text{m}$, $50 \mu\text{m}$ und $70 \mu\text{m}$ variiert.
- Für einen Materialvergleich der modifizierten Ti/TiN-Elektroden mit Beschichtungen aus CNTs, Ru-Nano-Rasen, Gold, Platin, Iridium, Platin+Iridiumoxid stand eine MEA-Variante mit einem Elektrodendurchmesser von $40 \mu\text{m}$ und einem Pitch von $100 \mu\text{m}$ zur Verfügung. Die Elektroden sind dabei in einem Cluster aus 16 Einzelelektroden zusammengefasst. Die Elektroden eines Clusters liegen auf dem demselben elektrischen Potential.

Der Frequenzbereich für alle Messungen liegt zwischen 1 Hz und 100 kHz. Die angelegte sinusförmige Spannung wurde auf einen Effektivwert von 20 mV eingestellt. Für höhere Effektivwerte der Wechselspannung sinkt die Elektrodenimpedanz merklich ab [171]. Für die elektrochemische Charakterisierung wurde ein 3 M-KCl-Elektrolyt gewählt. Das Elektrodensystem besteht aus einer Platin-Gegenelektrode und aus einer Ag/AgCl-Referenzelektrode. Die Messungen wurden bei Raumtemperatur ohne Zugabe von Stickstoff zum Elektrolyten durchgeführt.

10.5.1 Vergleich der geometrischen Faktoren

Die Impedanzspektren der planaren Ti/TiN-Elektroden bei Variation des Mitte-Mitte-Abstands (konstante Elektrodengröße) und bei Variation des Elektrodendurchmessers (konstanter Abstand) sind in Abbildung 10.8 dargestellt. Es wurden jeweils 11 Einzelelektroden verwendet. Um einen relativen Einfluss des Elektrodenabstands bzw. der Elektrodengröße auf die Impedanzwerte hervorzuheben, werden die Impedanzwerte in den Diagrammen mit der Fläche der angeschlossenen Elektroden multipliziert

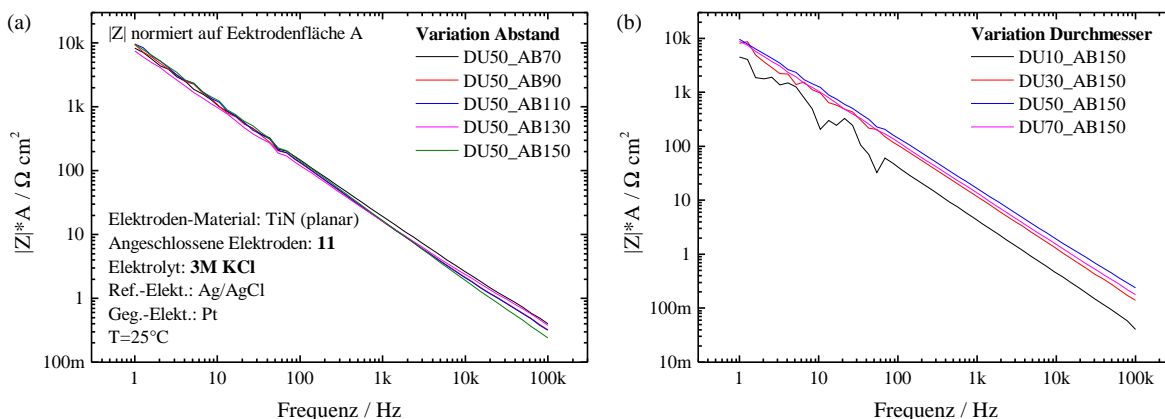


Abbildung 10.8: (a) Variation des Mitte-Mitte-Abstands bei 11 angeschlossenen Einzelelektroden, (b) Variation des Elektrodendurchmessers. Alle Impedanzwerte sind mit der Fläche A der angeschlossenen Elektroden multipliziert.

($R \cdot A = \rho \cdot l$). Im unteren und mittleren Frequenzbereich zeigen sich keine Unterschiede im Impedanzspektrum bei der Untersuchung der Abstandsabhängigkeit und des Elektrodendurchmessers. Für höhere Frequenzen im Bereich von 10 kHz bis 100 kHz zeigen sich minimale Unterschiede der Kurvenverläufe. In Abbildung 10.9 sind die normierten Impedanzwerte bei einer Frequenz von 1 kHz in Abhängigkeit des Elektrodenabstands und des Elektrodendurchmessers aufgetragen. Insgesamt zeigt sich für den niedrigen

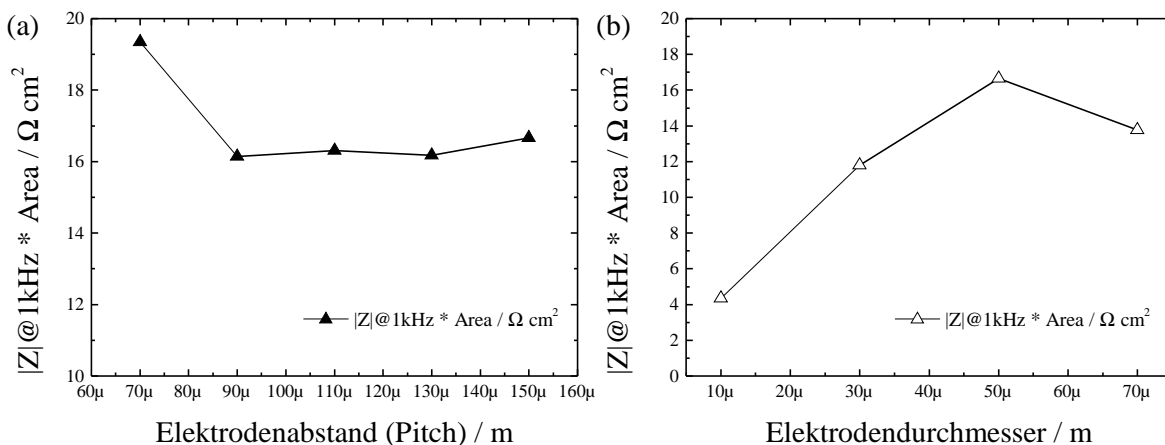


Abbildung 10.9: (a) Impedanz bei 1 kHz in Abhängigkeit des Elektrodenabstands, (b) Impedanz bei 1 kHz bei Variation des Elektrodendurchmessers.

bis mittleren Frequenzbereich kein signifikanter Einfluss der geometrischen Konfiguration auf die gemessenen Impedanzwerte. Die Reichweite der Doppelschichtkapazität ist zu klein, um unterschiedliches Feldverhalten mit dem Elektrodensystem aufzulösen.

Die Referenz- und Gegenelektrode befinden sich in einem Abstand von ca. 2 mm zur Arbeitselektrode. Die Weite der Doppelschichtkapazität liegt im Größenbereich der solvatisierten Ionen und damit bei wenigen Nanometern. Zudem sind alle Messungen vom Widerstand des Elektrolyten überlagert, sodass kleine Impedanzänderungen, die durch geometrische Faktoren hervorgerufen werden, nicht mehr registriert werden. Bei der Untersuchung des Elektrodendurchmessers weist das MEA mit dem kleinsten Elektrodendurchmesser (10 μm) den größten Impedanzunterschied im Vergleich der konstanten Impedanzwerte der Elektroden des Durchmessers 30 μm , 50 μm und 70 μm auf. Vermutlich ist dieser Impedanzunterschied auf Messartefakte zurückzuführen, die möglicherweise auf eine Elektrodenverunreinigung oder auf eine nicht exakte Positionierung zurückzuführen sind.

10.5.2 Vergleich der Materialvarianten

Die Impedanzspektren der verschiedenen Materialvarianten sind in den Bode-Diagrammen der Abbildung 10.10 dargestellt und mit der planaren Ti/TiN-Elektrode in Relation gesetzt. Als MEA-Variante wurden Elektroden des Durchmessers 40 μm mit einem gegenseitigen Pitch von 100 μm gewählt, wobei 11 Elektrodencluster (mit jeweils 16 Einzelelektroden) auf demselben Potential liegen. Der erste Teil des Diagramms zeigt die Impedanzspektren der MEAs, die mit Kohlenstoff-Nanoröhrchen und die Ruthenium-Nano-Rasen nanomodifiziert sind. Dabei werden die CNT-MEA anhand des verwendeten Katalysators aufgeteilt. Im zweiten Teil des Diagramms werden die Materialvarianten Gold, Platin, Iridium und Platin/Iridiumoxid miteinander verglichen. Für die Kohlenstoff-Nanoröhren mit FePt-Katalysator und für den Ruthenium-Nano-Rasen zeigen sich signifikante Impedanzreduzierungen im gesamten Frequenzbereich. Für niedrige Frequenzen weist der Ruthenium-Nano-Rasen im Vergleich zu den CNTs eine noch kleinere Impedanz auf. Für hohe Frequenzen zeigen die CNTs geringere Impedanzwerte. Ab einem Frequenzbereich von 10 kHz erreichen die CNTs (FePt) und der Ruthenium-Nano-Rasen ein nahezu konstantes Impedanzverhalten. Die Impedanz der CNT-MEA mit FeTi-Katalysator weist aufgrund der geringen CNT-Qualität einen erhöhten Wert auf. Bei den Elektrodenmaterialien Gold, Platin, Iridium und Platin/Iridiumoxid können für Iridium- und Platin-Elektroden die geringste Impedanzwerte bestimmt werden. Die reduzierte Impedanz der Platin-Elektrode hat ihre Ursache in der relativ großen Rauheit der Oberfläche von $R_{\text{RMS}} = 4,65 \text{ nm}$, vgl. Abschnitt 8. Obwohl Iridium bei der Bestimmung der Rauheit einen kleineren Wert

($R_{\text{RMS}} = 1,95 \text{ nm}$) aufweist, zeigt Iridium eine noch kleinere Impedanz. Vermutlich werden nanoporöse Kanäle der reaktiv gesputterten Iridium-Schicht bei der AFM-Messung nicht vollständig aufgelöst. Die Platin/Iridiumoxid-Schicht zeigt dagegen keine starke Reduzierung des Impedanzspektrums. Ursache hierfür könnte eine nicht optimale Elektrodenbeschichtung sein. Es ist zudem anzumerken, dass keine Aktivierung der SIROF-Schicht bei erhöhten Potentialgrenzen durchgeführt wurde. Die Abhängigkeit

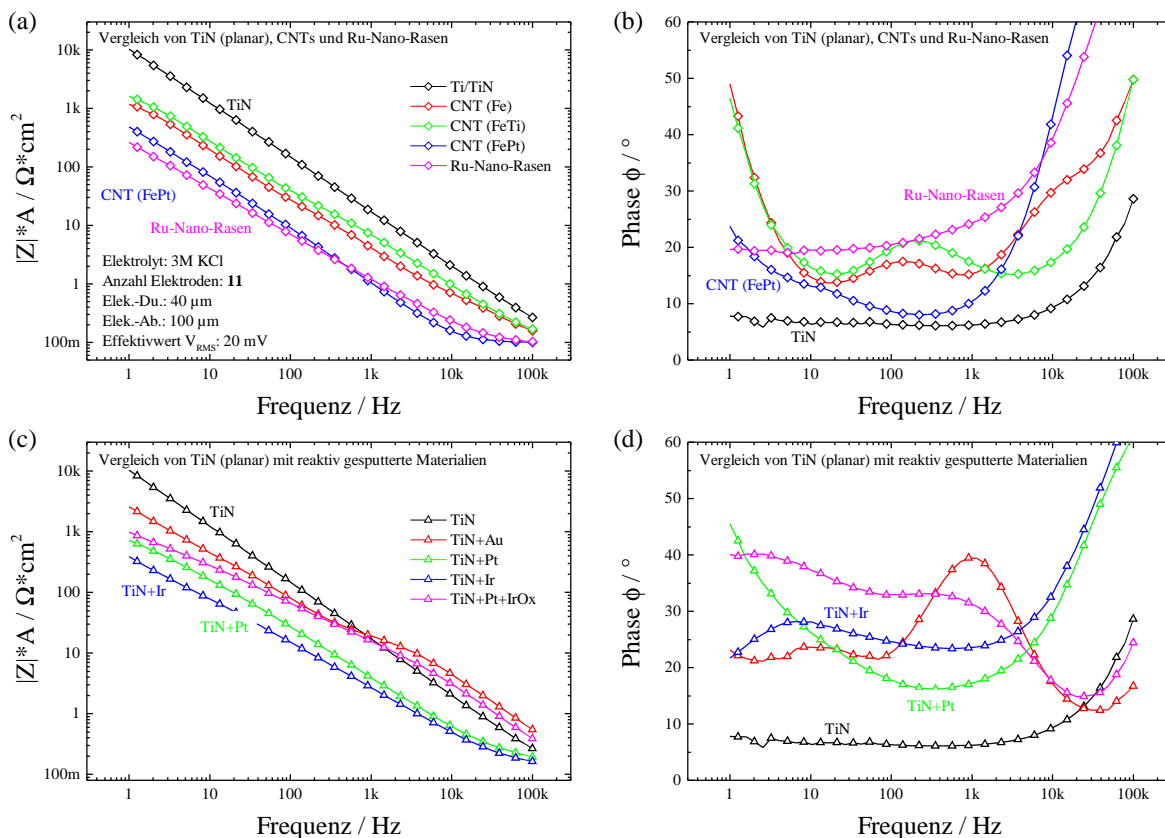


Abbildung 10.10: Elektrochemische Impedanzspektren für verschiedene Materialvarianten des Basis-CMOS-MEAs. (a) Vergleich von TiN, Kohlenstoff-Nanoröhren und Ruthenium-Nano-Rasen, (b) zugehörige Phasendarstellung des Impedanzspektrums, (c) Vergleich von TiN-Elektroden mit Au-, Pt-, Ir- und Pt/IrO_x-Elektroden, (d) zugehörige Phasendarstellung des Impedanzspektrums. Alle Impedanzen sind auf die geometrische Elektrodenfläche normiert.

der Phase ϕ von der Frequenz ist in den Teilabbildungen 10.10a und 10.10b dargestellt. Die TiN-Elektrode zeigt über einen großen Frequenzbereich ein konstantes Phasenverhalten. Die Phase für die unterschiedlichen CNT-MEA zeigen für die Katalysatoren Fe und FeTi einen ähnlichen Kurvenverlauf. Für den FePt-Katalysator ist der Kurvenverlauf gegenüber den beiden anderen Katalysatoren leicht verschoben. Der Peakbereich ist weniger stark ausgeprägt, so dass die Phase im mittleren Frequenz-

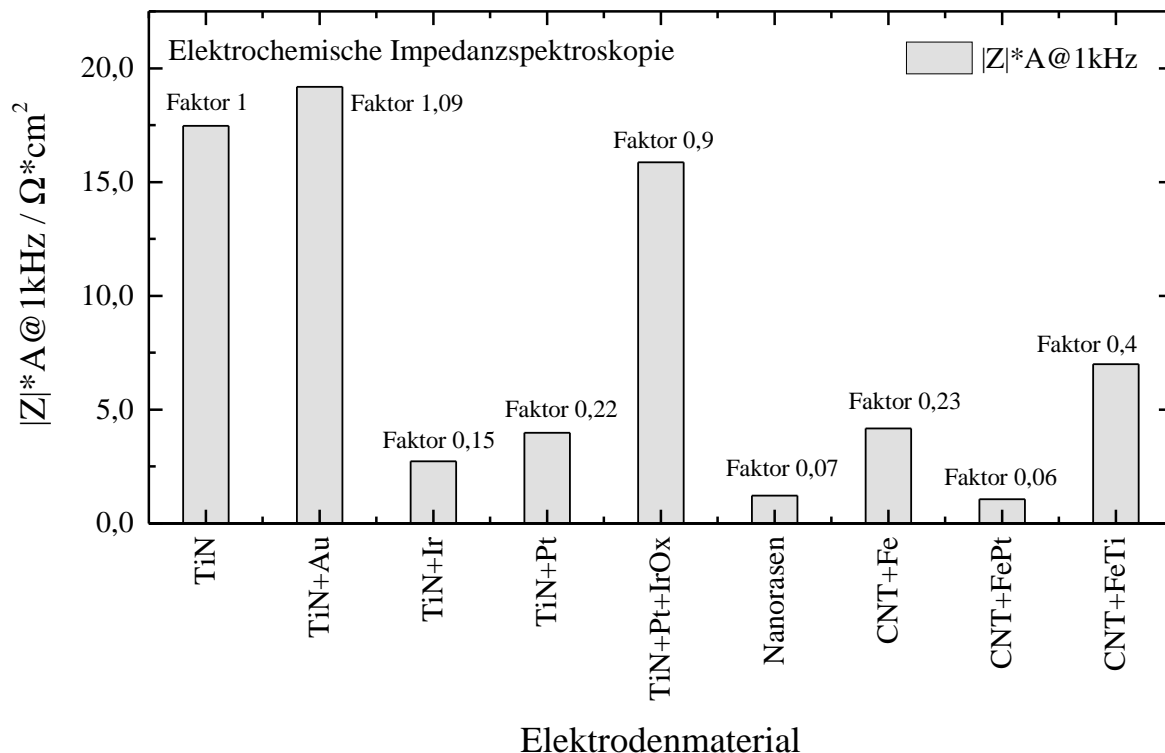


Abbildung 10.11: Vergleich der Impedanzen bei einer festen Frequenz von 1 kHz für die unterschiedlichen MEA-Varianten mit Angabe der Impedanzreduzierung

bereich konstant verläuft und erneut für niedrige Frequenzen ansteigt. In Abbildung 10.11 sind die normierten Impedanzen der verschiedenen nanomodifizierten MEA für die feste Frequenz 1 kHz aufgetragen. Im Vergleich zur TiN-Elektrode zeigt die Au-Elektrode bei 1 kHz einen um 9 % vergrößerten Widerstandswert. Im niedrigen Frequenzbereich liegt der Widerstandswert allerdings unterhalb des Widerstands der TiN-Elektrode. Eine signifikante Verbesserung des Impedanzverhaltens ist für die reaktiv gesputterte Iridiumschicht zu beobachten. Hier liegt der Impedanzwert für 1 kHz bei 15 % des ursprünglichen Wertes. Ähnliches gilt für die reaktiv gesputterte Platinschicht (22%). Die Pt/IrOx-Elektroden zeigen dagegen keine signifikante Reduzierung des Widerstands. Der Ruthenium-Nano-Rasen zeigt zusammen mit den CNTs (FePt-Katalysator) prozentual die größte Reduzierung der Impedanz mit 93 % bzw. 94 %. Die Mikro-Elektroden mit CNTs auf Fe- und FeTi-Katalysator weisen einen Faktor von 0,23 bzw. 0,4 auf. Bei der Bewertung der Impedanzreduzierung ist jedoch zu beachten, dass die einzelnen Varianten in unterschiedlichen Aufbau- und Verbindungstechniken gefertigt wurden. Der Abstand der Elektrodenflächen zur Gegenelektrode vergrößert sich bei denjenigen Varianten, die mit der Flip-Chip-Methode aufgebaut wurden. Deswegen

geht der Elektrolytwiderstand bei den CNT-Varianten mit einem größeren Faktor in die Messung ein.

10.5.3 Einfluss der MEA-Passivierung auf das Impedanzspektrum

Die nanomodifizierten Multi-Elektroden-Arrays stehen mit einer Si_3N_4 -Passivierung und mit einer zusätzlichen Ta_2O_5 -Passivierung zur Verfügung. Um den Einfluss der Passivierung auf das elektrochemische Verhalten zu untersuchen, wurden unter den bereits vorgestellten elektrochemischen Bedingungen beide Varianten miteinander verglichen. Die Messungen wurden für den Ru-Nano-Rasen und für CNTs (FePt-Katalysator) vorgenommen. In Abbildung 10.12 sind die Impedanzen und die Phasen beider Varianten in Abhängigkeit der Frequenz dargestellt. Als MEA-Variante wurde ebenfalls eine Konfiguration mit 11 angeschlossenen Elektrodencluster mit jeweils 16 Einzelelektroden gewählt, wobei der Durchmesser $40\ \mu\text{m}$ und der Mitte-Mitte-Abstand $100\ \mu\text{m}$ betragen. Die Kurvenverläufe der nicht passivierten und der passivierten Nano-Rasen-MEA und

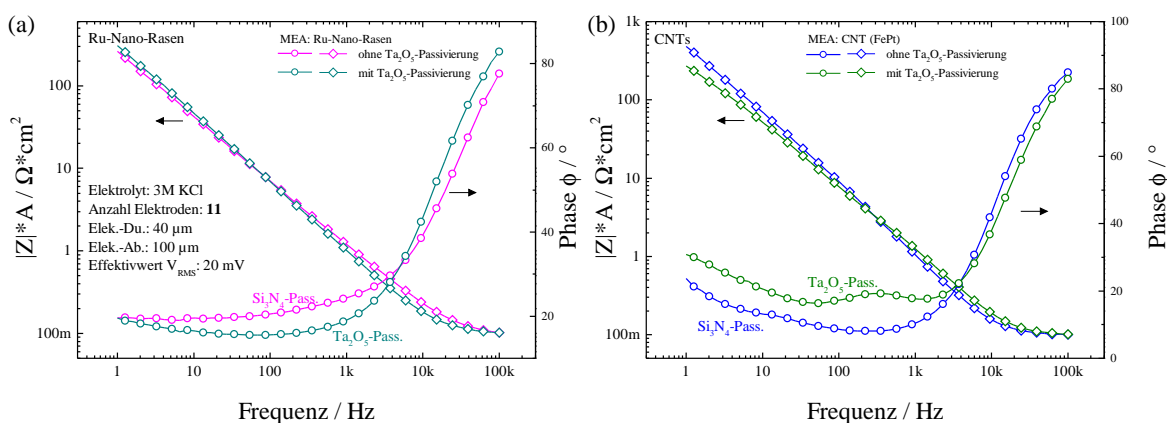


Abbildung 10.12: Impedanzspektren für Nano-Rasen (a) und CNTs (b) mit und ohne zusätzlicher Ta_2O_5 -Passivierung. Darstellung des normierten Impedanzbetrags und der Phase in Abhängigkeit der Frequenz. MEA-Variante: Elektrodendurchmesser $40\ \mu\text{m}$, Pitch $100\ \mu\text{m}$, 11 angeschlossene Cluster mit 16 Einzelelektroden.

CNT-MEA zeigen für die Impedanzen vergleichbare Werte, insbesondere für den hochfrequenten Messbereich. Im Bereich niedriger Frequenzen (1 Hz bis 100 Hz) nehmen die passivierten CNT-MEA geringere Impedanzwerte an. Die Phase der passivierten CNT-MEA zeigt im Bereich von 100 Hz bis 1 kHz einen charakteristischen Peak, wie dieser auch schon bei den CNT-Varianten mit Fe- bzw. FeTi-Katalysator (vgl. Abb. 10.10b)

auftritt. Für den Nano-Rasen zeigen die Phasen der nicht passivierten und der passivierten Variante einen vergleichbaren Verlauf. Die geringen Unterschiede der Impedanzen und der Phasenverschiebungen sind auf leichte Schwankungen im Herstellungsprozess der MEA zurückzuführen. Dies gilt insbesondere für die CNT-MEA, vgl. die Analyse der CNT-Beschichtungen in Abschnitt 6.6.3. Bei der Strukturierung der Ta₂O₅-Passivierung im Ionenstrahlätzverfahren werden ebenfalls die Ti/TiN-Elektroden minimal dem Ionenstrahl ausgesetzt und geätzt. Dies könnte ebenfalls zu einem minimalen Unterschied der einzelnen Spektren führen. Insgesamt lässt sich aber feststellen, dass durch die zusätzliche Ta₂O₅-Passivierung kein signifikanter Unterschied des elektrochemischen Verhaltens ausgelöst wird.

10.6 Cyclovoltammetrische Untersuchungen

Die cyclovoltammetrischen Untersuchungen der hergestellten Multi-Elektroden-Arrays wurden in einem 3 M Kaliumchlorid-Elektrolyten (KCl) mit einer Ag/AgCl-Referenzelektrode und einer Pt-Gegenelektrode durchgeführt. An der Arbeitselektrode wird ein sich zeitlich linear veränderndes elektrisches Feld angelegt, das in einem festgelegten Potentialbereich zyklisch zwischen zwei Umkehrpotentialen variiert wird. Die Potentialanstiegsgeschwindigkeit v wurde bei den Untersuchungen zu 0,1 V/s, 0,5 V/s, 1 V/s, 2 V/s, 5 V/s und 10 V/s gewählt. Die einzelnen Auswertungen der CV-Messungen wurden bei einer Scanrate von 1 V/s vorgenommen. Bei der Wahl der Potentialgrenzen wurde beachtet, dass sich die Ströme zwischen den Grenzen von Sauerstoff- und Wasserstoffbildung befinden [17]. Alle Materialvarianten wurden diesbezüglich ausgetestet. Es zeigte sich, dass ein sicheres Potentialfenster zwischen $-0,5$ V und $0,8$ V besteht. Daher wurde das Potential für alle Messungen auf diese Umkehrpunkte festgelegt. Das feste Potentialintervall ermöglicht zudem die Bestimmung eines relativen Zuwachses der Ladungstransferkapazität auch zwischen den untersuchten Materialvarianten. Als charakteristische Kenngröße wurden die Ladungstransferkapazitäten (CDC) und die Ladungsspeicherkapazitäten (CSC) aus den Cyclovoltammogrammen ermittelt, vgl. Abschnitt 10.3 und Gleichung 10.55 bzw. 10.56. Um den Einfluss verschiedener Parameter für die Auswertung der Cyclovoltammogramme zu kompensieren, wurden die Messdaten jeweils auf die planare Fläche der angeschlossenen Elektroden normiert. Auf die Messdaten wurde zudem ein Tiefpass-Filter und eine Mittelwert-Bildung angewandt. Es wurden folgende Untersuchungen durchgeführt:

- Auswirkung der geometrischen Faktoren wie Elektrodendurchmesser und Elektrodenabstand auf die Ladungstransferkapazität
- Vergleich der Materialvarianten der nanomodifizierten MEAs
- Einfluss einer zusätzlichen Ta₂O₅-Passivierung auf die Ladungstransferkapazität
- Entwicklung der CV-Kurve bei Variation der Scanrate
- Zeitliche Entwicklung der CV-Kurve mit steigender Zyklenzahl

10.6.1 Vergleich der geometrischen Faktoren

Die Multi-Elektroden-Arrays wurden in unterschiedlichen geometrischen Konfigurationen hergestellt. Um den Einfluss des Elektrodendurchmessers und des Elektrodenabstands (Pitch) auf die Effizienz des MEAs zu untersuchen, wurden planare Ti/TiN-Elektroden mit Variation des Elektrodendurchmessers (10 μm , 30 μm , 50 μm , 70 μm) bei festem Elektrodenabstand (150 μm) und mit Variation des Elektrodenabstands (70 μm , 90 μm , 110 μm , 130 μm , 150 μm) bei festem Elektrodendurchmesser (50 μm) untersucht. Abbildung 10.13 zeigt die Cyclovoltammogramme der planaren Ti/TiN-Elektroden bei 11 angeschlossenen Einzelelektroden bei einer Scanrate von 1 V/s. Mit Vergrößerung des Elektrodendurchmessers nimmt die gemessene Stromdichte ab. Die 10 μm -Elektroden zeigen die größten CSC- und CDC-Werte. Im Bereich von 30 μm bis 50 μm bleiben die Ladungstransferkapazitäten konstant. Die Steigerung der Kapazität für die 70 μm -Elektroden kann auf einen vergrößerten Wasserstoffbereich zurückgeführt werden. Ein ähnliches Verhalten ist auch bei Variation des Elektrodenabstands festzustellen. Bei geringem Elektrodenabstand wird die größte Ladungstransferkapazität festgestellt. Mit steigendem Abstand nimmt die Stromdichte ab. Die Messwerte der Ladungstransferkapazität für CSC und CDC liegen allerdings in einem schmalen Messbereich, so dass weitere Einflüsse, z. B. die Positionierung der Elektroden im Elektrolyten, für die unterschiedlichen Cyclovoltammogramme verantwortlich sein können, vgl. die Messung mittels elektrochemischer Impedanzspektroskopie im Abschnitt 10.5.1.

10.6.2 Vergleich der Materialvarianten

Für die Untersuchung der Materialvarianten wurden MEAs mit einem Elektrodendurchmesser von 40 μm und einem Pitch von 100 μm gewählt, wobei 11 Elektroden-

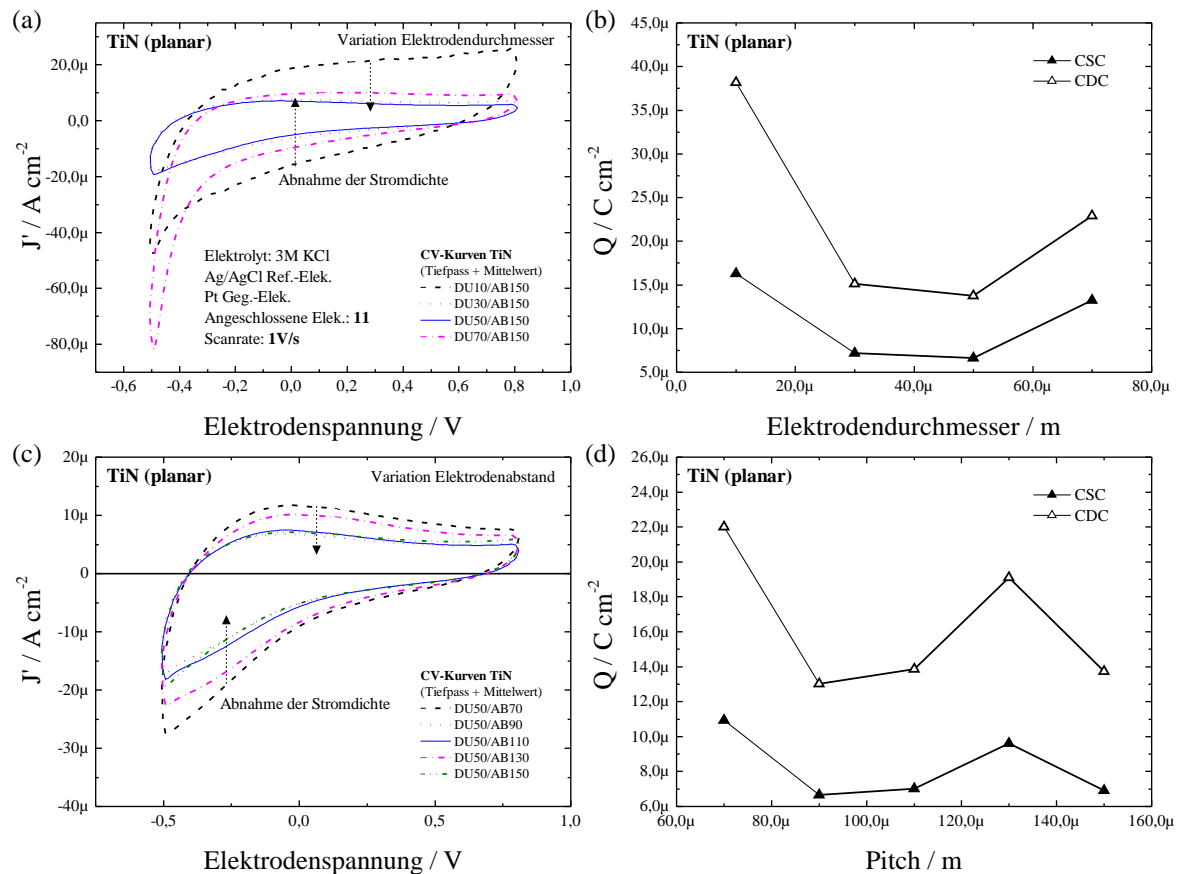


Abbildung 10.13: Verhalten der Cyclovoltammogramme von planaren Ti/TiN-Elektroden bei Variation des Elektrodendurchmessers und des Elektrodenabstands (Pitch), (a) Elektrodendurchmesser von 10 μm, 30 μm, 50 μm, 70 μm bei einem Pitch von 150 μm, (b) Abhängigkeit der Ladungstransferkapazität vom Elektrodendurchmesser, (c) Variation des Elektrodenabstands von 70 μm, 90 μm, 110 μm, 130 μm, 150 μm bei festem Elektrodendurchmesser 50 μm, (d) Abhängigkeit der Ladungstransferkapazität vom Elektrodenabstand, alle Messungen mit 11 Einzelelektroden, normiert auf Einzelelektrode, 3 M KCl, Ag/AgCl/Pt-Elektrodensystem, Scanrate 1 V/s

cluster (mit jeweils 16 Einzelelektroden) auf demselben Potential liegen. Die Potentialanstiegsgeschwindigkeit beträgt jeweils 1 V/s. In Abbildung 10.14 sind die Cyclovoltammogramme des CNT-MEAs (FePt-Katalysator) und des Nano-Rasen-MEAs in Relation zum planaren Ti/TiN-Basis-CMOS-MEA gesetzt. Die planare Ti/TiN-Elektrode weist mit einer Stromdichte im Bereich von 31 μA/cm² im Vergleich zu 1,7 mA/cm² für die CNT-Elektrode und 3,7 mA/cm² für die Nano-Rasen-Elektrode den geringsten Wert auf. Die CV-Kurve des CNT-MEAs zeichnet sich durch einen charakteristischen Strompeak bei einem Potential von ≈ -0,2 V aus. Der Nano-Rasen zeigt im Vergleich der drei dargestellten Materialvarianten die größte Effizienzsteigerung der Ladungs-

transferkapazität, vgl. Abb. 10.14d. Im Vergleich zur planaren Ti/TiN-Elektrode ist die Ladungstransferkapazität des Nano-Rasens um einen Faktor 122 für CSC und 127 für CDC gesteigert. Die Effizienzsteigerung der CNT-MEA liegt unterhalb der des Nano-Rasens bei einem Faktor von 47 für CSC und 45 für CDC.

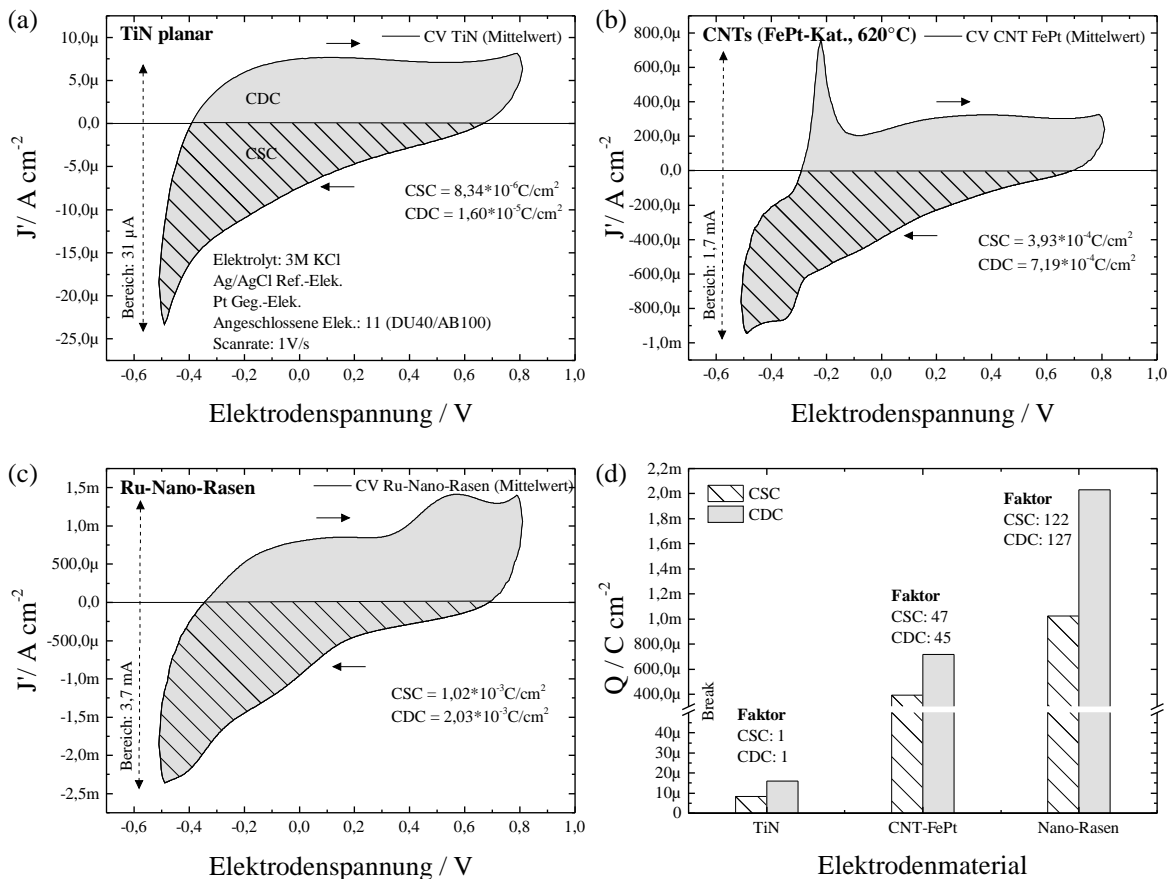


Abbildung 10.14: Cyclovoltammogramme für nanomodifizierte Multi-Elektroden-Arrays im Vergleich zu Ti/TiN-Basiselektrode. (a) planare Ti/TiN-Elektrode, (b) Elektrode mit CNTs (FePt-Katalysator) beschichtet, (c) Elektrode mit Ru-Nano-Rasen modifiziert, (d) Vergleich der Ladungstransferkapazitäten (CSC/CDC) mit Angabe der Effizienzsteigerung. Alle Messungen mit 11 angeschlossenen Elektrodencluster, normiert auf Einzelelektrode, Scanrate jeweils 1 V/s, Elektrolyt: 3 M KCl, Ag/AgCl/Pt-Elektrodensystem

In Abbildung 10.15 sind die Cyclovoltammogramme der Materialien Gold, Platin, Iridium und Platin/Iridiumoxid unter gleichen Messbedingungen wie die zuvor beschriebenen Ti/TiN-, CNT- und Nano-Rasen-MEA dargestellt. Die Gold-Beschichtung zeigt die geringste Steigerung der Stromdichte. Der größte Oberflächenvergrößerung wird durch die reaktiv gesputterte Platin-Elektrode und durch die Iridium-Elektrode erzielt. Für die Platin/Iridiumoxid-Elektrode zeigt sich wie bei den impedanzspek-

roskopischen Messungen eine reduzierte Ladungstransferkapazität. Die Kapazität der Iridium-Elektrode weist einen CSC-Wert von $1,51 \times 10^{-3} \text{ C/cm}^2$ und einen CDC-Wert von $2,88 \times 10^{-3} \text{ C/cm}^2$ auf. Damit liegen die Kapazitäten der reaktiv gesputterten Iridium und Platin-Elektroden über die Kapazitäten der CNT- und der Nano-Rasen-Variante. Alle gemessenen CSC- und CDC-Werte werden in Abbildung 10.16 mit An-

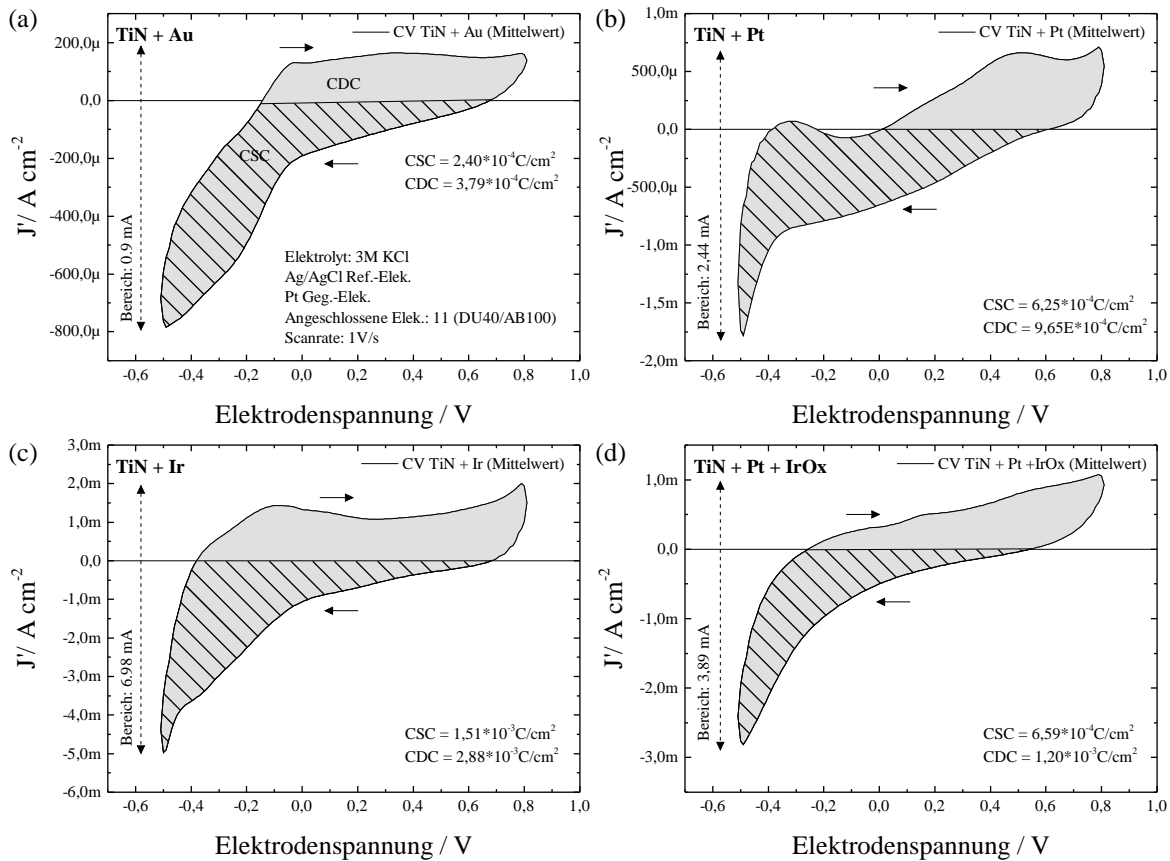


Abbildung 10.15: Cyclovoltammogramme der Gold-, Platin-, Iridium-, Platin/Iridiumoxid-Beschichtungen auf Basis-CMOS-MEA. (a) Gold-Elektrode, (b) Platin-Elektrode, (c) Iridium-Elektrode, (d) Platin/Iridiumoxid-Elektrode mit Angabe der Ladungstransferkapazität (CSC/CDC), alle Messungen mit 11 angeschlossenen Elektrodencluster, normiert auf Einzelelektrode, Scanrate jeweils 1 V/s, Elektrolyt: 3 M KCl, Ag/AgCl/Pt-Elektroden-system

gabe der Effizienzsteigerung in Relation zur planaren Ti/TiN-Elektrode gesetzt. Für Iridium kann ein Faktor von 181 für CSC und 180 für CDC bestimmt werden. Für Platin beträgt der Steigerungsfaktor 75 für CSC und 60 für CDC. Der Faktor für Platin/Iridiumoxid (CSC = 79, CDC = 75) liegt im Bereich des Platins. In Tabelle 10.1 werden die Kapazitätswerte aller Materialien zusammengefasst.

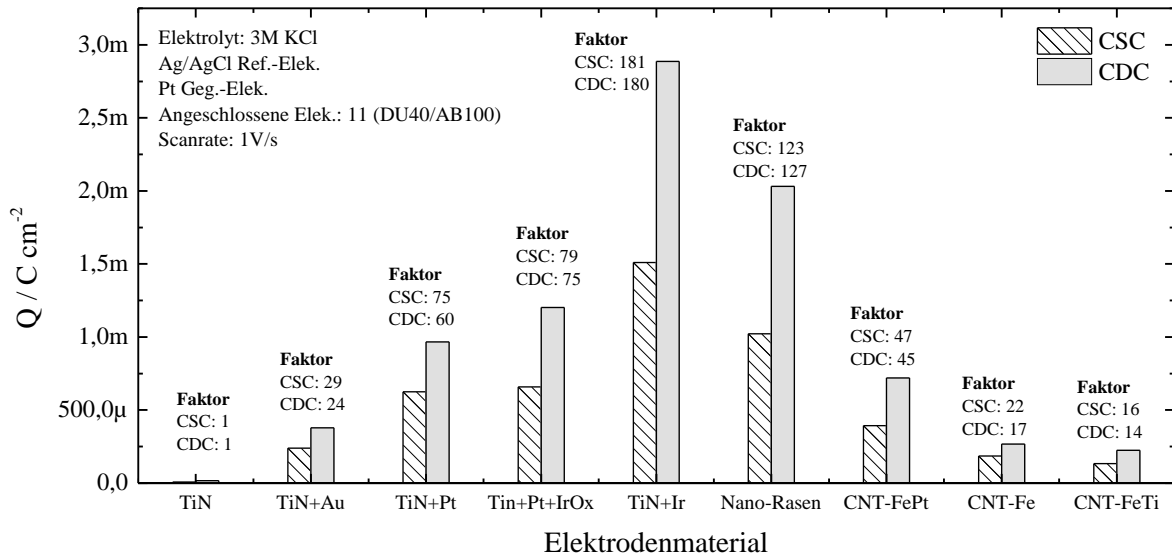


Abbildung 10.16: Übersicht aller Materialvarianten mit Angabe der Effizienzsteigerung der Ladungstransferkapazität (CSC, CDC)

Die CNT-MEAs wurden mit Hilfe unterschiedlicher Katalysatoren hergestellt. Die Synthese der CNTs konnte mit unterschiedlicher Schichtqualität auf dem Basis-CMOS-MEA abgeschlossen werden, wobei die CNTs mit FeTi-Katalysator die geringste Schichtqualität aufweisen. In Abbildung 10.17 sind die Strom/Spannungskennlinien der drei verschiedenen CNT-MEAs dargestellt.

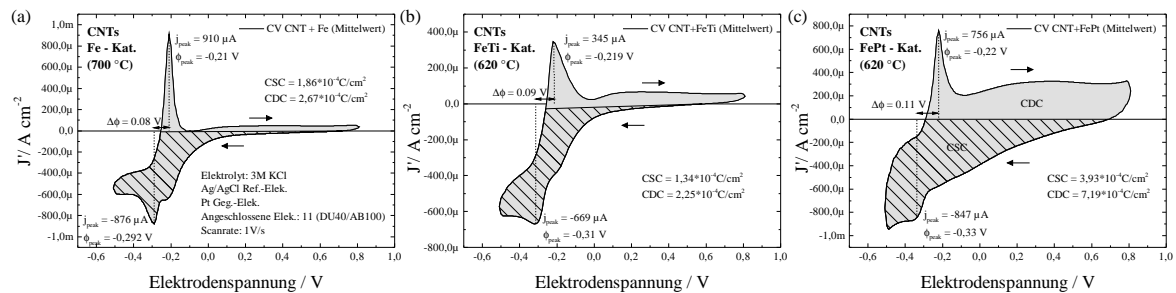


Abbildung 10.17: Vergleich der CV-Kurven für unterschiedliche CNT-Beschichtungen, (a) CNTs mit Fe-Katalysator (700 °C), (b) CNTs mit FeTi-Katalysator (620 °C), (c) CNTs mit FePt-Katalysator (620 °C). 3 M KCl, Ag/AgCl/Pt-Elektrodensystem, 11 × 16-Elektroden, normiert auf Einzelelektrode, Scanrate 1 V/s

Es zeigt sich, dass die CNT-Beschichtung der FePt-Variante die größte Effizienzsteigerung der Ladungstransferkapazität bewirkt. Die drei CNT-Varianten weisen einen charakteristischen Strompeak im Bereich von $-0,22 \text{ V}$ bis $\approx -0,30 \text{ V}$ auf. Der Peakstrom zeigt für die CNTs mit FeTi-Katalysator den kleinsten Wert.

Material	Potential in V	CSC in mC/cm ²	CDC in mC/cm ²	Faktor CSC	Faktor CDC
Ti/TiN	-0.5 – 0.8	0,008 34	0,016	1	1
CNT (Fe)	-0.5 – 0.8	0,186	0,267	22	17
CNT (FeTi)	-0.5 – 0.8	0,134	0,225	16	14
CNT (FePt)	-0.5 – 0.8	0,393	0,719	47	45
Ru-Nano-Rasen	-0.5 – 0.8	1,02	2,03	123	127
Au	-0.5 – 0.8	0,24	0,379	29	24
Pt	-0.5 – 0.8	0,625	0,965	75	60
Ir	-0.5 – 0.8	1,51	2,88	181	180
Pt/IrOx	-0.5 – 0.8	0,659	1,2	79	75

Tabelle 10.1: Übersicht über die Ladungstransferkapazitäten und über die Effizienzsteigerungen im Vergleich zur planaren Ti/TiN-Elektrode, Scanrate jeweils 1 V/s

10.6.3 Einfluss der MEA-Passivierung auf die Ladungstransferkapazität

Das Basis-CMOS-MEA wurde mit zwei verschiedenen Passivierungsvarianten hergestellt. Die Passivierung der MEAs besteht aus einem SiO₂/Si₃N₃-Schichtstapel, wie dieser bei einer CMOS-Technologie zum Einsatz kommt. Darüber hinaus wurden einzelne Varianten mit einer zusätzlichen Passivierung aus Ta₂O₅ versehen. Um den Einfluss der zusätzlichen Passivierung auf die elektrochemischen Messungen zu untersuchen, wurden passivierte und nicht passivierte MEAs cyclovoltammetrisch vermessen. In Abbildung 10.18 sind die CV-Kennlinien für den Nano-Rasen-MEA und für den CNT-MEA jeweils ohne Passivierung und mit Ta₂O₅-Passivierung dargestellt. Für den Nano-Rasen-MEA ist nur eine kleine Abweichung des Cyclovoltammogramms bei einer zusätzlichen Ta₂O₅-Passivierung zu erkennen. Der Strompeak im anodischen Bereich ist im Vergleich zu nicht passivierten Variante deutlich reduziert und minimal zu größeren Potentialwerten verschoben. Im kathodischen Bereich fällt dadurch die Stromdichte ebenfalls kurz vor dem Potentialumkehrpunkt im Vergleich zur nicht passivierten Variante größer aus. Insgesamt wirkt sich die Zusatzpassivierung auf die Ladungstransferkapazität nur minimal aus. Die Ladungstransferkapazität beträgt für die Ta₂O₅-Variante $1,06 \times 10^{-3} \text{ C/cm}^2$ für CSC und $2,0 \times 10^{-3} \text{ C/cm}^2$ für CDC. Dies entspricht einem Faktor von 0,95 (CSC) und 1,01 (CDC) im Vergleich zum nicht passivierten MEA. Für die CNT-MEA zeigt die Zusatzpassivierung einen größeren Einfluss. Aller-

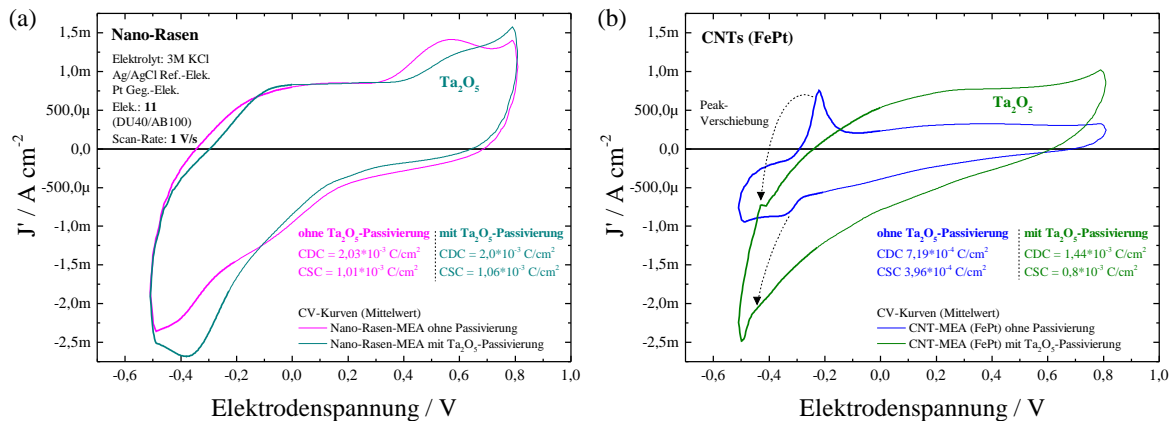


Abbildung 10.18: Vergleich von nicht passivierten und Ta_2O_5 -passivierten Nano-Rasen-MEA (a) und CNT-MEA (b) mit Angabe der Ladungstransferkapazität, 3M KCl, Ag/AgCl/Pt-Elektrodensystem, Scanrate 1 V/s, 11×16 -Elektroden, normiert auf Einzelelektrode

dings liegt dies nicht an der zusätzlichen Passivierung, sondern viel mehr an variierenden Schichtqualitäten bei der CNT-Synthese. Trotzdem bleiben die charakteristischen Merkmale der CV-Kurve der beiden MEA-Varianten erkennbar. Das CNT-MEA mit Ta_2O_5 -Passivierung zeigt nur eine geringe Ausprägung der Peaks. Die Peakpotentiale sind im gleichen Maße gegeneinander verschoben. Vergleicht man die Ladungstransferkapazitäten beider Varianten, so erhält man nach der zusätzlichen Passivierung einen um einen Faktor 2 vergrößerten Kapazitätswert für CSC und CDC.

10.6.4 Einfluss der Scanrate und Zyklenzahl

In Abbildung 10.19 sind für den CNT-MEA und für den Nano-Rasen-MEA die Cyclovoltammogramme in Abhängigkeit der Scanrate dargestellt. Für diese Messung wurden 23 Elektrodencluster mit jeweils 16 Einzelelektroden auf ein gemeinsames Potential gelegt. Mit steigender Scanrate erhöht sich die absolute Fläche der CV-Kurven. Zusätzlich wird die zeitliche Auflösung mit steigender Scanrate erniedrigt, so dass einzelne Peakpotentiale nicht mehr separiert werden können. Es kommt zu einer Peakverschiebung und zu einer Reduzierung der Peakpotentiale. Potentialvorschubgeschwindigkeiten von 1 V/s bilden einen guten Kompromiss zwischen Scangeschwindigkeit und Auflösung. Ab einer Scanrate von 5 V/s lassen sich Peaks nicht mehr einzeln detektieren.

Die Cyclovoltammogramme bisheriger Messungen wurden durch Mittelwertbildung mehrerer Einzelmessungen gewonnen. Beim Start einer Messung baut sich mit jedem Zyklus zunächst das Cyclovoltammogramm langsam auf, bis die CV-Kurve in einen Sät-

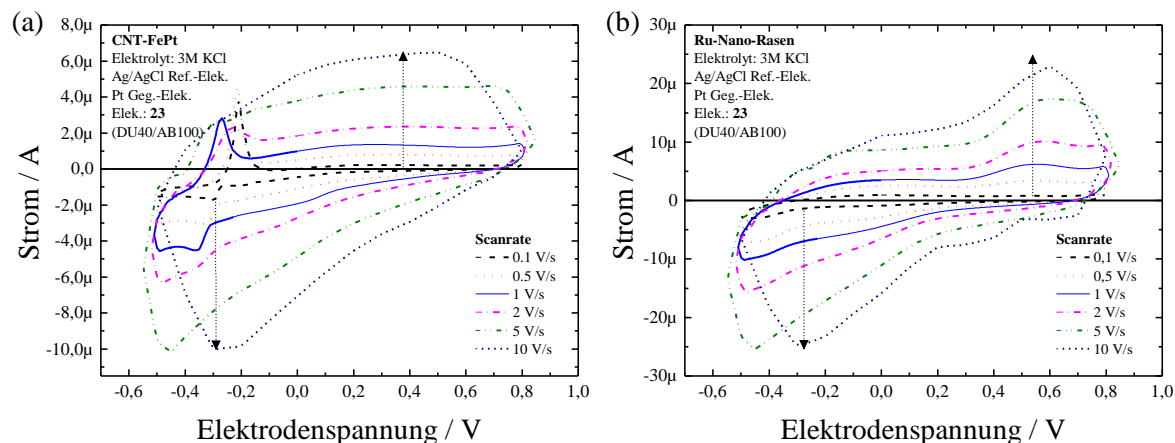


Abbildung 10.19: Entwicklung der CV-Kurven bei Variation der Scanrate für CNT-MEA (FePt) (a) und Nano-Rasen-MEA (b). 3 M KCl, Ag/AgCl/Pt-Elektrodensystem, 23 × 16-Elektroden.

tigungswert konvergiert. In Abbildung 10.20 ist dieses Verhalten für den Nano-Rasen-MEA und für den CNT-MEA für 50 Zyklen an 23 angeschlossenen Elektrodencluster dargestellt.

Für den Nano-Rasen-MEA ergibt sich mit steigender Zyklenzahl ein Zuwachs der Ladungstransfer- und Ladungsspeicherkapazität. Abbildung 10.20b stellt den Zusammenhang zwischen Zyklenzahl und Kapazität dar. Für erhöhte Zyklenzahlen stellt sich ein Sättigungswert für CSC und CDC ein. Die Differenz zwischen Sättigungswert und Anfangswert (bei Vernachlässigung der Aufkurve) beträgt prozentual 35 % für CSC und 37 % für CDC. Ein möglicher Grund für die Steigerung der Ladungstransferkapazität mit steigender Zyklenzahl kann eine sukzessive elektrochemische Reinigung der MEA im Elektrolyten sein. Ein weiterer Grund liegt in der Bildung von oberflächlichen Oxidschichten im Elektrolyten [172], wie dieses schon für andere Metalle der Platin-Gruppe beobachtet wurde, beispielsweise für Iridium [173]. Für den CNT-MEA zeigt sich dagegen keine signifikante Steigerung der Ladungstransferkapazitäten mit steigender Zyklenzahl. Es kommt zu einer Verschiebung der Peakströme und zu einem minimalen Drift der CV-Kurve. Für die Differenz zwischen Sättigungswert und Anfangswert erhält man prozentual 2 % für CSC und 6 % für CDC. Die CNT-MEA sind daher ohne Aktivierung der Oberfläche für einen instantanen Einsatz vorteilhaft. In Abbildung 10.21 ist die zeitliche Aktivierung der Elektrodenoberfläche am Beispiel einer Platin-Elektrode dargestellt. Hier ist die zeitliche Zunahme der Ladungstransferkapazität besonders stark ausgeprägt. Der Sättigungswert wird erst ab 50 Zyklen

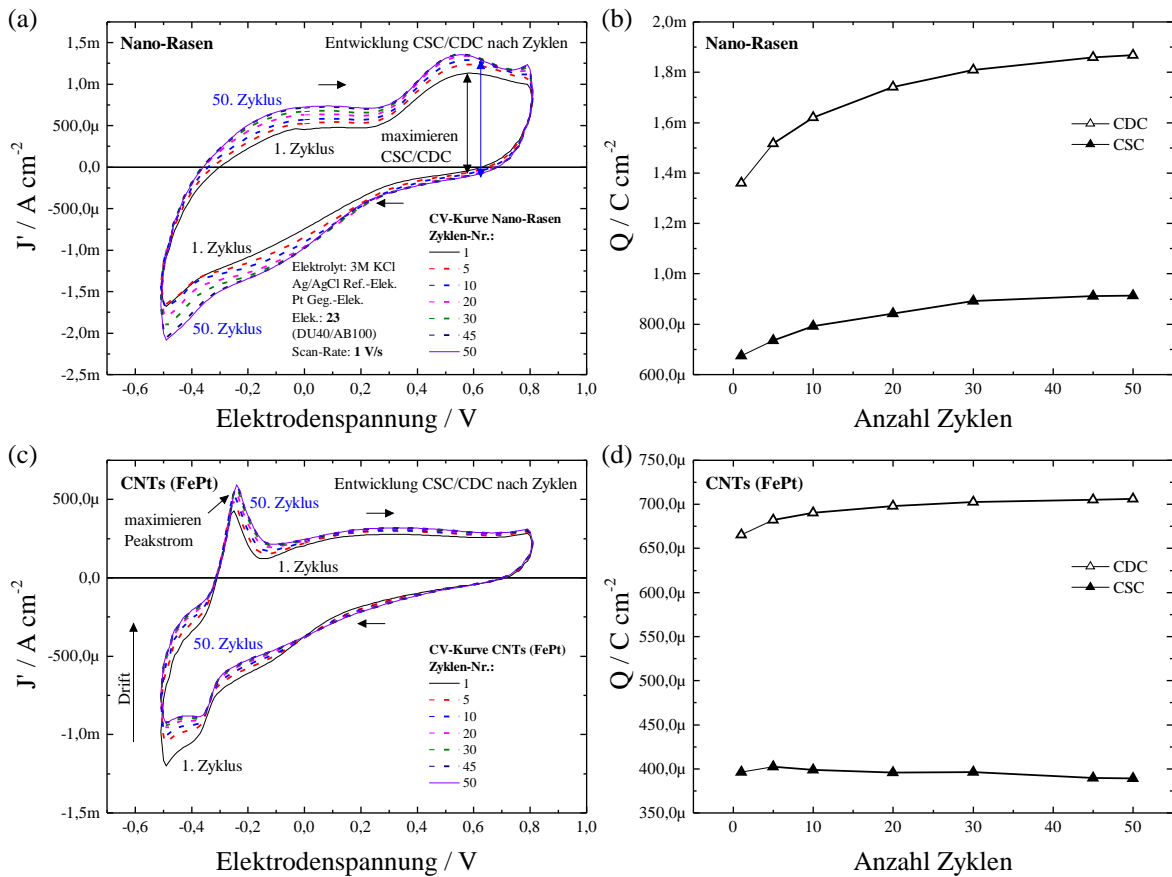


Abbildung 10.20: Zeitliche Entwicklung der CV-Kurven für Nano-Rasen-MEA (a) und CNT-MEA (c) mit Angabe der Ladungstransferkapazitäten (CSC/CDC) (b)(d) in Abhängigkeit der Zyklenzahl, 3 M KCl, Ag/AgCl/Pt-Elektrodensystem, Scanrate 1 V/s, 23 × 16-Elektroden, normiert

erreicht. Anfangswert und Sättigungswert unterscheiden sich um 81 % für CSC und 92 % für CDC.

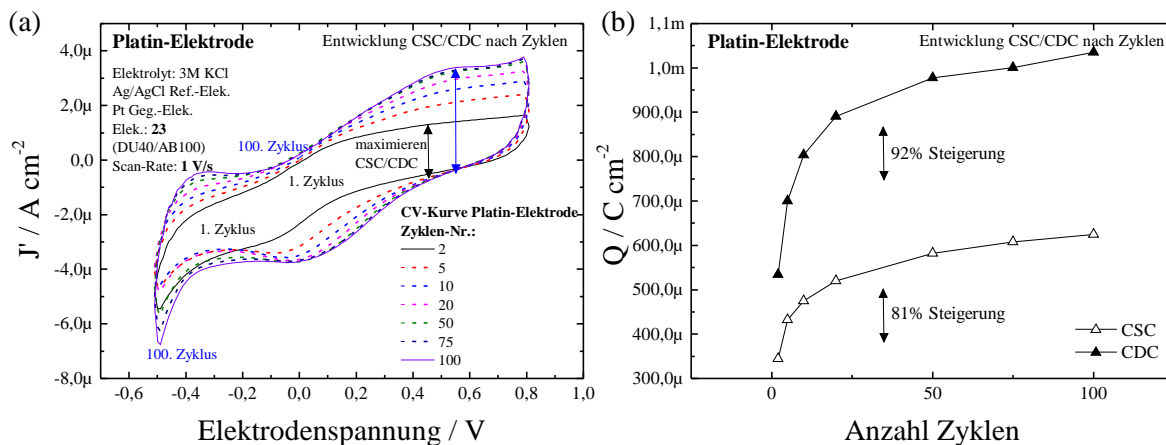


Abbildung 10.21: Zeitliche Entwicklung der CV-Kurven für Platin-Elektrode mit Angabe der Ladungstransferkapazitäten (CSC/CDC) (b) in Abhängigkeit der Zyklenzahl, 3 M KCl, Ag/AgCl/Pt-Elektrodensystem, Scanrate 1 V/s, 23×16 -Elektroden, normiert

10.7 Fazit: Elektrochemische Charakterisierung

Die Multi-Elektroden-Arrays, unterschiedlich nanomodifiziert mit CNTs, Ruthenium-Nano-Rasen, Gold, Platin, Iridium und Platin/Iridiumoxid wurden mit Methoden der elektrochemischen Impedanzspektroskopie und der Cyclovoltammetrie elektrochemisch charakterisiert. Für die geometrischen Faktoren wie Elektrodendurchmesser und Elektrodenabstand wurden keine signifikanten Abhängigkeiten bei den Impedanzspektren und Cyclovoltammogrammen festgestellt. Lediglich die kleinste Elektrode mit einem Durchmesser von 10 μm zeigte eine verbesserte Impedanz und Ladungstransferkapazität. Da der prozentuale Unterschied gegenüber 30 μm Elektroden 20 % beträgt, kann dieses Verhalten auch durch ein Messartefakt erklärt werden. Für den Materialvergleich unterschiedlicher Beschichtungen sind dagegen signifikante Effizienzsteigerung durch Reduzierung der Impedanzen und Erhöhung der Ladungstransferkapazitäten festzustellen. In Tabelle 10.2 sind die Effizienzfaktoren der Impedanzreduzierung und der Ladungstransferkapazitäten für die vier besten Elektrodenmodifikationen zusammengefasst.

Ein negativer Einfluss einer zusätzlichen Passivierungsschicht aus Ta_2O_5 auf die elektrochemischen Messungen wurde nicht festgestellt. Die gemessene Oberflächenvergrößerung des Nano-Rasens ist größer als der theoretisch berechnete Wert, vgl. Tabelle 7.1 des Kapitels 7. Dies liegt an der theoretisch nicht einbezogenen Oberflächenrauigkeit der Ruthenium-Schicht. Ein weiterer Grund liegt in der Bildung oberflächli-

Material	Faktor Impedanz bei 1 kHz	Faktor CSC	Faktor CDC
Ti/TiN	1	1	1
CNT (FePt)	0,06	47	45
Nano-Rasen	0,07	123	127
Platin	0,22	75	60
Iridium	0,15	181	180

Tabelle 10.2: Übersicht über die Effizienzsteigerungen durch Reduzierung der Impedanz und Steigerung der Ladungstransferkapazität

cher Oxidschichten Platin-ähnlicher Metalle in Elektrolyten. Die Effizienzsteigerung der CNT-Beschichtungen zeigt je nach CNT-Synthese unterschiedliche Werte. Die erreichte maximale Ladungstransferkapazität von $0,719 \text{ mC/cm}^2$ liegt unterhalb des Literaturwertes von $1,0 \text{ mC/cm}^2$ bis $1,6 \text{ mC/cm}^2$ (vgl. Tabelle 2.1 des Kapitels 2). Hier spielen variierende Schichtqualitäten eine signifikante Rolle. Eine zuverlässige Aussage über die Effizienzsteigerung wird dadurch erschwert. Eine zusätzliche Hydrophilisierung könnte eine erhebliche Steigerung der Ladungstransferkapazität bewirken. Untersuchungen der CV-Kurven zeigen, dass eine Aktivierung der Nano-Rasen-MEA erst nach mehreren Zyklen erfolgt. Für die reaktiv gesputterten Materialien wie Platin und Iridium ist ebenfalls eine Aktivierung notwendig. Die CNT-MEA zeigen dagegen nur eine geringe Verbesserung der Ladungstransferkapazität mit zunehmender Zyklenzahl.

11 Untersuchung der Biokompatibilität

Die Untersuchung der Bioverträglichkeit der verwendeten Materialien und der hergestellten nanomodifizierten Multi-Elektroden-Arrays wurden von der Klinik für Augheilkunde, Experimentelle Ophthalmologie, Universitätsklinikum Aachen durchgeführt. Dabei wurden die Proben nach einer Dampfsterilisation entweder direkt mit einem Zell-Kultur-Medium mit L-929- und R28-Zellen für 72 h inkubiert oder indirekt nach der ersten Inkubationszeit des Zell-Kultur-Mediums mit L-929 /R28 Zellen für 24 h behandelt, wobei das Zell-Kultur-Medium beim indirekten Kontakt jeweils in den Verhältnissen 1:1, 1:2 und 1:4 verdünnt wurde. Nach der Vorbehandlung wurde das Verhältnis von toten und lebenden Zellen mit Hilfe von Lumineszenz-Messungen bestimmt. Die Proben wurden gegenüber einer unbehandelten Glasprobe als Referenzprobe und gegenüber zytotoxisch wirkenden Mitteln in Relation gesetzt. Zur Untersuchung der Zelltoxizität der Kohlenstoff-Nanoröhren wurden Probenstücke ganzflächig beschichtet. Dabei wurden CNTs betrachtet, die mit den diskutierten Katalysatoren Fe, FeTi und FePt synthetisiert wurden. Es zeigte sich beim indirekten Kontakt kein signifikanter negativer Einfluss beim Zellwachstum für L-929- und R28-Zellen. Die Überlebensrate der Zellen liegt für alle CNT-Beschichtungen zwischen 94,6 % und 99,1 % und damit im Bereich der Glasprobe. Der Mischkatalysator FeTi und FePt zeigt gegenüber dem reinen Fe-Katalysator ein noch besseres Zellüberleben [174]. Für die verschiedenen

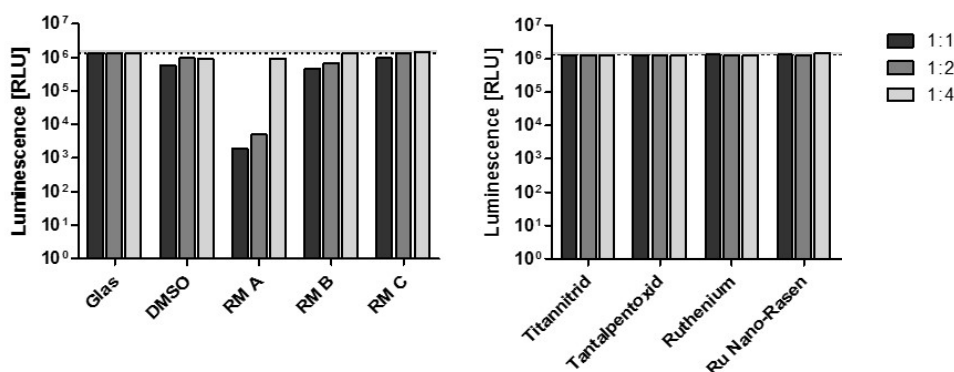


Abbildung 11.1: Zelltoxizität von R28-Zellen auf unterschiedlichen Materialien und auf Ruthenium-Nano-Rasen. Keine Zelltoxizität im Vergleich zur Glasprobe feststellbar.

Materialien des Basis-CMOS-MEA, der mit einem Ruthenium-Nano-Rasen modifiziert wurde, wurde ebenfalls das Zellüberleben nach einer Inkubation mit L-929- und R28-Zellen untersucht, vgl. Abb. 11.1. Es zeigte sich ein ausgezeichnetes Zellüberleben bei einem indirekten Kontakt des Zell-Kultur-Mediums mit den Materialien TiN, Ta₂O₅, Ru. Auf dem hergestellten Ruthenium-Nano-Rasen wurde ebenfalls ein ausgezeichnetes Zellüberleben durch Lumineszenz-Messungen festgestellt.

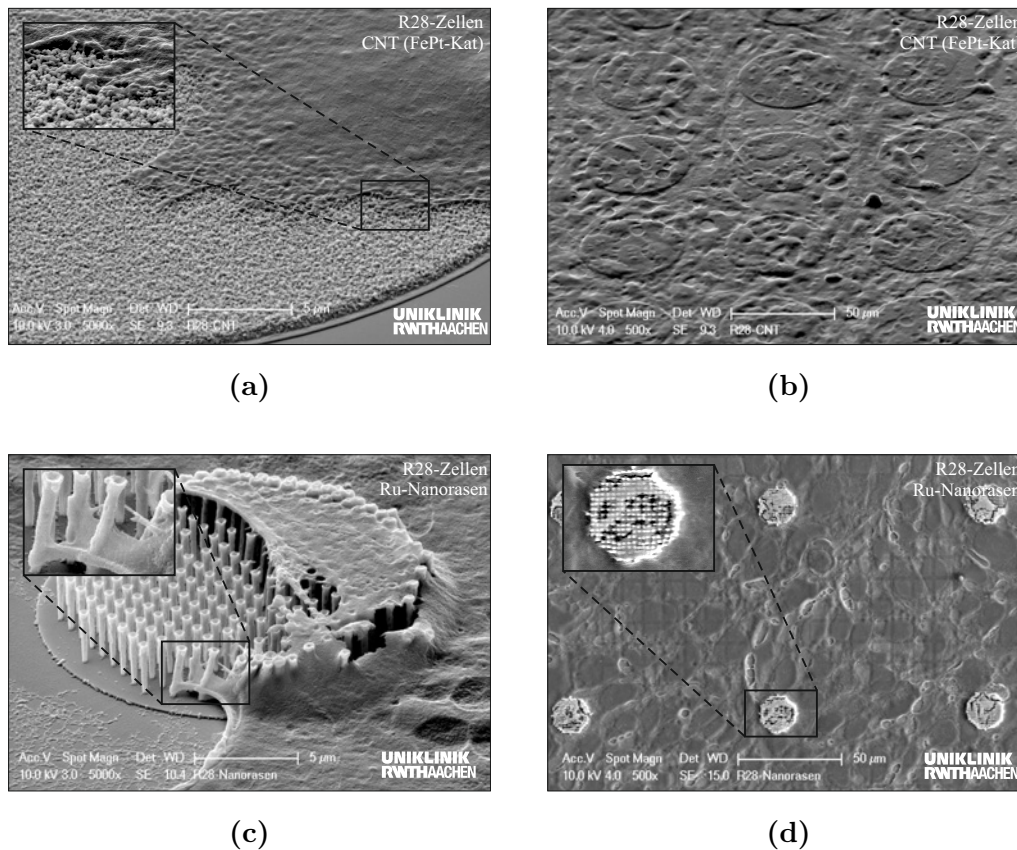


Abbildung 11.2: R28-Zellen auf Basis-CMOS-MEA, nanomodifiziert mit CNTs (FePt) (a-b) und mit Ruthenium-Nano-Rasen (c-d). Es zeigt sich ein vermehrtes Zellwachstum im Bereich der Elektroden

In Abbildung 11.2 ist eine REM-Analyse¹ der Elektroden dargestellt, wobei die Elektroden mit R28-Zellen besiedelt wurden. Die Zellen wachsen vermehrt auf den CNT-Beschichtungen und auf den Ruthenium-Nano-Rasen auf. Es ist zu beobachten, dass ein vermehrtes Zellwachstum im Bereich der Elektroden stattfindet. Für den Nano-Rasen verbinden sich die Zellen direkt an einzelne Röhren und bilden einen elektrischen Kontakt. Die Zellen ziehen allerdings auch an den Ruthenium-Nano-Röhren und können den Kontakt zur Basis-Elektrode unterbinden.

¹(Aufnahme hergestellt durch Universitätsklinikum Aachen)

12 Zusammenfassung und Ausblick

Im Fokus dieser Arbeit stand die Herstellung und die Charakterisierung CMOS-kompatibler, nanomodifizierter Multi-Elektroden-Arrays. Auf den Oberflächen der Ti/TiN-Basis-Elektroden wurden dazu einerseits Kohlenstoff-Nanoröhren und andererseits ein neuartiger Ruthenium-Nano-Rasen appliziert. Darüber hinaus wurden Varianten des Basis-CMOS-MEAs mit Standard-Elektroden-Materialien, wie Gold, Platin, Iridium und Platin/Iridiumoxid als Elektrodenmodifikationen hergestellt. Einzelne Varianten der Multi-Elektroden-Arrays wurden zudem mit einer hochkonformen Ta₂O₅-Beschichtung passiviert. Die besondere Herausforderung lag in der Vereinbarkeit von CMOS-Kompatibilität und Hochtemperaturprozessen, wie diese bei der Synthese von Kohlenstoff-Nanoröhren mittels thermischen CVD-Verfahren notwendig sind. Die thermische Einwirkung von bis zu 700 °C durch die CNT-Synthese auf das CMOS-Substrat ist jedoch auf eine Prozessdauer von 20 min bis 30 min beschränkt. Standard-CMOS-Technologien mit Aluminium-Metallisierung sind für eine direkte Synthese daher ungeeignet. In dieser Arbeit wurde die direkte Integration von Kohlenstoff-Nanoröhren auf einem CMOS-Substrat durch eine neue Kombination hochtemperaturstabiler CMOS-Technologien erfolgreich durchgeführt. In Temperuntersuchungen bis zu 700 °C (30 min) zeigte eine Bulk-Substrat-Technologie mit hochtemperaturstabiler Wolfram-Metallisierung nur moderate Verschiebungen der Schwellenspannung für NMOS- und PMOS-Transistoren. Die Parameterverschiebungen der NMOS- und PMOS-Transistoren mit einer Weite von 20 µm und einer Länge von 0,8 µm befanden sich nach dem Temperaturschritt innerhalb der Sollgrenzen von 200 mV (140 mV für den NMOS-Transistor und 42 mV für den PMOS-Transistor). Untersuchungen des Durchbruchverhaltens des verwendeten Gateoxids und Kapazität/Spannungsmessungen lieferten keine Hinweise auf irreversible Schädigungen der Bauelemente. Lediglich die Widerstandswerte zeigten eine Erhöhung im Bereich von 25 %. Um die direkte Integration von Kohlenstoff-Nanoröhren auch für andere Anwendungen, wie beispielsweise die Herstellung von CMOS-Sensoren zur Gasdetektion, in zukünftigen Arbeiten nutzen zu können, sind allerdings noch weitere Voruntersuchungen nötig. Auf dem untersuchten Testsubstrat waren keine EEPROMS integriert, die ebenfalls für integrierte Schaltungen auf Hochtemperatureinfluss untersucht werden müssten. Zudem ist der Stichprobenumfang mit

jeweils 4 untersuchten Proben zu gering, um zuverlässige statistische Aussagen über die Auswirkungen eines Hochtemperaturprozesses zu treffen. Wünschenswert wäre die Untersuchung der Temperatureinwirkung auf Wafer-Ebene. Durch eine weitere Optimierung der Metallflächen auf dem CMOS-Substrat könnten Stresspunkte der thermischen Einwirkung reduziert werden. Ebenso könnte die $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Passivierung für Hochtemperaturprozesse optimiert werden. Die Herstellung des planarisierten Basis-CMOS-MEAs, das als Plattform für die Nanomodifikationen dient, erfolgte nach der Tauglichkeitsuntersuchung in der evaluierten Bulk-Substrat-Wolfram-Technologie. Als Basis-Elektrode diente eine dünne Ti/TiN-Schicht, da dieses Material neben seiner Biokompatibilität und Biostabilität zudem die Eigenschaft besitzt, dass Kohlenstoff-Nanoröhren direkt, bei Wahl eines geeigneten Katalysators, auf die Oberfläche aufwachsen können. In dieser Arbeit wurde daher zunächst eine Optimierung von Prozessbedingungen zur CNT-Synthese auf Testsubstraten durchgeführt. Unter Verwendung von Mischkatalysatoren und geeigneter Precursoren ist es gelungen, vertikal ausgerichtete CNTs auf Schichtaufbauten, die dem Basis-CMOS-MEA entsprechen, mittels thermischer APCVD-Verfahren abzuscheiden. Ein besonderer Erfolg der Arbeiten des Fraunhofer IKTS liegt in der signifikanten Reduzierung der CNT-Synthesetemperatur auf bis zu 620°C durch Verwendung eines FePt-Mischkatalysators. Künftige Versuche zielen auf eine noch stärkere Reduzierung der Prozesstemperatur. Es wurden bereits erfolgreich Experimente durchgeführt, bei denen die Prozesstemperatur unterhalb von 600°C minimiert wurde. Dieser Trend ist besonders für künftige CMOS-Entwicklungen im Bereich der Gassensorik oder auch für vollständig integrierte Multi-Elektroden-Arrays interessant, da mit einer noch geringeren Parameterverschiebungen der integrierten Schaltungen gerechnet werden kann. Probleme der Passivierungsschichten oder bei eventuellen Mehrlagenverdrahtungen könnten somit reduziert werden. Die direkte Anwendung der optimierten Prozessparameter für die CNT-Synthese ist jedoch nicht direkt auf andere Substrate übertragbar. So wurden auf dem Basis-CMOS-MEA zwar erfolgreich CNTs abgeschieden, allerdings konnte nicht die Schichtqualität der Testsubstrate erreicht werden. Für die künftige Herstellung von CNT-modifizierten Multi-Elektroden-Arrays ist die Synthese daher auf diese Substrate hin zu optimieren. Interessant könnte ebenfalls eine Funktionalisierung der CNTs sein. So könnte eine Hydrophilisierung der CNTs zu einer höheren Ladungstransferkapazität führen. Die Oberfläche einzelner Kohlenstoff-Nanoröhren könnten mit Hilfe eines Plasma-Prozesses leicht angeätzt werden. Dies würde auch zu einer vergrößerten Gesamtoberfläche bei-

tragen. Andere Verfahren der Oberflächenvergrößerung zielen heutzutage auf eine zusätzliche Beschichtung der Nano-Röhren, beispielsweise mit Goldpartikeln. Ein weiterer Fokus dieser Arbeit liegt in der Entwicklung eines Ruthenium-Nano-Rasens, der zu einer Erhöhung der Ladungstransferkapazität beiträgt. Für die Herstellung wurde eine Opferschicht aus amorphem Silizium mittels eines anisotrop-ätzenden Bosch-Prozesses strukturiert und in einem hochkonformen ALD-Prozess mit Ruthenium aufgefüllt. Auf der planaren Oberfläche der Opferschicht wurde die ALD-Schicht ganzflächig entfernt, wodurch einzelne Strukturelemente des Nano-Rasens separiert wurden. Die Opferschicht konnte mittels XeF_2 -Gas isotrop entfernt werden. Dabei wurde der Ruthenium-Nano-Rasen freigelegt. Für eine Charakterisierung des Nano-Rasens wurden in dieser Arbeit Teststrukturen entworfen und hergestellt. Es zeigte sich bei der Untersuchung von Widerstandsketten, dass bis zu 20 158 einzelne Ruthenium-Nano-Säulen ohne Kontaktabriss einen ohmschen Kontakt bilden. Hier unterschieden sich allerdings die empirisch gemessenen Daten von den theoretisch berechneten Werten. Als Ursache konnte für das untersuchte Testsubstrat eine geringe Kontaktfläche des Nano-Rasens mit der Basis-Fläche festgestellt werden. Für die Zukunft könnte diese Kontaktfläche durch eine Optimierung der Ätzparameter vergrößert werden. So ist es z. B. denkbar, dass der Notching-Effekt, der beim Bosch-Prozess auftreten kann, intendiert für eine Vergrößerung der Kontaktfläche ausgenutzt werden kann. Dies würde sich zudem positiv auf die Stabilität des Nano-Rasens auswirken. Das ALD-Verfahren bietet die Möglichkeit viele unterschiedliche Materialien (Metalle und Oxide) abzuscheiden. So könnten weitere Zielsetzungen zur Herstellung eines Nano-Rasens darin bestehen, die Ladungstransferkapazität durch geeignete Materialwahl, z. B. Iridium, zu optimieren. Es sind zudem alternierende Schichten in einzelnen Säulen des Nano-Rasens denkbar. Das neuartige Verfahren zur Herstellung dreidimensionaler Strukturen ist darüber hinaus auch für andere mikrosystemtechnische Anwendungen interessant. So wurden in dieser Arbeit bereits freitragende Brücken und Membranen realisiert. Dreidimensionale Interdigital-Strukturen sind ebenfalls denkbar. Diese Strukturen könnten für Applikationen zur Gasdetektion nutzbar sein. Für eine elektrochemische Charakterisierung mussten die hergestellten Mikroelektroden elektrisch kontaktiert werden. Für die einzelnen Nanomodifizierungen, insbesondere für die CNT-Beschichtung, konnten keine Standard-Kontaktierverfahren genutzt werden, da diese nicht kompatibel mit den nötigen Prozesstemperaturen sind. Es wurden daher in dieser Arbeit zwei unterschiedliche AVT-Konzepte realisiert. Für einzelne Varianten wurde eine nachträgliche

Pad-Metallisierung aus Aluminium auf dem Basis-CMOS-MEA prozessiert, die dann für Drahtbond-Verfahren genutzt werden konnte. Die CNT-MEA wurden im Gegensatz dazu in einem Flip-Chip-Verfahren mit Hilfe anisotrop-leitfähiger Kleber auf einem entsprechenden Trägersubstrat kontaktiert. Dazu war es nötig den Träger mit hohen Bumps zu versehen, die für eine Separation einzelner Kontaktstellen genutzt werden konnten. Das eingesetzte Verfahren wurde erfolgreich auf Zuverlässigkeit geprüft und für die Aufbauten der CNT-MEAs verwendet. Die elektrochemische Charakterisierung der hergestellten, nanomodifizierten Multi-Elektroden-Arrays erfolgte durch elektrochemische Impedanzspektroskopie und mittels Cyclovoltammetrie. Durch die Nanomodifikation ist es in dieser Arbeit gelungen, die Impedanz der Elektroden signifikant zu reduzieren. So konnte für den CNT-MEA (mit FePt-Katalysator) die Impedanz auf 6 % des ursprünglichen Wertes der Ti/TiN-Elektrode minimiert werden. Für den Ruthenium-Nano-Rasen konnte eine Reduzierung um 93 % erzielt werden. Von den reaktiv gesputterten Materialien zeigte Iridium mit einem prozentualen Faktor von 85 % die höchste Impedanzreduzierung. Bei der Bestimmung der Ladungstransferkapazität mit Hilfe cyclovoltammetrischen Messungen zeigte Iridium die größte Kapazitätssteigerung (Faktor 181), gefolgt vom Ruthenium-Nano-Rasen (Faktor 123). Die CNT-MEA zeigten eine 47-fache Effizienzsteigerung, wobei die gemessenen Ladungstransferkapazitäten noch unterhalb der Literaturwerte liegen. Insbesondere die Ladungstransferkapazitäten von Iridium, Platin und des Ruthenium-Nano-Rasens konnten nach Durchlauf mehrerer Zyklen aufgrund einer Aktivierung der Oberflächen (Bildung von Oxidschichten im Elektrolyten) vergrößert werden. Die CNT-MEA zeigten je nach Synthese-Bedingung unterschiedliche Effizienzsteigerungen. Durch eine Prozessoptimierung der CNT-Synthese auf einzelne Chips des Basis-CMOS-MEAs, ist eine signifikante Steigerung der Ladungstransferkapazität und eine erhebliche Reduzierung der Impedanz vorstellbar. Für den biologischen Einsatz, beispielsweise in künftige Entwicklungen von Retina-Implantaten, wurden die hergestellten Multi-Elektroden-Arrays auf Biokompatibilität untersucht. Es zeigte sich für alle verwendeten Materialien eine hervorragende Verträglichkeit bei Zelluntersuchungen mit retinalen R28-Zellen. Die Zytotoxizität aller Materialien lag im Bereich der Negativprobe. Für künftige Entwicklungen müssen die hergestellten Mikroelektroden in weiteren Versuchen auf ihre Fähigkeit zur Stimulation und Ableitung von Nervensignalen überprüft werden. Möglich wäre diese Untersuchung, wenn entweder ein Stimulatorchip auf dem Chipträger integriert wird, oder wenn der komplette Chipaufbau für In-vitro-Messungen in eine externe Datenbox

auf einem PCB-Board mit vordefinierten Chiplayout vorbereitet wird. Die Möglichkeit zur gleichzeitigen Ansteuerung mehrerer Kanäle könnte genutzt werden, um Nervensignale zeit- und orts aufgelöst zu registrieren. Dies ist insbesondere daher von Interesse, da die Nervenzellen bei den Untersuchungen der Biokompatibilität vermehrt auf der CNT-Beschichtung und auf dem Ruthenium-Nano-Rasen aufgewachsen sind. Die Zielsetzung einer weiteren Miniaturisierung von Multi-Elektroden-Arrays zur Steigerung der Ortsauflösung liegt in der vollständigen Implementierung integrierter Schaltungen. Die Realisierung eines vollständigen und funktionsfähigen CMOS-MEAs, sowie die Kombination dieses MEAs mit den entwickelten Nanomodifikationen bleibt ein wichtiges Forschungsthema.

Literaturverzeichnis

- [1] G. Roessler, T. Laube, C. Brockmann, T. Kirschkamp, B. Mazinani, M. Goertz, C. Koch, I. Krisch, B. Sellhaus, H. K. Trieu, J. Weis, N. Bornfeld, H. Röhgen, A. Messner, W. Mokwa, and P. Walter. Implantation and Explantation of a Wireless Epiretinal Retina Implant Device: Observations during the EPIRET3 Prospective Clinical Trial. *Investigative Ophthalmology & Visual Science*, 50(6):3003–3008, 2009.
- [2] Multi-Channel-Systems. *Microelectrode Array (MEA) Manual*. Multi Channel Systems MCS GmbH, 05 2014.
- [3] E. Guenther, A. Stett, and T. Meyer. Mikroelektroden-Array basierte Biosensoren. *BIOspektrum*, 9. Jahrgang:772–773, 06 2003.
- [4] Roeder R. Geddes L. A. Criteria for the Selection of Materials for Implanted Electrodes. *Annals of Biomedical Engineering*, 31:879–890, 2003.
- [5] E. Zrenner, A. Stett, S. Weiss, R.B. Aramant, E. Guenther, K. Kohler, K.-D. Miliczek, M.J. Seiler, and H. Haemmerle. Can subretinal microphotodiodes successfully replace degenerated photoreceptors? *Vision Research*, 39(15):2555 – 2567, 1999.
- [6] James D. Weiland, David J. Anderson, and Mark S. Humayun. In vitro electrical properties for iridium oxide versus titanium nitride stimulating electrodes. *IEEE Trans. Biomed. Engineering*, 49(12):1574–1579, 2002.
- [7] E. Ben-Jacob and Y. Hanein. Carbon nanotube micro-electrodes for neuronal interfacing. *J. Mater. Chem.*, 18:5181–5186, 2008.
- [8] Yael Hanein and Lilach Bareket-Keren. Carbon nanotube based multi electrode arrays for neuronal interfacing: progress and prospects. *Frontiers in Neural Circuits*, 6(122), 2013.

- [9] Christine Burdett. Characterization of Ruthenium Electrodes for Implantable Neurostimulation Applications. Technical report, Chemical Engineering, North Carolina State University, 2010.
- [10] H. Takeuchi, A. Wung, Xin Sun, R.T. Howe, and Tsu-Jae King. Thermal budget limits of quarter-micrometer foundry CMOS for post-processing MEMS devices. *Electron Devices, IEEE Transactions on*, 52(9):2081–2086, Sept 2005.
- [11] S. Sedky, A. Witvrouw, Hugo Bender, and K. Baert. Experimental determination of the maximum post-process annealing temperature for standard CMOS wafers. *Electron Devices, IEEE Transactions on*, 48(2):377–385, Feb 2001.
- [12] Marc Olivier Heuschkel, Michael Fejtl, Mario Raggenbass, Daniel Bertrand, and Philippe Renaud. A three-dimensional multi-electrode array for multi-site stimulation and recording in acute brain slices. *Journal of Neuroscience Methods*, 114(2):135 – 148, 2002.
- [13] L. Berdondini, A. Bosca, T. Nieuw, and A. Maccione. Active Pixel Sensor Multielectrode Array for High Spatiotemporal Resolution. In Massimo De Vittorio, Luigi Martiradonna, and John Assad, editors, *Nanotechnology and Neuroscience: Nano-electronic, Photonic and Mechanical Neuronal Interfacing*, pages 207–238. Springer New York, 2014.
- [14] Mathias Schindler. *Design of a High Density CMOS Array for the Bidirectional Coupling With Electrogenic Cells*. PhD thesis, RWTH Aachen, 1 2008.
- [15] U. Frey, U. Egert, F. Heer, S. Hafizovic, and A. Hierlemann. Microelectronic system for high-resolution mapping of extracellular electric fields applied to brain slices. *Biosensors and Bioelectronics*, 24(7):2191 – 2198, 2009.
- [16] Peter Fromherz. Joining microelectronics and microionics: Nerve cells and brain tissue on semiconductor chips. *Solid-State Electronics*, 52(9):1364 – 1373, 2008. Papers Selected from the 37th European Solid-State Device Research Conference.
- [17] Stuart F. Cogan. Neural Stimulation and Recording Electrodes. *Annual Review of Biomedical Engineering*, 10(1):275–309, 2008. PMID: 18429704.

-
- [18] E. Slavcheva, G. Ganske, G. Topalov, W. Mokwa, and U. Schnakenberg. Effect of sputtering parameters on surface morphology and catalytic efficiency of thin platinum films. *Applied Surface Science*, 255(13–14):6479–6486, 2009.
- [19] A. M. Feltham and Michael Spiro. Platinized platinum electrodes. *Chemical Reviews*, 71(2):177–193, 1971.
- [20] SangBeom Jun, MatthewR. Hynd, KarenL. Smith, JongKeun Song, JamesN. Turner, William Shain, and SungJune Kim. Electrical stimulation-induced cell clustering in cultured neural networks. *Medical & Biological Engineering & Computing*, 45(11):1015–1021, 2007.
- [21] Matthias Heim, Blaise Yvert, and Alexander Kuhn. Nanostructuring strategies to enhance microelectrode array (MEA) performance for neuronal recording and stimulation. *Journal of Physiology-Paris*, 106(3–4):137 – 145, 2012. Neuronal Ensemble Recordings in Integrative Neuroscience.
- [22] Stuart F. Cogan, Julia Ehrlich, Timothy D. Plante, Anton Smirnov, Douglas B. Shire, Marcus Gingerich, and Joseph F. Rizzo. Sputtered iridium oxide films for neural stimulation electrodes. *Journal of Biomedical Materials Research Part B: Applied Biomaterials*, 89B(2):353–361, 2009.
- [23] Stefan Eick, Jens Wallys, Boris Hofmann, André Van Ooyen, Uwe Schnakenberg, Sven Ingebrandt, and Andreas Offenhäusser. Iridium oxide microelectrode arrays for in vitro stimulation of individual rat neurons from dissociated cultures. *Frontiers in Neuroengineering*, 2(16), 2009.
- [24] T. Akin, K. Najafi, R.H. Smoke, and R.M. Bradley. A micromachined silicon sieve electrode for nerve regeneration applications. *Biomedical Engineering, IEEE Transactions on*, 41(4):305–313, April 1994.
- [25] E. Slavcheva, R. Vitushinsky, W. Mokwa, and U. Schnakenberg. Sputtered Iridium Oxide Films as Charge Injection Material for Functional Electrostimulation. *Journal of The Electrochemical Society*, 151(7):E226–E237, 2004.
- [26] W. Mokwa, B. Wessling, and U. Schnakenberg. Sputtered Iridium Oxide for Stimulation Electrode Coatings. In *Engineering in Medicine and Biology Society, 2007. EMBS 2007. 29th Annual International Conference of the IEEE*, pages 6047–6050, Aug 2007.

- [27] Yi Lu, Tanyuan Wang, Zhengxu Cai, Yuliang Cao, Hanxi Yang, and Yanwen Y. Duan. Anodically electrodeposited iridium oxide films microelectrodes for neural microstimulation and recording . *Sensors and Actuators B: Chemical*, 137(1):334 – 339, 2009.
- [28] Börge Wessling, Astrid Besmehn, Wilfried Mokwa, and Uwe Schnakenberg. Reactively Sputtered Iridium Oxide: Influence of Plasma Excitation and Substrate Temperature on Morphology, Composition, and Electrochemical Characteristics. *Journal of The Electrochemical Society*, 154(5):F83–F89, 2007.
- [29] S. Negi, R. Bhandari, L. Rieth, and F. Solzbacher. Effect of sputtering pressure on pulsed-DC sputtered iridium oxide films . *Sensors and Actuators B: Chemical*, 137(1):370 – 378, 2009.
- [30] B Wessling, W Mokwa, and U Schnakenberg. RF-sputtering of iridium oxide to be used as stimulation material in functional medical implants. *Journal of Micromechanics and Microengineering*, 16(6):S142, 2006.
- [31] Maria Dimaki and Peter Boggild. Dielectrophoresis of carbon nanotubes using microelectrodes: a numerical study. *Nanotechnology*, 15(8):1095, 2004.
- [32] Germarie Sánchez-Pomales and Carlos R. Cabrera. Vertical attachment of DNA–CNT hybrids on gold. *Journal of Electroanalytical Chemistry*, 606(1):47 – 54, 2007.
- [33] Tamir Gabay, Moti Ben-David, Itshak Kalifa, Raya Sorkin, Abrams Zeev, Eshel Ben-Jacob, and Yael Hanein. Electro-chemical and biological properties of carbon nanotube based multi-electrode arrays. *Nanotechnology*, 18(3):035201, 2007.
- [34] Xiaowei Yin, Qilong Wang, Chaogang Lou, Xiaobing Zhang, and Wei Lei. Growth of multi-walled CNTs emitters on an oxygen-free copper substrate by chemical-vapor deposition . *Applied Surface Science*, 254(20):6633 – 6636, 2008.
- [35] S. Wei, W.P. Kang, J.L. Davidson, and J.H. Huang. Supercapacitive behavior of CVD carbon nanotubes grown on Ti coated Si wafer. *Diamond and Related Materials*, 17(4–5):906 – 911, 2008. NDNC 2007 Proceedings of the International Conference on New Diamond and Nano Carbons 2007.

- [36] M. Heimann, F. Meissner, A. Schonecker, I. Endler, and K.-J. Wolter. Nano-scaled functional layers for current and heat transport in electronics packaging. In *Electronics System-Integration Technology Conference, 2008. ESTC 2008. 2nd*, pages 333–338, Sept 2008.
- [37] M. Shein, A. Greenbaum, T. Gabay, R. Sorkin, M. David-Pur, E. Ben-Jacob, and Y. Hanein. Engineered neuronal circuits shaped and interfaced with carbon nanotube microelectrode arrays. *Biomedical Microdevices*, 11(2):495–501, 2009.
- [38] Ke Wang, Harvey A. Fishman, Hongjie Dai, and James S. Harris. Neural Stimulation with a Carbon Nanotube Microelectrode Array. *Nano Letters*, 6(9):2043–2048, 2006.
- [39] B. Stamm, K. Schneider, T. Herrmann, M. Fleischer, C. Burkhardt, W. Nisch, D. P. Kern, and A. Stett. Carbon nanotube electrodes for neuronal recording and stimulation. In *8th Int. Meeting on Substrate-Integrated Microelectrode Arrays*, 2012.
- [40] M. Hughes, M.S.P. Shaffer, A.C. Renouf, C. Singh, G.Z. Chen, D.J. Fray, and A.H. Windle. Electrochemical Capacitance of Nanocomposite Films Formed by Coating Aligned Arrays of Carbon Nanotubes with Polypyrrole. *Advanced Materials*, 14(5):382–385, 2002.
- [41] Yi Lu, Tao Li, Xueqing Zhao, Mei Li, Yuliang Cao, Hanxi Yang, and Yanwen Y. Duan. Electrodeposited polypyrrole/carbon nanotubes composite films electrodes for neural interfaces. *Biomaterials*, 31(19):5169 – 5181, 2010.
- [42] Ramona Gerwig, Kai Fuchsberger, Birgit Schroepfel, Gordon Steve Link, Gerhard Heusel, Udo Kraushaar, Wolfgang Schuhmann, Alfred Stett, and Martin Stelzle. PEDOT-CNT Composite Microelectrodes for Recording and Electrostimulation Applications: Fabrication, Morphology, and Electrical Properties. *Frontiers in neuroengineering*, 5(8):1–8, 04 2012.
- [43] P. Thiébaud, C. Beuret, N.F. de Rooij, and M. Koudelka-Hep. Microfabrication of Pt-tip microelectrodes. *Sensors and Actuators B: Chemical*, 70(1–3):51 – 56, 2000. Special Issue in Memory of Professor Wolfgang Gopel.
- [44] Mihaela Kusko, Florea Craciunoiu, Bogdan Amuzescu, Ferdinand Halitzchi, Tudor Selescu, Antonio Radoi, Marian Popescu, Monica Simion, Adina Bragaru, and

- Teodora Ignat. Design, Fabrication and Characterization of a Low-Impedance 3D Electrode Array System for Neuro-Electrophysiology. *Sensors*, 12(12):16571–16590, 2012.
- [45] G. Charvet, L. Rousseau, O. Billoint, S. Gharbi, J.P. Rostaing, S. Joucla, M. Trevisiol, A. Bourgerette, P. Chauvet, C. Moulin, F. Goy, B. Mercier, M. Colin, S. Spirkevitch, H. Fanet, P. Meyrand, R. Guillemaud, and B. Yvert. BioMEA: A versatile high-density 3D microelectrode array system using integrated electronics. *Biosensors and Bioelectronics*, 25(8):1889 – 1896, 2010.
- [46] Brittany Branch, Jennifer L. Schei, Kateryna Artyushkova, Gautam Gupta, Andrew M. Dattelbaum, John S. George, and Dimiter N. Petsev. 3D Capacitive Sensor Array for Detection of Neural Responses. *ECS Journal of Solid State Science and Technology*, 3(2):N15–N21, 2014.
- [47] L. Sasso, P. Vazquez, V. Indumathi, C. L. Jaime, J. Emnéus, and W. E. Svendsen. Conducting Polymer 3D Microelectrodes. *Sensors*, 10(12):10986–11000, 2010.
- [48] J. Held, J. Heynen, A. Stumpf, W. Nisch, C. Burkhardt, and A. Stett. Micro Pillar Electrodes on MEAs for Tissue Stimulation. In *7th Int. Meeting on Substrate-Integrated Microelectrode Arrays*, pages 241–242, 2010.
- [49] Lutz Ewe. *Entwicklung und Charakterisierung CMOS-kompatibler, dreidimensionaler Mikro-Stimulationselektroden-Arrays*. PhD thesis, Universität Duisburg, 2000.
- [50] L. Martiradonna, L. Quarta, L. Sileo, A. Schertel, A. Maccione, A. Simi, S. Dante, A. Scarpellini, L. Berdondini, and M. De Vittorio. Beam induced deposition of 3D electrodes to improve coupling to cells. *Microelectronic Engineering*, 97(0):365 – 368, 2012. Micro- and Nano-Engineering (MNE) 2011, selected contributions: Part I.
- [51] A. M. M. Jani, D. Losic, and N. H. Voelcker. Nanoporous anodic aluminium oxide: Advances in surface engineering and emerging applications. *Progress in Materials Science*, 58(5):636 – 704, 2013.
- [52] Shashishekar P. Adiga, Chunmin Jin, Larry A. Curtiss, Nancy A. Monteiro-Riviere, and Roger J. Narayan. Nanoporous membranes for medical and biological

- applications. *Wiley Interdisciplinary Reviews: Nanomedicine and Nanobiotechnology*, 1(5):568–581, 2009.
- [53] Ralf Schmidt. Gravitationsgestützte Galvanik zur Erzeugung 3-dimensional kristallin strukturierter Oberflächen. *Elektronikpraxis. Online Journal*, 2006.
- [54] Dorothea Brüggemann. *Nanostrukturierte Metallelektroden zur funktionalen Kopplung an neuronale Zellen*. PhD thesis, Forschungszentrum Jülich GmbH, 2010.
- [55] H. Masuda and K. Fukuda. Ordered Metal Nanohole Arrays Made by a Two-Step Replication of Honeycomb Structures of Anodic Alumina. *Science*, 268(5216):1466–1468, 1995.
- [56] M. S. Sander, M. J. Coté, W. Gu, B. M. Kile, and C. P. Tripp. Template-Assisted Fabrication of Dense, Aligned Arrays of Titania Nanotubes with Well-Controlled Dimensions on Substrates. *Advanced Materials*, 16(22):2052–2057, 2004.
- [57] M. Knez, K. Nielsch, and L. Niinistö. Synthesis and Surface Engineering of Complex Nanostructures by Atomic Layer Deposition. *Advanced Materials*, 19(21):3425–3438, 2007.
- [58] Hyungjun Kim, Han-Bo-Ram Lee, and W.-J. Maeng. Applications of atomic layer deposition to nanofabrication and emerging nanodevices. *Thin Solid Films*, 517(8):2563 – 2580, 2009.
- [59] Woo-Hee Kim, Sang-Joon Park, Jong-Yeog Son, and Hyungjun Kim. Ru nanostructure fabrication using an anodic aluminum oxide nanotemplate and highly conformal Ru atomic layer deposition. *Nanotechnology*, 19(4):045302, 2008.
- [60] H. Shin, D.-K. Jeong, J. Lee, M. M. Sung, and J. Kim. Formation of TiO₂ and ZrO₂ Nanotubes Using Atomic Layer Deposition with Ultraprecise Control of the Wall Thickness. *Advanced Materials*, 16(14):1197–1200, 2004.
- [61] G. Triani, P. J. Evans, D. J. Attard, K. E. Prince, J. Bartlett, S. Tan, and R. P. Burford. Nanostructured TiO₂ membranes by atomic layer deposition. *J. Mater. Chem.*, 16:1355–1359, 2006.

- [62] Alex B. F. Martinson, Jeffrey W. Elam, Joseph T. Hupp, and Michael J. Pellin. ZnO Nanotube Based Dye-Sensitized Solar Cells. *Nano Letters*, 7(8):2183–2187, 2007.
- [63] M. Daub, M. Knez, U. Goesele, and K. Nielsch. Ferromagnetic nanotubes by atomic layer deposition in anodic alumina membranes. *Journal of Applied Physics*, 101(9):–, 2007.
- [64] J. Bachmann, M. Knez, S. Barth, H. Shen, Sa. Mathur, U. Gösele, and K. Nielsch. Ordered Iron Oxide Nanotube Arrays of Controlled Geometry and Tunable Magnetism by Atomic Layer Deposition. *Journal of the American Chemical Society*, 129(31):9554–9555, 2007.
- [65] Marten Rooth. *Metal Oxide Thin Films and Nanostructures Made by ALD*. PhD thesis, University of Uppsala, 2008.
- [66] Ching-Jung Yang, Shun-Min Wang, Shih-Wei Liang, Yung-Huang Chang, Chih Chen, and Jia-Min Shieh. Low-temperature growth of ZnO nanorods in anodic aluminum oxide on Si substrate by atomic layer deposition. *Applied Physics Letters*, 90(3):–, 2007.
- [67] Jaesung Yoon, Sangjoon Kim, and Kwangsoo No. Highly ordered and well aligned TiN nanotube arrays fabricated via template-assisted atomic layer deposition. *Materials Letters*, 87(0):124 – 126, 2012.
- [68] S. Galbiati, A. Morin, and N. Pauc. Supportless Platinum Nanotubes Array by Atomic Layer Deposition as PEM Fuel Cell Electrode. *Electrochimica Acta*, 125(0):107 – 116, 2014.
- [69] Wenjun Zhang, Teng Qiu, Xin-Ping Qu, and Paul K. Chu. Atomic layer deposition of platinum thin films on anodic aluminium oxide templates as surface-enhanced Raman scattering substrates . *Vacuum*, 89(0):257 – 260, 2013.
- [70] Tarek M. Abdel-Fattah, Diefeng Gu, and Helmut Baumgart. Atomic Layer Deposition Grown Hafnia Nanotubes Functionalized with Gold Nanoparticle Composites. *ECS Solid State Letters*, 2(4):P31–P34, 2013.

-
- [71] S. Hofmann, C. Ducati, J. Robertson, and B. Kleinsorge. Low-temperature growth of carbon nanotubes by plasma-enhanced chemical vapor deposition. *Applied Physics Letters*, 83(1):135–137, Jul 2003.
- [72] Huiyao Wang and John J. Moore. Low temperature growth mechanisms of vertically aligned carbon nanofibers and nanotubes by radio frequency-plasma enhanced chemical vapor deposition. *Carbon*, 50(3):1235 – 1242, 2012.
- [73] G. D. Nessim, M. Seita, K. P. O’ Brien, A. J. Hart, R. K. Bonaparte, R. R. Mitchell, and C. V. Thompson. Low Temperature Synthesis of Vertically Aligned Carbon Nanotubes with Electrical Contact to Metallic Substrates Enabled by Thermal Decomposition of the Carbon Feedstock. *Nano Letters*, 9(10):3398–3405, 2009.
- [74] Guan Yow Chen, Ben Jensen, Vlad Stolojan, and S.R.P. Silva. Growth of carbon nanotubes at temperatures compatible with integrated circuit technologies. *Carbon*, 49(1):280 – 285, 2011.
- [75] S. Santra, A. Syed, P. K. Guha, G. Zhong, J. Robertson, J. A. Covington, W. I. Milne, J. W. Gardner, and F. Udrea. Post-CMOS wafer level growth of carbon nanotubes for low-cost microsensors—a proof of concept. *Nanotechnology*, 21(48):485301, 2010.
- [76] K. Grella, S. Dreiner, H. Vogt, and U. Paschen. Reliability of CMOS on Silicon-on-Insulator for Use at 250 °C. *Device and Materials Reliability, IEEE Transactions on*, 14(1):21–29, March 2014.
- [77] S. M. Sze. *Physics of semiconductor devices*. Wiley, New York, 1981.
- [78] Kwok Ng. *Complete guide to semiconductor devices*. McGraw-Hill, New York, 1995.
- [79] R. H. Fowler and L. Nordheim. Electron Emission in Intense Electric Fields. *Proceedings of the Royal Society of London. Series A*, 119(781):173–181, 1928.
- [80] M Lenzlinger and EH Snow. Fowler-Nordheim Tunneling into Thermally Grown SiO₂. *Journal of Applied Physics*, 40(1):278–283, 1969.

- [81] G Pananakakis, G Ghibaudo, R Kies, and C Papadas. Temperature dependence of the Fowler–Nordheim current in metal-oxide-degenerate semiconductor structures. *Journal of applied physics*, 78(4):2635–2641, 1995.
- [82] M. R. Mac Pherson. The Adjustment of MOS Transistor Threshold Voltage by Ion Implantation. *Applied Physics Letters*, 18(11):502–504, 1971.
- [83] Thomas William Sigmon and Richard Swanson. MOS threshold shifting by ion implantation. *Solid-State Electronics*, 16(11):1217 – 1232, 1973.
- [84] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. T. Barrios, J. J. Liou, and C. Ho. Revisiting MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, 53(1):90 – 104, 2013.
- [85] Vishwas Jaju and Vikram Dalal. Silicon-on-insulator technology. *EE*, 530:1–12, 2004.
- [86] Jean-Pierre Colinge and J Colinge. *Silicon-on-insulator technology: materials to VLSI*, volume 3. Springer, 2004.
- [87] A.K. Goel and T.H. Tan. High-temperature and self-heating effects in fully depleted SOI MOSFETs. *Microelectronics Journal*, 37(9):963 – 975, 2006.
- [88] Fraunhofer IMS. *Design Manual H10 - 1,0 µm SOI CMOS Process for High Temperature Applications*, 0.4 edition, 08 2012.
- [89] André Hoeren. Charakterisierung von CMOS Bauelementen mit einer Hochtemperatur tauglichen Wolfram-Metallisierung für die direkte Post-CMOS Integration von Carbon Nanotubes (CNT). Master’s thesis, Universität Duisburg-Essen, Fakultät für Ingenieurwissenschaften, 2011.
- [90] Matts Rydberg and Ulf Smith. Long-term stability and electrical properties of compensation doped poly-Si IC-resistors. *Electron Devices, IEEE Transactions on*, 47(2):417–426, Feb 2000.
- [91] Ulrich Hilleringmann. *Silizium-Halbleitertechnologie: Grundlagen mikroelektronischer Integrationstechnik*. Vieweg+Teubner, 5., ergänzte und erweiterte Auflage. edition, 5 2008.

- [92] A. Jupe, A. Hoeren, A. Goehlich, H. Vogt, F. Meissner, and I. Endler. Direct integration of carbon nanotubes on CMOS with high-temperature tungsten metallization. In *Konferenz: Mikro-Nano-Integration - 4. GMM-Workshop*, 2012.
- [93] Arto Pakkala and Matti Putkonen. Chapter 8 - Atomic Layer Deposition. In Peter M. Martin, editor, *Handbook of Deposition Technologies for Films and Coatings (Third Edition)*, pages 364 – 391. William Andrew Publishing, Boston, third edition edition, 2010.
- [94] Xiu-Tian Xu, Yongdong; Yan. Introduction to Chemical Vapour Deposition. In *Chemical Vapour Deposition, Engineering Materials and Processes*, pages 1–28. Springer London, 2010.
- [95] L. Martinu, O. Zabeida, and J.E. Klemberg-Sapieha. Chapter 9 - Plasma-Enhanced Chemical Vapor Deposition of Functional Coatings. In Peter M. Martin, editor, *Handbook of Deposition Technologies for Films and Coatings (Third Edition)*, pages 392 – 465. William Andrew Publishing, Boston, third edition edition, 2010.
- [96] Riikka L. Puurunen. Surface chemistry of atomic layer deposition: A case study for the trimethylaluminum/water process. *Journal of Applied Physics*, 97(12):121301+, June 2005.
- [97] Riikka L. Puurunen, Hannu Kattelus, and Tuomo Suntola. Chapter 26 - Atomic Layer Deposition in MEMS Technology . In Veikko Lindroos, Markku Tilli, Ari Lehto, and Teruaki Motooka, editors, *Handbook of Silicon Based MEMS Materials and Technologies*, Micro and Nano Technologies, pages 433 – 446. William Andrew Publishing, Boston, 2010.
- [98] Cheol Hwang. *Atomic layer deposition for semiconductors*. Springer, New York, 2014.
- [99] Timo Hatanpää, Mikko Ritala, and Markku Leskelä. Precursors as enablers of ALD technology: Contributions from University of Helsinki. *Coordination Chemistry Reviews*, 257(23–24):3297 – 3322, 2013. Chemical Vapor Deposition and Atomic Layer Deposition: Precursor Design and Application.

- [100] Kaupo Kukli, Jaan Aarik, Aleks Aidla, Hele Siimon, Mikko Ritala, and Markku Leskelä. In situ study of atomic layer epitaxy growth of tantalum oxide thin films from $\text{Ta}(\text{OC}_2\text{H}_5)_5$ and H_2O . *Applied Surface Science*, 112(0):236 – 242, 1997.
- [101] Sang-Joon Park, Woo-Hee Kim, Han-Bo-Ram Lee, W.J. Maeng, and H. Kim. Thermal and plasma enhanced atomic layer deposition ruthenium and electrical characterization as a metal electrode. *Microelectronic Engineering*, 85(1):39 – 44, 2008.
- [102] T. Aaltonen. *Atomic Layer Deposition of Noble Metal Thin Films*. Titta Aaltonen, 2005.
- [103] F. Laermer, S. Franssila, L. Sainiemi, and K. Kolari. Chapter Twenty Three - Deep Reactive Ion Etching. In Veikko Lindroos, Markku Tilli, Ari Lehto, and Teruaki Motooka, editors, *Handbook of Silicon Based MEMS Materials and Technologies*, Micro and Nano Technologies, pages 349 – 374. William Andrew Publishing, Boston, 2010.
- [104] F. Marty, L. Rousseau, B. Saadany, B. Mercier, Y. Mita, and T. Bourouina. Advanced etching of silicon based on deep reactive ion etching for silicon high aspect ratio microstructures and three-dimensional micro- and nanostructures. *Microelectronics Journal*, 36(7):673 – 677, 2005. European Micro and Nano Systems EMN 2004.
- [105] Kane Miller, Mingxiao Li, Kevin M Walsh, and Xiao-An Fu. The effects of DRIE operational parameters on vertically aligned micropillar arrays. *Journal of Micromechanics and Microengineering*, 23(3):035039, 2013.
- [106] R. Bhattacharyya. Indigenous Ion Sources for Material Processing. *Defence Science Journal*, 59(4):377–394, 07 2009.
- [107] Ian G. [Hrsg.] Brown. *The physics and technology of ion sources*. Wiley-VCH, Weinheim, 2004.
- [108] J. M. E. Harper. Ion Beam Etching. In *Plasma etching*, chapter 6, pages 391–423. Academic Press, 1989.
- [109] Marcel Höwler. *Präparation und Charakterisierung von TMR-Nanosäulen*. PhD thesis, Technischen Universität Dresden, 11 2011.

-
- [110] Dehui Xu, Bin Xiong, Guoqiang Wu, Yuchen Wang, Xiao Sun, and Yuclin Wang. Isotropic Silicon Etching with XeF_2 Gas for Wafer-Level Micromachining Applications. *Journal of Microelectronic*, 21(6):1436–1444, 12 2012.
- [111] H. F. Winters and J. W. Coburn. The etching of silicon with XeF_2 vapor. *Applied Physics Letters*, 34(1):70–73, 1979.
- [112] and Oliver Paul Wolfgang Menz. *Mikrosystemtechnik für Ingenieure*. Wiley, 3 edition, 05 2012.
- [113] B. Subramanian, C.V. Muraleedharan, R. Ananthakumar, and M. Jayachandran. A comparative study of titanium nitride (TiN), titanium oxy nitride (TiON) and titanium aluminum nitride (TiAlN), as surface coatings for bio implants. *Surface and Coatings Technology*, 205(21-22):5014 – 5020, 2011.
- [114] M. Janders, U. Egert, M. Stelzle, and W. Nisch. Novel thin film titanium nitride micro-electrodes with excellent charge transfer capability for cell stimulation and sensing applications. In *Engineering in Medicine and Biology Society, 1996. Bridging Disciplines for Biomedicine. Proceedings of the 18th Annual International Conference of the IEEE*, volume 1, pages 245–247 vol.1, Oct 1996.
- [115] Wilfried Mokwa. 3.06 - Artificial Retinas. In Yogesh B. Gianchandani, Osamu Tabata, and Hans Zappe, editors, *Comprehensive Microsystems*, pages 201 – 217. Elsevier, Oxford, 2008.
- [116] A. Neumann, T. Reske, M. Held, K. Jahnke, C. Ragoß, and H.R. Maier. Comparative investigation of the biocompatibility of various silicon nitride ceramic qualities in vitro. *Journal of Materials Science: Materials in Medicine*, 15(10):1135–1140, 2004.
- [117] Tao Sun, Woo-Tae Park, John Wei Mong Tsang, Tack Boon Yee, and Minkyu Je. Cytocompatibility Assessment of Si, Plasma Enhanced Chemical Vapor Deposition-Formed SiO_2 and Si_3N_4 Used for Neural Prosthesis: A Comparative Study. *Nanoscience and Nanotechnology Letters*, 5(8):916–920, 2013-08-01T00:00:00.
- [118] M. Vogt and R. Hauptmann. Plasma-deposited passivation layers for moisture and water protection. *Surface and Coatings Technology*, 74-75, Part 2(0):676 – 681, 1995.

- [119] John M. Maloney, Sara A. Lipka, and Samuel P. Baldwin. In Vivo Biostability of CVD Silicon Oxide and Silicon Nitride Films. *MRS Proceedings*, 872, 1 2005.
- [120] Wolfgang Betz. *Flexible mikroelektromechanische Implantate für den chronischen Einsatz : Verkapselungskonzepte und Testverfahren für die Materialcharakterisierung*. PhD thesis, Universität Duisburg-Essen, 2011.
- [121] Michael Köhler. *Etching in Microsystem Technology*. Wiley-VCH, 1999.
- [122] Wayne Nelson. *Accelerated testing : statistical models, test plans and data analyses*. Wiley-Interscience, Hoboken, N.J, 2004.
- [123] M. S. Dresselhaus, G. Dresselhaus, and P. (Eds.) Avouris. *Carbon Nanotubes: Synthesis, Structure, Properties and Applications*. Springer, 2001.
- [124] Mukul Kumar and Yoshinori Ando. Chemical Vapor Deposition of Carbon Nanotubes: A Review on Growth Mechanism and Mass Production. *Journal of Nanoscience and Nanotechnology*, 10:3739–3758(20), 2010.
- [125] Jonathan N. Coleman, Umar Khan, Werner J. Blau, and Yurii K. Gun'ko. Small but strong: A review of the mechanical properties of carbon nanotube-polymer composites. *Carbon*, 44(9):1624 – 1652, 2006.
- [126] Eric W. Wong, Paul E. Sheehan, and Charles M. Lieber. Nanobeam Mechanics: Elasticity, Strength, and Toughness of Nanorods and Nanotubes. *Science*, 277(5334):1971–1975, 1997.
- [127] Teri Wang Odom, Jin-Lin Huang, Philip Kim, and Charles M. Lieber. Structure and Electronic Properties of Carbon Nanotubes. *The Journal of Physical Chemistry B*, 104(13):2794–2809, 2000.
- [128] S. Iijima et al. Helical microtubules of graphitic carbon. *nature*, 354(6348):56–58, 1991.
- [129] C.D. Scott, S. Arepalli, P. Nikolaev, and R.E. Smalley. Growth mechanisms for single-wall carbon nanotubes in a laser-ablation process. *Applied Physics A*, 72(5):573–580, 2001.
- [130] M. Meyyappan. *Carbon Nanotubes: Science and Applications*. CRC Press LLC, 2005.

-
- [131] Cheol Jin Lee, Jeunghye Park, Yoon Huh, and Jeong Yong Lee. Temperature effect on the growth of carbon nanotubes using thermal chemical vapor deposition. *Chemical Physics Letters*, 343(1–2):33 – 38, 2001.
- [132] Reza M. Malek Abbaslou, Jafar Soltan, and Ajay K. Dalai. The effects of carbon concentration in the precursor gas on the quality and quantity of carbon nanotubes synthesized by CVD method. *Applied Catalysis A: General*, 372(2):147 – 152, 2010.
- [133] Chao Liu, An jen Cheng, Maurice Clark, and Yonhua Tzeng. Effects of interfacial layers on thermal chemical vapour deposition of carbon nanotubes using iron catalyst. *Diamond and Related Materials*, 14:835 – 840, 2005.
- [134] Cheol Jin Lee, Jeunghye Park, and Jeong A Yu. Catalyst effect on carbon nanotubes synthesized by thermal chemical vapor deposition. *Chemical Physics Letters*, 360(3–4):250 – 255, 2002.
- [135] M. Chhowalla, K.B.K. Teo, C. Ducati, N.L. Rupesinghe, G.A.J. Amaratunga, AC. Ferrari, D. Roy, J. Robertson, and W.I Milne. Growth process conditions of vertically aligned carbon nanotubes using plasma enhanced chemical vapor deposition. *Journal of Applied Physics*, 90(10):5308–5317, Nov 2001.
- [136] J.K. Radhakrishnan, P.S. Pandian, V.C. Padaki, H. Bhusan, K.U.B. Rao, J. Xie, J.K. Abraham, and V.K. Varadan. Growth of multiwalled carbon nanotube arrays by chemical vapour deposition over iron catalyst and the effect of growth parameters . *Applied Surface Science*, 255(12):6325 – 6334, 2009.
- [137] Hou T. Ng, Bin Chen, Jessica E. Koehne, Alan M. Cassell, Jun Li, Jie Han, and M. Meyyappan. Growth of Carbon Nanotubes: A Combinatorial Method To Study the Effects of Catalysts and Underlayers. *The Journal of Physical Chemistry B*, 107(33):8484–8489, 2003.
- [138] Wei-Hung Chiang and R. Mohan Sankaran. Synergistic Effects in Bimetallic Nanoparticles for Low Temperature Carbon Nanotube Growth. *Advanced Materials*, 20(24):4857–4861, 2008.
- [139] C.C. Hsu, J.W. Coburn, and D.B. Graves. Etching of ruthenium coatings in O₂- and Cl₂-containing plasmas. *Journal of Vacuum Science Technology A: Vacuum, Surfaces, and Films*, 24(1):1–8, Jan 2006.

- [140] Kyoung-Tae Kim Kyu-Tae Lim, Dong-Pyo Kim and Chang-Il Kim. The Effect of CF_4 Addition on Ru Etching with Inductively Coupled Plasma. *Journal of the Korean Physical Society*, 42:829–832, 02 2003.
- [141] M. Knaut, M. Junige, V. Neumann, H. Wojcik, T. Henke, C. Hossbach, A. Hiess, M. Albert, and J. W. Bartha. Atomic layer deposition for high aspect ratio through silicon vias. *Microelectronic Engineering*, 107(0):80 – 83, 2013.
- [142] Do-Joong Lee, Sung-Soo Yim, Ki-Su Kim, Soo-Hyun Kim, and Ki-Bum Kim. Formation of Ru Nanotubes by Atomic Layer Deposition onto an Anodized Aluminum Oxide Template. *Electrochemical and Solid-State Letters*, 11(6):K61–K63, 2008.
- [143] R. Fröhlich, A. Rpzany, J. Riedmüller, A. Bolz, and M. Schaldach. Electroactive coating of stimulating electrodes. *Journal of Materials Science: Materials in Medicine*, 7(7):393–397, 1996.
- [144] Jennifer Lenz. *Kontrollierte Elektrodenstrukturierung für (bio)elektrochemische Anwendungen*. PhD thesis, Universität des Saarlandes, Postfach 151141, 66041 Saarbrücken, 2011.
- [145] Chen-Kuei Chung, Ming-Qun Tsai, Po-Hao Tsai, and Chiapyng Lee. Fabrication and characterization of amorphous Si films by PECVD for MEMS. *Journal of Micromechanics and Microengineering*, 15(1):136, 2005.
- [146] Stella Chang and Siva Sivoththaman. Development of a low temperature MEMS process with a PECVD amorphous silicon structural layer. *Journal of Micromechanics and Microengineering*, 16(7):1307, 2006.
- [147] Ciprian Ilescu and Bangtao Chen. Thick and low-stress PECVD amorphous silicon for MEMS applications. *Journal of Micromechanics and Microengineering*, 18(1):015024, 2008.
- [148] Jani Hämäläinen, Mikko Ritala, and Markku Leskelä. Atomic Layer Deposition of Noble Metals and Their Oxides. *Chemistry of Materials*, 26(1):786–801, 2014.
- [149] Ville Miikkulainen, Markku Leskelä, Mikko Ritala, and Riikka L. Puurunen. Crystallinity of inorganic films grown by atomic layer deposition: Overview and general trends. *Journal of Applied Physics*, 113(2):–, 2013.

-
- [150] Michael M. Steeves. *Electronic Transport Properties of Ruthenium and Ruthenium Dioxide Thin Films*. PhD thesis, University of Maine, 2011.
- [151] S. Bauer, P. Schmuki, K. von der Mark, and Park.J. Engineering biocompatible implant surfaces: Part I: Materials and surfaces. *Progress in Materials Science*, 58(3):261 – 326, 2013.
- [152] G. Ganske, E. Slavcheva, A. van Ooyen, W. Mokwa, and U. Schnakenberg. Sputtered platinum-iridium layers as electrode material for functional electrostimulation. *Thin Solid Films*, 519(11):3965–3970, 2011.
- [153] I. Lum, M. Mayer, and Y. Zhou. 8 - Microelectronics wire bonding. In Y. Zhou, editor, *Microjoining and Nanojoining*, Woodhead Publishing Series in Welding and Other Joining Technologies, pages 205 – 233. Woodhead Publishing, 2008.
- [154] Sun-Chul Kim and Young-Ho Kim. Review paper: Flip chip bonding with anisotropic conductive film (ACF) and nonconductive adhesive (NCA). *Current Applied Physics*, 13, Supplement 2(0):S14 – S25, 2013.
- [155] M. Jürgen Wolf, Gunter Engelmann, Lothar Dietrich, and Herbert Reichl. Flip chip bumping technology - Status and update. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 565(1):290 – 295, 2006.
- [156] K. I. Johnson C. J. Dawes and M. H. Scott. Ultrasonic ball/wedge bonding of aluminium wires. *Microelectronics Reliability*, 21(2), 1981.
- [157] G. Harman and J. Albers. The Ultrasonic Welding Mechanism as Applied to Aluminum-and Gold-Wire Bonding in Microelectronics. *Parts, Hybrids, and Packaging, IEEE Transactions on*, 13(4):406–412, Dec 1977.
- [158] N. Garg, L.S. Castleman, and C. D´Antonio. Diffusion of silicon in aluminum-rich alloy thin films. *Thin Solid Films*, 112(4):317 – 328, 1984.
- [159] A. Paccagnella, G. Ottaviani, P. Fabbri, G. Ferla, and G. Queirolo. Silicon diffusion in aluminium. *Thin Solid Films*, 128(3–4):217 – 223, 1985.
- [160] T. Hauser, E. Friedland, and S. R. Naidoo. Study of the diffusion behaviour of aluminium in silicon up to 900 °C by nuclear reaction analysis. *Nuclear In-*

- struments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 161–163(0):656 – 662, 2000.
- [161] Gautam Sarkar, S Mridha, Tan Tin Chong, Wu Yuen Tuck, and Sem Chi Kwan. Flip chip interconnect using anisotropic conductive adhesive. *Journal of Materials Processing Technology*, 89-90(0):484 – 490, 1999.
- [162] DELO. Datenblatt DELOMONOPOX AC268. Technical Report 17, DELO Industrie Klebstoffe, 02 2014.
- [163] Wolfgang Heiermann. *Entwicklung mikroelektronischer Kontaktierungsmethoden für Hochtemperatur-Anwendungen über 250 °C*. PhD thesis, Universität Duisburg-Essen, 2013.
- [164] T. Joseph Sahaya Anand, Chua Kok Yau, Yeow See Leong, Lim Weng Keat, and Hng May Ting. Microstructural and mechanical analysis of Cu and Au interconnect on various bond pads. *Current Applied Physics*, 13(8):1674 – 1683, 2013.
- [165] D. Martin Knotter, Ingrid A. Rink, Wim A.P. Claassen, and Jos H.M. Philipsen. Bond pad surface quality for reliable wire bonding. *Microelectronic Engineering*, 88(12):3452 – 3458, 2011. Advanced Gate Stack Technology 2008 {ISAGST} 2008.
- [166] C. H. Hamann and W. Vielstich. *Elektrochemie*. Wiley-VCH, Weinheim, 2005.
- [167] G. Schmeer. Vorlesung Elektrochemie, 06 2007. Universität Regensburg.
- [168] David C. Grahame. The Electrical Double Layer and the Theory of Electrocaperillarity. *Chemical Reviews*, 41(3):441–501, 1947.
- [169] Ramakrishna Venugopalan and Ray Ideker. Chapter II.5.10 - Bioelectrodes. In Buddy D. Ratner, Allan S. Hoffman, Frederick J. Schoen, and Jack E. Lemons, editors, *Biomaterials Science (Third Edition)*, pages 957 – 966. Academic Press, third edition edition, 2013.
- [170] Allen J. Bard and Larry R. Faulkner. *Electrochemical methods : fundamentals and applications*. Wiley, New York, second edition edition, 2001.

- [171] Christian Koch. *Herstellung und Charakterisierung einer vollständig implantierbaren epiretinalen Sehprothese*. PhD thesis, RWTH Aachen, 2011.
- [172] J. O. Zerbino, N. R. de Tacconi, and A. J. Arvía. The Activation and Deactivation of Iridium Electrodes in Acid Electrolytes. *Journal of The Electrochemical Society*, 125(8):1266–1276, 1978.
- [173] S. B. Brummer, L. S. Robblee, and F. T. Hambrecht. Criteria for selecting electrodes for electrical stimulation: Theoretical and practical considerations. *Annals of the New York Academy of Sciences*, 405(1):159–171, 1983.
- [174] S. Johnen, F. Meissner, T. Baltz, I. Endler, W. Mokwa, and P. Walter. Effects of Different Vertically Aligned Multiwalled Carbon Nanotubes on Viability and Growth Behavior of Retinal Precursor Cells. In *ARTIFICIAL VISION, The international symposium on visual prosthetics*, 2013.

Abkürzungsverzeichnis und Symbole

Abkürzungsverzeichnis

AAO	Anodic Aluminum Oxide
ACA	Anisotropic Conductive Adhesives
ALD	Atomic Layer Deposition
APCVD	Atmospheric Pressure Chemical Vapour Deposition
ARDE	Aspect Ratio Dependent Etching
AVT	Aufbau- und Verbindungstechnik
BEOL	Back-End-of-Line
BOX	Buried Oxide
CDC	Charge Delivery Capacity
CMOS	Complementary Metal Oxide Semiconductor
CMP	Chemical Mechanical Polishing
CNT	Carbon Nanotubes
CSC	Charge Storage Capacity
CV	Capacity Voltage
CV	Cyclic Voltammetry
CVD	Chemical Vapour Deposition
Die	Einzelner, ungehäuster Halbleiterchip
DRIE	Deep Reactive Ion Etching
DUT	Device Under Test
EMK	Elektromotorische Kraft
FEOL	Front-End-of-Line
FIB	Focussed Ion Beam
HMDS	Hexamethyldisilazan
IBE	Ion Beam Etching
IC	Integrated Circuit
ICP	Inductively Coupled Plasma
IHP	Inner Helmholtz Plane
ITO	Indium Tin Oxide

LPCVD	Low Pressure Chemical Vapour Deposition
Me	Metallelektrode
MEA	Multi-Elektroden-Array
MEMS	Micro Electro Mechanical Systems
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MWNT	Multi-Wall-Carbon-Nanotubes
NMOS	n-channel Metal Oxide Semiconductor
NMP	N-Methyl-2-pyrrolidon
OHP	Outer Helmholtz Plane
PBS	Phosphate Buffered Saline
PEB	Post Exposure Bake
PECVD	Plasma Enhanced Chemical Vapour Deposition
PEDOT	Poly-3,4-ethylenedioxythiophen
PMOS	p-channel Metal Oxide Semiconductor
PSG	Phosphorsilikatglas
PTFE	Polytetrafluorethylen
PVD	Physical Vapour Deposition
REM	Rasterelektronenmikroskop
RF	Radio frequency
RIE	Reactive Ion Etching
RTA	Rapid Thermal Annealing
SIROF	Sputtered Iridium Oxide Films
SOI	Silicon On Insulator
SWNT	Single-Wall-Carbon-Nanotubes
USG	Undopedsilikatglas
vaCNT	vertical aligned CNT

Symbole

Zeichen	Beschreibung
q	Ladung
χ_s	Elektronenaffinität des Halbleiters
χ_{ox}	Elektronenaffinität des Isolators
E_F	Ferminiveau
E_i	Bandmittenkante
E_V	Valenzband
E_C	Leitungsband
ψ_B	Differenz zwischen Ferminiveau und Bandmittenkante
ϕ_s	Austrittsarbeit des Halbleiters
ϕ_m	Austrittsarbeit des Metalls
V_{FB}	Flachbandspannung
V_{GS}	Gate-Source-Spannung
T	Temperatur
k_B	Boltzmann Konstante
N_A	Akzeptorkonzentration
n_i	intrinsische Ladungsträgerkonzentration
ε_s	Permittivität des Substrates
W_d	Weite der Raumladungszone
L	Kanallänge eines Transistors
W	Kanalweite eines Transistors
C_{ox}	Oxidkapazität
C_A	Gesamtkapazität
Q_m	Mobile Ladungsträger
Q_{ot}	Oxide Trap Sites
Q_f	Positive Oxide Charges
Q_{it}	Interface Trapped Charges
J_{FN}	Fowler-Nordheim-Strom
Q_{inv}	Ladung in der Inversionsschicht
t_r	Transitzeit
ν	Ladungsträgergeschwindigkeit

μ	Ladungsträgermobilität
\mathcal{E}	elektrische Feldstärke
I_D	Drainstrom
V_T	Schwellenspannung
V_{DS}	Drain-Source-Spannung
L_c	Gatelänge
$I_{D,sat}$	Sättigungsstrom
g_m	Transkonduktanz
$g_{m,sat}$	Transkonduktanz im Sättigungsbereich
A	Fläche
V_{Beam}	Beamspannung
V_{acc}	Beschleunigungsspannung
φ	Potential
$\rho(\mathbf{r})$	Ladungsverteilung
Q_{ij}	Quadrupolmoment
E_a	Aktivierungsenergie
T_B, T_P	Betriebs- und Prüftemperatur
$\mathbf{a}_1, \mathbf{a}_2$	Gittervektoren
\mathbf{C}_h	chiraler Vektor
θ	chiraler Winkel
Ψ	Rotationwinkel
τ	Translation
d_t	Durchmesser SWNT
a_{C-C}	Bindungsabstand zwischen zwei Kohlenstoff-Atomen
R_L	Leitungswiderstand
R_{NR}	Widerstand durch eine Nano-Röhre
ρ	Spezifischer Widerstand
l	Leiterlänge
R_{rms}	Rauheit
φ	elektrisches Potential
ζ	Zeta-Potential
n_0^0	Teilchendichte
z_i	Teilchenzahl
e_0	Elementarladung

κ^{-1}	Debye-Abstand
\mathbf{E}	elektrisches Feld
\hat{C}_D	Kapazität der starren Doppelschicht
\hat{C}_{diff}	Kapazität der diffusen Doppelschicht
η	Überspannung
j	Stromdichte
j_0	Austauschstromdichte
α	Durchtrittsfaktor
R	universelle Gaskonstante
F	Faraday-Konstante
n_e^-	Ladungszahl
R_D	Durchtrittswiderstand
ω	Frequenz
ϕ	Phasenwinkel
Z	Impedanz
v	Potentialanstiegsgeschwindigkeit, Scanrate
c^s	Oberflächenkonzentration
Δ_N	Dicke der Nernstschen Doppelschicht
J	Teilchenstromdichte
j_P	Peakstrom

Eigene Veröffentlichungen

Konferenzbeiträge im Zusammenhang mit dieser Dissertation

A. Jupe, A. Hoeren, A. Goehlich, H. Vogt, F. Meissner, and I. Endler. Direct integration of carbon nanotubes on CMOS with high-temperature tungsten metallization. In *Konferenz: Mikro-Nano-Integration - 4. GMM-Workshop*, 2012.

A. Jupe, A. Goehlich, H. Vogt, F. Meissner, and I. Endler. CMOS compatible, nanomodifizierte Multi-Elektroden-Arrays. In *Konferenz: Mikrosystemtechnik Kongress*, 2013.

Patente im Zusammenhang mit dieser Dissertation

H. Vogt, A. Goehlich, **A. Jupe**. Integrated sensor structure. Anmeldung: US 20130228-880 A1, 2013. Anmelder: Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung e.V.

A. Goehlich, **A. Jupe**, H. Vogt. Vorrichtung und Verfahren zur Herstellung einer Vorrichtung mit Mikro- oder Nanostrukturen. Anmeldung: DE 102014213390.4, 2014. Anmelder: Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung e.V.

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme (IMS). Mein Dank gilt allen Personen, die zum Gelingen dieser Arbeit beigetragen haben.

Zunächst gilt mein besonderer Dank Prof. Dr.-Ing. Holger Vogt für die Themenstellung, die engagierte Betreuung dieser Arbeit und für die Schaffung hervorragender Rahmenbedingungen. Prof. Dr. rer. nat. Wilfried Mokwa danke ich für die Übernahme des Zweitgutachtens und für sein Interesse an der Arbeit.

Bei Dr. Andreas Goehlich möchte ich mich für die konstruktive Unterstützung während der gesamten Promotionszeit bedanken. Seine Tür stand stets für fachliche Diskussionen und für neue Ideen offen.

Weiterhin gilt mein Dank Frank Meißner, Mario Krug und Dr. Ingolf Endler vom Fraunhofer-Institut für Keramische Technologien und Systeme (IKTS) für die Synthese der Kohlenstoff-Nanoröhren auf den Proben. Nadine Winkin vom Institut für Werkstoffe der Elektrotechnik der RWTH-Aachen danke ich für viele fachliche Diskussionen und für die Probenpräparation der Gold-, Platin-, Iridium- und Iridiumoxid-Schichten. Claudia Etzkorn und Dr. Sandra Johnen gilt mein Dank für die Untersuchungen der Biokompatibilität.

Meinem Kollegen Martin Stühlmeyer danke ich herzlich für die Unterstützung bei prozesstechnischen Fragestellungen. Pierre Gembaczka und Dr. Wolfgang Heiermann gilt mein Dank für fachliche Diskussionen zum Thema Aufbau- und Verbindungstechnik. Für die zahlreichen Versuche zu ALD-Beschichtungen gebührt mein Dank Dorothee Dietz und Dr. Yusuf Celik. Ich danke auch alle anderen Kollegen der Abteilung TFE für die ausgezeichnete Zusammenarbeit.

Daniel Holko, André Hoeren und Andreas Schmidt danke ich für ihre Unterstützung bei Messaufgaben.

Für die engagierte Durchführung von REM-Untersuchungen möchte ich meinen Dank an Marina Wirtz richten. Allen Mitarbeitern des Labors für Mikrosystemtechnik des Fraunhofer IMS danke ich für den tatkräftigen Einsatz bei der Organisation, Ausbau und Wartung des Labors.

Ein Extra-Dank gilt allen Personen, die beim Korrekturlesen mitgewirkt haben.

Dank gebührt insbesondere meinen Eltern und Geschwistern, die meine wissenschaftliche Ausbildung während des Studiums und der Promotion immer durch Zuspruch und Aufmunterung unterstützt haben.