



UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Departament d'Enginyeria Electrònica

CONTRIBUCIÓN AL ESTUDIO DE LAS INTERFERENCIAS ELECTROMAGNÉTICAS CONDUCIDAS EN CIRCUITOS INTEGRADOS

Tesis doctoral presentada como requisito parcial para la obtención del título de Doctor por la Universitat Politècnica de Catalunya, dentro del Programa de Doctorado en Ingeniería Electrónica.

Néstor Berbel Artal

Director: Dr. Raúl Fernández García

Co-Director: Dr. Ignacio Gil Galí

Abril 2015

A mis padres.

“The greats (painters) weren't great because at birth they could paint.

The greats were great cause they paint a lot.”

[*“Ten Thousand Hours”* - Macklemore & Ryan Lewis]

AGRADECIMIENTOS

Me gustaría dar las gracias por la ayuda y dedicación a mis directores de tesis Dr. Raúl Fernández y Dr. Ignacio Gil. También me gustaría agradecer a la Dra. Sonia Ben Dhia y al Dr. Alexander Boyer por la posibilidad que me ofrecieron de hacer una estancia en el INSA de Toulouse. A Dr. Etienne Sicard, Dr. Binhong Li, Dr. Jianfei Wu, Christophe Lemoine, Joan Lauga, Rajiv Hotchandani y Cristina Nogué que contribuyeron a que mi estancia allí fuera más amena.

A toda la gente del grupo de investigación TIEG y, en extensión, del Departamento de Ingeniería Electrónica de la Universidad Politècnica de Catalunya por el apoyo que siempre recibo. Especial mención a Daniel Pérez, Antoni Salvador, Joan Carles Pineda y Ricard Picas.

A Juan Mon y Jordi Zaragoza por la amistad que nos une.

También quiero dedicar este trabajo a mis hermanos Ernesto Baeza, Marc Gelis, Marc Vidal, Guillem Zaragoza, Ivan Malagueta, Xavier Lobo, Joan Gelis y Santiago Valenciano.

Finalmente, a mis padres, Juan Manuel y Georgina. Sin su apoyo y amor, hoy esto no sería posible. A mis tíos, primos y el resto de la familia por su cariño. Os quiero. Y a mis abuelos Manuel, Isabel y María, que me vigilan allí donde estén.

A CONTRIBUTION TO THE STUDY OF CONDUCTED ELECTROMAGNETIC INTERFERENCES ON INTEGRATED CIRCUITS

ABSTRACT

This thesis is focused on the conducted Electromagnetic Interference generated at Integrated Circuit (IC) Level. Recently, several electrical models have been proposed in order to describe EMI at IC level, but they have several limitations. The first drawback is that these electrical models do not take into account the wear-out mechanisms on the EMI behaviour.

The wear-out mechanisms are due to the dielectric degradation when an electric stress is applied to the oxide gate. Due to this degradation, the MOSFET characteristics are shifted. Therefore, the evaluation of wear-out mechanisms allow the designers, during the IC design, to predict the circuit behaviour along its lifetime. However, the impact of these wear-out mechanisms on the conducted EMI drift at IC level has not been deeply investigated. Hence, one of the aims of this thesis will be focused on the impact of wear-out mechanisms in signal integrity and conducted EMI at IC level.

Moreover, current integrated circuits have a high operation frequency. Thus, the electromagnetic noise induced on those devices presents a higher harmonic content. For this reason, the electronics industry requires electrical models to predict high frequency conducted emissions. In this sense, the other aim of this thesis will be focused on expanding the current EMI models beyond 1 GHz.

The IC behaviour may be affected by temperature, as well as conducted emission levels. Therefore, the proposed electrical model will take into account the impact of temperature.

The experimental results have been obtained with three integrated circuits, two of them are specific test chip designed by **Freescale Semiconductor, Inc.**, and the third IC is a commercial circuit of **Maxim Integrated Circuits**.

This document is structured in four chapters. Chapter 1 describes the main wear-out mechanisms and the electromagnetic compatibility at IC level. The different EMI produced at IC are explained. Also, it describes aging methods to characterize the impact of wear-out mechanisms on MOS devices. Furthermore, the EMI characterization methods are explained and different EMC electrical models are described. To confirm the accuracy of the EMC models, the “*Feature Selective Validation*” (FSV) technique has been used. On this chapter, the FSV method and its application on computational electromagnetism is detailed. The chapter ends with the state of the art on wear-out mechanisms and EMI at IC level.

Chapter 2 analyzes the IC reliability. The IC aging of the MOSFET I-V curve characteristics is studied, for further EMI characterization of the impact of wear-out mechanisms. The experimental results are presented at the end of Chapter 2.

Chapter 3 presents an electrical model to characterize the conducted emissions of an IC up to 3 GHz. This electrical model considers the impact of temperature. The proposed model is validated with experimental results and verified with the FSV method.

Chapter 4 summarizes the conclusions of the thesis and the main contributions. In addition, a list of the publications derived from this thesis is included. Finally, the chapter presents the lines for future research.

The present thesis has been developed in the Department of Electronic Engineering of the Universitat Politècnica de Catalunya (UPC), within the research group Terrassa Industrial Electronic Group (TIEG). This research is also part of the activities of three administration supported competitive projects: TEC2009-09994, TEC2010-18550 and AGAUR 2009 SGR 142.

CONTRIBUCIÓN AL ESTUDIO DE LAS INTERFERENCIAS ELECTROMAGNÉTICAS CONDUCIDAS EN CIRCUITOS INTEGRADOS

RESUMEN

Esta tesis se centra en el estudio de las interferencias electromagnéticas (“*Electromagnetic Interferences*” o EMI) conducidas generadas a nivel de circuito integrado (CI). En la actualidad, existen modelos eléctricos para describir las EMI conducidas a nivel de CI, pero presentan ciertas limitaciones. La primera de ellas es que estos modelos no tienen en cuenta el impacto de los mecanismos de degradación sobre las EMI.

Los mecanismos de degradación aparecen por el deterioro del dieléctrico debido al estrés eléctrico aplicado en el óxido de puerta. Estos mecanismos producen la variación de las características eléctricas de los dispositivos MOS. El estudio de estos efectos permite predecir, durante la etapa inicial del diseño, su impacto durante el tiempo de vida de los CI. Sin embargo, hasta la fecha, no se han llevado a cabo estudios del efecto de los mecanismos de degradación en las EMI conducidas a nivel de CI. Por lo tanto, uno de los primeros objetivos de la tesis será caracterizar el impacto de los mecanismos de degradación en la integridad de la señal y en las EMI conducidas a nivel de CI.

Asimismo, los CI tienen una frecuencia de funcionamiento cada vez mayor, de modo que el ruido electromagnético generado por estos dispositivos tiene un contenido armónico de más alta frecuencia. Es por esto que conviene tener modelos eléctricos que permitan modelizar las EMI de alta frecuencia. El segundo objetivo de la tesis consiste en modelizar las EMI conducidas más allá de la frecuencia de 1 GHz ya que los modelos actuales son válidos hasta esta frecuencia.

La temperatura de funcionamiento del CI puede afectar al comportamiento del mismo, así como a los niveles de las emisiones conducidas. Por lo tanto será de interés que el modelo propuesto tenga en cuenta el impacto de la temperatura, ya que los modelos actuales únicamente son válidos para una temperatura de funcionamiento.

La validación experimental se ha llevado a cabo sobre tres circuitos integrados, dos de ellos diseñados específicamente para este estudio por la empresa **Freescale Semiconductor, Inc.** y el tercer CI es un circuito comercial de **Maxim Integrated Circuits.**

Este documento se compone de cuatro capítulos. El capítulo 1 empieza con la descripción de los principales mecanismos de degradación y de la compatibilidad electromagnética a nivel de circuito integrado. Se detallan las diferentes interferencias electromagnéticas que pueden producirse a nivel de circuito integrado. Se procede con la descripción de los métodos acelerados de envejecimiento para caracterizar el impacto de los mecanismos de degradación en los dispositivos MOS. Se continúa con una explicación de los métodos para caracterizar las EMI y la presentación de diferentes modelos EMC para su modelización. Para la validación de los estos modelos EMC se hace uso del método "*Feature Selective Validation*" (FSV). En este capítulo se da explicación al método FSV y su aplicación en el electromagnetismo computacional. Para finalizar el capítulo, se describe el estado actual de la investigación en el campo de los mecanismos de degradación y de las EMI a nivel de CI.

En el capítulo 2 se analiza la fiabilidad de los CI. Se estudia el impacto de los mecanismos de degradación en el comportamiento de los transistores, para posteriormente estudiar el impacto de estos mecanismos en las EMI. El capítulo 2 se complementa con los resultados experimentales obtenidos en el laboratorio.

El capítulo 3 se centra en la caracterización y el modelado de las EMI en los circuitos integrados. Se propone un modelo eléctrico para caracterizar las interferencias electromagnéticas conducidas hasta los 3 GHz y el impacto de la

temperatura en las emisiones conducidas. El modelo propuesto es comprobado con medidas experimentales y verificado con el método FSV.

Por último, el capítulo 4 resume las conclusiones de la tesis y las principales contribuciones. Además, en este capítulo se presenta las líneas de investigación futuras.

Esta tesis se ha desarrollado dentro de una de las líneas de investigación del Grupo de Electrónica Industrial de Terrassa ("*Terrassa Industrial Electronics Group*" - TIEG), dentro del marco del proyecto de investigación TEC2009-09994, TEC2010-18550 y AGAUR 2009 SGR 142.

Índice

AGRADECIMIENTOS	VII
ABSTRACT	IX
RESUMEN	XI
ÍNDICE	XV
LISTA DE FIGURAS	XIX
LISTA DE TABLAS	XXV
LISTA DE ABREVIATURAS Y ACRÓNIMOS	XXVII
CAPÍTULO 1.	1
1 INTRODUCCIÓN	1
1.1 Mecanismos de degradación e Interferencias Electromagnéticas en circuitos integrados.	2
1.1.1 Mecanismos de degradación en CI.	3
1.1.2 Clasificación de las interferencias electromagnéticas	4
1.2 Métodos de caracterización.	7
1.2.1 Métodos de caracterización de los mecanismos de degradación.	8
1.2.2 Métodos de caracterización para EMC.	12
1.3 Estándar para modelizar la EMC	15
1.4 Métodos de validación de los modelos electromagnéticos: FSV.	21

1.5	Estado del arte.	24
1.5.1	Efecto de los mecanismos de degradación en circuitos integrados.	24
1.5.2	Modelizado EMI.	29
CAPÍTULO 2.		35
2	ROBUSTEZ ELECTROMAGNÉTICA	35
2.1	Impacto de los mecanismos de degradación a nivel de dispositivo MOS.	36
2.1.1	Circuito integrado Elmer02.	36
2.1.2	Sistema de caracterización para estudiar el Impacto de los mecanismos de degradación.	39
2.1.3	Resultados experimentales	40
2.1.3.1	Impacto de HCl.	40
2.1.3.2	Impacto del NBTI.	48
2.2	Impacto del NBTI en un inversor CMOS.	51
2.2.1	Montaje experimental.	51
2.2.2	Resultados experimentales.	52
2.2.2.1	Impacto del NBTI sobre el transistor MOSFET.	53
2.2.2.2	Impacto del NBTI sobre el inversor CMOS.	54
2.2.2.3	Impacto del NBTI sobre el comportamiento EMC.	60
2.3	Análisis de las EMI en condiciones de envejecimiento.	63
2.3.1	Circuito integrado Elmer22.	63
2.3.1.1	Sensor de tensión integrado.	65
2.3.1.2	Bloque de entradas y salidas digitales.	68
2.3.1.3	Núcleo digital.	68

2.3.2	Resultados experimentales	70
2.3.2.1	Resultados experimentales del bloque de entradas y salidas digitales.	70
2.3.2.2	Resultados experimentales en los núcleos digitales.	74
2.4	Conclusiones.	80
CAPÍTULO 3.		83
3	PROPUESTA DE MODELADO DE EMI DE ALTA FRECUENCIA EN CIRCUITOS INTEGRADOS.	83
3.1	Extensión en frecuencia de modelos de emisiones conducidas	86
3.1.1	Red de distribución pasiva de la PCB.	86
3.1.2	Red de distribución pasiva del CI.	89
3.1.3	Actividad interna.	90
3.1.4	Resultados experimentales y validación del modelo.	91
3.2	Impacto de la temperatura.	103
3.2.1	Resultados experimentales y validación del modelo.	104
3.3	Conclusiones.	115
CAPÍTULO 4.		117
4	CONCLUSIONES Y FUTURA INVESTIGACIÓN.	117
4.1	Conclusiones	118
4.2	Principales contribuciones derivadas de la tesis.	120
4.3	Líneas de investigación futura.	121
5	REFERENCIAS.	123

Lista de Figuras

Fig. 1. 1. Diafonía debida a una impedancia en modo común.....	5
Fig. 1. 2. Diafonía debido a la presencia de un campo eléctrico entre ambos conductores.	6
Fig. 1. 3. Diafonía debido a la presencia de un campo magnético entre ambos conductores.	6
Fig. 1. 4. Dos inversores compartiendo la línea de alimentación. (a) Esquema de conexionado de los dos inversores (b) Evolución de la tensión de alimentación cuando se produce una conmutación.....	7
Fig. 1. 5. Diagrama de flujo del método de envejecimiento HCI.....	9
Fig. 1. 6. Corriente de sustrato en función de la tensión de puerta para definir la $V_{G STRESS}$ [11].	10
Fig. 1. 7. Diagrama de flujo del método de envejecimiento NBTI.....	11
Fig. 1. 8. Tensiones aplicadas al dispositivo MOS.....	12
Fig. 1. 9. Método de medida $1 \Omega / 150 \Omega$ recogido en la directiva IEC 61967-4.	14
Fig. 1. 10. Método de medida DPI (“ <i>Direct Power Injection</i> ”) recogida en la directiva IEC 62132 – 4.	14
Fig. 1. 11. Algoritmo para realizar el test de susceptibilidad DPI.....	15
Fig. 1. 12. Modelo IBIS de la entrada de un CI.....	16
Fig. 1. 13. Modelo IBIS de la salida de un CI.....	17
Fig. 1. 14. Modelo LECCS.....	18
Fig. 1. 15. Macro modelo del CI.	20
Fig. 1. 16. Componentes que describen el ICEM-CE.	20
Fig. 1. 17. Algoritmo para la extracción del modelo ICEM-CE.....	21
Fig. 1. 18. Método FSV	23
Fig. 1. 19. Variación de la corriente de saturación en función del tiempo de estrés debido al HCI [25].	25

Fig. 1. 20. Curvas características del inversor después de BD. (a) Para estrés positivo en la entrada del inversor (b) Para estrés negativa en la entrada del inversor [30]	26
Fig. 1. 21. Corriente consumida y frecuencia del oscilador en anillo [31].	27
Fig. 1. 22. Evolución de la tensión de máxima ganancia en función de la frecuencia de la señal de estrés [33].	28
Fig. 1. 23. Impacto del NBTI en (a) tensión umbral del transistor, degradación en (b) función de la capacidad de carga, (c) del “Slew Rate” y (d) de la tensión de alimentación de la puerta lógica [34].	29
Fig. 1. 24. Corriente consumida por el microcontrolador ejecutando la suma de dos valores [36].	30
Fig. 1. 25. Modelo ICEM-CE de un microcontrolador PIC [37].	31
Fig. 1. 26. Circuito equivalente del microprocesador genérico [39].	32
Fig. 1. 27. Modelo eléctrico del encapsulado de un CI [40]	33
Fig. 2. 1. Circuito integrado Elmer02 en (a) oblea para medidas con las puntas de prueba y (b) CI encapsulado en el SOIC28.	37
Fig. 2. 2. Transistores MOSFET en el CI Elmer02.	38
Fig. 2. 3. Disposición de los terminales de los transistores MOSFET en el CI Elmer02.	39
Fig. 2. 4. Sistema de caracterización para estudiar el mecanismo de degradación HCl o NBTI.	40
Fig. 2. 5. Curva característica I_D - V_{DS} para varios tiempos de estrés y varias V_{GS}	43
Fig. 2. 6. Curva característica I_D - V_{GS} para varios tiempos de estrés.	43
Fig. 2. 7. Comparación entre las medidas y el modelo Sakurai-Newton para el componente sin estresar.	44
Fig. 2. 8. Comparación entre las medidas y el modelo Sakurai-Newton transcurridos 700 s de estrés.	44
Fig. 2. 9. Variación de la conductancia de drenador (λ) en función del tiempo de estrés.	45
Fig. 2. 10. Variación de la tensión umbral (V_{TH}) en función del tiempo de estrés.	45

Fig. 2. 11. Variación del parámetro n en función del tiempo de estrés.....	46
Fig. 2. 12. Variación del parámetro B en función del tiempo de estrés.	46
Fig. 2. 13. Variación del parámetro m en función del tiempo de estrés.....	47
Fig. 2. 14. Variación del parámetro K en función del tiempo de estrés.	47
Fig. 2. 15. Variación de la tensión umbral debido al NBTI en el transistor “ <i>High Voltage Long</i> ”.....	50
Fig. 2. 16. Variación de la tensión umbral debido al NBTI en el transistor “ <i>High Voltage Short</i> ”.	50
Fig. 2. 17. Variación de la tensión umbral debido al NBTI en el transistor “ <i>Low Voltage Long</i> ”.....	51
Fig. 2. 18. Tensión aplicada a cada terminal durante el estrés en (a) el transistor MOSFET de canal P y (b) en el inversor CMOS.....	52
Fig. 2. 19. Característica I_D - V_{GS} del transistor MOSFET de canal P para diferentes tiempos de estrés.	53
Fig. 2. 20. Variación de la tensión umbral del transistor MOSFET de canal P.....	53
Fig. 2. 21. Curva característica del inversor CMOS medida para diferentes tiempos de estrés.	55
Fig. 2. 22. Variación de la tensión de máxima ganancia en función del tiempo de estrés.	56
Fig. 2. 23. Márgenes de ruido del inversor CMOS en función del tiempo de estrés.	58
Fig. 2. 24. Corriente consumida para diferentes tiempos de estrés.	59
Fig. 2. 25. Variación de la corriente máxima consumida en función del tiempo de estrés.	59
Fig. 2. 26. Tensión de salida del inversor CMOS para diferentes tiempos de estrés cuando se inyecta a la entrada una señal cuadrada.....	60
Fig. 2. 27. Corriente consumida por el inversor CMOS para diferentes tiempos de estrés cuando se inyecta a la entrada una señal cuadrada.	61
Fig. 2. 28. Variación de la corriente consumida máxima en función del tiempo de estrés.....	61
Fig. 2. 29. Curva característica del inversor CMOS con y sin EMI.....	62
Fig. 2. 30. Variación de la tensión de máxima ganancia en función del tiempo de estrés para diferentes EMI.	63

Fig. 2. 31. Circuito integrado Elmer22.....	64
Fig. 2. 32. Placa de circuito impreso para el CI Elmer22.....	64
Fig. 2. 33. Principio para la reconstrucción de la señal muestreada [49].....	67
Fig. 2. 34. Arquitectura del sensor en el CI [49].....	68
Fig. 2. 35. Esquema del núcleo digital.....	69
Fig. 2. 36. Evolución de la corriente de saturación del (a) transistor MOSFET de canal N y (b) del transistor MOSFET de canal P.....	71
Fig. 2. 37. Evolución del (a) tiempo de subida y del (b) tiempo de bajada del bloque digital de entradas y salidas en función del tiempo de estrés.	72
Fig. 2. 38. Cambio en las interferencias electromagnéticas conducidas del bloque de entradas y salidas digitales después de 240 minutos con una tensión de estrés de 6,5 V.	73
Fig. 2. 39. Cambio en las interferencias electromagnéticas conducidas del bloque de entradas y salidas digitales después de 120 minutos con una tensión de estrés de 7,0 V.	73
Fig. 2. 40. Cambio en el tiempo de propagación del núcleo digital 1 para diferentes condiciones de estrés.	75
Fig. 2. 41. Cambio en la tensión de alimentación en el núcleo digital 1 después de 240 minutos a una tensión de estrés de 3,0 V.....	76
Fig. 2. 42. Cambio en la tensión de alimentación en el núcleo digital 1 después de 120 minutos a una tensión de estrés de 3,6 V.....	77
Fig. 2. 43. Evolución de las EMI conducidas del primer núcleo digital antes y después del estrés eléctrico de 3 V y 4 V	78
Fig. 2. 44. Rizado de la tensión de alimentación después de dos tipos de estrés eléctrico.....	79
Fig. 2. 45. Variación de las EMI conducidas de los cuatro núcleos digitales después de un estrés eléctrico de 3,6 V y de duración 120 minutos.	80
Fig. 3. 1. Bloques principales del modelo propuesto de emisiones conducidas.....	86

Fig. 3. 2. Configuración del analizador de redes para la medición de impedancias.(a) Medidas a un puerto y medidas a dos puertos en (b) conexión “ <i>Shunt</i> ” o (c) en conexión serie. [56]	88
Fig. 3. 3. Método de medida de la PDN IC.	89
Fig. 3. 4. Configuración para medir la IA.....	90
Fig. 3. 5. Placa de circuito impreso del DS1088.	92
Fig. 3. 6. Diagrama de bloques de la PCB con el DS1088.	93
Fig. 3. 7. Red de distribución pasiva (PDN) de las pistas “ <i>Microstrip</i> ” de los terminales de alimentación V_{CC1} y V_{CC2}	93
Fig. 3. 8. Red de distribución pasiva (PDN) de las pistas “ <i>Microstrip</i> ” de los terminales de alimentación V_{SS1} y V_{SS2}	94
Fig. 3. 9. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{CC}	94
Fig. 3. 10. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{SS}	95
Fig. 3. 11. Modelo ICEM-CE del CI DS1088.....	96
Fig. 3. 12. Red de distribución pasiva de la PCB y del CI.	97
Fig. 3. 13. Impedancia de entrada del terminal de alimentación V_{CC1}	98
Fig. 3. 14. Impedancia de entrada del terminal de alimentación V_{SS1}	98
Fig. 3. 15. Histograma GDM obtenido del análisis FSV de los datos de la Fig. 3. 13. y Fig. 3. 14.	100
Fig. 3. 16. Medidas de la corriente externa y modelo de la corriente externa: (a) Impedancia de la red de sensado de 1Ω y (b) impedancia de la red de sensado de 10Ω	102
Fig. 3. 17. Histograma GDM obtenido del análisis FSV de la medida de la corriente externa, el modelo de la corriente externa y el modelo ICEM-CE de la corriente externa.....	103
Fig. 3. 18. Montaje experimental para caracterizar y modelizar el impacto de la temperatura en las emisiones conducidas	104
Fig. 3. 19. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{CC1}	105
Fig. 3. 20. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{SS1}	105

Fig. 3. 21. Impedancia de entrada de la PCB y CI a través del terminal de alimentación V_{CC1} .	106
Fig. 3. 22. Impedancia de entrada del CI a través del terminal de alimentación V_{SS1} .	107
Fig. 3. 23. Resultado experimental de la corriente I_{EXT} para (a) Temperatura ambiente (293 K) y (b) 358 K.	108
Fig. 3. 24. Modelo eléctrico completo de la PCB y del CI.	110
Fig. 3. 25. Impedancia promedio de entrada de la PCB y CI a través del terminal de alimentación V_{CC1} .	112
Fig. 3. 26. Impedancia promedio de entrada de la PCB y CI a través del terminal de alimentación V_{SS1} .	112
Fig. 3. 27. Simulación de la corriente externa I_{EXT} para (a) 345 K y (b) 355 K.	113
Fig. 3. 28. Resultados experimentales de la corriente externa I_{EXT} para (a) 345 K y (b) 355 K.	114
Fig. 3. 29. Histograma GDM obtenido del análisis FSV de la medida de la corriente externa y el modelo de la corriente externa para 345 K y 355 K.	115

Lista de Tablas

Tabla 1. 1. Estándar de interés para la medida de EMC (Emisiones y susceptibilidad).	13
Tabla 1. 2. Directiva IEC 62014.	17
Tabla 1. 3. Directiva IEC 62433.	19
Tabla 2. 1. Bloques principales del CI Elmer02	38
Tabla 2. 2. Tipo de transistores MOSFET de canal N medidos y tensiones de estrés aplicadas.	42
Tabla 2. 3. Tipo de transistores MOSFET de canal P medidos y tensiones de estrés aplicadas.	49
Tabla 2. 4. Bloques principales del CI Elmer22	65
Tabla 2. 5. Condensadores de desacoplo para cada núcleo.....	70
Tabla 2. 6. Medidas experimentales de los condensadores de desacoplo y del rizado de la tensión de alimentación en los núcleos digitales.....	74
Tabla 3. 1. Capacitancias e inductancias de los elementos de la PDN de la PCB.	95
Tabla 3. 2. Valores de los componentes de la PDN del CI.....	99
Tabla 3. 3. Valores de los componentes de la PDN de la PCB y de la PDN del CI.....	111

Lista de Abreviaturas y Acrónimos

ADM: Amplitude Difference Measure

ASCII: American Standard Code for Information Interchange

ASIC: Application-Specific Integrated Circuit

CI: Circuito Integrado

CMOS: Complementary Metal Oxide Semiconductor

DPI: Direct Power Injection

DUT: Device Under Test

EDA: Electronic Design Automation

ESD: Electrostatic Discharge

EMC: Electromagnetic Compatibility

EMI: Electromagnetic Interference

FDM: Feature Difference Measure

FPGA: Field Programmable Gate Array

FSV: Feature Selective Validation

GDM: Global Difference Measure

HCI: Hot Carrier Injection

IA: Internal Activity

IBC: Inter-Block Component

IBIS: Input / Output Buffer Information Specification

IC: Integrated Circuit

ICEM: Integrated Circuit Electromagnetic Model

ICIM: Integrated Circuit Immunity Model

IEC: International Electrotechnical Commission

IEEE: Institute of Electrical and Electronics Engineers

LECCS: Linear Equivalent Circuit and Current Source

LQFP: Low-profile Quad Flat Package

LSI: Low Scale Integration

MOS: Metal Oxide Semiconductor

MOSFET: Metal Oxide Semiconductor Field Effect Transistor

NBTI: Negative-Bias Temperature Instability

PCB: Printed Circuit Board

PDN: Passive Distribution Network

RF: Radio Frecuencia

SRAM: Static Random Access Memory

SOIC: Small Outline Integrated Circuit

TDDDB: Time-dependent dielectric breakdown

VNA: Vector Network Analyzer.

**Capítulo
1.**

Introducción

En este capítulo se introducen los conceptos básicos tratados en esta tesis. En particular, se hace una descripción de los principales mecanismos de degradación que aparecen en la tecnología CMOS y los métodos de caracterización de éstos. Del mismo modo, se pormenorizan las interferencias electromagnéticas (EMI), haciendo hincapié en las EMI conducidas a nivel de circuito integrado (CI), su caracterización y los modelos eléctricos para predecir el comportamiento. El capítulo incluye la explicación del método “*Feature Selective Validation*” (FSV), el cual se utiliza para la validación de los modelos propuestos. El capítulo finaliza con un repaso de los principales trabajos realizados en el ámbito de los mecanismos de degradación a nivel de circuito electrónico y de las interferencias electromagnéticas conducidas.

1.1 Mecanismos de degradación e Interferencias Electromagnéticas en circuitos integrados.

Los sistemas electrónicos actuales, como los convertidores electrónicos de potencia, o los dispositivos electrónicos digitales (ASICs, FPGA, microcontroladores, etc) producen variaciones bruscas de tensión o corriente en cortos intervalos de tiempo, inferiores a los 100 ns. Estas variaciones bruscas de tensión o corriente, originan la aparición de señales con grandes di/dt y dv/dt , las cuales generan interferencias electromagnéticas. En este caso, se habla de compatibilidad electromagnética o EMC (*“Electromagnetic Compatibility”*) a nivel de sistema.

Desde la aparición de los primeros CI, el tamaño de los transistores se ha ido reduciendo, debido al avance tecnológico de las últimas décadas en la industria microelectrónica. La reducción del tamaño del dieléctrico y del terminal de puerta de los dispositivos MOS, así como el incremento del dopado del canal son ejemplos del avance tecnológico que se ha producido en los dispositivos microelectrónicos [1]. Por un lado, dicho escalado de los dispositivos ha permitido aumentar la complejidad de los CI y, por otro lado, utilizar la tecnología CMOS para comunicaciones de radiofrecuencia (tecnología RF-CMOS).

Esta continua reducción de las dimensiones de los dispositivos MOS ha dado origen a un conjunto de mecanismos de fallo, originados principalmente por el aumento del campo eléctrico en el interior del dispositivo y por efectos cuánticos, por lo que el funcionamiento de los sistemas digitales se ha visto afectado.

En este contexto, la reducción del tamaño de los transistores ha permitido que el número de transistores MOSFET por CI haya aumentado considerablemente. En el funcionamiento de los sistemas digitales a nivel de CI, los transistores MOSFET conmutan y como consecuencia de esta conmutación se produce un consumo de corriente. Este consumo de corriente por parte de los CI, produce un ruido de conmutación o *“switching noise”*. Al aumentar la capacidad de integración de los CI, el ruido de conmutación aumenta. Este ruido generado puede acoplarse a otros CI de forma conducida (en forma de señal de tensión o de corriente) o de forma radiada (en

forma de campo eléctrico o magnético) y su contenido armónico se puede extender hasta frecuencias del orden de los GHz

Asimismo, la mayor capacidad de integración de transistores MOSFET por CI ha originado la reducción de la tensión de alimentación, con el objetivo que la potencia consumida se mantenga constante y no aumente. Esta reducción de la tensión de alimentación implica una reducción de los márgenes de ruido, lo cual hace más susceptible al circuito integrado a interferencias externas, lo que produce que las EMI adquieran una mayor relevancia.

En este contexto de bajas tensiones de alimentación, reducción de la fiabilidad, aumento de las comunicaciones inalámbricas y mayor ruido de conmutación, se deriva una mayor susceptibilidad de los CI a las EMI y, por tanto, el estudio de la EMC ha adquirido una especial relevancia [2, 3].

1.1.1 Mecanismos de degradación en CI.

Existen tres principales mecanismos de degradación debido a la reducción de los transistores MOSFET: la inyección de portadores calientes o "*Hot Carrier Injection*" (HCI) [4], la ruptura dieléctrica o "*Time Dependent Dielectric Breakdown*" (TDDB) [5] y la inestabilidad con la temperatura negativa o "*Negative Bias Temperature Instability*" (NBTI) [6].

La inyección de portadores calientes se origina cuando los portadores que fluyen a través del canal alcanzan un determinado nivel de energía cinética. Una parte de estos portadores calientes alcanzan la suficiente energía (energía superior al umbral de 3,7 eV si se trata de Si-SiO₂) para que sean inyectados en el óxido de puerta, produciéndose el deterioro del funcionamiento del transistor MOSFET. Para el caso de transistores MOSFET de canal N, los portadores calientes son electrones, mientras que en los transistores MOSFET de canal P son los huecos. Al tener los electrones una mayor movilidad que los huecos, los "*Hot Carriers*" se ponen de manifiesto, principalmente, en los transistores MOSFET de canal N.

La ruptura dieléctrica o TDDB se produce por la pérdida de las propiedades dieléctricas del óxido de puerta. Para explicar este proceso se han desarrollado múltiples modelos, siendo el más aceptado el modelo por percolación [7, 8]. Según este modelo, al aplicar un estrés eléctrico sobre el óxido de puerta, se generan defectos (o trampas) [9] de forma aleatoria, tanto en la interfaz Si / SiO₂ como en el volumen del óxido. Cuando se alcanza una densidad crítica de estas trampas se forma un camino de alta conductividad entre la puerta y el substrato, de manera que el óxido de puerta pierde sus propiedades aislantes; se dice entonces que el óxido se ha roto y se ha producido la ruptura dieléctrica. La ruptura dieléctrica puede ser suave, o “*Soft Breakdown*” (SBD) [10], o fuerte, denominada “*Hard Breakdown*” (HBD), dependiendo del grosor del óxido. La diferencia entre ambas rupturas es la resistividad del camino conductor formado.

La inestabilidad con la temperatura negativa o NBTI se atribuye a la aparición de cargas positivas en el óxido y trampas en la interfaz de la estructura MOS. La aparición de carga positiva en los estados interfaciales ocurre tanto en los transistores MOSFET de canal N como de canal P. Sin embargo, el efecto es más notable en los transistores MOSFET de canal P.

1.1.2 Clasificación de las interferencias electromagnéticas

La compatibilidad electromagnética asociada a los CI se puede clasificar como extra-chip EMC, cuando se trata de problemas debidos a interferencias externas, o intra-chip EMC, si las interferencias ocurren dentro del mismo CI.

Las principales interferencias intra-chip son la diafonía o “*crosstalk*” y el ruido de conmutación. La diafonía se produce cuando una señal de corriente o de tensión se acopla a otro conductor. Normalmente, la diafonía se expresa en dB según (1.1.).

$$Crosstalk = 20 \cdot \log_{10} \left| \frac{V_{SEÑAL\ ACOPLADA}}{V_{SEÑAL\ FUENTE}} \right| [dB] \quad (1.1.)$$

En los CI, existen tres tipos de diafonía: el originado a impedancia en modo común, el acoplamiento por campo eléctrico y el acoplamiento por campo magnético. La diafonía debida a la impedancia en modo común se da cuando dos conductores comparten la línea de masa o referencia, tal y como se observa en la Fig. 1. 1. Debido a la impedancia en modo común (R_{REF}) aparece una tensión común a ambos circuito.

La diafonía por acoplamiento de campo eléctrico se produce cuando entre dos conductores se origina un campo eléctrico. Se puede modelizar este acoplamiento mediante un condensador entre ambos conductores. Un ejemplo de este acoplamiento se observa en la Fig. 1. 2. en la que el campo eléctrico induce una corriente en el circuito víctima.

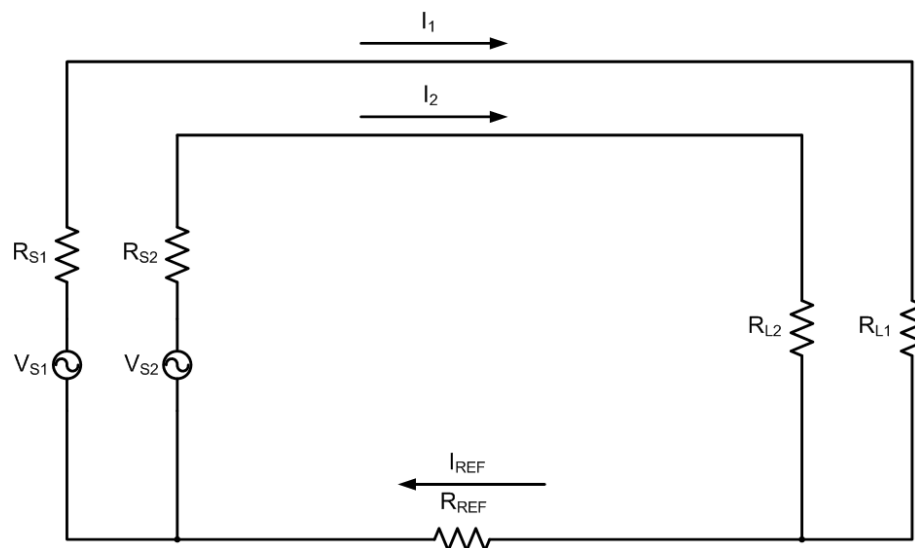


Fig. 1. 1. Diafonía debida a una impedancia en modo común.

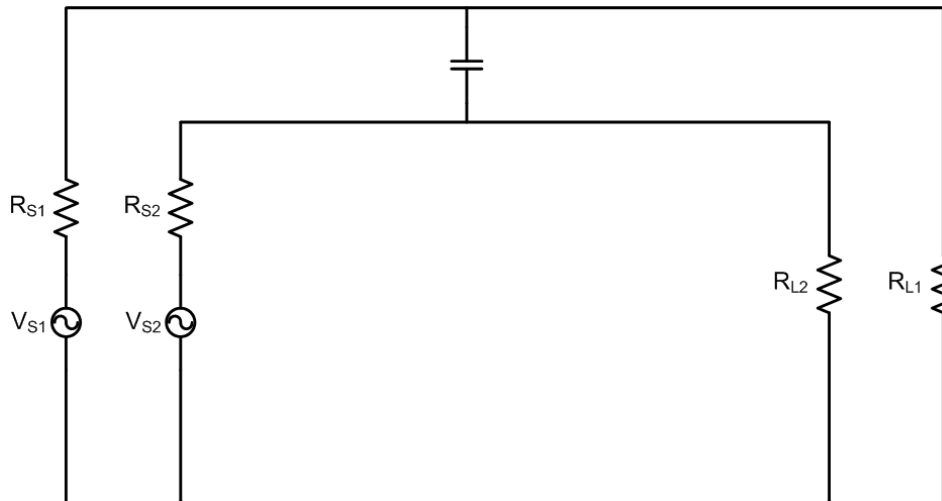


Fig. 1. 2. Diafonía debido a la presencia de un campo eléctrico entre ambos conductores.

Por último, la diafonía debida a campo magnético se produce cuando se induce dicho campo en un conductor debido a que existe una circulación de corriente variante con el tiempo. Este campo magnético induce en el segundo conductor una tensión proporcional a la derivada de la corriente que circula por el primer conductor. Tal y como se observa en la Fig. 1. 3., este tipo de diafonía se modeliza como el acoplamiento entre el primario y secundario de un transformador.

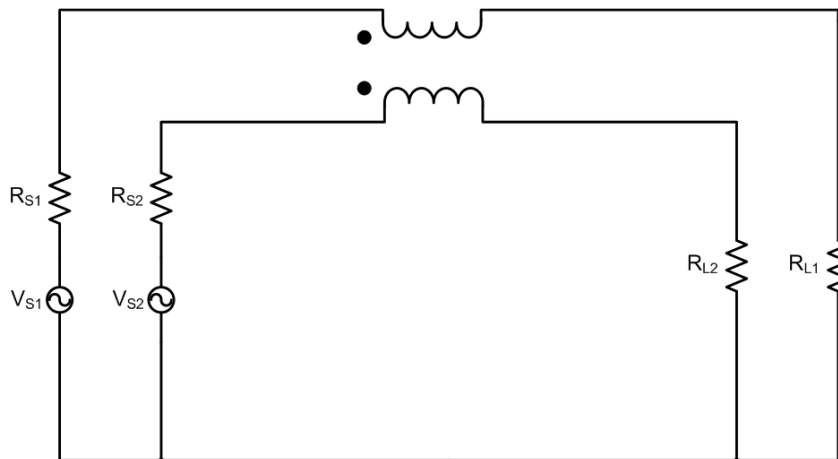


Fig. 1. 3. Diafonía debido a la presencia de un campo magnético entre ambos conductores.

El otro problema de las interferencias a nivel de intra-chip es el ruido de conmutación que se origina cuando varios sistemas electrónicos en un mismo circuito integrado comparten la línea de alimentación. Cuando un circuito absorbe corriente

de la línea de alimentación, se produce una caída de la tensión de alimentación debido a las resistencias parásitas de conexionado. Esta caída de tensión afecta a todos los circuitos conectados a esta línea de alimentación, pudiéndose producir errores en el funcionamiento de los mismos. En la Fig. 1. 4a se ilustra el concepto del ruido de conmutación. Se muestra dos inversores CMOS compartiendo la línea de alimentación que presenta una resistencia de alimentación de R_{DD} más R_{SS} . Cuando se produce la transición de un inversor de un estado bajo a un estado alto, se produce un consumo de corriente, que provoca una variación en la tensión de alimentación del otro inversor debido a R_{DD} y R_{SS} (Fig. 1. 4b)

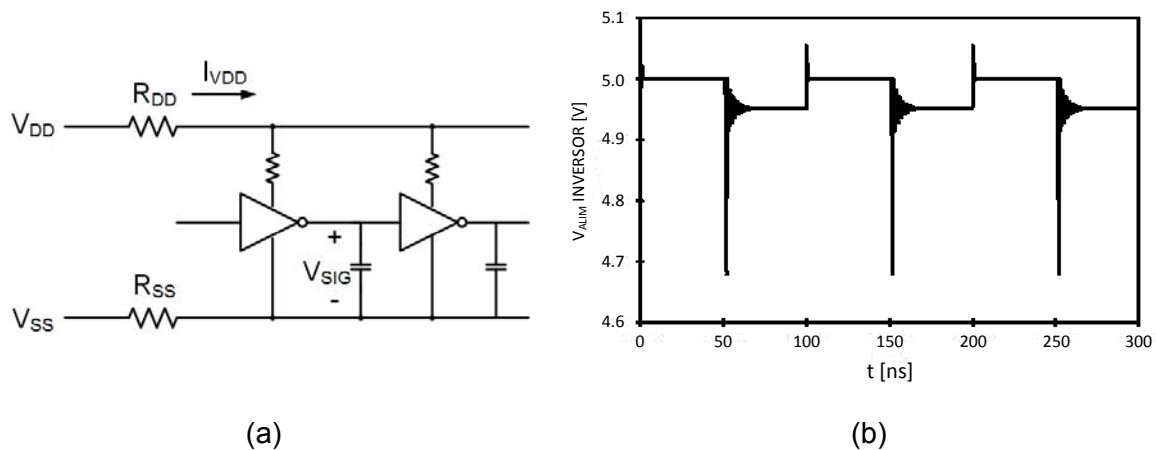


Fig. 1. 4. Dos inversores compartiendo la línea de alimentación. (a) Esquema de conexionado de los dos inversores (b) Evolución de la tensión de alimentación cuando se produce una conmutación.

1.2 Métodos de caracterización.

La caracterización a nivel de ingeniería consiste en la determinación de los atributos de un proceso o sistema. En el presente apartado se explican los métodos seguidos para la caracterización, tanto de los mecanismos de degradación como de las EMI.

1.2.1 Métodos de caracterización de los mecanismos de degradación.

El efecto de los mecanismos de degradación se observa bajo condiciones nominales de funcionamiento transcurrido un tiempo elevado. Por lo tanto, para acortar el tiempo de aparición de los mecanismos de degradación, se aplican estrés acelerados a los dispositivos MOS. De este modo y con el objetivo de estudiar el impacto de los mecanismos de degradación a nivel de transistor MOS, se han desarrollado métodos de envejecimiento acelerado para caracterizar el impacto debido al HCI, NBTI o TDDB.

El método de envejecimiento empleado para estimar el tiempo de fallo debido al mecanismo de degradación HCI es el que se muestra en la Fig. 1. 5. El primer paso que se debe hacer es determinar las condiciones de estrés óptimas. Posteriormente, un dispositivo MOS se selecciona y se obtienen las curvas características del dispositivo. Las condiciones de estrés optimizadas se aplican al dispositivo durante un intervalo de estrés determinado. Después de cada intervalo de estrés, se vuelven a obtener las curvas características del dispositivo. El ciclo de test-estrés continúa hasta que el tiempo de estrés se cumple o se alcanza un grado de degradación determinado.

Antes de empezar el estrés para estudiar el envejecimiento debido al fenómeno HCI, se deben establecer las tensiones de estrés, tanto en el terminal de drenador como en el de puerta. Para asegurarse que las condiciones de estrés son las adecuadas, la tensión drenador-surtidor debe ser inferior al 90% de la tensión drenador-surtidor de ruptura [11].

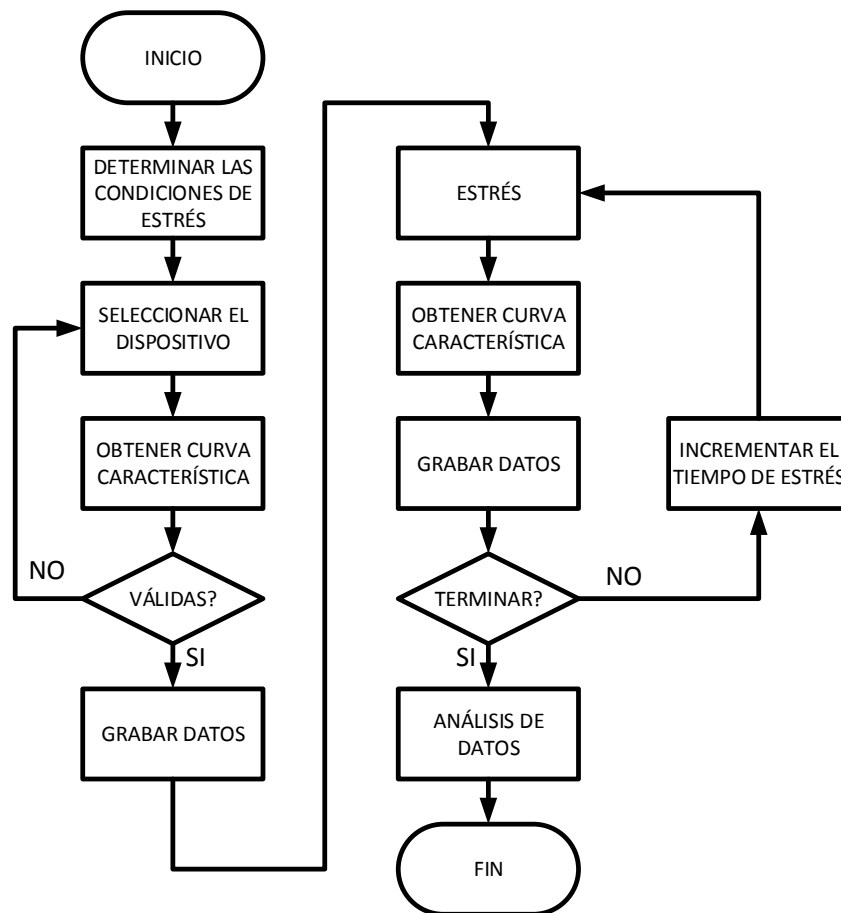


Fig. 1. 5. Diagrama de flujo del método de envejecimiento HCI.

Para una tensión de drenador-surtidor de estrés determinada, la tensión de puerta de estrés se elige para maximizar la degradación del dispositivo debido a los portadores calientes. Para los transistores MOSFET de canal N, la degradación máxima se produce cuando la tensión de puerta ($V_{G|STRESS}$) es tal que la corriente de sustrato o corriente de “bulk” es máxima. Para el ejemplo de la Fig. 1. 6., la tensión puerta-surtidor de estrés es de 1,821 V.

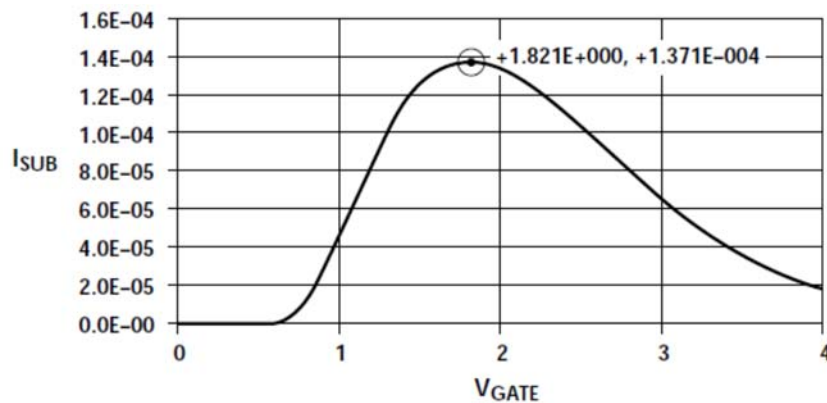


Fig. 1. 6. Corriente de sustrato en función de la tensión de puerta para definir la $V_{G|STRESS}$ [11].

Tras obtener la curva característica, el dispositivo se estresa con las condiciones de estrés anteriormente obtenidas durante un tiempo específico. Los tiempos de estrés son acumulativos y normalmente logarítmicos, por ejemplo, 10 s, 30 s, 100 s, 300s, etc. Para cada tiempo de estrés, las curvas características del dispositivo se miden y se graban para el posterior análisis.

Para estudiar el envejecimiento de los dispositivos MOS debido al mecanismo de degradación NBTI, se hace uso, entre otros, del método MSM (*“Measurement Stress Measurement”*) [12]. Este método consiste en medir la característica del transistor MOSFET; a continuación se le aplica el estrés al dispositivo y como último paso se vuelve a medir la característica del transistor. Para obtener la variación de la tensión umbral del transistor, se obtiene la característica I_D-V_{GS} y a partir de este gráfico se obtiene el valor de la tensión umbral (V_{TH}). El principal inconveniente de este método es el retardo entre el estrés y la medida de la corriente de drenador, el cual afecta a la lectura de ΔV_{TH} , debido a las propiedades de recuperación.

Para evitar este efecto, el método de medida *“On-The-Fly”*, propuesto por Denais [13], elimina el tiempo de no estrés realizando una única medida de la corriente de drenador, la cual está directamente relacionada con el parámetro de interés.

En la Fig. 1. 7. se muestra el método de envejecimiento empleado para estimar el tiempo de fallo debido al mecanismo de degradación NBTI. Primeramente, se procede a obtener la curva característica corriente de drenador en función de la tensión puerta-

surtidor, fijando la tensión del terminal de surtidor a la tensión nominal de funcionamiento del transistor MOSFET de canal P y la tensión del terminal de drenador se fija a la tensión del terminal de surtidor menos 50 mV (Fig. 1. 8.). A partir de la curva característica I_D - V_{GS} , se extrae la tensión umbral del dispositivo MOS.

Existen diversos métodos para extraer la tensión umbral de un transistor MOS, los cuales están recogidos en [14]. Para extraer la variación de la corriente de drenador debida al NBTI se aplica una tensión drenador-surtidor de -50 mV y una tensión puerta-surtidor igual a la tensión umbral extraída.

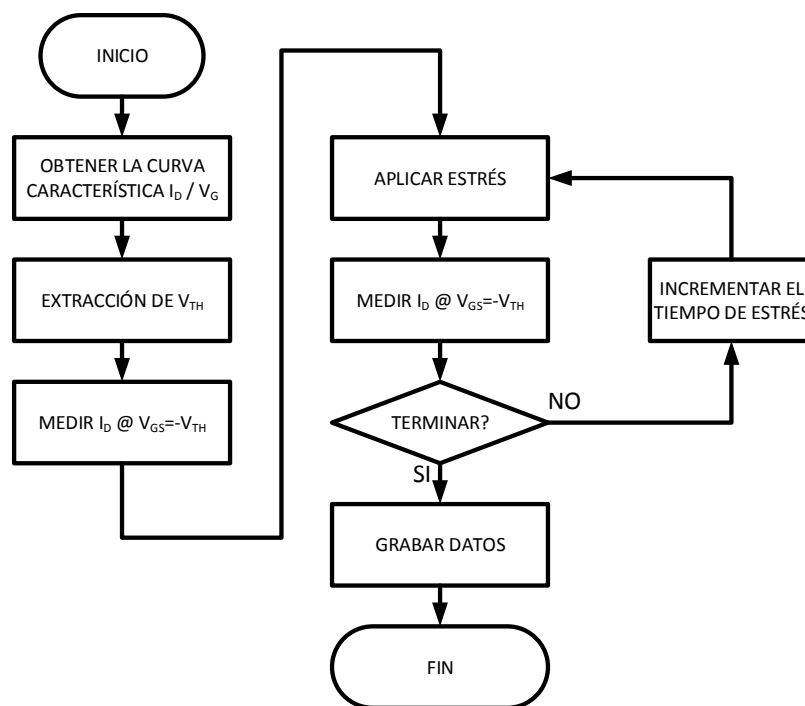


Fig. 1. 7. Diagrama de flujo del método de envejecimiento NBTI.

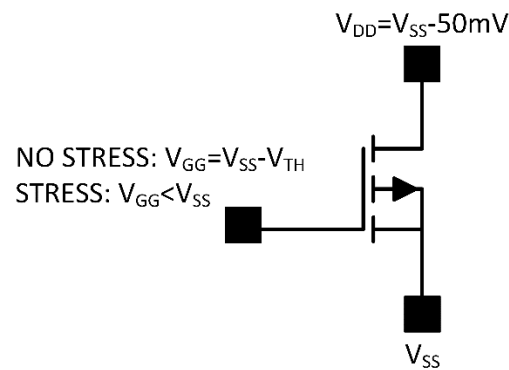


Fig. 1. 8. Tensiones aplicadas al dispositivo MOS.

El método de envejecimiento aplicado para medir el impacto del TDDB consiste en aplicar una tensión de estrés entre la puerta y surtidor del dispositivo MOS y medir a intervalos regulares la corriente que circula por el terminal de puerta. El instante en el cual la corriente de puerta aumenta de forma abrupta determina la ruptura del dieléctrico de puerta.

Estos métodos de envejecimiento permiten determinar el tiempo de fallo del dispositivo bajo unas condiciones de estrés determinadas, para posteriormente extrapolar los resultados a las condiciones de funcionamiento habituales. De este modo, se puede estimar cuándo un sistema digital dejará de tener la funcionalidad deseada.

1.2.2 Métodos de caracterización para EMC.

La EMC se ha convertido en una de las principales causas del rediseño de CI, principalmente debido a los métodos de diseño inadecuados, la falta de experiencia en la reducción de ruidos parásitos y la mejora de la inmunidad de los mismos. La IEC (*“International Electrotechnical Commission”*) es un organismo internacional de normalización en los campos eléctrico, electrónico y tecnologías relacionadas. Este organismo es el responsable de varias normas para caracterizar y modelizar tanto las interferencias electromagnéticas conducidas como la susceptibilidad, ambas a nivel de CI [15].

A lo largo de los últimos años se han establecido directivas IEC que indican cómo realizar las medidas de las EMI en los CI, tanto para radiadas como conducidas. La directiva IEC 61967 recoge el procedimiento para realizar las medidas de emisiones electromagnéticas y la IEC 62132 recoge el procedimiento para realizar las medidas de inmunidad. La Tabla 1. 1. resume las directivas de interés del IEC, utilizados en la presente tesis.

Tabla 1. 1. Estándar de interés para la medida de EMC (Emisiones y susceptibilidad).	
IEC 61967 – Medidas de emisiones electromagnéticas hasta 1 GHz	
<i>Estándar</i>	<i>Descripción</i>
IEC 61967 – 1	Definiciones
IEC 61967 - 4	1 Ω / 150 Ω
IEC 62132 – Medidas de inmunidad electromagnética hasta 1 GHz	
<i>Estándar</i>	<i>Descripción</i>
IEC 62132 – 1	Definiciones
IEC 62132 – 4	DPI o “Direct power injection”

La directiva IEC 61967 – 4 [16] explica cómo medir las EMI conducidas, mediante el método 1 Ω / 150 Ω . Este método de medida consiste en añadir una resistencia de valor 1 Ω en serie con el terminal a medir las EMI conducidas, tal y como se observa en la Fig. 1. 9. Se añade una resistencia de valor 49 Ω en serie con el analizador de espectros para que la impedancia equivalente observada por el instrumento de medida sea de 50 Ω .

La directiva IEC 62132 – 4 [17] describe el test de medida de susceptibilidad DPI o “Direct Power Injection”, en el cual se inyecta una señal perturbación de RF en uno de los terminales del CI a través de una red de desacoplamiento, tal y como se muestra en la Fig. 1. 10. Para medir la potencia inyectada se hace uso de un acoplador bidireccional, que permite medir la potencia incidente así como la potencia reflejada. Según la directiva IEC 62132 – 4, el sistema debe de estar bien adaptado para evitar reflexiones de las señales.

La propia directiva describe cuál es el algoritmo que se debe seguir para hacer el test de susceptibilidad DPI, el cual se muestra en la Fig. 1. 11. Para cada paso de frecuencia, la potencia inyectada se aumenta hasta una potencia máxima especificada por el usuario o hasta que se produzca el fallo del dispositivo.

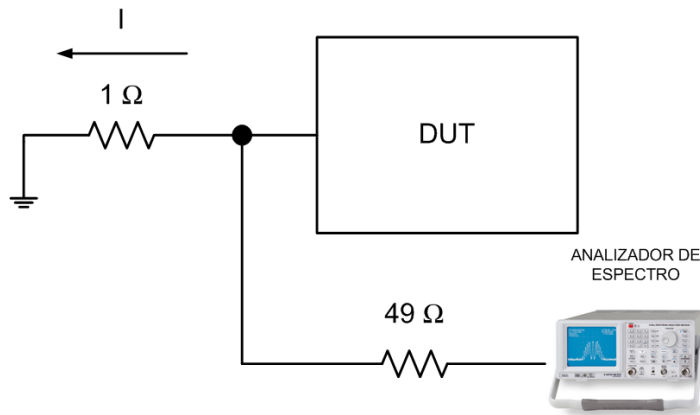


Fig. 1. 9. Método de medida 1 Ω / 150 Ω recogido en la directiva IEC 61967-4.

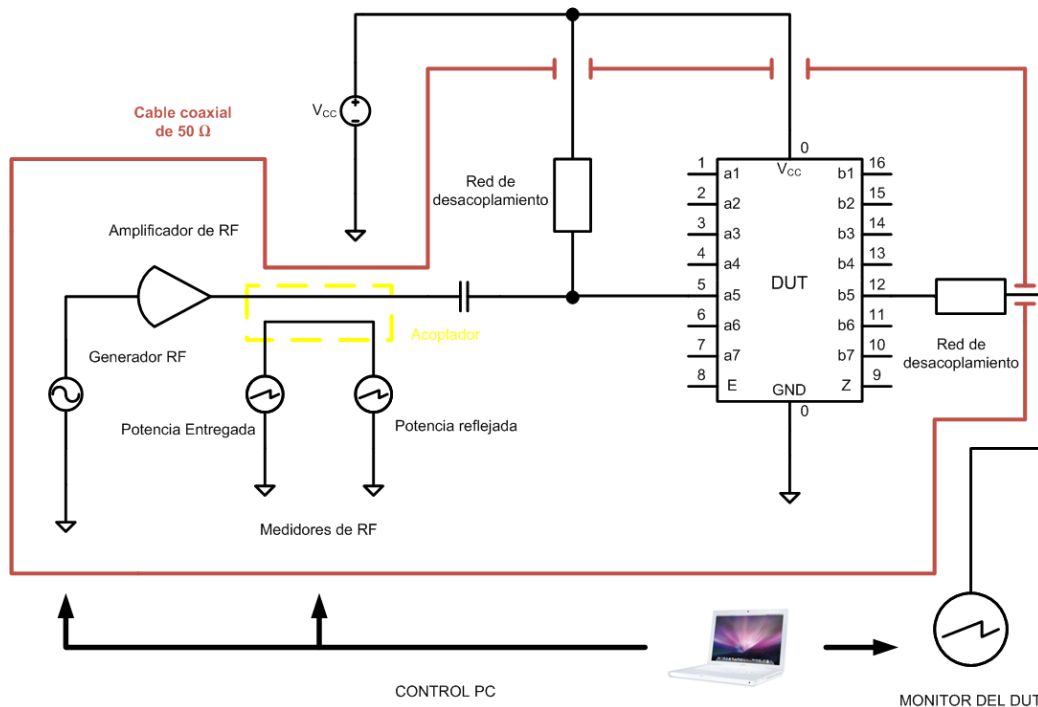


Fig. 1. 10. Método de medida DPI (“Direct Power Injection”) recogido en la directiva IEC 62132 – 4.

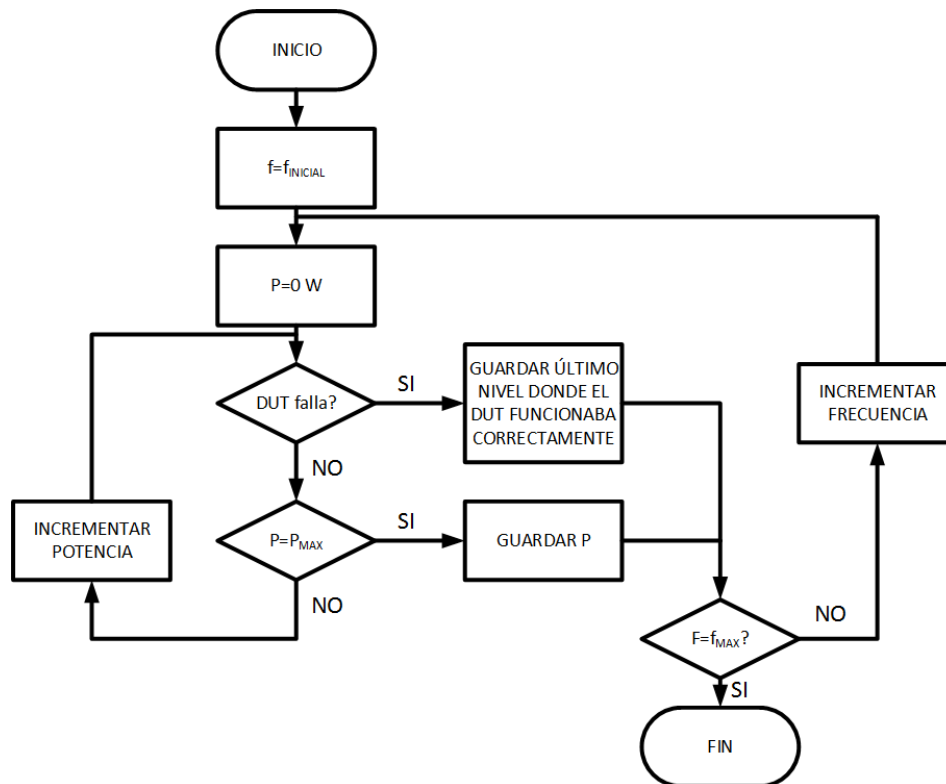


Fig. 1. 11. Algoritmo para realizar el test de susceptibilidad DPI.

En conclusión, las directivas IEC recogen, entre otras varias, los procedimientos para realizar las medidas de emisiones (IEC 61967) y realizar los test de susceptibilidad (IEC 62132).

1.3 Estándar para modelizar la EMC

Para predecir el comportamiento de las interferencias electromagnéticas en los circuitos integrados es necesario disponer de modelos que describan su comportamiento. En esta línea, el primer modelo desarrollado fue el IBIS [18], en el que se propuso una descripción del comportamiento eléctrico de las entradas y salidas de un CI.

El modelo IBIS o “*Input / Output Buffer Information Specification*” [19] es un método rápido y preciso para predecir / simular el del comportamiento de los buffers de entrada/salida de los circuitos integrados. Se basa en los datos de la curva tensión/corriente derivados de la medición o simulación del circuito completo. El

resultado del modelo IBIS es un archivo ASCII que almacena las características del CI para modelar su comportamiento. Este modelo puede ser utilizado por casi cualquier herramienta de simulación o “*Electronic Design Automation*” (EDA). La información necesaria para modelar la entrada de un circuito integrado se muestra en la Fig. 1. 12. Los componentes C_{PKG} , R_{PKG} y L_{PKG} modelan el encapsulado del CI, los componentes D_{CLAMP_VCC} y D_{CLAMP_GND} son los diodos de descarga electrostática (“*Electro Static Discharge*” o ESD). La curva característica tensión/corriente incluida en el archivo ASCII describe la estructura ESD. El condensador C_{COMP} modela la capacidad de entrada del circuito integrado. En la Fig. 1. 13. se representa el modelo IBIS de la salida de un circuito integrado. Los transistores MOSFET se utilizan para modelar el tiempo de subida y bajada de las señales de salida del CI. El resto de componentes tienen como objetivo modelar el encapsulado del CI y la estructura ESD, de forma similar al modelo IBIS de entrada.

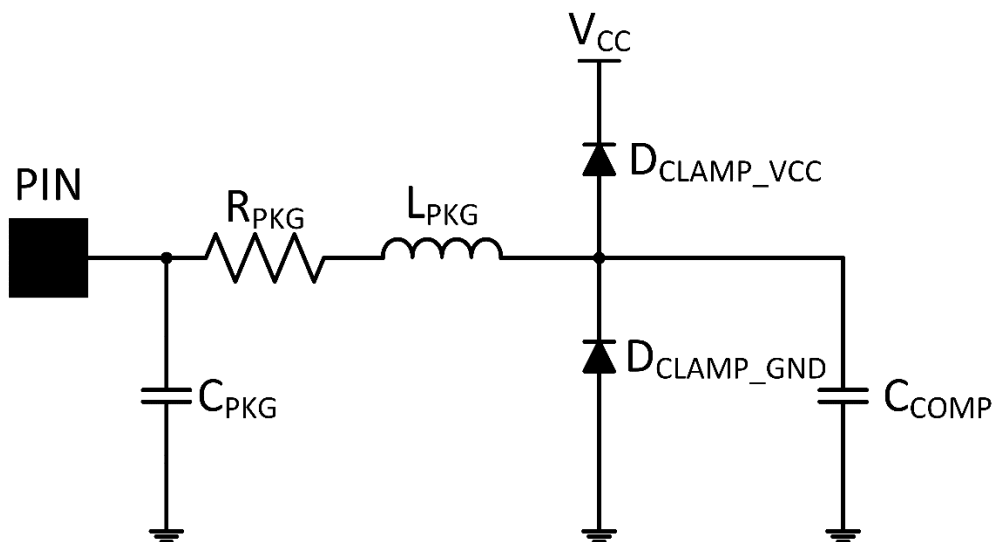


Fig. 1. 12. Modelo IBIS de la entrada de un CI.

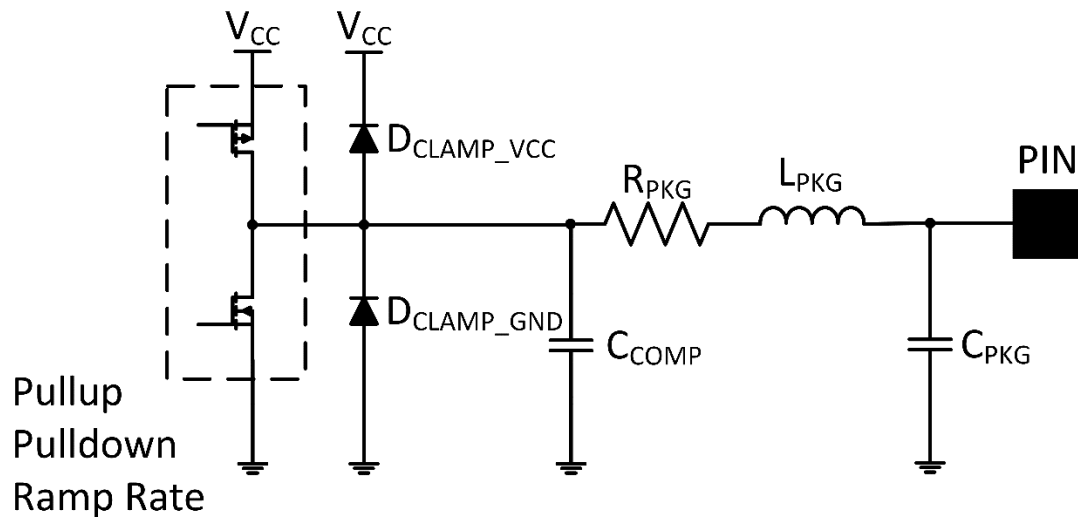


Fig. 1. 13. Modelo IBIS de la salida de un CI.

Las versiones IBIS 3.2 y 4.0 fueron estandarizadas por el IEC, según la normativa IEC 62014 [20, 21], tal y como se menciona en la Tabla 1. 2. Esta normativa permite modelizar el transporte y la integridad de la señal en cualquier entrada / salida del CI. Desde el punto de vista electromagnético, permite deducir el ruido generado debido a la conmutación de las I/O. El principal inconveniente es que no aporta información del ruido que se produce en el núcleo del CI ni las componentes espectrales de alta frecuencia de la corriente de alimentación.

Tabla 1. 2. Directiva IEC 62014.	
IEC 62014 – Modelizado de I/O y del núcleo	
<i>Estándar</i>	<i>Descripción</i>
IEC 62014 – 1	Definiciones
IEC 62014 - 3	Descripción del modelo IBIS
IEC 62014 – 4	

A diferencia del modelo IBIS, el modelo “*Linear Equivalent Circuit and Current Source*” (LECCS) pretende modelar la corriente consumida por un CI o un sistema LSI (“*Low Scale Integration*”). Tal y como se muestra en la Fig. 1. 14., el modelo LECCS consiste en múltiple circuitos RLC en paralelo con una fuente de corriente, para

estimar de forma rápida y precisa la corriente de alta frecuencia que circula por los terminales de alimentación.

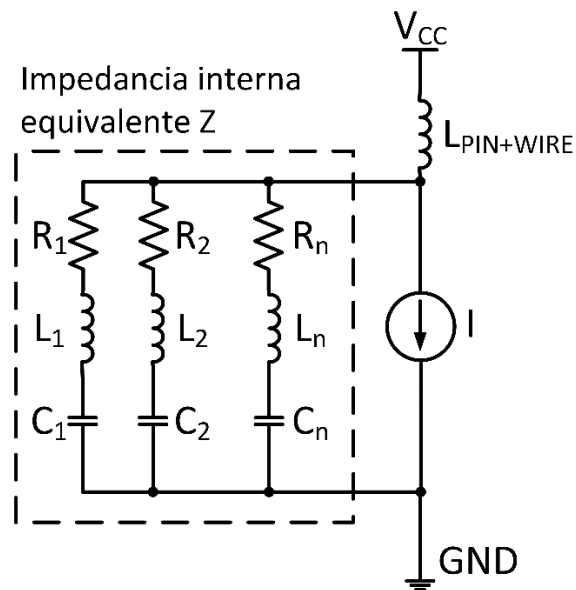


Fig. 1. 14. Modelo LECCS.

Del mismo modo que el modelo LECCS, el modelo ICEM (*“Integrated Circuit Electromagnetic Model”*), define cómo realizar el modelo de emisiones electromagnéticas para frecuencias de 150 kHz hasta 1 GHz. Tal y como se indica en la Tabla 1. 3., la normativa IEC 62433–2 [22] hace referencia al modelo ICEM–CE, cuyas siglas CE significan *“Conducted Emissions”*. El modelo de emisiones radiadas está descrito en la normativa IEC 62433-3 o ICEM-RE. Y por último, la normativa IEC 62433–4 describe el modelo ICIM-CI (*“Integrated Circuit Immunity Model Conducted Immunity”*).

Tabla 1. 3. Directiva IEC 62433.	
IEC 62433 – Modelizado de I/O y del núcleo	
<i>Estándar</i>	<i>Descripción</i>
IEC 62433 – 1	Definiciones
IEC 62433 - 2	Descripción del modelo ICEM-CE
IEC 62433 – 3	Descripción del modelo ICEM-RE (Draft)
IEC 62433 - 4	Descripción del modelo ICIM-CI (Draft)

El modelo ICEM-CE está constituido por una red de distribución pasiva (“*Passive Distribution Network*” o PDN), la actividad interna (“*Internal Activity*” o IA) y el módulo “*Inter-Block*” (“*Inter-Block Component*” o IBC), tal y como se observa en la Fig. 1. 15. y en la Fig. 1. 16. El PDN describe la impedancia de entrada de dos terminales y el eventual acoplo entre ellos, sean de alimentación o I/O de un circuito integrado. La IA modeliza la corriente consumida por los bloques internos del CI, que puede estar expresada de forma temporal o mostrando su espectro en frecuencia. El IBC describe la impedancia de conexión entre dos bloques, por ejemplo, entre la referencia analógica y la referencia digital de un CI (Fig. 1. 15.). El IBC puede ser tan simple como una resistencia o una red pasiva mucho más compleja.

El modelo ICEM-CE se puede extraer mediante métodos empíricos o durante el proceso de diseño del circuito integrado. En el caso de extraer el modelo ICEM-CE a través de métodos empíricos, se sigue el algoritmo indicado en la Fig. 1. 17. en el cual se obtienen los parámetros de dispersión. A partir de los parámetros de dispersión se obtienen los parámetros de impedancia Z . Una vez obtenidos los parámetros de impedancia Z del circuito, se modeliza la PDN. A partir de la medida de corriente I_{EXT} y de la PDN, se extrae la IA.

En conclusión, el modelo eléctrico ICEM-CE permite caracterizar los caminos de propagación de las interferencias electromagnéticas conducidas a nivel de circuito integrado, así como modelizar el ruido de conmutación en su interior.

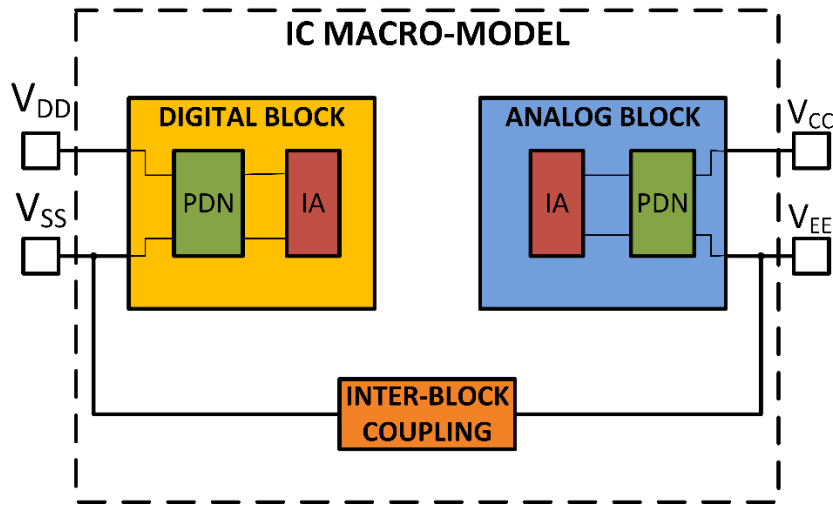


Fig. 1. 15. Macro modelo del CI.

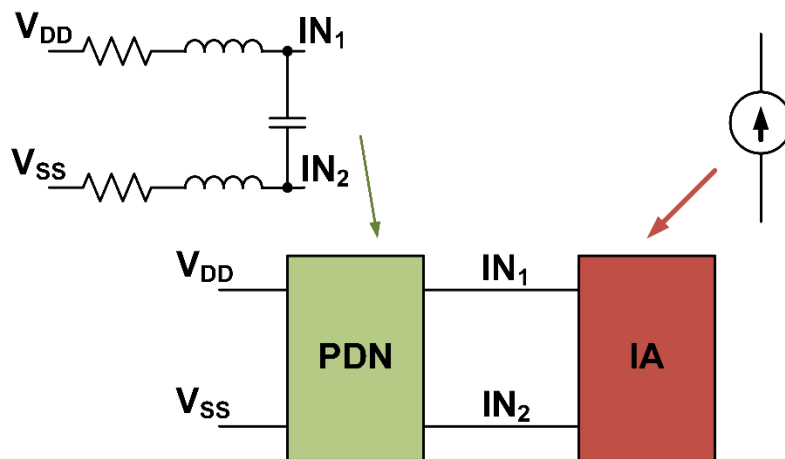


Fig. 1. 16. Componentes que describen el ICEM-CE.

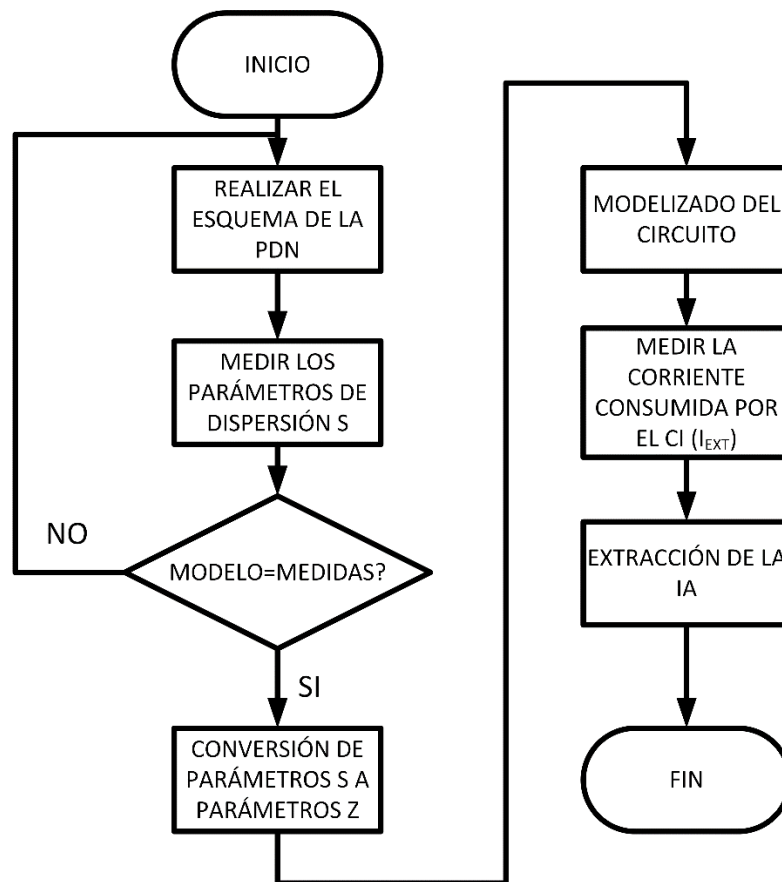


Fig. 1. 17. Algoritmo para la extracción del modelo ICEM-CE.

1.4 Métodos de validación de los modelos electromagnéticos: FSV.

El método “*Feature Selective Validation*” o FSV [23, 24] se ha propuesto como una técnica que permite la comparación objetiva y cuantificada de dos series de datos en el ámbito del electromagnetismo computacional (CEM).

A la mayoría de los ingenieros, cuando se les solicita evaluar el nivel de concordancia entre dos conjuntos de datos (posiblemente complejos), identificarán los aspectos más significativos de las trazas y realizan una comparación visual, proporcionando una opinión razonada sobre la calidad de la comparación. En la mayoría de los casos, el sistema visual humano reacciona a la tarea en cuestión teniendo en cuenta la experiencia pasada y otros factores tales como el bienestar mental y físico. En general, la validación de modelos numéricos se realiza en un

ambiente donde no hay reglas claramente definidas para la evaluación y la interpretación. Por lo tanto, la validación de los modelos numéricos es subjetiva. Para subsanar este problema, el laboratorio de EMC de la Universidad de Aquila (UAq) desarrolló una metodología para comparar conjuntos de datos. El método de validación FSV puede comparar conjuntos de datos de una dimensión (1D) o de dos dimensiones (2D) y hace uso de la misma aproximación para comparar cualquier tipo de datos, independientemente de su procedencia.

El método FSV se basa en la descomposición de los datos originales en dos partes: los datos de amplitud (tendencia) y los datos de característica. Los datos de amplitud representan la variación lenta de todo el conjunto de datos. Por otro lado, los datos de característica aportan información de los picos agudos y valles que se encuentran frecuentemente en los datos de EMC. El método FSV devuelve seis parámetros:

- Medida de diferencia de amplitud (“*Amplitude Difference Measure*” o **ADM**) y Medida de diferencia de característica (“*Feature Difference Measure*” o **FDM**).
- Medida de diferencia global (“*Global Difference Measure*” o **GDM**). Se trata de una figura que indica la bondad del ajuste entre los dos conjuntos de datos que se comparan. Esta figura permite tomar una decisión objetiva sobre la calidad de la comparación. La decisión puede hacerse de forma numérica o convertida a un lenguaje descriptor (Excelente, Muy Buena, Buena, Regular, Mala o Muy Mala). Esta figura se obtiene a partir de los parámetros “*Amplitude Difference Measure*” (**ADM**) y “*Feature Difference Measure*” (**FDM**).
- **ADM_i**, **FDM_i** y **GDM_i**. Son las comparaciones punto a punto de las diferencias de amplitud, las diferencias de característica y la diferencia global. Estas figuras permiten al usuario analizar los resultados del FSV con detalle y obtener el porqué del resultado de la comparación.

- **ADM_c**, **FDM_c** y **GDM_c**. Estos parámetros dan la función de densidad de probabilidad que muestra la proporción del análisis punto a punto de cada una de las componentes que cae en las seis categorías de los descriptores de lenguaje natural. Estos tres parámetros proporcionan una medida de confianza de las comparaciones en una única cifra.

El procedimiento para comparar dos conjuntos de datos es el que se muestra en la Fig. 1. 18. Para cada conjunto de datos se realiza la transformada de Fourier y, a partir de ahí, se obtiene el valor medio del conjunto de datos, las componentes espectrales de baja frecuencia ($Lo_i(n)$) y las componentes espectrales de alta frecuencia ($Hi_i(n)$), siendo el subíndice "i" igual a 1, si se hace referencia al primer conjunto de datos o 2, si se hace referencia al segundo conjunto de datos. A partir del valor medio, $Lo_i(n)$ y $Hi_i(n)$, se obtienen los valores de **ADM_i**, **FDM_i**, **GDM_i**, **ADM_c**, **FDM_c** y **GDM_c**. Las ecuaciones para la extracción de estos seis parámetros vienen detalladas en [23].

En conclusión, el método FSV permite comparar dos conjuntos de datos con un enfoque matemático sencillo. El resultado del FSV es un conjunto de seis figuras de mérito, que permiten al ingeniero conocer la calidad de la comparación de forma objetiva.

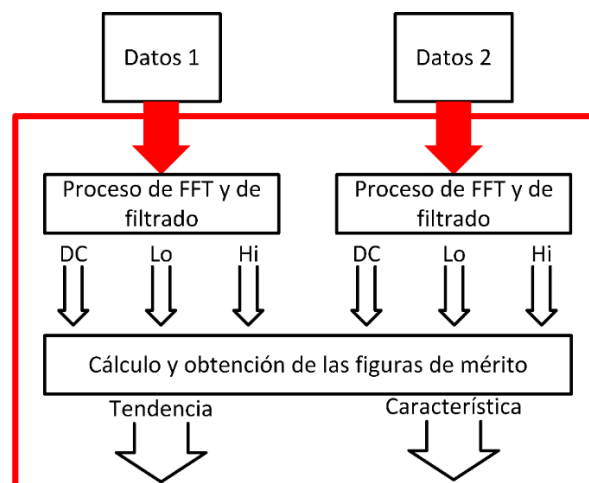


Fig. 1. 18. Método FSV

1.5 Estado del arte.

Diversos trabajos se han centrado en el estudio del impacto de los mecanismos de degradación en los sistemas digitales, así como en el estudio de las interferencias electromagnéticas conducidas a nivel de circuito integrado, creando modelos eléctricos para predecir el efecto de éstas a nivel de sistema.

1.5.1 Efecto de los mecanismos de degradación en circuitos integrados.

Se han llevado a cabo diversos estudios en el ámbito de los mecanismos de degradación, tanto en el impacto del mecanismo a nivel de dispositivo, como en el modelizado eléctrico y su efecto a nivel de circuito.

A nivel de dispositivo se ha podido observar que el desgaste por los portadores calientes producen una variación de la tensión umbral del transistor MOSFET, de la transconductancia así como una disminución de la corriente de saturación del transistor [25]. En la Fig. 1. 19. se puede observar el impacto del HCI sobre la corriente de saturación en función del tiempo de estrés, cuando se aplica al transistor el estrés eléctrico para diversas tensiones puerta-surtidor. Tal y como se puede concluir del gráfico, a medida que el tiempo de estrés aumenta, la degradación HCI aumenta y, como consecuencia, la corriente de saturación del transistor disminuye.

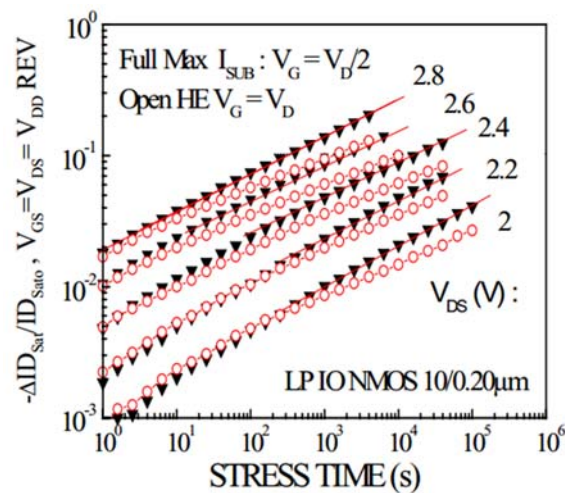


Fig. 1. 19. Variación de la corriente de saturación en función del tiempo de estrés debido al HCI [25].

Otro de los mecanismos de degradación que se produce en los transistores MOS es la ruptura dieléctrica, produciéndose un incremento de la corriente que circula por el terminal de puerta. Tras la ruptura dieléctrica, se observa un aumento de la corriente de puerta que puede llegar a alcanzar valores de centenares de μA , modificando el comportamiento del dispositivo MOS. Esta modificación viene determinada por la posición donde se produce la ruptura y por la dureza de la misma. Independientemente de la posición y/o de la dureza de la ruptura, se puede ajustar el comportamiento post-ruptura del transistor MOSFET utilizando alguno de los circuitos equivalentes detallados en [26-29]. Ahora bien, para conocer si dicha ruptura provoca la pérdida de funcionalidad de los circuitos, se analiza el impacto de la ruptura dieléctrica en la funcionalidad de diversas implementaciones, tales como un inversor CMOS [30] y un oscilador en anillo [31]. En [30] se analiza cómo se ve afectada la característica estática de un inversor CMOS tras la ruptura de uno de los transistores. En la Fig. 1. 20. se observa los resultados experimentales obtenidos. Para tensiones de puerta positivas (Fig. 1. 20a), el dispositivo que se degrada es el transistor MOSFET de canal N y se produce un aumento de la tensión máxima de salida que se considera un '0' lógico (V_{OL}), junto con un desplazamiento de la tensión de máxima ganancia (V_M) del inversor hacia la izquierda. Para tensiones de puerta negativas (Fig. 1. 20b), el dispositivo que se degrada es el transistor MOSFET de canal P y se produce

también un desplazamiento de la V_M del inversor y una disminución de la tensión mínima de salida que se considera un '1' lógico (V_{OH}).

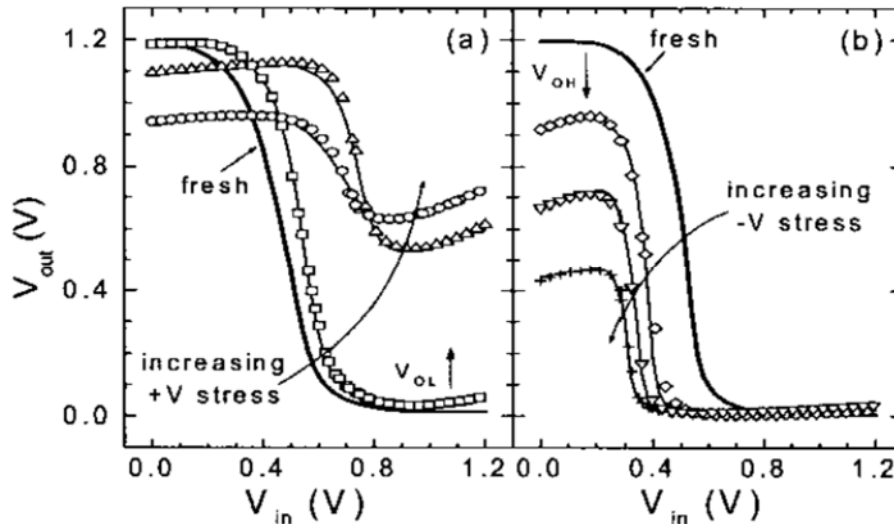


Fig. 1. 20. Curvas características del inversor después de BD. (a) Para estrés positivo en la entrada del inversor (b) Para estrés negativa en la entrada del inversor [30]

El efecto de la ruptura dieléctrica en osciladores en anillo también ha sido estudiado experimentalmente [31]. Los resultados obtenidos (Fig. 1. 21.) demuestran que tras la ruptura dieléctrica, el circuito continúa funcionando aunque a medida que se van produciendo rupturas dieléctricas, la corriente consumida por el oscilador en anillo aumenta y la frecuencia del mismo disminuye.

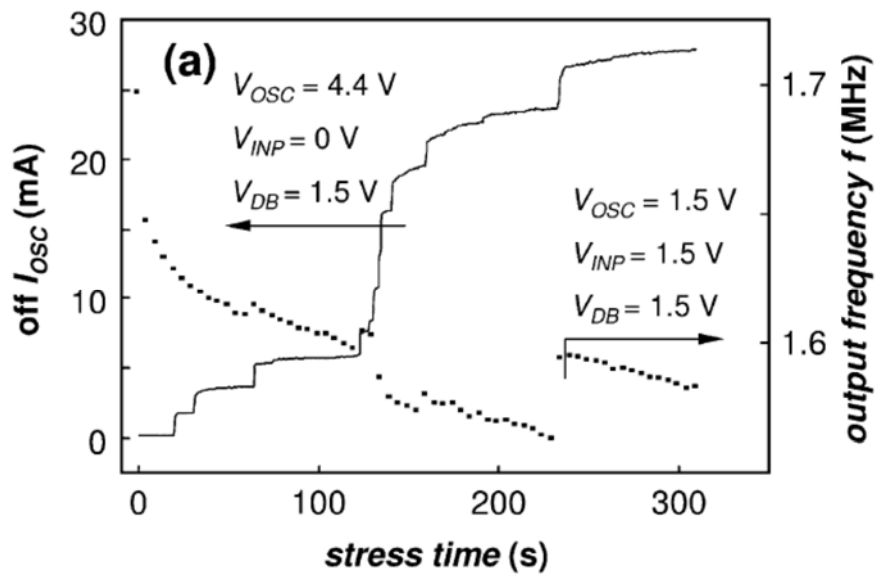


Fig. 1. 21. Corriente consumida y frecuencia del oscilador en anillo [31].

La ruptura dieléctrica también se ha estudiado en células SRAM para estudiar la estabilidad del circuito y su funcionamiento, basándose en el modelo eléctrico presentado en [32]. Se ha observado que la ruptura dieléctrica suave aumenta la probabilidad de fallo en una acción de lectura como de escritura de un dato.

Por último, el mecanismo de degradación NBTI produce, a nivel de dispositivo, un desplazamiento de la tensión umbral del transistor MOS, cuya variación viene determinada por (1.2.).

$$\Delta V_{TH} = \frac{q \cdot (\Delta N_{IT} + \Delta N_F)}{C_{OX}} \quad (1.2.)$$

Donde q corresponde a la carga del electrón, C_{OX} es la capacidad del óxido, N_{IT} la densidad de carga de los estados interfaciales y N_F es la densidad de carga fija [6]. Diversos trabajos se han llevado a cabo para estudiar el impacto del NBTI a nivel de circuito. Así, en [33], se estudia del impacto del NBTI en un inversor. Para ello se aplica una señal de estrés (AC) en el inversor y, tal y como se observa en la Fig. 1. 22, se mide la variación de la tensión de máxima ganancia del mismo. El resultado es que la

variación de la tensión de máxima ganancia del circuito analizado no depende de la frecuencia.

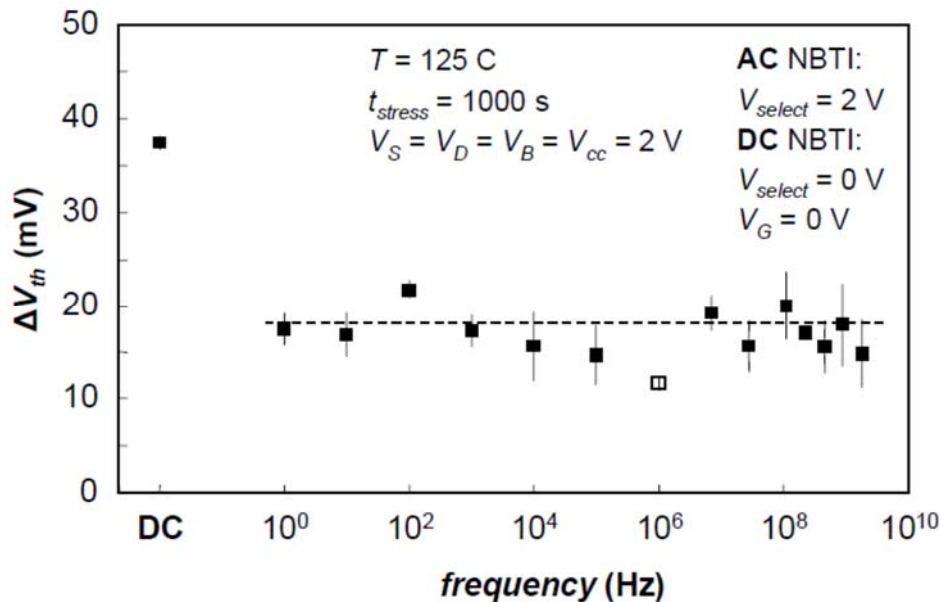
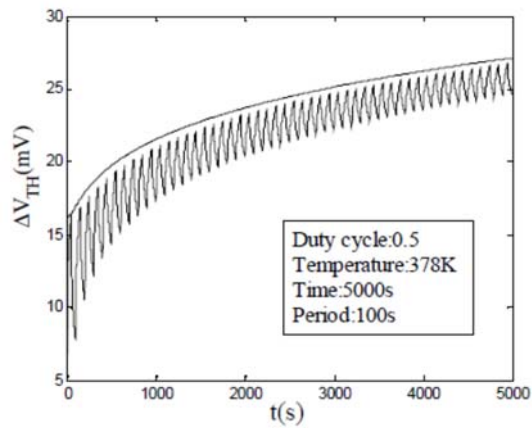


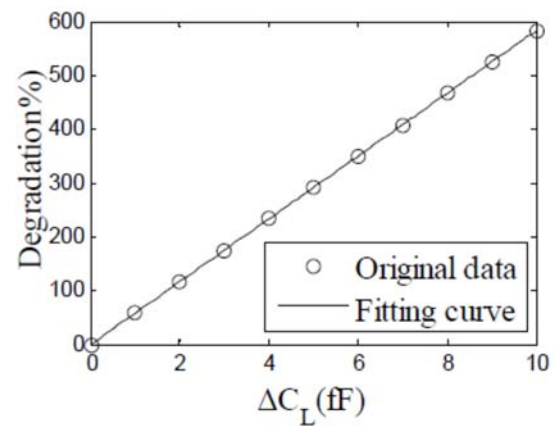
Fig. 1. 22. Evolución de la tensión de máxima ganancia en función de la frecuencia de la señal de estrés [33].

En [34], se ha modelado la degradación en el funcionamiento de puertas lógicas debido al NBTI utilizando el modelo Reacción-Difusión (R-D) [35]. En el artículo [34], se ha obtenido la variación de la tensión umbral (Fig. 1. 23a), la capacidad equivalente de carga (Fig. 1. 23b), el "slew-rate" (Fig. 1. 23c) y la tensión de alimentación en función de la degradación (Fig. 1. 23d), tanto en una puerta NAND, NOT y NOR.

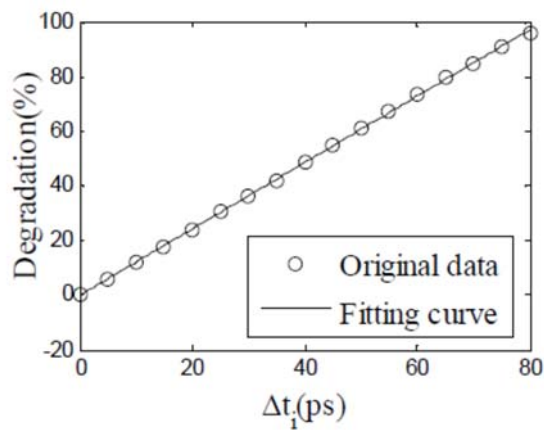
A la vista de lo indicado, se ha podido observar que los mecanismos de degradación producen una variación en la característica I_D - V_{DS} del transistor MOSFET y, como consecuencia, una variación en el comportamiento del sistema digital en el cual está integrado el transistor. Este hecho cuestiona si los mecanismos de degradación puedan afectar a las EMI y fija uno de los objetivos de la presente tesis.



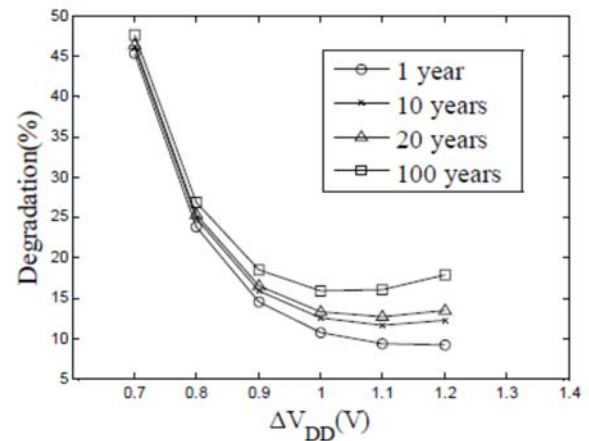
(a)



(b)



(c)



(d)

Fig. 1. 23. Impacto del NBTI en (a) tensión umbral del transistor, degradación en (b) función de la capacidad de carga, (c) del “Slew Rate” y (d) de la tensión de alimentación de la puerta lógica [34].

1.5.2 Modelizado EMI.

La aparición de modelos eléctricos que permiten predecir las interferencias electromagnéticas conducidas, tal y como se ha comentado con anterioridad, es debido a los avances en los sistemas microelectrónicos y al aumento de las velocidades de conmutación. El modelo LECCS ha sido utilizado para extraer la

corriente consumida en microcontroladores. A modo de ejemplo, se ha extraído el modelo LECCS de un microcontrolador de 8 bits para diferentes operaciones, como la suma de dos valores, mover un valor de un registro a otro, etc. [36]. Por ejemplo, en la Fig. 1. 24. se observa la corriente consumida por el microcontrolador de 8 bits cuando se ejecuta un programa de test. Tal y como se detalla en el artículo, el modelo es válido en el rango de frecuencias de 0 Hz a 100 MHz.

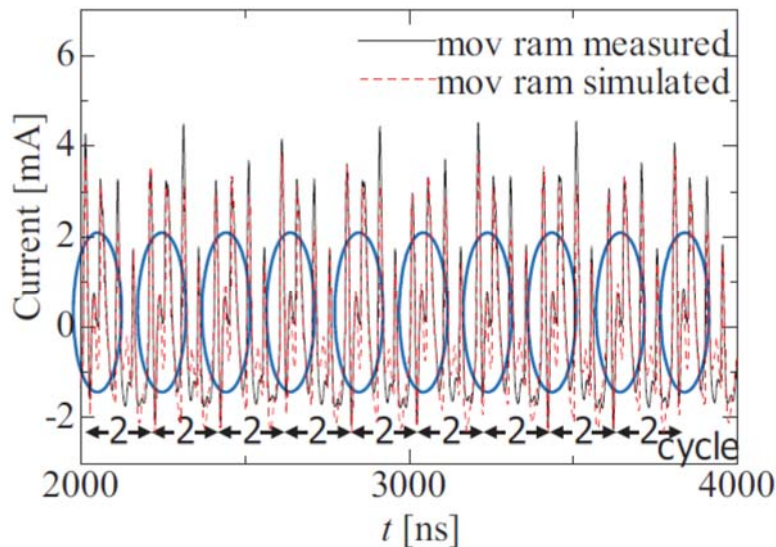


Fig. 1. 24. Corriente consumida por el microcontrolador ejecutando la suma de dos valores [36].

Uno de los modelos eléctricos utilizados recientemente para caracterizar y modelizar las EMI conducidas ha sido el ICEM-CE y ha sido motivo de estudio en varios trabajos. En [37] se presenta cómo extraer el modelo ICEM-CE y se obtiene el modelo ICEM-CE de un microprocesador (Fig. 1. 25.). En [38] se hace uso del modelo ICEM-CE para elegir el condensador de desacoplo que permita reducir el rizado de la tensión de la alimentación de un circuito ASIC.

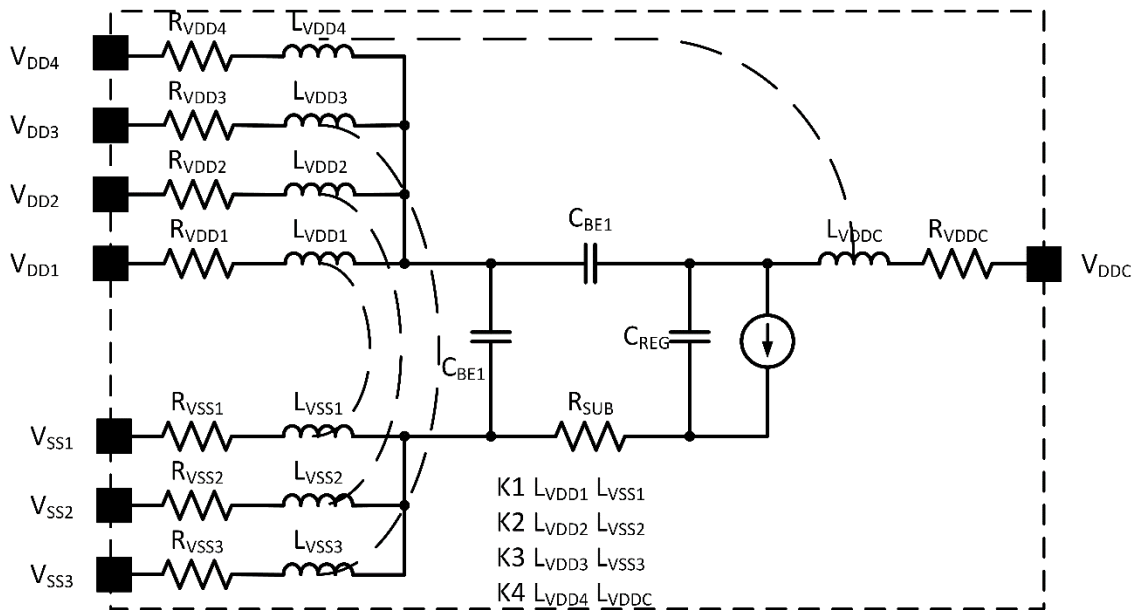


Fig. 1. 25. Modelo ICEM-CE de un microcontrolador PIC [37].

En [39] se trata el diseño de un microcontrolador genérico con el objetivo de reducir las interferencias electromagnéticas conducidas causadas por el ruido de conmutación. El modelo eléctrico del CI se obtiene a partir de las especificaciones funcionales y los parámetros tecnológicos antes de su fabricación. Mediante el uso del modelo (Fig. 1. 26.) y conociendo los límites de emisión electromagnética que se deben cumplir, se evalúan diferentes técnicas a aplicar como la modulación en frecuencia del reloj del sistema o el método del “*clock-skewing*”.

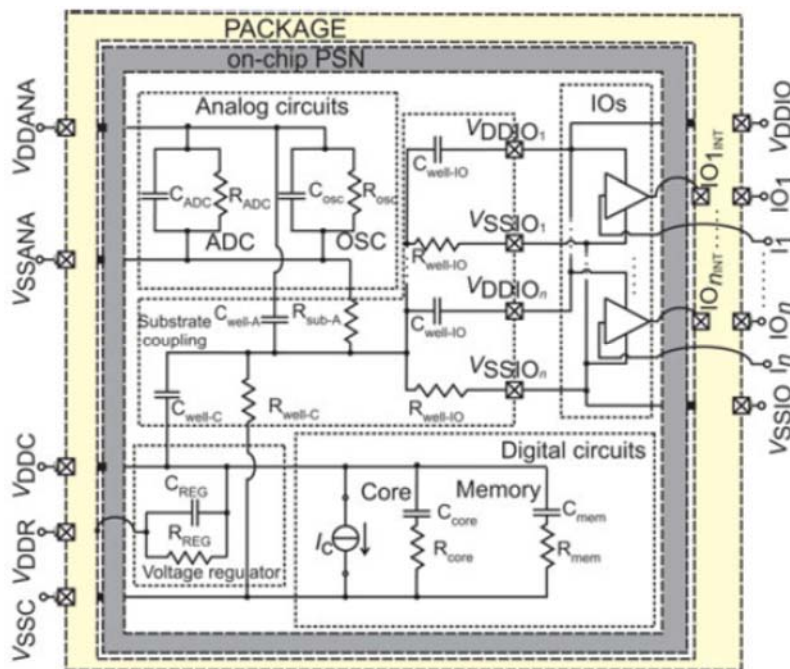


Fig. 1. 26. Circuito equivalente del microprocesador genérico [39].

Las principales limitaciones de los trabajos de investigación llevados a cabo hasta el momento, es la limitación del modelo ICEM-CE hasta la frecuencia de 1 GHz, empezando a existir discordancias entre los resultados obtenidos experimentalmente y el modelo, como se observa en la Fig. 1. 27. [40]. La modelización de las interferencias electromagnéticas conducidas a nivel de CI debe extenderse de modo que abarque un rango frecuencial más elevado. Los sistemas digitales actuales tienen una frecuencia de reloj de decenas o centenas de MHz, generando un ruido de conmutación de frecuencia elevada, el cual puede sobrepasar la frecuencia de 1 GHz. Por lo tanto, es de interés la creación de un modelo que permita caracterizar y modelizar estas interferencias conducidas por encima de 1 GHz., por lo que esta tesis centra uno de sus objetivos fundamentales en este propósito.

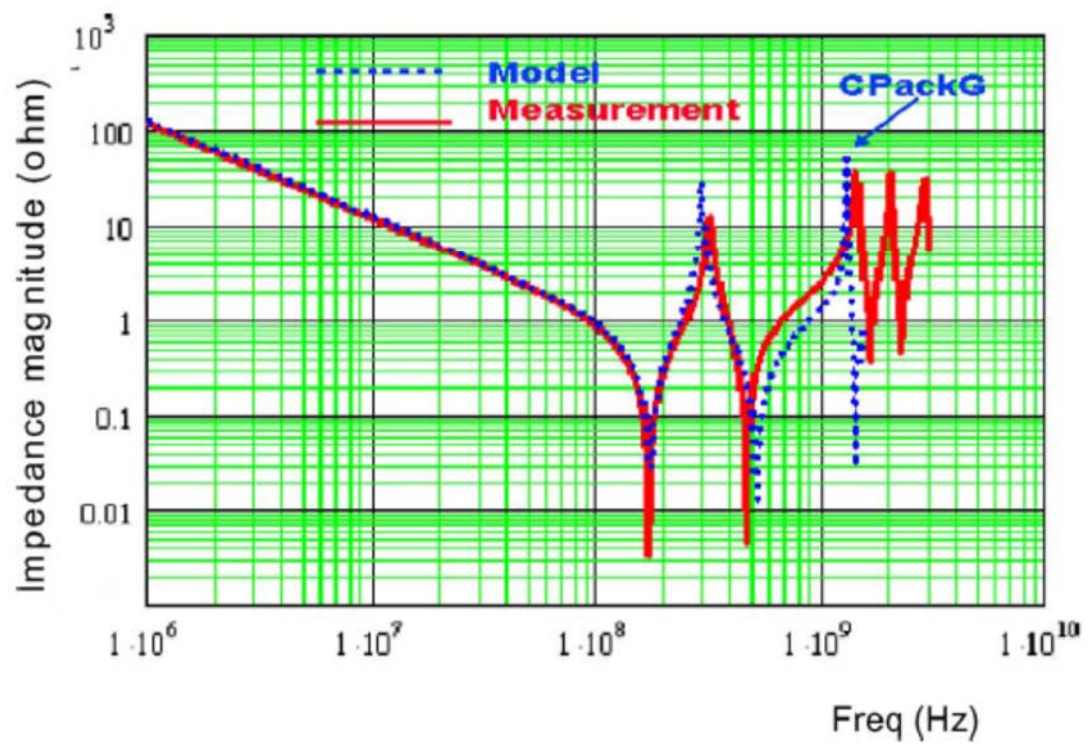


Fig. 1. 27. Modelo eléctrico del encapsulado de un CI [40]

Capítulo 2.

Robustez electromagnética

Tal y como se ha indicado en el capítulo 1, los mecanismos de degradación afectan a la característica I_D - V_{DS} de los dispositivos MOS y por lo tanto, al funcionamiento de los sistemas digitales. Como punto de partida, en este capítulo se realiza la caracterización y la modelización de los transistores MOSFET y se estudia el impacto de los mecanismos de degradación a nivel de dispositivo. Con la caracterización de los transistores MOSFET degradados, se tiene un punto de partida para estudiar el impacto de los mecanismos de degradación en la robustez electromagnética a nivel de CI. Posteriormente, se realiza un estudio del comportamiento electromagnético de diferentes sistemas digitales teniendo en cuenta su envejecimiento, es decir, la robustez electromagnética. Para llevar a cabo dicho estudio, se describen los CI que se han desarrollado para este análisis.

2.1 Impacto de los mecanismos de degradación a nivel de dispositivo MOS.

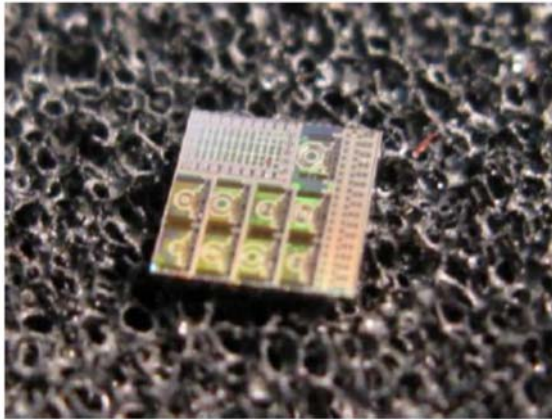
Como se ha indicado, los principales mecanismos de degradación son la ruptura dieléctrica, la inestabilidad por temperatura negativa y los portadores calientes [41]. Estos mecanismos se acentúan sobre condiciones ambientales adversas tales como temperaturas altas y/o sobretensiones, ya que aceleran y afectan la funcionalidad de los dispositivos MOS.

Los mecanismos de degradación, bajo condiciones de funcionamiento nominales, hacen su aparición en un periodo típicamente de años. Por lo tanto, para acortar el tiempo de aparición, se aplica un estrés eléctrico o temperatura elevada sobre el dispositivo.

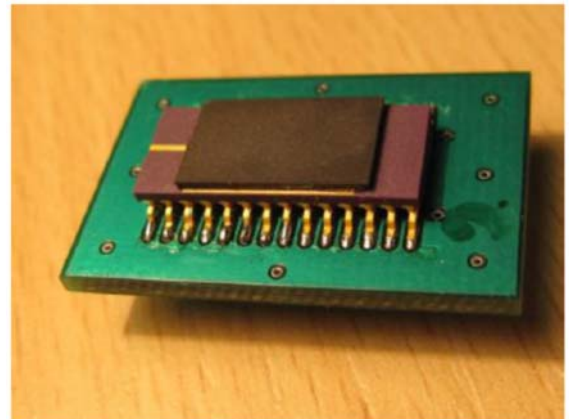
El estudio del impacto de los mecanismos de degradación en los dispositivos MOS permite saber el mecanismo o mecanismos que modifican la robustez electromagnética del CI después del estrés aplicado al sistema.

2.1.1 Circuito integrado Elmer02.

Para evaluar el impacto de los mecanismos de degradación en los dispositivos MOS, se hace uso del CI Elmer02 (*“ELectroMagnetic Enhanced Robutness”*) diseñado por la empresa **Freescale Semiconductor, Inc.** con la tecnología CMOS de 90 nm realizado para este proyecto en colaboración con el **INSA de Toulouse**. El CI Elmer02 está fabricado para facilitar la medida de EMI, combinado con el efecto del envejecimiento. En la Fig. 2. 1a se muestra el CI sin encapsular, de modo que permite acceder a terminales que únicamente son alcanzables con puntas de prueba. En la Fig. 2. 1b se muestra el CI empaquetado en el encapsulado SOIC28 y alrededor de éste se ha diseñado una placa de circuito impreso.



(a)



(b)

Fig. 2. 1. Circuito integrado Elmer02 en (a) oblea para medidas con las puntas de prueba y (b) CI encapsulado en el SOIC28.

El CI contiene cuatro tipos de transistores MOSFET de canal P, cuatro transistores MOSFET de canal N aislados y cuatro transistores MOSFET de canal N no aislados. Todos los transistores MOSFET tienen un ancho del canal de $10\ \mu\text{m}$ y diferentes longitudes de canal: $0,1\ \mu\text{m}$, $0,4\ \mu\text{m}$, $0,38\ \mu\text{m}$ y $1,52\ \mu\text{m}$, respectivamente. En la Fig. 2. 2. se puede observar la zona de la oblea donde se encuentran localizados los transistores MOSFET. En la Fig. 2. 3. se detalla la disposición de los cuatro terminales para cada transistor. Dentro del propio CI, se ha añadido un diodo de protección entre el terminal de puerta y de sustrato.

A parte de los transistores MOSFET, el CI Elmer02 contiene otros componentes detallados en la Tabla 2. 1. para estudiar el impacto de las EMI y de los mecanismos de degradación.

Tabla 2. 1. Bloques principales del CI Elmer02	
Acceso	Descripción
Punta de pruebas	Transistores MOS, condensadores MOS, espejos de corriente y célula SRAM.
Terminales I/O del CI	Bloque de entradas y salidas digitales, transistores MOS, bloques de lógica combinacional y un amplificador operacional.

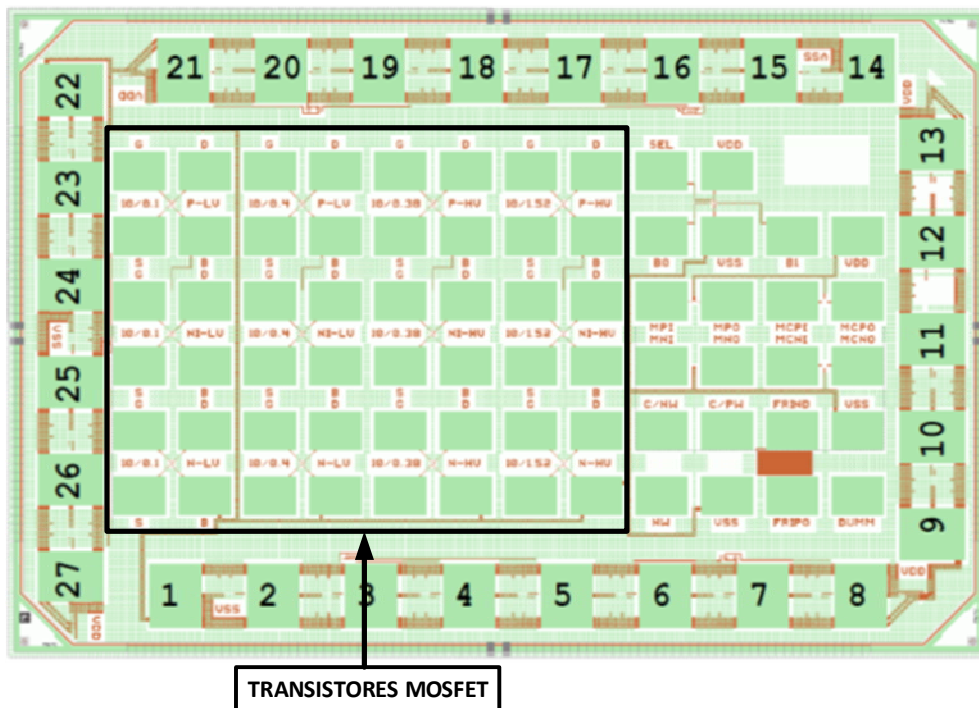


Fig. 2. 2. Transistores MOSFET en el CI Elmer02.

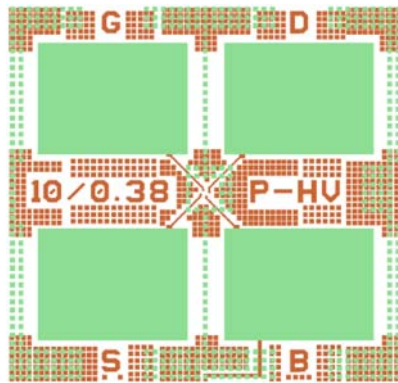


Fig. 2. 3. Disposición de los terminales de los transistores MOSFET en el CI Elmer02.

2.1.2 Sistema de caracterización para estudiar el Impacto de los mecanismos de degradación.

Los terminales de puerta, drenador, surtidor y sustrato de los transistores MOSFET son accesibles con puntas de prueba. Como se muestra en la Fig. 2. 4., se ha diseñado un sistema de medida a nivel de oblea con una fuente de alimentación **Keithley Instruments Inc.**, una tarjeta de adquisición de **National Instruments** y un ordenador para guardar las medidas de las características de los transistores, controlado con el software Labview. El software Labview se programa para implementar uno de los dos algoritmos detallados en el apartado 1.2.2., dependiendo del mecanismo de degradación que se quiera estudiar. El DUT es un transistor MOSFET de canal P o de canal N, dependiendo del mecanismo de degradación que se desee caracterizar.

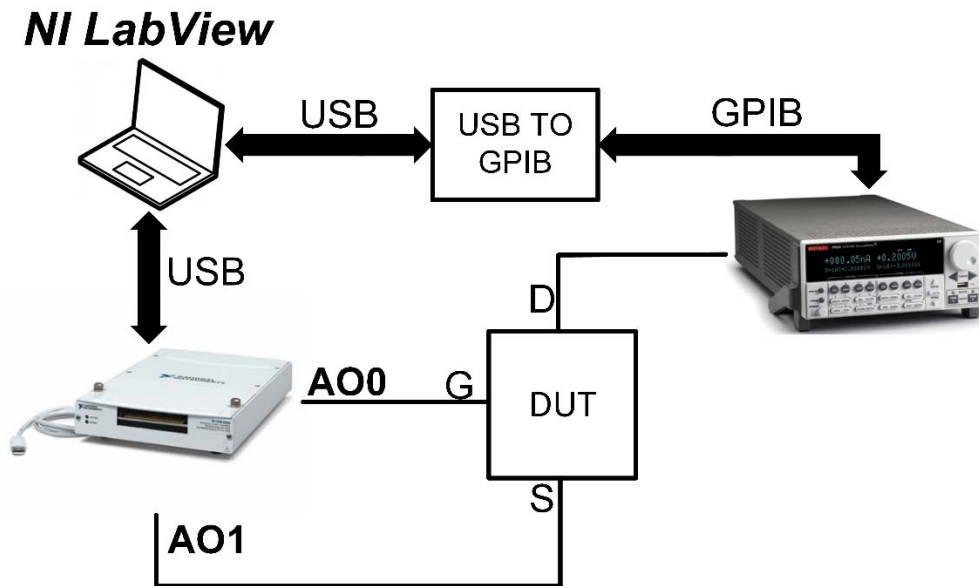


Fig. 2. 4. Sistema de caracterización para estudiar el mecanismo de degradación HCI o NBTI.

2.1.3 Resultados experimentales

A continuación se muestran los resultados experimentales obtenidos al medir el impacto del HCI y del NBTI en los transistores MOSFET incluidos en Elmer02. En el artículo [CONTRIBUCIÓN 1] se muestran los resultados del impacto del HCI en los transistores MOSFET.

2.1.3.1 Impacto de HCI.

Para analizar el impacto de los portadores calientes en los transistores MOSFET de canal N, se debe establecer las condiciones de estrés, las cuales se muestran en la Tabla 2. 2. El proceso para establecer las tensiones de estrés está detallado en el apartado 1.2.2. del capítulo 1. En la Fig. 2. 5. se muestra la curva característica I_D-V_{DS} para dos tensiones puerta-surtidor (V_{GS}), 3,3 V y 1,2 V y cómo evoluciona la curva a medida que el tiempo de estrés aumenta. Como se observa, se produce una disminución de la corriente de drenador. Además, en la Fig. 2. 6. se observa la variación de la curva característica I_D-V_{GS} para una tensión V_{DS} de 3,3 V.

El modelo Sakurai-Newton [42] propone un modelo MOSFET compacto y empírico también conocido como modelo “*Alpha-Power Law*”, el cual estima la corriente de drenador del transistor y tiene en cuenta efectos relacionados con el escalado de los dispositivos MOS. A parte, permite estimar el rendimiento de los circuitos digitales CMOS de forma precisa. El modelo consta de seis parámetros, a partir de los cuales se obtiene la corriente de drenador (2.1.).

$$\begin{aligned}
 V_{DSAT} &= K \cdot (V_{GS} - V_{TH})^m \\
 I_{DSAT} &= K \cdot (V_{GS} - V_{TH})^n \\
 V_{GS} < V_{TH} \quad I_D &= 0 \text{ A} \\
 V_{GS} \geq V_{TH} \quad \left\{ \begin{array}{l} V_{DS} < V_{DSAT} \quad I_D = I_{DSAT} \cdot (1 + \lambda_0 \cdot V_{DS}) \cdot \left(2 - \frac{V_{DS}}{V_{DSAT}}\right) \cdot \frac{V_{DS}}{V_{DSAT}} \\ V_{DS} \geq V_{DSAT} \quad I_D = I_{DSAT} \cdot (1 + \lambda_0 \cdot V_{DS}) \end{array} \right. & \quad (2.1.)
 \end{aligned}$$

Las tensiones V_{GS} y V_{DS} son la tensión puerta-surtidor y la tensión drenador-surtidor respectivamente. La tensión V_{TH} es la tensión umbral del transistor MOSFET y V_{DSAT} la tensión de saturación del drenador, la cual marca la diferencia entre la zona óhmica y la zona de saturación del transistor de efecto de campo. La corriente de saturación de drenador está representada por I_{DSAT} . Los parámetros B y n del modelo controlan las características de la región óhmica o lineal del transistor. El parámetro λ está relacionado con la conductancia del drenador. En el modelo del transistor ideal, la conductancia del drenador es infinita, por lo tanto, el parámetro λ toma el valor de 0. Si la conductancia es finita, λ toma un valor comprendido entre 0 y 1.

Debido a la simplicidad del modelo, se ha usado para evaluar el comportamiento de circuitos CMOS, como en [42] o [43]. Se debe tener en cuenta que los parámetros del modelo Sakurai-Newton no son parámetros físicos del dispositivo MOS. Además, el modelo es únicamente válido para tensiones puerta-surtidor mayores que la tensión umbral del propio dispositivo.

La Fig. 2. 7. y la Fig. 2. 8. presentan las medidas experimentales y el ajuste de dicho comportamiento obtenido mediante el modelo Sakurai-Newton al inicio y al final del estrés. De la Fig. 2. 9. a la Fig. 2. 14. se muestran los parámetros extraídos. En particular, la Fig. 2. 9. representa el incremento de la conductancia de drenador (λ) que produce un cambio en la pendiente de la corriente de drenador. La Fig. 2. 10.

muestra el incremento de la tensión umbral del transistor MOSFET, que es más significativo en el transistor de 3,3 V con una longitud de canal de 0,38 μm que en el resto de transistores medidos. Como se observa en la Fig. 2. 6., la variación en la tensión umbral provoca una disminución de la corriente de drenador. El desplazamiento del parámetro n se representa en la Fig. 2. 11., cuya variación es inferior al 10 % para los tres tipos de transistores MOSFET de canal N. Por otro lado, en la Fig. 2. 12. se representa la variación del parámetro B , relacionado con la transconductancia del dispositivo. Este parámetro disminuye a medida que el tiempo de estrés aumenta.

La Fig. 2. 13. y la Fig. 2. 14. muestran la variación de los parámetros m y K , relacionados con la zona lineal de los dispositivos MOS. Ambos parámetros se modifican por el cambio de la curva característica I_D - V_{DS} en su zona lineal.

Tabla 2. 2. Tipo de transistores MOSFET de canal N medidos y tensiones de estrés aplicadas.

Tipo de transistor	$V_{DS}/STRESS$	$V_{GS}/STRESS$
<i>High Voltage Long</i> (W=10 μm L=1,52 μm)	7,00 V	2,60 V
	5,00 V	1,90 V
<i>High Voltage Short</i> (W=10 μm L=0,38 μm)	7,00 V	2,05 V
	5,00 V	1,60 V
<i>Low Voltage Long</i> (W=10 μm L=0,4 μm)	3,00 V	0,97 V
	2,50 V	0,90 V

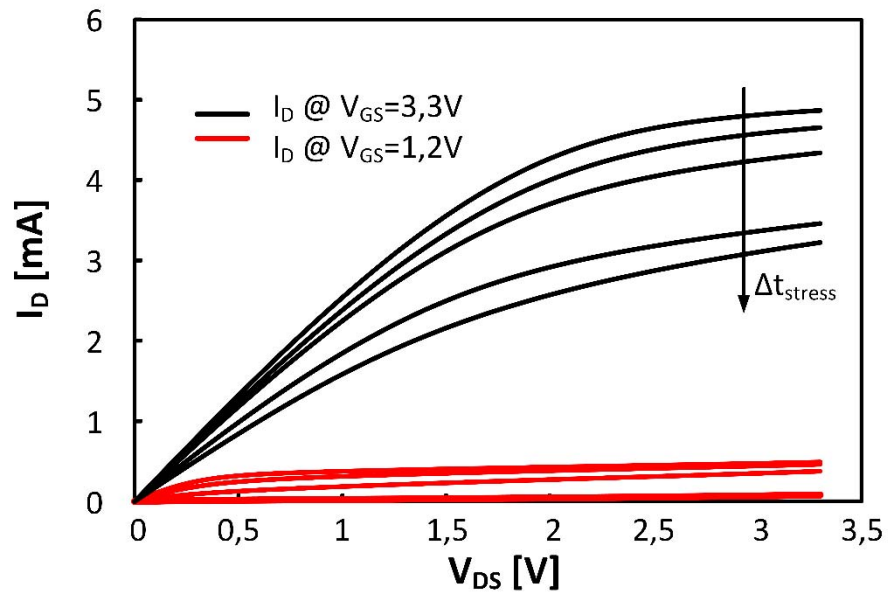


Fig. 2. 5. Curva característica I_D - V_{DS} para varios tiempos de estrés y varias V_{GS} .

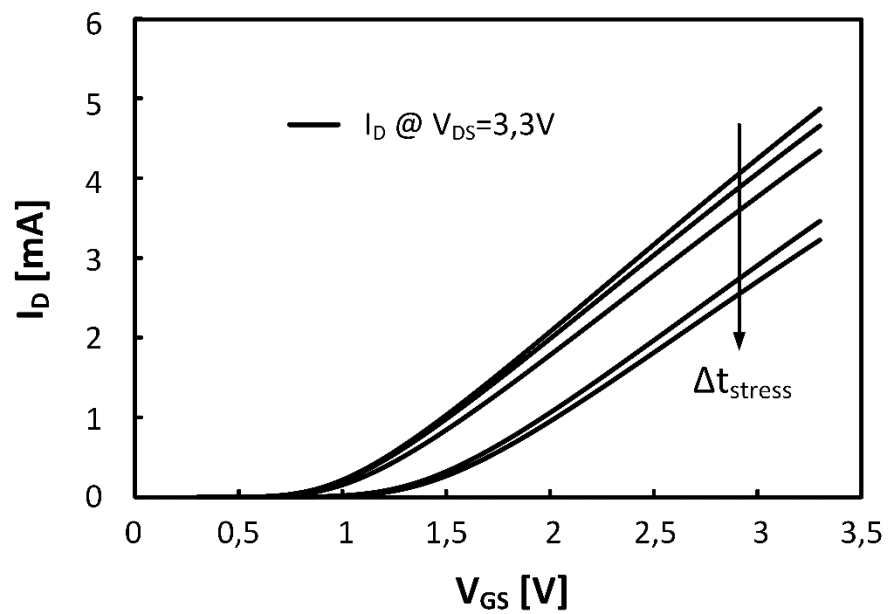


Fig. 2. 6. Curva característica I_D - V_{GS} para varios tiempos de estrés.

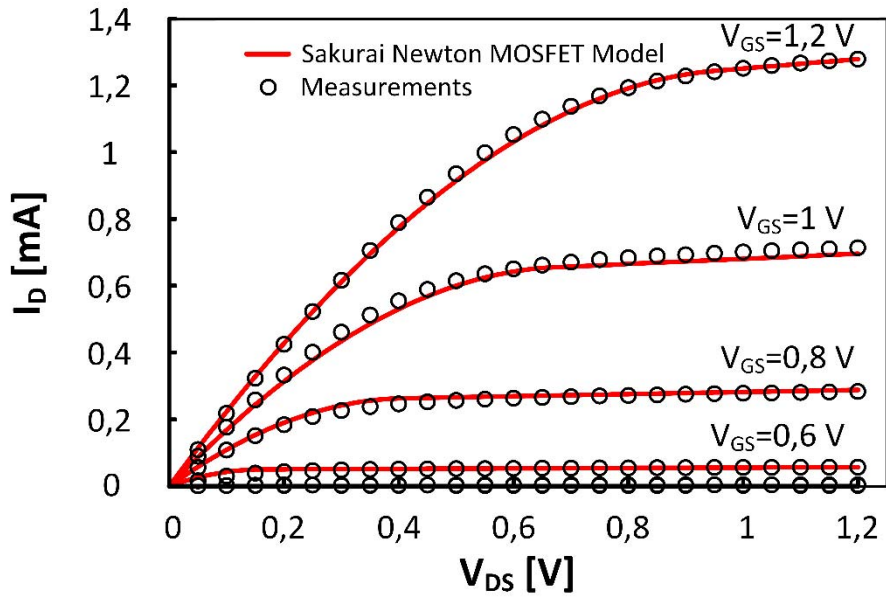


Fig. 2. 7. Comparación entre las medidas y el modelo Sakurai-Newton para el componente sin estresar.

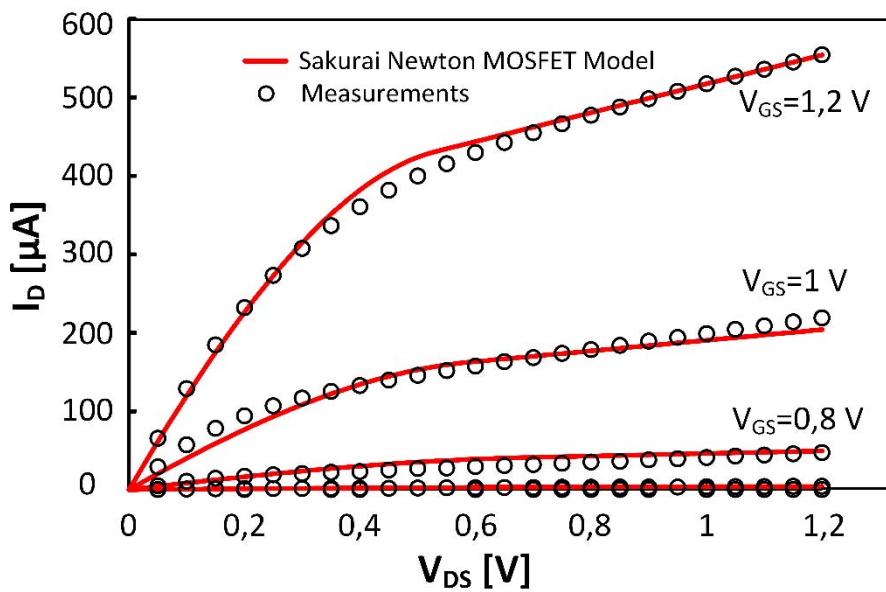


Fig. 2. 8. Comparación entre las medidas y el modelo Sakurai-Newton transcurridos 700 s de estrés.

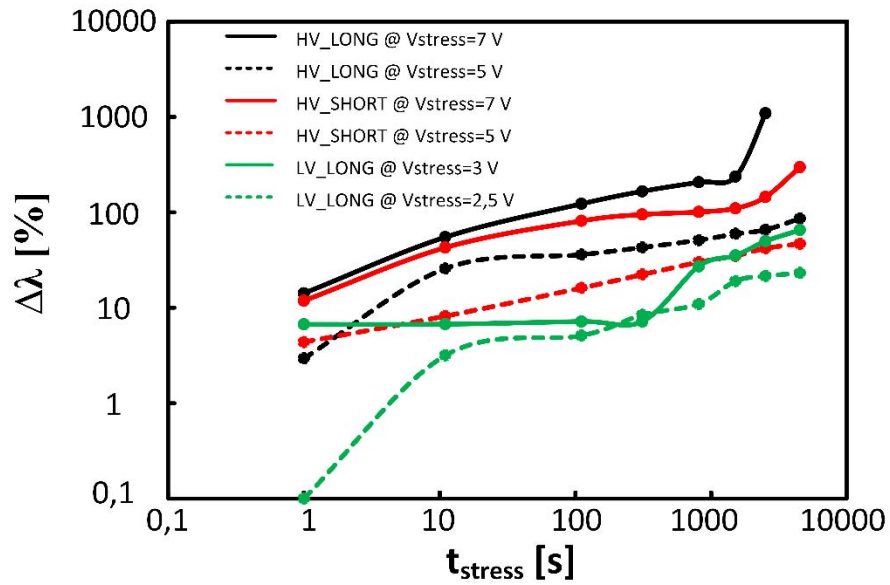


Fig. 2. 9. Variación de la conductancia de drenador (λ) en función del tiempo de estrés.

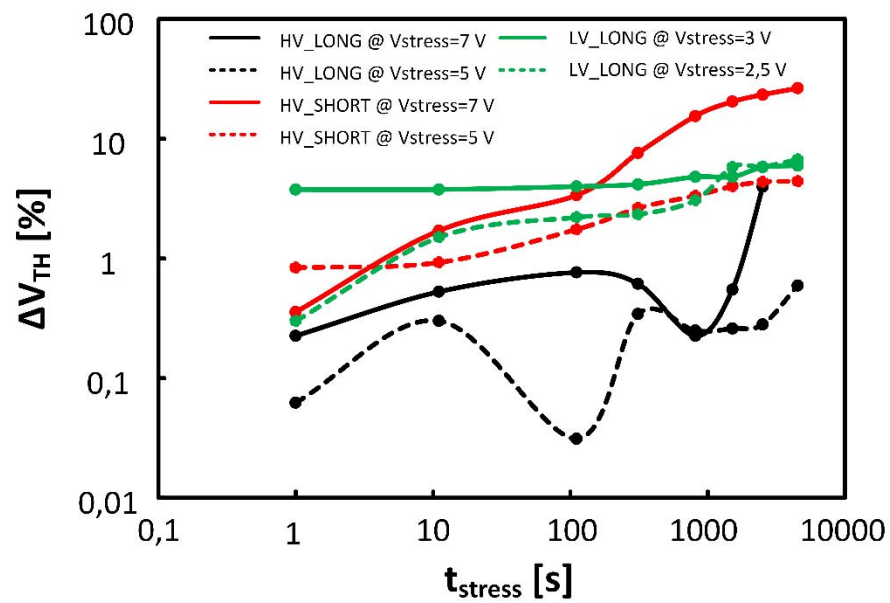


Fig. 2. 10. Variación de la tensión umbral (V_{TH}) en función del tiempo de estrés.

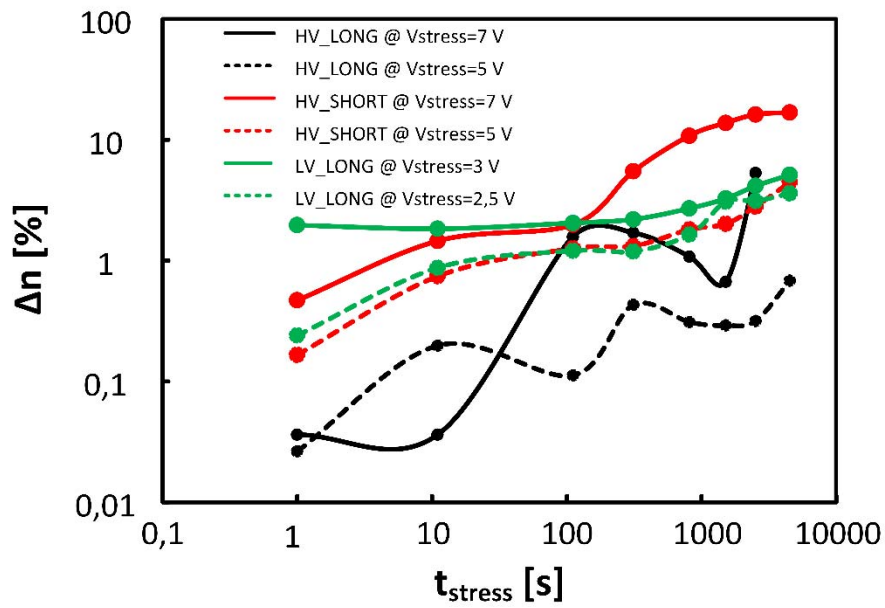


Fig. 2. 11. Variación del parámetro n en función del tiempo de estrés.

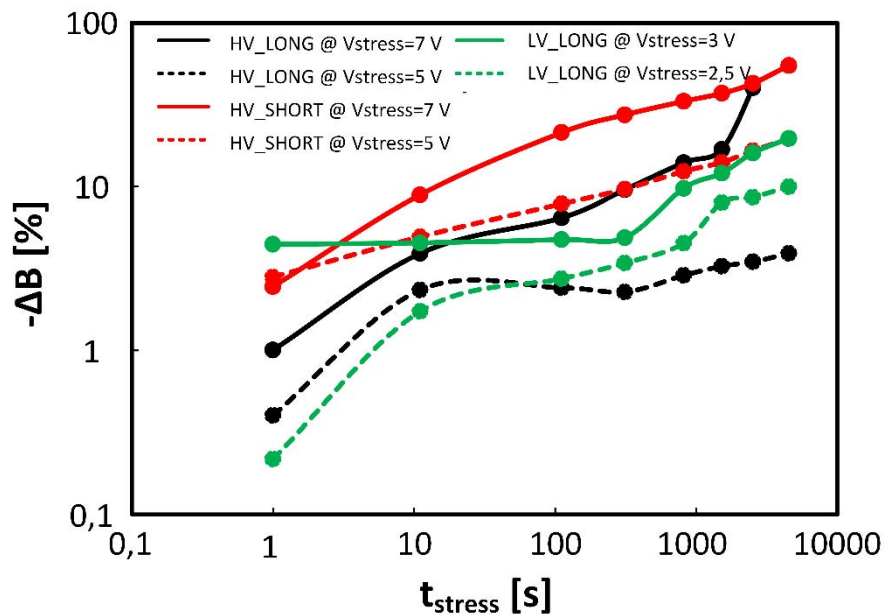
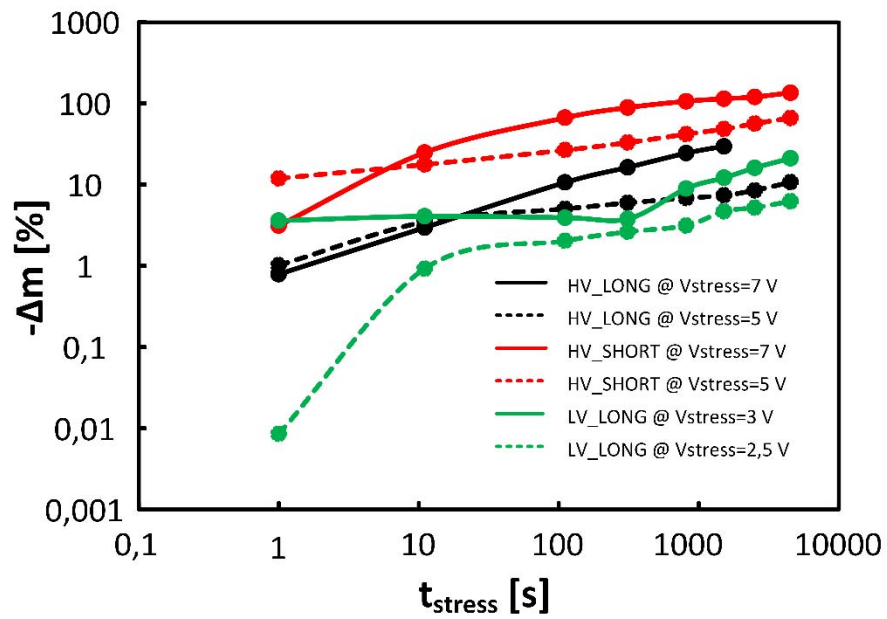
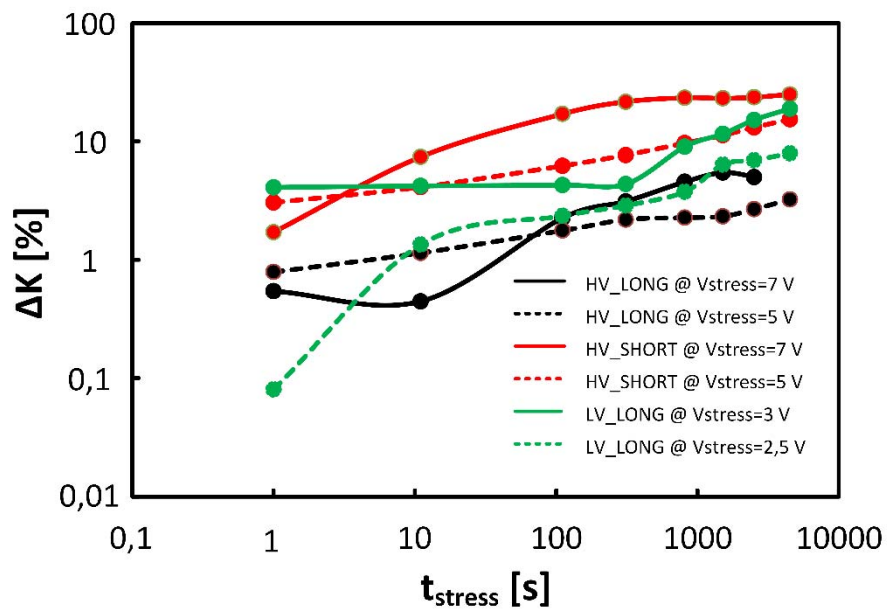


Fig. 2. 12. Variación del parámetro B en función del tiempo de estrés.

Fig. 2. 13. Variación del parámetro m en función del tiempo de estrés.Fig. 2. 14. Variación del parámetro K en función del tiempo de estrés.

2.1.3.2 Impacto del NBTI.

Para estudiar el impacto del NBTI sobre los dispositivos MOS, se eligen tres transistores del CI Elmer02, detallados en la Tabla 2. 3. Se utiliza el método “*On-The-Fly*”, explicado en el apartado 1.2.2., para obtener la variación de la tensión umbral de los diferentes transistores.

Se han medido tres muestras de cada transistor, aplicando la misma tensión de estrés en todas ellas. La tensión de estrés aplicada se ha obtenido según el procedimiento detallado en el apartado 1.2.2. del capítulo 1. La variación promedio de la tensión umbral se calcula a partir de las medidas realizadas para cada transistor y se aproxima ésta mediante la ley de potencias detallada en (2.2.). Los parámetros A y n son constantes de ajuste.

$$\Delta V_{TH} = A \cdot t^n \quad (2.2.)$$

De la Fig. 2. 15. a la Fig. 2. 17. se muestra la variación de la tensión umbral para los diferentes transistores MOSFET de canal P. Tal y como se puede observar, la variación de la tensión umbral transcurridos 2700 s depende de la geometría del transistor así como de la tensión de estrés aplicada. La variación de la tensión umbral en el transistor “*High Voltage Long*” es del 6 % al final del estrés cuando se le aplica un estrés de 6,00 V, mientras que con la misma tensión de estrés, la variación que se produce en el transistor “*High Voltage Short*” es del 17 %. Cuando la tensión de estrés es de 3,3 V, la variación de la tensión umbral disminuye, siendo ésta del 3,2 % en el transistor “*High Voltage Long*”. Según [44], la variación de la tensión umbral es mayor en los transistores de canal corto ya que a un mismo número de trampas en la interfaz de la estructura MOS, los transistores MOSFET de canal corto se ven más afectados.

Tabla 2. 3. Tipo de transistores MOSFET de canal P medidos y tensiones de estrés aplicadas.				
Tipo de transistor	Condición de estrés 1		Condición de estrés 2	
	$V_G=0$ V			
	V_S	V_D	V_S	V_D
<i>High Voltage Long</i> (W=10 μm L=1,52 μm)	6,00 V	5,95 V	3,30 V	3,25 V
<i>High Voltage Short</i> (W=10 μm L=0,38 μm)				
Low Voltage Long (W=10 μm L=0,4 μm)	3,20 V	3,15 V	1,20 V	1,15 V

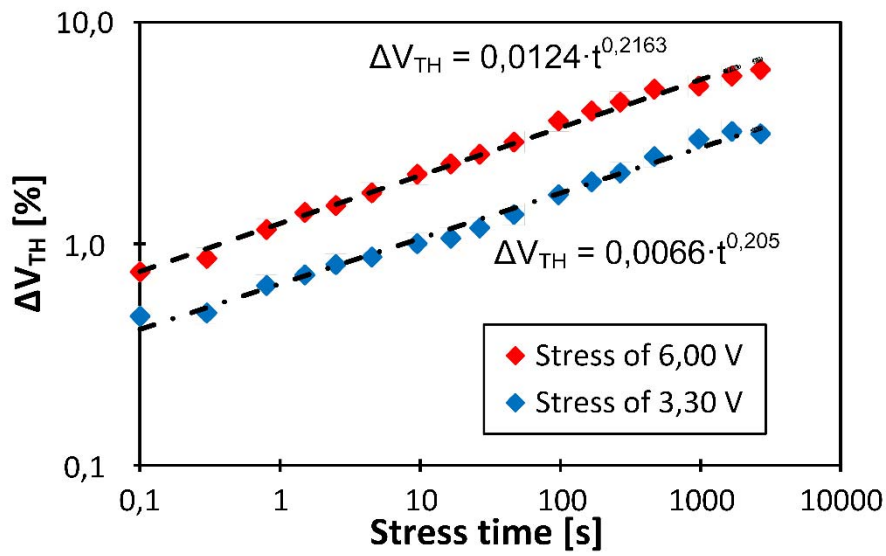


Fig. 2. 15. Variación de la tensión umbral debido al NBTI en el transistor “High Voltage Long”.

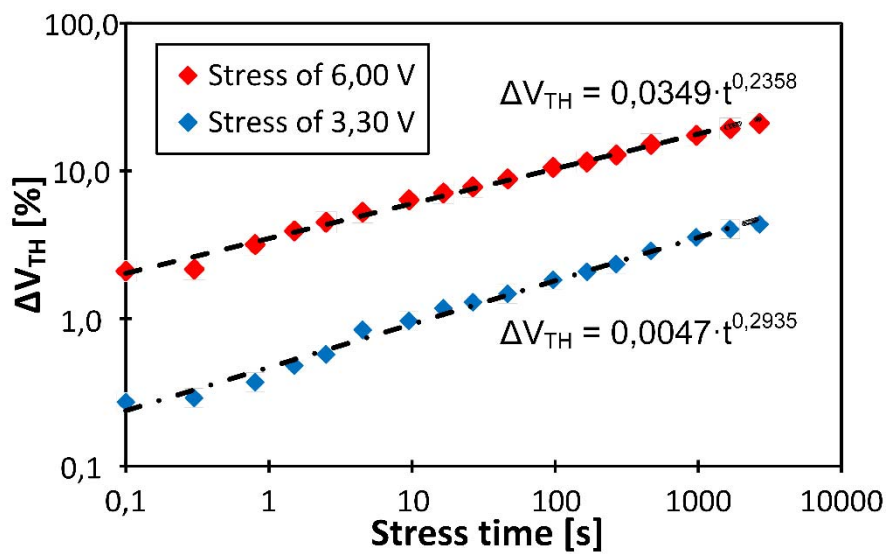


Fig. 2. 16. Variación de la tensión umbral debido al NBTI en el transistor “High Voltage Short”.

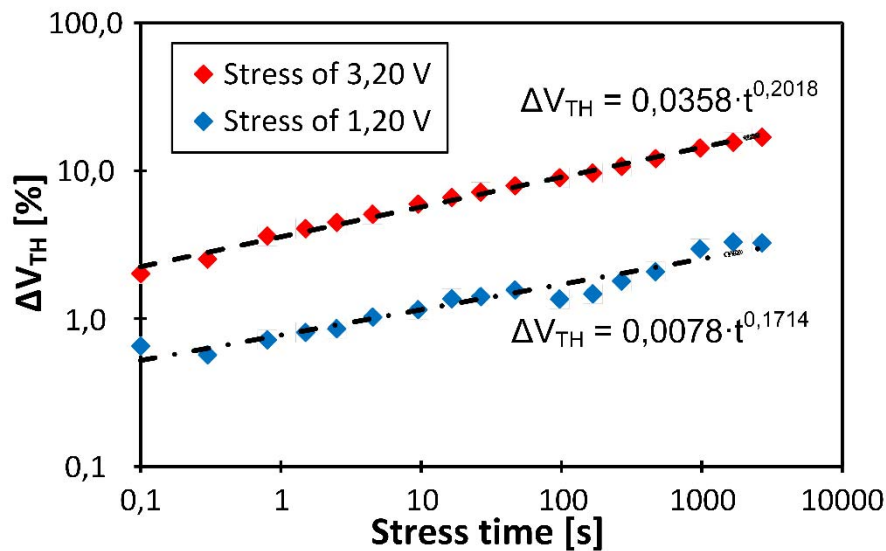


Fig. 2. 17. Variación de la tensión umbral debido al NBTI en el transistor “Low Voltage Long”.

En conclusión, la caracterización de los mecanismos de degradación a nivel de dispositivo MOS ha demostrado la variación de la característica I_D - V_{DS} de los transistores, por lo que hace cuestionarse cómo evolucionarán las EMI en condiciones de envejecimiento.

2.2 Impacto del NBTI en un inversor CMOS.

Una vez caracterizado y modelizado el impacto de los mecanismos de degradación en la característica I_D - V_{DS} de los dispositivos MOS, se procede a estudiar el impacto del NBTI en un inversor CMOS. Se miden varias características del inversor CMOS y se estudia la robustez del circuito. Los resultados fueron presentados en la [CONTRIBUCIÓN 2] y [CONTRIBUCIÓN 3].

2.2.1 Montaje experimental.

Las muestras utilizadas para caracterizar el impacto del NBTI son un transistor MOSFET de canal P con una relación de aspecto (W/L) de $2 \mu\text{m}/0,13 \mu\text{m}$ y un inversor CMOS. Éste está implementado con un transistor MOSFET de canal N y un transistor

MOSFET de canal P, con las relaciones de aspecto de $3 \mu\text{m}/0,13 \mu\text{m}$ y $6 \mu\text{m}/0,13 \mu\text{m}$, respectivamente. La Fig. 2. 18. muestra las tensiones de estrés aplicadas en el transistor MOSFET de canal P (Fig. 2. 18a) y en el inversor CMOS (Fig. 2. 18b.) para acelerar la degradación del dispositivo y del sistema. En el terminal de puerta y entrada del inversor se aplica 0 V, mientras que en el resto de terminales se aplica la tensión de 2 V. Para acelerar la degradación del dispositivo, el DUT se ha sometido a la temperatura de 398,15 K. Se hace uso del método MSM, detallado en el capítulo 1, para obtener la curva característica I_D-V_{GS} del transistor MOSFET y la curva característica del inversor CMOS $V_{OUT}-V_{IN}$.

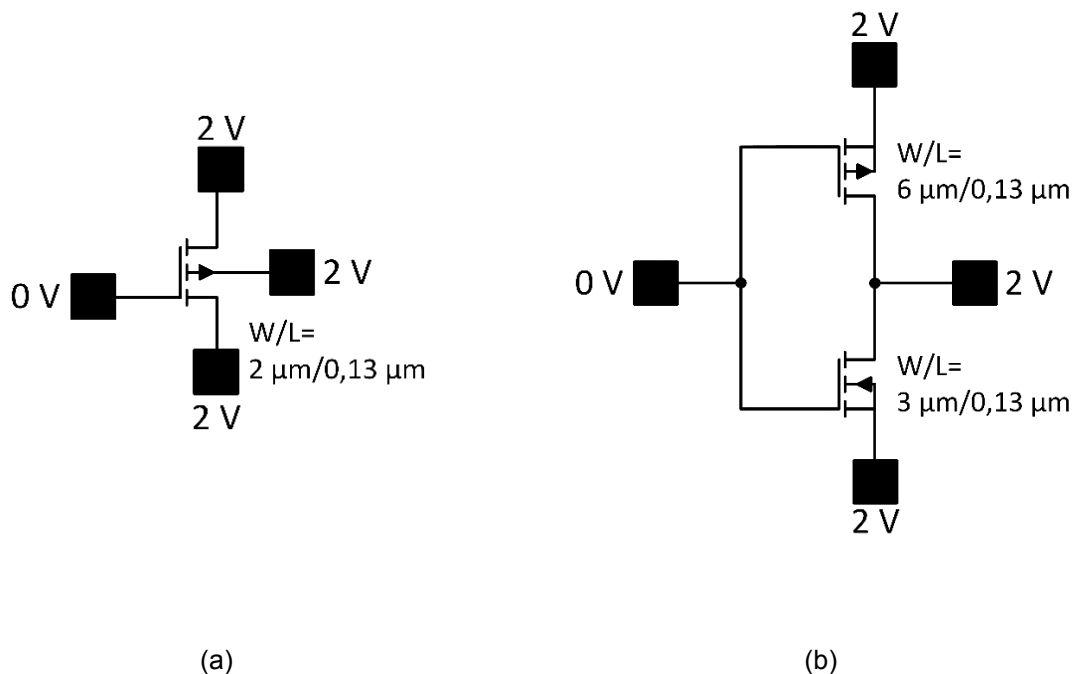


Fig. 2. 18. Tensión aplicada a cada terminal durante el estrés en (a) el transistor MOSFET de canal P y (b) en el inversor CMOS.

2.2.2 Resultados experimentales.

En los siguientes apartados, se muestran los resultados experimentales del impacto del NBTI sobre el transistor MOSFET y sobre el inversor CMOS.

2.2.2.1 Impacto del NBTI sobre el transistor MOSFET.

Una vez aplicado el estrés, se obtiene la Fig. 2. 19, en la cual se observa el desplazamiento de la tensión umbral debido al NBTI. En la Fig. 2. 20. se muestra la variación de la tensión umbral en función del tiempo de estrés. Esta variación se modeliza según la ley de potencias, con una pendiente de 1/6, la cual se ha incluido en el simulador SPICE para predecir los efectos del NBTI en el inversor CMOS.

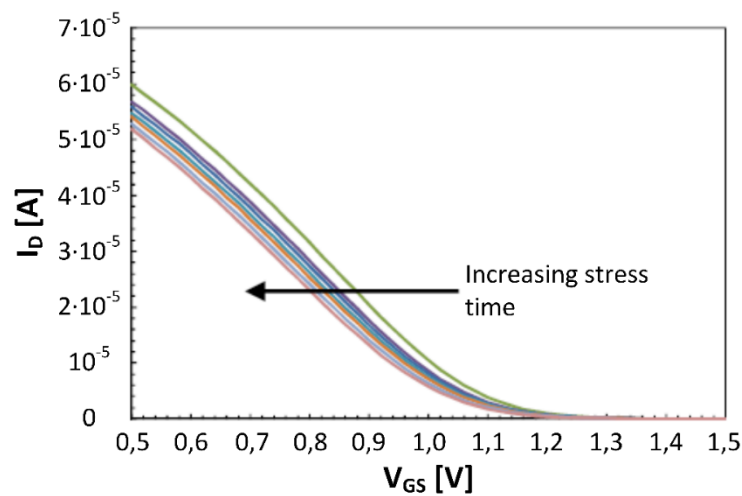


Fig. 2. 19. Característica I_D - V_{GS} del transistor MOSFET de canal P para diferentes tiempos de estrés.

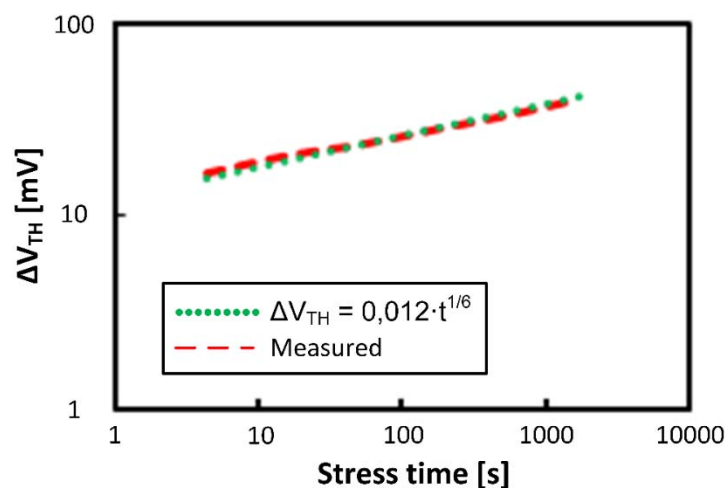


Fig. 2. 20. Variación de la tensión umbral del transistor MOSFET de canal P.

2.2.2.2 Impacto del NBTI sobre el inversor CMOS.

El modelo BSIM3 ha sido utilizado para modelizar los transistores MOSFET del inversor CMOS. Este modelo BSIM (*“Berkeley Short-Channel IGFET Model”*) [44] hace referencia a una familia de modelos de transistor MOSFET para el diseño de CI. Existen varias versiones del modelo BSIM y se han ido creando para reflejar con precisión el comportamiento del transistor a medida que los dispositivos MOS se han ido reduciendo. La versión del modelo BSIM utilizada para modelizar los transistores MOSFET del inversor CMOS ha sido la BSIM3v3 [45], la cual tiene un máximo de 97 parámetros para describir el comportamiento del dispositivo.

El modelo BSIM3v3 de los transistores ha sido obtenido de la página web *Predictive Technology Model* (PTM) [46]. Para simular el impacto del NBTI en el inversor CMOS, se varía el parámetro relacionado con la tensión umbral según la ley de potencias obtenida anteriormente.

Para cuantificar el impacto del NBTI en la puerta lógica, se extrae la variación de la tensión de máxima ganancia (ΔV_M). La tensión de máxima ganancia de un inversor CMOS (V_M) se define como el punto en el cual ambos transistores MOS se encuentran en su región de saturación. En este punto es cuando se produce el máximo consumo de corriente de la fuente de alimentación, denominado I_{SC_MAX} . La variación teórica de la tensión de máxima ganancia en función de la tensión umbral viene determinada por la ecuación (2.3.).

$$\Delta V_M = \frac{\Delta V_{TH}}{1 + \sqrt{\frac{\mu_N \cdot \left(\frac{W}{L}\right)_{NMOS}}{\mu_P \cdot \left(\frac{W}{L}\right)_{PMOS}}}} \quad (2.3.)$$

Donde μ es la movilidad de los portadores y W/L la relación de aspecto de los transistores. El inversor CMOS ha sido diseñado para que la tensión de máxima ganancia esté situado a la mitad de la tensión de alimentación. Por lo tanto, se debe cumplir $\mu_N(W/L)_{NMOS} = \mu_P(W/L)_{PMOS}$. Imponiendo esta condición, se obtiene la relación

entre la tensión umbral y la tensión de máxima ganancia del inversor, expresada en (2.4.).

$$\Delta V_M = \frac{\Delta V_{TH}}{2} \quad (2.4.)$$

En la Fig. 2. 21. se observa la curva característica del inversor CMOS para diferentes instantes de tiempo de estrés. La curva característica se desplaza hacia la izquierda, debido al incremento de la tensión umbral del transistor MOSFET de canal P. En la Fig. 2. 22. se representa la variación de la tensión de máxima ganancia en función del tiempo de estrés. Las simulaciones predicen los resultados obtenidos, aproximándose por la ley de potencias. Así mismo, la variación de V_M es la mitad de la tensión umbral, tal y como se expresó en la ecuación (2.4.).

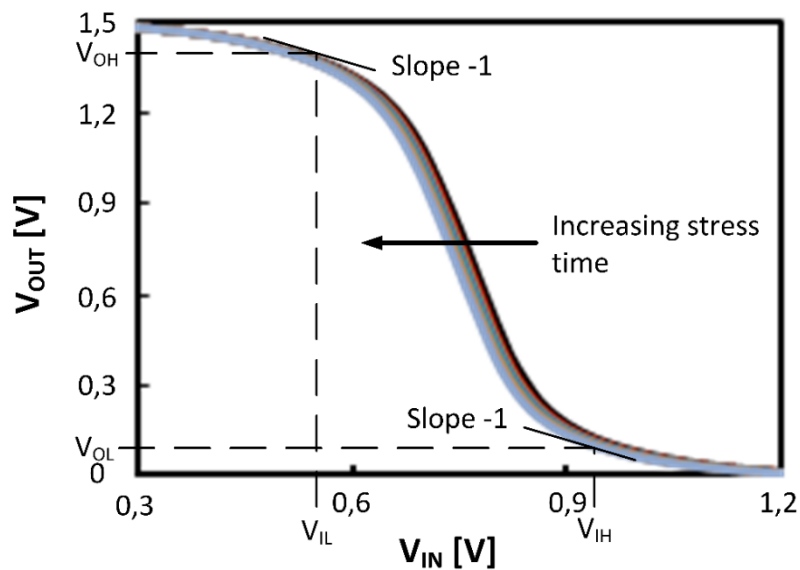


Fig. 2. 21. Curva característica del inversor CMOS medida para diferentes tiempos de estrés.

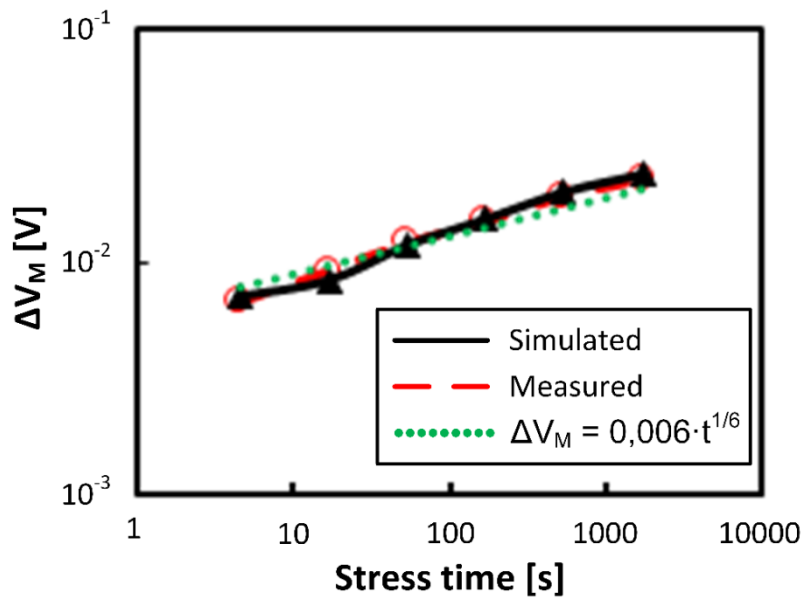


Fig. 2.22. Variación de la tensión de máxima ganancia en función del tiempo de estrés.

La robustez de un inversor CMOS se puede expresar en términos de inmunidad al ruido. Los márgenes de ruido son la forma de expresar la inmunidad y determinan el umbral mínimo y máximo para obtener un 0 o un 1 lógico. Por lo tanto, se define el “*Noise Margin Low*” (NML) que es el nivel de tensión mínimo para una transición de nivel bajo a nivel alto. El “*Noise Margin High*” (NMH) corresponde al nivel de tensión máximo para una transición de nivel alto a nivel bajo. El NML y NMH se expresan según (2.5.).

$$\begin{aligned}
 NML &= V_{IL} - V_{OL} \\
 NMH &= V_{IH} - V_{OH}
 \end{aligned}
 \tag{2.5.}$$

El parámetro V_{IL} es el nivel máximo de tensión de entrada que se considera un ‘0’ lógico. El parámetro V_{IH} es el nivel mínimo de tensión de entrada que se considera un ‘1’ lógico. El valor de tensión V_{OL} define el nivel de tensión máximo de salida que se considera un ‘0’ lógico. Por último, el valor de tensión V_{OH} define el nivel de tensión mínimo de salida que se considera un ‘1’ lógico. Los niveles de tensión V_{IL} , V_{IH} , V_{OL} y V_{OH} se obtienen cuando la pendiente de la curva característica del inversor toma el valor de -1 (Fig. 2. 21.). Idealmente, el margen de ruido debe ser simétrico y tan grande

como sea posible. A partir de la curva característica se extraen los márgenes de ruido en función del tiempo de estrés y se comparan con los resultados teóricos.

Para obtener los niveles de tensión V_{IL} y V_{OH} , el transistor MOSFET de canal N se encuentra en su región de saturación, mientras que el transistor MOSFET de canal P está en su región óhmica. Usando el modelo Shichman-Hodges (“MOSFET Level 1 Model”) [47], se detallan las ecuaciones (2.6.) y (2.7.) de los transistores MOSFET en cada una de sus regiones.

$$I_{Dn} = K_N \cdot (V_{IN} - V_{THn})^2 \quad (2.6.)$$

$$I_{Dp} = K_P \cdot [2 \cdot (V_{DD} - V_{IN} - |V_{THp}|) \cdot (V_{DD} - V_{OUT}) - (V_{DD} - V_{OUT})^2] \quad (2.7)$$

Donde K es la transconductancia y V_{TH} es la tensión umbral del transistor. El subíndice **N** o **P** indica si el parámetro hace referencia al transistor MOSFET de canal N o canal P respectivamente. Igualando las ecuaciones (2.6.) y (2.7.), se obtiene la tensión de salida V_{OUT} del inversor CMOS (2.8.).

$$V_{OUT} = V_{IN} - |V_{THp}| + \sqrt{(V_{DD} - V_{IN} - |V_{THp}|)^2 - \frac{K_N}{K_P} \cdot (V_{IN} - V_{THn})^2} \quad (2.8.)$$

Tal y como se ha descrito anteriormente, los valores V_{IL} y V_{OH} se obtienen cuando la pendiente de la curva característica del inversor toma el valor de -1. Derivando la ecuación (2.8.) e igualándola a -1, se obtiene (2.9.).

$$\frac{\partial V_{OUT}}{\partial V_{IN}} = 1 - \frac{(V_{DD} - V_{IN} - |V_{THp}|) + \frac{K_N}{K_P} \cdot (V_{IN} - V_{THn})}{\sqrt{(V_{DD} - V_{IN} - |V_{THp}|)^2 - \frac{K_N}{K_P} \cdot (V_{IN} - V_{THn})^2}} = -1 \quad (2.9.)$$

Aislado la tensión de entrada, se obtiene la tensión V_{IL} (2.10.). La tensión V_{OH} se calcula substituyendo (2.10.) en (2.8.). El mismo proceso se repite para obtener los niveles de tensión V_{IH} y V_{OL} , aunque en este caso el transistor MOSFET de canal N se encuentra en su región óhmica y el transistor MOSFET de canal P está en su región de saturación.

$$V_{IL} = \frac{(3 \cdot K_P + K_N) \cdot [(|V_{THp}| - V_{DD}) \cdot K_P + V_{THn} \cdot K_N]}{K_N^2 + 2 \cdot K_N \cdot K_P - 3 \cdot K_P^2} + \frac{2 \cdot K_P \cdot [(V_{THn} + |V_{THp}| - V_{DD}) \cdot \sqrt{K_N \cdot (3 \cdot K_P + K_N)}]}{K_N^2 + 2 \cdot K_N \cdot K_P - 3 \cdot K_P^2} \quad (2.10.)$$

La Fig. 2. 23. muestra la variación de los márgenes de ruido. El NMH aumenta con el tiempo de estrés y el NML lo hace de forma contraria. En ambos casos, las simulaciones coinciden con los resultados obtenidos en el laboratorio. Cabe destacar que se han obtenido resultados similares de forma analítica variando la tensión umbral del transistor MOSFET de canal P.

Normalmente, el margen de ruido se define como el valor mínimo entre el NML y el NMH. Mediante esta aproximación, el mecanismo de degradación NBTI reduce el margen de ruido de la puerta inversora, ya que el NML disminuye. Sin embargo, se tiene en cuenta que el NMH aumenta debido al NBTI.

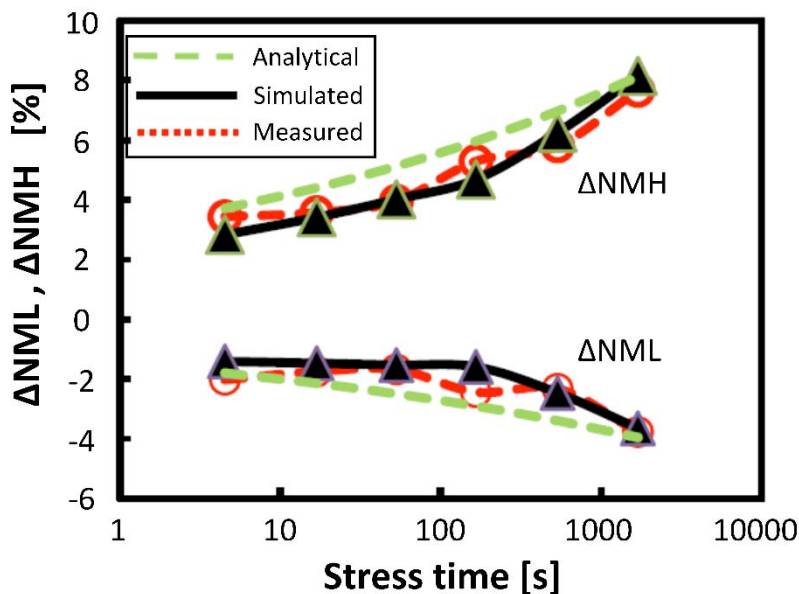


Fig. 2. 23. Márgenes de ruido del inversor CMOS en función del tiempo de estrés.

También se evalúa la corriente consumida por la puerta lógica. En la Fig. 2. 24. se muestra la corriente consumida en función de la tensión de entrada del inversor CMOS, denominada corriente de cortocircuito (I_{SC}), para diferentes tiempos de estrés.

En la Fig. 2. 25. se representa la variación del máximo de corriente consumida por el circuito digital en función del tiempo de estrés. Se observa una reducción de $100 \mu\text{A}$ transcurridos 1650 s.

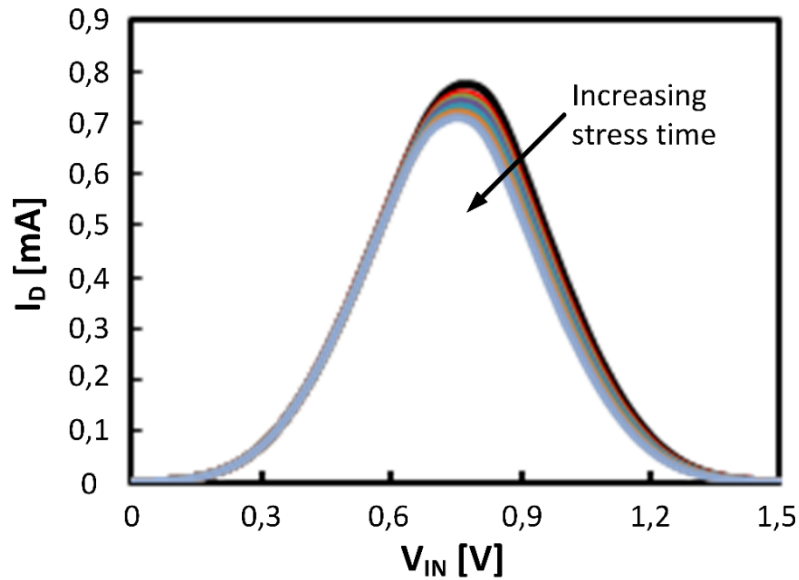


Fig. 2. 24. Corriente consumida para diferentes tiempos de estrés.

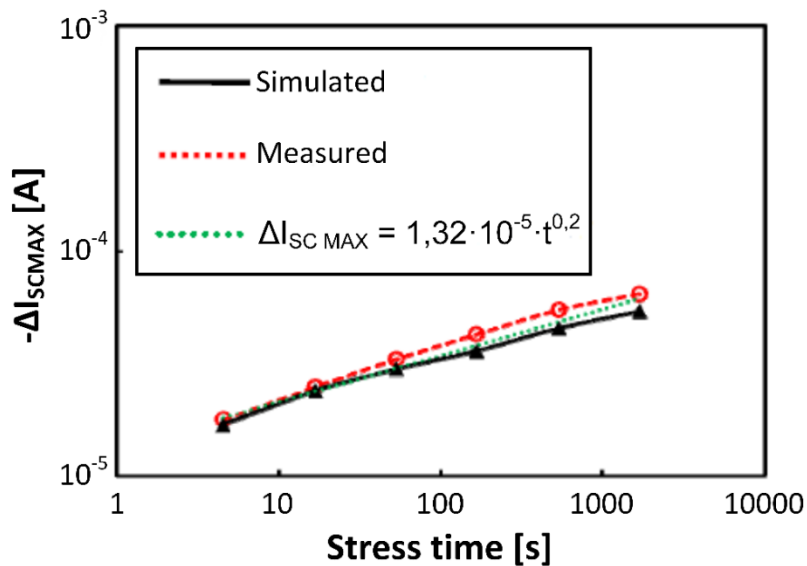


Fig. 2. 25. Variación de la corriente máxima consumida en función del tiempo de estrés.

2.2.2.3 Impacto del NBTI sobre el comportamiento EMC.

En el subapartado anterior se ha podido observar que el NBTI afecta el comportamiento del inversor. Por lo tanto, se estudia el impacto del NBTI en el ruido de conmutación.

A partir de la variación de la tensión umbral obtenida (Fig. 2. 20.), se simula el inversor CMOS para diferentes tiempos de estrés. El inversor CMOS se alimenta a 1 V, se le inyecta a la entrada una señal cuadrada de 0 V a 1 V y de frecuencia 5 MHz y se le conecta un condensador de 10 pF a la salida. En la Fig. 2. 26. se representa la tensión de salida (V_{OUT}) para diferentes tiempos de estrés. En todos los casos, el sistema combinacional permanece operativo. Aun así, el retardo del inversor se ve incrementado debido a que el NBTI reduce la corriente de drenador del transistor MOSFET de canal P.

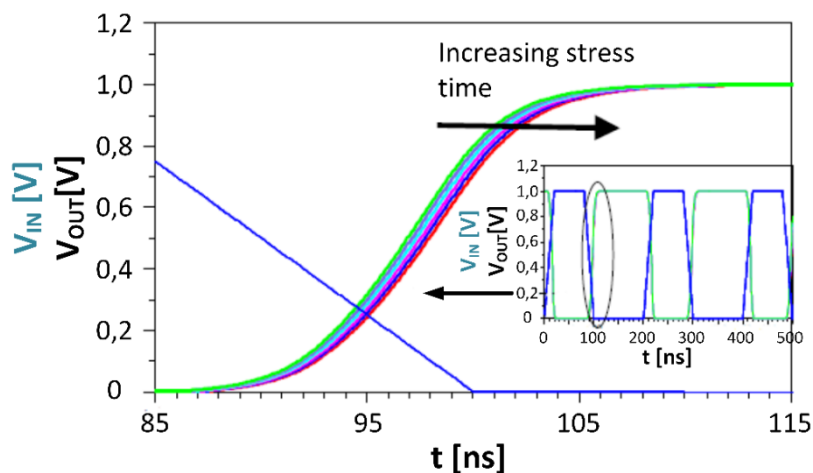


Fig. 2. 26. Tensión de salida del inversor CMOS para diferentes tiempos de estrés cuando se inyecta a la entrada una señal cuadrada.

Así mismo, se mide la corriente consumida durante una transición de nivel bajo a nivel alto en diferentes instantes del estrés eléctrico. En la Fig. 2. 27. se muestra la reducción de la corriente consumida debido al NBTI. En la Fig. 2. 28. se representa la reducción de la corriente máxima durante la transición, la cual sigue la ley de potencias. La reducción de la corriente consumida por el inversor CMOS debida al

NBTI, debería producir una reducción en el ruido de conmutación. Esta caracterización es la que se lleva a cabo con el CI Elmer22.

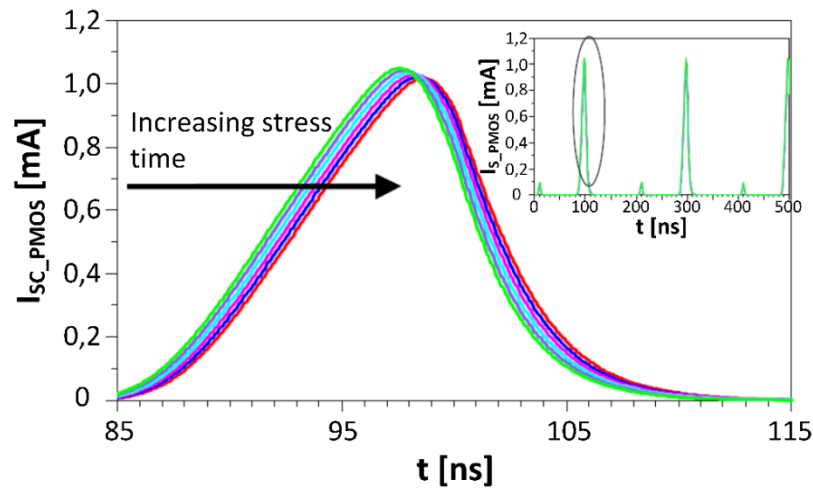


Fig. 2. 27. Corriente consumida por el inversor CMOS para diferentes tiempos de estrés cuando se inyecta a la entrada una señal cuadrada.

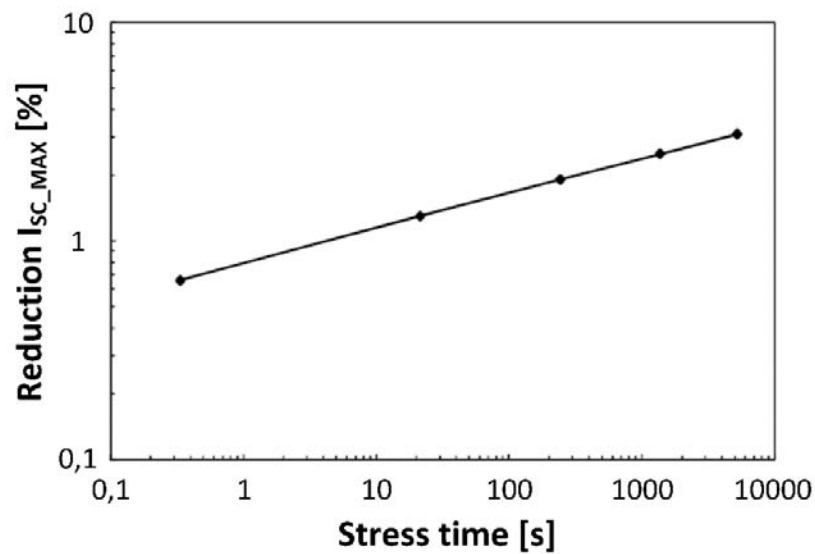


Fig. 2. 28. Variación de la corriente consumida máxima en función del tiempo de estrés.

Desde el punto de vista de la susceptibilidad electromagnética, los CI están expuestos a interferencias electromagnéticas radiadas de RF. Estas señales EMI se

acoplan al sistema por los caminos de propagación de las señales eléctricas, que actúan como antena.

En el inversor CMOS se acopla una señal EMI a la tensión de alimentación. En la Fig. 2. 29. se representa la curva característica del inversor cuando una EMI de frecuencia 100 Hz y amplitud 100 mV y 200 mV se acopla a la alimentación. La conclusión que se extrae es que tanto la EMI acoplada como el mecanismo de degradación modifican la curva característica de la puerta lógica. Por lo tanto, es importante determinar si existe correlación entre las EMI y el NBTI. Para dar respuesta a esta cuestión, se simula el inversor CMOS en diferentes tiempos de estrés y con EMI de diferente amplitud.

En la Fig. 2. 30. se muestra la variación de la tensión de máxima ganancia (ΔV_M) para diferentes tiempos de estrés. La misma ΔV_M se observa para todas las EMI, por lo tanto el NBTI no modifica la robustez electromagnética del inversor CMOS frente las EMI conducidas.

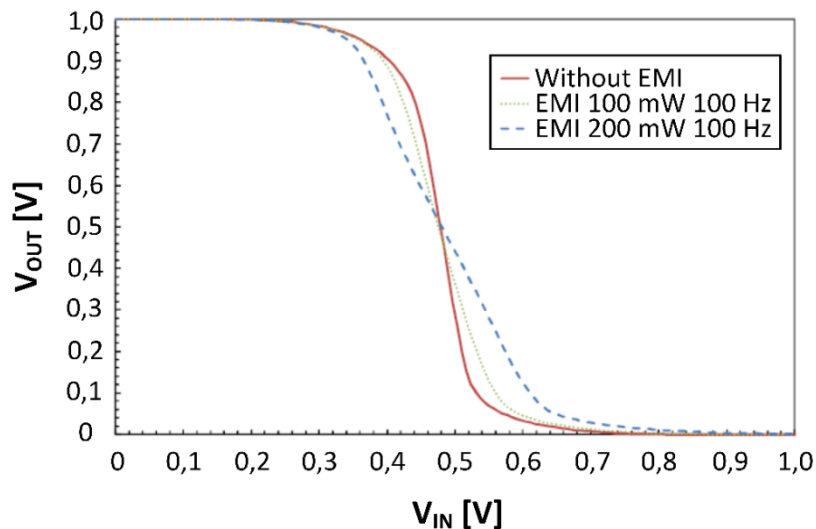


Fig. 2. 29. Curva característica del inversor CMOS con y sin EMI.

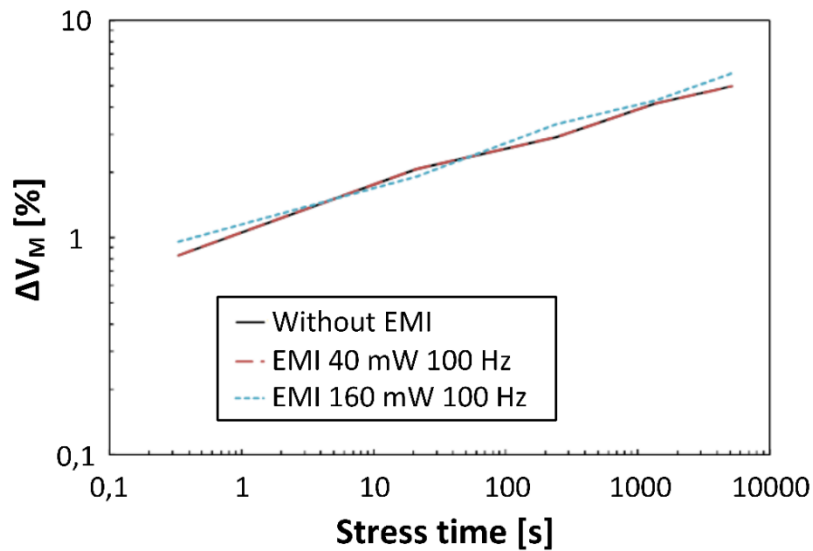


Fig. 2. 30. Variación de la tensión de máxima ganancia en función del tiempo de estrés para diferentes EMI.

2.3 Análisis de las EMI en condiciones de envejecimiento.

El estudio de los mecanismos de degradación a nivel de dispositivo MOS ha mostrado una variación de la curva característica I_D-V_{DS} . Asimismo, el comportamiento de un sistema digital, como un inversor CMOS, se ve modificado debido al impacto de estos mecanismos. En el presente apartado, se procede a estudiar la integridad de la señal y la robustez electromagnética en los sistemas digitales. Para ello, se ha fabricado el CI específico Elmer22, detallado a continuación.

2.3.1 Circuito integrado Elmer22.

El CI Elmer22 está fabricado por **Freescale Semiconductor, Inc.**, con la misma tecnología CMOS que el CI Elmer02 y encapsulado en el LQFP64. Dicho circuito se muestra en la Fig. 2. 31. La Fig. 2. 32. ilustra la placa del circuito impreso diseñada para caracterizar los bloques internos. El CI Elmer22 contiene cinco bloques principales, detallados en la Tabla 2. 4., cada uno de ellos con sus propias entradas y salidas digitales y alimentación independiente. Dentro del CI, se pueden encontrar

transistores MOSFET de óxido delgado, con una tensión de funcionamiento nominal de 1,2 V y una longitud de canal de 100 nm, así como transistores MOSFET de óxido grueso, con una tensión de funcionamiento nominal de 3,3 V y una longitud de canal de 0,38 μm .

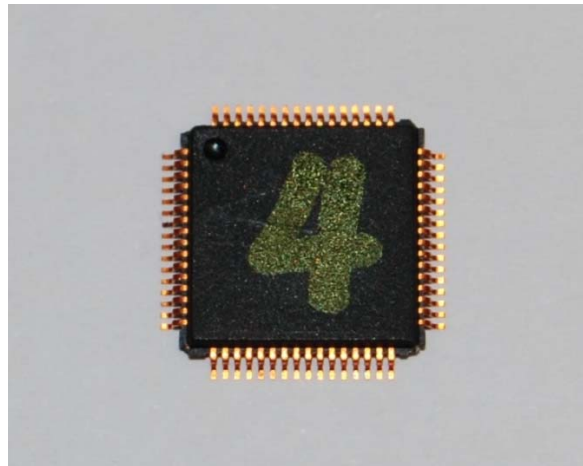


Fig. 2. 31. Circuito integrado Elmer22.

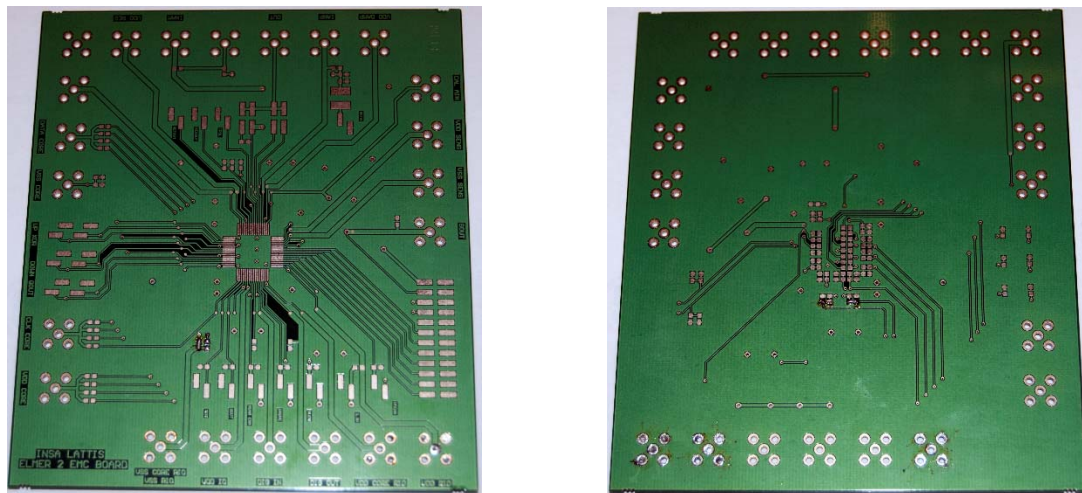


Fig. 2. 32. Placa de circuito impreso para el CI Elmer22..

Para proteger los sistemas digitales frente a descargas electrostáticas (“*Electrostatic Discharge*” o ESD), se han añadido dos niveles de protección: uno a nivel individual para cada señal de entrada o salida y otro a nivel de todo el bloque.

Tabla 2. 4. Bloques principales del CI Elmer22		
<i>Descripción</i>	<i>Número de sensores</i>	<i>Número de entradas/salidas</i>
Multiplexado del sensor, control del retardo, calibración del oscilador del retardo y 2 sondas de sensores de repuesto para la calibración.	2	14
Oscilador en anillo, bloque de entradas y salidas digitales	4	10
4 núcleos digitales con diferentes condensadores de desacoplo	16	23
Regulador de tensión y voltaje de referencia de 1,2 V	3	4
2 amplificadores diferenciales analógicos	5	8

2.3.1.1 Sensor de tensión integrado.

La característica principal del Elmer22 es que contiene sensores de tensión integrados, los cuales permiten medir señales periódicas con un ancho de banda inferior a los 10 GHz utilizados para caracterizar las EMI.

El sensor se basa en la técnica del submuestreo [48] y su funcionamiento se muestra en la Fig. 2. 33. La adquisición de la señal se realiza varias veces y se toma una única muestra en cada periodo. La adquisición de la muestra se realiza sincronizando la señal de control (“*Synchro*”) con la perturbación de la señal a medir. La señal externa de sincronización se usa para muestrear la señal de interés. La orden de muestreo (“*Sampling Command*”) se retarda respecto la señal de control con un bloque de retardo. Cuando se detecta la señal de muestreo, se adquiere la primera muestra. En el siguiente periodo de la señal de entrada, se adquiere una nueva muestra retardada respecto la primera. La señal de salida (“*Sampled Data*”) de baja

frecuencia es medida externamente para su posterior reconstrucción. El periodo de muestreo viene fijado por el retardo mínimo.

La arquitectura del sensor se observa en la Fig. 2. 34. El sensor consta de la punta de prueba (“*Sensor Probe*”) y del núcleo del sensor (“*Sensor Core*”). La punta de prueba está situada en el nodo de la tensión a medir. El núcleo del sensor se encarga de multiplexar las 32 puntas de prueba que hay en el CI Elmer22 y controlar el retardo en el muestreo. Mediante las señales V_{plage} y V_{analog} se controla el retardo añadido a la señal de control, generando la señal de muestreo. La última etapa del sensor es un seguidor de tensión con un ancho de banda de 2,5 MHz limitando la frecuencia máxima de la señal “*Syncro*” a 5 MHz. El tamaño del sensor dentro del CI es de 19,47 μm por 18,86 μm , con una capacidad equivalente de entrada de 4 fF.

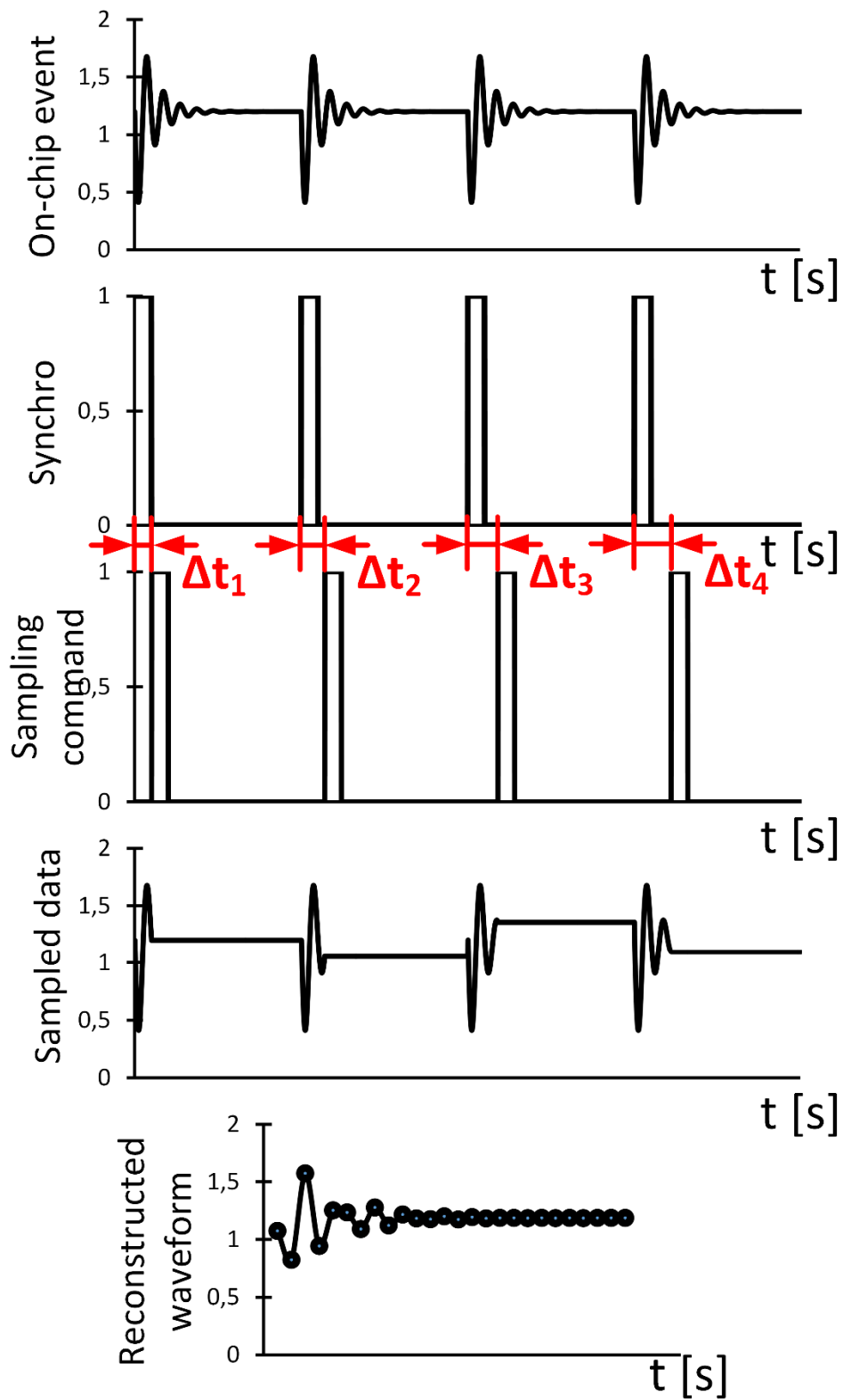


Fig. 2. 33. Principio para la reconstrucción de la señal muestreada [49].

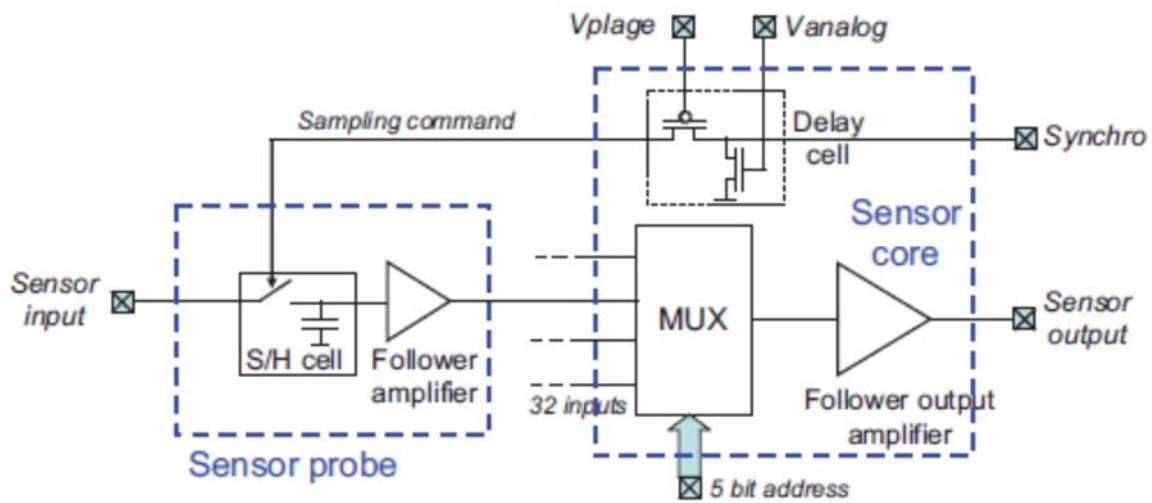


Fig. 2. 34. Arquitectura del sensor en el CI [49].

2.3.1.2 Bloque de entradas y salidas digitales.

El CI Elmer 22 integra un bloque de entradas y salidas digitales, diseñado para interconectar los núcleos digitales internos con las señales digitales externas. El bloque de entradas y salidas es un convertor de niveles, de **VDD_RIO** a 1,2 V y viceversa, siendo **VDD_RIO** la tensión de alimentación del bloque de entradas y salidas digitales y 1,2 V la tensión de alimentación de los núcleos digitales. Para caracterizar el bloque de entradas y salidas digitales, se han insertado cuatro puntas de prueba para medir las tensiones de alimentación de 1,2 V y **VDD_RIO** y las señales de entrada y salida del bloque.

2.3.1.3 Núcleo digital.

El CI integra un núcleo digital, cuyo esquema se muestra en la Fig. 2. 35. Este núcleo está formado por 100 registros de desplazamiento, implementados con básculas tipo D. La salida de cada báscula se conecta a una cadena de 100 inversores antes de conectarse a la entrada de la siguiente báscula. Asimismo, la salida de la

última báscula se conecta a 100 inversores antes de conectarse a la salida física del núcleo digital.

Con los sensores integrados en el CI Elmer22, se mide la tensión de alimentación del núcleo digital, la señal de reloj y la señal de entrada y salida de la segunda báscula del núcleo, con el objetivo de caracterizar el sistema digital.

El núcleo digital está cuadruplicado en el CI Elmer22 y la diferencia entre cada uno de ellos es el condensador de desacoplo ($C_{DEC|i}$) asociado a cada núcleo. En la Tabla 2. 5. se detalla el tipo de condensador de desacoplo fabricado para cada núcleo digital.

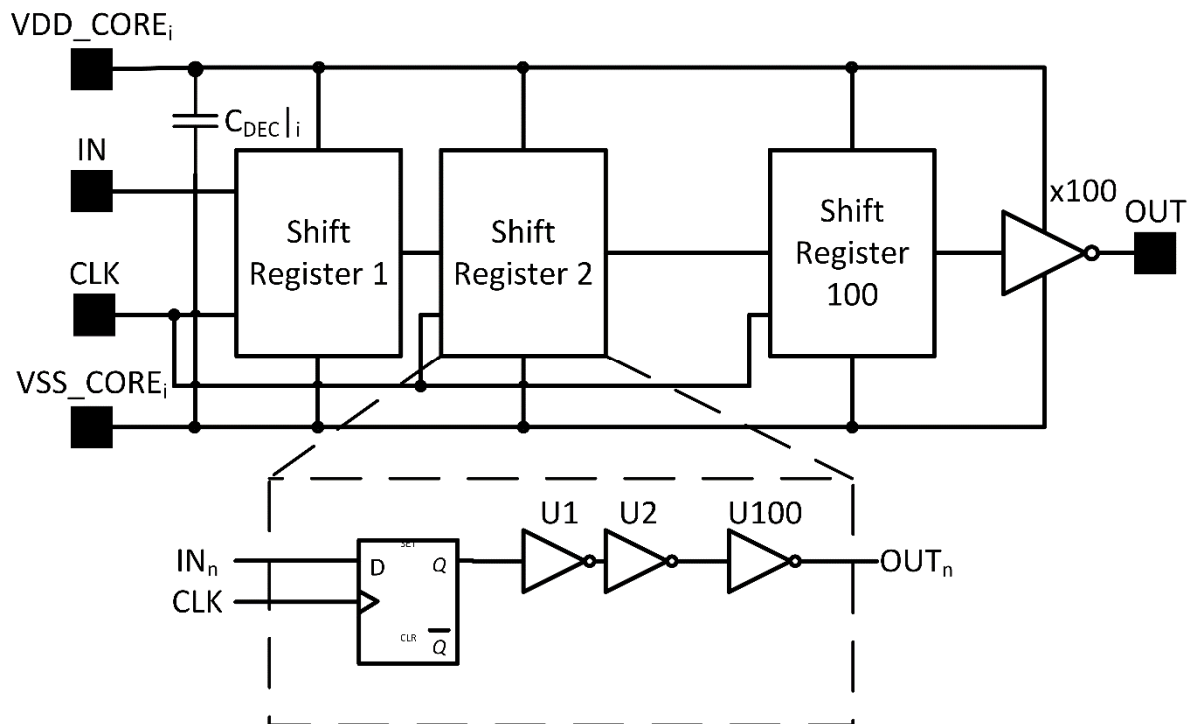


Fig. 2. 35. Esquema del núcleo digital.

Tabla 2. 5. Condensadores de desacoplo para cada núcleo

Núcleo	Tipo de condensador de desacoplo	Capacidad nominal
1	Ninguno	0 pF
2	Metal-Metal	89,32 pF
3	MOS de Polisilicio con pozo tipo P	100 pF
4	MOS de Polisilicio con pozo tipo N	100 pF

2.3.2 Resultados experimentales

En los sucesivos apartados se muestran los resultados experimentales sobre el bloque de entradas y salidas digitales y sobre los núcleos digitales. En el artículo [CONTRIBUCIÓN 4] se publicaron los resultados obtenidos.

2.3.2.1 Resultados experimentales del bloque de entradas y salidas digitales.

Para caracterizar el bloque de entradas y salidas digitales antes y después del estrés, se aplica el método MSM. Las tensiones de estrés, la duración de los tiempos de estrés y los momentos en los cuales se realiza la caracterización están definidos antes del ensayo. Para el caso del bloque de entradas y salidas digitales, la tensión de alimentación nominal es de 3,3 V y la tensión de estrés aplicada a sus terminales de alimentación es de 6 V a 7 V.

El estrés eléctrico acelera la aparición de los mecanismos de degradación, los cuales pueden afectar tanto a los transistores MOSFET de canal N (*“pull-down”* NMOS MOSFET o PD) y a los transistores MOSFET de canal P (*“pull-up”* PMOS MOSFET o

PU). Para ambos tipos de transistores, se obtiene la característica I_D-V_{DS} y se extrae la corriente de saturación.

En la Fig. 2. 36a. se puede observar la evolución de la corriente de saturación en los transistores MOSFET de canal N. Para una tensión de estrés de 6,5 V, tras 240 minutos la corriente de saturación disminuye un 32 %. La misma variación se logra con una tensión de estrés de 7,0 V en un tiempo de 30 minutos. En la Fig. 2. 36b se observa la evolución de la corriente de saturación en los transistores MOSFET de canal P, la cual no varía después del estrés aplicado. Esto indica que el estrés eléctrico aplicado en el bloque de entradas y salidas, acelera el mecanismo de degradación HCI en los transistores MOSFET de canal N.

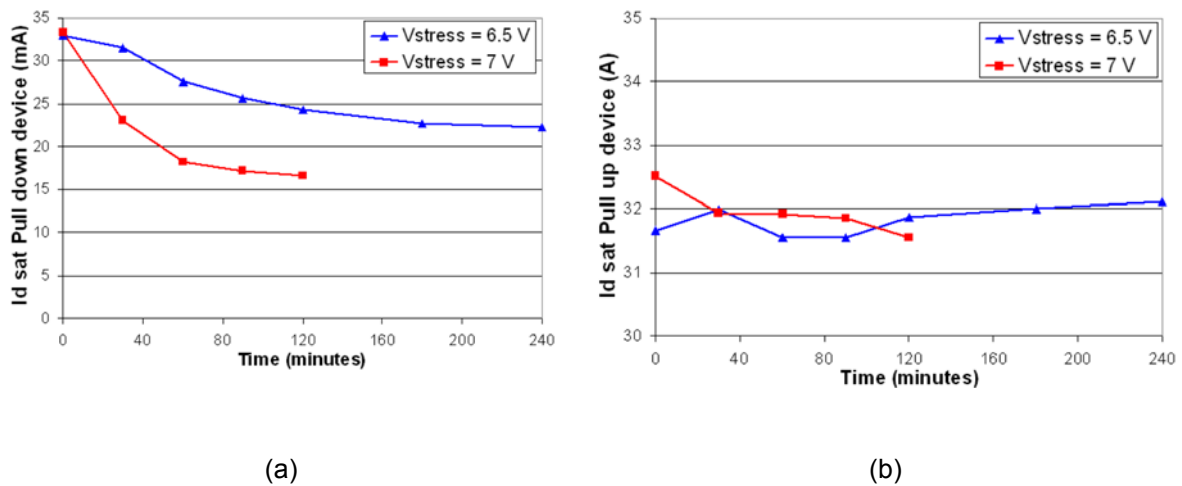


Fig. 2. 36. Evolución de la corriente de saturación del (a) transistor MOSFET de canal N y (b) del transistor MOSFET de canal P.

En la Fig. 2. 37. se muestra el tiempo de subida ("Rise Time") y bajada ("Fall Time") de la señal de salida, los cuales se ven afectados por la degradación de los transistores MOSFET de canal N y canal P. A medida que la corriente de saturación disminuye, los tiempos de subida y de bajada del bloque se ven incrementados. Debido a que la variación de corriente de saturación en los transistores MOSFET de canal N es mayor que en los transistores MOSFET de canal P, el incremento del tiempo de bajada es mayor que el incremento del tiempo de subida.

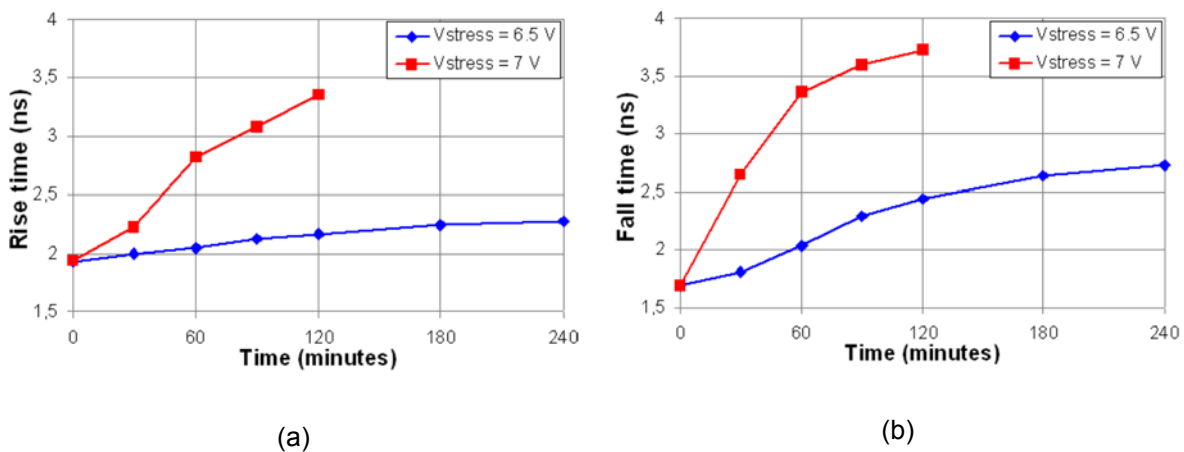


Fig. 2. 37. Evolución del (a) tiempo de subida y del (b) tiempo de bajada del bloque digital de entradas y salidas en función del tiempo de estrés.

Finalmente, se mide la corriente consumida por el bloque de entradas y salidas digitales antes y después del estrés eléctrico, usando el estándar IEC 61967-4. La Fig. 2. 38. y la Fig. 2. 39. muestran los cambios en las emisiones electromagnéticas conducidas para las dos tensiones de estrés. Para facilitar la comparación entre los resultados obtenidos, se representa la envolvente del espectro.

El estrés eléctrico induce una reducción en los niveles de emisión del circuito integrado, especialmente en el rango de altas frecuencias, excepto para las ocho primeras componentes espectrales (hasta 80 MHz). El contenido espectral por encima de la frecuencia de 600 MHz desaparece después del estrés eléctrico. La envolvente del espectro se reduce como máximo 20 dB a 260 MHz.

Los cambios en los niveles de emisión dependen de la tensión y del tiempo de estrés. En la Fig. 2. 39. se observa como los niveles de emisión van decayendo a medida que el tiempo de estrés aumenta. Tal y como sucede con las características I_D - V_{DS} de los transistores MOSFET, el efecto de la tensión de estrés de 6,5 V aplicado durante 240 minutos es el mismo que el efecto de la tensión de estrés de 7,0 V aplicado durante 30 minutos. La reducción de los niveles de emisión es debida a la reducción de la corriente de saturación en el transistor MOSFET de canal N y al incremento del tiempo de subida y bajada del bloque digital, ambos efectos producidos por el mecanismo de degradación HCI.

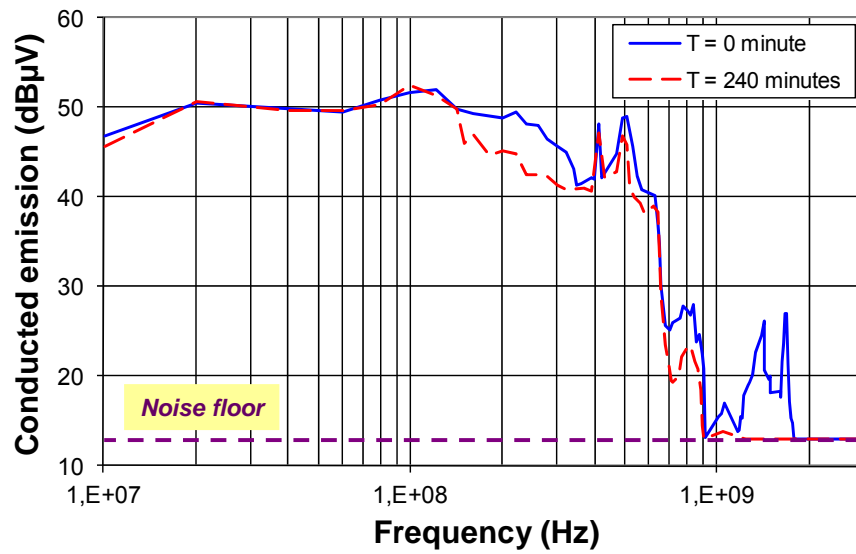


Fig. 2. 38. Cambio en las interferencias electromagnéticas conducidas del bloque de entradas y salidas digitales después de 240 minutos con una tensión de estrés de 6,5 V.

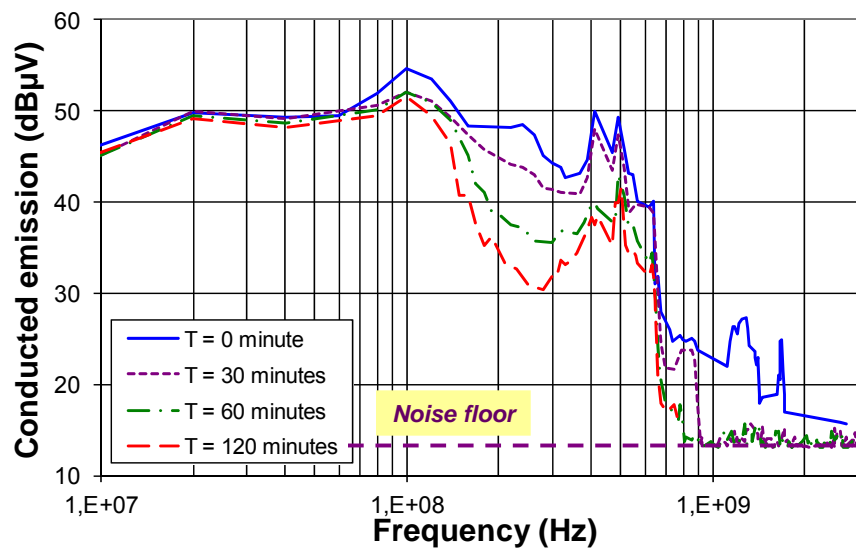


Fig. 2. 39. Cambio en las interferencias electromagnéticas conducidas del bloque de entradas y salidas digitales después de 120 minutos con una tensión de estrés de 7,0 V.

2.3.2.2 Resultados experimentales en los núcleos digitales.

A continuación se procede a la caracterización de los cuatro núcleos digitales y de los condensadores de desacoplo conectados en paralelo con los núcleos digitales. El valor de los condensadores de desacoplo se ha obtenido con un Analizador de Redes (“*Vector Network Analyzer*” o VNA) en dos situaciones: con y sin tensión de alimentación. Los resultados se detallan en la Tabla 2. 6., obteniéndose resultados similares a los valores teóricos mostrados en la Tabla 2. 5.

Tras medir la capacidad de los condensadores de desacoplo, se procede a caracterizar el rizado de la tensión de alimentación de los cuatro núcleos digitales con los sensores integrados. En la Tabla 2. 6. se detallan los resultados del rizado de la tensión de alimentación en los diferentes núcleos, obteniendo un rizado mínimo y máximo de 26 mV y 59 mV, respectivamente, para el condensador MOS tipo N y sin condensador.

Tabla 2. 6. Medidas experimentales de los condensadores de desacoplo y del rizado de la tensión de alimentación en los núcleos digitales.				
Núcleo	Tipo de condensador de desacoplo	Capacidad		Rizado de tensión
		Sin alimentación	Con alimentación	
1	Ninguno	18 pF	25 pF	59 mV
2	Metal-Metal	99 pF	104 pF	27 mV
3	MOS tipo P	90 pF	60 pF	40 mV
4	MOS tipo N	100 pF	128 pF	26 mV

Con los núcleos digitales, se estudia el impacto de los mecanismos de degradación en los tiempos de propagación, en la integridad de la señal de alimentación y en las interferencias electromagnéticas conducidas. La tensión nominal del núcleo digital es de 1,2 V y la tensión de estrés está en el intervalo de 3 V a 4 V. Tras aplicar el estrés eléctrico, las muestras medidas permanecen operativas y la corriente de reposo no aumenta. Por el contrario, las características temporales del circuito integrado se modifican. En la Fig. 2. 40. se muestra el cambio en el tiempo de propagación del núcleo digital 1 entre dos etapas para diferentes tensiones de estrés. El tiempo de propagación se ve incrementado de un 25 % a un 65 % dependiendo de la tensión de estrés y del tiempo de duración del mismo, debido a los mecanismos de degradación.

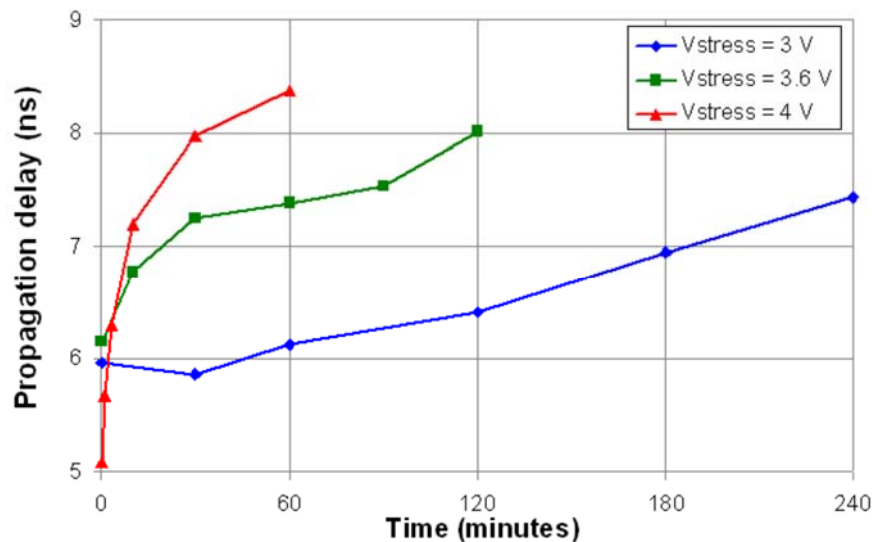


Fig. 2. 40. Cambio en el tiempo de propagación del núcleo digital 1 para diferentes condiciones de estrés.

Mediante el uso de los sensores de tensión integrados, se estudia la integridad de la señal de alimentación antes y después de aplicar el estrés eléctrico de 3,0 V y 3,6 V. Los resultados se muestran en la Fig. 2. 41. y Fig. 2. 42. Las perturbaciones en la tensión de alimentación están relacionadas con la señal de reloj de 40 MHz. En cada flanco de reloj ascendente, se produce un sobreimpulso en la tensión de alimentación debido a la conmutación de las puertas lógicas, seguido de una oscilación amortiguada de 4,2 ns de periodo. La oscilación amortiguada está relacionada con el

camino de propagación desde el encapsulado al circuito integrado y la capacidad de entrada equivalente del propio CI.

Tras un estrés de 240 minutos, se observa una reducción del sobreimpulso de la tensión de alimentación, así como una variación en la forma de onda. El tiempo entre dos sobreimpulsos consecutivos y el periodo de la oscilación amortiguada no se ven modificados. La reducción del sobreimpulso de tensión es debida a una disminución de la corriente consumida por el propio circuito integrado, propiciada por la degradación del CI.

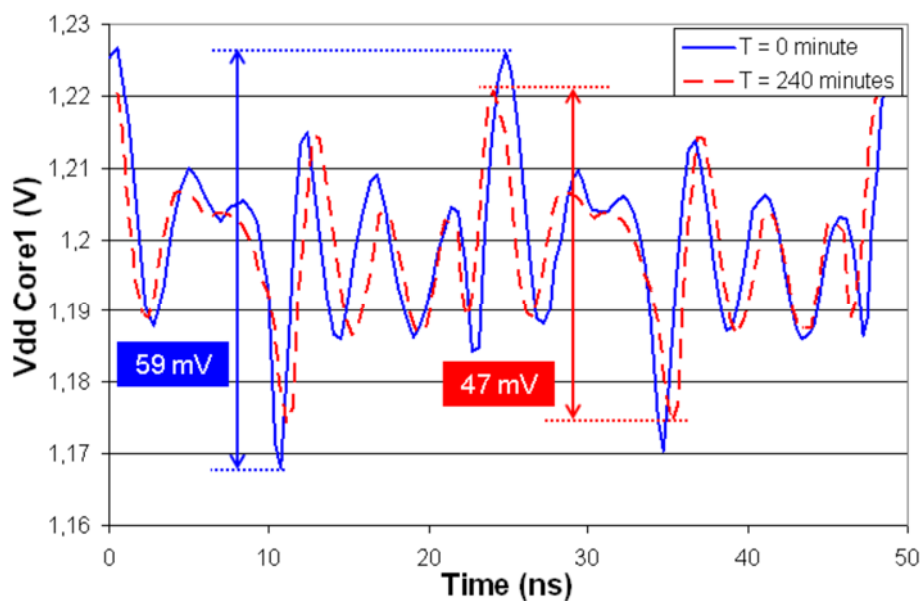


Fig. 2. 41. Cambio en la tensión de alimentación en el núcleo digital 1 después de 240 minutos a una tensión de estrés de 3,0 V.

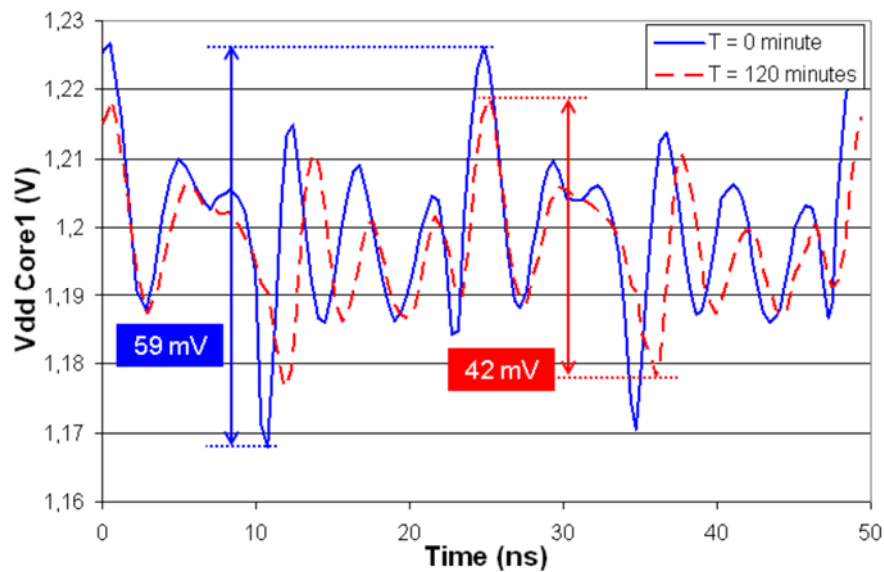


Fig. 2. 42. Cambio en la tensión de alimentación en el núcleo digital 1 después de 120 minutos a una tensión de estrés de 3,6 V.

Una vez estudiada la integridad de la señal de alimentación, se miden las emisiones electromagnéticas conducidas antes y después del estrés eléctrico con el analizador de espectros, usando el estándar IEC 61967-4. La Fig. 2. 43. muestra la envolvente del espectro de las interferencias electromagnéticas conducidas antes y después del estrés eléctrico. Se puede observar una reducción en el nivel de las emisiones a partir de los 200 MHz una vez estresado el núcleo digital. A la frecuencia de 1 GHz se produce la reducción máxima de 15 dB μ V. El contenido espectral a partir de 1 GHz es despreciable ya que se mide el ruido de fondo del propio analizador de espectros, situado en los 12 dB μ V.

Las medidas de las EMI conducidas confirman la reducción de las oscilaciones en la tensión de alimentación después del estrés, ya que una reducción en amplitud de los armónicos de alta frecuencia tiene efecto en la integridad de la tensión de alimentación. El contenido espectral de alta frecuencia se reduce en amplitud debido a los mecanismos de degradación acelerados por el estrés eléctrico.

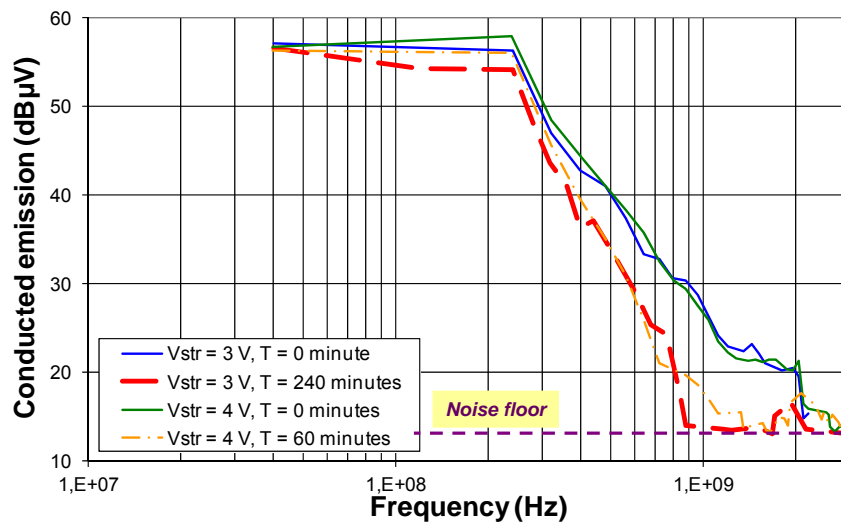


Fig. 2. 43. Evolución de las EMI conducidas del primer núcleo digital antes y después del estrés eléctrico de 3 V y 4 V

Cada núcleo digital tiene implementado un condensador de desacoplo, pero independientemente del tipo de condensador, el tiempo de propagación de las señales digitales se ve modificado en la misma proporción en los cuatro núcleos digitales. Por lo tanto, se puede concluir que esta variación es debida a los mecanismos de degradación.

Tal y como se realizó con el primer núcleo digital, se procede a medir el sobreimpulso o rizado de la tensión de alimentación en el resto de núcleos. La Fig. 2. 44. muestra el rizado de la tensión de alimentación en cada uno de los cuatro núcleos después de dos ensayos de estrés. Se produce una reducción del rizado en la tensión de alimentación excepto en el cuarto núcleo digital. El rizado de tensión en primer núcleo se reduce entre un 20 % y 30 % dependiendo de la tensión de estrés y de su duración. En el segundo y tercer núcleo digital se produce una reducción del 10% al 15 %.

En el tercer núcleo, la oscilación medida tiene una frecuencia de 140 MHz, debido a la resonancia producida por el camino de propagación que va del circuito integrado al encapsulado del mismo.

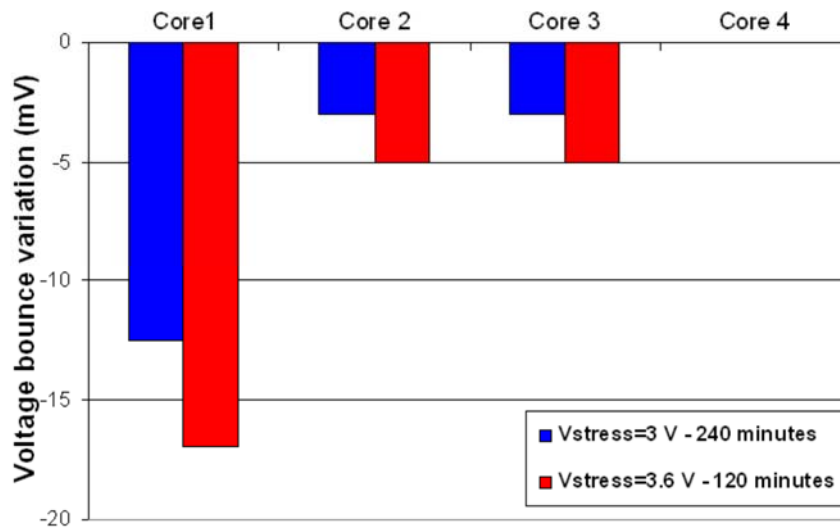


Fig. 2. 44. Rizado de la tensión de alimentación después de dos tipos de estrés eléctrico.

Para finalizar, se mide la evolución de las interferencias electromagnéticas conducidas del segundo, tercer y cuarto núcleo digital. La envolvente de las emisiones conducidas de los tres núcleos restantes es similar a la mostrada en la Fig. 2. 43. En la Fig. 2. 45. se muestra la variación de las EMI conducidas después del estrés eléctrico de 3,6 V y de duración 120 minutos. Las emisiones conducidas tienden a reducirse a partir de los 200 MHz, independientemente del condensador de desacoplo. Las componentes espectrales entre 400 MHz y 800 MHz se reducen de manera más significativa debido al aumento del tiempo de retardo de las puertas lógicas. A partir de la frecuencia de 800 MHz, la reducción es imperceptible, de ahí que sea 0 dB, ya que las componentes espectrales antes y después del estrés tienen una amplitud inferior al ruido de fondo del analizador de espectros.

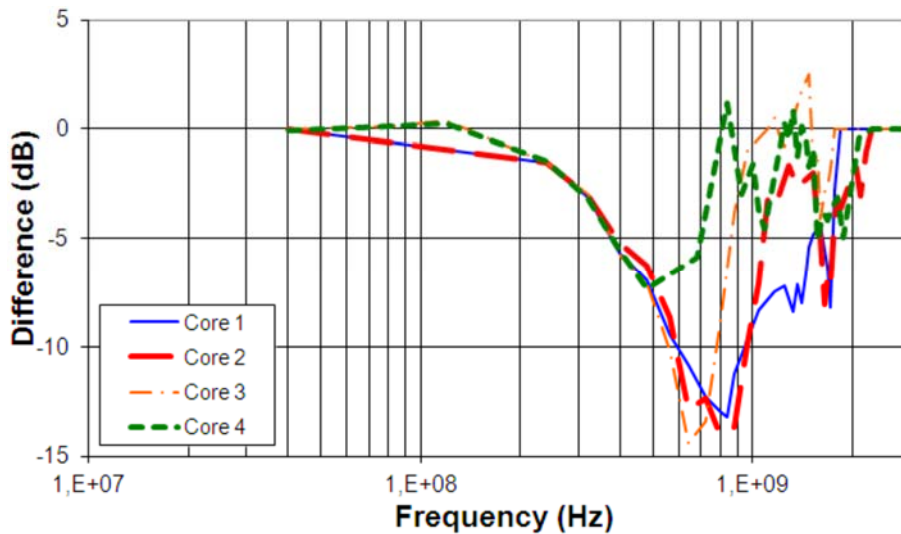


Fig. 2. 45. Variación de las EMI conducidas de los cuatro núcleos digitales después de un estrés eléctrico de 3,6 V y de duración 120 minutos.

2.4 Conclusiones.

En el capítulo se ha estudiado el impacto del mecanismo de degradación HCI en diferentes transistores MOSFET de canal N y en diferentes condiciones de estrés. A partir de la caracterización del dispositivo, se ha extraído el modelo Sakurai-Newton, modelizando el impacto del HCI. El modelo puede ser utilizado en los simuladores eléctricos para predecir el impacto del HCI en el comportamiento de los circuitos digitales.

También, se ha caracterizado el impacto del NBTI en diferentes transistores MOSFET de canal P y en diferentes condiciones de estrés. El modelizado del NBTI se lleva a cabo variando la tensión umbral del propio dispositivo. El impacto del NBTI depende de la geometría del dispositivo, así como de la tensión de estrés aplicada.

Una vez caracterizado y modelizado el impacto del NBTI, se mide el impacto de este mecanismo de degradación en un inversor CMOS. El NBTI en el inversor produce un desplazamiento a la izquierda de la curva característica $V_{OUT}-V_{IN}$, una reducción del NML y un incremento del NMH. También, se ha observado que se reduce la

corriente consumida por la puerta lógica debido al NBTI. Por otro lado, la robustez del inversor no se vio modificada debido al NBTI.

Partiendo del estudio anterior, se ha procedido a caracterizar el impacto de los mecanismos de degradación en la integridad de la señal de alimentación y en las EMI conducidas. El estudio pretende aclarar el cambio de nivel de las EMI conducidas en un circuito integrado implementado con tecnología CMOS de 90 nm. Se ha aplicado un estrés eléctrico en un bloque de entradas y salidas digitales y en cuatro núcleos digitales. Se ha observado una reducción en las emisiones conducidas, especialmente en el contenido armónico frecuencial de alta frecuencia y una mejora en la integridad de la señal de alimentación.

En definitiva, el estudio de los mecanismos de degradación a nivel de dispositivo confirma una variación en la característica I_D-V_{DS} de los transistores MOSFET. Si la característica del dispositivo se modifica, el comportamiento de los sistemas digitales se ve alterado, como se observa en la curva característica del inversor CMOS. Asimismo, debido a los mecanismos de degradación, la corriente consumida por los sistemas digitales se ve reducida, produciendo una disminución de las interferencias electromagnéticas conducidas a nivel de circuito integrado y una mejora en la integridad de la señal de alimentación.

Aunque los resultados presentados en el documento exhiben una disminución de las emisiones a nivel de CI, el envejecimiento es una fuente adicional de variabilidad de los niveles de emisión que debería ser tenida en cuenta en el estudio de las EMI conducidas.

Capítulo 3.

Propuesta de modelado de EMI de alta frecuencia en Circuitos Integrados.

Los estudios realizados en el anterior capítulo de la tesis indican que se produce una variación de las EMI conducidas en los CI debido a los mecanismos de degradación. Por otro lado, debido a que los componentes microelectrónicos son cada vez más complejos, se aumenta la capacidad de integración y la frecuencia de reloj, desemboca en la necesidad de caracterizar las EMI a nivel de CI. La industria electrónica requiere modelos eléctricos para predecir las emisiones conducidas o radiadas [50]. Estos modelos EMC se pueden obtener en la fase de diseño del CI o a partir de las medidas realizadas en el laboratorio, para predecir el impacto de las emisiones conducidas y/o radiadas a otros circuitos integrados cercanos.

Como se indicó en el capítulo 1, existen varios modelos propuestos para describir el comportamiento EMC de un CI: modelo “*Input/Output Buffer Information Specification*” (IBIS) [19], “*Linear Equivalent Circuit Current Source*” (LECCS) [51, 52], “*Interface Model for Integrated Circuits*” (IMIC) [53] y el “*Integrated Circuit Emission Model*” (ICEM) [22]. El modelo “*Integrated Circuit Electromagnetic Model – Conducted Emissions*” (ICEM-CE) describe un modelo eléctrico para caracterizar las interferencias electromagnéticas a nivel de CI en el rango de frecuencias de 150 kHz hasta 1 GHz. Tal y como se describió en el capítulo 1, este estándar se ha utilizado para diferentes aplicaciones: para calcular el condensador de desacoplo de un circuito ASIC [38], analizar la fluctuación de un PLL integrado [40], modelar las emisiones electromagnéticas de un microcontrolador [54], ...

Como se ha detallado en el capítulo 1, el modelo ICEM-CE es excelente para predecir las interferencias electromagnéticas conducidas pero está limitado en frecuencia. Debido al incremento de la frecuencia de funcionamiento de los sistemas electrónicos (Wireless, etc.), existe la necesidad de extender el modelo eléctrico de las emisiones conducidas más allá de la frecuencia de 1 GHz. Además, el modelo ICEM-CE caracteriza el ruido electromagnético generado por el propio CI como una fuente de corriente (IA). Las características de la IA están definidas en un archivo ASCII o aproximan el ruido de conmutación como una señal triangular. En el caso del archivo ASCII, la IA se describe por la frecuencia del armónico y su amplitud o por el tiempo y la amplitud de la señal en ese instante. Este modo de caracterización del ruido electromagnético no facilita cuantificar las variaciones de la IA. Por otra parte, modelizando la IA por una señal triangular no se obtiene una buena correlación con las medidas experimentales.

En este capítulo se propone un modelo eléctrico para caracterizar y modelizar las interferencias electromagnéticas conducidas hasta 3 GHz. Los parámetros distribuidos de las líneas de transmisión se han tenido en cuenta, incluyendo los acoplamientos capacitivos e inductivos. Además, se presenta una aproximación alternativa para modelar el ruido electromagnético generado, evitando las limitaciones anteriormente mencionadas. Este modelo alternativo está basado en las componentes espectrales de la IA.

El capítulo prosigue con la caracterización y modelado de las emisiones electromagnéticas conducidas a nivel de CI a diferentes temperaturas y partiendo del modelo eléctrico válido hasta los 3 GHz a temperatura ambiente. Para validar el modelo propuesto a varias temperaturas, se hace uso del método FSV.

El capítulo finaliza presentando las principales conclusiones y aportaciones realizadas.

3.1 Extensión en frecuencia de modelos de emisiones conducidas

El punto de partida para predecir las interferencias electromagnéticas conducidas hasta la frecuencia de 3 GHz es el modelo ICEM-CE. Por lo tanto, se incluyen en el modelo propuesto la red de distribución pasiva de la placa de circuito impreso (PDN PCB), la red de distribución pasiva del CI (PDN IC) y la fuente de corriente o “*Internal Activity*” (IA), tal y como se muestra en la Fig. 3. 1. A continuación se abordará la extensión en frecuencia extrayendo la PDN PCB, la PDN IC y la IA, verificando el modelo propuesto con resultados experimentales. En la [CONTRIBUCIÓN 5] y [CONTRIBUCIÓN 6] se publicaron los resultados que se muestran a continuación.

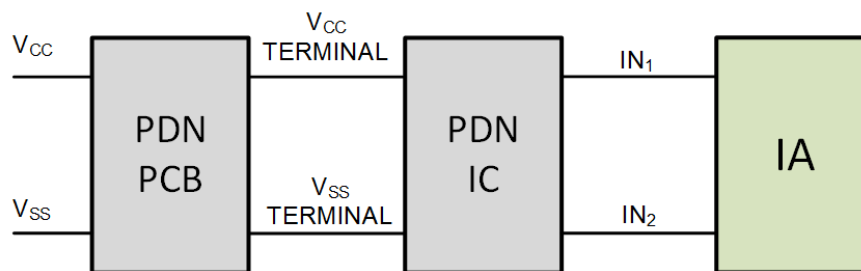


Fig. 3. 1. Bloques principales del modelo propuesto de emisiones conducidas.

3.1.1 Red de distribución pasiva de la PCB.

La red de distribución pasiva (PDN) de la placa de circuito impreso modeliza las características de los caminos de propagación del ruido electromagnético, del mismo modo que la red de distribución de alimentación (“*Power Distribution Network*”) caracteriza los caminos de propagación de los terminales de alimentación [55]. La PDN puede ser lineal o no lineal, aunque la planteada en el modelo propuesto es lineal, ya que se utilizan componentes pasivos para modelizar los caminos de propagación que hay en la PCB.

Para extraer la PDN de la PCB, se consideran las pistas de la PCB como líneas de transmisión, como un sistema distribuido, ya que la longitud de onda de las señales

analizadas es más pequeña que las dimensiones de la pista. Para obtener el modelo eléctrico de la PDN de la PCB se mide la impedancia de la línea de transmisión con el VNA.

Existen dos métodos comunes para realizar las medidas de impedancia con un VNA: el método de reflexión utilizando un puerto (Fig. 3. 2a) y el método *Shunt* o serie utilizando dos puertos (Fig. 3. 2b y Fig. 3. 2c). Cuando la impedancia medida (Z_X) es cercana a la impedancia característica de la línea de transmisión ($Z_0=50 \Omega$), el método de reflexión proporciona medidas muy precisas, ya que el VNA es susceptible a pequeñas variaciones de la impedancia Z_X . No obstante, cuando la impedancia a medir no es cercana a la impedancia característica, el método de reflexión no es adecuado debido al ruido de traza del propio analizador de redes.

Mediante el método de dos puertos se puede medir la impedancia en un rango muy amplio utilizando las conexiones *Shunt* o serie. Con este método, se puede utilizar el parámetro de dispersión S_{11} o S_{21} para realizar las medidas de la impedancia. Sin embargo, con el parámetro de dispersión S_{11} , el nivel de ruido en las medidas es mayor que el obtenido si se realizan las medidas con el parámetro de dispersión S_{21} . Debido a esto, se prefiere obtener el parámetro de dispersión S_{21} . La conexión *Shunt*, representada en la Fig. 3. 2b, es la adecuada para medir impedancias iguales o inferiores a 50Ω , mientras que la conexión en serie, mostrada en la Fig. 3. 2c, es la adecuada para medir impedancias iguales o superiores a 50Ω . Para la obtención de la PDN de la PCB, se obtiene la impedancia con el método de dos puertos mediante la conexión *Shunt* [56]. La impedancia Z_X se calcula según (3.1.), donde Z_0 toma a valor de 50Ω .

$$Z_X = \frac{Z_0}{2} \cdot \frac{S_{21}}{1 - S_{21}} \quad (3.1.)$$

El modelo eléctrico de la línea de transmisión “*microstrip*” se basa en el equivalente eléctrico RLCG, modelo clásico de las líneas de transmisión [57]. El modelo eléctrico RLCG corresponde a la PDN de la PCB, la cual se obtiene mediante la medida a dos puertos en conexión “*Shunt*” sin el CI conectado. Las principales

ecuaciones para calcular los valores de los componentes son las indicadas en (3.2.), suponiendo que la línea de transmisión es ideal, es decir, sin pérdidas.

$$v_P = \frac{1}{\sqrt{L \cdot C}} \qquad Z_0 = \sqrt{\frac{L}{C}} \qquad (3.2.)$$

El parámetro v_P es la velocidad de fase y L y C es la capacitancia e inductancia por unidad de longitud de cada sección de la línea de transmisión. La velocidad de fase se calcula a partir de la medida de fase del parámetro de dispersión S_{21} ($\phi(S_{21})$), a partir de la ecuación (3.3.). El parámetro l es la longitud de la línea de transmisión y f es la frecuencia a la cual se extrae el modelo eléctrico.

$$v_P = \frac{2 \cdot \pi \cdot l \cdot f}{\phi(S_{21})} \qquad (3.3.)$$

El modelo eléctrico de la línea de transmisión debe ser preciso hasta la frecuencia de 3 GHz. Para alcanzar este objetivo, cada trozo de línea “*microstrip*” con el mismo ancho se modela por un número determinado de secciones idénticas. El número de secciones (n) se calcula en función de la longitud de onda a partir de la ecuación (3.4.)

$$n \geq \frac{l}{0.1\lambda} \qquad (3.4.)$$

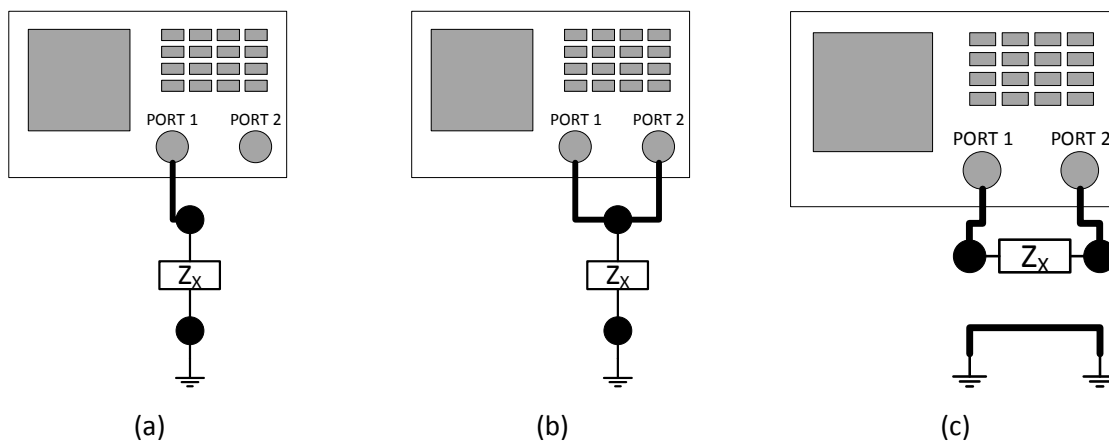


Fig. 3. 2. Configuración del analizador de redes para la medición de impedancias.(a) Medidas a un puerto y medidas a dos puertos en (b) conexión “*Shunt*” o (c) en conexión serie. [56]

3.1.2 Red de distribución pasiva del CI.

La red de distribución pasiva del CI (PDN IC) tiene en cuenta las características del camino de propagación que va del exterior del encapsulado hasta el propio circuito a nivel de oblea. El camino de propagación del circuito se modeliza con componentes pasivos y sus valores se miden con el analizador de redes. Entre el dispositivo que se quiere caracterizar y el analizador de redes se inserta un “*Bias Tee*”, tal y como indica el estándar ICEM-CE para obtener la PDN del CI. En el esquema detallado en la Fig. 3. 3. se observa la conexión del “*Bias Tee*” para alimentar el circuito que se desea caracterizar con el analizador de redes, sin que la tensión de alimentación afecte el instrumento de medida. Para obtener la impedancia del camino de propagación del CI se debe eliminar la impedancia de la PCB. Una vez obtenida la PDN de la PCB de las pistas “*microstrip*” de los terminales de alimentación (V_{CC} y V_{SS}), se obtienen los parámetros de dispersión S y se convierten los parámetros de dispersión a parámetros de transmisión T. Las características del camino de propagación del CI ($[T_{IC}]$) se obtienen a partir de la ecuación (3.5.), donde $[T_{MEAS}]$ es el parámetro de transmisión T obtenido con el VNA. Los parámetros $[T_{VCC}]$ y $[T_{VSS}]$ son los parámetros de transmisión T de las pistas “*microstrip*” de la PCB correspondientes a la alimentación.

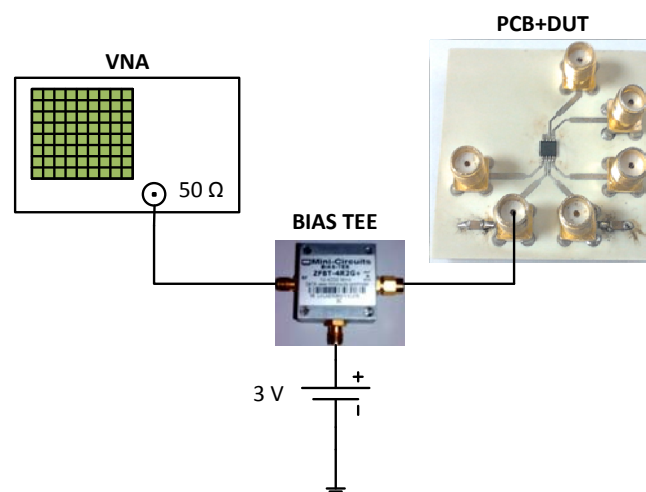


Fig. 3. 3. Método de medida de la PDN IC.

$$[T_{IC}] = [T_{VCC}]^{-1} \cdot [T_{MEAS}] \cdot [T_{VSS}]^{-1} \tag{3.5.}$$

El camino de propagación que interconecta el encapsulado con el chip de Silicio (Si) se modela para poder extraer el ruido electromagnético generado por el IC. Para extender el modelo hasta la frecuencia de 3 GHz se tienen en cuenta las pérdidas de los caminos de propagación del CI y el acoplamiento capacitivo e inductivo entre los cables de conexión del propio CI.

3.1.3 Actividad interna.

La actividad interna (IA) modela el ruido de conmutación e incluye toda la corriente interna que circula a través de los terminales de alimentación. La IA se mide según el esquema que se muestra en la Fig. 3. 4., siguiendo el estándar IEC 61937-4 [16]. Este estándar se utiliza para medir el ruido electromagnético hasta la frecuencia de 1 GHz, según la directiva IEC 62433-2. Para la caracterización y modelizado del ruido de conmutación hasta 3 GHz se utiliza el mismo sistema de caracterización, extrayendo los efectos de los caminos de propagación de la PCB y del CI, así como de la red de sensado para obtener la IA.

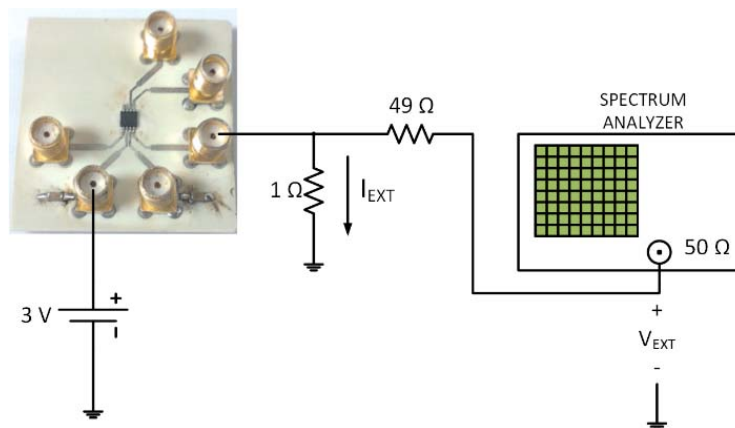


Fig. 3. 4. Configuración para medir la IA.

En lugar de considerar las características de la IA como un archivo ASCII o aproximarla por una fuente de corriente triangular, se propone un modelo basado en las componentes espectrales de la señal IA periódica, expresado según la ecuación (3.6.). Este modelo alternativo expresa la IA como la suma de los primeros armónicos pares e impares, donde N_{HARM} es el número de armónicos que se han tenido en cuenta. Para cada armónico se extrae la información de amplitud y frecuencia. Los parámetros C_0 y C_n son los coeficientes de Fourier, f_0 es la frecuencia fundamental, $\delta(f)$ es la componente continua y $\delta(f - n \cdot f_0)$ los armónicos a múltiplos de la frecuencia fundamental. El número de armónicos N_{HARM} se elige para que el error promedio entre el modelo y las medidas sea inferior o igual al 10 %. El modelo propuesto se puede traducir en un modelo SPICE mediante fuentes de corriente sinusoidales.

$$|IA(f)| = |C_0| \cdot \delta(f) + 2 \cdot \sum_{n=1}^{N_{HARM}} |C_n| \cdot \delta[f - n \cdot f_0] \quad (3.6.)$$

3.1.4 Resultados experimentales y validación del modelo.

La verificación del modelo propuesto se lleva a cabo midiendo las interferencias electromagnéticas conducidas en un generador de reloj de bajo coste: el CI DS1088. Este circuito genera una señal cuadrada sin la necesidad de componentes externos. El DS1088 tiene dos terminales de alimentación, dos terminales de masa, un terminal de apagado (“Power-Down”) y el terminal de salida. El CI está insertado en el encapsulado “Micro Small Outline Package” (μ SOP). Se ha elegido el DS1088 por que trabaja a alta frecuencia y, por lo tanto, el impacto en términos de armónicos significativos puede ser observado y modelado hasta 3 GHz.

La placa de test consta de dos capas de dimensiones 40 mm x 40 mm y un grosor de dieléctrico de 0,55 mm. El sustrato de la PCB es Roger RO4350B, con una permeabilidad dieléctrica relativa ϵ_R de 3,66, tangente de pérdidas $\tan \delta$ de 0,0037 y todas las capas conductoras fabricadas en cobre (Cu) de 35 μ m con una conductividad de $5.8 \cdot 10^7$ S/m. La placa tiene seis pistas “microstrip” como muestra la Fig. 3. 5., cada

una con una impedancia característica de 50Ω . Se puede observar que se han utilizado “*tappers*” para que la impedancia vista desde los terminales del CI sea de 50Ω . Para que el CI funcione adecuadamente, se añaden dos condensadores de desacoplo de valor 100 nF , tal y como indica la ficha técnica del fabricante.

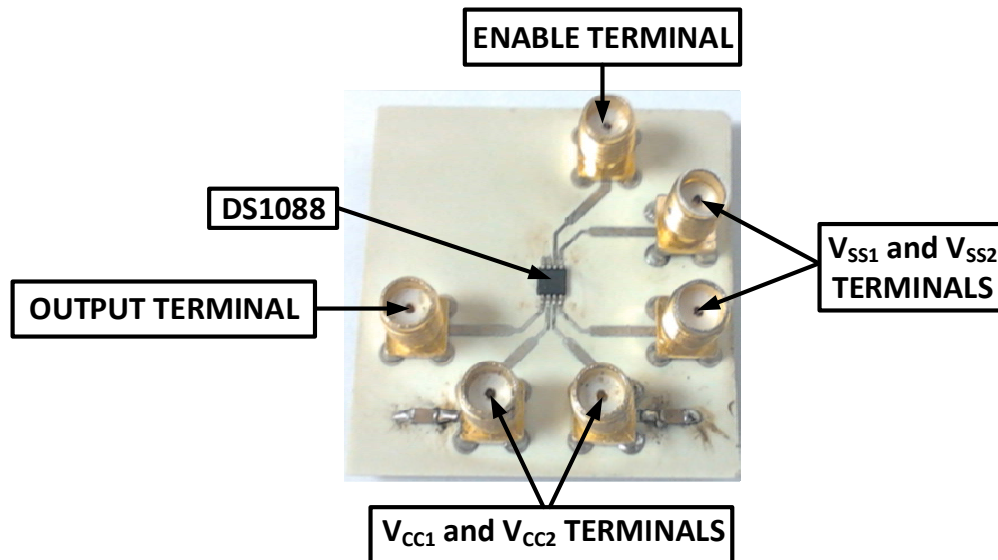


Fig. 3. 5. Placa de circuito impreso del DS1088.

Para obtener el modelo propuesto, primero se mide la PDN de la PCB sin el CI con el analizador de redes y se extrae el modelo eléctrico. La Fig. 3. 6. muestra el diagrama de bloques de la PDN de la PCB. El modelo de la PDN para los cuatro terminales de alimentación se extrae de acuerdo con el método explicado en la sección 3.1.1. El modelo eléctrico se muestra en la Fig. 3. 7., donde el número adjunto del equivalente eléctrico RLCG corresponde al número de celdas. Debido a la simetría de la placa de circuito impreso, la PDN de los terminales V_{CC1} y V_{CC2} y la PDN de los terminales V_{SS1} y V_{SS2} son idénticos. La Fig. 3. 7. detalla la PDN de las pistas “*microstrip*” de los terminales V_{CC1} y V_{CC2} , mientras que en la Fig. 3. 8. se representa la PDN de las pistas “*microstrip*” de los terminales V_{SS1} y V_{SS2} . Los resultados experimentales se han obtenido con la placa de circuito impreso sin los condensadores de desacoplo y sin el CI. Se ha realizado la comparativa entre el modelo eléctrico y las medidas obtenidas en el laboratorio, la cual se puede observar en la Fig. 3. 9. y la Fig. 3. 10. Se ha logrado una buena correlación entre las medidas

y el modelo eléctrico de la impedancia de entrada de la PDN hasta la frecuencia de 3 GHz. La Tabla 3. 1. detalla el valor de los condensadores y bobinas del modelo eléctrico de la PCB.

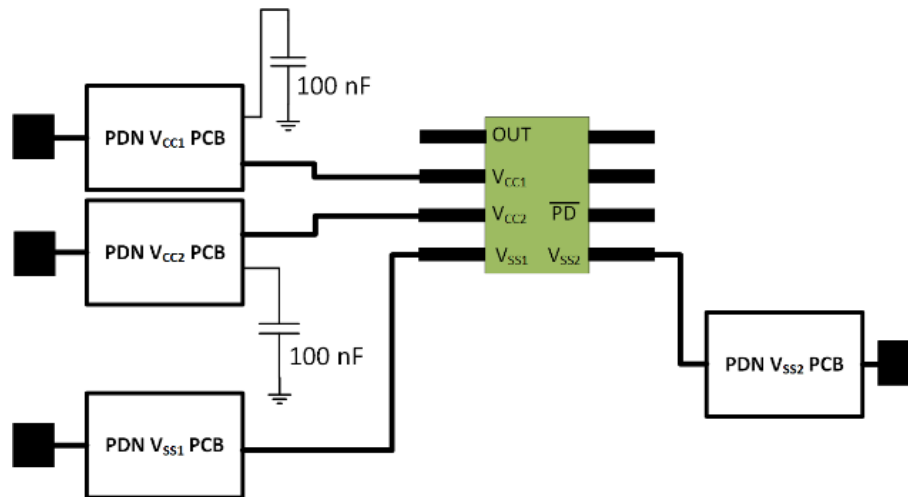


Fig. 3. 6. Diagrama de bloques de la PCB con el DS1088.

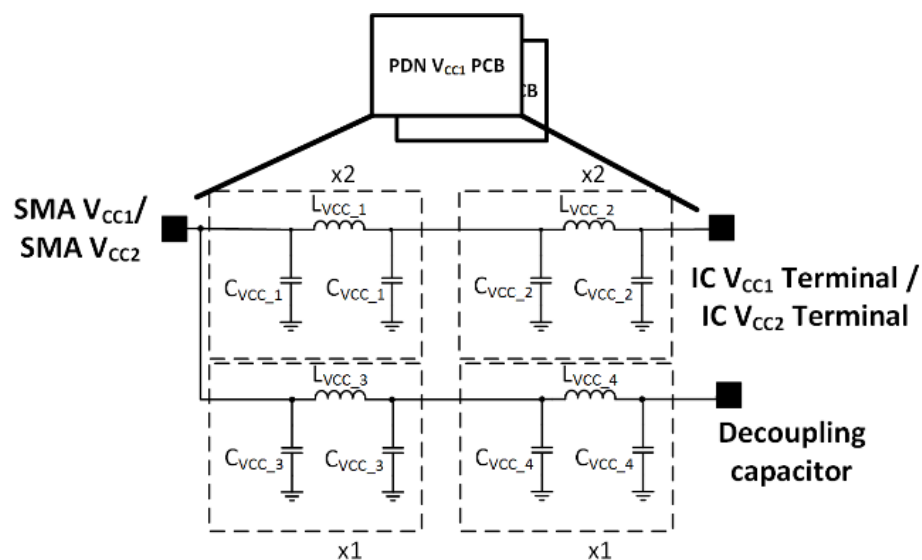


Fig. 3. 7. Red de distribución pasiva (PDN) de las pistas "Microstrip" de los terminales de alimentación V_{CC1} y V_{CC2} .

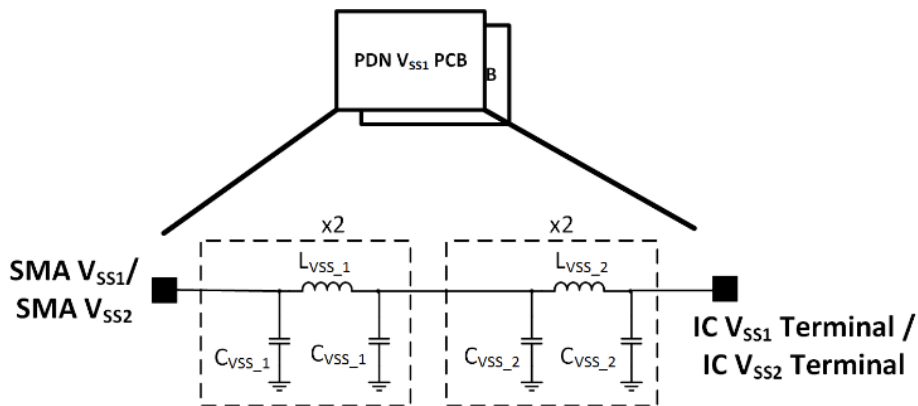


Fig. 3. 8. Red de distribución pasiva (PDN) de las pistas “Microstrip” de los terminales de alimentación V_{SS1} y V_{SS2}.

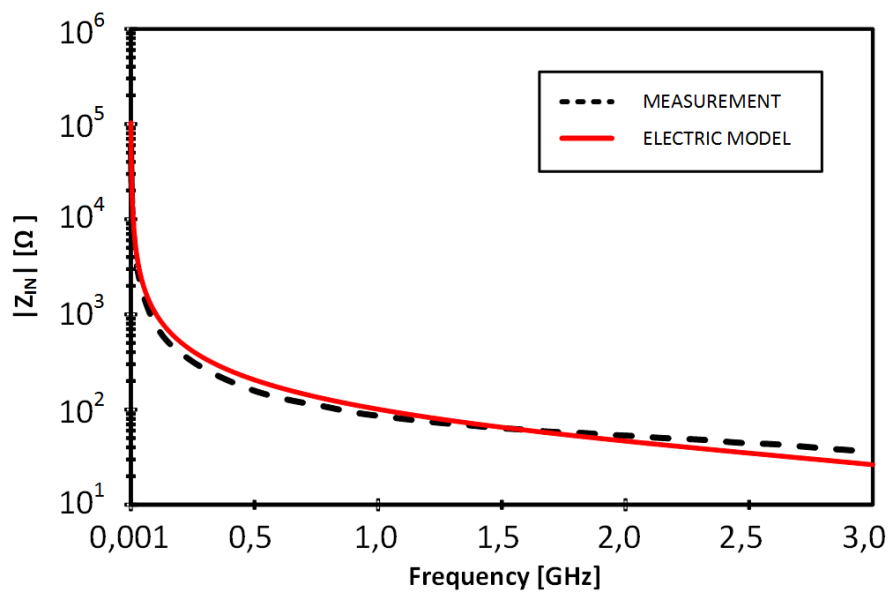


Fig. 3. 9. Impedancia de entrada de la pista “Microstrip” V_{CC}.

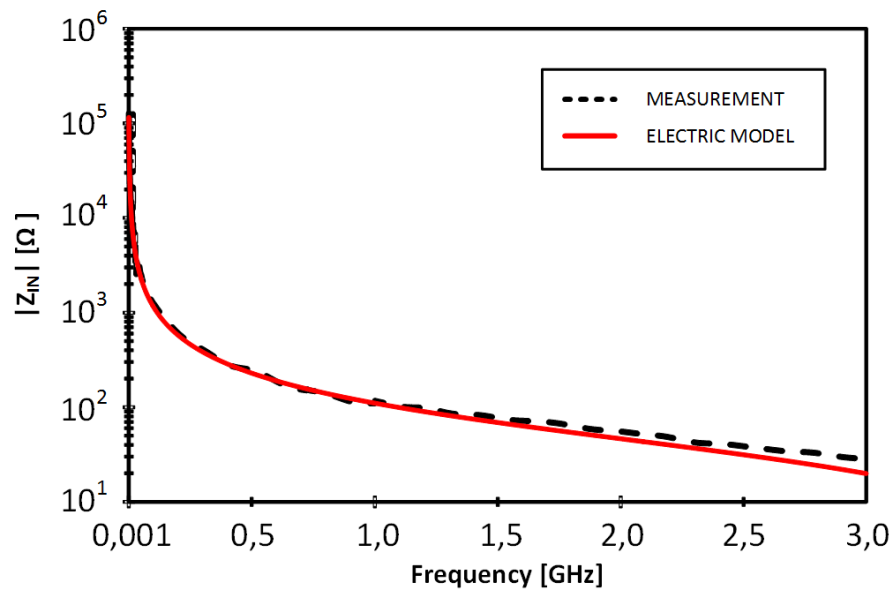


Fig. 3. 10. Impedancia de entrada de la pista "Microstrip" V_{SS} .

Tabla 3. 1. Capacitancias e inductancias de los elementos de la PDN de la PCB.							
Pista PCB	Longitud	Ancho	Número de celdas	Componente	Valor	Componente	Valor
V_{CC1}	9.50 mm	1.20 mm	2	L_{VCC_1}	1.24 nH	C_{VCC_1}	288.23 fF
	5.90 mm	0.40 mm	2	L_{VCC_2}	1.30 nH	C_{VCC_2}	96.13 fF
	5.10 mm	1.20 mm	2	L_{VCC_3}	1.33 nH	C_{VCC_3}	308.20 fF
	1.30 mm	1.50 mm	1	L_{VCC_4}	2.99 nH	C_{VCC_4}	91.45 fF
V_{SS1}	9.52 mm	1.20 mm	2	L_{VSS_1}	1.25 nH	C_{VSS_1}	288.85 fF
	5.63 mm	0.40 mm	2	L_{VSS_2}	1.25 nH	C_{VSS_2}	91.91 fF

Seguidamente, se procede a medir la impedancia del camino de propagación del CI (PDN IC). El equivalente eléctrico del CI se muestra en la Fig. 3. 12. Las bobinas L_{11} y L_{22} modelizan la conexión entre el encapsulado y el CI y las resistencias R_{11} y R_{22} modelizan las pérdidas en el conductor. El acoplamiento entre los conductores y el plano de masa viene modelizado por los condensadores C_{11} y C_{22} , mientras que los condensadores C_{12} y C_{34} representan el acoplamiento entre el principio y el final del camino de propagación. El condensador C_S y la bobina L_S modelizan la interconexión metálica interna del CI. El condensador C_{IA} y la resistencia R_{IA} modeliza la impedancia de entrada del CI. El acoplamiento entre los conductores del CI, denominadas L_{M1} y L_{M2} , ha sido omitido debido a que su impacto es bajo. Para obtener el modelo de la PDN IC, se ha extraído el modelo ICEM-CE (Fig. 3. 11.) y luego se ha extendido hasta la frecuencia de 3 GHz.

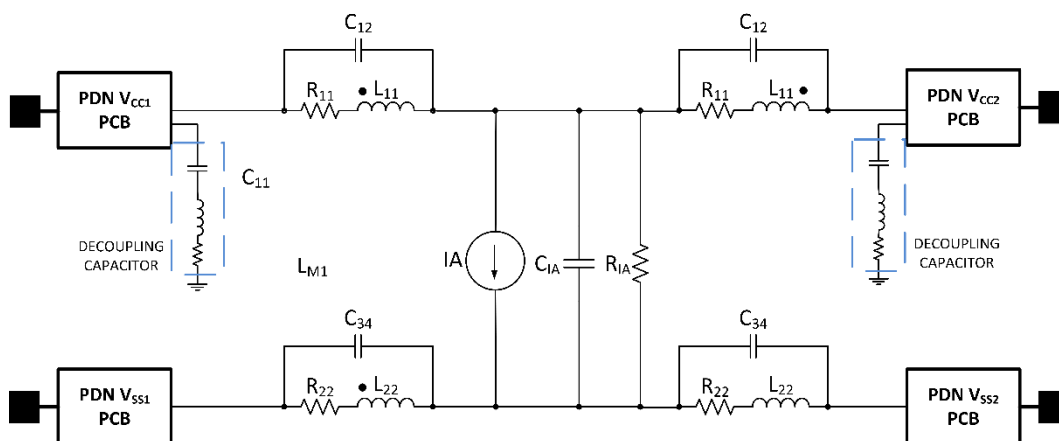


Fig. 3. 11. Modelo ICEM-CE del CI DS1088.

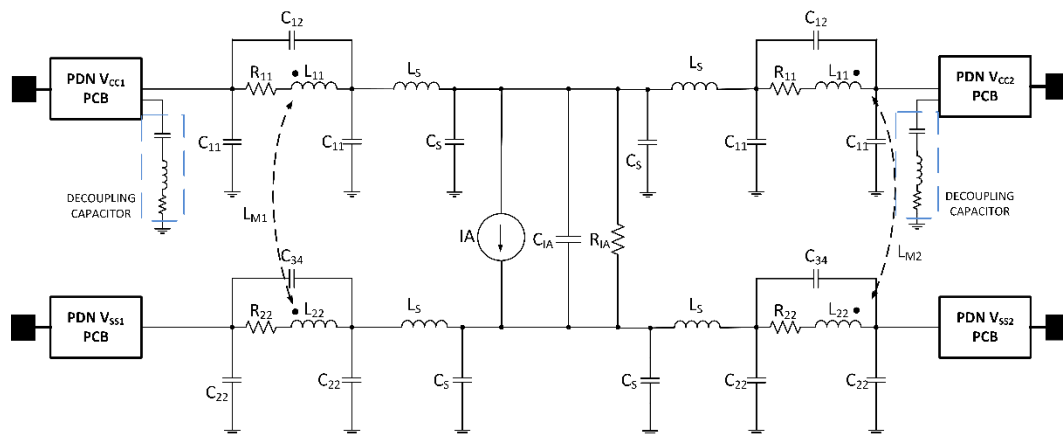


Fig. 3. 12. Red de distribución pasiva de la PCB y del CI.

Las Fig. 3. 13. y Fig. 3. 14. muestran la impedancia de entrada desde los terminales V_{CC1} y V_{SS1} respectivamente, las medidas obtenidas en el laboratorio, el modelo estándar ICEM-CE y el modelo propuesto. Como se puede observar, el modelo estándar ICEM-CE modeliza la impedancia del camino de propagación hasta la frecuencia de 1 GHz. Sin embargo, por encima de la frecuencia de 1 GHz, el modelo ICEM-CE no puede reproducir los datos medidos, mientras que el modelo propuesto se ajusta adecuadamente hasta la frecuencia de 3 GHz. La Tabla 3. 2. detalla los valores de condensadores, inductancias y resistencias de la PDN del CI. Los valores de los componentes pasivos L_{11} , C_{12} , L_{22} y C_{34} producen las dos primeras resonancias y las anti-resonancia de la impedancia de entrada de los terminales V_{CC1} y V_{SS1} . Los componentes pasivos L_S , C_S , C_{11} y C_{22} se han ajustado mediante técnicas de optimización para extender el modelo hasta los 3 GHz, para caracterizar la frecuencia de resonancia de 1,66 GHz y la frecuencia de anti-resonancia de 2,71 GHz.

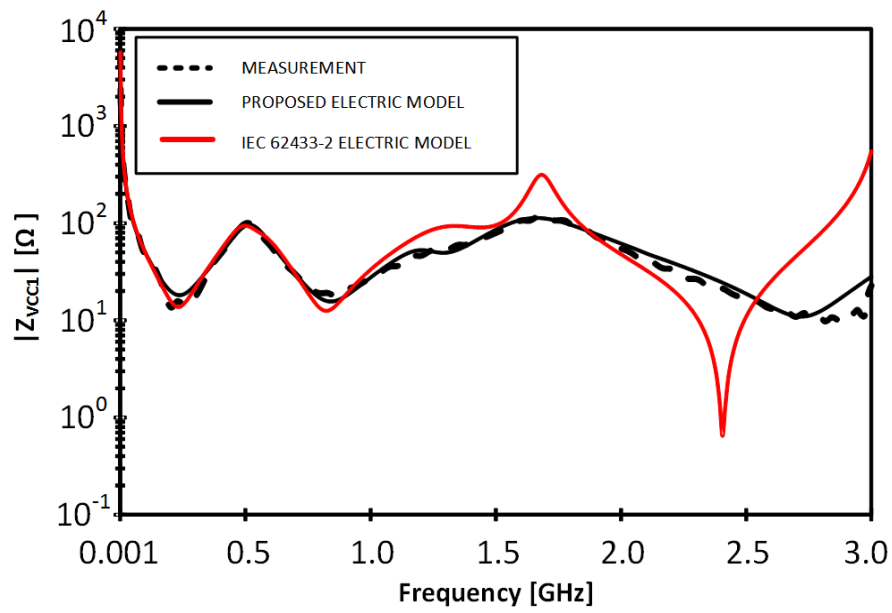


Fig. 3. 13. Impedancia de entrada del terminal de alimentación V_{CC1} .

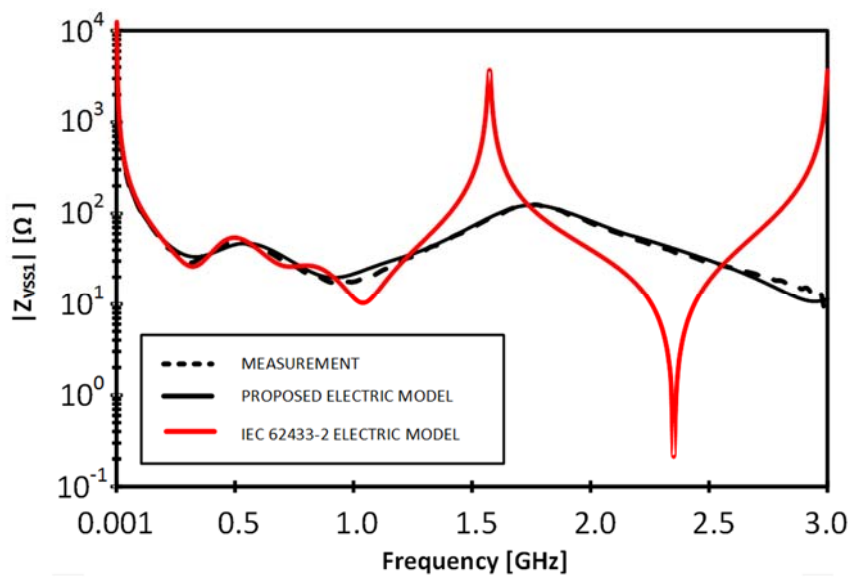


Fig. 3. 14. Impedancia de entrada del terminal de alimentación V_{SS1} .

Tabla 3. 2. Valores de los componentes de la PDN del CI.			
Componente	Valor	Componente	Valor
L_{11}	1,20 nH	R_{IA}	2932,50 Ω
L_{22}	2,00 nH	R_{11}	3,78 Ω
C_{11}	1,00 pF	R_{22}	6,60 Ω
C_{22}	302,92 fF	L_{M1}	0,00 nH
C_{12}	10,00 pF	L_{M2}	0,00 nH
C_{34}	10,00 pF	L_S	68,30 pH
C_{IA}	26,20 pF	C_S	15,00 fF

La técnica FSV se ha utilizado para verificar el modelo propuesto y compararlo con el estándar ICEM-CE. La Fig. 3. 15. presenta el histograma GDM de la impedancia de entrada de los terminales de alimentación V_{CC1} y V_{SS1} . La comparación se realiza entre las medidas, el modelo estándar ICEM-CE y el modelo propuesto. La comparación con el modelo estándar ICEM-CE es Buena, Mala o Muy Mala, mientras que con el modelo propuesto, la aproximación es Excelente o Muy Buena.

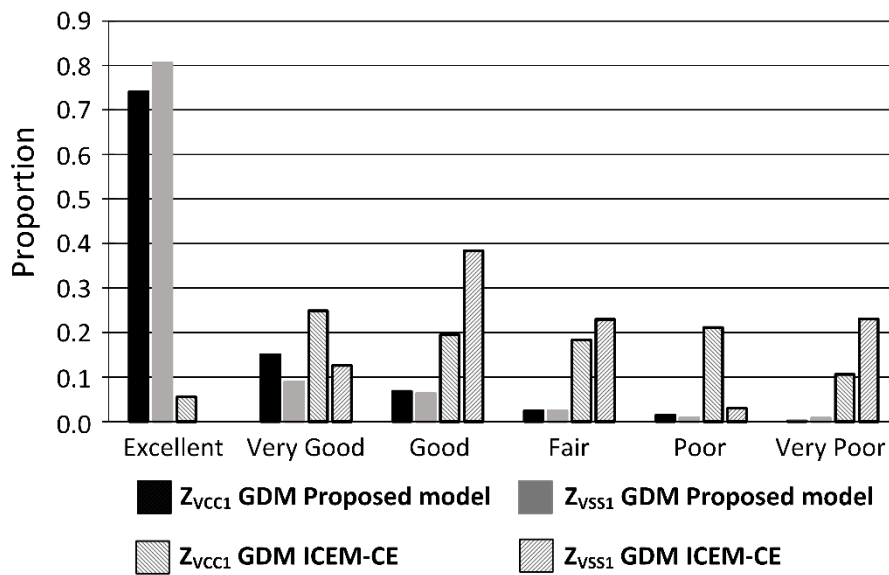


Fig. 3. 15. Histograma GDM obtenido del análisis FSV de los datos de la Fig. 3. 13. y Fig. 3. 14.

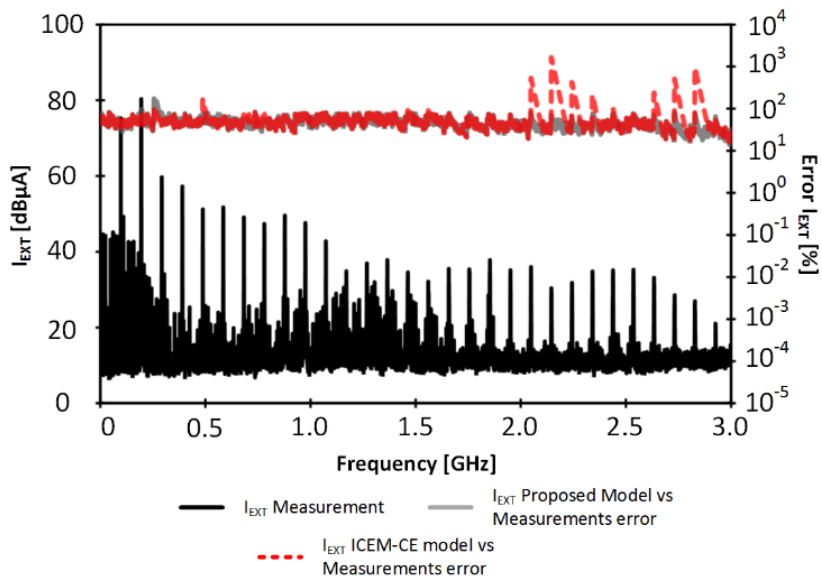
Finalmente, el ruido de conmutación o IA se obtiene a partir de la medida del espectro de la tensión V_{EXT} . Para modelar la IA se consideran los armónicos del ruido electromagnético que tienen una amplitud superior a los $3 \mu A$ ($9,54 \text{ dB}\mu A$), para que el error promedio entre las medidas experimentales y el modelo propuesta sea inferior al 10 %. Para validar el modelo de la IA, la tensión V_{EXT} se mide para dos impedancias: una resistencia de 1Ω y otra de 10Ω .

La corriente externa I_{EXT} se obtiene extrayendo los efectos de los caminos de propagación. La Fig. 3. 16a. muestra el espectro de la corriente consumida (I_{EXT}) por la fuente de alimentación para una tensión de alimentación de 3,0 V y con una resistencia de sensado de 1Ω . En la Fig. 3. 16b se representa la I_{EXT} para la misma de tensión de alimentación pero con una resistencia de sensado de 10Ω . Estas medidas se realizan con el objetivo de verificar el modelo propuesto.

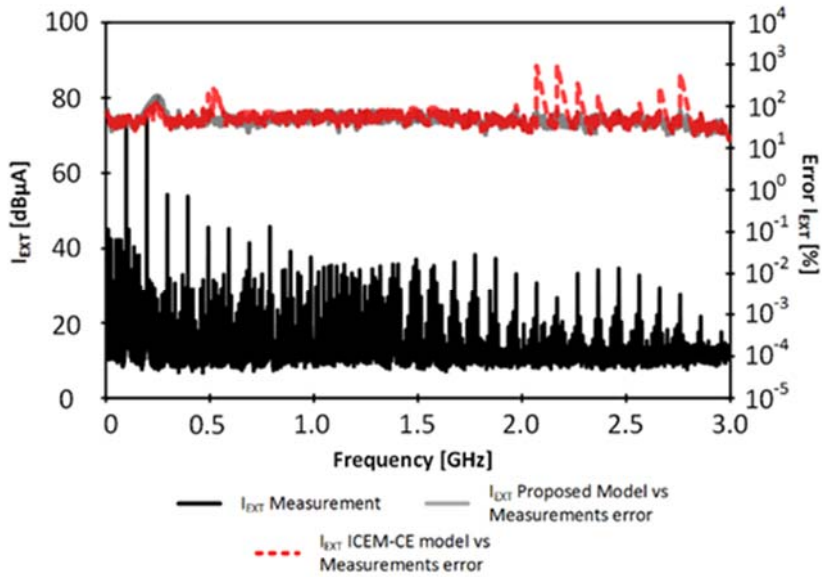
La IA se extrae a partir de la medida de I_{EXT} con la resistencia de sensado de 1Ω . A partir del modelo de la IA y con el modelo eléctrico de los caminos de propagación, se obtiene el modelo de I_{EXT} con la resistencia de sensado de 10Ω , la cual se compara con la I_{EXT} medida con el analizador de espectros. La Fig. 3. 16b muestra también el error entre el modelo propuesto y los resultados experimentales. A frecuencias

inferiores de 2 GHz, el error promedio entre el modelo ICEM-CE y el modelo propuesto es inferior al 10 %. Sin embargo, para las frecuencias superiores de 2 GHz, el error entre el modelo ICEM-CE y las medidas aumenta significativamente debido a la modelización de los caminos de propagación. En cambio, el error entre el modelo propuesto y los resultados experimentales se mantiene constante hasta la frecuencia de 3 GHz.

La Fig. 3. 17. expone el histograma GDM del análisis FSV de la corriente consumida por la fuente de alimentación. La corriente I_{EXT} medida se compara con la corriente I_{EXT} del modelo estándar ICEM-CE y con la corriente obtenida con el modelo propuesto. La comparación entre la corriente medida y la corriente obtenida con el modelo ICEM-CE es Muy Buena o Buena, con una resistencia de sensado de 1 Ω y 10 Ω . Por otro lado, la correlación entre las medidas experimentales de I_{EXT} y el modelo propuesto es Excelente o Muy Buena. Dichos resultados verifican la validez del modelo propuesto desde la frecuencia de 100 kHz hasta 3 GHz.



(a)



(b)

Fig. 3. 16. Medidas de la corriente externa y modelo de la corriente externa: (a) Impedancia de la red de sensado de $1\ \Omega$ y (b) impedancia de la red de sensado de $10\ \Omega$.

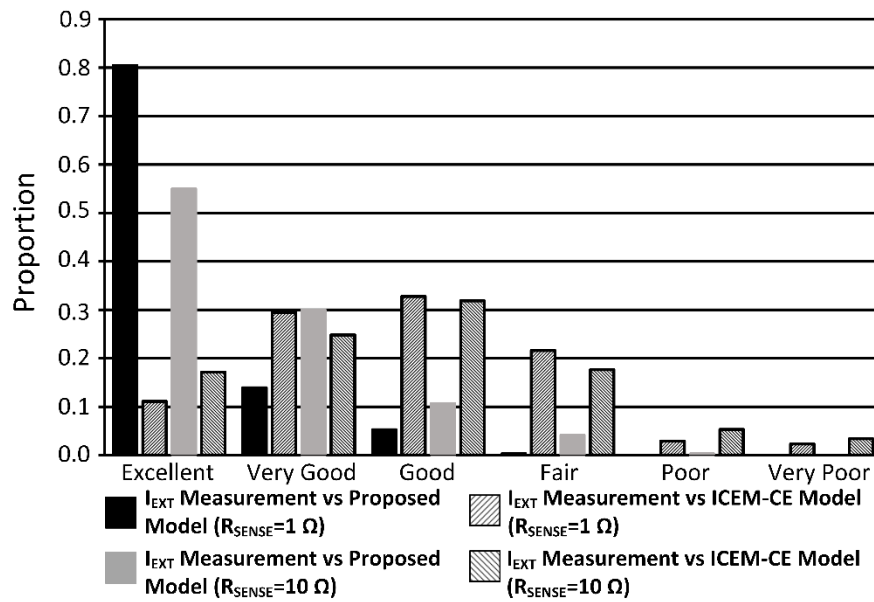


Fig. 3. 17. Histograma GDM obtenido del análisis FSV de la medida de la corriente externa, el modelo de la corriente externa y el modelo ICEM-CE de la corriente externa.

3.2 Impacto de la temperatura.

Una vez presentado el modelo de interferencias electromagnéticas conducidas a nivel de CI hasta 3 GHz, se procede a caracterizar y modelizar los efectos de la temperatura en las emisiones conducidas a nivel de CI. En las [CONTRIBUCIÓN 7] y [CONTRIBUCIÓN 8] se presentan el procedimiento de medida y los resultados obtenidos.

El modelo eléctrico que tiene en cuenta el impacto de la temperatura en las interferencias electromagnéticas conducidas, está compuesto por la PDN de la placa de circuito impreso, la PDN del CI y la IA, al igual que en el modelo propuesto en el apartado 3.1. El impacto de la temperatura se tiene en cuenta sometiendo la PCB y el DUT a un estrés de temperatura. Para cada temperatura, se caracteriza y extrae la PDN de la PCB, la PDN del CI y la IA, modelizando su impacto.

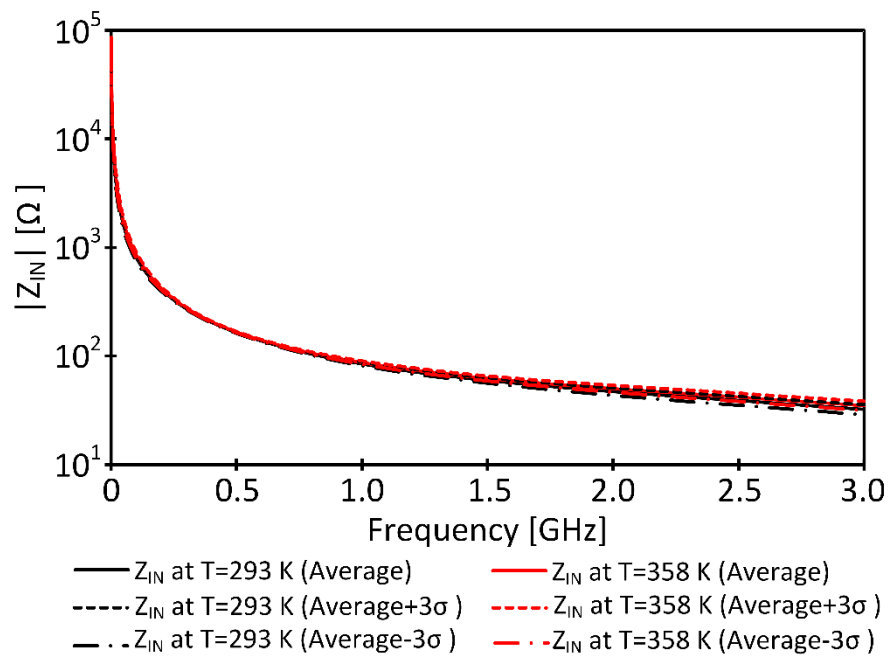
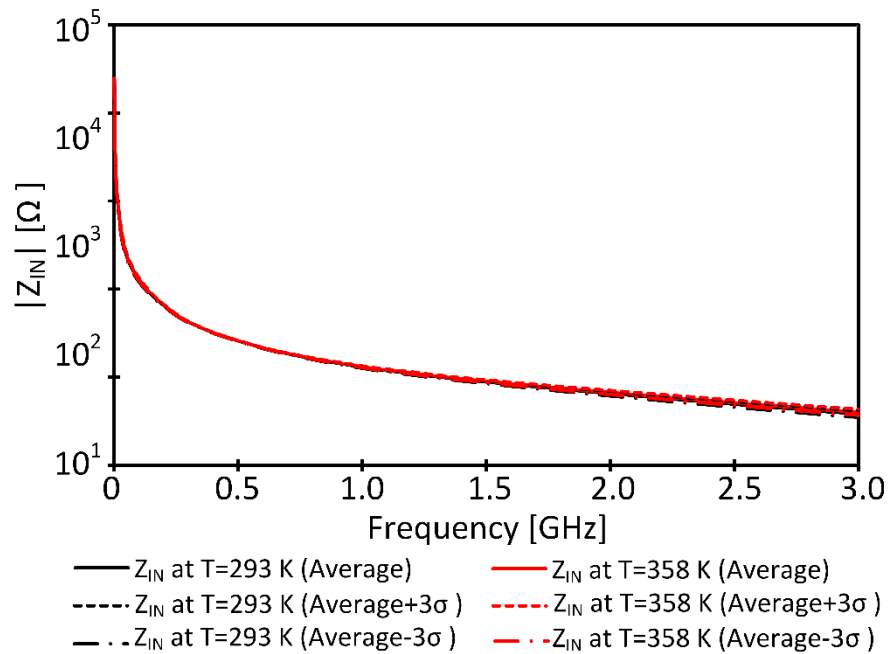
3.2.1 Resultados experimentales y validación del modelo.

El DUT se inserta en un horno para el tratamiento térmico, tal y como se observa en la Fig. 3. 18. El dispositivo se somete al rango de temperaturas de 293 K a 358 K, siendo 358 K la temperatura máxima a la cual se puede exponer el CI según el fabricante. Cada temperatura se aplica al DUT durante cuatro horas para que se estabilice en el dispositivo. A fin de tener en cuenta la dispersión de las medidas, un total de diez muestras han sido medidas y estadísticamente procesadas.



Fig. 3. 18. Montaje experimental para caracterizar y modelizar el impacto de la temperatura en las emisiones conducidas

Las Fig. 3. 19. y Fig. 3. 20. muestran la impedancia de entrada media y la dispersión ($\pm 3\sigma$) de las pistas de alimentación (V_{CC1} y V_{SS1}) para las temperaturas de 293 K y 358 K. Como se observa, el impacto de la temperatura sobre las pistas de la PCB es bajo, debido a que la variación de la impedancia debido a dicha magnitud es inferior al 5 %. La variación de la impedancia viene determinada por el impacto de la temperatura en las características del sustrato RO4350B.

Fig. 3. 19. Impedancia de entrada de la pista "Microstrip" V_{CC1} .Fig. 3. 20. Impedancia de entrada de la pista "Microstrip" V_{SS1} .

En las Fig. 3. 21. y Fig. 3. 22. se muestra el valor medio de la impedancia de entrada del conjunto PCB y CI, así como su dispersión. En la Fig. 3. 21. se detalla las medidas de la impedancia desde el terminal de alimentación V_{CC1} y en la Fig. 3. 22. se representa la impedancia de entrada desde el terminal de alimentación V_{SS1} . El incremento de la impedancia de entrada debido a la temperatura está dentro de la dispersión de las medidas. Por lo tanto, se puede concluir que el impacto de la temperatura en el rango de temperaturas estudiado no es significativo a nivel de la red de distribución pasiva. Cabe destacar la mayor dispersión en la impedancia de entrada del terminal de V_{CC1} respecto a la impedancia de entrada del terminal V_{SS1} .

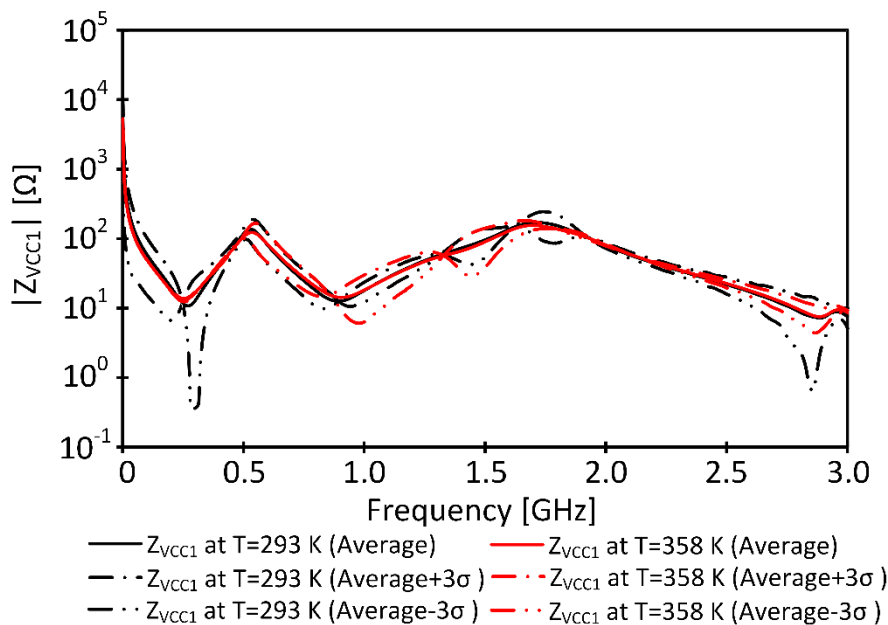


Fig. 3. 21. Impedancia de entrada de la PCB y CI a través del terminal de alimentación V_{CC1} .

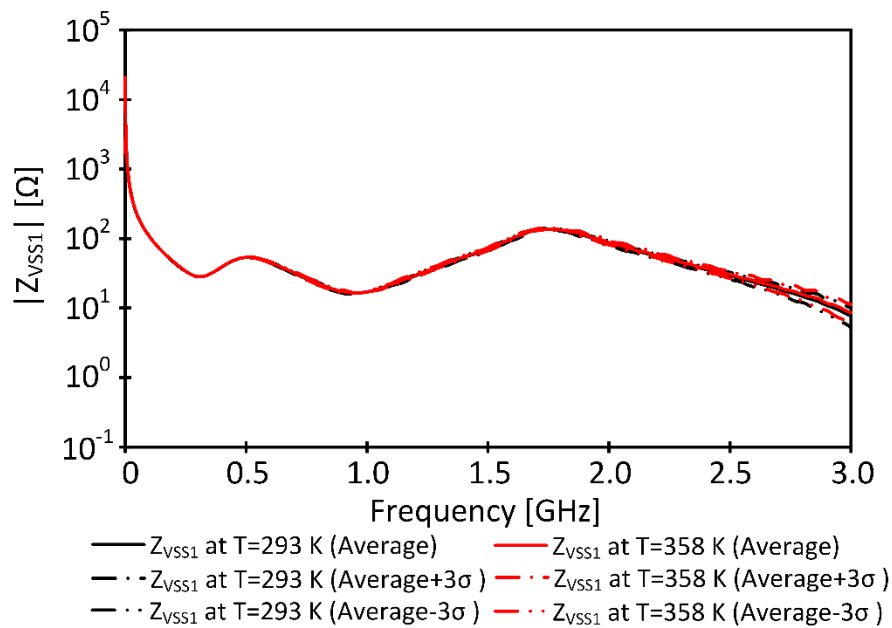
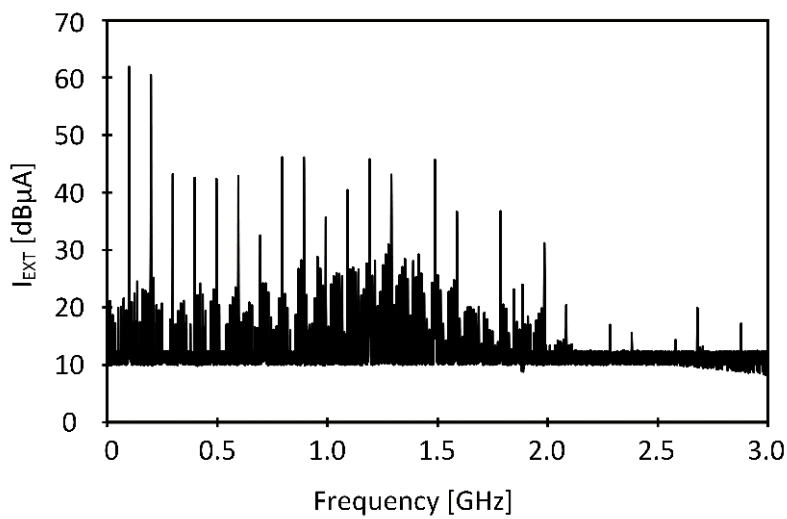
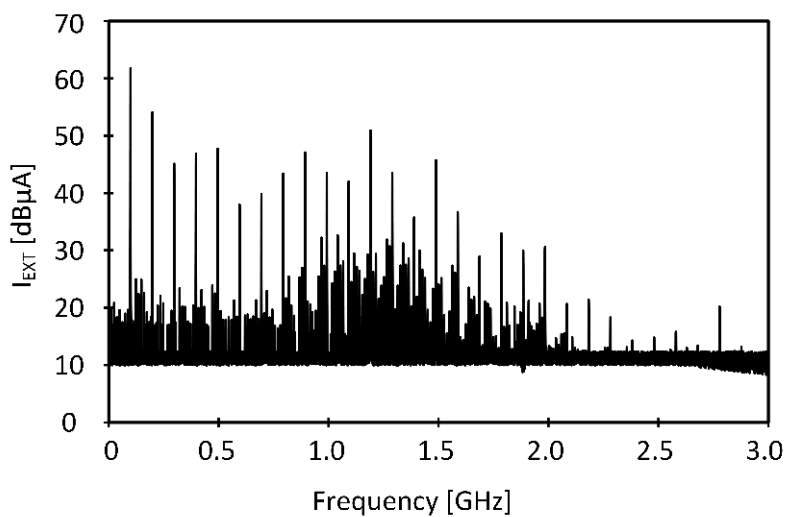


Fig. 3. 22. Impedancia de entrada del CI a través del terminal de alimentación V_{SS1} .

La Fig. 3. 23. muestra la corriente externa a la temperatura ambiente (298 K) y a la temperatura de 358 K. En ambos casos, las emisiones conducidas se encuentran principalmente por debajo de la frecuencia de 2 GHz. La temperatura afecta a la frecuencia de funcionamiento del oscilador, afectando al contenido espectral de las emisiones en términos de amplitud y frecuencia. La frecuencia de oscilación inicialmente es de 98,3 MHz y al final de estrés de temperatura aumenta hasta los 99,3 MHz.



(a)



(b)

Fig. 3. 23. Resultado experimental de la corriente I_{EXT} para (a) Temperatura ambiente (293 K) y (b) 358 K.

En la Fig. 3. 24. se muestra el modelo eléctrico propuesto para todo el sistema, incluyendo la placa de circuito impreso y el CI bajo test. La PDN de la PCB modeliza las pistas “microstrip” de los terminales de alimentación V_{CC1} , V_{CC2} , V_{SS1} y V_{SS2} . Como se ha observado en las Fig. 3. 19. y Fig. 3. 20., la impedancia de entrada de las pistas

“microstrip” no se ve modificada con la temperatura, por lo tanto los valores de los componentes no dependen de la temperatura.

Respecto la impedancia de entrada del conjunto PCB y CI, la dispersión de las diez muestras medidas es superior a la variación de la impedancia debida a la temperatura. Por lo tanto, el modelo eléctrico extraído del camino de propagación del CI modeliza la impedancia de entrada promedio. Los valores de los componentes de la PDN del CI están detallados en la Tabla 3. 3.

Para analizar la exactitud del modelo propuesto, las medidas promedio de la impedancia de entrada desde los terminales V_{CC1} y V_{SS1} se comparan con el modelo eléctrico. Como se muestra en las Fig. 3. 25. y Fig. 3. 26., el modelo es preciso hasta la frecuencia de 3 GHz. El error promedio obtenido entre el modelo y las medidas es inferior al 10 % en ambos casos.

Como se ha observado en la Fig. 3. 23., la amplitud de los armónicos de la I_{EXT} depende de la temperatura. Por lo tanto, para modelizar el impacto de la temperatura en la IA, los coeficientes de Fourier C_n , así como las componentes espectrales $\delta[f(T) - n \cdot f_0]$ dependen de la temperatura. El modelo de la IA se expresa según (3.7.), en el cual se han tenido en cuenta los armónicos con una amplitud superior a los 3 μA (9,54 dB μA), para que el error promedio entre el modelo y las medidas sea inferior al 10 %.

$$|IA(f, T)| = |C_0| \cdot \delta(f) + 2 \cdot \sum_{n=1}^{N_{HARM}} |C_n(T)| \cdot \delta[f(T) - n \cdot f_0] \quad (3.7.)$$

Para validar el modelo de emisiones conducidas propuesto, dos valores de temperatura arbitrarias (343 K y 353 K) no medidos previamente se han elegido para predecir la emisión electromagnética conducida. A continuación, los resultados de la simulación eléctrica se han comparado con los resultados experimentales de la corriente I_{EXT} (Fig. 3. 27. y Fig. 3. 28.) usando el método FSV. La Fig. 3. 29. muestra el resultado de la comparación para ambas temperaturas. Se puede observar que el modelo propuesto predice la corriente I_{EXT} con un grado de satisfacción Bueno o Muy Bueno.

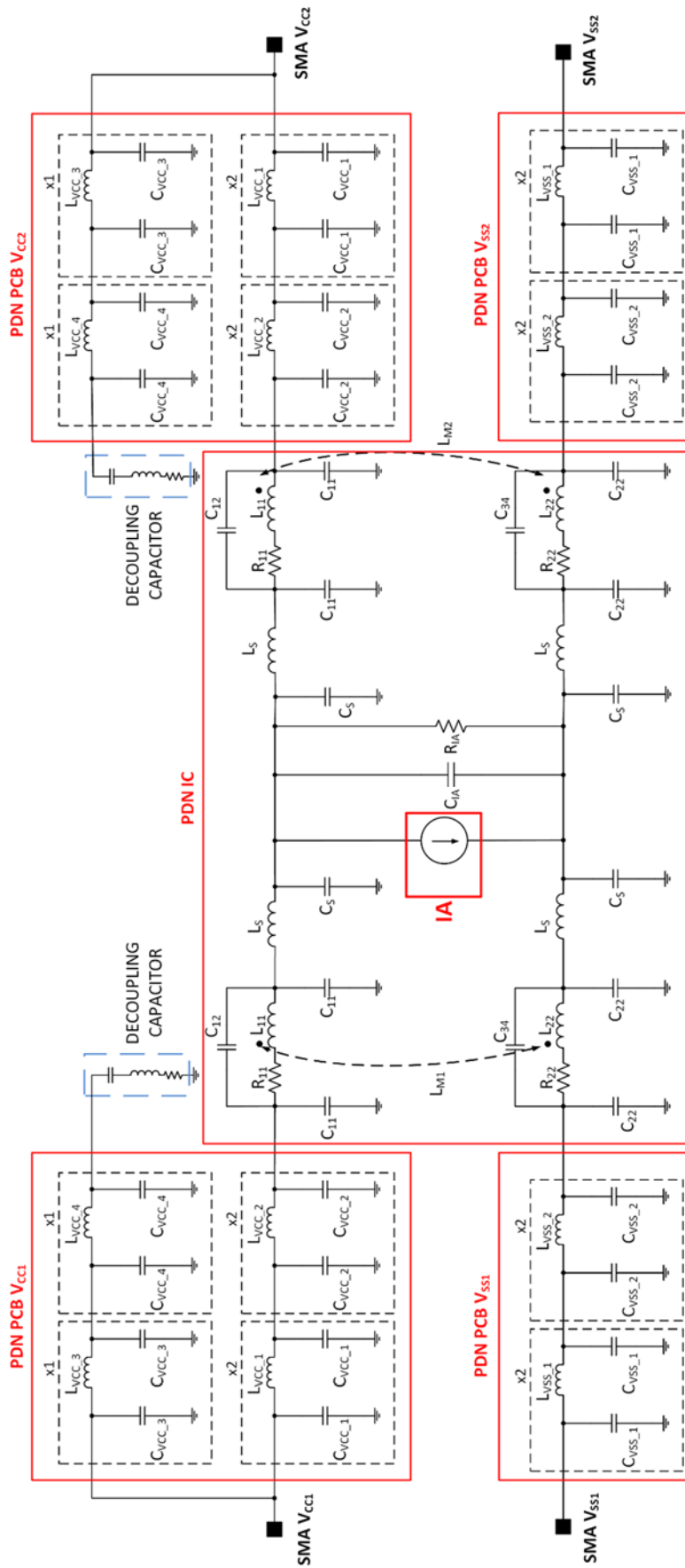


Fig. 3. 24. Modelo eléctrico completo de la PCB y del CI.

Tabla 3. 3. Valores de los componentes de la PDN de la PCB y de la PDN del CI.			
Componente	Valor	Componente	Valor
L_{VCC_1}	0,80 nH/m	C_{VCC_1}	227,70 fF/m
L_{VCC_2}	1,02 nH/m	C_{VCC_2}	76,90 fF/m
L_{VCC_3}	1,06 nH/m	C_{VCC_3}	200,00 fF/m
L_{VCC_4}	2,64 nH/m	C_{VCC_4}	54,00 fF/m
L_{VSS_1}	1,00 nH/m	C_{VSS_1}	200,00 fF/m
L_{VSS_2}	0,98 nH/m	C_{VSS_2}	63,50 fF/m
L_{11}	1,20 nH	R_{IA}	2932,50 Ω
L_{22}	2,00 nH	R_{11}	3,78 Ω
C_{11}	1,00 pF	R_{22}	6,60 Ω
C_{22}	302,92 fF	L_{M1}	0,00 nH
C_{12}	10,00 pF	L_{M2}	0,00 nH
C_{34}	10,00 pF	L_S	68,30 pH
C_{IA}	26,20 pF	C_S	15,00 fF

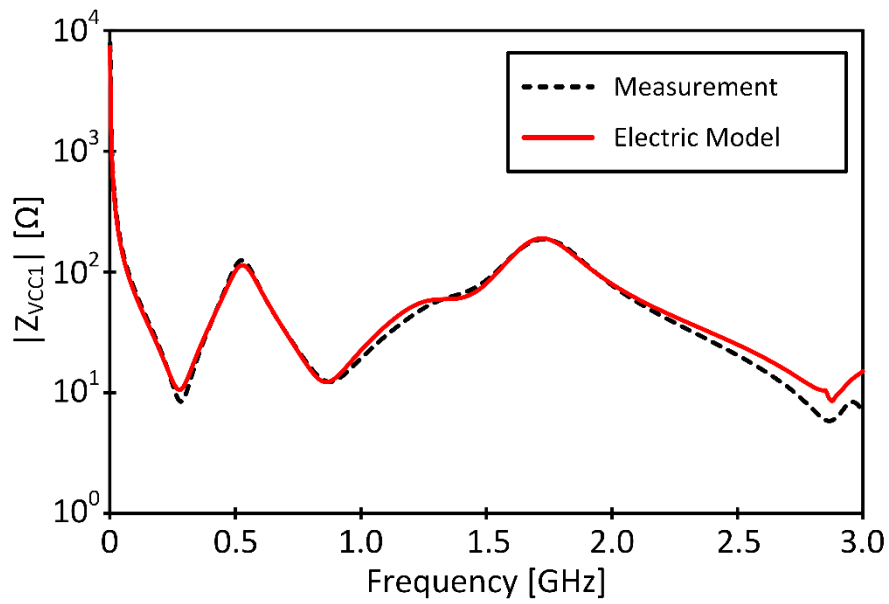


Fig. 3. 25. Impedancia promedio de entrada de la PCB y CI a través del terminal de alimentación V_{CC1} .

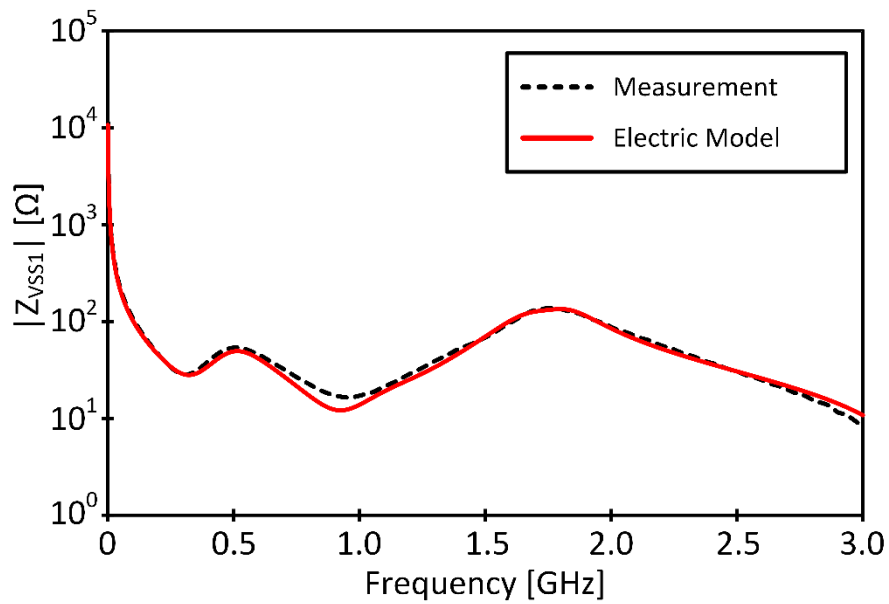
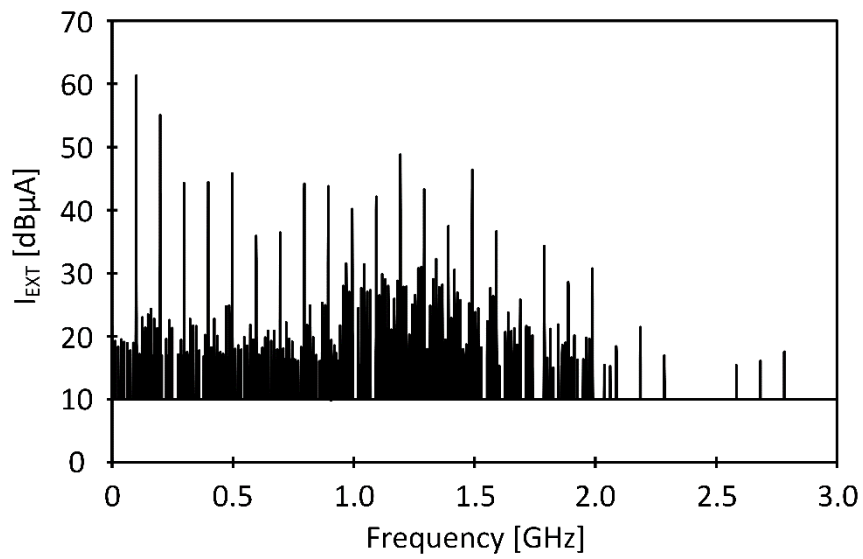
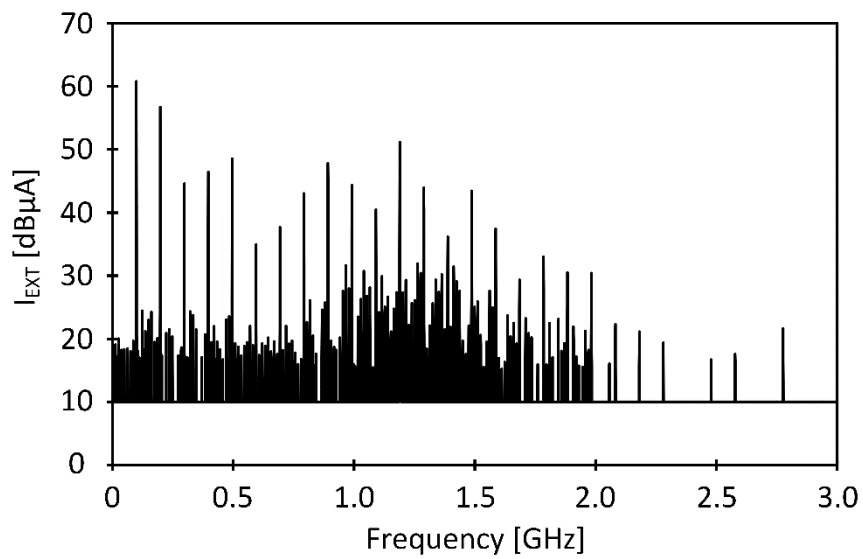


Fig. 3. 26. Impedancia promedio de entrada de la PCB y CI a través del terminal de alimentación V_{SS1} .

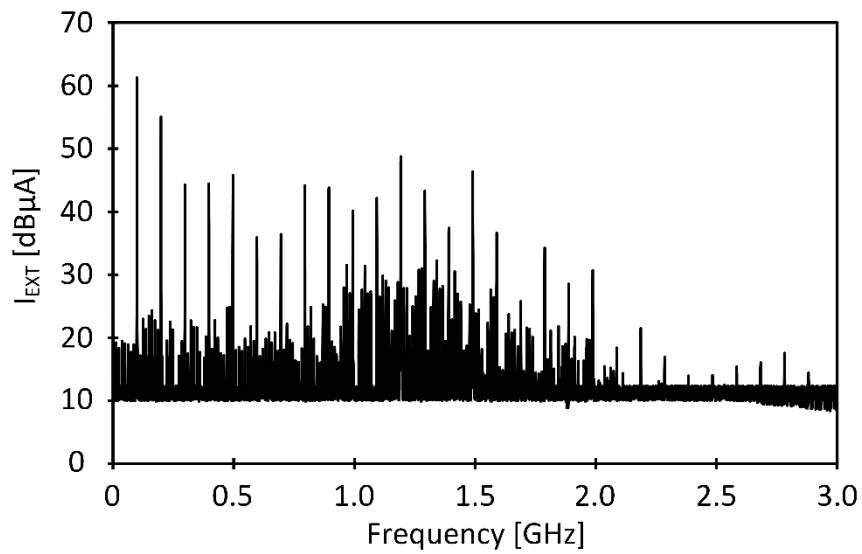


(a)

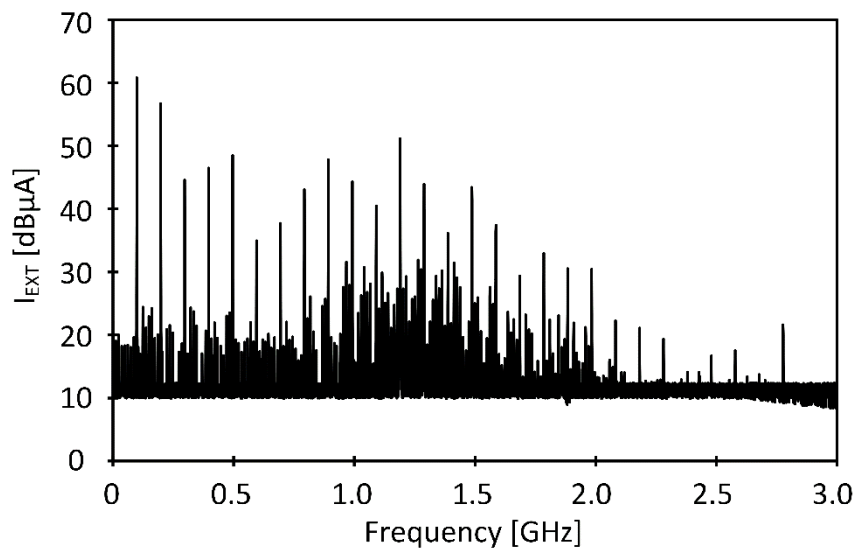


(b)

Fig. 3. 27. Simulación de la corriente externa I_{EXT} para (a) 345 K y (b) 355 K.



(a)



(b)

Fig. 3. 28. Resultados experimentales de la corriente externa I_{EXT} para (a) 345 K y (b) 355 K.

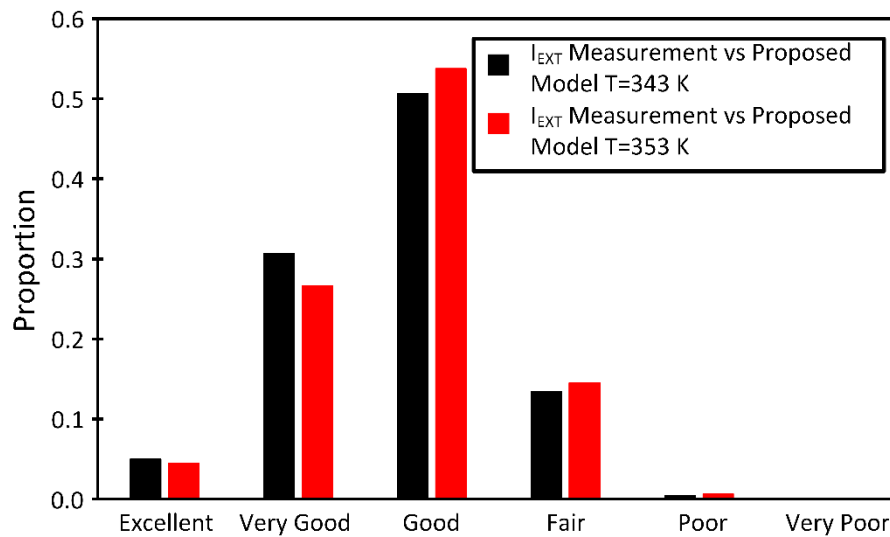


Fig. 3. 29. Histograma GDM obtenido del análisis FSV de la medida de la corriente externa y el modelo de la corriente externa para 345 K y 355 K.

3.3 Conclusiones.

En el presente capítulo se ha presentado un modelo eléctrico que permite caracterizar las interferencias electromagnéticas conducidas hasta la frecuencia de 3 GHz. Este modelo propuesto añade los efectos de alta frecuencia de la placa de circuito impreso y del encapsulado del CI. Asimismo, se ha utilizado una aproximación alternativa para modelizar el ruido electromagnético, en comparación con el modelo estándar ICEM-CE.

Para validar el modelo hasta la frecuencia de 3 GHz se ha elegido el generador de reloj de bajo coste DS1088. Se ha caracterizado la PDN de la placa de circuito impreso y la PDN del CI, comparando los resultados experimentales con el modelo propuesto. De este modo, se ha obtenido una buena correlación entre el modelo y los resultados experimentales en el rango frecuencial de 100 kHz a 3 GHz, de acuerdo con el método de validación FSV para dos casos: con una resistencia de sensado de 1Ω y otra de 10Ω . El modelo propuesto extiende el modelo ICEM-CE hasta la frecuencia de 3 GHz y modeliza el ruido electromagnético según las componentes espectrales, el cual se puede traducir en un modelo SPICE.

Además, partiendo del modelo propuesto válido hasta 3 GHz, se ha estudiado el impacto de la temperatura en las interferencias electromagnéticas conducidas. Las emisiones electromagnéticas conducidas se han caracterizado y modelado en el rango de temperaturas de 293 K a 358 K. Se ha podido observar que la PDN de la PCB y la PDN del CI prácticamente no se ven afectadas por la temperatura, ya que el incremento de impedancia es inferior a la dispersión. Por otro lado, el ruido de conmutación IA depende de la temperatura. El modelado del efecto de la temperatura se ha validado con dos temperaturas intermedias previamente no medidas. Los resultados obtenidos mediante este modelizado han sido validados mediante el método FSV, el cual confirma que el modelo propuesto es adecuado para predecir las emisiones conducidas a nivel de CI.

**Capítulo
4.**

Conclusiones y futura investigación.

Este capítulo está dedicado a revisar las conclusiones de la tesis, las principales aportaciones y proponer futuras líneas de investigación. Por otra parte, se muestran las contribuciones derivadas de esta tesis.

4.1 Conclusiones

En relación al objetivo del estudio del impacto de los mecanismos en las EMI conducidas, primeramente se caracterizó y modelizó el impacto de los mecanismos de degradación a nivel de dispositivo MOS.

El método de caracterización del HCI se aplicó en tres tipos de transistores MOSFET de canal N del CI Elmer02. Debido al mecanismo de degradación HCI, la característica estática I_D-V_{DS} de los transistores MOSFET de canal N se modificó y mediante el modelo Sakurai-Newton, se caracterizó el comportamiento del dispositivo MOS afectado por el HCI.

Así mismo, para caracterizar el impacto del NBTI en los transistores MOSFET de canal P, se aplicó el método de medida "On-The-Fly". La caracterización se llevó a cabo en tres tipos de transistores MOSFET de canal P de diferente geometría, midiendo tres muestras de cada transistor y extrayendo la variación promedio de la tensión umbral. Los resultados obtenidos indicaron que se produjo una variación de la tensión umbral debida al NBTI y que ésta depende de la tensión de estrés aplicada así como de la geometría del propio transistor.

A continuación, se midió el impacto del NBTI a nivel de sistema, en un inversor CMOS. Se observó una variación de la curva característica del sistema combinacional, así como una disminución de la corriente consumida, debido al mecanismo de degradación NBTI. La robustez del inversor fue medida inyectando una señal interferente junto a la alimentación, concluyendo que la robustez del sistema no se ve modificada por el NBTI.

Se llevó a cabo el estudio de la robustez electromagnética en cinco sistemas digitales integrados en el CI Elmer22. El bloque de entradas y salidas digitales es el primero que se caracterizó antes y después de aplicarle un estrés eléctrico. Como consecuencia del estrés eléctrico, la corriente de saturación de los transistores MOS se vio modificada debido a los mecanismos de degradación. La reducción de la corriente de saturación de los dispositivos MOS, produjo un incremento de los tiempos de subida y de bajada de la señal de salida del bloque digital. El aumento de los

tiempos de subida y de bajada debido al HCI y al NBTI produjo una reducción de las EMI conducidas, sobre todo en las componentes de alta frecuencia.

El CI Elmer22 contiene cuatro núcleos digitales, cada núcleo con un condensador de desacoplo implementado con una tecnología diferente. Al igual que con el bloque de entradas y salidas digitales, se aplicó un estrés eléctrico con el objetivo de caracterizar el impacto de los mecanismos de degradación en la integridad de la señal de alimentación y en el ruido electromagnético generado. El impacto de los mecanismos de degradación sobre los núcleos digitales produjo una variación en el rizado de la tensión de alimentación y una reducción de las emisiones conducidas en el rango frecuencial de 200 MHz hasta 1 GHz.

Por otro lado, el segundo objetivo de la tesis era proponer un modelo eléctrico que modelice las EMI hasta la frecuencia de 3 GHz, el cual tuviera en cuenta los caminos de propagación, tanto de la placa de circuito impreso, como del CI. El modelo incluyó un método alternativo para caracterizar el ruido electromagnético generado por el CI, el cual se basó en las componentes espectrales del mismo. El modelo propuesto se verificó con el CI DS1088, que es un generador de reloj de bajo coste. Para este CI, se ha extraído la red de distribución pasiva (PDN) y el ruido electromagnético generado o Actividad Interna (IA), obteniendo un modelo que permite predecir las EMI conducidas hasta la frecuencia de 3 GHz. La técnica "*Feature Selective Validation*" (FSV) se utilizó para verificar el modelo propuesto, dando por Excelente o Muy Bueno el modelo eléctrico propuesto.

Por último, se ha estudiado el impacto de la temperatura en las EMI conducidas, modelizando su efecto según el modelo validado hasta la frecuencia de 3 GHz. Se ha podido observar que el impacto en la PDN de la PCB y del CI es mínimo, pero en cambio en el ruido electromagnético, la amplitud de las componentes espectrales se vieron modificadas. El modelo propuesto de la IA recogió esta dependencia con la temperatura y, para validarlo, se eligieron dos temperaturas intermedias no medidas anteriormente. El método de validación FSV confirmó que el modelo es válido para las temperaturas seleccionadas.

4.2 Principales contribuciones derivadas de la tesis.

Esta sección presenta las publicaciones resultantes de los trabajos de investigación de la tesis.

CONTRIBUCIONES.

1. N. Berbel, R. Fernández-García, I. Gil, B. Li, A. Boyer, and S. BenDhia, "Experimental verification of the usefulness of the nth power law MOSFET model under hot carrier wearout," *Microelectronics Reliability*, vol. 51, pp. 1564-1567, 9-11, 2011.
2. N. Berbel, R. Fernandez, and I. Gil, "Modelling and experimental verification of the impact of negative bias temperature instability on CMOS inverter," *Microelectronics Reliability*, vol. 49, pp. 1048-1051, 9// 2009.
3. R. Fernández-García, N. Berbel, I. Gil, and M. M., "Impact of NBTI on EMC behaviours of CMOS inverter," presented at the 2010 Asia-Pacific Symposium on Electromagnetic Compatibility (APEMC), Beijing International conference Center, Beijing, China, 2010.
4. A. Boyer, S. Ben Dhia, L. Binhong, N. Berbel, and R. Fernandez-Garcia, "Experimental Investigations into the Effects of Electrical Stress on Electromagnetic Emission from Integrated Circuits," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 56, pp. 44-50, 2014.
5. N. Berbel, R. Fernandez-Garcia, I. Gil, B. Li, S. Ben-Dhia, and A. Boyer, "An alternative approach to model the Internal Activity of integrated circuits," in *8th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, 2011, pp. 88-92.
6. N. Berbel, R. Fernandez-Garcia, and I. Gil, "Characterization and Modeling of the Conducted Emission of Integrated Circuits Up To 3 GHz," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 56, pp. 878-884, 2014.

7. N. Berbel, R. Fernandez-Garcia, and I. Gil, "Characterization of conducted emission at high frequency under different temperature," in 9th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Nara, Japan, 2013.
8. N. Berbel, R. Fernandez-Garcia, and I. Gil, " Modeling Technique of the Conducted Emission of Integrated Circuit under differences temperatures.," , International Journal of Numerical Modelling: Electronic Networks, Devices and Fields (Pendiente)

Otras publicaciones.

1. B. Li, N. Berbel, A. Boyer, S. BenDhia, and R. Fernández-García, "Study of the impact of hot carrier injection to immunity of MOSFET to electromagnetic interferences," Microelectronics Reliability, vol. 51, pp. 1557-1560, 9// 2011.

4.3 Líneas de investigación futura.

A partir de las conclusiones extraídas en esta tesis, se establecen las siguientes líneas futuras de investigación:

1. Determinar el fenómeno físico que produce las variaciones del ruido electromagnético. Como se ha estudiado en el capítulo 3, se produjo una variación del ruido electromagnético debido a la temperatura. Sería de interés estudiar el fenómeno físico que produce la variación de la IA dentro del rango frecuencial estudiado.
2. Asimismo, sería de interés caracterizar y modelizar las EMI conducidas en un rango de temperaturas mayor. Esta futura línea de investigación conllevaría la caracterización de los caminos de propagación y del ruido electromagnético a diferentes temperaturas.

Referencias.

- [1] ITRS. (2013). *International Technology Roadmap for Semiconductors (ITRS)*. Available: <http://www.itrs.net/Links/2013ITRS/Home2013.htm>
- [2] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. H. Hubing, *et al.*, "The Electromagnetic Compatibility of Integrated Circuits - Past, Present, and Future," *IEEE Transactions on Electromagnetic Compatibility*, vol. 51, pp. 78-100, 2009.
- [3] E. Sicard and J. M. Dienot, "Issues in electromagnetic compatibility of integrated circuits: emission and susceptibility," *Microelectronics and Reliability*, vol. 45, pp. 1277-1284, 25th August 2005.
- [4] M. Xiao-Hua, H. Yue, W. Jian-Ping, and C. Yan-Rong ..., "New aspects of HCI test for ultra-short channel n-MOSFET devices," in *CHINESE PHYSICS-BEIJING-*, ed, 2006.
- [5] M. Alam, B. Weir, and A. Silverman, "A future of function or failure? [CMOS gate oxide scaling]," *IEEE Circuits and Devices Magazine*, vol. 18, pp. 42-48, 2002.
- [6] J. Stathis and S. Zafar, "The negative bias temperature instability in MOS devices: A review," in *Microelectronics Reliability*, ed, 2006.
- [7] J. Stathis, "Percolation models for gate oxide breakdown," in *Journal of Applied Physics*, ed, 1999.
- [8] R. Degraeve, G. Groeseneken, R. Bellens, J. Ogier, M. Depas, P. Roussel, *et al.*, "New insights in the relation between electron trap generation and the statistical properties of oxide breakdown," in *Electron Devices, IEEE Transactions on* vol. 45, ed, 1998, pp. 904 - 911.
- [9] M. Alam, B. Weir, and A. Silverman, "A future of function or failure?[CMOS gate oxide scaling]," in *IEEE Circuits and Devices Magazine*, ed, 2002.

- [10] J. Bernstein, M. Gurfinkel, X. Li, and J. Walters, "Electronic circuit reliability modeling," in *Microelectronics Reliability*, ed, 2006.
- [11] K. Instruments. (2000, 2000). *Evaluating Hot Carrier Induced Degradation of MOSFET Devices*.
- [12] B. Kaczer, V. Arkhipov, and R. Degraeve, "Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification," presented at the Proceedings 43rd Annual IEEE International Reliability Physics Symposium, Leuven, Belgium, 2005.
- [13] M. Denais, C. Parthasarathy, G. Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, *et al.*, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 109-112.
- [14] A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectronics Reliability*, vol. 42, pp. 583-596, 4// 2002.
- [15] I. E. C. (IEC). (2013). Available: www.iec.ch
- [16] IEC, "IEC 61967-4 Ed 1.1 Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 4: Measurement of conducted emissions - 1 Ω /150 Ω direct coupling method," ed, 2006.
- [17] IEC, "IEC 62132-4 Ed 1.0 Integrated circuits - Measurement of electromagnetic immunity 150 kHz to 1 GHz - Part 4: Direct RF power injection method," ed, 2006.
- [18] I. O. Forum, "I/O Buffer Information Specification Version 1.0," ed, 1993.
- [19] I. O. Forum, "I/O Buffer Information Specification Version 5.1," ed, 2012.
- [20] IEC, "IEC 62014-1 Ed 1.0 Electronic design automation libraries - Part 1: Input/output buffer information specifications (IBIS version 3.2)," ed, 2001.
- [21] IEC, "IEC 62014-3 Ed 1.0 Electronic design automation libraries - Part 3: Models of integrated circuits for EMI behavioural simulation," ed, 2001.
- [22] I. E. C. Standard, "Models of Integrated Circuits for EMI Behavioral Simulation — Conducted Emission Modelling (ICEM-CE) IEC 62433-2," ed, 2006.
- [23] A. P. Duffy, A. J. M. Martin, A. Orlandi, G. Antonini, T. M. Benson, and M. S. Woolfson, "Feature selective validation (FSV) for validation of computational electromagnetics (CEM). part I-the FSV method," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 48, pp. 449-459, 2006.

- [24] A. Orlandi, A. P. Duffy, B. Archambeault, G. Antonini, D. E. Coleby, and S. Connor, "Feature selective validation (FSV) for validation of computational electromagnetics (CEM). part II- assessment of FSV performance," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 48, pp. 460-467, 2006.
- [25] C. Parthasarathy, A. Bravaix, and C. Guerin, "Design-In Reliability for 90-65nm CMOS Nodes Submitted to Hot-Carriers and NBTI Degradation," in *Lecture Notes in Computer Science*, ed, 2007.
- [26] R. Rodriguez, J. H. Stathis, and B. P. Linder, "A model for gate-oxide breakdown in CMOS inverters," *Electron Device Letters, IEEE*, vol. 24, pp. 114-116, 2003.
- [27] J. Segura, C. De Benito, A. Rubio, and C. Hawkins, "A detailed analysis of GOS defects in MOS transistors: testing implications at circuit level," in *Test Conference*, ed, 1995.
- [28] R. Fernández, R. Rodríguez, and M. Nafría, "Contributions of the gate current and channel current variation to the post-breakdown MOSFET performance," *Microelectronic Engineering*, Jan 1 2008.
- [29] H. Yang, J. Yuan, Y. Liu, and E. Xiao, "Effect of gate-oxide breakdown on RF performance," in *IEEE Transactions on Device and Materials Reliability*, ed, 2003.
- [30] R. Rodriguez, J. Stathis, and B. Linder, "Modeling and experimental verification of the effect of gate oxide breakdown on CMOS inverters," in *Reliability Physics Symposium Proceedings, 2003. 41st Annual. 2003 IEEE International*, ed, 2003, pp. 11 - 16.
- [31] B. Kaczer, R. Degraeve, M. Rasras, A. De Keersgieter, K. Van de Mieroop, and G. Groeseneken, "Analysis and modeling of a digital CMOS circuit operation and reliability after gate oxide breakdown: a case study," *Microelectronics Reliability*, vol. 42, pp. 555-564, 20/02/2002 2002.
- [32] K. Soo Young, H. Chih-Hsiang, and K. Roy, "Statistical SBD Modeling and Characterization and Its Impact on SRAM Cells," *Electron Devices, IEEE Transactions on*, vol. 61, pp. 54-59, 2014.
- [33] R. Fernández-García and B. Kaczer, "A CMOS circuit for evaluating the NBTI over a wide frequency range," *Microelectronics Reliability*, Jan 1 2009.
- [34] Y. Lin, X. Li, and Y. Shi, "Modeling and simulation for NBTI-considered path delay prediction in logical circuit," in *Junction Technology (IWJT), 2014 International Workshop on*, 2014, pp. 1-4.
- [35] S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface," *Physical Review B*, vol. 51, pp. 4218-4230, 02/15/ 1995.

- [36] O. Wada, Y. Saito, K. Nomura, Y. Sugimoto, and T. Matsushima, "Power supply current analysis of micro-controller with considering the program dependency," in *8th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, 2011, pp. 93-98.
- [37] S. Serpaud, J. Levant, Y. Poiré, M. Meyer, and T. Sereirath, "ICEM-CE extraction methodology," *EMC Compo 2009*, 2009.
- [38] J. L. Levant, C. Marot, M. Meyer, and M. Ramdani, "Solving ASIC decoupling with the ICEM-CE Model," presented at the 7th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Toulouse, France, 2009.
- [39] F. Musolino, Y. Villavicencio, and F. Fiori, "Chip-Level Design Constraints to Comply With Conducted Electromagnetic Emission Specifications," *IEEE Transactions on Electromagnetic Compatibility*, vol. 54, pp. 1137-1146, 2012.
- [40] L. Jean-Luc, R. Mohamed, P. Richard, and D. M'Hamed, "EMC Assessment at Chip and PCB Level: Use of the ICEM Model for Jitter Analysis in an Integrated PLL," *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, pp. 182-191, 2007.
- [41] M. Ohring, *Reliability and Failure of Electronic Materials and Devices*, 1998.
- [42] T. Sakurai and A. R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," *Solid-State Circuits, IEEE Journal of*, vol. 25, pp. 584-594, 1990.
- [43] N. Chandra, A. Kumar Yati, and A. B. Bhattacharyya, "Extended-Sakurai-Newton MOSFET Model for Ultra-Deep-Submicrometer CMOS Digital Design," in *VLSI Design, 2009 22nd International Conference on*, 2009, pp. 247-252.
- [44] B. J. Sheu, D. L. Scharfetter, P. K. Ko, and J. Min-Chie, "BSIM: Berkeley short-channel IGFET model for MOS transistors," *Solid-State Circuits, IEEE Journal of*, vol. 22, pp. 558-566, 1987.
- [45] U. B. D. Group. (2005). *BSIM3 MOSFET Model*. Available: http://www-device.eecs.berkeley.edu/bsim/?page=BSIM3_LR
- [46] *PTM MOSFET Models*. Available: www.eas.asu.edu/~ptm
- [47] H. Shichman and D. Hodges, "Modeling and simulation of insulated-gate field-effect transistor switching circuits," *Solid-State Circuits, IEEE Journal of*, vol. 3, pp. 285-289, 1968.

- [48] Z. Yu and K. L. Shepard, "On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 11, pp. 336-344, 2003.
- [49] A. Boyer, S. Ben Dhia, C. Lemoine, and B. Vrignon, "An on-chip sensor for time domain characterization of electromagnetic interferences," in *8th Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, 2011, pp. 251-256.
- [50] S. R. Ben Dhia, Mohamed; Sicard, Etienne, *Electromagnetic compatibility of integrated circuits*: Springer 2006.
- [51] O. Wada, Y. Fukumoto, H. Osaka, W. Zhi Liang, O. Shibata, S. Matsunaga, *et al.*, "High-speed simulation of PCB emission and immunity with frequency-domain IC/LSI source models," in *IEEE International Symposium on Electromagnetic Compatibility*, 2003, pp. 4-9 vol.1.
- [52] K. Ichikawa, M. Inagaki, Y. Sakurai, I. Iwase, M. Nagata, and O. Wada, "Simulation of integrated circuit immunity with LECCS model," in *Electromagnetic Compatibility, 2006. EMC-Zurich 2006. 17th International Zurich Symposium on*, 2006, pp. 308-311.
- [53] I. E. C. (IEC), "Logic Digital Integrated Circuits—Specification for I/O Interface Model for Integrated Circuits (IMIC Version 1.3)," in *62404*, ed, 2007.
- [54] C. Labussiere-Dorgan, S. Bendhia, E. Sicard, T. Junwu, H. J. Quaresma, C. Lochot, *et al.*, "Modeling the Electromagnetic Emission of a Microcontroller Using a Single Model," *IEEE Transactions on Electromagnetic Compatibility*, vol. 50, pp. 22-34, 2008.
- [55] Q. K. Zhu, *Power Distribution Network Design for VLSI*: Wiley-Interscience, 2004.
- [56] "Impedance Measurements. Evaluating EMC Components with DC Bias Superimposed - Application Note," ed. Agilent, 2009.
- [57] D. M. Pozar, *Microwave Engineering*: Wiley, 2012.

