

カウンタと遅延器を用いたバーニアリングオシレー タ型1次 TDC

著者	弘瀬 恵太
出版者	法政大学大学院理工学研究科
雑誌名	法政大学大学院紀要. 理工学・工学研究科編
巻	61
ページ	1-4
発行年	2020-03-24
URL	http://doi.org/10.15002/00022862

カウンタと遅延器を用いた バーニアリングオシレータ型 1次 $\Delta\Sigma$ TDC

VERNIER RING OSCILLATOR TYPE FIRST ORDER DELTA-SIGMA TDC
WITH COUNTERT AND DELAY LINE

弘瀬恵太

Keita HIROSE

指導教員 安田彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

In this paper, we propose All Digital Vernier Ring Oscillator type Delta-Sigma Time-to-Digital Converter ($\Delta\Sigma$ VTDC) with counter and delay. The system achieves feedback by counter and delay line. This design reduces noise on feedback signal. The proposed system designed and simulated by MATLAB/simulink. Proposed system achieves first order noise shaping of quantization noise and simulated a signal to noise ratio (SNR) of 65.3 dB.

Key Words : TDC, delta-sigma structure, ring oscillator, Vernier type, noise shaping

1. はじめに

近年、IoT 技術の普及に伴い、多様な機器が無線通信によってインターネットと接続され、リアルタイムな通信が行われている。このような無線通信には低遅延や通信速度の安定化が重要で、その実現のため Digital Phase Locked Loop(DPLL)が用いられる。

DPLL の構成回路の 1 つが Time to Digital Converter(TDC)である。TDC は計測対象となる 2 つの信号間の時間差というアナログ信号を量子化し、デジタル値に変換する Analog to Digital Converter(ADC) の一種である。DPLL では出力信号とリファレンス信号の時間差を測定する位相比較器として用いられる。TDC の雑音を低下させることは DPLL の位相雑音を低下させるうえで重要である[1]。

高精度な変換を実現させる手法として、Delta-Sigma 型 TDC($\Delta\Sigma$ TDC)が提案されている[2]。 $\Delta\Sigma$ TDC はオーバーサンプリングとノイズシェーピング特性を利用して、出力信号のノイズフロアを低下させ、信号帯域内の量子化雑音を帯域外にシフトする。これによって、量子化雑音の影響を低下させ高精度な変換を実現している。この $\Delta\Sigma$ TDC は主にアナログ積分器やキャパシタを用いて量子化誤差を保存、フィードバックすることでノイズシェーピング特性を得ることができる。しかし、アナログ積分器やアナログ電圧値を用いることで、電磁波などの外乱の影響を受けやすく誤差の原因になる。またデジタル回路に比べ回路面積が大きくなるという問題がある。

本稿ではバーニアリングオシレータ型 TDC にカウンタと遅延器を用いたエラーフィードバックを導入し、デジタル値のみでエラーフィードバックを実現する手法を提案する。その提案手法の有効性について MATLAB/simulink によるシミュレーションにて検証を行った。

2. 従来の TDC とその問題点

(1) Gated Ring Oscillator TDC(GROTDC)

$\Delta\Sigma$ TDC の一種に GROTDC がある。図 1, 2 に GROTDC のブロック図とタイミングチャートを示す[3], [4]。GROTDC は Gated Ring Oscillator とカウンタ、レジスタから構成される。GROTDC はスタート信号が入力されてからストップ信号が入力されるまでの間発振し、その発振回数をカウントすることで時間差信号を量子化する。測定終了後から次の測定開始までの間、リングオシレータはゲートトランジスタによってアナログ電圧値、または位相情報を保持することができる。これによってカウンタで発生する量子化誤差を保存、次の入力へフィードバックすることで $\Delta\Sigma$ TDC として動作をすることができる。この時の分解能はリングオシレータの発振周波数に依存する。

GROTDC はアナログ積分器を用いないため、省面積で $\Delta\Sigma$ TDC を実現できる。しかし、リングオシレータの電圧値を利用して量子化誤差を保存しているため、外乱による影響を受け誤差の原因となる。

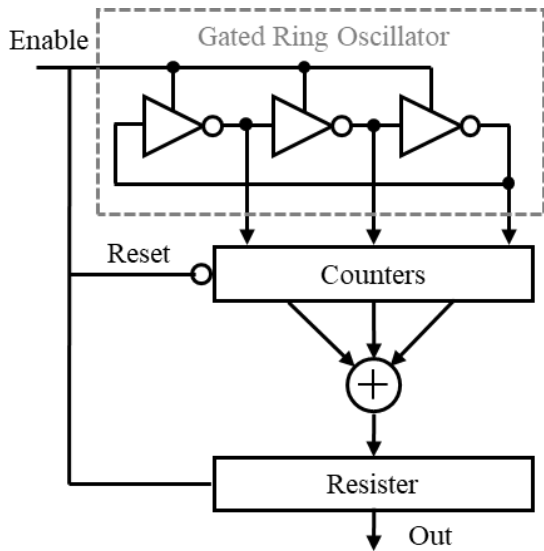


図 1. GROTDC ブロック図

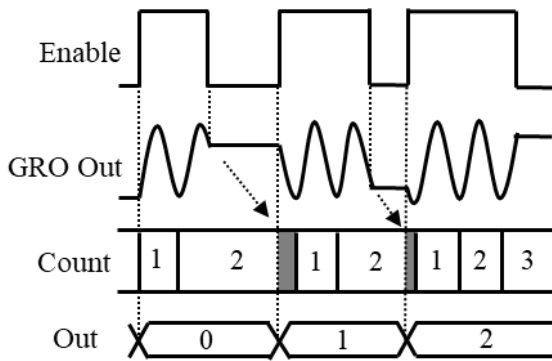


図 2. GROTDC タイミングチャート

(2) Vernier Ring Oscillator TDC

TDC の高精度化のため 2 つの発振周波数が異なるリングオシレータ (RO) を用いることでバーニア型 TDC を構成することができる[5]. このような TDC を Vernier Ring Oscillator TDC (VROTDC) という. Start 信号が入力されると発振周波数の低い RO (slow RO) が, stop 信号が入力されると発振周波数の高い RO (fast RO) が発振する. fast RO の出力タイミングが slow RO に追いついたとき測定が終了する. 2 つの RO の 1 段の遅延量をそれぞれ T_1, T_2 ($T_1 > T_2$) すると VROTDC の分解能 τ は

$$\tau = T_2 - T_1 \quad (1)$$

となる.

VROTDC 高精度化が達成できる一方 2 つの RO を使用するため, 回路面積が大きくなるというデメリットが存在する.

3. 提案手法

(1) カウンタと遅延器を用いた $\Delta\Sigma$ VROTDC

前章の問題である外乱による影響を低減させるために, カウンタと遅延器を用いた $\Delta\Sigma$ VROTDC を提案する. 図 3 に提案回路のブロック図を示す. また図 4 にタイミングチャートを示す.

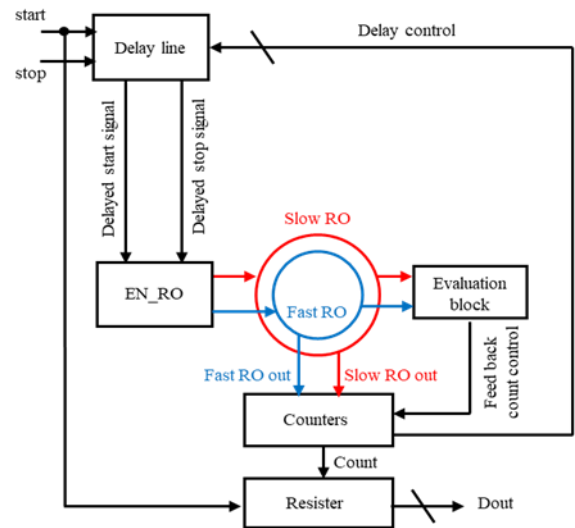


図 3. 提案回路ブロック図

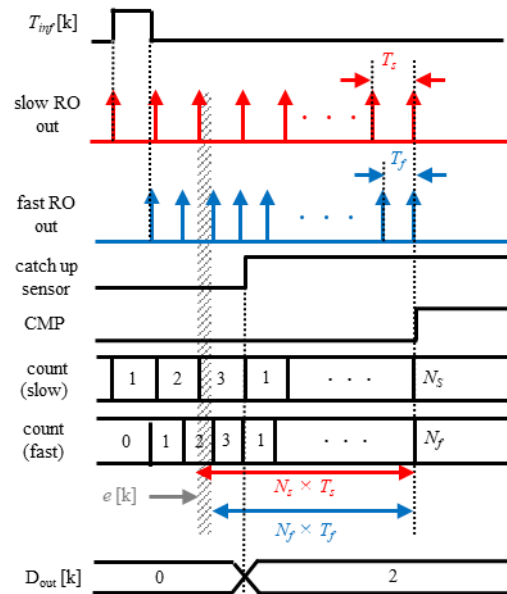


図 4. 提案回路タイミングチャート

従来の VROTDC では RO fast が RO slow に追いつくと測定を終了するが, 提案型の回路では測定を終了せずに RO を発振させ続ける. その後 2 つの RO の出力の立ち上がりエッジは重なり合う. この重なりを検出し, それまでの RO の振動数をカウントする. この時のそれぞれの RO のカウント値を N_s, N_f とする. また, それぞれの RO の遅延量を T_s, T_f とするとこの時の量子化誤差 e は

$$e = N_s \times T_s - N_f \times T_f \quad (2)$$

となる。

このカウント値と T_s または T_f と同じ遅延量の遅延器を用いることで、量子化誤差を保存し入力にフィードバックする。フィードバック後の start 信号, stop 信号をそれぞれ ENS , ENF とすると、

$$ENS = start + N_f \times T_f \quad (3)$$

$$ENF = stop + N_s \times T_s \quad (4)$$

となる。したがってフィードバック後の入力時間差 T_{inf} は

$$\begin{aligned} T_{inf}[k] &= ENF - ENS \\ &= T_{in}[k] + (N_f \times T_f - N_s \times T_s) \\ &= T_{in}[k] - e[k-1] \end{aligned} \quad (5)$$

である。

この時の出力 $D_{out}[k]$ は

$$\begin{aligned} D_{out}[k] &= T_{inf}[k] + e[k] \\ &= T_{in}[k] + e[k] - e[k-1] \end{aligned} \quad (6)$$

となる。(6) 式より、デジタル値と遅延器によるエラーフィードバック型 $\Delta\Sigma TDC$ が実現できる。

(2) Evaluation block (Catch Up Sensor)

Catch Up Sensor(CUS)は RO fast が RO slow に追いついたことを検出する回路である。図 5 に CUS の回路構成を示す。CUS は 2bit カウンタと D-FlipFlop で構成される。RO fast が RO slow に追いつくまでの間、RO slow の出力パルス間に RO fast 出力パルスは 1 つである。一方で RO fast が RO slow に追いついたとき、RO fast 出力パルスは 2 つであるから、カウンタによってこれを検出する。CUS = High でのカウント $N_s - 1$ が D_{out} となる。

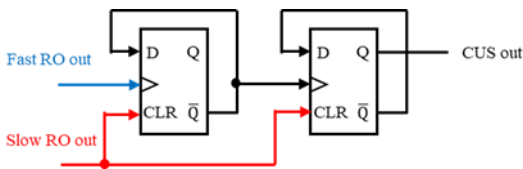


図 5. Catch Up Sensor

(3) Evaluation block (重なり検出回路)

図 6 に 2 つの RO 出力の立ち上がりエッジの重なりを検出する回路を示す。RO slow, RO fast の各段の出力を S_n , F_m とする。図の回路では S_n と F_m のどちらが先に入

力されるかを比較する。X は S_n が先に入力されると high になり、Y は F_m が先に入力されると high になる。 S_n と F_m が同時に入力されたとき、NOR によって検出される。

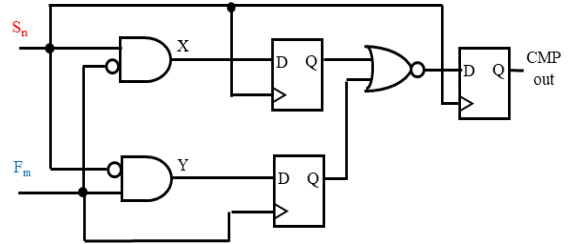


図 6. 重なり検出回路

(4) フィードバック用遅延回路

この回路は CUS が追いつきを検知し、CMP が重なりを検知するまでの間の時間を入力にフィードバックするための回路である。図 7 に回路図、図 8 にタイミングチャートを示す。回路は遅延器とマルチプレクサで構成される。各マルチプレクサの制御信号は N_s または N_f のカウンタのビットごとの出力である。この回路によって(3)、(4)式に示したように start, stop 信号を遅延させ、これによってエラーフィードバックを実現する。

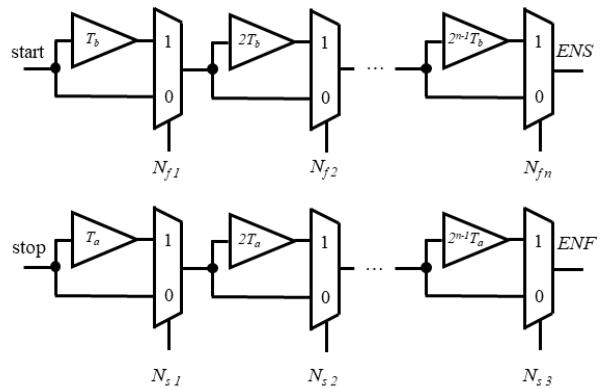


図 7. フィードバック用遅延回路

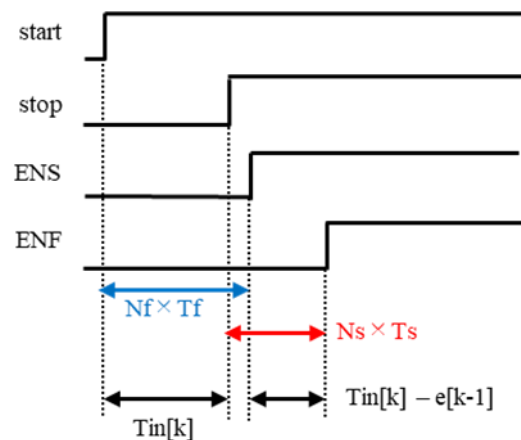


図 8. フィードバック用遅延回路タイミングチャート

4. MATLAB シミュレーション

従来型の VROTDC と提案型 $\Delta\Sigma$ VROTDC の比較検証を行った。シミュレーションは MATLAB/Simulink を用いて行った。表 1 にシミュレーション条件を示す。図 9 に FFT 解析結果を示す

表 1. シミュレーション条件

入力周波数(start, stop)[MHz]	5
サンプリング周波数[MHz]	5
時間差入力範囲[ns]	0~4
OSR	64
遅延素子Tsの遅延時間[ns]	1
遅延素子Tfの遅延時間[ns]	0.97
DFTプロット数	2048

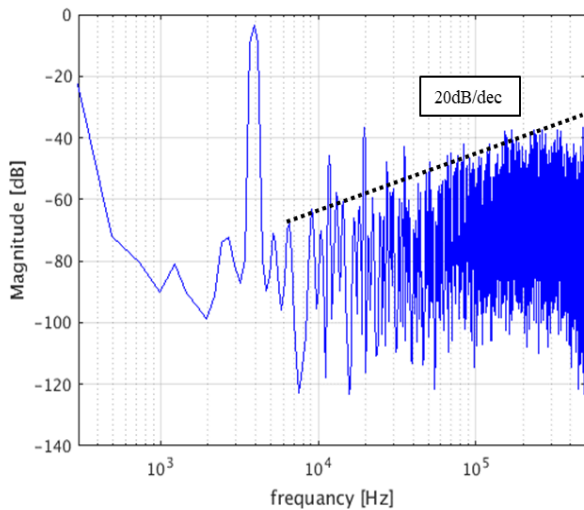


図 9 DFT 結果

図 9 より提案回路ではデジタルカウント値と遅延器を利用してエラーフィードバックを行うことで 1 次ノイズシェーピングが実現されていることが確認できる。また図 8 から信号対雑音比 (SNR) は 65.3 dB であった。

5. 結論

本研究では $\Delta\Sigma$ TDC の高精度化を実現するために、デジタルカウント値と遅延器を用いた $\Delta\Sigma$ VROTDC を提案し、その提案技術の有効性について MATLAB/Simulink によるシミュレーションにて検証を行った。

提案した $\Delta\Sigma$ VROTDC は、2つの入力信号に長さの異なる時間で遅延させることにより、時間差信号に量子化誤差を積分している。これによって、従来の VROTDC に 1 次のノイズシェーピング特性を持たせることができ、GROTDC のような外乱の影響を受けやすいアナログ値を利用せず、デジタル値によってエラーフィードバックを実現している。

MATLAB シミュレーションによる DFT 結果から提案型回路の 1 次のノイズシェーピング特性を確認することができた。また、SNR は 65.3 dB であった。

今後の課題として、入力範囲の拡大とサンプリング周波数の向上、FPGA や PSoC 上での実装による検証が挙げられる。

6. 謝辞

本研究を進めるにあたり、多大なるご協力、ご指導いただいた法政大学理工学部安田彰教授に多大なる感謝を申し上げます。また、ともに所属されている研究室の皆様にも多くの助言を頂き感謝しております。

参考文献

- 1) R. B. Staszewski, Po. T. Balsara, (著), 山田庸一郎 (訳), 小林治夫 (監修) “完全デジタル PLL 回路の設計—ディープ・サブミクロン CMOS プロセスで実現する All-Digital Frequency Synthesizer” CQ 出版社 (2010)
- 2) Y. Osawa, D. Hirabayashi, N. Harigai, H. Kobayashi, K. Niitsu, O. Kobayashi, “Phase Noise Measurement Techniques Using Delta-Sigma TDC” IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Porto Alegre, Brazil (Sept. 2014).
- 3) M. Z. Straayer, M. H. Perrott, : A Multi Path Gated Ring Oscillator TDC With First-Order Noise Shaping, IEEE Journal of solid-state circuits, Vol.44, No4, pp1089-1098, 2009
- 4) C. Chang, Y. Tsai, K. Chein, L. Lu, : A 0.3-V 7.6-fJ/conv-step Delta-Sigma Time-to-Digital Converter with a Gated-Free Ring Oscillator, IEEE International New Circuits and Systems Conference, pp221-224, 2017
- 5) Z. Cheng, M. J. Deen, H. Peng, : A Low-power gateable Vernier Ring Oscillator Time-to-Digital Converter for Biomedical Imaging Applications, IEEE Transactions on Biomedical Circuits and Systems, Vol.10, No.2, pp445-454, 2016