

パワーエレクトロニクス向けCMOSデジタルアイソレータ回路の高速化に関する研究

その他のタイトル	Research on High-Speed CMOS Digital Isolator Circuit for Power Electronics
著者	加賀谷 司
学位授与年月日	2019-03-25
URL	http://hdl.handle.net/2261/00079327

修士論文

パワーエレクトロニクス向け CMOS デジタル
アイソレータ回路の高速化に関する研究

Research on High-Speed CMOS Digital Isolator Circuit
for Power Electronics.

平成 31 年 1 月 30 日

指導教員 桜井 貴康 教授

東京大学大学院 工学系研究科
電気系工学専攻 37-176429

加賀谷 司

目次

目次.....	ii
第1章 序章.....	1
1.1 研究の背景.....	1
1.2 研究の目的.....	3
1.3 本論文の構成.....	4
第2章 アイソレータ回路の概要.....	5
2.1 絶縁方法によるアイソレータの分類.....	5
2.2 Common Mode Transition Immunity (CMTI).....	10
2.3 送受信プロトコルの比較.....	12
2.3.1 On-off keying 方式.....	12
2.3.2 Edge Detect 方式.....	12
2.3.3 同期通信方式.....	13
2.4 高速アイソレータの先行研究.....	16
2.4.1 先行研究のトランスミッタ回路.....	16
2.4.2 先行研究のレシーバ回路.....	18
2.4.3 先行研究の課題.....	19
第3章 提案するアイソレータ回路.....	21
3.1 提案する送受信プロトコル.....	21
3.2 提案するトランスミッタ回路.....	23
3.2.1 トランスミッタ回路の動作方式.....	23
3.2.2 トランスミッタ回路の回路構成.....	24
3.3 提案するレシーバ回路.....	27
3.4 オンチップインダクタの解析.....	30
3.4.1 インダクタのレイアウトおよび等価回路.....	30
3.4.2 シングルインダクタのパラメータ抽出.....	31
3.4.3 カップリングインダクタの結合係数 k の抽出.....	32
3.4.4 カップリングインダクタ間のカップリング容量の抽出.....	33
3.4.5 カップリングインダクタのモデルの検証.....	34
第4章 提案回路の実証.....	35
4.1 シミュレーションによる検証.....	35
4.1.1 通信速度の検証.....	35
4.1.2 消費電流の検証.....	36
4.1.3 CMTI の検証.....	37

4.2 測定回路の実装	39
4.3 通信性能の評価	41
4.3.1 測定系の構成	41
4.3.2 通信速度の測定による評価	42
4.3.3 通信速度に対する消費電流の測定による評価	43
4.4 高電圧測定	45
4.4.1 絶縁耐性の評価	45
4.4.2 CMTI の評価	47
4.5 先行研究との比較	52
第5章 結論	53
5.1 結論	53
5.2 今後の展望	53
参考文献	55
本研究に関する発表	56
謝辞	57

第1章 序章

1.1 研究の背景

パワーデバイスを用いたインバータによるドライブシステムは、家電機器などの民生用途から車両などの産業用途まで需要が増加しており、特に電気自動車や太陽光発電への応用に向けて盛んに研究が行われている。ここでハイサイド側およびローサイド側がそれぞれコントローラ・アイソレータ・ゲートドライバ・パワーデバイスによって構成された一般的なインバータドライブシステムを図 1-1 に示す。このようなシステムではコントローラが生成したゲート波形がアイソレータを通過し、ゲートドライバがハイサイド側およびローサイド側の二つのパワーデバイスをスイッチングすることで負荷を駆動している。ここでハイサイド側パワーデバイスのエミッタまたはドレインは負荷に直接されているため、その電位は 0V から数 kV まで変動することになる。よって低電圧領域で動作するコントローラと高電圧領域で動作するゲートドライバの間の通信においてアイソレータによる電気絶縁が必要不可欠である。またローサイド側パワーデバイスにおいても高電圧領域で発生する高レベルのノイズがグラウンド線を通してコントローラ側に流入するのを防ぐためにアイソレータによる信号の絶縁が必要である [1]。

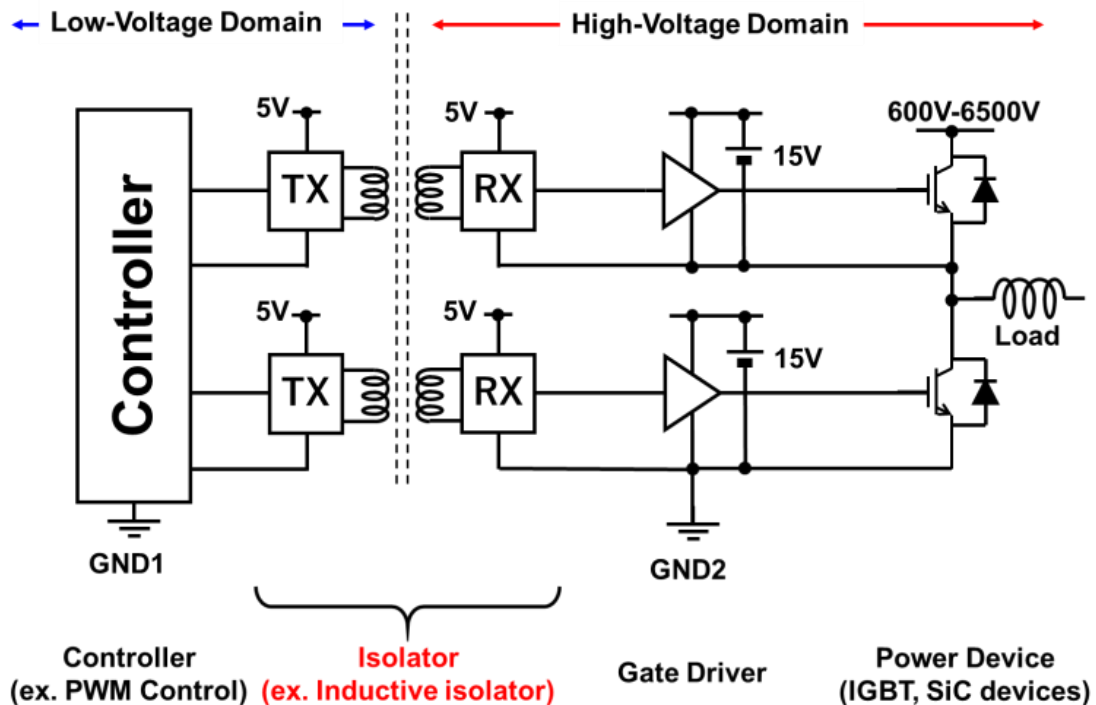


図 1-1 インバータドライブシステムの全体構造

パワーエレクトロニクス向けアイソレータは従来パワーデバイスのスイッチング時のオンオフ波形そのものの伝達を役割としていたため、通信速度は製品群においても最高150Mbpsほどであった。しかし近年大きく二つの技術的發展によってアイソレータに要求される通信速度が高まっていくと考えられる。

一つ目の要因としては Active Gate Driver (AGD) とよばれるプログラマブルゲート波形生成を行うゲートドライバの研究が進んでいることである [2] [3] [4]。従来パワーデバイスのスイッチングは単純なオンオフ制御でありゲートドライバの出力抵抗を一意に決めることによってその駆動力を設定していたが、駆動力を弱くするとパワーデバイスのスイッチング損失が増え、駆動力を強くすると大きな電圧ノイズが発生してしまうという強いトレードオフに悩まされていた。AGD はパワーデバイスの状態をフィードバックするなどして駆動波形をデジタル信号でプログラマブルに変化させることで、従来の損失とノイズに関するトレードオフを解消しパワーデバイスのスイッチング特性を改善する技術である。[4] の AGC では図 1-2 のように SiC-IGBT のスイッチング時のゲート波形を 20ns ごとに合計 6bit の精度でゲート波形を制御していることからアイソレータには瞬間的に最大 300Mbps もの通信速度が要求されることになる。しかし、一般に販売されているアイソレータでは最も通信速度が高いものでも 150Mbps であるため、現時点では Si-IGBT 一つを制御するのにアイソレータを複数個用いて並列化して使用する必要がある。

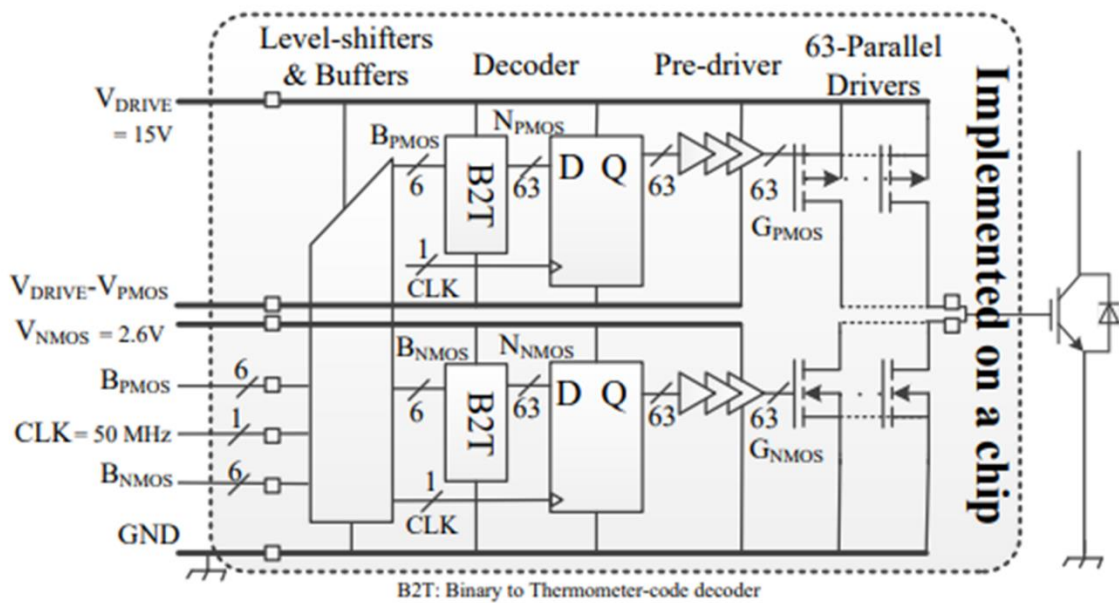


図 1-2 Active Gate Driver のブロック図 [4]

また二つ目の要因としては SiC や GaN などの化合物半導体を用いたパワーデバイスの登場によって、パワーデバイス的高速スイッチングおよび高周波数動作が行われるようになったことである。表 1-1 に Si, 4H-SiC, GaN の物理特性を示す。4H-SiC と GaN は絶縁破壊電界強度が Si と比べて約 10 倍程度高いことから高い不純物濃度でかつ薄膜のドリフト層を作成できるため、オン抵抗が小さく高周波動作に向いている。また、SiC は高耐圧でありオン抵抗が小さいことから、多数キャリアデバイス構造である MOSFET 構造をとることができ、Si-IGBT と比べて数十 ns レベルの高速スイッチングが可能である。一般に高速スイッチング化によりスイッチングロスが低減でき、高周波数動作化によって周辺受動部品の小型化が可能であるが、これらのパワーデバイスの採用によりアイソレータに要求される通信速度はさらに増していくと考えられる。

表 1-1 Si, 4H-SiC, GaN の物理特性 [5]

	Si	4H-SiC	GaN
バンドギャップ(eV)	1.12	3.26	3.5
絶縁破壊電界(MV/cm)	0.3	3	3
電子移動度(cm ² /Vs)	1400	900	1250
ホール移動度(cm ² /Vs)	600	100	200
電子飽和速度(cm/s)×10 ⁷	1	2.7	2.7

以上の背景からアイソレータに要求される通信速度は従来に比べて何倍にも増加することになる。AGD の先行研究 [4]によれば Si-IGBT の制御時においても間欠的に 300Mbps の通信を必要としているため、現在では市販のアイソレータを最低でも二つ以上並列化する必要がある。これはアイソレータのコストが増加し、さらに AGD 全体を一つのパッケージに集積することを難していることを意味している。

さらに Si-IGBT に比べて圧倒的に高速な SiC/GaN デバイスの実用化により、高速スイッチング化および高周波数動作化が推進されることが予想されるため、今後もアイソレータの高速通信化への需要は今後も高まると考えられる。

1.2 研究の目的

本稿では AGD によるパワーデバイスのデジタル制御や高速なパワーデバイスの制御が要求する高速通信に対応できる高速デジタルアイソレータを提案する。この高速デジタルアイソレータの開発によって、図 1-3 のように AGD 採用時に発生するアイソレータの並列化を防ぐことができる。さらにアイソレータの面積コストを低減することで将来的に MCU やアイソレータ、ゲートドライバが一つのパッケージに集積した小型・低遅延・高信頼性なスマートゲートドライバーチップの開発に貢献することを本研究の目的とする。

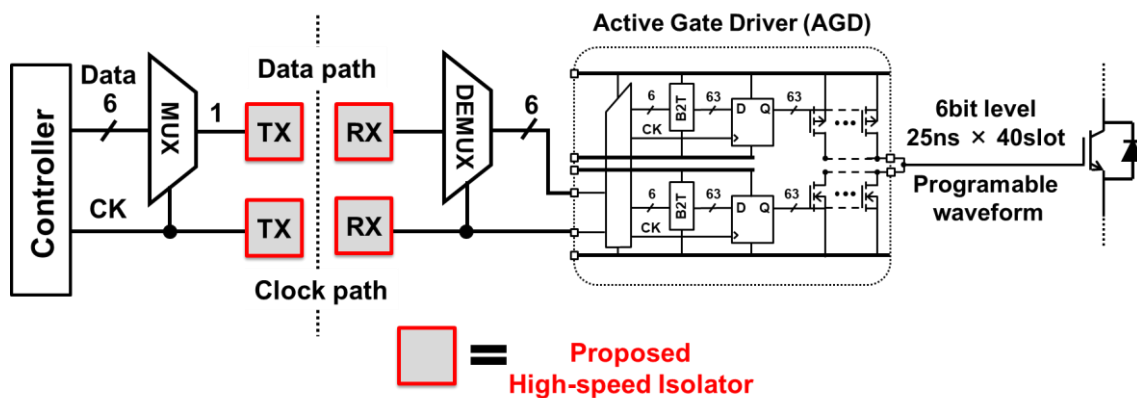


図 1-3 提案する高速アイソレータを用いたゲートドライブシステム

1.3 本論文の構成

本論文は5章で構成されている。2章では本研究で扱うアイソレータ回路について絶縁方法や送受信プロトコルによる分類や要求される指標、および先行研究について説明する。3章では本研究で提案するアイソレータ回路の詳細を説明する。4章では、提案回路のシミュレーションによる検証および試作した提案回路の測定結果を示し、先行研究との比較を行う。最後に5章を本研究の結論とする。

第2章 アイソレータ回路の概要

2.1 絶縁方法によるアイソレータの分類

アイソレータの絶縁方法は以下のように大きく三つに分類できる。

- ① 情報を光信号に変調することで絶縁するフォトカプラ式
- ② キャパシタの絶縁層を用いて絶縁を行う容量結合型
- ③ カップリングインダクタ間の絶縁層を用いて絶縁を行う磁気結合型

フォトカプラ式アイソレータの絶縁構造を図 2-1 に示す。フォトカプラ式アイソレータではトランスミッタ回路において LED を用いて伝送信号を光信号に変調し、レシーバ回路ではフォトダイオードを用いて電気信号に復調することで絶縁された通信を実現している。フォトカプラ式アイソレータはトランスミッタ回路とレシーバ回路の距離を空けることが簡単なことから絶縁耐性を容易に獲得できるという点や、光信号で送信を行うためにアナログ信号を伝送することにも適しているという点においても優位であり、長い間広く用いられてきたアイソレータである。一方でフォトカプラ式アイソレータは LED とフォトダイオードを用いていることから同一チップへの集積が難しいため低集積度であるという点や、LED や内部プラスチックの経時劣化が避けられないため低寿命であるという点、さらに LED の特性上通信速度が低く低速通信であるというデメリットを持っている。特に通信速度に関しては製品 [6]や先行研究 [7]においても最大ビットレートが 50Mbps 程度と低く、高速通信の実現が難しいことがわかる。

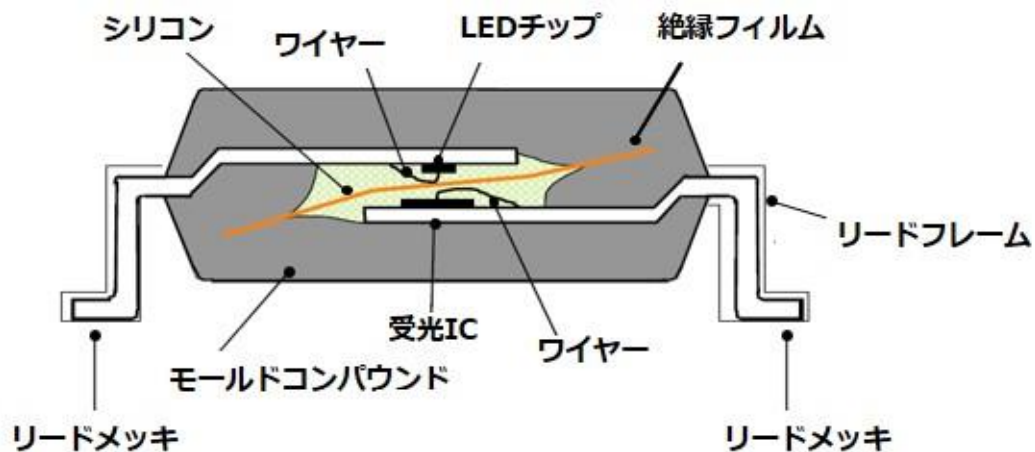


図 2-1 フォトカプラ式アイソレータの絶縁構造

フォトカプラ式アイソレータに対し、容量結合型アイソレータと磁気結合型アイソレータはデジタル信号を伝送することからデジタルアイソレータと呼ばれており、近年多くの

製品が実用化されているアイソレータである。デジタルアイソレータは一般に CMOS プロセスを用いてオンチップで作成できるために高集積であり、寿命に関しても高信頼性を持つという特徴を持っている。またアナログ信号を伝送したい場合にもトランスミッタ回路において PWM 変調などデジタル変調を行うことで、アナログ信号を伝送することが可能である。以上の理由から、近年デジタルアイソレータはフォトカプラ式アイソレータにとってかわる存在として注目されている。

デジタルアイソレータの一種である容量結合型アイソレータの絶縁構造を図 2-2 に示す。容量結合型アイソレータはキャパシタに挿入された主に二酸化ケイ素の絶縁層で絶縁を行っており、絶縁耐性を高めるために図 2-2 のようにキャパシタを二つ直列に挿入するような二重絶縁型も存在している。図 2-2 のような容量結合による絶縁構造はオンチップで実装でき簡易に絶縁耐性を得られる一方で、絶縁用容量と基板との間の寄生容量によって信号が減衰するという課題を抱えている。図 2-3 に絶縁用容量の等価回路を示す。Cc が絶縁用容量、Cb 及び Cs が寄生容量、r が寄生抵抗である。先行研究 [8]ではレイアウトから抽出した寄生容量値を用いて寄生容量と出力電圧の関係を図 2-4 のように、入力周波数と出力電圧の関係を図 2-5 のように示している図 2-4 では埋め込み酸化膜厚 t_{BOX} が薄いと寄生容量が大きくなり、出力電圧が低下することを示している。また図 7 では入力周波数が大きくなるほど寄生抵抗と寄生容量で形成されるローパスフィルタによって出力電圧が低下し、出力波形がゆがんでいることがわかる。

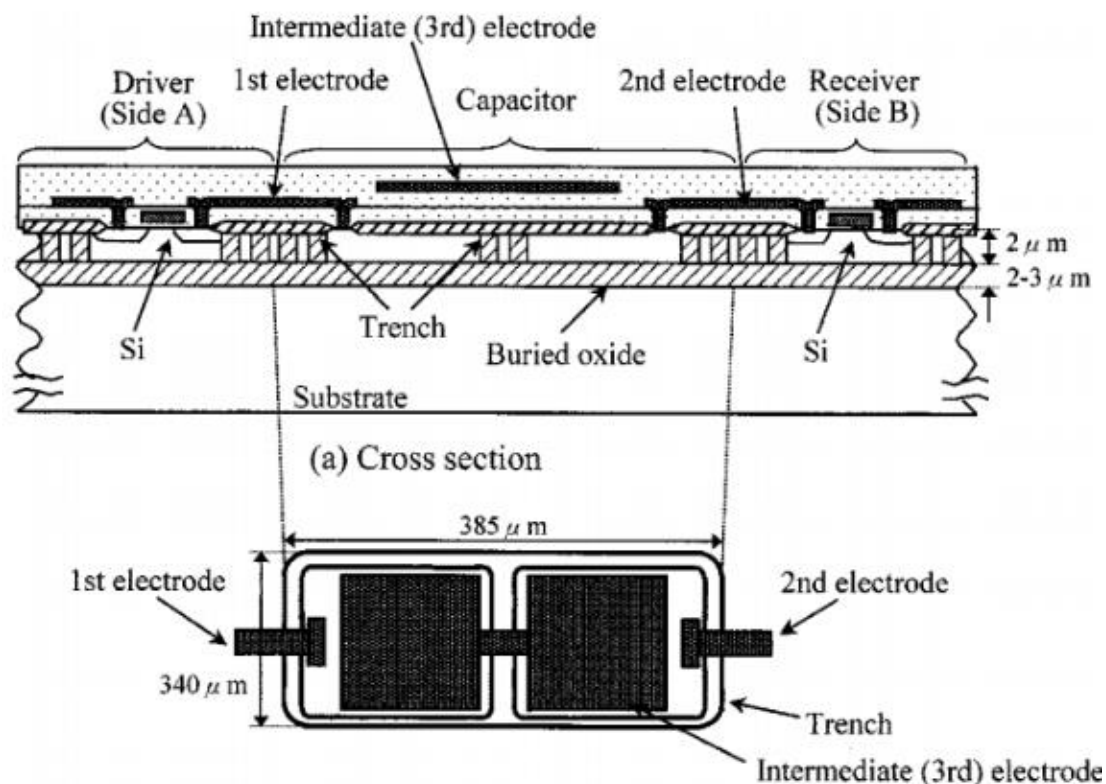


図 2-2 容量結合型アイソレータの絶縁構造 [8]

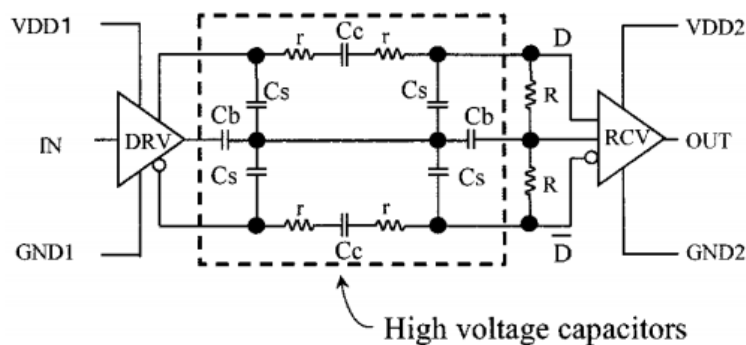


図 2-3 絶縁用キャパシタの等価回路 [8]

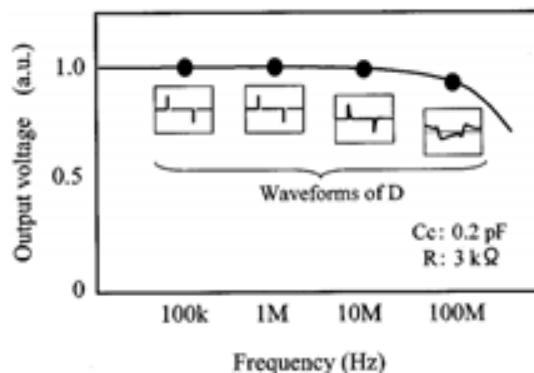
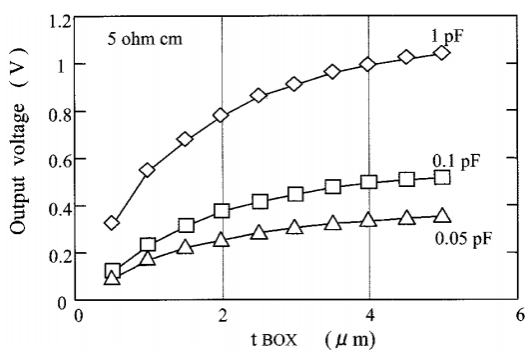


図 2-4 寄生容量と出力電圧レベルの関係 [8] 図 2-5 入力周波数と出力電圧の関係 [8]

このように容量結合型アイソレータはデジタルアイソレータの特徴である高集積度、高信頼性、高速通信といった特徴を持つ一方で、性能向上のためにしばしば埋め込み酸化膜や高い絶縁耐性をもった材料などの特殊なプロセスを用いて寄生抵抗を減らすことが行われていることがわかる。特に通信速度に関しては製品群における 150Mbps が最高速度となっている。

次に磁気結合型アイソレータの絶縁構造を図 2-6 に示す。トランスミッタ回路の出力とレシーバ回路の入力がそれぞれインダクタにつながっているような構造をとっている。また、図 2-6 のように磁気結合型アイソレータではカップリングインダクタ間の二酸化ケイ素絶縁層によって絶縁を行っている。カップリングインダクタはトランスミッタ側基板とレシーバ側基板のどちらかにまとめて作成され、トランスミッタ側インダクタに印加された電流の di/dt に比例した電圧がレシーバ側インダクタに発生することで通信を行うことができる。

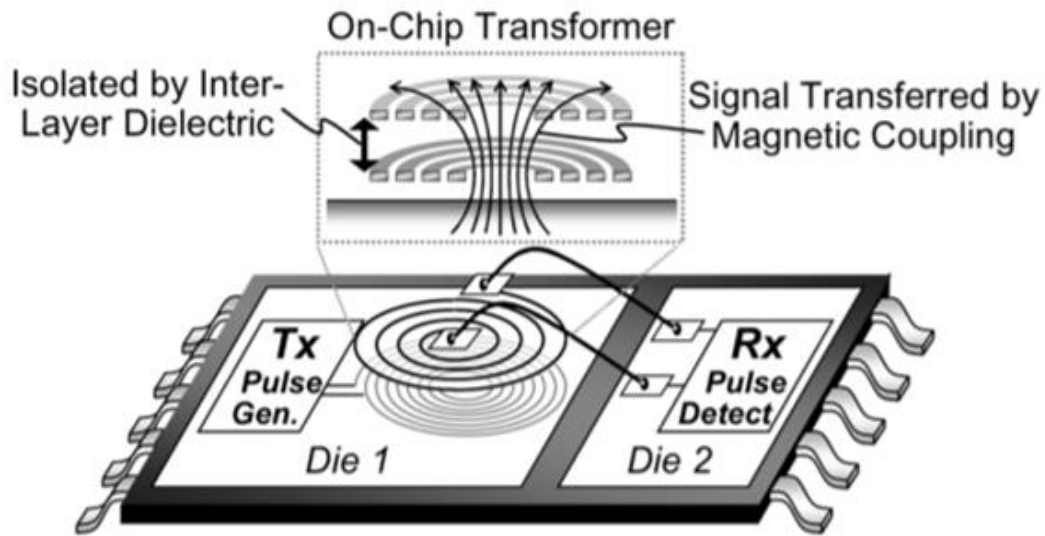


図 2-6 磁気結合型アイソレータの絶縁構造 [1]

ここでカップリングインダクタの等価回路を図 2-7 に示す。この等価回路を用いてカップリングインダクタのゲインを計算すると以下 2-1 式のようにになる。

$$\begin{aligned} \frac{V_2}{V_1} &\cong k \sqrt{\frac{L_2}{L_1}} \frac{j\omega}{j\omega L_1 + R_1 + R_{Driver}} \\ &= \frac{j\omega k \sqrt{L_1 L_2}}{j\omega L_1 + R_1 + R_{Driver}} \end{aligned} \quad 2-1$$

この 2-1 式を用いてカップリングインダクタのゲインの周波数特性を示すと図 2-8 のようになる。一般に入力周波数が高いほどインダクタのインピーダンスが増加するため、インダクタに印加される正味の電圧も増加し、カップリングインダクタのゲインは上昇することがわかる。一方で磁気結合型アイソレータではトランスミッタ回路とインダクタを絶縁するボンディングワイヤの寄生インダクタンスによってゲインが低下してしまうという問題を抱えている。ここでボンディングワイヤの寄生インダクタンスを L_p とし、さらに簡単のため $L_1 = L_2 = L_{ind}$ としてゲインを計算しなおすと以下の式 2-2 のようになる。

$$\frac{V_2}{V_1} \cong \frac{j\omega k L_{ind}}{j\omega L_{ind} + R_1 + R_{Driver}} \times \frac{L_{ind}}{L_{ind} + L_p} \quad 2-2$$

磁気結合型アイソレータも容量結合型アイソレータと同様に高集積度、高信頼性、高速通信という特徴を持っている。通信速度に関しては製品群では [9] などの 150Mbps、先行研究では [1] の 250Mbps が最高速度であり、特に [1] の 250Mbps アイソレータは全ての

タイプのアイソレータの中で1チャンネル当たりの通信速度が最も高くなっている。

以上の三種類のアイソレータを比較した上で本研究の目的である高速通信を実現するためには磁気結合型アイソレータが適していると考えられる。よって本稿では磁気結合型アイソレータに焦点を当てて考察するものとする。

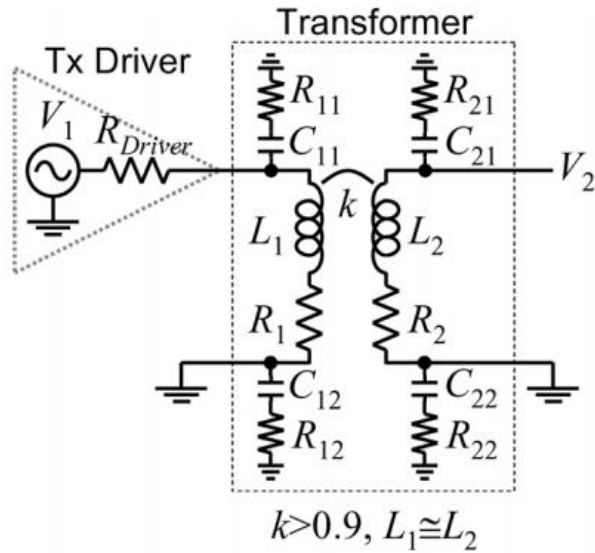


図 2-7 ドライバ抵抗を含めたカップリングインダクタの等価回路 [1]

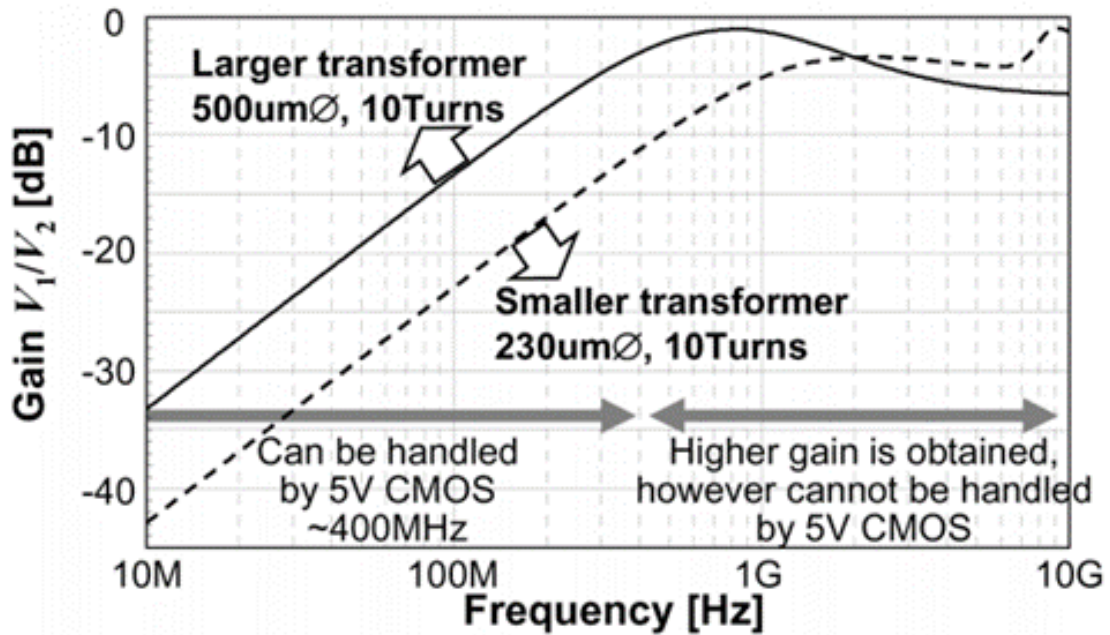


図 2-8 カップリングインダクタのゲインの周波数特性 [1]

2.2 Common Mode Transition Immunity (CMTI)

アイソレータに要求される指標としては通信速度や絶縁耐性、消費電力など様々であるが、EMI 耐性を示す重要な指標として Common Mode Transition Immunity (CMTI)がある。CMTI はアイソレータのトランスミッタ側およびレシーバ側に印加された急峻な過渡電圧によって発生する CMT ノイズに対する耐性を表しており、 $\text{kV}/\mu\text{s}$ の形で表される。以下において磁気結合型アイソレータにおけるノイズの発生原理を説明する。

磁気結合型アイソレータのカップリングインダクタを形成する二つのインダクタ間にはカップリング容量 C_c が存在しており、 C_c を含む寄生カップリングインダクタの等価回路を図 2-9 に示す。ここでトランスミッタ側インダクタのインダクタンスと寄生抵抗をそれぞれ L_1, R_1 とおき、レシーバ側インダクタのインダクタンスと寄生抵抗をそれぞれ L_2, R_2 とおいている。またトランスミッタ側グラウンドとレシーバ側グラウンドの電位差を Common-Mode Voltage (V_{CM})とおいた。仮に C_c がなければ V_{CM} にどんな時間的変化が起こったとしてもレシーバ側インダクタの両端子は即座にグラウンド電位の変化に追従し V_2 にノイズは発生しない。しかし、図 2-9 に示されている C_c および R_2 によってレシーバ側インダクタのグラウンド電位の変化に対する追従が遅れることでインダクタの両端子間に電位差が発生し、ノイズとなる。

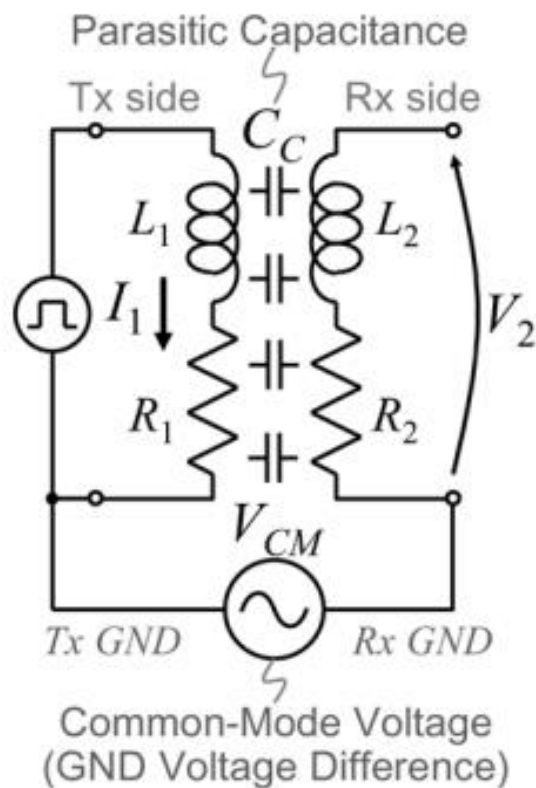


図 2-9 カップリング容量を含めたカップリングインダクタの等価回路 [1]

ここでトランスミッタ側インダクタに電流 I_1 が印加され、グラウンド間に電圧 V_{CM} が印加された時にレシーバ側インダクタに発生する電圧 V_2 を計算すると以下の 2-3 式になる。

$$V_2 \cong k\sqrt{L_1 L_2} \frac{dI_1}{dt} + C_c \frac{R_2}{2} \frac{dV_{CM}}{dt} + C_c \frac{L_2}{2} \frac{d^2 V_{CM}}{dt^2} \quad 2-3$$

式 2-3 の右辺第一項はドライバによってトランスミッタ側インダクタに印加された電流 I_1 に起因する項であり、アイソレータが伝達すべきシグナル成分を表している。第二項及び第三項は V_{CM} の時間変化に起因する CMT ノイズ項であり、 L_2 の値は数 nH と R_2 と比べて非常に小さい値であるため、主に第二項が支配的である。この第二項はインダクタの寄生抵抗と寄生カップリング容量による時定数 $\frac{C_c R_2}{2}$ にグラウンド間電圧の時間変化 $\frac{dV_{CM}}{dt}$ の積となっており、トランスミッタ側インダクタのグラウンドに設置されていない方の端子の電位が、グラウンド電位の変化に遅れて追従することでノイズが発生していることを示している。

以上の議論をもとに、 V_{CM} によってシグナルに CMT ノイズが重畳している様子を図 2-10 に示す。トランスミッタ側インダクタに印加された電流 I_1 に起因して V_2 にシグナル電圧が発生している一方で、パワーデバイスのスイッチングにあわせて V_{CM} が変動し V_2 にノイズが発生していることがわかる。CMTI はアイソレータが誤作動しない最大 $\frac{dV_{CM}}{dt}$ を表しており、アイソレータの CMT ノイズに対する堅牢性を示す重要な指標である。特に $\frac{dV_{CM}}{dt}$ はパワーデバイスのスイッチングスピードと一致することを考えると、第一章で説明したような SiC-mosfet などの高速スイッチング可能なデバイスを駆動する際には、50kV/ μ s 以上の非常に高い CMTI がアイソレータに求められるということが言える。

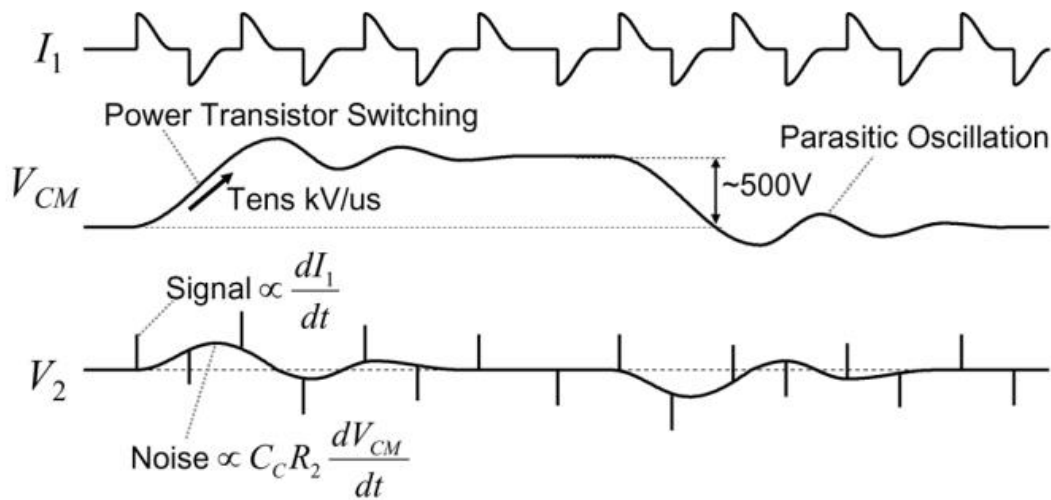


図 2-10 グラウンド間に過渡電圧が発生した場合の各波形 [1]

2.3 送受信プロトコルの比較

2.3.1 On-off keying 方式

On-off keying 方式ではトランスミッタ回路において、入力が low の時は 0V を入力が high の時は一定のキャリア周波数をもった搬送波をインダクタに印加する。レシーバ回路ではレシーバ側インダクタに印加された電圧を平滑化しホールドすることで復調を行っている。On-off keying 方式の場合レシーバ回路で複数パルスを検出するため、通信速度を高めにくいという特徴を持つ。一方で on-off keying 方式の場合はトランスミッタ回路およびレシーバ回路を差動構造で構築することによって高い CMTI を得られるという特徴を持つ。さらに一般にグラウンド間電圧 V_{CM} はパワーデバイスの出力電圧に等しく、 V_{CM} によってインダクタに発生するノイズレベルは式 2-3 のように時間微分で表されることから、CMTI ノイズは主に DC 成分を多く含み搬送波の周波数と比べて低周波数帯である。よってレシーバ回路においてフィルターのカットオフ周波数を適切に選定することで周波数領域におけるノイズの削減が容易である。

実際に先行研究の中でも最も高い CMTI をもつ [10] は On-off keying 方式を用いて 200kV/μs 以上の CMTI を実現している。また製品についても Analog Devices 社の磁気結合型アイソレータ [9] は 150Mbps の高速通信を実現しつつ、100kV/μs の高 CMTI を実現している。一方で先行研究においても製品群においても on-off keying 方式で 150Mbps 以上の通信速度を実現するアイソレータは存在していない。

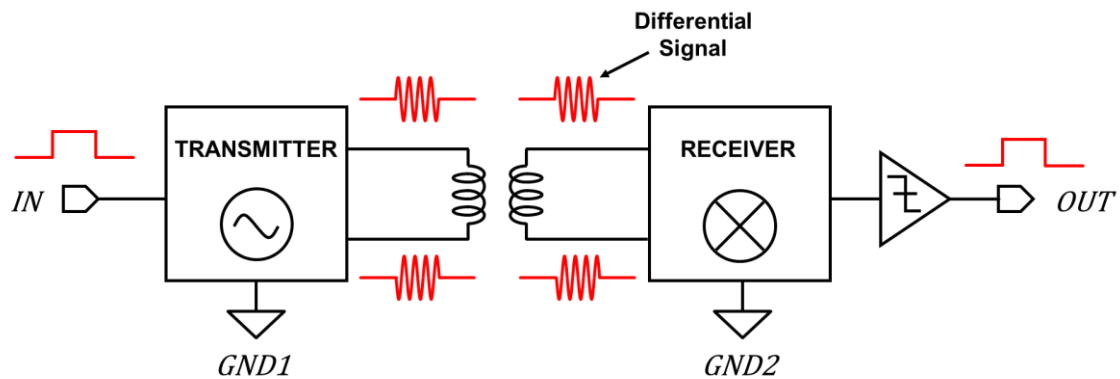


図 2-11 on-off keying 方式の基本構造

2.3.2 Edge Detect 方式

Edge Detect 方式ではトランスミッタ回路において、入力波形の立ち上がり立ち下がりを検出し、それぞれ正負のパルス電流をトランスミッタ側インダクタに印加する。レシーバ回路ではレシーバ側インダクタに発生したパルス電圧を検出し、パルス電圧の正負に応じて出力を遷移させ復調を行う。この時レシーバ側インダクタに発生するインダクタ

には CMT ノイズが発生するため、一定のしきい電圧値を用いることで電圧領域にてノイズを除去する。Edge Detect 方式の特徴としては伝送データを単パルスのみで伝送するため、1bit の送信に必要なサイクルタイムが短く高速通信を行いやすいという点が挙げられる。一方でキャリア周波数を任意に設定できる On-off keying 方式と異なり、レシーバ回路で受信する単パルスが様々な周波数帯を含むことから、Edge Detect 方式では周波数領域におけるノイズの削減が十分でない場合が多い。よって一般的に Edge Detect 方式ではレシーバ回路において、しきい電圧値を用いた電圧領域でのノイズの除去を行う。しかし電圧領域におけるノイズ除去はしきい電圧値の高さの設定に関して、大きなシグナルを生成するための消費電力とノイズ耐性との間に大きなトレードオフを発生させる。さらに後の 2.4 章で述べるように、磁気結合型アイソレータで Edge Detect 方式を行う場合には、カウンターパルスと呼ばれるノイズが原理上発生してしまうため、ノイズマージンを低下させる要因の一つとなる。

先行研究では [1] が 1 チャンネルあたり 250Mbps という先行研究や製品群の中でも最も高い通信速度を実現している。しかし [1] の研究では CMTI が 35kV/μs と比較的低い値であり、SiC デバイスなど高い CMTI が要求されるアプリケーションには不向きである。

本研究ではアイソレータの高速通信を目的としているため、本研究では磁気結合型アイソレータを用いた Edge detect 方式に焦点を当てて議論するものとする。

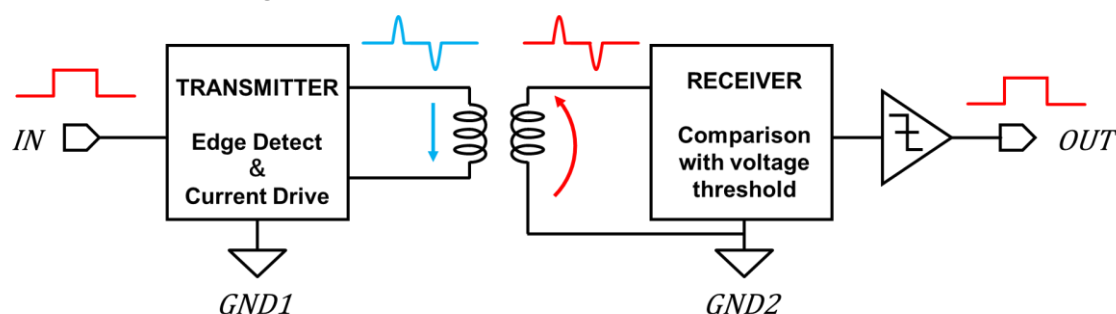


図 2-12 Edge Detect 方式の基本構造

2.3.3 同期通信方式

チップ間通信用トランシーバ [11] において、高速な同期通信方式が提案されている。このトランシーバでは図 2-13 のようにクロックとデータを別々に伝送しており、各チップは一つのクロックトランシーバと 64 並列されたクロックトランシーバで成り立っている。

ここでデータおよびクロックトランシーバについてそれぞれの回路図と送受信プロトコルを図 2-15 および

図 2-14 に示す。データトランシーバでは BPSK 変調を行っており、クロックを用いて復調・同期を行っているため、データトランシーバの通信速度はクロックの速度に律速されることとなる。

一方でクロックトランシーバーの TX 回路では入力に応じて三角波状の電流を流しており、on-off keying 方式や Edge detect 方式ような変調を行っていない。よって TX 回路では通信速度に関係なく平均してピーク電流の半分電流が流れており、消費電力が大きくなっている。

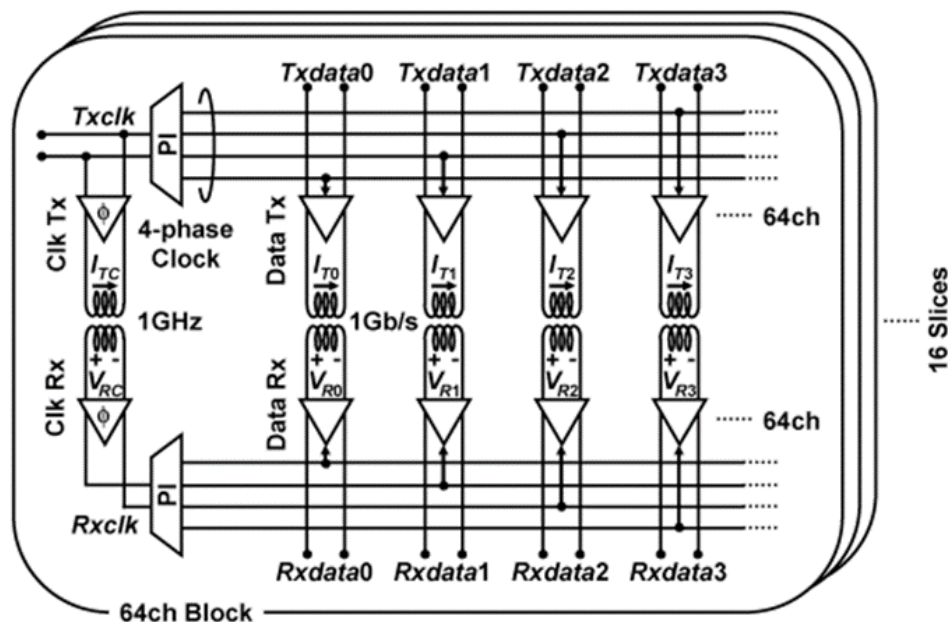


図 2-13 チップ間トランシーバーにおける同期通信のアーキテクチャ [11]

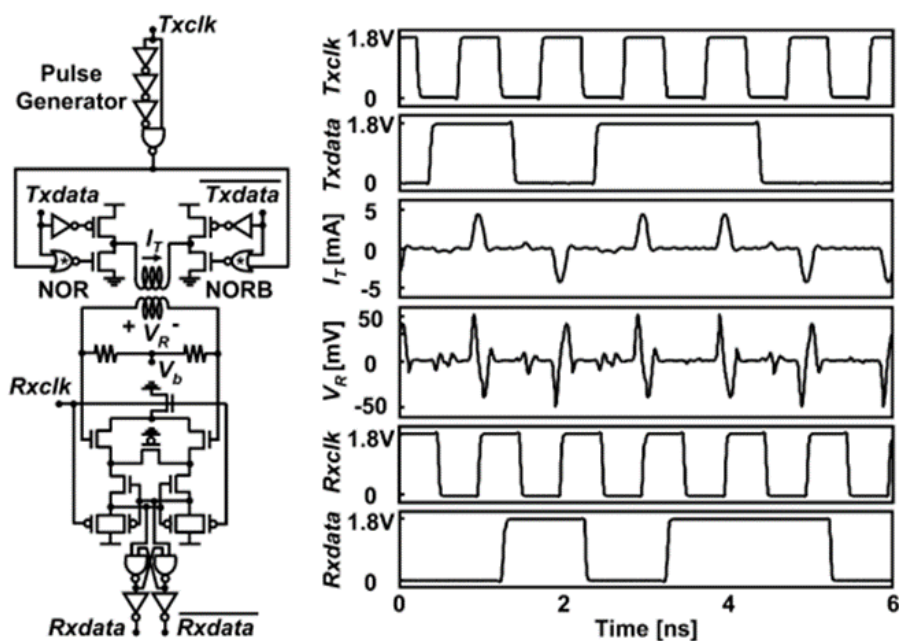


図 2-14 データトランシーバーの回路図と送受信プロトコル

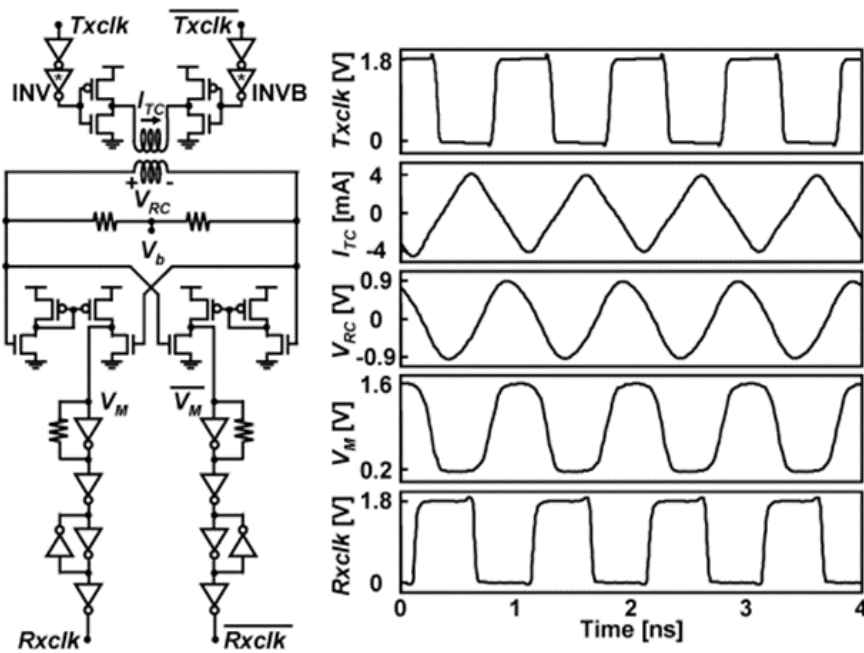


図 2-15 クロックトランシーバーの回路図と送受信プロトコル

チップ間トランシーバーのアーキテクチャをアイソレータに応用する場合、絶縁耐性やノイズ耐性を持たせるためにインダクタ径が大きくなるため、[11]のようにデータトランシーバーを並列化することが難しくなる。よってデータトランシーバーの多数並列化によって相対的に無視できていたクロックトランシーバーの大きな消費電力が、逆に支配的になることが予想される。この場合、従来の on-off keying 方式や Edge detect 方式と比べて消費電力が大きくなり、特に高速通信化する際には発生する熱も無視できなくなると予想される。よってパワーエレクトロニクス向けアイソレータにチップ間トランシーバーのアーキテクチャを応用することは難しい。

またチップ間トランシーバーの中で Clock Data Recovery (CDR)を行うことで、一つのトランシーバーで高速通信を実現した研究 [12]も存在する。しかし、パワーエレクトロニクス向けアイソレータにおいては TX 回路と RX 回路の間の通信距離は数 mm と短く、従来のような CDR の採用による長い配線コストの低減というメリットの恩恵を受けることができない。さらに AGD を採用した場合に発生する通信は間欠的であるが、CDR を採用すれば常にエッジを持ったデータを送り続けなければいけないため、電力の大幅な増加も予想される。よって本研究のアプリケーションであるパワーエレクトロニクス向けアイソレータへ [12]における CDR 方式を応用することは難しいことがわかる。

2.4 高速アイソレータの先行研究

本章では先行研究及び製品群の中でも最も通信速度の高い [1]の研究について説明する。この先行研究は磁気結合型アイソレータであり、Edge Detect 方式を用いている。またプロセスは standard 5VCMOS プロセスであるが、トランジスタの最小ゲート長は耐圧のために $0.54\mu\text{m}$ に設定されている。

2.4.1 先行研究のトランスミッタ回路

先行研究のトランスミッタ回路の回路構造を図 2-16 に動作ダイアグラムを図 2-17 に示す。トランスミッタ回路の基本的な役割は Positive Edge Detector (PED)を用いて入力伝送波形の立ち上がりをセンシングした後に正極性の電流をインダクタに流し、同様に Negative Edge Detector (FED)を用いて立下りをセンシングした後に負極性の電流をインダクタに流すことである。

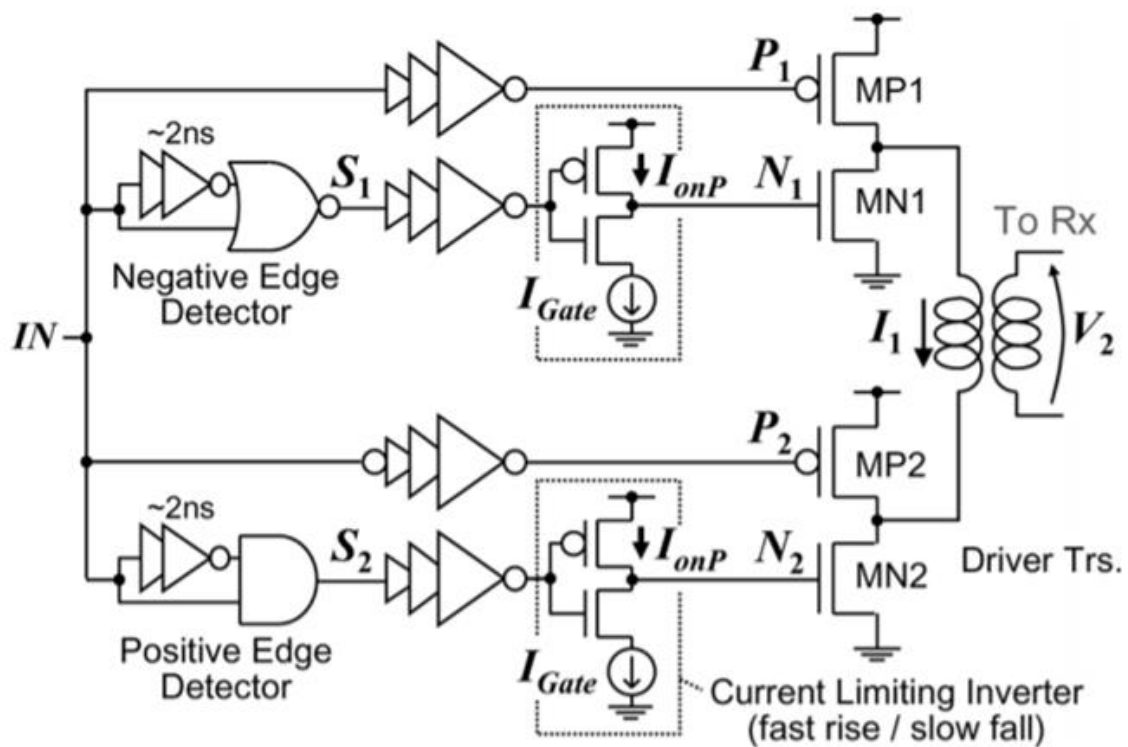


図 2-16 先行研究のトランスミッタ回路の回路構造 [1]

ここで図 2-17 の I_1 と V_2 に着目すると、 I_1 の立ち上がり時の $\frac{dI_1}{dt}$ に比例してシグナルパルスが、 I_1 の立ち下がり時の $\frac{dI_1}{dt}$ に比例してシグナルパルスと逆極性のカウンターパルスが発生す

ることがわかる。この先行研究ではレシーバ回路ではシグナルパルスを用いて復調を行うため、一般にカウンタパルスはノイズとなる。よってトランスミッタ回路ではシグナルパルスを高いレベルで発生させ、カウンタパルスの発生を低レベルに抑えるために、 I_1 の電流波形を立ち上がりが鋭く立下りが緩やかになるように駆動力を調整する機能を持たせている。

以上の機能によりシグナルパルスは電圧レベルが $2V$ で時間幅が $200\sim 300ps$ のパルスとして生成され、カウンタパルスは電圧レベルが $250mV$ で時間幅が $4\sim 5ns$ のパルスとして生成されることとなる。ここで重要なのはカウンタパルスを抑制するために I_1 の立ち下り時間を $4\sim 5ns$ に設定していることで、 $1bit$ のデータを伝送するためのサイクルタイムが $4\sim 5ns$ と長くなってしまっているということである。カウンタパルス対策によってサイクルタイムが長くなれば通信速度が低くなってしまいう一方で、カウンタパルス対策を十分行わなければレシーバ回路におけるノイズマージンを大きく損なってしまうということから、通信速度とノイズ耐性のトレードオフが存在していることがわかる。

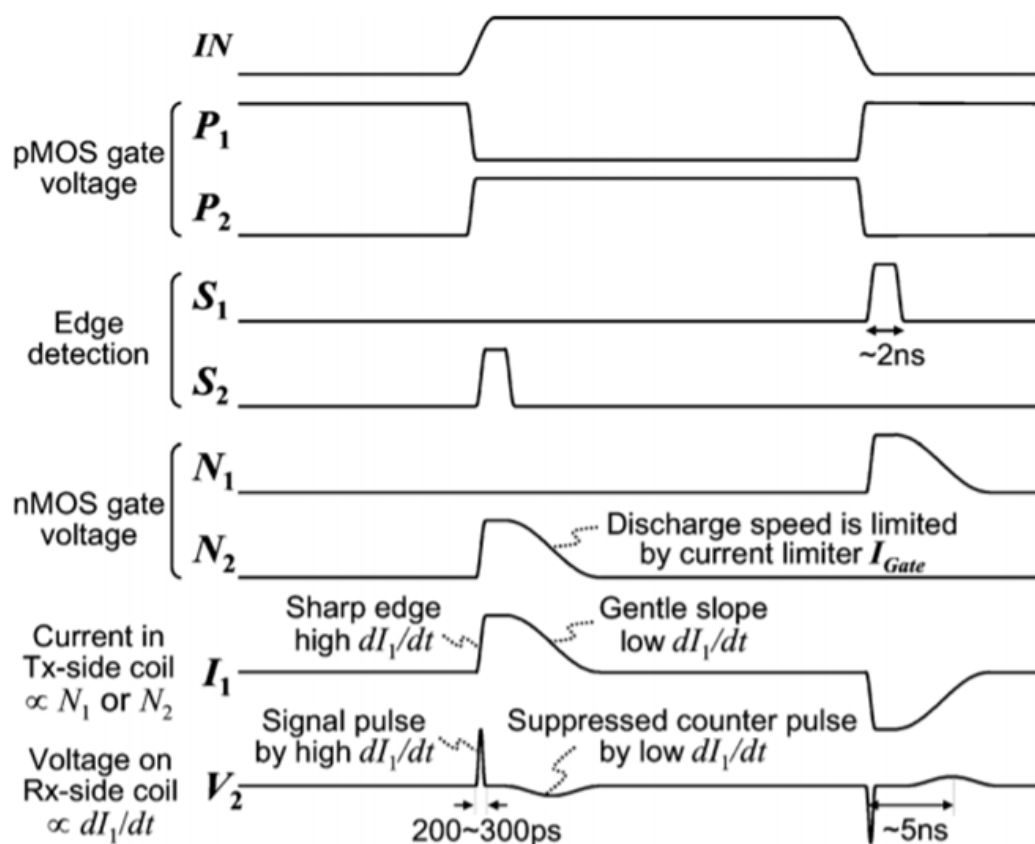


図 2-17 先行研究のトランスミッタ回路の動作ダイアグラム [1]

2.4.2 先行研究のレシーバ回路

先行研究のレシーバ回路の回路構造を図 2-18 に動作ダイアグラムを図 2-19 に示す。レシーバ回路の基本的な役割はしきい電圧を用いて CMT ノイズとカウンタパルスを除去しつつ、シグナルパルスを用いて復調を行うことである。図 2-18 に示すようにインダクタに発生した電圧 V_2 は上下二つのパスに分岐した後にはまず HPF に入力される。この HPF は低周波数帯を多く含む CMT ノイズやカウンタパルスを抑制しシグナルパルスを劣化なく伝送する役割を持っている。HPF を通過した後は上下の両方ともに V_{BIAS1} , V_{BIAS2} , V_{BIAS3} の三つのアナログバイアス電圧によって逆バイアスされたダイオードに入力される。このダイオードは逆バイアス電圧をしきい電圧として持つことになり、図 2-19 における V_2 のダイアグラムに書かれているように HPF によって抑制された CMT ノイズとカウンタパルスを完全に除去する役割を持っている。さらにダイオード通過後にある RC 並列フィルタは 200ps~300ps の時間幅を持ったシグナルパルス V_2 を、図 2-19 の V_{Peak} および V_{Bottom} のような時間幅が 4~5ns のパルス引き伸ばすことで、図 2-19 のアンプがセンシング可能な信号帯域になるように処理を行っている。シグナルパルスはアンプによってセンシングおよび増幅されたのち、シュミットトリガによってレベルホールドを行うことで復調を行っている。

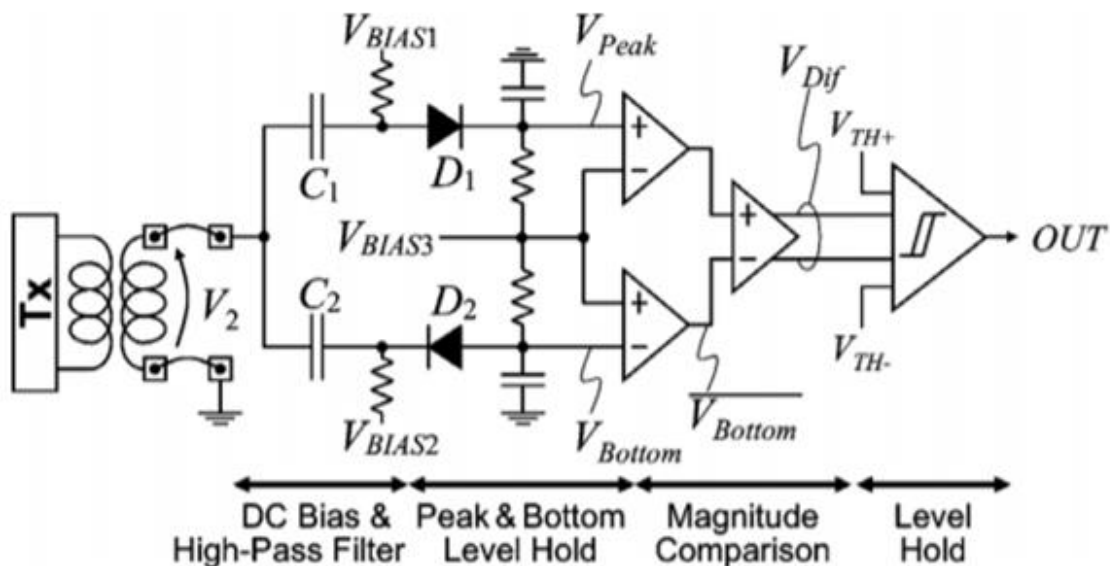


図 2-18 先行研究のレシーバ回路の回路構造 [1]

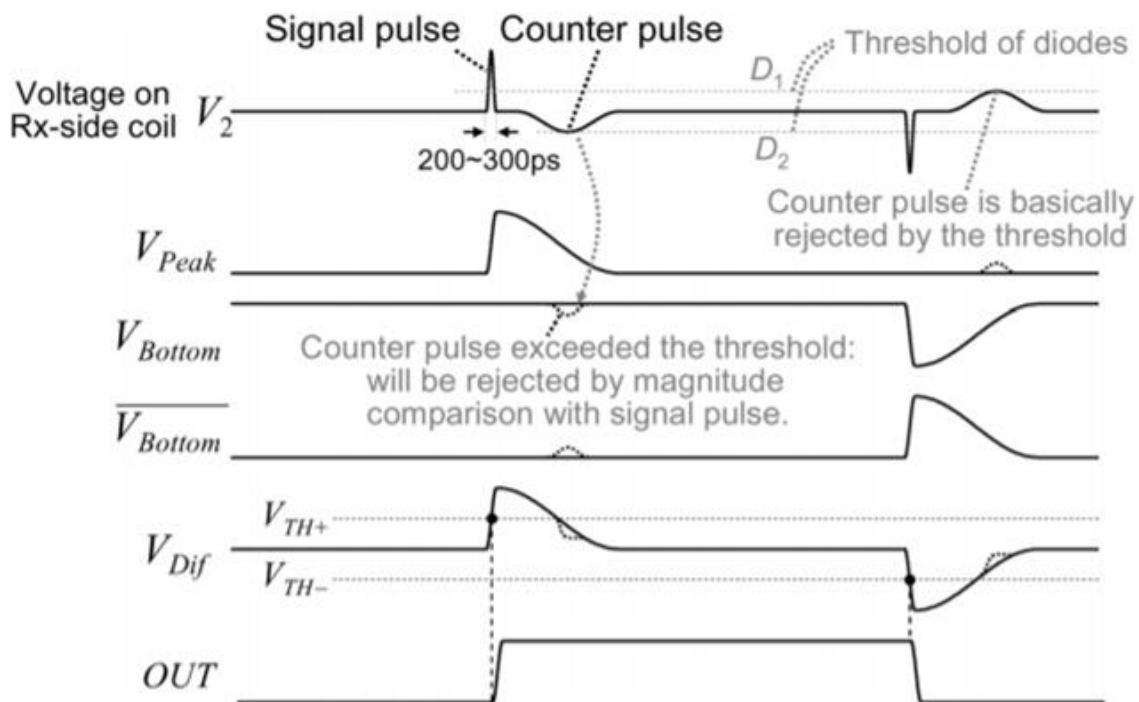


図 2-19 先行研究のレシーバ回路の動作ダイアグラム [1]

2.4.3 先行研究の課題

先行研究の課題は大きく分けて三つ存在する。一つ目は先述したとおりトランスミッタ回路においてカウンターパルス抑制のためにトランスミッタ側のインダクタに印加する電流 I_1 の立下り時間が 4~5ns とながく、通信速度とノイズ耐性との間に大きなトレードオフを生んでいることである。結果として先行研究では 250Mbps と高い通信速度を持つ一方で、CMTI は 35kV/ μ s と低い値になっている。本研究では高い通信速度と高い CMTI の両立を目的としているため、先行研究の送受信プロトコルでは本研究の目的が達成できないことがわかる。

二点目としてレシーバ回路においてアンプを用いてシグナルパルスをセンシングしているために、通信速度がアンプの動作帯域によって制限されてしまっている点である。パワーエレクトロニクス向けアイソレータは一般に 5VCMOS を使用するために、0.18 μ m プロセスを用いていてもトランジスタの最小ゲート長は 0.5~0.6 μ m 程度である。よってアンプを作成した場合にもパルス幅が 2ns 以下のシグナルパルスをセンシングすることは難しい。よってシグナルパルスを RC 並列回路で引き伸ばす必要があり、通信速度を制限することになっている。

三つ目の問題点は CMT ノイズとカウンターパルスが重畳してレシーバ回路に入力された場合、ノイズがレシーバ回路のしきい電圧値を超えることでビットエラーを起こす可能

性を先行研究において検討されていないことである。さらに CMT ノイズがシグナルに逆極性で重畳した場合、シグナルが破損することによるビットエラーも考えられるが、先行研究では正極性で重畳した場合のみ考察されているため、この点も検討されていない。以上の二点から先行研究では実用時に、対応可能な CMTI 以内でもビットエラーを起こす可能性がある。

第3章 提案するアイソレータ回路

3.1 提案する送受信プロトコル

提案回路の全体構造を図 3-1 に送受信プロトコルを図 3-2 に示す。ここで提案回路は Edge Detect 方式を採用した磁気結合型アイソレータである。提案回路はトランスミッタ回路とレシーバ回路にそれぞれ二つずつインダクタを用いて、トランスミッタ回路では差動磁気信号を生成しレシーバ回路では差動電圧信号として受信している。この提案手法では先行研究と同様にトランスミッタ回路が入力波形の立ち上がりエッジおよび立ち下がりエッジをセンシングし、図 3-2 の I_{TX} のようなパルス幅が 2ns 以下の非常に短い電流パルスを送信している。この短電流パルスは立ち上がり時と立ち下がり時ともに急峻であることから大きな $\frac{dI_{TX}}{dt}$ を持つことになり、結果としてレシーバ側インダクタに発生するシグナルパルスとカウンターパルスはともに高い電圧レベルをもって発生する。

2.4 章で説明した通り、先行研究ではシグナルパルスを用いて復調を行い、カウンターパルスはノイズとして除去されていた。それに対し提案手法ではシグナルパルスとカウンターパルスの両方を用いて復調を行っている。シグナルパルスは I_{TX} の立ち上がり時の $\frac{dI_{TX}}{dt}$ に比例して発生し、カウンターパルスは I_{TX} の立ち下がり時の $\frac{dI_{TX}}{dt}$ に比例して発生するため、シグナルパルスとカウンターパルスは常に逆極性となる。この性質を利用して提案手法の送受信プロトコルではレシーバ回路において、シグナルパルスと追従して発生するカウンターパルスが”high-low”の時は SET 信号を生成し”low-high”の時には RESET 信号を生成することで復調を行っている。

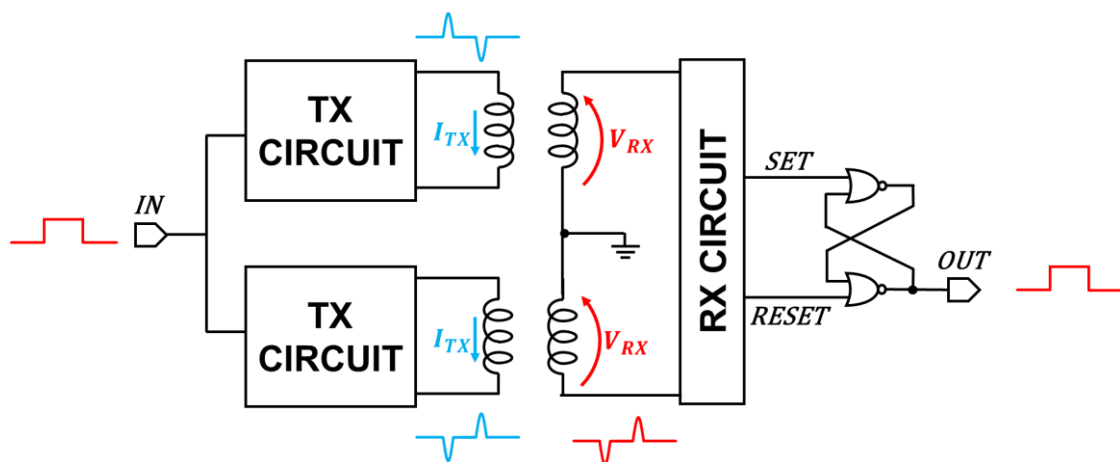


図 3-1 提案回路の全体構造

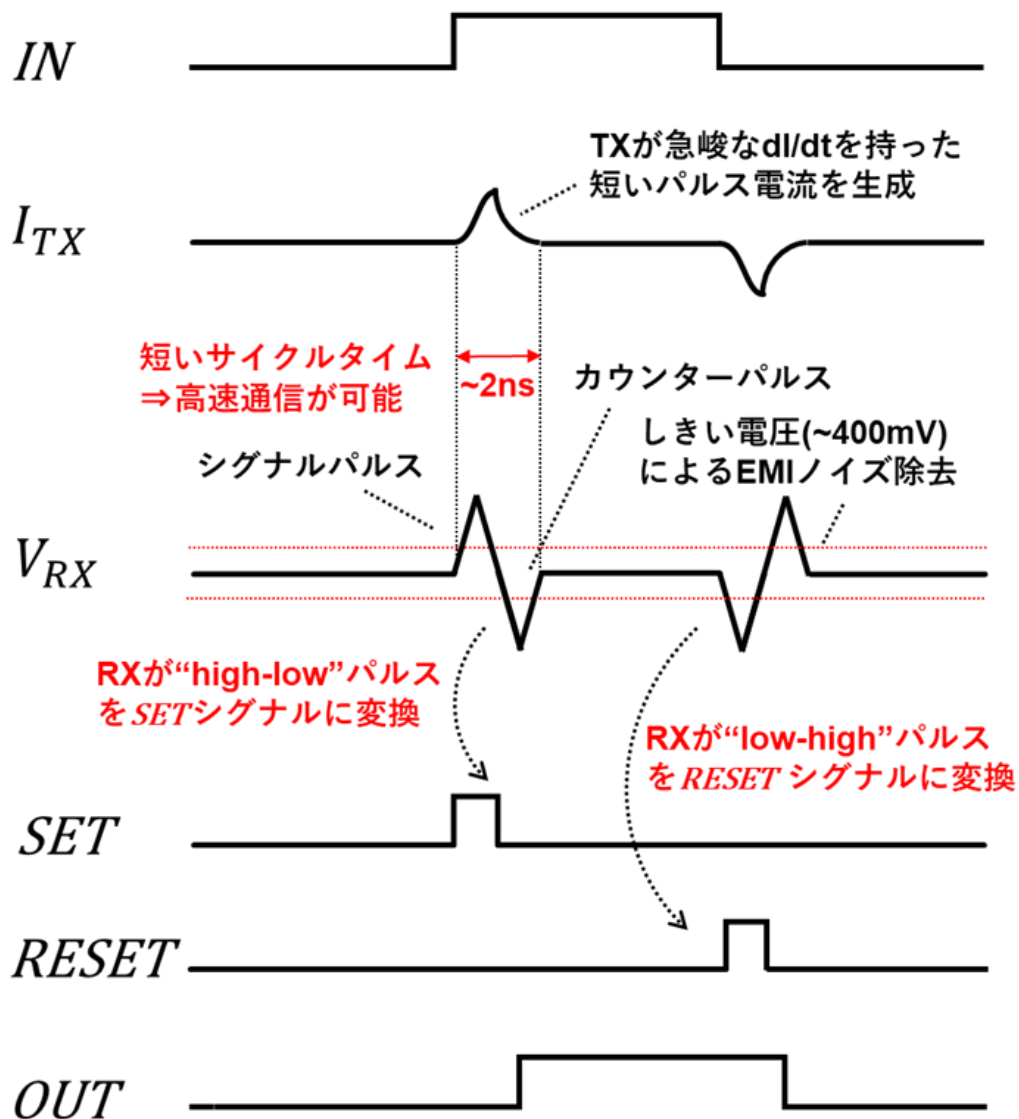


図 3-2 提案回路の送受信プロトコル

図 3-2 に示されている提案回路の送受信プロトコルは、先行研究と比べて通信速度とノイズ耐性の両点において優れている。通信速度に関しては、提案手法では先行研究と異なっ
てカウンターパルスの発生を抑制する必要がなく I_{TX} のパルス幅を短く設定できることから、
1bit のデータを伝送するためのサイクルタイムが大幅に改善され高速通信が可能になる。
さらにノイズ耐性に関しては、レシーバ回路においてカウンターパルスを除去する必要が
ないことから先行研究と比べてノイズマージンが大きく、同じしきい電圧値を用いてより
大きな CMT ノイズに耐えることができるため、結果として高い CMTI を得ることができ
る。

この送受信プロトコルを実装するにあたっては、入力波形に応じて短電流パルスを生
成するトランスミッタ回路と、2ns の短い電圧パルスを引き伸ばすことなくセンシングしつ
つシグナルパルスとカウンターパルスの両者を用いて復調を行うレシーバ回路が必要である。
以下の 3.2 章において提案するトランスミッタ回路を、3.3 章において提案するレシーバ回
路を説明する。

3.2 提案するトランスミッタ回路

3.2.1 トランスミッタ回路の動作方式

インダクタに印加する電流の制御方式について、先行研究と提案手法を比較したものを
図 3-3 に示す。ここで電流経路におけるバッファの出力抵抗の大きさを R_{driver} 、トランス
ミッタ側インダクタのインダクタンスを L_{ind} 、インダクタに流れる電流を I_{TX} としている。先
行研究における制御方式は簡便な ON-OFF 制御であり、電流を駆動したいときは出力抵抗
の小さいバッファを用いてインダクタの両端に電源電圧を印加することで電流を印加し、
電流を切りたいときはインダクタの両端をグラウンド電圧にショートさせることで電流を
立ち下げている。先行研究における印加する電流の立ち上がり時と立ち下がり時の $\frac{dI_{TX}}{dt}$ をそ
れぞれ 3-1 式および 3-2 式になる。

$$\left| \frac{dI_{TX}}{dt} \right| = \frac{V_{DD}}{L_{ind}} - \frac{2R_{driver}I_{TX}}{L_{ind}} \quad 3-1$$

$$\left| \frac{dI_{TX}}{dt} \right| = \frac{2R_{driver}I_{TX}}{L_{ind}} \quad 3-2$$

ON-OFF 制御ではシグナルパルスの発生レベルを高くするために、3-1 式より R_{driver} を
できるだけ小さい値に設定することで $\frac{dI_{TX}}{dt}$ を高くし、電流の立ち上がりを急峻にすることが
できる。一方で、 R_{driver} を小さく設定すると 3-2 式より電流は立ち下がり時の $\frac{dI_{TX}}{dt}$ が小さい値
となり、非常に緩やかな電流の立ち下がりとなる。結果として図 3-3 のようにパルス電流
の時間幅が大きくなってしまい、短電流パルスを生成することができない。

次に提案回路で用いる印加電流の H ブリッジ制御では図 3-3 のように電流を駆動する
場合は電源電圧をインダクタの両端に印加し、電流を切るときは瞬時的にインダクタの端
子に駆動時と逆方向から電源電圧を印加することで素早い電流の立ち下がりを実現してい
る。実際に電流の立ち上がり時と立ち下がり時の $\frac{dI_{TX}}{dt}$ をそれぞれ 3-3 式および 3-4 式になる。

$$\left| \frac{dI_{TX}}{dt} \right| = \frac{V_{VDD}}{L_{ind}} - \frac{2R_{driver}I_{TX}}{L_{ind}} \quad 3-3$$

$$\left| \frac{dI_{TX}}{dt} \right| = \frac{V_{VDD}}{L_{ind}} + \frac{2R_{driver}I_{TX}}{L_{ind}} \quad 3-4$$

ON-OFF 制御時の 3-2 式と比較すると、H ブリッジ制御時の 3-4 式では新たに右辺第一項が追加されていることがわかる。よって H ブリッジ制御では R_{driver} をできるだけ小さい値に設定することで、電流の立ち上がり立ち下がり共に高い $\frac{dI_{TX}}{dt}$ を得ることができ、結果として図 3-3 のようにパルス電流の時間幅を非常に短くすることが可能である。

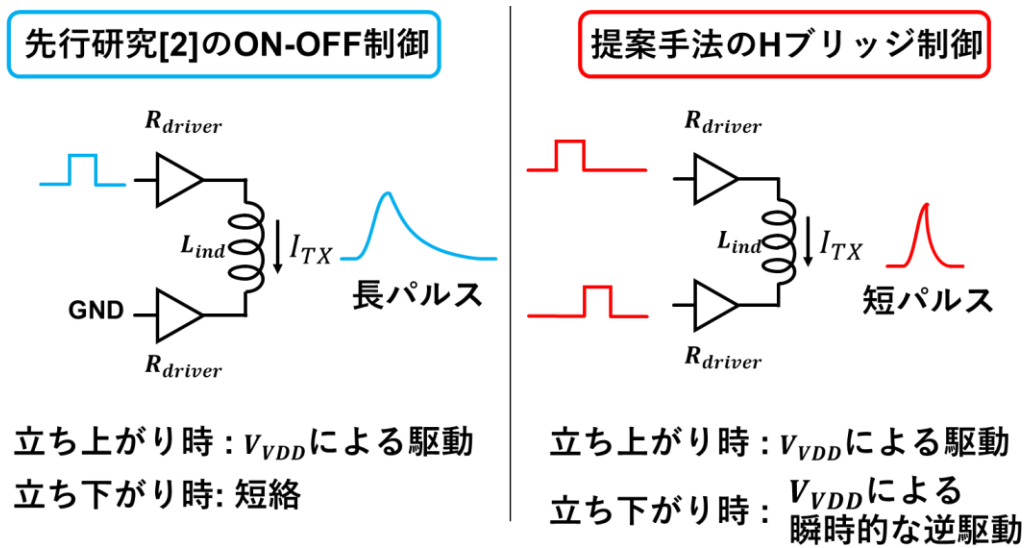


図 3-3 インダクタに印加する電流の制御方式

3.2.2 トランスミッタ回路の回路構成

提案するトランスミッタ回路に用いるエッジセンシング回路を図 3-4 に示す。トランスミッタ回路では、図 3-4 に示されているようにエッジセンシング回路として Rise Edge Detector (RED), Fall Edge Detector (FED), Programable Fall Edge Detector (P-FED) を用いた。RED と FED は出力のパルス幅が約 1.2ns になるように回路内のインバータチェーンの遅延時間を調整しており、P-FED は 2bit の制御信号に応じて出力のパルス幅を 0ps, 300ps, 500ps, 700ps の四段階に調整できるように設計されている。

次にトランスミッタ回路の詳細な回路構成を図 3-5 に、トランスミッタ回路の動作ダイアグラムを図 3-6 に示す。ここで L_{wire} はボンディングワイヤの寄生インダクタンスを表している。まずトランスミッタ回路に伝送波形の立ち上がりが入力されると、その立ち上がりは RED によってセンシングされて図 3-6 中の信号 A1 のように 1.2ns のパルスに変換される。この 1.2ns の時間幅をもったパルス信号 A1 は、電流を立ち上げるための信号として

OR 回路と通った後信号G1としてバッファに入力され、1.2ns の時間だけ電流を駆動する。ここで信号A1の立ち下がりには図 3-5 中の P-FED によってセンシングされ、図 3-6 の信号B2のような 2bit で時間幅が調整されたパルスが生成される。この信号B2は電流を立ち下げるための信号として OR 回路と通った後信号G2としてバッファに入力され、インダクタを逆駆動する。提案するトランスミッタ回路はシンメトリックな構造をとっているため、伝送波形の立ち下がりが入力された場合も同様に回路が動作し、インダクタに負極性の電流が印加されることとなる。

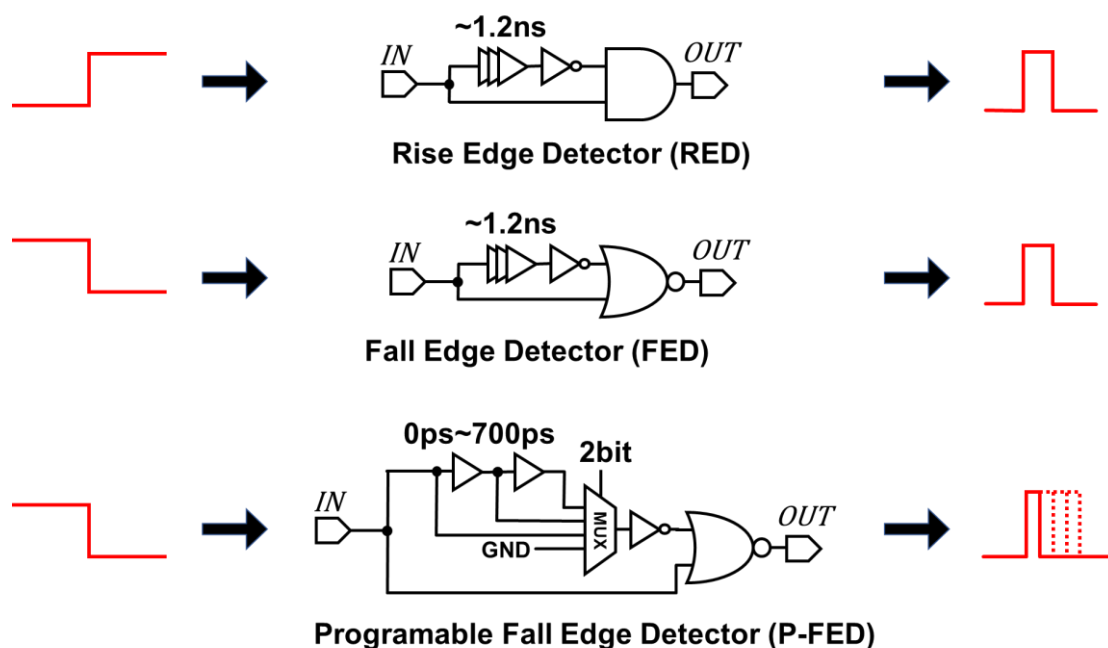


図 3-4 トランスミッタ回路で用いるエッジセンシング回路

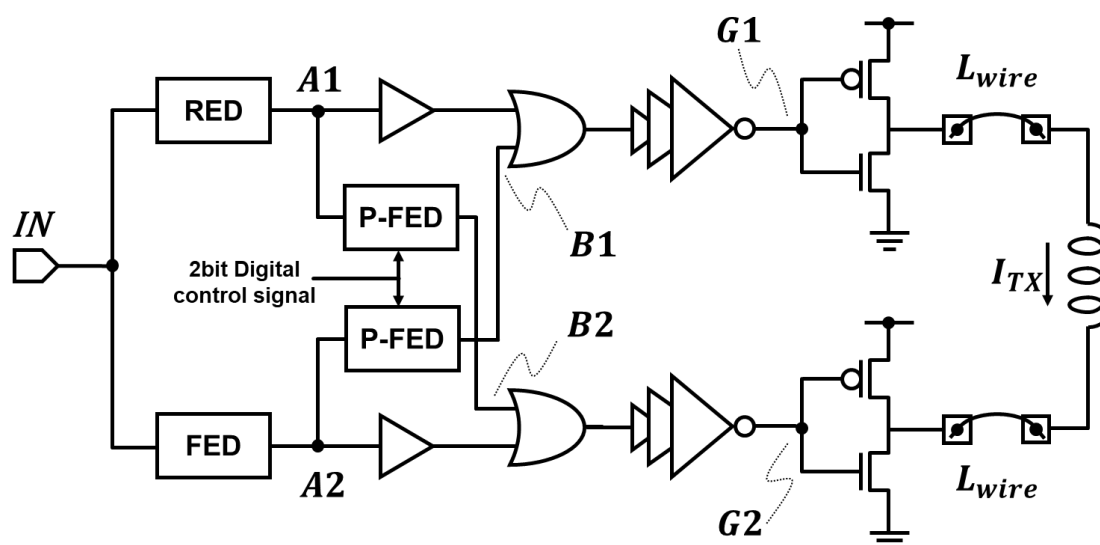


図 3-5 提案するトランスミッタ回路の回路構成

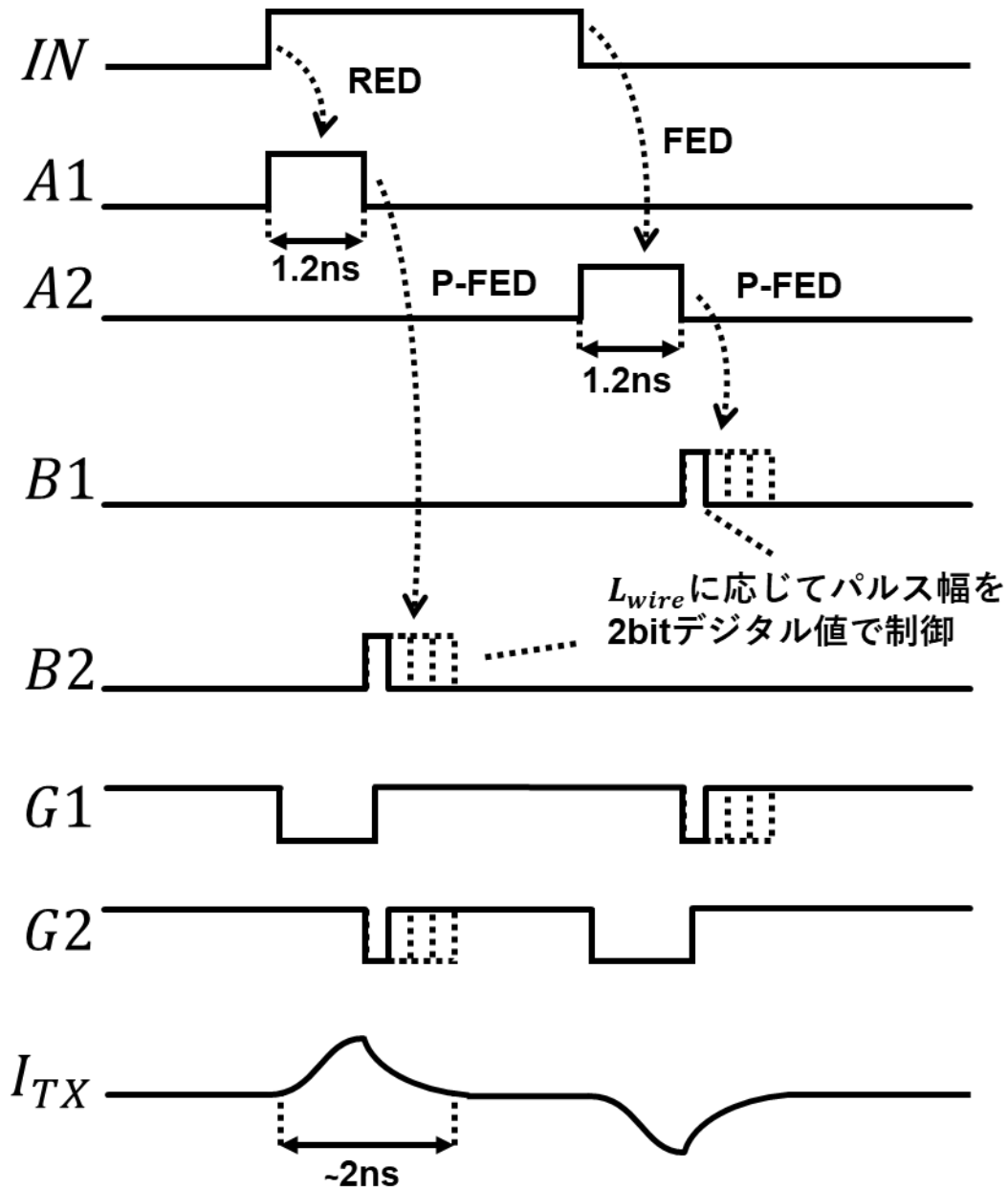


図 3-6 提案するトランスミッタ回路の動作ダイアグラム

前述のように P-FED は 2bit デジタル値で調整された時間幅をもったパルスを生成し、そのパルス幅はインダクタに印加する電流を立ち下げるために逆駆動する時間を決定する。提案回路で適用した H ブリッジ制御では電流の駆動時間を 1.2ns と固定値に設定しているが、適切な逆駆動時間はボンディングワイヤの寄生インダクタンス L_{wire} によって微妙に変化する。よって P-FED に与える 2bit デジタル値は L_{wire} が小さい時は逆駆動時間が短くなるように、 L_{wire} が大きい時は逆駆動時間が長くなるように設定する。

3.3 提案するレシーバ回路

提案するレシーバ回路ではインダクタに発生する電圧のセンシング回路としてシュミットトリガを採用している。シュミットトリガは図 3-7 に示されている回路図で構成されており、入出力特性にヒステリシス特性を持った回路である。本研究で用いるインバータの論理しきい値は 2.43V であるのに対し、ヒステリシス特性を持つシュミットトリガの論理しきい値は 2.1V および 2.76V の二つである。よってシュミットトリガの入力を 2.43V でバイアスすれば、正方向および負方向に 330mV のしきい電圧値をもったセンシング回路として活用することができる。

シュミットトリガの小信号特性や大信号特性はインバータ回路と類似しており、通常のアンプ回路と比べて一般的に小信号ゲインは低いが出力抵抗が小さい。出力抵抗が小さいシュミットトリガは大信号帯域幅が広く、シュミットトリガを用いることで図 3-2 における V_{RX} のように電圧レベルが高く時間幅が短いパルスを検知することが可能である。先行研究ではアンプの帯域が通信速度の上限を決める要因の一つとなっていたが、提案手法のようにシュミットトリガを用いたセンシングを採用することでより高い通信速度の実現が可能になる。

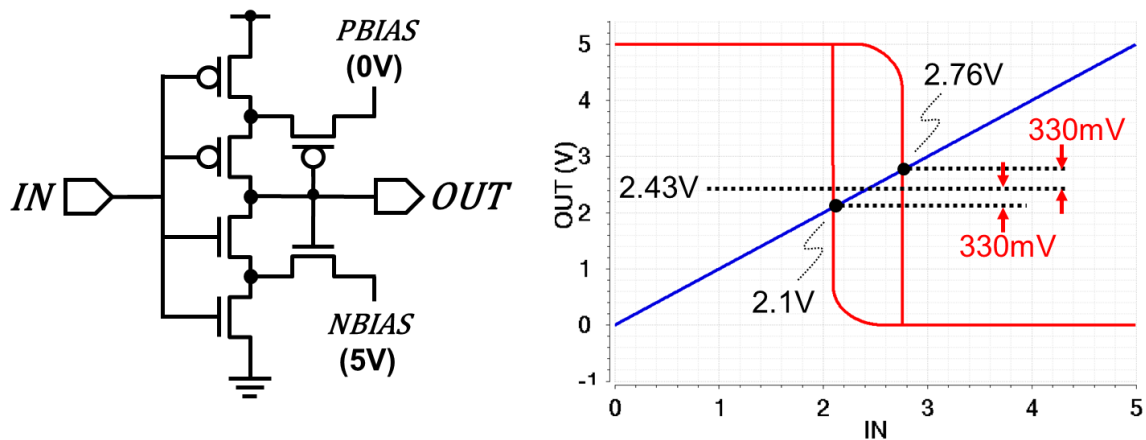


図 3-7 シュミットトリガ回路の回路図と入出力特性

シュミットトリガを用いたセンシングを行うレシーバ回路の回路構成を図 3-8 に示す。トランスミッタ回路のインダクタが発生させた磁気信号はレシーバ回路のインダクタによって受信され、 V_{L1} と V_{L2} に差動電圧信号として発生する。差動信号 V_{L1}, V_{L2} は CMT ノイズ除去および DC レベルのバイアス調整のための HPF を通過した後にシュミットトリガに入力される。ここで HPF はバイアス生成回路の出力抵抗が約 1k Ω であることを考慮して、カットオフ周波数が約 50MHz になるように設計されている。シュミットトリガの後段にはプルアップ用の PMOS が設置されており、ENABLE=low のスタンバイ状態では PMOS がオ

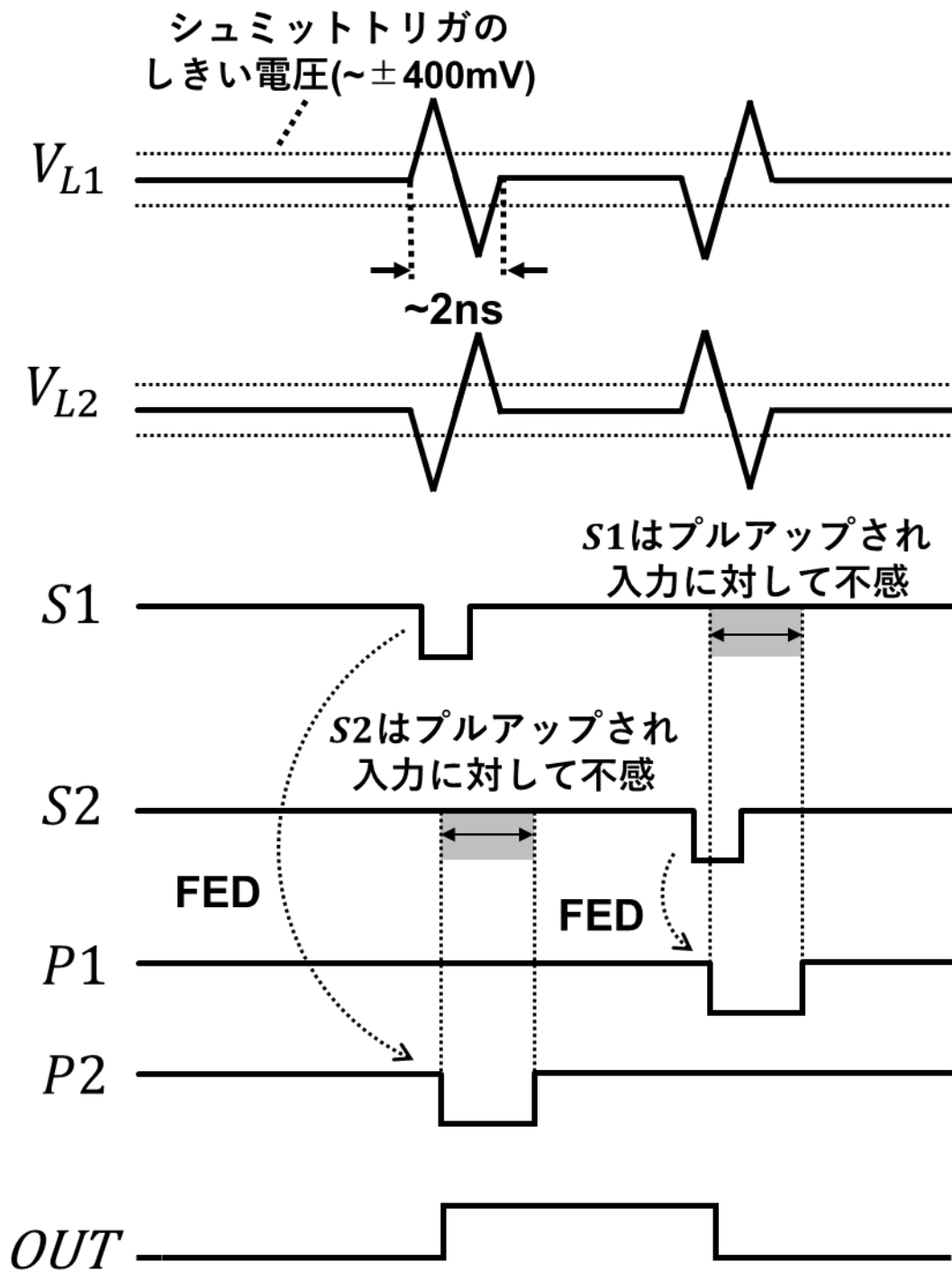


図 3-9 提案するレシーバ回路の動作ダイアグラム

3.4 オンチップインダクタの解析

3.4.1 インダクタのレイアウトおよび等価回路

本研究で用いるインダクタは図 3-10 に示すように $250\mu\text{m}$ 径であり、トランスミッタ側インダクタは extra thick metal M5 を用いて、レシーバ側のインダクタは M1 を用いて作成した。また巻き数は両者とも六回巻であるがデザインルールにおけるメタル間ピッチ幅の違いから、トランスミッタ側インダクタの配線幅は $7.8\mu\text{m}$ レシーバ側インダクタの配線幅は $10\mu\text{m}$ に設定されている。また M1 と M5 の間には SiO₂ 層が $5.5\mu\text{m}$ 挿入されており、SiO₂ の絶縁耐性は [13] より $700\text{kV}/\mu\text{m}$ 以上であるということから、カップリングインダクタにおける絶縁耐性は 3.85kV 以上であることが推定される。

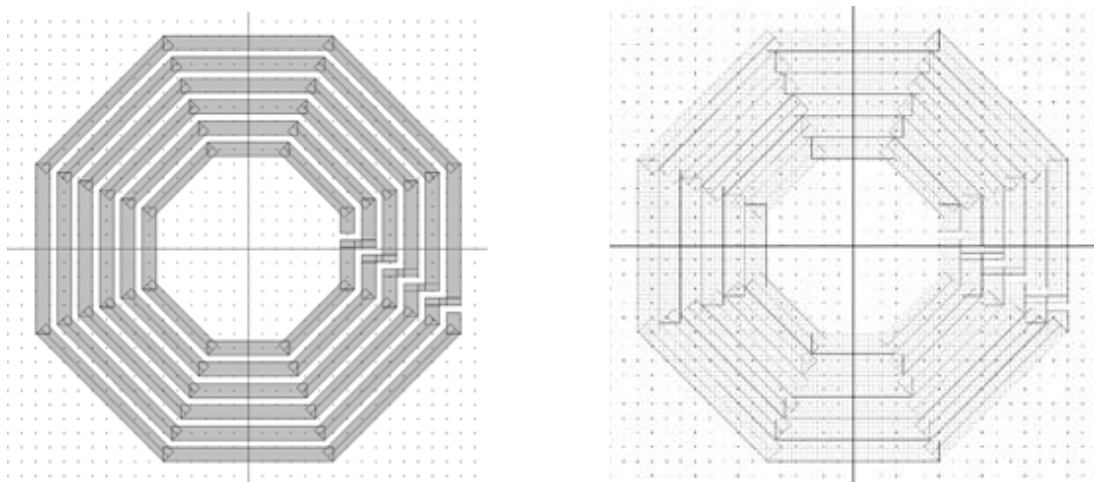


図 3-10 インダクタのレイアウト図(左側が TX 用、右側が RX 用)

次に本研究で用いるカップリングインダクタの等価回路を図 3-11 に示す。 L_{TX} および R_{TX} はトランスミッタ側インダクタの寄生抵抗およびインダクタンス、 L_{RX} および R_{RX} はレシーバ側インダクタの寄生抵抗およびインダクタンス、 k はカップリングインダクタの結合係数、 C_c はインダクタ間寄生カップリング容量であり π 型の等価回路で表現している。

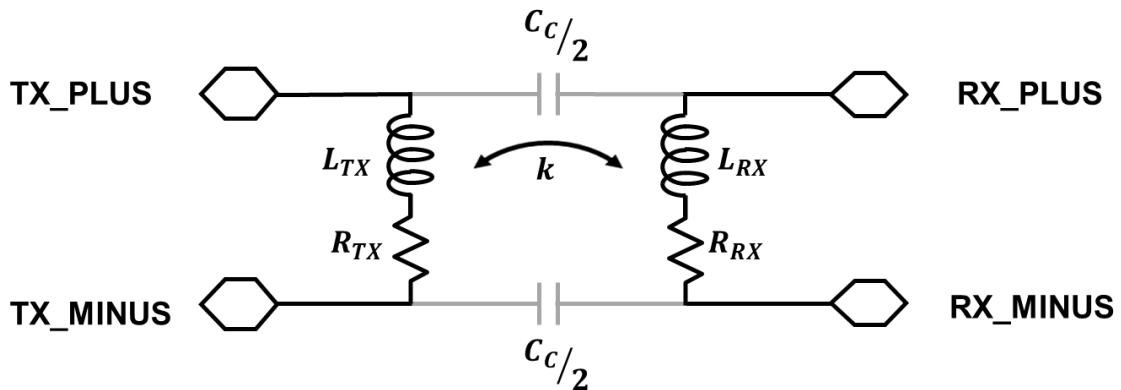


図 3-11 カップリングインダクタの等価回路

本研究では2.5次元プレーナー型電磁界シミュレーションツールMomentumを用いてインダクタの解析を行った。Momentumでは本研究で用いる tsmc0.18 μ mBCD プロセスにおけるレイヤー情報を基板モデルとして用いて検証を行った。

3.4.2 シングルインダクタのパラメータ抽出

図 3-10 のレイアウトを用いて、TX 側インダクタと RX 側インダクタのインピーダンスを解析した結果を表 3-1 および表 3-2 に示す。ここでインピーダンスはインダクタレイアウトを momentum シミュレーションにかけることによって得られた s パラメータをインピーダンスに変換したものである。図 3-11 よりシングルインダクタの等価回路を寄生抵抗とインダクタの直列回路と定義すると、インピーダンスの実部が寄生抵抗を表しインピーダンスの虚部がインダクタンスのもつインピーダンス $j(2\pi f)L$ を表すことになる。よってこの等価回路を仮定すると、TX 側インダクタの寄生抵抗 R_{RX} が 3.575 Ω でインダクタンス L_{TX} が 8.46nH、さらに RX 側インダクタの寄生抵抗 R_{RX} は 33.11 Ω でインダクタンス L_{RX} は 8.41nH となる。ただし表 3-1 および表 3-2 から周波数が 1GHz 以上になるとインピーダンスの実部及び虚部に変化が表れており、インダクタの寄生容量成分がインピーダンスに影響を与え始めていると考えられる。

表 3-1 TX 側インダクタのインピーダンス解析結果

周波数f(Hz)	インピーダンスZ (Mag/Deg)	Re(Z)	Im(Z)	Im(Z)/2 π f
1.000 MHz	3.576 / 0.852	3.575	0.053	8.46E-09
10.00 MHz	3.615 / 8.456	3.575	0.532	8.46E-09
100.0 MHz	6.413 / 55.978	3.588	5.316	8.46E-09
1.000 GHz	53.601 / 84.921	4.745	53.391	8.50E-09

表 3-2 RX 側インダクタのインピーダンス解析結果

周波数f(Hz)	インピーダンスZ (Mag/Deg)	Re(Z)	Im(Z)	Im(Z)/2 π f
1.000 MHz	33.110 / 0.091	33.11	0.053	8.41E-09
10.00 MHz	33.114 / 0.914	33.11	0.529	8.41E-09
100.0 MHz	33.561 / 9.062	33.142	5.286	8.41E-09
1.000 GHz	64.987 / 55.512	36.798	53.565	8.53E-09

3.4.3 カップリングインダクタの結合係数 k の抽出

カップリングインダクタの結合係数の評価を以下のような手順で行った。まず図 3-12 のように入力端子として TX_PLUS 端子および TX_MINUS 端子を、出力端子として RX_PLUS 端子と RX_MINUS 端子を定義し、カップリングインダクタを四端子網回路として定義を行う。なおこの四端子の配置は図 3-11 と一致している。次に momentum によるシミュレーションによって四端子網回路の s パラメータを得る。ここで S_{12} パラメータが入力側である TX から出力側である RX へと透過するエネルギー量を表していることから、インダクタ間カップリング容量 C_C が無視できる低周波数帯における S_{12} パラメータをインピーダンス変換することで相互インダクタンス M を得る。相互インダクタンス M は次の 3-5 式のように表されることから、3.4.2 章で得た L_{TX} および L_{RX} を用いて結合係数 k を算出することができる。

$$M = k\sqrt{L_{TX}L_{RX}} \quad 3-5$$

以上の計算方法によってカップリングインダクタの解析を行った結果を表 3-3 に示す。100MHz 以下の低周波数帯においてはインダクタ間カップリング容量 C_C を無視できるため、各周波数において結合係数は一定の 0.879 となっている。

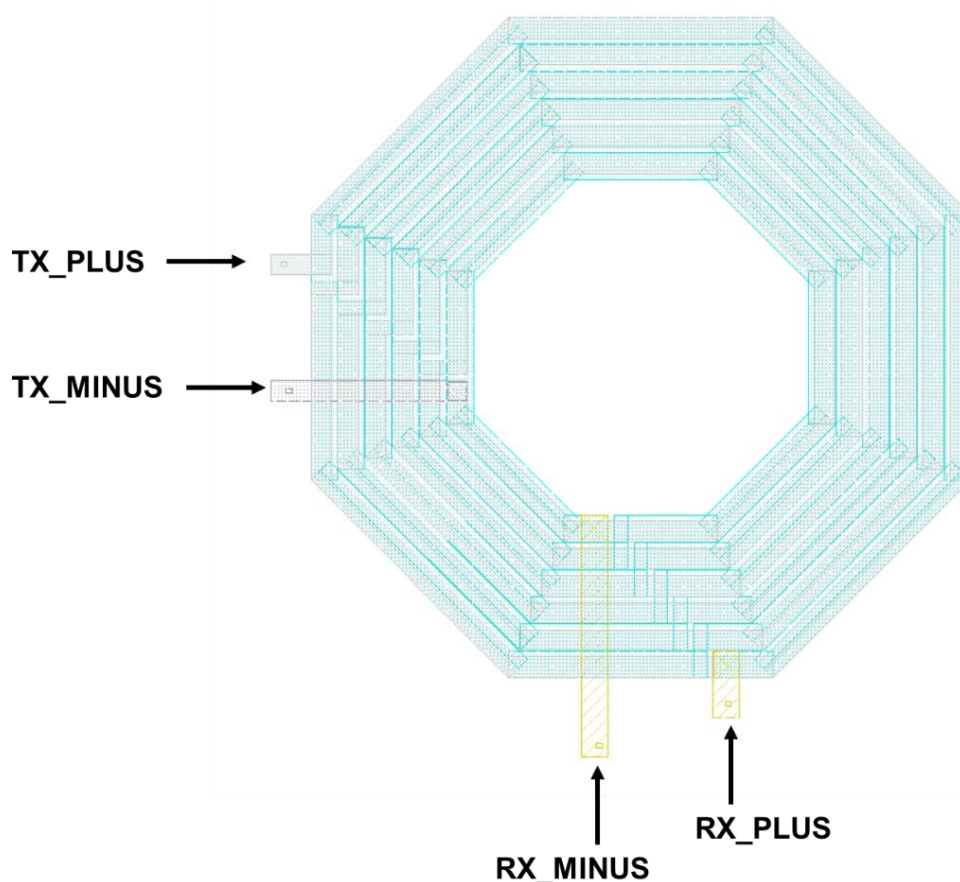


図 3-12 カップリングインダクタのレイアウトと各端子

表 3-3 四端子カップリングインダクタの S12 パラメータを用いた結合係数の解析結果

周波数f(Hz)	インピーダンス Z(Mag/Deg)	Re(Z)	Im(Z)	M=Im(Z)/2πf	k
1.000 MHz	0.0462/-90.005	2.85319E-18	0.046577	7.41296E-09	8.79E-01
10.00 MHz	0.462/-90.047	0.00035281	0.465772866	7.41301E-09	8.79E-01
100.0 MHz	4.62/-90.468	0.035351696	4.660524924	7.41746E-09	8.79E-01
1.000 GHz	49.0/-95.509	4.308821255	49.04007035	7.80497E-09	9.25E-01

3.4.4 カップリングインダクタ間のカップリング容量の抽出

カップリング容量 C_c は数百 fF と小さく、四端子回路における s パラメータの解析では結合係数との切り離しが難しい。よって図 3-12 において TX_PLUS 端子と TX_MINUS 端子をショートさせ、さらに RX_PLUS 端子と RX_MINUS 端子をショートさせることで図 3-13 のように二端子回路を用いて検証を行った。この二端子回路において低周波数帯における S_{12} をインピーダンス変換し、その虚部を検証すればカップリング容量 C_c のインピーダンスのみが表れるため、カップリング容量 C_c の解析が可能である。

カップリング容量 C_c の検証結果を表 3-4 に示す。低周波数帯における解析結果によると、カップリング容量 C_c は 322fF であることがわかる。

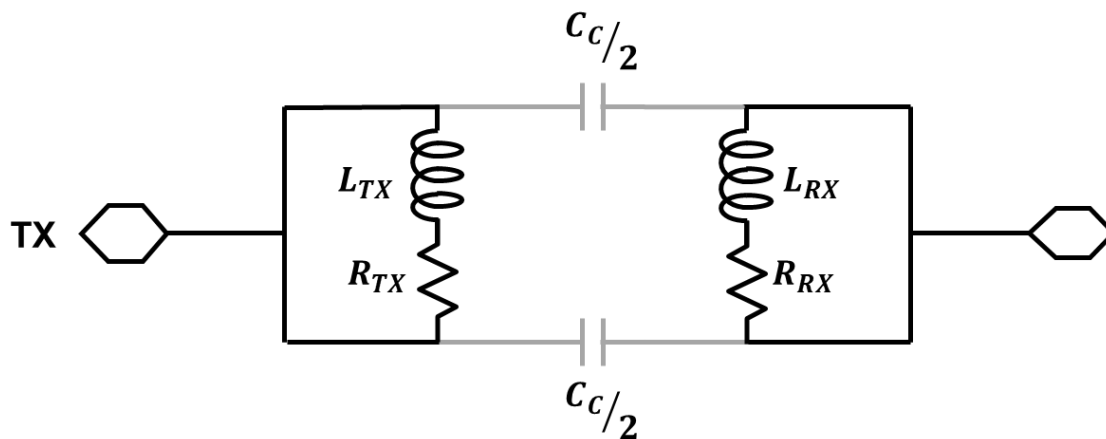


図 3-13 カップリング容量の解析のための等価回路

表 3-4 インダクタ間寄生カップリング容量の解析結果

周波数f(Hz)	インピーダンス Z(Mag/Deg)	Re(Z)	Im(Z)	1/(2πf*Im(Z))
1.000 MHz	4.95E05 / -90.0	9.361	-494802.964	-3.22E-13
10.00 MHz	4.95E04 / -90	9.362	-49480.261	-3.22E-13
100.0 MHz	4.95E03 / -89.9	9.376	-4947.702	-3.22E-13
1.000 GHz	492 / -88.9	9.304	-491.459	-3.24E-13

3.4.5 カップリングインダクタのモデルの検証

3.4 章ではカップリングインダクタを図 3-11 のような等価回路で表し、表 3-1 表 3-2 表 3-3 表 3-4 にて 100MHz 以下の低周波数帯における等価回路の各素子のパラメータの抽出を行った。ここでこの等価回路が momentum によるシミュレーションから得られた結果と一致するかどうかの検証を行う。

レイアウトから Momentum によって抽出された s パラメータと、図 3-11 の等価回路から spectre によって抽出した s パラメータを比較した結果を図 3-14 に示す。Momentum から抽出された s パラメータは赤い点で、spectre から抽出された s パラメータは青い線で描かれている。図 3-14 より 1GHz 以下の周波数帯では各 s パラメータはおよそ一致しており、図 3-11 の等価回路はよいモデルとして扱えることがわかる。

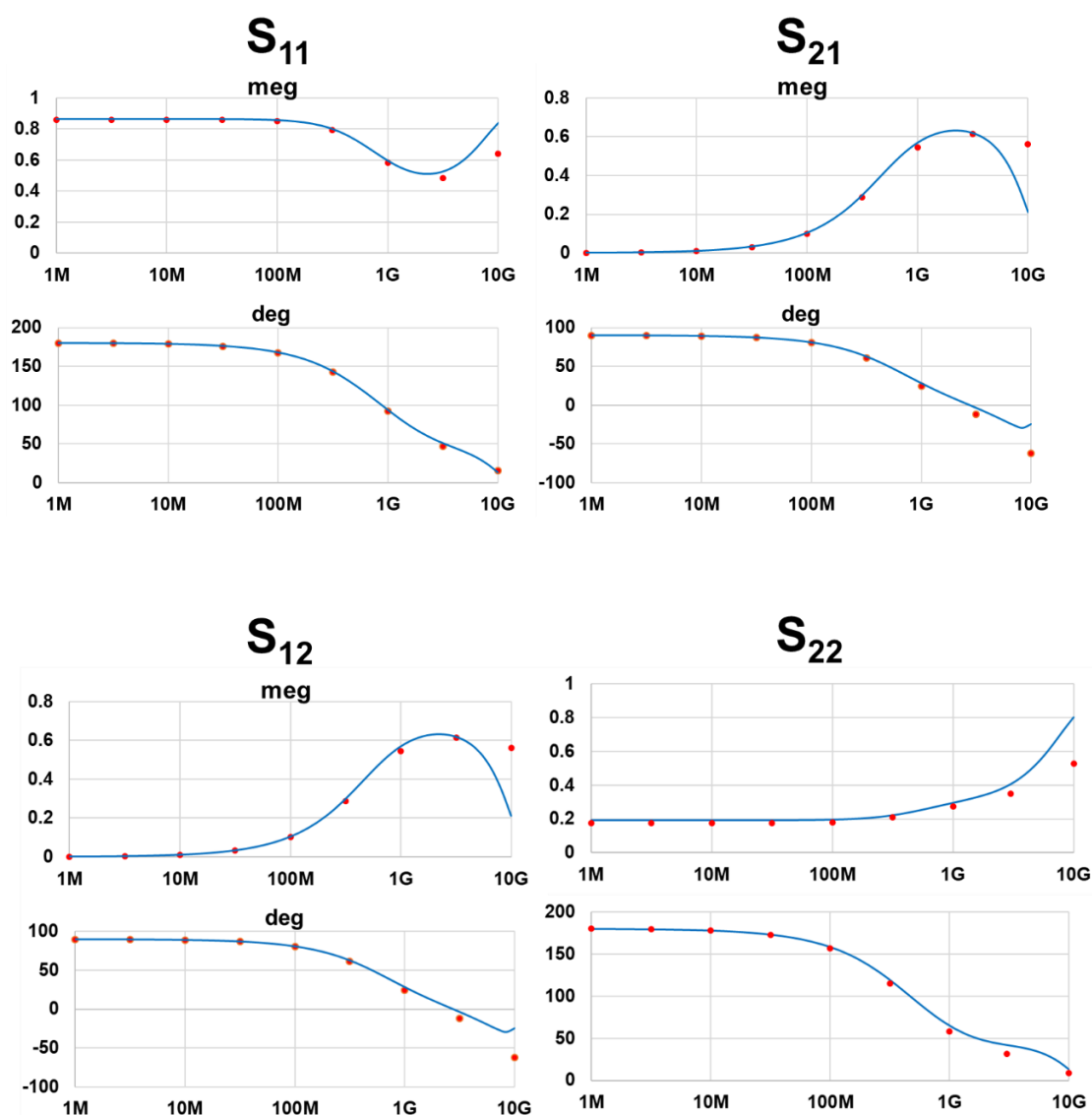


図 3-14 momentum から得られた S パラメータ(赤い点)と等価回路から得られた S パラメータ(青い線)の比較

ータを用いて生成した四端子ブラックボックスを用いて検証を行った。また図 4-2 における信号名は図 3-5 および図 3-8 と一致している。シミュレーションの結果、提案回路は 2ns のパルス信号を送送することができ、これは 500Mbps の通信速度に相当する。

またアイソレータ回路における伝搬遅延は 3.49ns であり、さらに input IO および output IO における遅延がそれぞれ 0.46ns および 0.55ns であるため、全体の伝搬遅延は 4.5ns であった。

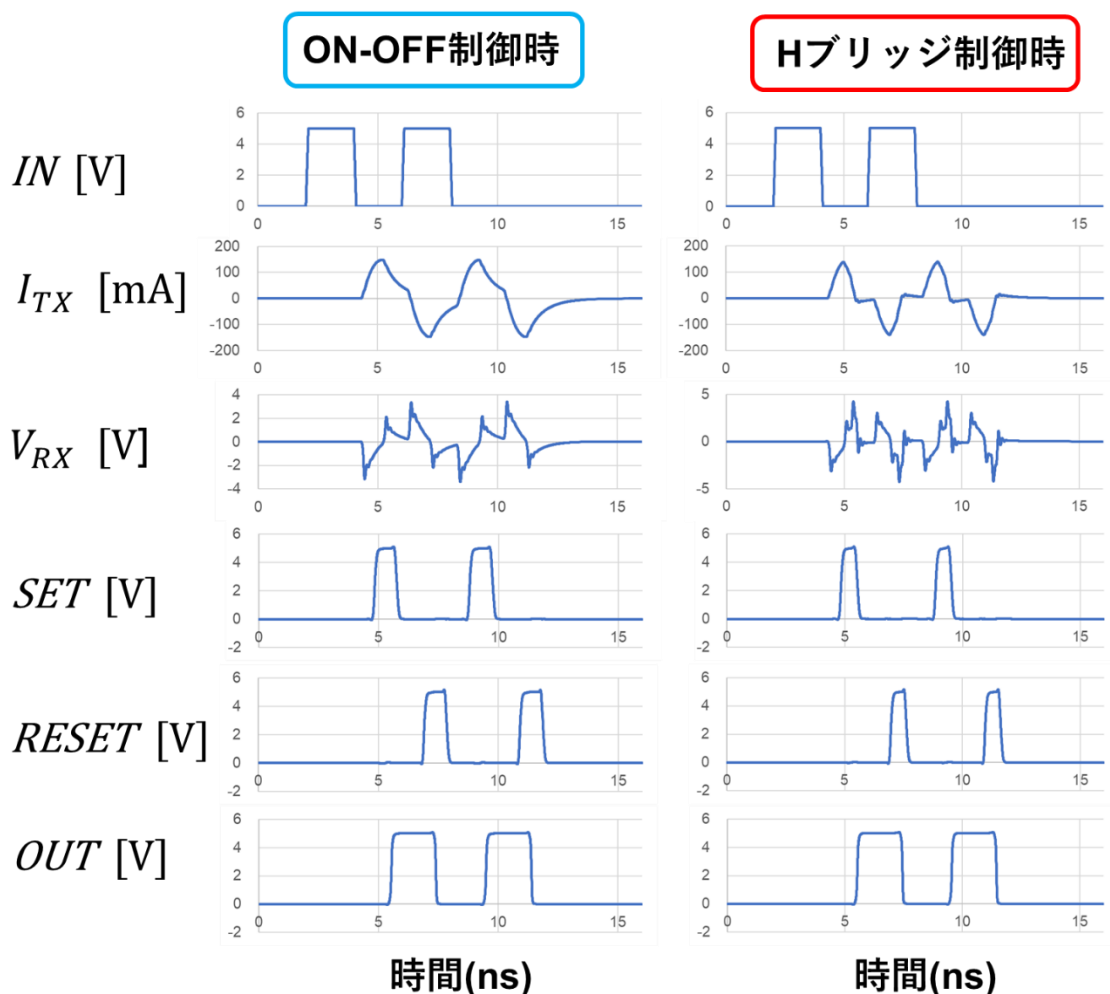


図 4-2 シミュレーションによる 500Mbps 通信時の検証結果

4.1.2 消費電流の検証

消費電流の検証は 200bit を連続伝送したときに消費した電流を時間平均することで検証を行った。提案回路において各通信速度における消費電流を表 4-1 に示す。表 4-1 の通信を行っていない際の定常電流は 0bps の結果から 780uA であり、100Mbps 通信時結果を用いると 1bit 当たりの消費エネルギーは 1.33nJ/bit である。

ここで消費電流の内訳をみると通信を行っていない際の定常電流のほとんどはレシーバ

回路で発生しており、シュミットトリガの出力をバイアスするための回路から 98 μ A、シュミットトリガにおける電源電圧から流れる定常電流が 12 μ A、シュミットトリガの NBIAS から 670 μ A が流れている。これは定常状態においてシュミットトリガの入力が 2.43V、出力が 5V になるため、NBIAS 端子からグラウンドにかけて定常電流が流れる経路が発生してしまっているためである。

また通信時の消費電流の内訳をみると、大部分が TX 回路において電流を消費している。TX 回路ではインダクタに瞬時的に 140mA 程度の電流が流れるように設計しているため、通信時の消費電流のほとんどを TX 回路が決定することになる。

表 4-1 シミュレーションによる消費電流の検証結果

通信速度[bps]	TX	RX	NBIAS
0	0	110 μ A	670 μ A
1M	0.256mA	113 μ A	670 μ A
10M	2.56mA	142 μ A	664 μ A
50M	12.8mA	268 μ A	640 μ A
100M	25.6mA	426 μ A	609 μ A
200M	51.6mA	748 μ A	545 μ A
400M	97.6mA	1.36mA	423 μ A
500M	117mA	1.657mA	353 μ A

4.1.3 CMTI の検証

CMTI の検証に用いる提案回路の構成を図 4-3 に示す。CMTI の検証においては TX 側と RX 側のグラウンド電圧を時間的に変化させるため、図 3-11 における RX_MINUS 端子間が出力端子であると同時に入力端子で定義する必要がある。S パラメータを用いた四端子網でカップリングインダクタを表現する場合には RX_MINUS 端子は出力端子として定義しなければならないことから、図 4-1 の回路構成では CMTI の検証を行うことができない。よって図 4-3 のように 3.4 章で抽出したカップリングインダクタのパラメータを用いて、カップリングインダクタを等価回路で表現する必要がある。

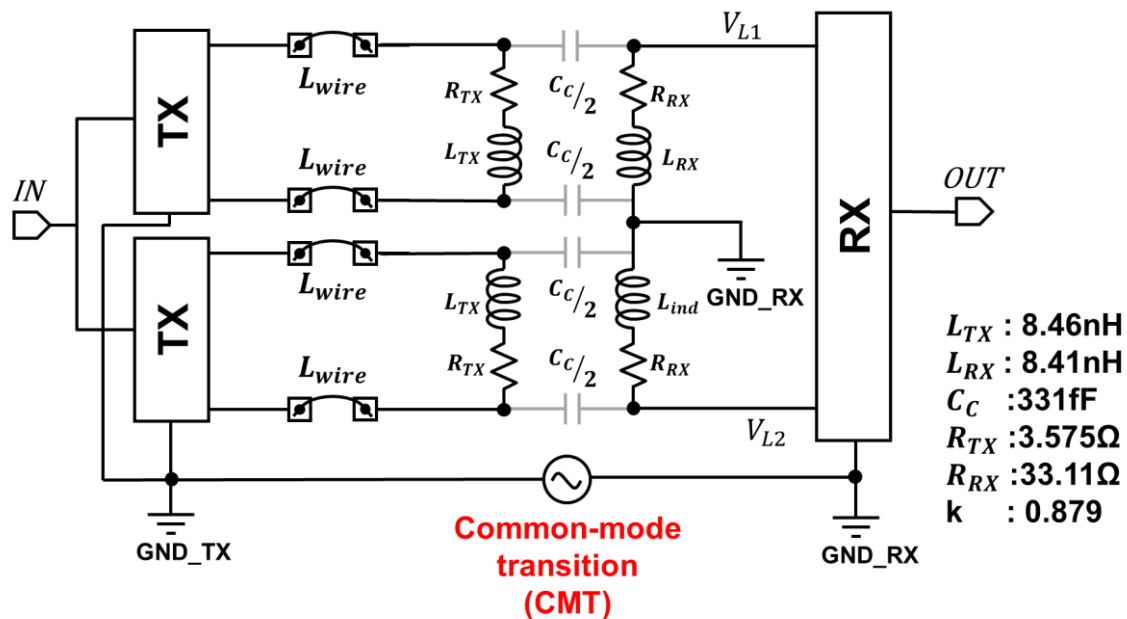


図 4-3 CMTI の検証に用いる提案回路の構成

図 4-3 において TX 側と RX 側のグラウンド電圧の電位差を Common-Mode Transition (CMT) と置いており、CMT はパワーデバイスの出力電圧と一致することから立ち上がり時および立ち下がり時に一定の傾きをもった方形波を想定する。本研究では CMT 波形をパワーデバイスの出力電圧により近いものとするため、図 4-4 のように理想方形波を 5ns の RC フィルターに通した波形として定義した。

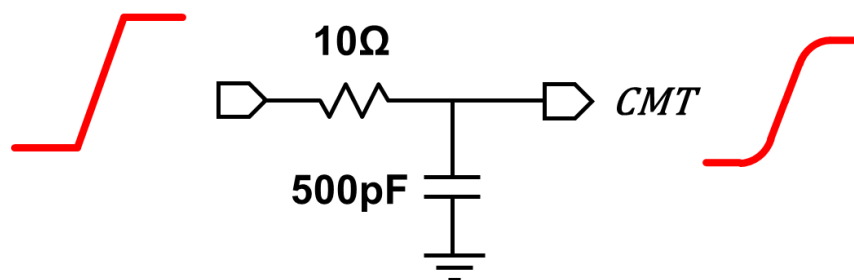


図 4-4 CMT 波形の生成回路

CMT 波形の傾きを 130kV/ μ s に設定し CMTI 検証を行った結果を図 4-5 に示す。図 4-5 からインダクタに発生する CMT ノイズのピーク電圧は 697mV であり、HPF によって CMT ノイズのピーク電圧は 220mV にまで低減されていることがわかる。この 286mV のノイズは、シュミットトリガのしきい電圧値 330mV 以下であることから提案回路は 130kV/ μ s の CMTI を持っていることがわかる。さらに CMT ノイズがシグナルに逆位相で重畳した場合においても正確に通信が行えていることから、シグナルの破損によるビット

エラーも発生しないことがわかる。

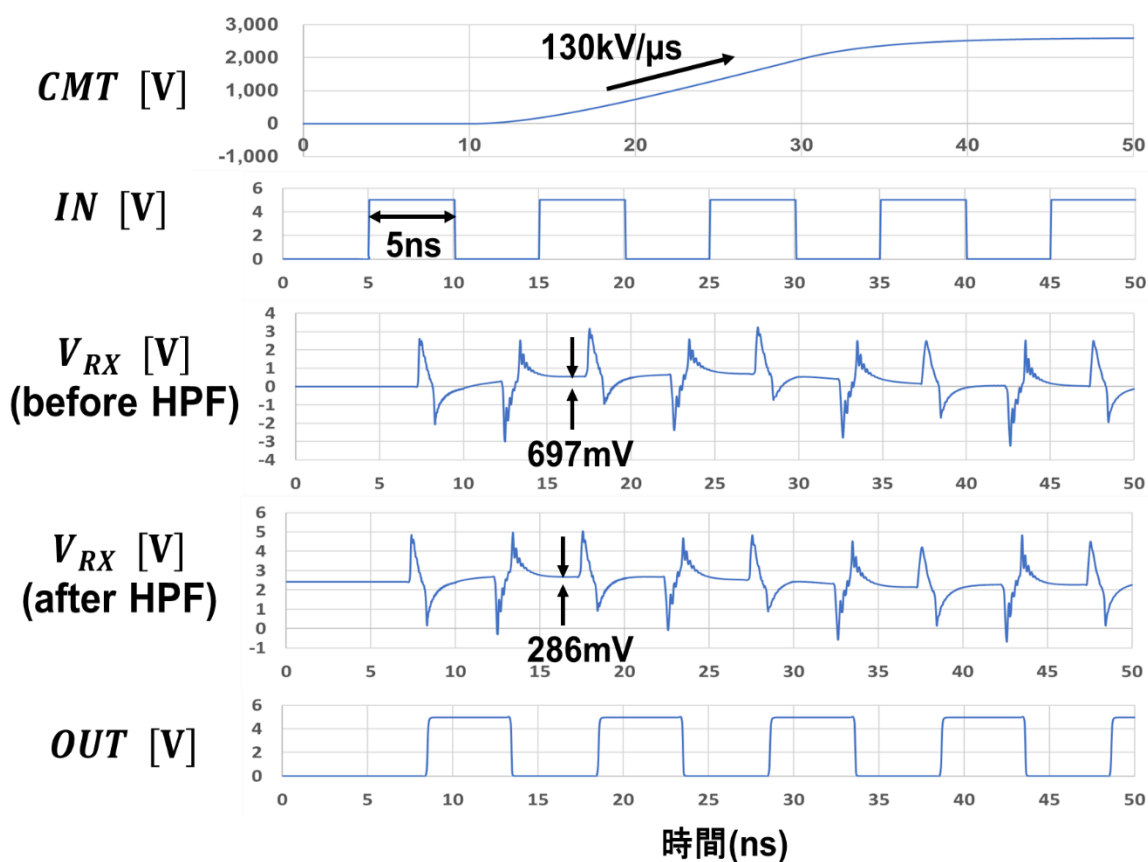


図 4-5 CMT が $130\text{ kV}/\mu\text{s}$ の傾きを持つときの 200 Mbps 通信時の検証結果

4.2 測定回路の実装

本研究ではゲートドライバとの集積が可能な $\text{tsmc}0.18\mu\text{mBCD}$ プロセスを用いて提案回路を試作した。試作回路のチップ写真を図 4-6 に示す。アイソレータ回路の試作に際し TX 回路と RX 回路のグラウンド電圧を分離することから、図 4-6 のように 2 チップをワイヤボンディングすることによってアイソレータ回路を作成した。またこのチップセットは合計 3 チャンネルを含んでおり、測定の際は 3 チャンネルすべてに電力が供給されるため、4.3 章で述べるように消費電力の計算の際に動作させていない 2 チャンネル分の消費電力を差し引く必要がある。

試作した提案回路のうち TX 回路の面積は $13275\mu\text{m}^2$ 、RX 回路の面積は $3350\mu\text{m}^2$ 、インダクタは直径が $250\mu\text{m}$ の八角形のインダクタを二つ使用している。TX 回路と RX 回路で絶縁をとるために、基板上においても TX 側と RX 側で 1 mm の間隔をあけている。よって空気の絶縁耐性は $3\text{ MV}/\text{m}$ であることから、ポッティング材なしでも 3 kV の絶縁耐性をも

つことになる。

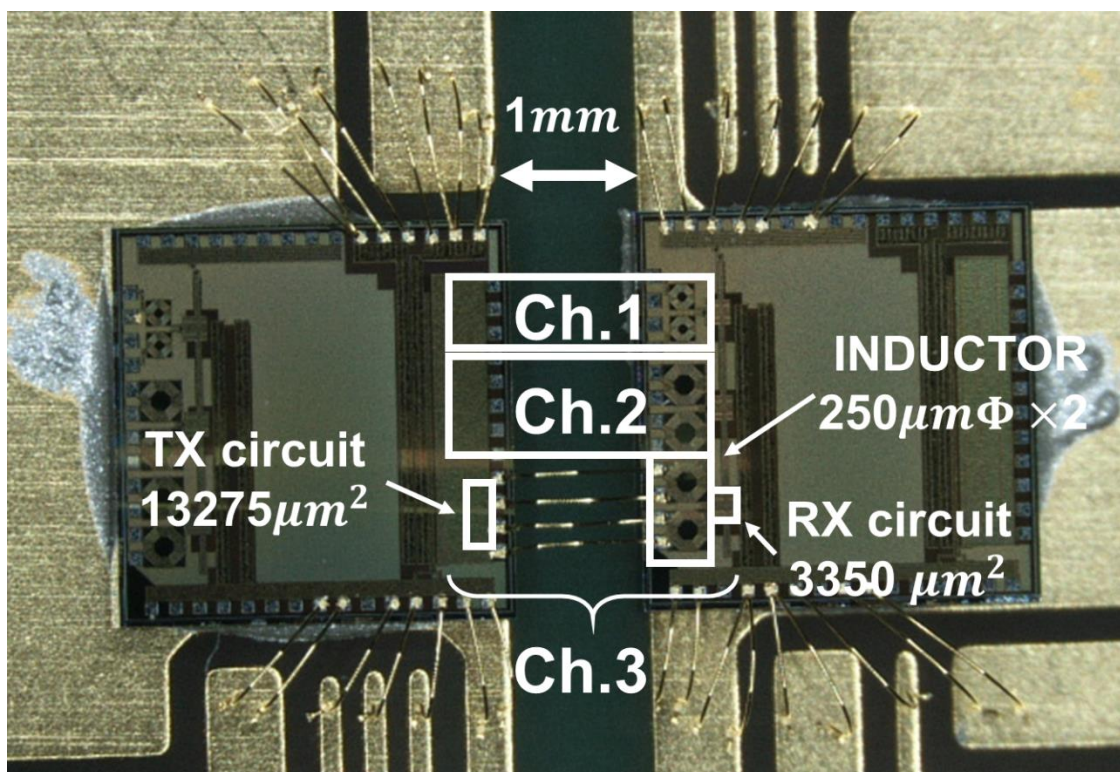


図 4-6 試作回路のチップ写真

試作回路を実装した測定用基板を図 4-7 に示す。アイソレータが伝送するデータの入力と出力は SMA 端子を用い、その他の電圧は DC 電圧であるためピンで電圧を供給する。基板に実装したチップの上には Henkel 社 LOCTITE 5140 を用いてポッティングしており、LOCTITE 5140 の絶縁耐性が 16kV/mm であることから、TX 側と RX 側は基板上で 16kV の絶縁耐性を持つことになる。

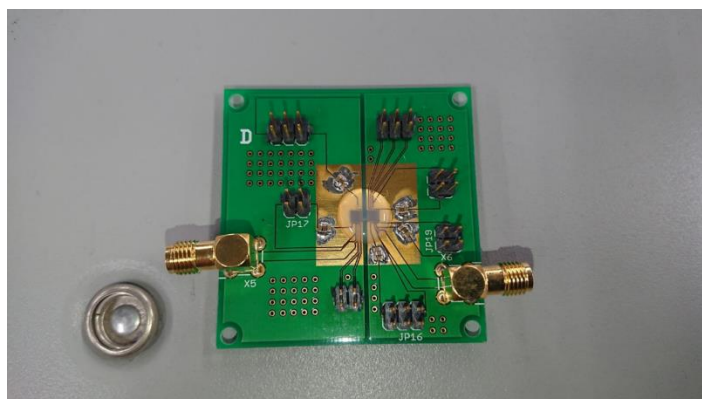


図 4-7 測定用基板の全体写真

4.3 通信性能の評価

4.3.1 測定系の構成

通信性能の測定に用いた測定系のブロック図と写真をそれぞれ図 4-8 および図 4-9 に、用いた測定器のリストを表 4-2 に示す。提案回路の入出力端子のうち入力となる伝送信号および出力の伝送信号のみが AC 信号であり、残りの六つの入力信号は DC 電圧である。

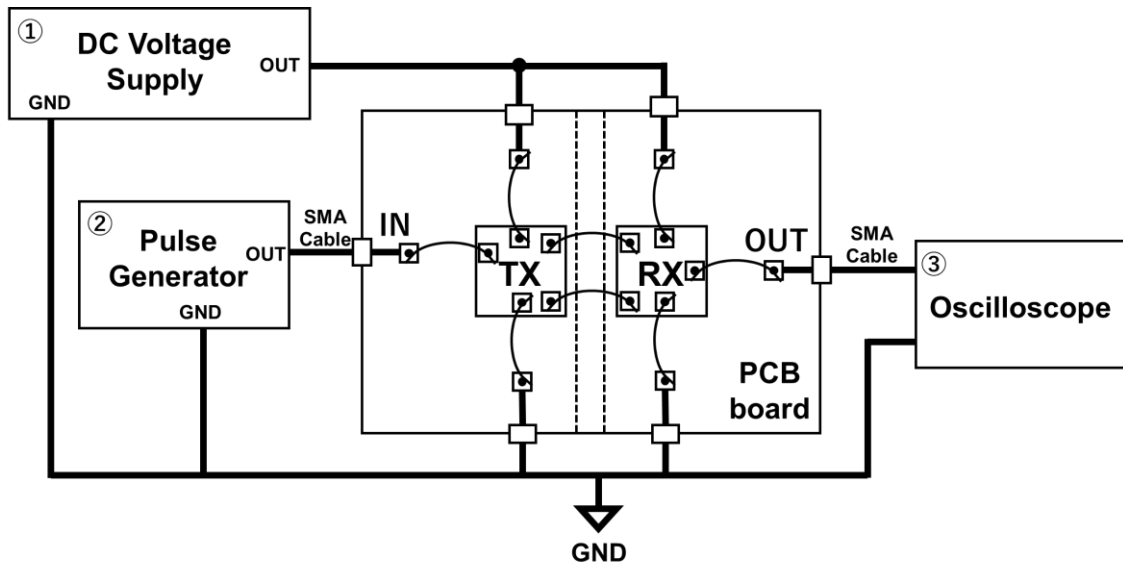


図 4-8 通信速度および消費電流の測定系のブロック図

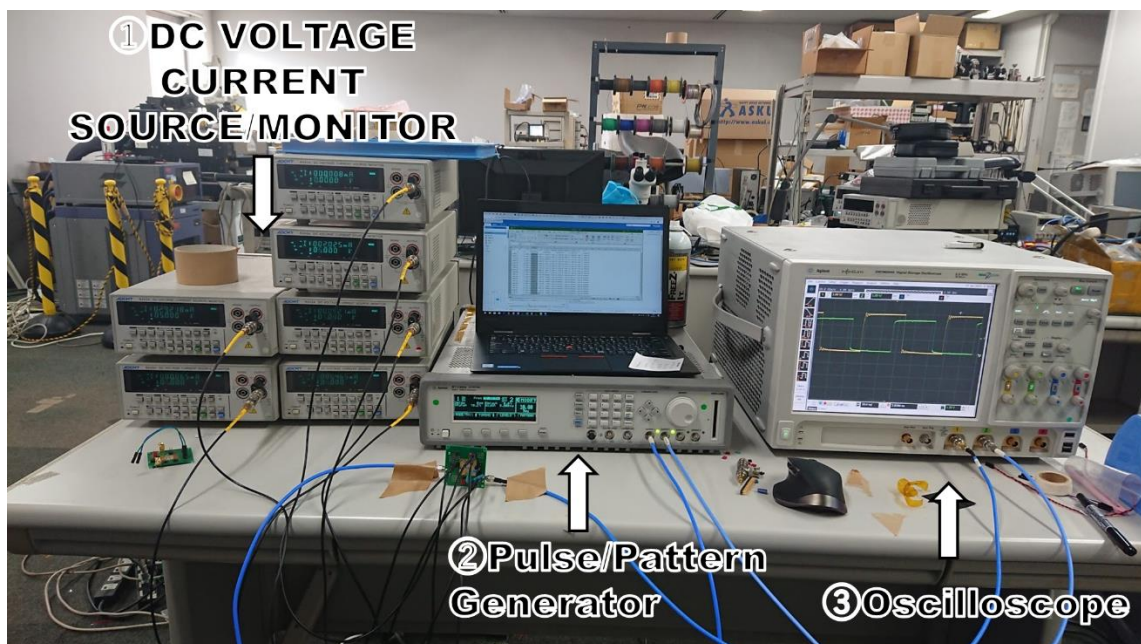


図 4-9 通信速度および消費電流の測定系の様子

表 4-2 通信速度および消費電流の測定に用いた測定器

	用途	製造元	測定器名
①	DC電圧供給	ADCMT	6240A DC VOLTAGE CURRENT SOURCE/MONITOR
②	アイソレータの入力伝送信号の生成	Agilent	81130A 400/660MHz Pulse/Pattern Generator
③	2Mbpsの出力信号および伝搬遅延の測定	Agilent	InfiniiVision DSO5054A Digital Storage Oscilloscope 500MHz 4Gs/s
④	500Mbpsの出力信号の測定	Agilent	Infinium DSO90254A Digital Storage Oscilloscope 2.5GHz 20Gsa/s

アイソレータの入力信号は一定の周波数 f をもった方形波としており、アイソレータの通信速度は周波数の二倍のとして計算を行うものとする。

4.3.2 通信速度の測定による評価

提案回路において 2Mbps で信号を伝送した時の入出力波形を図 4-10 に、また伝搬遅延の測定のために拡大した入出力波形を図 4-11 示す。図 4-10 より IO 部分における遅延を含んだ伝搬遅延が 13ns であることがわかる。

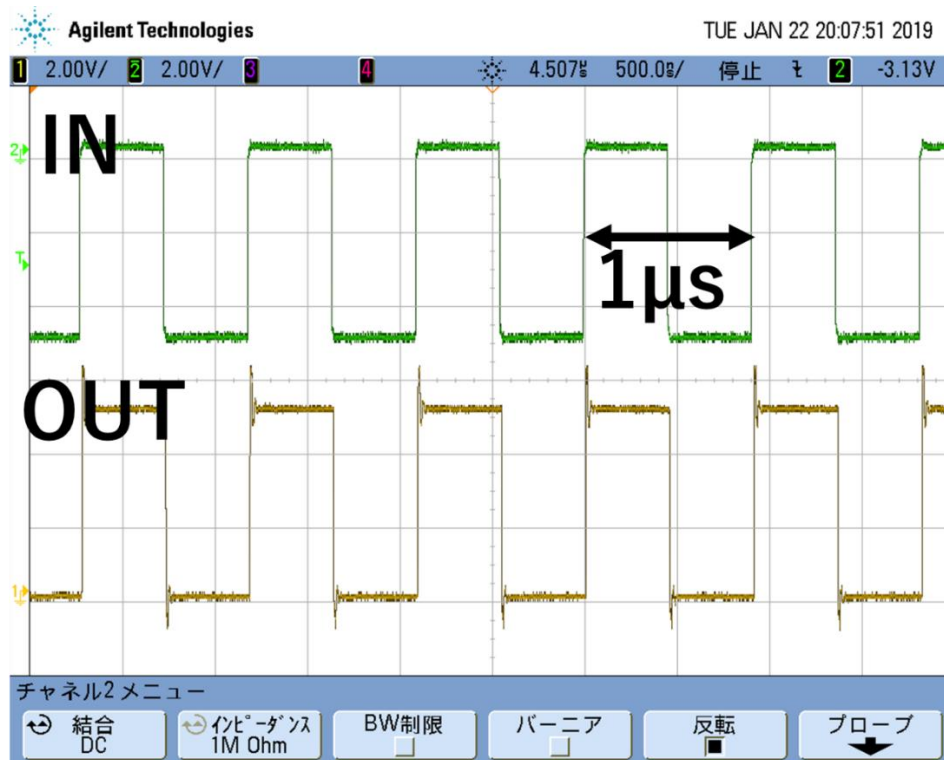


図 4-10 2Mbps 伝送時の入出力測定波形

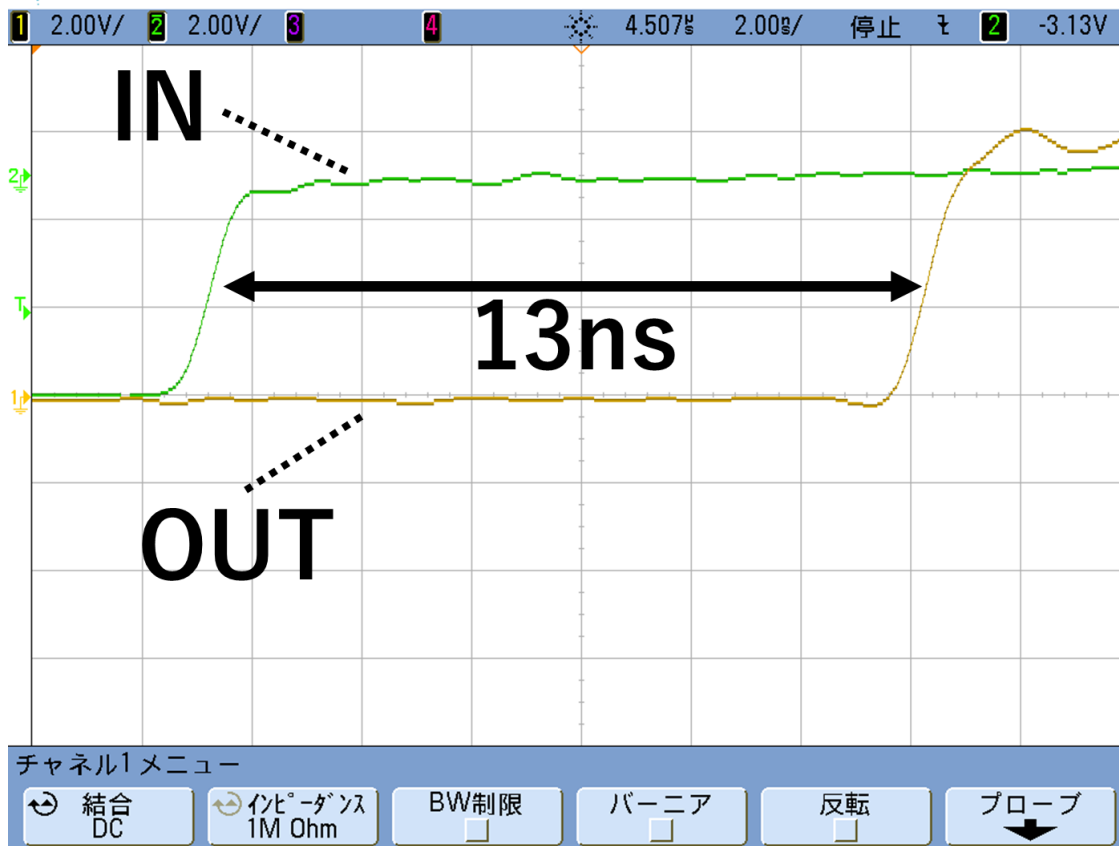


図 4-11 伝搬遅延の測定波形

次に提案回路の通信速度の最高速度を測定したところ 500Mbps であった。提案回路が 500Mbps 通信を行っている際の入出力波形を

図 4-12 に示す。出力波形は入力波形と同様の 4ns 周期の方形波であるが、最大 600ps のパルスゆがみが観測された。

4.3.3 通信速度に対する消費電流の測定による評価

0bps から 500Mbps で提案回路を動作させたときの TX 回路の電源が供給する電流、RX 回路の電源が供給する電流、シュミットトリガのバイアスである NBIAS および PBIAS から供給される電流を表 4-3 に示す。ここで測定チップは図 4-6 のように 3 チャンネルを搭載しており、電源投入時にはすべてのチャンネルに電源が投入されることとなる。よって提案回路の測定時には、まず電源を投入したときの 3 チャンネル分合計の定常電流を測定し、対象チャンネルの消費電流の測定においては測定電流から 2 チャンネル分の定常電流を差し引いた電流を正味の消費電流として計算するものとする。

測定結果では通信を行わない際に発生する定常電流が 865 μ A であった。また 1bit の伝送に必要なエネルギーは 1Mbps 時には 5.78nJ/bit、100Mbps 時には 1.52nJ/bit、

500Mbps 時には 1.70J/bit であった。

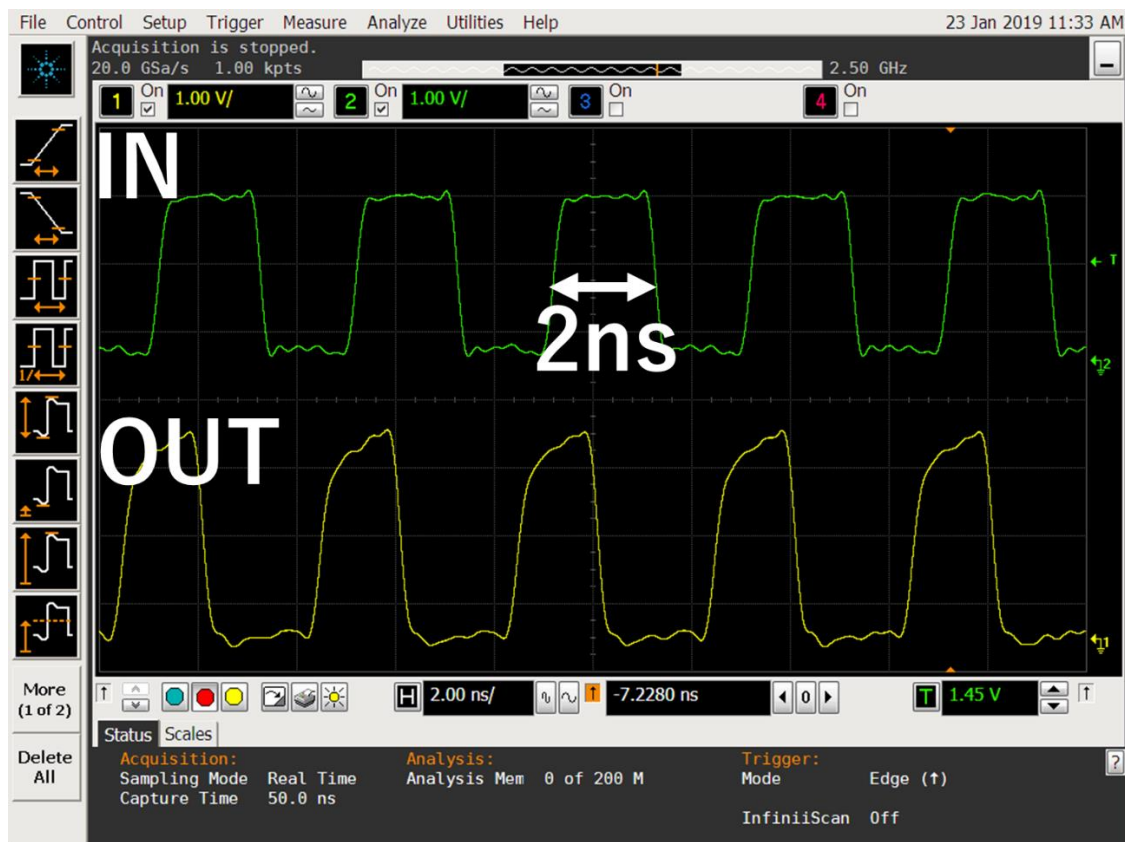


図 4-12 提案回路の 500Mbps 通信時の入出力測定波形

表 4-3 提案回路の各通信速度における消費電流の測定結果

通信速度[bps]	TX	RX	NBIAS
0	0.053mA	113uA	695uA
1M	0.372mA	114uA	670uA
10M	3.23mA	160uA	709uA
50M	15.6mA	335uA	663uA
100M	29.1mA	577uA	698uA
200M	52.2mA	1.02mA	686uA
400M	138mA	1.77mA	467uA
500M	167mA	2.32mA	404uA

ここで消費電流について表 4-1 および表 4-3 を用いてシミュレーションによる結果と実測による結果を比較したものを図 4-13 に示す。横軸は通信速度、縦軸は消費電流を示しており、ともに log スケールで表記されている。実測においても TX 回路の消費電流は通信速度にはほぼ比例していることがわかるが、400Mbps 通信時および 500Mbps 通信時にはシミュレーションと比べて 40%以上の消費電流が発生している。これは高速通信時に発生する熱によってチップの特性が変化することによるものと考えられる。具体的には高温下でトランジスタの遅延時間が増加したことによってインダクタに電流を印加する時間も増加し、結果として実測における消費電流がシミュレーションによる検証と比べて増加したと考えられる。

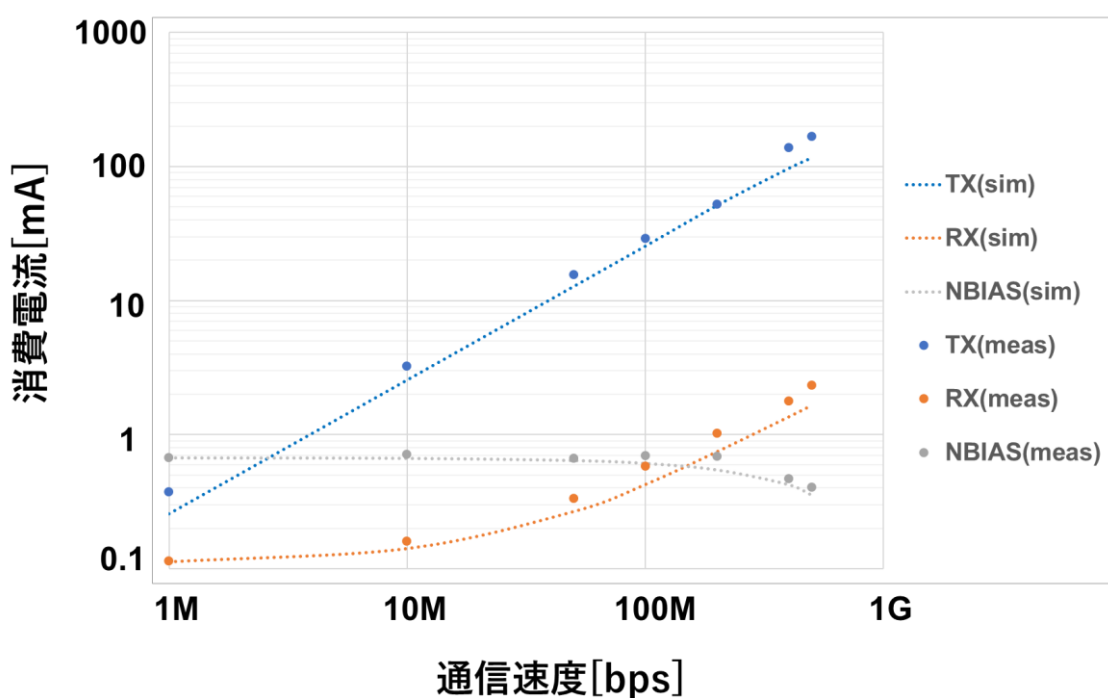


図 4-13 通信速度に対する消費電流のシミュレーション結果と実測結果の比較

4.4 高電圧測定

4.4.1 絶縁耐性の評価

絶縁耐性の評価のための高電圧測定の測定環境を図 4-14 に示す。測定環境は松定プレシジョン社の高電圧供給装置、九州計測器社の高電圧実験操作ボックスおよび高電圧実験放電ボックスから成り立っている。また高電圧供給装置は最大 1kV までの高電圧を供給することができ、供給電圧は高電圧供給装置におけるディスプレイおよび高電圧実験操作ボックスの計測器にて確認することができる。

次にアイソレータ回路の評価基板を高電圧実験放電ボックスに取り付けた様子を図

4-15 に示す。図 4-15 のように高電圧出力のマイナス端子およびプラス端子を、それぞれ提案回路の TX 側のグラウンドおよび RX 側のグラウンドに接続している。絶縁耐性の評価においてはアイソレータの通信は行わず、TX 回路と RX 回路のグラウンド電圧間に与えられた電圧に対しブレイクダウンを起こすかどうかを測定する。ブレイクダウンを起こした場合は高電圧供給装置の出力が短絡するため、出力電圧が 0V になる。

1kV の絶縁耐性の評価を行っている際の高電圧実験放電ボックスおよび測定回路の様子を図 4-16 に、高電圧供給装置の様子を図 4-17 に示す。1kV を測定基板の TX 回路および RX 回路間に印加してもブレイクダウンは観測されず、提案回路は 1kV 以上の絶縁耐性を持つことがわかった。



図 4-14 絶縁耐性測定の測定環境の全体写真

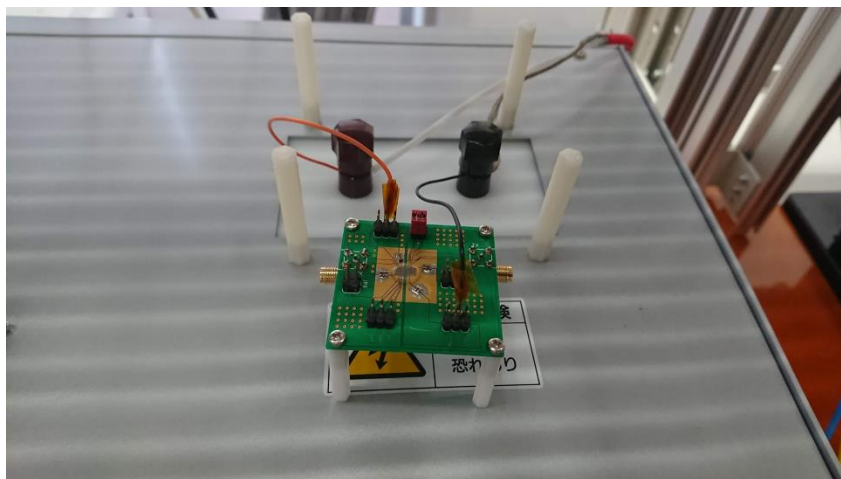


図 4-15 高電圧放電ボックスに取り付けた提案回路の評価基板



図 4-16 1kV の絶縁耐性評価時の高電圧実験放電ボックスおよび測定回路の様子



図 4-17 1kV の絶縁耐性評価時の高電圧供給装置の様子

4.4.2 CMTI の評価

CMTI の評価のためには数十 $\text{kV}/\mu\text{s}$ の高スルーレート過渡電圧を用意し、提案回路の TX 側のグラウンドと RX 側のグラウンド間に印加する必要がある。ここで CMTI 測定に用い

る測定器のリストを表 4-4 に、SiC-mosfet を用いて高スルーレート過渡電圧を発生させる回路のブロック図を図 4-18 に示す。SiC-mosfet および SiC-mosfet のドライバ回路は CREE 社の CRD-5FF0912P SiC MOSFET High-Frequency Evaluation Board for 7L D2PAK を使用した。図 4-18 において高電圧生成には絶縁耐性の評価時と同様の高電圧供給装置、高電圧操作ボックス、高電圧実験操作ボックスを使用した。また使用する SiC-mosfet はソースドレイン間の耐圧が 900V であることから、安全のため電源電圧には最大 450V まで供給することとする。図 4-18 において生成された高スルーレート過渡電圧は、提案回路の RX 回路のグラウンドに接続されている

次に提案回路を含む CMTI の測定系のブロック図を図 4-19 に示す。提案回路を実装した測定基板は図 4-7 と同様の基板を使用した。また TX 回路と RX 回路を絶縁するため、RX 回路の電源供給は村田 power solutions 社の絶縁 DCDC コンバータを用いて行った。以上の CMTI 測定系全体の写真を図 4-20 に示す。

表 4-4 CMTI 測定に用いる測定器のリスト

	用途	製造元	測定器名
①	DC電圧供給	ADCMT	6240A DC VOLTAGE CURRENT SOURCE/MONITOR
②	SiC-mosfetの駆動波形の生成	Tektronix	AFG3102 DUAL CHANNEL ARBITRARY/FUNCTION GENERATOR
③	高電圧の波形測定専用プローブ	Tektronix	P5205A 100MHz, High Voltage Differential Probe
④	波形測定用のオシロスコープ	Tektronix	TDS 3054C Digital Phosphor Oscilloscope 500MHz 5Gs/s
⑤	アイソレータのRXに供給する電源電圧の生成	Murata Power Solutions	NDTS0505C
⑥	アイソレータの入力伝送波形の生成	Agilent	81130A 400/660MHz Pulse/Pattern Generator

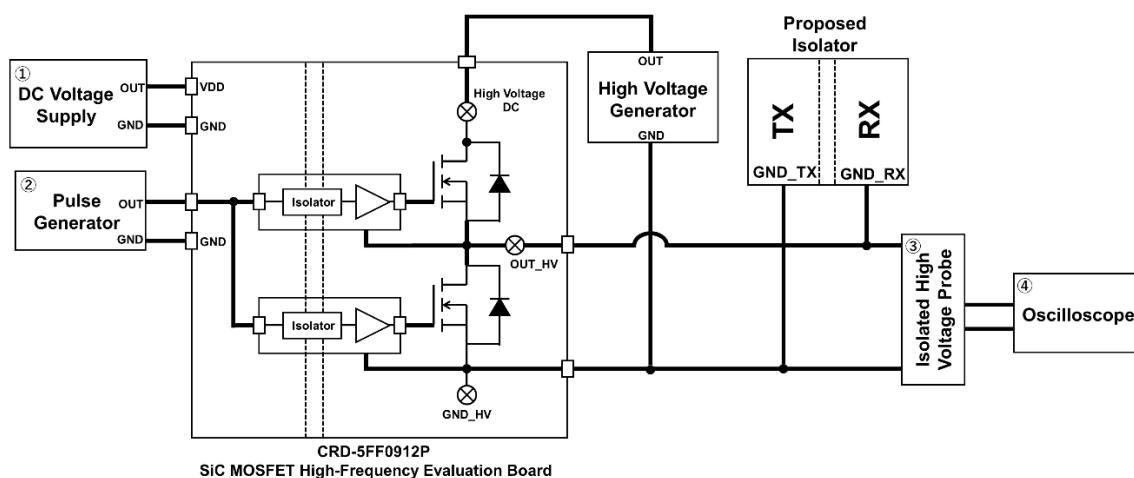


図 4-18 CMTI 測定に使用する高スループレート過渡電圧発生回路のブロック図

パワーデバイスの電源電圧を 150V に設定した時の CMTI の測定結果を図 4-21 図 4-22 図 4-23 に示す。まず図 4-21 ではパワーデバイスを 1kHz でスイッチングさせながら、アイソレータで 1Mbps 通信を行っている様子を示している。このとき、パワーデバイスがスイッチングすることでアイソレータのグラウンド間に高スループレート過渡電圧が印加されても、ビットエラーを起こさず通信を行えていることがわかる。

次にパワーデバイスを同様にスイッチングさせながら、アイソレータには信号を入力していないときの波形を図 4-22 に示す。非通信時でも同様に CMT ノイズによる出力の反転は観測されず、ビットエラーを起こしていないことがわかる。

またこの CMTI 評価時におけるパワーデバイスのスイッチング時の拡大波形を図 4-23 に示す。パワーデバイスの電源電圧が 150V であり、スイッチング時の dV/dt はおよそ $1.25kV/\mu s$ であることがわかる。

以上を総合し、提案回路では $1.25kV/\mu s$ の CMTI を確認できた。しかし同時にパワーデバイスの電源電圧を 150V 以上に設定し、出力のスループレートをさらに高めていくと提案回路が電氣的に破損し通信が行えないようになってしまうということが観測された。

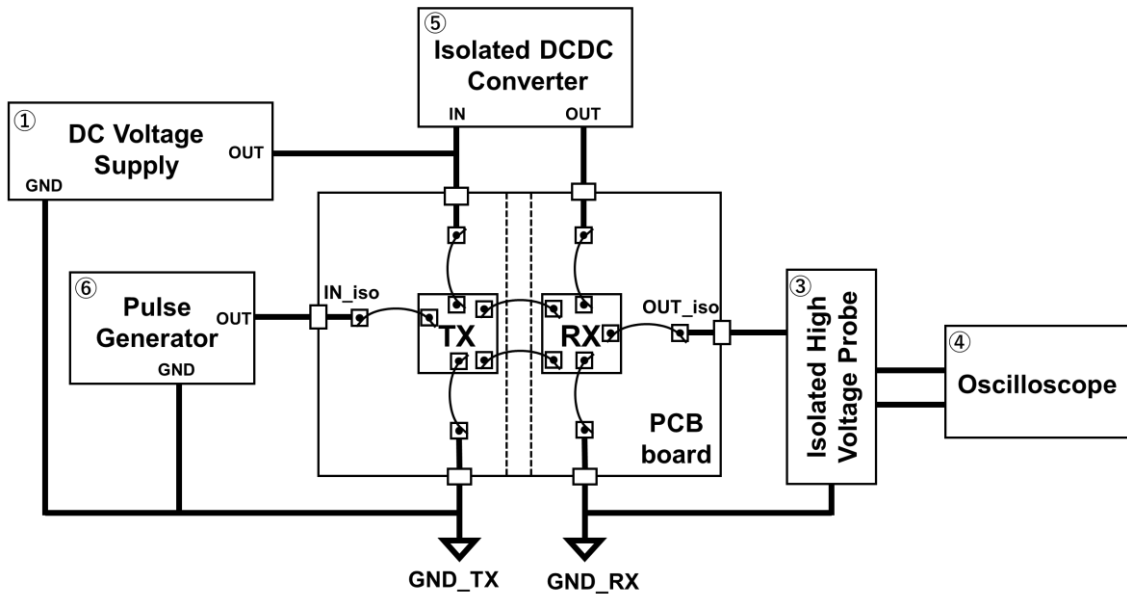


図 4-19 CMTI 測定における提案回路を含む測定系のブロック図

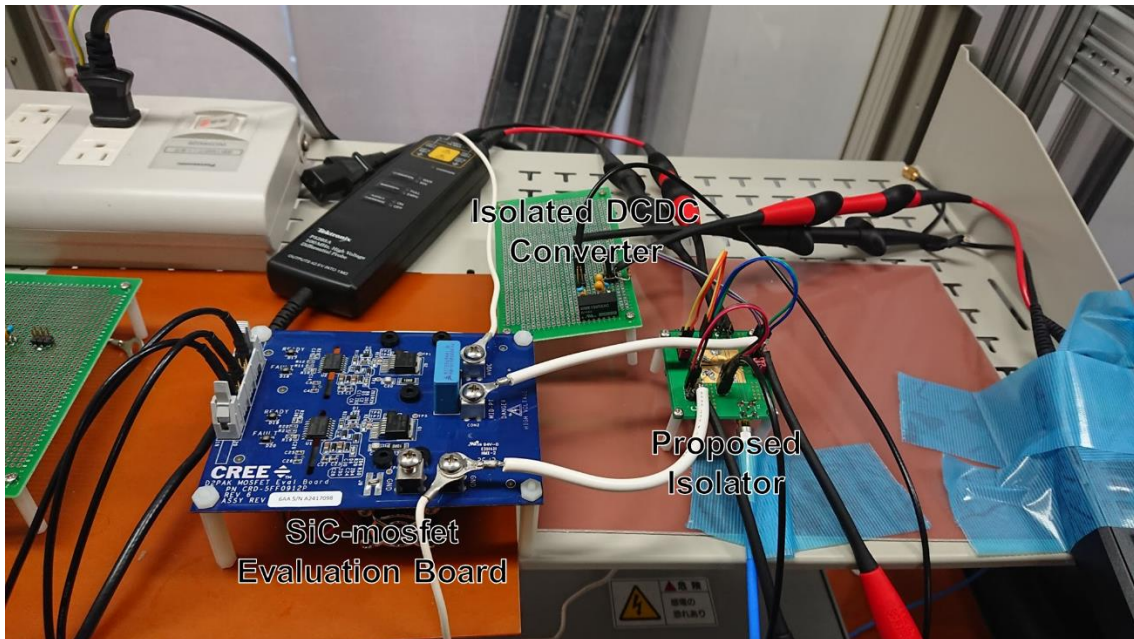


図 4-20 CMTI の測定系の全体写真

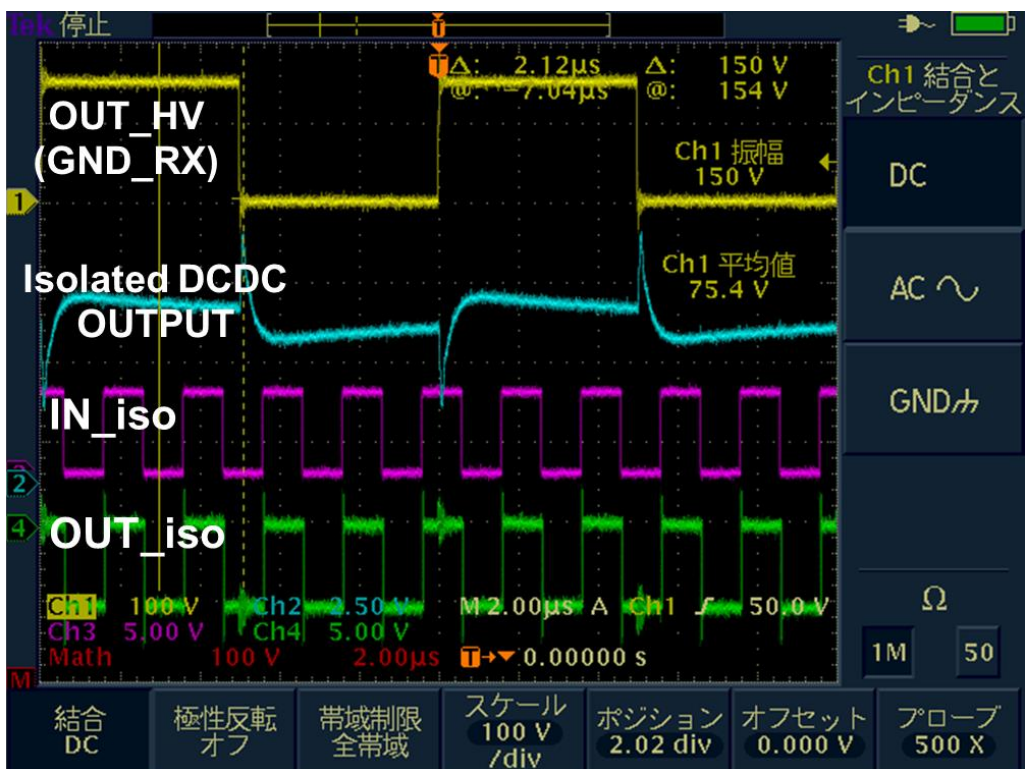


図 4-21 CMTI 評価時におけるアイソレータの通信波形

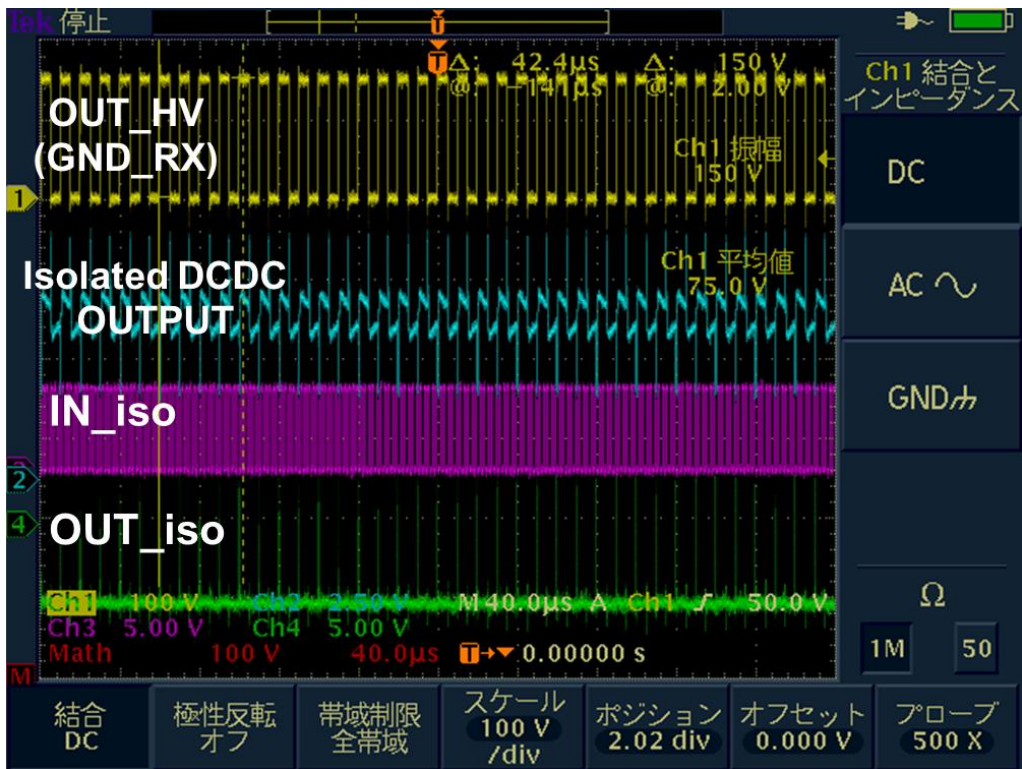


図 4-22 CMTI 評価時におけるアイソレータの非通信時の波形

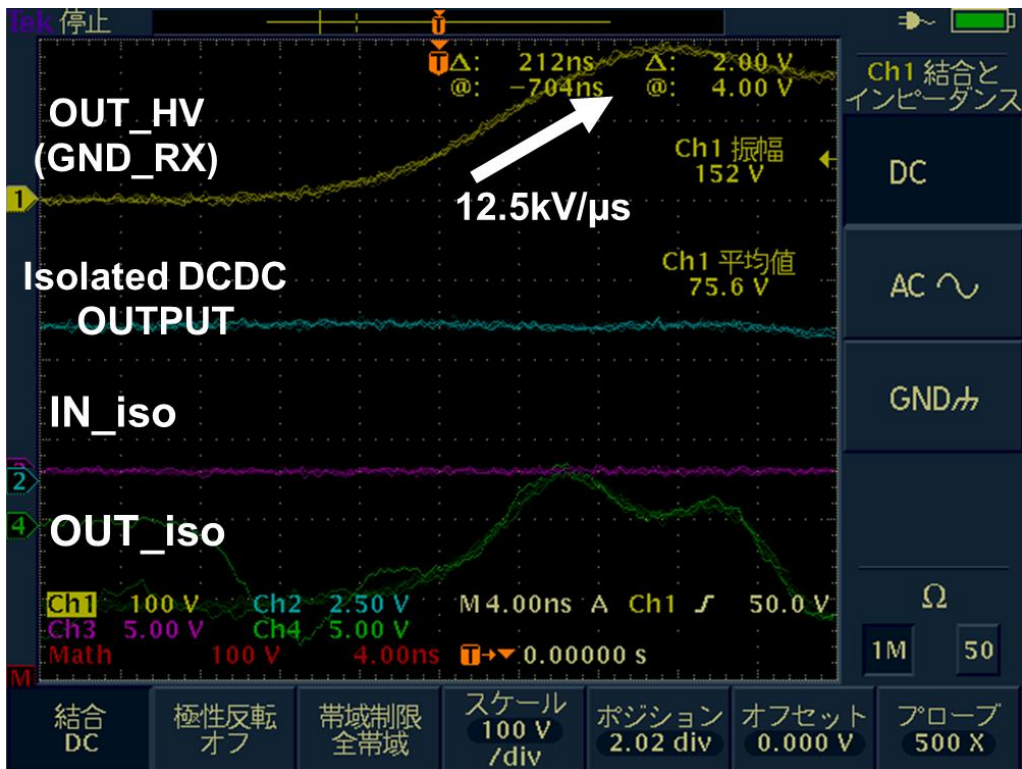


図 4-23 CMTI 評価時におけるパワーデバイスのスイッチング波形

4.5 先行研究との比較

測定によって得られた提案回路の性能と先行研究について比較したものを表 4-5 に示す。本研究で用いたプロセスは先行研究とほぼ同様のプロセスである一方で、先行研究において最も通信速度が高い [1]とくらべて二倍の高速通信を可能にしている。また CMTI では実測においては測定系上の制約により 12.5kV/μs までしか実測による検証を行えなかったが、シミュレーションでは 130 kV/μs の CMTI を実現しており、最も CMTI が高い製品 [9] と同等の CMTI を獲得できることが予想される。

	This work (meas)	JSSC [2]	VLSI symp [3]	ADuM110N [4]
Architecture	Edge detection	Edge detection	On-off keying	On-off keying
Process	5V 0.18μm CMOS ($L_{\text{drawn_PMOS}}=0.5\mu\text{m}$ $L_{\text{drawn_NMOS}}=0.6\mu\text{m}$)	5V standard CMOS ($L_{\text{drawn}}=0.54\mu\text{m}$)	5V 0.18μm CMOS	-
Supply voltage	5V	3.3~5.5V	1.7~5.5V	3~5V
IDD@1Mbps, 5V	1.16mA	1.6mA	2.8mA	3.3mA
Energy per bit @100Mbps, 5V	1.52nJ/bit	5nJ/bit	-	335pJ/bit
Max data rate	500Mbps	250Mbps	-	150Mbps
Number of transformers	2	1	2	2
Transformer Φ	250μm	230μm	-	500μm(estimated)
Isolation rating	>1kV (*)	2.5kV	20kV	2.5kV
Common-mode transition immunity	>12.5kV/us (**)	35kV/us	200kV/us	100kV/us

(*)測定器の性能限界により測定範囲が制限されている。

実際は5.5μmの二酸化ケイ素膜厚による3.5kV以上の絶縁耐性が予想される

(**)測定系の限界により実測では1.25kV/us まで実証したが、シミュレーションでは 130kV/us のCMTIを確認した。

表 4-5 提案回路と先行研究及び製品の性能比較表

第5章 結論

5.1 結論

近年 AGD によるパワーデバイスのゲート電圧のデジタル制御化と高速スイッチング可能なパワーデバイスの開発に伴い、信号絶縁を行うデジタルアイソレータの高速通信化が望まれている。しかし現在提案または市販されている高速アイソレータでは通信速度の高速化に対応するための並列化を余儀なくされており、アイソレータのコストを増加させ AGD システムのワンパッケージ化の障害となっている。

本稿ではパワーエレクトロニクス向けアイソレータの従来研究及び製品と比べて最高通信速度を持つ 500Mbps 高速デジタルアイソレータを提案し、試作及び測定によって検証を行った。また将来的にゲートドライバ等の周辺回路と集積することを見据え、ゲートドライバと同様の tsmc 0.18 μ m BCD プロセスを用いて試作を行った。

第二章では現在提案されているアイソレータを絶縁方法および送受信プロトコルについて分類した後、最も通信速度が高い先行研究について詳しく紹介した。一方で先行研究は高い通信速度を実現している一方で、通信速度とノイズ耐性との間にトレードオフがあることを説明し、さらなる高速通信が不可能であるという問題点を明らかにした。

第三章ではまず提案する送受信プロトコルによって通信速度と CMTI のトレードオフが解消され、高い通信速度と CMTI を両立することを示した。さらに提案する送受信プロトコルの実現のために短パルス電流を発生させる TX 回路および短パルス電圧をセンシングする RX 回路について説明した。また、提案回路にて使用するオンチップインダクタをモデル化し各パラメータの抽出を行った。

第四章ではまず提案回路のシミュレーションによる検証を行い、提案回路が 500Mbps 以上の高速通信と 130kV/ μ s 以上の CMTI を持つことを実証した。さらに tsmc0.18 μ m プロセスを用いて提案回路を試作し、測定による性能の検証を行った。通信速度の測定では 500Mbps の通信速度を確認し、1Mbps 通信時の消費エネルギーは 1.33nJ/bit であった。また高電圧測定では 1kV 以上の絶縁耐性と 12.5kV/ μ s 以上の CMTI を持つことを確認した。

5.2 今後の展望

今後の展望としてはノイズ耐性の実測によるさらなる検証が求められる。本稿では CMTI の実測において限定的な範囲までしか検証を行えず、試作チップにおける CMTI の上限が不明である。CMTI 測定においてグラウンド間に印加するスルーレートを高くするとチップが破壊されてしまう問題についてはまず原因を特定する必要がある。考えられる原因としては CMT 発生時に RX 回路の電源に発生する過渡電流が考えられる。大きな過渡電流が発生した場合、チップと基板を接続しているボンディングワイヤの寄生インダクタンスによってチップに過電圧が印加されてしまうことで、チップが破壊されてしまうことが考えられる。この場合チップをボールボンディングを用いて実装することで寄生インダクタンスを減らすことができる。

また本研究では通信速度の検証時に入力として方形波を選択していたが、先行研究 [1]と同様に PRBS を用いて通信性能を測定することも今後の検討課題である。

さらに本研究の TX 回路にて採用した H ブリッジ制御についても改善の余地がある。今回の H ブリッジ制御では電流の立ち下がり逆駆動することで短いパルス電流を生成することを可能にしている。しかし電流の立下り時間はインバータの遅延時間と同等の時間分解能で制御しているため精度が低く、電流のオーバーシュートが発生する可能性がある。よって電流の立ち下がり時間をインバータチェインの負荷を細かに制御することによって、インバータの遅延時間より高い分解能で制御を行う必要がある。さらに、制御のためには電流のオーバーシュートを検知してフィードバックをかける必要があるため、フィードバック回路の作成も今後の検討課題である。

参考文献

- [1] S. Kaeriyama, S. Uchida, M. Furumiya, M. Okada, T. Maeda and M. Mizuno, "A 2.5 kV isolation 35 kV/usCMR 250 Mbps digital isolator instandard CMOS witha small transformer driving technique," IEEE Journalof Solid-State Circuits, vol. 47, no. 2, pp. 435-4, FEBRUARY 2012.
- [2] J. Chen and W. Ng, "Design trends in smart gate driver ICs for power MOSFETs and IGBTs," IEEE 12th International Conference on ASIC (ASICON), 2017.
- [3] K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada, M. Takamiya , T. Sakurai, "General-Purpose Clocked Gate Driver (CGD) IC with Programmable 63-Level Drivability to Reduce Ic Overshoot and Switching Loss of Various Power," Applied Power Electronics Conferenceand Exposition (APEC), pp. 1640- 1645, 2016.
- [4] Y. S. Cheng, T. Mannen, K. Wada, K. Miyazaki, M. Takamiya , T. Sakurai, "Optimization Platform to Find a Switching Pattern of Digital Active Gate Drive for Full-Bridge Inverter Circuit," IEEE Energy Conversion Congress and Exposition (ECCE), 2018.
- [5] SiC パワーデバイス・モジュール アプリケーションノート, Rohm Semiconductor, 2014.
- [6] TOSIBA, TLP117, 2017 [Online]. Available:<https://toshiba.semicon-storage.com/info/docget.jsp?did=11168&prodName=TLP117>.
- [7] S. M. S, . S. NS, S. K. Adinarayana and . S. Aniruddhan, "A Self-Powered 50-Mb/s OOK Transmitter for Optoisolator LED Emulation," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 52, NO. 3, MARCH 2017.
- [8] N. Akiyama, Y. Kojima, M. Nemoto, S. Yukutake, T. Iwasaki, M. Amishiro, . N. Kanekawa, A. Watanabe and Y. Takeuchi, "A High-Voltage Monolithic Isolator for a Communication Network Interface," IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 49, NO. 5, MAY 2002.
- [9] " ADuM110N Data Sheet, " Analog Devices, Available : https://www.analog.com/media/jp/technical-documentation/data-sheets/ADuM110N_jp.pdf, 2015.
- [10] R. Yun, J. Sun, . E. Gaalaas , B. Chen, "A Transformer-based Digital Isolator With 20kVPK Surge Capability and > 200kV/ μ S Common Mode Transient Immunity," Symposium on VLSI Circuits Digest of Technical Papers, 2016.
- [11] N. Miura, . D. Mizoguchi, M. Inoue, . K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi,

T. Sakurai , T. Kuroda, "A 1 Tb/s 3 W Inductive-Coupling Transceiver for 3D-Stacked Inter-Chip Clock and Data Link," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 1, JANUARY 2007.

[12] Y. Take, N. Miura , T. Kuroda, "A 30 Gb/s/Link 2.2 Tb/s/mm² Inductively-Coupled Injection-Locking CDR for High-Speed DRAM Interface," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 46, NO. 11, NOVEMBER 2011.

[13] M. Stecher, N. Jensen, M. Denison, R. Rudolf, B. Strzalkoswi, M. N. Muenzer and L. Lorenz, "Key technologies for system-integration in the automotive and Industrial Applications," IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 20, NO. 3, MAY 2005.

本研究に関する発表

[1]加賀谷司, 宮崎耕太郎, 高宮真, 桜井貴康, “パワーエレクトロニクス向けアイソレータ回路の EMI 耐性向上”, 電子情報通信学会総合大会, B-4-37, 2018 年 3 月.

[2]加賀谷司, 宮崎耕太郎, 高宮真, 桜井貴康, “パワーエレクトロニクス向け高 EMI 耐性を持った 2.5kV 絶縁耐圧 400Mbps 高速デジタルアイソレータの設計”, 信学技報, vol. 118, no. 374, ICD2018-97, pp. 141-146, 2018 年 12 月.

謝辞

本研究を進めるにあたって協力をいただいた様々な方にこの場を借りてお礼を申し上げます。

指導教官の桜井貴康先生には日ごろから研究に関する厚いご指導を頂き、技術的な議論にも毎回快く応じてくださりました。さらに集積回路を含むエレクトロニクス全般についての広い知見と俯瞰的な視野の一端に触れさせていただいたことは、今後もエレクトロニクスに携わる身として非常に大きな収穫となりました。心より御礼申し上げます。

高宮真先生にはミーティングの際にも積極的にアドバイスをしてくださり、議論や主張を論理的に整理することで自らの研究がより一層説得力を持つということを学ばせていただきました。また学会発表や論文執筆の際には大卒の議論から細かな部分まで目を通していただき、アドバイスを頂きました。大変ありがとうございました。

Islam A.K.M. Mahfuzul 助教には教科書の輪読会に参加していただき、多大なる学びの場を設けてくださいました。また日ごろから積極的にお声がけいただき、研究の進捗や課題と一緒に悩んでくださったことについても感謝申し上げます。

研究員の宮崎耕太郎様には初期研修におけるパワーデバイスの勉強会から実際の高電圧測定まで全面的にサポートしていただき、最終的にはさまざまな測定を行えるように教育していただきました。大変ありがとうございました。

元特任研究員の中村浩二様、研究員の崔通様、森時彦様、邱浩様には日ごろから研究室生活のサポートをしていただいたばかりでなく、エレクトロニクス全般の様々な知見をご教授していただきました。

元博士課程の染谷晃基様、呉仲祥様、李承俊様、博士課程山内善高様には新人研修から本研究の回路設計および測定に至るまで相談に乗っていただき、快く幅広い知識をご教授いただきました。さらに普段の交友の中でも楽しい研究室生活をサポートしていただきました。感謝申し上げます。

秘書の奈良裕子様、小島里佳様、平井祐未子様、黒田舞様、天野文子様には研究室での活動を続けていく上での数々のサポートを頂きました。皆様に心よりお礼申し上げます。

修士課程同期の羅揚氏には二年間励ましあいながら研究室生活を送り、私にない価値観をご教授していただいたことで一層視野を広げることができました。心より御礼申し上げます。

また後輩の茨城亮太郎氏、福留環氏、呉承軒氏、王叡智氏とは日ごろの研究室生活を共にし、楽しい研究室生活を送ることができました。大変ありがとうございました。

最後に二年間の大学院生活を支えてくれた両親に心より感謝申し上げます。