

SiCパワー半導体バイポーラ劣化抑制方法の研究

著者	鳥見 聡
その他のタイトル	Study on the suppression methods of bipolar degradation for SiC power semiconductor
学位授与年度	令和元年度
学位授与番号	17104甲生工第365号
URL	http://hdl.handle.net/10228/00007807

Academic Year 2019 DISSERTATION

SiC パワー半導体バイポーラ劣化抑制方法の研究

Study on the suppression methods of bipolar degradation
for SiC power semiconductor

鳥見 聡



九州工業大学 大学院 生命体工学研究科 生命体工学専攻

福岡県北九州市若松区ひびきの2番4号

概要

本研究では、SiC パワー半導体の信頼性低下をもたらすバイポーラ劣化現象の新たなモデルを提案し、デバイス構造パラメータとバイポーラ劣化の関係を理論的に明らかにした。さらに、Si 蒸気圧エッチング法と呼ぶ SiC 基板の表面処理を提案し、本処理によりバイポーラ劣化が抑制されることを実験的に確認した。本成果は SiC の結晶品質、デバイス構造、動作環境に関する新たな指針を与え、パワーエレクトロニクス機器の信頼性向上に貢献する。

第 1 章では、パワーエレクトロニクス機器の高効率化に期待される半導体 SiC の性能と省エネに対する効果ならびに SiC パワー半導体の実用化の動向を概説し、本研究の背景としてバイポーラ動作する SiC パワー半導体において信頼性低下をもたらすバイポーラ劣化現象に関して言及した。バイポーラ劣化の抑制手法ならびにそのメカニズムの理解において、SiC 基板内でバイポーラ劣化の起点となる基底面転位を積極的に貫通刃状転位へ変換させる手法に関して報告された例はほとんどない。また、基底面転位の位置を考慮したデバイス構造パラメータとバイポーラ劣化の関係についても十分に明らかにされていない。本研究ではこれらの課題について実験的かつ理論的に明らかにすることを目的とし、バイポーラ劣化の本質的解決における本研究の重要性について述べた。

第 2 章では、SiC 基板表面の熱化学エッチングプロセスである Si 蒸気圧エッチング法を提案し、ダメージフリー平坦化加工による SiC 基板の表面改質をもたらすエピタキシャル膜の高品質化ならびに基板の機械的強度の改善の効果を示すとともに、基底面転位が SiC 基板内で貫通刃状転位へ変換する挙動と定量的な変換深さの効果を示した。Si 蒸気圧エッチング法は、高品質エピタキシャル成長ならびに SiC パワー半導体の信頼性向上を実現する SiC 表面の新たな高品質化技術として期待されるが、SiC パワー半導体にもたらすバイポーラ劣化抑制効果を実験的および理論的に検証するまでには至っておらず、基板中の基底面転位の貫通刃状転位への変換効果を定量的に示す必要性について言及した。

第 3 章では、4H-SiC PiN ダイオードを例として SiC パワー半導体中の基底面転位に起因するバイポーラ劣化現象の理論的な理解のために新たなモデルを提案した。具体的には、PiN ダイオード構造中の基底面転位がシングルショックレー型積層欠陥へ拡張する臨界ホール濃度を用いてバイポーラ劣化が発生する電流密度（臨界電流密度）を予測するモデルを構築した。本モデルにおいては、ドーパントのイオン化、バンドギャップナローイング効果、および移動度などの温度依存性を考慮した物理モデルを採用し、498 K までの高温条件下におけるバイポーラ劣化の予測を可能とした。

第 4 章では、基板中の基底面転位がシングルショックレー型積層欠陥へ拡張する電流密度および温度の閾値を PiN ダイオードの試作ならびに順方向通電ストレス試験より評価した。このとき、基板中の基底面転位によるバイポーラ劣化において拡張起源の基底面転位の Burgers ベクトル解析も行い、Burgers ベクトルの成分は温度および電流密度に対して

依存性がないことを明らかにした。さらに、Si 蒸気圧エッチング法により加工されたウェハを用いた PiN ダイオードは従来加工法である化学機械研磨されたウェハよりも基板中の基底面転位に起因するバイポーラ劣化が発生しにくいことを実験的にはじめて明らかにした。また、両者のウェハ間でのバイポーラ劣化が発生した PiN ダイオードの数の比率は、Si 蒸気圧エッチング法による基板内の基底面転位の貫通刃状転位への変換率と良い相関を示すことを明らかにした。

第 5 章では、第 4 章の試作 PiN ダイオード通電ストレス試験により得られたバイポーラ劣化の電流密度および温度の閾値から提案したモデル式を用いて臨界ホール濃度を推定した。推定された臨界ホール濃度をもとに基底面転位が PiN ダイオード中のドリフト層、バッファ層、ならびに基板に位置するときのデバイス構造パラメータと臨界電流密度の関係を数値的に明らかにし、バイポーラ劣化を抑制するためのデバイス構造ならびに温度に対する設計指針を与えた。さらに、基板のホールのライフタイムを短くすること、基板内の基底面転位一貫通刃状転位の変換位置を深くすることで臨界電流密度を向上させる効果が示されたことから、両者の組み合わせによって注入ホールが基底面転位に一層到達しにくくなる相乗効果が期待できる。本モデルの結果は、バッファ層においてキャリア再結合の制御を行わずとも基板の結晶品質を制御することによってバイポーラ劣化を抑制する新たな手法を提案し、Si 蒸気圧エッチング法による基板内の基底面転位の貫通刃状転位への変換効果をもたらすバイポーラ劣化抑制の優位性を定量的に示した。

第 6 章では、本研究により得られた結果を総括して本論文の結論と今後の展望と課題をまとめた。

目次

第1章 半導体 SiC のパワーエレクトロニクス機器への実用化と課題	1
1-1 パワーエレクトロニクス機器におけるパワー半導体	1
1-2 パワー半導体へのワイドバンドギャップ半導体 SiC の期待	6
1-3 半導体 SiC の結晶欠陥が及ぼす SiC パワー半導体の性能劣化	12
1-3-1 半導体 SiC ウェハの製造工程と結晶欠陥の課題	12
1-3-2 結晶成長に起因する結晶欠陥	16
1-3-3 ウェハ加工に起因する結晶欠陥	17
1-3-4 エピタキシャル成長に起因する結晶欠陥（エピ欠陥）	18
1-4 デバイスキラー欠陥とデバイス性能劣化	19
1-5 バイポーラ動作における SiC デバイスのバイポーラ劣化現象	20
1-5-1 バイポーラ劣化のメカニズム	20
1-5-2 バイポーラ劣化の抑制手法	24
1-6 本研究の目的	25
第1章 参考文献	27
第2章 Si 蒸気圧エッチング法	32
2-1 Si 蒸気圧エッチングのプロセス原理	32
2-2 Si 蒸気圧エッチングによる SiC 表面高品質化	41
2-2-1 加工ダメージ除去	42
2-2-2 機械的強度の改善	48
2-2-3 基板内での基底面転位の変換効果	51
第2章 参考文献	54
第3章 SiC パワー半導体バイポーラ劣化予測モデルの設計	57
3-1 PiN ダイオード中の順方向電流密度とキャリア濃度の設定	57
3-2 温度依存性を考慮した物理モデル	60
3-3 PiN ダイオードの順方向電流密度の計算手順	65
第3章 参考文献	68
第4章 PiN ダイオード通電ストレス試験	69
4-1 SiC PiN ダイオードの試作	69
4-2 PiN ダイオードの順方向通電ストレス試験	69
4-3 基板中 BPD による PiN ダイオードのバイポーラ劣化評価	70
第4章 参考文献	76
第5章 バイポーラ劣化予測モデルによる PiN ダイオードの臨界電流密度の計算	77
5-1 PiN ダイオード順方向電流密度計算の妥当性確認	77

5-2 PiN ダイオード順方向通電ストレス試験からの臨界ホール濃度の推定	78
5-3 PiN ダイオードの構造及び BPD 位置と臨界電流密度の考察	80
5-3-1 ドリフト層へ BPD が貫通する場合	80
5-3-2 バッファ層領域で BPD-TED 変換する場合	84
5-3-3 基板中で BPD-TED 変換する場合	89
第 5 章 参考文献	95
第 6 章 結論	97
謝辞	99
論文目録	101

第1章 半導体 SiC のパワーエレクトロニクス機器への実用化と課題

1-1. パワーエレクトロニクス機器におけるパワー半導体

半導体シリコン (Si) による電力制御用途の半導体素子 (パワー半導体デバイス) は、電力の変換 (電圧、周波数、直流/交流)、スイッチングを可能にし、その制御技術を利用する“パワーエレクトロニクス”は電力機器を大量に使用する現代社会にとって必要不可欠な技術分野である。その電力を生み出すエネルギー資源を海外輸入に依存する日本では、未曾有の災害をもたらした 2011 年東日本大震災において深刻な電力危機に直面した経験から、改めてエネルギーの在り方が議論され、大きなエネルギー転換期を迎えている。図 1-1 は 1990 年～2017 年の日本のエネルギー自給率と化石エネルギー依存度を示したものである [1]。化石エネルギー依存度とエネルギー自給率はトレードオフの関係を持ち、2011 年以降の原子力発電の長期停止に伴って火力発電が増加したことにより化石エネルギー依存度は上昇し、エネルギー自給率は 6 % 台まで低下した。その後、太陽光発電などの再生可能エネルギー導入推進の機運が高まり、原子力発電の一部再稼動も相俟ってエネルギー自給率は 2017 年度に 10 % 近くまで回復したものの大震災以前の約 20 % の水準には至っていない。エネルギー自給率の低迷は国内のエネルギー安全保障の観点から喫緊に解決すべき恒常的課題である。一方で、再生可能エネルギーが普及するに従い、多様化・分散化するエネルギー源による電力の高効率利用や需給バランスの効率化などの新たな技術課題が浮き彫りとなってきている。

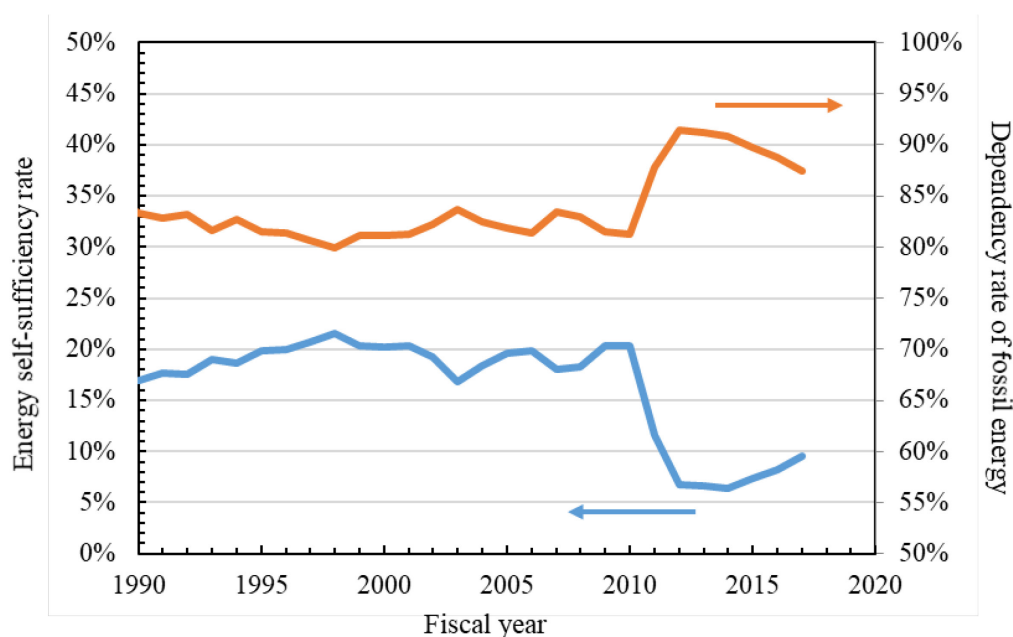


図 1-1. 日本国内のエネルギー自給率と化石エネルギー依存度 ([1]を基に作成)

このようなエネルギー情勢の中、エネルギーを高効率に利用する省エネルギー化社会の実現が強く要請されている。経済産業省の長期エネルギー需給見通しによれば、2030年度において産業・運輸・業務・家庭の4部門の徹底した省エネルギー化対策により2013年度比で原油換算5030万kl分のエネルギー削減を見込んでいる[2]。特に、1961億kWhに相当する電力による消費エネルギーの削減は上記4部門にまたがる重要な課題として位置づけられており、エネルギーマネジメントを担うパワーエレクトロニクスの高効率化が求められている。そこで重要となるのがパワーエレクトロニクスを構成するパワー半導体デバイスの高性能化であり、パワー半導体デバイスによる極限までの電力損失低減が追求されている。

パワー半導体デバイスは、発電、送電、産業機器および車輛のモーター、家電、IT機器など幅広い分野で使用されている。パワー半導体デバイスが担う電力の変換機能はその使用形態に応じて、直流から交流への変換（インバータ）、交流から直流への変換（コンバータ）、交流の周波数および電圧変換、直流の電圧変換（レギュレータ）を行う。このとき、電流のスイッチングを行う主な半導体デバイスとしてバイポーラトランジスタ、金属酸化膜半導体電界効果トランジスタ（Metal-oxide-semiconductor field-effect transistor：MOSFET）、絶縁ゲート型バイポーラトランジスタ（Insulated gate bipolar transistor：IGBT）などのパワートランジスタが用いられ、整流を行う半導体デバイスとしてショットキーバリアダイオード（Schottky barrier diode：SBD）やPiNダイオードが用いられている（図1-2）。また、これらの半導体デバイスはその動作原理から、多数キャリアのみ（電子またはホール）で駆動するユニポーラ素子、少数キャリアを注入して電子とホールの蓄積による低抵抗化（伝導度変調）で駆動するバイポーラ素子の2種類に分類される。

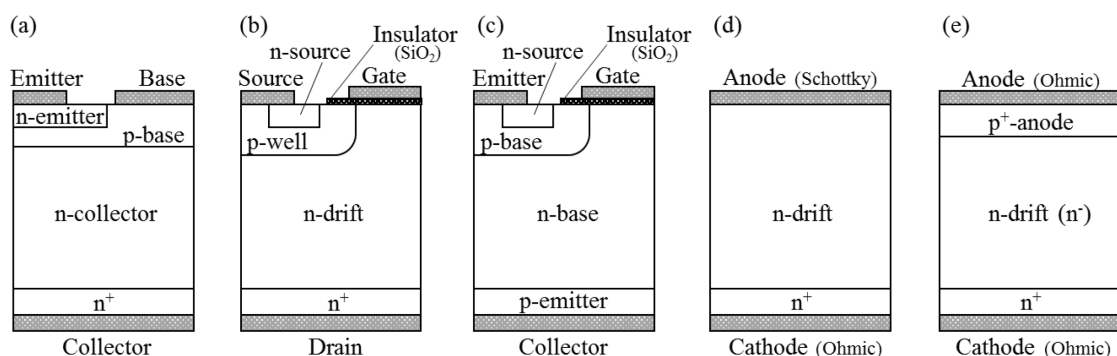


図 1-2. 代表的なパワー半導体デバイスの断面構造の概略図、(a): バイポーラトランジスタ（バイポーラ素子）、(b): プレーナー型 MOSFET（ユニポーラ素子）、(c): プレーナー型 IGBT（バイポーラ素子）、(d): SBD（ユニポーラ素子）、(e): PiN ダイオード（バイポーラ素子）

これらの利用の例として、ハイブリッド・電気自動車におけるモーター駆動の制御部となるパワーコントロールユニット（PCU）について説明する。図 1-3 はバッテリーの電圧を昇圧し電気モーターの動力のみで走行可能なハイブリッド・電気自動車の PCU の典型的な回路図[3]、図 1-4 は PCU の外観写真である。回路図において簡単のためインバータ制御基板と発電機モーター用インバータ回路は省略した。PCU はバッテリーの電圧を昇圧（たとえば 200 V から 650 V）するための昇圧コンバータとモーターを制御するインバータ（三相フルブリッジ回路）から構成され、スイッチング素子に Si-IGBT、整流素子（還流ダイオード）に Si-PiN ダイオードが用いられている。

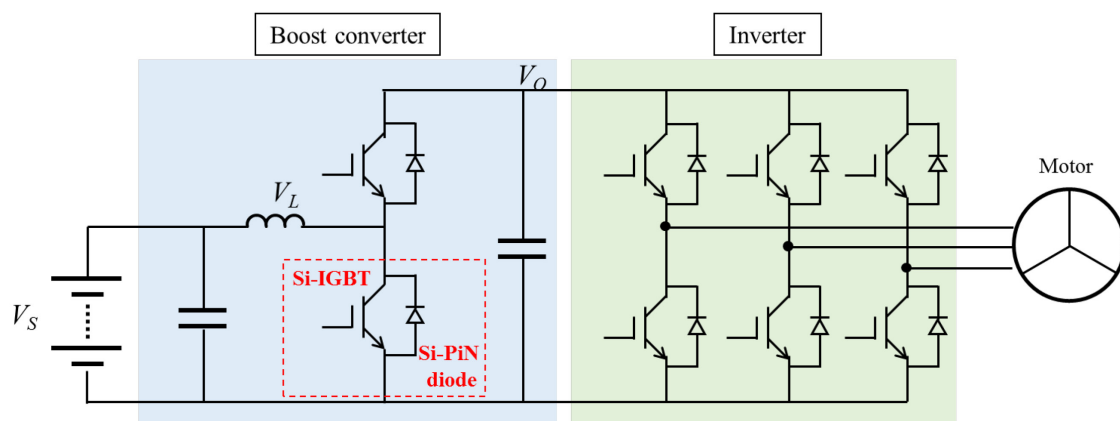


図 1-3. 昇圧コンバータとインバータからなる PCU の回路図の例

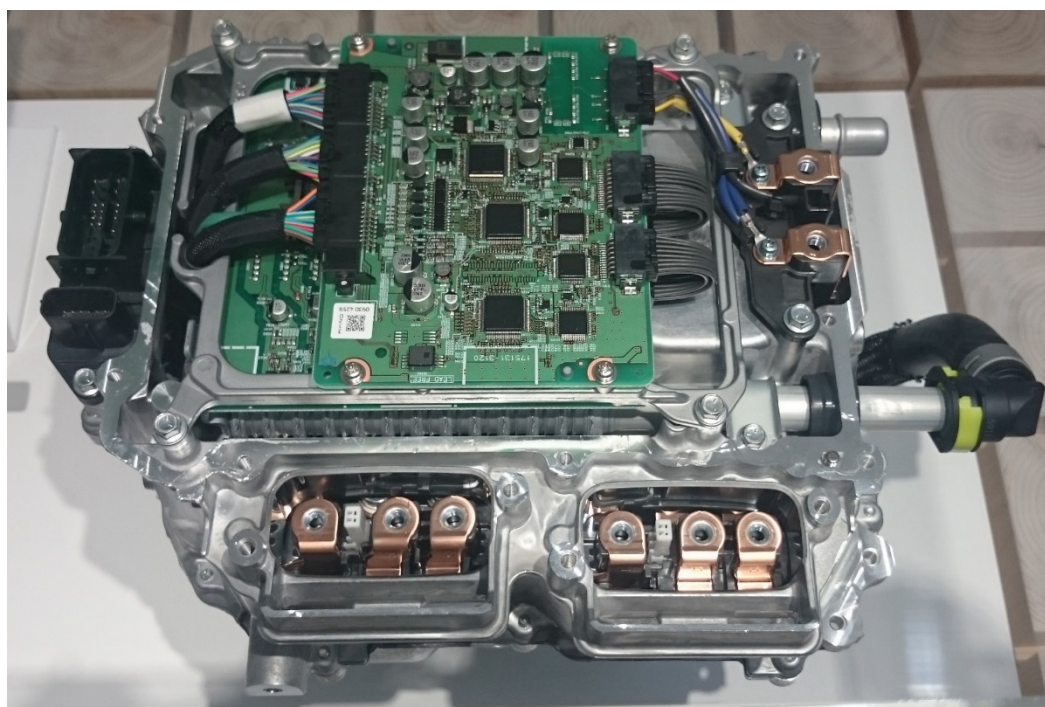


図 1-4. PCU の外観写真（筆者がトヨタ会館で撮影）

昇圧コンバータの動作原理は、IGBT のターンオン時にバッテリーのエネルギーをコイルに蓄積させ、IGBT によるターンオフ時にバッテリーの電圧と重畳させ昇圧する。還流ダイオードはターンオン時には逆バイアスのため電流が流れないが、ターンオフ時にはリアクトルで発生する逆方向に流れる還流をするため電流経路を形成する。コンデンサは周波数フィルタと電流脈動を低減させるために備わっている。図 1-3 の回路においてバッテリー電圧 V_S と出力電圧 V_O は、リアクトルの電圧 V_L の関係は、

$$V_L = V_S - V_O \tag{1.1}$$

である。リアクトルによって増減する電流の周期定常状態でスイッチオン/オフ時に流れる電流の和がゼロ、すなわち 1 周期後に同じ電流値に戻るとすると、リアクトルのインダクタンス L 、スイッチング周期 T 、スイッチオン時間とスイッチング周期の比率であるデューティ比 D を用いて、式(1.2)の関係から昇圧比は式(1.3)より 1 より大きくなることがわかる。

$$\frac{V_S DT}{L} - \frac{(V_S - V_O)(1 - D)T}{L} = 0 \tag{1.2}$$

$$\frac{V_O}{V_S} = \frac{1}{1 - D} \geq 1 \tag{1.3}$$

次に、インバータによる三相交流モーターの動作を簡易化した回路図（図 1-5）を用いて説明する。例として U 相へ電源を入力する場合にはスイッチ U_1 、 V_2 、 W_2 をオンにすることで U_1 に流れる電流は V_2 、 W_2 へ流れる。このように三相交流モーターの U 相、V 相、W 相の各相へ各スイッチのオン/オフを制御することで直流電源を 120° 位相の三相交流を生成する。また、このときモーターに入力する電圧をパルス幅の変調による制御（Pulse Width Modulation : PWM 制御）を行うことで、駆動する電圧と周波数の制御を行っている。これによりモーターの回転速度を効率的に制御できるため消費電力の抑制につながる。

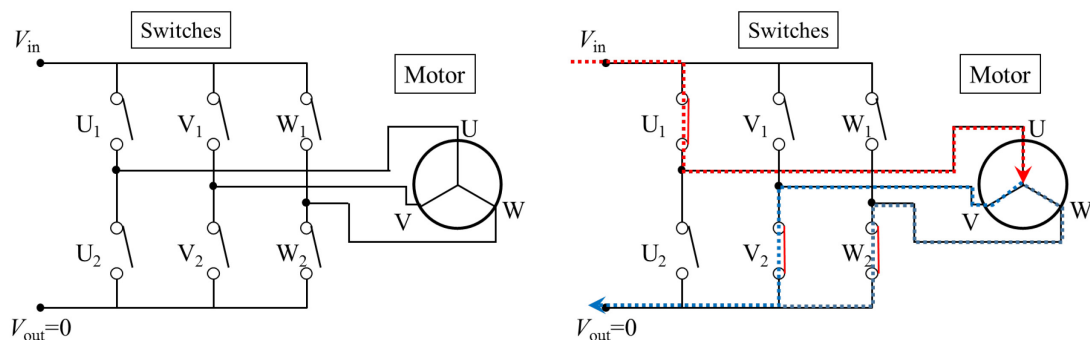


図 1-5. インバータによる三相交流モーター回路図、右は U 相電圧入力時の電流経路

以上のように電力の高効率利用においてパワー半導体デバイスによる電力変換および制御は欠かせない技術であるが、さらなる性能向上のためにはパワー半導体デバイス自身による電力の損失を抑制する必要がある。パワー半導体デバイスによるスイッチング動作時の電流および電圧波形の概念図を図 1-6 に示す。図 1-6 (a)の理想的なスイッチング動作においてはオフ状態での逆方向電流 I_R はゼロであり、オン状態に切り替わるときには直ちに順方向電流 I_F が流れる。一方、図 1-6 (b)の実際のスイッチング動作においては、オフ状態では微小なリーク電流が発生している ($I_R \neq 0$)。また、オン状態へ移行するときスイッチング時間はゼロにはならず電流および電圧が変化する過渡領域が生じ、オン状態中においては半導体デバイスが有限の抵抗を持つため順方向電圧 V_F はゼロにはならない。さらに、パワー半導体デバイスの特性によりオン/オフ状態直後に蓄積キャリア掃き出しに伴う PiN ダイオードの逆回復電流、IGBT のテール電流をもたらす。このとき、オン状態での導通時に発生する損失を定常損失、スイッチング動作時に発生する損失をスイッチング損失と呼ぶ。電力の損失は、電流と電圧の積、すなわち単位時間当たりの Joule 熱に相当し、Si パワー半導体デバイスにおいては電力変換効率が 85~95 %程度[4]といわれており電力の約 10 %が廃熱となって失われている。

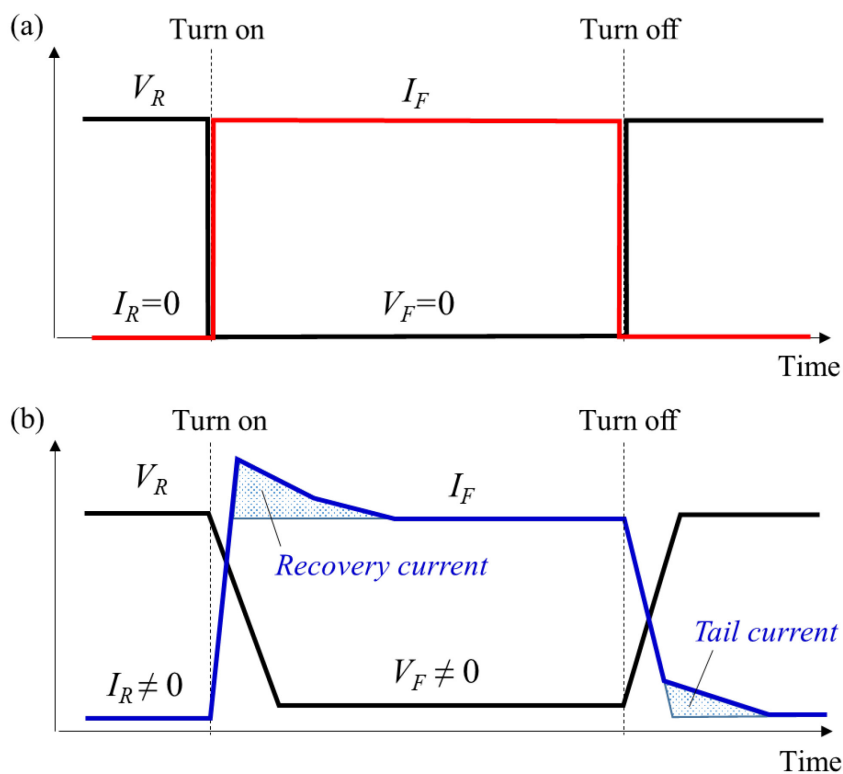


図 1-6. パワー半導体デバイスによるスイッチング動作時の電流および電圧波形の概略図、(a): 理想的なスイッチング動作、(b): 実際のスイッチング動作

これまでに Si パワー半導体デバイスは数多くの高性能化によって電力の損失改善が行われている。その例として、Si-IGBT ではウェハの薄化加工により n ベース層を薄くすることで、蓄積キャリアの掃き出しを高速化しテール電流を低減するとともに導通時の抵抗成分を小さくするフィールドストップ型 IGBT や、スケーリング法を用いた新たな IGBT の構造の提案[5]などの高性能化がなされている。また、IGBT の代替デバイスとして n ドリフト層に周期的な p/n ピラー構造を有するスーパージャンクション MOSFET (SJ-MOSFET) が用いられる。p/n ピラー構造は、スイッチングオフ時には横方向に伸びる空乏層を形成することでキャリアを高速に空乏化できることから、n ドリフト層を高濃度化して導通時の抵抗成分を小さくすることができる。以上のように、半導体 Si によるパワー半導体デバイスは電力損失の改善に向けて現在もなお高性能化の研究が進められているが、その一方で Si パワー半導体デバイスの性能は Si の持つ固有の物性から理論的に予測される性能限界に近づいてきている。早期の省エネルギー化社会の実現のためには、従来の Si パワー半導体デバイスを凌駕する大幅な電力損失の低減を可能とする高性能なパワー半導体デバイスの実現が求められる。そのため、パワー半導体デバイスの高性能化のブレークスルーとしてワイドバンドギャップ半導体材料を用いたパワー半導体デバイスの開発が世界的に進められている。特に、ワイドバンドギャップ半導体のうち炭化珪素 (Silicon Carbide : SiC) は最も古くから研究が行われ実用化が始まっている材料である。

1-2. パワー半導体デバイスへのワイドバンドギャップ半導体 SiC の期待

半導体としての単結晶 SiC の歴史は古く、Ge トランジスタが発明された 1947 年から 8 年後の 1955 年、Lely[6]によって小片ながらも単結晶 SiC が自然核形成成長により得られたことをきっかけに SiC の半導体利用への研究が始まった。時期的には Keck らにより Si 単結晶の成長法の一つであるフローティングゾーン法[7] が発明されたわずか 2 年後のことである。その後、昇華法による SiC 単結晶は、品質・サイズともになかなか改善されぬうちにチョクラスキー法による大型 Si 単結晶の工業化が 1960 年後半から進み、半導体 Si による IC、LSI、トランジスタの躍進と共に半導体 SiC の研究開発は中断された。再び半導体 SiC が注目されたのは 1978 年に Tairov らによって種結晶を用いた昇華再結晶法 (改良 Lely 法) [8]が開発され、SiC 単結晶の品質ならびにサイズの向上に目処が立ったためである。さらに、デバイス化に必要不可欠であるエピタキシャル膜の高品質化のブレークスルーとなったステップ制御エピタキシー法[9]が提案され、良質な半導体 SiC エピタキシャル基板が得られるようになったことで SiC パワー半導体の研究開発が今日に至っている。

SiC は従来の半導体材料である Si に比べ優れた物性を持つことから、パワー半導体デバイスの高性能化が期待できる。表 1-1 に代表的な半導体材料の主な物性値[10-15]を示す。

表 1-1. SiC、Si、GaAs、GaN、ダイヤモンドの主な物性値 ([10-15]を基に作成)

Physical property	SiC (4H)	Si	GaAs	GaN	Diamond
Bandgap energy [eV]	3.26	1.12	1.42	3.42	5.47
Crystal structure	Hexagonal	Diamond	Zincblende	Wurtzite	Diamond
Lattice constant [Å]	a=3.073 c=10.053	5.43	5.65	a=3.190 c=5.189	3.567
Transition type	Indirect	Indirect	Direct	Direct	Indirect
Density [g/cm ³]	3.21	2.33	5.32	6.15	3.52
Thermal conductivity [W/cm·K]	4.9	1.5	0.46	1.3	20
Saturated drift velocity ×10 ⁷ [cm/s]	2.2	1.0	1.0	2.4	2.5
Critical electric field [MV/cm]	2.8	0.3	0.4	3	8
Electron mobility [cm ² /V·s]	1000	1350	8500	1500	2000

SiC の特徴として、その原子の構成から凡そ Si とダイヤモンド (C) の中間の物性を持つ化合物となっていることがわかる。Si と比較すると SiC のバンドギャップは約 3 倍、絶縁破壊電界強度は約 10 倍となっている。これは SiC の格子定数が Si より小さく原子間の結合力が強いことに起因している。また、SiC は Si に比べて密度が高く C により原子の質量が小さいことから光学フォノンのエネルギーが大きく、熱伝導率は約 3 倍、電子の飽和ドリフト速度は約 2 倍大きくなっており、放熱性の向上とスイッチングの高速化が可能である。さらに、SiC は間接遷移型半導体でありエネルギーバンド間での電子とホールの再結合速度は小さい。そのため、原理的にキャリアライフタイムが長くなり伝導度変調効果を利用するバイポーラ素子ではオン抵抗の低減に有利である。以下では、パワーデバイスの性能の向上の観点からバンドギャップおよび絶縁破壊電界強度がもたらす効果について述べる。

バンドギャップは真性キャリア濃度を定めるパラメータであり、バンドギャップが大きいと熱により価電子帯から励起される電子の量を小さくすることができる。図 1-7 は SiC、Si、GaAs、GaN の真性キャリア濃度の温度の依存性を示すグラフである[16-17]。バンドギャップが大きくなると真性キャリア濃度が低くなり、SiC ではデバイス作製に用いられる

一般的なドーピング濃度（約 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ ）に対してたとえば 500°C においても約 10^{10} cm^{-3} 程度と十分低いため高温動作が期待できる。

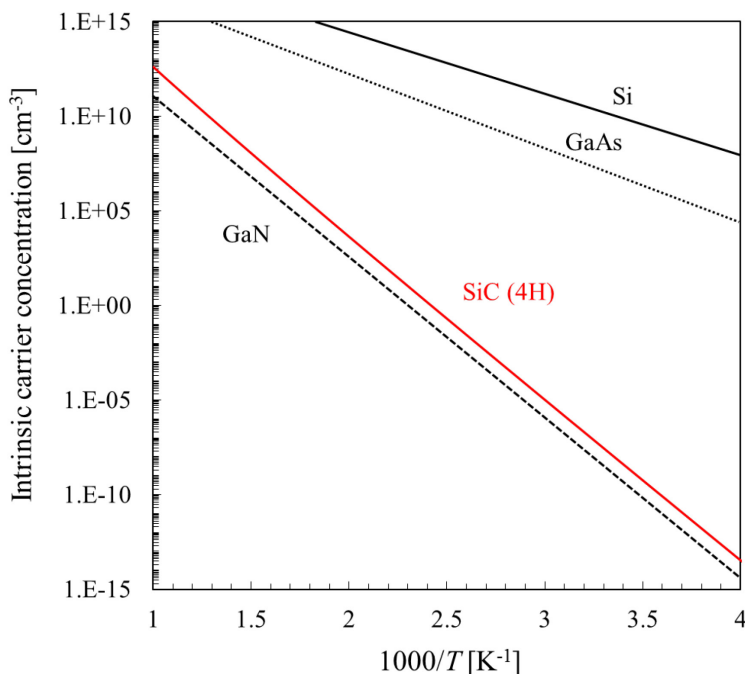


図 1-7. SiC、Si、GaAs、GaN の真性キャリア密度の温度の依存性（[16-17]を基に作成）

また、絶縁破壊電界の向上はデバイス設計における耐圧維持層（ドリフト層）のオン抵抗を低減することができる。SBD や MOSFET などのユニポーラ素子を例として図 1-8 のように(a)逆阻止状態、(b)導通状態を用いて説明する[18]。仮定としてドリフト層は n 型としてドーパントが全てイオン化し、逆阻止状態における空乏層の幅はドリフト層厚みと等しくなるものとする。

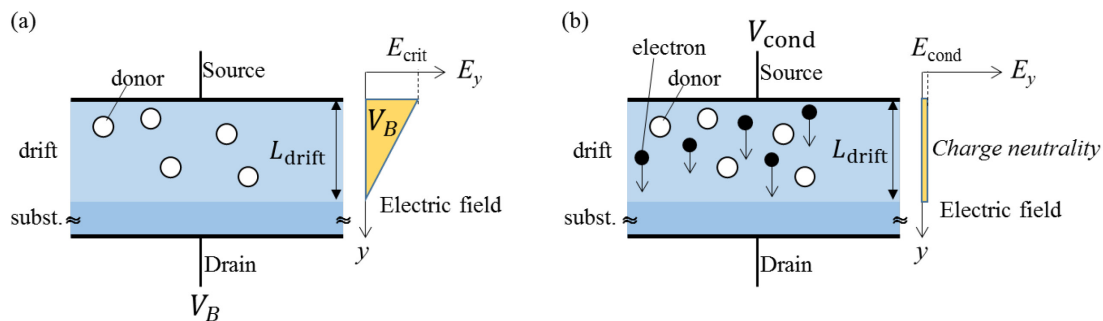


図 1-8. ユニポーラ素子の(a)逆阻止状態と(b)導通状態の概念図

図 1-8 (a) の絶縁破壊時の逆阻止状態において空乏層中の電界分布は縦方向の一次元の Poisson 方程式から、

$$qN_D = -\varepsilon \frac{dE_y}{dy} = \varepsilon \frac{E_{\text{crit}}}{L_{\text{drift}}} \quad (1.4)$$

が成り立つ。このとき、 q は素電荷、 N_D はドナー濃度、 ε は誘電率、 E_{crit} は絶縁破壊電界強度、 L_{drift} はドリフト層厚みをそれぞれ表す。また、耐圧 V_B に相当する電位は電界強度を空乏層の厚みの範囲で積分する。この場合、図中の黄色い三角形の面積となるため、

$$V_B = \frac{E_{\text{crit}}L_{\text{drift}}}{2} \quad (1.5)$$

となる。式(1.4) (1.5)を連立することで、ドナー濃度またはドリフト層厚みと絶縁破壊電界強度との関係が得られる。

$$N_D = \varepsilon \frac{E_{\text{crit}}^2}{2qV_B} \quad (1.6)$$

$$L_{\text{drift}} = \frac{2V_B}{E_{\text{crit}}} \quad (1.7)$$

式(1.6) (1.7)から耐圧が決まるとドナー濃度およびドリフト層厚みは一意的に決まることがわかる。このとき、耐圧が同じの設計のもと Si から SiC に置き換えて絶縁破壊電界強度が約 10 倍大きくなるとすると、式(1.6)からドナー濃度は絶縁破壊電界強度の 2 乗に比例するためドナー濃度を約 100 倍高くすることができる。また、式(1.7)からドリフト層厚みは絶縁破壊電界強度の逆数に比例するためドリフト層厚みを約 1/10 に薄くすることができる。次に、図 1-8 (b)の導通状態においてイオン化したドナーによる正の固定電荷と電子が電荷中性条件を満たし、電流が流れるときの電子電流密度 J_n は電流密度の式から、

$$J_n = q\mu_n N_D E_{\text{cond}} = q\mu_n N_D \frac{V_{\text{cond}}}{L_{\text{drift}}} \quad (1.8)$$

と表せる。ここで、 μ_n は電子の移動度、 E_{cond} は導通状態の電界強度、 V_{cond} は導通状態の電位である。式(1.8)において V_{cond} を J_n で除するとドリフト層のオン抵抗 R_{drift} となる。このとき、式(1.6) (1.7)を代入すると、

$$R_{\text{drift}} = \frac{4V_B^2}{\mu_n \varepsilon E_{\text{crit}}^3} \quad (1.9)$$

となる。この式から、ドリフト層のオン抵抗は絶縁破壊電界強度の 3 乗に逆比例することがわかる。ところで、半導体材料の物性から決まるユニポーラ素子の性能限界を比較する指標として単位面積当たりのオン抵抗（特性オン抵抗）と耐圧の理論曲線の関係で議論される。式(1.9)から上記の関係が得られるが高電界条件下の絶縁破壊はアバランシェ降伏であり、耐圧は電子と半導体結晶中の原子の衝突電離によって増加する電子を考慮する必要がある[19]。図 1-9 に Si、SiC のドリフト層の特性オン抵抗と絶縁破壊電圧の関係を示す[19-21]。Si と SiC を比較すると約 1/1300 まで小さくなっており、半導体 SiC デバイスは同一の耐圧設計においてオン抵抗における定常損失を大きく低減することが可能である。一方、Si パワー半導体デバイスの高性能化によって SJ-MOSFET の理論限界は高耐圧領域で Si ユニポーラの理論限界を克服し、バイポーラ素子である Si-IGBT の理論限界は高耐圧領域においては SiC ユニポーラの理論限界より低い特性オン抵抗が得られると報告されている[21]。SiC パワー半導体デバイスにおいても材料の物性を活かすとともデバイスの高性能化、具体的には MOSFET の高性能化や >10 kV 級の SiC-IGBT などの超高耐圧領域のバイポーラ素子の実用化によるさらなるオン抵抗の低減が今後期待される。

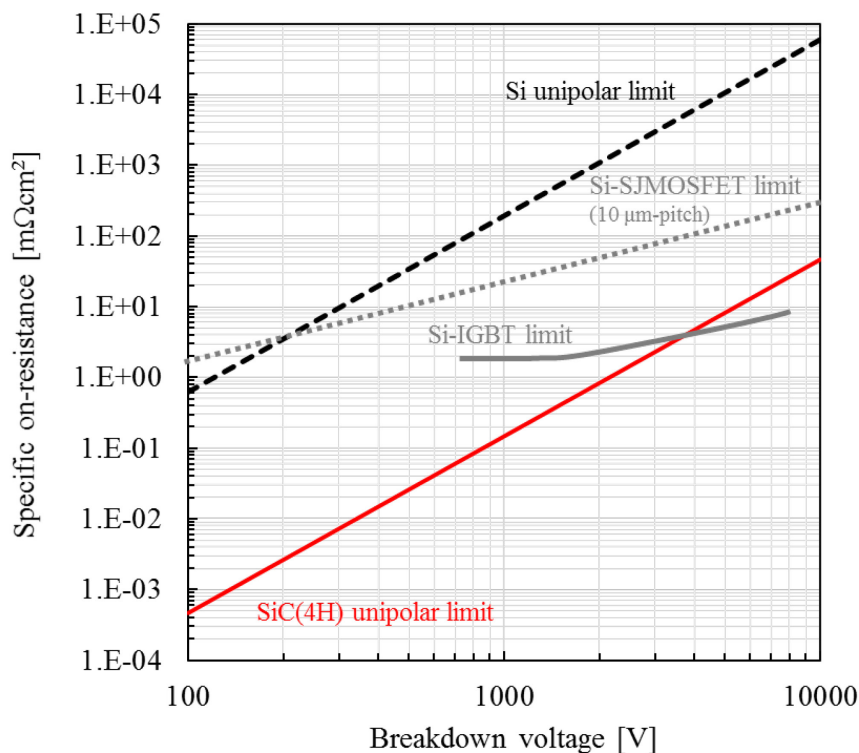


図 1-9. Si、SiC の特性オン抵抗と絶縁破壊電圧の関係 ([19-21]を基に作成)

次に、Si パワー半導体デバイスを SiC パワー半導体デバイスに置き換えたときの損失改善の例を説明する。図 1-3 の PCU 回路で用いられていた Si-PiN ダイオードおよび Si-IGBT による Si パワーモジュールを例として、Si-PiN ダイオードから SiC-SBD に置き換えたハイブリッド SiC モジュール[22][23]、さらに Si-IGBT を SiC-MOSFET を置き換えたフル SiC モジュール[24]が報告されており、上市化（たとえば[25-28]）されている。

図 1-10 に従来 Si とフル SiC モジュールのスイッチング時の電流および電圧波形の概略図を示す。図 1-6 (a)と比較すると、フル SiC モジュールでは用いる SiC デバイスがユニポーラ型になるため蓄積キャリアの掃き出しが無く、オン/オフ時に発生する Si-PiN ダイオードで見られた大きな逆回復電流は SiC-SBD の場合には空乏層の容量による小さな変位電流となり、Si-IGBT で見られたテール電流は SiC-MOSFET の場合には原理的に発生しないため、スイッチング損失が低減できる。また、これによりスイッチング回数を増やしても損失が少なくなることから高周波動作に有利となり、キャパシタやリアクトルなどの周辺部品の小型化が可能でシステムレベルで軽量化および小型化につながる。さらに、定常損失に関しては、Si から SiC に置き換わることでオフ状態での漏れ電流の低減、オン状態でのオン抵抗の低減によって損失の低減が可能である。Si パワーモジュールの損失に対して、Si-PiN ダイオードを SiC-SBD に置き換えることにより 23 %、さらに Si-IGBT を SiC-MOSFET に置き換えることにより 70 %の損失改善が報告されている[29]。省エネルギー化社会に向けた半導体 SiC パワーデバイスの社会実装は着実に進んでおり、身近な例ではエアコン、太陽光発電用パワーコンディショナー、鉄道および燃料電池自動車への搭載をはじめ新幹線への導入[30][31]も検討されている。

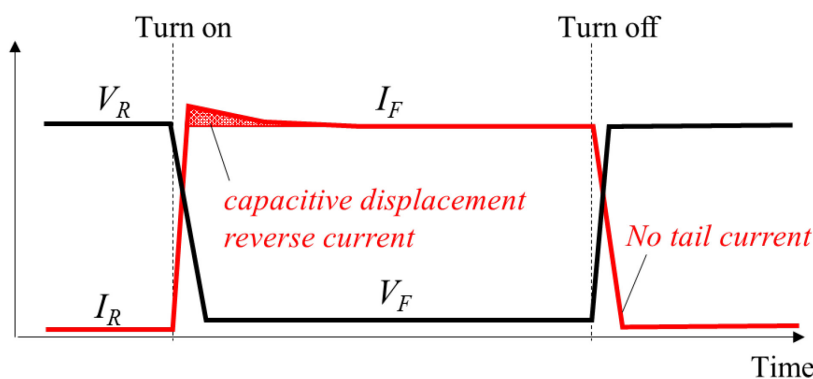


図 1-10. フル SiC モジュールによるスイッチング動作時の電流および電圧波形の概略図

また、半導体 SiC パワーデバイスの更なる高性能化として SiC-MOSFET の構造をプレーナ型からトレンチ型に改良することでオン抵抗の JFET 成分をゼロにする SiC-トレンチ MOSFET[32]も実用化されている。さらに、MOSFET 構造内の寄生ダイオード (PN ダイオード) の構造を用いることで、ダイオードと MOSFET をワンチップ化[33]する構造も提案されている。今後、半導体 SiC パワーデバイスの更なる高性能化と社会への普及が実現

正四面体からなる Si-C 分子構造の積層順序において、その配置構造に対応して六方晶または立方晶をとる[35]。これらの構造の関係を原子モデルで表すと図 1-12 になる。

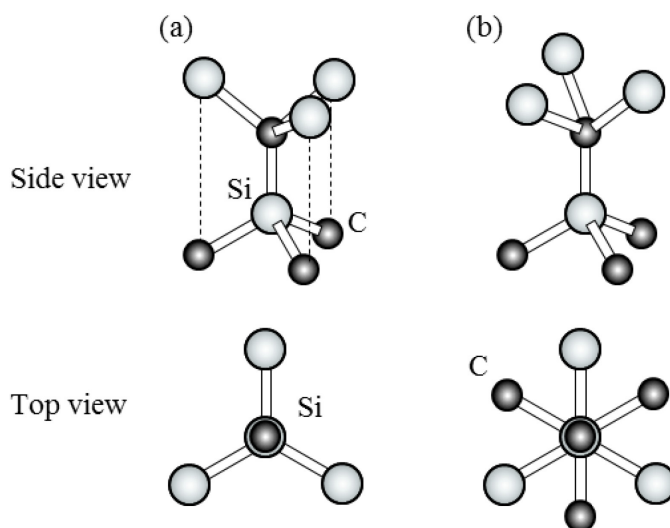


図 1-12. Si-C 分子構造の積層配置、(a) 下地原子に対して並進対称構造 (Eclipsed 配置)、(b)下地原子に対して 60° 回転構造 (Staggered 配置)

図 1-12 からわかるとおり、下地原子に対して並進対称構造 (Eclipsed 配置、六方晶) をとるのか、下地原子に対して 60° 回転構造 (Staggered 配置、立方晶) をとるのかで Si と C の原子配置が異なる (図 1-11 の白色および灰色の SiC 分子層に対応)。4H および 6H-SiC の場合、Si-C 分子構造が Eclipsed 配置と Staggered 配置が多形の半周期に相当する 2 および 3 周期ごとに現れていることがわかる。また、積層構造は単原子モデルの六方最密充填構造からも理解できる。図 1-13 は積層 A、B、C における原子占有位置の選択性を示す。最下段の積層 A に対して次の積層は B または C の可能性がある。SiC の結晶多形の積層周期は図 1-11 の Si-C 分子が占有する小文字の a、b、c に対応しており、各結晶多形の 1 周期ごとに文字列が繰り返していることがわかる。

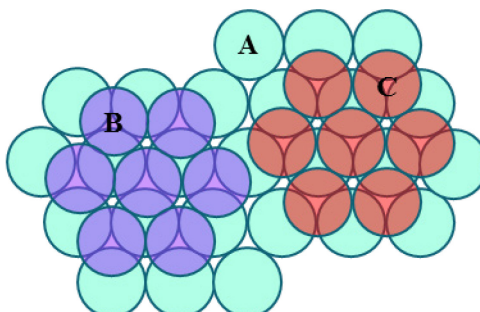


図 1-13. 六方最密充填構造の原子占有位置の選択性

これらの結晶構造は結晶多形間の物性の違いをもたらし、その例として結晶多形の一周期

構造内に Eclipsed 配置と Staggered 配置のペア (2H 構造) が含まれる割合 (Hexagonality) とバンドギャップエネルギーに相関があることが知られている [36]。例として、2H では 2 つの積層に 1 つの 2H を含み 2/2 (100%)、3C では 2H の積層を含まず 0/3 (0%)、4H では 4 つの積層に 1 つの 2H を含み 2/4 (50%) であり、図 1-14 に示す Hexagonality が高いほどバンドギャップも大きくなる傾向が報告されている。これらの積層は後述の結晶成長、加工、エピタキシャル成長の工程において偶発的に結晶面内でずれることによって積層欠陥となることがある。

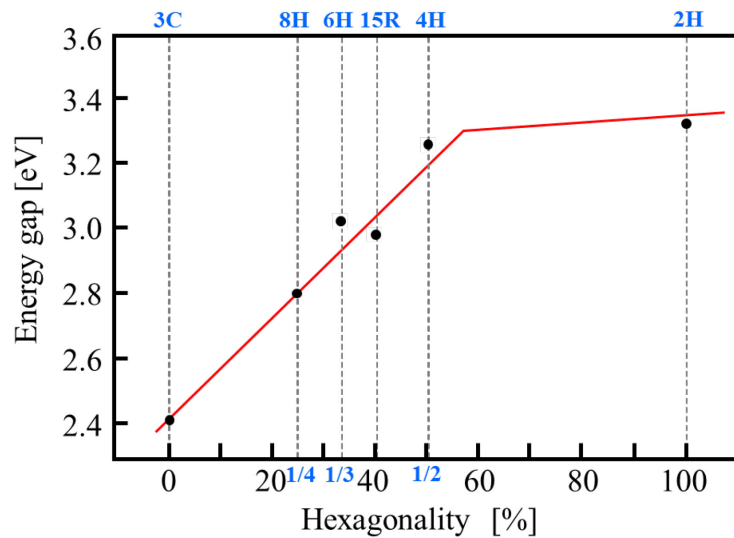


図 1-14. 300K における SiC の Hexagonality とバンドギャップの関係 ([36]を基に作成)

従来のデバイス化の研究には 6H-SiC が用いられてきたが、4H-SiC のほうがバンドギャップおよび移動度が高く結晶内での異方性が小さいことから産業上の利用において現在は 4H-SiC が主流である。また、3C-SiC はポリタイプの中で唯一立方晶を取り、低温において Si 基板上へのヘテロエピタキシャル成長が可能のため大面積化による SiC on Si デバイスへの応用が魅力的である。

次に、SiC の結晶方位について説明する。本論文では 4H-SiC について取り扱うため六方晶における Miller-Bravais 指数を述べる [37]。六方晶系では立方晶と異なり、図 1-15 (a) の底面に示すように互いに 120°回転対称の 3 方向の軸を定め、これに直交する方向を残りの軸とする。このとき、六方晶の結晶面方位を $(h_1h_2h_3l_h)$ と定義すると立方晶 (hkl) とは、

$$h_1 = h, \quad h_2 = k, \quad h_3 = -(h + k), \quad l_h = l \quad (1.10)$$

が成り立つ。また、六方晶の結晶方位を $[u_1u_2u_3w_h]$ と定義すると立方晶 $[uvw]$ とは、

$$u_1 = \frac{2u - v}{3}, \quad u_2 = \frac{2v - u}{3}, \quad u_3 = -\frac{u + v}{3}, \quad w_h = w \quad (1.10)$$

が成り立つ。図 1-15 (b)は(0001)面における六方晶 SiC の原子配列と結晶方位の関係である。また、図 1-16 に六方晶 SiC の主要な結晶面を示す。このうち、{0001}面は六方晶 SiC にとって最も基本となる面で、一般的な改良 Lely 法により成長したバルク結晶から最も多く切り出せる面である。このうち、最表面原子が Si 原子ダングリングボンドで終端している面を(0001)面または Si 面と呼び、最表面原子が C 原子ダングリングボンドで終端している面を(000 $\bar{1}$)面または C 面と呼ぶ。Si 面は現在の SiC パワーデバイスで最も使用される結晶面である。Si 原子と C 原子の電気陰性度が異なるため、Si 原子はわずかに正に帯電しており、C 面および Si 面はそれぞれ極性を有する。これらの結晶方位は結晶欠陥のうち後述する転位の理解に非常に重要である。

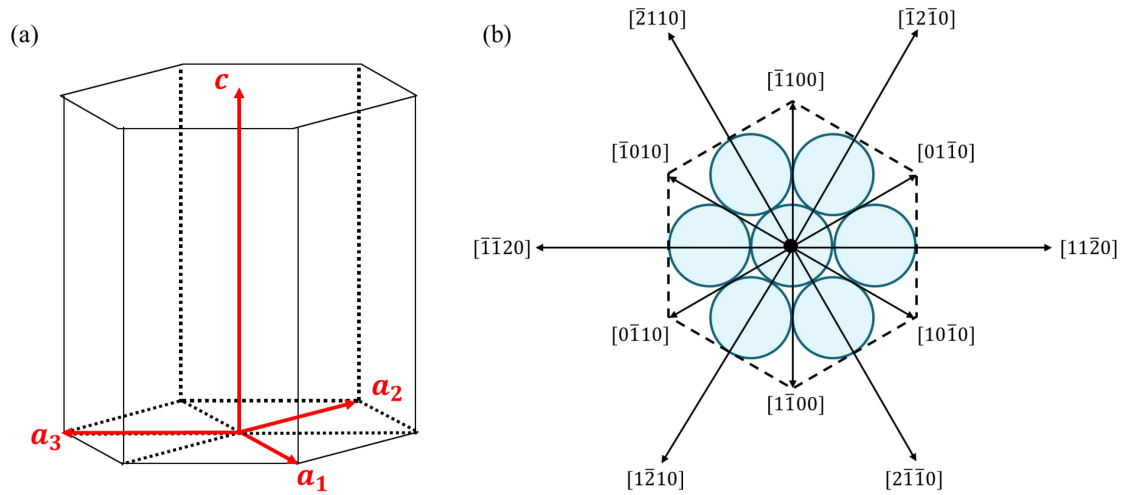


図 1-15. 六方晶 SiC の結晶方位、(a): 結晶軸の方向、(b): (0001)面内の結晶方位

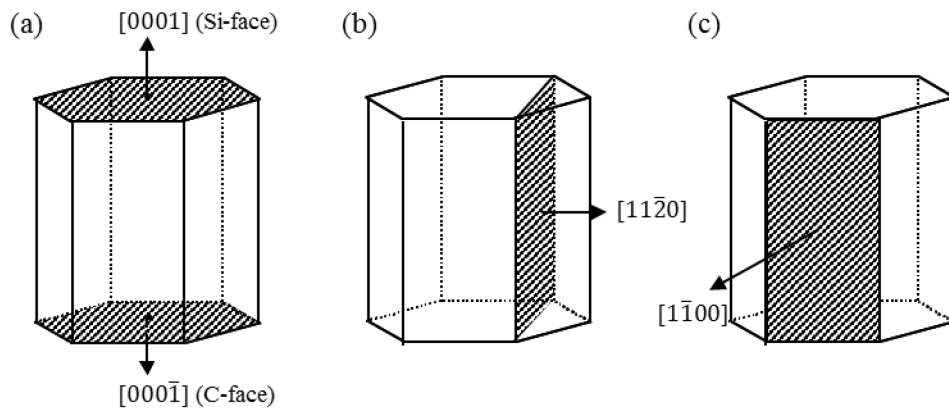


図 1-16. 六方晶 SiC の結晶面方位、(a): {0001} 面、(b): {1120} 面、(c): {1 $\bar{1}$ 00} 面

図 1-17 に半導体 SiC エピタキシャルウェハのおおまかな製造工程を示す。改良 Lely 法などの結晶成長によって作製された SiC インゴットはウェハ形状に切断加工され、複数の機械的な加工を繰り返してエピタキシャル成長前の仕上げ加工（エピレディ加工）：化学機械研磨（Chemical Mechanical Polish：CMP）を行い、設計デバイスに応じたエピタキシャル層を形成する。このとき、結晶成長、加工、エピタキシャル成長の各工程において SiC 単結晶にさまざまな結晶欠陥が導入される。これらの結晶欠陥がエピタキシャルウェハの品質を低下させ、デバイス性能の低下の原因となる。

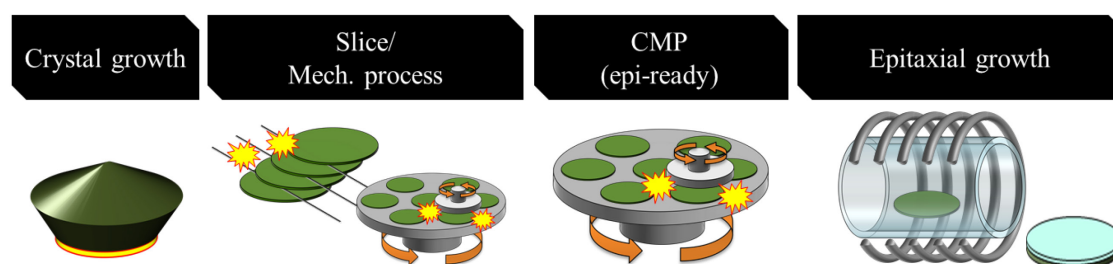


図 1-17. 半導体 SiC ウェハの製造工程の概略図

1-3-2. 結晶成長に起因する結晶欠陥

融液から結晶成長を行う Si 単結晶と異なり、SiC は結晶の成分組成と原料融液の成分組成を一致させる液相成長（コングルエント溶融成長）が原理的に不可能なため[38]、SiC 単結晶の結晶成長は前述の改良 Lely 法や高温ガス成長法（HTCVD 法）[39]などの気相成長が用いられる。SiC 単結晶には結晶欠陥として点欠陥と拡張欠陥を含んでおり、これらのうち拡張欠陥である転位や積層欠陥はエピタキシャル成長において基板からエピタキシャル膜へ伝播する。まず、転位は、 $\langle 0001 \rangle$ 方向に伝播する貫通転位として、マイクロパイプ、貫通らせん転位(Threading Screw Dislocation：TSD)、貫通刃状転位(Threading Edge Dislocation：TED)の 3 種類がある。マイクロパイプは Burgers ベクトルの大きな TSD で中空構造を持つ。TSD と TED が混在する貫通混合転位(Threading Mixed Dislocation：TMD)も確認されている[40]。これらの貫通転位は結晶成長の種結晶基板からの伝播や成長異常（インクルージョンや結晶多形の混入など）により発生する。また、 $\langle 0001 \rangle$ 方向に対して垂直な基底面（ (0001) 面）内に存在する基底面転位(Basal Plane Dislocation：BPD)がある。BPD は SiC インゴット成長中の温度勾配や冷却時の熱弾性応力により発生する歪を緩和させようとして形成することが報告されている[41]。その他の構造欠陥として Si-C 分子層の積層欠陥があり、Frank 型積層欠陥(Frank type Stacking Fault)と Shockley 型積層欠陥(Shockley type Stacking Fault)に分類される。Shockley 型積層欠陥は Shockley 部分転位で囲まれた拡張転位であり、部分転位が結晶面上をすべることによって積層欠陥が拡張する。Frank 型積層欠陥は Burgers ベクトルが基底面に対して直交しているため不動転

位である。以下、まとめとして図 1-18 に SiC 単結晶中の代表的な転位の概略図、表 1-2 に SiC 単結晶中の主要な転位および構造を示す。

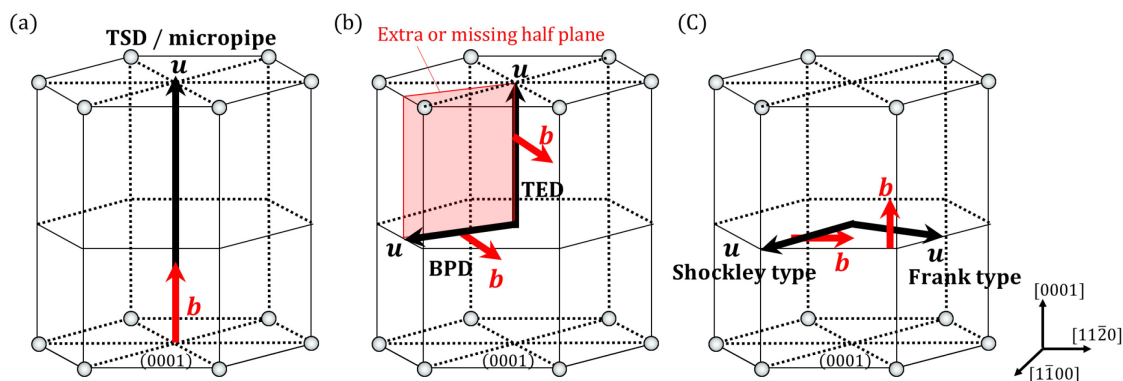


図 1-18. SiC 単結晶中の代表的な転位の概略図 ([4]を基に作成)

表 1-2. SiC 単結晶中の主要な転位および構造 ([4][42]を基に作成)

Dislocation	Burgers vector : \mathbf{b}	Major direction : \mathbf{u}	Typical density [cm ⁻¹]
Micropipe	$n < 0001 >$ ($n > 2$)	$< 0001 >$	0-0.1
Threading screw dislocation (TSD)	$n < 0001 >$ ($n = 1, 2$)	$< 0001 >$	300-600
Threading edge dislocation (TED)	$\frac{1}{3} < 11\bar{2}0 >$	$< 0001 >$	2000-5000
Basal plane dislocation (BPD)	$\frac{1}{3} < 11\bar{2}0 >$	in $\{0001\}$ plane (preferably $< 11\bar{2}0 >$)	500-30000
Stacking fault	Frank: $\frac{1}{3} < 0001 >$ Shockley: $\frac{1}{3} < 1\bar{1}00 >$	in $\{0001\}$ plane	0.1-1 (in epi.)

1-3-3. ウェハ加工に起因する結晶欠陥

一般的な SiC ウェハ加工工程として、結晶成長後の SiC インゴットを所定の口径の円筒形状に整える外周研削を行い、結晶面方位を識別するオリエンテーションフラット加工を行う。その後、マルチワイヤーソーによってウェハ状に切断して加工によって導入される歪や加工傷などの加工ダメージを除去するため複数の機械的な加工（研削やラップ研磨）

を繰り返す。エピタキシャル成長前の仕上げ加工（エピレディ加工）は化学機械研磨（Chemical Mechanical Polish：CMP）が用いられる。SiC は研磨材として使用されているようにその機械的強度は高く難加工材料であるため、SiC ウェハの機械的な加工にはダイヤモンドの砥粒を用いた加工が一般的である。また、SiC は結晶面が滑りやすく機械的な加工において導入される研磨傷に沿ってハーフループ状のBPDや積層欠陥などの結晶欠陥が発生する[43]。また、エピレディ加工であるCMP加工において上記の加工起因の結晶欠陥を完全に除去しきれずに残存または偶発的に導入する懸念がある。これらは、次工程のH₂エッチングやエピタキシャル成長において傷状欠陥（潜傷）やマクロステップバンチング（MSB）等の表面荒れ[44]をもたらすことが報告されており、高品質なエピタキシャルウェハを得るためには加工ダメージが十分に除去された平坦なエピレディウェハが必要となる。

1-3-4. エピタキシャル成長に起因する結晶欠陥（エピ欠陥）

一般的なSiCウェハへのエピタキシャル成長は、CVD法を用いて原料ガスにSiH₄とC₃H₈、キャリアガスにH₂を用いて1600℃程度の温度で行われる。成長炉はSiCウェハが設置されたサセプタを高周波誘導加熱により加熱するホットウォール型が主流となっている。エピタキシャル成長に用いるSiC基板は、ステップフロー成長により結晶多形の積層情報を引き継ぐステップ制御エピタキシー法[9]を用いるため、(0001) Si面から意図的に角度（オフ角）をつけて切り出されている（図1-19）。

エピタキシャル成長技術の進展によって現在の主流のオフ角は8°から4°に低減されている。SiCインゴットの切り出しの材料ロスの観点から更なる低オフ角が望ましいが、オフ角の低減に伴って分子層ステップのテラス長が長くなり、ステップフロー成長を阻害する二次元角形成が発生するため、エピタキシャル成長条件の高度な制御が必要となる[45]。半導体SiCエピタキシャルウェハの結晶欠陥の検査方法ならびに分類の定義はJEITA[46][47]により標準化されている。図1-20に半導体SiCエピタキシャルウェハの主な結晶欠陥に対する共焦点微分干渉（Confocal-Differential Interference Contrast：C-DIC）顕微鏡による光学明視野像とフォトルミネッセンス（Photoluminescence：PL）イメージング（励起波長：313 nm、検出波長>750 nm）の例を示す。これらの欠陥のうち、Stacking fault complexは基板のTSD、Polytype inclusionはエピタキシャル成長前の基板表面の付着物やエピタキシャル成長中のダウンフォール、Latent scratch（潜傷）および帯状のBunched step segment（またはMacro step bunching：MSB）はウェハ加工工程の残留ダメージが主な原因となっている。BPDに関しては、表

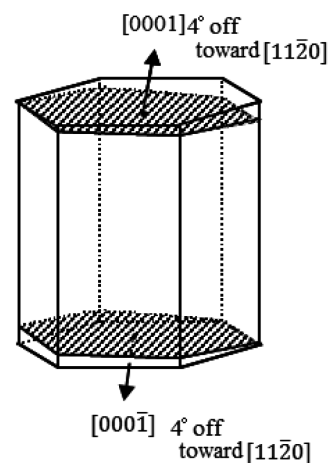


図 1-19. 4° オフ SiC 基板の結晶面

1-2 に示したとおり BPD の持つ Burgers ベクトルは TED と等しく、エピタキシャル成長時にそのほとんどがエピ/基板界面で TED に変換され、一部がエピタキシャル層へ貫通する [48]。また、BPD はエピタキシャル成長中にウェハ面内の温度分布の不均一性によってエピ/基板界面に応力が発生し、その緩和のために界面転位として新たに BPD が生成する場合がある [49]。以上のように、最終的な SiC エピタキシャルウェハの結晶欠陥は結晶成長からエピタキシャル成長までの全ての品質要因が影響するため、欠陥低減のためには全ての工程で高品質化が求められる。

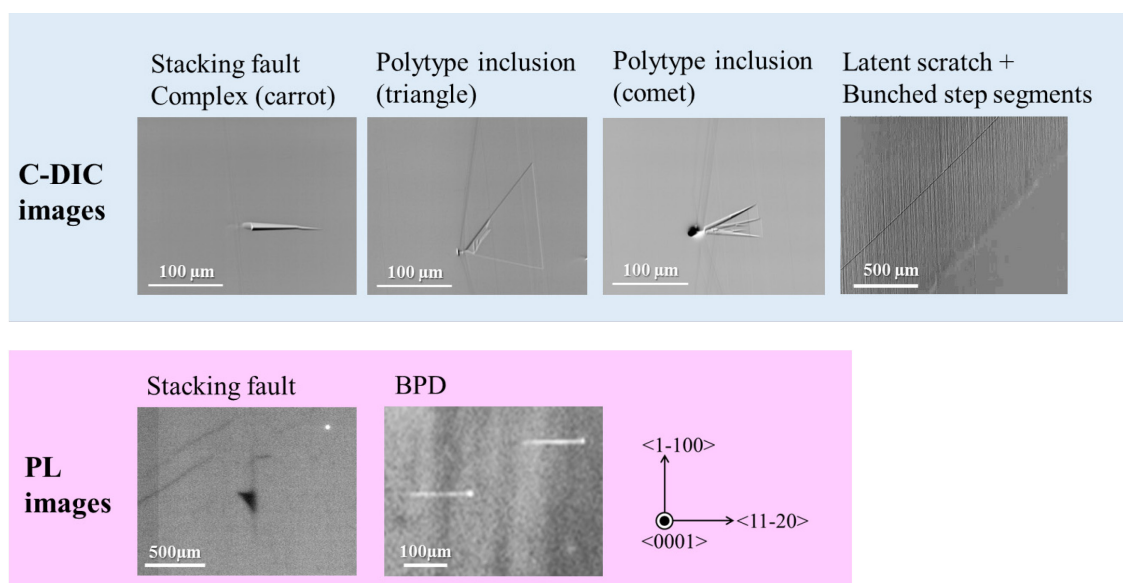


図 1-20. 半導体 SiC エピタキシャルウェハの結晶欠陥の例

1-4. デバイスキラー欠陥とデバイス性能劣化

現状、SiC エピタキシャルウェハに含まれる結晶欠陥を完全に無欠陥にすることは難しい。そのため、種々の結晶欠陥がもたらすデバイス性能への影響が詳細に調査されており、デバイスに対して致命的となる欠陥（デバイスキラー）の低減に指針を与えている。表 1-3 は SiC エピタキシャルウェハに含まれる結晶欠陥によるデバイス性能への影響をまとめた一覧である [4]。最も致命的な欠陥は積層欠陥や Polytype inclusion であり著しい耐圧低下をもたらすが、光学明視野像と PL イメージング像から容易に検出可能であり SiC エピタキシャルウェハの検査の段階で予めデバイス不良箇所の予測が可能である。一方、貫通転位では、TSD および TED は表面形状にピットを形成しない場合には致命的な性能低下をもたらさないが、ピットを形成した場合には逆方向特性の漏れ電流が増加する [50]。また、バイポーラ素子においてはキャリアをトラップしライフタイムを低下させる。一方、BPD に関しては、MOSFET のボディダイオードならびにバイポーラ素子において順方向通電時に

SiC 単結晶中の BPD を Single-Shockley 型積層欠陥 (1SSF) へ拡張させてオン抵抗が増大するバイポーラ劣化をもたらす。これらの転位は光学明視野像と PL イメージング像から検出しづらく、精度良くデバイス不良箇所を予測できない可能性がある。特に、基板中の BPD に関しては光学的検査手法による検出ができないため、前述した SiC-MOSFET を組み込んだフル SiC パワーモジュールや超高耐圧 SiC-IGBT などのバイポーラ動作する素子の信頼性確保のためには根本的なバイポーラ劣化の対策技術が必要である。

表 1-3. SiC エピタキシャルウェハに含まれる結晶欠陥によるデバイス性能への影響
([4][46][47]を基に作成)

Device	SBD	MOSFET, JFET	PiN, BJT, Thyristor, IGBT	Non-destructive detection	
				C-DIC	PL
TSD (without pit)	no	no	Local reduction of carrier lifetime	△	△
TED (without pit)	no	no	Local reduction of carrier lifetime	△	△
BPD (without pit)	no	Bipolar degradation of body diode	Bipolar degradation	×	Epi. ○ Sub. ×
In-grown SF	V_B reduction (20-50%)	V_B reduction (20-50%)	V_B reduction (20-50%)	△	○
Stacking fault complex Polytype inclusion (triangular)	V_B reduction (30-70%)	V_B reduction (30-70%)	V_B reduction (30-70%)	○	○
Polytype inclusion (downfall)	V_B reduction (50-90%)	V_B reduction (50-90%)	V_B reduction (50-90%)	○	○

1-5. バイポーラ動作における SiC デバイスのバイポーラ劣化現象

本節では、バイポーラ動作する SiC デバイスにおけるバイポーラ劣化のメカニズムとこれまでに報告されているバイポーラ劣化の抑制手法について概説し、現状のバイポーラ劣化抑制の課題について明らかにする。

1-5-1. バイポーラ劣化のメカニズム

バイポーラ劣化はその名の通りバイポーラ素子にのみ起こる特有の現象で、SiC 中の BPD に起因する順方向電圧増大の現象である。縦型のバイポーラ素子に順方向通電を行うと伝導度変調のためエピタキシャル層に電子とホールが蓄積され再結合が起こる。このとき、ドリフト層に BPD が存在すると電子とホールの再結合エネルギーを駆動力として BPD から基底面に沿って単分子層の 1SSF が拡張する。SiC 中の完全転位の BPD は、図 1-20 の最密充填面での単原子モデルにおいて中心の原子が隣接する原子の位置にすべる転位を考えたとき 6 方向の等価な完全転位が考えられる。

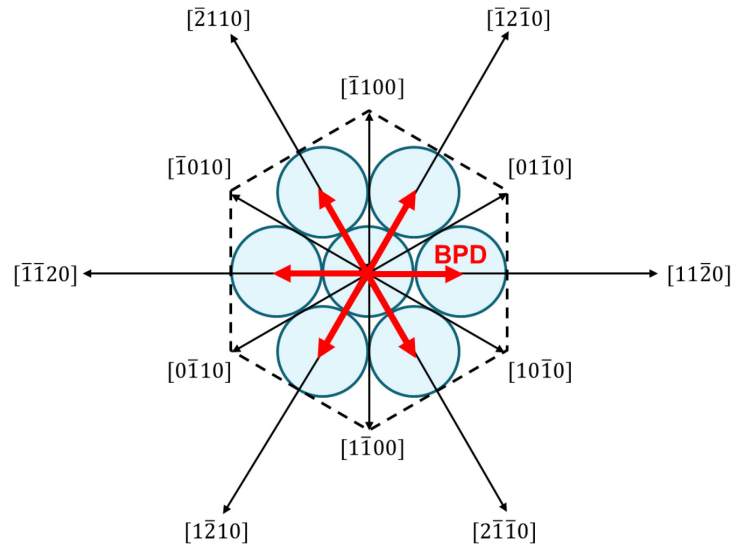


図 1-21. SiC 結晶中の 6 方向の等価な完全転位の BPD

しかし、実際には SiC 中の BPD を微視的に見ると完全転位として存在せず 2 本の部分転位とそれらに囲まれる 1SSF として存在する。図 1-22 (a)において $[1\bar{1}00]$ 方向に転位線を持つ $\vec{b}_{\text{BPD}} = \frac{1}{3}[11\bar{2}0]$ の BPD の例では、

$$\frac{1}{3}[11\bar{2}0] = \frac{1}{3}[10\bar{1}0] + \frac{1}{3}[01\bar{1}0] \quad (1.11)$$

の部分転位へ分解する。これは Burgers ベクトルのエネルギーは自身の 2 乗に比例し、部分転位の Burgers ベクトルをそれぞれ \vec{b}_1 、 \vec{b}_2 とすると

$$|\vec{b}_{\text{BPD}}|^2 > |\vec{b}_1|^2 + |\vec{b}_2|^2 \quad (1.12)$$

となり、部分転位へ分解する条件を満たしている。また、図 1-22 (b)の赤い丸で示す積層 C は元の積層 B に対して図 1-11 のモデルで 60° 回転の配置となっているため積層欠陥 (4H 中の 1SSF の場合 3C) となる。このように、実際の BPD は 2 本の部分転位と微小な 1SSF によって構成される。

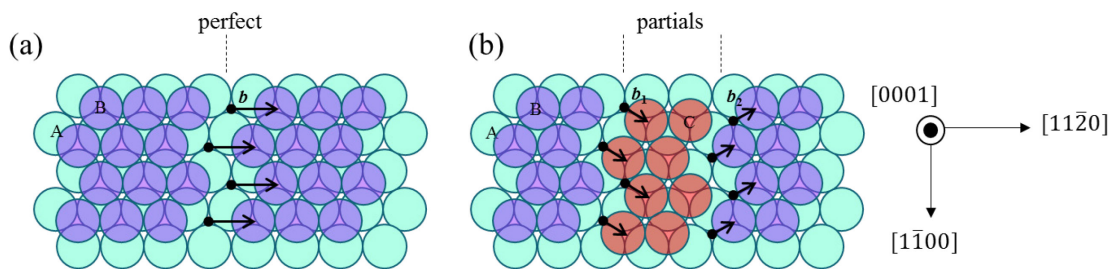


図 1-22. 完全転位 $\vec{b}_{\text{BPD}} = \frac{1}{3}[11\bar{2}0]$ の部分転位への分解、(a): 完全転位、(b): 部分転位

部分転位の転位心においては原子配列の周期性が乱れて原子の再配列が起こる。図 1-23 は SiC 中の BPD $\vec{b}_{\text{BPD}} = \frac{1}{3}[11\bar{2}0]$ が部分転位へ分解したときの原子配列の模式図である[51]。2 本の部分転位の転位心は、C-C 原子の結合からなる C-core と Si-Si 原子の結合からなる Si-core を形成する。このとき、転位線方向と部分転位 ($\frac{1}{3}[10\bar{1}0]$ および $\frac{1}{3}[01\bar{1}0]$) のなす角度が 30° であるので、それぞれの転位心を 30° C-core、 30° Si-core と呼ぶ。

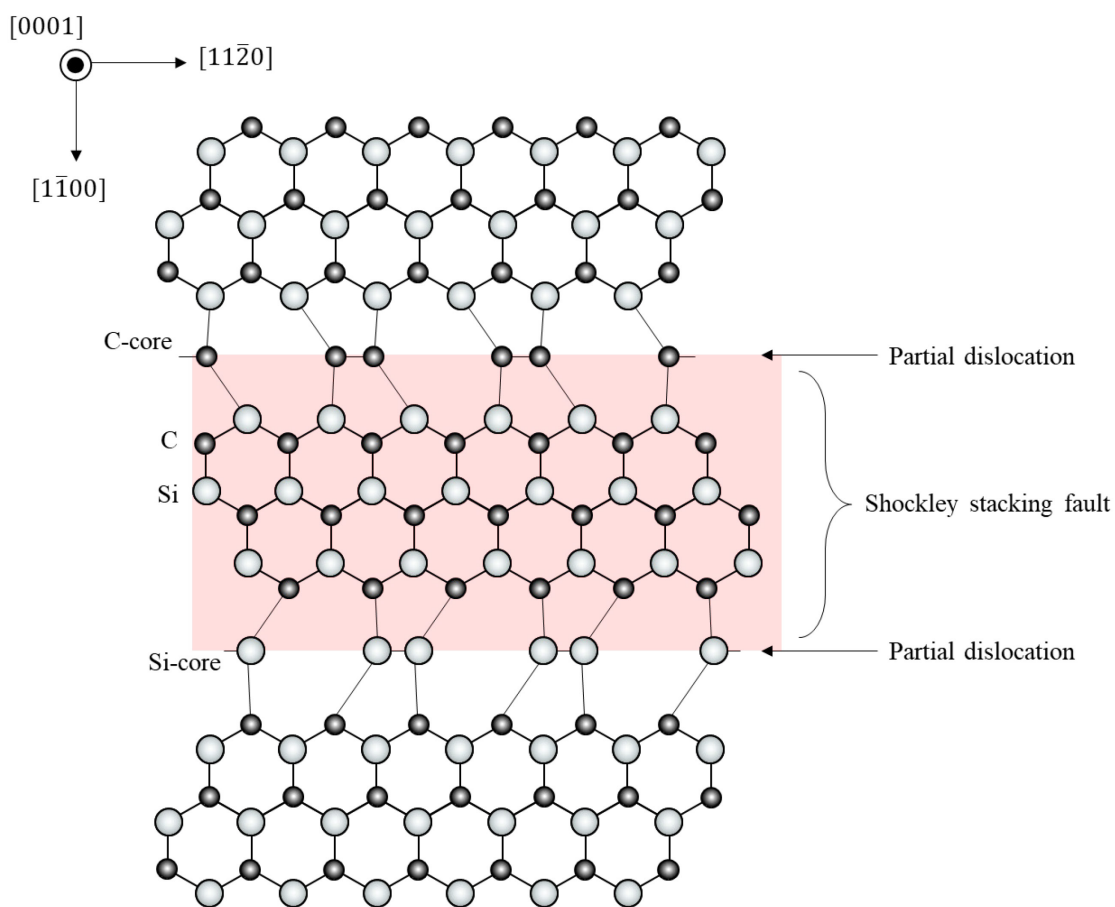


図 1-23. 完全転位 $\vec{b}_{\text{BPD}} = \frac{1}{3}[11\bar{2}0]$ の部分転位への分解と原子の再配列

電子とホール再結合エネルギーが約 3 eV に対して C-C 結合エネルギーは 3.7 eV、Si-Si 結合エネルギーは 2.3 eV [52] となるため、1SSF の拡張は Si-core の Si-Si 結合が次々に切れて転位がすべることで起こる (図 1-24)。

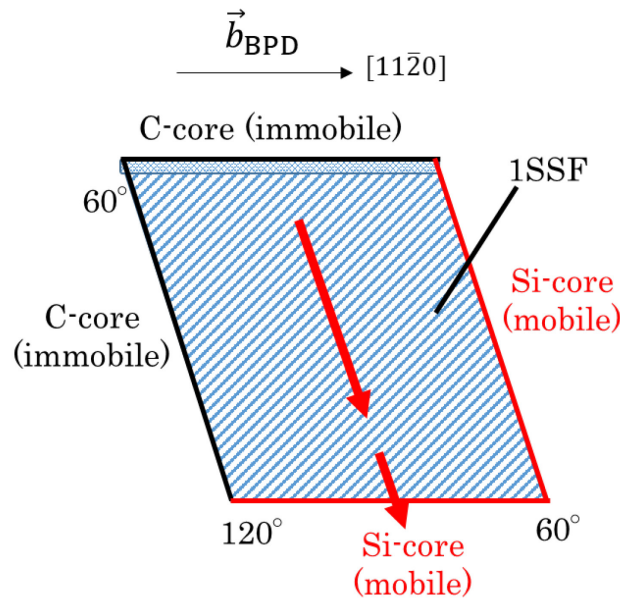


図 1-24. BPD の部分転位の Si-core のすべりによる 1SSF の拡張

拡張した 1SSF は Si-C 単分子層からなるため厚み 0.25 nm の量子井戸構造を形成し、エピタキシャル層内での 1SSF の面積の拡張に伴って順方向電流のキャリアをトラップし電流の流れる経路を阻害する。そのためキャリアが拡張した 1SSF のない領域を流れることでオン抵抗の増大を引き起こす。

1SSF 拡張運動の挙動として、温度と電流密度に依存して 1SSF は高温かつ低電流密度で収縮し [53]、素子に応力を印加することで 1SSF が拡張する電流密度の閾値が変動することが報告されている [54]。

また、バイポーラ劣化はエピタキシャル層に伝播した BPD のみならず基板中の BPD においても発生する。高電流密度での通電条件下ではエピタキシャル層よりさらに深いエピタキシャル層／基板界面にまで到達する過剰キャリアが基板中の BPD を 1SSF へ拡張させることが報告されている [55]。このことは SiC パワー半導体デバイスの高性能化においてバイポーラ素子の高電流密度化の大きな課題となる。また、実際のデバイスにおけるバイポーラ劣化の原理解明の観点では、PiN ダイオードを用いた基板中の BPD が 1SSF へ拡張するホール濃度の閾値が計算的に求められているが [56]、理論に基づいたバイポーラ劣化の理解が十分になされていないとは言い難く、実デバイスの設計指針を与えるモデル化がなされていない。

1-5-2. バイポーラ劣化の抑制手法

これまでにバイポーラ劣化の抑制手法に関して複数の報告がなされているが、大別すると5つに分類できる。

(1) エピタキシャル層中の BPD 低減、エピ/基板界面での BPD の TED 変換促進

基板 BPD のエピタキシャル層への伝播を抑制させる手法で、エピタキシャル成長速度を高速化することによって基板差異表面の BPD の部分転位をステップ横方向成長により収縮させて TED 変換を促す方法が報告されている[57]。また、エピタキシャル成長前の基板表面に熔融アルカリやドライエッチングを用いて凹凸形状を形成することでエピタキシャル層への BPD 伝播を遮断する方法も報告されている[58][59]。また、SiC ウェハの低オフ角も基板の分子層ステップ密度の低減によって原理的にエピタキシャル層中の BPD を低減できるが、前述の通りエピタキシャル成長条件の高度な制御が必要となる[45]。いずれの手法においても基板の BPD 自身の低減の手法とはならないため、基板 BPD によるバイポーラ劣化の根本的な解決は困難である。

(2) エピタキシャル層中のキャリアライフタイムコントロール

注入される少数キャリアを基板に到達させないようにエピタキシャル層内にライフタイムキラーとなる V や Ti などの不純物添加層[60]や高濃度厚膜バッファ層[61]を導入することでバイポーラ劣化を抑制している。不純物添加はエピタキシャル成長炉の汚染、厚膜バッファ層はオン抵抗の増加が懸念される。

(3) デバイス構造の改良

MOSFET のボディダイオードのバイポーラ劣化の抑制手法として、MOSFET に SBD を内蔵しボディダイオードのバイポーラ動作を不活性化する手法が報告されており[62-64]、デバイス構造の複雑化の懸念があるものの原理的には基板中の BPD へ少数キャリアは注入されない。一方、デバイスの高性能化により SJ-MOSFET や IGBT の構造では順方向動作のための SBD 構造を内蔵することは現状困難である。

(4) デバイス使用環境ならびに制御の改良

インバータのスイッチング動作において全てのスイッチがオフ状態にモーター等のインダクタンス負荷電流が順方向に流れるデッドタイムを駆動 IC による制御で低減する手法が提案されている[65]。本手法では MOSFET の順方向通電を起こさない制御が可能であるが使用する素子や負荷に応じた精密な最適設計が必要と思われる。また、素子を加熱し動作時の自己発熱を利用することで温度を 150℃以上に上げオン電圧劣化を無効化させる Temperature Elevation Degradation Reduction of Electrical Characteristics (TEDREC)

現象[66]も報告されている。この手法では 1SSF 拡張領域においても順方向電流を通電させることができるが、基板中の BPD が拡張する大電流密度条件での特性は報告されておらず、また逆方向特性において 1SSF に起因する漏れ電流や耐圧低下[67]の懸念がある。

(5) SiC 基板中 BPD の TED 変換による低減

基板中の BPD そのものを積極的に TED へ変換して基板中の BPD に起因するバイポーラ劣化を抑制する手法である。エピタキシャル成長前の SiC 基板に対して約 2000°C の熱処理を行うことで基板最表面の BPD を基板内部で TED に変換することで、さらにエピタキシャル層に伝播する BPD も低減可能である。Ar ガス雰囲気下での熱処理では基板 BPD の TED 変換効果が得られるものの SiC 表面の熱分解によってエピタキシャル成長に不適な表面荒れが発生することも報告されている[68]。一方、Si 蒸気の雰囲気下で SiC 表面を化学エッチングする Si 蒸気圧エッチング法では SiC 表面の平坦性を維持したまま BPD の TED 変換機能が得られる[69][70]。基板中の BPD そのものを TED に変換する手法は基板中 BPD に起因するバイポーラ劣化を本質的に解決できる手法であると考えられるが、これまでに BPD-TED 変換機能を適用した実デバイスでのバイポーラ劣化抑制の効果を評価した例はこれまでに無く、BPD を基板内部で TED に変換させたときの定量的かつ理論的な効果は明らかにされていない。

1-6. 本研究の目的

本研究では SiC パワー半導体のバイポーラ劣化の抑制手法ならびにそのメカニズムの理解において、これまでに明らかにされていなかった SiC 基板内でバイポーラ劣化の起点となる BPD を積極的に TED へ変換させる手法によるバイポーラ劣化の理論的なモデル化を行い、さらにデバイス試作へ適用することで本手法の定量的かつ理論的な効果を明らかにすることを目的とした。基板中の BPD を TED に変換させる手法として Si 蒸気圧エッチング法を用いた。固体物理学の基本原則に基づいたデバイス内でのキャリアおよび電流分布のモデル化からデバイス構造パラメータと BPD-TED 変換の位置を考慮した 1SSF 拡張予測モデルを構築し、バイポーラ劣化抑制に効果的な設計パラメータを定量的に議論した。

本研究の学術的な新規性は、バイポーラ劣化の抑制の本質的な解決手法として期待できつつもその手法が無くデバイスへの適用が行われてこなかった基板中の BPD-TED 変換効果とその理論的な理解を明らかにすることであり全く新たな研究である。この成果の出口として、理論に裏打ちされた基板中の BPD-TED 変換によるバイポーラ劣化抑制手法が SiC パワー半導体のバイポーラ素子の信頼性向上に貢献できる。また、構築された理論モデルは将来的に実用化が期待される SiC-IGBT へのデバイス設計に指針を与える。

本論文の構成は計 6 章からなる。第 1 章では、本研究の背景となる SiC パワー半導体にフォーカスし信頼性低下をもたらすバイポーラ劣化現象の課題と目的を述べた。第 2 章では、

基板中の BPD を積極的に TED へ変換させる新たな SiC 表面加工プロセスである Si 蒸気圧エッチング法を提案し、そのプロセス機能について述べる。第 3 章では、4H-SiC PiN ダイオードを例として SiC パワー半導体中の BPD に起因するバイポーラ劣化現象の理論的な理解のために新たなモデルを提案する。PiN ダイオード構造中における BPD が 1SSF へ拡張する臨界電流密度を予測可能なモデルを構築する。第 4 章では、Si 蒸気圧エッチング法を PiN ダイオードの試作に適用し順方向通電ストレス試験を通して基板中の BPD-TED 変換効果の検証を行う。第 5 章では、臨界電流密度の定量的評価に必要となる BPD を 1SSF へ拡張させる臨界ホール濃度をモデルと実験の両面から見積もりモデルに適用することで、バイポーラ劣化の PiN ダイオードのデバイス構造パラメータと BPD-TED 変換位置の相関を明らかにする。第 6 章では、本研究により得られた結果を総括して本論文の結論と今後の展望と課題をまとめる。

第1章 参考文献

- [1] 経済産業省資源エネルギー庁 2017年度総合エネルギー統計(確報) (2019).
- [2] 経済産業省 長期エネルギー需給見通し (2014).
- [3] トヨタ自動車株式会社 2014年05月20日プレスリリース, ”トヨタ自動車、新素材 SiC による高効率パワー半導体を開発” : <https://global.toyota.jp/detail/2657262>
- [4] T. Kimoto, “Material science and device physics in SiC technology for high-voltage power devices”, *Jpn. J. Appl. Phys.* 54, 040103 (2015).
- [5] M. Fukui, T. Saraya, K. Itou, T. Takakura, S. Suzuki, K. Takeuchi, K. Kakushima, T. Hoshii, K. Tsutsui, H. Iwai, S. Nishizawa, I. Omura, T. Hiramoto, “Turn-Off Loss Improvement by IGBT Scaling”, *Extended Abstracts of 2019 International Conference on Solid State Devices and Materials, Nagoya*, pp723-724 (2019).
- [6] J. A. Lely, “Sublimation process for manufacturing silicon carbide crystals”, 米国特許公報, US2854364 (A) (1955).
- [7] P. H. Keck, M. J. E. Golay, “Crystallization of Silicon from a Floating Liquid Zone”, *Phys. Rev.* 89, 1297 (1953).
- [8] Y. M. Tairov, V. F. Tsvetkov, “Investigation of Growth Processes of Ingots of Silicon Carbide Single Crystals”, *J. Cryst. Growth* 43, 209 (1978).
- [9] N. Kuroda, K. Shibahara, W. Yoo, S. Nishino, H. Matsunami, “Step-controlled VPE Growth of SiC Single Crystals at Low Temperatures”, *Extended Abstracts of 19th International Conference on Solid State Devices and Materials, Tokyo*, pp.227-230 (1987)
- [10] 松波弘之, 大谷昇, 木本恒暢, 中村孝(編), “半導体 SiC 技術と応用”第2版, 日刊工業新聞社 p.14 (2011).
- [11] M. Lee, S. M. Sze, “Semiconductor Devices: Physics and Technology”, 3rd Edition, Appendix F, John Wiley & Sons, New York (2012).
- [12] H. Holloway, K. Hass, M. Tamor, T. Anthony, W. Banholzer, “Isotopic Dependence of the Lattice Constant of Diamond”, *Phys. Rev. B*, 44, 7123 (1991).
- [13] M. E. Levinshtein, S. L. Rumyantsev, M. S. Shur, “Properties of Advanced Semiconductor Materials: GaN, AlN, InN, BN, SiC, SiGe”, Chapter 1, John Wiley & Sons, New York (2001).
- [14] H. Schulz, K. Thiemann, “Crystal Structure Refinement of AlN and GaN”, *Solid State Commun.* 23, 815-819 (1977).
- [15] 日本産業技術振興協会新材料技術委員会(編), 化合物半導体デバイス: 付録 III-V 族化合物半導体基礎データ集, 第11章(楠本業) (1973).
- [16] A. Hassan, Y. Savaria, M. Sawan, “GaN Integration Technology, an Ideal

Candidate for High-Temperature Applications: A Review”, IEEE Access, 6, pp.78790-78802 (2018).

[17] B. J. Baliga (ed), “Wide Bandgap Semiconductor Power Devices”, Chapter 2 (T. Kimoto), Woodhead Publishing, Cambridge (2019).

[18] I. Omura, W. Saito, T. Domon, K. Tsuda, “Gallium Nitride power HEMT for high switching frequency power electronics”, 2007 International Workshop on Physics of Semiconductor Devices, pp.781-786 (2007).

[19] 寺島知秀, “ワイドバンドギャップ半導体によるパワーデバイスの性能改善と課題”, J. Soc. Mater. Sci., Japan, 64, 9, pp.701-706 (2015).

[20] N. Kaminski, O. Hilt, “SiC and GaN devices – wide bandgap is not all the same”, IET Circuits Devices Syst., 8, 3, pp.227-236 (2014).

[21] A. Nakagawa, “Theoretical Investigation of Silicon Limit Characteristics of IGBT”, Proceedings of the 18th International Symposium on Power Semiconductor Devices & IC's, pp.5-8 (2006).

[22] B. Borowy, L. Casey, G. Davis and J. Connell, “HiRel Double Sided Package For Si/SiC Power Module”, 2006 IEEE International Reliability Physics Symposium Proceedings, San Jose, pp.613-614 (2006).

[23] M. Nakazawa, T. Miyanagi, S. Iwamoto, “Hybrid Si-IGBT and SiC-SBD Modules”, FUJI ELECTRIC REVIEW, 58, 2, pp.70-74 (2012).

[24] K. Yamaguchi, K. Katsura, T. Yamada, Y. Sato, “High Power Density SiC-based Inverter with a Power Density of 70 W/liter or 50 kW/kg”, IEEJ Journal IA, 8, 4, pp.694-703 (2019).

[25] 株式会社日立パワーデバイス - IGBT・SiC:

<http://www.hitachi-power-semiconductor-device.co.jp/en/products/igbt/sic/index.html>

[26] 三菱電機株式会社 - SiC 応用機器:

<http://www.mitsubishielectric.co.jp/semiconductors/application/sic/index.html>

[27] ローム株式会社 - "フル SiC"パワーモジュール: <https://www.rohm.co.jp/sic/sic-pm>

[28] 東芝デバイス&ストレージ株式会社 - SiC ハイブリッドモジュール:

<https://toshiba.semicon-storage.com/jp/product/igbt-iegt/iegt/sic.html>

[29] 山川 聡, “SiC パワーデバイスの実用化展開”, 応用物理, 85, 11, pp.941-946 (2016).

[30] 東海旅客鉄道株式会社 2015年6月25日プレスリリース, “SiC 素子の採用による新幹線車両用駆動システムの小型軽量化について”:

https://jr-central.co.jp/news/release/_pdf/000027199.pdf

[31] K. Sato, H. Kato, T. Fukushima, “Development of SiC Applied Traction System for Shinkansen High-speed Train”, Proceedings of 2018 International Power Electronics Conference, Niigata, pp.3478-3483 (2018).

- [32] T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi and Y. Yokotsuji, “High Performance Trench SiC Devices with Ultra-low Ron”, Proc. of IEDM, Washington, pp.599-601 (2011).
- [33] C.-T. Yen, C.-C. Hung, H.-T. Hung, L.-S. Lee, C.-Y. Lee, T.-M. Yang, Y.-F. Huang, C.-Y. Cheng, P.-J. Chuang, “1700V/30A 4H-SiC MOSFET with low cut-in voltage embedded diode and room temperature boron implanted termination,” Proceedings of 27th International Symposium on Power Semiconductor Devices and ICs, Hong Kong, pp. 265-268 (2015).
- [34] L.S. Ramsdell, American Mineralogist, “Studies on Silicon Carbide”, 32, 64 (1947).
- [35] U. Starke, J. Schardt, M. Franke, “Morphology, bond saturation and reconstruction of hexagonal SiC surfaces”, Appl. Phys. A, 65, pp.587-596 (1997).
- [36] A. Fissel, “Artificially layered heteropolytypic structures based on SiC polytypes: molecular beam epitaxy, characterization and properties”, Phys. Rep. 379, 3-4, pp.149-255 (2003).
- [37] T. Kimoto and J. A. Cooper, “Fundamentals of Silicon Carbide Technology”, Chapter 1, John Wiley & Sons, Singapore (2014).
- [38] 大谷 昇, 勝野正和, 藤本辰雄, 柘植弘志, 藍郷 崇, 矢代弘克, “<0001> c 軸に平行並びに垂直な方向への SiC バルク単結晶成長”, FED ジャーナル, 11, 2, pp.16-22 (2000).
- [39] A. Ellison, B. Magnusson, B. Sundqvist, G. Pozina, J. P. Bergman, E. Janzén, A. Vehanen, “SiC crystal growth by HTCVD”, Mater. Sci. Forum, 457-460, pp.9-14 (2004).
- [40] Y. Sugawara, M. Nakamori, Y.-Z. Yao, Y. Ishikawa, K. Danno, H. Suzuki, T. Bessho, S. Yamaguchi, K. Nishikawa, Y. Ikuhara, “Transmission Electron Microscopy Analysis of a Threading Dislocation with $c+a$ Burgers Vector in 4H-SiC”, Appl. Phys. Express 5, 081301 (2012).
- [41] E. Schmitt, T. Straubinger, M. Rasp, A. D. Weber, “Defect reduction in sublimation grown SiC bulk crystals”, Superlattices Microstruct. 40, pp.320–327 (2006).
- [42] T. Kimoto and J. A. Cooper, “Fundamentals of Silicon Carbide Technology”, Chapter 3, John Wiley & Sons, Singapore (2014).
- [43] H. Sako, T. Yamashita, K. Tamura, M. Sasaki, M. Nagaya, T. Kido, K. Kawata, T. Kato, K. Kojima, S. Tsukimoto, H. Matsuhata, M. Kitabatake, “Microstructural Analysis of Damaged Layer Introduced during Chemo-Mechanical Polishing”, Mater. Sci. Forum, 778-780, pp.370-373 (2014).
- [44] 田村謙太郎, 大島博典, 杉山直之, 松畑洋文, 北畠 真, 児島一聡, 大野俊之, “SiC エピタキシャルウエハの帯状欠陥へのバルク基板表面ダメージによる影響”, SiC 及び関連ワイドギャップ半導体研究会 第 20 回講演会 予稿集 P-12 (2011).
- [45] K. Kojima, H. Okumura, K. Arai, “Control of the Surface Morphology on Low Off Angled

- 4H-SiC Homoepitaxial Growth”, Mater. Sci. Forum, 615-617, pp.113-116 (2009).
- [46] 一般社団法人電子情報技術産業協会, JEITA EDR-4712/100, “SiC ウェーハの結晶欠陥の非破壊検査方法 (Part 1: 結晶欠陥の分類)” (2016).
- [47] 一般社団法人電子情報技術産業協会, JEITA EDR-4712/200, “SiC ウェーハの結晶欠陥の非破壊検査方法 (Part 2: 光学検査手法による SiC エピタキシャル層欠陥の検査方法)” (2016).
- [48] S. Ha, P. Mieszkowski, M. Skowronski, L.B. Rowland, “Dislocation conversion in 4H silicon carbide epitaxy”, J. Cryst. Growth 244 (3-4) 257-266 (2002).
- [49] X. Zhang, M. Nagano, H. Tsuchida, “Correlation between Thermal Stress and Formation of Interfacial Dislocations during 4H-SiC Epitaxy and Thermal Annealing”, Mater. Sci. Forum, 679-680, pp.306-309 (2011).
- [50] 渡辺行彦, 勝野高志, 石川 剛, 藤原広和, 山本敏雅, “SiC ショットキーダイオードの特性と欠陥の関係”, 表面科学, 35, 2, pp.84-89 (2014).
- [51] F. Bernardini, L. Colombo, “Interaction of doping impurities with the 30° partial dislocations in SiC: An *ab initio* investigation”, Phys. Rev. B. 72. 085215 (2005).
- [52] T. Miyanagi, H. Tsuchida, I. Kamata, T. Nakamura, K. Nakayama, R. Ishii, Y. Sugawara, “Annealing effects on single Shockley faults in 4H-SiC”, Appl. Phys. Lett. 89, 062104 (2006).
- [53] 岡田 葵, 太田千春, 西尾譲司, 牛流章弘, 飯島良介, 中山浩二, 加藤智久, 米澤喜幸, 奥村 元, “4H-SiC p-i-n diode における積層欠陥の拡張開始に温度・電流密度が及ぼす影響”, 先進パワー半導体分科会代 5 回講演会, IB-25 (2018).
- [54] 牛流章弘, 加納 明, 加藤光章, 太田千春, 岡田 葵, 西尾譲司, 泉 聡志, 廣畑賢治, “4H-SiC-PiN ダイオードの積層欠陥拡張に対する機械的応力の影響評価”, 先進パワー半導体分科会代 5 回講演会, IIA-27 (2018).
- [55] K. Konishi, S. Yamamoto, S. Nakata, Y. Nakamura, Y. Nakanishi, T. Tanaka, Y. Mitani, N. Tomita, Y. Toyoda, S. Yamakawa, “Stacking fault expansion from basal plane dislocations converted into threading edge dislocations in 4H-SiC epilayers under high current stress”, J. Appl. Phys. 114, 014504 (2013).
- [56] T. Tawara, S. Matsunaga, T. Fujimoto, M. Ryo, M. Miyazato, T. Miyazawa, K. Takenaka, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, H. Tsuchida, “Injected carrier concentration dependence of the expansion of single Shockley-type stacking faults in 4H-SiC PiN diodes”, J. Appl. Phys., 123, 025707 (2018).
- [57] S. Ha, P. Mieszkowsk, M. Skowronsk, L.B. Rowland, “Dislocation conversion in 4H silicon carbide epitaxy”, J. Cryst. Growth 244 (3-4), pp.257-266 (2002).
- [58] J. J. Sumakeris, J. P. Bergman, M. K. Das, C. Hallin, B. A. Hull, E. Janzen, H. Lendenmann, M. J. O’Loughlin, M. J. Paisley, S. Ha, M. Skowronski, J. W. Palmour and

C. H. Carter Jr., "Techniques for Minimizing the Basal Plane Dislocation Density in SiC Epilayers to Reduce V_f Drift in SiC Bipolar Power Devices", *Mater. Sci. Forum* 527-529, pp.141-146 (2006).

[59] M. K. Das, J. J. Sumakeris, B. A. Hull, J. Richmond, "Evolution of Drift-Free, High Power 4H-SiC PiN Diodes", *Mater. Sci. Forum* 527-529, pp.1329-1334 (2006).

[60] T. Miyazawa, T. Tawara, H. Tsuchida, "V and Ti Doping in 4H-SiC Epitaxy for Reduction of Carrier Lifetimes", *Mater. Sci. Forum*, 897, pp.67-70 (2017).

[61] T. Tawara, T. Miyazawa, M. Ryo, M. Miyazato, T. Fujimoto, K. Takenaka, S. Matsunaga, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, H. Tsuchida, "Short minority carrier lifetimes in highly nitrogen-doped 4H-SiC epilayers for suppression of the stacking fault formation in PiN diodes", *J. Appl. Phys.*, 120, 115101 (2016).

[62] K. Kawahara, "6.5 kV schottky-barrier-diode-embedded SiC-MOSFET for compact full-unipolar module", 2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD), Sapporo, pp.41-44 (2017).

[63] J. Nakashima, "6.5-kV Full-SiC Power Module (HV100) with SBD-embedded SiC-MOSFETs", PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, pp.1-7 (2018).

[64] M. Kitabatake, "Developments of SiC Diode MOS (Diode Integrated SiC MOSFET)", *MRS Proceedings*, 1693, Mrss14-1693-dd02-05 (2014).

[65] A. Niwa, "A Dead-Time Controlled Gate Driver Using Current-Sense FET Integrated in SiC MOSFET", *IEEE Tran, on PE*, 33, 4, pp.3258-3267 (2018).

[66] K. Nakayama, Y. Sugawara, Y. Miyanagi, K. Asano, S. Ogata, S. Okada, T. Izumi, A. Tanaka, "Behavior of Stacking Faults in TEDREC Phenomena for 4.5 kV SiCGT", *Mater. Sci. Forum*, 600-603, pp.1175-1178 (2008).

[67] T. Ishigaki, T. Murata, K. Kinoshita, T. Morikawa, T. Oda, R. Fujita, K. Konishi, Y. Mori, A. Shima, "Analysis of Degradation Phenomena in Bipolar Degradation Screening Process for SiC-MOSFETs", 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD), Shanghai, pp.259-262 (2019).

[68] N. A. Mahadik, R. E. Stahlbush, E. A. Imhoff, M. J. Tadjer, G. E. Ruland, C. A. Affouda, "Mitigation of BPD by Pre-Epigrowth High Temperature Substrate Annealing", *Materials Science Forum*, 858, pp.233-236 (2016).

[69] Y. Sudoh, M. Kitabatake, T. Kaneko, "BPD-TED Conversion in the SiC substrate after High-Temperature Si-VE", *Ext. Abst. of ICSCRM*, Th-1B-04 (2019).

[70] N. Yabuki, S. Torimi, S. Nogami, M. Kitabatake, T. Kaneko, "Development of

“Si-vapor etching” and “Si vapor ambient anneal” in TaC/Ta composite materials”,
Mater. Sci. Forum, 858, pp.719-722 (2016).

第 2 章 Si 蒸気圧エッチング法

本章では、SiC 基板表面のダメージフリー平坦化加工とバイポーラ劣化の原因となる基板中の BPD への TED 変換を同時に実現する Si 蒸気圧エッチング (Si-VE: Si-Vapor Etching) 法について説明する。Si-VE 法は関西学院大学金子忠昭教授により提唱および確認された SiC 基板に対する完全な熱化学エッチングプロセス[1][2]で、SiC 単結晶のウェハ化加工工程によりもたらされる SiC 基板表面の機械的な加工ダメージを除去するとともにナノレベルの分子層ステップ-テラス構造からなる非常に平滑な表面を形成する処理法である。はじめに、Si-VE 法のプロセス環境ならびに原理を説明し、エピタキシャル成長前の SiC 基板加工 (エピレディ加工) における表面高品質化および基板中の BPD への TED 変換の機能について述べる。

2-1. Si 蒸気圧エッチング法のプロセス原理

Si-VE 法は、1500°Cから 2200°Cまでの高温かつ減圧環境下において SiC と高純度の Si 蒸気を化学反応させる。この特異なプロセス環境を実現するために考案された加熱装置ならびにプロセス部材を以下に述べる。

まず、Si-VE 法のプロセスを制御する加熱装置の概要について説明する。加熱装置は 2200°Cまでの高温かつ減圧雰囲気において Si-VE法に要求される高純度な Si 蒸気環境を維持するため、SiC 用超高温プロセス炉 (エピックエスト製 KGX-2000) [3][4]を用いる。本装置は、2000°Cを超える高温環境において SiC と Si 蒸気の反応を妨げる不純物、特に C や N などの元素の混入を排除するため、炉内部材には炭素系材料によるヒーターや断熱材を一切使用しない高融点金属を用いた高温超高真空金属炉である。装置を構成するチャンバーは主に加熱処理を行う加熱室と試料交換を行う導入室からなり、図 2-1 に加熱室の構造の概要を示す。加熱室はロードロック機構によって常に超高真空室に保たれ、加熱室における室温における到達真空度は 6.6×10^{-7} Pa、最高加熱温度は 2200°C、加熱均熱領域は 160 mmφ × 65 mmH が保証されている。また、加熱処理において不活性ガスである Ar を導入するラインも有しており、マスフローコントローラーによるガス流量調整によってプロセスの背圧を 1 ~13 kPa の範囲で制御することができる。加熱方式はタングステン (W) 製メッシュヒーターによる抵抗加熱で、W およびモリブデン (Mo) からなる多層反射板によりヒーターの外周を囲うことで効率よく試料へ輻射熱を与えることが可能である。導入室より搬送される試料は予備加熱室と呼ぶ加熱室下方の位置に待機する。その後、加熱室をプロセスの目的温度まで予め昇温する。このとき、加熱室からの輻射伝熱により試料は吸着したガスを十分に放出する温度 (約 800°C~1000°C) まで加熱される。十分に脱ガスされた試料は高さ方向に駆動する搬送機構によって約 1 分で予備加熱室から加熱室へ搬送される。この搬送機構により約 1000°C/min の急速加熱、急速冷却が可能で、プロセス処理時

間の精密な制御を可能とする。

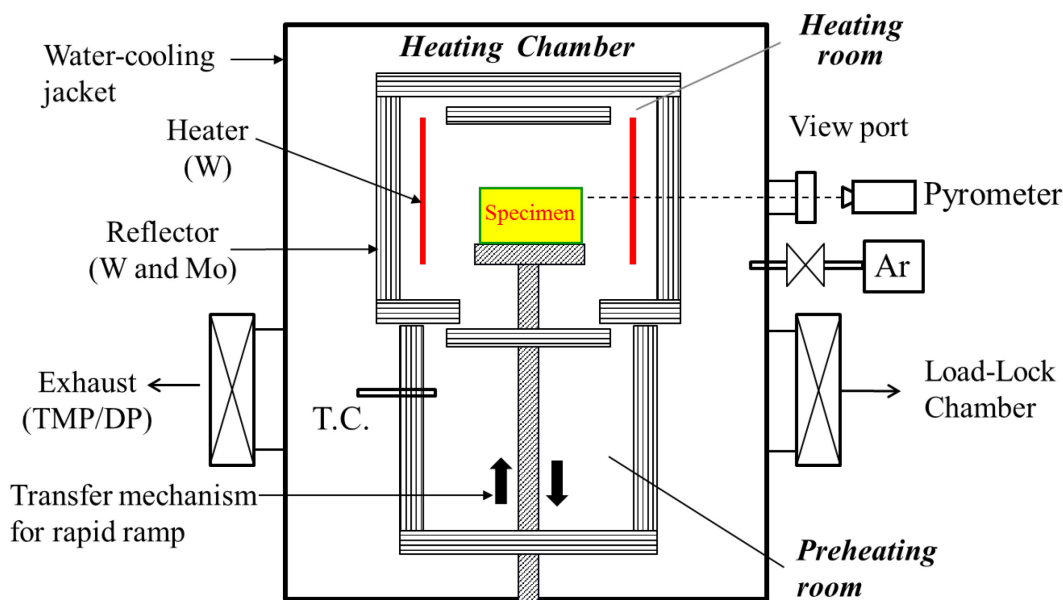


図 2-1. SiC 用超高温プロセス炉の加熱室の構造

次に、高純度の Si 蒸気環境を創生するためのプロセス部材について説明する。2200℃までの高温環境下において熱的に安定で Si 蒸気環境に対して不純物となる元素を放出しない材料として遷移金属タンタル (Ta) の炭化物：炭化タンタル (TaC) が用いられる。TaC および Ta の代表的な物性値[5][6]について以下の表 2-1 に示す。TaC は非常に高い 3985℃の融点、高硬度、金属と同等の電気抵抗などのユニークな物性を持ち、高温プロセスにおける耐熱部材として好適な材料である。

表 2-1. TaC および Ta の代表的な物性値

Physical properties	TaC	Ta
Density (Mg/m ³)	14.5	16.6
Melting Point (°C)	3985	2995
Young's modulus (GPa)	560	185-186
Thermal conductivity (W/m k)	9-22	54-61
Electric resistance (μΩm)	0.15	0.13
Coef. of thermal expansion (10 ⁻⁶ /K)	7.1	6.5

Si-VE 法では図 2-2 に示す TaC からなる嵌合型坩堝容器 (165 mmφ × 80 mmH) をプロセス部材として用いる。この TaC 製坩堝は成型された金属 Ta の表面に対して 1700°C 以上の高温減圧雰囲気下で炭素 (C) 蒸気を照射して浸炭させることにより作製される[7-9]。本作製手法では、C 原子 (原子半径 : 0.77 Å) が Ta (原子半径 : 1.46 Å) の結晶格子間位置 (格子定数 : 3.2959 Å) に拡散し、金属 Ta 表面から炭化層を形成する侵入型化合物となる。一般に Ta を含む遷移元素の化合物は格子欠陥に起因する不定比化合物[10]となり、組成元素の濃度の揺らぎを持つ組成可変相と複数の相分離を形成する。浸炭により作製された TaC においても複数の組成を持つ安定相に分離することが確認できている。図 2-3 は浸炭された Ta 表面の断面の走査電子顕微鏡 (SEM) 像の例である。表面から C 組成量の多い順に δ-TaC、β-Ta₂C、α-Ta 相を形成しており、TaC/Ta 複合材料の構造となっていることがわかる。この相分離の構造は図 2-4 に示す Ta-C 系相図[11]から理解できる。



図 2-2. TaC 製坩堝容器の外観写真

それぞれの安定相 Ta_xC_y は厳密な化学量論比から許容される C 濃度の揺らぎ幅 Δy を持ち、組成濃度の安定領域が温度によって異なることがわかる。さらに、図 2-3 の各相の境界においては C 濃度が不連続となることがわかる。このことから、浸炭により形成する炭化層 Ta_xC_y は各組成の相内および相間で表面から内部に向かって C 濃度の傾斜を有することが予想される。また、各相内における C の濃度勾配を駆動力とする C 原子の拡散現象に対して拡散係数 *D* が実験的に求められており、

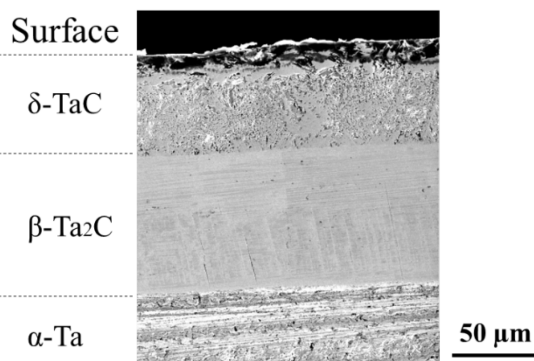


図 2-3. 浸炭 TaC の断面 SEM 像

$$D(T, c) = D_0 \exp\{a(c^+ - c)\} \exp\left(-\frac{E}{k_B T}\right) \quad (2.1)$$

の Arrhenius 型の式で表される[12]。ここで、*T* は絶対温度、*c* は C 濃度、*D*₀ は頻度因子、*a* はフィッティング係数、*c*⁺ は相内の最大 C 濃度、*E* は活性化エネルギー、*k_B* は Boltzmann 定数である。式(2.1)より、高温かつ相内の C の濃度勾配が大きいほど拡散係数が大きくなり、さらに図 2-4 の相図から温度の上昇に伴って *c*⁺ - *c* の取りうる幅が大き

なることから、高温環境下においては TaC 表面に取り込まれた C の内方拡散が促進される。高温プロセスである Si-VE 法では、この Ta_xC_y 安定相中の C 濃度勾配による C の内方拡散現象を利用し、後述するプロセス中に生成する C 系化学種を積極的に TaC 部材表面から内部へ拡散輸送させる機能 (C 吸蔵機能) によって高い Si 蒸気圧を坩堝内に生成することが可能である。C 吸蔵機能は TaC/Ta 複合材料の Ta_xC_y の C 濃度勾配を有する構造のみにおいて発現し、一様な C 濃度を有する TaC 薄膜被覆材料では機能を発現しない。以下では TaC/Ta 複合材料からなる坩堝型容器を TaC/Ta 坩堝と記載する。

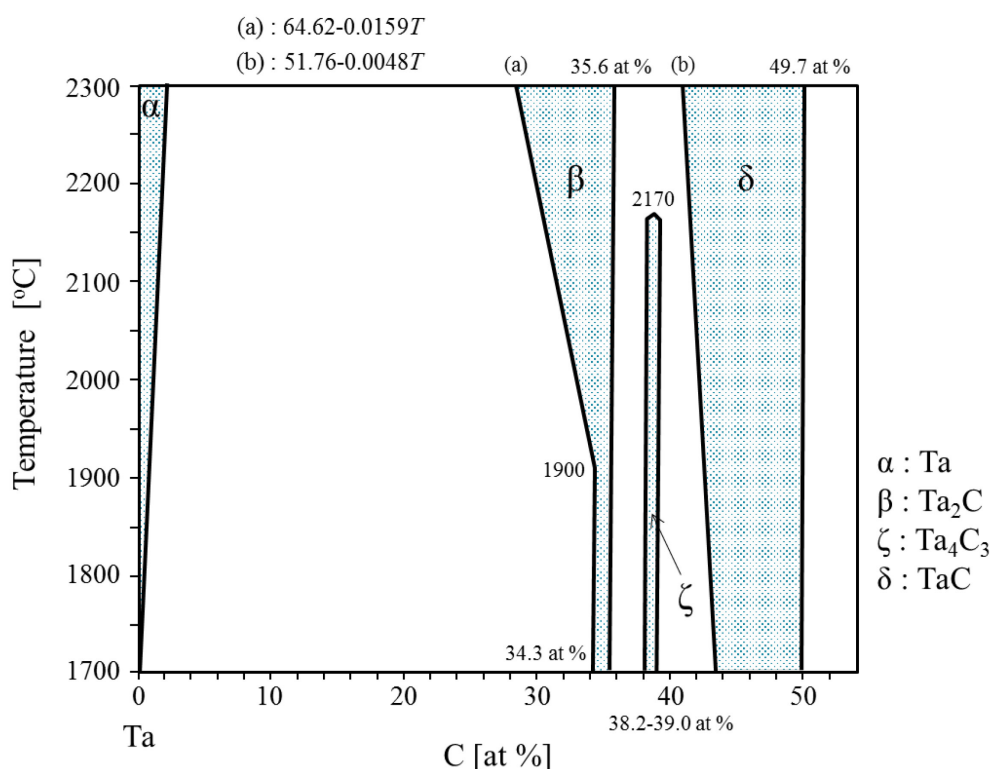


図 2-4. Ta-C 系の相図 ([11]を基に作成)

次に、TaC/Ta 坩堝内の空間に形成する Si 蒸気環境の生成方法について説明する。Si-VE 法における Si 蒸気の供給源は、TaC/Ta 坩堝の内壁へ高温下で気化させた金属 Si 蒸気を反応させることによって形成する Ta シリサイド層 Ta_xSi_y を用いる [13]。本手法により形成させる Ta シリサイド層の組成を示す X 線回折 (XRD) パターンの例を図 2-5 に示す。使用した X 線は $CuK\alpha$ 、加速電圧は 40kV、電流 40mA である。図 2-5 より、Ta シリサイド層は $TaSi_2$ または Ta_5Si_3 からなることが確認できており、Si 蒸気と TaC の反応条件を調整することで Ta シリサイドの組成を制御することが可能である。

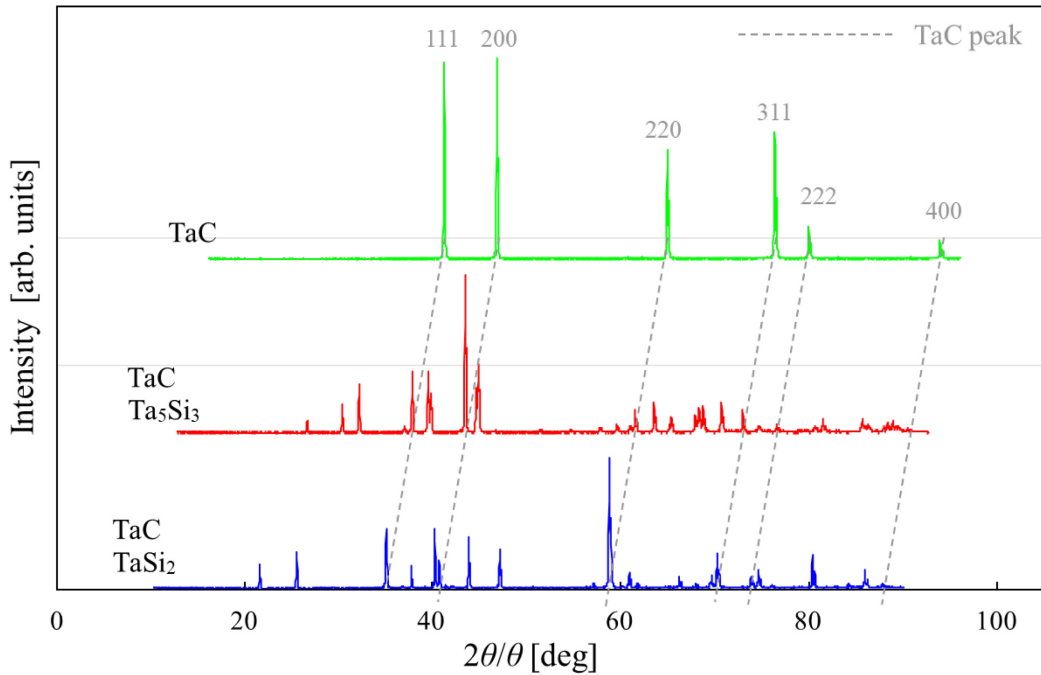


図 2-5. TaC/Ta 増埧内の空間に形成する Ta シリサイド層の XRD パターン

また、Ta シリサイド層 TaSi₂ および Ta₅Si₃ から形成する Si 蒸気圧の温度依存性を図 2-6 に示す[12]。比較として TaC からの C 蒸気圧[14]ならびに Clausius–Clapeyron の式より計算される単体 Ta からの Ta 蒸気圧[15]および単体 Si からの Si 蒸気圧[14]を併せて示した。TaSi₂ と Ta₅Si₃ による Si 蒸気圧は、Si/Ta の組成比の大きい TaSi₂ からの Si 蒸気圧のほうがやや大きいことがわかる。この Ta シリサイドの組成の違いによる Si 蒸気圧の差は Si-VE 法において SiC と Si 蒸気とのエッチング反応の速度に変化をもたらす重要なパラメータのひとつとなる。また、Ta シリサイドの Si 蒸気圧は単体 Si からの平衡蒸気圧よりも低い TaC からの C 蒸気圧および Ta からの Ta 蒸気圧は非常に低く、プロセス気相中において高い Si 分圧が得られているものと考えられる。

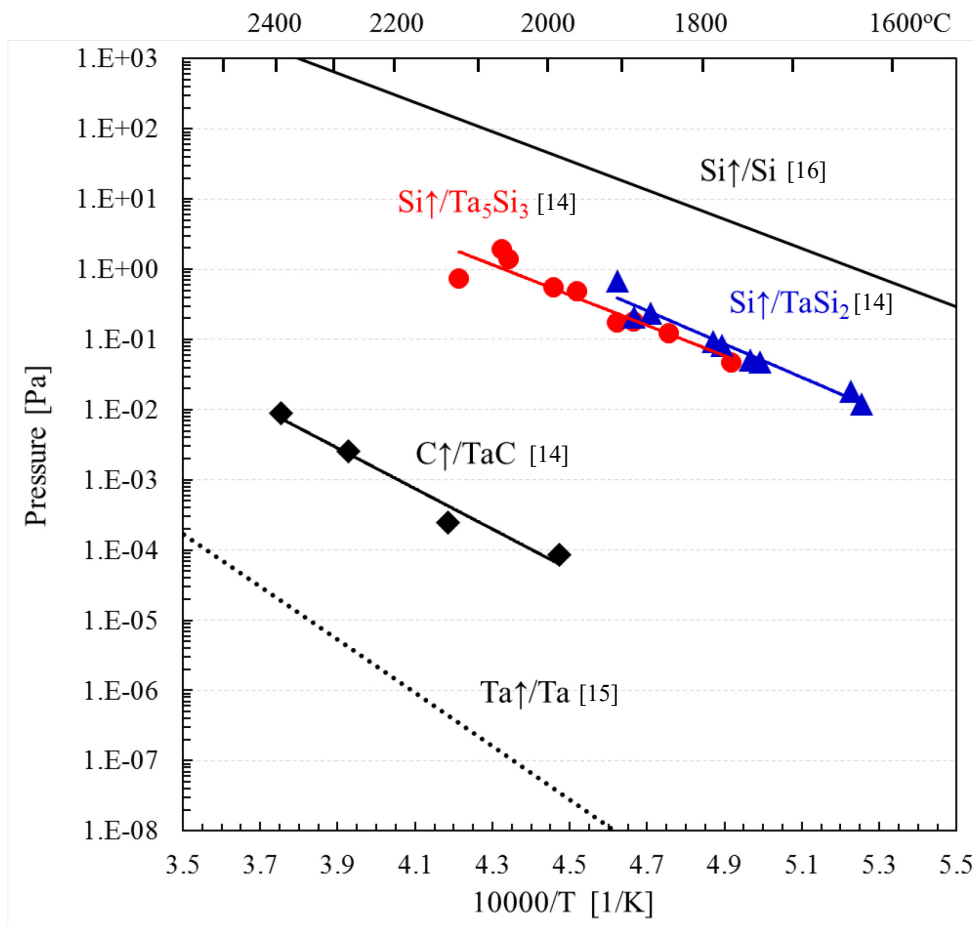
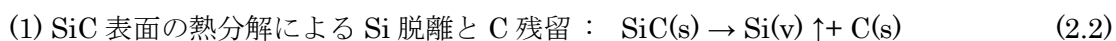
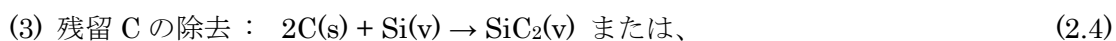


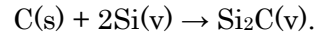
図 2-6. TaSi₂ および Ta₅Si₃ から形成する Si 蒸気圧の温度依存性 ([14-16]を基に作成)

最後に、Ta シリサイド層を付与された TaC/Ta 坩堝内での SiC エッチング反応の原理について述べる。図 2-7 は Si-VE 法の SiC エッチング反応のモデル図である。Ta シリサイドを予め内壁に堆積させた TaC/Ta 坩堝内に SiC 基板を設置し、SiC 用超高温プロセス炉で 1500°C 以上 2200°C 以下の温度で加熱すると、



の反応素過程が初期に起こる。式(2.2)の反応は、Si の平衡蒸気圧が高いため Si 原子が SiC 表面から優先的に脱離する炭化現象である。式(2.3)の反応は図 2-6 で示した Ta シリサイドの Si 蒸気圧の生成反応である。次に式(2.2)および(2.3)で発生した Si 蒸気は坩堝内の空間を満たし、SiC 基板表面に残留した C 原子と Si 蒸気が反応することで式(2.4)の反応を得る。





以上の反応素過程を経て Si 蒸気による SiC のエッチング反応を得ることができる。

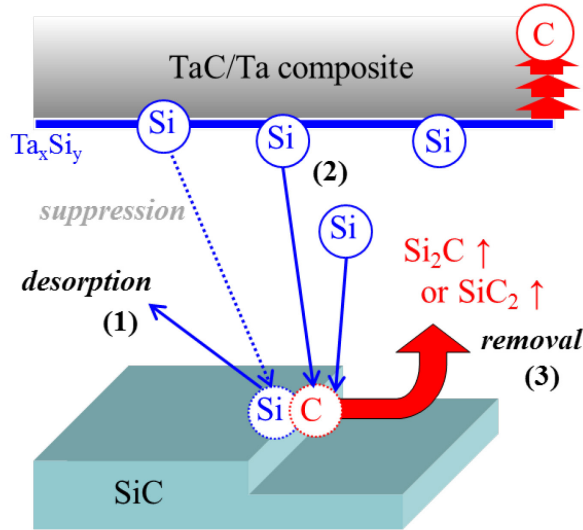


図 2-7. Si-VE 法の SiC エッチング反応のモデル図

また、エッチングの反応場が TaC/Ta 坩堝内の準閉鎖環境であることから図 2-8 に示すように Ta シリサイドから供給される Si 蒸気の密度 ρ_{Si} 、SiC 基板からの分解およびエッチング反応による生成化学種の密度 $\rho_{\text{SiC(subst.)}}$ 、TaC/Ta 部材表面と反応および吸着する化学種の密度 ρ_{TaC} 、坩堝空間からのガスのリーク密度 ρ_{leak} は定常状態において質量保存則に基づく物質収支 (式(2.5)) が成り立つと考えられる。坩堝からのリークの成分を除くと他のそれぞれの化学種の成分は坩堝内の空間で自己循環的にバランスしている。

$$\frac{d\rho_{\text{Si}}}{dt} + \frac{d\rho_{\text{SiC(subst.)}}}{dt} - \frac{d\rho_{\text{TaC}}}{dt} - \frac{d\rho_{\text{leak}}}{dt} = 0 \quad (2.5)$$

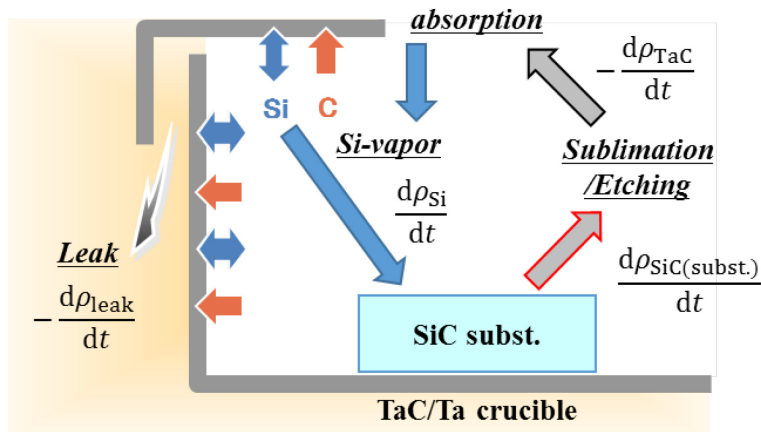
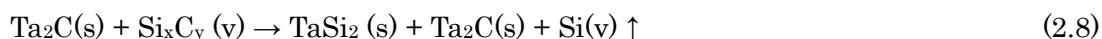
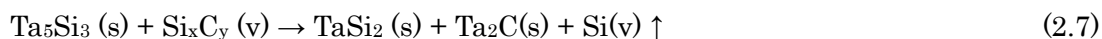
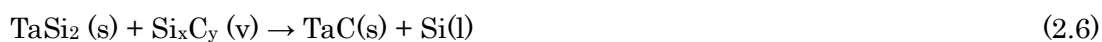


図 2-8. Si-VE 法の SiC エッチング反応場のモデル

式(2.4)から自明であるが、エッチング反応は SiC 表面に残留する C を除去する Si 蒸気の供給に律速する。その一方で、TaC/Ta 坩堝内は準閉鎖環境のため、エッチングによる反応生成物である C を含む化学種 (SiC₂ および Si₂C) の分圧が上昇すると、プロセス気相中の Si の分圧は実効的に低下しエッチング反応が抑制されてしまう。このとき、適切な SiC と Ta_xSi_y の存在比率の条件下において、Ta_xSi_y は SiC₂ および Si₂C との以下の化学反応 (2.6)-(2.8)によりプロセス気相中から C 原子を取り込むことが熱力学計算によって詳細に明らかにされている[3]。これにより Si-VE 法はプロセス気相中の Si 分圧を高く維持することができる。



さらに、Ta シリサイド層表面に取り込まれた C 原子は TaC/Ta 坩堝の C 吸蔵機能によって坩堝内部へ拡散する。以上によって、式(2.2)-(2.4)のエッチング反応を持続的に得ることができる。

これまでに説明した Si-VE 法のプロセス原理より、エッチングの化学反応は SiC 表面にて出入りする Si 蒸気ならびに反応生成物の蒸気圧の平衡蒸気圧からの差分を駆動力とする Hertz-Knudsen 型反応モデル[17] (式(2.9)) で表すことができる。

$$\text{Etching Rate} = \sum_i \alpha_i \beta_i(T) (P_i - P_i^e) \quad (2.9)$$

ここで、 α_i 、 $\beta_i(T)$ 、 P_i 、 P_i^e はそれぞれ化学種 i の付着係数、Hertz-Knudsen 因子、分圧、平衡蒸気圧を表す。 $\beta_i(T)$ は以下の式で表される。

$$\beta_i(T) = \frac{1}{\sqrt{2\pi M_i RT}} \quad (2.10)$$

M_i は化学種 i の分子量、 R は気体定数である。本モデルを用いてSiC-Si系およびSiC- Ta_xSi_y 系におけるエッチング後の反応生成物 Si_xC_y の平衡蒸気圧の差分から求めたエッチング速度の計算結果が実験結果と良く一致することが確認されている[3]。図2-9は、プロセス圧力 10^{-4} PaにおけるTaシリサイド層に Ta_5Si_3 および $TaSi_2$ を用いたときのSi-VE法による4°オフ4H-SiC (0001) Si面のエッチング速度の温度依存性である。 Ta_5Si_3 および $TaSi_2$ でエッチング速度の傾向が異なっていることがわかる。この結果は、図2-6で示したSiの分圧の違いと式(2.6)-(2.8)で述べた Ta_xSi_y と Si_xC_y との反応速度の違いによるものと考えられる[13]。

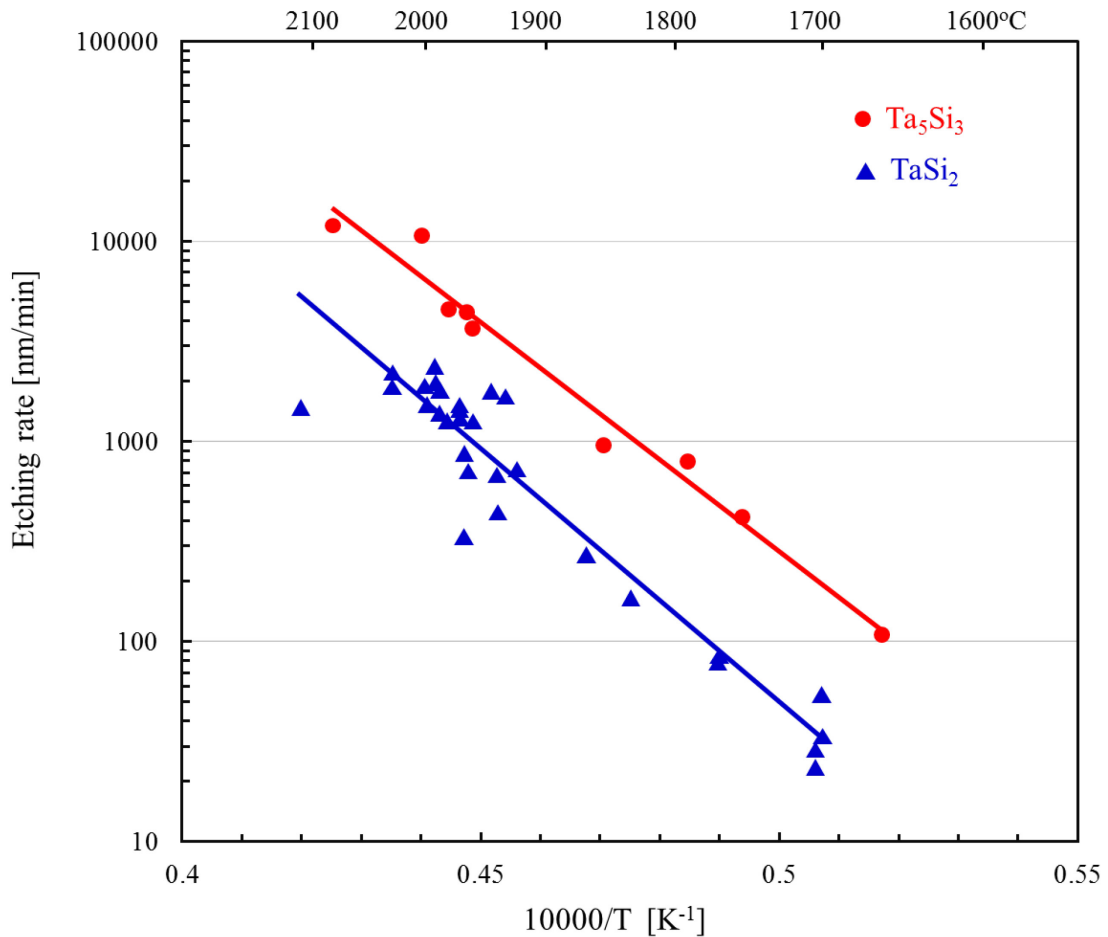


図 2-9. Ta_5Si_3 および $TaSi_2$ を用いたときのエッチング速度の温度依存性 ([13]より引用)

また、図 2-10 はプロセス圧力 1 Pa における 4°オフ 4H-SiC (0001) Si 面ならびに(000 $\bar{1}$) C 面に対する温度とエッチング速度の関係である[18]。温度を制御することによって 100～

10000 nm/min の広い範囲でエッチング速度を制御することが可能である。また、Si-VE 法においては Si 面ならびに C 面の面極性による違いはほとんど見られず、活性化エネルギーは 6.8-6.9 eV と見積もられた。

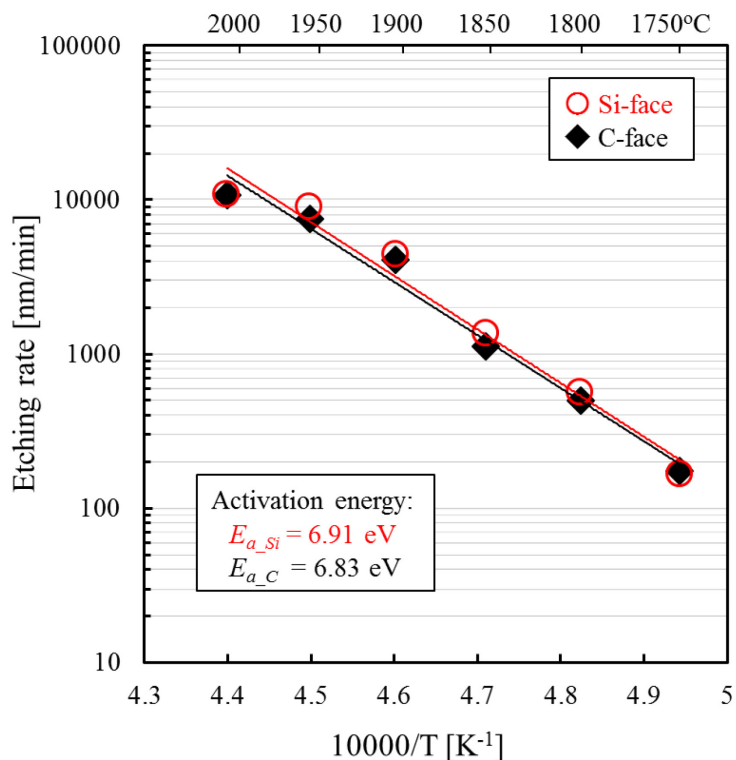


図 2-10. 4°オフ 4H-SiC のエッチング速度の温度依存性 ([18]より引用)

以上のように、Si-VE 法は Ta シリサイド層を付与された TaC/Ta 坩堝内で SiC ウェハを加熱するだけでプロセスの温度、圧力および Ta シリサイドの組成に基づいた Si 蒸気圧を形成し SiC 表面のエッチング反応を得ることができるため、加熱装置ならびに TaC/Ta 坩堝の系外からの Si 蒸気源の供給を必要としない極めて簡便なプロセスである。

2-2. Si 蒸気圧エッチングによる SiC 表面高品質化

半導体 SiC パワーデバイスの製造には高品質なエピタキシャルウェハが要求される。特に、エピタキシャル膜形成の上流工程である SiC 単結晶のウェハ化加工工程は、エピタキシャルウェハの品質を決定づける重要な工程のひとつである。一般的な Si 単結晶のウェハ化加工工程では、インゴットの切断加工やラップ研磨などの機械的な加工によってもたらされる加工起因の歪みや結晶欠陥は KOH や HNO₃+HF 混酸などを用いた化学エッチングにより容易に除去される[19]が、SiC 単結晶は化学的に安定な材料のため Si 単結晶の加工工程と同様な化学エッチングが困難とされている。Si-VE 法は単結晶 SiC 表面を熱化学エ

エッチングするプロセスのため、単結晶 SiC のウェハ化加工工程へ適用することで機械的な加工ダメージによる歪みや結晶欠陥のない高速エッチング(図 2-10 参照)加工を実現した。Si-VE 法によって加工ダメージが除去された SiC 基板は、ナノレベルの分子層ステップ-テラス構造からなる非常に平滑な表面を形成するとともに基板表面の押し込み硬さの向上と薄化加工後の抗折強度の向上を示した。さらにバイポーラ劣化の原因となる BPD を基板内で TED へ変換する付加機能も確認された。

2-2-1. 加工ダメージ除去

Si-VE 法によりエッチングされた SiC 表面は結晶構造に基づく分子層ステップ-テラス構造を有する平坦表面が得られる。図 2-11 は、ダイヤモンド砥粒によるラップ加工後の 4° オフ 4H-SiC (0001) Si 面に対して Si-VE 加工を行った表面の原子間力顕微鏡 (AFM) 像である。ダイヤラップ加工後に見られた一様な研磨傷(図 2-11 (a))が Si-VE 処理によって消失し(図 2-11 (b))、CMP 加工表面(図 2-11 (c))と同等の非常に平坦な表面が得られている。

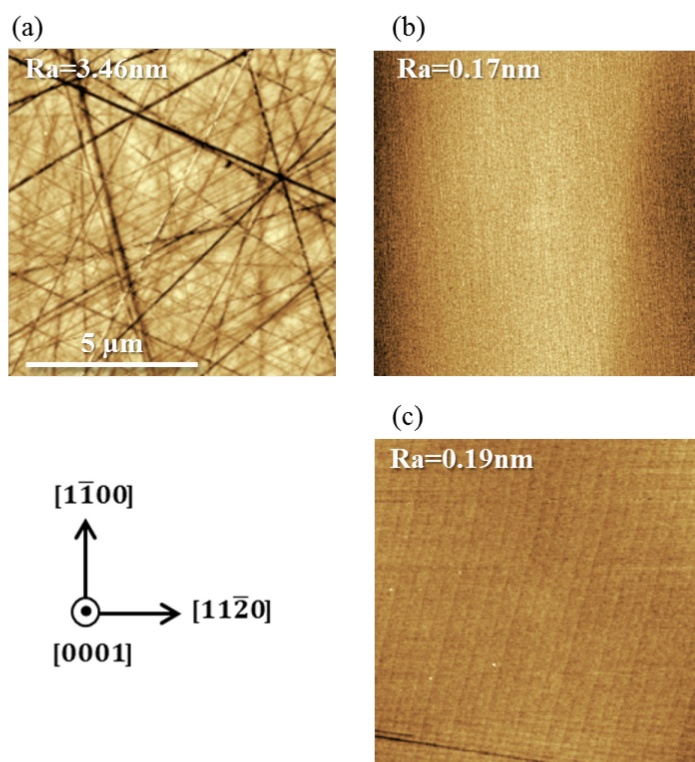


図 2-11. ダイヤラップ加工 SiC 表面に対する Si-VE 処理前後の AFM 像、(a):ダイヤラップ加工表面、(b): Si-VE 後表面、(c): CMP 表面

また、Si-VE 処理による SiC 表面モフォロジーはエッチングプロセスの条件に強く依存す

る[20]。図 2-12 は同基板に対して温度：1800~2000℃、Ar ガスの調整によるプロセス圧力：約 10^{-5} Pa~13.3kPa の条件においてエッチング量及びエッチング速度を変化させたときに得られる表面形状を分類した結果(図 2-13)であり、丸で示されるプロットは図 2-11 (c) に示した平坦な SiC 表面が得られた条件である。図中の領域 I に対応する良好な平坦化表面においては図 2-13 (b)に示す微細な{1-10n}系分子層ステップが形成しており、この分子層のステップの高さは 4H-SiC の半ユニットセルに相当する 0.5 nm であることが確認できている。一方、領域 II においては図 2-13 (c)に示す{1-10n}系ジグザグ型マクロステップバンチング (MSB)、領域 III においては図 2-13 (d)に示す{1-10n}系ジグザグ型 MSB が形成した。領域 IV においてはダイヤモンドラップ加工傷が強調され MSB よりはるかに荒れた表面形状となった。この結果より、領域 I の平坦な表面を得る条件としてエッチング量 >10 μ m かつエッチング速度 >200 nm/min が好適である結果が得られた。このエッチング量の閾値は、ダイヤモンド砥粒によるラップ加工によりもたらされた加工ダメージの深さに対応するものと推察される。エッチング速度による SiC 表面モフォロジーの変化に関しては、図 2-14 に示すとおり Si-VE のエッチング速度に対応した SiC 表面の MSB 分解過程[21]を AFM により観察した。処理条件は 1800℃ 15min 固定のもとプロセス圧力を 1.3 kPa、133 Pa、13 Pa の順に変化させた。{11-2n}系直線型 MSB の形状を持つ SiC 初期表面に対してエッチング速度が増加するに従って{1-10n}系分子層ステップへ分解し、>200 nm/min とする 280 nm/min においては SiC 表面が完全に{1-10n}系分子層ステップへ分解する様子が確認できる。また、MSB が分解されるエッチング速度の閾値に関しては、エッチング速度の Arrhenius プロット評価による閾値の活性化エネルギーが sp³ 型の C-C 結合エネルギーに対応することが報告されている[22]。

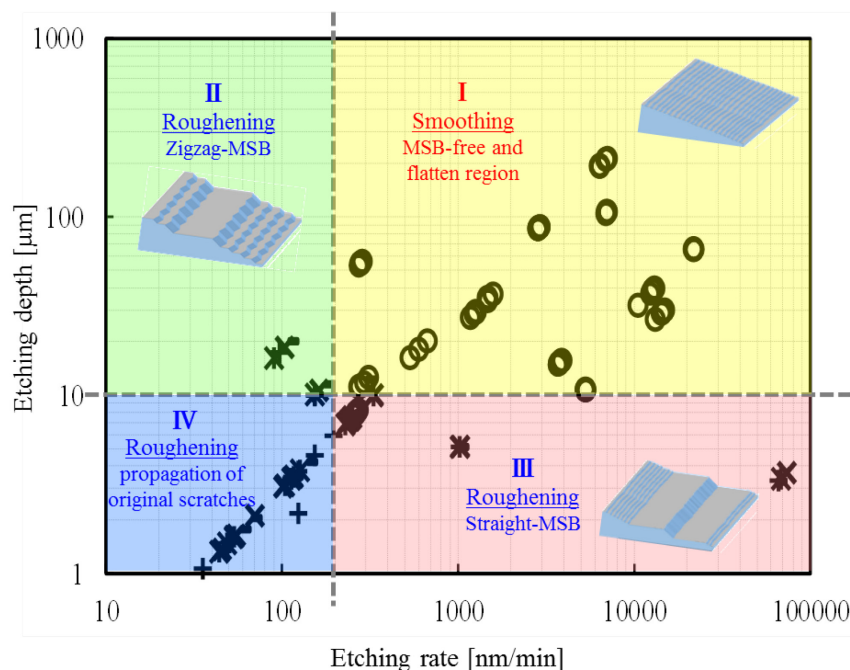


図 2-12. エッチング量およびエッチング速度の条件に対応する SiC 表面形状の分類

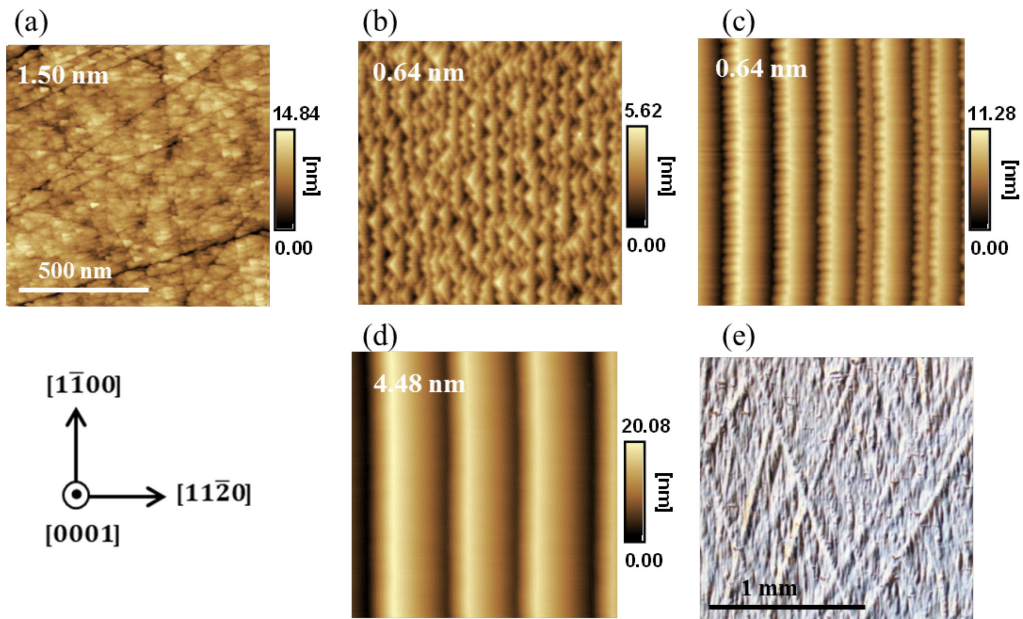


図 2-13. エッチング量およびエッチング速度の条件に対応する Si-VE 後の SiC 基板表面形状、図 2-12 のエッチング条件において：(a):ダイヤラップ加工の初期表面、(b): 領域 I の平坦な SiC 表面の AFM 像、(c): 領域 II の $\{1-10n\}$ 系ジグザグ型 MSB の SiC 表面の AFM 像、(d): 領域 III の $\{11-2n\}$ 系直線型 MSB の SiC 表面の AFM 像、(e): 領域 IV のダイヤラップ加工傷が強調されて荒れた SiC 表面の微分干渉顕微鏡像

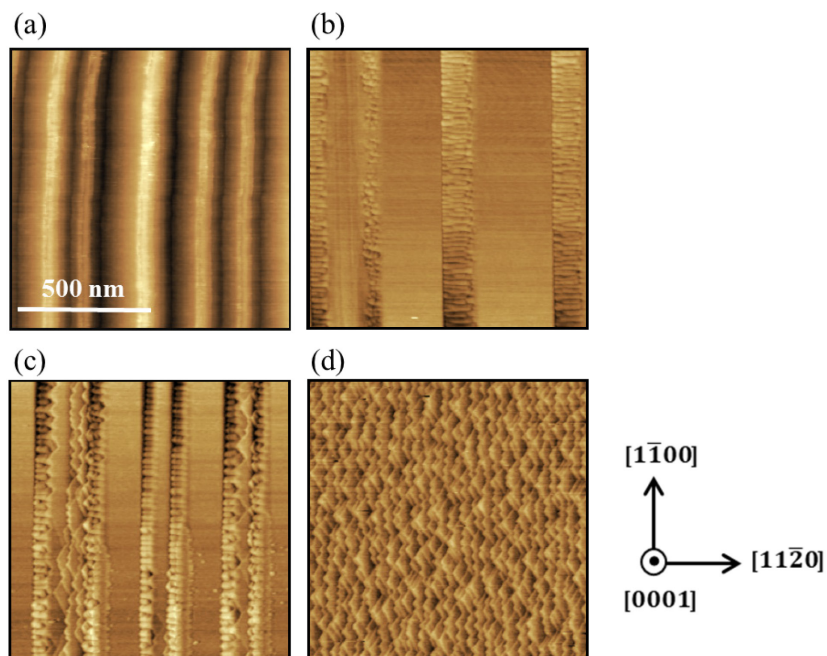


図 2-14. エッチング速度に対応する SiC 表面の MSB 分解過程の AFM 像、(a): MSB が形成された初期表面、(b): 50 nm/min 処理後、(c): 140 nm/min 処理後、(d): 280 nm/min 処理後

また、4°オフ 4H-SiC 市販 CMP 仕上げ基板ならびに Si-VE 加工基板の表面近傍の断面に対して、電子線後方散乱回折 (EBSD) 法ならびにシンクロトロン X 線マイクロビーム回折 (μ XRD) 法を用いた結晶性の評価によって、CMP 加工基板表面において残存する加工歪みが Si-VE 処理によって完全に除去されている結果が報告されている [23]。以上の評価を通して Si-VE 法による SiC 表面の平坦化および加工歪の除去効果を確認した。

次に、Si-VE 処理された機械的な加工ダメージによる歪みや結晶欠陥のない SiC 表面に対してエピタキシャル成長及び活性化アニールを想定した高温熱処理の評価を行うことで、Si-VE 法の効果を検証した。図 2-15 は CMP 及び Si-VE 処理されたダイヤモンドラップ加工基板に対して 10 μ m のエピタキシャル成長及び 1900°C 高温熱処理を行ったときの微分干渉顕微鏡の同点観察結果である [24]。Si-VE 処理によってラップ加工の荒れた初期表面が平坦化されていることがわかる。このとき、CMP 及び Si-VE 6.4 μ m の条件ではエピタキシャル成長後の高温熱処理において加工ダメージの残留により潜傷や MSB の発生が見られたが、Si-VE 10.8 μ m の条件では表面荒れの無い平坦な表面が維持された。この結果は、Si-VE 6.4 μ m の条件ではダイヤモンドラップによる加工ダメージが残存し、Si-VE 10.8 μ m の条件では加工ダメージが完全に除去されたものと解釈できる。また、このエッチング量の閾値は図 2-12 より推定された加工歪みの深さとほぼ一致した。

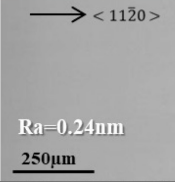
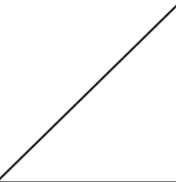
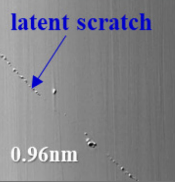
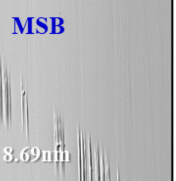
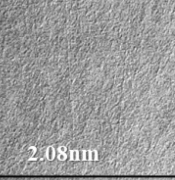
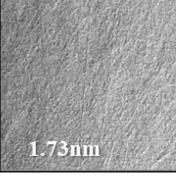
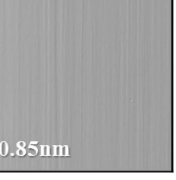
Process:	Si-vapor etching depth	pretreatment	Si-vapor etching	Epitaxial growth	HT annealing
As-purchased CMP surface (reference)	0 μ m	 $\rightarrow <11\bar{2}0>$ Ra=0.24nm 250 μ m		 latent scratch 0.96nm	 MSB 8.69nm
Si-vapor etching for mechanical polished surface	6.4 μ m	 2.08nm		0.41nm	0.75nm
	10.8 μ m	 1.73nm	0.42nm	0.88nm	 0.85nm

図 2-15. 微分干渉顕微鏡による CMP 及び Si-VE 処理表面へのエピタキシャル成長と高温熱処理後の表面形状変化の同点観察結果、左下の数値は白色干渉顕微鏡による表面粗さ Ra

また、図 2-15 のエピタキシャル成長に対する Si-VE 法の SiC 表面処理効果を、4 インチサイズの SiC ウェハを用いて均一性を評価した。図 2-16 は 4 インチ 4°オフ 4H-SiC (0001) Si 面ウェハの CMP 加工および Si-VE 処理表面に対して 10 μm のエピタキシャル成長を行ったときの表面の平坦性を示すヘイズマップである。図 2-16 のヘイズマップは、ウェハ検査装置（レーザーテック製 SiC ウェハ欠陥検査/レビュー装置[25]）により取得された SiC ウェハ表面の共焦点微分干渉顕微鏡像をソーベルフィルタによりエッジ検出し、表面の平坦性をグレースケールで表している。CMP 加工ウェハ（図 2-16 (a)）ならびに Si-VE 加工ウェハ（図 2-16 (b)）の初期表面はヘイズマップからは加工傷等の荒れは確認されない。その後のエピタキシャル成長において、CMP 加工ウェハは加工傷に由来する表面荒れ（潜傷）を示す白い線状のコントラストや MSB による一様な表面荒れを示すウェハ左半分の白い領域が現れた（図 2-16 (c)）。一方、Si-VE 加工ウェハはエピタキシャル成長後においても初期表面の平坦性を維持して潜傷などの表面荒れは確認されなかった。このように、CMP 加工表面のように光学的手法による観察において SiC 基板表面が十分に平坦であっても機械的な加工によって導入される基板内部の加工ダメージを検出することが困難であるが、Si-VE 処理を行うことで SiC 表面の平坦性と加工ダメージ除去を両立しエピタキシャル成長後の表面平坦性をウェハレベルで維持することが可能である。

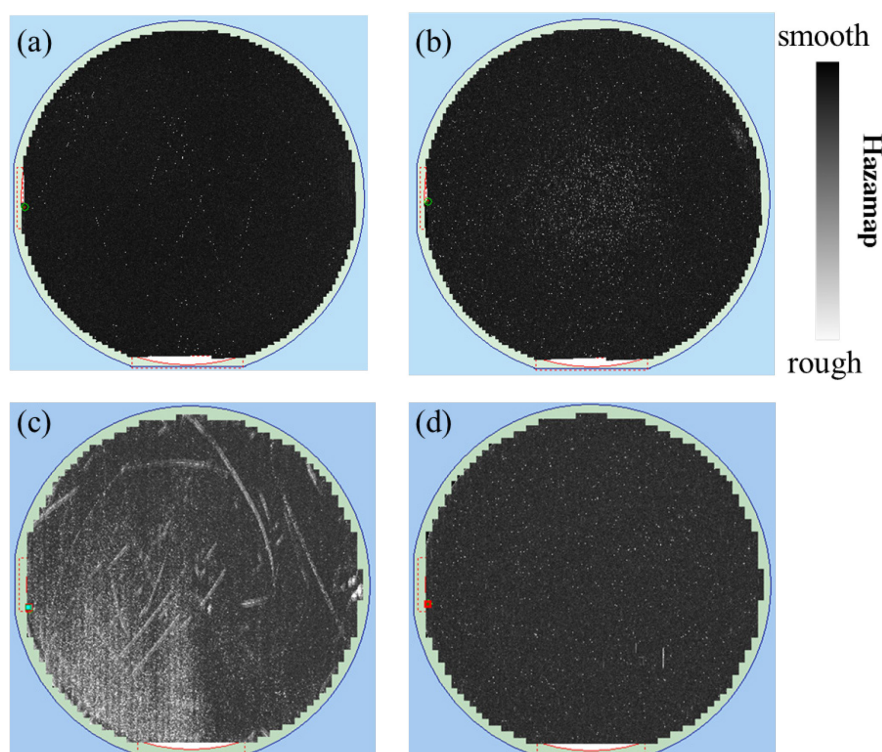


図 2-16. 4 インチ SiC ウェハのエピタキシャル成長後表面の平坦性を表すヘイズマップ、(a): CMP 加工表面、(b): Si-VE 加工表面、(c): (a)のエピタキシャル成長後表面、(d): (b)のエピタキシャル成長後表面

さらに、Si-VE 処理によって SiC 基板の加工ダメージを除去することでエピタキシャル成長膜中の加工傷起因の積層欠陥を低減することが確認されている[24]。図 2-17 はダイヤラップ加工された 4 インチウェハの中心 400 mm² 領域における Si-VE 処理のエッチング深さに対応するエピタキシャル成長後の積層欠陥密度の依存性である。積層欠陥の計測および観察は、フォトルミネッセンス (PL) イメージング測定 (励起波長 : 313 nm、検出波長 : 400-678 nm バンドパスフィルター) を用いた。図 2-17 の(a)~(d)に対応する条件での代表的な PL イメージング像を図 2-18 に示す。Si-VE 処理によるエッチング量が増加するに従ってエピタキシャル膜中の積層欠陥密度が減少しており、図 2-18 の PL イメージング像から加工傷に起因する三角形の積層欠陥が低減していることがわかる。このとき、図 2-17 に示したエッチング量が 10 μm を超える条件(d)においては、比較評価に用いた CMP 加工ウェハへのエピタキシャル成長で得られる積層欠陥密度と同程度の密度であり、図 2-18 (d) の PL イメージング像において加工傷が全て除去されていることを確認した。また、この結果においても、図 2-12、15 より推定された加工歪みの深さの結果と矛盾しないことが示された。

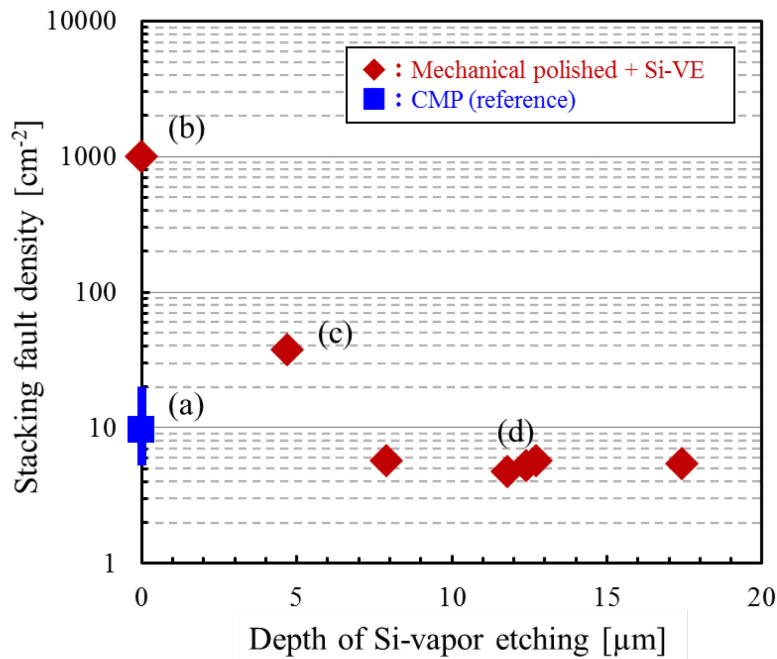


図 2-17. エピタキシャル膜中の加工傷に起因する積層欠陥密度の Si-VE 処理によるエッチング深さの依存性、(a) : CMP 加工ウェハ、(b) : ダイヤラップ加工ウェハ、(c) : Si-VE 処理による 4.7 μm エッチング、(d) : Si-VE 処理による 11.8 μm エッチング

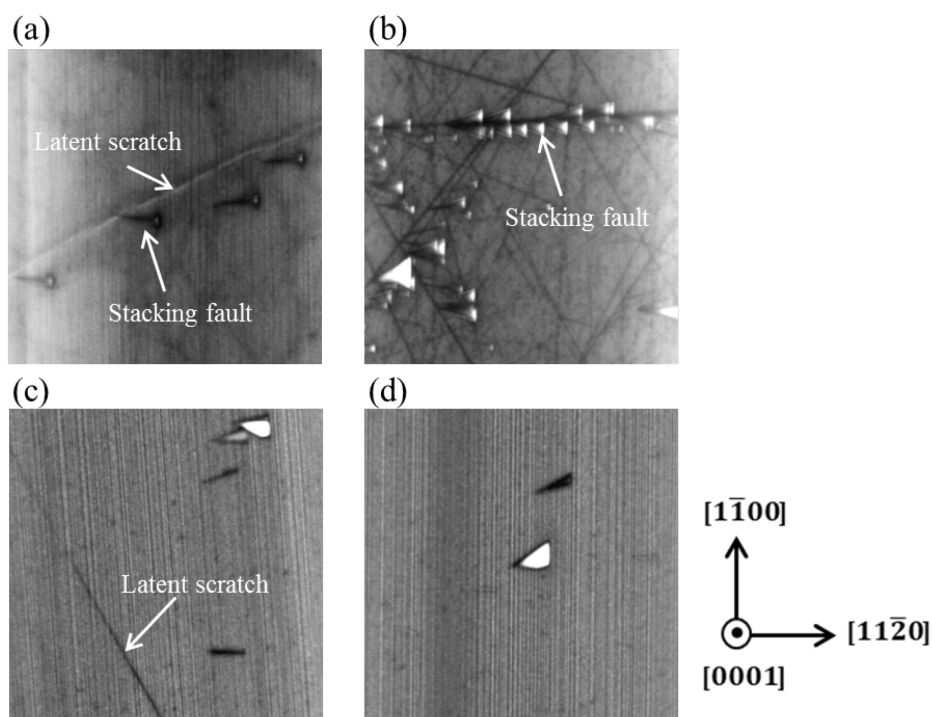


図2-18. エピタキシャル膜中の加工傷に起因する積層欠陥のPLイメージング像、(a)~(d)は図2-17中の記号の条件に対応する。

2-2-2. 機械的強度の改善

Si-VE 法によって無歪み加工された SiC 表面は従来の機械的な加工表面と比較して機械的強度が高いことが示された[26]。ダイヤラップ加工された 4°オフ 4H-SiC (0001) Si 面の基板表面に対して約 40 μm の Si-VE 処理を行い、一般的なナノインデューテンション法 (たとえば[27]) による押し込み硬さを、Berkovich 圧子を用いて試験力 500 mN、押し込み深さ 1 μm のもと測定した。比較評価として市販の CMP 加工基板を評価に用いた。図 2-21 は CMP 加工および Si-VE 処理表面の押し込み硬さ測定結果の Weibull plot 評価である。各平均値は、CMP : 26.0 GPa、Si-VE : 27.8 GPa であり、押し込み硬さは Si-VE 処理表面の方が高いことが確認できた。図 2-22 は光学顕微鏡による押し込み硬さ測定後の Berkovich 圧子の圧痕形状観察結果例である。図 2-22 (a)に示す CMP 加工表面のみに圧痕周囲に歪なクラックや欠けが多く観察された。このことから、CMP 基板表面には加工ダメージが残留し、押し込み硬さ低下と圧痕形状の不安定化をもたらしたものと推察する。

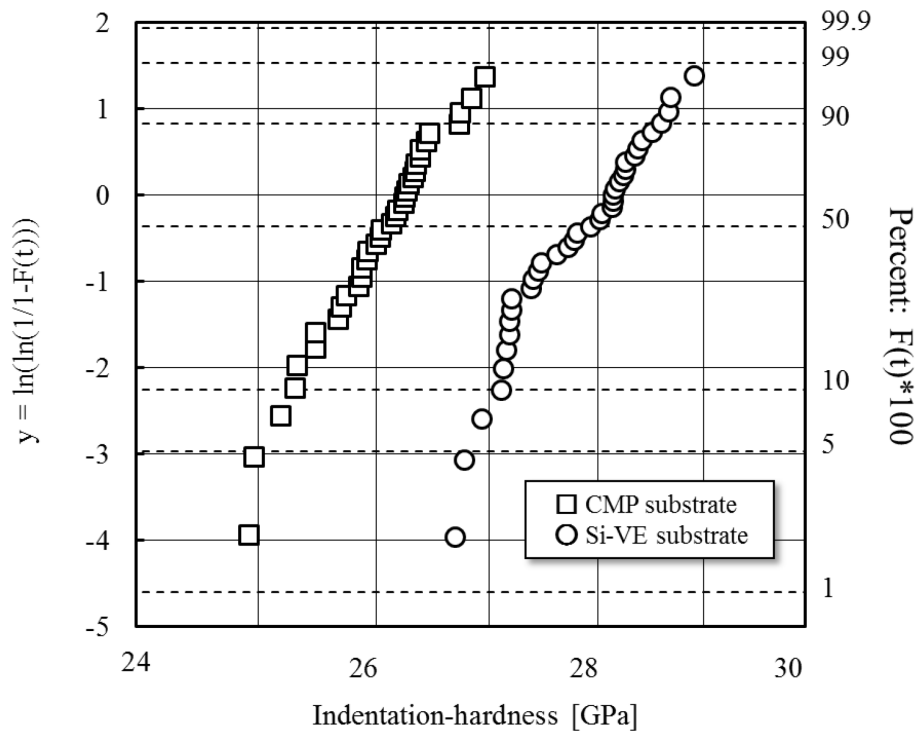


図 2-21. SiC 基板表面の押し込み硬さの Weibull plot 評価

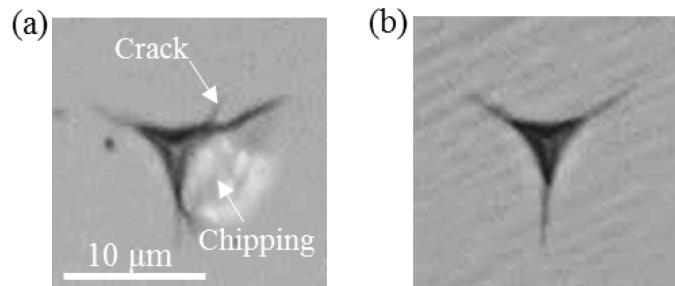


図 2-22. 押し込み硬さ測定後の圧痕形状の光学顕微鏡像、(a) : CMP 加工表面、(b) : Si-VE 処理表面

また、Si-VE 法を応用することにより加工歪みのない薄化加工されたエピタキシャルウェハの実現が期待される。近年では従来の Si パワーデバイスプロセスと同様に SiC パワーデバイスの高性能化としてオン抵抗低減を目的とする基板の厚みを薄化したパワーデバイス素子が報告されている[28][29]。基板厚みの薄化にはパターン付きウェハの裏面研削[30]が一般的に用いられているが、ウェハコスト低減のためウェハそのものの厚みを薄く切り出すことが原理的に可能なレーザースライス加工[31][32]も提案されているため、Si-VE 法による高速エッチング加工を応用し SiC 表面の無歪み加工と基板の薄化加工を試みた[26]。図

2-23 は厚さ 70 μm に薄化加工された 4 インチ SiC ウェハの外観写真、図 2-24 は接触式マイクロメーターによる厚み測定結果である。Si-VE 法はエッチングプロセスであるため、薄化加工において意図しない加工応力やクラックなどによるウェハの物理的な破壊のリスクを排除することが可能である。

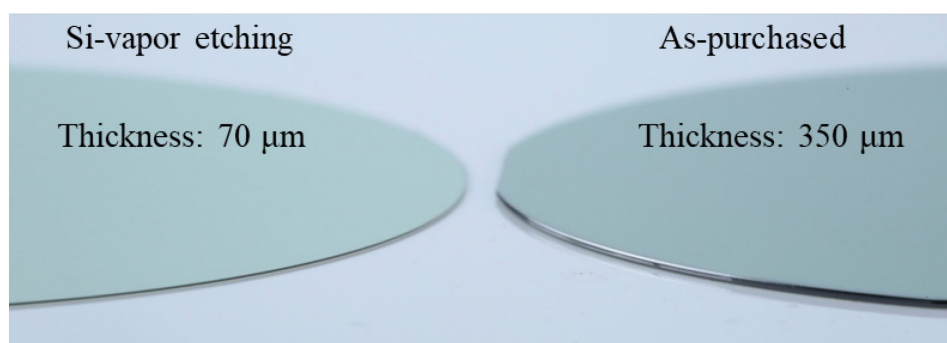


図 2-23. Si-VE 法により薄化加工された SiC ウェハの外観写真、左:Si-VE 法による 70 μm 薄化加工、右 : 350 μm 厚み市販ウェハ

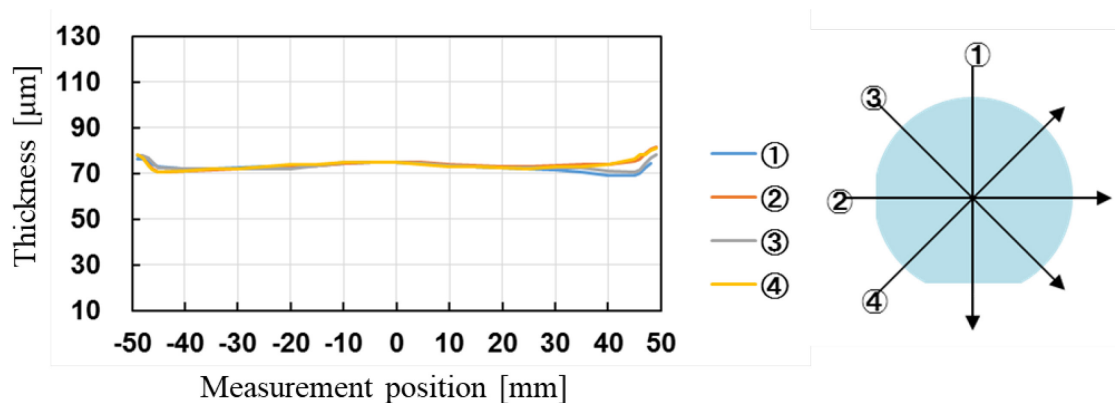


図 2-24. 接触式マイクロメーターによる薄化加工された SiC ウェハの厚み測定結果

また、図 2-25 は薄化加工された SiC 基板の試験力 500 N における球抗折強度の Weibull plot 評価である[26]。試料として機械研削加工により厚さ 82 μm に薄化された基板ならびに Si-VE 処理により厚さ 67 μm に薄化された基板を用いた。その結果、研削加工基板と Si-VE 処理基板の平均強度は、それぞれ 10.3 N と 69.7 N であった。また両者の分布は明らかに異なり、研削加工基板に見られる単一の傾きは基板表面の機械的な加工ダメージを起点とする破壊がもたらされたものであり、Si-VE 基板のばらついた分布は基板表面の加工歪みによらず基板固有の結晶品質の局所的なばらつきによるものと考えている。

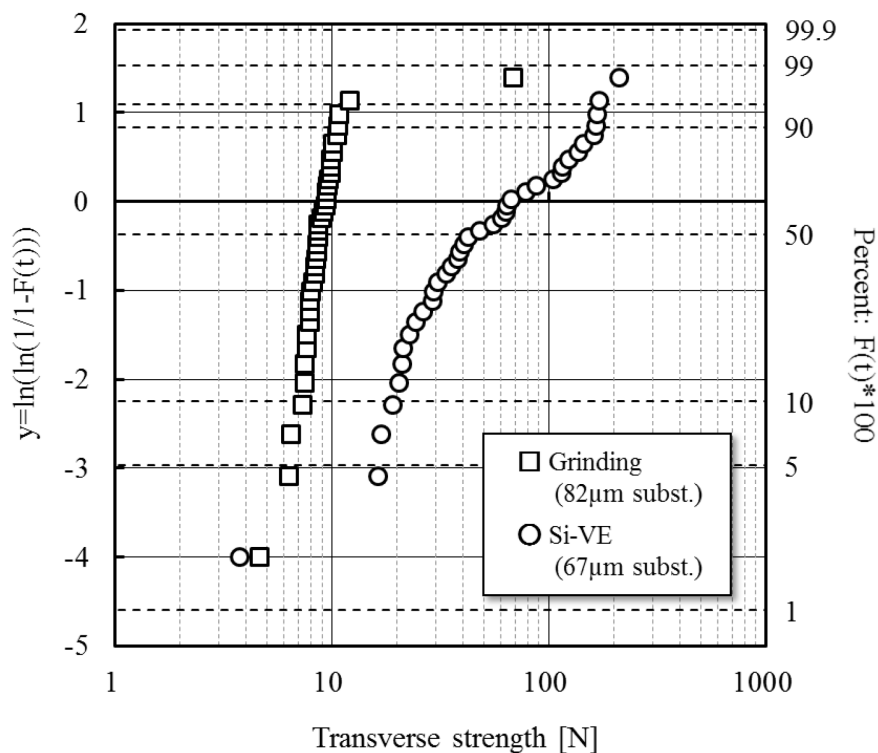


図 2-25. 薄化加工された SiC 基板の抗折強度の Weibull plot 評価

以上の結果から、Si-VE 法による SiC 基板の無歪み薄化加工は基板表面の平坦化のみならず機械的強度の改善手法としても期待できる。

2-2-3. 基板内での基底面転位の変換効果

バイポーラ劣化の原因となる BPD を基板内で TED へ変換する効果は、熔融 KOH を用いた転位箇所へのピット形成と Si-VE 処理を組み合わせ手法 (図 2-26) により SiC 基板内での BPD-TED 変換挙動 (図 2-27) とその変換深さの分布を明らかにした[33]。図 2-26 において、1st KOH 処理による形成ピットから基板中の BPD 位置の把握、Si-VE による BPD-TED 変換、2nd KOH 処理による形成ピットから転位構造の変化評価を行った結果、図 2-27 に示すピット形状評価による BPD (楕円形状) から TED (円形状) への変換挙動が確認できる。このとき、KOH 処理と Si-VE 処理による SiC 基板表面の除去量から、2000°C による Si-VE 処理では基板内の BPD のうち少なくとも 74% が > 80nm で TED に変換し、さらに 26% が > 140nm で TED に変換していることが定量的に見積ることができた。

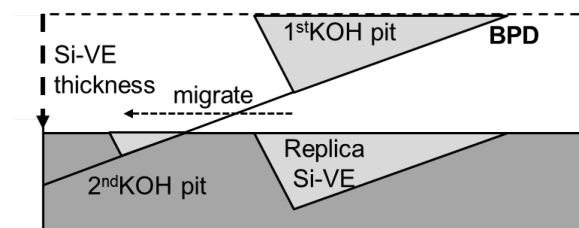


図 2-26. 基板内での BPD-TED 変換の評価方法：1st KOH→Si-VE→2nd KOH ([33]より引用)

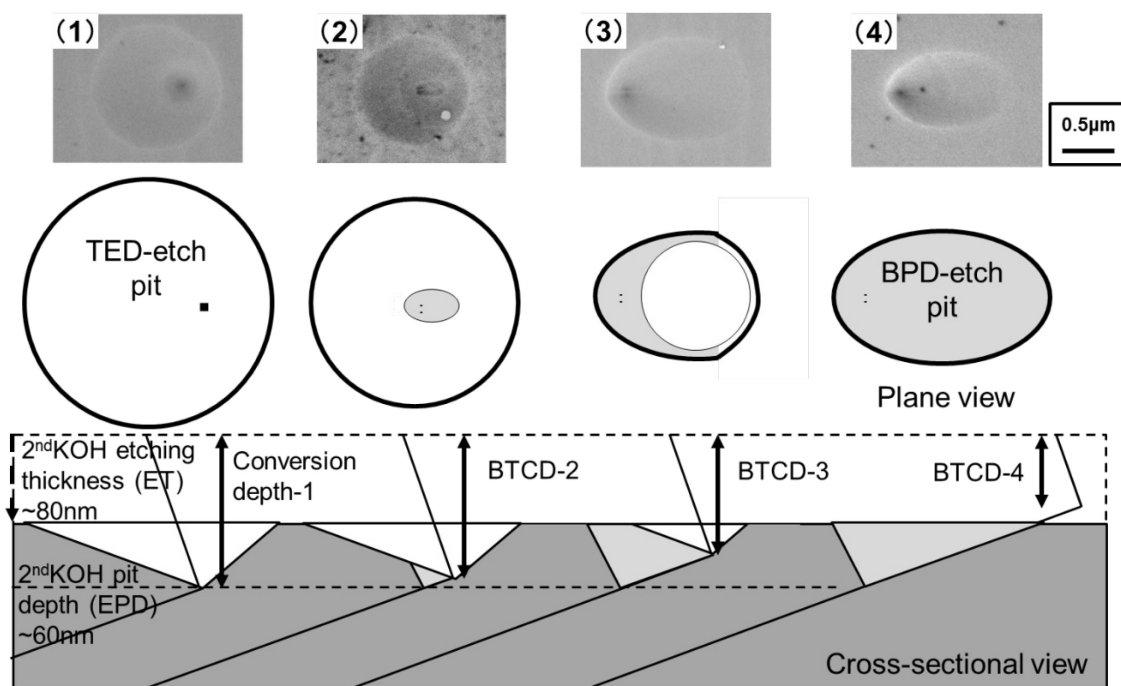


図 2-27. SiC 基板内での BPD-TED 変換挙動 ([33]より引用)

この結果は、同一のエピタキシャル成長条件のもと、CMP 加工基板および Si-VE 処理基板へ成長させたエピタキシャル膜中において基板中の BPD が TED へ変換する割合が前者は 90.7%、後者は 97.7%と Si-VE 処理基板のほうが高い[34]結果を支持するものである。

また、Si-VE 処理による基板内での BPD-TED 変換をシンクロトロン放射光による斜入射 X 線トポグラフィーを用いて測定した[35]。図 2-28 は CMP 仕上げされた 4°オフ 4H-SiC (0001) Si 面の基板表面に対して 2000°Cのもと Si-VE 処理 2.8 μm を行い、膜厚 10 μm のエピタキシャル成長を行ったときの BPD-TED 変換の挙動を観察したトポグラフィー像(回折ベクトル $g=11\cdot28$) である。CMP 加工表面において観察された BPD コントラストの先端 (図 2-28 (a)の丸で示した部分) は、Si-VE 処理後に TED を示す比較的小さい白点形状のコントラストに変化し (図 2-28 (b))、エピタキシャル成長後には TED を維持したままエピタキシャル膜中へ伝播する様子が直接観察できた。この転位の挙動は図 2-28 下段の SiC

基板断面の模式図のように理解できる。Si-VE 法による SiC 基板表面の BPD-TED 変換現象は、エッチング反応環境下においても変換された TED が保持されることを明らかにした。

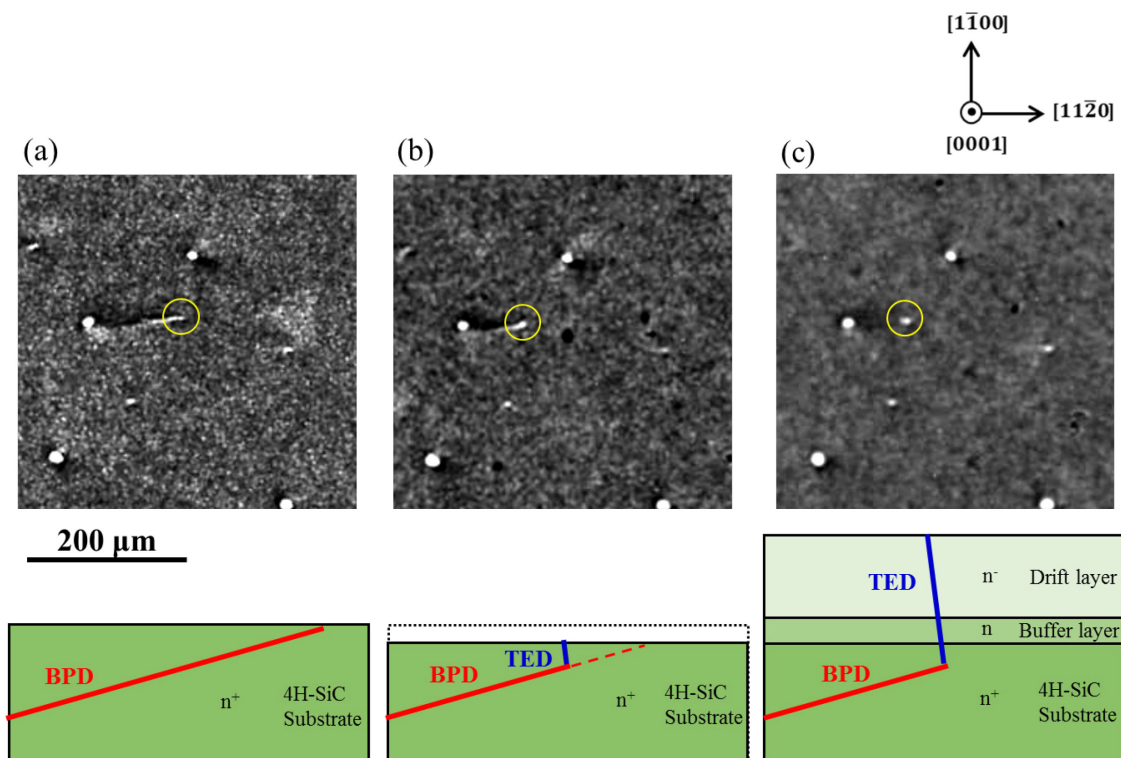


図 2-28. 放射光 X 線トポグラフィーによる BPD-TED 変換の同点観察像（回折ベクトル $g=11\bar{2}8$ ）（上段）と基板内での BPD-TED 変換の模式図（下段）、(a) CMP 加工表面、(b) Si-VE 処理後、(c) エピタキシャル成長後

本章では、SiC 基板表面のダメージフリー平坦化加工とバイポーラ劣化の原因となる基板中の BPD の TED への変換を同時に実現する Si-VE 法を概説し、SiC 基板表面の改質効果によるエピタキシャル膜の高品質化ならびに基板の機械的強度の改善の効果を示すとともに、SiC 基板中の BPD が TED へ変換する挙動ならびに定量的な変換深さの効果を示した。Si-VE 法は、高品質エピタキシャル成長ならびに SiC パワーデバイスの信頼性向上を実現する SiC 表面の新たな高品質化技術として期待される。しかしながら、デバイスにもたらすバイポーラ劣化抑制効果を実験的および理論的に検証するまでには現状至っていない。特に、バイポーラデバイスの信頼性向上において基板中の BPD の TED への変換効果を定量的に示す必要がある。

- [1] 竹川大輔, 東 剛, 松田一宏, 森田駿佑, 長田淳仁, 大谷昇, 金子忠昭, “Si 蒸気雰囲気下の高温気相アニール法を用いた 4H-SiC(0001) 基板表面の平坦化”, SiC および関連ワイドギャップ半導体研究会第 17 回講演会予稿集, P-12 (2008).
- [2] S. Ushio, T. Karaki, K. Hagiwara, N. Ohtani, T. Kaneko, “Surface phase diagram of 4H-SiC {0001} step-terrace structures during Si-vapor etching in a TaC crucible”, Mater. Sci. Forum, 717-720, pp.573-576 (2012).
- [3] 芦田晃嗣, 関西学院大学 博士論文 (2017).
- [4] 株式会社エピクエスト - SiC 用超高温プロセス炉: <https://www.epiquest.co.jp/sic.html>
- [5] H. Holleck, “Material selection for hard coatings”, J. Vac. Sci. Technol. A, 4, 2661 (1986).
- [6] I. L. Shabalina (ed), “Ultra-High Temperature Materials I”, Chapter 6, Springer, Dordrecht (2014).
- [7] 金子忠昭, “タンタルと炭素結合物の製造方法、タンタルと炭素の傾斜組成構造及びタンタル-炭素複合体”, 特許公報, 特許第 4926632 号.
- [8] 渡辺将成, 阿部純久, “タンタル容器の浸炭処理方法”, 特許公報, 特許第 5673034 号.
- [9] 東洋炭素株式会社 - TaC/Ta 複合材料 EVEREDKOTE®-K:
https://www.toyotanso.co.jp/Products/new_developed_products/taceveredkote-k.html
- [10] 谷口雅男, “不定比化合物の安定領域—相分離の観測—”, 熱測定, 5 (1), p. 19 (1978).
- [11] H. Wiesenberger, W. Lengauer, P. Ettmayer, “Reactive diffusion and phase equilibria in the V-C, Nb-C, Ta-C and Ta-N systems”, Acta Mater., 46, 2, pp.651-666 (1998).
- [12] D. Rafaja, W. Lengauer, H. Wiesenberger, “Non-metal diffusion coefficients for the Ta-C and Ta-N systems”, Acta Mater., 46, 10, pp.3477-3483 (1998).
- [13] 鳥見 聡, 篠原正人, 寺元陽次, 矢吹紀人, 野上 暁, 金子忠昭, 芦田晃嗣, 久津間保徳, “SiC 基板の表面処理方法”, 国際公開公報, WO2016/079983A1.
- [14] V. V. Fesenko, A. S. Bolgar, “Evaporation rate and vapor pressure of carbides, silicides, nitrides, and borides”, Soviet Powder Metallurgy and Metal Ceramics, 2, 1, pp.11-17 (1964).
- [15] S.T. Oyama, “Chemistry of Transition Metal Carbides and Nitrides”, Springer, Section 3 (1996).
- [16] J. L. Souchière, V. T. Binh, “On the evaporation rate of silicon”, Surface Science, 168, 1-3, pp.52-58 (1986).
- [17] Y. Kitou, E. Makino, K. Ikeda, M. Nagakubo, S. Onda, “SiC HTCVD Simulation Modified by Sublimation Etching”, Mater. Sci. Forum, 527-529, pp.107-110 (2006).
- [18] 鳥見 聡, 篠原正人, 寺元陽次, 矢吹紀人, 野上 暁, 北畠 真, “薄型の SiC ウエハの製

- 造方法及び薄型の SiC ウェハ”, 公開特許公報, 特開 2017-105697.
- [19] 河西敏雄, 表面科学, “シリコン基板の加工技術と加工表面品質”, 21, 11, pp.688-695 (2000).
- [20] 鳥見 聡, 矢吹紀人, 篠原正人, 寺元陽次, 野上 暁, 金子忠昭, “Si 蒸気圧エッチング法による 4H-SiC 基板表面の加工変質層除去効果”, 先進パワー半導体分科会第 1 回講演会予稿集, P-29 (2014).
- [21] 鳥見 聡, 篠原正人, 寺元陽次, 矢吹紀人, 野上 暁, 金子忠昭, 芦田晃嗣, 久津間保徳, “SiC 基板のエッチング方法及び収容容器”, 公開特許公報, 特再公表 2016-79983.
- [22] 清水秀樹, 久津間保徳, 芦田晃嗣, 大谷 昇, 金子忠昭, “4H-SiC(0001)Si 面におけるマクロステップバンチング分解機構”, 第 74 回応用物理学会秋季学術講演会講演予稿集, 17p-B3-13 (2013).
- [23] K. Ashida, D. Dojima, Y. Kutsuma, S. Torimi, S. Nogami, Y. Imai, S. Kimura, J. Mizuki, N. Ohtani, T. Kaneko, “Evaluation of Polishing-Induced Subsurface Damage of 4H-SiC (0001) by Cross-Sectional Electron Backscattered Diffraction and Synchrotron X-Ray Micro-Diffraction”, MRS Advances, 1, 55, pp.3697-3702 (2016).
- [24] N. Yabuki, S. Torimi, S. Nogami, M. Kitabatake, T. Kaneko, “Development of “Si-vapor etching” and “Si vapor ambient anneal” in TaC/Ta composite materials”, Mater. Sci. Forum, 858, pp.719-722 (2016).
- [25] レーザーテック株式会社 - SiC ウェハ欠陥検査/レビュー装置:
<https://www.lasertec.co.jp/products/environment/sic/sica88.html>
- [26] S. Torimi, K. Ashida, N. Yabuki, M. Shinohara, T. Sakaguchi, Y. Teramoto, S. Nogami, M. Kitabatake, T. Kaneko, “Improving Mechanical Strength and Surface Uniformity to Prepare High Quality Thinned 4H-SiC Epitaxial Wafer Using Si-Vapor Etching Technology” Mater. Sci. Forum, 897, pp.375-378 (2017).
- [27] 小椋 智, “ナノインデンテーションによるナノ・マイクロスケール構造体の機械的特性評価”, 溶接学会誌, 81, 8, pp.41-46 (2012).
- [28] T. Sakaguchi, M. Aketa, Y. Miura, H. Asahara, T. Nakamura, “Fabrication of 700V 4H-SiC SBDs with ultra-low resistance of $0.22\text{m}\Omega\text{-cm}^2$ nearby SiC material limit”, extended abstract of ICSCRM 2013, Tu-P-59, pp.170-171 (2013).
- [29] Y. Nakanishi, T. Tominaga, H. Okabe, Y. Suehiro, K. Sugahara, Y. Toyoda, S. Yamakawa, H. Murasaki, K. Kobayashi, H. Sumitani, “Properties of a SiC schottky barrier diode fabricated with a thin substrate”, Extended abstract of ICSCRM 2013, Tu-P-46, pp.158-159 (2013).
- [30] R. Rupp, R. Gerlach, U. Kirchner, A. Schlögl, R. Kern, “Performance of a 650V SiC Diode with Reduced Chip Thickness”, Mater. Sci. Forum, 717-720, pp.921-924 (2012).
- [31] K. Hirata, “New laser slicing technology named KABRA process enables high speed

and high efficiency SiC slicing”, Proc. SPIE 10520, Laser-based Micro- and Nanoprocessing XII, 1052003 (2018).

[32] M. Swoboda, C. Beyer, R. Rieske, W. Drescher, J. Richter, “Laser Assisted SiC Wafering Using COLD SPLIT”, Mater. Sci. Forum, 897, pp.403-406 (2017).

[33] Y. Sudoh, M. Kitabatake, T. Kaneko, “BPD-TED Conversion in the SiC substrate after High-Temperature Si-VE”, Ext. Abst. of ICSCRM 2019, Th-1B-04 (2019).

[34] 須藤悠介, 芦田晃嗣, 鳥見 聡, 坂口卓也, 金子忠昭, 野上 暁, 北畠 真, “Si 蒸気圧エッチング法を用いた 4H-SiC 基板表面が及ぼすエピタキシャル膜中の基底面転位低減効果解明に向けた転位構造の評価”, 先進パワー半導体分科会第 4 回講演会予稿集, IIA-26, pp.207-208 (2017).

[35] 鳥見 聡, 篠原正人, “X 線トポグラフィーを用いた熱化学エッチング処理による 4H-SiC 単結晶基板表面の基底面転位から貫通刃状転位への変換挙動の観察”, 九州シンクロトロン光研究センター年報 2018 (to be published in Mar. 2020).

第3章 SiC パワー半導体バイポーラ劣化予測モデルの設計

3-1 PiN ダイオード中の順方向電流密度とキャリア濃度の設定

SiC パワー半導体バイポーラ劣化のモデル化を行うために、4H-SiC PiN ダイオードを例としてダイオード中のキャリア濃度から順方向電流密度を計算するモデルを設計した。図 3-1 は計算モデルに使用する典型的な SiC PiN ダイオードの断面構造図である。n 型 SiC 基板 (n^+) 上にエピタキシャル層としてバッファ層 (n) とドリフト層 (i に相当する n^-) を有し、最表面にエミッタ層 (p^+) を有する構造である。本モデルでは、BPD に到達してバイポーラ劣化を引き起こす注入ホール濃度からダイオード全体に流れる電流密度を計算するために、図 3-2 に示す 1 次元の順方向電流およびキャリア濃度プロファイルを仮定した。このとき、ドリフト層、バッファ層および基板領域の位置座標系 x は、アノード電極側の界面の位置をゼロに設定した。以下にドリフト層、バッファ層、および基板の領域における計算の詳細を記述する。

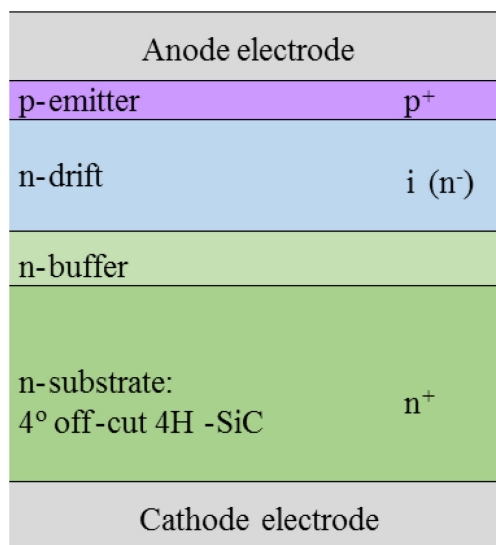


図 3-1. 計算モデルに使用する SiC PiN ダイオードの断面構造図

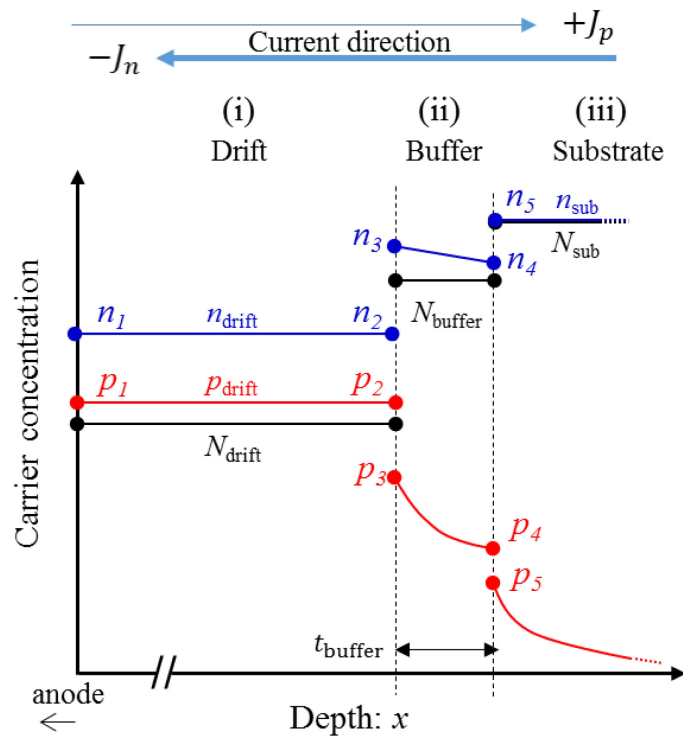


図 3-2. PiN ダイオード構造中のキャリア濃度分布の設定

(i) ドリフト層

ドリフト層の領域ではドーピング濃度およびキャリア分布はフラットプロファイルと仮定する。このとき、電子濃度 n 及びホール濃度 p は以下の式(3.1)(3.2)で表される。

$$n(x) = n_1 = n_2 =: n_{\text{drift}} \quad (3.1)$$

$$p(x) = p_1 = p_2 =: p_{\text{drift}} \quad (3.2)$$

ドリフト層中の全電流密度 J は、電子電流密度 $J_{n(\text{drift})}$ とホール電流密度 $J_{p(\text{drift})}$ の和より求める。このとき、 $n(x)$ および $p(x)$ は一定 ($dn/dx = dp/dx = 0$) と仮定するので電流成分はドリフト電流成分のみを考慮する。 $J_{n(\text{drift})}$ および $J_{p(\text{drift})}$ は一様な電場 E に対してオームの法則に従うので、素電荷 q 、ドリフト層中の電子移動度 $\mu_{n(\text{drift})}$ 、ホール移動度 $\mu_{p(\text{drift})}$ を用いて以下の式(3.3)-(3.5)で与えられる。

$$J_{p(\text{drift})} = q\mu_{p(\text{drift})}p_{\text{drift}}E \quad (3.3)$$

$$J_{n(\text{drift})} = q\mu_{n(\text{drift})}n_{\text{drift}}E \quad (3.4)$$

$$J = J_{p(\text{drift})} + J_{n(\text{drift})} = \left(1 + \frac{\mu_{n(\text{drift})}n_{\text{drift}}}{\mu_{p(\text{drift})}p_{\text{drift}}}\right)J_{p(\text{drift})} \quad (3.5)$$

(ii) バッファ層

バッファ層の領域では、ドリフト層より注入されるホールが均一なドーピング濃度分布の条件のもとキャリアの連続性と電流密度の式から導かれる少数キャリアの拡散方程式[1]に従うものと仮定し、以下の式(3.6)で p を計算する。

$$D_{\text{buffer}} \frac{\partial^2 p(x, t)}{\partial x^2} = \frac{p(x, t)}{\tau_{\text{buffer}}} + \frac{\partial p(x, t)}{\partial t} + G \quad (3.6)$$

ここで、 L_{buffer} はホールの拡散長、 D_{buffer} はホールの拡散係数、 τ_{buffer} はホールのキャリアライフタイム、 G は外部光によって励起されるキャリアの生成速度を表す。本モデルでは、外部光によるキャリアの励起はないものとして $G = 0$ と仮定した。 L_{buffer} 及び τ_{buffer} は以下の式(3.7)(3.8)より計算した。

$$L_{\text{buffer}} = \sqrt{D_{\text{buffer}} \tau_{\text{buffer}}} \quad (3.7)$$

$$\tau_{\text{buffer}}(T[\text{K}]) = \left(\frac{T}{300}\right)^\alpha \tau_{\text{buffer}}(T=300\text{K}) \quad [\text{s}] \quad (3.8)$$

$\tau_{\text{buffer}}(\text{at } 300\text{K})$ [s]は 300 Kにおけるバッファ層中のキャリアライフタイムで、文献[2]のバッファ層のドーパント濃度および温度に対するキャリアライフタイムの値を用いて τ_{buffer} を式(3.8)より補間した。このとき α は、ドーパント濃度が $1.0 \times 10^{16} - 1.0 \times 10^{19} \text{ cm}^{-3}$ 、温度が 300 - 523 Kにおいて 1.7-2.2 と見積もられた。式(3.6)より、定常状態 $t = 0$ において境界条件を与えることでホール濃度は以下の式(3.9)のように表される。

$$p(x) = \frac{p_4 \sinh\left(\frac{x}{L_{\text{buffer}}}\right) + p_3 \sinh\left(\frac{t_{\text{buffer}} - x}{L_{\text{buffer}}}\right)}{\sinh\left(\frac{t_{\text{buffer}}}{L_{\text{buffer}}}\right)} \quad (3.9)$$

このとき、 t_{buffer} はバッファ層の厚みである。従って、ドリフト層からバッファ層に注入されたホールによる拡散電流は、

$$J_p = -qD_{\text{buffer}} \frac{dp}{dx} = -qD_{\text{buffer}} \frac{p_4 \cosh\left(\frac{x}{L_{\text{buffer}}}\right) - p_3 \cosh\left(\frac{t_{\text{buffer}} - x}{L_{\text{buffer}}}\right)}{L_{\text{buffer}} \sinh\left(\frac{t_{\text{buffer}}}{L_{\text{buffer}}}\right)} \quad (3.10)$$

と表される。

(iii) 基板

基板の領域では、基板中におけるホールの拡散長 L_{sub} が基板厚みよりも十分短く、自由電子の濃度が注入ホール濃度よりも十分に高いと考えてよいため、ホール濃度は式(3.11)で示すように基板深さに対して指数関数的に減少するプロファイルを仮定する。

$$p(x) = p_5 \exp\left(-\frac{x}{L_{\text{sub}}}\right) \quad (3.11)$$

L_{sub} は、基板中のホールのライフタイム τ_{sub} とホールの拡散係数 D_{sub} から式(3.7)と同様にして互いの積の平方根から計算される。文献[3]によれば一般に τ_{sub} は 10 ns 未満と報告されており、298–498 K において 1–8 ns の範囲で補間式(3.8)を用いて設定し、このとき計算される α は 4.1 となった。また、バッファ層から基板に注入されたホールによる拡散電流は、

$$J_p = -qD_{\text{sub}} \frac{dp}{dx} = \frac{qD_{\text{sub}} p_5}{L_{\text{sub}}} \exp\left(-\frac{x}{L_{\text{sub}}}\right) \quad (3.12)$$

と表される。

3-2 温度依存性を考慮した物理モデル

本モデルでは、ドーパントのイオン化、バンドギャップナローイング (BGN) 効果ならびにキャリア移動度、拡散係数の温度依存性を考慮した。ドーパントのイオン化は、SiC 結晶中の Si または C 原子位置に取り込まれたドナーとなる不純物元素が温度によって自由電子またはホールを放出し、不純物元素自身は結晶格子位置に固定化されたイオンとなる。半導体中の電荷中性条件より、電子濃度 n 、イオン化されたドナー濃度（ドナー準位の束縛から解かれた電子濃度と等しい） N_D^+ とホール濃度 p は、

$$p - n + N_D^+ = 0 \quad (3.13)$$

の関係がドリフト層、バッファ層ならびに基板の各接合部を除く領域において成り立つと仮定する。ここで、伝導帯の有効状態密度を N_C 、伝導帯底のエネルギーを E_C 、価電子帯の有効状態密度を N_V 、価電子帯頂上のエネルギーを E_V 、フェルミ準位を E_f と定義すると熱平衡状態における n 及び p は式(3.14)(3.15)で表される。

$$n = N_C \exp\left(-\frac{E_C - E_f}{k_B T}\right) \quad (3.14)$$

$$p = N_V \exp\left(-\frac{E_f - E_V}{k_B T}\right) \quad (3.15)$$

一方、ドナー準位における電子の縮退度を g_D 、ドナー準位を E_D 、全ドナー濃度 N_D とすると、ドナー準位に束縛される電子の Fermi-Dirac 分布 (式(3.16)) を用いて全ドナー濃度 N_D と N_D^+ の関係式(3.17)が得られる。

$$f_D(E_D) = \frac{1}{1 + \frac{1}{g_D} \exp\left(\frac{E_D - E_f}{k_B T}\right)} \quad (3.16)$$

$$N_D^+ = (1 - f_D(E_D))N_D = \frac{N_D}{1 + g_D \exp\left(-\frac{E_D - E_f}{k_B T}\right)} \quad (3.17)$$

このとき、4H-SiC においてはバンドギャップエネルギーが室温において 3.26 eV と大きく、 $k_B T \ll 3.26$ eV の温度領域では価電子帯から励起される電子は殆ど無視できるので式(3.14)を $n \approx N_D^+$ と近似すると、式(3.14)と(3.17)を連立して E_f を消去することでドーパントのイオン化を計算するため関係式(3.18)を得る。

$$N_D^+ = \frac{N_C}{2g_D} \exp\left(-\frac{E_C - E_D}{k_B T}\right) \left(\sqrt{1 + \frac{4g_D N_D}{N_C \exp\left(-\frac{E_C - E_D}{k_B T}\right)} - 1} \right) \quad (3.18)$$

このとき、 g_D は一般的にドナー準位に対して1つの電子が取りうるスピンの縮退度となるため2である。また、 $E_C - E_D$ は伝導帯底とドナー準位のエネルギー差でイオン化エネルギーを表し、本モデルでは一般的なドーパントである窒素が 4H-SiC の h -site の格子位置に置換された場合の 0.061 eV [4]を用いた。 N_C は伝導帯の有効状態密度で式(3.19)より計算される。

$$N_C = 2 \left(\frac{2\pi m_{de}^* k_B T}{h^2} \right)^{3/2} \quad (3.19)$$

ここで、 h は Planck 定数、 m_{de}^* は電子の状態密度有効質量である。 m_{de}^* は真空中の電子

質量 m_0 の 0.7 倍として計算した[5]。図 3-3 に式(3.18)より計算した温度とドナー濃度に対するドーパントのイオン化率 (N_D^+/N_D) を示したグラフを示す。

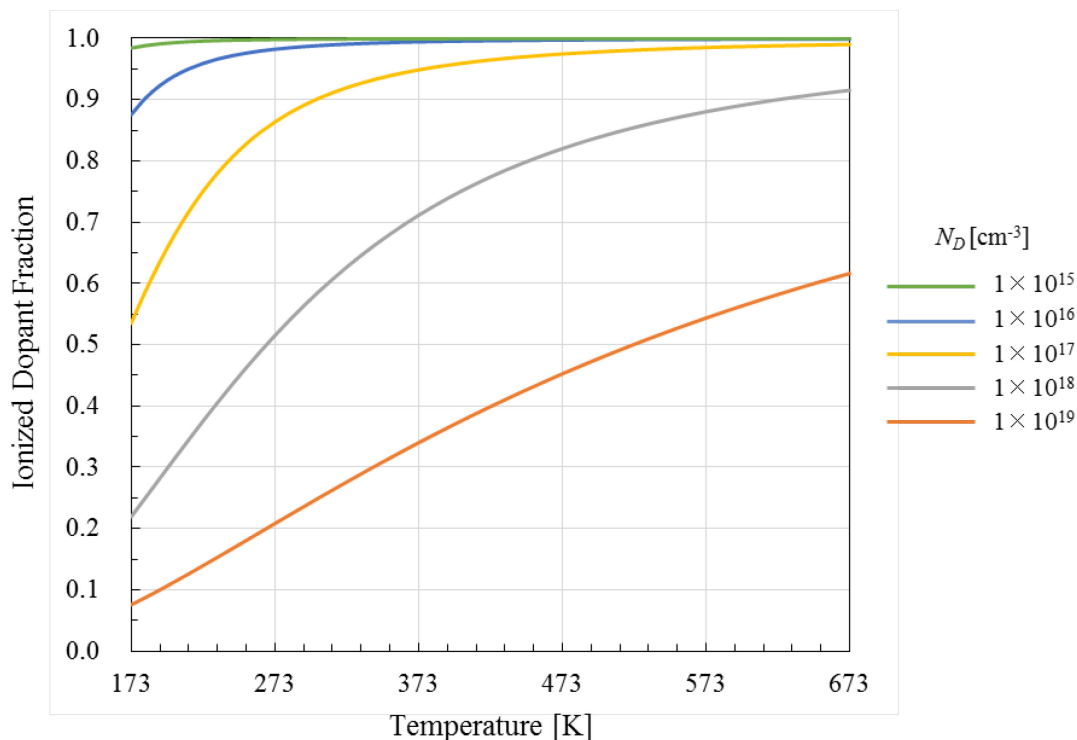


図 3-3 温度とドナー濃度に対するドーパントのイオン化率

図 3-3 よりドーパントのイオン化率は温度が高くなるにつれて上昇し、ドナー濃度が高くなるにつれてイオン化率は減少する傾向が示される。一般的に高濃度と言われる $N_D > 10^{19}$ cm⁻³ の領域では、ドナーとして働く不純物原子間の距離が小さくなることにより不純物原子の Coulomb ポテンシャルが重なり、遮蔽効果によってイオン化エネルギーが低下する。このとき、イオン化率は式(3.18)の計算よりも高くなることが予想されるため、本モデルでの計算は $N_D = 1 \times 10^{19}$ cm⁻³ まで行った。

BGN 効果は、PiN ダイオード中のドナー濃度の異なる各領域において真性キャリア濃度 n_i が変化することによってバンドギャップエネルギー E_g が変化する。ドナー濃度に対する 4H-SiC の伝導体及び価電子帯のエネルギーの変位量 ΔE_C 及び ΔE_V は実験的に求められており、 N_D^+ [cm⁻³]に対して以下の式(3.20)(3.21)で表される[6]。

$$\Delta E_C = -1.5 \times 10^{-2} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{3}} - 2.93 \times 10^{-3} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{2}} \quad [\text{meV}] \quad (3.20)$$

$$\Delta E_V = 1.9 \times 10^{-2} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{4}} + 8.74 \times 10^{-3} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{2}} \quad [\text{meV}] \quad (3.21)$$

このとき、バンドギャップのエネルギー減少量 ΔE_g は $|\Delta E_c - \Delta E_v|$ に相当し、 ΔE_g は以下の式(3.22)によって計算される。

$$\Delta E_g = 1.2 \times 10^{-2} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{2}} + 1.5 \times 10^{-2} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{3}} + 1.9 \times 10^{-2} \left(\frac{N_D^+}{10^{18}} \right)^{\frac{1}{4}} \quad [\text{meV}] \quad (3.22)$$

また、このとき BGN 効果を考慮した n_i は式(3.23)となる。

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g - \Delta E_g}{2k_B T}\right) \quad (3.23)$$

図 3-4 に式(3.20)(3.21)より計算された伝導帯底及び価電子帯頂上のバンドエネルギーのイオン化されたドナー濃度の依存性を示す。一般的な n 型 SiC エピタキシャル層のドリフト層では $N_D = 10^{15} \sim 10^{16} \text{ cm}^{-3}$ 程度で、基板では $N_D = 10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度である。 ΔE_g はイオン化したドナー濃度が高くなるにつれて上昇する。式(3.23)の ΔE_g 項は 3-3 にて後述する質量作用の法則の pn 積の増加に影響するため、電流密度とキャリア濃度の計算において BGN 効果の考慮はより正確な計算のために重要となる。

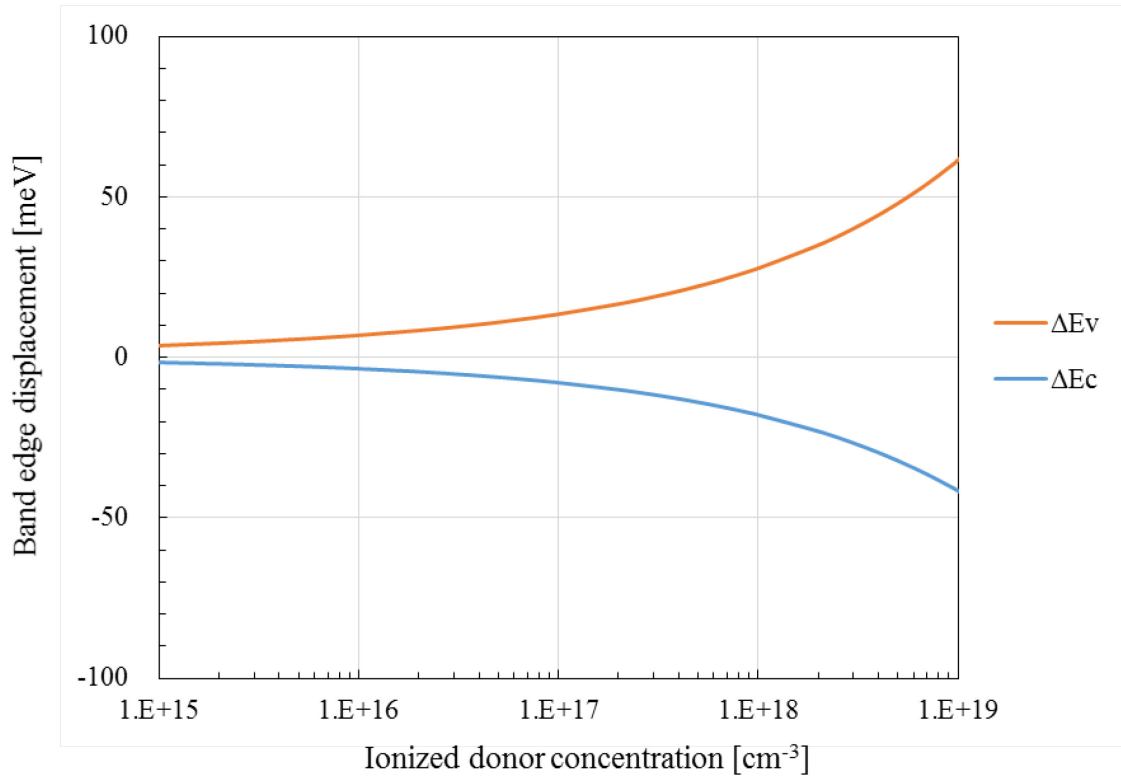


図 3-4. BGN 効果によるバンドエネルギー変化のドナー濃度依存性

電子の移動度 μ_n 及びホール移動度 μ_p の計算は、温度 T [K]ならびにイオン化したドナー濃度 N_D^+ [cm^{-3}]、アクセプタ濃度 N_A^+ [cm^{-3}]の依存性を考慮した Caughey-Thomas モデル[9]を用いた。

$$\mu_n = \frac{1141 \left(\frac{T}{300}\right)^{-2.8}}{1 + \left(\frac{N_D^+ + N_A^+}{1.94 \times 10^{17}}\right)^{0.61}} \quad [\text{cm}^2/\text{Vs}] \quad (3.24)$$

$$\mu_p = \frac{124 \left(\frac{T}{300}\right)^{-2.8}}{1 + \left(\frac{N_D^+ + N_A^+}{1.76 \times 10^{19}}\right)^{0.34}} \quad [\text{cm}^2/\text{Vs}] \quad (3.25)$$

n 型のエピタキシャル層及び基板においては $N_A^+ = 0$ として計算した。式(3.24)(3.25)より計算される電子及びホール移動度の温度、イオン化したドナー濃度に対する依存性を図 3-5 と 3-6 にそれぞれ示す。どちらの移動度も温度とドナー濃度が上昇するにつれて減少する傾向が確認できる。

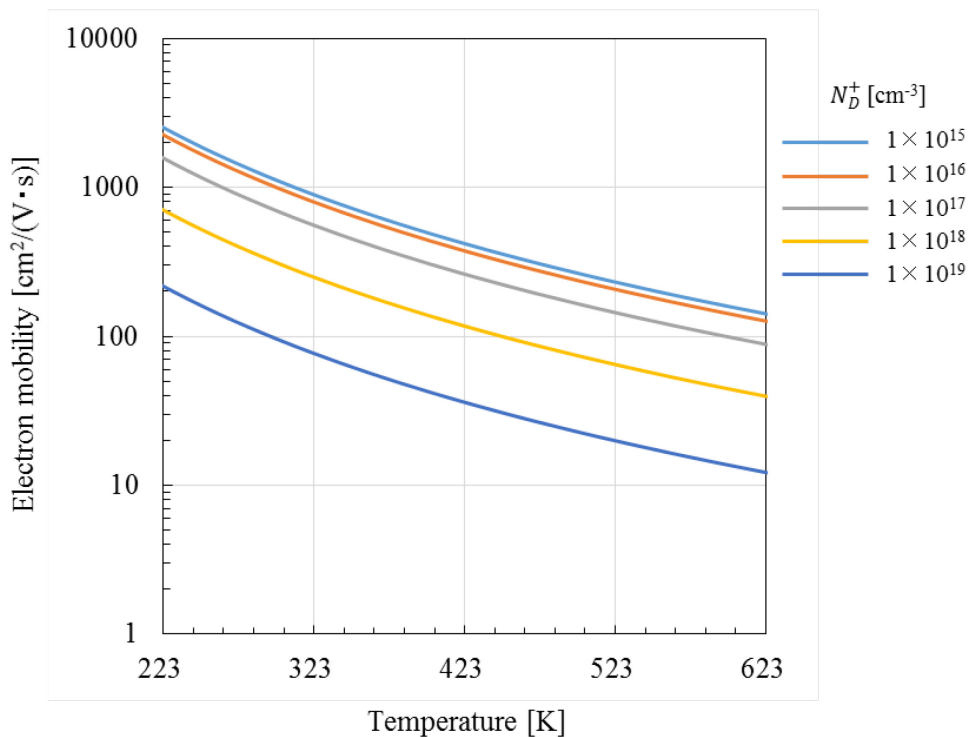


図 3-5. 電子移動度の温度及びイオン化したドナー濃度との関係

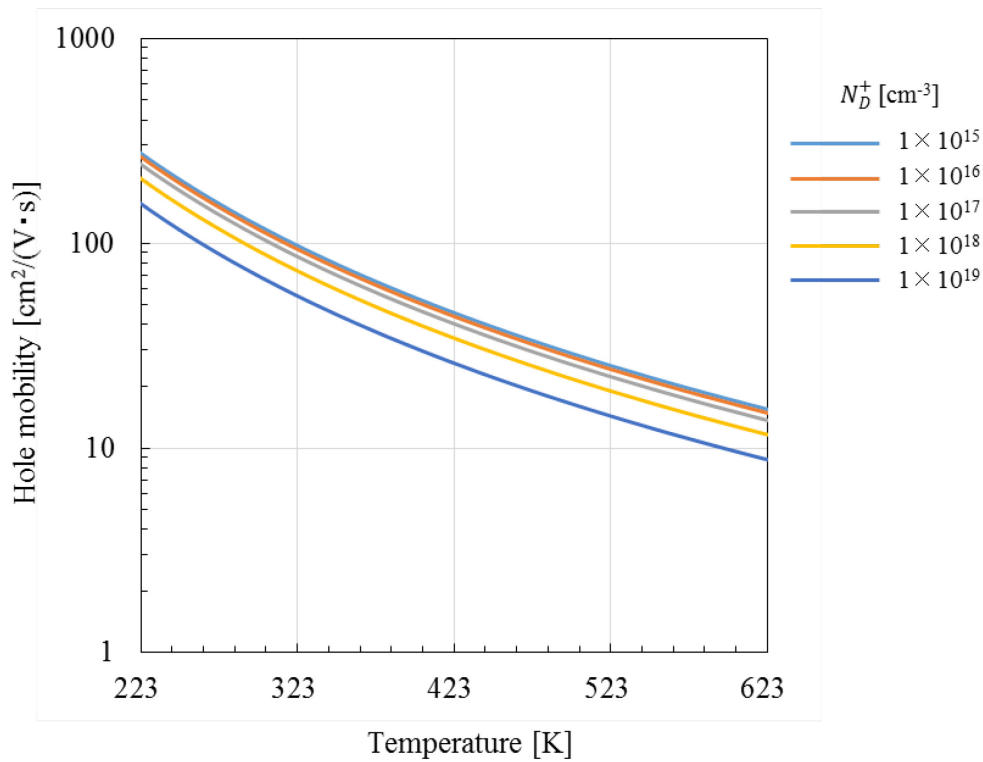


図 3-6. ホール移動度の温度及びイオン化したドナー濃度との関係

また、式(3.24)(3.25)より得られた移動度を用いて式(3.26)に示す Einstein の関係式から温度依存性を考慮した電子の拡散係数 D_n 及びホールの拡散係数 D_p を求めることができる。

$$D_{n(p)} = \frac{k_B T}{q} \mu_{n(p)} \quad (3.26)$$

以上の温度依存性を考慮した物理モデルを PiN ダイオード中の順方向電流密度計算モデルに適用することで、298 K から 498 K までの広い温度領域での計算精度の向上を図る。

3-3 PiN ダイオードの順方向電流密度の計算手順

3.1 で説明したドリフト層、バッファ層及び基板の領域の各接合界面において質量作用の法則が成り立つ。まず、順バイアス条件下において BGN 効果を考慮した pn 積は熱平衡状態の真性キャリア濃度 n_i 、Fermi 準位 E_i 、電子の擬 Fermi 準位 E_{Fn} およびホールの擬 Fermi 準位 E_{Fp} を用いて以下の式(3.27)、

$$pn = n_i \exp\left(\frac{E_i - E_{Fp}}{k_B T}\right) \times n_i \exp\left(\frac{E_{Fn} - E_i}{k_B T}\right) = n_i^2 \exp\left(\frac{E_{Fn} - E_{Fp}}{k_B T}\right) \quad (3.27)$$

で表される。図 3-2 に示すドリフト層/バッファ層及びバッファ層/基板の接合界面の両側において電子とホールの擬 Fermi 準位は等しくなるので、式(3.23)の BGN 効果を考慮した質量作用の法則から以下の関係式(3.28)(3.29)が成り立つ。

$$\text{ドリフト層/バッファ層界面： } p_{\text{drift}} n_{\text{drift}} = p_3 n_3 \exp\left(\frac{\Delta E_{g(\text{buffer})} - \Delta E_{g(\text{drift})}}{k_B T}\right) \quad (3.28)$$

$$\text{バッファ層/基板界面： } p_4 n_4 = p_5 n_5 \exp\left(\frac{\Delta E_{g(\text{sub})} - \Delta E_{g(\text{buffer})}}{k_B T}\right) \quad (3.29)$$

ここで、 $\Delta E_{g(\text{drift})}$ 、 $\Delta E_{g(\text{buffer})}$ 及び $\Delta E_{g(\text{sub})}$ はそれぞれドリフト層、バッファ層及び基板の領域での BGN 効果によるバンドギャップのエネルギー減少量を表す。また、式(3.13)の電荷中性条件から各領域の n は p とイオン化されたドナー濃度 N_D^+ の和で置き換えられるので式(3.28)(3.29) は p のみの式で取り扱うことができる。さらに、電流の連続性により各領域の接合界面両側における J_p は等しい。

$$\text{ドリフト層/バッファ層界面： } J_{p(\text{drift})} = J_{p(\text{buffer_top})} \quad (3.30)$$

$$\text{バッファ層/基板界面： } J_{p(\text{buffer_bottom})} = J_{p(\text{sub_top})} \quad (3.31)$$

ここで、 $J_{p(\text{buffer_bottom})}$ はバッファ層頂部のホール電流密度、 $J_{p(\text{buffer_bottom})}$ はバッファ層底部のホール電流密度、 $J_{p(\text{sub_top})}$ は基板頂部のホール電流密度を表し、以下の式(3.32)-(3.34)に示すとおり各領域のホール濃度分布 $p(x)$ より計算される。

$$\begin{aligned} J_{p(\text{buffer_top})} &= -qD_{\text{buffer}} \left. \frac{dp}{dx} \right|_{x=0} \\ \text{バッファ層頂部：} &= -qD_{\text{buffer}} \frac{p_4 - p_3 \cosh\left(\frac{t_{\text{buffer}}}{L_{\text{buffer}}}\right)}{L_{\text{buffer}} \sinh\left(\frac{t_{\text{buffer}}}{L_{\text{buffer}}}\right)} \end{aligned} \quad (3.32)$$

$$\begin{aligned} J_{p(\text{buffer_bottom})} &= -qD_{\text{buffer}} \left. \frac{dp}{dx} \right|_{x=t_{\text{buffer}}} \\ \text{バッファ層底部：} &= -qD_{\text{buffer}} \frac{p_4 \cosh\left(\frac{t_{\text{buffer}}}{L_{\text{buffer}}}\right) - p_3}{L_{\text{buffer}} \sinh\left(\frac{t_{\text{buffer}}}{L_{\text{buffer}}}\right)} \end{aligned} \quad (3.33)$$

$$\text{基板頂部： } J_{p(\text{sub_top})} = -qD_{\text{sub}} \left. \frac{dp}{dx} \right|_{x=0} = \frac{qD_{\text{sub}} p_5}{L_{\text{sub}}} \quad (3.34)$$

以上の電荷中性条件、質量作用の法則ならびに電流の連続性の関係式より、初期条件として任意の位置 x でのホール濃度を与えることによって $p_1 \sim p_5$ が一意に決まる。また、PiN ダイオード中の全電流密度 J は、計算される n_{drift} 、 p_{drift} ならびに $J_{p(\text{drift})}$ を用いて式(3.3)-(3.5)より得ることができる。したがって、バイポーラ劣化の原因となる BPD が存在する位置において 1SSF へ拡張する臨界ホール濃度 p_{crit} を設定することで臨界電流密度 J_{crit} を本モデルによって数値解析的に予測することができる。

本章では、SiC パワー半導体バイポーラ劣化の理論的な理解のために 4H-SiC PiN ダイオード内の BPD の位置を考慮した新たな電流密度計算モデルを提案した。本モデルは、BPD の位置において p_{crit} を設定することでバイポーラ劣化を引き起こす J_{crit} を与え、ドーパントのイオン化、バンドギャップナローイング効果、および移動度の温度依存性を組み込むことで 498 K までの高温条件下におけるバイポーラ劣化の予測を可能とする。

第3章 参考文献

- [1] T. Kimoto and J. A. Cooper, “Fundamentals of Silicon Carbide Technology”, Chapter 7, John Wiley & Sons, Singapore (2014).
- [2] T. Tawara, T. Miyazawa, M. Ryo, M. Miyazato, T. Fujimoto, K. Takenaka, S. Matsunaga, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, H. Tsuchida, “Short minority carrier lifetimes in highly nitrogen-doped 4H-SiC epilayers for suppression of the stacking fault formation in PiN diodes”, J. Appl. Phys. 120, 115101 (2016).
- [3] J. R. Jenny, D. P. Malta, V. F. Tsvetkov, M. K. Das, H. McD. Hobgood, C. H. Carter Jr., “Effects of annealing on carrier lifetime in 4H-SiC”, J. Appl. Phys. 100, 113710 (2006).
- [4] I. G. Ivanov, B. Magnusson, and E. Janzén, “Optical selection rules for shallow donors in 4H-SiC and ionization energy of the nitrogen donor at the hexagonal site”, Phys. Rev. B - Condens. Matter Mater. Phys., 67, 16, pp.1652121-1652125 (2003).
- [5] N. T. Son, O. Kordina, A. O. Konstantinov, W. M. Chen, E. Sorman, B. Monemar, E. Janzen, “Electron effective masses and mobilities in high-purity 6H-SiC chemical vapor deposition layers”, Appl. Phys. Lett. 65, 25, pp.3209-3211 (1994).
- [6] U. Lindefelt, “Doping-induced band edge displacements and band gap narrowing in 3C-, 4H-, 6H-SiC, and Si”, J. Appl. Phys. 84, 5, pp.2628-2637 (1998).
- [7] T. Kimoto and J. A. Cooper, “Fundamentals of Silicon Carbide Technology”, Chapter 9, John Wiley & Sons, Singapore (2014).

第4章 PiN ダイオード通電ストレス試験

4-1. SiC PiN ダイオードの試作

SiC 基板中の BPD がバイポーラ劣化により 1SSF へ拡張する臨界ホール濃度 p_{crit} を評価するために約 1.5 mm 角の試作 PiN ダイオードを用いて順方向通電ストレス試験を行い、バイポーラ劣化を引き起こす電流密度ならびに温度の評価を行った。試作 PiN ダイオードの断面構造図を図 4-1 に示す。基板として、同じ SiC インゴットから隣接して切断された 2 枚の 3 インチ 4H-SiC (0001) Si 面 4°オフカット ([11 $\bar{2}$ 0] 方向) ウェハを PiN ダイオード試作に供した。2 枚の SiC ウェハに対して Si-VE による 25 μm エッチング及び CMP による数 μm 加工をそれぞれ仕上げ加工として施した。エピタキシャル成長は、CVD 装置で SiC 基板表面を約 10 nm の H₂ エッチングを施した後、H₂ キャリアガス中で原料ガスとして SiH₄ 及び C₃H₈、ドーパントとして N₂ ガスを用いて膜厚 0.5 μm 及びキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のバッファ層、膜厚 10 μm 及びキャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ のドリフト層を成膜させた。p⁺ アノード領域はエピタキシャル膜表面への Al イオン注入 (濃度: 約 $3 \times 10^{20} \text{ cm}^{-3}$) によって形成し、1600 °C 以上の高温活性化アニールを行った。最後に、Al をアノード電極として p⁺ アノード領域上に、Au をカソード電極としてウェハ裏面全面にそれぞれ形成した。

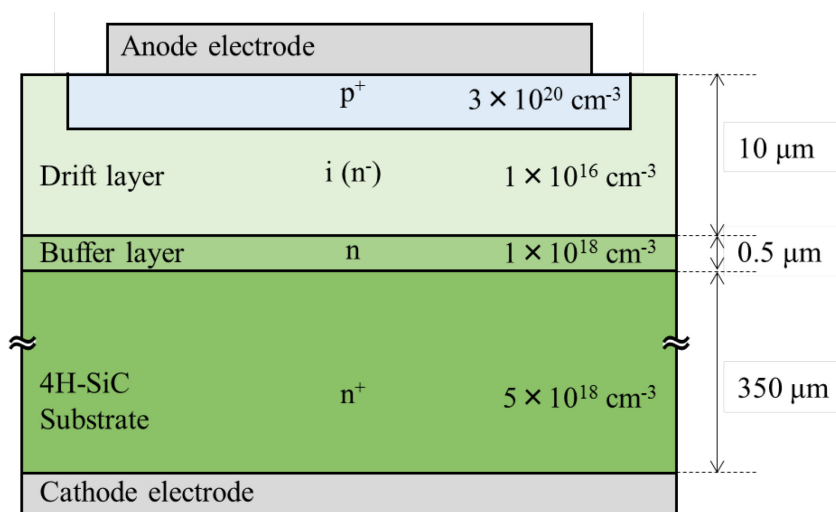


図 4-1. 試作 PiN ダイオードの断面構造図

4-2. PiN ダイオードの順方向通電ストレス試験

PiN ダイオードの順方向通電ストレス試験を図 4-2 に示す回路構成において行った。直流安定化電源を用いて 2 Ω の抵抗を接続した 3 本の W 製プローブを並列に PiN ダイオードのアノード電極へコンタクトした。また、カソード電極は Au メッキされた温調ウェハチャック

を用いて真空吸着によりコンタクトを取った。PiN ダイオードに流れる順方向電流 I_f は電流プローブにより温調チャック下流で計測した。順方向電圧 V_f はダイオードと GND 間の電位差 V_{f1} 、温調チャックと GND 間の電位差 V_{f2} をケルビン接続によりオシロスコープで計測し、その和よりモニターした。順方向通電ストレス条件は電流密度を 50 A/cm^2 、 100 A/cm^2 、 200 A/cm^2 、 300 A/cm^2 、 400 A/cm^2 ならびに 500 A/cm^2 の条件で行った。通電時間の条件は、各電流密度において 1 min 、 10 min 、 15 min ならびに 60 min の電流印加を行った。PiN ダイオードの温度は温調により 298 K (室温)、 373 K 及び 423 K の定温条件で保持し、赤外線サーモグラフィカメラを用いてダイオードの表面温度を計測した。

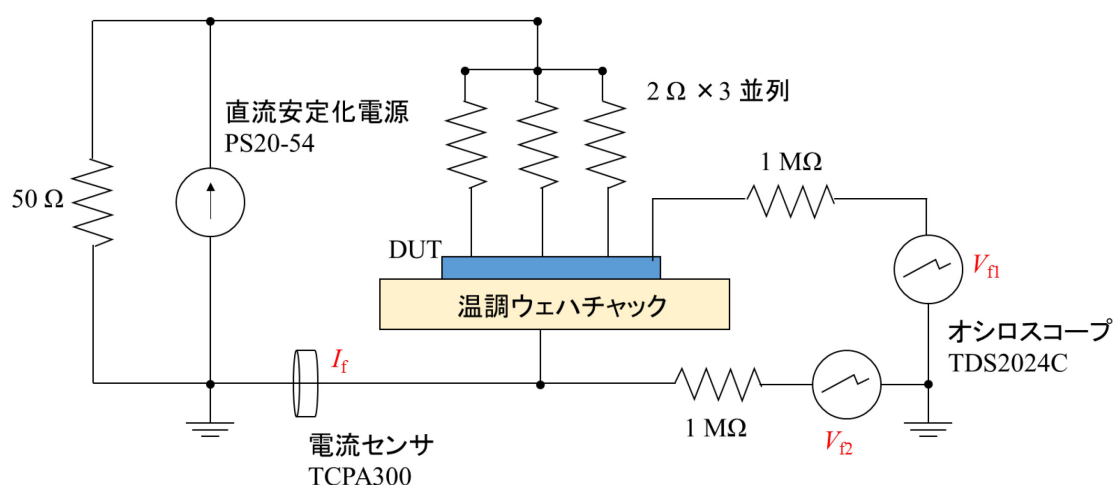


図 4-2. SiC PiN ダイオードの順方向通電ストレス試験回路

4-3. 基板中 BPD による PiN ダイオードのバイポーラ劣化評価

順方向通電ストレスによって基板内 BPD が 1SSF に拡張するバイポーラ劣化を評価するために、図 4-3 に示す工程フローにてフォトルミネッセンス (PL) イメージング及びシンクロトロン放射光による X 線トポグラフィー測定を行った。本評価においてバイポーラ劣化による 1SSF 拡張が基板中 BPD に起因するものなのかエピタキシャル層中の BPD に起因するものなのかを判別する必要がある。まず、エピタキシャル成長後に PL イメージング測定 (励起波長: 313 nm 、検出波長 $> 750 \text{ nm}$) を行い、あらかじめエピタキシャル層内の BPD の位置を認識する。順方向通電ストレス後、PiN ダイオードのアノード電極及びカソード電極を剥離し、PL イメージング測定 (励起波長: 313 nm 、検出波長 $425 \pm 10 \text{ nm}$) ならびに放射光 X 線トポグラフィー測定 (X 線波長: $0.10 \sim 0.15 \text{ nm}$ 、反射配置、測定条件: 回折ベクトル $\mathbf{g} = 11\bar{2}8, 02\bar{2}10, \bar{2}2010, 20\bar{2}10$ 、侵入長 $15 \sim 20 \mu\text{m}$) を行い、拡張した 1SSF ならびに基板中 BPD の観察を行った。以上の測定を同点観察比較することによって、基板内 BPD に由来する 1SSF 拡張位置を特定した。

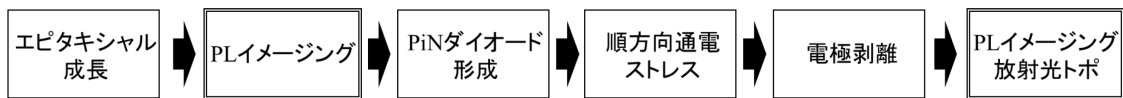


図 4-3. 順方向通電ストレスによるバイポーラ劣化評価の工程フロー図

図 4-4 に、CMP 加工ウェハより作製された PiN ダイオードの順方向通電ストレスによる BPD からの 1SSF 拡張の同点観察例を示す。通電ストレス条件は、298 K のもと 500 A/cm^2 で 60 min の電流印加を行った。

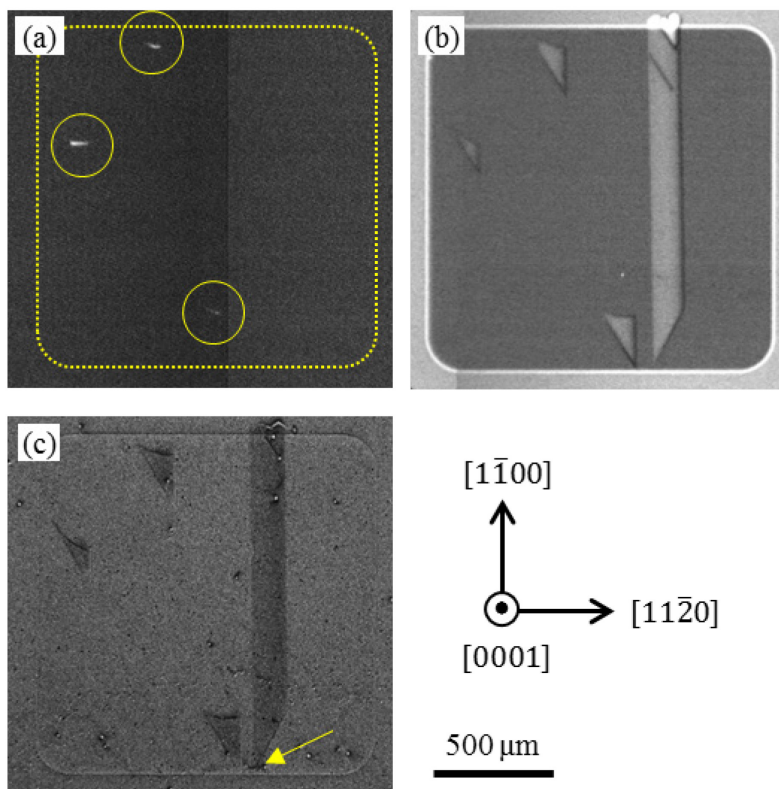


図 4-4. CMP 加工ウェハより作製された PiN ダイオードの順方向通電ストレスによる BPD からの 1SSF 拡張の同点観察例。(a) エピタキシャル成長後の PL イメージング像。丸で囲まれた白いコントラストはエピタキシャル層中の BPD、破線は p^+ アノード領域の端。(b) 通電ストレス後の PL イメージング像、(c) 通電ストレス後の放射光 X 線トポグラフィ像 (回折条件: $g = \bar{2}2010$)。矢印は基板内 BPD に起因する 1SSF 拡張起点。

図 4-4 (a) に示すとおり、エピタキシャル成長後の PL イメージング測定ではエピタキシャル層に伝播する BPD は明線状のコントラストによって認識できる。これは、検出波長 $> 750 \text{ nm}$ において 4H-SiC のバンド端発光(約 390 nm)がカットされて BPD に起因する発光

(約 600~1000 nm) を検出しているためである。通電ストレス後に電極を剥離し PL イメージング測定を行うと、約 420 nm の発光に対応した 1SSF がエピタキシャル膜中の BPD から三角形形状の積層欠陥が拡張しているとともに p+アノード領域の端まで伸展した帯状の積層欠陥が形成していることがわかる (図 4-4 (b))。エピタキシャル成長後の PL イメージング測定では帯状の積層欠陥の起点には何も観察されていないが、放射光 X 線トポグラフィー測定においてはその起点に暗線状のコントラストで示される基板中の BPD が確認できる (図 4-4 (c) の矢印)。

基板内 BPD の Burgers ベクトル \mathbf{b} の方向は、 $\mathbf{g} \cdot \mathbf{b}$ 解析によって決定した。図 4-5 は、CMP加工ウェハより作製された PiN ダイオードにおいて 298 K のもと 500 A/cm^2 で 1 min の順方向通電ストレスによる基板内 BPD からの 1SSF 拡張挙動を観察した放射光 X 線トポグラフィー測定例である。測定に用いた 3 方向の回折ベクトル: $\mathbf{g} = 02\bar{2}10, \bar{2}2010, 20\bar{2}10$ は BPD の Burgers ベクトル $\mathbf{b} = \pm\frac{1}{3}[11\bar{2}0], \pm\frac{1}{3}[\bar{2}110], \pm\frac{1}{3}[1\bar{2}10]$ のいずれかと直交する条件であり、転位の消滅則 $\mathbf{g} \cdot \mathbf{b} = 0$ を \mathbf{b} が満たすとき転位のコントラストは観察されない。図 4-5 において (a) の回折条件: $\mathbf{g} = 02\bar{2}10$ のみ基板内 BPD のコントラストが消滅していることから、BPD の Burgers ベクトルは $\mathbf{b} = \pm\frac{1}{3}[\bar{2}110]$ と決定できる。

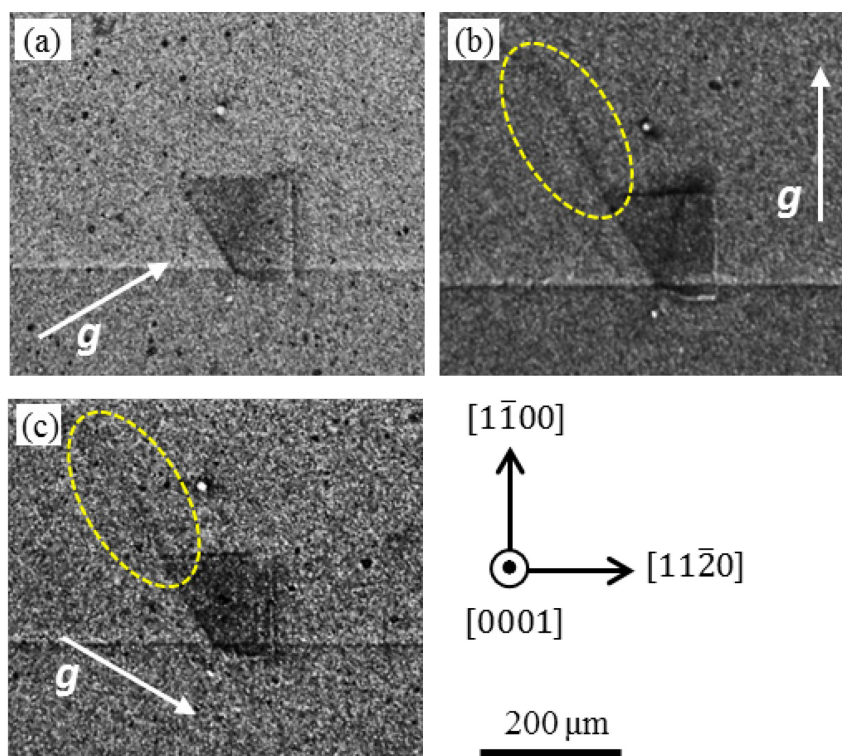


図 4-5. 放射光 X 線トポグラフィー測定による CMP 加工ウェハより作製された PiN ダイオードの基板内 BPD からの 1SSF 拡張挙動の観察例。矢印は回折ベクトルの向き、破線は基板内 BPD を示す。(a) 回折条件: $\mathbf{g} = 02\bar{2}10$ 、(b) 回折条件: $\mathbf{g} = \bar{2}2010$ 、(c) 回折条件: $\mathbf{g} = 20\bar{2}10$ 。

以上の評価方法により、基板内 BPD を 1SSF へ拡張させる順方向通電ストレス条件ならびに 1SSF 拡張の起点となった BPD の Burgers ベクトル \mathbf{b} を調査した。表 4-1 及び 4-2 に、CMP ならびに Si-VE 加工ウェハで作製した PiN ダイオードにおける基板内 BPD を起因の 1SSF 拡張が発生した通電ストレス条件と基板内 BPD の Burgers ベクトル \mathbf{b} をそれぞれ示す。

表 4-1. CMP 加工ウェハで作製した PiN ダイオードにおける基板内 BPD 起因の順方向通電ストレス条件と基板内 BPD の Burgers ベクトル \mathbf{b}

Temp. [K]	Current density [A/cm ²]	Time [min]	Burgers vector of BPD : \mathbf{b}
298	400	1	$\pm \frac{1}{3} [11\bar{2}0]$
298	500	1	$\pm \frac{1}{3} [\bar{2}110]$
298	500	60	$\pm \frac{1}{3} [1\bar{2}10]$
298	500	60	$\pm \frac{1}{3} [1\bar{2}10]$
373	200	1	$\pm \frac{1}{3} [\bar{2}110]$
373	400	1	$\pm \frac{1}{3} [11\bar{2}0]$
373	400	1	$\pm \frac{1}{3} [1\bar{2}10]$
423	300	1	$\pm \frac{1}{3} [\bar{2}110]$
423	400	1	$\pm \frac{1}{3} [\bar{2}110]$

表 4-2. Si-VE 加工ウェハで作製した PiN ダイオードにおける基板内 BPD 起因の順方向通電ストレス条件と基板内 BPD の Burgers ベクトル \mathbf{b}

Temp. [K]	Current density [A/cm ²]	Time [min]	Burgers vector of BPD : \mathbf{b}
298	400	1	$\pm \frac{1}{3} [1\bar{2}10]$

298	400	10	$\pm \frac{1}{3} [\bar{2}110]$
423	300	1	$\pm \frac{1}{3} [1\bar{2}10]$

また、表 4-1 及び 4-2 の結果より順方向通電ストレスによる基板内 BPD の 1SSF への拡張数を温度ならびに電流密度の条件ごとに整理してヒストグラム化したものを図 4-6 に示す。このとき、BPD の 1SSF への拡張は注入ホール濃度で決まるものとして、複数のストレス通電時間の条件は電流密度で統一した。全体的な傾向として、拡張した 1SSF の起点となった BPD の **b** に関しては明確な温度ならびに電流密度の依存性は見られなかったが、温度の上昇とともに基板内 BPD が 1SSF へ拡張する電流密度が低下していることがわかる。また、基板内 BPD の 1SSF への拡張数は CMP 加工ウェハと比較して Si-VE 加工ウェハのほうが 1/3 であった。これは Si-VE 処理による基板内 BPD の TED 変換効果によって 1SSF への拡張が抑制されたものと推察する。一方で、図 4-6 (b) の Si-VE 加工ウェハにおいて 1SSF へ拡張したストレス条件は CMP 加工ウェハのものと同等の温度ならびに電流密度条件であり、Si-VE 処理によって TED に変換しなかった基板内 BPD によるものと考えられる。Si-VE 処理による深さ 80 nm 以上での基板内 BPD の TED 変換効率は約 69 % であるとの報告[1]からも、1SSF への拡張数の減少量は変換効率と良い相関を示していると考えられる。

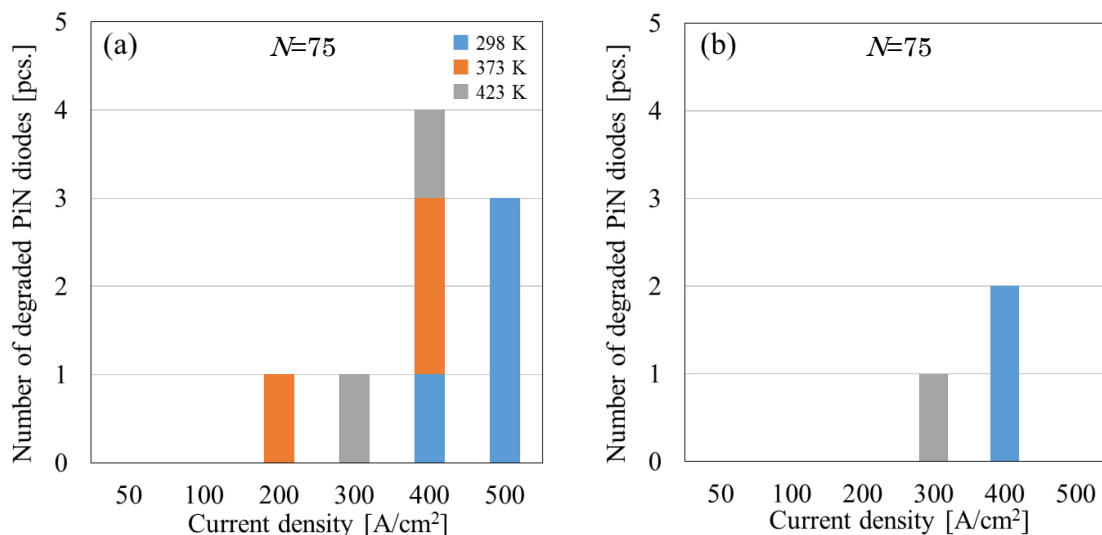


図 4-6. 順方向通電ストレスによる基板内 BPD の 1SSF への拡張数のヒストグラム。(a) CMP 加工ウェハ、(b) Si-VE 加工ウェハ

本章では試作 PiN ダイオードを用いた順方向通電ストレス試験および欠陥評価を行い、SiC 基板中の BPD がバイポーラ劣化により 1SSF へ拡張する p_{crit} を評価するために必要な電流密度および温度条件を抽出し、Si-VE 法により加工されたウェハを用いた PiN ダイオードは CMP 加工されたウェハよりも基板中の BPD に起因するバイポーラ劣化が発生しにくいことを実験的にはじめて明らかにした。また、両者のウェハ間での比較において Si-VE 法により加工されたウェハのバイポーラ劣化が発生した PiN ダイオードの数は 1/3 に低減しており、Si-VE 法による基板内 BPD の TED への変換率（約 69 %）と良い相関を示すことを明らかにした。

第 4 章 参考文献

- [1] Y. Sudoh, M. Kitabatake, T. Kaneko, “BPD-TED Conversion in the SiC substrate after High-Temperature Si-VE”, Ext. Abst. of ICSCRM, Th-1B-04 (2019).

第5章 バイポーラ劣化予測モデルによる PiN ダイオードの臨界電流密度の計算

5-1 PiN ダイオード順方向電流密度計算の妥当性確認

第3章のバイポーラ劣化予測モデルで設計した PiN ダイオード順方向電流密度計算モデルを用いてデバイス構造パラメータとバイポーラ劣化の関係を明らかにするにあたり、本計算モデルの妥当性検証として PiN ダイオード順方向電流密度からバッファ層/基板界面のホール濃度を計算した文献[1]と比較した。本研究の計算モデルの設計において設定した図3-2のキャリア濃度分布に基づき、文献に記載されている PiN ダイオード構造パラメータを使用して 298 K 及び 423 K におけるバッファ層底のホール濃度 p_4 に対するダイオードの順方向電流密度 J を計算した。 p_4 に対する J の変化を示すグラフと電流密度の比較結果を図5-1及び表5-1にそれぞれ示す。図5-1中の四角の記号で表すプロットは文献から推定された値である。計算結果は表5-1に示すように、文献値よりもわずかに大きくなる傾向であるが概ね一致していることを確認した。計算結果と文献値の違いは、計算に使用される物理モデルや設定する物理量の違いによるものと推察する。

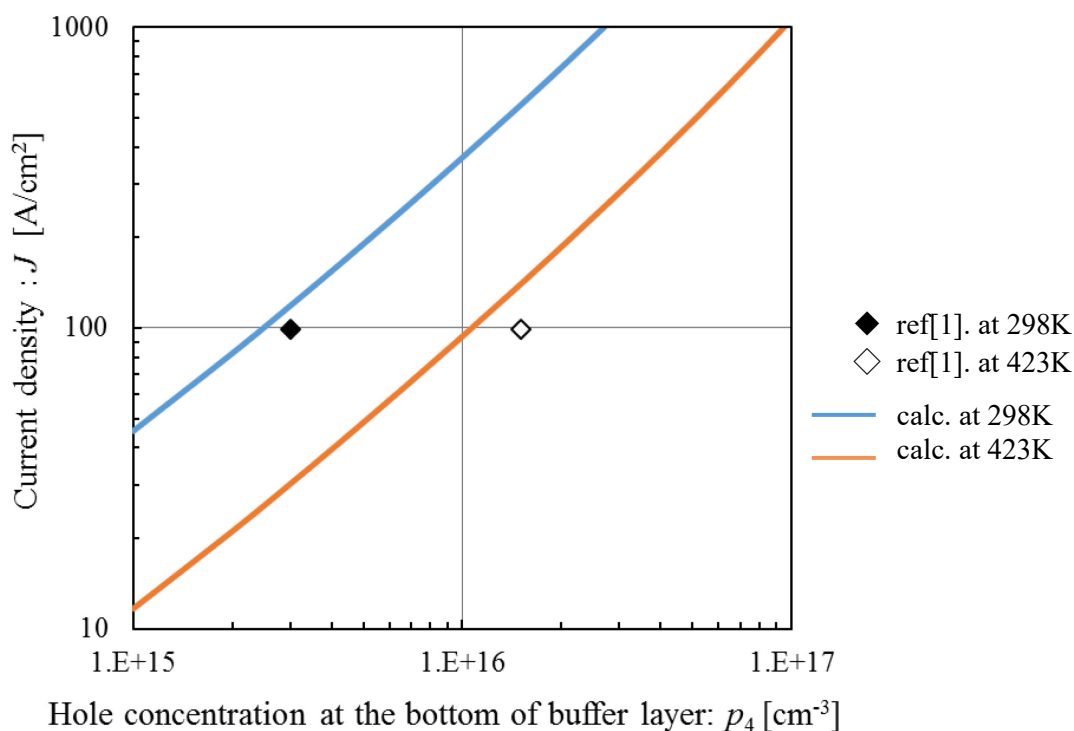


図5-1. バッファ層底のホール濃度に対する PiN ダイオードの順方向電流密度

表 5-1. 順方向電流密度のモデル計算結果と文献値との比較

		Current density: J [A/cm ²]	
Temperature: T [K]	Hole concentration: p_4 [cm ⁻³]	Ref.[1]	Calculation
298	3.0×15	100	118.5
423	1.5×16	100	139.6

5-2 PiN ダイオード順方向通電ストレス試験からの臨界ホール濃度の推定

バイポーラ劣化を引き起こす臨界電流密度 J_{crit} を計算するために、第 4 章の PiN ダイオード順方向通電ストレス試験において基板内 BPD から 1SSF が拡張した温度と電流密度の条件からバイポーラ劣化を引き起こす臨界ホール濃度 p_{crit} を推定する。基板内の BPD がエピタキシャル成長においてバッファ層/基板界面で TED に変換されているものと仮定して、通電ストレス試験によって得られた基板内 BPD のバイポーラ劣化条件から p_{crit} を推定するために、図 4-1 に示した試作 PiN ダイオード構造パラメータを用いて図 5-1 と同様にバッファ層底のホール濃度 p_4 に対する順方向電流密度 J を計算し、 p_4 固定のもと温度に対する J の変化をグラフ化した。このとき、を p_{crit} とすることで J は J_{crit} と見做すことができる。

図 5-2 は、 $p_4 = 5 \times 10^{15}$ から 1×10^{16} までの複数の条件における温度と J の関係を表すグラフである。図中の×記号のプロットは、CMP 加工ウェハによる PiN ダイオードの通電ストレス試験から得られた基板内 BPD のバイポーラ劣化条件（表 4-1 参照）を表す。一方、○記号のプロットは基板内の BPD によるバイポーラ劣化が発生しなかった条件を示す。ここで図 5-2 のグラフが意味するところは、ハッチ領域で示す温度ならびに J の条件で順方向通電されたときに基板内 BPD によるバイポーラ劣化が引き起こされると解釈できる。このとき、試作 PiN ダイオードの通電ストレス試験から得られたバイポーラ劣化条件の分布は凡そ $p_4 = 8 \times 10^{15} \text{ cm}^{-3}$ の曲線近傍と高電流密度側に位置しており、この結果からバイポーラ劣化を引き起こすホール濃度の閾値は $p_{crit} = 8 \times 10^{15} \text{ cm}^{-3}$ と推定した。

これまでに基板内 BPD によるバイポーラ劣化を引き起こすホール濃度が実験的に求められた例として、 p^+ エミッタを p 型エピタキシャル層 (Al ドープ) で形成した PiN ダイオードにて平均 $1.6 \sim 2.5 \times 10^{16} \text{ cm}^{-3}$ (最小: $3 \times 10^{15} \text{ cm}^{-3}$ 、最大: $1 \times 10^{17} \text{ cm}^{-3}$) [1]、バッファ層の構造を含まない PiN ダイオードにて $3.9 \times 10^{16} \text{ cm}^{-3}$ [2] が報告されている。また、基板内の BPD-TED 変換位置の深さに d に対する 1SSF に拡張する電流密度の関係が実験的に評価されており、 J_{crit} の計算モデルより p_{crit} を見積もった。図 5-3 は、基板内の BPD-TED 変換位置に対する J_{crit} の計算モデルと文献値[3]の比較を行った結果である。

PiN ダイオードの構造パラメータは文献[5]の値を用いた。図中の黒い線はその電流密度の範囲において 1SSF が拡張したことを示す。計算では 298 K において基板中のホール寿命 τ_{sub} 及び p_{crit} を変化させてフィッティングを行った。 $\tau_{\text{sub}} = 1.0 \sim 2.5 \text{ ns}$ 及び $p_{\text{crit}} = 3.0 \times 10^{15} \sim 8.0 \times 10^{15} \text{ cm}^{-3}$ の範囲で良好な一致を示した。文献[4]によると、基板内の BPD が 1SSF に拡張する電流密度が $> 350 \text{ A/cm}^2$ と報告されている。計算結果では、 $\tau_{\text{sub}} = 1.5 \text{ ns}$ 及び $p_{\text{crit}} = 5.0 \times 10^{15} \text{ cm}^{-3}$ での $d = 0 \text{ }\mu\text{m}$ における J_{crit} が 373 A/cm^2 、 $\tau_{\text{sub}} = 2.5 \text{ ns}$ 及び $p_{\text{crit}} = 8.0 \times 10^{15} \text{ cm}^{-3}$ での $d = 0 \text{ }\mu\text{m}$ における J_{crit} が 434 A/cm^2 であったことから、文献の PiN ダイオードの構造においては $p_{\text{crit}} = 5.0 \times 10^{15} \sim 8.0 \times 10^{15} \text{ cm}^{-3}$ が実験結果と最も一致しているものと考えられる。

以上の報告例の値と比較すると p_{crit} は非常に近い値が得られており、計算モデルによる p_{crit} の推定は適切であったと考える。以降の計算モデルを用いた J_{crit} の計算では、 $p_{\text{crit}} = 8 \times 10^{15} \text{ cm}^{-3}$ を採用した。

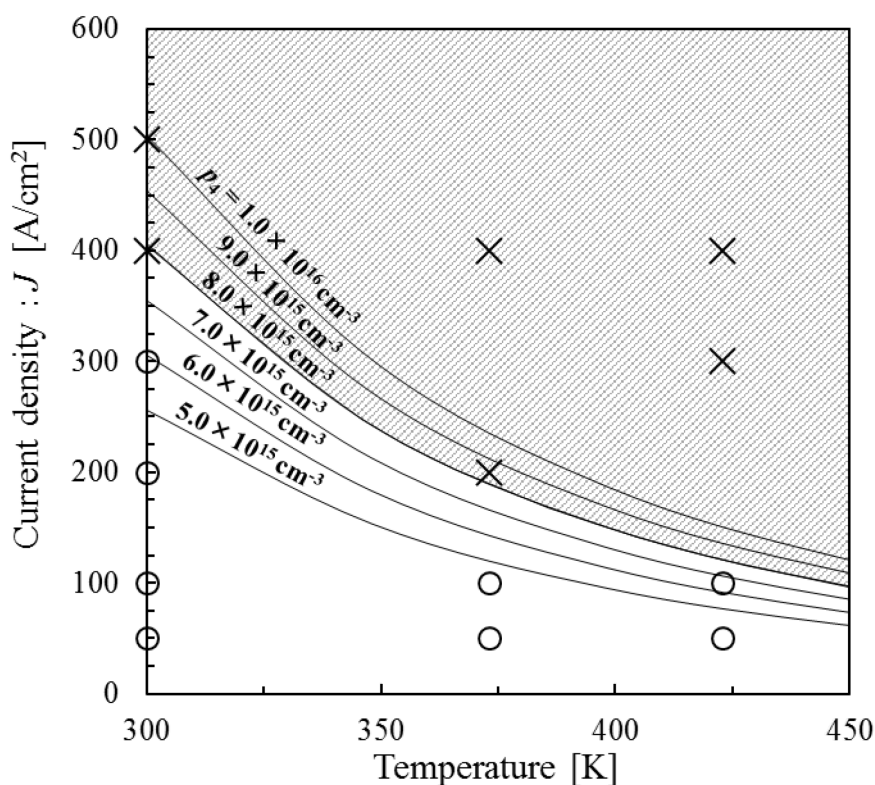


図 5-2. 試作 PiN ダイオードの臨界電流密度の関係と通電ストレス試験結果の比較

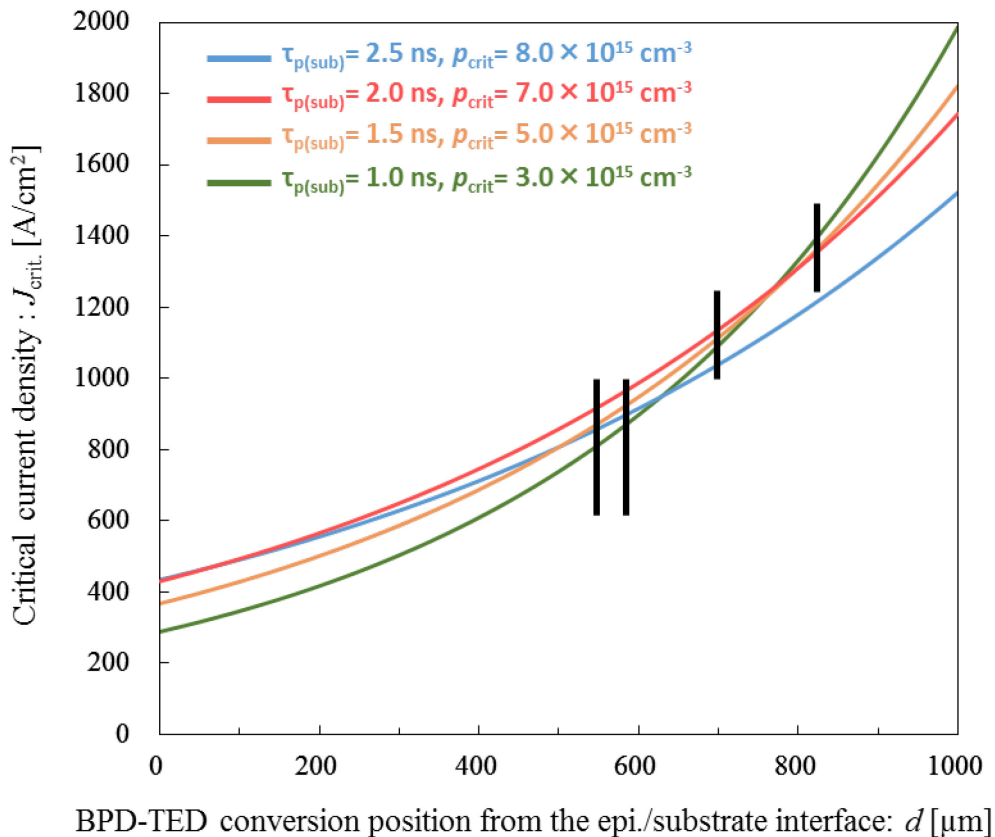


図 5-3 基板内の BPD-TED 変換位置に対する臨界電流密度のモデル計算と文献値の比較

5-3 PiN ダイオードの構造及び BPD 位置と臨界電流密度の考察

PiN ダイオードの構造及び BPD の位置とバイポーラ劣化との関係を明らかにすることを目的として、ダイオード構造中における BPD の位置を考慮した PiN ダイオード順方向電流密度計算モデルより種々のダイオード構造パラメータを変化させて J_{crit} への影響を評価した。計算に用いた構造パラメータは第 4 章で試作評価した PiN ダイオードの構造(図 4-1)をベースに設定し、ドリフト層のドナー濃度、バッファ層の厚みとドナー濃度、バッファ層及び基板のキャリアライフタイムに対する J_{crit} の定量的評価を行った。このとき、ダイオード構造中における BPD-TED 変換位置は、ドリフト層領域、バッファ層領域、基板領域の 3 つのケースに大別し、構造パラメータとバイポーラ劣化の関係を J_{crit} から議論する。

5-3-1 ドリフト層へ BPD が貫通する場合

PiN ダイオードのドリフト層へ BPD が貫通する場合の BPD の概念図を図 5-4 に示す。このとき、基板中の BPD はバッファ層/基板界面で TED に変換されずにエピタキシャル層

へ伝播してドリフト層表面まで貫通する、もしくはドリフト層中で TED に変換する。

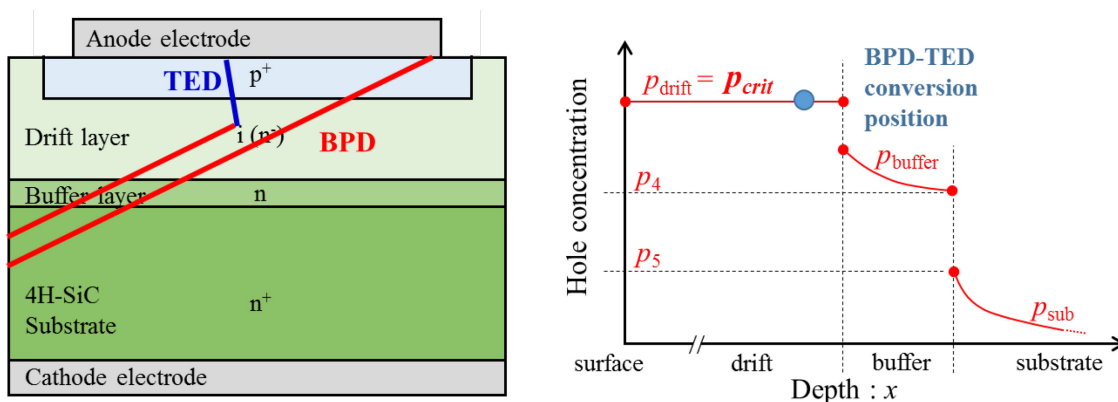


図 5-4. PiN ダイオードのドリフト層へ貫通する BPD の概念図、ホール濃度の図は BPD がドリフト層中で TED に変換する場合を示す

はじめに、図 4-1 の試作 PiN ダイオード構造におけるドリフト層内の BPD-TED 変換位置に対する臨界電流密度を図 5-5 に示す。ドリフト層中のキャリア濃度分布がフラットプロファイル (式(3.1)(3.2)参照) の条件下では、ドリフト層内の BPD-TED 変換位置に対して J_{crit} は変化しないことがわかる。すなわち、BPD-TED 変換位置に関わらず $p_{drift} = p_{crit}$ となるときのバイポーラ劣化が直ちに発生する。また、温度の上昇において移動度の減少と基板のライフタイムの増加による効果によって J_{crit} はさらに低下した。このとき J_{crit} の値は $< 10 \text{ A/cm}^2$ と非常に小さく、わずかな電流密度で直ちに BPD から 1SSF へ拡張することが予想される。実際に、第 4 章の順方向通電ストレス試験においてドリフト層へ貫通した全ての BPD が最小通電ストレス条件 50 A/cm^2 で 1SSF へ拡張していることを確認した。このことからドリフト層へ貫通した全ての BPD に対する J_{crit} は非常に小さいことが定性的に示される。

次に、PiN ダイオードの構造パラメータを変化させたときの J_{crit} への影響を評価する。図 5-6 は、298-498 K におけるドリフト層のドナー濃度に対する J_{crit} の計算結果を表す。ドリフト層のドナー濃度の上昇に従って n_{drift} が増加することにより J_{crit} は上昇の傾向を示している。298 K のドナー濃度が $1 \times 10^{17} \text{ cm}^{-3}$ において J_{crit} は 176 A/cm^2 程度である。温度の上昇においては、移動度の減少と基板のホールの拡散長の増加によって J_{crit} は大きく低下する。ドリフト層のドナー濃度の観点からバイポーラ劣化を抑制するためにはドナー濃度を高くして J_{crit} を向上させる方法が挙げられるが、デバイスの耐圧設計に影響するため高耐圧用途においては実用的な対策手法にはならないといえる。

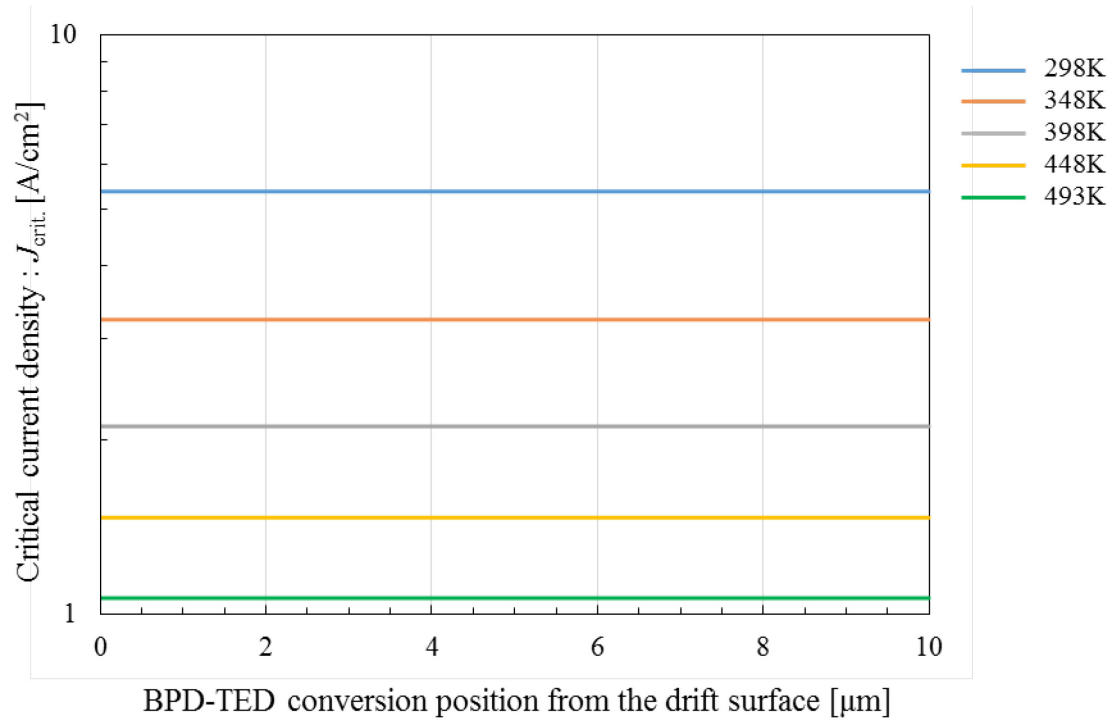


図 5-5. ドリフト層内の BPD-TED 変換位置に対する臨界電流密度

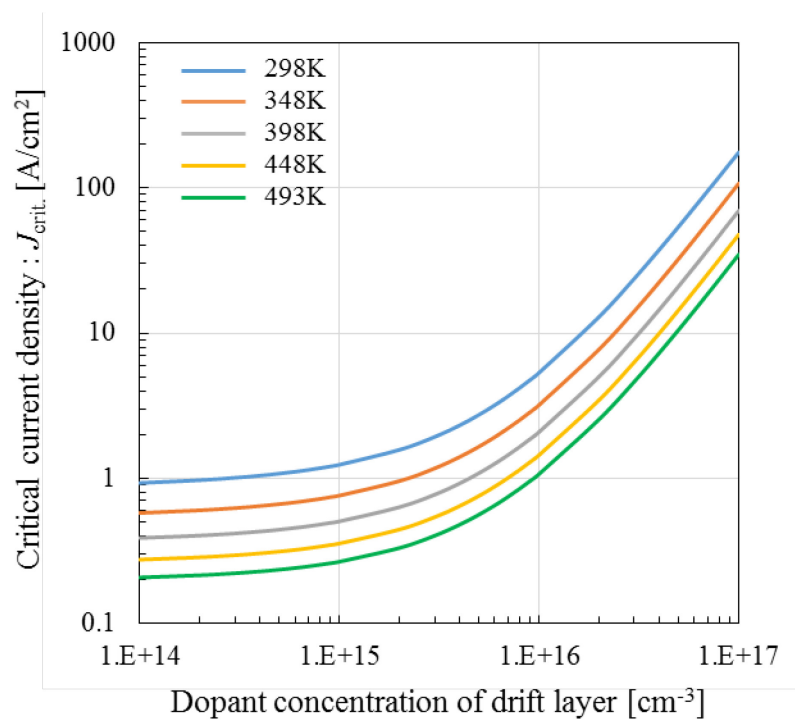


図 5-6. ドリフト層のドナー濃度に対する臨界電流密度

図 5-7 は、298-498 K におけるバッファ層のドナー濃度に対する J_{crit} の計算結果である。ここでは、バッファ層のドナー濃度の変化に対するキャリアライフタイムの変化は考慮していない。 J_{crit} はバッファ層のドナー濃度の増加に対して急激な減少の傾向を確認した。これは質量作用の法則からバッファ層のドナー濃度が増加するとドリフト層中の $p_{drift}n_{drift}$ が上昇し、より小さい電流密度で $p_{drift} = p_{crit}$ に到達するためである。温度上昇による J_{crit} の低下は、図 5-5 の結果と同様に移動度の減少と基板のライフタイムの増加による。このことから、高濃度のバッファ層を有する構造ではドリフト層に貫通する BPD のバイポーラ劣化が促進されるものと推察される。

また、基板のホールのライフタイム τ_{sub} に対する J_{crit} の変化を図 5-8 に示す。 τ_{sub} を短くすることにより基板中のホールの拡散長 L_{sub} が短くなるため、PiN ダイオード中の J_p 成分が減少し $p_4 = p_{crit}$ に到達するまでの電流密度が上昇するため J_{crit} が上昇する。ドリフト層へ BPD が貫通する場合においては、いずれの τ_{sub} の条件においても J_{crit} が凡そ $< 10 \text{ A/cm}^2$ であり、 τ_{sub} の制御による J_{crit} の改善効果は限定的である。

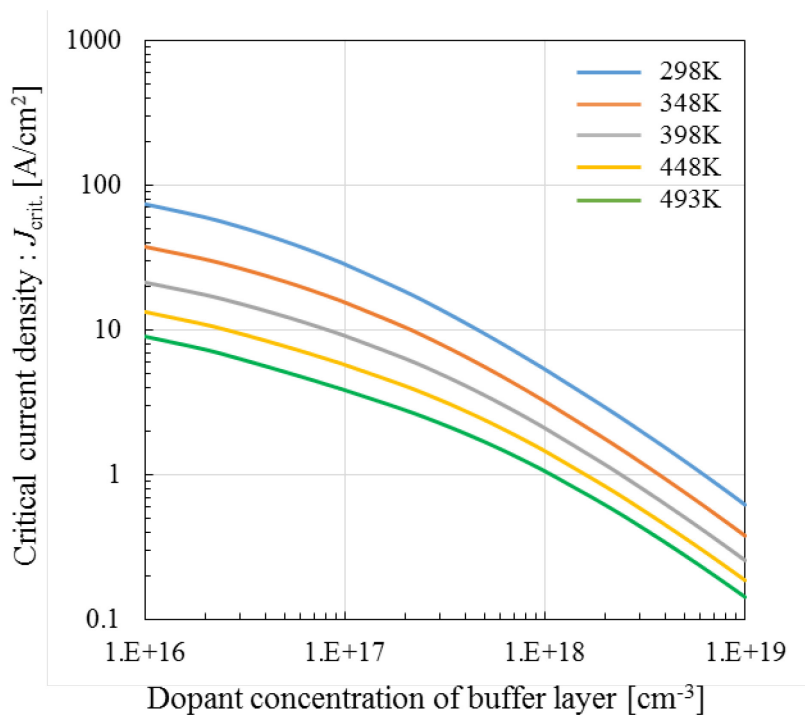


図 5-7. バッファ層のドナー濃度に対する臨界電流密度

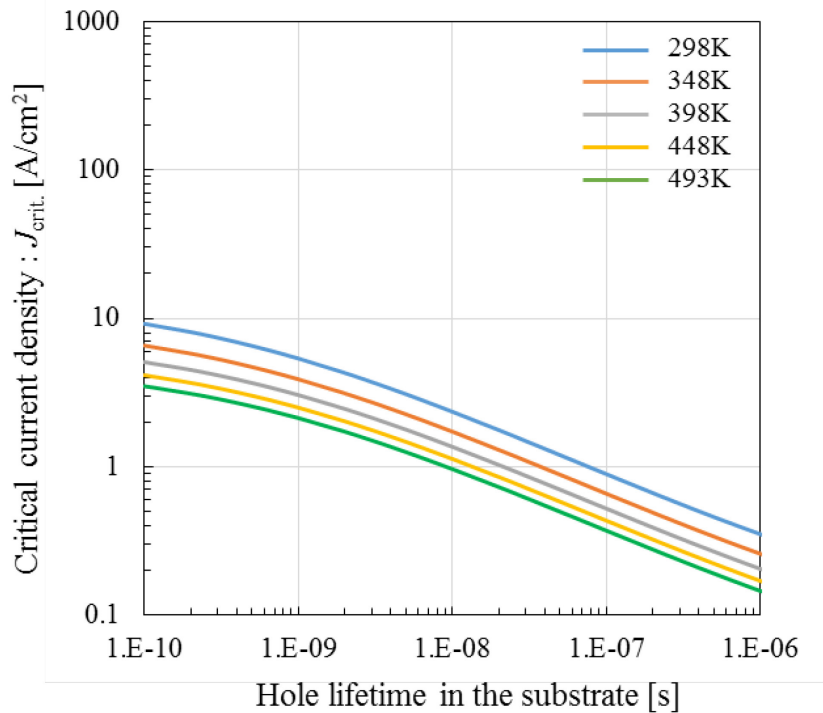


図 5-8. 基板中のホールのライフタイムに対する臨界電流密度

5-3-2 バッファ層領域で BPD-TED 変換する場合

PiN ダイオードのバッファ層領域で TED 変換する場合の BPD の概念図を図 5-9 に示す。このとき、基板中の BPD はバッファ層/基板界面を含むバッファ層内で TED に変換する。はじめに、図 4-1 の試作 PiN ダイオード構造におけるドリフト層内の BPD-TED 変換位置に対する臨界電流密度を図 5-10 に示す。ドリフト層内での BPD-TED 変換の場合（図 5-5 参照）と比較すると J_{crit} は約 1 桁向上していることがわかる。 J_{crit} は BPD-TED 変換位置の深さの増加に伴って指数関数的に増加する傾向を示し、各温度における J_{crit} の近似式： $J_{\text{crit}} = A \exp(Bx)$ で表される係数 A および B は表 5-2 に示す値が見積もられた。温度の依存性に関しては、ドリフト層に BPD が貫通する場合と同様に J_{crit} は大きく低下し 448 K 以上では $< 100 \text{ A/cm}^2$ まで減少した。高温での順方向通電時のバイポーラ劣化抑制に対して、素子サイズ的大型化や定格電流の裕度などの設計対策が求められる。

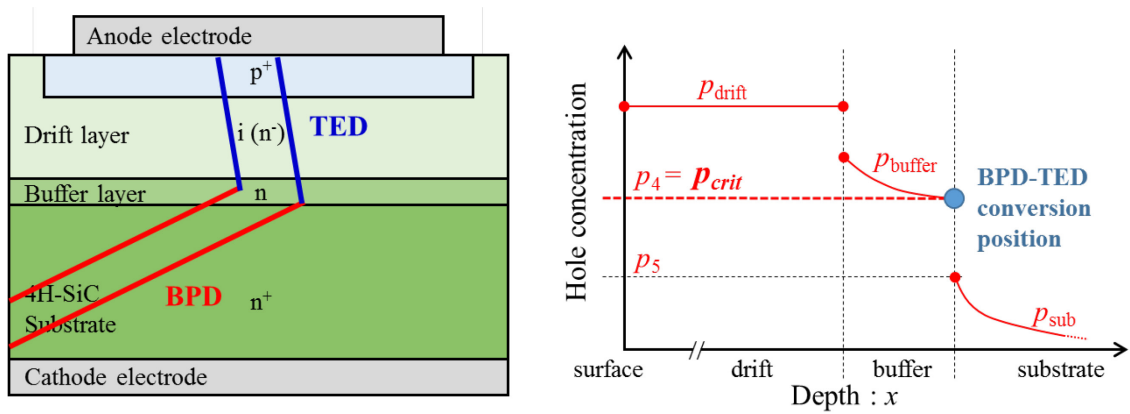


図 5-9. PiN ダイオードのバッファ層中で TED 変換する BPD の概念図、ホール濃度の図は BPD-TED 変換位置がバッファ層/基板界面に位置する場合を示す

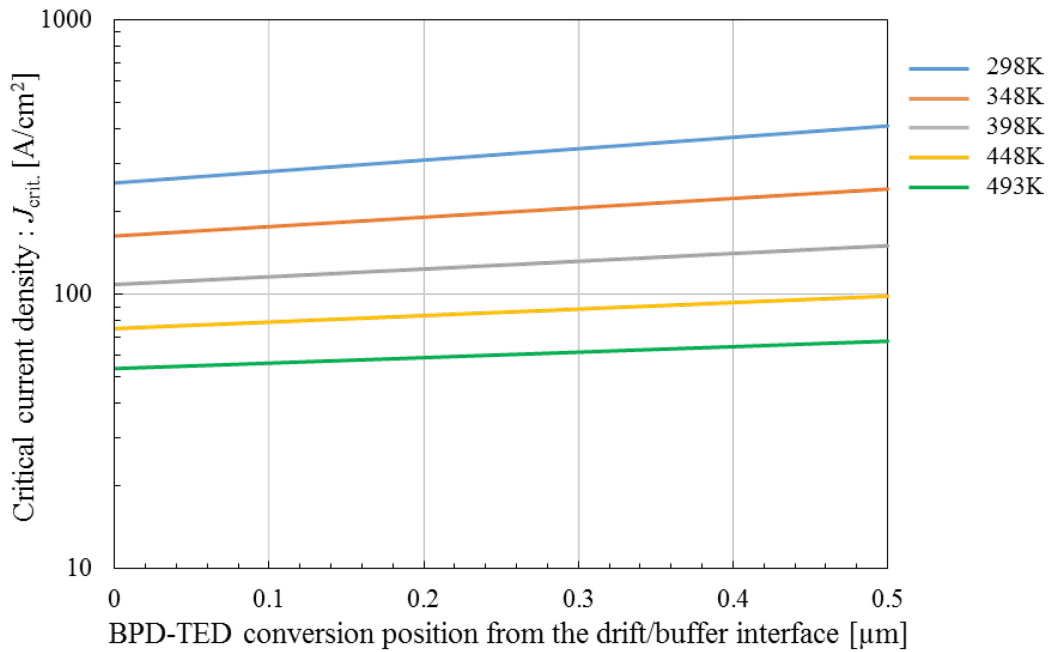


図 5-10. バッファ層内の BPD-TED 変換位置に対する臨界電流密度

表 5-2. BPD-TED 変換位置に対する臨界電流密度の近似式の係数の値

Temperature: [K]	298	348	398	448	489
coef. A	255	163	109	75	66
coef. B	0.96	0.79	0.65	0.54	0.46

以下より、PiN ダイオードの構造パラメータを変化させたときの J_{crit} への影響を評価する。ここでは、エピタキシャル成長による基板内の BPD がバッファ層/基板の界面で TED に変換するケースを想定し、バッファ層底のホール濃度が臨界ホール濃度に到達する電流密度が印加されたとき、すなわち $p_4 = p_{crit}$ となるときにバイポーラ劣化が発生するものとした。

図 5-11 は、298-498 K におけるドリフト層のドナー濃度に対する J_{crit} の計算結果を表す。ドナー濃度の上昇に従って、移動度低下による p_{drift} 減少と n_{drift} 増加がバランスしており、ドナー濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の領域では J_{crit} はほぼ一定である。ドナー濃度が $> 1 \times 10^{16} \text{ cm}^{-3}$ の領域では n_{drift} の増加効果が顕著化し J_{crit} は上昇の傾向を示している。BPD-TED 変換がドリフト層内に位置する場合 (図 5-6) と比較すると、ドナー濃度が $1 \times 10^{17} \text{ cm}^{-3}$ における J_{crit} は約 3 倍に上昇している。ただし、ドナー高濃度領域での J_{crit} 改善効果を楽しむ場合にはデバイスの設計耐圧を考慮すべきである。また、温度の上昇による J_{crit} の低下はドナー濃度が $1 \times 10^{16} \text{ cm}^{-3}$ において 498 K で 85 A/cm^2 まで減少するため、高温動作時のバイポーラ劣化に注意を要する。

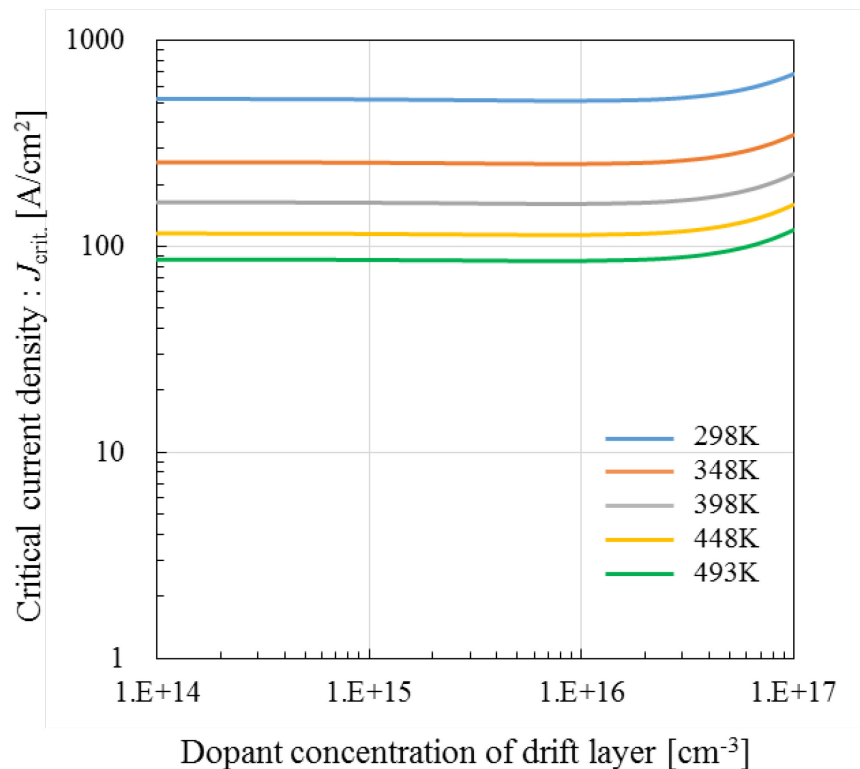


図 5-11. ドリフト層のドナー濃度に対する臨界電流密度

図 5-12 は、298-498 K におけるバッファ層のドナー濃度に対する J_{crit} の計算結果であ

る。図 5-7 と同様に、バッファ層のドナー濃度の変化に対するキャリアライフタイムの変化は考慮していない。ドナー濃度の増加に対して J_{crit} は増加する傾向であり、図 5-7 のドリフト層に BPD 貫通する場合と比較すると逆の傾向を示していることを確認した。これは電荷中性条件と質量作用の法則から $p_4 = p_{crit}$ となるときのドリフト層とバッファ層の電子密度が大きく上昇するため J_n 成分が大きくなることで J_{crit} が増加するためである。

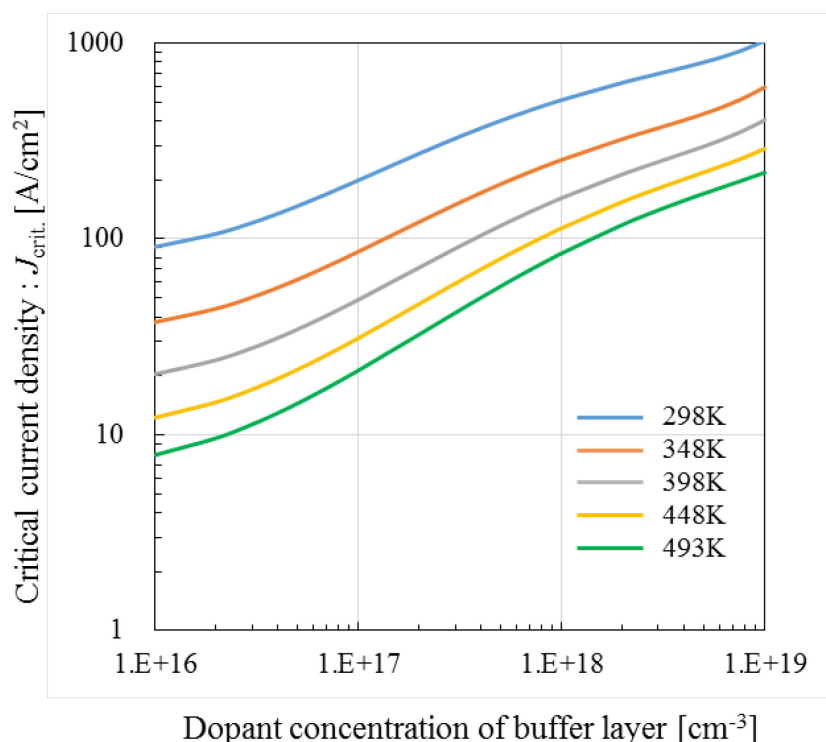


図 5-12. バッファ層のドナー濃度に対する臨界電流密度

次に、バッファ層のキャリアライフタイム τ_{buffer} の変化に対する J_{crit} の変化を図 5-13 に示す。このとき、バッファ層の厚み t_{buffer} 及びドナー濃度としてそれぞれ $0.5 \mu\text{m}$ 及び $1 \times 10^{18} \text{ cm}^{-3}$ の固定条件で計算を行った。この条件では、 $\tau_{buffer} < 10 \text{ ns}$ の条件により J_{crit} が指数関数的に上昇することを示した。一般的にキャリアライフタイムの効果は拡散長と拡散する領域の長さの関係で決まるので、 τ_{buffer} で決まるバッファ層の拡散長 L_{buffer} (式 (3.7)参照) に対する t_{buffer} の比: t_{buffer}/L_{buffer} を用いて J_{crit} を評価した (図 5-14)。 t_{buffer}/L_{buffer} と J_{crit} の関係から、 J_{crit} を $> 1000 \text{ A/cm}^2$ に上昇させるためには τ_{buffer} を短くして L_{buffer} を t_{buffer} より十分短くする ($t_{buffer}/L_{buffer} > 1$) ことが効果的であることが確認できた。この結果は、バッファ層にキャリアライフタイムキラーを導入し、電子-ホール再結合を促進させる設計[5][6]において、十分な J_{crit} を確保するためには適切な t_{buffer}/L_{buffer} を見積もる必要があることを説明している。

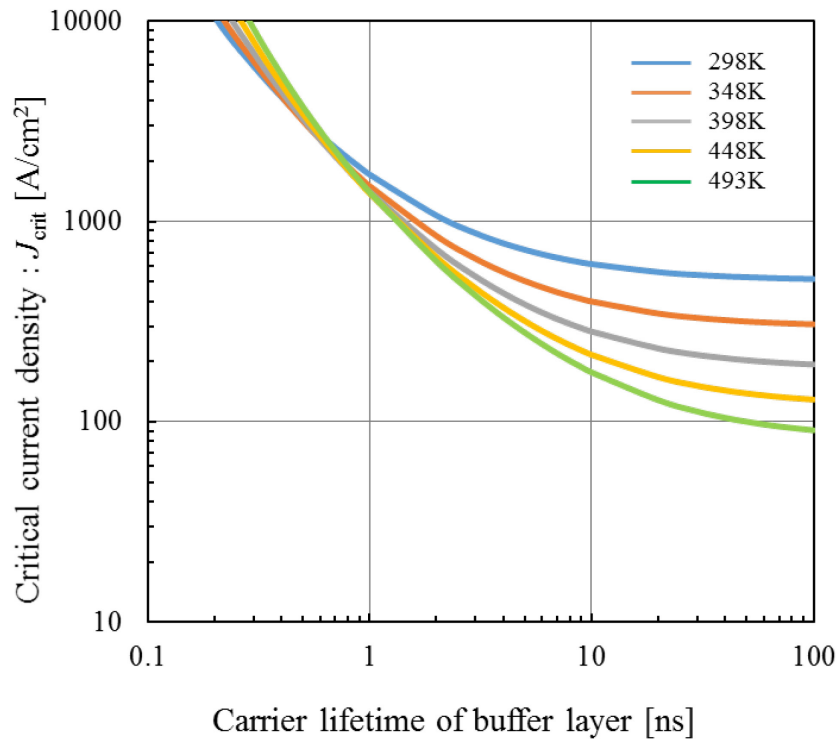


図 5-13. バッファ層のキャリアライフタイムに対する臨界電流密度

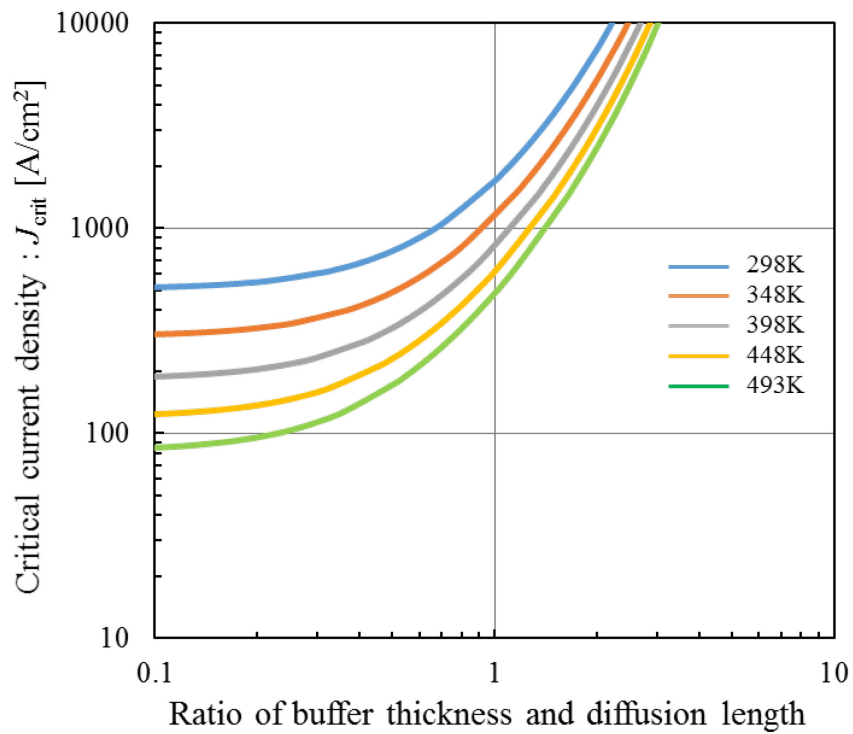


図 5-14. バッファ層の厚みと拡散長の比に対する臨界電流密度

さらに、基板のホールのライフタイム τ_{sub} を短くすることによる J_{crit} の改善を数値的に確認した。図 5-15 は、298-498 K における τ_{sub} に対する J_{crit} の計算結果である。図 5-8 と同様に τ_{sub} を短くすることにより PiN ダイオード中の J_p 成分が減少し J_{crit} が上昇するが、BPD-TED 変換位置がバッファ層/基板界面に位置する場合においては τ_{sub} の減少とともに J_{crit} は顕著に増加する。特に、 $\tau_{\text{sub}} < 5 \text{ ns}$ の領域において J_{crit} は $> 100 \text{ A/cm}^2$ の範囲で指数関数的に増加する。キャリアライフタイムの制御に関しては、電子線照射[7]または高温熱処理[8]によってエピタキシャル層のキャリアライフタイムを短くすることが報告されており、同様の手法を用いることで基板のキャリアライフタイムを短くすることが可能と考える。 τ_{sub} の制御による J_{crit} の改善は非常に効果的であることが期待される。

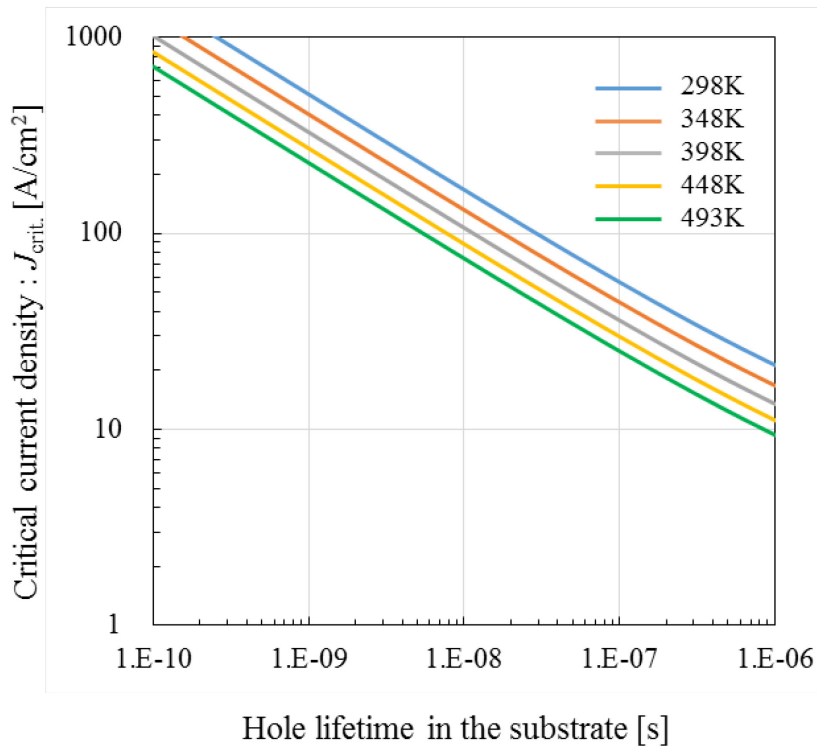


図 5-15. 基板中のホールのライフタイムに対する臨界電流密度

5-3-3 基板中で BPD-TED 変換する場合

PiN ダイオードの基板中で TED 変換する場合の BPD の概念図を図 5-16 に示す。BPD-TED 変換がバッファ層/基板界面より深さ d に位置するとき、 p_{crit} が d に達するとバイポーラ劣化が発生する。このとき、式(3.12)から基板最上部の p_5 は式(5.1)で表される。

$$p_5 = p_{\text{crit}} \exp\left(\frac{d}{L_{\text{sub}}}\right) \quad (5.1)$$

式(5.1)の p_5 を用いて、式(3.13)および(3.28)-(3.33)から同様に J_{crit} を計算した。このとき、図 4-1 の試作 PiN ダイオード構造における基板内の BPD-TED 変換位置に対する J_{crit} の変化を図 5-17 に示す。 J_{crit} はバッファ層中での BPD-TED 変換と同様に d の増加に伴って指数関数的に増加する傾向を示し、各温度における J_{crit} の近似式： $J_{\text{crit}} = A \exp(Bd)$ で表される係数 A および B は表 5-3 に示す値が見積もられた。

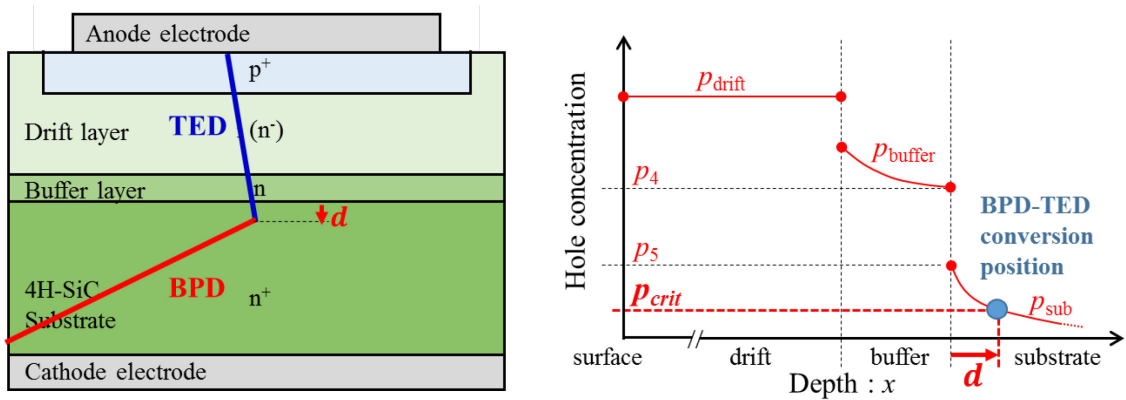


図 5-16. PiN ダイオード中の基板中で TED 変換する BPD の概念図

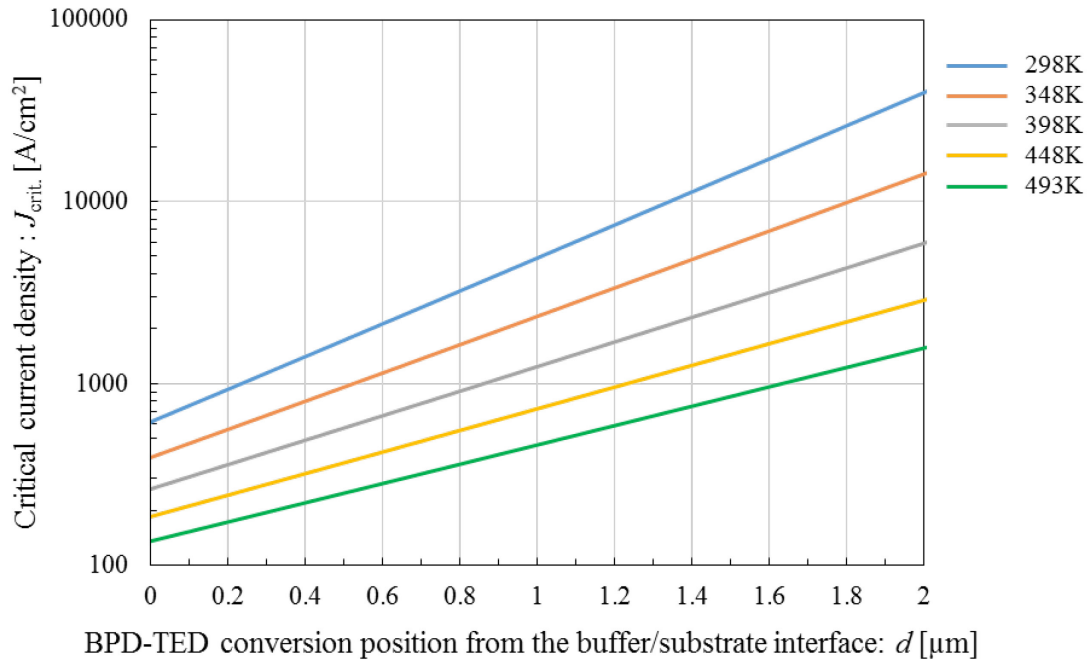


図 5-17. 基板内の BPD-TED 変換位置に対する臨界電流密度

表 5-3. BPD-TED 変換位置に対する臨界電流密度の近似式の係数の値

Temperature [K]	298	348	398	448	489
coef. A	609	388	261	184	135
coef. B	2.1	1.8	1.6	1.4	1.2

次に、PiN ダイオードの構造パラメータを変化させたときの J_{crit} への影響を評価する。ここでは、基板中の BPD が Si 蒸気エッチング法によって一様に基板内深さ $d = 80 \text{ nm}$ の位置で TED に変換されているケース[9]を想定し、 J_{crit} のデバイス構造パラメータの依存性ならびに改善効果を議論した。

図 5-18 に、298-498 K におけるドリフト層のドナー濃度に対する J_{crit} の計算結果を示す。図中において、実線は基板内深さ $d = 80 \text{ nm}$ で BPD-TED 変換、破線はバッファ層/基板界面で BPD-TED 変換のときの J_{crit} を表す。基板内での BPD-TED 変換においては、バッファ層/基板界面での変換の場合と同様にドナー濃度の変化に対して J_{crit} の値はほぼ一定である。ドナー濃度が $1 \times 10^{16} \text{ cm}^{-3}$ において $d = 80 \text{ nm}$ での BPD-TED 変換による J_{crit} の増加の効果はバッファ層/基板界面での BPD-TED 変換に比べて約 1.5 倍増加し、298 K において $J_{crit} = 725 \text{ A/cm}^2$ 、498 K において $J_{crit} = 150 \text{ A/cm}^2$ が計算より得られた。基板内での BPD-TED 変換は、高温動作時のバイポーラ劣化に対する電流密度の耐量向上に有効であることが示された。

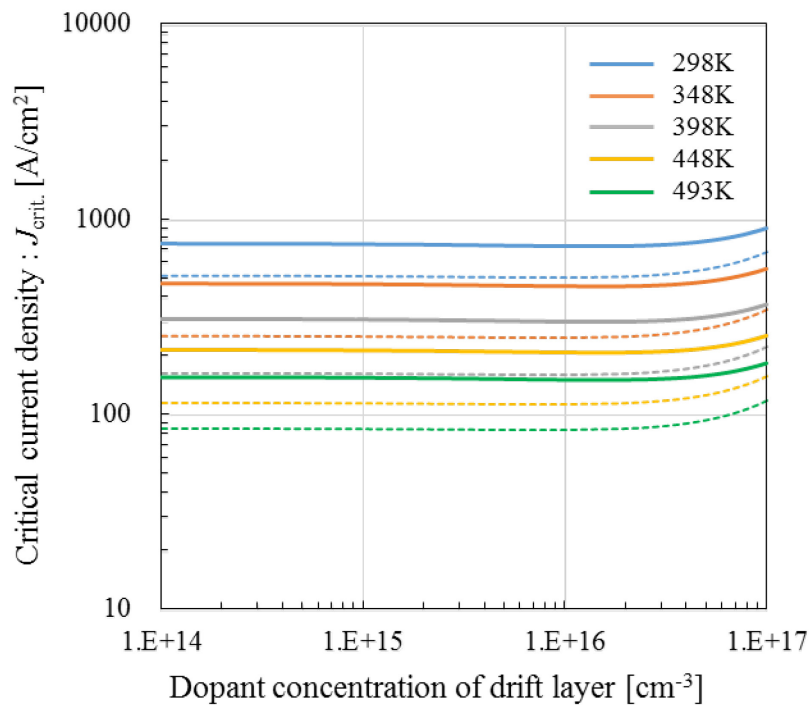


図 5-18. ドリフト層のドナー濃度に対する臨界電流密度：実線は基板内深さ $d = 80 \text{ nm}$ での BPD-TED 変換、破線はバッファ層/基板界面での BPD-TED 変換（図 5-11 と同一）

図 5-19 は、298-498 K におけるバッファ層のドナー濃度に対する J_{crit} の計算結果である。図 5-7、12 と同様に、バッファ層のドナー濃度の変化に対するキャリアライフタイムの変化は考慮していない。バッファ層/基板界面での BPD-TED 変換の場合と同様に、ドナー濃度の増加に対して J_{crit} は増加する傾向を示した。一方、BPD-TED 変換位置に関わらずドナー低濃度の条件では J_{crit} が著しく低下するため、バイポーラ劣化抑制にはバッファ層のドナー濃度の設計は非常に重要である。

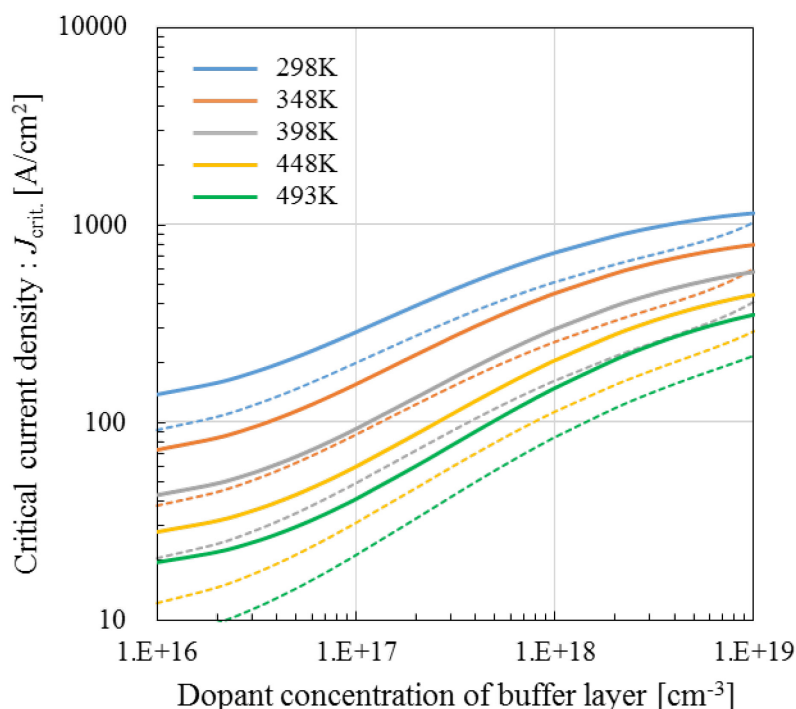


図 5-19. バッファ層のドナー濃度に対する臨界電流密度: 実線は基板内深さ $d = 80 \text{ nm}$ での BPD-TED 変換、破線はバッファ層/基板界面での BPD-TED 変換 (図 5-12 と同一)

最後に、298-498 K における τ_{sub} に対する J_{crit} の計算結果を図 5-20 に示す。基板内での BPD-TED 変換によって J_{crit} は一様に増加し、各温度条件において約 1.5 倍の J_{crit} 改善が示された。 τ_{sub} の減少は基板中のホールの拡散長 L_{sub} の減少に対応しており、基板内の BPD-TED 変換が深くなることで順方向通電により注入されるホールが BPD に到達しにくくなると考えられる。これは式(3.12)の指数項において BPD-TED 変換深さ $x = d$ の増加とともに L_{sub} の減少を実現することでバイポーラ劣化が発生する電流密度を増加させることができる。このことから、 τ_{sub} の制御と基板内での BPD-TED 変換の組み合わせによるバイポーラ劣化抑制の相乗効果が期待できる。本モデルの結果は、バッファ層においてキャリア再結合の制御を行わずとも基板の結晶品質を制御することによってバイポーラ劣

化を抑制する新たな手法を提案する。

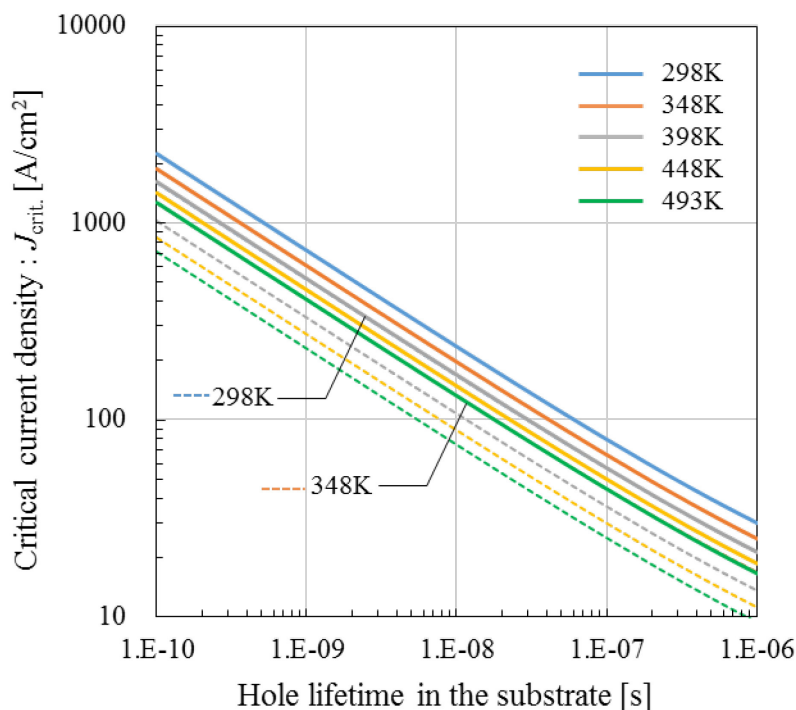


図 5-20. 基板中のホールのライフタイムに対する臨界電流密度：実線は基板内深さ $d = 80$ nm での BPD-TED 変換、破線はバッファ層/基板界面での BPD-TED 変換(図 5-15 と同一)

以上より、PiN ダイオード中の BPD の位置を考慮した臨界電流密度のデバイス構造パラメータおよび結晶品質の相関を明らかにした。図 5-21 に、図 4-1 の試作 PiN ダイオード構造における BPD-TED の変換位置に対する J_{crit} の変化を纏めた。BPD-TED 変換位置が PiN ダイオード構造の内部に向かうに従って J_{crit} は指数関数的に増大する。特に、基板中での BPD-TED 変換はバイポーラ劣化抑制に対して効果的であることが定量的に示された。また、基板の結晶品質である τ_{sub} と基板内での BPD-TED 変換の組み合わせによる新たなバイポーラ劣化抑制の手法を提案した。近年、SiC デバイスではオン抵抗の基板抵抗成分を減らすためにパターン付きウェハの裏面研削[12]や原理的に薄化ウェハの加工が可能なレーザーライス加工 [10][11] が報告されており、基板の結晶品質の制御によるバイポーラ劣化抑制は薄化ウェハに対しても適用が可能である。

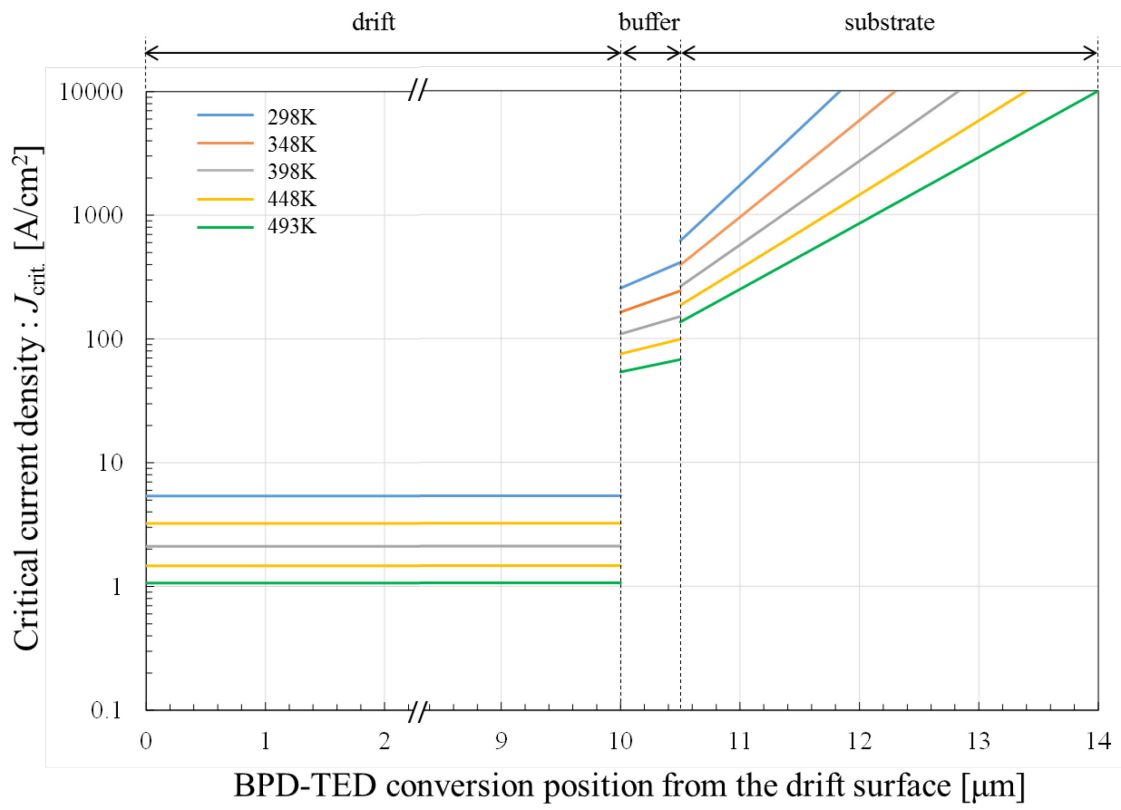


図 5-21. PiN ダイオード中の BPD-TED 変換位置に対する臨界電流密度

第 5 章 参考文献

- [1] T. Tawara, S. Matsunaga, T. Fujimoto, M. Ryo, M. Miyazato, T. Miyazawa, K. Takenaka, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, H. Tsuchida, “Injected carrier concentration dependence of the expansion of single Shockley-type stacking faults in 4H-SiC PiN diodes”, *J. Appl. Phys.*, 123, 025707 (2018).
- [2] S. Hayashi, T. Naijo, T. Yamashita, M. Miyazato, M. Ryo, H. Fujisawa, M. Miyajima, J. Senzaki, T. Kato, Y. Yonezawa, K. Kojima, H. Okumura, “Origin analysis of expanded stacking faults by applying forward current to 4H-SiC p-i-n diodes”, *Appl. Phys. Express*, 10, 081201 (2017).
- [3] S. Hayashi, T. Yamashita, J. Senzaki, T. Kato, Y. Yonezawa, K. Kojima, H. Okumura, “Influence of basal-plane dislocation depth and core-structure on stacking fault expansion in forward-current degradation of 4H-SiC p-i-n diodes”, *Proc. of ICSCRM*, Tu-P-15 (2019).
- [4] S. Hayashi, T. Yamashita, J. Senzaki, M. Miyazato, M. Ryo, M. Miyajima, T. Kato, Y. Yonezawa, K. Kojima, H. Okumura, “Influence of basal-plane dislocation structures on expansion of single Shockley-type stacking faults in forward-current degradation of 4H-SiC p-i-n diodes”, *Jpn. J. Appl. Phys.* 57 04FR07 (2018).
- [5] T. Miyazawa, T. Tawara, H. Tsuchida, “V and Ti Doping in 4H-SiC Epitaxy for Reduction of Carrier Lifetimes”, *Mater. Sci. Forum*, 897, pp.67-70 (2017).
- [6] T. Tawara, T. Miyazawa, M. Ryo, M. Miyazato, T. Fujimoto, K. Takenaka, S. Matsunaga, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, H. Tsuchida, “Short minority carrier lifetimes in highly nitrogen-doped 4H-SiC epilayers for suppression of the stacking fault formation in PiN diodes”, *J. Appl. Phys.*, 120, 115101 (2016).
- [7] T. Kimoto, K. Danno, J. Suda, “Lifetime-Killing Defects in 4H-SiC Epilayers and Lifetime Control by Low-Energy Electron Irradiation”, *Phys. Status Solidi B*, 245, 7 (2008).
- [8] B. Zippelius, J. Suda, T. Kimoto, “High temperature annealing of n-type 4H-SiC: Impact on intrinsic defects and carrier lifetime”, *J. Appl. Phys.* 111, 033515 (2012).
- [9] Y. Sudoh, M. Kitabatake, T. Kaneko, “BPD-TED Conversion in the SiC substrate after High-Temperature Si-VE”, *Ext. Abst. of ICSCRM*, Th-1B-04 (2019).
- [10] K. Hirata, “New laser slicing technology named KABRA process enables high speed and high efficiency SiC slicing”, *Proc. SPIE* 10520, Laser-based Micro- and Nanoprocessing XII, 1052003 (2018).
- [11] M. Swoboda, C. Beyer, R. Rieske, W. Drescher, J. Richter, “Laser Assisted SiC

Wafering Using COLD SPLIT”, Mater. Sci. Forum, 897, pp.403-406 (2017).

[12] R. Rupp, R. Gerlach, U. Kirchner, A. Schlögl, R. Kern, “Performance of a 650V SiC Diode with Reduced Chip Thickness”, Mater. Sci. Forum 921-924, pp.717-720 (2012).

第 6 章 結論

本研究では、SiC パワー半導体の信頼性低下をもたらすバイポーラ劣化現象の新たなモデルを提案し、デバイス構造パラメータとバイポーラ劣化の関係を理論的に明らかにした。さらに、Si 蒸気圧エッチング法によってバイポーラ劣化の原因となる BPD を SiC 基板内で積極的に TED へ変換させる機能を PiN ダイオードの作製に適用した。また、バイポーラ劣化を予測する理論モデルを提案することで、BPD-TED 変換の効果ならびにデバイス構造パラメータとの相関を定量的に評価可能とした。以下に本研究で得られた成果を簡潔にまとめる。

1. Si 蒸気圧エッチング法による PiN ダイオード通電ストレス試験で得られた成果 (第 4 章)

・順方向通電ストレスによる基板内 BPD の 1SSF への拡張数を Si 蒸気圧エッチング法と従来加工法である CMP 加工を比較し基板内 BPD の 1SSF への拡張数は CMP 加工ウェハと比較して Si-VE 加工ウェハは 1/3 であり、Si 蒸気圧エッチング法による BPD-TED 変換効率 (約 69 %) と良い相関を示した。このことから今回得られた基板 BPD の 1SSF への拡張現象は BPD-TED 変換の効果が得られているものと考えられる。

2. バイポーラ劣化予測のための電流密度計算モデルで得られた成果 (第 5 章)

・1.の PiN ダイオードの順方向ストレス試験の結果と構築したモデルより臨界ホール濃度を見積もり、文献で報告されている BPD-TED 深さと臨界電流密度のデータのフィッティングを行ったところ基板 BPD の拡張電流密度の閾値が一致し、さらにデータ分布との良い一致が得られた。

・BPD-TED 変換位置が PiN ダイオード構造の内部に向かうに従ってバイポーラ劣化を引き起こす臨界電流密度は指数関数的に増大することを確認し、Si 蒸気圧エッチング法による基板内の BPD の TED への変換効果がもたらすバイポーラ劣化抑制の優位性が定量的に示された。その効果は BPD-TED 変換が基板内にわずか 80 nm 押し込まれるだけで臨界電流密度は約 1.5 倍向上した。

・基板のホールのライフタイムは臨界電流密度に強い依存性を示し、ライフタイムを短くすることで PiN ダイオード内のホール電流成分を減少させバイポーラ劣化を抑制する効果が得られることがわかった。また、短いライフタイムは基板内の BPD-TED 変換位置にホールを一層到達させにくくする効果が期待できることから、基板ライフタイムの制御と

BPD-TED 変換の組み合わせによる新たなバイポーラ劣化抑制の手法を提案した。

これらの成果は SiC の結晶品質、デバイス構造、動作環境に関する新たな指針を与え、半導体 SiC によるパワーエレクトロニクス機器の信頼性向上に貢献するものと考えられる。今後の展望に関しては、バイポーラ劣化に対する基板中の BPD-TED 変換効果を理論および実験の両面から定量的に評価を行えたが、背景でも述べたとおりバイポーラ劣化による 1SSF 拡張および収縮運動に関わるダイナミクスや量子論的振る舞いなど明らかになっていない事象が残されており本研究で構築したモデルへの組み込みの可能性の検討や、また多様なバイポーラ素子への Si 蒸気圧エッチング法の適用ならびにモデル化の適用可能性を検証すべく理論モデルと実デバイス評価を通じたブラッシュアップの余地が有ると考える。本モデルを活用しデバイス設計に指針を与え、さらに Si 蒸気圧エッチング法が SiC バイポーラ素子の信頼性向上に貢献することを期待しつつ、本研究の結びとしたい。

謝辞

本研究の遂行にあたり、懇切なるご指導ならびにご鞭撻を賜りました、九州工業大学大学院 生命体工学研究科 生体機能応用工学専攻 大村一郎教授に心から御礼申し上げます。大村一郎教授からは Si をはじめとした半導体の固体物理、電気回路、デバイス評価等のあらゆる観点から切り込んだ非常に有益なご指導を頂きました。

本論文を作成するにあたり貴重なご指導ならびにご助言を賜りました、九州工業大学大学院工学研究院 電気電子工学研究系 松本 聡教授、九州工業大学大学院 生命体工学研究科 生体機能応用工学専攻 花本剛士教授、パンディ シャム スディル准教授に厚く御礼申し上げます。

また、社会人博士課程の学生として研究室に暖かく迎えて下さりました九州工業大学大学院 生命体工学研究科 大村研究室の皆様にも厚く御礼申し上げます。特に、附田正則特任准教授、帯山能希様には実験の遂行からディスカッションまで多岐に亘り御支援頂きました。また、岩堀美代様には本研究を円滑に進めるにあたり全面的なご支援をいただきました。心から御礼申し上げます。

Si 蒸気圧エッチング法によるプロセス機能の検証ならびに試料作製にあたり、プロセス原理を考案された関西学院大学理工学部先進エネルギーナノ工学科 金子忠昭教授には多大なるご助言とご協力をいただきました。厚く御礼申し上げます。

SiC PiN ダイオードの作製および特性評価に関しまして多くのご指導ならびにご鞭撻を賜りました、国立研究法人産業技術総合研究所先進パワーエレクトロニクス研究センター 先崎純寿様に厚く御礼申し上げます。

X 線トポグラフィ評価にあたり、多大なるご指導とご助言をいただきました佐賀県立九州シンクロトロン光センター 石地耕太郎様に厚く御礼申し上げます。

BPD-TED 変換ならびバイポーラ劣化の議論にあたり、多大なるご助言をいただきました株式会社東レリサーチセンター 林 将平様に厚く御礼申し上げます。

博士課程進学にあたり、会社業務との兼務による九州工業大学大学院社会人博士課程入学を認めていただき、ご支援いただきました東洋炭素株式会社 小西隆志前社長、堤 宏記取締役、北畠 真前執行役員に厚く御礼申し上げます。また、本研究の遂行にあたり多大なるご配慮とご協力をいただきました、グローバル開発本部森下隆広本部長、阿部純久グループリーダー、野上 暁氏、矢吹紀人氏、寺元陽次氏、神野明香氏、須藤悠介氏、篠原正人氏をはじめ全ての皆様に御礼申し上げます。本課程での成果を今後の業務に活かし貢献できるよう邁進致します。

また、以上に挙げきれませんでしたがお支援いただいたすべての方々に対し心より御礼申し上げます。最後に、3年間の社会人博士課程を陰ながら支援してくれた、妻の千尋に心から感謝し、謝辞の結びとさせていただきます。

2019 年 12 月 鳥見 聡

X 線トポグラフィー測定に関して、九州シンクロトロン光研究センターSAGA-LS のビームライン BL09 で行った (課題番号 : 1809084R、1907060R /BL09)。

論文目録

1. 学術論文

S. Torimi, Y. Obiyama, M. Tsukuda, I. Omura, “Numerical study on the suppression of 4H-SiC PiN diodes forward bias degradation due to substrate basal plane dislocations”, *Solid-State Electronics*, Vol.166, 107770 (2020); <https://doi.org/10.1016/j.sse.2020.107770>

2. 参考論文

1) S. Torimi, K. Ashida, N. Yabuki, M. Shinohara, T. Sakaguchi, Y. Teramoto, S. Nogami, M. Kitabatake, T. Kaneko, “Improving Mechanical Strength and Surface Uniformity to Prepare High Quality Thinned 4H-SiC Epitaxial Wafer Using Si-Vapor Etching Technology”, *Materials Science Forum*, Vol.897, pp.375-378 (2017)

2) S. Torimi, N. Yabuki, T. Sakaguchi, M. Shinohara, Y. Teramoto, S. Nogami, M. Kitabatake, J. Senzaki, “Characterization of pn-diode Fabricated from Surface Damage-free 4H-SiC Wafer Using Si-Vapor Etching Process”, *Materials Science Forum*, Vol.924, pp.349-352 (2018)

3) K. Ashida, D. Dojima, S. Torimi, N. Yabuki, Y. Sudo, T. Sakaguchi, S. Nogami, M. Kitabatake, T. Kaneko, “Rearrangement of Surface Structure of 4° Off-Axis 4H-SiC (0001) Epitaxial Wafer by High Temperature Annealing in Si/Ar Ambient”, *Materials Science Forum*, Vol.924, pp.249-252 (2018)

4) N. Yabuki, S Torimi, S. Nogami, M. Kitabatake, T. Kaneko “Application of Si-Vapor Ambient Anneal for Post Ion Implantation Anneal and Simultaneous Improvement of Trench Sidewall Smoothness”, *Materials Science Forum*, Vol.924, pp.345-348 (2018)

5) S. Torimi, Y. Obiyama, M. Tsukuda, I. Omura, “Numerical Study of 4H-SiC PiN Diode to Enable Forward Bias Degradation Prediction Considering BPD-TED Conversion Position in the SiC Epitaxial Wafer”, *Extended Abstracts of International Conference on Solid State Devices and Materials*, Nagoya, pp.731-732 (2019)

6) 国際公開公報, “S i C ウエハの製造方法、エピタキシャルウエハの製造方法、及びエピタキシャルウエハ”

国際公開番号 : WO2018/216657

出願日 : 2017 年 5 月 2 日

出願人 : 鳥見 聡, 篠原正人, 寺元陽次, 坂口卓也, 矢吹紀人, 野上 暁, 北畠 真

7) 国内特許出願 6 件 (未公開, 2019 年 12 月 6 日時点)