



Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

Analizador de Energia utilizando Lógica Programável.

Autor: Douglas da Silveira Alves
Orientador: Prof. Dr. Marcus Vinicius Batistuta

Brasília, DF
2018



Douglas da Silveira Alves

Analizador de Energia utilizando Lógica Programável.

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica .

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Dr. Marcus Vinicius Batistuta

Coorientador: Prof. Dr. Daniel Maurício Muñoz Arboleda

Brasília, DF

2018

Douglas da Silveira Alves

Analisador de Energia utilizando Lógica Programável./ Douglas da Silveira
Alves. – Brasília, DF, 2018-
139 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Marcus Vinicius Batistuta

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2018.

1. Energia. 2. Lógica Programável. I. Prof. Dr. Marcus Vinicius Batistuta. II.
Universidade de Brasília. III. Faculdade UnB Gama. IV. Analisador de Energia
utilizando Lógica Programável.

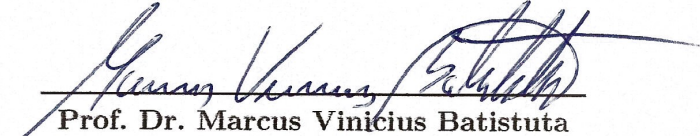
CDU 02:141:005.6

Douglas da Silveira Alves

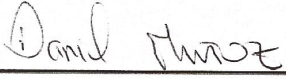
Analizador de Energia utilizando Lógica Programável.

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica .


Trabalho aprovado. Brasília, DF, 26 de Dezembro de 2018:



Prof. Dr. Marcus Vinicius Batistuta
Orientador



Prof. Dr. Daniel Mauricio Muñoz Arboleda
Coorientador



Prof. Dr. Gilmar Silva Beserra
Convidado 1

Brasília, DF
2018

Agradecimentos

Agradeço primeiramente a Deus por me guiar em todos os momentos de adversidades nesta jornada acadêmica.

Agradeço aos meus pais Evaldo Alves e Maria Helena Alves que me apoiaram incondicionalmente e por terem me ajudado a chegar nesta etapa da minha vida, assim como meus irmãos Denis e Denilson.

Aos meus professores desde o jardim de infância até a universidade que sempre me incentivaram pela busca do conhecimento.

Aos amigos que conheci no início e durante a graduação que me proporcionaram amizade, companheirismo e muita diversão durante os momentos bons e ruins.

Por fim, agradeço ao meu orientador Marcus Batistuta e coorientador Daniel Muñoz por estarem disponíveis para auxiliar na elaboração deste Trabalho de Conclusão de Curso.

Resumo

A energia elétrica tornou-se tema de discussão nas últimas décadas pela implementação de normas que determinam padrões de qualidade pela Agência Nacional de Energia Elétrica. Isso ocorre em virtude da crescente utilização de equipamentos sensíveis a distúrbios nos parâmetros da rede elétrica, assim como a introdução de cargas não-lineares, propiciadas ao avanço tecnológico da eletrônica de potência, que introduziu perturbações harmônicas nas grandezas elétricas pelo uso de sistemas chaveados, tendo como consequência o funcionamento inadequado de equipamentos e, em casos mais graves, a queima do produto, gerando perdas financeiras para indústrias e consumidores em geral. Diante desta situação, observa-se a maior conscientização e interesse dos consumidores em exigir melhor qualidade de energia das concessionárias que, em conjunto com pesquisadores e órgãos normativos e reguladores, realizam pesquisas sobre a ocorrência destes fenômenos e propõe o uso de ferramentas matemáticas para medição e análise. O presente trabalho tem como objetivo a criação de um protótipo que realiza a medição de energia de consumidores de baixa tensão, com base nos normativos nacionais e internacionais relacionados com a arquitetura de um medidor de qualidade elétrica. O protótipo deverá ser capaz de registrar os distúrbios elétricos em regime permanente e transitório que serão armazenados para posterior análise, de modo a visualizar quais distúrbios afetam a qualidade à energia aferida. Neste trabalho, considerou-se a arquitetura de medição no que refere-se a norma descrita no Procedimento de Distribuição (PRODIST) da Agência Nacional de Energia Elétrica (ANEEL), além caracterizar pontos importantes das normas internacionais IEC-61000-4-7, IEC-61000-4-30 e IEEE-519. As ferramentas matemáticas para detecção de distúrbios consideradas foram a Transformada Rápida de Fourier(FFT) para análise de harmônicos e a análise de pico de tensão RMS de meio período da onda. Dentre os parâmetros medidos, destacam-se a Distorção Harmônica Total(THD), Fator de Potência (FP), variações frequência e de tensão da onda. Será utilizada a linguagem de descrição de *hardware*, VHDL, por meio de uma *Field Programmable Gate Array* (FPGA) para realizar a aquisição das grandezas elétricas obtidas da rede elétrica. Não foi possível verificar a acurácia e precisão do protótipo associado aos parâmetros elétricos devido à ausência de um medidor comercial na faculdade, entretanto ao analisar os valores de frequência e fator de potência, estes permaneceram dentro dos limites aceitos do PRODIST; constatou-se também que o algoritmo implementado para detecção de distúrbios elétricos relativos às variações de tensão de curta duração funcionaram corretamente, apresentando erro relativo médio de 30%.

Palavras-chaves: Qualidade de Energia. Distúrbios Elétricos. *Smart Meter*. PRODIST. FPGA.

Abstract

The power quality has become a recent topic of discussion, mainly because of rules implemented by ANEEL related to energy quality. This occurs due to the increasing use of sensitive loads to disturbances of the electric's parameters, as well the introduction of non-linear loads, which was propitiated by the technological advancement of the power electronics, which introduced harmonics disturbances on electric parameters on account switching devices, resulting in inadequate operation of equipment and, in serious cases, the lost of the product, causing financial losses for industries and consumers in general. In this way, consumers are more aware and interested in demanding better quality of energy from concessionaires that together with researchers, normative and regulatory entities conduct researches on the occurrence of these phenomena and propose the use of mathematical tools for measurement and analysis. The goal of this work is create a prototype that makes the measurement of power quality for low voltage consumers, based on national and international regulations related to the architecture of a power quality measurer. The prototype should be able to register the electrical disturbances on permanent and transient regime, which will be stored and analised on a computer in order to view wich phenomena affect the power quality. On this work, the measurement architecture considered refers to the standard described in the Procedimento de Distribuição (PRODIST) of Agência Nacional de Energia Elétrica (ANEEL), besides to describe important points of the international standards IEC-61000-4-7, IEC-61000-4-30 and IEEE-519. Also, the mathematical tools for detection of disturbances considered were the Fast Fourier Transform (FFT) for harmonic analysis and RMS analysis for transient detection. Among the parameters of power quality, will be considered the Total Harmonic Distortion (THD) , Power Factor (PF), frequency, voltage variation. Will be used the hardware language description, VHDL, through a Field Programmable Gate Array (FPGA) to perform the digital processing of the information obtained from the electrical network. Unfortunately, it was not possible to verify accuracy and precision of the prototype relating to electrical parameters due to the absence of a commercial meter at college, however analyzing values of frequency and power factor they stayed inside of acceptables limits of PRODIST; besides that, was observed that the algorithm implemented to detect electrical disturbances of short-duration worked correctly, despite presenting an error around 30%.

Key-words: Power Quality. Electrical Disturbances. Smart Meter. PRODIST. FPGA.

Lista de ilustrações

Figura 1 – Custos associado a interrupção/hora em diferentes atividades econômicas. Fonte: (HAFNER, 2006).	26
Figura 2 – Comparação da DEC entre Brasil e países europeus, quando a interrupção é superior a 3 minutos no ano de 2013. Fonte: (FIRJAN, 2016).	28
Figura 3 – Especificação para unidades de medição de harmônicos. Fonte:(IEC, 2012).	32
Figura 4 – Módulos do Prodist. Fonte: (XAVIER, 2016).	35
Figura 5 – Função de distribuição acumulada complementar. Fonte: (ANEEL, 2018).	38
Figura 6 – <i>Spike</i> causado por carga indutiva. Fonte: (SANTANA, 2017).	41
Figura 7 – Transitório oscilatório de corrente causado por um banco de capacitor. Fonte: (HAFNER, 2006).	41
Figura 8 – Afundamento de tensão ocasionado por falta fase-terra. Fonte: (SANTANA, 2017).	42
Figura 9 – Elevação de tensão ocasionado por uma falta fase-terra. Fonte: (SANTANA, 2017).	43
Figura 10 – Interrupção de curta duração ocasionada por curto-circuito.Fonte: (SANTANA, 2017).	43
Figura 11 – Distorção harmônica de uma onda senoidal.Fonte: (SANTANA, 2017).	44
Figura 12 – Distorção da onda por <i>notching</i> .Fonte: (SANTANA, 2017).	45
Figura 13 – Caracterização de subtensão e sobretensão considerando a análise de pico de RMS de meia onda. Fonte: (MATANA, 2008).	48
Figura 14 – Gráfico de Sensibilidade de Carga. Fonte: (CARVALHO, 2010).	52
Figura 15 – Estrutura que constitui uma FPGA. Fonte: (INSTRUCTABLES, 2010).	53
Figura 16 – Processos que compõe a modelagem física. Fonte: (ARAÚJO, 2015).	55
Figura 17 – Diagrama de blocos do medidor proposto. Fonte: do Autor	57
Figura 18 – Circuito de Alimentação. Fonte: adaptado de (CONALGO, 2009).	59
Figura 19 – Circuito de recarga da bateria. Fonte: adaptado de (CONALGO, 2009).	59
Figura 20 – Filtro Salle-key. Fonte: adaptado de (DORF; SVOBODA, 2012).	60
Figura 21 – Filtro de <i>Bessel</i> . Fonte: do Autor.	62
Figura 22 – Funcionamento do sensor <i>Hall</i> . Fonte: (CARBONERA, 2013).	62
Figura 23 – Módulo do sensor de corrente ACS712. Fonte: (INFINITO, 2018).	63
Figura 24 – Diagrama de blocos do conversor Sigma-delta para FPGA. Fonte: (PEDONI, 2004).	64
Figura 25 – FPGA Basys3 Artix-7. Fonte: (DIGILENT, 2018a).	66

Figura 26 – Esquemático das portas de entrada e saída do conversor XADC. Fonte: (XILINX, 2018a).	68
Figura 27 – Quantização de uma entrada analógica para o fundo de escala de 1V. Fonte: (XILINX, 2018a).	68
Figura 28 – Modo de rejeição comum do XADC. Fonte: (XILINX, 2018a).	69
Figura 29 – Configuração Bipolar do XADC. Fonte: (XILINX, 2018a).	70
Figura 30 – Pseudo-código de Configuração Bipolar do XADC. Fonte: (XILINX, 2018a).	71
Figura 31 – Registrador que armazena o resultado de conversão do XADC. Fonte: (XILINX, 2018a).	71
Figura 32 – Esquemático da arquitetura do medidor. Fonte: Do Autor.	72
Figura 33 – Fluxograma do divisor de frequência. Fonte: Do Autor.	73
Figura 34 – Diagrama de blocos do circuito Registrador. Fonte: Do Autor.	74
Figura 35 – Diagrama de bloco do Conversor Binário para Decimal. Fonte: Do Autor.	75
Figura 36 – Fluxograma do bloco Conversor Binário para Decimal. Fonte: Do Autor.	76
Figura 37 – Diagrama de bloco do Display. Fonte: Do Autor.	77
Figura 38 – Fluxograma do bloco <i>Display</i> . Fonte: do Autor.	78
Figura 39 – Comunicação SPI entre um Mestre e três dispositivos periféricos. Fonte: (HENRIQUE, 2013).	80
Figura 40 – Transferência de 1 <i>byte</i> dados no protocolo SPI, onde desconsiderou-se o <i>Slave Select</i> , posto que há apenas um periférico. Fonte: (SABINO, 2017).	80
Figura 41 – Modos de Transferência de 1 <i>byte</i> dados no protocolo SPI, onde desconsiderou-se o <i>Slave Select</i> , posto que há apenas um periférico. Fonte: (SABINO, 2017).	81
Figura 42 – Máquina de Estados da comunicação SPI implementada. Fonte: do Autor.	82
Figura 43 – Fluxograma do divisor de frequência e identificação de bordas do SCLK. Fonte: do Autor.	83
Figura 44 – Fluxograma do estado RX_TX da FSM. Fonte: do Autor.	85
Figura 45 – Fluxograma do estado RX_TX da FSM. Fonte: (ROBOCORE, 2018).	86
Figura 46 – Formato de dados do protocolo UART. Fonte: (MENDONÇA, 2018).	86
Figura 47 – Módulo UART. Fonte: do Autor.	87
Figura 48 – Máquina de estados do módulo UART. Fonte: do Autor.	87
Figura 49 – Pseudo-código utilizado para comunicação UART entre FPGA e <i>Raspberry</i> . Fonte: do Autor.	90
Figura 50 – Resposta em frequência do filtro passivo RC. Fonte: do Autor.	92
Figura 51 – Circuito de condicionamento de sinal com filtro passivo RC. Fonte: do Autor.	93

Figura 52 – Esquemático de funcionamentos dos módulos do medidor. Fonte: do Autor.	95
Figura 53 – Análise de tempo do medidor. Fonte: do Autor.	95
Figura 54 – Análise de consumo de energia do medidor. Fonte: do Autor.	96
Figura 55 – <i>Test bench</i> do módulo divisor de frequência de 2KHz. Fonte: do Autor.	97
Figura 56 – <i>Test bench</i> do módulo divisor de frequência de 8KHz. Fonte: do Autor.	97
Figura 57 – <i>Test bench</i> do módulo divisor de frequência de 460800Hz. Fonte: do Autor.	98
Figura 58 – Verificação da frequência de 2KHz gerada pelo módulo divisor de frequência usada para multiplexação do <i>display</i> de 7 segmentos. Fonte: do Autor.	98
Figura 59 – Verificação da frequência de 8KHz gerada pelo módulo divisor de frequência usada como referência a taxa de amostragem ao módulo de registradores. Fonte: do Autor.	99
Figura 60 – Verificação da frequência de 458,7KHz gerada pelo módulo divisor de frequência usada no módulo UART. Fonte: do Autor.	99
Figura 61 – Ativação dos segmentos do <i>display</i> . Fonte: do Autor.	100
Figura 62 – Multiplexação dos <i>displays</i> de sete segmentos com a frequência de 2KHz. Fonte: do Autor.	100
Figura 63 – Módulo registrador formado com <i>flip-flop</i> tipo D com a frequência de 8KHz. Fonte: do Autor.	101
Figura 64 – <i>Test bench</i> do Módulo UART enviando 2 <i>bytes</i> com a frequência de 458.715,59KHz. Fonte: do Autor.	102
Figura 65 – Curva de sensibilidade do sensor de corrente ACS712-5A. Fonte: (ALLEGRO, 2012).	102
Figura 66 – Conexão do sensor de corrente na rede elétrica. Fonte: (HENRY, 2018).	103
Figura 67 – Carga aferida pelo sensor na velocidade 1. Fonte: do Autor.	104
Figura 68 – Carga aferida pelo sensor na velocidade 2. Fonte: do Autor.	104
Figura 69 – Sinal gerado pelo gerador de funções com 592 mVpp e frequência de 2Hz. Fonte: do Autor.	106
Figura 70 – Sinal amostrado pelo módulo medidor. Fonte: do Autor.	106
Figura 71 – Frequência do sinal amostrado obtido pela FFT de 2,5 Hz. Fonte: do Autor.	107
Figura 72 – Erro de <i>offset</i> do conversor A/D. Fonte: (ROCHA, 2016).	107
Figura 73 – Erro de ganho do conversor A/D. Fonte: (XILINX, 2018a).	108
Figura 74 – Visualização da forma de onda da lâmpada led no osciloscópio. Fonte: do Autor.	109
Figura 75 – Visualização da forma de onda registrada pelo medidor proposto. Fonte: do Autor.	110
Figura 76 – FFT do sinal registrado pelo medidor proposto. Fonte: do Autor.	110

Figura 77 – Sinal verificado da carga no osciloscópio. Fonte: do Autor.	112
Figura 78 – Sinal amostrado da carga pelo medidor. Fonte: do Autor.	112
Figura 79 – FFT do sinal amostrado da carga pelo medidor. Fonte: do Autor.	113
Figura 80 – Sinal amostrado da carga pelo medidor. O topo da figura é o sinal amostrado por completo, já parte intermediária corresponde ao zoom nas amostras do sinal quando a carga é acionada na velocidade 2 após 5 segundos e a parte final da imagem é o zoom no sinal quando a carga é acionada na velocidade 1 durante 3 segundos, após a interrupção de 6 segundos. Fonte: do Autor.	114
Figura 81 – FFT do sinal amostrado da carga pelo medidor. Fonte: do Autor.	115
Figura 82 – Análise de sobretensão, subtensão e interrupção do sinal aferido. Fonte: do Autor.	116
Figura 83 – Sinal amostrado da carga pelo medidor. O topo da figura é o sinal amostrado por completo, já parte intermediária corresponde ao zoom nas amostras do sinal quando a carga é acionada na velocidade 2 após 5 segundos e a parte final da imagem é o zoom no sinal quando a carga é acionada na velocidade 1 durante 3 segundos, após a interrupção de 6 segundos. Fonte: do Autor.	117
Figura 84 – FFT do sinal amostrado da carga pelo medidor. Fonte: do Autor.	117
Figura 85 – Análise de sobretensão, subtensão e interrupção do sinal aferido. Fonte: do Autor.	118
Figura 86 – Placa de circuito impresso desenvolvida. Fonte: do Autor.	120
Figura 87 – Protótipo do medidor implementado. Fonte: do Autor.	120
Figura 88 – resposta em frequência do filtro de <i>Bessel</i> . Fonte: do Autor	129
Figura 89 – Tabela 1-2 com as descrições do funcionamento das portas do conversor XADC. Fonte: (XILINX, 2018a).	131
Figura 90 – Tabela 2-2 com as descrições do funcionamento das portas do conversor XADC. Fonte: (XILINX, 2018a).	132
Figura 91 – <i>Layout</i> da PCB, vista inferior. Fonte: do Autor.	133
Figura 92 – <i>Layout</i> da PCB, vista superior. Fonte: do Autor.	134
Figura 93 – <i>Layout</i> da PCB, vista inferior. Fonte: do Autor.	135
Figura 94 – <i>Layout</i> da PCB, vista superior. Fonte: do Autor.	136
Figura 95 – Ativação dos segmentos do <i>display</i> . Fonte: (XILINX, 2018b)	137
Figura 96 – Área ocupado pelo medidor proposto. Fonte: do Autor	139

Lista de tabelas

Tabela 1 – Classe de exatidão.Fonte: Adaptado de (IEC, 2012)	33
Tabela 2 – Classe de exatidão.Fonte:Adaptado de (IEEE, 2005)	34
Tabela 3 – Limite de distorção harmônico, em porcentual, para corrente. .Fonte: Adaptado de (IEEE, 2005)	34
Tabela 4 – Classificação de atendimento em relação a de tensão fornecida para consumidores residenciais.Fonte:Adaptado de (ANEEL, 2018)	36
Tabela 5 – Classificação de atendimento em relação a classe de tensão fornecida para consumidores residenciais.Fonte: Adaptado de (ANEEL, 2018). . .	37
Tabela 6 – Terminologia para o cálculo de desequilíbrio de tensão .Fonte:(ANEEL, 2018).	37
Tabela 7 – Terminologia para o cálculo de flutuação de tensão .Fonte:(ANEEL, 2018).	38
Tabela 8 – Valores de referência do indicador <i>Flicker</i> .Fonte:(ANEEL, 2018). . . .	39
Tabela 9 – Classificação de VTCD.Fonte:(ANEEL, 2018).	39
Tabela 10 – Parâmetros para o filtro de <i>Bessel</i> .Fonte:(PRINCÍPIOS. . . , 2015) . . .	61
Tabela 11 – Modos de tranferência e recepção de dados pelo protocolo SPI .Fonte: Adaptado de (SABINO, 2017).	81
Tabela 12 – Uso de componentes lógicos pelo módulo medidor .Fonte: do Autor. . .	96
Tabela 13 – Relação de sensibilidade da tensão de saída do sensor ACS712 às vari- ações de corrente. Fonte: do Autor.	103
Tabela 14 – Relação de sensibilidade da tensão de saída do sensor ACS712 às vari- ações de corrente. Fonte: do Autor.	105
Tabela 15 – Demais frequências presentes no sinal amostrada da lâmpada led. Fonte: do Autor.	111
Tabela 16 – Resultado dos parâmetros analisados dos arquivos gravados pelo me- didor. Fonte: do Autor.	111
Tabela 17 – Resultado dos parâmetros analisados dos arquivos gravados pelo me- didor com a carga secador de cabelo. Fonte: do Autor.	113
Tabela 18 – Resultado dos parâmetros analisados dos arquivos gravados pelo me- didor com a carga secador de cabelo com combinação de acionamento. Fonte: do Autor.	115
Tabela 19 – Resultado dos tempo total dos distúrbios analisados. Fonte: do Autor. .	116
Tabela 20 – Resultado dos parâmetros analisados dos arquivos gravados pelo me- didor com a carga secador de cabelo com combinação de acionamento. Fonte: do Autor.	118
Tabela 21 – Resultado dos tempo total dos distúrbios analisados. Fonte: do Autor. .	118

Lista de abreviaturas e siglas

ABNT	Associação Brasileira de Normas Técnicas.
AC	Corrente Alternada.
A/D	Conversor Analógico Digital.
ANEEL	Agência Nacional de Energia Elétrica.
ASCII	Standard Code for Information Interchange.
CC	Corrente Contínua.
CLB	Blocos Lógicos Configuráveis.
CPHA	Polaridade do Clock.
CPOL	Polaridade de Fase.
DEC	Duração Equivalente por Unidade Consumidora.
DFT	Transformada Discreta de Fourier.
DSP	Processamento Digital de Sinal.
DTT	Distorção Harmônica Total.
DTT_I	Distorção Harmônica Total Ímpar não múltiplo de 3.
DTT_P	Distorção Harmônica Total Par não múltiplo de 3.
DTT_3	Distorção Harmônica Total múltiplos de 3.
DIT	Distorção Harmonica Individual de Tensão.
EA	Energia Ativa.
ER	Energia Reativa.
IEC	International Electrotechnical Commission.
IEEE	Institute of Electrical and Electronics Engineers.
EMC	Electromagnetic Compatibility.
FD%	Fator de Desequilíbrio.

F_P	Fator de Potência.
FFT	Fast Fourier Transform.
FSR	Fundo de Escala.
FPGA	Field Programmable Gate Array.
FPS	Frames Por Segundo.
HDL	Descrição em Linguagem de Hardware.
HDMI	High Definition Multimedia Interface.
Hz	Hertz.
I^2C	Inter-Integrated Circuit.
I	Corrente.
I_L	Corrente de carga.
I_{SC}	Corrente de curto-circuito.
I/O	Entrada/Saída.
IP-Core	Intellectual Property Cores.
LSB	Less Significant Bit.
Li-Ion	Lítio-Ion.
LVDS	Low-Voltage Differential Signaling.
MSB	Most Significant Bit.
MSPS	Mega Samples Per Second.
MISO	Master Input Slave Output.
MOSI	Master Output Slave Input.
NBR	Normas Brasileiras de Regulamentação.
NiCd	Níquel-Cádmio.
NiMH	Níquel-Hidreto Metálico.
ns	nanossegundos.
ONS	Operador Nacional do Sistema.

OS	Operating System.
P	Potência Ativa.
PAC	Ponto de Acoplamento Comum.
PCC	Análise de Ponto Comum.
PIB	Produto Interno Bruto.
PQ	Power Quality.
PRODIST	Procedimentos de Distribuição.
P_{lt}	Severidade de Longa Duração.
P_{st}	Severidade de Curta Duração.
PWM	Pulse Width Modulation.
Q	Potência Reativa.
QEE	Qualidade de Energia Elétrica.
RAM	Random Access Memory
RMS	Root Mean Square.
RTC	Real Time Clock.
RTL	Nível de Transferência entre Registradores.
RTO's	Real Time Operational System.
RX	Recepção.
SCLK	Slave Clock.
SD	Secure Digital.
SIN	Sistema Interligado Nacional.
SDC	Synopsys Design Constraints.
SPI	Serial Peripheral Interface.
SQNR	Relação Sinal-Ruído de Quantização.
SS	Slave Select.
TCC	Trabalho de Conclusão de Curso.

THD	Distorção Harmônica Total.
TL	Tensão de Leitura.
TV	Televisão.
TX	Transmissão.
UART	Universal Asynchronous Receiver/Transmitter.
USB	Universal Serial Bus.
UVM	Universal Verification Methodology.
V	Tensão.
V_-	Magnitude da tensão de sequência negativa.
V_+	Magnitude da tensão de sequência positiva.
VHDL	Very High Speed Integrated Circuit Hardware Description Language.
VTCD	Variação de Tensão de Curta Duração.

Sumário

1	INTRODUÇÃO	25
	Introdução	25
1.1	Motivação	26
1.2	Objetivos	28
1.2.1	Objetivos Gerais	28
1.2.2	Objetivos Específicos	28
1.2.3	Contribuição do Trabalho	29
1.2.4	Metodologia	29
1.2.5	Organização do Documento	30
2	FUNDAMENTAÇÃO TEÓRICA	31
	Fundamentação Teórica	31
2.1	Qualidade de Energia Elétrica	31
2.2	Normatização Internacional	31
2.2.1	IEC 61000-4-7	31
2.2.2	IEC 61000-4-30	33
2.2.3	IEEE-519	34
2.3	Normas Nacionais	34
2.3.1	Tensão em regime Permanente	36
2.3.2	Fator de Potência	36
2.3.3	Harmônicos	37
2.3.4	Desequilíbrio de Tensão	37
2.3.5	Flutuação de Tensão	37
2.3.6	Variação de Tensão de Curta Duração (VTCD)	39
2.3.7	Variação de frequência	39
2.4	Distúrbios	40
2.4.1	Transitórios Impulsivos	40
2.4.2	Transitórios Oscilatórios	40
2.4.3	Afundamento de tensão de curta duração	42
2.4.4	Elevação de tensão de curta duração	42
2.4.5	Interrupção de curta duração	42
2.4.6	Distorção da forma de onda por nível <i>CC</i>	43
2.4.7	Distorção da forma de onda por Harmônicos	44
2.4.8	Distorção da forma de onda por Inter-harmônicos	44

2.4.9	Distorção da forma de onda por <i>Notching</i>	44
2.4.10	Distorção da forma de onda por Ruído	45
2.4.11	Flutuação de Tensão	45
2.5	Estado da arte	45
2.5.1	Medidor UMG 512	46
2.5.2	Medidor Fluke 43B	46
2.5.3	Medidor Minipa ET-5061C	46
2.5.4	Medidor PEL 102	46
2.6	Processamento Matemático	47
2.6.1	Transformada de Fourier	47
2.6.2	Análise de Pico RMS de meia onda	48
2.6.3	Cálculo de tensão e corrente RMS	48
2.6.4	Cálculo de Potência Ativa	49
2.6.5	Cálculo de Potência Reativa	49
2.6.6	Cálculo de Potência Aparente	49
2.6.7	Cálculo do Fator de Potência	50
2.7	Metodologia para criação de escala de Qualidade de Energia	50
2.8	Field Programmable Gate Array (FPGA)	51
2.8.1	Metodologia de Projetos usando Lógica Programável por <i>Hardware</i>	52
2.8.1.1	Especificação, Modelagem e Arquitetura	53
2.8.1.2	Modelagem em linguagem de <i>hardware</i> (HDL)	53
2.8.1.3	Verificação	54
2.8.1.4	Síntese Lógica	54
2.8.1.5	Prototipagem em FPGA	54
2.8.1.6	Modelagem Física	54
3	PROPOSTA DE MEDIDOR	57
	Proposta de Medidor	57
3.1	Parâmetros e distúrbios analisados	58
3.2	Arquitetura	59
3.2.1	Fonte de alimentação/Bateria	59
3.3	Condicionamento do sinal	60
3.3.1	Filtro <i>Anti-Aliasing</i>	60
3.4	Sensores	62
3.4.1	Sensor de corrente	62
3.4.2	Sensor de Tensão	63
3.5	Conversor Analógico Digital	64
3.6	FPGA	64

4	DESENVOLVIMENTO DO MEDIDOR	67
	Desenvolvimento do Medidor	67
4.1	Implementações em <i>Hardware</i> Programável	67
4.1.1	Módulo Conversor A/D	67
4.1.2	Medidor	72
4.1.3	Divisor de Frequência	73
4.1.4	Registradores	74
4.1.5	Conversor Binário para Decimal	75
4.1.6	<i>Display</i>	77
4.1.7	Comunicação entre FPGA e cartão de memória	79
4.2	Implementações em <i>Hardware</i>	91
4.2.1	Filtro <i>Anti-Aliasing</i>	91
4.2.2	Condicionamento do sinal	92
5	RESULTADOS	95
	Resultados	95
5.1	Validação do Medidor	96
5.1.1	Módulo divisor de frequência	97
5.1.2	Validação do módulo <i>Display</i>	100
5.1.3	Validação do módulo Registrador	101
5.1.4	Validação módulo UART	101
5.1.5	Validação do Sensor de Corrente por efeito <i>Hall</i> ACS712-5A	102
5.1.6	Validação do módulo do conversor A/D	105
5.1.6.1	Análise de Parâmetros Elétricos usando Carga	109
5.2	Implementações em <i>Hardware</i>	119
5.2.1	Condicionamento de Sinais e Protótipo do Medidor	119
6	CONCLUSÃO	121
	Conclusão	121
6.1	Trabalhos Futuros	122
	REFERÊNCIAS	123
	ANEXOS	127
	ANEXO A – RESPOSTA EM FREQUÊNCIA DO FILTRO RC	129

ANEXO B – DESCRIÇÃO DO FUNCIONAMENTO DAS PORTAS DO XADC	131
ANEXO C – PCB IMPLEMENTADA PARA CONDICIONAMENTO DE SINAL	133
ANEXO D – SUGESTÃO DE PCB PARA IMPLEMENTAÇÃO FUTURA COM CIRCUITO DE <i>NO-BREAK</i>	135
ANEXO E – ATIVAÇÃO DOS SEGMENTOS DO <i>DISPLAY</i> DE 7 SEGMENTOS DA FPGA	137
ANEXO F – ÁREA OCUPADA PELO MEDIDOR DESCRITO EM VHDL	139

1 Introdução

Utiliza-se com frequência a expressão “qualidade de energia elétrica” (QEE) para se referir às distorções da forma de onda de tensão e corrente fornecidas pelo sistema elétrico. Nas décadas anteriores, a qualidade de energia era entendida como gerenciamento de cargas, ausência de desligamentos e controle do fator de potência entre a concessionária de energia e a distribuidora até chegar ao fornecimento para o cliente. Isso deve-se ao fato de que até os anos de 1970, grande parte da demanda de carga de consumidores residenciais e comerciais eram resistivas, como por exemplo, aparelhos de TV, chuveiro elétrico, ferro de passar (CARBONERA, 2013). Recentemente, o desenvolvimento tecnológico e industrial na área de semicondutores, possibilitou o aparecimento de dispositivos operando em modo chaveado que viabilizaram operações eficientes, rápidas, controladas e integradas à distribuição de energia elétrica. No lado do consumidor, também surgiram equipamentos operados em modo chaveado que são eficientes e menos sensíveis às variações da frequência e da forma de onda da rede, mas que geram novas distorções que não eram observadas, as quais devem ser compensadas. Estas distorções, quando não controladas, podem causar perdas financeiras aos consumidores.

Diante desse cenário, a análise da QEE tornou-se um tema de grande relevância no cenário nacional e internacional, passando a ser estudada de modo mais aprofundado. De acordo com (SANTANA, 2017), os principais fatores que contribuíram para o desenvolvimento dessa área de estudos relacionam-se aos seguintes fatores:

- Em decorrência do conceito de racionalização e conservação de energia, com o propósito de otimizar seu uso, introduziu-se no sistema elétrico níveis elevados de distorção harmônica pelo uso de dispositivos chaveados;
- Grande parte dos dispositivos eletrônicos e microprocessadores são sensíveis a presença de distúrbios, o que afeta diretamente o tempo de vida útil desses equipamentos;
- A crescente conscientização dos consumidores às perturbações relacionadas a qualidade de energia, como interrupções, picos de tensão e transitórios de religamento, exigiram que as concessionárias distribuíssem energia com maior qualidade;
- A grande integração de processos relativos a fontes de energia, como o Sistema Interligado Nacional (SIN), faz com que a falha em qualquer nó gere consequências para o sistema elétrico como um todo.

Com a preocupação de caracterizar e atenuar tais fenômenos na rede elétrica, criaram-se no Brasil normas que estabelecem indicadores de qualidade para o fornecimento de energia. Desse modo, a Agência Nacional de Energia Elétrica (ANEEL), por meio do módulo 8 do Procedimento de Distribuição (PRODIST) classifica, define cálculos, erros e ocasiões para avaliar a qualidade de energia. No âmbito internacional, há as normas definidas pela *International Electrotechnical Commission* (IEC) IEC-61000-4-7, IEC1000-4-30 e a norma Institute of Electrical and Eletronics Engineers (IEEE) IEEE 519 que classificam harmônicos, afundamentos, transitórios dentre outros.

1.1 Motivação

Qualquer perturbação elétrica significativa afeta diretamente o consumidor, em especial o consumidor industrial, visto que tais distúrbios elétricos podem ocasionar o funcionamento incorreto e a destruição do equipamento, gerando perdas na cadeia produtiva. Desse modo, a concessionária de energia é exigida a fornecer e garantir a qualidade de energia que o consumidor deve monitorar.

Nesse contexto, a QEE insere em sua importância o fator econômico aos envolvidos no sistema elétrico. De acordo com o estudo do (BRASIL, 2014), em 2014, o setor elétrico correspondia a 2.2% do Produto Interno Bruto (PIB) do Brasil, por se tratar de um insumo básico para a produção e consumo de diversos setores da economia. De acordo com (HAFNER, 2006), a baixa qualidade de energia, no Estados Unidos em 1991, custava cerca de US\$ 26 bilhões por ano em correção de problemas e medidas preventivas.

Na figura (1), verifica-se os custos associados às interrupções/hora em diferentes atividades da economia:

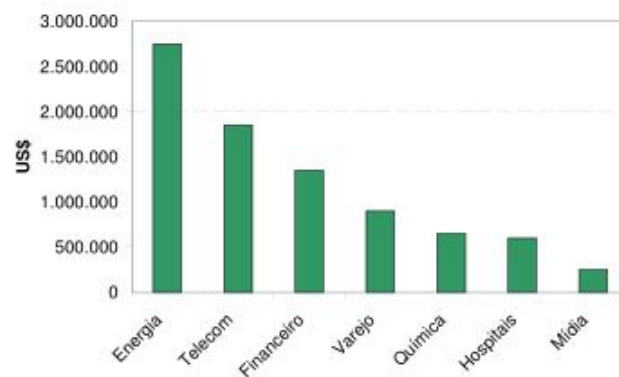


Figura 1 – Custos associado a interrupção/hora em diferentes atividades econômicas. Fonte: (HAFNER, 2006).

Dados apresentados por (MAIA, 2011), revelam os prejuízos financeiros de diversos tipos de atividades econômicas relacionados ao problema com a qualidade de energia. Dentre eles, pode-se citar os seguintes:

- Indústria de papel: Afundamento de tensão pode ocasionar a perda de um dia de atividades. Prejuízo de US\$250,000.00;
- Indústria de alimentos e bebidas: Problemas de afundamento de tensão durante 1 ano causa o prejuízo de US\$87,000.00;
- Controle de tráfego aéreo: perda de controle em aeroporto de grande tráfego aéreo pode ocasionar o prejuízo de US\$15,000.00 por minuto;
- Indústria automotiva: interrupções podem causar o prejuízo de US\$10 milhões/ano.

Os fenômenos relacionados às condições não-ideais de operação da QEE podem ser de curta duração, em torno de nano segundos (ns), transitórios, ou eventos que podem durar minutos, em regime permanente. Estas perturbações no sistema elétrico podem ser observados por oscilógrafos, equipamento específico para detecção de eventos de curta e longa duração que indicam aos sistemas de proteção e controle a presença de uma falha, como por exemplo, em subestações geradoras de energia que demandam o armazenamento de uma grande quantidade de dados em que os distúrbios não são identificados facilmente. Sabe-se que o consumidor insere correntes e tensões de harmônicos na rede e as concessionárias realizam o controle de impedância, por meio de banco de capacitores e indutores por exemplo, para manter o fornecimento dentro dos padrões estabelecidos pelas normas brasileiras. Entretanto, devido à dificuldade de avaliar todos os parâmetros que compõe os distúrbios de uma rede elétrica, a determinação da origem de um distúrbio, por parte do consumidor ou distribuidor de energia, necessita de uma análise detalhada no tempo dos sinais de tensão e corrente. Adicionalmente, a ausência de uma metodologia uniforme para avaliar o nível da qualidade de energia de um país, tanto para consumidores industriais e especiais, como hospitais que exigem maior estabilidade e qualidade de energia, quanto para os demais consumidores, criam entraves para empresários e indústrias que desejam realizar investimentos em determinados locais. Como visto anteriormente, interrupções de fornecimento de energia causam enormes prejuízos financeiros para estes clientes. Logo, a informação do nível de confiabilidade de energia proporciona maior segurança para investimentos no país e, conseqüentemente, proporciona o crescimento técnico, científico e econômico. Países europeus, de acordo com a revista ([FIRJAN, 2016](#)), utilizam indicadores por segmento de consumo, além de realizar análise do nível de tensão. A figura 2 evidencia a disparidade da QEE entre o Brasil e alguns países da Europa, quando trata-se do aspecto de Duração equivalente por Unidade Consumidora (DEC), quando a interrupção é superior a 3 minutos no ano de 2013.

O Brasil nesse item, em 2013, obteve uma interrupção de 18 horas e 29 minutos, indicando que apesar da fiscalização da Aneel e dos investimentos realizados pelas geradoras e distribuidoras para o fornecimento ininterrupto de energia mostraram-se insuficientes

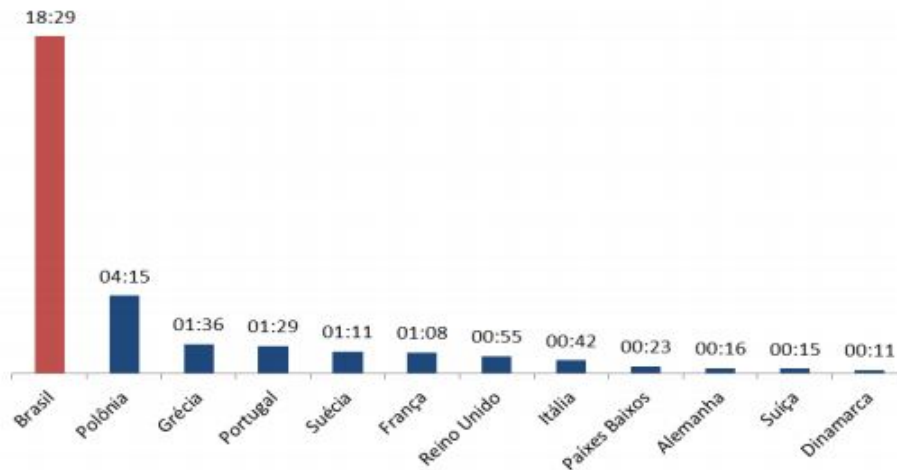


Figura 2 – Comparação da DEC entre Brasil e países europeus, quando a interrupção é superior a 3 minutos no ano de 2013. Fonte: (FIRJAN, 2016).

para alcançar os padrões internacionais mínimos. Outro fator que colabora com tal discrepância é que em países europeus, os clientes negociam diretamente com a concessionária, conseguindo escolher o fornecedor; além disso há órgãos reguladores rígidos que aplicam multas e recompensas de acordo com o estabelecimento de metas (FIRJAN, 2016).

Evidencia-se assim, a necessidade de uma análise sobre as perturbações que interferem na qualidade de energia elétrica. Dessa forma, a motivação desta Trabalho de Conclusão de Curso 2 (TCC2) baseia-se no desenvolvimento de um protótipo de baixo custo que registre a ocorrência de distúrbios, tanto transitórios, quanto em regime para posterior análise. Propõe-se construir um protótipo de Análise de Energia, utilizando a *Field Programmable Gate Array - FPGA* para aquisição e conversão A/D, além de gravar em um cartão de memória para posterior análise, de modo a obter parâmetros elétricos para a avaliar a QEE.

1.2 Objetivos

1.2.1 Objetivos Gerais

Desenvolver, a nível de protótipo, um medidor de energia, monofásico, para consumidores de baixa tensão capaz de registrar distúrbios na rede elétrica para análise futura dos parâmetros associados a qualidade de energia fornecida.

1.2.2 Objetivos Específicos

- Utilizar o conversor A/D da *Basys3* para obter as grandezas elétricas de uma fase, de modo a não utilizar o microcontrolador *Microblaze* interno;

- Implementar o módulo de aquisição e condicionamento de sinais do medidor para que os dados obtidos do conversor A/D sejam gravados em cartão de memória.
- Desenvolver o módulo de comunicação que possibilite a transferência de dados que permita a *FPGA* gravar os dados de amostras diretamente no cartão de memória;
- Analisar as amostras gravadas na *FPGA* no *Matlab* para cálculo dos parâmetros atrelados à qualidade de energia;

1.2.3 Contribuição do Trabalho

Desenvolver um protótipo de baixo custo para consumidores residenciais que realize a análise monofásico de energia e registre no cartão de memória distúrbios presentes na rede para posterior análise, de modo a disponibilizar ao cliente informações sobre qualidade fornecida pela distribuidora.

1.2.4 Metodologia

A adoção da metodologia *top-down* permitiu o desenvolvimento em paralelo de tarefas que o trabalho exige. Inicialmente, realizou-se uma revisão sobre manual de referência da *Basys 3 Artix-7*, assim como consultas aos manuais de referência da *Xilinx* para utilização da *Implementation Development Environment - IDE Vivado* para programação da *FPGA*. Em seguida, seguiram-se as seguintes etapas de desenvolvimento:

- Projeto e implementação do circuito lógicos que permita a utilização do conversor A/D interno da *FPGA*, descrito em *VHDL*;
- Projeto e implementação da arquitetura e dos circuitos lógicos de medição de energia elétrica em *VHDL*;
- Simulação da arquitetura de medição utilizando o *software Vivado*;
- Integração do módulo do conversor A/D com a arquitetura de medição;
- Projeto e implementação de circuitos lógicos do módulo de comunicação que permita a gravação das amostras do módulo de medição descrito em *VHDL*;
- Simulação da arquitetura de comunicação utilizando o *software Vivado*;
- Montagem e verificação em bancada do filtro *Anti-Aliasing*;
- Validação dos dados obtidos e análise dos parâmetros de qualidade de energia utilizando o *Matlab*;

1.2.5 Organização do Documento

Este trabalho está organizado em 6 capítulos. A seguir, observam-se as seguintes disposições:

- Capítulo 1: apresenta-se a contextualização e motivação do tema.
- Capítulo 2: exibe-se o referencial teórico necessário para implementação do tema proposto.
- Capítulo 3: é apresentada a arquitetura geral do protótipo, assim como a descrição técnica dos componentes utilizados.
- Capítulo 4: descrevem-se as implementações e validações realizadas para o desenvolvimento do sistema.
- Capítulo 5: mostram-se os resultados obtidos com os testes de bancada do sistema integrado.
- Capítulo 6: aponta-se as conclusões e sugestões para trabalhos futuros.

2 Fundamentação Teórica

2.1 Qualidade de Energia Elétrica

A definição de Qualidade de Energia Elétrica (QEE) possui inúmeras denotações dependendo do ponto de referência. Por exemplo, o termo tem origem americana que deriva da expressão *Power Quality* (PQ). De acordo com (CONALGO, 2009), o termo foi utilizado pela primeira vez em 1968 pela marinha norte-americana em um de seus artigos que estudavam as especificações para o fornecimento de energia aos aparelhos eletrônicos.

Entretanto, do ponto de vista técnico-científico, tratam-se das condições dos sinais elétricos de tensão e corrente que permitem o funcionamento correto de equipamentos, de forma que não apresente riscos à sua vida útil (ANTUNES, 2014). Para sinais de corrente alternada, tem-se valores de tensão e corrente variando em forma de onda senoidal, com amplitude e frequência fixos. Já para corrente contínua, há valores de tensão e corrente fixos, com polaridade constante. Levando em consideração o aspecto normativo, o *Institute of Electrical and Electronics Engineers* (IEEE) a caracteriza como capacidade de fornecer de modo adequado a alimentação, tensão e corrente, aos equipamentos elétricos. Já a *International Electrotechnical Commission* (IEC) a define como a característica elétrica de um ponto em relação a vários fatores de referência do sistema (FERREIRA, 2010).

2.2 Normatização Internacional

As principais normas internacionais para a definição de técnicas e métodos de medição, erros máximos, frequência de harmônicos e inter-harmônicos, valores limites de tensão e corrente para monitorar a qualidade de energia são a IEC61000-4-7, IEC 61000-4-30, IEEE-519.

2.2.1 IEC 61000-4-7

A norma IEC 61000 refere-se a Compatibilidade Eletromagnética (*Electromagnetic Compatibility* - EMC) e procura determinar a imunidade que o equipamento de medição deve possuir para funcionar de modo adequado quando inserido na rede que apresenta distúrbios eletromagnéticos. Dentre as famílias de normas desta especificação, a parte 4 possui elevada importância, pois descreve as técnicas e testes de medição para equipamentos de qualidade de energia e erros máximos e frequência de harmônicos e inter-harmônicos.

O subitem 7 destina-se a especificar o nível de distorção harmônico, aferição de harmônicos na tensão e corrente, além dos requisitos básicos que um instrumento de

monitoramento deve possuir. Refere-se a equipamentos que medem até 9KHz na faixa espectral das componentes de frequência fundamental de 50 ou 60Hz. Segundo este item da norma, qualquer instrumento de medição de harmônicos na rede de energia elétrica deve possuir a seguinte estrutura: *filtro anti-aliasing* no circuito de entrada, conversor Analógico/Digital (A/D) com unidade de quantização e amostragem, sincronização e, caso necessite, unidade de janelamento; e um processador que realiza a Transformada Discreta de *Fourier* que calcula os coeficientes A_n e B_n (IEC, 2012). Estas especificações podem ser observadas na figura 3.

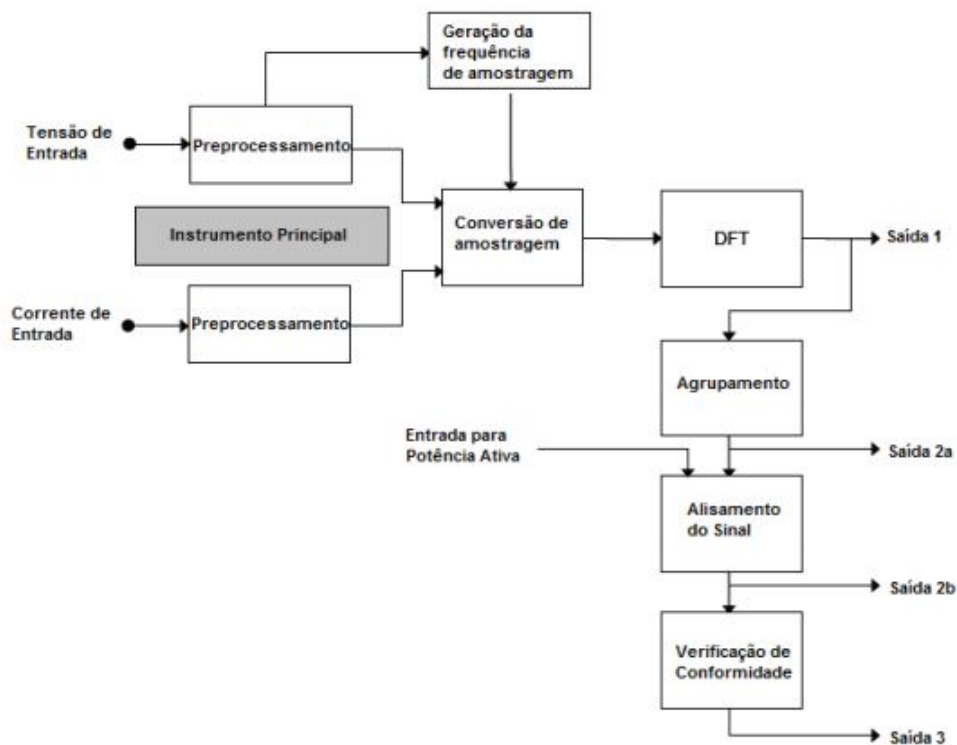


Figura 3 – Especificação para unidades de medição de harmônicos. Fonte:(IEC, 2012).

É importante ressaltar que o sistema de processamento deve ser sincronizado em 200 milissegundos, para frequências de 50 ou 60 Hz, que corresponde a 10 ou 12 ciclos. Isso representa uma resolução de 5Hz e aplica-se até a 50º harmônico. Entretanto, ao utilizar o algoritmo da FFT (*Fast Fourier Transform*), caso os componentes harmônicos amostrados não sejam múltiplos da frequência fundamental (50 ou 60 Hz), ocorre o efeito de espalhamento espectral e a amostragem torna-se assíncrona. Para corrigir este efeito, a norma utiliza os conceitos de grupo e subgrupo de harmônicos e inter-harmônicos, que são descritos pelas fórmulas 2.1, 2.2, 2.3, 2.4 (IEC, 2012).

$$G_{g,h}^2 = \frac{C_{k_h-6}^2}{2} + \sum_{-5}^5 C_{k_h+i}^2 + \frac{C_{k_h-6}^2}{2} \quad (2.1)$$

$$G_{sg,h}^2 = \sum_{-1}^1 C_{k_h+i}^2 \quad (2.2)$$

$$G_{ig,h}^2 = \sum_1^{11} C_{k_h+i}^2 \quad (2.3)$$

$$G_{sig,h}^2 = \sum_2^{10} C_{k_h+i}^2 \quad (2.4)$$

Onde:

- $G_{g,h}^2, G_{sg,h}^2, G_{ig,h}^2, G_{sig,h}^2$ representam os valores quadráticos dos grupos harmônicos, subgrupos harmônicos, grupos interharmônicos, subgrupos interharmônicos;
- k_h representa o índice do componente de ordem h;
- $C_{k_h+i}^2$ representa o valor quadrático de cada passo de frequência com índice Kh.

A norma também estabelece classes de exatidão para os instrumentos de medição. A classe I, refere-se a instrumentos de precisão, enquanto a classe II destina-se a equipamentos de uso geral. A tabela 1 mostra os valores de precisão para tensão, corrente e potência.

Classe	Medida	Condições	Erro Máximo
I	Tensão	$V_m > 1\% V_{nom}$	+/- 5% V_m
		$V_m < 1\% V_{nom}$	+/- 0.05% V_m
	Corrente	$I_m > 3\% I_{nom}$ $I_m < 3\% I_{nom}$	+/- 5% I_m +/- 0.05% I_m
II	Tensão	$V_m > 3\% V_{nom}$	+/- 5% V_m
		$V_m < 3\% V_{nom}$	+/- 0.15% V_m
	Corrente	$I_m > 10\% I_{nom}$ $I_m < 10\% I_{nom}$	+/- 5% I_m +/- 0.15% I_m

Tabela 1 – Classe de exatidão. Fonte: Adaptado de (IEC, 2012)

2.2.2 IEC 61000-4-30

Este subitem da norma estabelece a definição de parâmetros relacionados a qualidade de energia elétrica. São eles: Frequência e Magnitude de tensão de Alimentação, Cintilação (*Flicker*), Afundamentos, Elevações e Interrupções Momentâneas de tensão, Tensões Transitórias, Desequilíbrio de Tensão, Tensões Harmônica, Tensões Inter-Harmônicas, Mudanças de tensão, Medição de desvios de parâmetros (IEC, 2003).

2.2.3 IEEE-519

Esta norma estabelece os limites de distorção harmônica para tensão e corrente, em regime permanente, em determinado Ponto de Acoplamento Comum (PAC) (IEEE, 2005). A tabela 2 apresenta os limites harmônicos em função da classe tensão e, a tabela 3, a distorção harmônica em porcentagem de demanda máxima de corrente de carga I_L aplicados.

Tensão no barramento PAC	Harmônicos Individuais (%)	Distorção Harmônica Total (%)
$v < 1KV$	5,0	8,0
$1 < v < 69KV$	3,0	5,0
$v > 161KV$	1,0	1,5

Tabela 2 – Classe de exatidão. Fonte: Adaptado de (IEEE, 2005)

I_{SC}/i_L	$3 < h < 11$	$11 < h < 17$	$17 < h < 23$	$23 < h < 35$	$35 < h < 50$	DTT
< 20	4,0	2,0	1,5	0,6	0,3	5,0
$20 < 50$	7,0	3,5	2,5	1,0	0,5	8,0
$50 < 100$	10,0	4,5	4,0	1,5	0,7	12,0
$100 < 1000$	12,0	5,5	5,0	2,0	1,0	15,0
> 1000	15,0	7,0	6,0	2,5	1,4	20,0

Tabela 3 – Limite de distorção harmônico, em porcentual, para corrente. Fonte: Adaptado de (IEEE, 2005)

2.3 Normas Nacionais

No Brasil, as entidades normativas, como a Associação Brasileira de Normas Técnicas (ABNT), e regulamentadoras, como a Agência Nacional de Energia Elétrica (ANEEL) em conjunto com a o Operador Nacional do Sistema (ONS), desenvolveram normas e procedimentos para atender a requisitos de qualidade de energia para o sistema elétrico. A ABNT foi responsável por criar a NBR IEC 61000-4-30, em função da norma citada no tópico 2.2.2, que especifica os parâmetros associados a qualidade de energia. A ONS é o órgão responsável por realizar o controle operacional do Sistema Interligado Nacional (SIN), de modo a coordenar as subestações e unidades geradoras do país e a ANEEL realiza a fiscalização desse controle de modo a penalizar ou incentivar de acordo com o alcance de metas. Em conjunto, esses órgãos desenvolveram o documento normativo denominado Procedimento de Rede em que definem as atividades necessárias para atender

os requisitos de inovação e expansão do SIN. A ANEEL também desenvolveu o Procedimento de Distribuição de Energia Elétrica no Sistema Elétrico Nacional (PRODIST) em que normatiza técnicas e parâmetros relacionados à Qualidade de Energia. O PRODIST possui 9 módulos técnicos em que atribui responsabilidades às unidade geradoras e distribuidoras de energia, assim como os consumidores. A figura 4, demonstra os módulos e a relação entre eles, exceto o módulo 9 (Ressarcimento de Danos Elétricos):

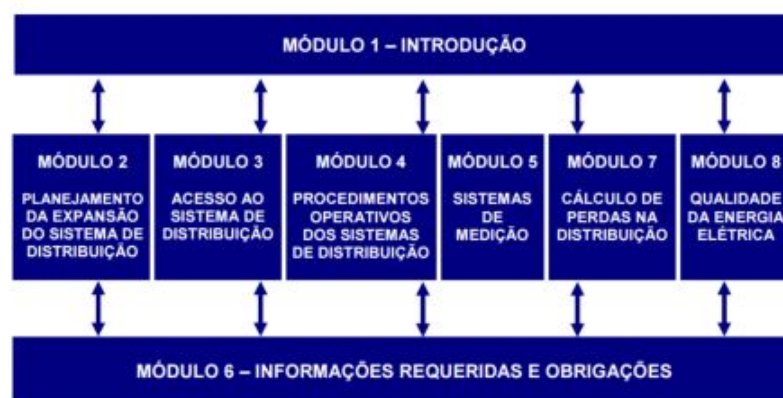


Figura 4 – Módulos do Prodíst. Fonte: (XAVIER, 2016).

Dentre estes, o módulo de destaque é o módulo 8 sobre QEE. Nele, a qualidade é dividida em duas partes: a qualidade do produto e serviço. É em qualidade do produto que caracterizam-se os parâmetros relacionados à qualidade de energia, além de requisitos mínimos exigidos para os equipamentos de medição.

Os parâmetros que relacionam-se a qualidade de energia são:

- Tensão em Regime Permanente;
- Fator de Potência;
- Harmônicos;
- Desequilíbrio de Tensão;
- Flutuação de Tensão;
- Variação de tensão de curta duração;
- Variação da frequência;

São exigidos, como requisitos mínimos, para os equipamentos de medição possuírem:

- Taxa de amostragem de 16 amostras/ciclo;

- Conversor A/D de 12 *bits*;
- Precisão: 1% da leitura;

2.3.1 Tensão em regime Permanente

De acordo com (ANEEL, 2018), a tensão em regime permanente é denotada como:

São estabelecidos os limites adequados, precários e críticos para os níveis de tensão em regime permanente, os indicadores individuais e coletivos de conformidade de tensão elétrica, os critérios de medição e registro, os prazos para regularização e de compensação ao consumidor, caso os limites de tensão observados não se encontrem na faixa de atendimento adequado.

Para consumidores residenciais, a tabela 6 do módulo 8, tabela 4, exibe a classificação para barramentos com tensão menor que 1KV, onde TL é a Tensão de Leitura.

Tensão de Atendimento	Faixa de variação da tensão de Leitura (Volts)
Adequada	202 < TL < 231 / 101 < TL < 116
Precária	191 < TL < 202 OU 231 < TL < 233 / 96 < TL < 101 OU 116 < TL < 117 /
Crítica	TL < 191 ou TL > 233 / TL < 96 ou TL > 117

Tabela 4 – Classificação de atendimento em relação a de tensão fornecida para consumidores residenciais. Fonte: Adaptado de (ANEEL, 2018)

2.3.2 Fator de Potência

O Fator de Potência deve ser calculado, utilizando valores de potência ativa e reativa (P, Q respectivamente), ou de suas respectivas energias (EA, ER). Podem ser obtidas pelas seguintes equações 2.5 e 2.6:

$$F_p = \frac{P}{\sqrt{P^2 + Q^2}} \quad (2.5)$$

$$F_p = \frac{EA}{\sqrt{EA^2 + ER^2}} \quad (2.6)$$

É importante ressaltar que, o item 3.2.1 do módulo 8, (ANEEL, 2018), estabelece que consumidores com nível de tensão inferior a 230KV devem possuir fator de potência no ponto de conexão entre 0.92 e 1 indutivo ou 1 e 0.92 capacitivo.

2.3.3 Harmônicos

Refere-se às distorções na forma de onda senoidal da frequência fundamental de 50 ou 60Hz resultantes da presença de cargas não-lineares no sistema elétrico.

A tabela, 5, refere-se a distorção harmônica total, considerando a ordem harmônica Ímpar não múltiplo de 3 (DTT_I), ordem harmônica Par não múltiplo de 3 (DTT_P) e ordem harmônica múltiplos de 3 (DTT_3).

Distorção Harmônica Total			
Indicador	$V_n \leq 1KV$	$1KV < V_n \leq 69KV$	$69KV < V_n \leq 230KV$
DTT	10,0 %	8,0 %	5,0 %
DTT_P	2,5 %	2,0 %	1,0 %
DTT_I	7,5 %	6,0 %	4,0 %
DTT_3	6,5 %	5,0 %	3,0 %

Tabela 5 – Classificação de atendimento em relação a classe de tensão fornecida para consumidores residenciais. Fonte: Adaptado de (ANEEL, 2018).

2.3.4 Desequilíbrio de Tensão

Está associado às alterações dos padrões trifásicos do sistema de Distribuição. Ocorre quando há diferença de magnitude entre as tensões de fases ou desvio do ângulo de defasagem de 120° . A tabela, 6, mostra a terminologia necessária para a realização dos cálculos de desequilíbrio de tensão.

Identificação da Grandeza	Símbolo
Fator de Desequilíbrio	FD
Magnitude da tensão de sequência negativa (RMS)	V_-
Magnitude da tensão de sequência positiva (RMS)	V_+
Magnitude trifásicas de linha (RMS)	V_{ab}, V_{bc} e V_{ac}

Tabela 6 – Terminologia para o cálculo de desequilíbrio de tensão .Fonte:(ANEEL, 2018).

Dessa forma, o desequilíbrio pode ser calculado por 2.7:

$$FD\% = \frac{V_-}{V_+} * 100 \quad (2.7)$$

2.3.5 Flutuação de Tensão

Está atrelada a variação do valor eficaz da tensão. Tem como objetivo determinar a qualidade de um barramento do sistema de distribuição de modo a avaliar os problemas causados ao consumidor pelo efeito de variação luminosa em pontos de baixa tensão. A tabela, 7, mostra a terminologia necessária para a realização dos cálculos de flutuação de tensão.

Identificação da Grandeza	Símbolo
Severidade de Curta Duração	P_{st}
Severidade de Longa Duração	P_{lt}

Tabela 7 – Terminologia para o cálculo de flutuação de tensão .Fonte:(ANEEL, 2018).

Dessa forma, a flutuação de tensão pode ser calculado pela equação 2.8:

$$P_{st} = \sqrt{0.0314P_{0.1} + 0.0525P_1 + 0.0657P_3 + 0.28P_{10} + 0.08P_{50}} \quad (2.8)$$

Onde:

- $P_i(i=0.1; 1; 3; 10;50)$ corresponde ao nível de sensação de cintilação que foi ultrapassado durante $i\%$ do tempo obtido a partir da função de distribuição acumulada complementar, de acordo com o procedimento estabelecido nas Normas IEC: IEC 61000-4-15 *Flickermeter - Functional and Design Specifications*.

A função de distribuição acumulada complementar é mostrada na figura 5:

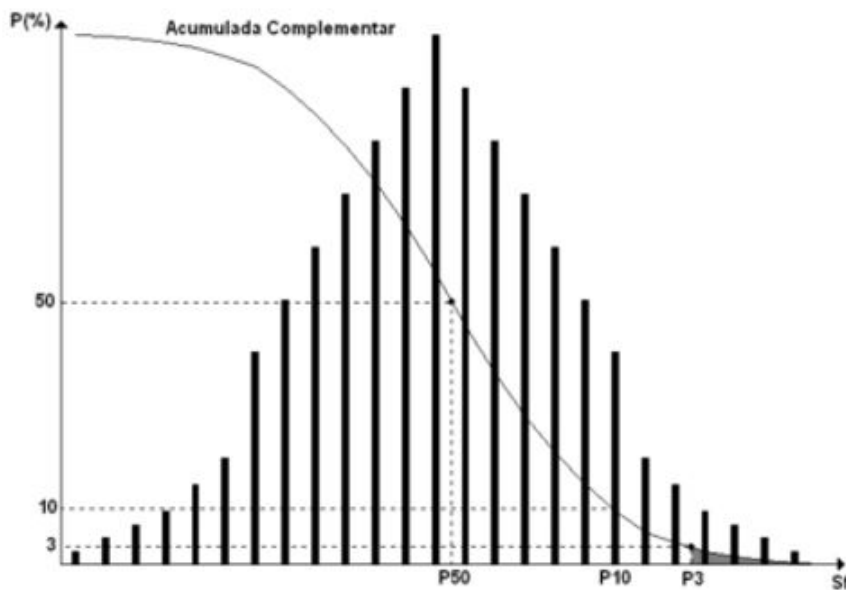


Figura 5 – Função de distribuição acumulada complementar. Fonte: (ANEEL, 2018).

Tem-se também, o indicador P_{lt} que corresponde a um valor representativo de 12 amostras consecutivas de P_{st} , como a equação 2.9 :

$$P_{lt} = \sqrt[3]{\frac{1}{12} \sum_{i=1}^{12} P_{sti}^3} \quad (2.9)$$

Pela a norma, Pst refere-se a severidade de cintilação percebida pelo consumidor durante o período contínuo de 10 minutos. Já Plt refere-se a severidade de cintilação

percebida durante o período contínuo de 2 horas por meio da composição de 12 valores consecutivos de Pst. Por fim, o Pst95% relaciona-se a medição por 24 horas do conjunto de valores de Pst. No final de 1 semana de observação, o maior indicador dentre os sete parâmetros observados é considerado como o indicador final. Da mesma forma que o Pst, o Plt é obtido ao realizar os mesmos procedimentos anteriores e, quando tratado estaticamente, refere-se ao valor de Plt95%. A tabela 8, apresenta os valores de referência para o indicador de flutuação de tensão.

Indicador	$VP_n < 1,0 \text{ KV}$	$1,0\text{KV} < VP_n < 69\text{KV}$	$69 \text{ KV} < VP_n < 230\text{KV}$
Pst95%	1,0 p.u	< 1,5 p.u	2,0 p.u

Tabela 8 – Valores de referência do indicador *Flicker*. Fonte:(ANEEL, 2018).

2.3.6 Variação de Tensão de Curta Duração (VTCD)

São desvios significativos do valor eficaz da tensão em curtos intervalos de tempo. A VTCD é classificada de acordo com a tabela 9 abaixo:

Classificação	Denominação	Duração da Variação	Amplitude da tensão (valor eficaz em relação a tensão de referência)
Variação Momentânea de Tensão	Interrupção Momentânea de Tensão	Inferior ou igual a 3 segundos	inferior a 0,1 p.u.
	Afundamento Momentânea de Tensão	Superior ou igual a um ciclo e inferior ou igual a 3 segundos	Superior ou igual a 0,1 e inferior a 0,9 pu
	Elevação Momentânea de Tensão	Superior ou igual a um ciclo e inferior ou igual a 3 segundos	Superior a 1,1 p.u.
Variação Temporária de Tensão	Interrupção Temporária de Tensão	Superior a 3 segundos e inferior a 3 minutos	inferior a 0,1 p.u.
	Afundamento Temporária de Tensão	Superior a 3 segundos e inferior a 3 minutos	Superior ou igual a 0,1 e inferior a 0,9 pu
	Elevação Temporária de Tensão	Superior a 3 segundos e inferior a 3 minutos	Superior a 1,1 p.u.

Tabela 9 – Classificação de VTCD. Fonte:(ANEEL, 2018).

2.3.7 Variação de frequência

De acordo com o PRODIST-módulo 8, o desvio de frequência fundamental deve ser entre 59,9 Hz e 60,1 Hz. Sabe-se que a frequência do sistema está relacionada as máquinas que suprem a demanda de potência, logo caso ocorra algum desvio que ultrapasse o limite de operação em regime permanente, ocorre-se quedas de cargas de potência que atendem diversas regiões do país.

2.4 Distúrbios

As principais perturbações que afetam os parâmetros relacionados a qualidade de energia são:

- Transitórios Impulsivos;
- Transitórios Oscilatórios;
- Afundamento de tensão de curta duração;
- Elevação de tensão de curta duração;
- Interrupção temporária;
- Distorção da forma de onda Nível *CC*;
- Distorção da forma de onda por Harmônicos;
- Distorção da forma de onda por Inter-Harmônicos;
- Distorção da forma de onda por *Notching*;
- Distorção da forma de onda por ruído;
- Flutuação de tensão;

2.4.1 Transitórios Impulsivos

Os transitórios impulsivos são caracterizados por variações instantâneas da condição de regime permanente na tensão, ou na corrente ou nas duas grandezas elétricas, de modo a apresentar impulsos unidirecionais de polaridade e frequência diferente da rede elétrica. Geralmente são causados por descargas atmosféricas, ou por *Spikes* que tem como característica uma sobretensão seguida por um subtensão por milissegundos ou microssegundos, sobtensões de até 4x a tensão nominal e subtensão de até metade da tensão nominal. Os *Spikes* ocorrem por chaveamento de cargas indutivas ou conversores *CC* (SANTANA, 2017).

A figura 6 apresenta um transitório *Spike* durante o chaveamento de carga indutiva.

2.4.2 Transitórios Oscilatórios

Os transitórios Oscilatórios possuem como característica variações instantâneas da condição de regime permanente na tensão, ou corrente ou nas duas grandezas elétricas, de modo a apresentar impulsos unidirecionais de polaridade e frequência que varia entre

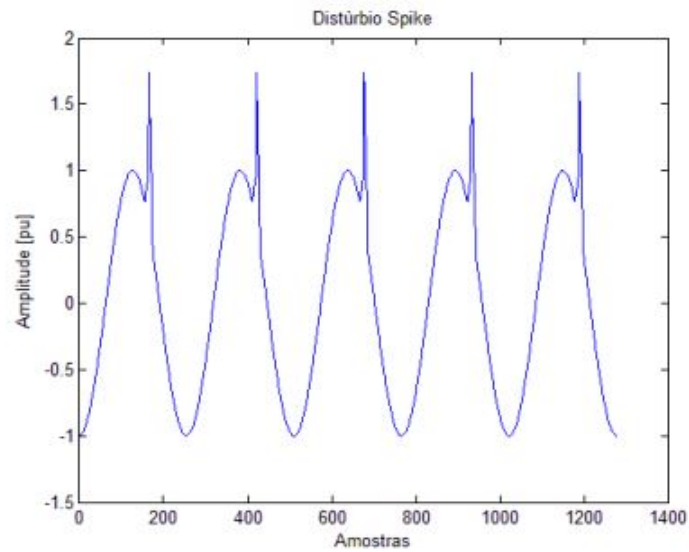


Figura 6 – *Spike* causado por carga indutiva. Fonte: (SANTANA, 2017).

300Hz a 500KHz e duração de microssegundos. Geralmente são ocasionados por chaveamento ou energização de banco de capacitores. Isso ocorre porque o banco energizado de capacitor não vê o banco não energizado como uma impedância baixa (HAFNER, 2006). A figura 7 mostra o transitório de corrente originado por chaveamento de banco de capacitor.

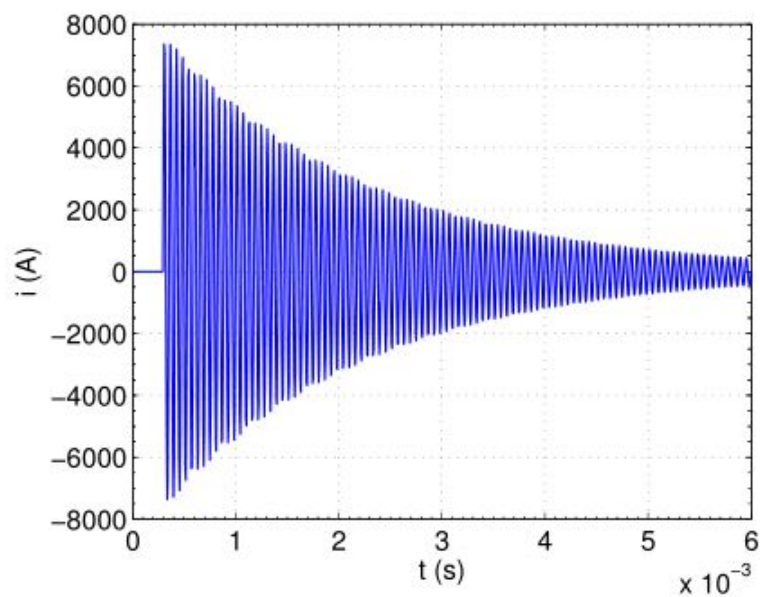


Figura 7 – Transitório oscilatório de corrente causado por um banco de capacitor. Fonte: (HAFNER, 2006).

2.4.3 Afundamento de tensão de curta duração

Os afundamentos de tensão, também chamados de *Voltage Sags*, tem como característica a redução do valor eficaz de tensão entre 0.1 e 0.9 p.u, com duração de 0.5 ciclos até 1 minuto. Este fenômeno pode ocorrer em curto-circuito da rede ou durante a partida de motores de grande porte (SANTANA, 2017).

A figura 8, demonstra um afundamento de tensão ocasionado por falta fase-terra.

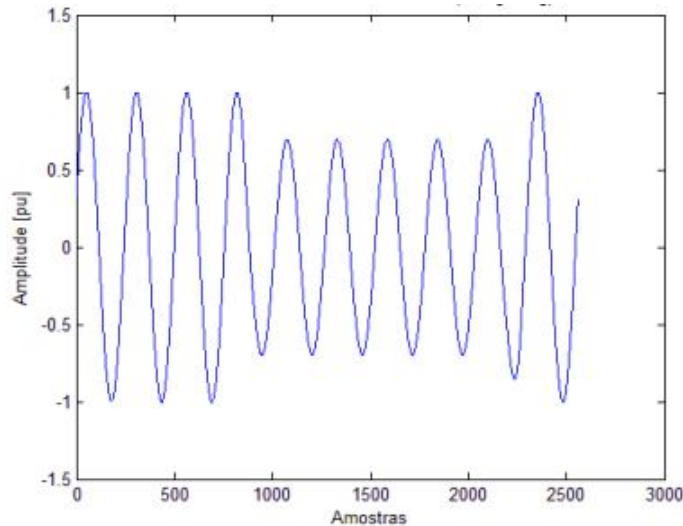


Figura 8 – Afundamento de tensão ocasionado por falta fase-terra. Fonte: (SANTANA, 2017).

2.4.4 Elevação de tensão de curta duração

O fenômeno de elevação de tensão de curta duração, ou *Voltage Swell*, caracteriza-se por aumento entre 1.1 a 1.8 p.u na tensão eficaz com frequência da rede, e com duração entre 0.5 ciclo e 1 minuto. O *Voltage Swell* geralmente está associado a falta na rede, como curto-circuito ou falta fase-terra (SANTANA, 2017).

A figura abaixo, 9, ilustra o tópico, tendo como causa uma falta fase-terra.

2.4.5 Interrupção de curta duração

A interrupção de curta duração caracteriza-se pelo decaimento de tensão para valores menores que 0.1 p.u durante tempo menor que 1 minuto. É ocasionado por falhas no sistema de controle ou de equipamentos. Dependendo da velocidade de atuação de proteção e da função de religamento automático, a interrupção pode não ser percebida por consumidores residenciais (SANTANA, 2017). A figura 10 exemplifica o distúrbio ocasionado por curto-circuito.

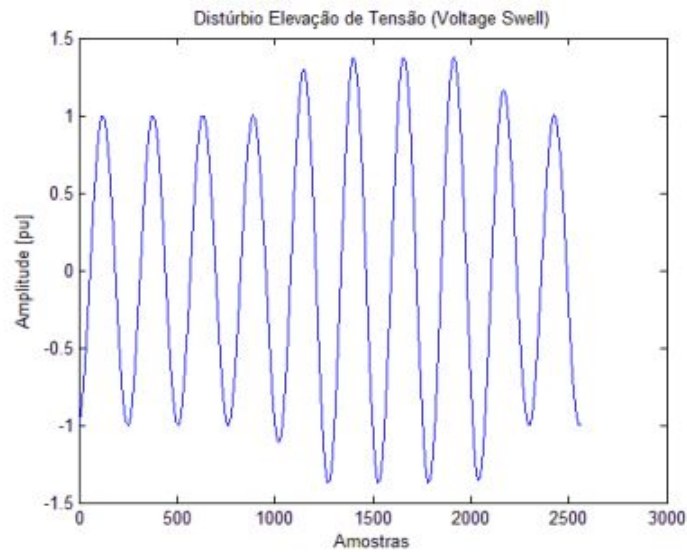


Figura 9 – Elevação de tensão ocasionado por uma falta fase-terra. Fonte: (SANTANA, 2017).

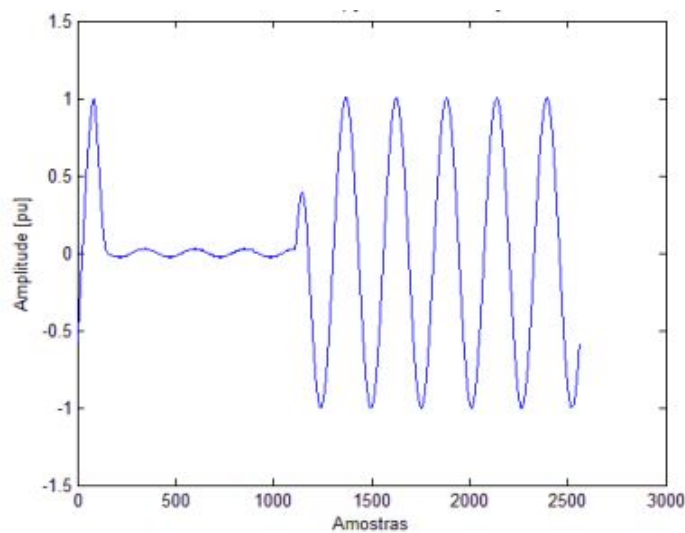


Figura 10 – Interrupção de curta duração ocasionada por curto-circuito. Fonte: (SANTANA, 2017).

2.4.6 Distorção da forma de onda por nível CC

Também conhecido como *DC offset*, tem como característica apresentar tensão ou corrente contínua em um sistema de tensão ou corrente alternada. Ocorre por conta do chaveamento não-ideal dos retificadores de meia-onda. Sua presença no sistema elétrico de potência pode ocasionar a saturação de transformadores, corrosão de eletrodos de aterramento e diminuição da vida útil de equipamentos associados (SANTANA, 2017).

2.4.7 Distorção da forma de onda por Harmônicos

São distorções na forma de onda de tensão ou corrente ocasionadas por frequências múltiplas inteiro da frequência fundamental inseridas na rede por conta de cargas não-lineares (SANTANA, 2017). A figura 11 mostra a distorção harmônica de uma onda senoidal.

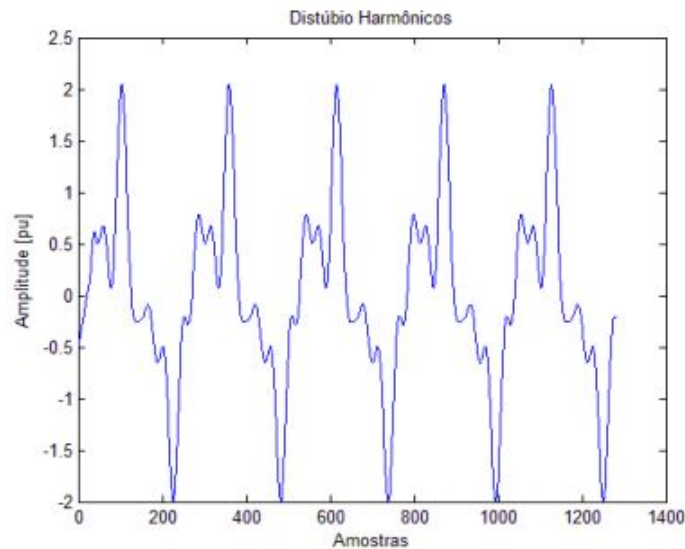


Figura 11 – Distorção harmônica de uma onda senoidal. Fonte: (SANTANA, 2017).

2.4.8 Distorção da forma de onda por Inter-harmônicos

São distorções na forma de onda de tensão ou corrente ocasionadas por frequências cujo não são múltiplos inteiros da frequência fundamental (50 ou 60Hz) inseridas na rede por conta de cargas não-lineares, assim como por conta de rápidas variações não periódicas quando cargas iniciam sua operação na região de transientes até atingir a região de regime permanente. Outra fonte de inter-harmônicos é o chaveamento não sincronizado de sistemas de potência, como conversores estáticos, ciclo conversores, motores de indução ou transformadores operando em saturação (MARZ, 2016).

2.4.9 Distorção da forma de onda por *Notching*

O *notching* ocorre em função do chaveamento de corrente de uma fase para outra em equipamentos de potência. É detectado quando analisa-se o conteúdo harmônico da tensão afetada, possuindo elevados valores de componentes em frequência. A figura 12 exemplifica o fenômeno (SANTANA, 2017).

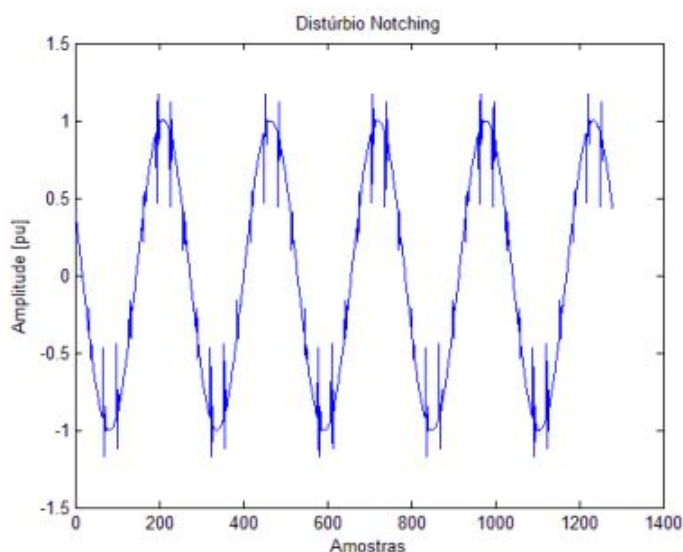


Figura 12 – Distorção da onda por *notching*. Fonte: (SANTANA, 2017).

2.4.10 Distorção da forma de onda por Ruído

O ruído é denotado como um sinal indesejado na largura de banda estudada e caracteriza-se por apresentar conteúdo espectral abaixo de 200KHz e magnitude inferior a 1% da magnitude do sistema em análise. Geralmente, ocorrem por conta de fontes chaveadas, fones retificadoras ou por outros dispositivos eletrônicos em funcionamento (MAIA, 2011).

2.4.11 Flutuação de Tensão

Flutuação de tensão, ou *flicker*, caracteriza-se por apresentar oscilações periódicas no nível de tensão da rede. Pelo PRODIST, módulo 8, tais variações não podem ser superiores a magnitude de tensão entre 0.9 e 1.1 p.u.(ANEEL, 2018).

2.5 Estado da arte

Existem diversos equipamentos comerciais de medição relacionados à medição de qualidade de energia, todos obedecendo as normas que regulamentam a QEE. Dessa forma, equipamentos utilizados para medição de um mesmo sistema podem oferecer resultados iguais, diferentes ou próximos, dependendo da classe de exatidão do equipamento, do processo de amostragem e algoritmos computacionais para a realização dos cálculos. Dentre os diversos fabricantes de medidores de qualidade de energia, dos diferentes tipos, preços e funções, foram analisados 3 equipamentos de modo a observar as grandezas aferidas, frequência de amostragem e ordem de harmônicos aferidos, além de seu preço. Assim, foram analisados os equipamentos UMG 512, Fluke 43B, Minipa ET-5061 e PEL102.

2.5.1 Medidor UMG 512

O medidor UMG 512 da *Choice Energia* realiza a medição com tensões de entrada de 0 a 1KV, com erro de 0.1%, e com corrente variando até 5A, erro de 0.2%. Além disso, possui taxa de amostragem de 25.6KHz e realiza a medição dos parâmetros presentes na norma IEC61000-4-30 de frequência de rede, tensão de rede, *flicker*, frequência, harmônicos, inter-harmônicos, sobretensão, interrupção de tensão, desequilíbrio de tensão, mudanças rápidas de tensão. Adicionalmente, realiza medição de rede de 3 e 4 fases e possui interface de *ethernet*, *Profibus (DSUB-9)* e *RS485* (ENERGIA, 2018). Custa cerca de R\$7.849,01.

2.5.2 Medidor Fluke 43B

O Medidor Fluke 43B da empresa *Fluke* realiza a medição com tensões que variam até 1 KV RMS e corrente de 500 A RMS, com erro de 1%. Ademais, realiza a medição de harmônico até a ordem 51° e realiza a medição de tensão e corrente da rede, frequência, harmônicos e inter-harmônicos, sobretensão, fator de potência, desequilíbrio e variações rápidas de tensão. Realiza também a medição em rede de 3 fases (FLUKE, 2018). Custa cerca de US\$3,725.00.

2.5.3 Medidor Minipa ET-5061C

O Medidor Minipa ET-5061 da empresa Minipa realiza a medição com tensões que variam até 1000 V e corrente de 3000 A, com precisão de 0.5%. Ademais, realiza a medição de harmônico até a ordem 49° e realiza a medição de tensão e corrente da rede, frequência, fator de potência, harmônicos e inter-harmônicos, sobretensão, análise de transitórios, sequência de fase, desequilíbrio e variações rápidas de tensão. Realiza também a medição em rede de 3 fases (??). Custa cerca de R\$21,373.00.

2.5.4 Medidor PEL 102

O Medidor PEL 102 da empresa AEMC realiza a medição com tensões que variam até 1000V e corrente de 1700A, com precisão de 0.2%. Ademais, possui taxa de amostragem de 7.68KHz e realiza a medição de harmônico até a ordem 49° e realiza a medição de tensão e corrente da rede, frequência, fator de potência, harmônicos e inter-harmônicos, sobretensão, análise de transitórios, sequência de fase, desequilíbrio e variações rápidas de tensão. Realiza também a medição em rede de 3 fases (AEMC, 2018). Custa cerca de U\$1,595.00.

2.6 Processamento Matemático

2.6.1 Transformada de Fourier

A Transformada de Fourier é a principal ferramenta matemática para análise de sinais no domínio da frequência que são contínuos no tempo. Foi desenvolvida por Jean-Baptiste Joseph Fourier (1768-1830) em 1807 ([OPPENHEIM; HAMID, 2010](#)).

De forma resumida, para sinais contínuos e periódicos no tempo, utiliza-se a série de Fourier e para sinais aperiódicos, utiliza-se a transformada de Fourier. Assim, a transformada de Fourier é capaz de descrever qualquer sinal aperiódico no tempo em um sinal contínuo e periódico na frequência, de modo que os coeficientes representam a amplitude da série de Fourier e o envelope do sinal a sua transformada. Existem duas possibilidades de análise de sinais em frequência. A primeira consiste na utilização função contínua e analítica no tempo e a segunda na utilização da função discreta. Abaixo, a equação 2.10 representa a fórmula síntese, para a Transformada contínua, e a equação 2.11 a fórmula de análise, Inversa de Fourier. Já a equação 2.12, refere-se a fórmula de análise para a Transformada discreta de Fourier e a equação 2.13 a fórmula de síntese de sua inversa.

$$F(j\omega) = \int_{-\infty}^{\infty} f(t)e^{-j\omega t} dt \quad (2.10)$$

$$f(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(j\omega)e^{j\omega t} d\omega \quad (2.11)$$

$$F(\Omega) = \sum_{n=-\infty}^{\infty} f[n]e^{-j\Omega n} \quad (2.12)$$

$$f(n) = \frac{1}{2\pi} \int_{-\pi}^{\pi} F(\Omega)e^{j\Omega n} d\Omega \quad (2.13)$$

A *Fast Fourier Transform* (FFT) corresponde ao algoritmo otimizado para o cálculo da Transformada Discreta de Fourier (DFT) que podem ser a FFT recursiva, radix-2, radix-3, radix-4. Estes algoritmos reduzem o esforço computacional da DFT de $O(n^2)$ para $O(n \log n)$. De acordo com ([TRINDADE, 2005](#)), com a FFT obtêm-se com elevada precisão a frequência fundamental e harmônicos do sinal, além das amplitudes e fase de sinais em regime permanente. Para otimizar a precisão em transitórios, utiliza-se as técnicas de janelamento, como a janela de Hamming, Hanning, Kasiser ou filtros passa-baixa e passa-alta.

2.6.2 Análise de Pico RMS de meia onda

Uma alternativa de acordo com (MATANA, 2008), foi desenvolvida pela norma IEC61000-4-30 onde os distúrbios como sobretensão e subtensão são identificados quando são analisadas meio ciclo da onda senoidal, obtendo-se seu valor RMS. Por meio dessa técnica, a subtensão é caracterizada quando o valor de tensão eficaz encontra-se abaixo de 90% da tensão nominal verificada e a sobretensão quando o valor eficaz de tensão permanece acima de 110% da tensão nominal. De acordo com (MATANA, 2008), durante a ocorrência desse fenômeno a frequência do sinal pode ser alterada, logo a frequência a ser considerada é a aferida anteriormente à ocorrência dos eventos.

A figura 13 abaixo apresenta o exemplo de como o método caracteriza os distúrbios de sobretensão e subtensão.

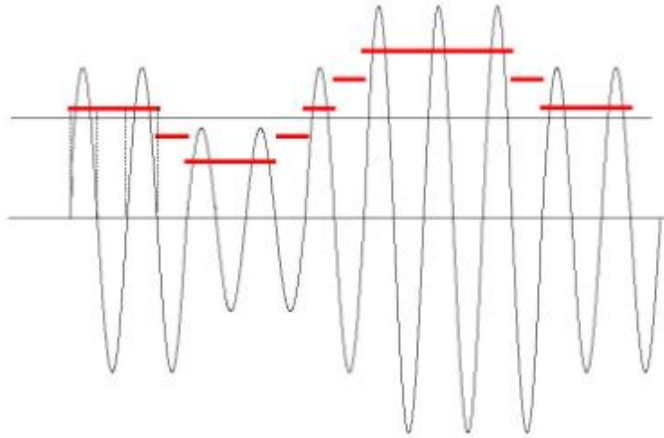


Figura 13 – Caracterização de subtensão e sobretensão considerando a análise de pico de RMS de meia onda. Fonte: (MATANA, 2008).

2.6.3 Cálculo de tensão e corrente RMS

O cálculo destes parâmetros consiste no uso de vetores diferentes onde estão armazenados os valores amostrados a tensão e corrente de fase. A fórmula matemática para a análise matemática de valores discretos de um total N de amostras é expresso pela equação 2.14:

$$Y_{rms} = \sqrt{\frac{\sum_{n=1}^N X[n]^2}{N}} \quad (2.14)$$

Onde Y_{rms} corresponde ao valor RMS resultante, $X[n]$ a amostra de índice n e N o número total de amostras armazenadas.

2.6.4 Cálculo de Potência Ativa

O cálculo da Potência Ativa usando dados discretizados relacionam-se ao produto dos vetores discretos de tensão e corrente dividido pelo número total de amostras. (MATANA, 2008). Isto é observado pela equação 2.15:

$$P_{med} = \frac{\sum_{n=1}^N V[n] * I[n]}{N} \quad (2.15)$$

Onde P_{med} corresponde ao valor de Potência ativa resultante, $V[n]$ e $I[n]$ às amostra de índice n de tensão e corrente respectivamente, e N o número total de amostras armazenadas.

2.6.5 Cálculo de Potência Reativa

O cálculo de potência reativa é semelhante ao de potência ativa, entretanto, testes realizados por (SUHETT, 2008) seguindo orientações da norma IEEE 1459:2000, mostraram que o método para o cálculo de potência reativa no deslocamento de tempo também pode ser aplicado em tempo discreto. Em tempo contínuo, a potência reativa é realizada por meio do produto de tensão e corrente defasada em 90° . Para o tempo discreto, verificou-se que a defasagem de 90° é obtida, por exemplo, deslocando-se 64 amostras sob a taxa de amostragem de 256 amostras por ciclo (MATANA, 2008). Logo para uma taxa de 133 amostras por ciclo, necessita-se deslocar 48 amostras. A equação 2.16 demonstra o cálculo de potência reativa:

$$Q_{med} = \frac{\sum_{n=1}^N V[n] * I[n - 48]}{N} \quad (2.16)$$

Onde Q_{med} é a potência reativa, V_n são as amostra de tensão, $I_n - 48$ a amostra de corrente deslocada e N o total de amostras.

2.6.6 Cálculo de Potência Aparente

Para o cálculo de potência aparente, utilizando-se os conceitos do triângulo de potência, tem-se que a potência aparente é obtida através da equação 2.17:

$$S_{med} = \sqrt{P_{med}^2 + Q_{med}^2} \quad (2.17)$$

Onde P_{med} é a potência ativa, Q_{med} a potência reativa e S_{med} a potência aparente.

2.6.7 Cálculo do Fator de Potência

O fator de potência pode ser calculado pela equação 2.18, de acordo com (MATANA, 2008):

$$FP = \frac{P_{med}}{S_{med}} \quad (2.18)$$

Onde P_{med} é a potência ativa, S_{med} a potência aparente e FP o fator de potência.

2.7 Metodologia para criação de escala de Qualidade de Energia

Até o momento, não existe uma normatização nacional e internacional a respeito de uma metodologia que crie uma escala de qualidade de energia que indique ao consumidor ou ao investidor o nível de confiabilidade de energia fornecida, indicando, por exemplo, a quantidade de minutos de interrupção de determinado mês ou ano.

Uma possibilidade de análise é descrita por (CARVALHO, 2010), em que é realizado um estudo sobre a influência da proteção, da coordenação e seletividade dos elos religador e fusível, na qualidade de energia. Destacam-se os seguintes critérios propostos pelo autor:

- Os eventos são contabilizados de acordo com sua ocorrência no tempo.
- Os afundamentos seguidos de interrupção são contabilizados como Variação de Curta Duração, já que a interrupção é um evento severo.
- Os eventos de Elevações de Tensão seguidos de interrupção são contabilizados individualmente.
- São consideradas elevações de tensão superior a 1,1p.u.
- São considerados afundamentos de tensão inferiores a 0.9p.u.

De acordo com o autor (CARVALHO, 2010), a probabilidade de ocorrência de faltas temporárias situa-se entre 75% a 95% do total de distúrbios. Considerando P como distúrbios permanentes e T como distúrbios temporários, a probabilidade de ocorrência de falta é igual a 100% somando-se estas perturbações, ou seja, a ocorrência do distúrbio é unitária, como mostra a equação 2.19

$$P + T = 1 \quad (2.19)$$

Dessa forma, (CARVALHO, 2010) consideram-se três parâmetros de análise, que representam a média de eventos considerando os pontos de monitoramento, como são observados nas equações 2.20, 2.21 e 2.22 abaixo:

- Afundamentos de Tensão:

$$I_{qat} = \frac{\sum_{m=1}^m I_{qax}}{m} \quad (2.20)$$

- Elevações de Tensão:

$$I_{qet} = \frac{\sum_{m=1}^m I_{qex}}{m} \quad (2.21)$$

- Interrupções:

$$I_{qct} = \frac{\sum_{m=1}^m I_{qcx}}{m} \quad (2.22)$$

Onde I_{qat} corresponde ao índice de impactos de afundamento de tensão; I_{qet} corresponde ao índice de impactos de elevação de tensão; I_{qct} corresponde ao índice de impactos de Interrupção de curta duração e I_m refere-se a quantidade de pontos de monitoramento.

A partir da detecção do evento, registra-se sua duração e valor de tensão para criar o gráfico de Sensibilidade de Carga. A análise desse gráfico indica os eventos que são capazes de sensibilizar a carga em determinado ponto da rede elétrica.

O gráfico de sensibilidade de cargas, é mostrado na figura 14:

2.8 Field Programmable Gate Array (FPGA)

A FPGA é um dispositivo semicondutor que é construído por meio de uma matriz de Blocos Lógicos Configuráveis (CLB) conectados por meio de interconexões programáveis. As interconexões são realizadas através da compilação dos códigos descritos em linguagem de *hardware*, como o VHDL ou Verilog (XILINX, 2018b).

A principal vantagem em se utilizar uma FPGA consiste no fato de seu processamento em paralelo. Algoritmos que são programados por *software* e executados em microprocessadores operam de modo sequencial, ocasionando maior tempo de processamento. Dessa forma, a lógica de programação reconfigurável tem como compromisso preencher a lacuna entre flexibilidade de *hardware* e velocidade de processamento de *software* (HAFNER, 2006).

Esse desempenho superior é possível pela grande disponibilidade de dispositivos com alto desempenho utilizados na FPGA, como por exemplo, elevado número de entradas e saídas (I/O) com mais de 700 pinos, impedância controlada digitalmente, conexões dedicadas para operações em modo diferencial, módulos internos de multiplicadores, blocos de *Pulse Width Modulation* (PWM), registradores dedicados de alto desempenho,

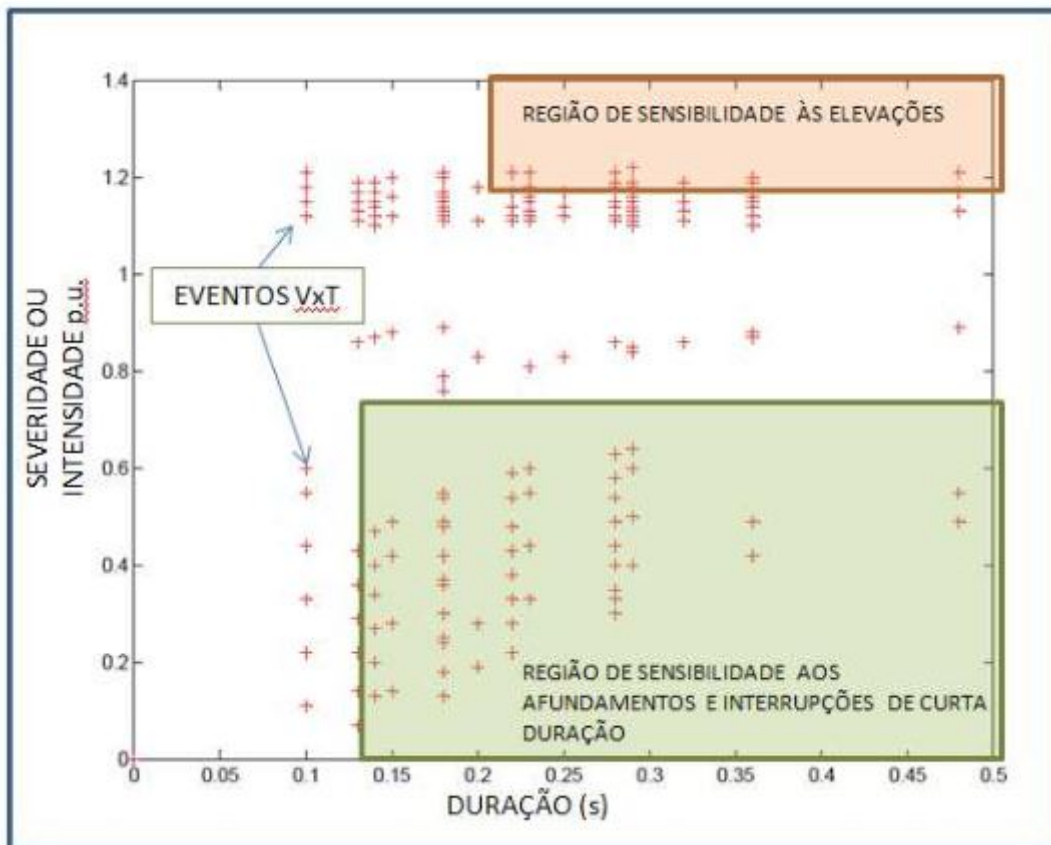


Figura 14 – Gráfico de Sensibilidade de Carga. Fonte: (CARVALHO, 2010).

além de utilizar memória RAM de alta velocidade, perto de 2 Mbits. Somam-se ainda células lógicas que permitem a implementação de processos em memória interna, blocos de processamento de sinais digitais (DSP) dentre outros (HAFNER, 2006). A figura 15 exemplifica a estrutura em que é constituída a FPGA.

Outra vantagem na utilização da FPGA é o uso de *Intellectual Property Cores* (IP-CORE) que possibilita a utilização de soluções desenvolvidas de diversos fornecedores, o que reduz o tempo de projeto, tem-se como exemplo os IP-CORE's para interface de comunicação, FFT, além de microprocessadores e DSP's (HAFNER, 2006).

2.8.1 Metodologia de Projetos usando Lógica Programável por *Hardware*

Um projeto utilizando *hardware* digital deve levar em consideração os custos de fabricação e desenvolvimento de modo a atender o mercado. Para tanto, deve-se seguir os seguintes passos:

- Especificações do projeto;
- Modelagem em linguagem de alto nível;
- Definição da arquitetura;

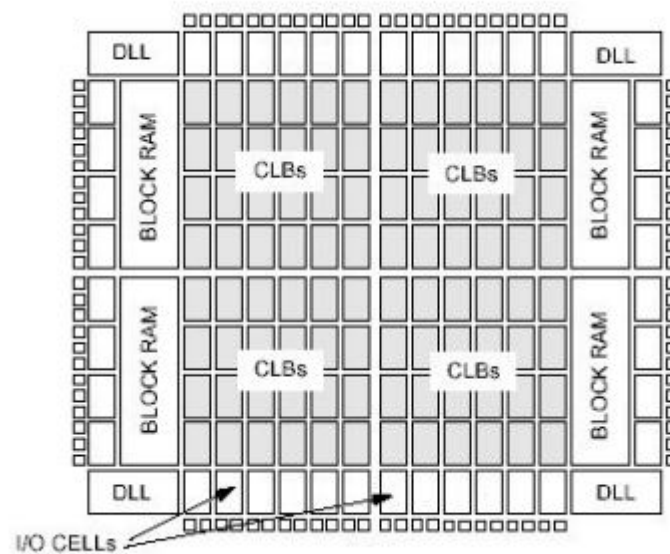


Figura 15 – Estrutura que constitui uma FPGA. Fonte: (INSTRUCTABLES, 2010).

- Descrição do projeto em linguagem de *hardware* (HDL) ou em nível de transferência entre registradores (RTL);
- Verificação;
- Síntese Lógica;
- Prototipagem na FPGA;
- Modelagem física.

2.8.1.1 Especificação, Modelagem e Arquitetura

A especificação é a etapa inicial do trabalho onde são definidos os requisitos de tecnologia a ser utilizada, consumo de energia, tempo de resposta e tamanho da área ocupada pela solução. Já o modelo tem como objetivo validar o algoritmo proposto, geralmente usando linguagem de alto nível com os mesmos componentes da arquitetura, porém com características diferentes como sinais de controle. Por fim a arquitetura refere-se ao modo que a solução será implementada em linguagem de *hardware* e através das etapas de síntese e modelagem física, verifica-se a necessidade de alteração da arquitetura para atingir as especificações do projeto (ARAÚJO, 2015).

2.8.1.2 Modelagem em linguagem de *hardware* (HDL)

A modelagem em HDL é uma abstração que permite descrever o funcionamento de circuitos síncronos RTL. É a parte fundamental do trabalho, pois as especificações,

modelos e arquitetura do trabalho são descritos em *software* para serem implementados em *hardware*. (ARAÚJO, 2015).

2.8.1.3 Verificação

É a etapa que garante, através de simulações, o funcionamento adequado do trabalho que atenda aos requisitos solicitados. A principal metodologia de verificação adotada pelas empresas fornecedoras das plataformas de desenvolvimento da linguagem HDL é através do padrão *Universal Verification Methodology* (UVM). Nesta, definem-se hierarquias e modelos para validação do algoritmo descrito (ARAÚJO, 2015).

2.8.1.4 Síntese Lógica

A síntese lógica possibilita a conversão da linguagem HDL para implementação em células lógicas e registradores. Esse processo necessita como entrada o código RTL, o arquivo com restrição de tempo denominado *Synopsys Design Constraints* (SDC), assim como as bibliotecas que descrevem a temporização das células lógicas que constituem os blocos lógicos. Como resultado de saída, tem-se a biblioteca de fábrica (*netlist*), um arquivo que contém os atrasos de trilha e células, relatório de consumo de energia, consumo de área e temporização dos processos combinacionais (ARAÚJO, 2015).

2.8.1.5 Prototipagem em FPGA

O processo de prototipagem permite a execução de testes de funcionamento dos blocos lógicos internos, além de possibilitar o teste de casos específicos de modo a validar a arquitetura desenvolvida (ARAÚJO, 2015).

2.8.1.6 Modelagem Física

Consiste no processo de modelagem do circuito lógico por meio das CLB's e camadas de metais através da *netlist*. A figura 16 a seguir apresenta as etapas deste processo:

Durante todo o processo de modelagem física ocorre a análise de *time*, para então seguir aos demais processos. O processo de *FloorPlan* define a área de ocupação do projeto, localização das portas de entrada e saída, hierarquia de memória e distância entre os demais blocos lógicos. Já no processo de planejamento de energia são traçados as interconexões que irão alimentar os circuitos lógicos implementados e blocos de memória de modo a garantir o funcionamento correto e evitar a queda de alimentação.

O posicionamento das células lógicas refere-se a disposição física do circuito relativo a arquitetura descrita com o intuito de que as especificações de tempo sejam atendidas, visto que células lógicas perto de pinos de entrada e saída resultam em menor área ocupada e menor temporização. Já a árvore de clock refere-se aos tipos de temporização de *setup*

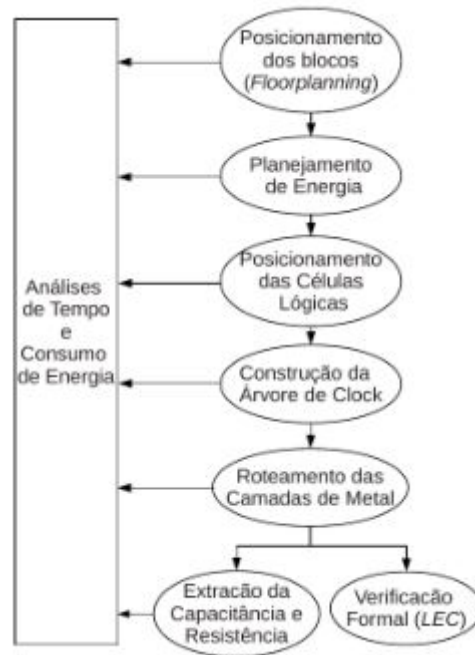


Figura 16 – Processos que compõe a modelagem física. Fonte: (ARAÚJO, 2015).

e *hold*; o primeiro atrela-se ao tempo em que sinal permanece estável antes do próximo período de clock, ou seja, o sinal resultante da lógica combinacional necessita ser menor que o período do clock e o segundo relaciona-se ao conceito de que o sinal deve-se manter estável após o pulso de clock.

Na etapa de roteamento das camadas de metal os blocos lógicos são conectados de modo a diminuir efeitos capacitivos e quebra de protocolos de fabricação. Por fim, a fase de estimativa de consumo de energia indica se ocorre a queda de tensão e densidade de corrente nos roteamentos de metal realizados na etapa anterior, além de prever consumo de energia do projeto quando estiver em atividade (ARAÚJO, 2015).

3 Proposta de Medidor

O protótipo proposto para medir a qualidade de energia será por *hardware* digital. A opção por este tipo de projeto ocorre por suas vantagens, em comparação a outras técnicas analógicas, como tolerância de componentes e variações de temperatura. O sistema microprocessado escolhido, será inicialmente, é a *Field Programmable Gate Array* (FPGA) . Pode-se citar como vantagens da FPGA a sua alta velocidade de processamento, devido a capacidade de realizar processamento paralelo e a reprogramabilidade. A linguagem utilizada para programação será a *Very High Speed Integrated Circuit Hardware Description Language* (VHDL). Dessa forma, o medidor deverá ser capaz de coletar as informações, processá-las e transferi-las para um arquivo no formato *.txt* que será analisado posteriormente no computador. A figura abaixo faz um esboço por meio de diagramas de bloco do funcionamento do medidor. O bloco de sensores contém os componentes relativos a aquisição dos sinais elétricos da rede. Realizada a medição dos sinais, estes passarão pelo bloco de condicionamento de sinais, onde serão retiradas informações desnecessárias, como ruído. Em seguida o sinal será quantizado por um conversor analógico/digital que passará as amostras para processamento na FPGA. Dados serão armazenados em cartão memória para que possam ser verificados no computador pelo *Matlab*. O diagrama de blocos abaixo, figura 17 exemplifica o modelo de arquitetura proposto.

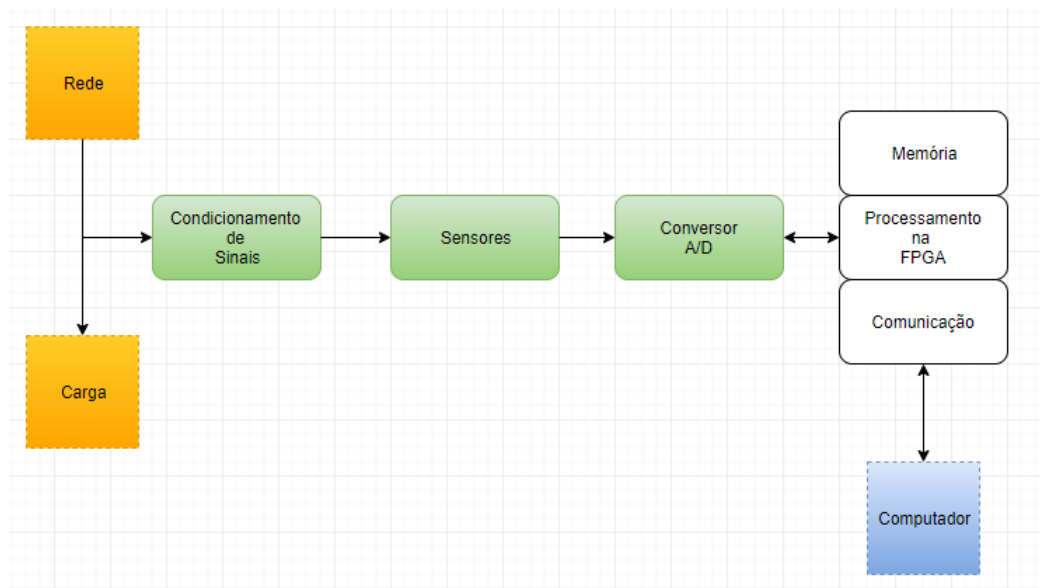


Figura 17 – Diagrama de blocos do medidor proposto. Fonte: do Autor

3.1 Parâmetros e distúrbios analisados

O medidor proposto deve atender os requisitos citados nos itens 2.2.1 e 2.3, relacionados respectivamente, a arquitetura que o medidor de qualidade deve apresentar e normatização brasileira para aferir qualidade da energia. De modo a atender estas exigências, o medidor deve realizar a aquisição das seguintes grandezas elétricas:

- Tensão:

-RMS [V];
-THD[%];

- Corrente:

-RMS(A);
-THD[%];

- Potência:

-Ativa[W] e Reativa [VAR];
-Aparente[VA];
-Fator de Potência[FP];

- Frequência:

E deverá analisar a ocorrência dos distúrbios:

- Transitórios de curta e longa duração

-Afundamentos de tensão;
-Elevação de tensão;
-Interrupção;

3.2 Arquitetura

3.2.1 Fonte de alimentação/Bateria

Necessita-se realizar a conversão da tensão AC fornecida pela rede para DC, de modo a fornecer o valor adequado para a alimentação dos sensores. Na figura abaixo, 18 observa-se modelo de funcionamento do circuito de alimentação, onde Vretificado é a tensão obtida da fonte retificadora que energiza o bloco Regulação. Nesse bloco, há circuitos reguladores que entreguem tensões simétricas de 3.3, 5V e 15V para os sensores. No momento em que ocorrer a indisponibilidade de energia, o relé é chaveado para que o sistema seja alimentado por uma bateria.

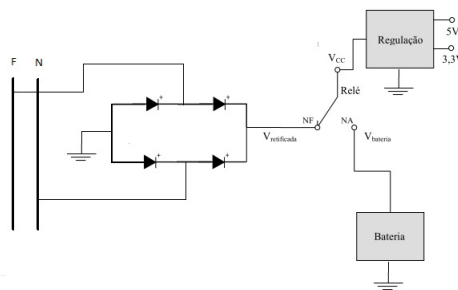


Figura 18 – Circuito de Alimentação. Fonte: adaptado de (CONALGO, 2009).

O bloco de bateria, figura 19, apresenta um circuito que monitora seu estado e realiza sua recarga. A figura abaixo mostra seu funcionamento de modo simplificado. De acordo com (CONALGO, 2009), o CI BQ2000, da *Texas Instruments*, é capaz de monitorar a tensão e realizar a recarga de diversos tipos de bateria, como *NiCd*, *NiMH* e *Li-Ion*, com a utilização de dispositivos passivos em diversas configurações.

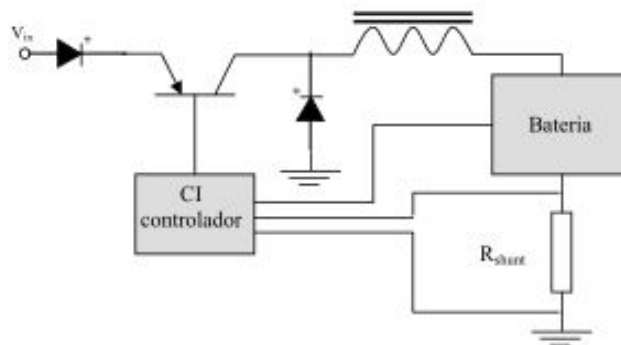


Figura 19 – Circuito de recarga da bateria. Fonte: adaptado de (CONALGO, 2009).

3.3 Condicionamento do sinal

Como o sinal de interesse é a frequência de 60Hz da rede elétrica e, de acordo com o módulo 8 do PRODIST, o medidor deve analisar no mínimo até a 40º componente de frequência, visto que de acordo com (MACHADO; PRADO, 2013), as harmônicas com frequências mais elevadas possuem pequenas amplitudes que não afetam o sistema, e considerando o Teorema de amostragem de Nyquist-Shannon, as grandezas elétricas devem ser amostradas a frequência de 7.68KHz, que corresponde a amostragem de 128 amostras/ciclo. Para simplificação dos cálculos que serão implementados em linguagem de *hardware*, utilizou-se a frequência de amostragem de 8KHz, o que corresponde a aproximadamente a 133 amostras/ciclo.

3.3.1 Filtro *Anti-Aliasing*

Como o sinal de interesse é a frequência de 60Hz da rede elétrica, e sabe-se que a componente máxima de harmônico é a 40ª ordem, tem-se que a frequência de corte do filtro passa-baixa é de 2,4KHz. Assim, optou-se por utilizar um filtro *Bessel* em virtude de algumas de suas características, como atenuação monotônica, ganho unitário, resposta com pouca inclinação em sua banda de passagem. Tais características são otimizadas quando aumenta-se a ordem do filtros. A principal vantagem em utilizar este tipo de filtro reside no fato que esta topologia não apresenta inversão de fase, ou seja, não apresenta atrasos em relação ao sinal de saída do filtro em comparação com o sinal original, assim como não apresenta *ripple*, o que pode ocasionar distorções no sinal original. Entretanto, apresenta como desvantagem uma menor atenuação quando comparado a outros filtros. Além disso, é facilmente implementados por meio de filtros ativos *Sallen-Key*, conforme é observado na figura 20 abaixo, mudando apenas os valores de impedância de resistores e capacitores:

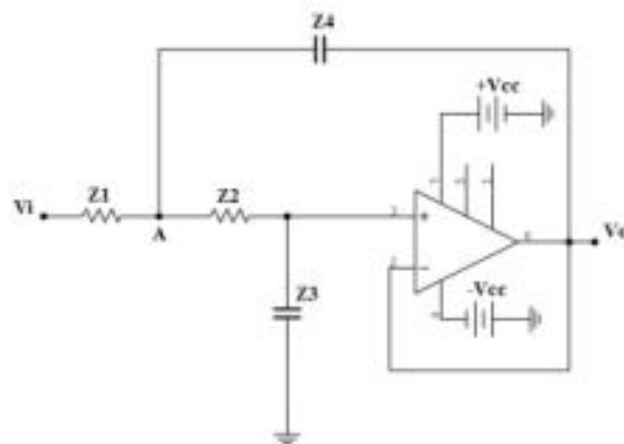


Figura 20 – Filtro Sallen-key. Fonte: adaptado de (DORF; SVOBODA, 2012).

A função de transferência da figura (20), onde $Z1=R1$, $Z2=R2$, $Z3=C1$ e $Z4=C2$ é 3.1:

$$H(s) = \frac{1}{C_1 C_2 R_1 R_2 s^2 + C_2 (R_1 + R_2) s + 1} \quad (3.1)$$

Onde considera-se o fator de qualidade para o obtenção da região plana $Q= 0.8659$ e valores padrão de $Ca1=0.9066nF$ e $Ca2=0.6799nF$ para a frequência de corte de 1 rad/s. De posse dessas informações, escolhe-se o resistor de modo que sejam iguais, para então calcular o capacitor estimado, por meio das equações 3.2 e 3.3:

$$C_{b1} = \frac{C_{a1}}{2\pi f_c} \quad (3.2)$$

$$C_{b2} = \frac{C_{a2}}{2\pi f_c} \quad (3.3)$$

Com isso, calcula-se os valores de capacitor $C1$ e $C2$, pelas equações 3.4 e 3.5:

$$C_1 = \frac{C_{b1}}{R} \quad (3.4)$$

$$C_2 = \frac{C_{b2}}{R} \quad (3.5)$$

Para filtros de ordem maiores, existem valores tabelados para fator de qualidade para frequência de 1 rad/s, como é observado na tabela abaixo 10:

N	W_1	Q_1	W_2	Q_2	W_3	Q_3	W_4	Q_4
2	1,00000	0,577350						
3	1,07869	0,691047	0,985560					
4	1,07890	0,805538	0,962319	0,5521935				
5	1,08504	0,916478	0,962003	0,563536	0,928640			
6	1,09270	1,023331	0,969010	0,611195	0,920141	0,510318		
7	1,10034	1,12626	0,978443	0,660821	0,921478	0,522356	0,904336	
8	1,10046	1,22567	0,982040	0,710853	0,921150	0,559609	0,894187	0,505991

Tabela 10 – Parâmetros para o filtro de *Bessel*. Fonte:(PRINCÍPIOS..., 2015)

Utilizou-se o programa *FilterLab* da fabricante *Microchip*, (MICROCHIP, 2018), para determinar os valores dos componentes do filtro. Para obter a melhor resposta em frequência e de banda passante, utilizou-se o filtro de *Bessel* de 8ª ordem, formado por 4 blocos em cascata de filtros *Sallen-Key* de 2ª ordem. Observaram-se os valores para o filtro ativo, de acordo com a figura 21.

A simulação para obter a resposta em frequência realizada no *Proteus* considerando a frequência de corte de 2,6KHz, visto que o filtro de *Bessel* apresenta uma pequena inclinação em sua banda-passante, e apresenta maiores valores de atenuação quando

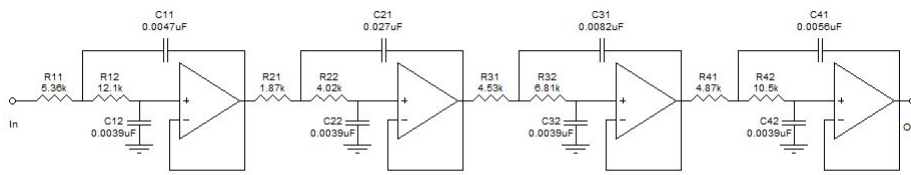


Figura 21 – Filtro de *Bessel*. Fonte: do Autor.

comparado a outras topologias de filtros. Assim, na frequência de corte de interesse, de 2,4 KHz obtêm-se atenuação de aproximadamente 3 dB. Já a atenuação para metade da frequência de amostragem, em 3,84 KHz, é de 19,5 dB, como é visto no no Anexo C do documento.

3.4 Sensores

3.4.1 Sensor de corrente

Existem diversos sensores para medição de corrente que utilizam diferentes métodos aferição, como por exemplo, transdutores indutivos, ópticos, efeito *Hall*, *Shunts* e bobinas de Rogowski. Observou-se que os melhores transdutores para a aplicação são o de efeito *Hall* e transformador de corrente.

O transdutor de efeito *Hall* apresenta a vantagem da precisão, que varia entre 1% e 0.5% e ainda conta com isolamento galvânica, que o protege contra curtos e surtos de corrente. Funciona seguindo o princípio de que, se uma corrente atravessa uma região em que há um campo magnético perpendicular, a corrente é afetada pela força de Lorentz, que distribui a densidade de carga assimetricamente na região, Em função disso, é possível verificar uma diferença de potencial, chamada de de tensão *Hall*. A figura 22 exemplifica seu funcionamento.

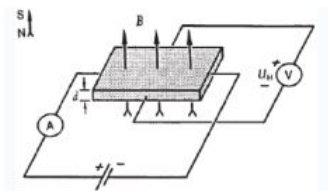


Figura 22 – Funcionamento do sensor *Hall*. Fonte: (CARBONERA, 2013).

Comercialmente, existe o módulo de sensor de corrente por efeito *Hall* que utiliza o CI ACS712 da empresa ALLEGRO que realiza medições de corrente alternada e contínua, bidirecional de até 5A. A figura 23 demonstra o módulo:



Figura 23 – Módulo do sensor de corrente ACS712. Fonte: (INFINITO, 2018).

O fabricante determina que o terminal Vcc está relacionado a alimentação do sensor que varia entre $\pm 4.5V$ e $\pm 5.5V$, resultando em razão de saída $\pm 185 \text{ mV/A}$. O terminal Vout fornece um valor analógico de tensão correspondente ao valor de corrente de entrada. O sensor possui as seguintes características:

- Margem de erro a 25°C de 1,5 % ;
- Medição de $-5A$ a $5 A$ (Valor Nominal);
- Tensão de saída: 185mV/A (tensão nominal);

3.4.2 Sensor de Tensão

Existem diversos sensores para medição de corrente que utilizam diferentes métodos de aferição, como por exemplo, o transformador de potencial, o divisor resistivo e o transdutor de tensão por efeito *Hall*. Observou-se que o melhor transdutor para a aplicação é o de efeito *Hall*, que segue o mesmo princípio de funcionamento descrito anteriormente. Entretanto, para evitar medições alternadas de tensão e corrente, pretende-se adicionar ao

circuito do sensor *Hall* um resistor, de modo que a tensão será proporcional ao produto da resistência pela corrente aferida.

3.5 Conversor Analógico Digital

Como requisito da norma, o conversor deve possuir pelo menos 12 *bits*, o que proporciona 4096 valores possíveis para tensão. Comercialmente existem os conversores MCP3102 e o ADS1015 que comunicam-se com microcontroladores, respectivamente através de *SPI* e *I2C*. Outra solução é utilizar o próprio conversor A/D presente na FPGA ou, caso não seja possível utiliza-lo, implementar o conversor na FPGA, através de um conversor sigma-delta. De acordo (PEDONI, 2004), o conversor sigma-delta é uma uma solução complexa que utiliza componentes da sinalização diferencial de baixa tensão (*Low-Voltage Differential Signaling - LVDS*) utilizada para comunicação de dispositivos em alta velocidade. A figura 24 abaixo mostra o digrama de blocos para aplicação na FPGA.

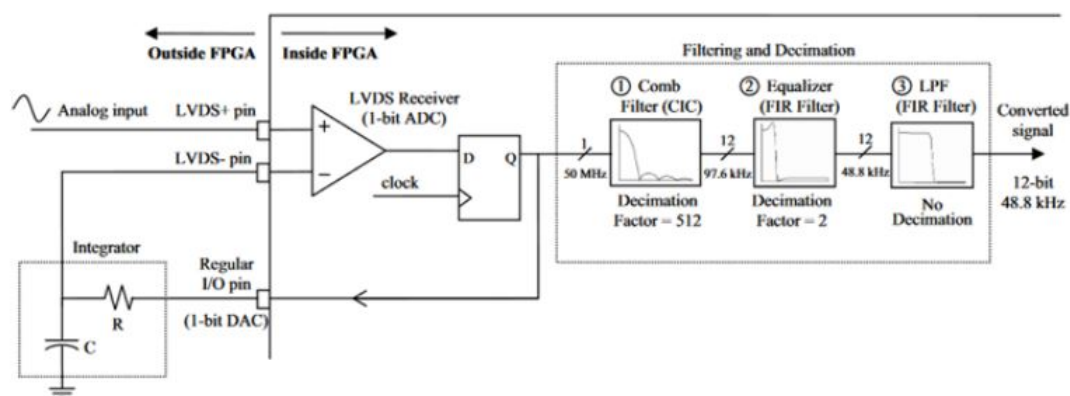


Figura 24 – Diagrama de blocos do conversor Sigma-delta para FPGA. Fonte: (PEDONI, 2004).

3.6 FPGA

A opção por utilizar a FPGA está relacionada a sua arquitetura reconfigurável que permite, por meio de seus blocos funcionais e interfaces específicas, a divisão de tarefas de modo que podem ser adicionados gradativamente ao longo do desenvolvimento do projeto. Além disso, permite o processamento paralelo, aumentando assim a velocidade de processamento de determinada aplicação.

Adicionalmente, existem no mercado várias FPGA's que apresentam características específicas, como por exemplo, controle de impedância digital, multiplicadores internos, blocos de *Pulse Width Modulation* (PWM), registradores de alto desempenho e

memória *RAM 2 Mbit*, além de células lógicas que permitem a execução de programas em memória interna (HAFNER, 2006).

O principal elemento que constitui a FPGA é o bloco lógico que possui o *Look Up Table* (LUT) que contém entradas que podem ser programadas e associadas a pequenos blocos de multiplexadores e somadores, de modo que a combinação destes criam funções lógicas complexas. Tem-se também componentes de *Buffer*, banco de memórias, blocos de *Phase Locked Loop* (PLL) que permitem ao usuário, por meio de alguma linguagem de programação, descrever o hardware para determinada aplicação embarcada.

Para o desenvolvimento do protótipo, será utilizada a FPGA *Basys3 Artix-7*. Esse kit de desenvolvimento possui, ilustrado na figura 25, possui 5 *push-buttons*, 16 *switches*, 4 *displays* de 7-segmentos, 16 *leds* e outros periféricos descritos na figura (DIGILENT, 2018a).

O modelo usado da *Basys3 Artix-7* (XC7A35T-1CPG236C) possui 32,280 blocos lógicos, e cada LUT possui 6 entradas e 8 *flip-flops*. Além disso, possui um conversor analógico digital de 12 bits, com *range* entre 0 a 1V. O modelo também conta com 5 *clocks* e 5 PLL's, porta *USB* e demais periféricos. Para esta FPGA da *Xilinx*, o ambiente de programação de hardware é o *Vivado Design Suite* (DIGILENT, 2018a).

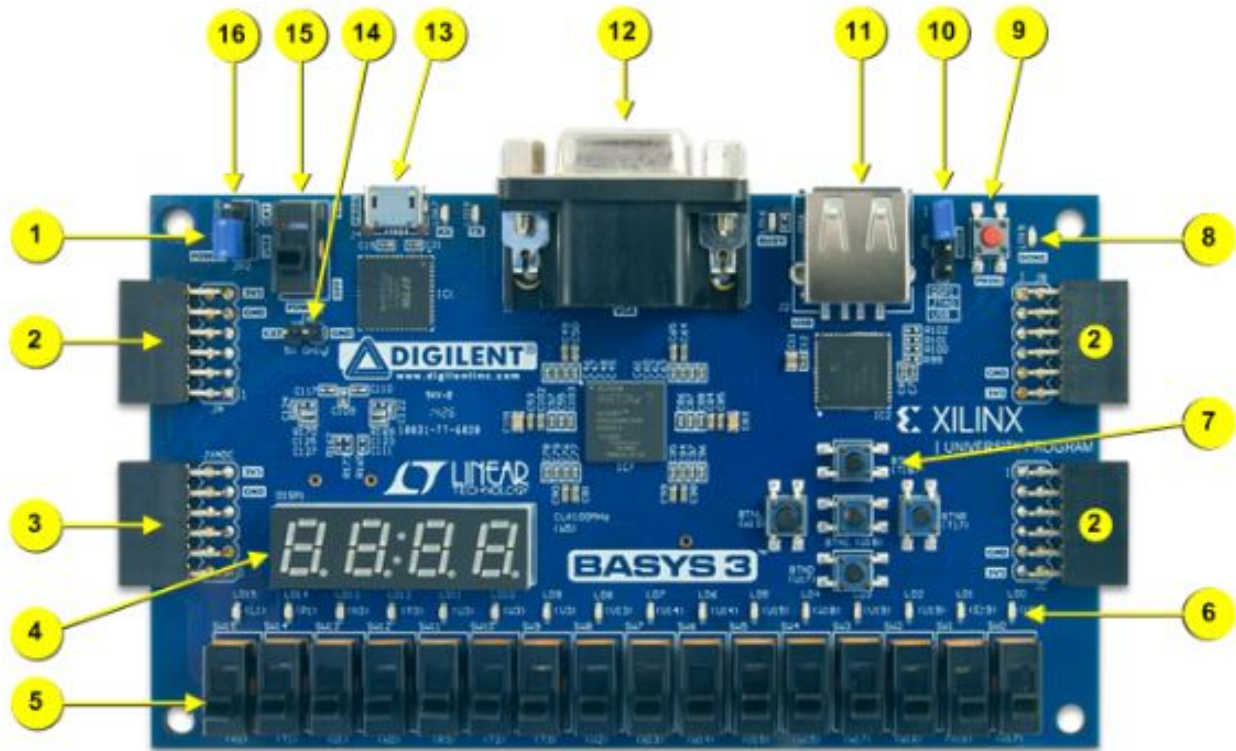


Figure 1. Basys3 board features

Callout	Component Description	Callout	Component Description
1	Power good LED	9	FPGA configuration reset button
2	Pmod connector(s)	10	Programming mode jumper
3	Analog signal Pmod connector (XADC)	11	USB host connector
4	Four digit 7-segment display	12	VGA connector
5	Slide switches (16)	13	Shared UART/JTAG USB port
6	LEDs (16)	14	External power connector
7	Pushbuttons (5)	15	Power Switch
8	FPGA programming done LED	16	Power Select Jumper

Figura 25 – FPGA Basys3 Artix-7. Fonte: (DIGILENT, 2018a).

4 Desenvolvimento do Medidor

Neste capítulo será apresentado as implementações em *hardware* programável e em *hardware* do medidor. A implementação em *hardware* programável refere-se aos blocos descritos em linguagem de *hardware* na FPGA, enquanto a implementação em *hardware* refere-se ao circuito físico para condicionamento de sinais. Os códigos serão disponibilizados através do repositório do *Gitlab* a partir do seguinte *link*: https://gitlab.com/douglas_aves/medidor.

4.1 Implementações em *Hardware* Programável

As implementações em *Hardware* Programável foram divididas no uso do conversor A/D interno da FPGA, módulo de aquisição e comunicação SPI ou UART para gravação de dados no cartão de memória.

4.1.1 Módulo Conversor A/D

O módulo do conversor A/D consiste na utilização do conversor interno da FPGA, o XADC de 12 bits com capacidade de amostragem de até 1,000,000.00 de Amostras por Segundo (MSPS), além de possuir vários modos de captura de sinais analógicos e configurações de registradores. Serão discutidos alguns dos itens importantes para a configuração do XADC neste tópico, já que existem 64 registradores de 16 bits para controle. A figura 26 demonstra o esquemático de funcionamento relativo às portas do conversor, cujas funcionalidades estão descritas em uma tabela presente no anexo D.

De acordo com a fabricante, (XILINX, 2018a), a tensão analógica máxima suportada é de apenas 1V, logo o Fundo de Escala (FSR) para quantização também é 1V. Assim, a resolução deste conversor pode ser expressa pela equação 4.1:

$$LSB = \frac{1}{2^N - 1} = \frac{1}{2^{(12)} - 1} = \frac{1}{4095} = 244\mu V \quad (4.1)$$

Ou seja, cada passo de um dos 4096 possíveis valores de 0 a 1V corresponde a 244uV, como pode ser observado na figura 27. O maior erro de quantização, expressa em porcentagem, corresponde a metade do valor da resolução. Desse modo, para o XADC, o maior erro de quantização corresponde a 0.01221% que é identificado pela fórmula 4.2:

$$LSB = 100\% \cdot \frac{1}{2} \cdot \frac{1}{2^N - 1} = 100\% \cdot \frac{1}{2} \cdot \frac{1}{2^{(12)} - 1} = 100\% \cdot \frac{1}{2} \cdot \frac{1}{4095} = 0.01221\% \quad (4.2)$$

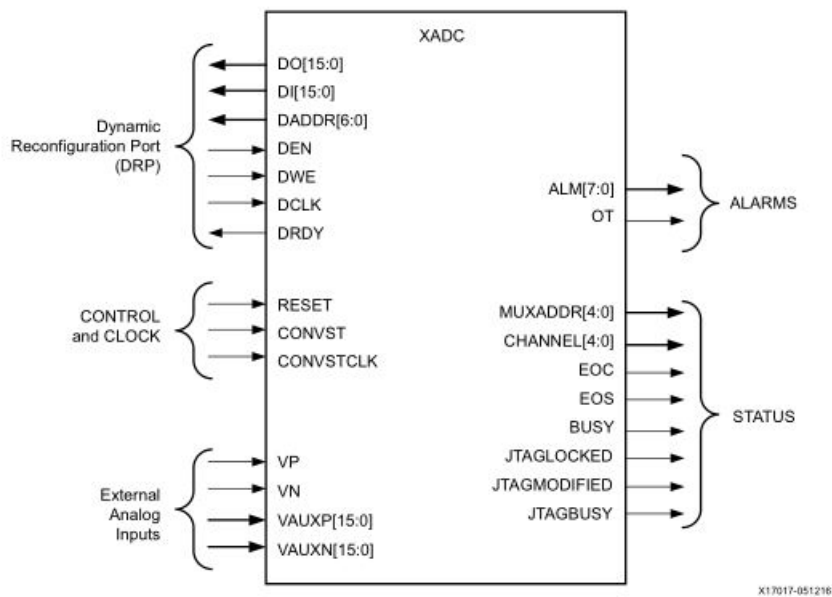


Figura 26 – Esquemático das portas de entrada e saída do conversor XADC. Fonte: (XILINX, 2018a).

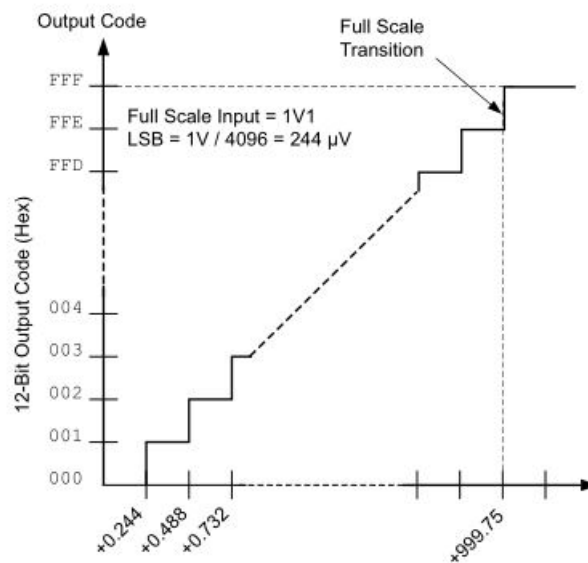


Figura 27 – Quantização de uma entrada analógica para o fundo de escala de 1V. Fonte: (XILINX, 2018a).

Deve-se também considerar a Relação Sinal-Ruído de Quantização (SQNR) que reflete a interação entre intensidade máxima do sinal estudado e o erro de quantização. Como o sinal de estudo é um sinal senoidal, descrito por $V(t) = A\sin(2\pi \cdot f \cdot t)$, a potência do sinal de entrada é encontrada pela equação 4.3:

$$P = \frac{1}{2\pi} \int_0^{2\pi} A\sin^2(2\pi \cdot f \cdot t) dt = \frac{A^2}{2} \quad (4.3)$$

A potência de ruído de quantização é expressa por 4.4, onde q é espaçamento de quantização do fundo de escala, LSB:

$$\frac{q^2}{12} \quad (4.4)$$

Realizando a divisão da potência de sinal e a potência do ruído de quantização, encontra-se a relação SQNR em dB , como é mostrado na equação 4.5:

$$SQNR(dB) = 10 \cdot \log\left(\frac{A^2}{\frac{q^2}{12}}\right) = 10 \cdot \log\left(3 \cdot \frac{2^{2N}}{2}\right) = 6,02 \cdot N + 1,72 dB = 6,02 \cdot 12 + 1,72 = 74 dB \quad (4.5)$$

Observa-se que para o conversor de 12 *bits* e sinal de entrada senoidal, a relação SQNR é de 74 dB . Isso significa que o XADC da FPGA é menos susceptível a interferência e a presença de ruído na detecção do sinal analógico, visto que a potência do sinal de entrada é superior à potencia calculado do ruído de quantização.

O XADC interno da *Basys3* pode funcionar em dois modos de aquisição de sinais: o modo unipolar e o modo bipolar. O modo unipolar é o modo *default* setado pelos registradores internos e quando está em funcionamento, possui fundo de escala de 0 a 1V, entretanto, o amplificador operacional das entradas analógicas atua em amostragem diferencial no modo de rejeição comum, de modo a minimizar os ruídos de entrada do sistema, porém modificando o fundo de escala, como pode ser observado na figura 28.

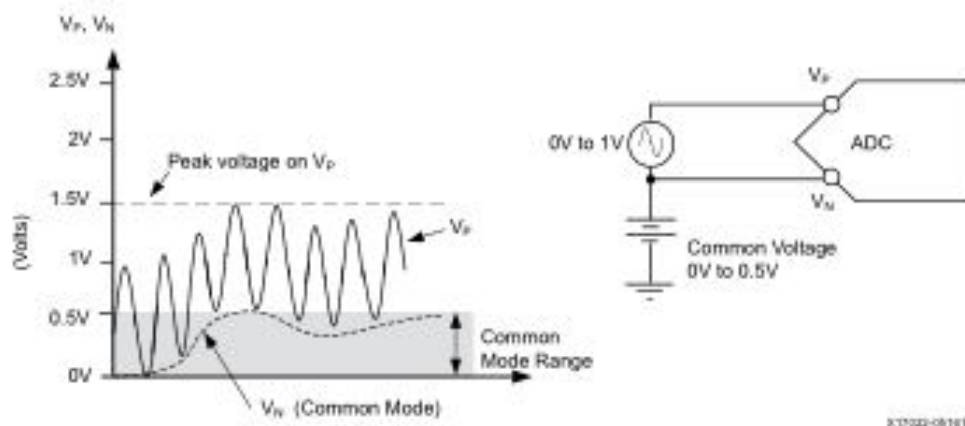


Figura 28 – Modo de rejeição comum do XADC. Fonte: (XILINX, 2018a).

Já quando o XADC está configurado no modo Bipolar, o fundo de escala varia entre -0.5 a 0.5V que pode variar se uma tensão de referência for adotada. Este modo de captura de sinal é menos susceptível a ruído, visto que o modo diferencial consegue anula-lo. O exemplo de utilização do modo bipolar é observado na figura 29 e será o modo de aquisição utilizado no trabalho.

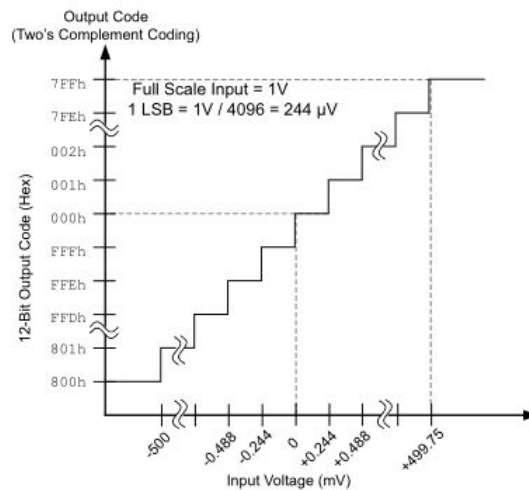


Figura 29 – Configuração Bipolar do XADC. Fonte: (XILINX, 2018a).

É importante ressaltar que o módulo XADC também apresenta erros de conversão com o aumento de temperatura, como pode ser observado pela equação 4.6 que pode ser minimizado controlando-se o ganho e *offset* setados nos registradores de controle 0x32 e 0x09 respectivamente (XILINX, 2018a).

$$Voltage = 10 \cdot \frac{k \cdot T}{q} \cdot \ln(10) \quad (4.6)$$

Onde k é a constante de *Boltzmann*, T a temperatura em *Kelvin* e q é a carga do elétron.

Vale destacar que além das características citadas acima, há também outros fatores que precisam ser destacados. Tem-se, por exemplo, a seleção do *clock* de entrada do conversor para referenciar sua frequência de amostragem. Como *clock* interno da *Basys3* é de 100MHz, isto equivale como frequência de amostragem no XADC de 1 MSPS, entretanto no registrador de controle 0x42, a sinalização de frequência interna da FPGA mínima é dividida por 2. Como utilizou-se o IP-Core do conversor A/D, com frequência de entrada de 26MHz, por padrão a frequência de amostragem é de 13MHz. Além disso, há registradores que habilitam a temperatura máxima suportada pelo conversor, e no momento em que o limite é ultrapassado, o dispositivo é desligado. Pode-se também limitar a tensão dos canais auxiliares que verificam a tensão máxima de entrada, assim como pode-se definir o critério de aquisição se sinais, seja por detecção de eventos ou modo contínuo. A figura 30 apresenta o exemplo de um pseudo-código de configuração dos registradores de controle do módulo XADC que estão melhores descritos no *datasheet* da fabricante (XILINX, 2018a).

Deve-se destacar que o resultado da conversão A/D é entregue em um registrador de 16 bits. Dessa forma, é possível utilizar apenas os 12 primeiros bits mais significativos

```

XADC #(
    // Initializing the XADC Control Registers
    .INIT_40(16'h9000), // Calibration coefficient averaging disabled
    // averaging of 16 selected for external channels
    .INIT_41(16'h2ef0), // Continuous Sequencer Mode, Disable unused ALMs,
    // Enable calibration
    .INIT_42(16'h0400), // Set DCLK divider to 4, ADC = 500Ksps, DCLK = 50MHz
    .INIT_48(16'h4701), // Sequencer channel - enable Temp sensor, VCCINT, VCCAUX,
    // VCCBRAM, and calibration
    .INIT_49(16'h000f), // Sequencer channel - enable aux analog channels 0 - 3
    .INIT_4A(16'h4700), // Averaging enabled for Temp sensor, VCCINT, VCCAUX,
    // VCCBRAM
    .INIT_4B(16'h0000), // No averaging on external channels
    .INIT_4C(16'h0000), // Sequencer Bipolar selection
    .INIT_4D(16'h0000), // Sequencer Bipolar selection
    .INIT_4E(16'h0000), // Sequencer Acq time selection
    .INIT_4F(16'h0000), // Sequencer Acq time selection
    .INIT_50(16'hb5ed), // Temp upper alarm trigger 85°C
    .INIT_51(16'h5999), // Vccint upper alarm limit 1.05V
    .INIT_52(16'ha147), // Vccaux upper alarm limit 1.89V
    .INIT_53(16'h0000), // OT upper alarm limit 125°C using automatic shutdown
    .INIT_54(16'ha93a), // Temp lower alarm reset 60°C
    .INIT_55(16'h5111), // Vccint lower alarm limit 0.95V
    .INIT_56(16'h91Eb), // Vccaux lower alarm limit 1.71V
    .INIT_57(16'hae4e), // OT lower alarm reset 70°C
    .INIT_58(16'h5999), // VCCBRAM upper alarm limit 1.05V
    .INIT_5C(16'h5111), // VCCBRAM lower alarm limit 0.95V
    .SIM_MONITOR_FILE("sensor_input.txt")
    // Analog Stimulus file. Analog input values for simulation
)

```

Figura 30 – Pseudo-código de Configuração Bipolar do XADC. Fonte: (XILINX, 2018a).

como dado digital e os 4 demais bits utilizados para minimizar o erro de quantização, aumentado dessa forma a resolução do conversor. A figura 31 demonstra a ordem dos bits mais significativos para os de menor valor, além dos endereços onde este registrador está armazenado na FPGA.

DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8	DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
DATA[11:0]												Note			

Status Registers
DADDR[6:0] = (00h-07h, 10h-2Fh)
X17019-051616

Figura 31 – Registrador que armazena o resultado de conversão do XADC. Fonte: (XILINX, 2018a).

Feitas estas considerações, para o XADC foi configurado da seguinte modo: o *clock* interno de 26MHz foi utilizado como referência e então dividido por 2 de modo a obter a frequência de amostragem de 13MHz. Como deseja-se aferir o sinal de analógico de modo contínuo, foi setado no registrador 0X40 de controle o bit EC', ademais configurou-se o modo de aferição bipolar por meio do bit BU' do registrador anterior. Realizou-se também o ajuste de média de amostras, ou seja, o XADC realiza a contabilidade de determinado número de amostras e retira a média como dado digital de saída. Dessa forma, optou-se por realizar a média de 256 amostras, o que significa o dobro da amostragem desejada, o que evita a oscilação dos bits menos significativos no momento de aquisição e transferência de dados do conversor A/D. Para capturar os sinais analógicos, foram utilizadas as entradas

externas V_{auxn} e V_{auxp} em modo de rejeição comum, onde V_{auxp} corresponde aos sinal de referência positiva e V_{auxn} ao sinal de referência negativa.

4.1.2 Medidor

O medidor proposto baseia-se na utilização do conversor citado anteriormente, além de outros 5 blocos: divisor de frequência, conversor binário para digital, *display* 7 segmentos, registradores e o módulo de comunicação *UART* que serão explicados nos próximos subitens. A figura 32, demonstra o esquemático da arquitetura do medidor:

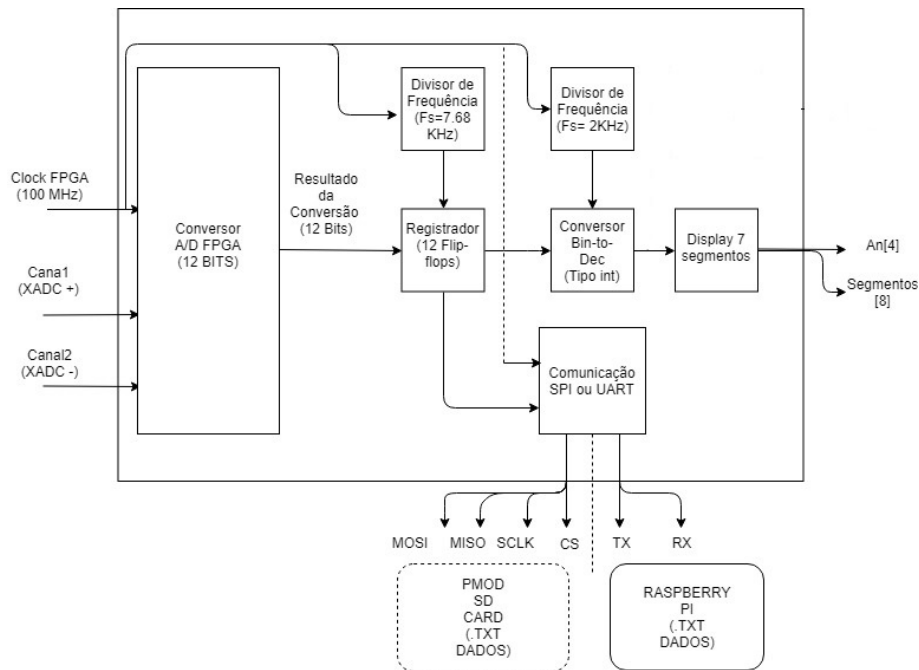


Figura 32 – Esquemático da arquitetura do medidor. Fonte: Do Autor.

No esquemático da arquitetura, observa-se que após o sinal analógico ser convertido para sinal digital, este é armazenado no bloco Registrador composto por 12 *Flip-Flops* que são acionados a partir da detecção de um evento de subida no divisor de frequência. No momento em que o evento é detectado, o dado é armazenado *bit-a-bit* nos *flip-flops* que serão enviados para o módulo de comunicação para que sejam gravados em um arquivo *txt*. Para visualização do dado coletado, este é convertido de binário para decimal no bloco Conversor *Bin-to-Dec*. Neste, os 12 bits recebidos são quantificados em suas respectivas potências de base dois seguindo a ordem de LSB par MSB. Ressalta-se que a opção de utilização do modo bipolar implica que o *bit* MSB indica o sinal do dado. Após convertido, a informação é disposta no *display* e sua intensidade nos *Leds*. Os blocos de divisão de frequência coordenam a lógica de armazenamento e visualização. O primeiro corresponde ao divisor que possui a frequência de amostragem desejada e o segundo a frequência de oscilação para multiplexação dos *displays* de 7 segmentos. No momento em que o dado é transferido no bloco de comunicação, seja por SPI ou UART, este é armazenado em

arquivo de texto para análise posterior, seja diretamente no cartão de memória ou por meio da *RaspberryPi*.

4.1.3 Divisor de Frequência

Os divisores de frequência foram implementados de forma cíclica, ou seja, após atingir determinado valor relativo a divisão de frequência, este é zerado e reinicia-se o processo. Abaixo, pela figura 33, o fluxograma do divisor de frequência que será implementado dentro de um processo em VHDL:

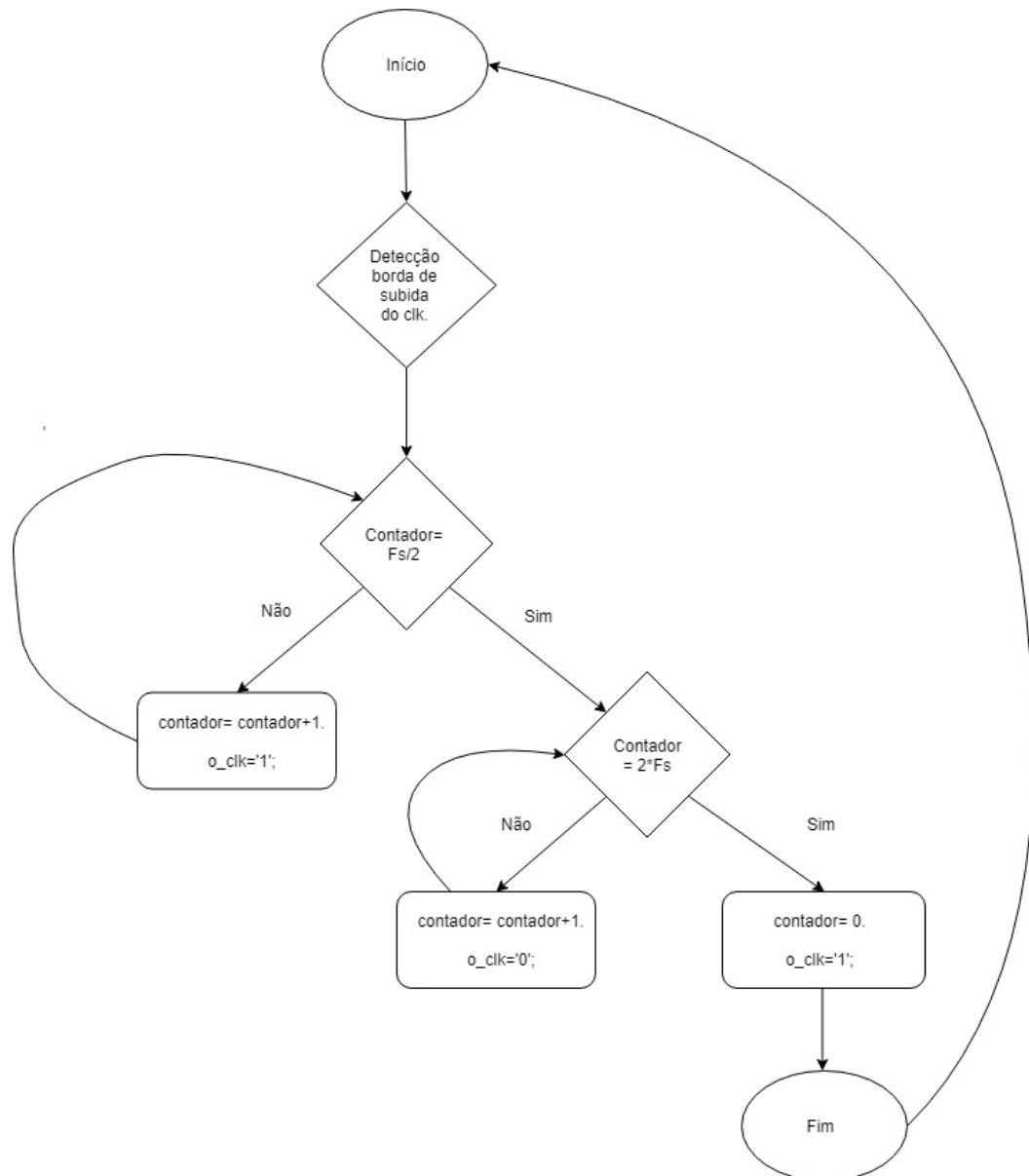


Figura 33 – Fluxograma do divisor de frequência. Fonte: Do Autor.

Sabe-se que a frequência do *clock* interno da FPGA é de 100 MHz. Para que obtenha-se a frequência de amostragem desejadas de 7.68 KHz e 2 KHz, deve-se dividir a frequência do oscilador por um número interno, seguindo a seguinte equação 4.7:

$$Divisor = \frac{clock}{2 * inteiro} \quad (4.7)$$

Dessa forma, para obter-se a frequência de 7.68 KHz, deve-se dividir o oscilador pelo número 6,510, entretanto para evitar esta frequência não inteira, optou-se por usar a frequência de amostragem de 8KHz, logo o número usado no divisor é de 6250. Já para obter a frequência de 2KHz, deve-se dividir o *clock* por 25,000. No próximo capítulo serão apresentados os resultados de simulação e verificação no osciloscópio para validação.

4.1.4 Registradores

Tem-se que o conversor A/D está funcionando com taxa de amostragem superior à desejada, visto que pretende-se usar o processo de *oversampling* como método de filtragem, que será explicado nos próximos tópicos. Logo, de modo a obter-se as amostras na frequência de amostragem desejada, foram descritos 12 *flip-flops* tipo D para que as amostras fossem armazenadas nestes registradores de transferência de dados em paralelo, e posteriormente na variável de sinal *ADCslowintoon* de 12 bits, para ser utilizada nos demais blocos que necessitam do sinal convertido. A figura 34 mostra o diagrama de blocos do circuito do registrador:

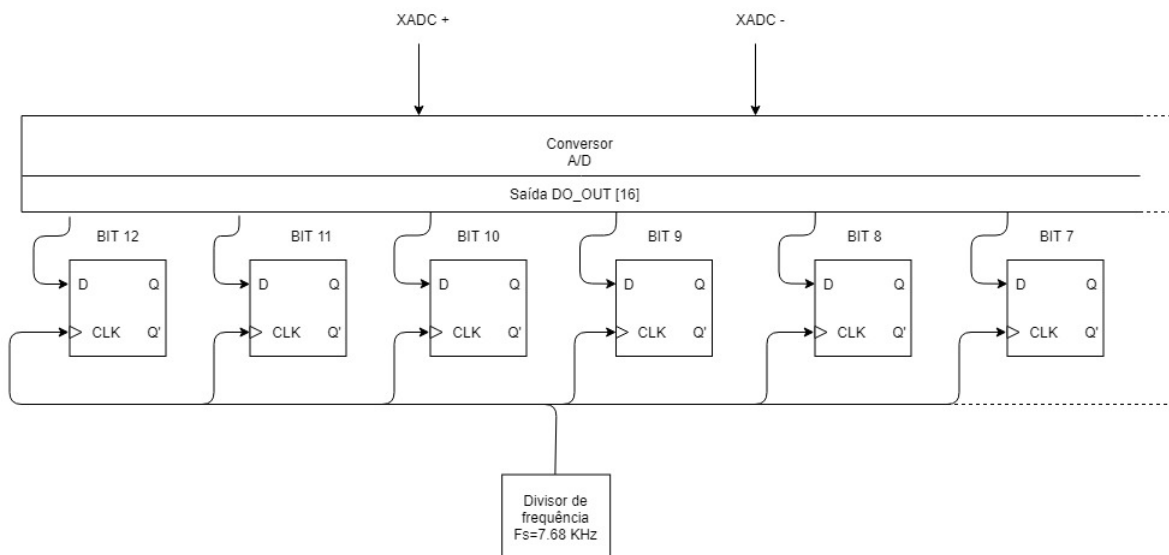


Figura 34 – Diagrama de blocos do circuito Registrador. Fonte: Do Autor.

Ressalta-se que a saída do conversor A/D é de 16 *bits*, entretanto pode-se utilizar os 12 *bits* mais significantes como dado digital de saída e, caso necessário, utilizam-se os demais *bits* para melhorar a precisão do conversor (XILINX, 2018a). Dessa forma, o registrador foi configurado para armazenar as amostras convertidas no momento em que a borda de subida do divisor de frequência for detectada, alterando seu valor de saída 'Q' dos *flip-flops* na próxima transição de subida do *clock* usado como referência.

4.1.5 Conversor Binário para Decimal

Este bloco utiliza como entrada os 12 *bits* advindos do bloco registradores e realiza a conversão dos 4096 possíveis valores para decimal e gera como saída quatro vetores com quatro posições, respectivas à unidade (LLSB), dezena (LSB), centena (MSB) e unidade de milhar (MMSB) e uma variável lógica denominada de BITSIGNAL, cujos serão utilizados pelo módulo *display*. De modo a evitar os efeitos da rápida transição de valores dentro do processo, utilizou-se variáveis estáticas respectivas aos mesmos nomes dos sinais dos valores convertidos citados acima. O diagrama deste bloco é observado pela figura 35 abaixo:

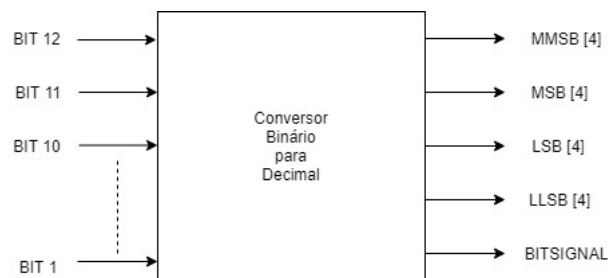


Figura 35 – Diagrama de bloco do Conversor Binário para Decimal. Fonte: Do Autor.

Sabe-se que o conversor da FPGA será configurado para atuar no modo bipolar, com isso a quantização do sinal estará na faixa entre -2048 a 2047. Dessa forma, o *bit* mais significativo será utilizado como bit de sinal, indicando se o valor de conversão é positivo, caso '0', ou negativo, caso '1', e os demais serão usados para a conversão do sinal, sendo que na fase positiva, a ordem de conversão é crescente, ou seja, de 0x000 a 0x7FF, e na fase negativa a ordem é decrescente, de 0xFFF a 0x800, como é observado na figura 29.

A rotina de conversão de binário para decimal é realizada da seguinte forma: ao receber os 12 *bits* de entrada, analisa-se o MSB do vetor, relativo a fase positiva ou negativa do sinal, que é repassada para uma variável de saída BITSIGNAL. Essa análise é importante, pois facilita a identificação do dado de entrada para a escrita em arquivo e para visualização no *display* de 7 segmentos que indicará o sinal da forma de onda acendendo o *decimal pointer*. Realizada esta etapa, armazena-se em uma variável estática o valor decimal resultante da soma dos *bits* em potência de 2 de suas respectivas posições, para então encontrar os valores de unidade, dezena, centena e unidade de milhar. Sabe-se que no modo bipolar o maior algarismo positivo possível é 2047 e negativo -2048, logo a unidade de milhar máxima é o número dois. Sabendo disso, implementa-se um laço *for-loop* de 1 a 2 de modo que o valor do contador seja decrementado em mil (uma unidade de milhar) caso o valor armazenado no contador seja maior que zero e menor que 1000, ao mesmo tempo que a variável MMSB é incrementada em 1. Ao final do *loop*, encontra-se o valor do MMSB e o contador possui agora o restante dos algarismos. Para encontrar a centena, dezena e unidade, é aplicada a mesma lógica anterior, porém alterando o *loop*

de 1 até 9 e decrementando o contador em 100 para encontrar a centena e em 10 para achar a dezena, logo o restante refere-se à unidade. A figura 36 apresenta o fluxograma do conversor.

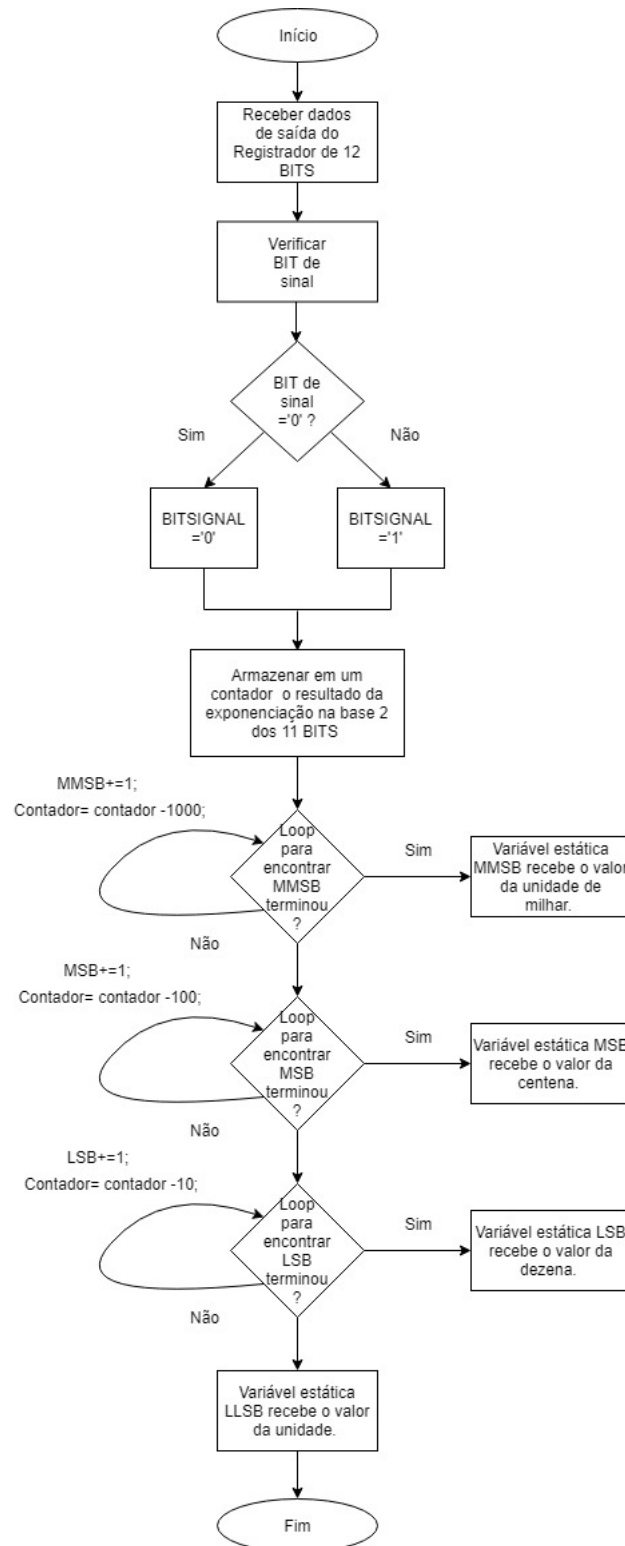


Figura 36 – Fluxograma do bloco Conversor Binário para Decimal. Fonte: Do Autor.

4.1.6 Display

Para verificação e validação parcial do valor convertido pelo XADC, implementou-se o módulo *display*. Este tem como entrada o valor de 12 *bits* do conversor, o *clock* interno da FPGA, além de duas variáveis lógicas de controle, a VALID e SIGN; e como saída os vetores lógicos relativos ao display de 7 segmentos e a ativação dos ânodos dos quatro *displays*. A figura 37 exemplifica o bloco.

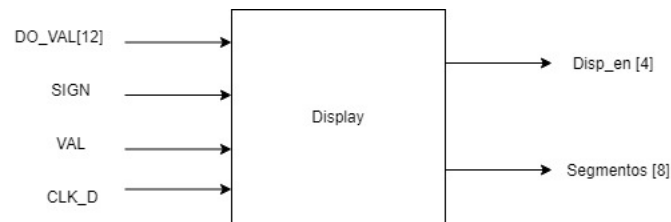


Figura 37 – Diagrama de bloco do Display. Fonte: Do Autor.

A multiplexação dos *displays*, é realizada utilizando-se o bloco de divisor cíclico de frequência para 2KHz. Esta frequência foi escolhida, porque é superior a frequência média percebida pelo olho humano, que é próximo a 60 Frames por Segundo (FPS), assim há a comutação entre os quatro *displays* de modo que a percepção visual os mostre todos acessos, além de realizar a economia de energia e potência dissipada da FPGA. Os *displays* serão ativados de acordo com a variação do vetor de duas posições denominado Cont_dig que é incrementado a cada borda de subida identificada do *clock* gerado pelo divisor. Com dois bits, são possíveis quatro permutação, de zero à três, por consequência será associado um *display* para cada variação através da variável de saída Disp_en. Ressalta-se que para ligar um *display*, o fabricante recomenda que os ânodos serão ativados em nível lógico baixo, assim como os cátodos (??). Isto posto, associou-se a ordem dos algarismos em cada *display*, por meio da variável Digit da seguinte maneira: Cont_dig [0 0] <= Digit <= MMSB, Cont_dig [0 1] <= Digit <= MSB, Cont_dig [1 0] <= Digit <= LSB e Cont_dig [1 1] <= Digit <= LLSB. Caso não exista nenhum *display* associado por meio da variável Cont_dig, a variável Digit receberá o valor zero. Em seguida, verificou-se o *bit* de sinal associado à variável de sinal advinda do bloco conversor. Caso o sinal seja positivo, quando BITSIGNAL='0', o vetor de saída de oito posições denominado Segmentos[8], será associado ao número presente na variável Digit, para então ativar os segmentos do *display*, sendo que o *decimal point* permanecerá desligado. Esta informação será associada no momento em que as variável de entrada Valid esteja em nível lógico alto e Sign esteja em nível lógico baixo. Caso contrário, quando BITSIGNAL= '1', ativa-se o *decimal point* de todos dos *displays*, associando-se o número presente na variável Digit aos segmentos. Entretanto, esta associação ocorre apenas após a verificação das variáveis de entrada relacionadas ao controle de dados Valid e Sign; caso Valid='1' e Sign ='0' os valores de unidade, dezena, centena e unidade de milhar são direcionados aos *displays*

associados. A figura 38 mostra o fluxograma do bloco *display*:

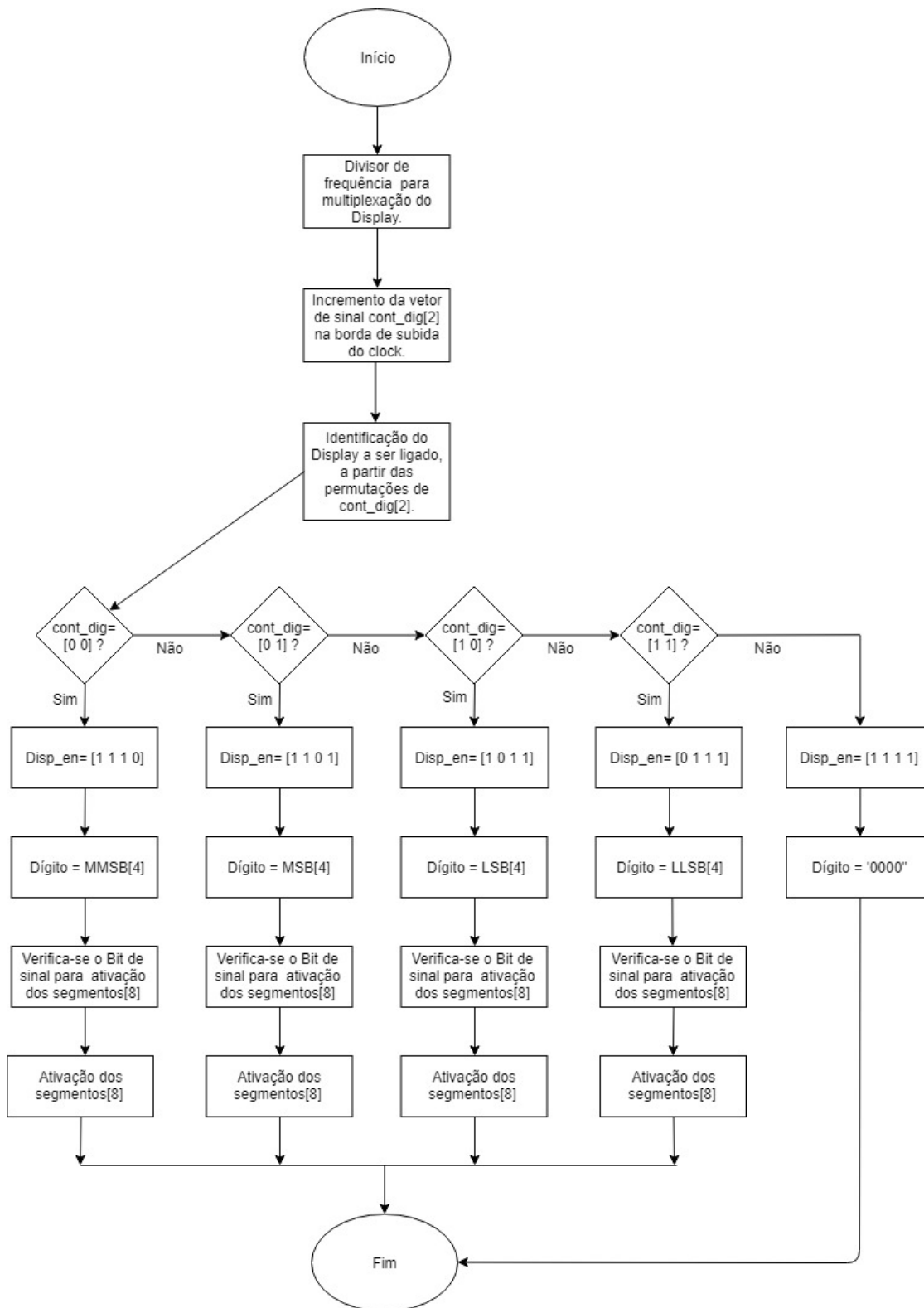


Figura 38 – Fluxograma do bloco *Display*. Fonte: do Autor.

4.1.7 Comunicação entre FPGA e cartão de memória

Para realizar o armazenamento dos dados, pensou-se em três alternativas: a gravação direta da informação no cartão de memória utilizando o módulo externo *PMOD SD CARD* da fabricante (DIGILENT, 2018b) através da comunicação SPI, gravação na memória interna da *Basys3* e comunicação Universal Synchronous Receiver/Transmitter (UART) com a *Raspberry Pi3*. Destas, inicialmente tentou-se realizar a comunicação direta com o *PMOD* por meio da comunicação SPI para escrita em arquivo do tipo *.txt*. O módulo de comunicação SPI foi desenvolvido, entretanto devido a falta de documentação da fabricante (DIGILENT, 2018b) relacionadas a escrita e alocação de dados em memória do cartão *SD*, não foi possível sua implementação. A segunda alternativa, gravação em memória interna da FPGA, mostrou-se ineficiente, visto que esta possui apenas 32 Mbits de espaço e a frequência de amostragem desejada é de 8KHz, permitiria a gravação de informações por até 5 minutos. Por fim, a utilização da *Raspberry Pi3* através da comunicação UART mostrou-se mais plausível, permitindo a gravação de horas de dados, dependendo da capacidade de armazenamento do cartão *SD*. A seguir serão apresentados as implementações da comunicação SPI e UART desenvolvidas em VHDL, além da comunicação UART com a *Raspberry Pi 3*.

- Comunicação *Serial Peripheral Interface* - SPI

A comunicação SPI é um protocolo de transmissão de dados síncrono entre microcontroladores e periféricos como sensores, microcontroladores ou cartão *SD*. O protocolo possui a presença de um dispositivo denominado Mestre e um ou mais dispositivos denominados escravos, onde há dois tipos de operação: a *full duplex* e a *half-duplex*. A primeira consiste no fluxo de dados de transmissão e recepção simultâneo, enquanto a segunda aguarda-se um período de tempo entre a transmissão e recepção de dados. Normalmente, utiliza-se como padrão a comunicação SPI *full-duplex*, o mesmo que será implementado em VHDL, visto que o protocolo utiliza quatro pinos: o pino de entrada *Master Input Slave Output* (MISO) que dados do escravo são enviados para o Master, o pino de saída *Master Output Slave Input* (MOSI) em que dados do Master são enviados para o Escravo, o pino de saída *Serial Clock* (SCLK) que é gerado pelo dispositivo Master para sincronização de dados entre Master e Escravo e por fim, o pino de saída *Slave Select* (SS) que seleciona qual periférico receberá o dado. A figura 39 exemplifica o funcionamento da comunicação SPI.

As principais vantagens na utilização deste protocolo são: comunicação *full-duplex*, possibilidade de transferência de mais de 8 *bits* de dados e a não obrigatoriedade do uso de osciladores de precisão. Todavia, apresenta as desvantagens: utilizam-se mais portas lógicas do dispositivo, cujo é aumentado de acordo com a quantidade de periféricos, possui

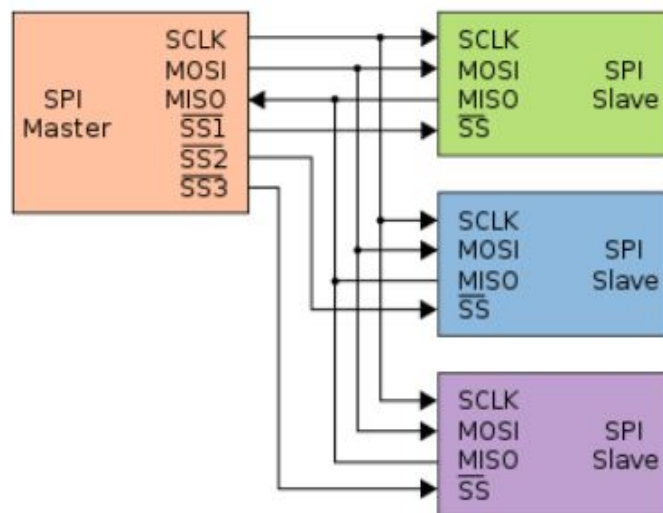


Figura 39 – Comunicação SPI entre um Mestre e três dispositivos periféricos. Fonte: (HENRIQUE, 2013).

apenas um dispositivo mestre, não há reconhecimento do dado pelo escravo e não há protocolo de verificação de erros.

Esta comunicação síncrona funciona da seguinte forma: o *clock* do dispositivo *Master* é configurado de acordo com a frequência de transmissão desejada e suportada pelo dispositivo *Slave* através do pino SCLK; em seguida o *Master* seleciona o periférico através do pino SS. Feito isso, inicia-se a transmissão de dados, cujos estão armazenados em vetores nos dispositivos *Master-Slave* na ordem do *bit* MSB para o LSB, onde o *bit* MSB do *Master* torna-se o LSB no *Slave* e o *bit* MSB do *Slave* torna-se o LSB no *Master*, de forma o dado é deslocado à direita ou à esquerda para que no final da transmissão, quando o SCLK é desligado, o primeiro *bit* transmitido torne-se novamente MSB (SABINO, 2017). Isto pode ser observado na figura 40:

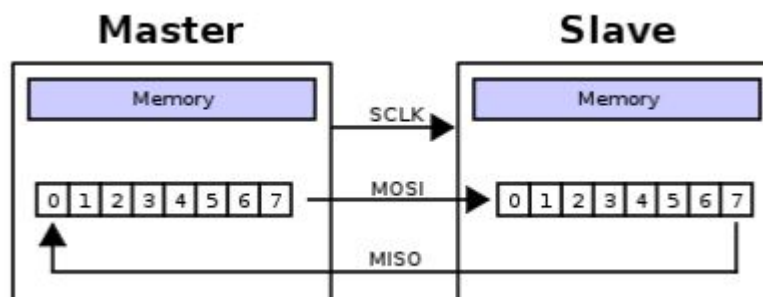


Figura 40 – Transferência de 1 *byte* dados no protocolo SPI, onde desconsiderou-se o *Slave Select*, posto que há apenas um periférico. Fonte: (SABINO, 2017).

Ademais, deve-se configurar as funções de polaridade do *clock* e a fase do *clock* através do dispositivo *Master*. A primeira indica o estado de ativação do SCLK, caso

CPOL='0' o SCLK o estado ativo será em nível lógico alto e inativo em nível lógico baixo; caso CPOL='1', o SCLK estará com estado ativo em nível lógico baixo e inativo em nível lógico alto. Já a segunda função indica em qual borda, de subida ou descida, deve-se transferir e receber a informação. Tem-se os seguintes modos de combinação pela tabela 11:

Modo	CPOL	CPHA	Transmissão	Recepção
0	0	0	borda de descida	borda de subida
1	0	1	borda de subida	borda de descida
2	1	0	borda de subida	borda de descida
3	1	1	borda de descida	borda de subida

Tabela 11 – Modos de transferência e recepção de dados pelo protocolo SPI .Fonte: Adaptado de (SABINO, 2017).

Os modos de operação são visualmente compreendidos através da imagem 41.

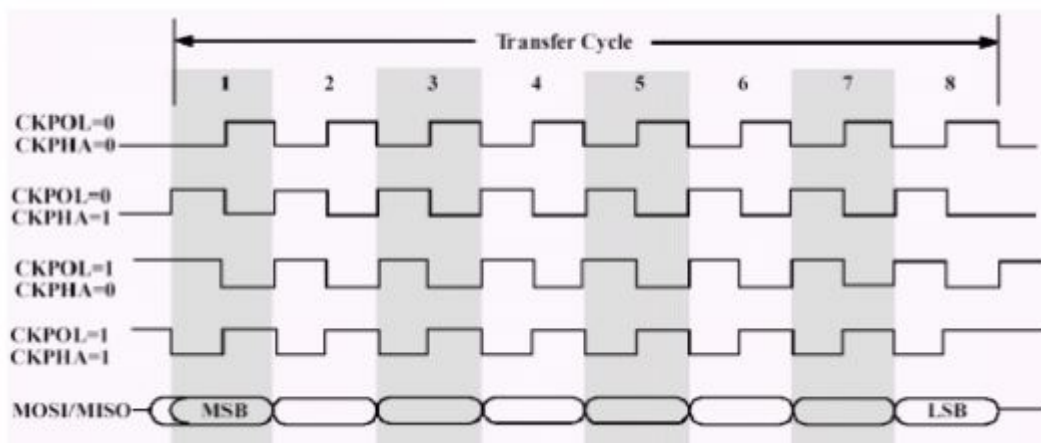


Figura 41 – Modos de Transferência de 1 *byte* dados no protocolo SPI, onde desconsiderou-se o *Slave Select*, posto que há apenas um periférico. Fonte: (SABINO, 2017).

Diante do exposto, implementou-se o módulo SPI em VHDL com as seguintes características: frequência de transmissão (SCLK) de 230400 Hz, 12 *bits* de dado, CPOL='1' E CPHA='1' que corresponde ao modo de operação 3. Para tanto, considerou-se a seguinte máquina de estados, mostrada na figura 42.

O módulo SPI funcionará possuirá os pinos padrões (MOSI, MISO, SCLK SS) e foi acrescentado o pino de lógico de entrada I_RST para habilitar a transmissão de dados e, com isso a máquina de estados funcionará do seguinte modo: enquanto a variável lógica de entrada I_RST permanecer em nível lógico baixo, I_RST='0', o módulo continuará no estado de RESET; no momento em que I_RST='1', a variável de sinal TX_START ficará em nível lógico alto indicando o início da transmissão e o módulo passará para o estado de transmissão TX_RX. Neste estado, há a variável QUANT_DATA, inicializada com o

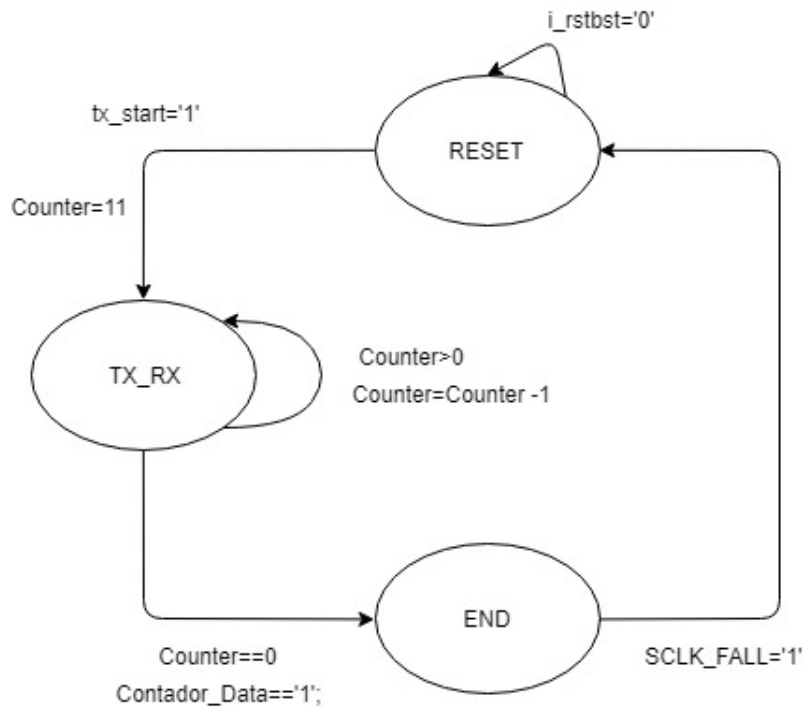


Figura 42 – Máquina de Estados da comunicação SPI implementada. Fonte: do Autor.

valor 11, indicará quantos *bits* que serão transmitidos e enquanto esta variável for maior que zero, a módulo continuará no estado RX_TX; no momento em QUANT_DATA for igual a zero, a variável Cont_Data passará para nível lógico alto, indicando que todos os bits foram transmitidos, e a Máquina de Estados Finito (FSM) passará para o estado END. Neste último, no momento em que identifica-se a borda de descida da do SCLK, através da variável lógica SCLK_FALL='1', a FSM reiniciará os valores das variáveis e retornará para o estado de RESET. Os estados da FSM serão explicados detalhadamente a seguir.

Para configuração do SCLK do dispositivo *Master*, utilizou-se novamente o divisor cíclico de frequência, agora acrescentado de variáveis lógicas para identificação das bordas de descida e subida do novo sinal *clock*. Para obter-se a frequência de 230400 Hz, de acordo com a equação 4.7, deve-se dividir o oscilador interno por 217. A identificação das bordas do SCLK é realizada da seguinte forma: no momento em que a variável I_RST='1', inicia-se o processo de divisão de frequência a partir da identificação da borda de subida do oscilador interno por meio da variável lógica CONTADOR_CLOCK_ENA='1', cuja é ativada no estado RX_TX visto que este processo de divisão deve ocorrer apenas quando deseja-se enviar e receber dados. A partir disso, verifica-se a variável CONTADOR_CLOCK: enquanto ela não atingir o valor inteiro determinado, as bordas permanecem inativas, e no momento em que o valor é alcançado, identifica-se a borda de descida que permanece em nível lógico alto até o momento em que o contador atinge o valor que corresponde ao dobro do número inteiro relacionado à divisão de frequência; nesse

momento, identifica-se a borda de subida igual a nível lógico alto, zerando o CONTADOR_CLOCK para o próximo período de contagem do processo. A figura 43 representa o fluxograma do divisor de frequência e identificação de bordas do SCLK.

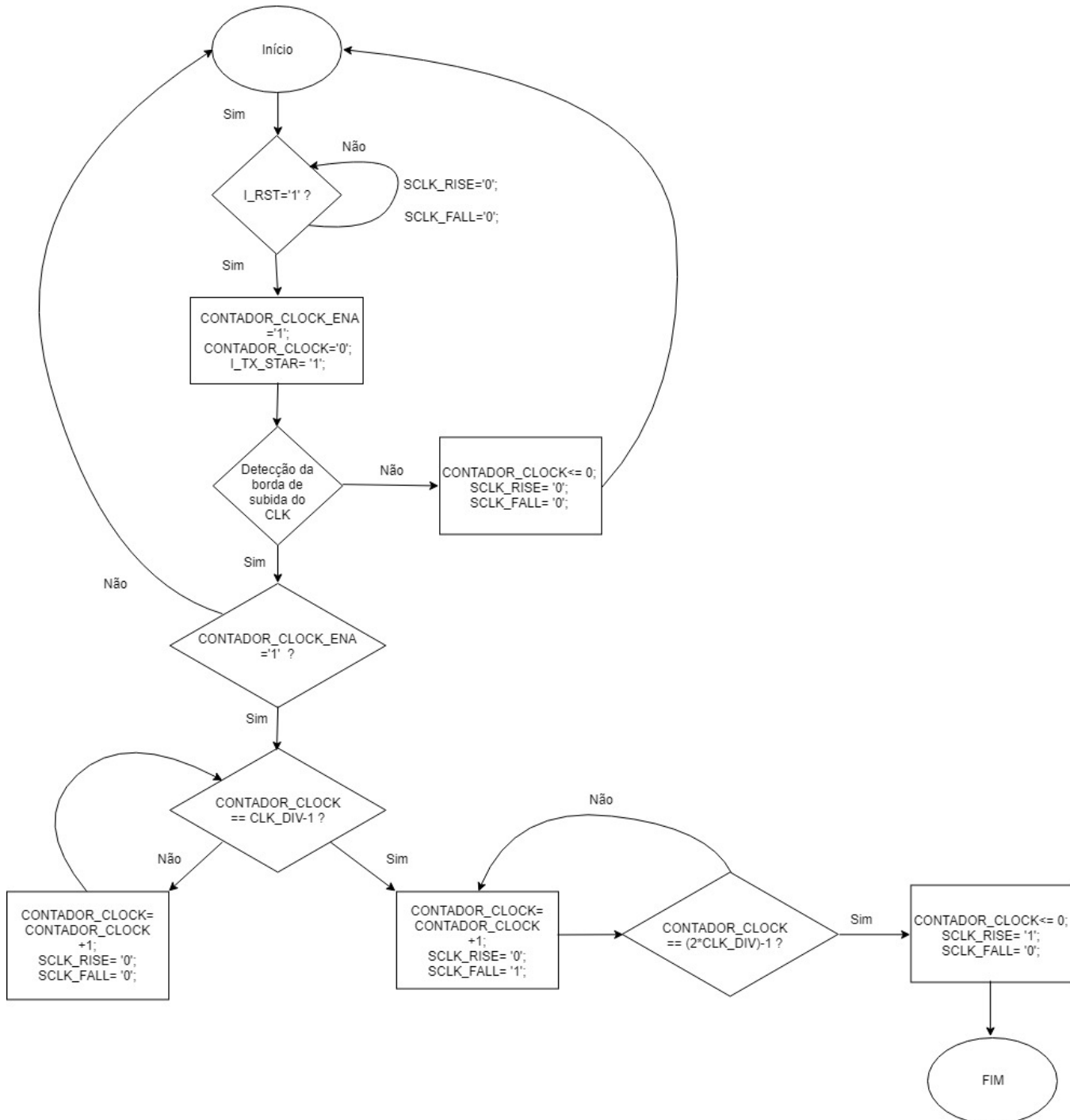


Figura 43 – Fluxograma do divisor de frequência e identificação de bordas do SCLK. Fonte: do Autor.

Com o processo para identificação de bordas concluído, pode-se agora transmitir os dados, estado RX_TX da FSM. Para tanto, verifica-se novamente a variável de entrada I_RST: se estiver em nível alto, a variável I_TX_START será igual a '1', o vetor

RX_DATA é inicializado zerado, o vetor TX_DATA receberá os 12 *bits* do conversor A/D, será ativado o processo de divisão de *clock* por meio de CONTADOR_CLOCK_ENA e SS ficará em nível lógico baixo para acionamento do periférico e início de transmissão e recepção; caso contrário, I_TX_START permanecerá igual a zero, assim como CONTADOR_CLOCK_ENA, a variável estática AUX e CONT_DATA; apenas a variável QUANT_DATA será inicializada com o valor 11, indicando a quantidade de *bits* que serão usados para os vetores de transmissão, TX_DATA, e recepção, RX_DATA. Após esta verificação e inicialização de variáveis, inicia-se a transmissão e recepção, onde identifica-se a borda do SCLK e verifica-se a quantidade de *bits* transmitidos.

Sabe-se que CPOL='1' e CPHA='1', assim a primeira borda que será identificada será a de descida, ou seja, será transmitido uma informação, SCLK_FALL='1'. Com isso, o SCLK receberá o valor igual a '0', a variável estática receberá o *bit* MSB entregue através da variável de saída MOSI e o vetor de transmissão de dados será deslocado para esquerda (*shift-left*) e concatenado com o valor '0', de modo que o vetor fique com todas as suas posições zeradas para, assim receber os próximos valores de transmissão. A próxima borda identificada será a de subida, SCLK_RISE='1', onde será recebido um dado e armazenado no vetor RX_DATA. Assim, o SCLK receberá nível lógico alto em sua saída e o vetor de recepção de informações será deslocado para a esquerda (*shift-left*) e concatenado com o dado advindo do periférico através da variável de entrada MISO. Desse jeito, observa-se que a ordem de transmissão também será a padrão, do MSB para o LSB. Em seguida, será checada a variável Quant_Data: se for maior que zero, a transmissão e recepção de dados não terminou e inicia-se novamente a verificação de bordas e os processos de transmissão e recepção; caso contrário, o estado RX_TX é finalizado, sendo identificado pelo variável CONT_DATA em nível lógico alto, assim como a variável SS, pois apenas em nível lógico baixo o *Slave* reconhecerá a comunicação. Após o estado finalizado, a FSM passará para o estado END.

No estado END da FSM, a variável CONTADOR_CLOCK_ENA ainda estará ativa, e como o estado RX_TX foi finalizado com SCLK_RISE='1' e CONT_DATA < '0', o próximo estado da FSM será o RESET no momento em que for identificado a borda de descida, SCLK_FALL='1'.

No estado RESET da FSM, a variável QUANT_DATA receberá o valor onze, indicando novamente a quantidade de bits para a transmissão e CONTADOR_CLOCK_ENA receberá nível lógico baixo, encerrando assim o processo de identificação de bordas e divisão de frequência. Além disso, a saída da variável SCLK receberá nível lógico alto, indicando seu estado inativo (CPOL='1'). Vale ressaltar que o estado RESET, é o estado inicial da FSM, assim como o estado *default* quando nenhum outro é identificado pela lógica sequencial.

A figura 44 demonstra o fluxograma do estado RX_TX:

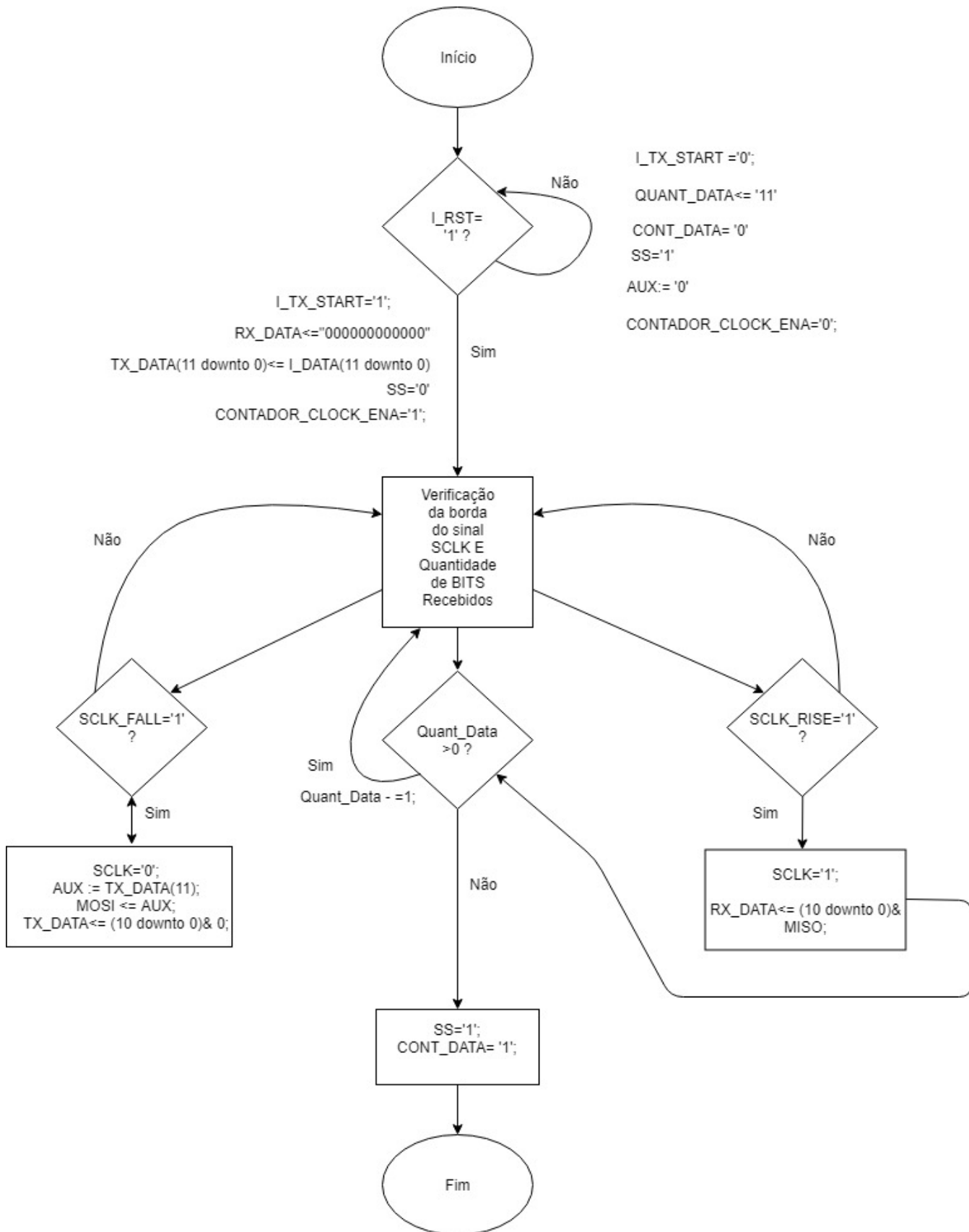


Figura 44 – Fluxograma do estado RX_TX da FSM. Fonte: do Autor.

- Comunicação *Universal Asynchronous Receiver/Transmitter* - UART

A *Universal Asynchronous Receiver/Transmitter* (UART) é um protocolo de comunicação assíncrono, ou seja, não há sinal de *clock* entre os dispositivos para envio e recepção de dados. Para isto, declara-se entre o emissor e receptor uma taxa denominada *Baud-Rate*, em *bits por segundo*, que cadênciia os dados de recepção e transmissão. Neste protocolo, exige-se apenas dois pinos: o pino de Transmissão (TX) e Recepção (RX) tanto do emissor, quanto do receptor, além do *Ground* (GND) comum aos dispositivos, como pode ser observado na figura 45.

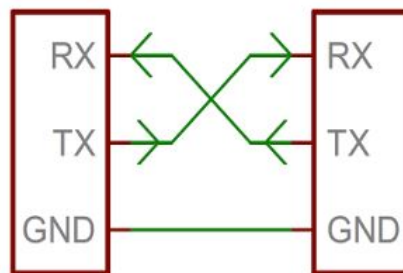


Figura 45 – Fluxograma do estado RX_TX da FSM. Fonte: (ROBOCORE, 2018).

A transmissão e recepção ocorrem da seguinte maneira: enquanto não existir informação para transmissão/recepção (*Idle*), os pinos permanecerão em nível lógico alto. Para iniciar a transmissão ou recepção, deve-se mandar um bit de *start* em nível lógico baixo, seguido dos *bits* que contém a informação desejada (entre 5 e 9 da ordem MSB para LSB) e, por último, um *bit* de *stop* indicando o fim da transmissão. Em sistemas mais robustos, também é enviado *bit* de paridade para retransmissão da mensagem em caso de erro na recepção. A figura abaixo, 46 apresenta o formato em que os dados devem ser transmitidos/recebidos:

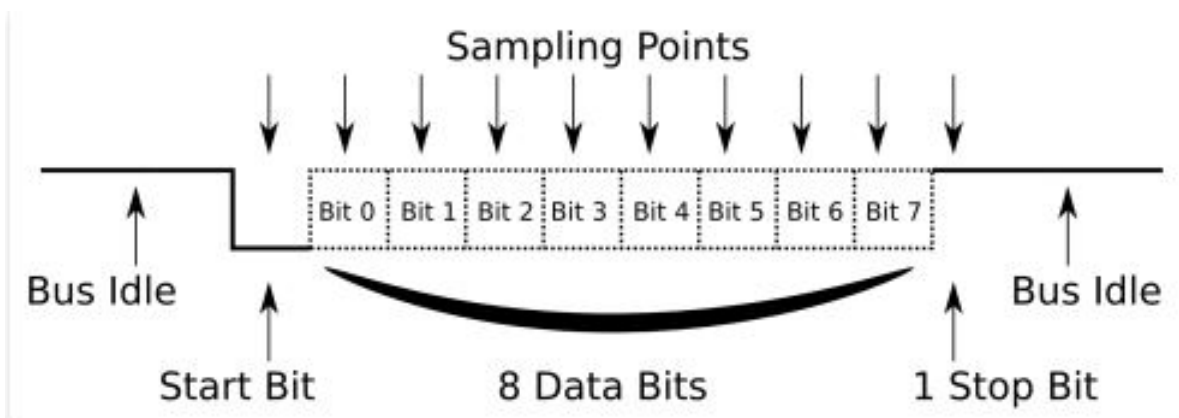


Figura 46 – Formato de dados do protocolo UART. Fonte: (MENDONÇA, 2018).

Diante do exposto, configurou-se o módulo UART em VHDL com as seguintes características: *baud-rate* 230400, ordem de transferência do MSB para o LSB, *Idle* igual

a nível lógico alto, *start bit* em nível lógico baixo, *stop bit* em nível lógico alto, sem bit de paridade e sem recebimento de dados do dispositivo associado. Como devem ser enviados 12 bits, serão enviados 2 pacotes de 1 *byte*. O bloco UART pode ser visto como a figura 47:

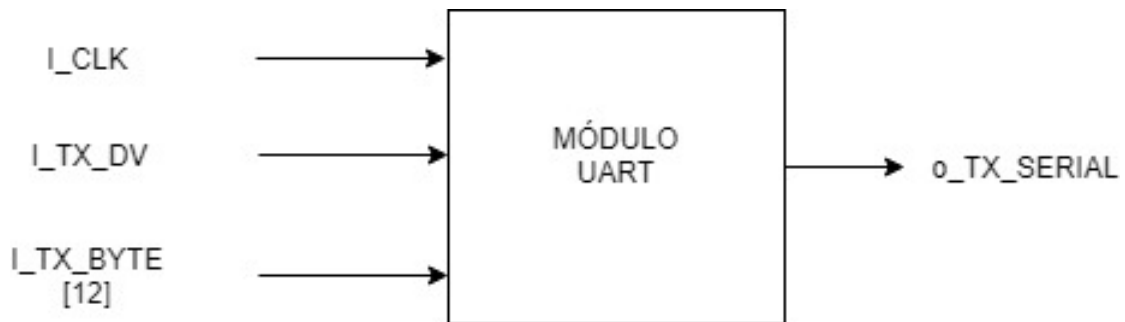


Figura 47 – Módulo UART. Fonte: do Autor.

Para isso, o módulo UART apresenta a seguinte máquina de estados, figura 48:

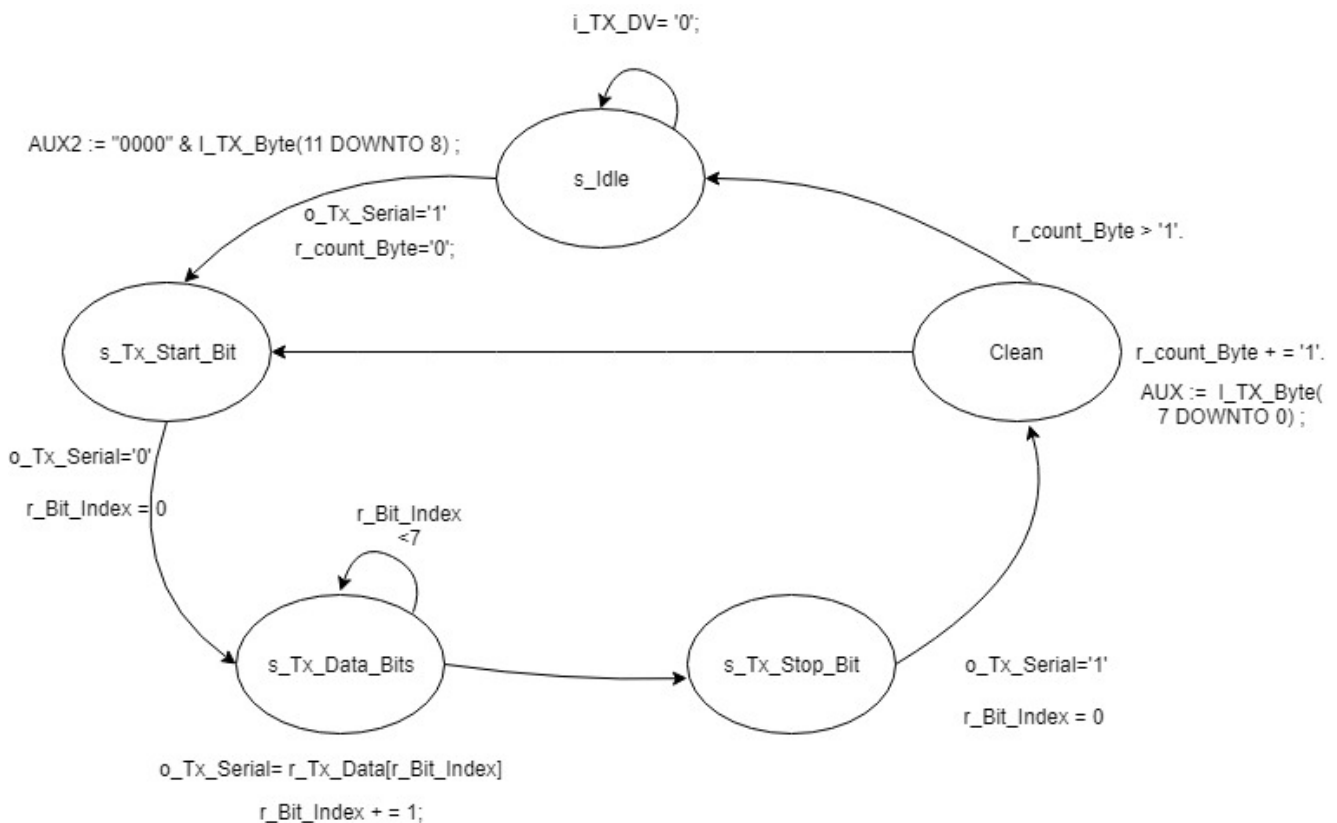


Figura 48 – Máquina de estados do módulo UART. Fonte: do Autor.

O módulo funciona da seguinte maneira: a variável lógica I_TX_DIV atua como *reset* enquanto estiver em nível lógico baixo, permanecendo no estado IDLE e quando estiver em nível alto, altera-se o estado para S_TX_START_BIT e inicializa-se as variáveis o_TX_Serial em nível alto, indicando que não ocorreu o início da transmissão e

`r_Count_Byte='0'`, indicando que nenhum *byte* foi enviado, além de armazenar na variável estática `AUX2` o valor dos 4 *bits* MSB de informação concatenados à esquerda com quatro zeros de forma a formar 1 *byte*. No estado `s_Tx_Start_Bit`, a variável `o_Tx_Serial` torna-se nível lógico baixo, indicando início da transmissão, e inicia-se a variável `r_Bit_Index` com o valor zero para contabilizar a quantidade de *bits* enviados, passando-se para o estado `s_TX_DATA_Bits`. Neste último, a saída `o_Tx_Serial` receberá o *bit* referente a posição ocupado por `r_Bit_index` no vetor `AUX2`; enquanto `r_Bit_Index < 7`, continua-se a enviar dados pela variável `s_Tx_Data_Bits` e no momento em que a variável é maior que 7, foram enviados todo o *byte*, passando-se para o `s_Tx_Stop_Bit`. No estado `s_Tx_Stop_Bit`, envia-se o *bit* de parada, fazendo o `o_Tx_Serial` ficar em nível lógico alto e zerando a variável `r_Bit_Index`. Em seguida, passa-se para o estado `CLEAN`, onde verifica-se a variável `r_count_Byte` é maior que 1, caso contrário a variável é acrescentada em uma unidade e inicia-se a variável `AUX` com o valor do *byte* menos significativo de `I_TX_Byte` retornando para o estado `s_Tx_Start_Bit`; caso `r_Count_Byte` é maior que uma unidade, a máquina de estados retorna para `s_Idle` esperando para a nova transmissão de informações.

Para obter-se a *baud-rate* desejada de 230400 *bits/segundos*, utilizou-se novamente o divisor de frequência com contador cíclico. Para tanto, o número inteiro encontrado, pela equação 4.7 é 109, obtendo-se como frequência o dobro da *baud-rate*. Para manter a cadência entre a transmissão de *bits*, introduziu-se em cada em cada estado um pequeno *delay*, calculado da seguinte forma pela equação 4.8:

$$Delay = \frac{clk}{baud - rate} - 1 \Rightarrow \frac{460800}{230400} - 1 \Rightarrow Delay = 1 \quad (4.8)$$

Ou seja, a cada transição de *bit*, será sucedido de espera de 1 ciclo de relógio. A *baud-rate* de 230400 *bits/segundo* foi escolhida em virtude da taxa de amostragem, visto que a informação contendo 12 *bits* está disponível em 125 microssegundos, enquanto o dado será transmitido, considerando o total de 20 *bits*, em 86.80 microssegundos. Menores valores padrões para *baud-rate* significariam maior tempo de transmissão que a conversão A/D, ou seja, dados seriam perdidos antes da próxima transmissão.

A *raspberry pi 3* será o microcomputador que realizará a gravação da informação convertida para o dado digital em um arquivo do formato *.txt* para posterior análise, visto que o dispositivo apresenta a *baud-rate* desejada. Para isso, habilitou-se o protocolo de comunicação UART nas configuração do System Operating (OS) *Raspbian*. Em seguida desenvolveu-se o código na linguagem de programação C onde o dispositivo permanece em estado de constante observação dos dados transmitidos. O dado é armazenado em uma variável inteira (2 *bytes*) por meio de deslocamento à esquerda da variável para então ser convertida em caracteres *ASCII* no arquivo de texto através de comandos de escrita em arquivo, cujo será explicado a seguir.

- Comunicação UART com a *Raspberry Pi*

Para realizar a gravação de dados no formato *.txt*, optou-se por utilizar a *Raspberry Pi 3* para execução deste processo dentro de seu cartão de memória.

Este microcomputador possibilita aplicações embarcadas utilizando diversas linguagens de programação, como C, C++ ou *Python*, além de possuir as seguintes especificações: CPU AMRv8 *Quad-Core* de 64 bits de 1.2 Giga Hertz (GHz), Wireless 802.11n, Bluetooth 4.1, 1 GB de RAM, 4 portas USB, porta HDMI, interface de câmera, , slot para cartão micro SD, 40 pinos de entrada e saída (I/O) ([RASPBERYPYPI, 2018](#)). Pelas especificações acima, pode-se pensar que, em termos de custos e processamento, este microcomputador poderia substituir a FPGA, entretanto a principal desvantagem de utilizá-la para este tipo de processamento consiste no fato de que esta não possui um conversor analógico/digital integrado, segue a estrutura de execução de *Von Neumann*, ou seja, segue-se uma lógica sequencial de execução de um programa, além de não possuir o *Real Time Clock* (RTC) para manter o horário correto enquanto o dispositivo encontra-se desligado. Com isso, seria necessário utilizar um conversor A/D externo que se comunicasse com o dispositivo, o que exigiria sincronização entre os dispositivos ([RASPBERYPYPI, 2018](#)), visto que o *clock* interno da *Raspberry* não é preciso, o que implicaria na possível perda de dados devido a alta taxa de amostragem, evidenciando-se a utilização da FPGA. Além disso, pensou-se em utilizar o módulo SPI desenvolvido para comunicação com o PMOD, onde a *Raspberry* atuaria como *slave* e a FPGA como *Master*, todavia de acordo com a fabricante do processador da *Raspberry*, ([CORPORATION, 2012](#)), o *drive* de comunicação BCM2835 encontra-se configurado para atuar como *master*, sendo então necessário um novo endereçamento dos registradores conforme é indicado na página 160 do documento, o que exigiria uma nova reconfiguração do *Kernel Linux* da *Raspbian*. Esta nova reconfiguração precisa ser implementada do modo correto, caso contrário o OS deixará de funcionar e será necessário sua reinstalação, justificando-se assim a escolha do protocolo UART em detrimento da I2C, visto que é um protocolo mais simples para ser implementado.

A gravação em arquivo foi desenvolvida em linguagem C, por meio do protocolo de comunicação UART, cujo é executado utilizando o Sistema Operacional (OS) *Raspbian*. Nele, a *Raspberry* atuará recebendo os dados através do seu pino RX. Como o tempo de aquisição do dado é em microssegundos (us), assim como a transmissão, considerou-se o não envio de dados para o dispositivo *master* como *check sum*, visto que a retransmissão de dados ocasionaria perdas de informações, visto que o *buffer* utilizado são de apenas 12 *flip-flops*, ou seja, uma informação.

A figura 49 apresenta o pseudo-código utilizado para programar a *Raspberry*, onde esta atua como *slave*.


```

char convertc;
int convert, convert2;
char convertido[16];
int a = 0, b = 0, c =0, stop = 0;
int j=0;

FILE *ponteiro;
ponteiro = fopen("pcb_bipolar_quant_60HZ.txt", "a+");

while(stop<230400){

    stop++;

    usleep(24);
    if(serialDataAvail(uart0_fd)!=0)
    {
        int j;
        i = 0;

        for(j = 0; j<2; j++){
            i |= serialGetchar(uart0_fd) << 8*j;
            a++;
            c++;
        }

        convert = i;
        convertc = (convert >>8 & 0xFF);

        if(convertc<=7){
            sprintf(convertido, "%d", convert);
            fputs(convertido, ponteiro);
            putc('\t', ponteiro);
            data(s);
            fputs(s,ponteiro);
            putc('\n', ponteiro);
        }
    }
}

```

[^]G Get Help [^]O Write Out [^]W Where Is [^]X Cut Text [^]J Justify [^]C Cur Pos
[^]X Exit [^]R Read File [^]\ Replace [^]U Uncut Text [^]T To Spell [^] Go To Line

Figura 49 – Pseudo-código utilizado para comunicação UART entre FPGA e *Raspberry*.
 Fonte: do Autor.

Observa-se pela figura que o arquivo de texto é aberto e taxa de sincronização entre os dispositivos é estabelecida em 230400 *bits*/segundo. Enquanto nenhuma transição do estado *idle* é identificada, nenhuma informação será gravada e o arquivo de texto será fechado. No entanto, quando é identificado o *bit* de *start*, inicia-se o processo de armazenamento do primeiro *byte* enviado em uma variável do tipo inteiro, visto que esta consegue armazenar dois *bytes*, onde a ordem de envio é do MSB para o LSB, sendo assim a informação deslocada oito posições à esquerda. No momento em que o segundo *byte* obtido, este é armazenado na variável do tipo inteiro por meio da realização de uma lógica *or bit* a *bit*. Ao final desta etapa, a informação armazenada é transferida para outra variável do tipo inteiro e então é verificado o valor do *bit* mais significativo. Como o conversor A/D

está sendo utilizado no modo bipolar, analisa-se o *bit* MSB para identificação do sinal da informação, caso '0' o sinal é positivo e caso contrário, negativo. Para esta identificação, utiliza-se a máscara em hexadecimal 0xFF com o valor armazenado deslocado à direita. Sabe-se pela figura 29, que o maior valor positivo armazenado no *byte* MSB é 7, logo qualquer valor entre 0 a 7 corresponde à um sinal positivo, caso contrário o sinal é negativo. Realizada a verificação, o dado é gravado em arquivo por meio dos comando de escrita *sprintf* e o sinal por meio do comando *putc*. Feito isso, também é acrescentada na escrita a informação de data e hora para validação da taxa de amostragem desejada. Como a taxa de amostragem é de 125 us e a de transmissão de 86.80 us, o dado é enviado mais rápido que a taxa de aquisição, o que pode implicar no reenvio da mesma informação; para corrigir este problema, seria necessário estabelecer um delay de 38.2 us, mas foi acrescentado um delay de 24 us, verificado experimentalmente, de modo a manter a taxa de aquisição e transmissão. Entretanto verificou-se que o *delay* acrescentado apresenta oscilações quando comparou-se a quantidade de dados gravados por 1 segundo, variando-se entre 8000 e 9500 amostras; já sem a presença de *delay*, recebeu-se 10500 amostras em 1 segundo.

4.2 Implementações em Hardware

A implementação em *hardware* ficou dividida na implementação do filtro *anti-aliasing* e condicionamento de sinal do sensor *Hall* utilizado.

4.2.1 Filtro *Anti-Aliasing*

Considerou-se usar o filtro de *Bessel* descrito na proposta do protótipo, entretanto observou-se que a técnica de *Oversampling* apresentar desempenho semelhante, mas utilizando um filtro simples passivo RC no lugar de um filtro ativo de 4 estágios.

A principal vantagem da utilização deste método é que este aumenta a resolução do conversor e pode ser expressa pela seguinte equação 4.9:

$$F_{oversampling} = 4^n F_{amostragem} \quad (4.9)$$

Como configurou-se o conversor para se obter 13MHz, isto significa que a resolução foi aumentada em aproximadamente entre 5 e 6 *bits*. É importante ressaltar que o aumento de resolução não elimina por completo a presença de ruído, sendo necessário portanto, acrescentar um filtro passa-baixa simples.

Sabe-se que um filtro passa-baixa passivo do tipo RC apresenta a seguinte equação, 4.10 para se determinar sua frequência de corte:

$$f_c = \frac{1}{2\pi RC} \quad (4.10)$$

Logo, para se obter o corte na frequência de 2400Hz, 40ª componente harmônica, e escolhendo-se um capacitor de 10uF, tem-se que o resistor é de 6 Ω . O resistor comercial mais próximo é de 2.2 Ω . Assim, associou-se em série 3 resistores de 2.2 Ω em série com capacitor de 10u em paralelo. Obteve-se a seguinte resposta em frequência simulada no *Proteus*, como é verificado na figura 50:



Figura 50 – Resposta em frequência do filtro passivo RC. Fonte: do Autor.

Observa-se que a atenuação de 3dB ocorre na frequência de 2.60 KHz.

4.2.2 Condicionamento do sinal

Sabe-se que o módulo do sensor de corrente por efeito *Hall* mantém um *Dc offset* de 2.5V quando não há nenhuma carga consumindo corrente. No entanto, quando há carga, consumindo no máximo 5 ampères, o sensor proporciona uma variação de tensão proporcional a corrente de $\pm 0.185V$ por ampère, o que corresponde a variações de -3,5355 *Arms* à 3,5355 *Arms*. Como está utilizando o modo de operação bipolar, a tensão máxima de *offset* suportada é 0.5V, logo necessita-se utilizar um capacitor de acoplamento para retirar o sinal DC e permanecer apenas com o sinal AC. Feito isso, caso o sinal desejado possua pequena amplitude, este recebe novamente um ganho de *offset* de 0.5V de modo que seja visualizado sua excursão na forma de onda. Para teste em bancada, utilizou-se como carga um secador de cabelo. Este possui potência de 1100W e funciona com tensão de alimentação de 220V *RMS*, com isso a carga consome 5 A, o que corresponde à corrente máxima suportada pelo sensor *Hall*, gerando como tensões que variam entre +3,425V e +1,5755 V. Isto corresponde a variação senoidal de $\pm 0,925V$, maior que o fundo de escala permitido pelo conversor A/D da FPGA. Para corrigir este problema, usou-se um divisor de tensão simples, onde R1 e R2 possuem os mesmos valores, neste caso R1 12.2K Ω

e R2 de $10\text{ K}\Omega$, fazendo que a tensão de saída fosse reduzida por $1/4$, possibilitando assim a visualização de distúrbios como a sobretensão, além disso, foi implementado um outro divisor para acrescentar um DC *offset* ajustando um potenciômetro de $200\text{ K}\Omega$ para visualização do funcionamento do conversor. A figura 51, exemplifica o componentes usados para o condicionamento de sinal, incluindo o filtro passivo:

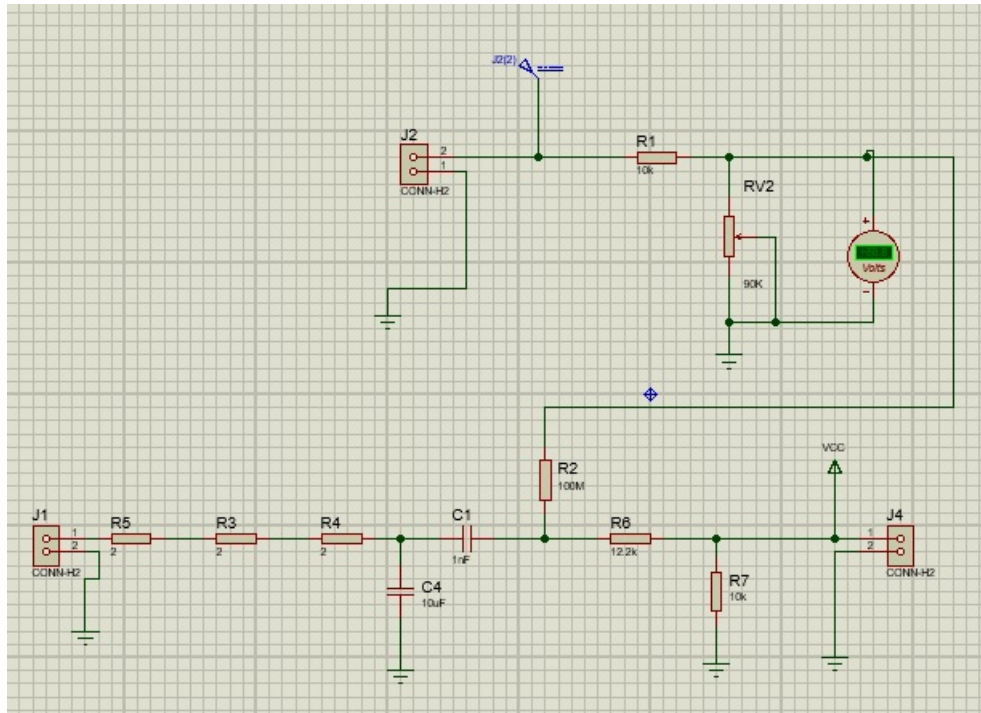


Figura 51 – Circuito de condicionamento de sinal com filtro passivo RC. Fonte: do Autor.

5 Resultados

Neste capítulo serão apresentados os resultados obtidos pelas implementações em *hardware programável* e em *hardware* testadas e validadas em laboratório.

Descritos os módulos do conversor A/D, registrador 12 *bits*, divisor de frequência, conversor binário para decimal e módulo UART/SPI, sua implementação em VHDL é observada através da figura 52. Nela é possível verificar a associação de todas as entradas e saídas descritas no Capítulo 4, além de saídas extras utilizadas para verificação da frequência resultante do módulo de divisor de frequência e do módulo UART para verificação do envio de *bytes*.

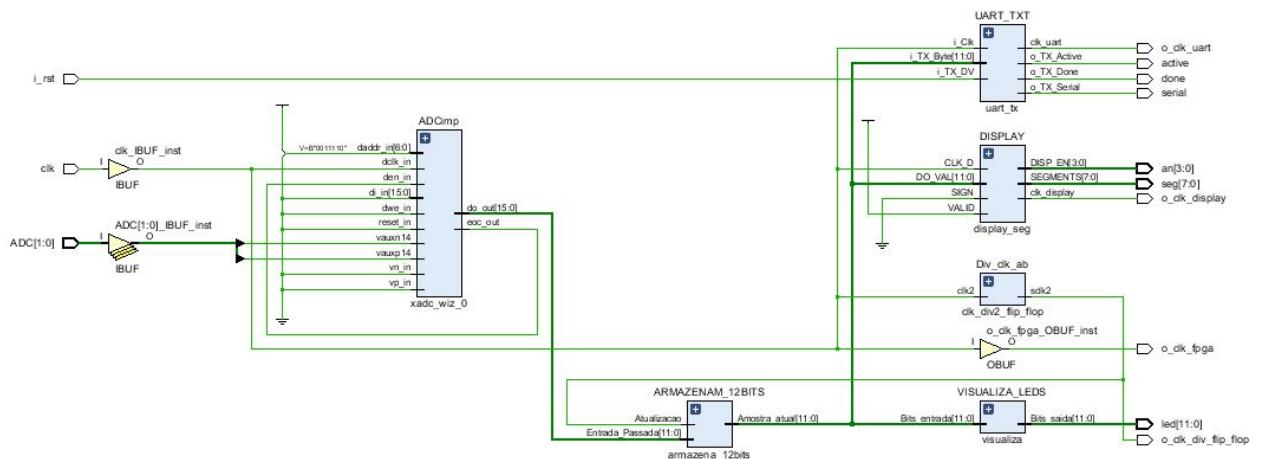


Figura 52 – Esquema de funcionamento dos módulos do medidor. Fonte: do Autor.

Apresentando, na figura 53 os seguintes valores de tempo de *setup* and *hold*. Verifica-se que não ocorreu nenhum problema de tempo negativo de nos parâmetro de *setup* e *hold*, indicando que nenhuma amostra de dado capturada é sobrescrita durante a amostragem e envio UART.

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 4,798 ns	Worst Hold Slack (WHS): 0,217 ns	Worst Pulse Width Slack (WPWS):
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPW):
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints:
Total Number of Endpoints: 145	Total Number of Endpoints: 145	Total Number of Endpoints:

Figura 53 – Análise de tempo do medidor. Fonte: do Autor.

Além disso, os blocos unidos do medidor apresentaram o seguinte consumo de energia como mostra a figura 54. Observa-se que o nível de confiabilidade está baixo devido a ausência de testes de estresse do sistema, já que a frequência de 100 MHz é mais que suficiente para o funcionamento do protótipo.

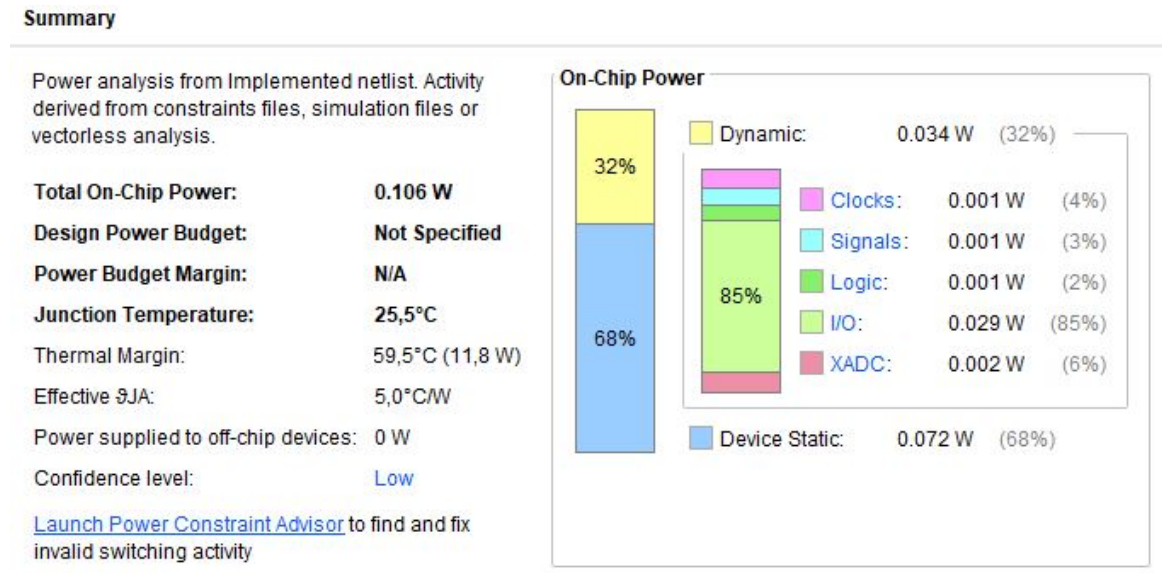


Figura 54 – Análise de consumo de energia do medidor. Fonte: do Autor.

Por fim, o módulo apresentou a seguinte ocupação de componentes lógicos, como é mostrado na tabela 12.

Componente	Uso	Disponíveis	Utilização %
LUT	505	20800	2,43
FF	108	41600	0,26
I/O	35	106	33,02
BUFG	1	32	3,13

Tabela 12 – Uso de componentes lógicos pelo módulo medidor .Fonte: do Autor.

Observa-se pelas figuras 53 e 54 que o medidor implementado não apresentou nenhum problema de *time* negativo, ou seja, nenhuma informação está sendo perdida durante o processo de aquisição, além de apresentar um baixo consumo de energia, onde o processamento dinâmico consome 32% de potência, enquanto o processamento estático 68%.

A área ocupada pelo processo de síntese lógica encontra-se disponível no Anexo F.

5.1 Validação do Medidor

Neste tópico demonstra-se a validação dos módulos do medidor, apresentando *test bench* e o resultado de testes realizados em laboratório com equipamentos em bancada e em microcontroladores.

5.1.1 Módulo divisor de frequência

Para verificar o funcionamento dos módulos de divisão de frequência utilizados, realizou-se o *test bench* e obtiveram-se os seguintes resultados para a frequência de 2KHz para o *display*, figura 55, frequência de 8KHz relacionada a taxa de amostragem dos *bits* armazenados no registrado, figura 56 e a frequência de 458 KHz para a transferência de dados por meio da comunicação UART, figura 57:

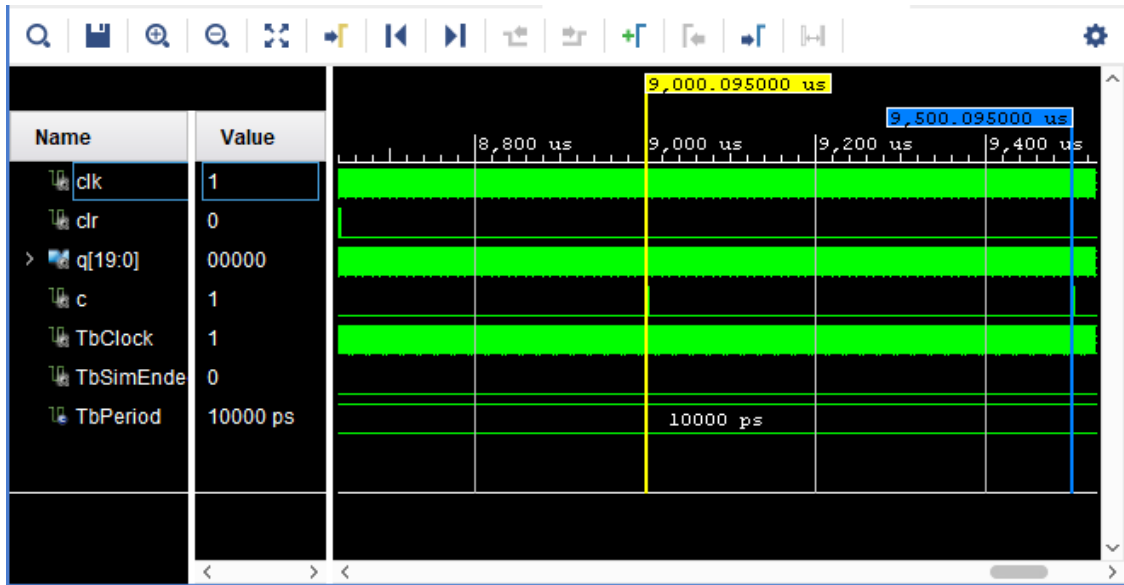


Figura 55 – *Test bench* do módulo divisor de frequência de 2KHz. Fonte: do Autor.

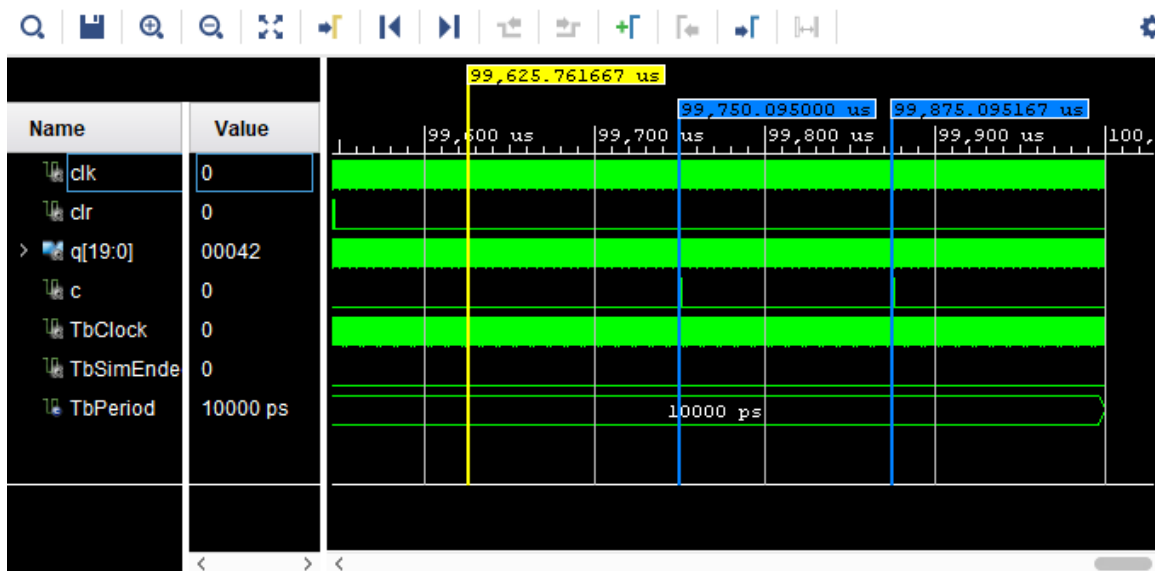


Figura 56 – *Test bench* do módulo divisor de frequência de 8KHz. Fonte: do Autor.

Par validar o módulo de divisor de frequência, configurou-se saídas portas de saída da FPGA os *clocks* citados anteriormente no laboratório e observou-se os seguintes resultados, respectivamente, a frequência de multiplexação do *display*, figura 58, frequência

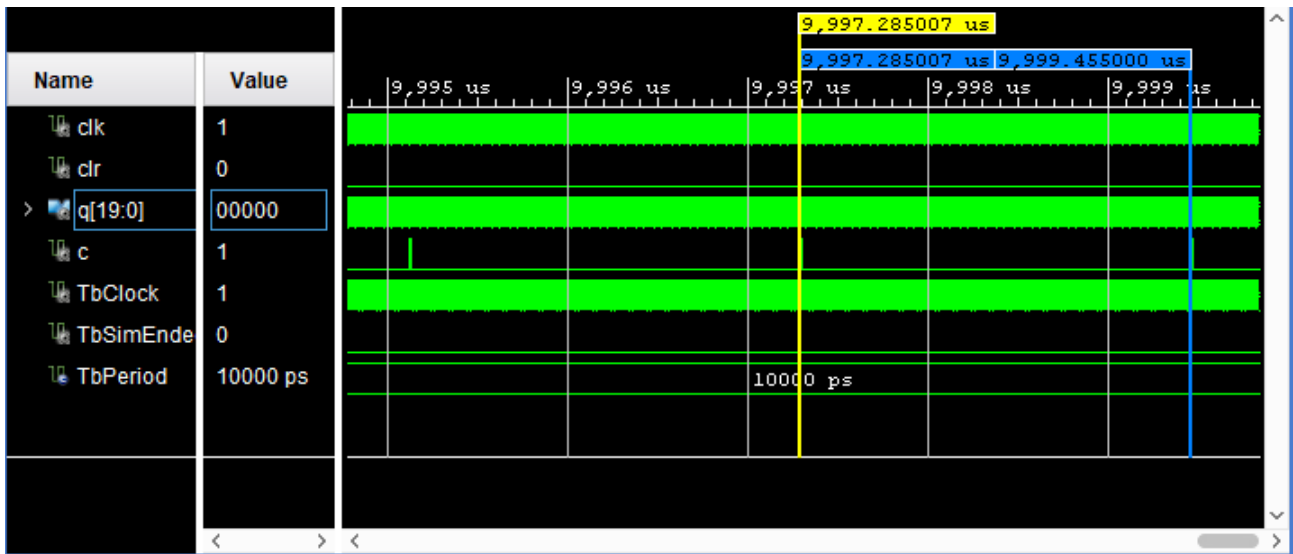


Figura 57 – *Test bench* do módulo divisor de frequência de 460800Hz. Fonte: do Autor.

de amostragem relativa aos registradores, figura 59, e a frequência utilizada no módulo UART, figura 60:

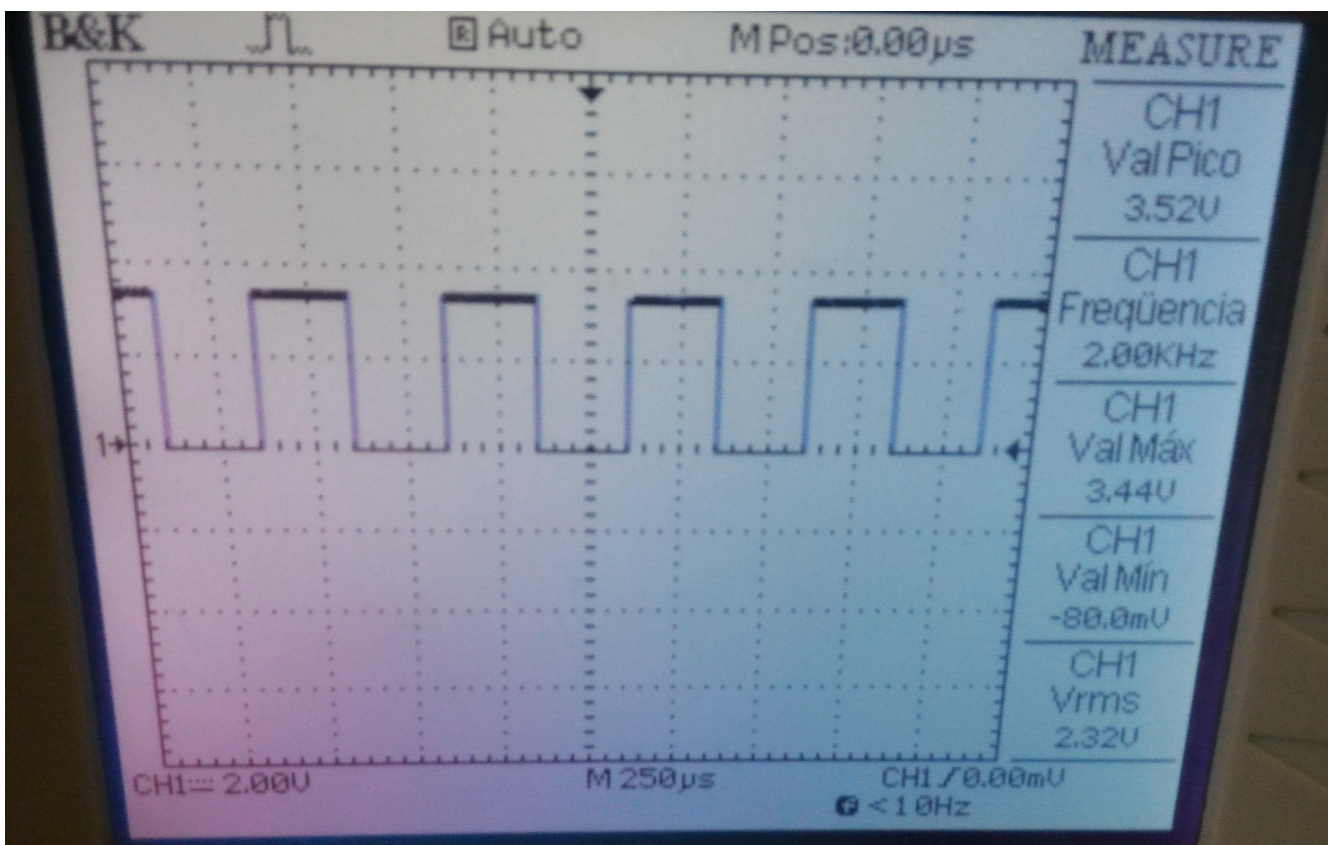


Figura 58 – Verificação da frequência de 2KHZ gerada pelo módulo divisor de frequência usada para multiplexação do *display* de 7 segmentos. Fonte: do Autor.

Observa-se que o módulo de divisor de frequência cíclico funcionou corretamente, obtendo-se como resultado a frequência desejada em todos os módulos.



Figura 59 – Verificação da frequência de 8KHZ gerada pelo módulo divisor de frequência usada como referência a taxa de amostragem ao módulo de registradores. Fonte: do Autor.

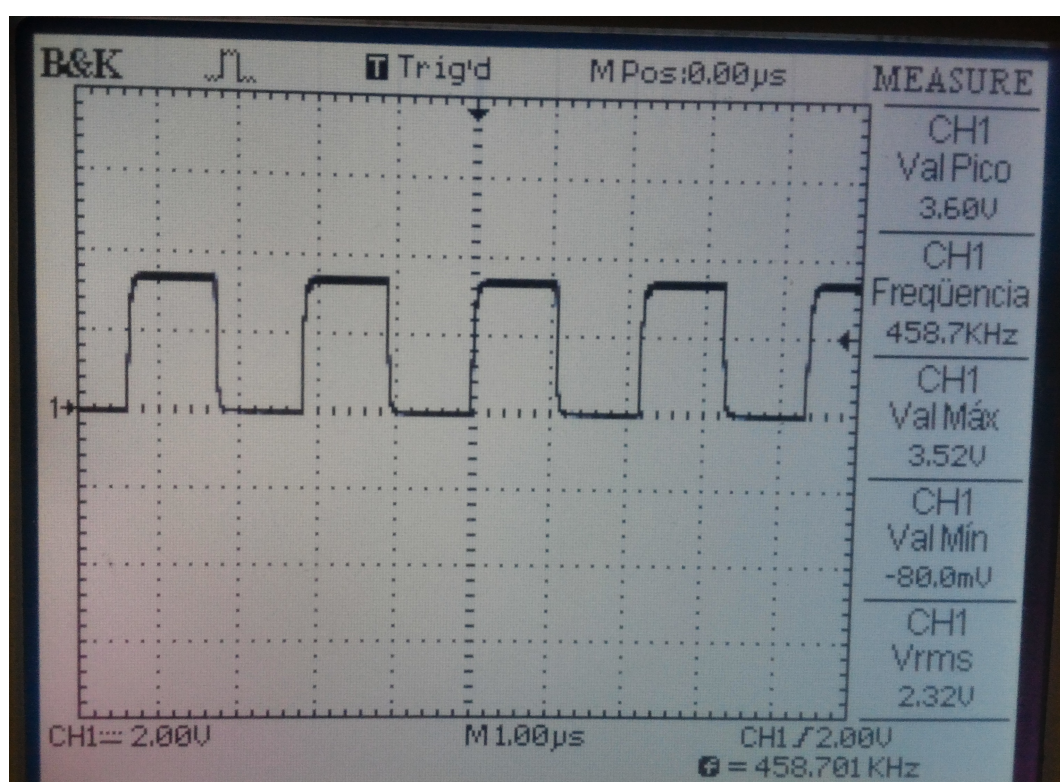


Figura 60 – Verificação da frequência de 458,7KHZ gerada pelo módulo divisor de frequência usada no módulo UART. Fonte: do Autor.

5.1.2 Validação do módulo *Display*

Após recebido o valor convertido do módulo registrador, o valor é mostrado nos quatro *displays* de sete segmentos, cujo é multiplexado. É apresentado no Anexo 5 deste documento como devem ser ativados os segmentos e sua respectiva multiplexação dos anodos e catodos. A seguir, é apresentado o *test bench* relativos a ativação dos segmentos do *display*, figura 61, assim como sua multiplexação, figura 62.

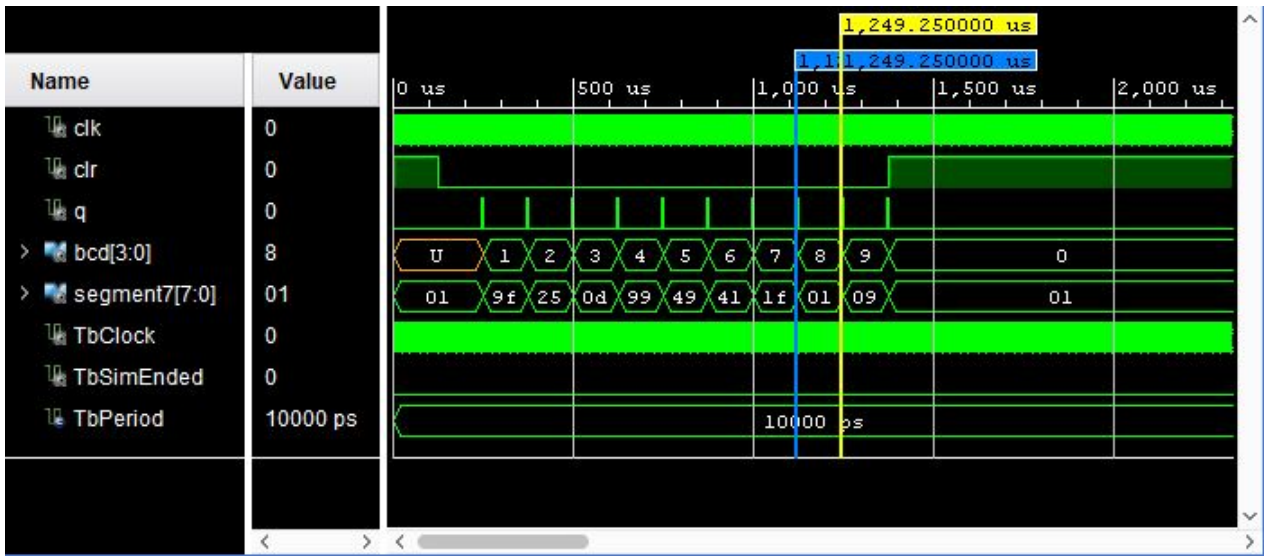


Figura 61 – Ativação dos segmentos do *display*. Fonte: do Autor.

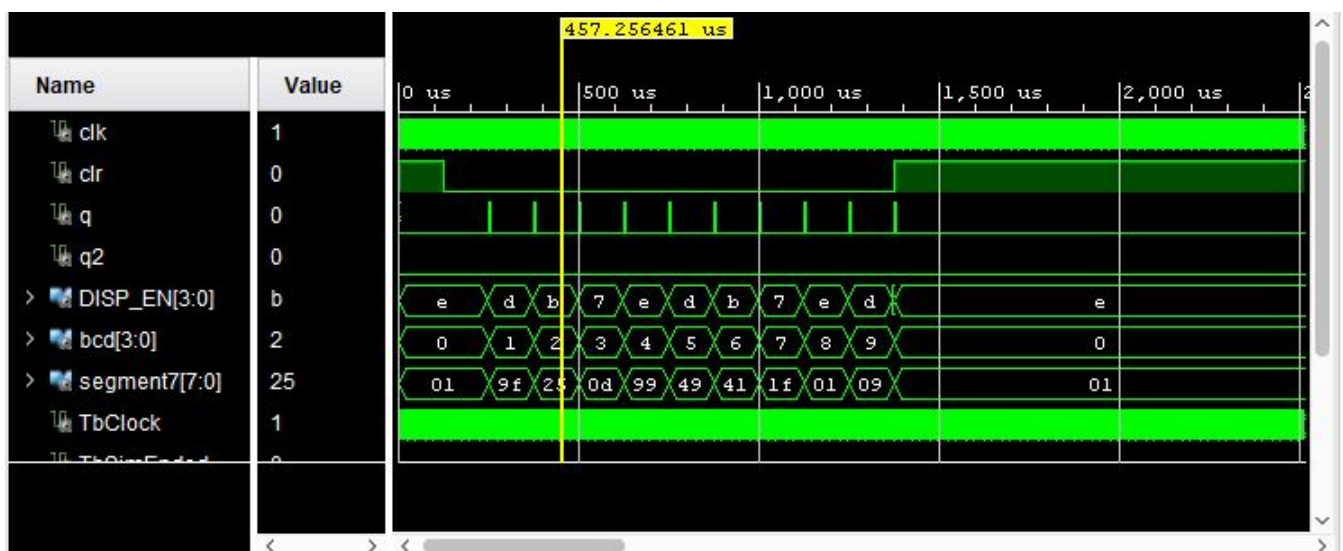


Figura 62 – Multiplexação dos *displays* de sete segmentos com a frequência de 2KHz. Fonte: do Autor.

5.1.3 Validação do módulo Registrador

Tem-se que a coleta de dados é realizada pelo método de *oversampling*, logo a taxa amostragem do conversor A/D é superior à taxa de amostragem desejada. Para corrigir este problema, utilizou-se um registrador composto por 12 *flip-flops* tipo D, de modo que a amostra permanece armazenada até a próxima borda de subida do sinal de *clock* utiliza de 8KHz, que é então enviada para ser grava no arquivo *txt* por meio do protocolo UART. A seguir, na figura 63, apresenta-se o *test bench* do módulo, assim como o período desejado para aquisição de informações .

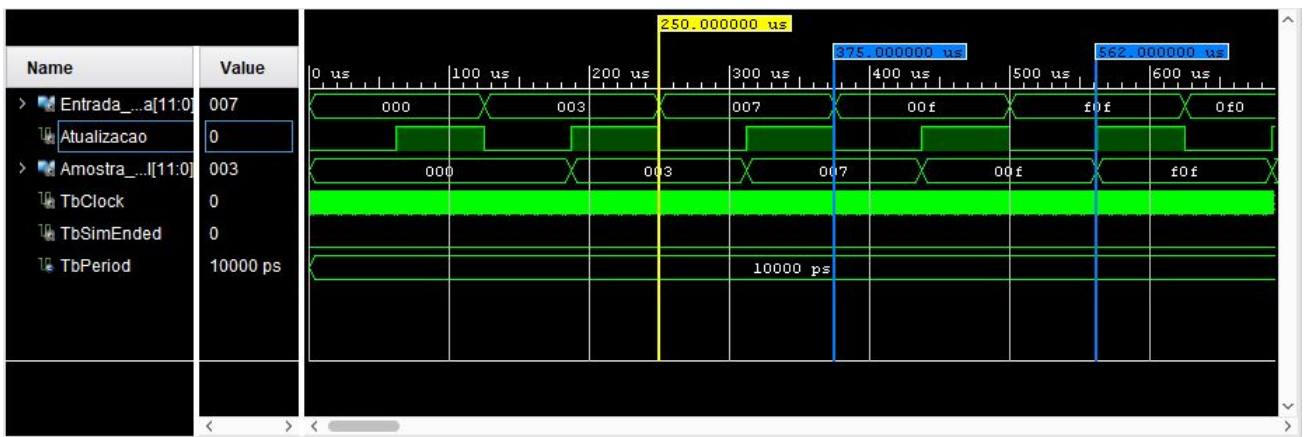


Figura 63 – Módulo registrador formado com *flip-flop* tipo D com a frequência de 8KHz.
Fonte: do Autor.

5.1.4 Validação módulo UART

Conforme comentado no item 4.1.7, a comunicação UART estabelecida é com a taxa de transmissão de 230.400 *bits/s*, logo para manter a taxa de cadência na transmissão dos *bits* necessita-se dobrar a *baud-rate* para 460800 *bits/s* de modo que espere-se por pelo menos 1 ciclo de *clock* entre as transmissões de *bits* e, para isto, o número inteiro utilizando o arredondamento para o divisor cíclico é 109, entretanto o resultado desta divisão não é exatamente o especificado anteriormente, é 458.715,59 *bits/s*, bem próximo do valor desejado. Este valor também foi observado na simulação do *test bench*, assim como no osciloscópio do laboratório. Ressalta-se que o dado amostrado é enviado em 2 *bytes*, onde os 4 *bits* MSB da informação são concatenados com zeros à esquerda. Além disso, a ordem de envio é feita do MSB para o LSB. A figura 64 apresenta o *test bench* que contém o período da frequência do módulo e a transmissão de 2 *bytes*. Já a figura 60 apresenta a frequência da *baud-rate* do módulo.

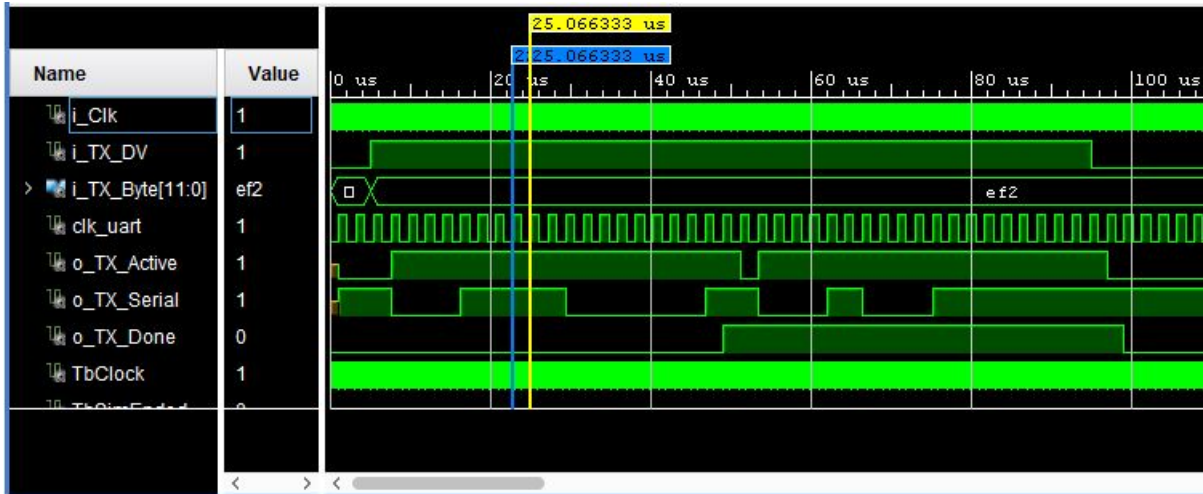


Figura 64 – *Test bench* do Módulo UART enviando 2 bytes com a frequência de 458.715,59KHz. Fonte: do Autor.

5.1.5 Validação do Sensor de Corrente por efeito *Hall* ACS712-5A

Sabe-se de acordo com a fabricante do sensor de efeito *Hall*, (ALLEGRO, 2012), apresenta DC *offset* de 2,5 V, o que corresponde a metade da alimentação do sensor quando não há corrente passando pelo sensor. Já quando há corrente, entre 0 à ± 5 A, tem-se uma tensão de saída correspondente a corrente aferida com sensibilidade de ± 185 mV/A. O fabricante disponibiliza a curva de sensibilidade do sensor de acordo com a variação de temperatura, como pode ser observada pela figura 65 abaixo:

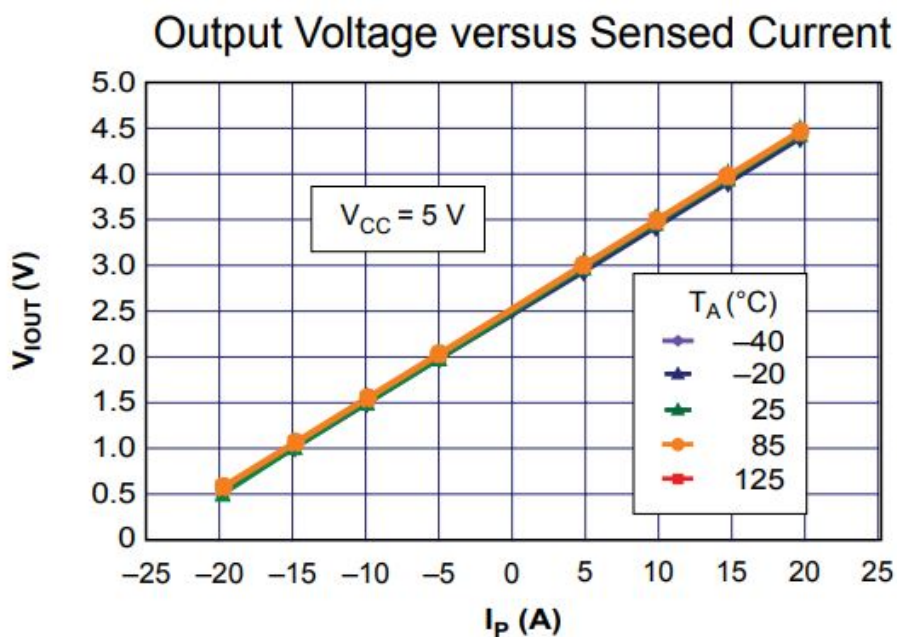


Figura 65 – Curva de sensibilidade do sensor de corrente ACS712-5A. Fonte: (ALLEGRO, 2012).

Para verificar esta curva de sensibilidade, realizou-se testes no laboratório utilizando a fonte DC presente no laboratório, onde aumentou-se a corrente DC de 0 a 5 A e observou-se a seguinte saída do sensor, como é verificado na tabela 13.

$I_{dc;n}$ (A)	V_{out} (V)
0	2,50
1	2,67
2	2,84
3	3,02
4	3,19
5	3,36

Tabela 13 – Relação de sensibilidade da tensão de saída do sensor ACS712 às variações de corrente. Fonte: do Autor.

Verifica-se assim que a saída de tensão relativa a corrente que passa pelo sensor *Hall* é de 0.172 mV/A, apresentando assim um erro relativo de 0,07 mV/A.

Para verificar o funcionamento do sensor quando conectado à rede elétrica e afeitando uma carga, realizou-se a seguinte modificação nos fios de uma tomada externa, como é ilustrado na figura 66, e como carga usou-se um secador de cabelo com 2 velocidades com potência de 1100 W, 220V.

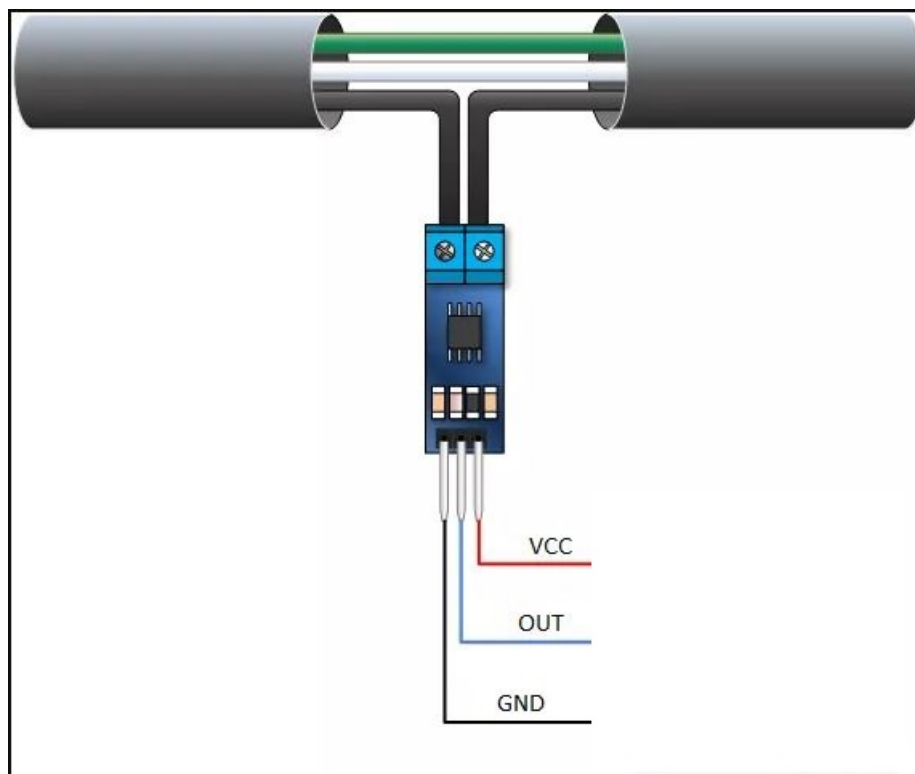


Figura 66 – Conexão do sensor de corrente na rede elétrica. Fonte: (HENRY, 2018).

E observou-se os seguintes resultados quando a carga utilizada, o secador de cabelo, operava na velocidade 1 e velocidade 2, respectivamente nas figuras 67 e 68.

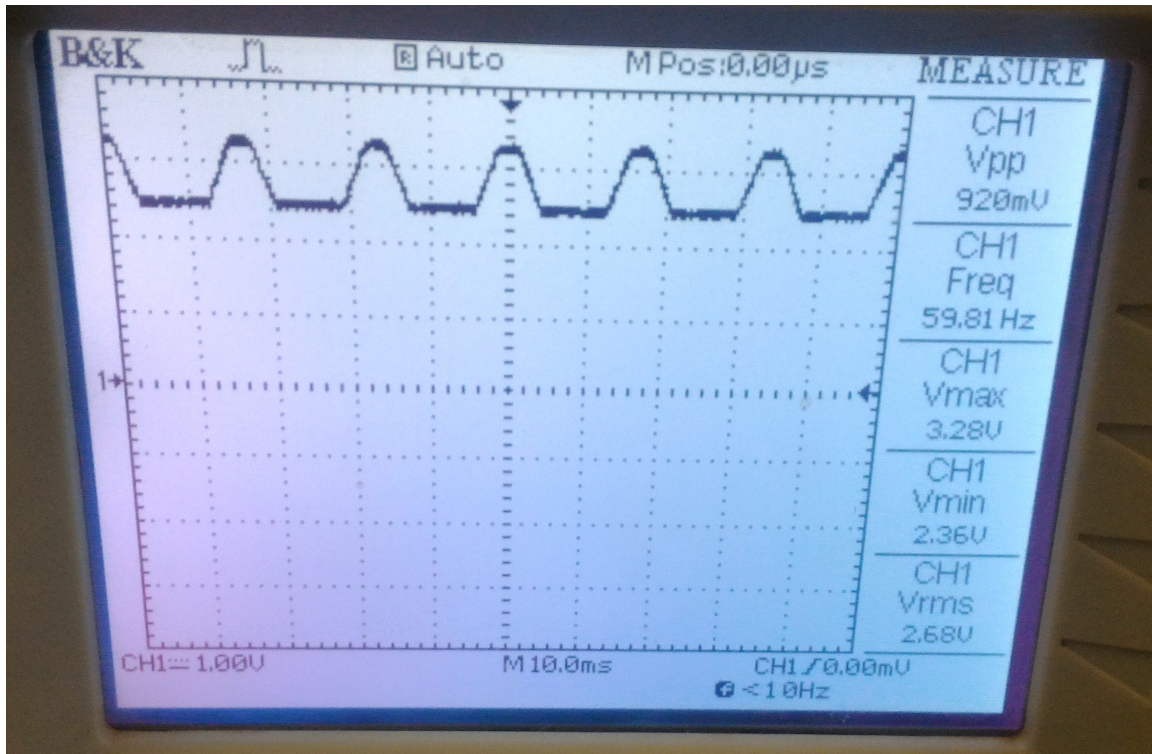


Figura 67 – Carga aferida pelo sensor na velocidade 1. Fonte: do Autor.

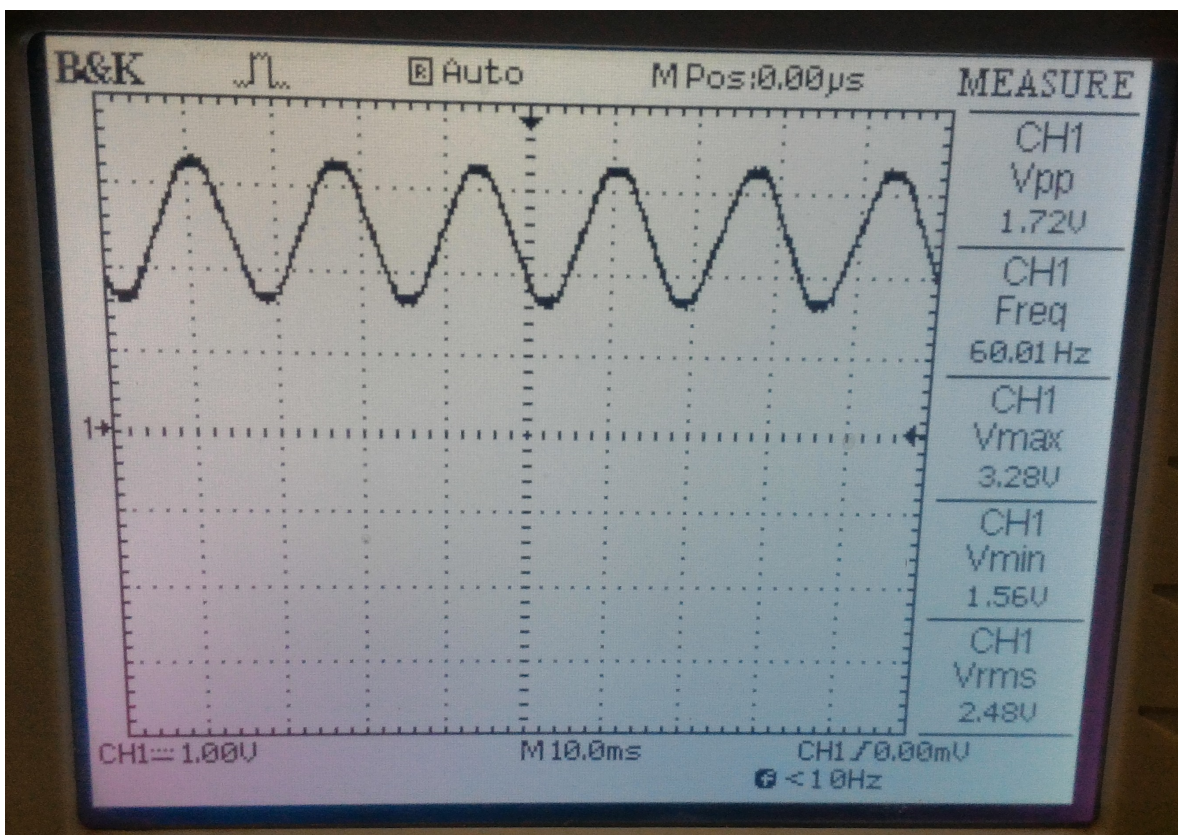


Figura 68 – Carga aferida pelo sensor na velocidade 2. Fonte: do Autor.

Observa-se que na velocidade 1 do secador, a forma de onda que alimenta o motor e os filamentos é retificada, mantendo-se o *offset* em 2,36V e valor de pico de 960mV, além de ruído e *spike* da comutação do motor. Já para a velocidade 2 da carga, pode-se observar a onda senoidal completa, mantendo-se o *offset* em 2,42 V e 0,860 Vpp do sinal AC medidor pelo sensor, o que corresponde a aproximadamente 5A passando pelo sensor. Comparando-se o valor de 0.860 Vpp, tem-se o sensor apresenta a sensibilidade de 0,172 mV/A, mesmo valor observado quando testado passando-se uma corrente DC.

5.1.6 Validação do módulo do conversor A/D

Depois da implementação dos módulos citados anteriormente e configurado o conversor A/D, realizou-se inicialmente a verificação dos valores variando-se valores de tensão DC nas entradas ADC(+) e ADC(-). Como o conversor opera no modo bipolar, variou-se os valores de tensão entre -0.5 a 0.5V. A tabela 14 apresenta os valores obtidos:

Vdc(V) Referência	Valor do Conversor	Vdc(V) Medido	Erro Relativo (V)
-0,5	-2048	-0,499755859375	0,000488281250
-0,4	-2470	-0,396972656250	0,0075683593775
-0,3	-2879	-0,297119140625	0,009602864583
-0,2	-3295	-0,195556640625	0,022216796875
-0,1	-3696	-0,097656250000	0,023437500000
0,0	0	0	0
0,1	0404	0,09863281250	0,013671875000
0,2	0808	0,19726562500	0,013671875000
0,3	1224	0,29882812500	0,003906250000
0,4	1618	0,39501953125	0,012451171875
0,5	2044	0,49902343750	0,001953125000

Tabela 14 – Relação de sensibilidade da tensão de saída do sensor ACS712 às variações de corrente. Fonte: do Autor.

Ao testar o funcionamento do conversor A/D da FPGA, agora usando um sinal alternado gerado pelo gerador de funções com amplitude de 592mV e frequência de 2Hz, figura 69, o medidor registrou a seguinte forma de onda, figura 70 e a frequência visualizada pela FFT do sinal, figura 71.

Observa-se pelo sinal amostrado a presença de *spikes* e *notches* causados por ruídos aleatórios originados pelo próprio gerador de funções quanto por ruído das lâmpadas de 60Hz, interferência eletromagnética e dos componentes passivos e ativos usados para a aquisição do sinal. Também é observado pela figura 71 que a frequência aferida foi de 2,5 Hz, apresentando erro relativo de 0,25 Hz e erro absoluto de 0,5Hz. Este desvio de frequência pode ter sido ocasionado pelo erros de *offset* e ganho do próprio conversor A/D. O erro de *offset* ocorre quando ocorre uma mudança de nível lógico alto em que não está no intervalo de 1/2 LSB, sendo assim, encontra-se fora da curva do cruzamento ideal por 0, como pode ser observado pela figura 72.(ROCHA, 2016).

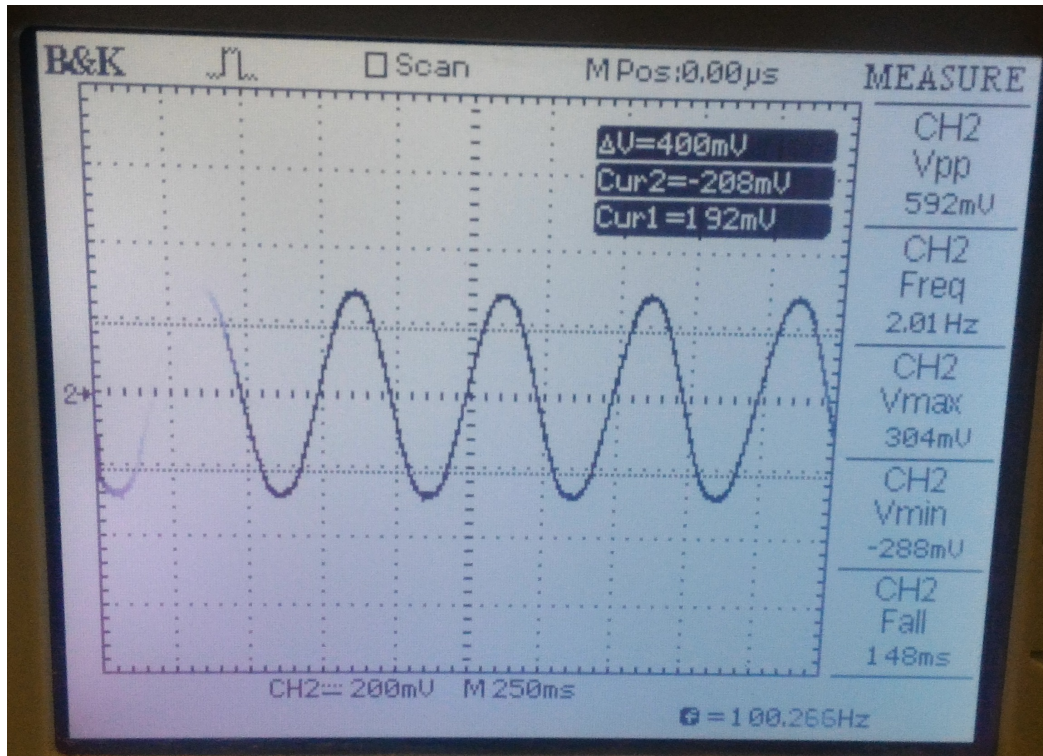


Figura 69 – Sinal gerado pelo gerador de funções com 592 mVpp e frequência de 2Hz.
Fonte: do Autor.

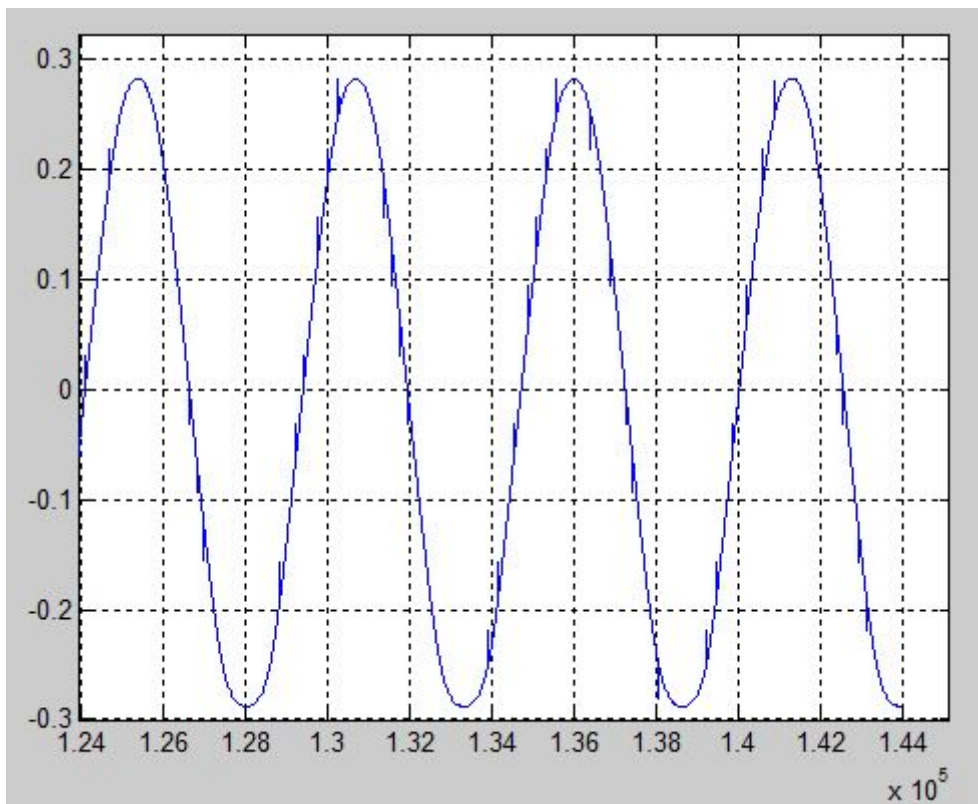


Figura 70 – Sinal amostrado pelo módulo medidor. Fonte: do Autor.

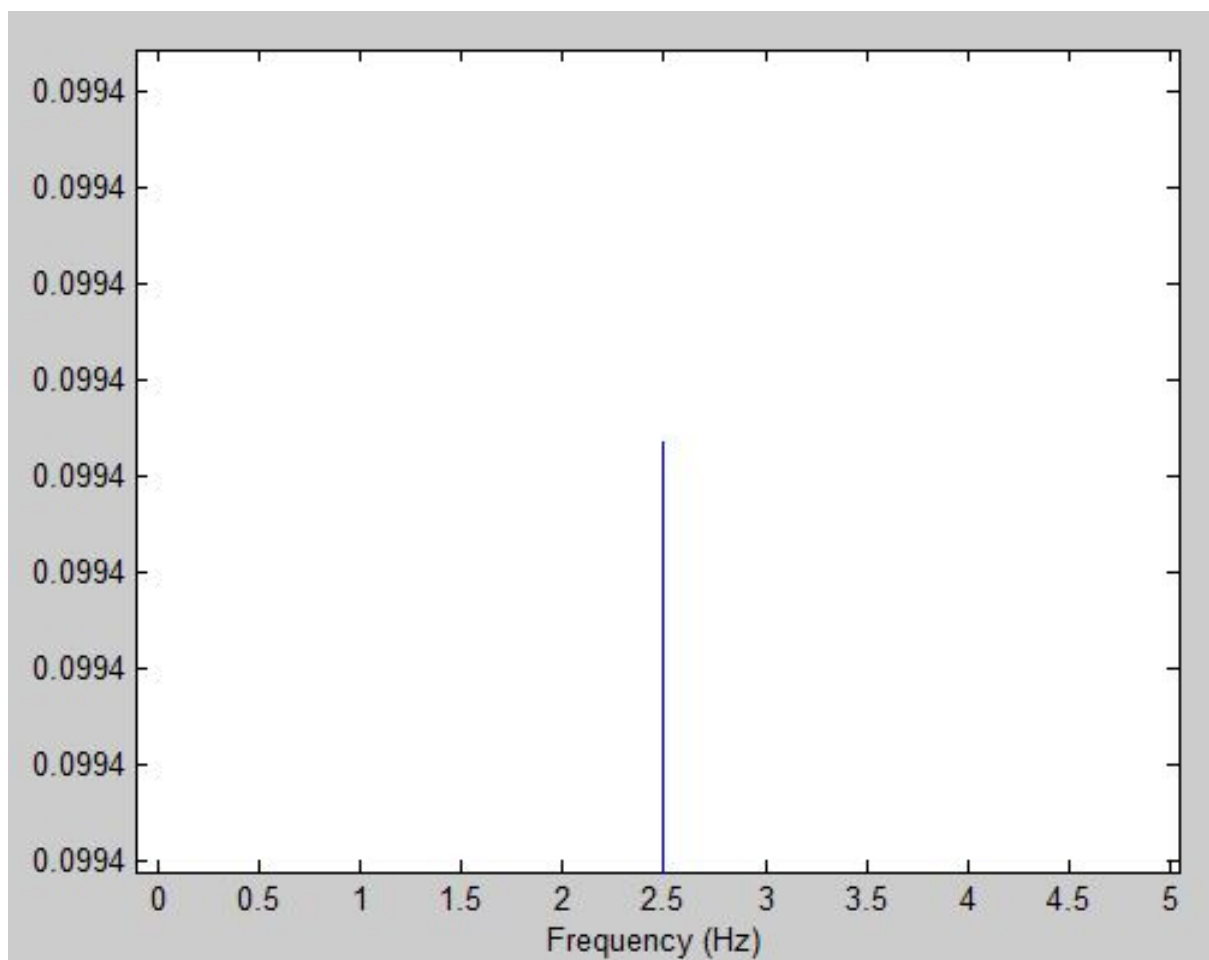


Figura 71 – Frequência do sinal amostrado obtido pela FFT de 2,5 Hz. Fonte: do Autor.

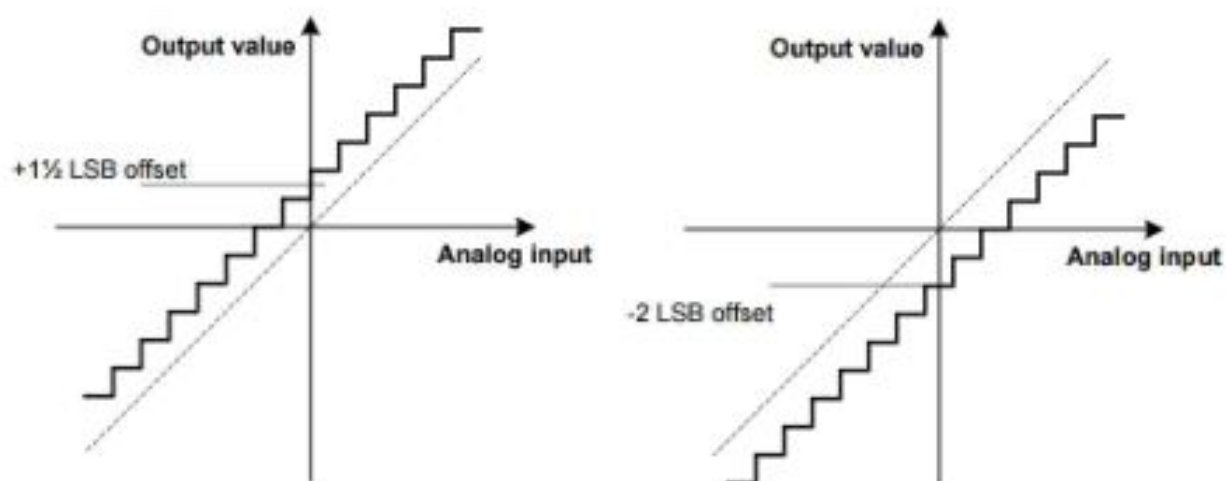


Figura 72 – Erro de *offset* do conversor A/D. Fonte: (ROCHA, 2016).

Já erro de ganho ocorre quando tensão de entrada encontra-se em sintonia com a quantização, entretanto ocorre desvio dos valores quantizados, originando uma inclinação maior que 1LSB, isto pode ser observado pela figura 73.

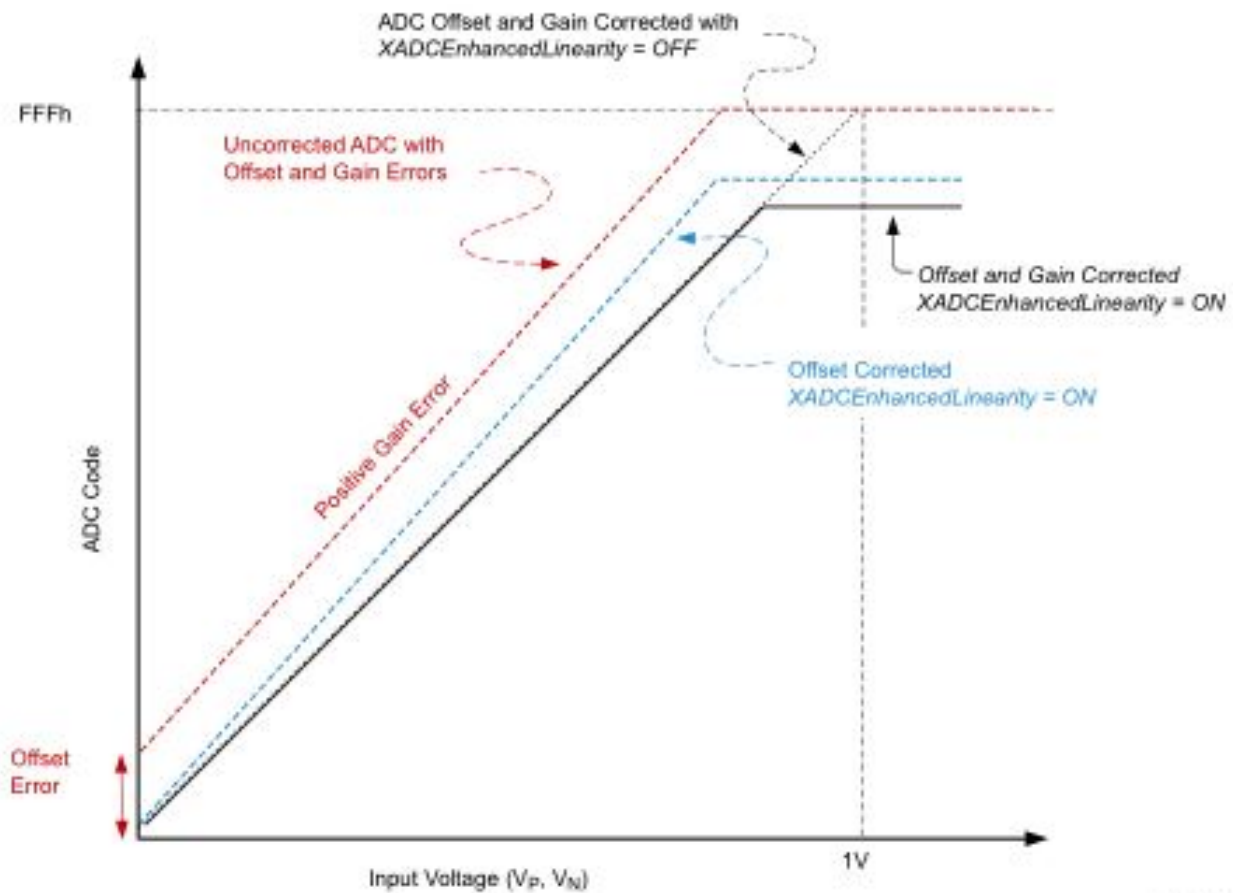


Figura 73 – Erro de ganho do conversor A/D. Fonte: (XILINX, 2018a).

Tentou-se corrigir este problema seguindo as orientações da fabricante, (XILINX, 2018a), onde os bits correspondentes ao registrador X"41", ativando-se os registradores para correção de ganho e *offset*. Apesar disso, como será visto adiante, o problema foi minimizado, implicando assim no desvio de frequência do sinal amostrado. Observou-se também, no código de recepção UART da *raspberry PI* que quantidade de amostras desejadas eram superiores a taxa de amostragem, isso devido ao fato de que a o micro-computador não possui RTC e aos atrasos devido ao kernel linux executar processos paralelos para a comunicação dos dados via UART e captura da informação de dia, hora, minuto e segundo, além de processos em segundo plano. Por exemplo, ao não colocar *delay* citado anteriormente para transmissão e recepção de dados, observou-se o total de 10500 amostras gravadas no tempo de 1 segundo e ao inserir o *delay*, observou-se uma média de 9000 amostras durante 1 segundo. Essa variação da taxa de amostragem percebida pelo receptor dos dados também implica na variação da frequência, pois o cálculo da FFT leva em consideração uma taxa de amostragem exata. Constatada a divergência, optou-se por retirar o *delay* e realizar como aprimoramento futuro, a implementação da comunicação síncrona I2C como modo de eliminar este problema.

5.1.6.1 Análise de Parâmetros Elétricos usando Carga

Corrigidos e validado os problemas que os módulos anteriores apresentavam, testou-se o medidor usando como carga o secador de cabelo de 1100W e uma lâmpada elétrica do tipo *led* de 5W.

O teste com a lâmpada *led*, utilizando uma tomada de 220V, implica na passagem de um corrente elétrica de 22,7 mA no sensor de efeito *Hall*, o que corresponde a 4,21 mV em sua saída, isto foi gravado durante o tempo de 6 segundos. A figura abaixo 74 apresenta a forma de onda visualizada no osciloscópio, com a presença de um *offset* de 0.35mV, a figura 75 o sinal gravado pelo medidor sem a presença do *offset* e a figura 76 apresenta a FFT do sinal.

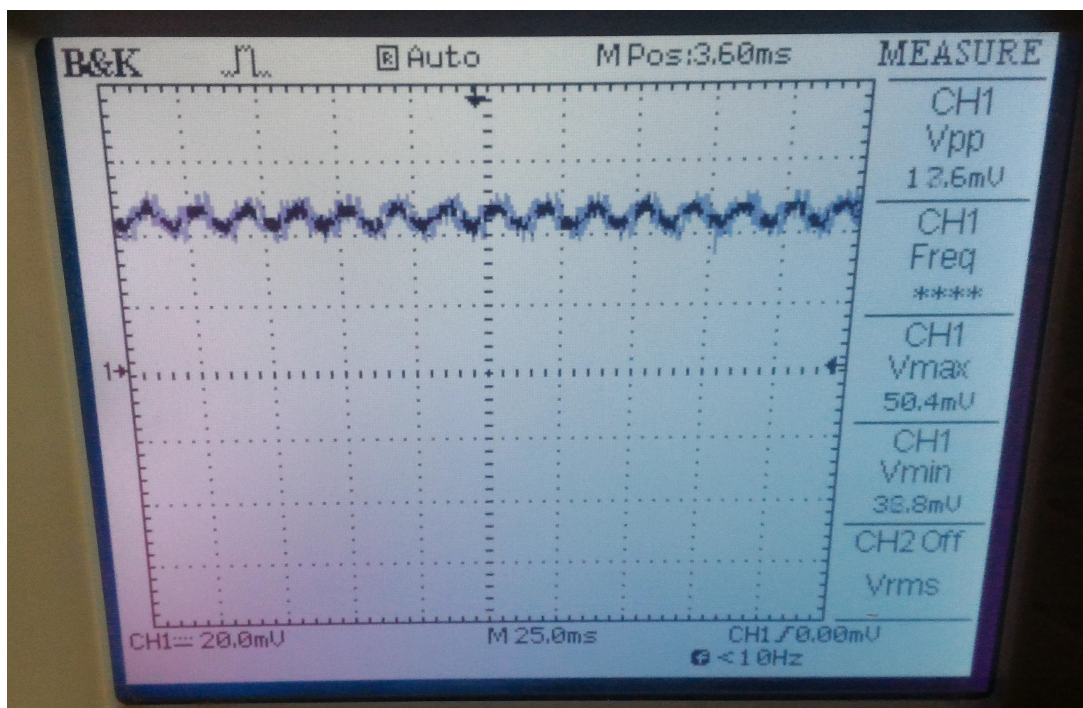


Figura 74 – Visualização da forma de onda da lâmpada led no osciloscópio. Fonte: do Autor.

Por meio da figura 76 percebe-se a presença de outras frequências alterando a forma de onda senoidal. Tais frequências podem ser múltiplos inteiros da frequência fundamental, ou harmônicos, assim como podem ser frequências não múltiplas da fundamental que são originadas pelo circuito de chaveamento interno da lâmpada. Observa-se que as componentes em frequência que interferem no sinal são visualizadas na tabela 15.

Pela tabela 15, verifica-se a influência dos harmônicos ímpares 3, 5, 7, 9, 11, 13 e 15 no sinal amostrado. Todavia, observa-se que apenas os três primeiros harmônicos ímpares contribuem significativamente no sinal, visto que as demais componentes apresentam magnitude insignificante, evidenciado-se assim o preciosismo da norma em exigir a medição até a 40ª harmônica de um sinal, já que qualquer filtro passa-baixa com

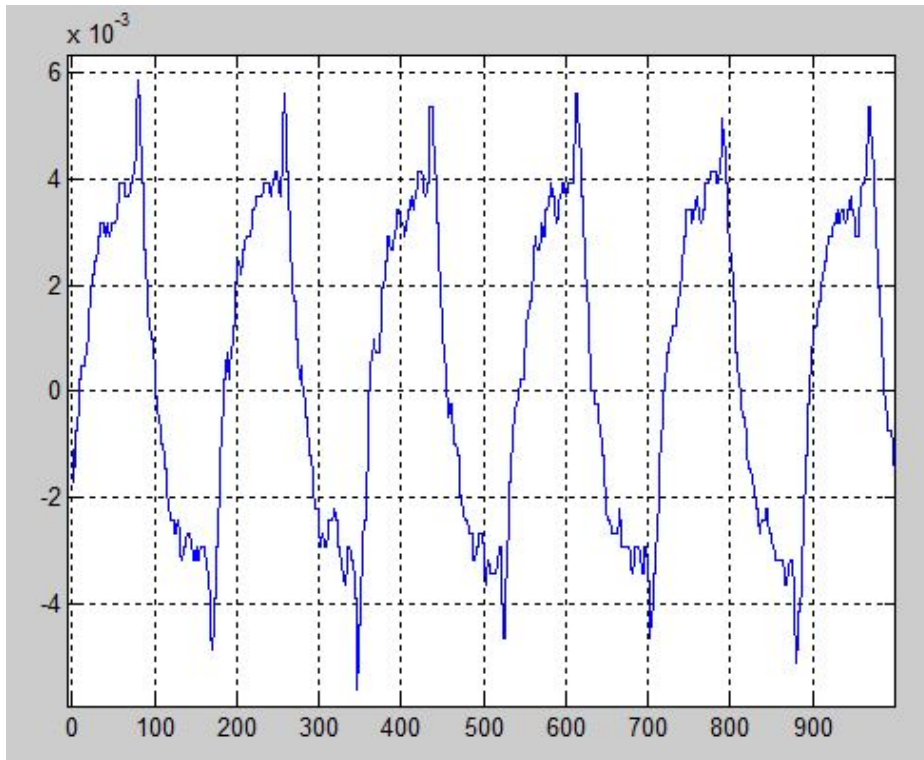


Figura 75 – Visualização da forma de onda registrada pelo medidor proposto. Fonte: do Autor.

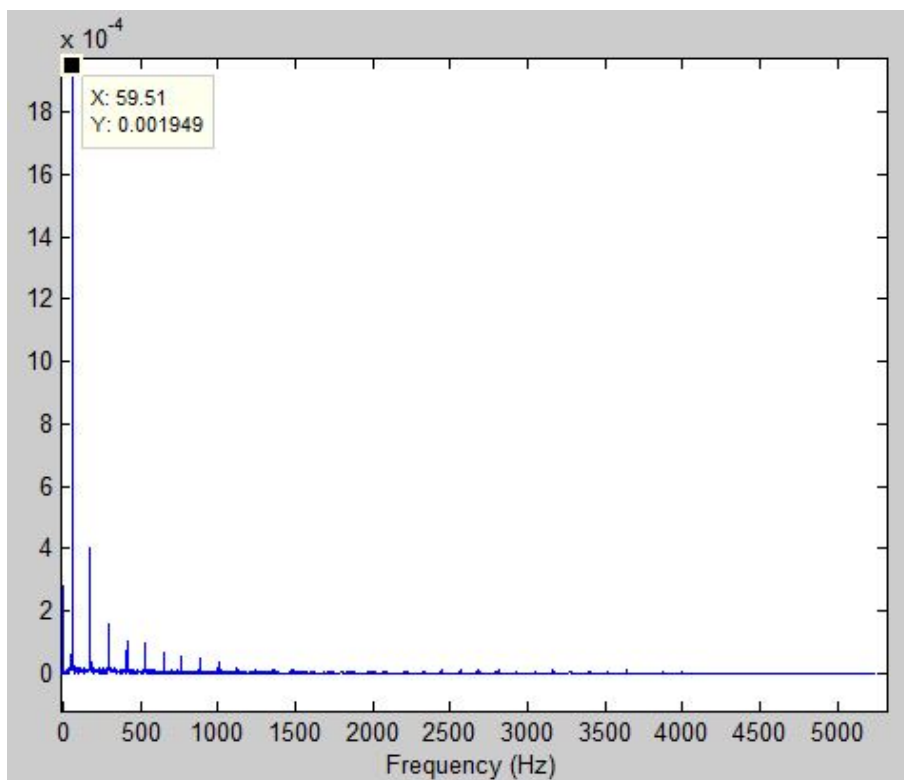


Figura 76 – FFT do sinal registrado pelo medidor proposto. Fonte: do Autor.

Frequência (Hz)	Magnitude (mV)
59,5	1,949
177,5	0,4029
295,5	0,1561
413,5	0,1023
532,6	0,09816
650,6	0,06459
768,6	0,05261
886,6	0,04892

Tabela 15 – Demais frequências presentes no sinal amostrada da lâmpada led. Fonte: do Autor.

frequência de corte inferior a eliminaria estas altas frequências. Realizando a análise do sinal com o auxílio do *Matlab*, verificou-se que o sinal da lâmpada apresentou as seguintes características mostradas na tabela 16 :

Parâmetro	Valor
Frequência (Hz)	59.5
IRMS (A)	0.0154
VRMS (V)	229.6251
P (W)	5.0089
Q (VAR)	4.8225
S(VA)	6.9531
FP	0.7204
ITHD	23,8531

Tabela 16 – Resultado dos parâmetros analisados dos arquivos gravados pelo medidor. Fonte: do Autor.

Já utilizando a carga do secador de cabelo também utilizando a tomada de 220V, implica na passagem de uma corrente de 5A, que corresponde a tensão de 860mV na saída do sensor. Como o conversor funciona no modo bipolar, sua medição varia entre as tensões de -0,5 a 0,5V, logo utilizou-se um divisor de tensão para que a saída mantenha-se entre 0.250 a -0.250 V para que seja possível identificar sobretensões, subtensões e transitórios. Neste teste, foram gravadas 3 amostras: a primeira apresenta o sinal contínuo; e a segunda e terceira amostras foram gravadas onde esperou-se um pequeno por pelo menos 5 segundos, ligou-se o secador na velocidade 2 por 5 segundos e então deligou-se o secador por 5 segundos e então ligou-se novamente a carga na velocidade 1 por 3 segundos. Esta rotina para a gravação das amostras 2 e 3 da carga utilizando o secador de cabelo foi escolhida, pois sabe-se que variações temporárias de tensão associadas aos distúrbios de elevação, afundamento e interrupção de tensão possuem a duração igual ou superior a 3 segundos e menor que 3 minutos, como descrito na tabela 9.

- Análise primeira amostra.

A figura 77 abaixo apresenta a forma de onda do sinal filtrado e com *offset* do sensor retirado; a figura 78 apresenta o sinal amostrado pelo medidor e a figura 79 apresenta a

FFT do sinal amostrado.

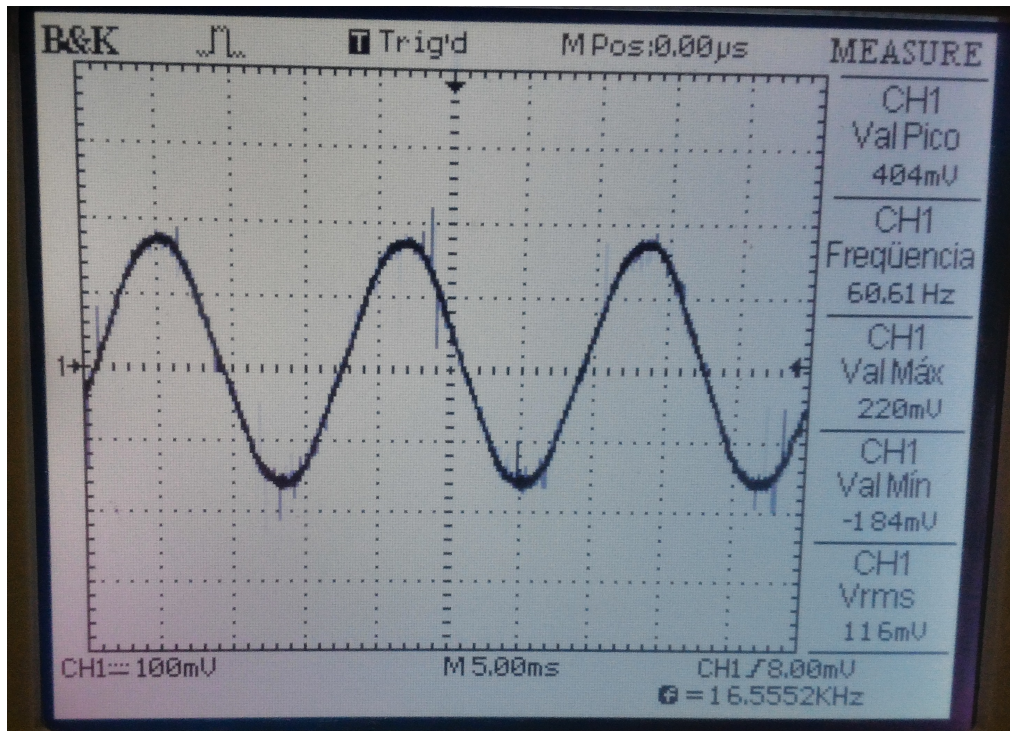


Figura 77 – Sinal verificado da carga no osciloscópio. Fonte: do Autor.

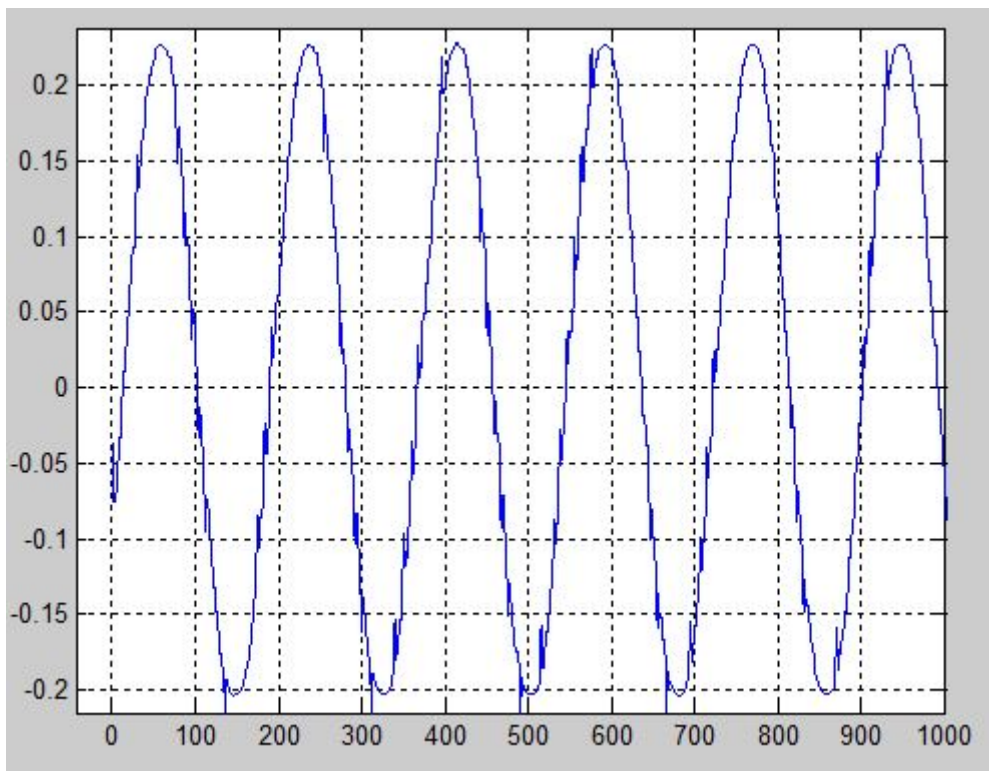


Figura 78 – Sinal amostrado da carga pelo medidor. Fonte: do Autor.

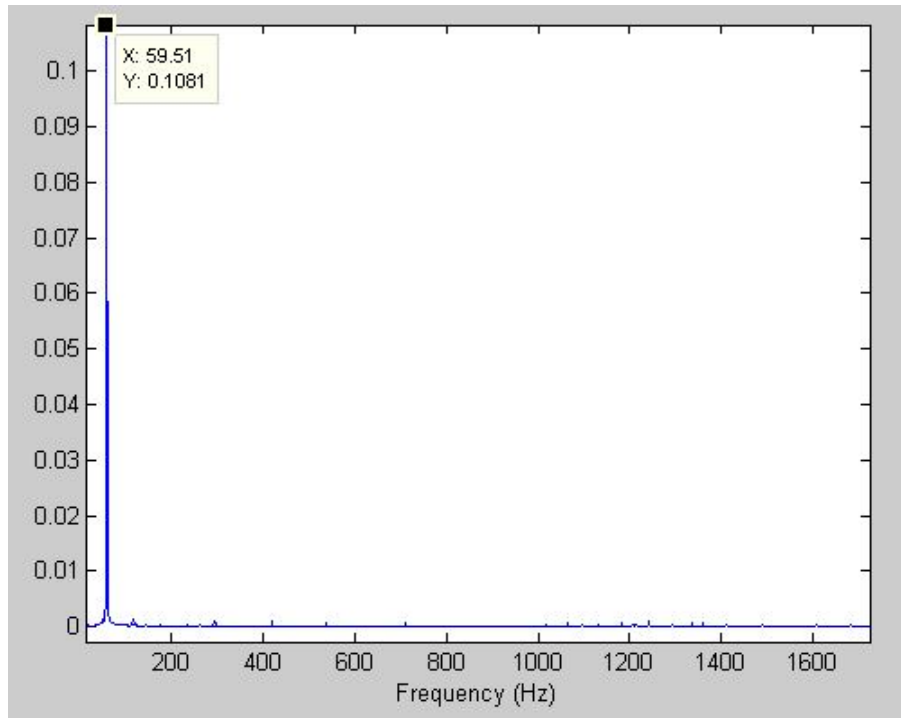


Figura 79 – FFT do sinal amostrado da carga pelo medidor. Fonte: do Autor.

Observa-se também que a filtragem por *oversampling* funcionou corretamente, visto que possuindo um filtro RC passa baixa passivo conseguiu eliminar grande parte das componentes harmônicas do sinal, já que a carga utilizada motor DC.

Como a aferição foi realizada com a carga ativada, não registrou-se nenhuma sobretensão, subtensão e interrupção. Realizando-se a análise do sinal com o auxílio do software *Matlab*, obtiveram-se os resultados relativos aos parâmetros elétricos na tabela mostrados na 17.

Parâmetro	Valor
Frequência (Hz)	59.51
<i>IRMS</i> (A)	3.3396
<i>VRMS</i> (V)	329.3808
P (W)	1100.00012
Q (VAR)	1038.7908
S(VA)	1512.9728
FP	0.7270
<i>ITHD</i>	0

Tabela 17 – Resultado dos parâmetros analisados dos arquivos gravados pelo medidor com a carga secador de cabelo. Fonte: do Autor.

- Análise da segunda amostra.

A figura 77 anterior também representa a forma de onda do sinal filtrado e com *offset* do sensor retirado da segunda amostra, agora modificado pelas condições de acio-

namento da carga como já citado anteriormente; a figura 80 apresenta o sinal amostrado pelo medidor e a figura 81 apresenta a FFT do sinal amostrado.

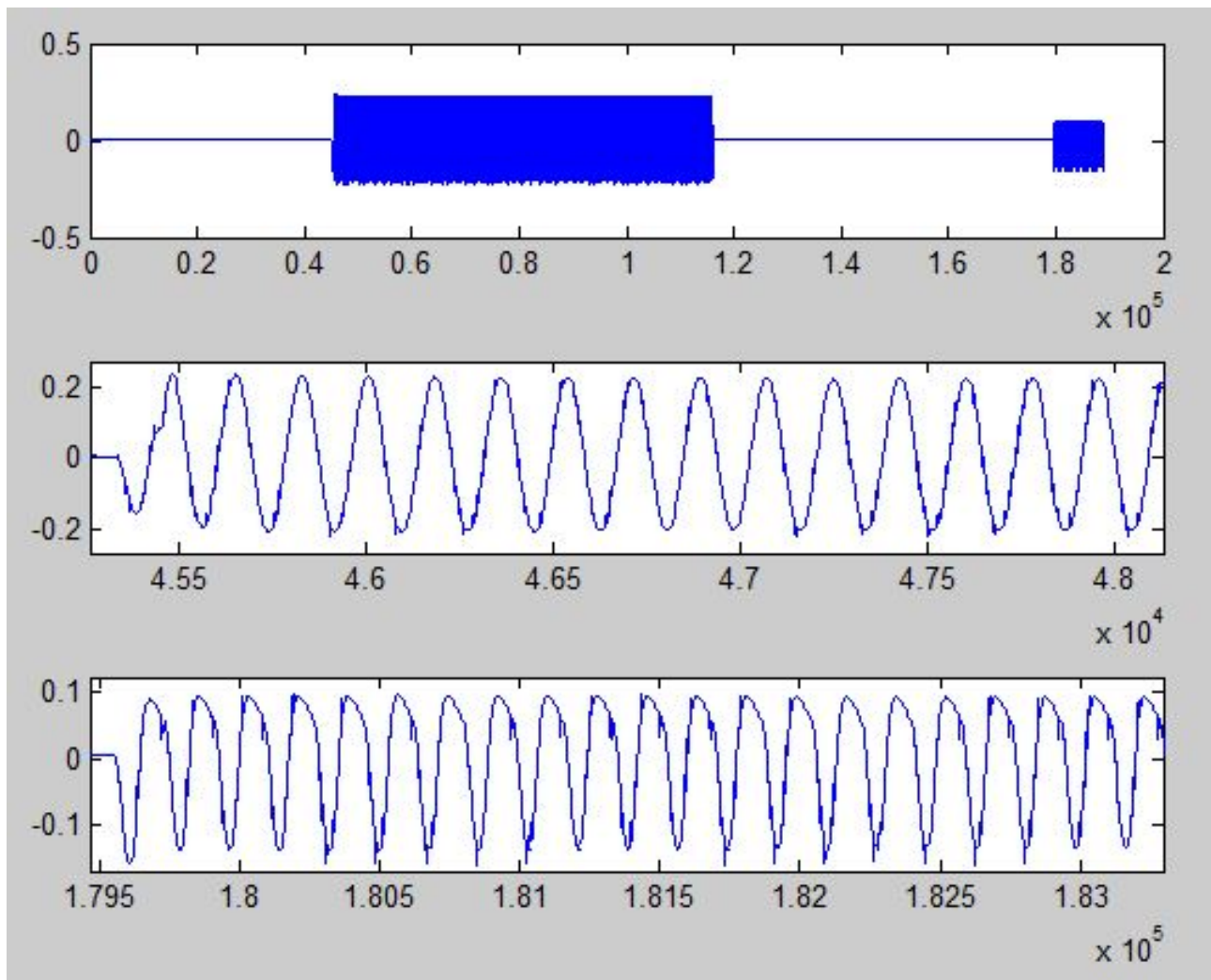


Figura 80 – Sinal amostrado da carga pelo medidor. O topo da figura é o sinal amostrado por completo, já parte intermediária corresponde ao zoom nas amostras do sinal quando a carga é acionada na velocidade 2 após 5 segundos e a parte final da imagem é o zoom no sinal quando a carga é acionada na velocidade 1 durante 3 segundos, após a interrupção de 6 segundos. Fonte: do Autor.

Percebe-se na figura 80, no final da imagem que quando a carga é acionada na velocidade 1, esperava-se apenas a onda senoidal retificada, entretanto percebe-se uma onda senoidal deformada em seu semi-ciclo negativo devido ao fato da descarga do capacitor de acoplamento para eliminação do *offset*.

Pela figura 80, em sua parte central, ainda observa-se a presença de *notches* causados pela comutação das bobinas do motor DC. Verifica-se que a frequência medida pelo osciloscópio é de 60,61 Hz, enquanto a da análise do medidor é de 59,51 Hz, como é observado na figura 81, apresentando assim um erro relativo de 0.018 e erro absoluto de 1,1 Hz.

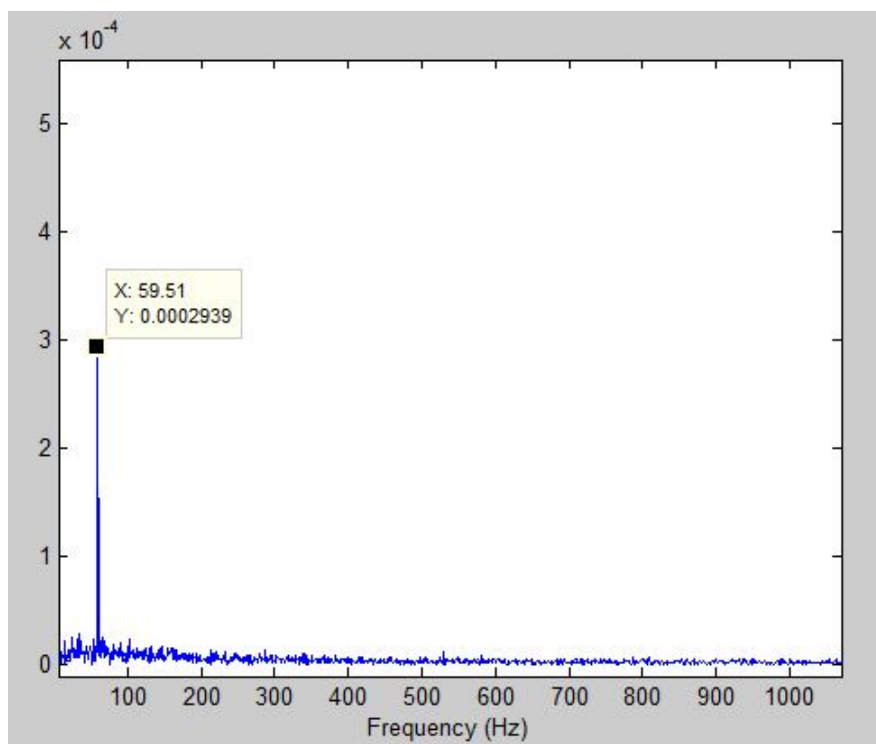


Figura 81 – FFT do sinal amostrado da carga pelo medidor. Fonte: do Autor.

Como a aferição foi realizada com a carga em estado de repouso, para então ser acionada, registrou-se uma pequena sobretensão, assim como quando a carga foi acionada na velocidade 1, visto que o método escolhido baseia-se na verificação do valor eficaz do sinal, como é sugerido por (MATANA, 2008). Realizando-se a análise do sinal com o auxílio do software *Matlab*, obtiveram-se os seguintes resultados relativos aos parâmetros elétricos na tabela 18.

Parâmetro	Valor
Frequência (Hz)	59.51
<i>IRMS</i> (A)	2.0728
<i>VRMS</i> (V)	265.34
P (W)	1099.99
Q (VAR)	911.856
S(VA)	1428.7965
FP	0.7699
<i>ITHD</i>	0

Tabela 18 – Resultado dos parâmetros analisados dos arquivos gravados pelo medidor com a carga secador de cabelo com combinação de acionamento. Fonte: do Autor.

Obtiveram-se, pelo algoritmo desenvolvido de cálculo de valor eficaz de meio período do sinal, os seguintes resultados para identificação de sobretensão, subtensão e interrupção verificados na figura 82 e tabela 19.

Ressalta-se que de acordo com o módulo 8 da ANEEL, o tempo de interrupção para eventos de curta duração é igual ou inferior a 3 segundos. O tempo de interrupção

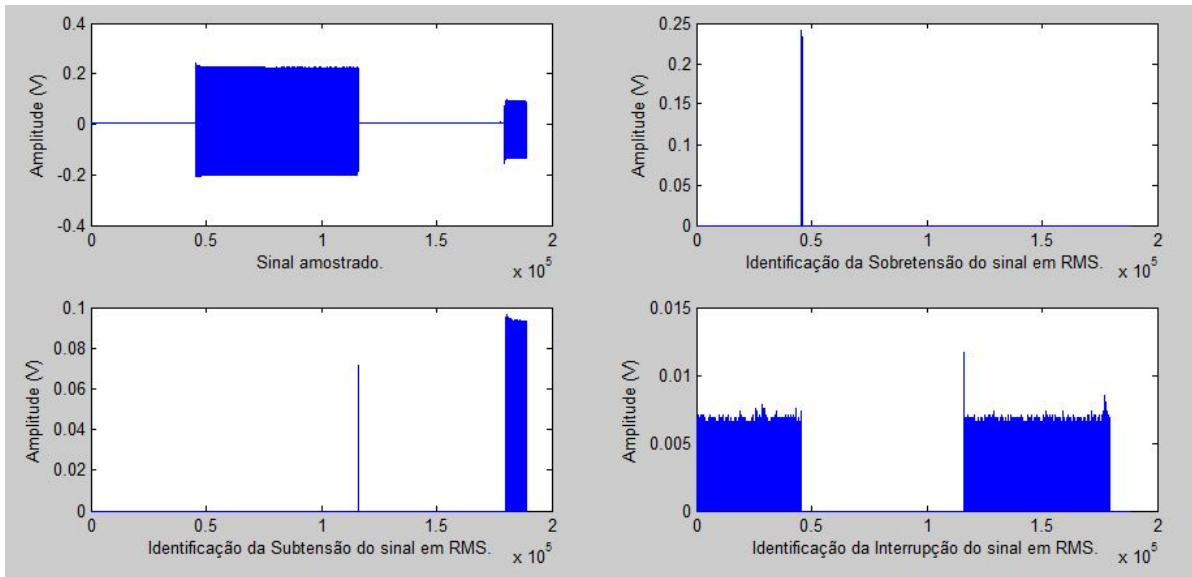


Figura 82 – Análise de sobretensão, subtensão e interrupção do sinal aferido. Fonte: do Autor.

Distúrbio	Tempo medido(s)	Tempo esperado(s)	Erro relativo (%)
Sobretensão	0,0880	0,0915	3,82
Subtensão	1,1748	0,90	30,5
Interrupção	13,56	10,32	31,4

Tabela 19 – Resultado dos tempo total dos distúrbios analisados. Fonte: do Autor.

superior utilizado no teste tem a finalidade de identificação do tempo total da interrupção.

- Análise da terceira amostra.

A análise da terceira amostra é semelhante à anterior. A figura 77 apresenta a forma de onda do sinal filtrado e com *offset* do sensor retirado, agora modificado pelas condições de acionamento da carga; a figura 83 apresenta o sinal amostrado pelo medidor e a figura 84 apresenta a FFT do sinal amostrado.

Pela figura 83, em sua parte central, ainda observa-se a presença de *notches* causados pela comutação das bobinas do motor DC. Verifica-se que a frequência medida pelo osciloscópio é de 60,61 Hz, enquanto a da análise do medidor é de 59,51 Hz, como é observado na figura 81, apresentando assim um erro relativo de 0.018 e erro absoluto de 1,1 Hz.

Realizando-se a análise do sinal com o auxílio do software *Matlab*, obtiveram-se os seguintes resultados relativos aos parâmetros elétricos na tabela 20.

Obtiveram-se, pelo algoritmo desenvolvido de cálculo de valor eficaz de meio período do sinal, os seguintes resultados para identificação de sobretensão, subtensão e interrupção verificados na figura 85 e tabela 21.

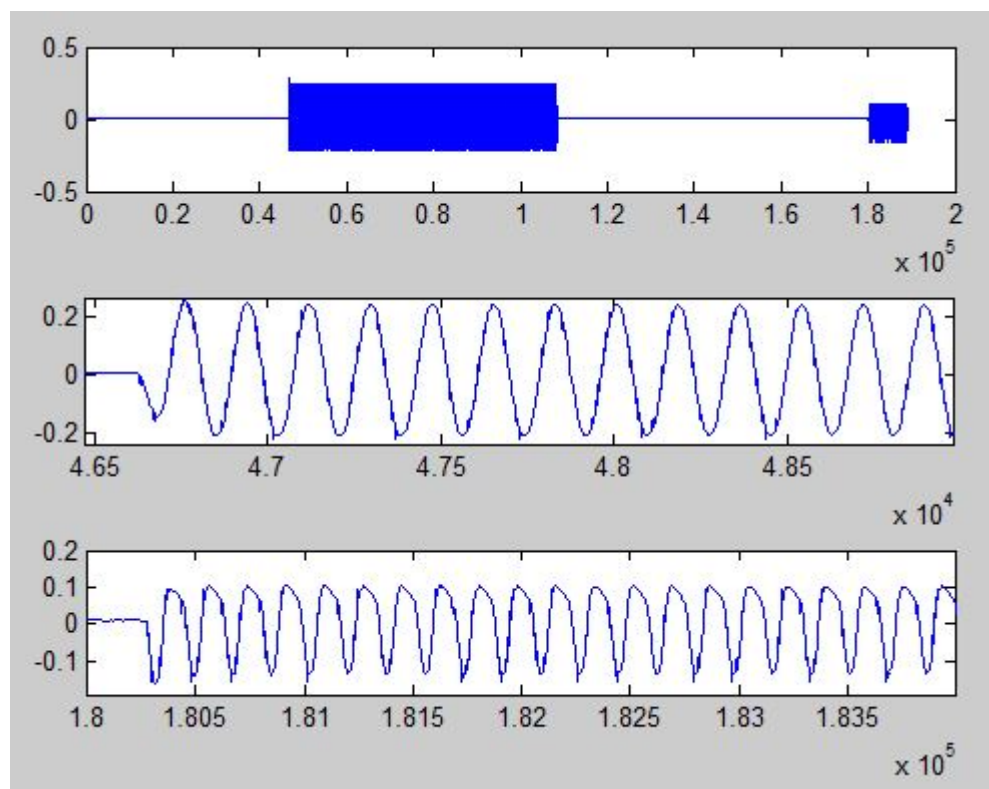


Figura 83 – Sinal amostrado da carga pelo medidor. O topo da figura é o sinal amostrado por completo, já parte intermediária corresponde ao zoom nas amostras do sinal quando a carga é acionada na velocidade 2 após 5 segundos e a parte final da imagem é o zoom no sinal quando a carga é acionada na velocidade 1 durante 3 segundos, após a interrupção de 6 segundos. Fonte: do Autor.

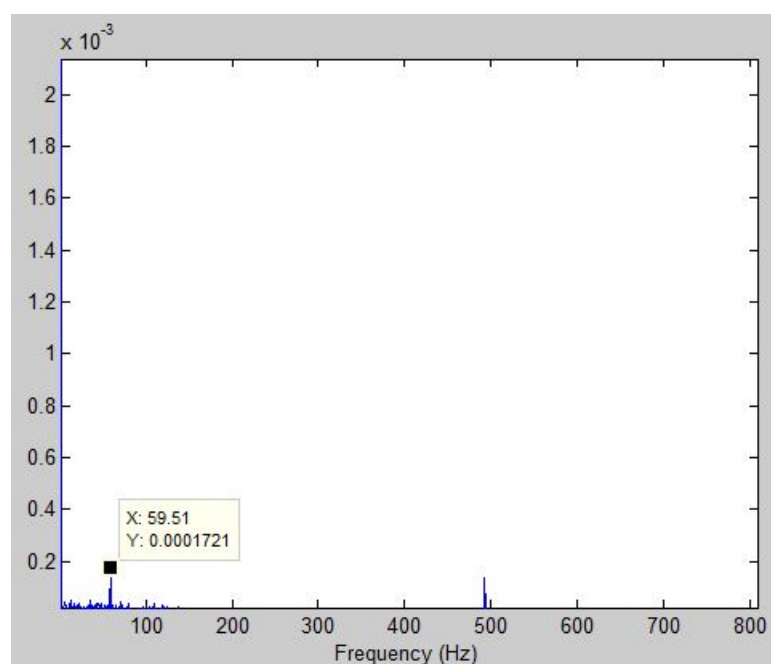


Figura 84 – FFT do sinal amostrado da carga pelo medidor. Fonte: do Autor.

Parâmetro	Valor
Frequência (Hz)	59.51
IRMS (A)	2.0189
VRMS (V)	272.44
P (W)	1100.05
Q (VAR)	888.272
S(VA)	1413.9085
FP	0,7780
ITHD	0

Tabela 20 – Resultado dos parâmetros analisados dos arquivos gravados pelo medidor com a carga secador de cabelo com combinação de acionamento. Fonte: do Autor.

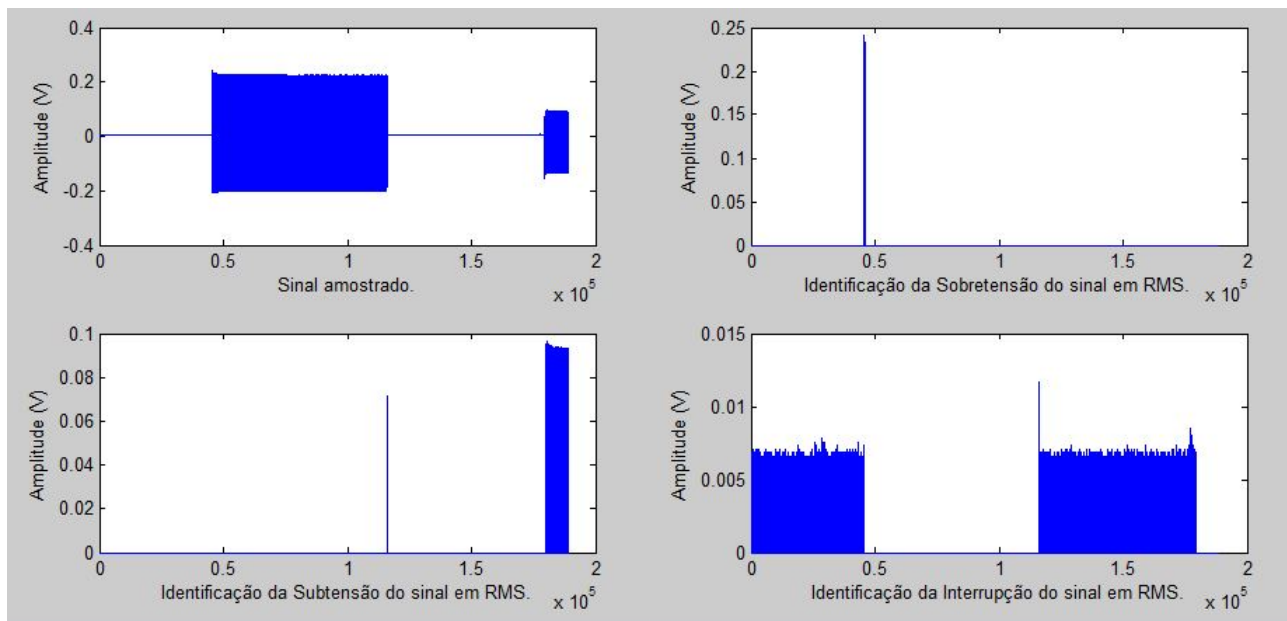


Figura 85 – Análise de sobretensão, subtensão e interrupção do sinal aferido. Fonte: do Autor.

Distúrbio	Tempo medido(s)	Tempo esperado(s)	Erro relativo (%)
Sobretensão	0.1114	0,0850	31,05
Subtensão	1.0845	0.81143	33,65
Interrupção	14.7549	11,25	31,15

Tabela 21 – Resultado dos tempo total dos distúrbios analisados. Fonte: do Autor.

Comparando-se os resultados obtidos nas tabelas 19 e 21, relativos a segunda e terceira amostras quando compara-se os distúrbios elétricos, percebe-se que os resultados obtidos foram próximos, apresentando erro por volta de 30%. Isso ocorre devido ao fato que o algoritmo implementado realiza a aferição dos valores de pico do sinal amostrado para o cálculo de valor de eficaz, e como a quantização apresenta picos relacionados aos evento de *spikes*, acaba-se por identificar valores de pico maiores que o desejado, inserindo erros no cálculo para contagem do tempo total dos distúrbios. Já ao analisar as tabelas 18 e 20, referentes aos parâmetros elétricos, observa-se que utilizando-se uma carga do tipo indutiva e resistiva controlada, não foi verificado uma grande distorção da

forma de onda do sinal medido pelo sensor *Hall*, indicando o funcionamento correto da carga, além do funcionamento adequado do filtro *anti-aliasing*. Comparando-se os valores de tensão e corrente eficaz, observa-se na segunda amostra um elevado valor de tensão RMS já que o cálculo realizado para estimativa de corrente eficaz considerou o período completo de amostragem do sinal, reduzindo assim a magnitude se seu valor pois não foi desconsiderado os períodos de interrupção. Os demais parâmetros de rede elétrica ficaram dentro do esperado, considerando a potência nominal da carga usada e da tensão nominal eficaz da tomada, verificando-se assim um valor de fator de potência médio das instalações do laboratório.

5.2 Implementações em Hardware

5.2.1 Condicionamento de Sinais e Protótipo do Medidor

Nesta etapa foram desenvolvidas as Placas de Circuito Impresso (PCB) para filtragem e aquisição de sinais. O *layout* da placa foi desenvolvido com o *software* Proteus. Devido a falta de tempo, não foi possível implementar o circuito de *no-break* para continuar a alimentar o protótipo durante a falta de energia, entretanto desenvolveu-se *layout* para implementação futura, presente no Anexo D, onde utilizam-se relés para comutar a alimentação da rede elétrica para um *power bank* de 1A quando ocorrer queda de energia.

A figura 86 apresenta a PCB implementada por meio de processo térmico constituído pelo filtro passa-baixa passivo RC, assim como o condicionamento de sinal para que a tensão aferida pelo medidor fique dentro da escala de tensão de -0.5 à 0.5V. A placa apresentou bom desempenho durante os testes realizados no laboratório. Os *layouts* dessa placa utilizada para os testes encontra-se no Anexo C.

Por fim, a figura 87 apresenta o protótipo do medidos com todas as conexões realizadas. Por meio desta, é possível verificar todas as conexões entre os equipamentos, como a conexão do sensor *Hall* à tomada; a resposta do sensor *Hall* conectada à placa de condicionamento de sinais; a saída da placa de condicionamento dos sinais elétricos associada às entradas do conversor A/D da FPGA; a conexão UART entre a FPGA e a *Raspberry pi*; a *Raspberry pi* alimentando o sensor de efeito *Hall* com 5V e conectada a uma fonte de alimentação externa de 5V e 2.5 A, assim como o cabo de *ethernet* ligados entre o *notebook* e a *Raspberry pi* para a transferência do arquivo *txt* via *SSH*.



Figura 86 – Placa de circuito impresso desenvolvida. Fonte: do Autor.

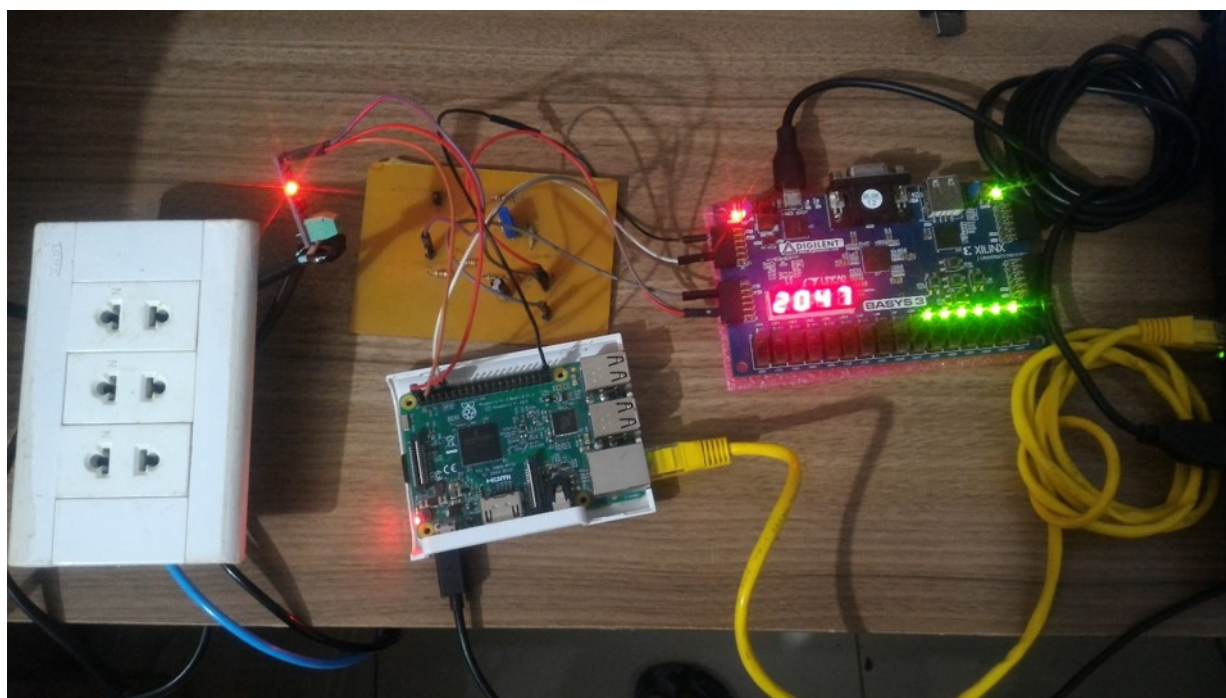


Figura 87 – Protótipo do medidor implementado. Fonte: do Autor.

6 Conclusão

Neste trabalho foi projetado e desenvolvido um módulo de medidor de energia elétrica utilizando a FPGA. Durante sua implementação, realizaram-se diversos testes e simulações para viabilizar sua validação em *software*, por meio da plataforma de desenvolvimento Vivado e em *hardware* usando o *kit* de desenvolvimento Basys3 - Artix7 da fabricante (DIGILENT, 2018a). A proposta do protótipo é que este seja colocado em um circuito monofásico para analisar os distúrbios elétricos que afetam as cargas, por exemplo, de uma residência. Para isso, utilizou-se o sensor de corrente ACS712 de efeito *Hall* e o conversor A/D interno da Basys3 para realizar a aquisição das grandezas elétricas. Os dados obtidos foram enviados por meio do protocolo UART para a *Raspberry pi 3* onde foram gravados em formato *.txt* com a informação de data e hora para posterior processamento no *Matlab*.

A metodologia aplicada no desenvolvimento do protótipo do medidor consistiu na definição da arquitetura que atendia aos requisitos do projeto composto pelos módulos do conversor A/D, conversor Binário para Decimal, Registradores, divisores de frequência e comunicação UART, para então ser modelado em linguagem de *hardware*, onde verificou-se o funcionamento dos módulos do projeto por simulações. Depois de validado o funcionamento dos blocos que constituem a arquitetura do medidor, estes foram modelados fisicamente por meio da IDE Vivado através dos circuitos digitais descritos.

Depois de validado e implementado os módulos do medidor, desenvolveu-se o código em linguagem C na *raspberrypi 3* para gravação dos dados em arquivo por meio do protocolo UART. Durante esta etapa, evidenciou-se as principais vantagens na utilização da plataforma FPGA, visto que esta fornece maior velocidade para desenvolvimento de sistemas, processamento paralelo e otimização de *hardware* que microprocessadores sem lógica programável não possuem, principalmente relacionados a RTL e RTOs, o que dificultou o pareamento de velocidades para o recebimento dos dados lidos pelo medidor. É importante ressaltar que inicialmente, desejava-se armazenar os dados em um cartão de memória, no mesmo formato já citado, usando o módulo PMOD da Digilent; infelizmente devido a falta de documentação da fabricante e referencial de empresas sobre os processos para escrita em cartão de memória, optou-se pelo protocolo UART devido sua simplicidade de implementação e a falta de tempo para o desenvolvimento de outro protocolo de comunicação, visto que o protocolo SPI desenvolvido funciona, mas o microcomputador para a escrita de dados não opera no modo *Slave/SPI*. Em seguida, levantou-se a curva característica do sensor de corrente ACS712, onde foi possível verificar os erros associados às medidas durante o aumento da corrente que passava pelo sensor. Por fim, desenvolveu-se o circuito para condicionamento de sinal, que contém o filtro passa-baixa

passivo e o circuito para eliminação do DC *offset* e regulação de tensão para atender os limites de $\pm 0,5V$ do conversor A/D, cujo foi testado e verificado a precisão de suas leituras, inicialmente com valores DC e posteriormente com sinais AC.

Finalizada a implementação do protótipo, realizou-se testes em bancada com carga onde foi possível obter o resultado de parâmetros elétricos e realizar análises de tensão, corrente, potência média, potência reativa, potência aparente, fator de potência e distorção harmônica total, além de identificar transitórios de curta duração, como sobretensão, subtensão e interrupção. Devido a ausência de um medidor comercial no laboratório da Faculdade, não foi possível determinar a precisão e acurácia do medidor proposto, todavia ao comparar os valores de frequência verificados no osciloscópio e os obtidos pela FFT, observa-se erro relativo de 1.1%, o que estaria dentro do limite da norma do PRODIST; ao comparar o valor de fator de potência, verifica-se que este encontra-se dentro do valor considerado padrão para fornecimento de energia, 0.7. Ao analisar o algoritmo para a identificação de transitórios, verificou-se erro médio de 30%, valor superior aos requisitos do PRODIST, já que o algoritmo implementado de valor eficaz em meio ciclo de onda considera todo o sinal amostrado e não apenas suas respectivas componentes de sinais. Quando comparara-se o preço gasto para implementar o medidor, considerando-se os valores da FPGA(R\$ 490.00), *Raspberry Pi*(R\$ 150.00), sensor ACS 712 (R\$ 19.00) e a PCB (R\$30.21) para condicionamento de sinais, empregou-se cerca de R\$ 689.21 enquanto medidores comerciais, descritos no estado da arte, custam por cerca de R\$5,000.00, evidenciando-se assim o baixo custo do protótipo.

6.1 Trabalhos Futuros

Para trabalhos futuros, sugere-se a modificação do protocolo de comunicação, de assíncrono para síncrono pelo fato da *raspberrypi 3* não apresentar processador RTOs, o que implica em atrasos de pareamento de velocidade de comunicação devido a execução de diversos processos em seu sistema operacional durante seu funcionamento. Além disso, pode-se substituir o sensor ACS712 por outro mais robusto e não invasivo, como por exemplo o do tipo alicate. Por fim, pode-se também modificar o processamento para identificação de transitórios implementando a transformada de Wavelet, cuja não possível desenvolvê-la pela falta de tempo, visto que empregou-se muito tempo para o desenvolvimento e validação do módulo medidor devido as dificuldades de implementação em linguagem de *hardware* VHDL.

Referências

- AEMC. Pel 102 single/three-phase power and energy logger w/3 ma193-10-bk sensors. 2018. Disponível em: <<https://megadepot.com/product/aemc-2137-51-pel-102-power-and-energy-loggers>>. Citado na página 46.
- ALLEGRO MICRO SYSTEM L.L.C. *Fully Integrated, Hall Effect-Based Linear Current Sensor IC with 2,1KVRMS isotation and a Low-Resistence Current Conductor: Acs712*. [S.l.], 2012. Disponível em: <https://img.filipeflop.com/files/download/Datasheet_ACS712.pdf>. Citado 2 vezes nas páginas 13 e 102.
- ANEEL. *Procediemntos de Distribuição de Energia Elétrica no Sistem Elétrico Nacional - PRODIST. Módulo 8 - Qualidade de Energia Elétrica*. Rio de Janeiro, Brasil, 2018. Citado 7 vezes nas páginas 11, 15, 36, 37, 38, 39 e 45.
- ANTUNES, R. P. S. L. R. F. S. F. L. M. *Harmônicos em Sistemas Elétricos*. Rio de Janeiro: Elsevier, 2014. v. 1. 339 p. Citado na página 31.
- ARAÚJO, V. V. de. *Circuito Integrado para Medição de Qualidade de Energia Elétrica*. Dissertação (Dissertação (Mestrado)) — Universidade Federal da Bahia, Salvador, Brasil, 2015. Citado 4 vezes nas páginas 11, 53, 54 e 55.
- BRASIL, I. A. *Qualidade no Fornecimento de Energia Elétrica: Confiabilidade, Conformidade e Presteza*. São Paulo, Brasil, 2014. 36 p. Citado na página 26.
- CARBONERA, L. F. B. *Projeto e Desenvolvimento de um Sistema de Aquisição Aplicando Conceitos de Instrumentação Virtual*. Dissertação (Trabalho de Conclusão de Curso) — Universidade Regional do Noroeste do Estado do Rio Grande do Sul - UNIJUÍ, Rio Grande do Sul, Brasil, 2013. Citado 3 vezes nas páginas 11, 25 e 62.
- CARVALHO, J. G. Influência da proteção na qualidade da energia elétrica. p. 6, 2010. Citado 4 vezes nas páginas 11, 50, 51 e 52.
- CONALGO, G. P. *Desenvolvimento de um Sistema de Monitoramento em tempo real da Tensão da Rede com Acesso Remoto*. Dissertação (Pós-Graduação) — Universidade Federal do Espírito Santo, Espírito Santo, Brasil, 2009. Citado 3 vezes nas páginas 11, 31 e 59.
- CORPORATION, B. Bcm2835 arm peripheral. 2012. Disponível em: <<https://www.raspberrypi.org/documentation/hardware/raspberrypi/bcm2835/BCM2835-ARM-Peripherals.pdf>>. Citado na página 89.
- DIGILENT. Digilent basys 3 artix-7 fpga board. 2018. Disponível em: <<https://media.digikey.com/pdf/data%20sheets/lem%20usa%20pdfs/lv%2020-p.pdf>>. Citado 4 vezes nas páginas 11, 65, 66 e 121.
- DIGILENT. Pmod micro sd reference manual. 2018. Disponível em: <<https://reference.digilentinc.com/reference/pmod/pmodmicrosd/reference-manual>>. Citado na página 79.

- DORF, R. C.; SVOBODA, J. A. *Introdução aos circuitos elétricos*. Rio de Janeiro: LTC, 2012. v. 8ª edição. Citado 2 vezes nas páginas 11 e 60.
- ENERGIA, C. Dispositivo de monitoramento da qualidade de energia umg 512. 2018. Disponível em: <<http://www.choicetech.com.br/pdf/energia/qualidade-de-energia-UMG-512-classe-a.pdf>>. Citado na página 46.
- FERREIRA, D. D. *Análise de Distúrbios em Sistemas de Potência*. Dissertação (Pós-Graduação) — Instituto Alberto Luiz Coimbra de Pós-Graduação e Pesquisa de Engenharia - COPPE, Rio de Janeiro, Brasil, 2010. Citado na página 31.
- FIRJAN. Propostas para melhorar a qualidade da energia elétrica para a indústria no brasil. São Paulo, Brasil, p. 5, 2016. Citado 3 vezes nas páginas 11, 27 e 28.
- FLUKE. Fluke 43b power quality analyzer. 2018. Disponível em: <http://www.testequipmentdepot.com/fluke/pdf/43b_spec.pdf>. Citado na página 46.
- HAFNER, A. A. *Estudo e Simulação dos Módulos Lógicos de um Medidor de Qualidade de Energia Elétrica*. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, Curitiba, Brasil, 2006. Citado 6 vezes nas páginas 11, 26, 41, 51, 52 e 65.
- HENRIQUE, T. Microcontrolandos. 2013. Disponível em: <<http://microcontrolandos.blogspot.com/2013/03/comunicacao-spi.html>>. Citado 2 vezes nas páginas 12 e 80.
- HENRY. Acs712 arduino ac current tutorial. 2018. Disponível em: <<http://henrysbench.capnfatz.com/henrysbench/arduino-current-measurements/acs712-arduino-ac-current-tutorial/>>. Citado 2 vezes nas páginas 13 e 103.
- INFINITO, H. Módulo sensor de corrente elétrica acs712 - 5a. 2018. Disponível em: <http://www.huinfinito.com.br/sensores/927-modulo-sensor-de-corrente-eletrica-ac712-5a.html?search_query=sensor+hall&results=6>. Citado 2 vezes nas páginas 11 e 63.
- INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. *IEEE*. [S.l.], 2005. Disponível em: <<https://www.powerstandards.com/tutorials/ieee-power-quality-standards/>>. Citado 2 vezes nas páginas 15 e 34.
- INSTRUCTABLES. A beginners guide to programmable logic devices. 2010. Disponível em: <<https://www.instructables.com/id/20A-Beginners-Guide-to-Programmable-Logic-Devices/>>. Citado 2 vezes nas páginas 11 e 53.
- INTERNATIONAL ELECTROTECHNICAL COMMISSION. *61000-4-30*:: Eletromagnetic compatibility (emc) - part 4-30: Testing and measuring techniques- power quality measurement methods. [S.l.], 2003. Citado na página 33.
- INTERNATIONAL ELECTROTECHNICAL COMMISSION. *61000-4-7*:: Testing and measurement techniques – general guide on harmonics and interharmonics measurements and instrumentation, for power supply systems and equipment connected thereto. Geneva, Switzerland, 2012. Citado 4 vezes nas páginas 11, 15, 32 e 33.
- MACHADO, M. R. M.; PRADO, C. C. Influência da distorção harmônica na qualidade da energia elétrica. 2013. Disponível em: <<https://www.inatel.br/biblioteca/pos-seminarios/seminario-de-automacao-industrial-e-sistemas-eleto-eletronicos/2013-2/>>

- [9736-influencia-da-distorcaoharmonica-na-qualidade-da-energia-eletrica/file](#)>. Citado na página 60.
- MAIA, R. M. *Caracterização das Variações de Tensão de Curta Duração e seus Impactos em uma Planta da Indústria Alimentícia*. Dissertação (Dissertação (Pós-Graduação)) — Universidade Federal de Minas Gerais - UFMG, Belo Horizonte, Brasil, 2011. Citado 2 vezes nas páginas 26 e 45.
- MARZ, M. B. Interharmonics: What they are, where they come from and what they do. 2016. Disponível em: <<https://ccaps.umn.edu/documents/CPE-Conferences/MIPSYCON-Papers/2016/Interharmonics.pdf>>. Citado na página 44.
- MATANA, G. M. Proposta de equipamento para medição dos fenômenos relativos à qualidade de energia elétrica utilizando conceitos de instrumentos virtuais. p. 211, 2008. Citado 5 vezes nas páginas 11, 48, 49, 50 e 115.
- MENDONÇA, H. S. Uart. 2018. Disponível em: <<https://paginas.fe.up.pt/~hsm/docencia/comp/uart/>>. Citado 2 vezes nas páginas 12 e 86.
- MICROCHIP. Filterlab design software. 2018. Disponível em: <<https://www.microchip.com/developmenttools/ProductDetails/filterlabdesignsoftware>>. Citado na página 61.
- OPPENHEIM, A. S. W. A. V.; HAMID, S. *Sinais e Sistemas*. São Paulo: Pearson Prentice Hall, 2010. v. 2ª edição. Citado na página 47.
- PEDONI, F. S. V. M. N. D. R. J. V. Taking advantage of lvds input buffers to implement sigma-delta a/d converters in fpgas. São Paulo, Brasil, p. 4, 2004. Citado 2 vezes nas páginas 11 e 64.
- PRINCÍPIOS de Instrumentação Biomédia - UFRJ. 2015. Disponível em: <http://www.peb.ufrj.br/cursos/cob785/COB785_Filtros.pdf>. Citado 2 vezes nas páginas 15 e 61.
- RASPBERRYPI. Rasperry pi 3 model b. 2018. Disponível em: <<https://www.raspberrypi.org/products/raspberry-pi-3-model-b/>>. Citado na página 89.
- ROBOCORE. Comparação entre protocolos de comunicação serial. 2018. Disponível em: <<https://www.robocore.net/tutoriais/comparacao-entre-protocolos-de-comunicacao-serial.html>>. Citado 2 vezes nas páginas 12 e 86.
- ROCHA, P. A. da. Plataforma de aquisição de dados e algoritmo não embarcado para medição de distorção harmônica na rede elétrica. p. 87, 2016. Citado 3 vezes nas páginas 13, 105 e 107.
- SABINO, J. M. A. *Realização de uma ponte Ethernet-SPI para comunicação e controlo de placas de alta tensão do detetor TileCal da experiência ATLAS do LHC*. Dissertação (Mestrado) — Universidade de Lisboa, 2017. Citado 4 vezes nas páginas 12, 15, 80 e 81.
- SANTANA, M. V. *Agrupamento Incremental de Fluxo de Fados para Análise e Monitoramento da Qualidade de Energia*. Dissertação (Pós-Graduação) — Universidade Federal de Lavras, Minas Gerais, Brasil, 2017. Citado 8 vezes nas páginas 11, 25, 40, 41, 42, 43, 44 e 45.

- SUHETT, M. R. Análise de técnicas de medição de potência reativa em medidores eletrônicos. p. 211, 2008. Citado na página 49.
- TRINDADE, R. M. *Sistema Digital de Detecção e Classificação de Eventos de Qualidade de Energia*. Dissertação (Dissertação (Mestrado)) — Universidade Federal de Juiz de Fora, Minas Gerais, Brasil, 2005. Citado na página 47.
- XAVIER, M. V. E. *Sistema de Monitoramento de Alto Desempenho da Qualidade de Energia Elétrica*. Dissertação (Pós-Graduação) — Universidade Federal de Minas Gerais - UFMG, Belo Horizonte, Brasil, 2016. Citado 2 vezes nas páginas 11 e 35.
- XILINX. 7 series fpgas and zynq-7000 soc xadc dual 12-bit 1 msp/s analog-to-digital converter. user guide. 2018. Disponível em: <https://www.xilinx.com/support/documentation/user_guides/ug480_7Series_XADC.pdf>. Citado 12 vezes nas páginas 12, 13, 14, 67, 68, 69, 70, 71, 74, 108, 131 e 132.
- XILINX. What is an fpga? 2018. Disponível em: <<https://www.xilinx.com/products/silicon-devices/fpga/what-is-an-fpga.html>>. Citado 3 vezes nas páginas 14, 51 e 137.

Anexos

ANEXO A – Resposta em Frequência do Filtro RC

Imagem (88) da resposta em frequência do filtro *Anti-Aliasing*.

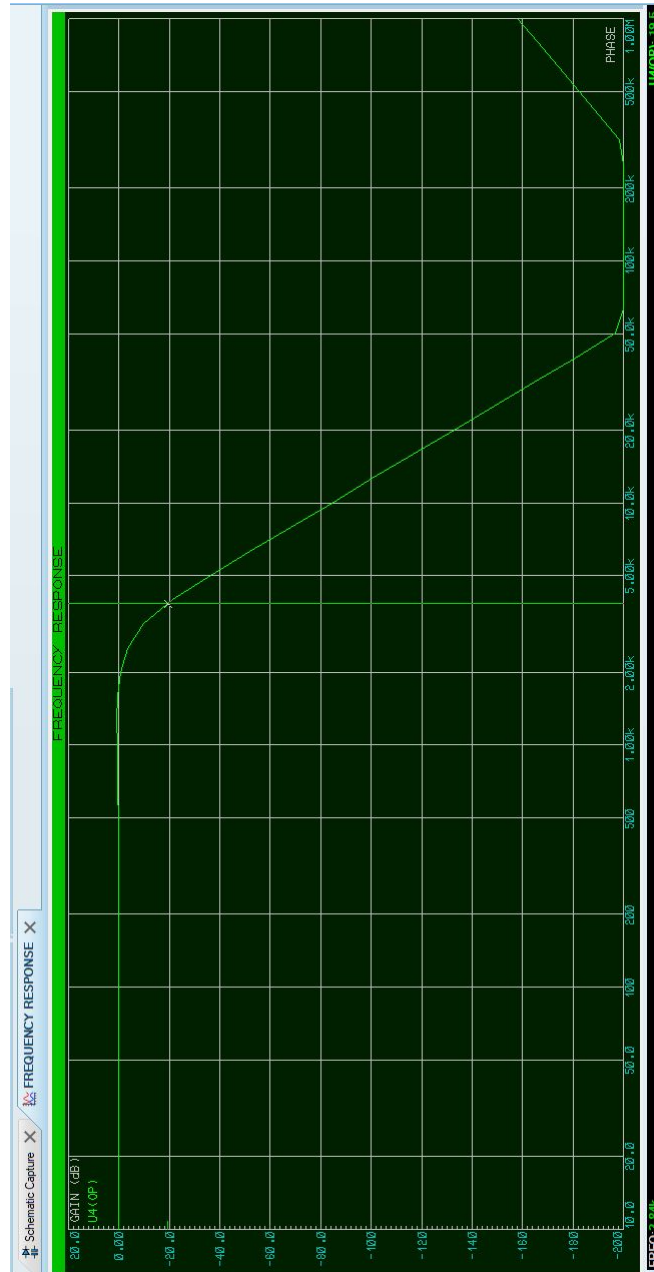


Figura 88 – resposta em frequência do filtro de *Bessel*. Fonte: do Autor

ANEXO B – Descrição do Funcionamento das Portas do XADC

Tabelas com as descrições de funcionamento das portas do conversor XADC (89, 90) .

Port	I/O	Description
DI[15:0]	Inputs	Input data bus for the DRP. ⁽¹⁾
DO[15:0]	Outputs	Output data bus for the DRP. ⁽¹⁾
DADDR[6:0]	Input	Address bus for the DRP. ⁽¹⁾
DEN ⁽²⁾	Input	Enable signal for the DRP. ⁽¹⁾
DWE ⁽²⁾	Input	Write enable for the DRP. ⁽¹⁾
DCLK	Input	Clock input for the DRP. ⁽¹⁾
DRDY ⁽²⁾	Output	Data ready signal for the DRP. ⁽¹⁾
RESET ⁽²⁾	Input	Asynchronous reset signal for the XADC control logic. RESET will be deasserted synchronously to DCLK or the internal configuration clock when DCLK is stopped.
CONVST ⁽³⁾	Input	Convert start input. This input controls the sampling instant on the ADC(s) inputs and is only used in event mode timing (see Event-Driven Sampling , page 73). This input comes from the general-purpose interconnect in the FPGA logic.
CONVSTCLK ⁽³⁾	Input	Convert start clock input. This input is connected to a clock net. Like CONVST, this input controls the sampling instant on the ADC(s) inputs and is only used in event mode timing. This input comes from the local clock distribution network in the FPGA logic. Thus, for the best control over the sampling instant (delay and jitter), a global clock input can be used as the CONVST source.
V _P , V _N	Input	One dedicated analog input pair. The XADC has one pair of dedicated analog input pins that provide a differential analog input. When designing with the XADC feature but not using the dedicated external channel of V _P and V _N , you should connect both V _P and V _N to analog ground.
VAUXP[15:0], VAUXN[15:0]	Inputs	Sixteen auxiliary analog input pairs. In addition to the dedicated differential analog input, the XADC can access 16 differential analog inputs by configuring digital I/O as analog inputs. These inputs can also be enabled pre-configuration through the JTAG port (see DRP JTAG Interface , page 47).
ALM[0] ⁽²⁾	Output	Temperature sensor alarm output.
ALM[1] ⁽²⁾	Output	V _{CCINT} sensor alarm output.
ALM[2] ⁽²⁾	Output	V _{CCAUX} sensor alarm output.
ALM[3] ⁽²⁾	Output	V _{CCBRAM} sensor alarm output.
ALM[4] ⁽⁴⁾	Output	V _{CCPINT} sensor alarm output.
ALM[5] ⁽⁴⁾	Output	V _{CCPAUX} sensor alarm output.
ALM[6] ⁽⁴⁾	Output	V _{CCO_DDR} sensor alarm output.

Figura 89 – Tabela 1-2 com as descrições do funcionamento das portas do conversor XADC. Fonte: (XILINX, 2018a).

Port	I/O	Description
ALM[7] ⁽²⁾	Output	Logic OR of bus ALM[6:0]. Can be used to flag the occurrence of any alarm.
OT ⁽²⁾	Output	Over-Temperature alarm output.
MUXADDR[4:0]	Outputs	These outputs are used in external multiplexer mode. They indicate the address of the next channel in a sequence to be converted. They provide the channel address for an external multiplexer (see External Multiplexer Mode , page 63).
CHANNEL[4:0]	Outputs	Channel selection outputs. The ADC input MUX channel selection for the current ADC conversion is placed on these outputs at the end of an ADC conversion.
EOC ⁽²⁾	Output	End of conversion signal. This signal transitions to active-High at the end of an ADC conversion when the measurement is written to the status registers (see Chapter 5, XADC Timing).
EOS ⁽²⁾	Output	End of sequence. This signal transitions to active-High when the measurement data from the last channel in an automatic channel sequence is written to the status registers (see Chapter 5, XADC Timing).
BUSY ⁽²⁾	Output	ADC busy signal. This signal transitions High during an ADC conversion. This signal also transitions High for an extended period during an ADC or sensor calibration.
JTAGLOCKED ⁽²⁾	Output	Indicates that a DRP port lock request has been made by the JTAG interface (see DRP JTAG Interface , page 47). This signal is also used to indicate that the DRP is ready for access (when Low).
JTAGMODIFIED ⁽²⁾	Output	Used to indicate that a JTAG write to the DRP has occurred.
JTAGBUSY ⁽²⁾	Output	Used to indicate that a JTAG DRP transaction is in progress.

Notes:

1. The DRP is the interface between the XADC and FPGA. All XADC registers can be accessed from the FPGA logic using this interface. For more details on the timing for these DRP signals, see [Figure 5-3](#), page 75.
2. Active-High signal.
3. Rising edge triggered signal.
4. Only available on Zynq-7000 All Programmable SoC devices.

Figura 90 – Tabela 2-2 com as descrições do funcionamento das portas do conversor XADC. Fonte: (XILINX, 2018a).

ANEXO C – PCB implementada para Condicionamento de Sinal

Layout desenvolvido no Proteus para a PCB e implementado nas figuras 91 e 92.

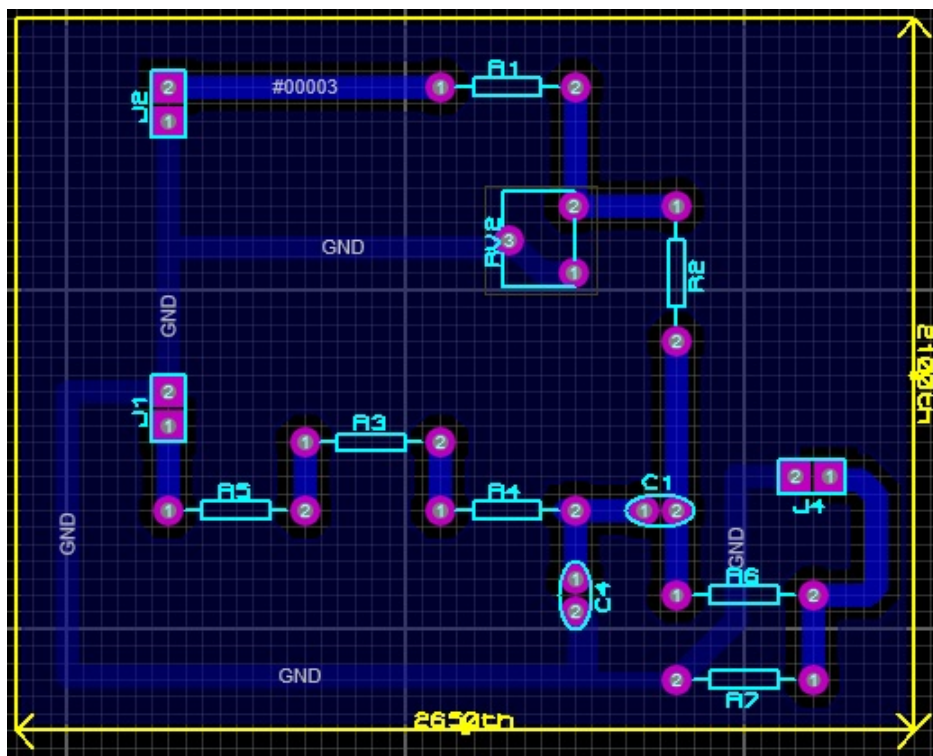


Figura 91 – *Layout* da PCB, vista inferior. Fonte: do Autor.

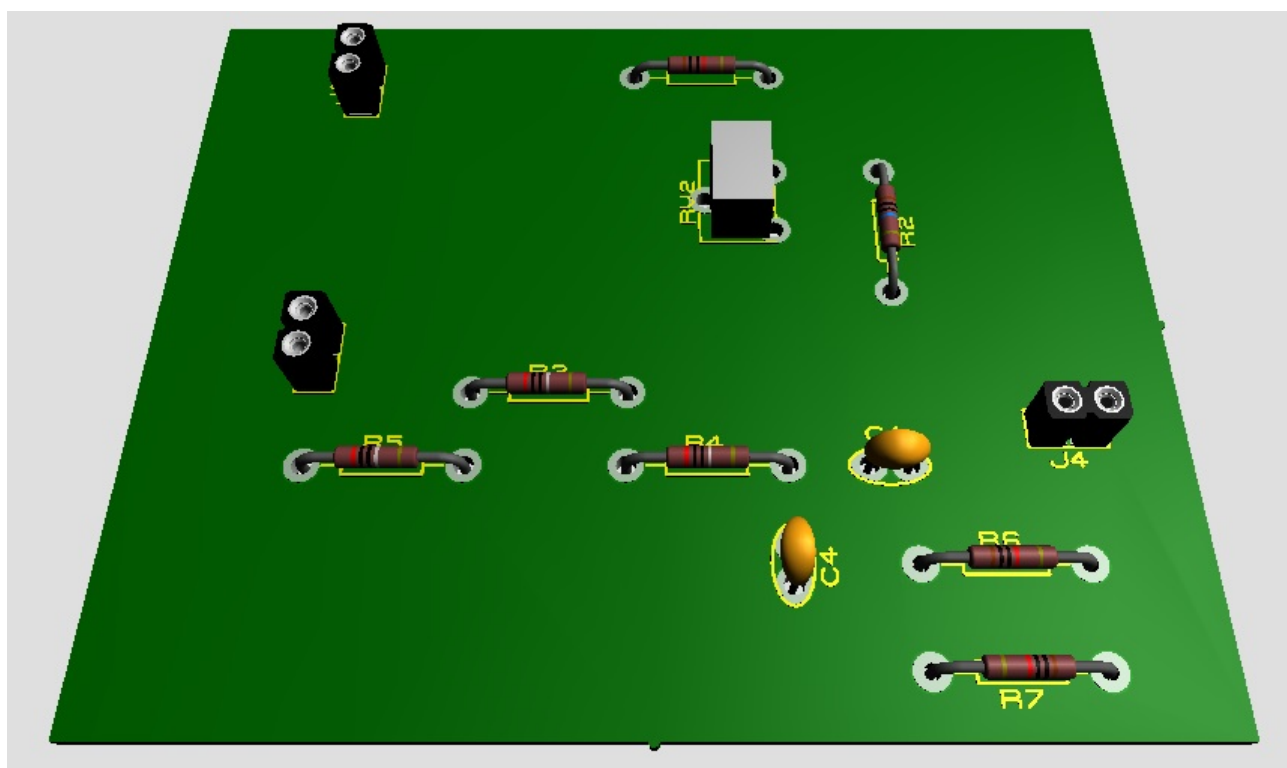


Figura 92 – *Layout* da PCB, vista superior. Fonte: do Autor.

ANEXO D – Sugestão de PCB para implementação futura com circuito de *no-break*

Layout desenvolvido no Proteus para a PCB para futura implementação utilizando relé nas figuras 93 e 94.

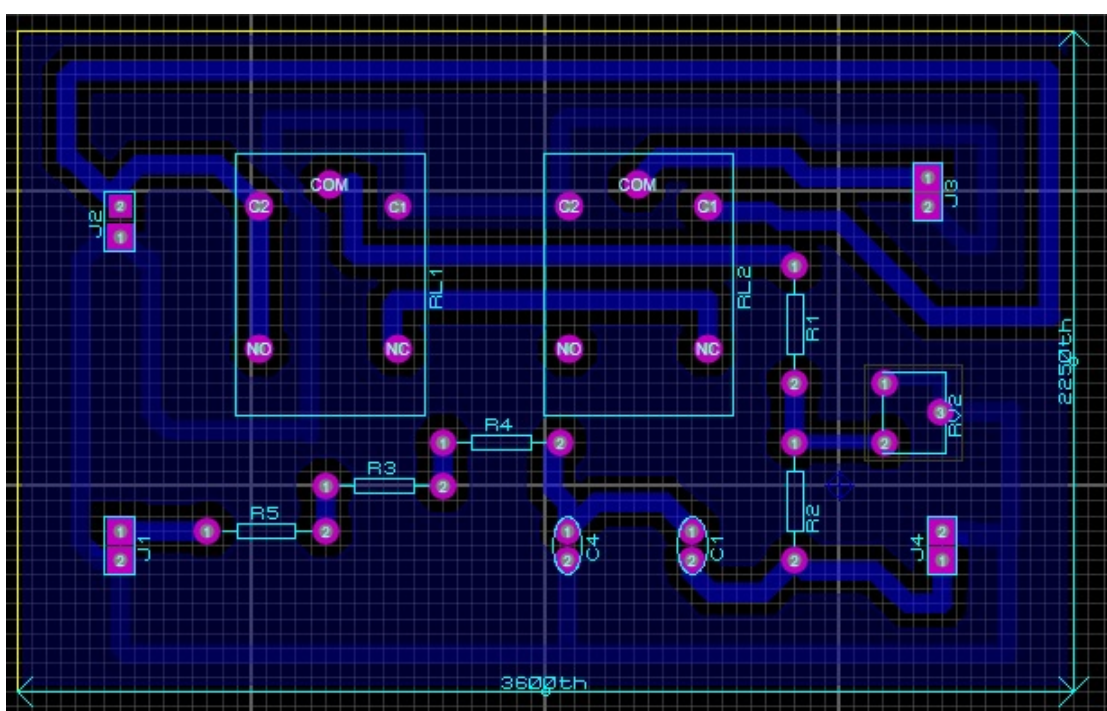


Figura 93 – *Layout* da PCB, vista inferior. Fonte: do Autor.

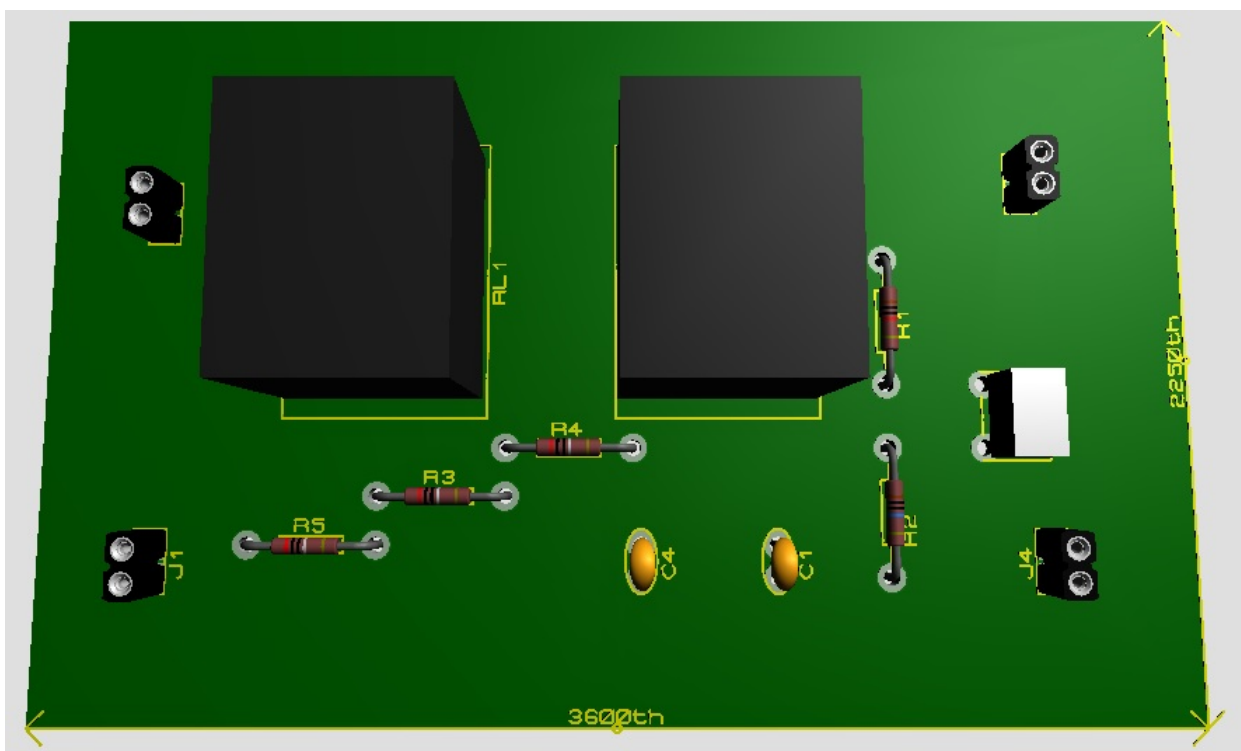


Figura 94 – *Layout* da PCB, vista superior. Fonte: do Autor.

ANEXO E – Ativação dos segmentos do *Display* de 7 segmentos da FPGA

A figura 95 apresenta o modo de ativação dos segmentos do *Display* de 7 segmentos.

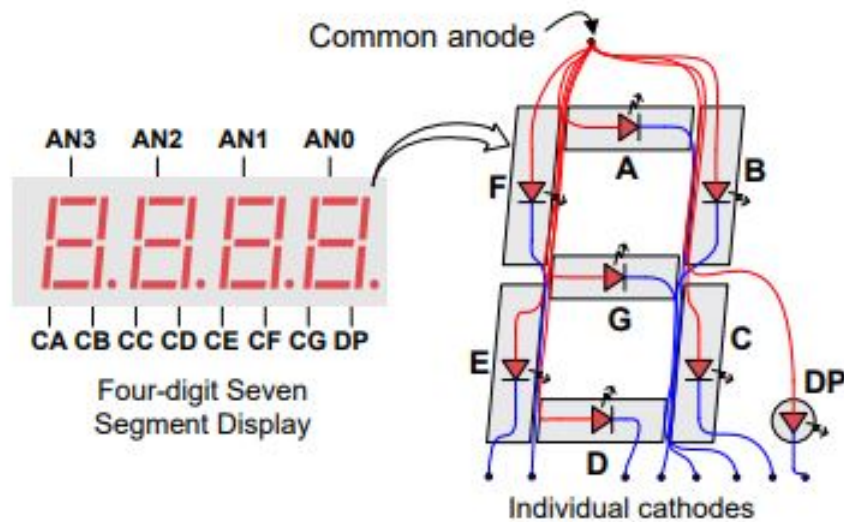


Figura 95 – Ativação dos segmentos do *display*. Fonte: (XILINX, 2018b)

ANEXO F – Área ocupada pelo medidor descrito em VHDL

A figura 96 apresenta a área utilizada para a implementação do medidor.

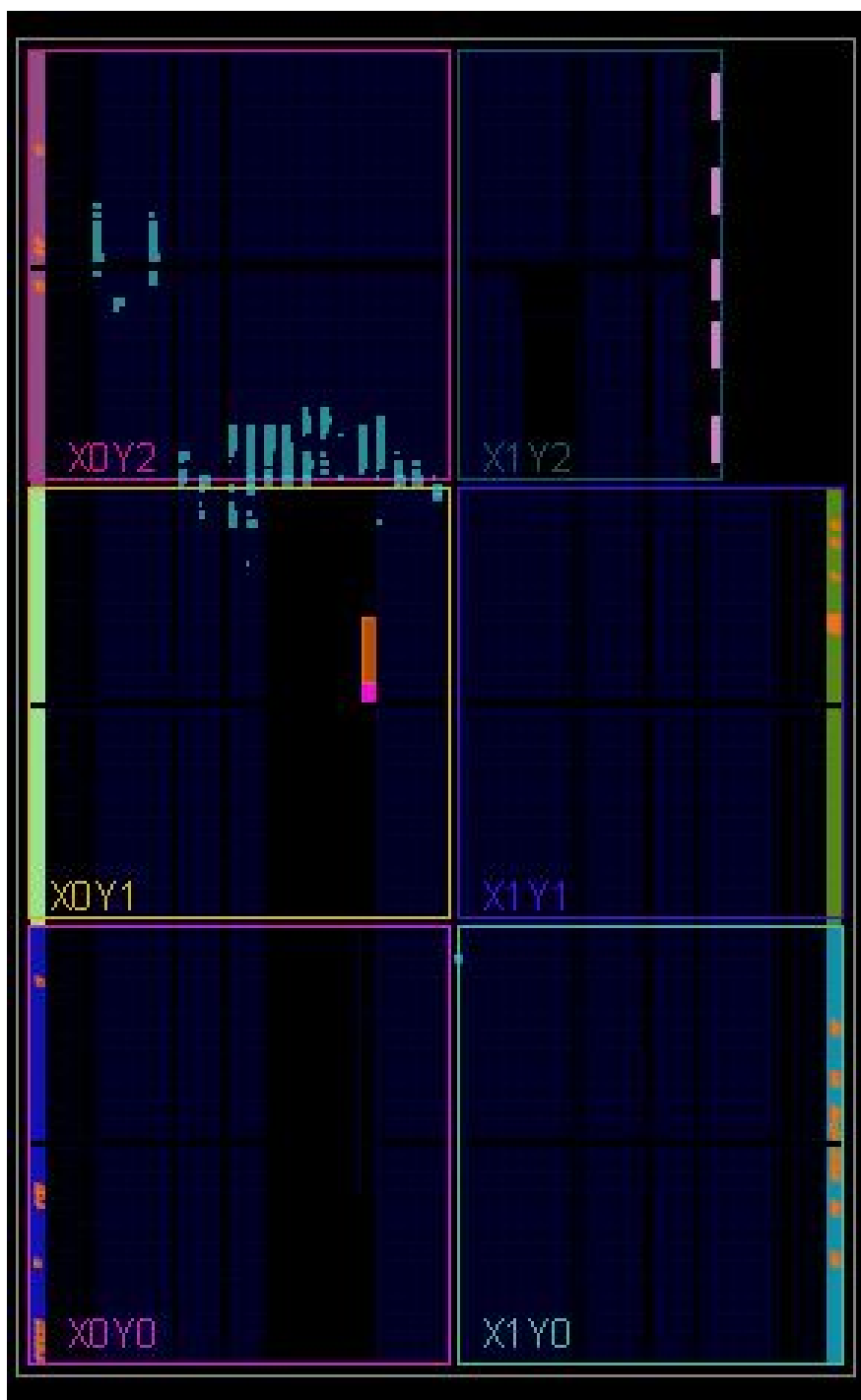


Figura 96 – Área ocupado pelo medidor proposto. Fonte: do Autor