

新特器件应用

高性能 DDS 芯片 AD9954 及其应用

许加枫¹, 刘抒珍², 刘小红²

(1. 厦门大学 计算机与信息工程学院, 福建 厦门 361005;

2. 哈尔滨理工大学 测控技术与通信工程学院, 黑龙江 哈尔滨 150040)

摘要: AD9954 是美国 AD 公司采用先进的 DDS 技术生产的高集成度频率合成器, 它能产生 200MHz 的模拟正弦波。文章介绍了 AD9954 的基本特点和引脚功能, 分析了其内部结构和工作原理, 给出了 AD9954 在高速调制信号系统中的应用方案。

关键词: AD9954; 串行操作; RAM; 高速调制

分类号: TN911.72

文献标识码: B

文章编号: 1006-6977(2004)11-0023-03

Application of High Performance DDS Chip AD9954

XU Jia-feng¹, LIU Shu-zhen², LIU Xiao-hong²

Abstract: The AD9954 is a highly integrated frequency synthesizer that uses advanced DDS technology and is capable of generating an analog sinusoidal waveform at up to 200MHz. The paper introduces the typical features and pin function of the AD9954, analyses its interior framework, theory of operation and application in high-speed modulation signal system.

Key words: AD9954; Serial operation; RAM; High-speed modulation

1 概述

AD9954 是采用先进的 DDS 技术开发的高集成度 DDS 器件。它内置高速、高性能 D/A 转换器及超高速比较器, 可作为数字编程控制的频率合成器, 能产生 200MHz 的模拟正弦波。AD9954 内含 1024 × 32 静态 RAM, 利用该 RAM 可实现高速调制, 并支持几种扫频模式。AD9954 可提供自定义的线性扫频操作模式, 通过 AD9954 的串行 I/O 口输入控制字可实现快速变频且具有良好的频率分辨率。其应用范围包括灵敏频率合成器、可编程时钟发生器、雷达和扫描系统的 FM 调制源以及测试和测量装置等。AD9954 的内部结构如图 1 所示, 其主要特性如下:

- 内置 400MSPS 时钟;
- 内含 14 位 DAC;
- 相位、幅度可编程;
- 有 32 位频率转换字;
- 可用串行 I/O 控制;
- 内置超高速模拟比较器;
- 可自动线性和非线性扫频;

- 内部集成有 1024 × 32 位 RAM;
- 采用 1.8V 电源供电;
- 可 4~20 倍倍频;
- 支持大多数数字输入中的 5V 输入电平;
- 可实现多片同步。

2 引脚说明

AD9954 采用 48 脚 TQFP/EP 封装, 其引脚排列如图 2 所示, 各引脚定义如下:

I/O UPDATE: 在该引脚的上升沿可把内部缓冲存储器中的内容送到 I/O 寄存器中。引脚电平的建

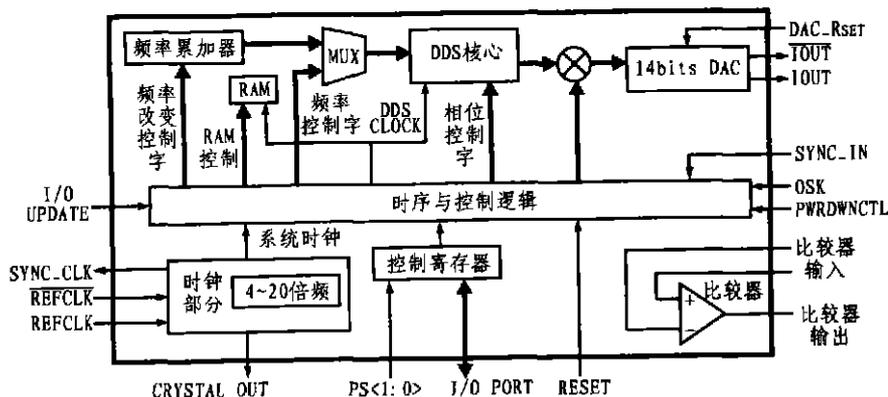


图 1 AD9954 的内部结构图

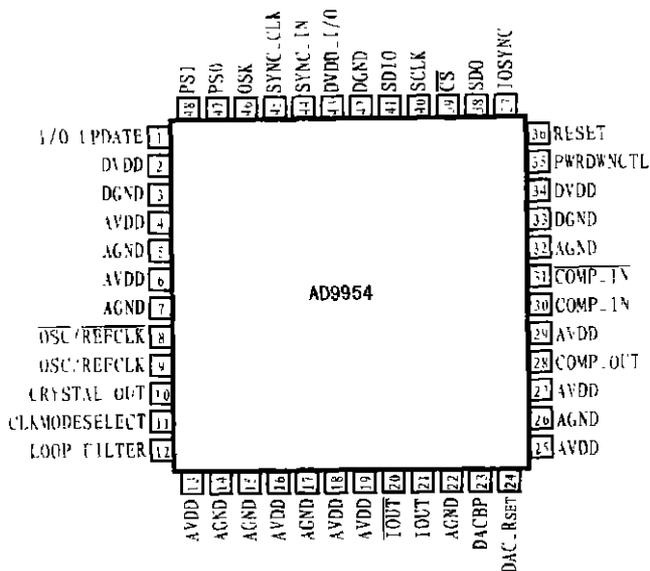


图 2 AD9954 的引脚图

立和保持与 SYNC-CLK 输出信号有关；

DVDD 和 AVDD: 数字与模拟电源引脚, 电压值为 1.8V;

DGND 和 AGND: 数字地与模拟地;

OSC/REFCLK 和 OSC/REFCLK: 参考时钟或振荡输入端;

CRYSTAL OUT: 振荡器输出端;

CLMODESELECT: 振荡器控制端, 为 1 时使能振荡器, 为 0 时不使能振荡器;

LOOP-FILTER: 该引脚应与 AVDD 间串联一个 1k 电阻和一个 0.1 μ F 电容;

IOUT 和 IOUT: DAC 输出端, 使用时应接一个上拉电阻;

DACBP: DAC 去耦端, 使用时应接一个 0.01 μ F 的旁路电容;

DAC-RSET: DAC 复位端, 使用时应通过一个 3.92k 的电阻接至 AGND 端;

COMP-OUT: 比较器输出端, 可以输出方波或脉冲信号;

COMP-IN 和 COMP-IN: 比较器输入端;

PWRDNCTL: 外部电源掉电控制输入引脚;

RESET: 芯片复位端;

IOSYNC: 异步串行端口控制复位引脚; 为 1 时, 当前 I/O 操作立即停止; 为 0 时开始新的 I/O 操作; 不用时, 此引脚必须接地;

SDO: 采用 3 线串口操作时, SDO 为串行数据输出端。采用 2 线串口操作时, SDO 不用, 可以不连;

CS: 片选端, 低电平有效, 允许多芯片共用 I/O 总线;

SCLK: I/O 操作的串行数据时钟输入端;

SDIO: 采用 3 线串口操作时, SDO 为串行数据输入端, 采用 2 线操作时, SDO 为双向串行数据端;

DVDD-I/O: I/O 电源, 可以是 1.8V 或 3.3V;

SYNC-IN: 同步多片 AD9954 的输入信号, 使用时与主 AD9954 的 SYNC-CLK 的输出相连;

SYNC-CLK: 时钟输出脚, 为内部时钟的 1/4, 可用作外围硬件同步;

OSK: 在编程操作时可用该脚来控制幅度与时间斜率, 与 SYNC-CLK 同步; 当 OSK 不能被编程时, 此脚接 DGND;

PS1 和 PS0: 可用来选择 4 个 RAM 段控制字区中的一个。

3 AD9954 的串行操作

在 AD9954 的串行操作中, 指令字节用来指定读/写操作和寄存器地址。由于串行操作是在寄存器级别上发生的, 因此串行端口控制器应能识别指令字节寄存器地址和自动产生适当的寄存器字节地址。在串行操作指令阶段和通信阶段, 一般先传送指令阶段的指令字, 指令阶段对应于 SCLK 的前 8 个上升沿, 其对应的指令字 (8 比特) 包含了以下信息:

MSB	D6	D5	D4	D3	D2	D1	LSB
R/W	X	X	A4	A3	A2	A1	A0

其中 R/W 位用于决定指令字后的操作是读还是写, 高电平为读出, 低电平为写入; 6、5 位的电平高低与操作无关; 4~0 位则对应于 A4~A0, 表示操作串行寄存器地址, 该地址信息同时包含了与该指令字所在指令段对应的通信段的传送字节数。指令阶段后接着是通讯阶段, 传送对应于字节数的几个通信周期。

通信周期完成后, AD9954 的串口控制器即认为接下来的 8 个 SCLK 的上升沿对应的是下一个通信周期的指令字。IOSYNC 引脚为高时将立即终止当前的通信周期, 而当 IOSYNC 引脚状态回到低电平时, AD9954 串口控制器即认为接下来的 8 个系统时钟的上升沿对应的是下一个通信周期的指令字, 从而保持通信的同步。

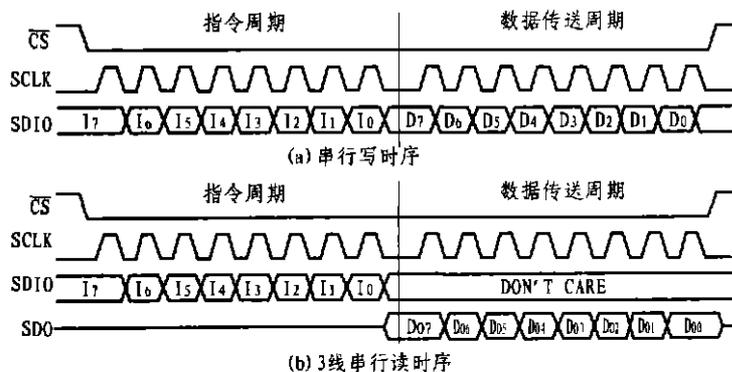


图 3 串行读、写时序

AD9954 的串行操作有两种数据传送方式,即从最高位开始传送和从最低位开始传送,这是由控制寄存器 0 的第 8 位来决定的。默认状态为低电平,此时先传送最高位,若为高电平则先传送最低位。串行操作的读/写时序如图 3 所示。

4 AD9954 的 RAM

AD9954 内部的 1024×32 静态 RAM 具有双向单一入口,对它进行的读/写操作不能同时进行,写操作优先。RAM 的使能位是 $CFR < 31 >$ (控制功能寄存器的 31 位),此位为低时,对 RAM 的操作只能通过串行端口;此位为高且 $CFR < 30 >$ 为逻辑 0 时,RAM 的输出为相位累加器的输入,此时给芯片提供的是频率转换字;此位为高且 $CFR < 30 >$ 为逻辑 1 时,RAM 的输出可作为相位偏移加法器的输入给芯片提供相位偏移控制字。写 RAM 的操作首先通过控制 $PS1$ 、 $PS0$ 来选择 RAM 段,然后再对相应的 RAM 控制寄存器写 RAM 操作的地址变化率、起始地址、终止地址、模式控制和停留方式位。RAM 段控制寄存器的 5、6、7 位可用来指示 RAM 操作的 5 种模式,即直接转换模式、上斜坡模式、双向斜变模式、连续双向斜变模式和连续循环模式。其中连续循环模式是使能 RAM,RAM 模式控制字为 100,这种模式可提供自动、连续、单向的扫频,地址发生器从起始地址开始,当其增加到终止地址后会自动回到起始地址重新开始下次循环。

RAM 段控制寄存器的 39~24 位可定义 RAM 控制器在每个地址停留的 SYNC-CLK 的周期数,取值范围是 $1 \sim 65535$; 9、8、23~16 位用于定义 10 位终止地址;3~0、15~10 位则用于定义 10 位起始地址。

5 在高速调制系统中的应用

调制信号对干扰有较强的抵抗作用,同时对相邻信道的信号干扰也较小,并具有解调方便且易于集成等优点,因此数字调制信号系统可广泛应用于现代通信设备及科研教学仪器中。由于受频率精确度、稳定性和范围等因素的制约,提高数字调制方式中的 FM 速度是难点,用高性能 DDS 芯片 AD9954 可以很好的解决这个问题。AD9954 具有良好的频率分辨率和快速、连续的变频能力,它内部有静态 RAM,能实现高速数字调频。

数字调制信号系统的框图如图 4 所示。本系统采用 DSP 作为控制电路的核心,来向 AD9954 写命令字,AD9954 将产生所需频率的正弦或调制信号,并经低通滤波器后输出。

AD9954 的串口与 DSP 相连,DSP 通过 AD9954 的 CS、SCLK、SDIO 和 SDO 管脚向 AD9954 写入数据和控制字。首先设置特定的寄存器控制字,以允许 RAM 工作,接着将 RAM 输出作为相位累加器的输入给芯片提供频率转换字,然后写好 RAM 段控制寄存器的值,定义好起始地址、终止地址并选择好工作模式。例如,在 RAM 地址 256~511 中写入计算好的频率值,主要操作过程如下:

- (1) 允许 RAM 操作,清除 $CFR < 30 >$;
- (2) 选择模式 5 即连续循环模式;
- (3) 选择 RAM 段 1, $PS0 = 1$, $PS1 = 0$;
- (4) 指令字节为 00001001;
- (5) 定义通信阶段的通信周期数为 256,把数据写入 RAM 存储器地址 256~511 中;
- (6) 改变 I/O UPDATE 启动模式工作。

本系统可由地址的变化速率来计算调制速度,地址变化速率由 RAM 段控制寄存器中的地址变化率控制字决定,其值的范围是 $1 \sim 65535$,定义的时间是 SYNC-CLK 的周期数。由于 SYNC-CLK 为内部工作时钟的 $1/4$,因此 SYNC-CLK 最大为 100MHz,从而决定了地址变化率控制字为 1 时能定义的最快速度为

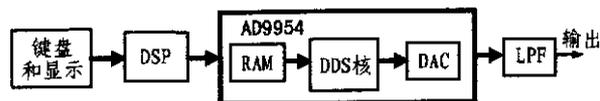


图 4 数字调制信号系统框图

新特器件应用

单声道/ 立体声录放芯片 MSM9841 及其在数字语音录放机中的应用

毛永毅^{1,2,3}, 刘立新³

(1. 中国科学院国家授时中心, 陕西 西安 710600; 2. 中国科学院研究生院, 北京 100039;
3. 西安邮电学院电信系, 陕西 西安 710061)

摘要: MSM9841 是日本 OKI(冲) 电气半导体公司研制的单声道/ 立体声语音控制处理大规模集成芯片。文中介绍了该芯片的结构、特点、工作原理及其在数字语音录放机中的应用。

关键词: 录放机; MSM9841; FIFO

分类号: TN912.3

文献标识码: A

文章编号: 1006 - 6977(2004)11 - 0026 - 05

Mono/ Stereo Record and Playback LSI MSM9841 and Its Application in Digit Record and Playback Device

MAO Yong-yi^{1,2,3}, LIU Li-xin³

(1. National Time Service Center (NTSC), Chinese Academy of Sciences, Xi'an 710600, China;
2. Graduate School of the Chinese Academy of Sciences, Beijing 100039, China;
3. Xi'an Posts and Telecommunications Institute, Xi'an 710061, China)

Abstract: MSM9841 is a mono/ stereo record and playback LSI produced by OKI company. Its structure, characteristic and principle are described. It's application in digit record and playback device is given as well.

Key words: record and playback device; MSM9841; FIFO

1 引言

MSM9841 是日本 OKI(冲) 电气半导体公司研制的带有 1kbit FIFO(先进先出) 存储器的单声道/ 立体声语音控制处理大规模集成芯片。它可以很方便的同外部系统或非半导体存储器进行接口, 且具有多种录放模式。由于该芯片采用了较新的 ADPCM2

算法, 因而可以保证非常高的语音回放质量。MSM9841 的录音和回放功能可以由微处理器通过 8/ 16 bit 的总线接口来进行控制。MSM9841 采用 56 脚 QFP 封装, 电源电压为 2.7V ~ 5.5V, 振荡频率为 4.096MHz 时的采样频率有以下值可供选择: 4.0kHz、6.4kHz、8.0kHz、12.8kHz、16.0kHz、32.0kHz (仅用于回放); 振荡频率为 5.6448MHz 时, 采样频

100MHz, 假设一个波形要采集 256 个点, 那么调制速度为 100MHz/ 256 = 400kHz; 如果采样点为 100 个, 则调制速度可达 100MHz/ 100 = 1MHz。由于 AD9954 产生的调制波形采样点多, 采样时间精确, 因此波形性能较好。

波, 该速度是其他 DDS 芯片的几十 ~ 几百倍, 因而可广泛应用于数字调制系统的设计之中。

6 结束语

高性能 DDS 芯片由于其 AD9954 内部集成有 RAM, 因此, 利用 RAM 的存储功能, 能够产生频率分辨率高, 波形性能好, 调制速度高达 1MHz 的调频

参考文献

- [1] 400 MSPS 14 - Bit DAC, 1.8 V CMOS Direct Digital Synthesizer AD9954, Analog Devices inc., 2003.
- [2] 汪凤华, 张礼勇, 童子权. 数字调制信号发生器的设计[J]. 哈尔滨理工大学学报, 2003, (6): 38 - 40.

收稿日期: 2004 - 05 - 19

咨询编号: 041111