

JPEG2000 小波提升算法的硬件设计

董文辉¹, 刘明业^{1,2}

(1. 北京理工大学计算机系 ASIC 研究所, 北京 100081; 2. 厦门大学计算机与信息工程学院, 福建厦门 361005)

摘 要: 离散小波变换是当今许多图像处理和压缩技术的基础, 并被最新的 ISO/IEC 静态图像压缩标准 JPEG2000 所采用. 基于提升方法的离散小波变换比传统的基于卷积的运算量小. 我们为 JPEG2000 中的小波提升算法提出一个硬件结构, 该结构整体运算速度快, 存储需求低, 硬件资源耗费少. 我们提出在数据通道之外实现边界扩展, 以降低数据通道的复杂性, 提高运算效率. 我们通过采用流水线技术, 进一步提高了硬件设计的运算效率.

关键词: 小波变换; 提升方法; 信号扩展; 流水线; SystemC

中图分类号: TP391.41 **文献标识码:** A **文章编号:** 0372-2112(2003)11-1674-04

Hardware Design for the Lifting Based Wavelet Transform in JPEG2000

DONG Wen-hui¹, LIU Ming-ye^{1,2}

(1. The Research Center of ASIC, Computer Science Department, Beijing Institute of Technology, Beijing 100081, China;

2. School of Computer and Information Engineering, Xiamen University, Xiamen, Fujian 361005, China)

Abstract: Discrete Wavelet Transform(DWT) has become very popular as the basis of many recent image processing and compression techniques and has been adopted by new image compression standard, i. e., JPEG2000. The conventional convolution based DWT is computationally intensive. Such drawbacks can be overcome by using the lifting based scheme for the DWT. We presented a novel hardware structure for lifting based wavelet transform in JPEG2000. The hardware structure improves memory/speed tradeoff. Its computation speed is high and memory requirement is low. The complexity of datapath is reduced and the efficiency of the system is improved by implementing the function of edge extension outside of data path. In the datapath design, we used pipeline technique to further improve the efficiency of the design.

Key words: wavelet transform; lifting scheme; signal extension; pipeline; systemC

1 引言

离散小波变换 (Discrete Wavelet Transform, 简称 DWT) 在图像编码中得到越来越广泛的应用. 它具有许多优良的特性, 例如便于对图像进行渐进式传输 (按质量或分辨率), 便于对压缩图像进行操作等. 这也使得人们在它的硬件实现上产生巨大的兴趣. 较早提出小波变换 VLSI (Very Large Scale Integration) 结构的是 G. Knowles 等人^[1], 他们用的小波滤波器实现所有计算. 后来, A. S. Lewis 和 G. Knowles 结合具体滤波器系数的特点构造小波变换处理器^[2]. K. K. Parhi 等人给出基于格形滤波器结构的小波变换结构^[3-5]. J. Fridman 和 E. S. Manolakos 也对小波变换的 VLSI 实现做出研究^[6]. C. Chakrabarti 等人给出小波变换脉动阵列结构^[7]. 总之, 传统的基于卷积的 DWT 运算量大, 存储需求量大, 对应的硬件规模都比较大, 不利于 VLSI 实现^[1-10]. 基于提升方法 (Lifting Scheme) 的离散小波变换^[11,12], 可以克服这样一些不足. 在这方面 G. Savaton 等人做出初步探索, 但没有权衡运算速度, 也没有触及边界处理等具

体问题^[14].

SystemC 是系统级建模语言 (System Level Modeling Languages, 简称 SLM). 它是一个 C++ 类库, 也是一套方法, 用来有效地创建软件算法、硬件结构、SoC 接口和系统级设计的周期精确的模型.

本文在 Synopsys 公司的 CoCentric 系统工作室 (CoCentric System Studio, 简称 CCSS) 中采用 SystemC 设计小波提升算法的硬件结构, 并对设计进行模拟, 使用波形观察器 Davis 查看模拟结果波形图, 验证结构功能和性能.

2 JPEG2000 小波提升算法

JPEG2000 图像编码过程由小波变换、系数量化、系数位建模和算术编码等组成, 其中首要的步骤就是对原始图像做小波变换^[13], 将图像信号由时间域 (空间域) 表示变换到小波域表示. 利用小波变换的正交/双正交变换特性, 它能够解除图像像素间的相关性, 消除图像信号在空域的冗余, 并集中图像信号的能量, 为后面的系数量化、系数位建模、算术编码等

收稿日期: 2002-12-30; 修回日期: 2003-06-02

基金项目: 中国人民解放军总装备部预研项目 (No. 413160601); “十五”国防基础微电子预研项目 (No. 41308010408)

提供前提,为高效的图像编码奠定基础.在 JPEG2000 中,小波变换具体是由小波提升算法来实现的.

提升方法主要有 3 个步骤:分裂(Split)、预测(Predict)和更新(Update),如图 1 所示.分裂是把输入信号 $s(n)$ 分为两个子信号,即由其偶序号采样组成的子信号 $s_e = s_{2k}(k-Z)$,和由其奇序号采样组成的子信号 $s_o = s_{2k+1}(k-Z)$.预测是通过近似信号来计算细节信号.更新是通过细节信号来计算近似信号.其中,预测和更新可以重复多次.最后还有可能再经过一个缩放步骤.这个过程完成一次小波变换,得到输入信号 $s(n)$ 的近似分量 $c(n)$ 和细节分量 $d(n)$.

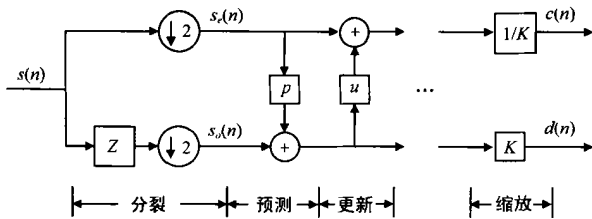


图 1 小波变换的提升方法示意图

9/7 双正交小波在 JPEG2000 中用于有损压缩,它所对应的提升方法具体可分五步,如式(1)所示,其中 $X(n)$ 表示输入信号, $X_{ext}(n)$ 表示边界扩展后输入信号, $Y(n)$ 为输出信号.

$$\begin{aligned}
 \text{Step 1 } Y(2n+1) &= X_{ext}(2n+1) + (\alpha \times [X_{ext}(2n) + X_{ext}(2n+2)]) \\
 \text{Step 2 } Y(2n) &= X_{ext}(2n) + (\alpha \times [Y(2n-1) + Y(2n+1)]) \\
 \text{Step 3 } Y(2n+1) &= Y(2n+1) + (\alpha \times [Y(2n) + Y(2n+2)]) \\
 \text{Step 4 } Y(2n) &= Y(2n) + (\alpha \times [Y(2n-1) + Y(2n+1)]) \\
 &\quad - K \times Y(2n+1) \\
 \text{Step 5 } Y(2n) &= (1/K) \times Y(2n)
 \end{aligned}
 \tag{1}$$

其中前四步为“提升”步,第五步为“尺度”步.参数 α, K 值为:

$$\begin{cases}
 \alpha = -1.586134342 \\
 \alpha = -0.052980118 \\
 \alpha = 0.882911075 \\
 \alpha = 0.443506852
 \end{cases}
 \tag{2}$$

尺度因子 $K=1.230174105$,这些值在文献[13]中给出.

3 初步硬件设计

3.1 总体结构框图

设处理图像的大小为 128×128 .为算法提出的硬件结构如图 2 所示,其中,“提升方法小波变换”为数据通道,实现对

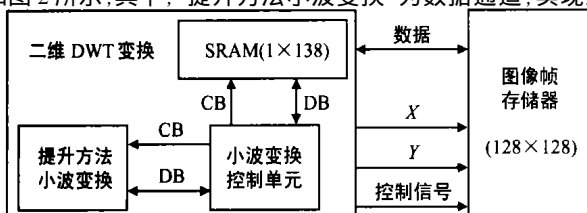


图 2 小波提升算法的硬件结构框图

一维信号(图像的一行或一列数据)的小波变换;“帧存储器”存储图像或图像的小波系数等数据;“SRAM”高速缓存一行或一列数据;“小波变换控制单元”控制协调其他单元的工作,完成图像的二维小波变换.

3.2 数据通道的设计

由式(1)得算法示意图如图 3,图中最上面一排小圆点表示输入采样,最下面一排小圆点表示对输入采样做五步计算后得到的输出结果(图像的小波系数),实心小圆点表示一行/列数据的偶序号采样,空心小圆点表示一行/列数据的奇序号采样^[14].小圆点之间的斜线段或垂直线段表示数据之间存在着因果关系:线段上端点处的数据参与计算线段下端点处的数据.

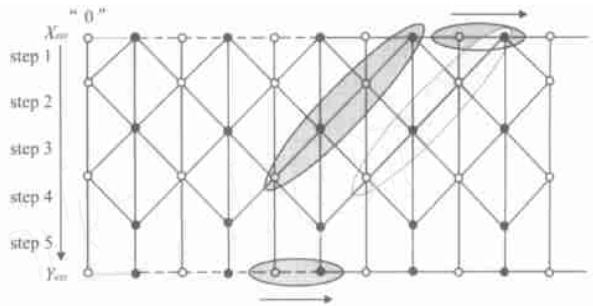


图 3 算法示意图及两组缓冲的设计和边界(左边界)扩展的实现

可见,用提升方法对一维信号做小波变换,由两个输入采样和四个中间结果能得到两个输出结果,也就是说,最少仅需 8 个存储单元,如图 3 中灰色椭圆所标.现为数据通道多设计 4 个存储单元,存储两组中间结果,即前一次计算的中间结果和当前计算的中间结果,如图 3 中两个较大的椭圆所示.这样设计的好处是,可以轮换使用这两组缓冲存储上次计算的中间结果和本次计算的中间结果,使它们互为因果,互相更新,加快运算的速度.

3.3 边界问题

对信号边界问题的解决,一般有以下四种方法:(1)边界补零;(2)重复边界值;(3)边界周期扩展;(4)边界镜像扩展(包括偶对称和奇对称两种情况).在此我们采用第四种方法,它能保证信号的完全重构.因为我们使用的是 9/7 小波滤波器,滤波器长度是奇数,所以需要采用奇对称的边界镜像扩展方式.设有信号 ABCDEFG,则其边界奇对称镜像扩展如图 4 所示.

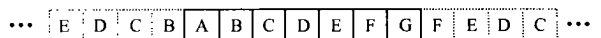


图 4 信号的边界奇对称镜像扩展示意图

设计中把边界扩展交由存储器和控制单元实现,在“小波变换控制单元”控制更新“SRAM”中数据的同时完成边界扩展.因此,“SRAM”中实际存放的是经边界扩展后的信号.9/7 小波需要信号在边界处做 3 到 4 个采样的扩展,这样“SRAM”的存储单元数就要在图像的行列信号长度的基础上再加 8 个,至少为 136 个.

另外,按照前面的设计,数据通道每次处理两个采样,即一个奇序号的采样和一个偶序号的采样.为了保持数据读取

操作(由“小波变换控制单元”负责执行)的一致性,在“SRAM”的两端再分别多设计一个存储单元,存储常数0,见图3(左)。这可降低“小波变换控制单元”的复杂性,因此“SRAM”的存储单元数达到138个。

3.4 “小波变换控制单元”的功能设计

它主要有几个控制功能:(1)多级小波变换的实现(3~5级);(2)控制“SRAM”的数据的更新,同时控制完成有限信号的边界扩展;(3)为“提升方法小波变换”部件提供数据,每次两个;(4)将“提升方法小波变换”部件的输出结果(每次两个)按照低频系数和低频系数分别加以存储。

4 设计的实现和验证

4.1 SystemC 设计方法

SystemC是基于C++的系统级建模语言,它是C++的扩展,使用C++面向对象的编程机制,它是C++类库的集合,允许用户为硬件相关的概念如并发、时序等创建模型,因为该语言是基于C++的,所以任何ANSI C++编译器都能运行其模型,该语言具有诸多优点:可执行的规范、更快的模拟速度、更高的抽象级别、利于软/硬件协同设计等等。

SystemC程序的基本块是“模块”(module),它类似于VHDL中的“实体”(entity)和Verilog中的“模块”(module)的概念。模块通常有端口(port),以便与外部交互。模块与模块之间的通讯是通过信号(signal)进行的,信号连接着模块的端口。因此,信号类似于在电路板上不同硬件单元间的连线,而端口对应这些单元的引脚。模块中,实现算法的代码被封装于一个或多个进程(process)中。根据SystemC模拟核调用和执行进程的方式的不同,SystemC中有三种类型的进程:方法进程(SC-METHOD)、线程进程(SC-THREAD)和时钟线程进程(SC-CTHREAD)。SystemC含有丰富的数据类型,包括位、位向量、4值逻辑和可变精度整数等等。SystemC也提供wait()等待语句,提供从端口发送或接收数据的write()和read()函数。

SystemC允许在一个很高的抽象层次建模,它的建模层次可分为行为、性能、总线周期精确级和可综合的寄存器传输级等四个级别。它提供细化方法,即逐渐地细化设计,通过部分地加入必要的硬件和时序结构最终实现一个好的设计。采用这种细化方法,比较容易更新设计和发现错误。当细化到一定的程度时,可用一些综合工具对设计进行综合,使用Synopsys公司提供的CoCentric SystemC Compiler可以直接把SystemC设计综合成网表^[15,16]。

4.2 数据通道的具体实现

用SystemC的SC_MODULE实现硬件结构中的功能部件,制定通讯协议,并定义端口。部件的端口见图5,各端口信号

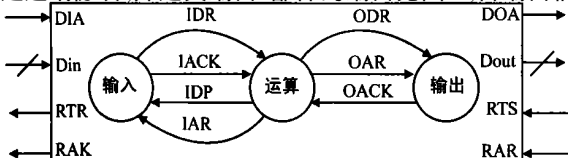


图5 部件的外部端口及进程模型图

的若干意见表1。通讯协议是根据实际情况制定的,可根据实际需要调整。

表1 实现通讯协议的主要控制信号

序号	信号名	方向 (输入/输出)	功能
1	RTR(READY. TO. RECV)	输出	准备好接收数据
2	DIA(DATAIN. AVAIL)	输入	被允许接收数据
3	RAK(RECV. ACK)	输出	收到数据的确认
4	RTS(REQUEST. TO. SEND)	输入	被允许发送数据
5	DOA(DATAOUT. AVAIL)	输出	准备好发送数据
6	RAR(RECV. ACK. RECVD)	输入	发送数据被收到

除了以上几个信号,还有CLOCK,RESET,START和STOP等几个信号。CLOCK是系统时钟,控制系统的操作。RESET是系统复位信号。当START为高电平时启动系统的工作,当STOP为高电平时停止系统的工作。

部件内部一般有三个进程,分别为输入进程、运算进程和输出进程^[17]。运算进程完成数据计算,输入进程为运算进程准备数据,输出进程输出运算进程的计算结果。采用SystemC的SC_CTHREAD实现部件中的进程。数据通道的进程模型图见图5方框内。进程间通讯信号定义见表2。

表2 进程间各通讯信号

序号	信号名称	驱动进程	读取进程	功能
1	IDR(Input. Data. Ready)	输入	运算	为处理准备好输入数据
2	IDP(Input. Data. Processed)	运算	输入	输入数据已经被处理
3	IACK(Input. Ack)	输入	运算	IDP信号的确认
4	IAR(Input. Ack. Received)	运算	输入	IACK信号的确认
5	ODR(Output. Data. Ready)	运算	输出	输出数据准备好
6	OACK(Output. Ack)	输出	运算	输出完成
7	OAR(Output. Ack. Received)	运算	输出	OACK的确认

4.3 进一步设计——流水线技术

通过对9/7小波提升算法的进一步研究,发现可以为它的硬件实现设计五级流水线结构,见图6,如间断线圆圈所标的5个结点可并行计算,形成五级流水线计算方式,使得每产生两个输出的数据处理时间降为原来的五分之一。代价为在数据通道中使用更多的存储单元,共计20个。因此,将4.2子

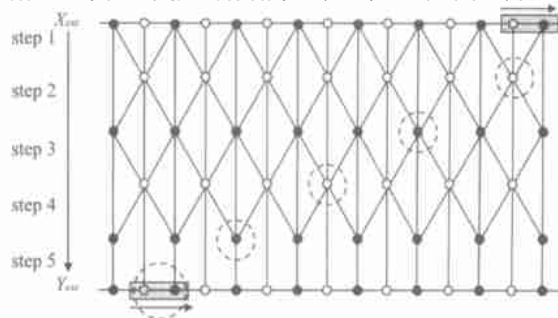


图6 流水线设计,圆圈标注了流水线的各段

节中的运算进程拆为 5 个进程, 分别完成图 6 中 5 个圆圈所标结点的计算, 并在进程间增添相应的通讯信号。

4.4 模拟和验证

完成设计后, 在 CCS 中启动设计模拟。在波形观察器 Davis 中查看输出波形。图 7 显示了模拟波形图的一部分。设输入像素值均为 255, 则每次计算出的两个值, 一个当近似 255 (低频), 另一个当近似 0 (高频)。模拟波形图显示了正确的结果, 硬件设计的功能得到了验证。

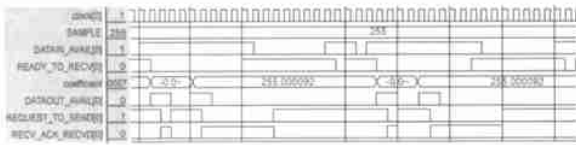


图 7 部分模拟输出波形图

5 结论

本文为 JPEG2000 的 9/7 小波提升算法提出一个低存储的硬件结构, 它实现对图像的高速小波变换只需以下数据的存储单元: 一行/列数据, 10 个边界扩展部分数据以及运算部件中的 2 个输入, 8 个中间结果和 2 个输出。该结构有效地解决边界扩展问题。在采用流水线技术之后, 硬件运算的速度提高到原来的五倍左右。通过执行模拟, 我们验证了该结构的正确功能。

参考文献:

- [1] Knowles G. VLSI architecture for the discrete wavelet transform[J]. Electronics letters, 1990, 26(15): 184 - 185.
- [2] Lewis A S, Knowles G. VLSI architecture for 2-D Daubechies wavelet transform without multipliers[J]. Electronics Letters, 1991, 27(2): 171 - 173.
- [3] Parhi K K, Nishitani T. VLSI architecture for discrete wavelet transforms[J]. IEEE Trans on VLSI systems, 1993, 1(2): 191 - 202.
- [4] Denk T C, Parhi K K. VLSI architectures for lattice structure based orthonormal discrete wavelet transforms[J]. IEEE trans on Circuits and Systems-II: Analog and digital signal processing, 1997, 44(2): 129 - 132.
- [5] Denk T C, Nicol C J, Larsson P, Azadet K. Reconfigurable hardware for efficient implementation of programmable FIR filters[A]. ICASSP '88 [C]. 1988. 3005 - 3008.
- [6] Fridman J, Manolakos E S. On the synthesis of regular VLSI architectures for the 1-D discrete wavelet [A]. Proc of SPIE Conf on Math Imaging: Wavelet Application in Signal and Image Processing II[C]. San Diego CA, 1994.
- [7] Chakrabarti C, Vishwanath M. Efficient realizations of the discrete and continuous wavelet transforms: from single chip implementations to mappings on SIMD array computers[J]. IEEE Trans SP, 1995, 43(3): 759

- 771.

- [8] Grzeszczak A, Mandal M K, Panchanathan S, etc. VLSI implementation of discrete wavelet transform[J]. IEEE Trans. on VLSI Systems, 1996, 4(4): 421 - 433.
- [9] Keshab K Parhi, Takao Nishitani. VLSI architectures for discrete wavelet transform[J]. IEEE Transactions on VLSI Systems, 1993, 1(2): 191 - 202.
- [10] 陈峻. 二维正交子波变换的 VLSI 并行计算[J]. 电子学报, 1995, 23(2): 95 - 97
- [11] I Daubechies, W Sweldens. Factoring wavelet transforms into lifting steps[J]. Journal of Fourier Analysis and Application, 1998, 4(3): 247 - 269.
- [12] W Sweldens. The lifting scheme: a custom design construction of biorthogonal wavelets[J]. Appl. Comput. Harmonic. Analysis, 1996, 3(2): 186 - 200.
- [13] ISO/IEC JTC 1/SC 29/WG 1 (ITU-T SG8) Coding of Still Pictures [DB/OL]. <http://www.jpeg.org/public/fcd15444-1.pdf> < <http://www.jpeg.org/CDs15444.html> >, 2003 - 05 - 08.
- [14] G Savaton, E Casseau, E Martin. High-level design and synthesis of a discrete wavelet transform virtual component for image compression [R]. International workshop on IP-based synthesis and SoC design, Grenoble, France, 14 - 15 December 2000.
- [15] SystemC User's Guide Version 2.0[Z]. Update for SystemC 2.0.1.
- [16] Functional Specification for SystemC 2.0[Z]. Final, Version 2.0-P, October 5, 2001.
- [17] A Varma, J R Armstrong, J M Baker. A SystemC GSM Model For Hardware/Software Co-Design [DB/OL]. < <http://www.visc.vt.edu/armstrong/gsm.sysc.pdf> >, 2003 - 05 - 19.

作者简介:



董文辉 男, 1975 年 5 月生于山东德州, 北京理工大学计算机系博士研究生, 主要研究领域包括小波分析、图像压缩和系统级芯片设计等, Email: wenhui_d@263.net; dongwenhui@hotmail.com.



刘明业 男, 1934 年 6 月生于辽宁营口, 教授, 博士生导师, 主要研究领域包括多媒体信息处理技术和 EDA 技术等。