

# 自适应码率 QC-LDPC 码编码器的 FPGA 实现

张文俊<sup>1</sup>, 王琳<sup>2</sup>, 徐哲鑫<sup>2</sup>

(1 重庆邮电大学 编码技术研究所, 重庆 400065; 2 厦门大学 通信工程系 福建厦门 361005)

**摘要:** 准循环低密度奇偶校验码(QC-LDPC codes)相比其他的 LDPC 码具有简单的编码结构, 拥有较好的应用前景。通过构造校验矩阵设计了不同码率和不同帧长的具有系统结构的 QC-LDPC 码, 并分析了这些码的性能, 随后将编码过程分阶段引入主从控制模块及复用基本 SRAA 组, 设计了变码率和变帧长的编码器, 并用 Verilog HDL 语言在 Spartan 3 3s1500fg676 芯片上实现了编码器的设计。综合报告表明: 在使用适中的硬件资源情况下, 系统最大频率达到了 174.856MHz 能满足高速编码的要求。

**关键词:** 编码器; 现场可编程门阵列; 变码率; 准循环低密度奇偶校验码

中图分类号: TN911.22

文献标识码: A

文章编号: 1673-825X(2008)05-0534-04

## FPGA implementation of adaptive code rate QC-LDPC encoder

ZHANG Wen-jun<sup>1</sup>, WANG Lin<sup>2</sup>, XU Zhe-xin<sup>2</sup>

(1 Institute of Coding and Information Technology, Chongqing University of Posts and Telecommunications, Chongqing 400065, P. R. China;

2 Department of Communication Engineering, Xiamen University, Xiamen 361005, P. R. China)

**Abstract** Quasi-cyclic (QC) low-density parity-check (LDPC) codes have encoding advantage over other types of LDPC codes for their simple coding structure. Different rates and frames QC-LDPC codes in systematic circulant (SC) form were designed by constructing the parity check matrix and their performance was analyzed. The design introduced two control modules and reused SRAA circuits to realize multi-rate encoding. The encoder was implemented with Verilog HDL language on the chip of Spartan 3 3s1500fg676. Synthesis report shows that the system's maximum frequency is 174.856 MHz with in-medium hardware device and satisfies the demand of high-rate encoding application.

**Key words** encoder; FPGA; multi-rate QC-LDPC codes

## 0 引言

1962年, Gallager首次提出了 LDPC 码<sup>[1]</sup>, 但是由于其译码算法过于复杂, 并没有得到足够的重视。1996年, Mackay 和 Neal 发现 LDPC 码和 Turbo 码同样具有接近香农限的优异性能<sup>[2]</sup>, 从而引发了对 LDPC 码研究的热潮。最近提出的诸如第二代数字广播电视 (DVB-S2)<sup>[3]</sup> 以及无线宽带接入网等标准都采用了 LDPC 码<sup>[4,5]</sup>。

基于迭代译码算法, LDPC 的译码器可以达到数 Gbit/s 的数据吞吐量<sup>[6,7]</sup>, 但较高的编码复杂度

和编码时延是其应用所面临的一个主要问题。如果采用普通的编码方式, 其编码复杂度与码长的二次方成正比, 这在码长较长时是难以接受的。因此研究具有可以降低编码复杂度的代数结构的 LDPC 码就显得尤为重要。鉴于此, Kou 提出了基于有限几何的循环和准循环 LDPC 码 (QC-LDPC 码), 该码可以通过移位寄存器简单地实现编码且仿真表明合理构造的 QC-LDPC 码在中短帧长时性能完全可以达到甚至好于对应的随机 LDPC 码。Shu Lin 等人也提出了 2 种由 QC-LDPC 码的循环校验矩阵推导出系统形式的循环生成矩阵的方法, 并设计了几种高效 QC-LDPC 编码器实现架构<sup>[8]</sup>, 为实际应用奠定了基础。

通信系统为了提供不同的服务质量以适应不同的传输环境, 需要前向纠错编码的码率甚至帧长能

收稿日期: 2008-03-12 修订日期: 2008-06-27

基金项目: 教育部新世纪优秀人才支持计划项目 (NCET04-0601); 福建省科技重点项目 (2006H0039); 重庆市自然科学基金项目 (CSTC2007BB2387)

够自适应的根据信道环境做出相应调整。如 DVB-S2 中采用的 LDPC 码就设置了 2 种编码长度以及 21 种码率, 极大的改善了系统性能。码率及帧长自适应虽然可以由多个编码器和译码器实现, 但此举势必使得编译码器的复杂度过高, 因而如何设计复杂度较低的变码率变帧长编译码器显得尤为重要, 这已成为当前编码领域的研究热点<sup>[9]</sup>。鉴于 QC-LDPC 码的优越性, 如何实现该码型的自适应机制正引起越来越多的关注, 目前国内外鲜有关于该码编码自适应具体实现的相关文献。

鉴于此, 本文主要关注 QC-LDPC 码的自适应编码器的设计。文章首先构造了 2 种帧长的 QC-LDPC 码型, 并将其与相应的随机 LDPC 码进行了性能比较, 然后实现了 2 种码型的码率帧长自适应编码器。最后的综合结果表明: 在不损失性能的前提下, 编码器在占用适中资源的同时可达到较高的核心编码频率。

### 1 QC-LDPC 码简介

QC-LDPC 码的校验矩阵  $H_{qc}$  可以写成如下一个二维数组的形式

$$H_{qc} = \begin{bmatrix} A_{1,1} & A_{1,2} & \dots & A_{1,t} \\ A_{2,1} & A_{2,2} & \dots & A_{2,t} \\ \vdots & \vdots & & \vdots \\ A_{c,1} & A_{c,2} & \dots & A_{c,t} \end{bmatrix} \quad (1)$$

(1) 式中的元素  $A_{ij}$  是一个  $b \times b$  “循环方阵”, 并且满足下面 2 个条件: ①  $A_{ij}$  的“重”  $\omega$  相比于  $b$  是个极小的整数, 该约束条件保证了  $H_{qc}$  是一个稀疏矩阵, 从而降低 LDPC 迭代译码的复杂度; ②  $A_{ij}$  组成的  $H_{qc}$  应该满足任意 2 行 (列) “1” 的重叠度  $\lambda \leq 1$ , 该约束条件则消除了  $H_{qc}$  对应的二分图上长度为 4 的环<sup>[10]</sup>, 从而保证了  $H_{qc}$  的迭代译码性能。

满足了上述 2 个条件的  $H_{qc}$  的“零空间”就是一个码长为  $bt$  的 QC-LDPC 码。如果  $H_{qc}$  中的  $A_{ij}$  的“重”  $\omega$  都相同, 那么该  $H_{qc}$  对应的行重 (列重) 也相同, 等于  $\omega t (\omega_c)$ , 这样的 QC-LDPC 码就称为“规则 QC-LDPC”码, 反之即为“非规则 QC-LDPC”码。与  $H_{qc}$  对应的  $G_{qc}$  具有如下的结构

$$G_{qc} = \begin{bmatrix} I & \mathbf{0} & \dots & \mathbf{0} & G_{1,1} & G_{1,2} & \dots & G_{1,c} \\ \mathbf{0} & I & \dots & \mathbf{0} & G_{2,1} & G_{2,2} & \dots & G_{2,c} \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & & \vdots \\ \mathbf{0} & \mathbf{0} & \dots & I & G_{c,1} & G_{c,2} & \dots & G_{c,c} \end{bmatrix} \quad (2)$$

(2) 式中:  $I$  是  $b \times b$  的单位阵;  $\mathbf{0}$  代表一个  $b \times b$  的全零矩阵;  $G_{ij}$  是  $b$  维的循环方阵。这种形式的  $G_{qc}$ , 我们称之为“系统 准循环生成矩阵”<sup>[8]</sup>。

根据循环方阵的特点, 一旦确定循环方阵  $G_{ij}$  的第一行  $g_{ij}$ , 那么  $G_{ij}$  也就整个确定了, 其中  $1 \leq i \leq t - c, 1 \leq j \leq c$ , 我们称  $g_{ij}$  为  $G_{ij}$  的“行生成矢量”。

### 2 QC-LDPC 码码型选取及其性能分析

QC-LDPC 码的循环子矩阵, 可以由欧氏有限几何的方法所得。通过对这些循环方阵进行行列分解, 得到行重和列重较小且不同码率的 (4, 8) 规则 QC-LDPC 码。我们选取  $b = 255$  的子矩阵, 通过行列分解和组合得到了多种码型, 将它们与相近码率的随机 (4, 8) 规则 LDPC 码进行性能比较, 发现经过合理构造的 QC-LDPC 码与其相近参数的随机 LDPC 码具有几乎同样优异的性能。其中 (1 020, 512) QC-LDPC 码和 (1 024, 512) 随机 LDPC 码的性能比较仿真结果如图 1 所示。

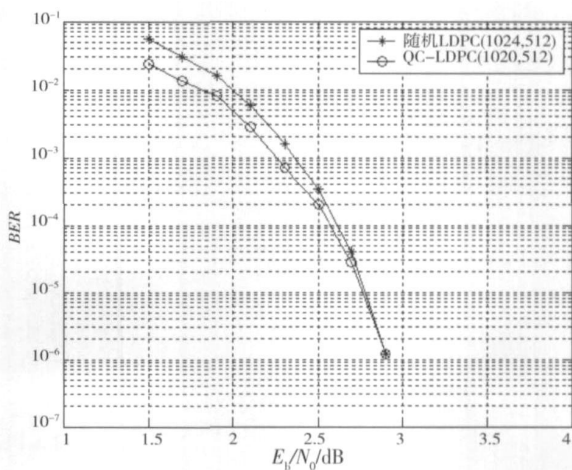


图 1 (1 020, 512) QC-LDPC 与对应随机 LDPC 码的性能比较

Fig 1 Error performance of (1 020, 512) QC-LDPC code and corresponding random LDPC codes

通过这种方法我们可以基于  $b = 255$  的子矩阵构造更多性能较好的中短帧长的 QC-LDPC 码。

### 3 自适应 QC-LDPC 码编码器的 FPGA 实现

根据系统码字特点, 编码的关键在于校验位的确定, 本编码器采用移位累加器 (SRAA) 组计算实现。由于 SRAA 组计算出的校验位是并行的, 需要并串转换电路转换成串行的, 由此将编码过程划分成 2 个阶段: 一是校验位计算阶段, 该阶段 SRAA 组

处于工作状态,并 /串转换电路处于等待状态;第二阶段是校验位的输出阶段,该阶段 SRAA 组处于等待状态而并 /串转换电路组则处于工作状态。相应地,把控制模块划分成主控制模块和辅助控制模块 2 个子模块,通过 2 个控制模块的配合实现上述功能。编码器主要由主控制模块、辅助控制模块、SRAA 组模块以及并 /串转换电路模块组成。顶层框图如图 2 所示。下面对主要模块作具体介绍。

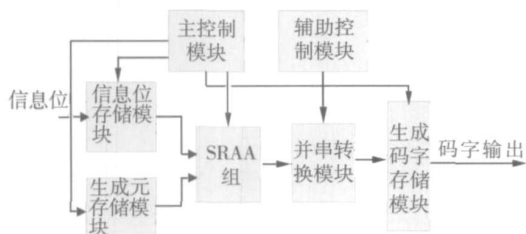


图 2 编码器整体框图

Fig 2 Encoder structure of QC-LDPC codes

### 3 1 SRAA 组

校验位可以由信息位序列和生成矩阵相乘得到,文献 [9]将此过程分为 2 个步骤:①信息位和生成元相乘;②将所有相乘的结果累加。由于生成元具有循环性,因此可以通过同一电路的多次复用实现。图 3 中循环移位寄存器 B 实现了循环矩阵,与

门和异或门的组合逻辑部分实现了信息位  $a$  和  $g_{ij}$  的相乘,反馈寄存器 A 实现了累加的功能,该模块每次处理完  $b$  个信息序列,就产生相应的反馈信号给控制模块。该模块只是一个计算单元,称为 SRAA。其编码电路见图 3。图 3 中编码码率  $R$  为

$$R = \frac{b \times (t - c)}{b \times t} = \frac{t - c}{t} \quad (3)$$

(3)式中:  $c$  对应着基本运算单元 SRAA 组的个数;  $b$  则对应加载生成元的次数。由 (3) 式可知,通过调整  $t$  和  $c$  就可以实现不同码率和帧长。所以只需要对 SRAA 组的个数以及加载生成元的次数进行控制便可以实现变码率和变帧长的编码。具体实现时,将合理构造的生成矩阵的生成元存储起来,并设置最大的 SRAA 组的个数,然后通过加载不同的生成元以及控制 SRAA 组的工作状态实现自适应编码。其局限性在于只能实现子矩阵为  $b$  维的码字,但是只要经过合理构造,这一点并不影响编码器的性能,且即使构造中等帧长的 QC-LDPC 码,需要的 SRAA 组个数也不太多。如  $b=255$  时,假定使用 10 个 SRAA,此时校验位长度已经达到 2 550 bits,若码率为 1/2,此时的帧长为 5 100 bits,而 10 个 SRAA 占用的资源并不是很高,较低端的 FPGA 芯片即可承受。

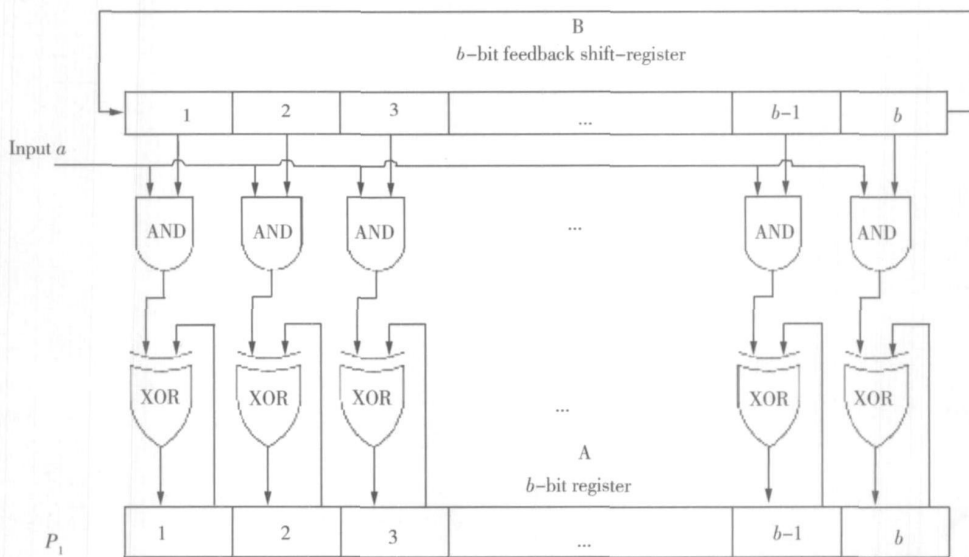


图 3 SRAA 编码电路

Fig 3 SRAA encoder circuit

### 3 2 主控制模块

主控制模块控制着 SRAA 组和辅助控制器的工

作状态,由划分为 7 个米利型有限状态机构成,如图 4 所示。各状态分别是:  $idle$  为复位状态,  $ready$  为读取生成元状态,  $start$  为加载生成元状态,  $process$  为

SRAA 组工作状态, result1 为读取校验位状态, result2 为加载并行校验位状态, wait 为并串转换状态。在各个状态时, 对应的控制信号有效, 从而使编码器实现相应的操作。决定状态机状态变化的 3 个输入信号是: SRAA 的反馈信号 (db\_sr), 最后一级并串转换电路的反馈信号 (db\_ps) 和子矩阵列个数的计数信号 (cnt)。由于并串转换电路工作对应的仅是主控模块的一个状态, 因此主控模块并不能实现对各个并串转换电路的控制, 这一点也成为整个自适应设计的难点。由此, 引入辅助控制模块, 用以控制并串转换电路的工作状态, 从而实现校验位的串行输出。

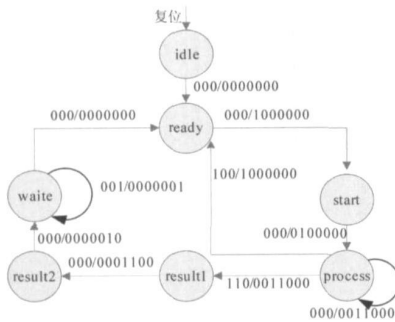


图 4 主控制器的状态转移图

Fig 4 State transition diagram of host controller

### 3.3 辅助控制模块

辅助控制模块同主控制模块一样由米利型有限状态机构成, 状态个数则由编码器中并串转换电路的个数也即 SRAA 组的个数决定。各状态对应的输出信号使相应的并串转换电路工作, 有效状态的个数根据码率设定, 并通过各个状态的顺次变化控制并串转换电路顺序工作, 同时各级并串转换电路的反馈信号作为输入信号决定状态机的状态变化。

## 4 仿真结果

选用 Spartan 3 3s1500fg676-4 芯片, 在 ISE 6 下使用 Verilog HDL 语言编写了对于  $b = 255$  时, 实现 (1 020, 512) 和 (2 040 1 531) 2 种 QC-LDPC 码型的编码器源程序。图 5 给出了用 FPGA 实现的该编码器的 Modelsim 仿真波形, 经过与软件结果进行对比, 验证了编码结果的正确性。

实现 2 种码型需要用到的最大 SRAA 组数是 2 个, 综合报告中资源占用情况如表 1 所示。

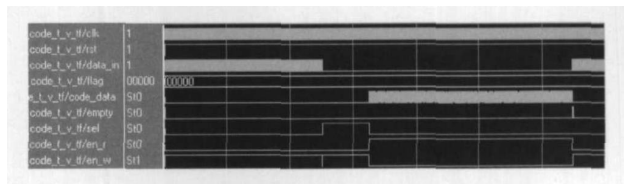


图 5 编码器 modelsim 仿真波形图

Fig 5 Modelsim waveform of the encoder

表 1 资源占用情况表

Tab 1 Hardware resource of the encoder

资源类型	Slices	Slice Flip Flops	4 input LUTs	Block RAM
数目	1 278	2 108	2 138	16
占用率 %	9.6%	7.9%	8%	50%

## 5 结论

QC-LDPC 码所特有的循环对称特点使其便于 FPGA 实现。现代通信系统为了提供不同的服务质量, 通常需要采用不同的码率及帧长, 因而自适应编译码器的实现尤为重要。本文巧妙的应用 SRAA 组实现了自适应 QC-LDPC 的编码器, 虽然编码器局限于子矩阵的维数, 但通过合理的构造校验矩阵保证了编码性能。综合结果表明: 在占用资源适中的情况下, 编码器可以达到较高的数据吞吐率, 从而为 QC-LDPC 码的实际应用奠定了基础。

### 参考文献:

- [1] GALLAGER Robert G. Low-Density Parity-Check Codes [J]. *IRE Transon. Inform. Theory*, 1962, (8): 21-28
- [2] MACKAY D J C, NEAL R M. Near Shannon Limit Performance of Low-Density Parity-Check Codes [J]. *Electron. Lett.*, 1997, (33): 457-458
- [3] MORELLO Alberto, MIGNONE Vittoria. DVB-S2: The Second Generation Standard for Satellite Broadband Services [J]. *Proceedings of the IEEE*, 2006, 94 (1): 210-216
- [4] JACOBSEN Eric. Draft text for LDPC coding scheme for OFDMA, IEEE 802.16 Broadband Wireless Access Working Group, IEEE C802.16e-04/96 [S]. [S1]: [S n], 2004.
- [5] WANG Wenjun, LIN Yuewei, YAN Yuan. Improved RB-HARQ scheme based on structured LDPC codes [J]. *The Journal of China Universities of Posts and Telecommunications*, 2007, 14 (4): 100-103

(下转第 548 页)

(2001-10-12) [2007-12-21]. <http://ieeexplore.ieee.org/iel5/7636/20847/00965381.pdf> number = 965381.

[4] LOHAN E S, HAMILA R, LAKH ZOURIA, et al Highly Efficient Techniques for Mitigating the Effects of Multipath Propagation in DS-CDMA Delay Estimation [J]. IEEE Transactions on Wireless Communications 2005, 4 (1): 149-162

[5] SREOM Erik G, MALMSTEN Fredrik A Maximum Likelihood Approach for Estimating DS-CDMA Multipath Fading Channels [J]. IEEE J. Select Areas Commun., 2000 8(1): 132 - 140

[6] ERTIN E, MIFRA U, SWAMOGSATHAM S Maximum-Likelihood-Based Multipath Channel Estimation for Code Division Multiple-Access Systems [J]. IEEE Trans On Commun., 2001, 49(2): 290-302

[7] FLEURY B H, TSCHUD N M, HEDDERGOTT R, et al Channel parameter estimation in mobile radio environments using the SAGE algorithm [J]. IEEE J. Select Areas Commun., 1999, 17(3): 434-450

[8] LOTT CIV, D' ANDREA A, MENGALI U. Channel Estimation for UltraWideband Communications [J]. IEEE J. Select Areas Commun., 2002, 20(9): 1638-1645

[9] STEINER B, BAIER P W. Low cost channel estimation in the uplink receiver of CDMA mobile radio systems [J]. Frequenz 1993, 47: 292-298

作者简介:



沈璧川 (1972-), 男, 重庆人, 副教授, IEEE 高级会员, 研究方向为第三代移动通信系统。E-mail sbichuan@hotmail.com.

(责任编辑: 魏琴芳)

(上接第 537 页)

[6] DARABHA A, CARUSONE A C, KSCHISCHANG F R. MultiGbit/sec Low Density Parity Check Decoders with Reduced Interconnect Complexity [EB/OL]. (2005-05-28) [2008-03-12]. [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?number=1465805](http://ieeexplore.ieee.org/xpls/abs_all.jsp?number=1465805)

[7] WANG Xu-ying LU Ying-hua ZHANG Li-kun Design and implementation of high speed real time data acquisition system based on FPGA [J]. The Journal of China Universities of Posts and Telecommunications 2006, 13 (4): 61-66

[8] LI Zongwang CHEN Lei ZENG Ling-qi et al Efficient Encoding of Quasicyclic Low-Density Parity-Check Codes [J]. IEEE Trans on Communications 2006 54 (1): 71-81

[9] SUN Yang KARKOOTIM arjan JOSEPH R, et al VLSI Decoder Architecture for High Throughput Variable Block-size and Multirate LDPC Codes [EB/OL]. (2007-05-30) [2008-03-12]. [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?number=4253085](http://ieeexplore.ieee.org/xpls/abs_all.jsp?number=4253085)

[10] YU K, LIN Shu, FOSSORIER M. Low density parity check codes based on finite geometries: A discovery and new results [J]. IEEE Trans Inform Theory 2001, 47 (11): 2711 - 2736

作者简介:



张文俊 (1984-), 男, 河南商丘人, 硕士研究生, 从事高效纠错编码实现研究。E-mail wenjun8407@yahoo.com.cn

王琳 (1963-), 男, 重庆人, 教授, 博士生导师, 主要研究方向为宽带/超宽带无线通信技术(含多址接入、信道编译码、迭代接受、混沌传输、UWB 数字电视信道接收机技术等)算法设计与硬件实现。

(责任编辑: 魏琴芳)