

一种低功耗 CMOS 带隙基准电压源的实现

冯勇建, 胡洪平

(厦门大学 机电系, 福建 厦门 361005)

摘要: 运用带隙基准的原理, 提出了一种带启动电路的低功耗带隙基准电压源电路。HSPICE 仿真结果表明, 在 $25\text{ }^{\circ}\text{C}$ 、 3.3 V 下, 电路功耗为 16.88 mW ; 另外, 在 $-30\text{ }^{\circ}\text{C}\sim 125\text{ }^{\circ}\text{C}$ 范围内, $1.9\sim 5.5\text{ V}$ 下, 输出基准电压 $V_{\text{REF}} = 1.225 \pm 0.0015\text{ V}$, 温度系数为 $G_c = 14.75 \times 10^{-6}/^{\circ}\text{C}$, 电源电压抑制比 (PSRR) 为 86 dB 。该电路采用台积电 (TSMC) $0.35\text{ }\mu\text{m}$ $3.3\text{ V}/5\text{ V}$ CMOS 工艺制造。测试结果显示, 电路功耗仅为 16.98 mW 。

关键词: 带隙基准电压源; CMOS; 启动电路

中图分类号: TN402; TN432

文献标识码: A

文章编号: 1004-3365(2007)02-0231-03

Implementation of a Low Power CMOS Bandgap Voltage Reference Source

FENG Yongjian, HU Hongping

(Dept. of Mechanical and Electrical Engineering, Xiamen University, Xiamen, Fujian 361005, P. R. China)

Abstract: A low power CMOS bandgap voltage reference source with a star2up circuit is presented based on the bandgap voltage theory. Results from Hspice simulation show that power dissipation of the circuit is 16.88 mW at 3.3 V and $25\text{ }^{\circ}\text{C}$. The voltage reference has an output voltage of $1.225 \pm 0.0015\text{ V}$ for a temperature coefficient of $14.75 \times 10^{-6}/^{\circ}\text{C}$, and a PSRR of 86 dB in the temperature range from $-30\text{ }^{\circ}\text{C}$ to $125\text{ }^{\circ}\text{C}$ and V_{DD} from 1.9 V to 5.5 V . This circuit is fabricated using TSMC's $0.35\text{ }\mu\text{m}$ ($3.3\text{ V}/5\text{ V}$) CMOS technology, which consumes 16.98 mW of power from a single 3.3 V power supply.

Key words: Bandgap voltage reference source; CMOS; Star2up circuit

EEACC: 2570D

1 引言

基准电压源是集成电路中一个重要的单元模块。目前, 基准电压源被广泛应用在高精度比较器、A/D 和 D/A 转换器、动态随机存取存储器等集成电路中。它产生的基准电压精度、温度稳定性和抗噪声干扰能力直接影响到芯片, 甚至整个控制系统的性能。因此, 设计一个高性能的基准电压源具有十分重要的意义。自 1971 年 Robert Widla 提出带隙基准电压源技术以后^[1], 由于带隙基准电压源电路具有相对其他类型基准电压源的低温度系数、低电源电压, 以及可以与标准 CMOS 工艺兼容的特点, 所以在模拟集成电路中很快得到广泛研究和应用。

传统的带隙基准电压源电路^[24]中存在运算放大器, 基准源的指标在很大程度上受到运算放大器失调电压 (offset)、电源电压抑制比 (PSRR) 等因素的限制。T. Books 和 A. L. Westwick 提出了一种带隙基准电压源的电路结构^[5], 它去除了传统带隙基准电压源中的放大器, 但与传统的带隙基准电压源相比, 功耗较大, 且精度较低。针对这些问题, 本文基于带隙基准电压源产生的原理, 设计了一种具有良好启动电路的低功耗 CMOS 带隙基准电压源。该电路采用自偏压电流源, 去掉运算放大器, 利用 MOS 管电流镜技术补偿其输出电压所经过的三极管的基极电流, 从而可以获得精确的镜像电流。该电路除了典型的低功耗特性外, 因为电流镜各支路上叠加了一个 MOS 管, 电源电压抑制比提高到 86 dB

收稿日期: 20060607; 定稿日期: 20060928

基金项目: 福建省自然科学基金资助项目 (2002H020)

dB。在电源电压 V_{DD} 从 1.9~ 5.5 V 扫描的条件下, 输出基准电压 $V_{REF} = 1.225 \pm 0.0015$ V, 温度系数为 $C_{TC} = 14.75 \times 10^{-6} / e$ 。

2 电路结构

2.1 带隙基准的基本原理

带隙基准是一种几乎不依赖于温度和电源的基准技术, 其基本原理如图 1 所示。由室温下温度系数为 -2.2 mV/e 的 pn 结二极管产生电压 V_{BE} , 同时也产生一个热电压 V_T ($V_T = kT/q$, 其中, k 为波尔兹曼常数, T 为热力学温度, q 为电量), 所以, V_T 与绝对温度成正比, 在室温下, 温度系数 $5V_T/5T = +0.085$ mV/e。如果电压 V_T 乘以常量 Kc , 再加上电压 V_{BE} , 则输出基准电压为

$$V_{REF} = V_{BE} + KcV_T \quad (1)$$

(1) 式中, V_{REF} 为基准电压, V_{BE} 为双极型三极管的基极-发射极正偏电压, Kc 为常量, V_T 为热电压。

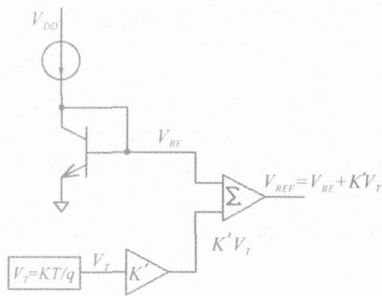


图 1 带隙基准的一般原理

Fig. 1 General principle of the bandgap reference

由于 V_{BE} 受电源电压 V_{DD} 的影响非常小, 所以, 带隙基准与电源电压几乎无关。因为在室温下输出电压的理论温度系数等于零, 所以, 将(1)式对温度 T 微分, 可解得常数 Kc 。

2.2 高性能带隙基准源电路结构

基于带隙基准电压源技术的原理, 设计了一种采用新型结构的高性能 CMOS 带隙基准电压源, 如图 2 所示。

图 2 中包含了基准启动电路和基准产生电路。由 M_1 、 M_3 、 M_4 、 M_6 、 M_7 、 M_9 与 M_{10} 组成具有低电压的电流镜结构, M_1 对节点 1 的电压进行偏置, M_9 、 M_{10} 、 M_{11} 同时把节点 8 的电压调整到与节点 4 近似相等, 从而保证了节点 6 和节点 9 的电压近似相等, Q_2 、 Q_3 和 R_3 组成 PTAT (proportional to absolute temperature) 电路。由于 $V_6 = V_9$, $V_{BE2} = V_6$, $V_9 = V_{BE3} + R_1$, 可得 $V_{BE2} - V_{BE3} = V_{R1} = \beta V_{BE}$, 从而产生

一个正温度系数的电压, 所以, 流过 M_{15} 、 M_{16} 的电流为 PTAT 电流。由此可知, 流过 R_2 的电流为 PTAT 电流, 而 Q_6 产生具有负温度系数的 V_{BE6} , 所以, $V_{REF} = V_{BE6} + V_T R_2 (\ln n / R_1)$ 。因此, 选择合适的 n 值和 R_1 、 R_2 值, 即可得到不随温度变化的 V_{REF} , 加之电流镜结构中各支路都叠加了 MOS 管, 大大提高了电路的电源电压抑制比, 可得到高电源电压抑制比。

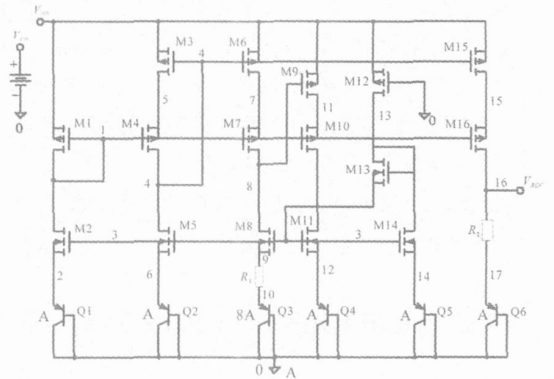


图 2 完整的新型带隙基准电压源电路结构图

Fig. 2 Complete schematics of the novel bandgap voltage reference source

在设计带隙基准源电路时, 会在电路中存在一个与电源无关的/ 简并0偏置点。在加上电源电压的情况下, 电路既可以稳定在每个管子都关断的零工作状态下, 也可以稳定在正常的工作状态下。由于电路可以稳定在以上两种工作状态的任何一种状态下, 因此, 需要一个启动电路来使电路摆脱每个管子都关断的零工作状态。图 2 中, M_{11} 、 M_{12} 、 M_{13} 、 M_{14} 、 Q_4 与 Q_5 组成了一个启动电路。当电路处于零工作状态时, 在电源电压作用下, 通过 M_{11} 、 M_{12} 、 M_{13} 、 Q_4 到地的电流, 从而拉高节点 3 的电压, 使电路回到正常的工作状态; 电路正常工作以后, M_{13} 关断, 启动电路的电流形成从 M_{12} 、 M_{14} 、 Q_5 到地, 对电流镜结构电路不再产生干涉, 进而使整个电路都处于导通状态, 完成整个电路的启动工作。

3 仿真与测试结果

采用台积电 (TSMC) 0.35 Lm 的 CMOS N 阱工艺模型和 HSpice 软件对电路进行仿真。其中, MOS 管采用 HSpice level 49 模型。仿真条件为: 温度范围 230~ 125 e, 电源电压范围 1.9~ 5.5 V。电路的主要参数列于表 1。另外, R_1 取 60 k Ω , R_2 取 625 k Ω , n 等于 8。仿真结果如图 3 和图 4 所示。

图 3 是仿真的带隙基准电压源电路的交流小信号特性曲线。从图 3 中可以看出,该带隙基准电压源具有较高的电源抑制比(86 dB)。实际流片时,在该带隙基准的裸片进行的测试中,其电源电压抑制比为 85 dB。

表 1 MOS管器件参数

Table 1 MOS transistor sizes

MOS管	长/Lm	宽/Lm	MOS管	长/Lm	宽/Lm
M ₁	5	2	M ₉	10	40
M ₂	1	25	M ₁₀	4	25
M ₃	10	40	M ₁₁	1	25
M ₄	4	25	M ₁₂	50	2
M ₅	1	25	M ₁₃	2	25
M ₆	10	40	M ₁₄	1	25
M ₇	4	25	M ₁₅	10	40
M ₈	1	25	M ₁₆	4	25

$G_C = |(1/V_{REF})(\Delta V_{REF}/\Delta T)| = 14.75 @ 10^{-6} / e$ 。在 25 e、3.3 V 下,功耗不到 17 LW(电路总功耗为 16.8821 LW)。

图 5 是电源电压 $V_{DD} = 3.3 V$ 时带隙基准裸片的实际温度特性测量和仿真结果比较。在实际测量中,因为条件的限制,只测量了温度从 20 e 到 120 e 的特性曲线。从图 5 可以看出,输出电压在 1.2243~1.2261 V 时,该带隙基准电压工作稳定,但变化比仿真结果大,这是由于多晶硅电阻在加工中无法精确控制阻值造成的,是不可避免的。

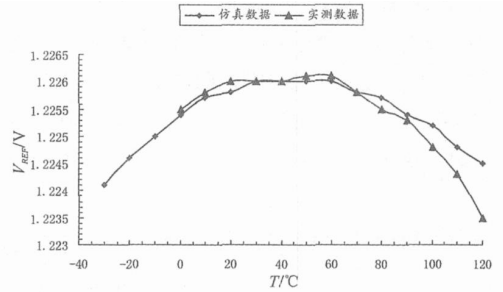


图 5 输出基准电压 V_{REF} 随温度的变化曲线($V_{DD} = 3.3 V$)

Fig. 5 Variation of output reference voltage with temperature ($V_{DD} = 3.3 V$)

该基准电压源电路已应用于含带隙基准电压电路的温度传感器芯片中。图 6 为本文设计的带隙基准电压源的电路版图及其在该温度传感器芯片中的位置;表 2 是在 25 e 环境下测得的带隙基准电压源电路芯片的特性。流片及测试结果表明,实际测试所得的带隙基准电压源的各项指标与仿真结果基本吻合,各项实测指标完全满足设计要求。

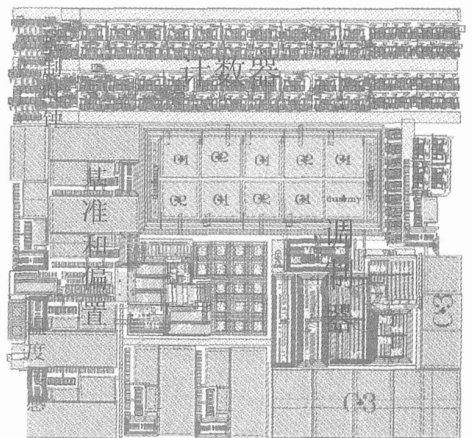


图 6 带隙基准电压源电路版图

Fig. 6 Circuit layout of the bandgap voltage reference source

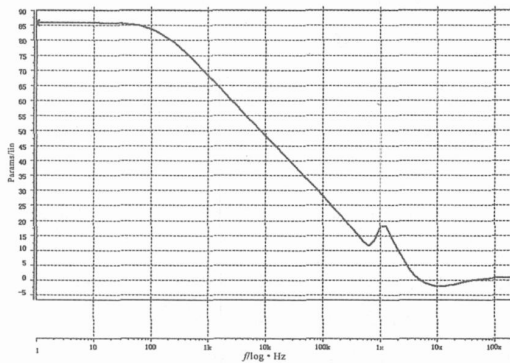


图 3 带隙基准电压源的交流小信号特性曲线

Fig. 3 AC PSRR characteristics of output V_{REF}

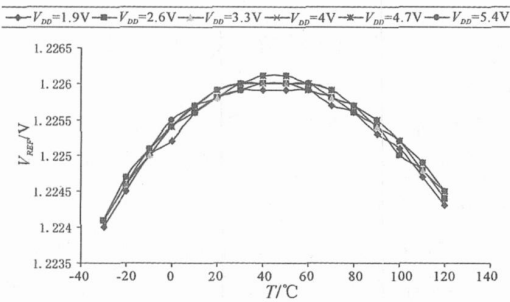


图 4 不同电源电压下的温度特性曲线

Fig. 4 Temperature characteristics at different V_{DD}

图 4 是对不同电源电压下温度特性曲线的仿真。仿真结果表明:这种带隙基准电压源结构在正常工作状态下的最小电源电压可达到 1.9 V,输出基准电压 $V_{REF} = 1.225 \pm 0.0015 V$,在 -30~125 e 范围内,带隙基准电压源输出电压的温度系数

理器。该处理器布线后的版图如图 4 所示。在 0.35 Lm 工艺下, 电路规模约为 22 000 门, 芯片面积 3.4336 mm²。从实现结果来看, 电路达到了高速高精度的设计要求, 同时也说明 ASIC 实现在速度、功耗方面均比 FPGA 具有明显的优势。

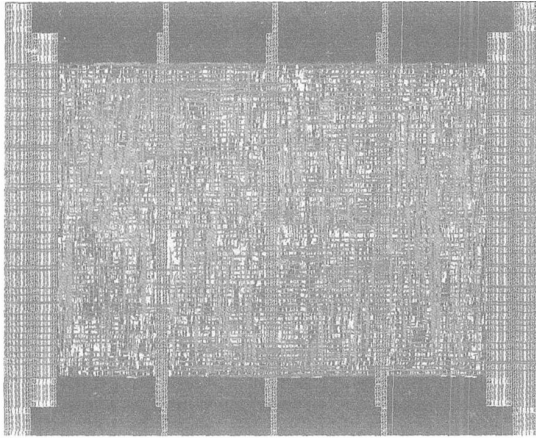


图 4 CORDIC 处理器版图

Fig. 4 Layout of CORDIC processor

参 考 文 献:

[1] Walther J S. A unified algorithm for elementary functions [A]. AFIPS Spring Joint Comp Conf [C]. Boston, MA, USA. 1971. 372-385.
 [2] Sarmiento R. A CORDIC processor for FFT computation and its implementation using gallium arsenide technology [J]. IEEE Trans VLSI Syst, 1998, 6(1): 123-130.
 [3] Pai C Y, AlKhalili A J, Lynch W E. Low power constant coefficient multiplier generator design [A]. 14th IEEE Ann Int Conf ASIC/ SOC [C]. Crystal City, Arlington, VA, USA. 2001. 182-189.
 [4] Hu A P, AlKhalili A J. Comparison of constant coefficient multipliers for CSD and Booth recoding [A]. 14th Int Conf Microelec [C]. Beirut, Lebanon. 2002. 662-69.
 [5] Pai Y T, Chen Y K. The fastest carry lookahead adder [A]. 2nd IEEE Int Workshop Elec Des Test and Appl [C]. Washington DC, USA. 2004. 434-436.

作者简介: 汪润来(1982-), 男(汉族), 湖北孝感人, 硕士研究生, 主要研究方向为数字集成电路设计。

(上接第 233 页)

表 2 带隙基准电压源电路实测芯片特性

Table 2 Measured characteristics of the bandgap voltage reference chip

工艺	TSMC 0.35 Lm, 3.3 V/5 V、CMOS N 阱工艺
基准源类型	自偏置、带隙基准电压源电路
输出基准电压 V _{REF}	1.226 V
基准源在 -30~125 e 温度范围内输出电压 V _{REF} 的温度系数	14.9@10 ⁻⁶ /e
电源电压抑制比 (PSRR)	85 dB
电源电压	3.3 V
功耗	16.98 LW

4 结 论

基于带隙基准原理, 设计了一种高性能低功耗 CMOS 带隙基准电压源。实验流片测试结果表明, 该带隙基准电压源电路完全符合设计要求, 可以很

好地应用于高精度比较器、A/D 和 D/A 转换器等模拟集成电路中, 具有高精度、低功耗、较小的温度系数和较高的电源电压抑制比等特性。该电路具有广泛的应用前景。

参 考 文 献:

[1] Widlar R. New developments in IC voltage regulators [J]. IEEE Sol Sta Circ, 1971, 6(1): 227.
 [2] Allen P E, Holberg D R. CMOS 集成电路设计 [M]. 第 2 版. 北京: 电子工业出版社, 2005. 117-130.
 [3] Tsividis Y P, Ulmer R W. A CMOS voltage reference [J]. IEEE Sol Sta Circ, 1978, 13(6): 774-778.
 [4] Tzanateas G, Salama C A T, Tsividis Y P. A CMOS bandgap voltage reference [J]. IEEE Sol Sta Circ, 1979, 14(3): 652-657.
 [5] Kujik K E. A precision reference voltage source [J]. IEEE Sol Sta Circ, 1973, 8(6): 222-226.

作者简介: 冯勇建(1958-), 男(汉族), 新疆石河子人, 副教授, 主要研究方向为微系统和集成电路设计。