

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

Факультет електроніки

(повна назва інституту/факультету)

Кафедра мікроелектроніки

(повна назва кафедри)

«На правах рукопису»

УДК _____

«До захисту допущено»

Завідувач кафедри

(підпис)

(ініціали, прізвище)

“ _____ ” _____ 2018 р.

Магістерська дисертація

на здобуття ступеня магістра

зі спеціальності _____ *153 «Мікро- та наносистемна техніка»*

(код і назва)

на тему: _____ «Моделювання відмов в інтегральних схемах»

Виконав (-ла): студент (-ка) 6 курсу, групи ДП-61м

(шифр групи)

Золотаревський Олексій Ігорович

(прізвище, ім'я, по батькові)

(підпис)

Науковий керівник доц., к.т.н. Свечніков Георгій Сергійович

(посада, науковий ступінь, вчене звання, прізвище та ініціали)

(підпис)

Консультант з нормоконтролю доц., к.т.н. Орлов А.Т.

Консультант з інформаційних питань ст. викл., к.т.н. Діденко Ю.В.

Рецензент _____

(посада, науковий ступінь, вчене звання, науковий ступінь, прізвище та ініціали)

(підпис)

Засвідчую, що у цій магістерській дисертації немає запозичень з праць інших авторів без відповідних посилань.

Студент _____

(підпис)

Київ – 2018 року

**Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»**

Інститут (факультет) _____ Факультет електроніки _____
(повна назва)

Кафедра _____ Кафедра мікроелектроніки _____
(повна назва)

Рівень вищої освіти – другий (магістерський)

Спеціальність _____ 153 «Мікро- та наносистемна техніка» _____
(код і назва)

ЗАТВЕРДЖУЮ
Завідувач кафедри

_____ (підпис) (ініціали, прізвище)

«__» _____ 20__ р.

ЗАВДАННЯ

на магістерську дисертацію студенту

ДП-61м Золотаревського Олексія Ігоровича

(група, прізвище, ім'я, по батькові)

1. Тема дисертації _____ Моделювання відмов в інтегральних схемах _____,

науковий керівник дисертації _____ к.т.н, доц. Свечніков Георгій Сергійович _____,
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом по університету від «__» _____ 20__ р. № _____

2. Термін подання студентом дисертації _____

3. Об'єкт дослідження _____ Електронні інтегральні схеми _____

4. Предмет дослідження _____ Проблема оцінки надійності інтегральних схем _____

5. Перелік завдань, які потрібно розробити

1. Розробити метод моделювання різних механізмів відмов

2. Створити автоматизований метод внесення змін в інтегральну схему, що імітують дефект схеми

3. Провести аналіз досліджуваної схеми запропонованим методом

4. Зробити висновки щодо ефективності створеного методу

5. Написання магістерської дисертації

6. Орієнтовний перелік ілюстративного матеріалу

1. Принципові схеми моделей дефектних інтегральних елементів
2. Графіки зміни параметрів схеми при внесенні певного дефекту
3. Принципова схема досліджуваного пристрою
4. Блок-схема алгоритму розробленого підходу до оцінювання надійності мікросхеми
5. Графіки розкиду параметрів схеми при наявності різних дефектів

7. Орієнтовний перелік публікацій

1. Метод оцінки надійності схеми на основі топології схеми
2. Метод оцінки надійності схеми на основі оцінки площі елементів схеми
3. Методи моделювання відмов аналогових інтегральних схем

8. Консультанти розділів дисертації*

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв

9. Дата видачі завдання _____

Календарний план

№ з/п	Назва етапів виконання магістерської дисертації	Термін виконання етапів магістерської дисертації	Примітка
1	Огляд літератури	25.12.17	
2	Розробка методу моделювання різних механізмів відмов	20.02.18	
3	Створення автоматизованого методу внесення змін в інтегральну схему, що імітують дефект схеми	10.03.18	
4	Аналіз досліджуваної схеми запропонованим методом	20.03.18	
5	Написання наукових статей	01.04.18	
6	Висновки щодо ефективності створеного методу	10.04.18	
7	Обговорення результатів з науковим керівником	20.04.18	
8	Написання магістерської дисертації	5.05.18	

Студент _____
(підпис)

Золотаревський О. І.
(ініціали, прізвище)

Науковий керівник дисертації _____
(підпис)

Свечніков Г. С.
(ініціали, прізвище)

* Консультантом не може бути зазначено наукового керівника магістерської дисертації.

РЕФЕРАТ

Магістерська робота «Моделювання відмов в інтегральних схемах» за об'ємом складає 76 сторінок, містить 22 таблиці, 43 ілюстрації, використано 14 інформаційних джерел.

Актуальність роботи полягає у тому, що для аналогових інтегральних схем відсутні чітко визначені методи верифікації надійності через неперервний характер роботи аналогових схем, залежність параметрів від технологічних розкидів та умов навколишнього середовища. З введенням нових стандартів з безпеки інтегральних схем для автомобільної індустрії, критичним стала оцінка ризиків відмови чіпа в жорстких умовах навколишнього середовища і при старінні мікросхеми. Тому розробка універсального методу проведення тестів відмовостійкості розробленого пристрою є важливою задачею.

Задачами дослідження є: визначення відмов, які можуть утворитися в схемі базуючись на механізмах відмов напівпровідникових елементів; побудова моделей, що достатньо повно описували б поведінку елементів схеми при відмовах; визначення закономірностей, за якими відмови можуть з'явитися у інтегральних схемах; розробка інструменту для автоматизованого внесення відмов у схему відповідно отриманих закономірностей.

Об'єктом дослідження є аналогові інтегральні схеми до яких висуваються підвищені вимоги до безпеки та надійності. Предметом дослідження є оцінка рівня надійності таких схем. Методами дослідження є проведення симуляцій розроблених моделей та досліджуваної схеми у системах автоматизованого проектування.

У данній роботі розглянуті основні механізми відмов, типові для сучасних напівпровідникових елементів. Розроблено моделі для симуляції

поведінки окремих елементів з наявними дефектами. Запропоновано методи для внесення дефектів у схему, що мають найбільшу вірогідність утворення. Це дозволило зекономити час симуляції, не вносячи всі можливі відмови у схему. Розроблений метод був випробуваний на прикладі схеми, що проектується для використання в автомобільній промисловості, для оцінки її безпеки.

Ключові слова: інтегральна схема, внесення дефектів, функціональна безпека, ISO26262.

ABSTRACT

Master's thesis "Failures Simulation of Integrated Circuits" in volume is 76 pages, contains 22 tables, 43 figures. 14 sources were used.

The relevance of the work lies in the fact that there are no strictly defined methods for reliability verification of analog integrated circuits due to the continuous nature of the analog circuit operation, dependence of the parameters on technological fluctuations and environmental conditions. With the introduction of new safety standards of integrated circuits for the automotive industry, the risk assessment of the chip failure in a harsh environment and due to aging became critical. Therefore, the development of an ultimate method for performing fault tolerance simulations of the device is an important task.

The objectives of the study are: to define types of failures that can appear in the circuit, after investigating typical failure mechanisms of semiconductor devices; to develop the models that would precisely describe the behavior of the circuit elements with failure present; to determine the factors by which failures affect certain parts of IC; to develop a tool for automated fault injection according to the mentioned factors.

The object of the research is analog integrated circuits with increased safety and reliability requirements. The subject of the study is the reliability estimation of such circuits. The research methods are simulations of the developed models and the circuit under study in CAD.

In this paper, the basic mechanisms of failure, typical for modern semiconductor devices are considered. Models for simulating the behavior of circuit elements with failures have been developed. The methods for injecting faults with the highest probability of occurrence were proposed. This allowed to save simulation

time by not injecting all possible faults in the circuit. The developed method was tested on circuit that is designing for automotive application to assess its robustness.

Key words: integrated circuit, fault injection, functional safety, ISO26262.

ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СКОРОЧЕНЬ СИМВОЛІВ І ТЕРМІНІВ	10
ВСТУП	11
1 МЕХАНІЗМИ ВІДМОВ В НАПІВПРОВІДНИКОВИХ ПРИЛАДАХ	13
1.1 Деградація підзатворного діелектрику.....	13
1.2 Температурна нестабільність порогової напруги	15
1.3 Інжекція гарячих носіїв.....	16
1.4 Електроміграція	17
1.5 Міграція під напруженням	18
1.6 Вторинний пробій р-п переходу	19
1.7 Електростатичний розряд	20
1.8 Ефект заціпки	23
Висновки до розділу 1	24
2 МОДЕЛІ ВІДМОВ ЕЛЕМЕНТІВ ІС	26
2.1 Міжз'єднання	27
2.2 МДН-транзистор.....	27
2.3 Біполярний транзистор	36
2.4 Конденсатор	39
2.5 Резистор	39
2.6 Діод	40
Висновки до розділу 2	40

3	МЕТОДИ ВНЕСЕННЯ ДЕФЕКТІВ	42
3.1	Внесення дефектів на основі топології схеми	42
3.2	Внесення дефектів на основі паразитних параметрів між'єднань.....	46
3.3	Внесення дефектів на осові площі елементів	47
	Висновки до розділу 3	48
4	ОЦІНЮВАННЯ НАДІЙНОСТІ ПРИСТРОЮ	50
4.1	Специфікація досліджуваного пристрою.....	50
4.2	Визначення площі елементів	52
4.3	Внесення дефектів	56
4.4	Результати симуляцій і оцінка надійності пристрою	59
	Висновки до розділу 4	60
5	РОЗРОБЛЕННЯ СТАРТАП-ПРОЕКТУ	62
5.1	Опис ідеї проекту.....	62
5.2	Технологічний аудит ідеї проекту	63
5.3	Аналіз ринкових можливостей запуску стартап-проекту	63
5.4	Розроблення ринкової стратегії проекту.....	67
5.5	Розроблення маркетингової програми стартап-проекту	69
	Висновки до розділу 5	70
	ВИСНОВКИ.....	73
	СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ	75

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СКОРОЧЕНЬ СИМВОЛІВ І ТЕРМІНІВ

ASIC	Application-specific integrated circuit
ADAS	Advanced driver-assistance systems
ASIL	Automotive safety integrity level
EMC	Electromagnetic compatibility
DPI	Dynamic pressure impulse
SPFM	Single point fault metric
EDA	Electronic design automation
IP	Intellectual property
BJT	Bipolar junction transistor
CAD	Computer-aided design
DUT	Device under test
ІС	Інтегральна схема
ІГН	Інжекція гарячих носіїв
ЕМ	Електроміграція
ВП	Вторинний пробій
МН	Міграція під напруженням
ВВ	Високовольтний
ТНПН	Температурна нестабільність порогової напруги
ДПД	Деградація підзатворного діелектрику
ЕСР	Електростатичний розряд
САПР	Система автоматизованого проектування
ЕМС	Електромагнітна сумісність

ВСТУП

Постійне зменшення геометрії напівпровідникових приладів веде до багатьох переваг, таких як скорочення витрат на виробництво, підвищення швидкості роботи та зниження рівня споживання енергії інтегральних мікросхем, а також внесення багатьох аналогових функцій на рівень чіпа [2] та інтеграція цифрової та аналогової частин пристрою на одному чіпі. Проте масштабування впливає на надійність інтегральної схеми за рахунок збільшення нестабільності роботи пристрою через дефекти та недосконалості, утворені під час виробничого процесу [1].

Під час проектування, ІС проходить етап верифікації надійності, на якому пристрій перевіряється на вразливі місця конструкції та здатність працювати в межах специфікації незважаючи на розкид параметрів технологічних процесів та жорсткі умови навколишнього середовища.

У розробці аналогової ІС, верифікація все ще залишається проблемою через чутливість характеристик до відхилень технологічного процесу, нелінійності параметрів і відсутності універсального інструменту для верифікації аналогових схем.

Через складність ідентифікації слабких місць конструкції, необхідно виготовляти дослідні екземпляри ІС для вимірювання їх характеристик. Дослідні схеми вивчаються на можливі відмови, після чого конструкція схеми вдосконалюється відповідно до отриманих даних. Скорочення кількості таких ітерацій шляхом вивчення можливих несправностей до виробництва може значно скоротити вартість кінцевого продукту та час від етапу проектування до масового виробництва.

Метою дослідження є розробка методу оцінки надійності аналогових ІС на рівні окремих елементів схеми (примітивів).

Результатом дослідження є підхід до моделювання та діагностики відмов, які з найбільшою вірогідністю виникають у аналоговій схемі. Розроблено інструмент для автоматизованого внесення дефектів на основі топології схеми, площі елементів та паразитних параметрів міжз'єднань, таких як ємність та опір.

Запропонований підхід впроваджено для аналізу надійності ASIC сенсора тиску, який розроблений для застосування в автомобільній індустрії. Оскільки для автомобільної галузі питання безпеки є критично важливими, надійність пристрою була досліджена на відповідність стандарту функціональної безпеки ISO26262.

1 МЕХАНІЗМИ ВІДМОВ В НАПІВПРОВІДНИКОВИХ ПРИЛАДАХ

Вартість розробки ІС може складати мільйони доларів і вище. Тому компанії, що займаються випуском ІС, мають провести ретельну оцінку можливості відмов та вжити заходи безпеки на ранній стадії розробки [14].

Надійність схеми у цілому залежить від надійності окремих компонентів, тобто базових напівпровідникових елементів (або примітивів), таких як транзистори, конденсатори тощо. Щоб визначити найбільш вірогідні відмови та розробити відповідні моделі відмов для примітивів, потрібно вивчити загальні механізми відмов на фізичному рівні. Тоді ці моделі будуть використані замість бездефектних моделей для моделювання несправної схеми.

Відмови зазвичай виникають, коли слабка частина пристрою надмірно реагує на прикладений вплив [3]. Під час життєвого циклу ІС можуть з'являтися відмови різного характеру. На початковому періоді експлуатації домінуючими є дефекти виробництва. Це дефекти оксидної плівки, дефекти масок фотолітографії, забруднення кристалу, дефекти монтажу ІС, дефекти припою та ін. Під час корисного періоду роботи чіпу випадкові дефекти є домінуючими та можуть призвести до нестабільної роботи схеми. В кінці експлуатації чіп починає відмовляти в першу чергу через ефекти старіння. В роботі буде розглянуто механізми відмов, що можуть з'явитися протягом усього терміну експлуатації пристрою.

1.1 Деградація підзатворного діелектрику

Деградація підзатворного діелектрику (ДПД або залежний від часу пробій діелектрику, TDDB) це механізм відмов в МОН транзисторах, коли підзатворний оксид руйнується внаслідок довготривалого прикладення

відносно низького електричного поля, на відміну від миттєвого пробою (або жорсткого пробою, HBD), що зумовлений короточасним впливом сильного електричного поля. Миттєвий пробій приводить до значного збільшення струму затвору та втрати керування напругою на затворі роботою пристрою. Як правило, передбачається, що жорсткий пробій в будь-якому транзисторі у схемі призводить до відмови системи. Для товщини оксиду нижче 5 нм, миттєвому пробою може передувати пробій залежний від часу (або м'який пробій, SBD) [4].

SBD можна спостерігатися як часткова втрата діелектричних властивостей діелектрику, що призводить до меншого збільшення струму затвора у порівнянні з HBD. Кілька м'яких пробоїв не обов'язково призводять до відмови системи. На рис. 1.1 наведено процес залежного від часу пробою оксиду, який проявляється у незначному збільшенні струму затвору, доки не відбудеться жорсткий пробій.

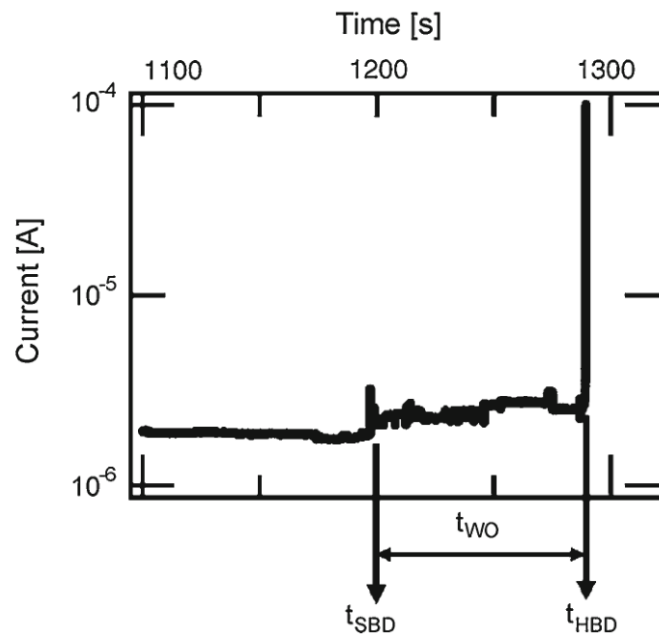


Рисунок 1.1 – Жорсткий пробій, перед яким йде м'який пробій протягом фази старіння t_{WO} [4]

З моменту впровадження тонкоплівкових діелектриків ($t_{ox} < 3$ нм), залежному в часі пробою почало приділятися багато уваги через наявність м'якого пробою перед жорстким.

1.2 Температурна нестабільність порогової напруги

Температурна нестабільність порогової напруги (ТНПН або ВТІ) це ефект зміни порогової напруги, викликаний накопиченням електричного заряду у підзатворному оксиді МОН транзистора. Зокрема, негативна температурна нестабільність порогової напруги (NBTI) - це температурно-активованій ефект, який спостерігається в р-канальних транзисторах, і проявляється як збільшення порогової напруги та, як наслідок, зменшення струму стоку і крутизни транзистора.

Ефекту NBTI сприяють такі механізми:

1. Термічно збуджені дірки в р-МОН транзисторі перевищують потенційний бар'єр межі оксиду і напівпровідника. Тому носії заряду затримуються поблизу межі двох середовищ, підвищуючи порогову напругу V_{th} .
2. При прикладенні сильного електричного поля, зв'язок $Si - H$, що існує на границі між Si і SiO_2 порушується, що веде до утворення поверхневого стану. Крім того, залишений ненасичений зв'язок ($Si -$) також сприяє відхиленню порогової напруги.

На нестабільність V_{th} також впливає тип пакування і наявність захисних плівок. Наприклад, цього типу зміщення V_{th} можна запобігти якщо в якості захисної плівки використовується SiN [3].

З появою затворів на high-k діелектриках, з'явився новий механізм деградації. Позитивна температурна нестабільність (PBTI) впливає на n-МОН транзистор при додатному зміщенні. У цьому конкретному випадку

поверхневих станів не генерується і 100% деградації V_{th} може бути відновлено.

1.3 Інжекція гарячих носіїв

Інжекція гарячих носіїв (ІГН) - це ефект інжекції частинок з дуже високою кінетичною енергією в діелектрик затвора пристрою, де вони можуть потрапити в центр захоплення носіїв або викликати утворення поверхневого стану. На рис. 1.2 показано явище ІГН в n-МОН транзисторах. Гарячі носії призводять до ударної іонізації, що генерує електронно-діркові пари. Гарячі електрони інжектуються в діелектрик, а деякі дірки утворюють струм підкладки.

«Гарячі носії» - це загальне найменування для високоенергетичних гарячих електронів та високоенергетичних гарячих дірок (позитивних носіїв), сформованих у транзисторах, і не пов'язане з загальною температурою пристрою.

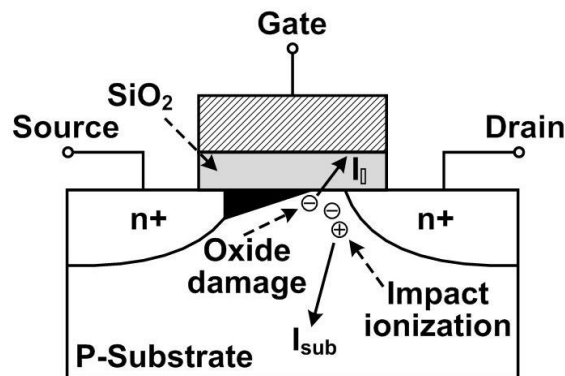


Рисунок 1.2 – Ефекти інжекції гарячих носіїв у транзисторі

Існування рухливих носіїв у оксидах активізує численні процеси фізичного руйнування, які можуть різко змінити характеристики пристрою з часом. Отримане погіршення характеристик пристрою викликане інжекцією

гарячих носіїв називається "деградацією гарячих носіїв". Погіршуються такі параметри як V_{th} і g_m МОН транзистора.

1.4 Електроміграція

Електроміграція - це масоперенесення металу за рахунок передачі імпульсу між провідними електронами та дифундуючими атомами металів (рис. 1.3).

ЕМ є значною лише при високій щільності струму та лише в металах. Таким чином, металеві міжз'єднання ІС найбільше страждають від ЕМ, в результаті чого після тривалого часу роботи пристрою в міжз'єднаннях можуть виникати замикання і розриви.

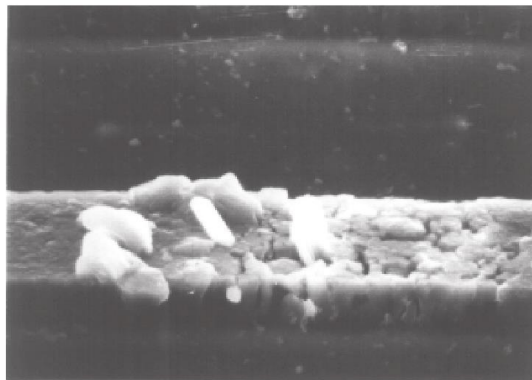


Рисунок 1.3 – Мікрознімок міжз'єднання після тривалої електроміграції [3]

Інтенсивність електроміграції пропорційна щільності струму. ЕМ також дуже чутлива до температури. Для Al , як правило, зміна температури на $20^{\circ}C$ може подвоїти швидкість електроміграції. Тому струм, допустимий у тонкоплівковому провіднику, є функцією температури. Чим вища температура, тим менший струм може протікати без ризику відмови, викликаній електроміграцією [5].

Ще однією проблемою є градієнти температури, що виникають внаслідок омичного (Джоулевого) нагріву металевого провідника. Нагрівання

металевих ліній, коли через них проходить струм, називається Джоулевым нагріванням. Оскільки електроміграція це термічно активований процес, потік атомів матеріалу сильно залежить від температурного градієнта.

1.5 Міграція під напруженням

Інший тип дефектів у міжз'єднаннях - міграція під напруженням (МН). МН завжди призводить до порожнеч (або розривів), як показано на рис. 1.4. Розриви виникають через міграцію вакансій, стимульовану градієнтом гідростатичного напруження. Наприклад, якщо коефіцієнт теплового розширення дроту з *Al* відрізняється від коефіцієнту захисної плівки, на границі зерен *Al* створюється напруження. Отже, атоми *Al* будуть рухатися від межі зерна, щоб послабити стрес, що призведе до утворення невеликої щілини. Ця щілина зростатиме у напрямку поперечного перерізу дроту, аж до розриву дроту [3].

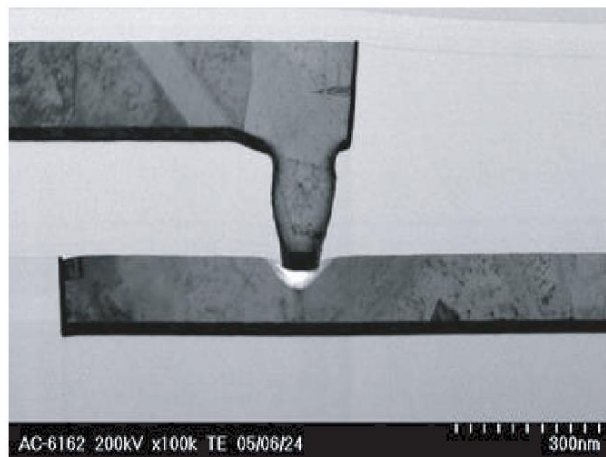


Рисунок 1.4 – Мікроснімок провідника (міжшарового з'єднання) *Si*, який зазнав міграції під напруженням [3]

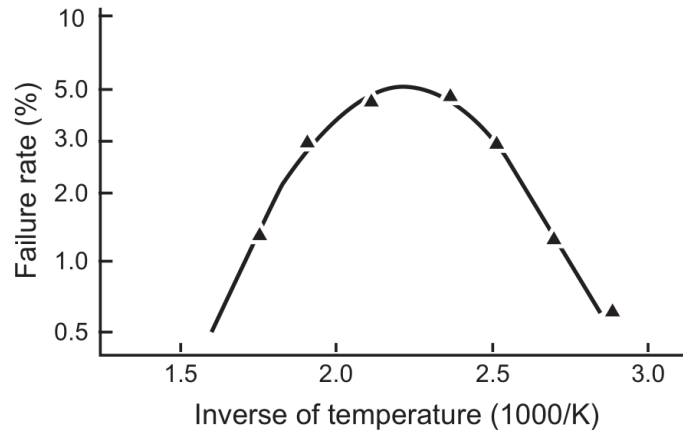


Рисунок 1.5 – МН прискорена температурним впливом [3]

Міграція під напруженням пришвидшується з підвищенням температури і має пік при температурі від 150°C до 200°C, як показано на рис. 1.5.

1.6 Вторинний пробій р-п переходу

Вторинний пробій - це явище, яке виникає внаслідок перегріву деяких точок в області р-п переходу, породжуючи експоненціально зростаючий струм через ці точки. Експоненціальне збільшення струму, в свою чергу, призводить до ще більшого перегріву, викликаючи механізм позитивного теплового зворотного зв'язку. Наявність цього явища проявляється як стійке зменшення напруги колектора та відповідне майже вертикальне зростання колекторного струму (рис. 1.6). Якщо цей режим роботи зберігається протягом порівняно довгого часу, ток розплавить найгарячіші точки пристрою і створить точкові проколи. Як наслідок, пристрій не буде працювати як діод або транзистор [3].

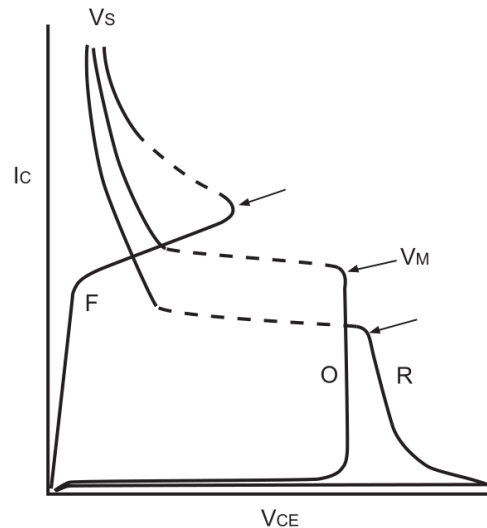


Рисунок 1.6 – Вихідні характеристики біполярного транзистора з ВП, де крива O відповідає розриву бази, R – перехід база-емітер зворотно зміщений, F - перехід база-емітер прямо зміщений [3]

ВП є властивим для біполярних транзисторів і може відбуватися як за прямого, так і за зворотного зміщення, як це видно з рис. 1.6. МОН транзистори стійкі до вторинного пробую через стабільний температурний коефіцієнт струму стоку при високій щільності струму. Однак при експлуатації при високих напругах та низьких струмах МОН транзистори можуть страждати від нерівномірного розподілу струму та вторинного пробую, подібному до пробую біполярних транзисторів [6]. Окрім цього, потужні МОН транзистори мають паразитні P-N і ВJT елементи в структурі, що може спричинити більш складні локалізовані відмови, подібні до вторинного пробую.

1.7 Електростатичний розряд

Електростатичний розряд (ЕСР) - неконтрольоване вирівнювання потенціалів двох заряджених об'єктів. Якщо накопичення заряду на певному об'єкті відбувається без протікання струму, заряд може збільшитися до рівня,

здатного зруйнувати ізолятор (повітря або інший діелектрик), що призведе до раптового протікання струму між двома електрично зарядженими об'єктами.

ЕСР може мати катастрофічні наслідки для електронних компонентів. Для мікросхем, що працюють на напрузі живлення 5 В і менше, а топологічні розміри яких складають частки мікрона, статичні заряди, які залишаються непоміченими в повсякденному житті, можуть легко зруйнувати чіп. Також ці ефекти можуть не зруйнувати мікросхему миттєво, а залишити дефект, який проявить себе пізніше під час експлуатації ІС [8].

Деякі пристрої можуть бути пошкоджені розрядами не більше 30 В. Ці невидимі форми ЕСР можуть призвести до повної відмови пристрою або менш очевидних форм деградації, які можуть вплинути на довгострокову надійність та характеристики електронних пристроїв. Відхилення в деяких пристроях можуть не виявлятися, доки вони не напрацюють певний ресурс (Рис. 1.7).

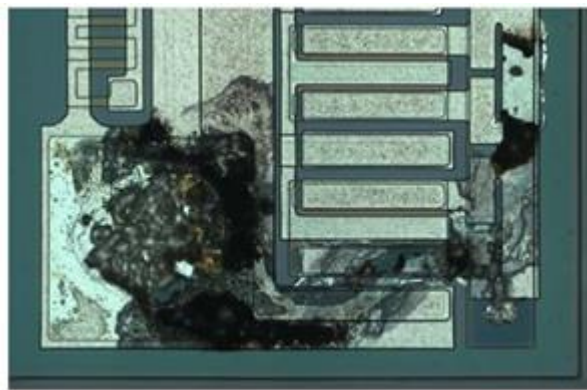


Рисунок 1.7 – Прихований дефект на регуляторі напруги, який працював протягом години після впливу ЕСР [7]

Найбільш чутливими до ЕСР пристроями є, як правило, МОН транзистори. Ці пристрої мають дуже високий імпеданс затвору, що заважає заряду розсіюватися більш контрольовано.

Стандартні КМОН чіпи можуть бути пошкоджені статичними напругами всього 250 В. МОН транзистори, які часто використовуються для радіочастотній техніці, дуже чутливі та можуть бути зруйновані статичними напругами близько 100 В. Для порівняння, людським тілом та його одягом можуть накопичуватися статичні напруги у кілька кіловольт протягом звичайного робочого дня.

Навіть звичайні біполярні транзистори можуть бути пошкоджені потенціалом близько 500 В. Особливо це стосується сучасних транзисторів, які можуть мати набагато менші розміри, щоб забезпечити високі робочі частоти [8].

Пасивні компоненти, такі як резистори, конденсатори, металічні між'єднання в даний час також розглядаються як чутливі до статичної електрики. Оскільки з масштабуванням технології, їх розміри також масштабуються, це робить пасивні компоненти вразливими до пошкоджень від ЕСР.

Один з найбільш поширених способів відмови ІС внаслідок ЕСР, коли статичний заряд у вигляді дуже високої напруги, викликає сильний піковий струм, що спричиняє перегорання елемента. У деяких випадках між'єднання або елемент можуть бути частково пошкоджені. При цьому пристрій продовжуватиме працювати і, можливо, не буде виявлено відхилення його параметрів. В іншому випадку, в роботі можуть спостерігатися незначні відхилення. Особливо це стосується аналогових пристроїв, де невеликі частки матеріалу з області пошкодження можуть поширитися на поверхні чіпа. Вони можуть закортити або частково закортити інші компоненти в чіпі, що спричинить зміну або погіршення параметрів.

Інший спосіб появи відмови через ЕСР – коли напруга викликає пробій всередині ІС. Електростатична напруга може зруйнувати ізолюючий оксидний шар, утворюючи стійкий дефект в ІС. Знову ж таки це може призвести до миттєвої відмови схеми, або утворити частково пошкоджену ділянку з неявним дефектом.

1.8 Ефект заціпки

Через особливості структури КМОН інтегральних мікросхем, в інтегральній схемі може існувати паразитний біполярний. Оскільки він має таку ж структуру, що і тиристори, зовнішній імпульс може переключити цей тиристор, в результаті чого створюється низькоомний шлях між шинами живлення МОН схеми та безперервне протікання надзвичайно великого струму. Цей ефект відомий як «заціпка». У результаті інтегральна схема може працювати неправильно або перегоріти. Таким чином, заціпка може викликати великі проблеми при роботі схеми. Оскільки інтегральні схеми останнім часом активно масштабуються, вони все більше схильні до утворення паразитних структур [3].

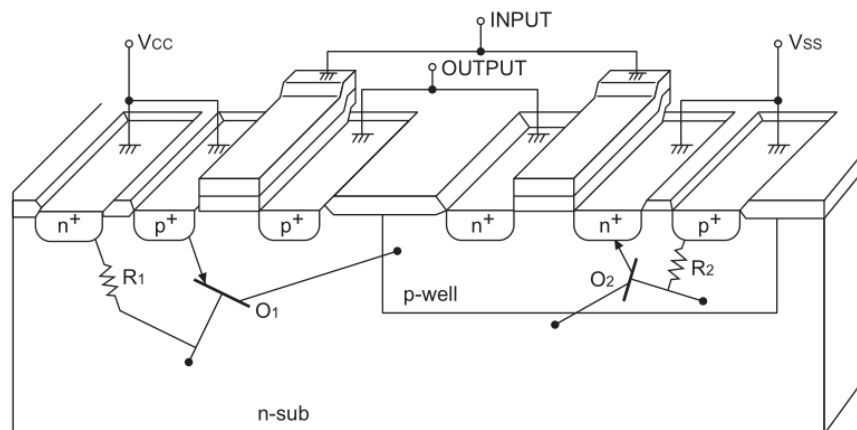


Рисунок 1.8 – Приклад ефекту заціпки в КМОН інверторі

Переріз КМОН інвертора, що містить паразитні біполярні транзистори, показаний на рис. 1.8. Еквівалентна схема, що використовує паразитні

транзистори (латеральний *pnp* транзистор і вертикальний *pnp* транзистор), аналогічна структурі *pnpn* тиристорю. Фактори, які можуть викликати перемикання тиристора [3]:

1. Пробій, обумовлений надзвичайно великим зворотним зміщенням між V_{CC} та V_{SS} (пробій переходу *p-well* – *n-sub*, показано на рисунку вище);
2. Вплив зовнішнього шуму чи імпульсу на вхідні/вихідні контакти;
3. Протікання струму зміщення, викликаного швидкою зміною напруги живлення;
4. Протікання надмірного струму в підкладці, кармані тощо, викликане радіоактивним опроміненням, наприклад α -променями.

Висновки до розділу 1

Оскільки технологічні норми продовжують зменшуватися, то товщина діелектриків також зменшується і TDDV стає ще більшою проблемою. Поява TDDV не обов'язково збігається з відмовою пристрою або схеми, але пізніше це може призвести до жорсткого пробою, тому як м'який, так і жорсткий пробій слід включити в модель відмов.

Ефекти NBTI та PBTI мають вирішальне значення для надійності нанорозмірних МОН транзисторів, тому вони повинні розглядатися як одна з можливих відмов аналогової ІС. Для різних технологій значення максимального зсуву порогової напруги може змінюватися, але як типове значення буде прийнято зсув у 20% від номінального V_{th} .

ІГН може бути проблемою для високовольтних пристроїв або більш старих технологій (> 90 нм). ІГН зазвичай зустрічається в транзисторах *n*-МОН і викликає зсув таких параметрів транзистора як порогова напруга та рухливість носіїв. В результаті, схема стане працювати повільніше, що можна

розцінювати як відмову. Отже, ІГН слід розглядати як явище, яке впливає на надійність схеми з часом. ІГН буде моделюватися як збільшення порогової напруги в парі зі зменшенням струму через транзистор.

ЕМ представляє велику проблему надійності. Для дизайнера все ще є складним завданням звести до мінімуму вплив ЕМ на швидкодію ІС. Тому відмови у лініях металізації мають бути включені до переліку можливих несправностей аналогових ІС.

Вторинний пробій може бути небезпечним для високовольтних транзисторів. Він має місце тоді, коли транзистор працює високому рівні потужності протягом досить тривалого часу. Без належного тепловідводу пристрою або при надмірному струмі через пристрій він буде вразливим для даного типу відмови. Оскільки ІР блок, який вивчається в даній роботі, включає в себе багато ВВ МОН транзисторів, вторинний пробій розглядається як одна з відмов для процесу внесення дефектів.

ЕСР представляє реальну небезпеку для нормальної роботи ІС. Електростатично чутливі напівпровідникові вироби повинні бути захищені під час і після виготовлення, під час транспортування та пакування, а також під час експлуатації. ЕСР може призвести до неявного або катастрофічного пошкодження чіпа. Наслідки ЕСР, такі як замикання і розриви, пробій *p-n* переходу та пробій оксиду включені в моделі відмов примітивів.

Ефект заціпки також є дуже небезпечною відмовою, яка може призвести до неконтрольованого збільшення струму, але не розглядається в цьому дослідженні, оскільки вона не з'являється в окремому МОН транзисторі.

2 МОДЕЛІ ВІДМОВ ЕЛЕМЕНТІВ ІС

У цьому розділі розглянуто моделі, що імітують ефекти від описаних вище механізмів відмов. Розглянуті основні елементи аналогових ІС, такі як резистор, конденсатор, МДН-транзистор, діод та біполярний транзистор. Також важливу роль у надійності ІС грають металічні між'єднання і міжшарові з'єднання. Вони можуть займати досить велику частину від усєї площі кристалу і вразливі до таких ефектів як електроміграція, іонна міграція та електростатичний розряд. Тому дефектні між'єднання також враховані при розробці методів внесення дефектів у схему.

Таблиця 2.1 – Режими, механізми та наслідки відмов для елементів аналогової ІС

Елемент	Режими відмови	Механізми відмови	Наслідки
Міжз'єднання	Зміна опору	ЕМ, МП, ЕСП	Затримка сигналу, плаваючий сигнал, зависання сигналу, висока щільність струму
	Розрив		
	Замикання		
МДН-транзистор	Розриви/замикання затвору, стоку, витоку	ДПД, ЕМ, МП, ЕСП	Збільш. струму затвору, збільш. паразитних ємностей, зміна характеристик
	Зміна $V_{пор}$	ТНПН, ІГН	
	Зменшення струму	ТНПН, ІГН	
Резистор	Зміна опору	ЕМ, МП, ЕСП	Зміна характеристик
	Розрив		
	Замикання		
Конденсатор	Зміна імпедансу	ТНПН, ЕМ, ЕСП	Збільш. паразитного струму, зміна характеристик
	Повний/неповний розрив		
	Повне/неповне замикання		
Діод	Повний/неповний розрив	ВП, ЕМ, ЕСП	Надмірний струм, затримка сигналу, зависання сигналу.
	Повне/неповне замикання		
	Зміна $V_{пор}$		
Біполярний транзистор	Розриви/замикання бази, емітера, колектора	ІГН, ЕМ, ВП	Зміна характеристик

У табл. 2.1 наведено короткий опис режимів відмов, їхніх основних механізмів та їх наслідків для окремих елементів схеми.

2.1 Міжз'єднання

Міжз'єднання мають три режими відмов: розрив, зміна опору і замикання. Розрив та зміну опору можна моделювати послідовним резистором. Замикання можна імітувати додаванням резистору між двома міжз'єднаннями. Моделі відмов міжз'єднань представлені на рис. 2.1.

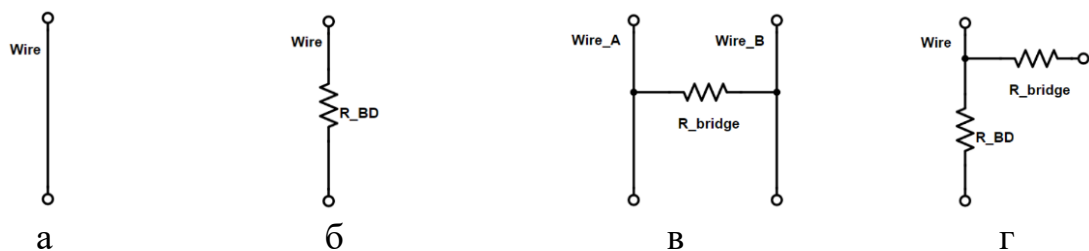


Рисунок 2.1 – Моделі міжз'єднань:

а – міжз'єднання без дефекту; б – модель з розривом/зміною опору; в – модель з замиканням; г – повна модель

Для спрощення аналізу, ефекти часткового розриву міжз'єднань не будуть враховуватися. Для врахування цього ефекту потрібні експериментальні дані типової величини опору при частковому розриві та вірогідність його утворення, що виходить за рамки цього дослідження. Величини опорів при замиканні та повному розриві це 1 Ом та 100 МОм відповідно. Ці значення було обрано як такі що дають достатній вплив на функціонування схеми, тому що типові значення резисторів у колі це величини порядку десятків кОм.

2.2 МДН-транзистор

Розриви/замикання контактів МДН-транзистора моделюються так само, як і для контактів міжз'єднань (рис. 2.2).

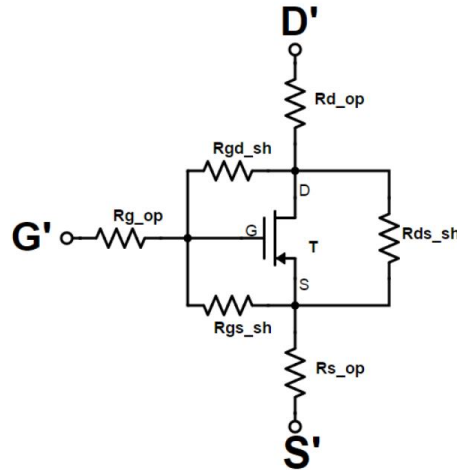


Рисунок 2.2 – Модель для розривів/замикання контактів МДН-транзистора

Для відтворення поведінки транзистора при пробі підзатворного окиду, скористаємося моделями запропонованими у [9] та [10].

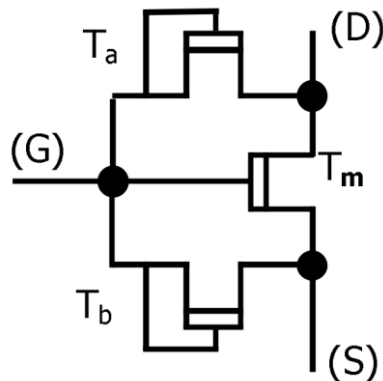


Рисунок 2.3 – Нелінійна нерозривна модель дефектного МДН-транзистора [9]

У роботі [9] автор використовує так звану нелінійну нерозривну модель (рис. 2.3), яка досягається в три етапи:

1. Зменшення ширини вихідного МДН-транзистора, щоб імітувати зменшення максимального струму стоку при високій напрузі сток-виток V_{cb} . Довжина транзистора не змінюється;

2. Підключення додаткового нелінійного елемента, що дозволяє струму протікати із затвору в сток та імітувати негативний струм стоку при порівняно низькій напрузі $V_{св}$;
3. Підключення додаткового нелінійного елемента, що дозволяє струму протікати від затвору до витоку, щоб імітувати нелінійний струм затвора.

Недоліком методу є необхідність зменшувати ширину транзистора, що може бути неможливим у випадку використання у схемі транзисторів з мінімально можливою шириною.

У роботі [10] для моделювання дефектного МДН-транзистора, до вихідного транзистору додаються два джерела струму керовані напругою і одне кероване струмом (рис. 2.4). Перше джерело струму розташовується між затвором та стоком, а друге - між затвором та виток. Ці два нелінійні джерела струму використовуються для моделювання ненульового току затвору у дефектному транзисторі і описуються рівняннями третього порядку. Третє джерело струму керується струмом стоку і моделює зменшення струму стоку в дефектному пристрої.

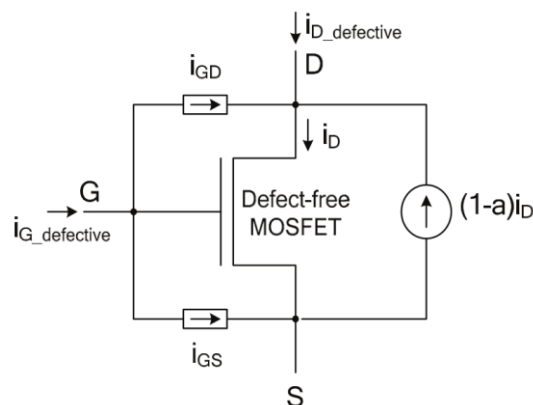


Рисунок 2.4 – Модель дефектного МДН-транзистора з джерелами струму [10]

У цій моделі необхідно визначати дев'ять параметрів. За відсутності експериментальних, ми повинні покладатися на модель двомірного масиву для побудови характеристик дефектного МДН-транзистора.

Можемо поєднати два розглянуті вище підходи (рис. 2.5). З нелінійної нерозривної моделі використаємо метод підключення між затвором та витокком та між затвором та стоком нелінійного елемента (це може бути транзистор в діодному включенні), а з моделі з джерелами струму візьмемо джерело струму кероване струмом. Так ми позбудемося необхідності рахувати велику кількість коефіцієнтів для моделі з джерелами струму, та необхідності зменшувати ширину транзистора, для нелінійної нерозривної моделі.

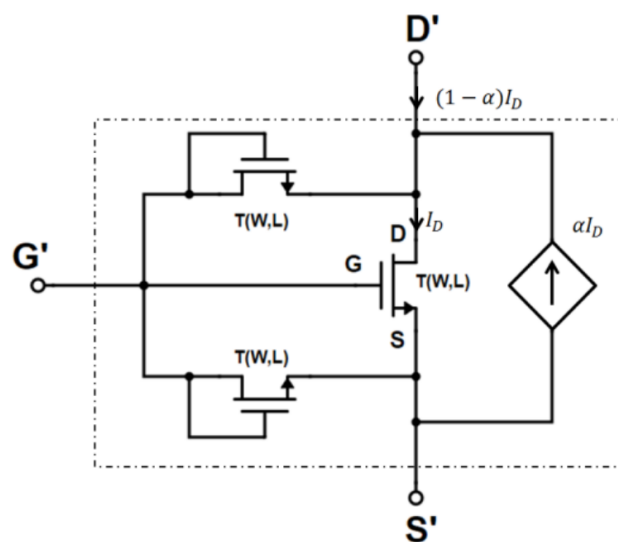


Рисунок 2.5 – Комбінована модель для пробою діелектрика у МДН-транзисторі

Отримана модель достатньо точна, її легко реалізувати і вона може бути застосована до транзисторів з мінімальними розмірами. Результати симуляцій запропонованої моделі представлені на рис. 2.8.

Повна модель, що включає у себе всі розглянуті дефекти, представлена на рис. 2.6. Зміна порогової напруги моделюється додаванням джерела

напруги послідовно з контактом затвору. Допускається накладення багатьох дефектів на одну модель тому що використовується підхід внесення однієї відмови за один раз. Це означає, що для однієї симуляції буде активовано лише один дефект.

Коли не один дефект не активований, транзистор не відрізняється характеристиками від звичайного транзистора з тими самими параметрами (рис. 2.7). На рис. 2.9- 2.15 показані результати симуляцій транзистора з різними можливими типами дефектів.

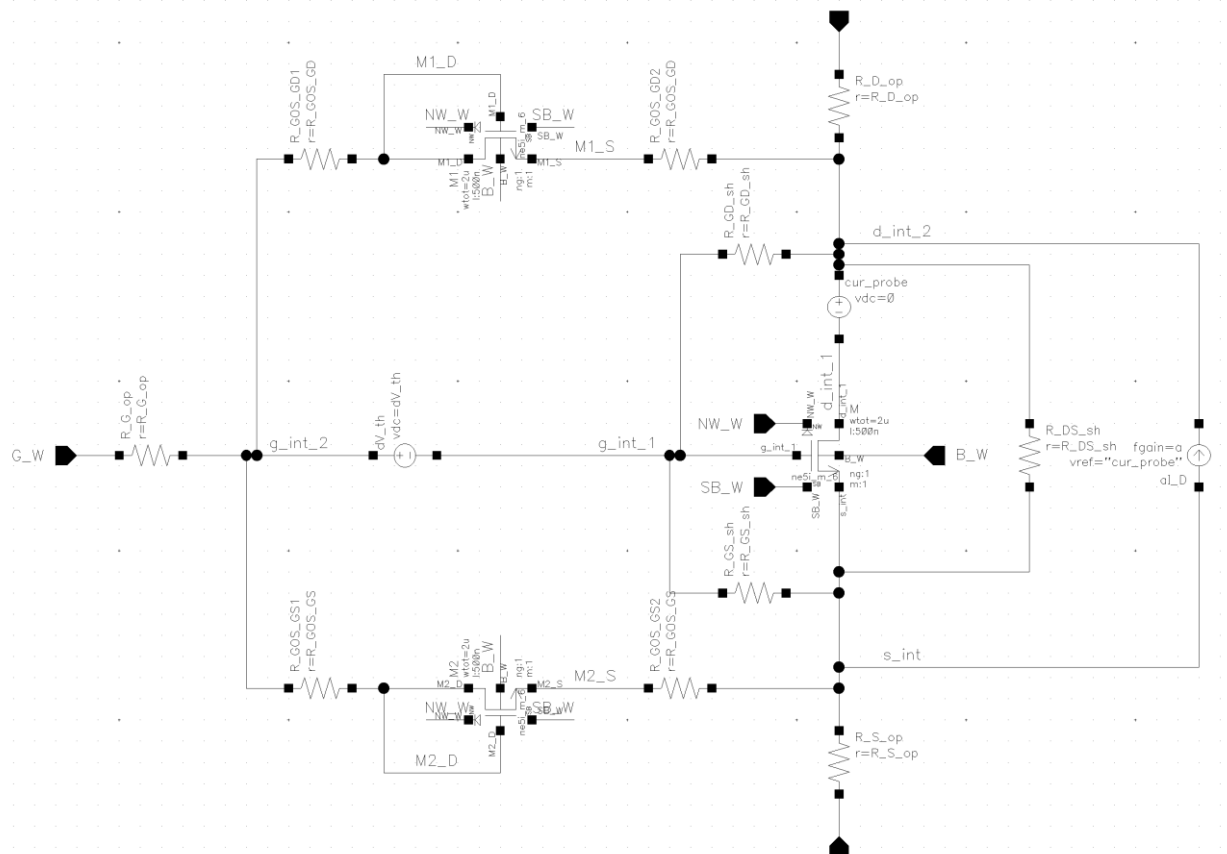


Рисунок 2.6 – Модель МДН-транзистора з урахуванням усіх видів дефектів розробленого у середовищі Cadence Virtuoso

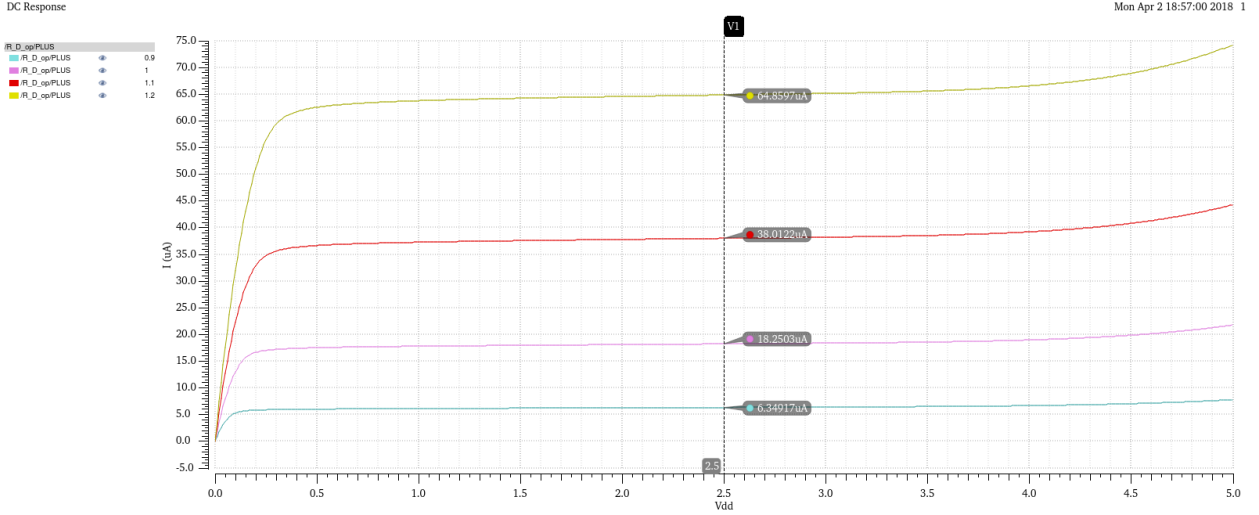


Рисунок 2.7 – Вихідні характеристики розробленої моделі МДН-транзистора без активованих дефектів

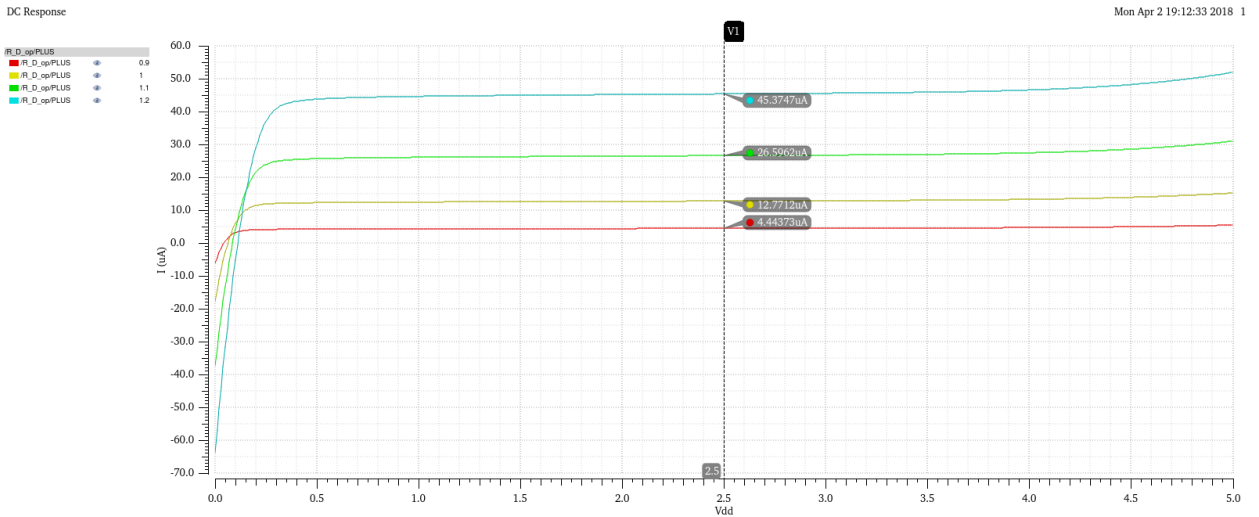


Рисунок 2.8 – Вихідні характеристики МДН-транзистора з дефектом типу пробій діелектрику ($\alpha = 0.3$)

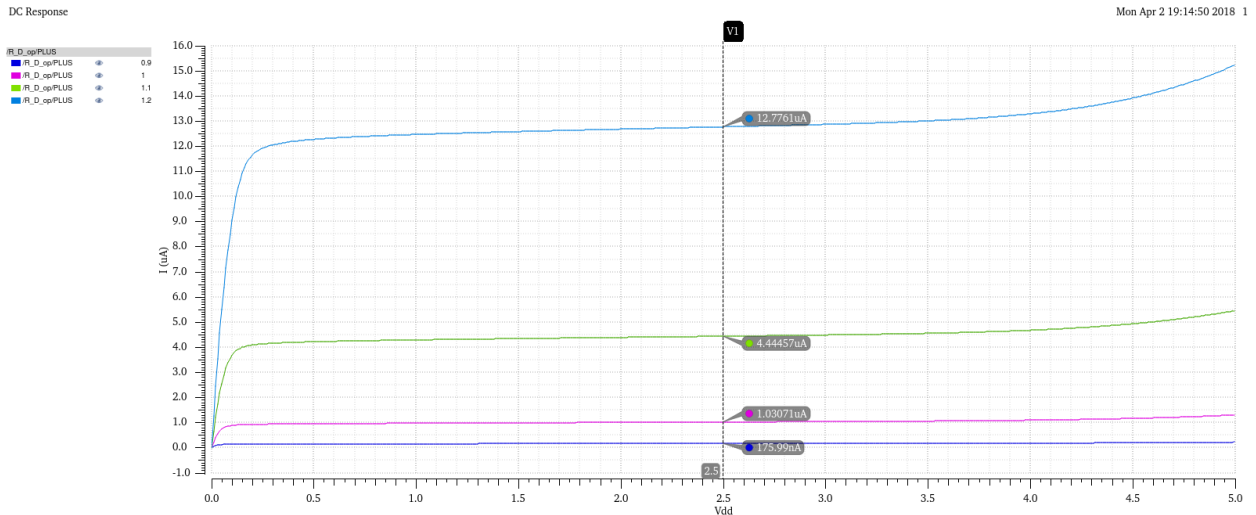


Рисунок 2.9 – Вихідні характеристики МДН-транзистора зі зміщенням порогової напруги та зменшенням рухливості ($\Delta V_{\text{пор}} = 200 \text{ mV}$, $\alpha = 0.3$)

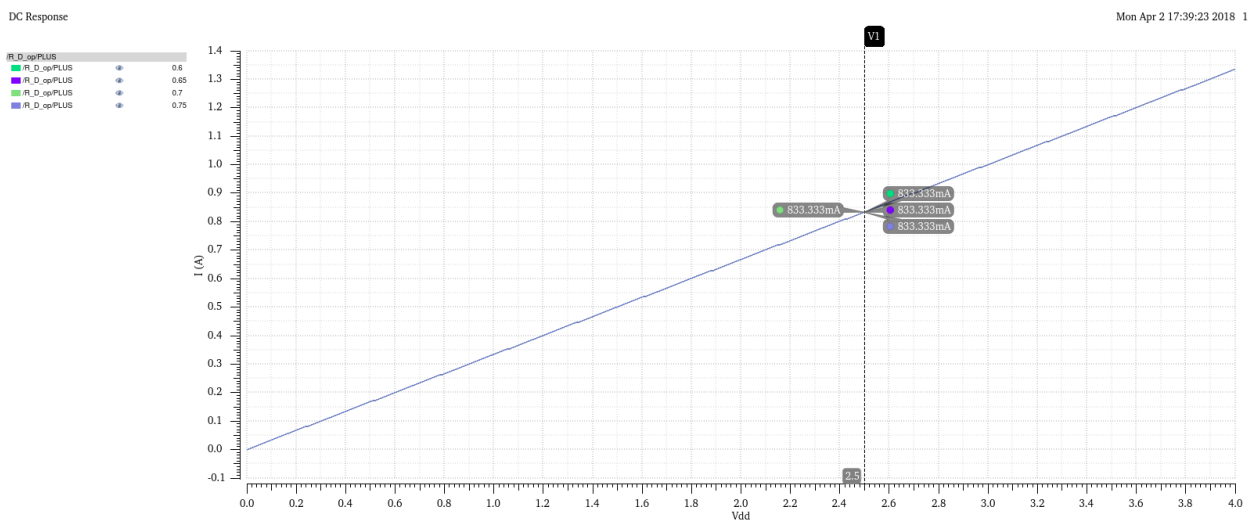


Рисунок 2.10 – Вихідні характеристики МДН-транзистора з дефектом типу замикання стоку та виток

Окремо слід звернути увагу на поведінку транзистора з дефектом типу розрив затвору (рис. 2.11- 2.13). З вихідних характеристик на рис. 2.11 бачимо, що вони ідентичні до характеристик транзистора без дефекту через те, що струм у затвор не тече і відповідно падіння напруги на резисторі $R_{G_{op}}$ нульове. Тому потенціал затвору транзистора g_{int_1} дорівнює потенціалу джерела напруги, підключеного до зовнішнього контакту затвору G_W і на

статичних характеристиках транзистор веде себе як справний. Інша ситуація для динамічної характеристики (рис. 2.13). На рис. 2.12 для порівняння показана частотна характеристика для бездефектного транзистора. Підсилення у цьому випадку 14 dB і починає спадати з частоти приблизно 1 GHz . З рис. 2.13 бачимо, що підсилення з розривом затвору менше одиниці та спадає з частоти менше ніж 1 GHz .

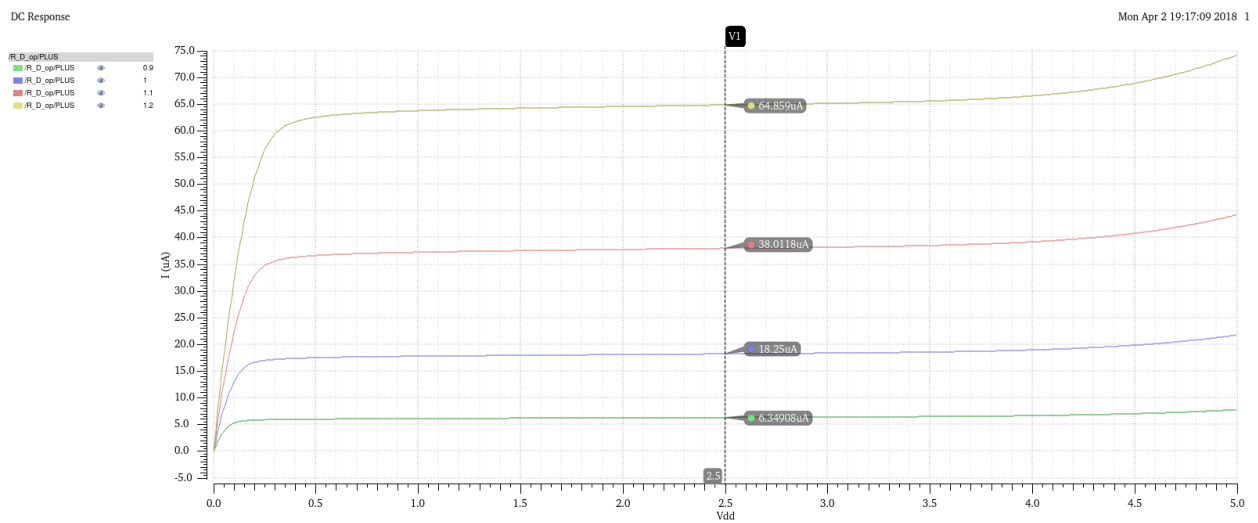


Рисунок 2.11 – Вихідні характеристики МДН-транзистора з розривом контакту затвору

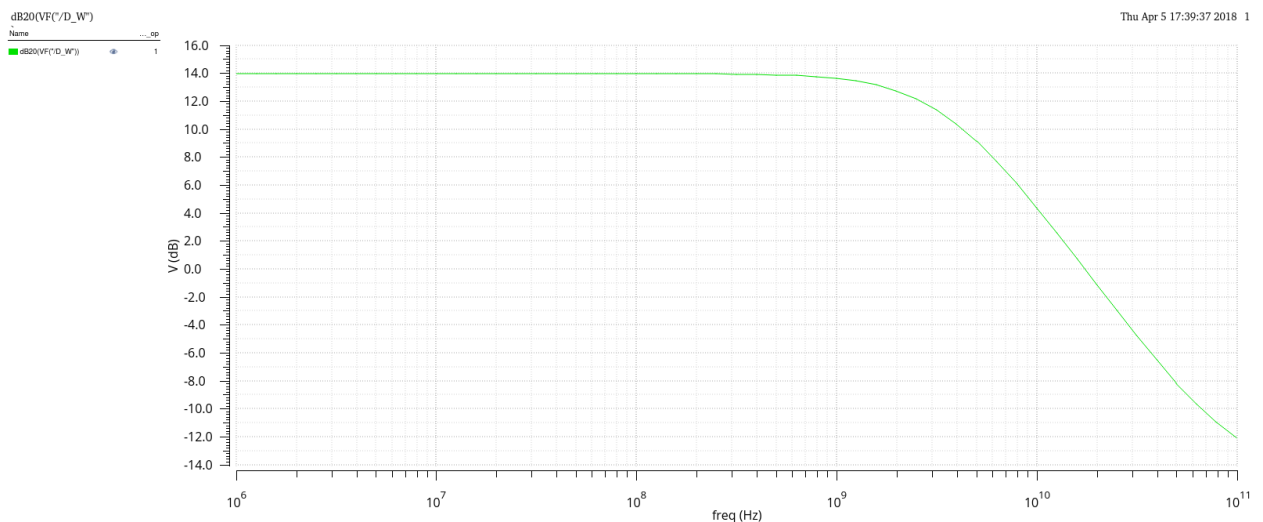


Рисунок 2.12 – Частотна характеристика підсилення за напругою МДН-транзистора без дефекту ($R_{load} = 10\text{ кОм}$)

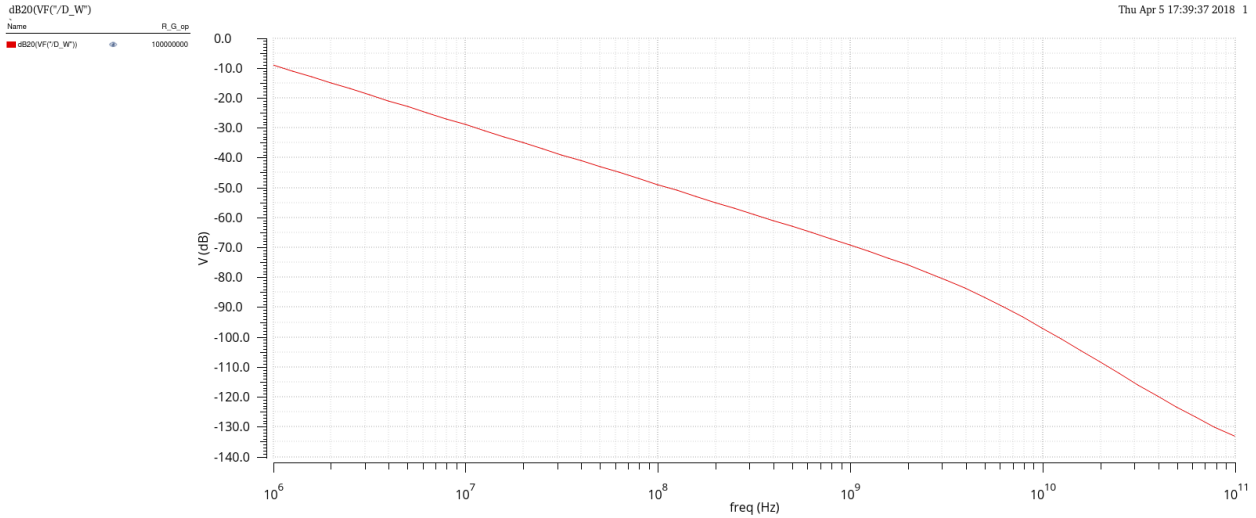


Рисунок 2.13 – Частотна характеристика підсилення за напругою МДН-транзистора з розривом контакту затвору ($R_{load} = 10$ кОм)

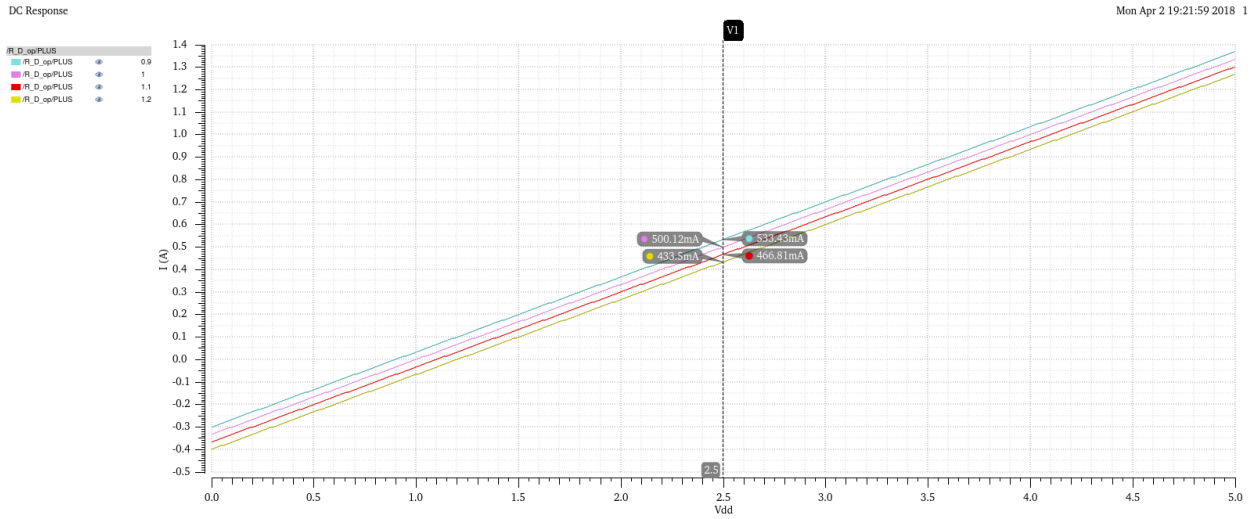


Рисунок 2.14 – Вихідні характеристики МДН-транзистора з замиканням затвору та стоку (весь струм тече в затвор)

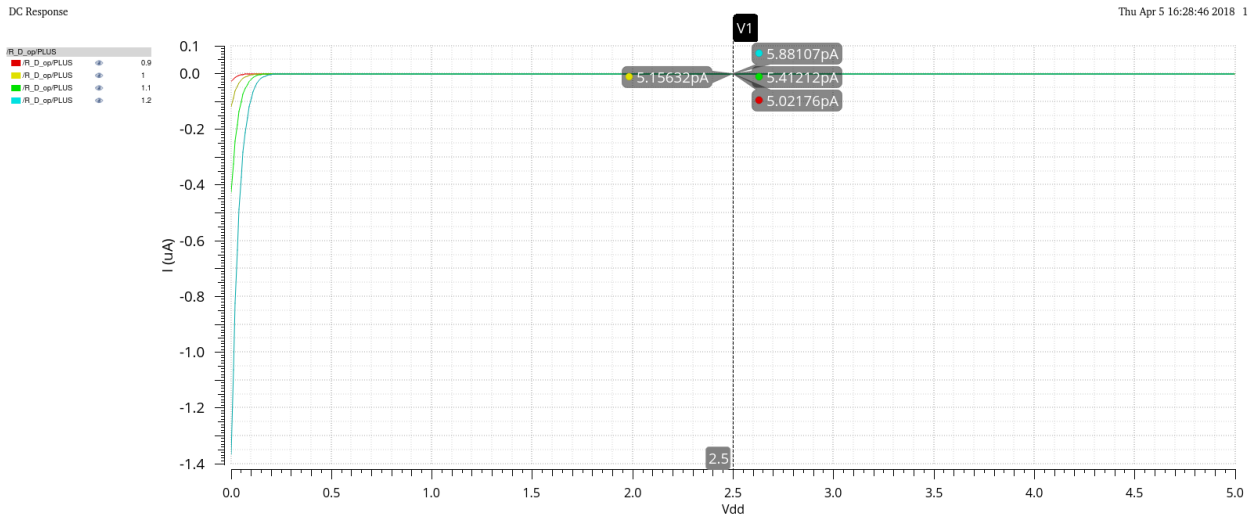


Рисунок 2.15 – Вихідні характеристики МДН-транзистора з замиканням затвору та витоку

2.3 Біполярний транзистор

У модель для біполярного транзистора включені розриви бази, емітера, колектора а також замикання між цими контактами. Повна модель показана на рис. 2.16.

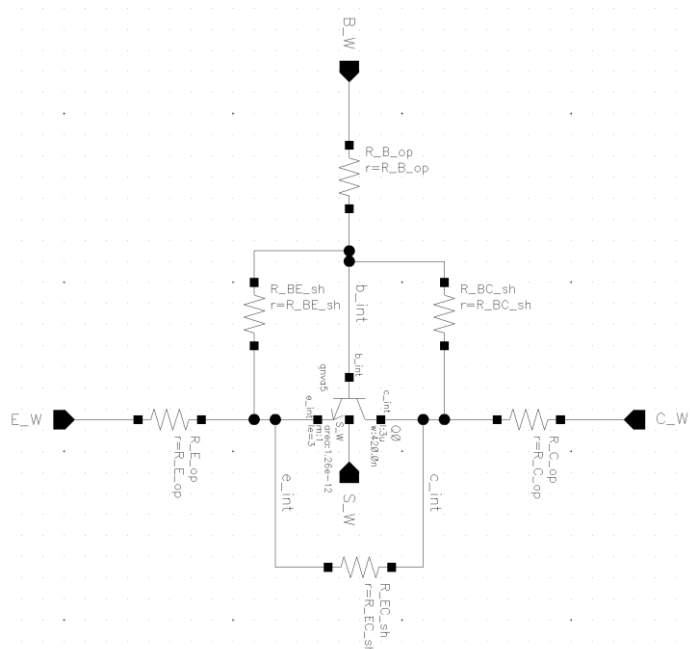


Рисунок 2.16 – Модель біполярного транзистора з урахуванням дефектів створеного у середовищі Cadence Virtuoso

На рис. 2.17 показані вихідні характеристики біполярного транзистора без дефектів. Для порівняння на рис. 2.18- 2.21 показано вихідні характеристики з деякими видами дефектів.

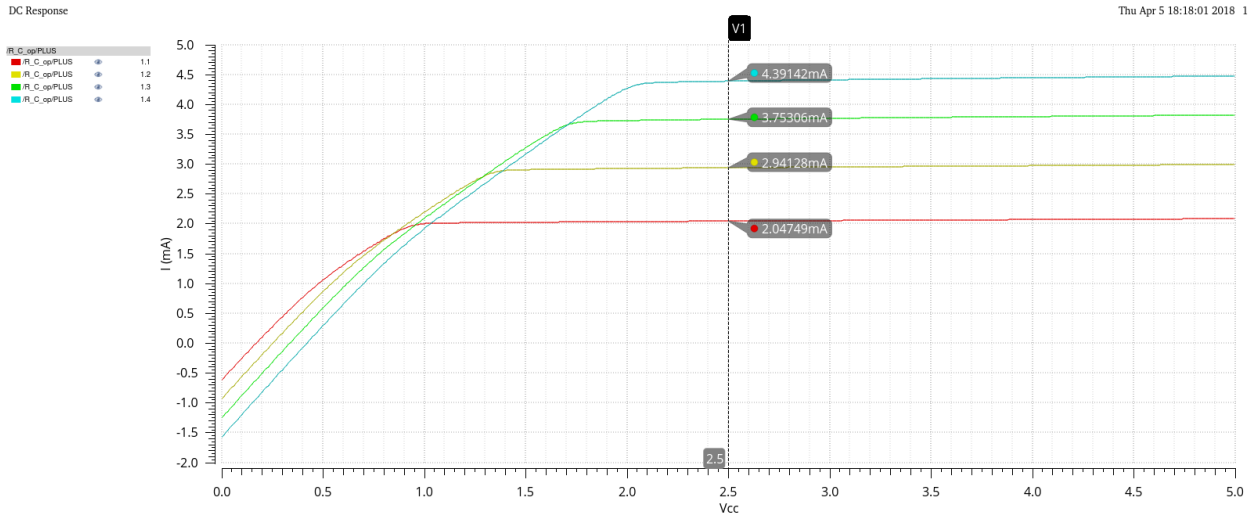


Рисунок 2.17 – Вихідні характеристики біполярного транзистора без дефектів

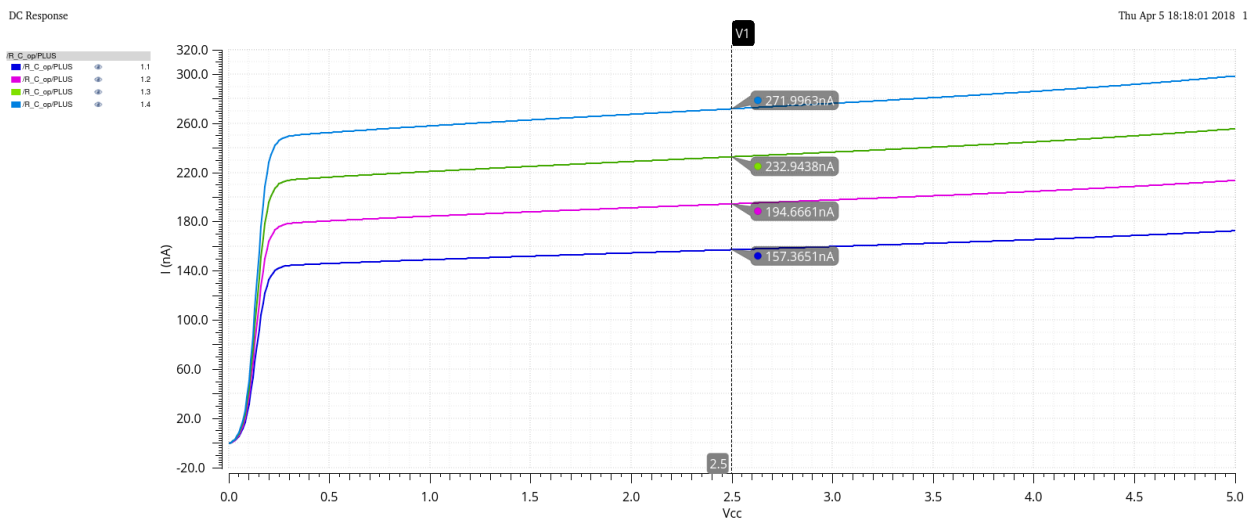


Рисунок 2.18 – Вихідні характеристики біполярного транзистора з розривом контакту бази

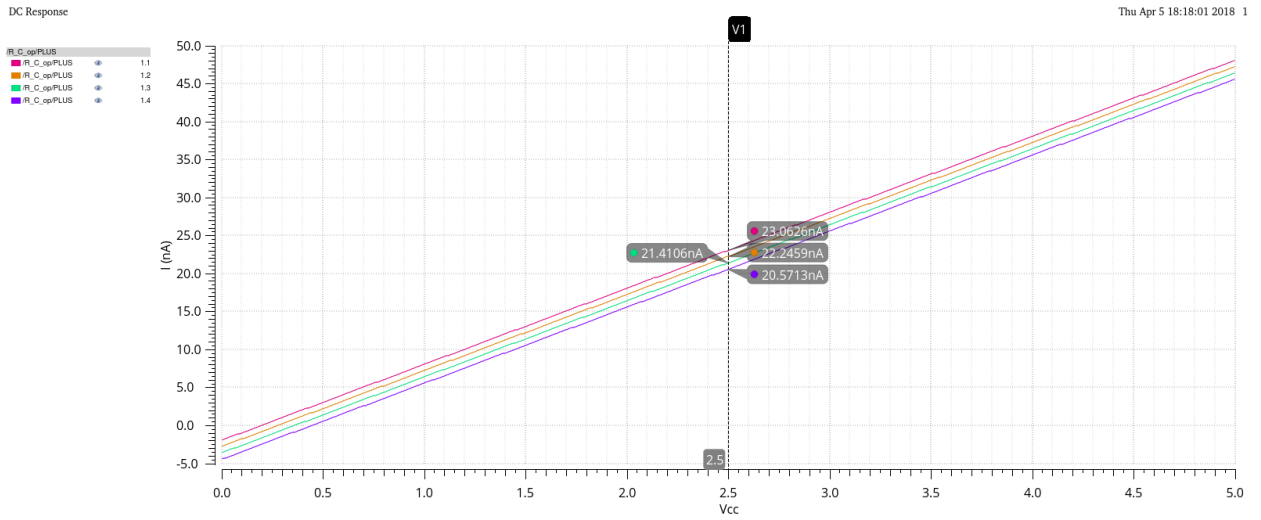


Рисунок 2.19 – Вихідні характеристики біполярного транзистора з розривом контакту колектора

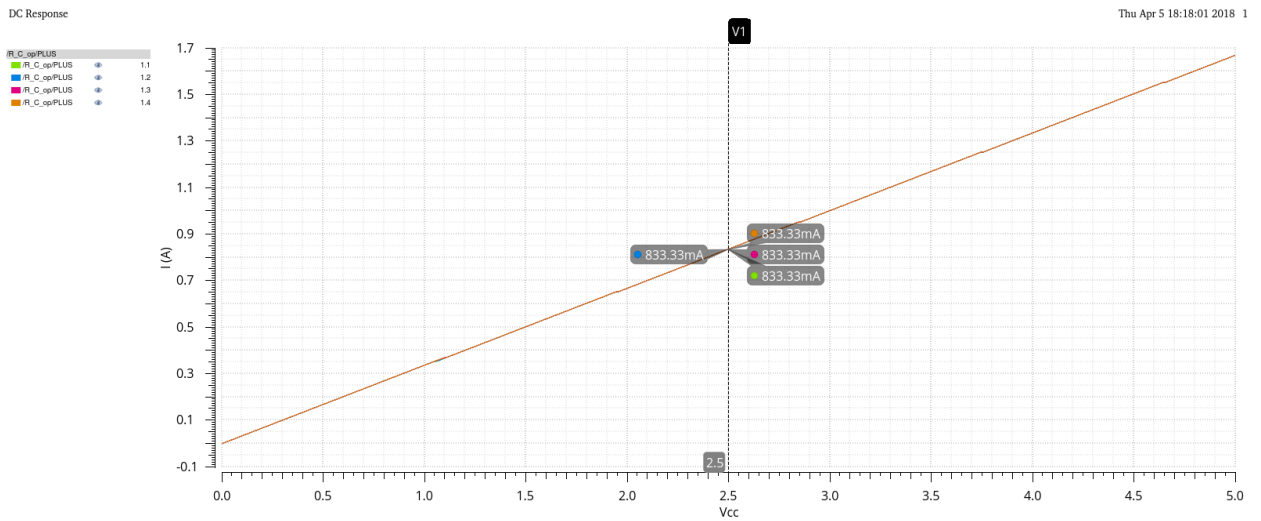


Рисунок 2.20 – Вихідні характеристики біполярного транзистора з замиканням колектора та емітера

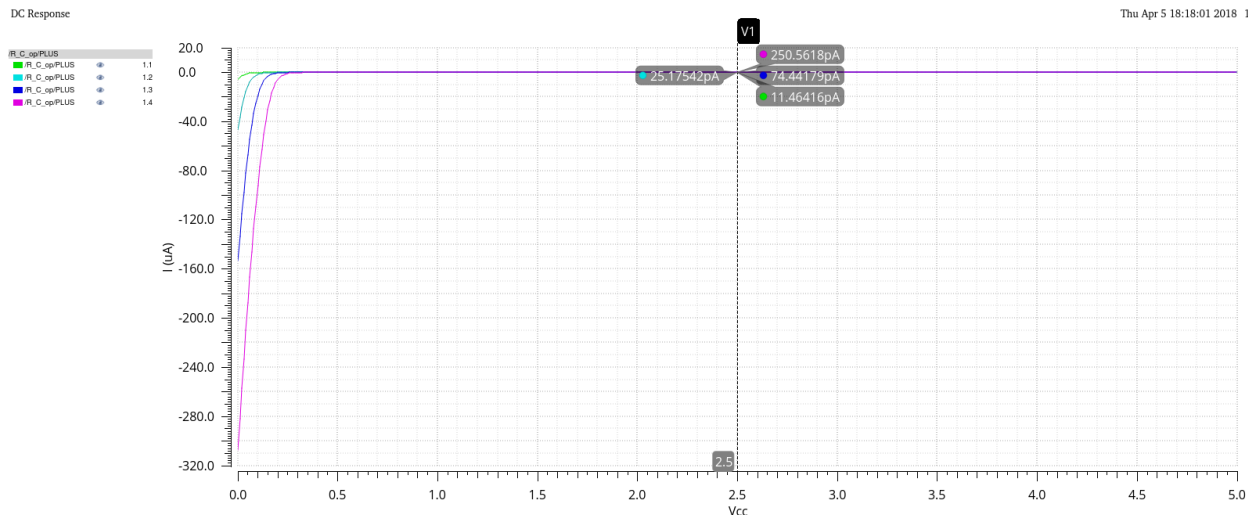


Рисунок 2.21 – Вихідні характеристики біполярного транзистора з замиканням бази та еміттера

2.4 Конденсатор

Модель для конденсатора показана на рис. 2.22.

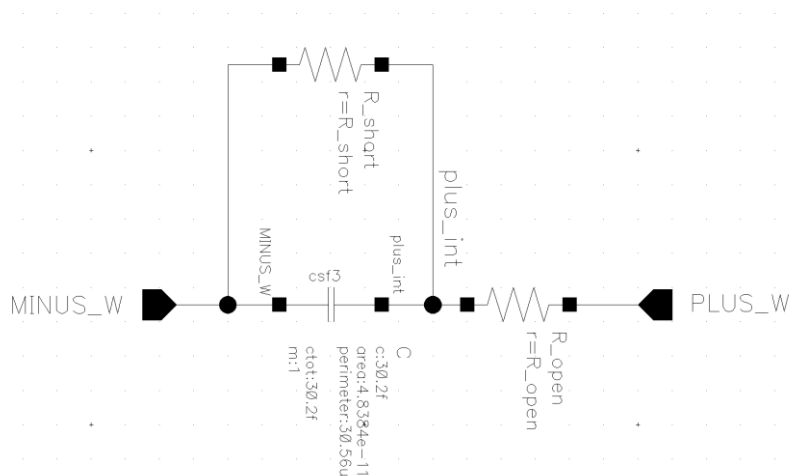


Рисунок 2.22 – Модель конденсатора з урахуванням дефектів

2.5 Резистор

У випадку з резистором дефект може призвести до зміни опору, до розриву або замикання. Модель, що включає усі режимів відмов, представлена на рис. 2.23.

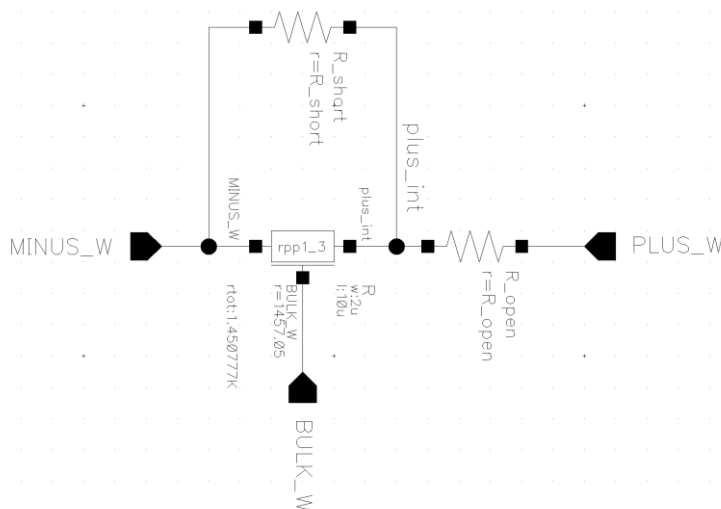


Рисунок 2.23 – Модель резистора з урахуванням дефектів

2.6 Діод

Модель для діода показана на рис. 2.24.

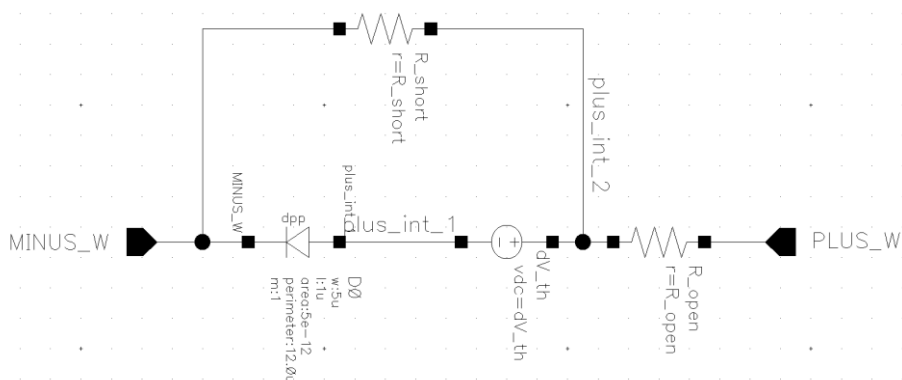


Рисунок 2.24 – Модель діода з урахуванням дефектів

Висновки до розділу 2

У цьому розділі було запропоновано моделі, що можуть використовуватися для моделювання різних типів відмов у інтегральних елементах. Для міжз'єднань було обрано моделі для повних розривів та замикань з використанням резисторів з дуже великим або дуже малим опором.

Для МДН транзистора було обрано найбільш ефективну модель для пробою діелектрика та промодельовано поведінку транзистора з різними видами дефектів.

Для біполярного транзистора, діода, конденсатора та резистора всі дефекти можуть бути промодельовані додаванням відповідних резисторів між контактами. Було проведено симуляції біполярного транзистора з різними видами відмов для вивчення їх впливу на роботу пристрою.

3 МЕТОДИ ВНЕСЕННЯ ДЕФЕКТІВ

Внесення дефектів у схему полягає у заміні бездефектного елемента схеми на елемент-обгортку (wrapper), що включає у себе різні види відмов. При цьому активовано буде лише один дефект з усіх можливих для даного елемента. Це спрощує аналіз дефектної схеми та визначення причин її відмови.

Оскільки сучасні аналогові ІС містять досить велику кількість елементів (близько декількох тисяч) та міжз'єднань, то заміна кожного елемента схеми на дефектний дасть занадто велику кількість дефектних схем. Симуляція такої кількості схем для визначення загального рівня відмовостійкості буде дуже трудомісткою та займе тривалий час.

Існують методи внесення відмов, що з найбільшою вірогідністю можуть з'явитися в аналоговій схемі. Як найбільш ефективні з точки зору появи дефектів у реальному чіпі, було використано такі підходи:

- Внесення дефектів в схему на основі топології схеми;
- Внесення дефектів у схему на основі паразитних параметрів міжз'єднань;
- Внесення дефектів у схему на основі площі елементів.

Далі буде розглянуто кожен з цих підходів.

3.1 Внесення дефектів на основі топології схеми

Даний метод внесення дефектів заснований на розміщенні на топології схеми (в САД-системі) деякої кількості віртуальних маркерів, що позначають місце можливого дефекту (Рис. 3.1). Маркери можуть бути розміщені хаотично або рівномірно. Кількість маркерів підбирається виходячи з рівня досконалості технологічного процесу та загальної площі мікросхеми.

За допомогою спеціально розробленої програми аналізується, на який елемент чи міжз'єднання потрапив маркер. Далі цей елемент замінюється на модель з активованим одним дефектом. Тип дефекту обирається випадковим чином. Проводяться симуляції схем з заміненими елементами (одна симуляція відповідає одному заміненому елементу) (табл. 3). Далі робиться аналіз результатів. У результатах показано, скільки дефектів порушили нормальне функціонування схеми, скільки дефектів було задетектовано системою захисту мікросхеми і скільки дефектів не вплинули на роботу схеми. Приклад такого аналізу приведено у табл. 3.1.

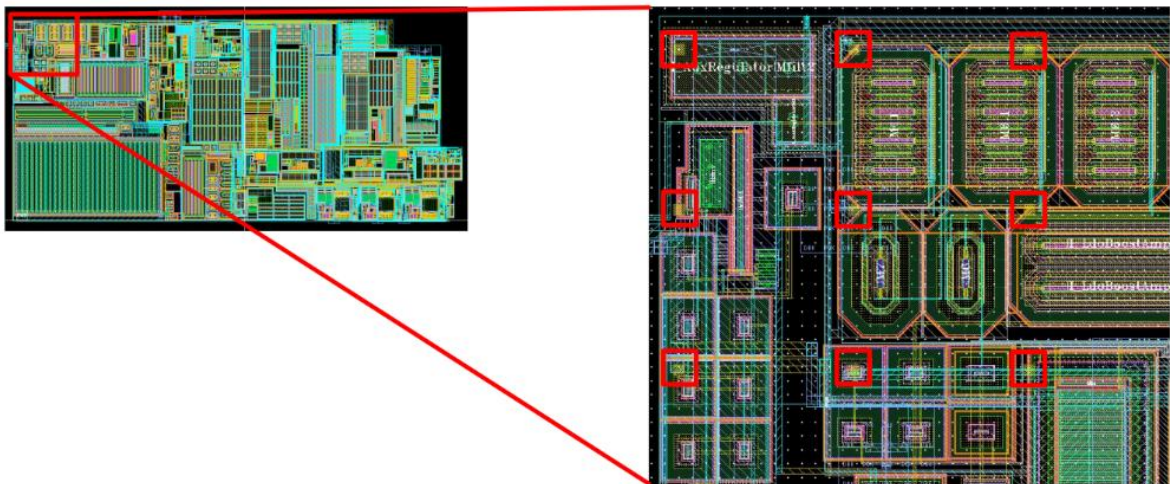


Рисунок 3.1 – Приклад розташування маркерів на топології схеми

Таблиця 3.1 – Приклад результатів симуляцій схеми з внесеними дефектами

№ симуляції		140	152	165	190	148
Темп.		150	25	-40	-40	150
Коорд. дефекту	X	68	132	196	388	132
	Y	421	479	595	131	247
Тип відмови		Зміна опору	Замикання Затвор-Виток	Замикання GNDA-TRIM	Розрив затвору	Розрив обкл. конд.
Задетектовано		0	1	0	0	0
Небезпечний		1	1	1	1	0

Продовження таблиці 3.1

Параметр	Час вимірюв.	Одиниця виміру					
PWR	@250us	V	4.489938192	4.495077753	4.490634776	4.490705302	4.489952172
PWR	@400us	V	5.49019854	5.494316008	5.49047164	5.498476469	5.490186488
VANA	min_op	V	3.549396849	3.204620731	3.263118378	3.481438792	3.5137201
VANA	max	V	3.576337982	3.805052586	3.270607587	3.490415091	3.539357014
VANA	@250us	V	3.550546162	3.205904868	3.265423603	3.485018105	3.514930759
VANA	@400us	V	3.553622433	3.801811694	3.26538881	3.484922755	3.517179013
VDIG	min_op	V	1.947697956	0.125728438	1.794232788	1.914685044	1.927987973
VDIG	max	V	1.964065433	0.129519161	1.796737535	1.916590334	1.943552596
VDIG	@250us	V	1.947787282	0.125740759	1.794520514	1.915001948	1.928077677
VDIG	@400us	V	1.948143474	0.129370423	1.794644138	1.915167059	1.928430046
FILT	min_op	V	4.141425703	4.390774956	4.332469702	4.333981144	4.142014225
FILT	max	V	5.018370795	5.210429744	5.328317355	5.105857364	5.018983531
FILT	@250us	V	4.141425703	4.390774956	4.332469702	4.333981144	4.142014225
FILT	@400us	V	5.018370795	5.210406687	5.328314058	5.099184998	5.018983531
VBG1	min_op	V	1.388885209	0.046848404	1.278956538	1.364759265	1.374825164
VBG1	max	V	1.40084568	0.049989826	1.280832045	1.366249085	1.386189692
VBG1	max_op	V	1.388919617	0.049989826	1.278989011	1.364894329	1.374858172
VBG1	@250us	V	1.388891906	0.046848404	1.278962819	1.364812638	1.374829949
VBG1	@400us	V	1.38889151	0.049972922	1.278958434	1.364783278	1.374832051
VBG2	min_op	V	1.364754626	1.320071285	1.35106127	0.995479131	1.364574757
VBG2	max	V	1.371926956	1.345789897	1.358628346	1.757397171	1.372057843
VBG2	max_op	V	1.371547675	1.326942329	1.358628346	1.757397171	1.371641974
VBG2	@250us	V	1.37057858	1.326344071	1.357201944	1.352303557	1.370663183
VBG2	@400us	V	1.370593609	1.325748365	1.357065236	1.532552429	1.370856352
/R12/MI NUS	min_op	mA	9.790868	4.922247	9.365224	0.287444	9.797299
/R12/MI NUS	max	mA	40.385371	58.227676	74.871962	75.578452	40.369497
/R12/MI NUS	@250us	mA	10.061808	4.922247	9.365224	9.294698	10.047828
/R12/MI NUS	@400us	mA	9.801461	5.683992	9.52836	1.523531	9.813512

SPFM (Single Point Faults Metric) в табл. 3.2 – це параметр для оцінки надійності системи відповідно до стандарту функціональної безпеки електронних пристроїв для автомобільної індустрії ISO26262. Він визначається як відсоток відмов що не порушують встановлені норми безпечної роботи схеми разом з відсотком відмов, що ведуть до порушення нормального функціонування схеми, але детектуються системою захисту схеми.

Таблиця 3.2 – Приклад результатів симуляції схеми з внесеними дефектами

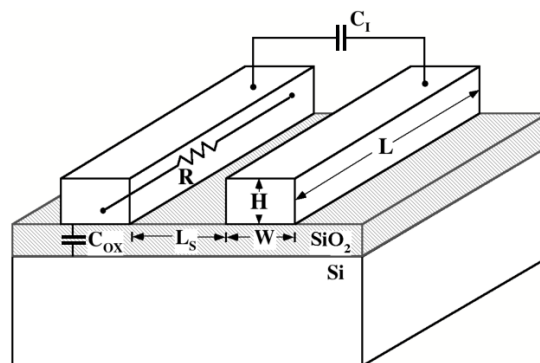
Нормальне функціонування	57.615%
Відсоток детектованих відмов	34.195%
Відсоток не детектованих відмов	8.190%
SPFM	91.810%

Процес внесення дефектів у схему виконується наступним чином. Для досліджуваної схеми створюється файл списку між'єднань (netlist), який описує усі елементи схеми (транзистори, діоди, ємності тощо) та їх з'єднання між собою. Також формуються файли елементів-обгортки, які включають в себе опис елементів із різними типами відмов. Далі формується новий список між'єднань, де елемент, на який у схемі потрапив маркер, замінюється на елемент-обгортку [11]. На основі цього списку створюється нова схема. Кількість схем з відмовами відповідає кількості сгенерованих маркерів. Далі проводяться симуляції усіх створених схем і визначається параметр SPFM.

Слід зазначити, що процес симуляції виконується без наявності схеми як такої, але приймає нетліст як джерело всіх необхідних даних для аналізу. Це є властиво багатьом програмам для моделювання. Таким чином, модифіковані нетлісти з внесеними дефектами моделюються як власне дефектні схеми.

3.2 Внесення дефектів на основі паразитних параметрів між'єднань

Запропонований метод засновується на можливості CAD-систем робити екстракцію паразитних параметрів схеми, виходячи з топології. Використовувані параметри – це паразитна ємність C_I двох між'єднань і паразитний опір R між'єднань (Рис. 3.2). Дефекти схеми вносяться у місцях, де ці параметри найбільші. Тобто якщо деякі між'єднання мають найбільший опір, то вони моделюються як розриви, так як вірогідність їх розриву найбільша в схемі. Два між'єднання закорочуються якщо паразитна ємність між ними найбільша. На табл. 3.3 приведено приклад результатів екстракції паразитних ємностей із вказанням назви між'єднань у схемі, що утворюють паразитну ємність.



$$R = \rho \frac{L}{WH}$$

$$C_{ox} = K_{ox}\epsilon_0 \frac{WL}{X_{ox}}$$

$$C_I = K_{ox}\epsilon_0 \frac{HL}{L_s}$$

Рисунок 3.2 – Структура між'єднання та оцінка паразитних параметрів.

Інтерес представляє саме паразитна ємність C_I і паразитний опір R [13]

Таблиця 3.3 – Приклад результатів визначення паразитних ємностей між'єднань

#	Провідник 1	Провідник 2	C_I , пФ
1	VAUX	GNDA	2.73
2	I_RevPolProtPreRegulator.I_ReversePolarityProtection.PGATE	GNDA	1.76
3	PSUB	GNDA	1.48
4	FILT	GNDA	9.06
5	VAUX	PSUB	8.39

Таблиця 3.4 – Приклад результатів визначення паразитних опорів міжз'єднань

#	Провідник 1	Провідник 2	R, Ом
1	VS	\1:VS	224.512
2	\1:S_VDDD_1	S_VDDD_1	154.882
3	\7:LPOR_VAUX	\6:LPOR_VAUX	151.789
4	\6:EN_MONDIG_VAUX	\5:EN_MONDIG_VAUX	150.582
5	\5:EN_MONDIG_VAUX	EN_MONDIG_VAUX	139.881

На табл. 3.4 показано приклад результатів екстракції паразитних опорів із вказанням двох секцій міжз'єднань (секція позначається своїм номером), між якими існує паразитний опір. Внесення дефектів здійснюється наступним чином. Як і в попередньому методі, для досліджуваної схеми створюється файл списку міжз'єднань. На основі нього формуються нові файли із доданими резисторами номіналом 0.1 Ом між тими провідниками, що утворюють найбільшу паразитну ємність, та резисторами номіналом 100 МОм між контактом і провідником, які утворюють найбільший паразитний резистор. Після цього проводиться симуляція схеми з внесеними дефектами і розраховується параметр SPFM.

3.3 Внесення дефектів на осові площі елементів

Цей підхід базується на тому, що елементи з найбільшою площею у схемі мають найбільшу вірогідність відмов. Це обгрунтовано тим, що більша площа елемента означає підвищені вимоги до однорідності параметрів, наприклад товщини діелектрику або рівномірності легування. Також через такі елементи тече більший струм, що підвищує вірогідність електронної або йонної міграції матеріалу.

Таблиця 3.5 – Приклад результатів пошуку найбільших елементів у схемі

#	Площа, мкм ²	Назва моделі	Ім'я елемента в схемі
1	28000	ne5i_m_6	Mfilt2
2	16800	pmc	MswAUX
3	8400	pmc	Mbb1
4	5040	pe5i_m_5	M1_0
5	5040	pe5i_m_5	M1_1

Для внесення дефектів у схему за таким принципом, була створена програма для визначення елементів схеми із найбільшими площами. Далі ці елементи змінювалися на елементи-обгортки з одним активованим дефектом (тип дефекту, який буде присутній у елементі-обгортці обирається випадково) і проводилися симуляції змінених схем. Такий підхід має перевагу в порівнянні з методом виставлення маркерів тому що він не потребує наявності топології схеми. Також алгоритм для пошуку найбільших елементів значно простіше ніж алгоритм визначення елемента схеми, на який потрапив маркер. Тому цей спосіб краще підлягає автоматизації. Однак недолік цього способу полягає в тому, що рівняння для розрахунку фактичної площі відмов повинні визначатися вручну для кожного примітиву (не включаючи областей ізоляції, захисних кілець та ін., оскільки дефекти для цих частин пристрою не розглядаються для спрощення аналізу). Результат роботи програми по визначенню найбільших за площею елементів схеми приведено в табл. 3.5.

Висновки до розділу 3

Метод на основі топології не визначає тип відмови, а лише знаходить елемент на схемі з найбільшою вірогідністю відмови. Очевидно, що елементи, на які потрапили маркери, відрізняються від решти елементів більшою площею, тому метод цей метод дасть схожі результати з методом на основі площ елементів. Недоліком методу можна вважати те, що у схемі можуть бути

присутні елементи з площею у сотні разів більшою ніж у решти елементів. На ці елементи може потрапити більше десятка маркерів, але кількість режимів відмов може не перевищувати цю кількість, тому внесенні відмови можуть повторюватись.

Наступний розглянутий метод, а саме на основі площі елементів, дозволяє безпосередньо визначати найбільші елементи, тому може вважатися більш ефективним. Він також не потребує необхідності ручної корекції результатів внесення дефектів, на відміну від методу, основанийому на топології, де інколи доводиться вручну визначати, куди саме потрапив маркер.

З іншого боку, алгоритм що використовує маркери, можна надалі розширити. Наприклад, визначаючи, на які шари топології потрапив маркер, можна знайти, який дефект відповідає цьому шару (якщо це шар полікремнію – то пробій діелектрика/розрив контакту затвору; якщо дифузійна область – то розрив контакту стоку/витоку або пробій p-n переходу стоку/витоку).

Інший приклад – здійснення пошуку елементів навколо маркера, і якщо достатньо близько до маркера було знайдено інший елемент/міжз'єднання, то відповідно збільшиться вірогідність замикання цього елемента з елементом, на який потрапив маркер.

4 ОЦІНЮВАННЯ НАДІЙНОСТІ ПРИСТРОЮ

Розроблені у попередньому розділі підходи будуть застосовані на прикладі IP блоку системи живлення. У цьому розділі описані стислі параметри випробуваного пристрою (DUT) та показаний процес внесення дефектів з подальшою оцінкою вразливості пристрою до випадкових відмов відповідно до стандарту ISO26262.

Стандарт ISO 26262 визначає ряд показників функціональної безпеки обладнання та відповідні рівні для різних ASIL класифікацій пристрою. Ці показники включають параметр одиничної відмови (SPFM), який визначається як вірогідність того, що одиничний дефект не призведе до небезпечного стану [14]. Для оцінки рівня безпеки пристрою буде використовуватися SPFM як основний параметр.

4.1 Специфікація досліджуваного пристрою

Блок системи живлення виконаний в технології XFAB XR018 і включає ВВ МОН транзистори та біполярні транзистори, а також малопотужні пристрої та цифрові схеми.

Таблиця 4.1 – Перелік основних вихідних напруг для досліджуваної системи

Назва виходу	Опис	Типове значення	Одиниця
VANA	Напруга з високоточного регулятора. Використовується для живлення аналогової частини схеми. Регулятор виконаний на 5В n-МОН транзисторах. Для опорної напруги використовується бандгап. В якості живлення використовується FILT	3.5	V

Продовження таблиці 4.1

VDIG	Напруга з високоточного регулятора. Використовується для живлення цифрової частини схеми. Регулятор виконаний на 5В n-MOS транзисторах. Для опорної напруги використовується бандгап. В якості живлення використовується FILT	1.8	V
VAUX	Низькоточний допоміжний регулятор. Для опорної напруги використовується бандгап	3.5	V
FILT	Попередньо регульована вихідна напруга. Значення наближено регулюється до 5 В	5	V
VBG1	Вихід 1-го бандгапу. Використовується для опорної напруги регуляторів	1.36	V
VBG2	Вихід 2-го бандгапу. Використовується для опорної напруги допоміжного регулятора	1.36	V
LPORB_VDIG	Схема подачі живлення. Вихід зростає, коли VDIG становить 1,2 В	1.8	V
HPORB_VDIG	Схема подачі живлення. Вихід зростає, коли VDIG становить 1,74 В	1.8	V
VANA_BG2_T OO_LOW_VDI G	Контроль рівня VANA. Для опорної напруги використовується VBG2. Зростає коли VANA менше 3.2V	1.8	V
VANA_BG2_T OO_HIGH_VD IG	Контроль рівня VANA. Для опорної напруги використовується VBG2. Зростає коли VANA більше 3.2V	1.8	V

Блок призначений для експлуатації в автомобільних системах і розрахований на діапазон температур від -40 °С до 150 °С. Система живиться напругою від 5 В до 13 В. Основні вихідні напруги наведені в табл. 4.1.

Схема має захист від ЕСР та подачі живлення зворотної полярності. ЕМС гарантується здатністю витримувати імпульси енергії прикладені до VFILT та PWR величиною 20-30 dBm на частоті до 10 МГц.

4.2 Визначення площі елементів

У цьому розділі будуть введені рівняння для оцінки площі примітивів. Рівняння містять параметри, які використовуються в нетлісті для опису примітивів.

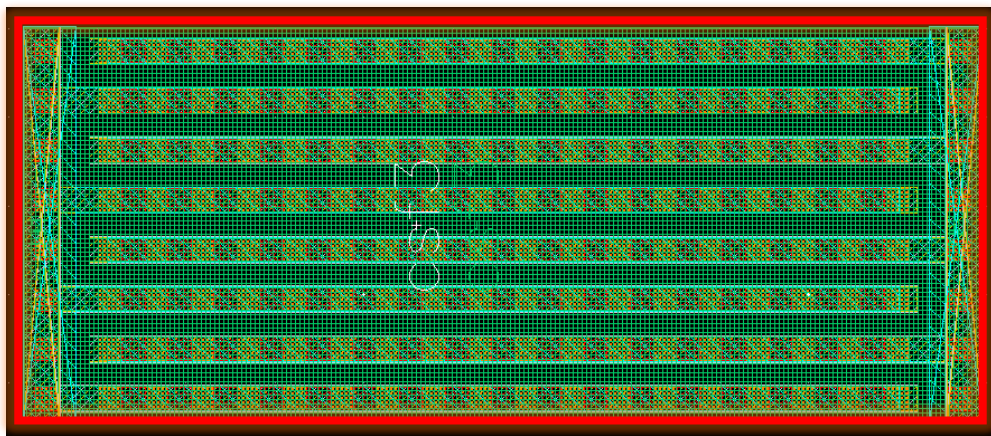


Рисунок 4.1 – Топологія конденсатора csf3 з виділеною областю можливих дефектів

Режими і області відмов для конденсатора csft3:

- Замикання/розрив контактів – вся площа конденсатора;
- Зміна імпедансу (наприклад, частковий розрив, деградація оксиду) – вся площа конденсатора.

Площа можливих відмов: активна область + область контактів (рис. 4.1).

Приклад опису csf3 в нетлісті:

```
csf3      #(.area(4.8384e-11),      .perimeter(30.56u),      .m(1),
.par1(" (1)")) (* integer passed_mfactor = "m"; *) C0 (PLUS, MINUS);
```

Рівняння для знаходження площі:

$$A = \text{area} = 48.38 \mu\text{m}^2$$

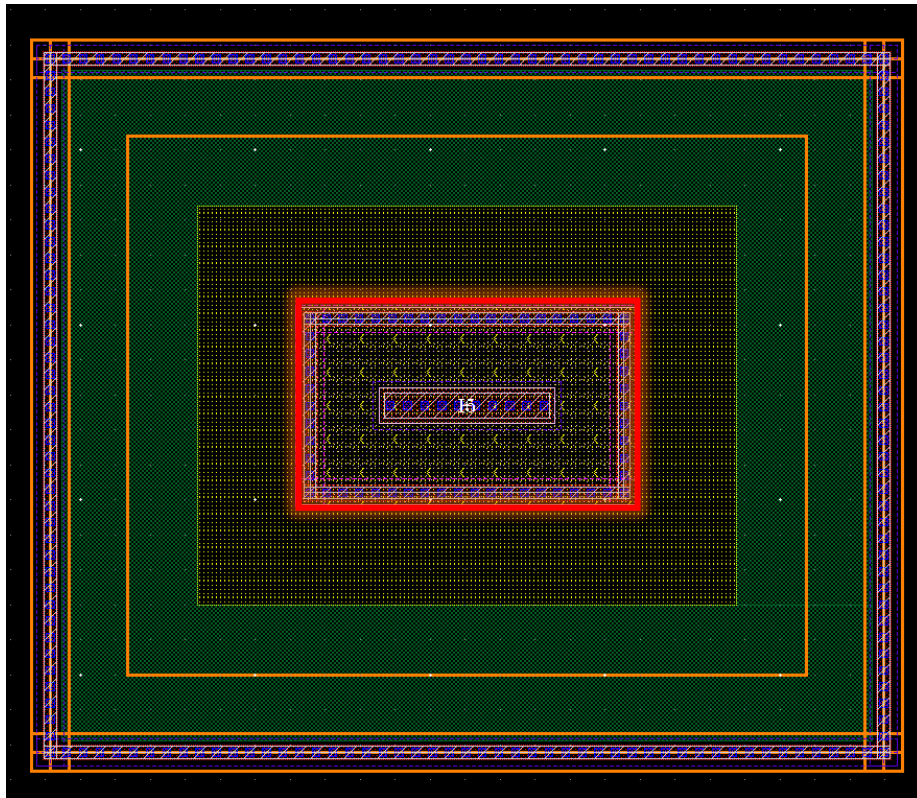


Рисунок 4.2 – Топологія діода dpp з виділеною областю можливих дефектів

Режими і області відмов для діода dpp:

- Замикання – площа р-п переходу (активна область);
- Розрив – площа контактів.

Площа можливих відмов: область всередині контактного кільця катоду (рис. 4.2).

Приклад опису dpp в нетлісті:

```
dpp #(.area(5e-12), .perimeter(12.0u), .m(1), .par1("(1)"))
(* integer passed_mfactor = "m"; *) D0 (clamp_Pgate, Vprot);
```

Рівняння для знаходження площі:

$$A = (1\mu\text{m} + 4.64\mu\text{m}) * ((p - 2\mu\text{m})/2 + 4.64\mu\text{m})$$

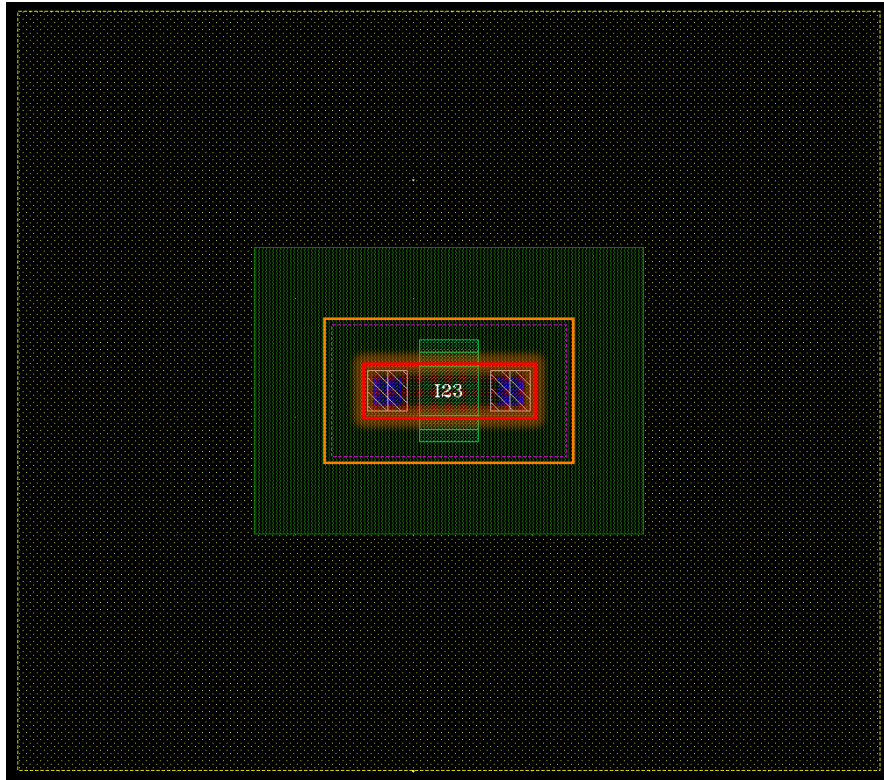


Рисунок 4.3 – Топологія транзистора пнї з виділеною областю можливих дефектів

Режими і області відмов для транзистора пнї:

- Пробій діелектрику, ІГН, ТНПН, замикання стоку та витоку – область $W \cdot L$;
- Розрив стоку – область контакту стоку;
- Розрив витоку – область контакту витоку;
- Замикання затвору та стоку – область перекриття полікремнію та дифузійної області стоку;
- Замикання затвору та витоку – область перекриття полікремнію та дифузійної області витоку;
- Частковий розрив – області контакту/дифузії стоку та витоку.

Площа можливих відмов ne5i показана на рис. 4.3.

Приклад опису ne5i в нетлісті:

```
ne5i #(.w(GT_PDW), .l(GT_PDL), .as(-1), .ad(-1), .ps(-1), .pd(-1),
.nrs(-1), .nrd(-1), .m("(1)*(1)", .par1("((1)*(1))")) (*
integer passed_mfactor = "m"; *)
MN1 (out, b, cdsNet0, cdsNet0);
```

Рівняння для знаходження площі:

$$A = m \cdot (w \cdot l) + (m + 1) \cdot (w * 0.48\mu m)$$

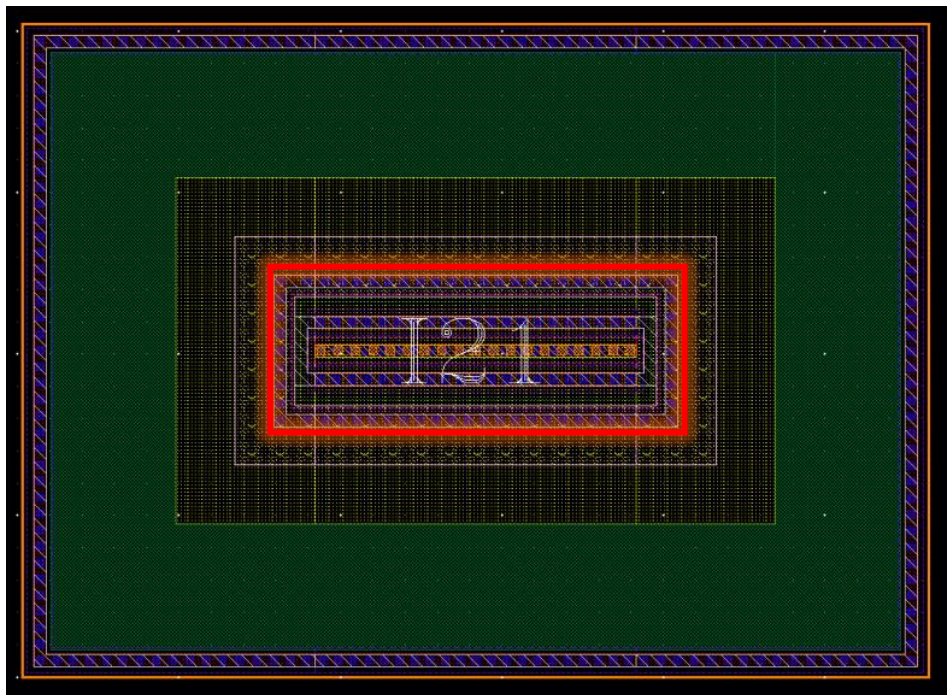


Рисунок 4.4 – Топологія біполярного транзистора qnva5 з виділеною областю можливих дефектів

Площа відмов qnva5 обмежена контактним кільцем колектора (NWELL) (рис. 4.4) оскільки воно охоплює колектор, емітер, базу транзистора і всі р-п переходи.

Приклад опису qnva5 в нетлісті:

```
qnva5 #(.m(1), .le(2), .par1("(1)")) (* integer passed_mfactor =
"m"; *) Q9 (VBP_start1, VBE1, GNDA, PSUB);
```

Рівняння для знаходження площі:

$$A = 4.74\mu m \cdot (le \cdot 10^{-6} + 2.56\mu m)$$



Рисунок 4.5 – Топологія резистора rrp1 з виділеною областю можливих дефектів

Площа відмов rrp1 визначається як: $W \cdot L$ резистора + область контактів (рис. 4.5).

Приклад опису rrp1 в нетлісті:

```
qnva5 #(.m(1), .le(2), .par1("(1)")) (* integer passed_mfactor =
"m"; *) Q9 (VBP_start1, VBE1, GNDA, PSUB);
```

Рівняння для знаходження площі:

$$A = w \cdot l + 2 \cdot w \cdot 0.54\mu m$$

4.3 Внесення дефектів

Перед перенесенням дефектів слід скласти список найбільших площ елементів, паразитних ємностей і паразитних опорів схеми.

На рис. 4.6, 4.7, 4.8 показано графіки розподілу 200 найбільших площ елементів, опорів між'єднань та паразитних ємностей відповідно. Знаючи ієрархію елементів та назви між'єднань, можна сгенерувати випадкову

відмову для цього елемента або міжз'єднання, після чого внесення відмов і симуляції можуть бути проведені за послідовністю, описаною у розділі 3.

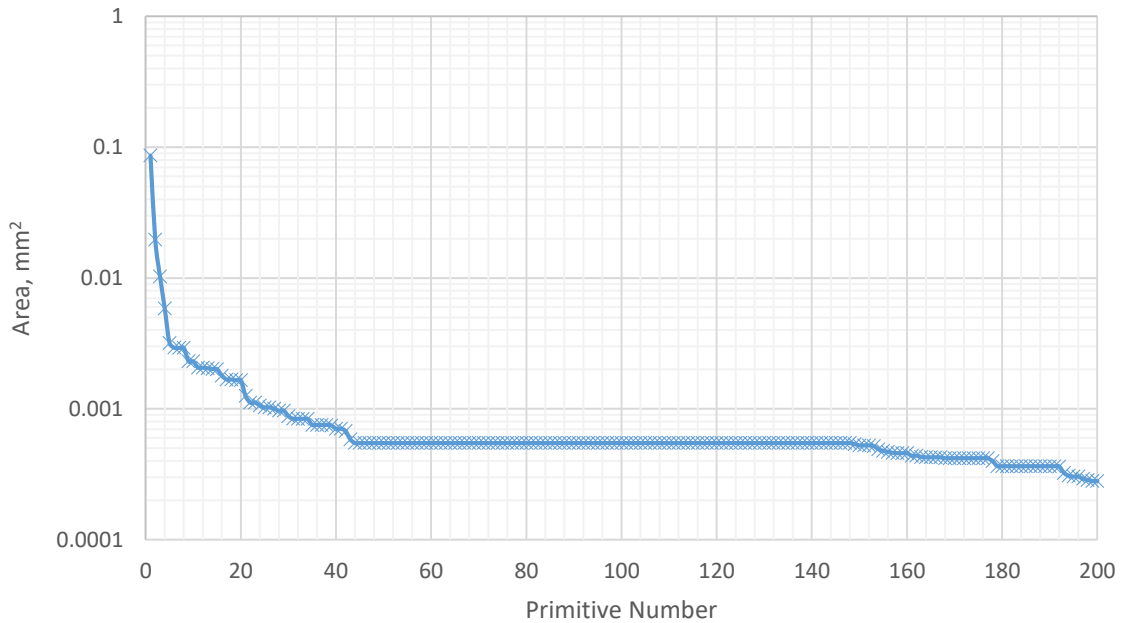


Рисунок 4.6 – Графік розподілу площ елементів для 200 найбільших елементів схеми (логічний масштаб)

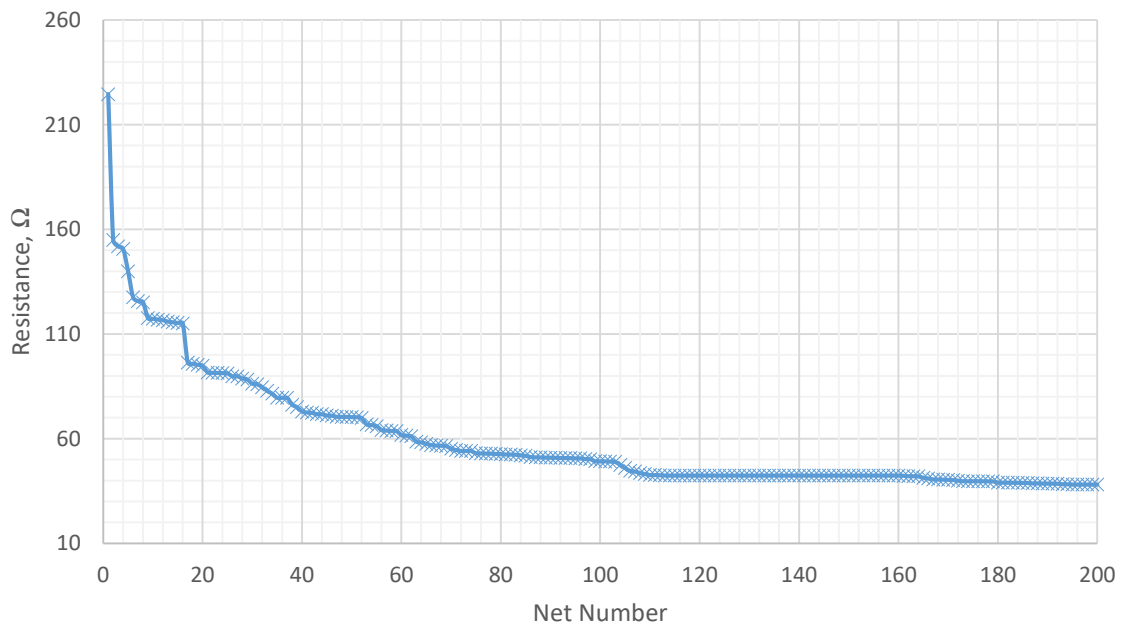


Рисунок 4.7 – Графік розподілу паразитних опорів для 200 найбільших опорів в схемі

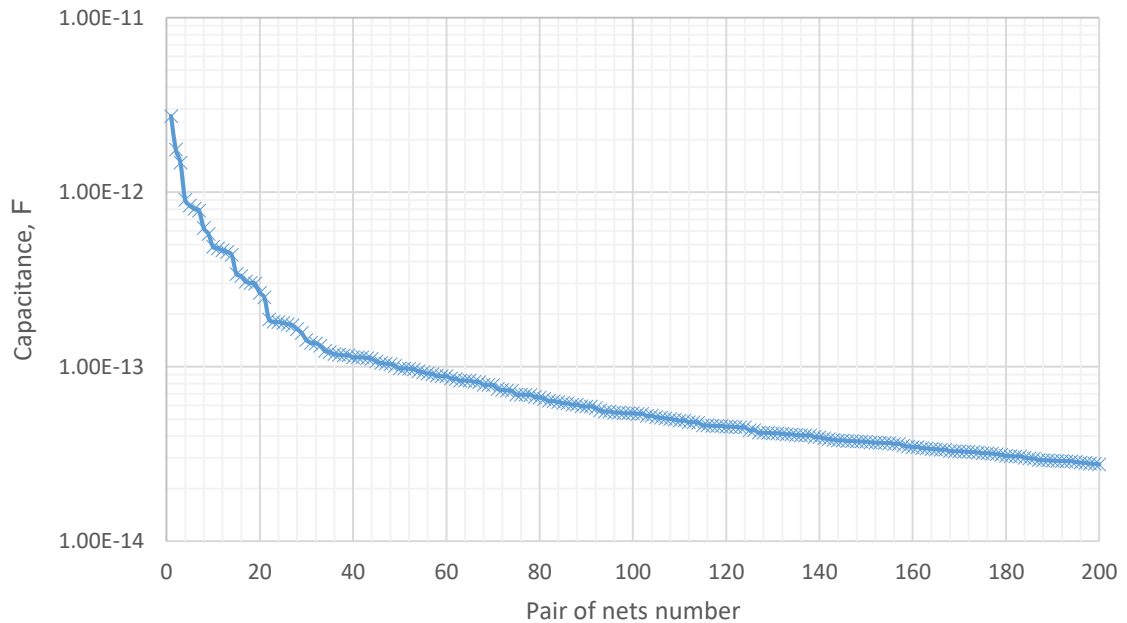


Рисунок 4.8 – Графік розподілу паразитних ємностей для 200 найбільших ємностей в схемі (логічний масштаб)

Для методу внесення дефектів на основі топології, використовуючи мову програмування SKILL, був створений інструмент для додавання маркерів на топологію, та знаходження інформації про шари та пристрої, що опинилися під маркерами. Вікно інтерфейсу розробленого інструменту в середовищі проектування Virtuoso показано на рис. 4.9. Воно дозволяє вибирати кількість маркерів, тип розподілу маркерів, додавати та видаляти маркери з топології.

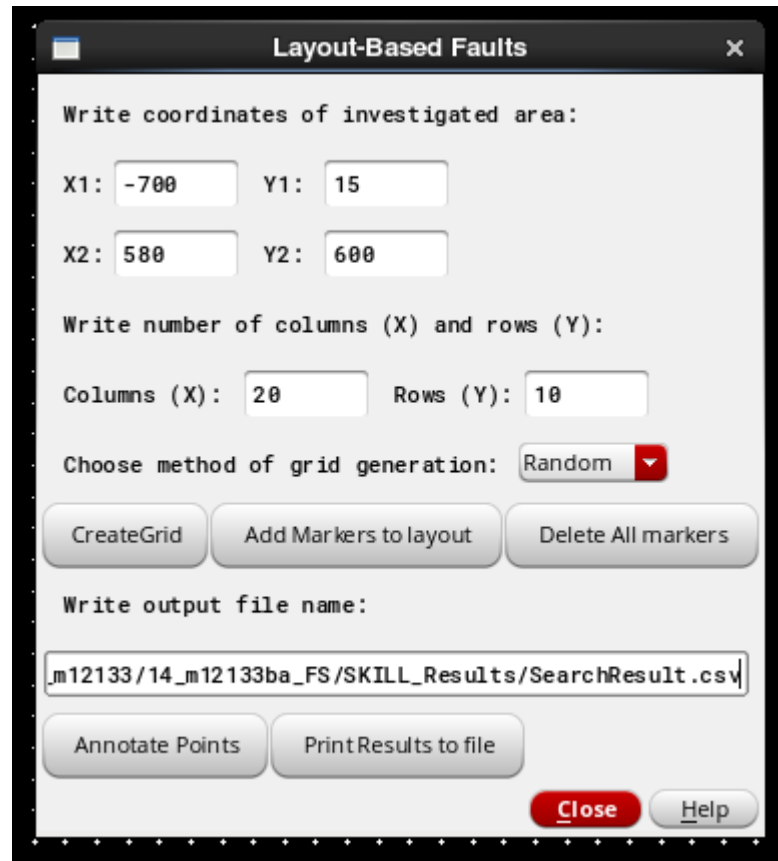


Рисунок 4.9 – Вікно інтерфейсу інструменту, що використовується для методу внесення дефектів на основі топології

4.4 Результати симуляцій і оцінка надійності пристрою

Результати симуляцій після внесення дефектів показані в табл. 4.2. Перший рядок означає відсоток дефектних схем, параметри яких задовільняють вимогам специфікації під час моделювання. Другий рядок означає відсоток дефектних схем, характеристики яких не відповідають специфікації, але схеми захисту та скидання виявили несправність пристрою. Нарешті, третій рядок - це відсоток схем з внесеними дефектами, які не відповідають специфікаціям і ігноруються схемами детектування. Детальний аналіз результатів наводиться у висновках для цього розділу.

Таблиця 4.2 – Результати моделювання для всіх методів внесення дефектів при 3-х температурах

	Внесення дефектів на основі топології. Випадковий розподіл маркерів	Внесення дефектів на основі топології. Однорідний розподіл маркерів	Внесення дефектів на основі паразитних опорів	Внесення дефектів на основі паразитних емностей	Внесення дефектів на основі площ примітивів
Нормальне функціонування, %	55.5	53.6	85.6	29.5	41.3
Детектовані відмови, %	33.5	33.8	11.4	64.5	56.9
Не детектовані відмови, %	11	12.6	3	6	1.8
SPFM, %	89	87.4	97	94	98.2

Висновки до розділу 4

Процес внесення дефектів запропонованими методами, проведений для 3-х температур, дав середній SPFM 93%. Найнижчий SPFM був отриманий для методу на основі топології, тоді як внесення дефектів на основі площі дало найвищі значення.

Такий результат можна було очікувати, оскільки метод на основі площі вносить дефект в найбільші елементи схеми лише один раз, тоді як метод на основі топології вносить дефект до елемента стільки разів, скільки маркерів потрапило на цей елемент. Може виникнути проблема, коли кількість маркерів, що потрапили на елемент, перевищує кількість можливих відмов для цього елемента. У цьому випадку деяким маркерам будуть відповідати однакові відмови, і одні й ті самі симуляції будуть проводитись декілька разів. Щоб зекономити час моделювання, результати повторних симуляцій можуть бути взяті з попередніх результатів.

Підхід на основі топології є більш складним, але дає більш точний SPFM, ніж три інші методи. Метод на основі площі може бути скоректований для більшої ідентичності з методом топології шляхом внесення більш ніж одного дефекта в елементи з найбільшими площами (все ще проводячи одну симуляцію на один дефект).

Результати могли бути гіршими, якщо б пристрій було перевірено на відповідність додатковим параметрам. Для тих дефектів, які були охарактеризовані як безпечні, деякі блоки могли втратити функціональність, наприклад схеми забезпечення ЕМС та захисту від ЕСР. Якщо до процесу внесення дефектів буде додано тести на зворотну полярність або DPI тести, ці дефекти будуть оцінені як небезпечні. Однак це значно збільшить час моделювання. Крім цього, несправності різних захисних систем досить ефективно виявляються під час характеристичних тестів вже виготовлених мікросхем.

5 РОЗРОБЛЕННЯ СТАРТАП-ПРОЕКТУ

Стартап як вид малого венчурного підприємництва набув широкого розповсюдження через популяризацію інтернету як засобу комунікацій та збуту а також пошуку ресурсів для фінансування.

У цьому розділі буде виконано перший етап розроблення стартап-проекту, а саме виявлення ринкових можливостей використання результатів роботи. Буде проведений маркетинговий аналіз стартап-проекту, що складається з: відбору ідей, побудови концепції продукту/послуги, визначення перспектив ринкової реалізації продукту/послуги та розроблення маркетингової стратегії.

5.1 Опис ідеї проекту

У табл. 5.1 поданий зміст ідеї для стартап-проекту із зазначення можливих напрямків застосування та вигодами для потенційного користувача товару.

Таблиця 5.1 – Опис ідеї стартап-проекту

Зміст ідеї	Напрямки застосування	Вигоди для користувача
Надання послуг оцінки надійності мікросхем або окремих ІР блоків для компаній, що розробляють ІС з підвищеними вимогами до безпеки	Проектування автомобільних ІС	Тестування на надійність з врахуванням специфіки умов застосування продукту
	Проектування авіакосмічних ІС	Ефективне прогнозування рівня відмовостійкості продукту
	Проектування військових ІС	Рекомендації щодо підвищення надійності продукту

5.2 Технологічний аудит ідеї проекту

У табл. 5.2 наведено аудит технологій, за допомогою яких можна реалізувати ідею проекту (технології створення товару).

Таблиця 5.2 – Технологічна здійсненність ідеї проекту

№ п/п	Ідея проекту	Технології її реалізації	Наявність технологій	Доступність технологій
1	Інструмент інтегрований в САПР	Використання API компаній, що розробляють САПР електроніки	Так	Так
2	Інструмент існує як самостійна платформа	Використання одного/декількох мов програмування	Так	Так
Обрана технологія реалізації ідеї проекту: друга, але з можливістю роботи з проектами, створеними у найбільш поширених САПР для відповідних галузей				

5.3 Аналіз ринкових можливостей запуску стартап-проекту

Визначення ринкових можливостей під час впровадження проекту, та ринкових загроз, які можуть перешкодити реалізації проекту, дозволяє спланувати напрями розвитку стартапу із урахуванням стану ринкової конкуренції, потреб потенційних клієнтів та пропозицій проектів-конкурентів.

На табл. 5.3 приведено аналіз попиту для визначення привабливості ринку для входження.

Таблиця 5.3 – Попередня характеристика потенційного ринку стартапу

№ п/п	Показники стану ринку (найменування)	Характеристика
1	Кількість головних гравців, од	2
2	Загальний обсяг продаж, грн/ум.од	1,5-1,7 млн. ум. од
3	Динаміка ринку (якісна оцінка)	Зростає
4	Наявність обмежень для входу (вказати характер обмежень)	Обмежена кількість потенційних клієнтів
5	Специфічні вимоги до стандартизації та сертифікації	Немає
6	Середня норма рентабельності в галузі (або по ринку), %	5-20

У табл. 5.4 визначені потенційні групи клієнтів, їх характеристики, та сформовано орієнтовний перелік вимог до товару для кожної групи.

Далі було складено таблиці факторів, що сприяють ринковому впровадженню проекту, та факторів, що йому перешкоджають (табл. 5.5-5.6). Фактори в таблиці подані в порядку зменшення значущості.

Таблиця 5.4 – Характеристика потенційних клієнтів стартап-проекту

№ п/п	Потреба, що формує ринок	Цільова аудиторія (цільові сегменти ринку)	Відмінності у поведінці різних потенційних цільових груп клієнтів	Вимоги споживачів до товару
1	Безпека електронних систем	Компанії галузі автомобільної електроніки	Різні вимоги до рівня надійності, різні стандарти безпеки	Ефективне прогнозування відмов продукту

Таблиця 5.5 – Фактори загроз

№ п/п	Фактор	Зміст загрози	Можлива реакція компанії
1	Поява конкурентних рішень	Поява подібних рішень від крупних компаній з розробки САПР	Переорієнтація на надання послуг невеликим компаніям
2	Зміна ринку	Поява пристроїв, конкурентних з електронними	Розробка аналогічного інструменту для нових типів пристроїв

Таблиця 5.6 – Фактори можливостей

№ п/п	Фактор	Зміст можливості	Можлива реакція компанії
1	Розширення галузі	Розширення ринку критичної до безпеки електроніки, а отже зростання попиту на продукт	Більш активна популяризація розробленого продукту

Детальний аналіз конкуренції в галузі проводиться за моделлю 5 сил М. Портера і показаний на табл. 5.7.

Таблиця 5.7 – Аналіз конкуренції в галузі за М. Портером

	Прямі конкуренти в галузі	Потенційні конкуренти	Постачальники	Клієнти	Товари-замінники
Складові аналізу	Компанії-постачальники систем проектування ІС, власні дослідницькі групи компаній-клієнтів	Інші компанії, що спеціалізуються на безпеці електронних пристроїв. Бар'єр входження низький	Постачальниками є компанії, що надають серверні місця та доступ до інтернету	Закупівлі можуть відбуватися одинично або на постійній основі. Чутливість до зміни цін низька. Диференціації послуг не відбувається	Можуть мати нижчу ціну та лояльність споживачів

Продовження таблиці 5.7

Висновки	Конкуренція інтенсивна	Є достаньо можливостей для входу в ринок із низькими строками входу	Постачальники не диктують умови роботи на ринку	Клієнти встановлюють вимоги до надання послуг	Простіші рішення для малих проектів можуть обмежувати роботу на ринку
----------	------------------------	---	---	---	---

Останнім етапом ринкового аналізу можливостей впровадження проекту є складання SWOT-аналізу (табл. 5.8) на основі попередньо визначених ринкових загроз та можливостей, та сильних і слабких сторін.

Таблиця 5.8 – SWOT- аналіз стартап-проекту

Сильні сторони: ґрунтовний підхід до визначення рівня надійності схеми, адаптивність до різних вимог щодо надійності схеми	Слабкі сторони: Специфічність послуги, що пропонується, наявність у компаній власних методів визначення надійності власної продукції
Можливості: Вдосконалення інструментів для надання послуги, покриття різних галузей електронної промисловості	Загрози: Розробка аналогічних інструментів компаніями з більшим фінансуванням

В табл. 5.9 проаналізовані альтернативи ринкової поведінки для виведення стартап-проекту на ринок з огляду на потенційні проекти конкурентів, що можуть бути виведені на ринок. Визначені альтернативи аналізуються з точки зору строків та ймовірності отримання ресурсів.

Таблиця 5.9 – Альтернативи ринкового впровадження стартап-проекту

№ п/п	Альтернатива (орієнтовний комплекс заходів) ринкової поведінки	Ймовірність отримання ресурсів	Строки реалізації
1	Розробка і поширення інструменту для внесення відмов, орієнтованого на конкретну галузь електронної промисловості	Така сама, як і в випадку основної ринкової поведінки	Менша ніж у випадку основної ринкову поведінки
2	Розробка інструменту, орієнтованого на конкретне вже існуюче середовище проектування	Трохи вища оскільки не потрібне співробітництво з багатьма компаніями, що розробляють САПР	Менша ніж у випадку основної ринкову поведінки

5.4 Розроблення ринкової стратегії проекту

Ринкова стратегія проекту заснована на визначенні стратегії охоплення ринку, тобто опису цільових груп потенційних клієнтів (табл. 5.10).

Таблиця 5.10 – Вибір цільових груп потенційних споживачів

№ п/п	Опис профілю цільової групи потенційних клієнтів	Готовність споживачів сприйняти продукт	Орієнтовний попит в межах цільової групи (сегменту)	Інтенсивність конкуренції в сегменті	Простота входу у сегмент
1	Невеликі компанії, що розробляють спеціалізовані ІС	Висока	Під час підготовки до випуску нового продукту компанією. За умови невисоких затрат на використання послуг.	Невисока	Невисока

Продовження таблиці 5.10

2	Великі компанії, що користуються сторонніми програмами для розробки ІС	Нижча, оскільки у компанії є ресурси для розробки власного продукту	Під час підготовки до випуску нового продукту компанією.	Компанія може відмовитись від послуги, обравши власну розробку	Вища
Які цільові групи обрано: Обрано першу групу через нижчий поріг входу в сегмент					

Для роботи в обраних сегментах ринку була сформована базова стратегія розвитку (табл. 5.11).

Таблиця 5.11 – Визначення базової стратегії розвитку

№ п/п	Обрана альтернатива розвитку проекту	Стратегія охоплення ринку	Ключові конкурентоспроможні позиції відповідно до обраної альтернативи	Базова стратегія розвитку*
1	Стратегія спеціалізації	Концентрація на потребах одного цільового сегменту	Висока якість послуг. Гнучкість та можливість підтримки невеликих проектів	Стратегія диференціації

5.5 Розроблення маркетингової програми стартап-проекту

Для формування маркетингової концепції товару, який отримає споживач, підсумуємо результати аналізу конкурентоспроможності товару в табл. 5.12.

Таблиця 5.12 – Визначення ключових переваг концепції потенційного товару

№ п/п	Потреба	Вигода, яку пропонує товар	Ключові переваги перед конкурентами (існуючі або такі, що потрібно створити)
1	Оцінка рівня надійності схеми відповідно до сучасних стандартів	Детальна інформація про відповідність пристрою вимогам безпеки	Чітко визначена послідовність проведення операцій
2	Оцінка й аналіз поведінки схеми при внесенні найбільш ймовірних відмов	Визначення ймовірності різних відмов і показ результатів роботи схеми після внесення відмов	Наглядне представлення результатів роботи схеми із вказанням слабких місць дизайну
3	Надання рекомендацій щодо підвищення рівня надійності схеми	Гарантована відповідність безпечної роботи схеми після прийняття рекомендованих заходів	Широкий спектр можливих конструктивних рішень для забезпечення максимальної надійності схеми (потрібно створити)

Наступним кроком є визначення цінових меж при встановленні ціни на потенційний товар. Цей етап передбачає аналіз ціни на товари-замінники, а також аналіз рівня прибутку цільових споживачів (табл. 5.13).

Таблиця 5.13 – Визначення меж встановлення ціни

№ п/п	Рівень цін на товари-замінники	Рівень цін на товари-аналоги	Рівень доходів цільової групи споживачів	Верхня та нижня межі встановлення ціни на товар/послугу
1	200-300 тис. ум. од/рік	Поки немає повноцінних аналогів	40-50 млн. ум. од/рік	150-200 тис. ум. од/рік

Останньою складовою маркетингової програми є розроблення концепції маркетингових комунікацій. Запропонована концепція представлена на табл. 5.14.

Таблиця 5.14 – Концепція маркетингових комунікацій

Специфіка поведінки цільових клієнтів	Канали комуні-кацій, якими користуються цільові клієнти	Ключові позиції, обрані для Позиціонування	Завдання рекламного повідомлення	Концепція рекламного звернення
Клієнти напряму звертаються до компанії або перенаправляються через компанію розробника системи проектування, клієнтами якої вони є.	Мережа інтернет	Програмний продукт, та технічна підтримка по його застосуванню	Наголосити на важливості забезпечення належного рівня безпеки мікросхеми	Перший спеціалізований інструмент для перевірки надійності електронних пристроїв

Висновки до розділу 5

Узагальнюючи результати проведеного аналізу, можна зазначити, що проект має шанси на ринкову комерціалізацію. Ідея має досить багато напрямів застосування, а саме галузі електронної промисловості критичні з точки зору безпеки. Проект є конкурентноспроможним, оскільки знадобиться багатьом компаніям, що розробляють ІС з підвищеними вимогами до безпеки,

в умовах відсутності ефективного і автоматизованого процесу оцінки безпеки електронних приладів.

Проект можливо реалізувати з технічної точки зору, оскільки інструменти для реалізації доступні та достатньо розвинуті. До того ж, проект орієнтований на економне використання обчислювальної потужності ЕОМ, на яких будуть проводитися моделювання схеми, тому рівня обчислювальної потужності сучасних ЕОМ буде цілком достатньо.

Ринок на сьогоднішній день є особливо привабливим для входження, оскільки галузь автомобільної електроніки стрімко зростає, стають популярними системи автономного водіння та ADAS, але досі не було запропоновано жодного комплексного інструменту для оцінки відмовостійкості систем, що розробляються для цієї галузі.

Конкуренцію на ринку подібних систем складають лише власні методи аналізу компаній потенційних клієнтів. Поява нового продукту на ринку дозволить компаніям не розробляти власні інструменти, а скористатися готовим рішенням.

У проекту є широкий вибір альтернатив ринкової поведінки, як то інтеграція в САПР від крупних компаній або розробка і поширення інструменту внесення відмов для конкретної галузі електронної промисловості (наприклад авіакосмічної).

Маркетингова програма включатиме концепцію товару як програмного продукту, що є сумісним з проектами ІС, виконаними в найбільш поширених системах автоматизованого проектування, із каналами збуту та просування продукту через мережу інтернет, а також гнучким ціноутворенням, що адаптується під конкретний проект.

ВИСНОВКИ

Автомобільна промисловість стала однією перспективних напрямків для поширення напівпровідникових пристроїв. Цей ринок добре фінансується і орієнтований на впровадження сучасної електроніки, але це також і дуже специфічна галузь. Мікросхеми, розроблені в автомобілях, повинні тривалий час працювати в жорстких умовах, відповідати набору постійно прогресуючих стандартів і специфікацій, що нетипово для більшості компаній по розробці ІС.

Необхідно мати набір інструментів, який зможе не тільки ефективно впроваджувати останні проектні норми, але й проводити верифікацію. Частина верифікації полягає в визначенні того, як продукт - на рівні чіпа або блока - реагує на можливі збої. Тобто потрібний інструмент, який на одному з етапів проектування буде вносити дефекти у схему з наступним проведенням симуляцій, щоб побачити, як пристрій реагує на ці дефекти з точки зору безпечного функціонування. Якщо розробляється ADAS або система автономного водіння, системи, чіпи та ІР блоки, які утворюють ці чіпи, повинні відповідати стандарту ISO 26262.

На ринках мобільних телефонів чи комп'ютерів, якщо будь-якій частині системи виявлено дефект, вона, як правило, буде виправлена програмним способом і замінена в наступній ревізії продукту, що як правило відбувається у найближчі кілька років. Але на ринках, критичних з точки зору безпеки, таких як автомобільний, промисловий або медичний, усі частини системи повинні надійно функціонувати протягом 10-15 років. Майбутня друга версія стандарту ISO26262, наприклад, вимагатиме від автомобільних систем та ІР блоків постійного моніторингу роботи, щоб досягти необхідного рівня безпеки [14].

Під час проектування ІС слід оцінити всі можливі дефекти, які можуть призвести до випадкової відмови. Розробник ІС визначає критичність відмови та вживає заходів безпеки, щоб гарантувати, що будь-який збій призведе до безпечної роботи схеми. Тестування залишається найбільшою проблемою в галузі. Дизайнер може перевірити реакцію схеми на внесення дефектів, роботу механізмів гарантування безпеки, але на сьогоднішній день це слабо автоматизований процес. Найкращим нововведенням для розробника автомобільної ІС була б поява у своєму наборі інструментів автоматичного методу моделювання випадкових відмов, що забезпечуює належну реалізацію та ефективність розроблених ним заходів безпеки.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. P. R. Gray. Analysis and design of analog integrated circuits: Fifth Edition / P. J. Hurst, S. H. Lewis, R. G. Meyer // New York: Hamilto Printing Company, 2009. – 881 p.
2. K. Huang. Modélisation de fautes et diagnostic pour les circuits mixtes/RF nanométriques. Micro and nanotechnologies/Microelectronics. Institut National Polytechnique de Grenoble - INPG, 2011.
3. Panasonic - T04007BE-3 2009.4 Failure Mechanism of Semiconductor Devices [Електронний ресурс] - Режим доступу: https://industrial.panasonic.com/content/data/SC/PDF/ww_aboutus_reliability_t04007be-3.pdf
4. E. Maricaeu. Analog IC Reliability in Nanometer CMOS / E. Maricaeu, G. Gielen // Springer Science+Business Media New York, 2013 – 198 p.
5. J.R. Lloyd. Electromigration for Designers: An Introduction for the Non-Specialist [Електронний ресурс] - Режим доступу: https://www.eetimes.com/document.asp?doc_id=1275855
6. Robert A. Pease. Troubleshooting Analog Circuits: Edn Series for Design Engineers / Robert A. Pease // Butterworth-Heineman, 1991 – 216 p.
7. Richard Strube. Challenges of Electro-Static Discharge (ESD) in the Electronics Industry [Електронний ресурс] - Режим доступу: <http://www.uic.com/challenges-of-electro-static-discharge-esd-in-the-electronics-industry/>
8. Ian Poole. Electronic circuit design. ESD Electronics Effects [Електронний ресурс] - Режим доступу: <http://www.radio-electronics.com/info/circuits/esd/electronics-esd.php>

9. M. Renovell. Modeling Gate Oxide Short Defects in CMOS Minimum Transistors / M. Renovell, J.M. Gallière, F. Azaïs, Y. Bertrand // Proceedings of the Seventh IEEE European Test Workshop, 2002.
10. S. Chehade. Modeling of Gate Oxide Short Defects in MOSFETS / S. Chehade, A. Chehab, A. Kaysi // ECE Department, American University of Beirut.
11. Hain-Ching H. Liu. Fault Diagnosis for Analog Integrated Circuits Based on the Circuit Layout / Hain-Ching H. Liu, Mani Soma // University of Washington Seattle, WA 98105.
12. Bram Kruseman. Defect Oriented Testing for Analog/Mixed-Signal Devices / Bram Kruseman, Bratislav Tasić, Camelia Hora, Jos Dohmen, Hamidreza Hashempour, Maikel van Beurden and Yizi Xing // NXP Semiconductors, IEEE.
13. K. C. Saraswat. Effect of scaling of interconnections on the time delay of VLSI circuits / K. C. Saraswat, F. Mohammadi // IEEE Trans. Electron Dev., vol ED-29, p. 645, 1982.
14. A. S. Mutschler. Reshaping Automotive Design [Электронный ресурс] - Режим доступа: <https://semiengineering.com/reshaping-automotive-design/>