

УДК

ОПТИМИЗАЦИЯ МОЩНОСТИ И ЗАДЕРЖКИ НАНОРАЗМЕРНОГО (4×1)-МУЛЬТИПЛЕКСОРА ПРИ ИСПОЛЬЗОВАНИИ СХЕМЫ УДВОИТЕЛЯ НАПРЯЖЕНИЯ НА КМОП СТРУКТУРАХ*

ДЖЕЙН П., АКАШЕ Ш.

*ITM университет,
Индия, Гвалиор*

Аннотация. В статье представлен высокоэффективный (4×1)-мультиплексор с малой утечкой и уменьшенной задержкой, снабженный схемой удвоителя напряжения на МОП-структурах, которая совмещена с расширенной МОП-конфигурацией транзисторов ждущего режима наноразмерной структуры. Оригинальная конструкция схемы удвоителя напряжения реализована в виде дополнительной схемы на выходе предложенной конструкции для ступенчатого увеличения напряжения. Это позволило удвоить выходное пиковое напряжение за счет переходных процессов положительного и отрицательного циклов. Это повышенное напряжение может использоваться в качестве стабилизированного источника питания для определенных целей. Наличие схемы удвоителя напряжения не является достаточным для улучшения общей эффективности предложенной конструкции (4×1)-мультиплексора. Для получения одновременной оптимизации по мощности рассеяния (мощность утечки) и длительности задержки схема удвоителя напряжения используется совместно с расширенной МОП-конфигурацией транзисторов ждущего режима. Для минимизации параметра мощности рассеяния, вызванной утечкой, введена схема удвоителя напряжения на МОП-структурах, совмещенная с расширенной конфигурацией транзисторов ждущего режима. Это позволило уменьшить избыточную мощность рассеяния схемы, обусловленную утечкой. Указанная дополнительная часть схемы позволяет получить необходимый уровень выходного напряжения у предложенного (4×1)-мультиплексора при улучшенных параметрах. Моделирование устройства осуществлялось при использовании технологии 45 нм. В результате мощность рассеяния, обусловленная утечкой, уменьшена до уровня примерно 55%, а характеристика задержки улучшена до требуемого уровня благодаря использованию схемы удвоителя напряжения на МОП-структурах совместно с улучшенной МОП-конфигурацией транзисторов ждущего режима. В статье представлены различные комбинации схемы удвоителя напряжения на МОП-структурах, реализованные на выходе (4×1)-мультиплексора.

Ключевые слова: наноразмерная структура; схема удвоителя напряжения на МОП-структурах; минимизация мощности утечки; схема с малым энергопотреблением на МОП-структурах; МОП-конфигурация; транзисторы ждущего режима

1. ВВЕДЕНИЕ

Оптимизация при использовании коммутируемой мощности (импульсные источники

питания) повышает стабильность при малой потребляемой мощности и ускоряет переход из одного состояния в другое, т. е., минимизирует задержку (4×1)-мультиплексора, использую-

* Работа поддержана университетом ITM (Гвалиор) и компанией Cadence System Design (Бангалор).

- ms. — Jun. 2012. — Vol. 20, No. 6. — P. 977–988. — DOI : [10.1109/TVLSI.2011.2140346](https://doi.org/10.1109/TVLSI.2011.2140346).
4. *Ho Y.* Design of a subthreshold-supply bootstrapped CMOS inverter based on an active leakage-current reduction technique / Yingchieh Ho, Chiachi Chang, Chauchin Su // IEEE Trans. Circuits Syst. II: Express Briefs. — Jan. 2012. — Vol. 59, No. 1. — P. 55–59. — DOI : [10.1109/TCSII.2011.2174674](https://doi.org/10.1109/TCSII.2011.2174674).
5. *Wang A.* A 180-mV subthreshold FFT processor using a minimum energy design methodology / A. Wang, A. Chandrakasan // IEEE J. Solid-State Circuits. — Jan. 2005. — Vol. 40, No. 1. — P. 310–319. — DOI : [10.1109/JSSC.2004.837945](https://doi.org/10.1109/JSSC.2004.837945).
6. 187 MHz sub-threshold-supply charge-recovery FIR / Wei-Hsiang Ma, Jerry C. Kao, Visvesh S. Sathé, Marios C. Papaefthymiou // IEEE J. Solid-State Circuits. — Apr. 2010. — Vol. 45, No. 4. — P. 793–803. — DOI : [10.1109/JSSC.2010.2042247](https://doi.org/10.1109/JSSC.2010.2042247).
7. *Lou J. H.* A 1.5-V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI / J. H. Lou, J. B. Kuo // IEEE J. Solid-State Circuits. — Jan. 1997. — Vol. 32, No. 1. — P. 119–121. — DOI : [10.1109/4.553191](https://doi.org/10.1109/4.553191).
8. *Chong-Fatt L.* Sub-1V bootstrapped CMOS driver for giga-scale-integration era / L. Chong-Fatt, Y. Kitat-Seng, S. S. Rofail // Electron. Lett. — Mar. 1999. — Vol. 35, No. 5. — P. 392–394. — DOI : [10.1049/el:19990248](https://doi.org/10.1049/el:19990248).
9. *Kil J.* A high-speed variation-tolerant interconnect technique for sub-threshold circuits using capacitive boosting / Jonggab Kil, Jie Gu, Chris H. Kim // Low Power Electronics and Design : Int. Symp. ISLPED, 4–6 Oct. 2006, Tegernsee : proc. — IEEE, 2006. — P. 67–72. — DOI : [10.1109/LPE.2006.4271809](https://doi.org/10.1109/LPE.2006.4271809).
10. *Garcia J. C.* A single-capacitor bootstrapped power-efficient CMOS driver / J. C. Garcia, J. A. Montiel-Nelson, S. Nooshabadi // IEEE Trans. Circuits Syst. II: Express Briefs. — Sept. 2006. — Vol. 53, No. 9. — P. 877–881. — DOI : [10.1109/TCSII.2006.880337](https://doi.org/10.1109/TCSII.2006.880337).
11. *Kim J.-W.* Low-voltage bootstrapped CMOS drivers with efficient conditional bootstrapping / Jong-Woo Kim, Bai-Sun Kong // IEEE Trans. Circuits Syst. II: Express Briefs. — Jun. 2008. — Vol. 55, No. 6. — P. 556–560. — DOI : [10.1109/TCSII.2007.916843](https://doi.org/10.1109/TCSII.2007.916843).
12. Nanometer device scaling in sub-threshold logic and SRAM / Scott Hanson, Mingoo Seok, Dennis Sylvester, David Blaauw // IEEE Trans. Electron Devices. — Jan. 2008. — Vol. 55, No. 1. — P. 175–185. — DOI : [10.1109/TED.2007.911033](https://doi.org/10.1109/TED.2007.911033).
13. *Calhoun B. H.* Modeling and sizing for minimum energy operation in subthreshold circuits / B. H. Calhoun, A. Wang, A. Chandrakasan // IEEE J. Solid-State Circuits. — Sept. 2005. — Vol. 40, No. 9. — P. 1178–1186. — DOI : [10.1109/JSSC.2005.852162](https://doi.org/10.1109/JSSC.2005.852162).
14. *Sethuram R.* Leakage power profiling and leakage power reduction using DFT hardware / Rajamani Sethuram, Karim Arabi, Mohamed Abu-Rahma, // 29th IEEE VLSI Test Symp., 1–5 May 2011, Dana Point, CA :

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Verma N.* A 65nm 8T sub-Vt SRAM employing sense-amplifier redundancy / Naveen Verma, Anantha P. Chandrakasan // IEEE Int. Solid-State Circuits Conf. Dig. of Tech. Papers, 11–15 Feb. 2007, San Francisco, CA. — IEEE, 2007. — P. 328–606. — DOI : [10.1109/ISSCC.2007.373427](https://doi.org/10.1109/ISSCC.2007.373427).
2. *Lotze N.* A 62mV 0.13µm CMOS standard-cell-based design technique using schmitt-trigger logic / Niklas Lotze, Yiannos Manoli // Solid-State Circuits : IEEE Int. Conf., 20–24 Feb. 2011, San Francisco, CA : proc. — IEEE, 2011. — P. 340–342. — DOI : [10.1109/ISSCC.2011.5746345](https://doi.org/10.1109/ISSCC.2011.5746345).
3. Energy-efficient low-latency 600 MHz FIR with high-overdrive charge-recovery logic / Jerry C. Kao, Wei-Hsiang Ma, Visvesh S. Sathé, Marios Papaefthymiou // IEEE Trans. Very Large Scale Integration (VLSI) Systems.

proc. — IEEE, 2011. — P. 46–51. — DOI : [10.1109/VTS.2011.5783753](https://doi.org/10.1109/VTS.2011.5783753).

15. *Khouri K. S.* Leakage power analysis and reduction during behavioral synthesis / K. S. Khouri, N. K. Jha // IEEE Trans. Very Large Scale Integration (VLSI) Systems. — Dec. 2002. — Vol. 10, No. 6. — P. 876–885. — DOI : [10.1109/TVLSI.2002.808436](https://doi.org/10.1109/TVLSI.2002.808436).

16. *Halter J. P.* A gate-level leakage power reduction method for ultra-low-power CMOS circuits / J. P. Halter, F. N. Najm // Custom Integrated Circuits : IEEE Conf., 5–8 May 1997, Santa Clara, CA : proc. — IEEE, 1997. — P. 475–478. — DOI : [10.1109/CICC.1997.606670](https://doi.org/10.1109/CICC.1997.606670).

17. *Tuan T.* Leakage power analysis of a 90nm FPGA / T. Tuan, B. Lai // Custom Integrated Circuits : IEEE Conf., 21–24 Sept. 2003 : proc. — IEEE, 2003. — P. 57–60. — DOI : [10.1109/CICC.2003.1249359](https://doi.org/10.1109/CICC.2003.1249359).

18. *Chun J. W.* A novel leakage power reduction technique for CMOS circuit design / Jae Woong Chun, C. Y. Roger Chen // SoC Design : Int. Conf. ISOC, 22–23 Nov. 2010, Seoul : proc. — IEEE, 2010. — P. 119–122. — DOI : [10.1109/SOCDC.2010.5682957](https://doi.org/10.1109/SOCDC.2010.5682957).

19. *Jalan A.* Analysis of leakage power reduction techniques in digital circuits / Anup Jalan, Mamta Khosla // Annual IEEE India Conf. : INDICON, 16–18 Dec. 2011, Hyderabad : proc. — IEEE, 2011. — P. 1–4. — DOI : [10.1109/INDCON.2011.6139374](https://doi.org/10.1109/INDCON.2011.6139374).

20. *Yeap G.* Practical Low Power Digital VLSI Design / Gary Yeap. — Kluwer Academic Publishers, 1998.

21. *Li L.* CMOS current mode logic gates for high-speed applications / Lisha Li, Sripriya Raghavendran, Donald T. Comer // VLSI Design : 12th NASA Symp., 4–5 Oct. 2005, Coeur d'Alene, Idaho, USA : proc. — 2005.

22. *Allam M. W.* Dynamic current mode logic (DyCML): a new low-power high-performance logic style / Mohamed W. Allam, Mohamed I. Elmasry // IEEE J. Solid-State Circuits. — Mar. 2001. — Vol. 36, No. 3. — P. 550–558. — DOI : [10.1109/4.910495](https://doi.org/10.1109/4.910495).

23. *Ghafari P.* Impact of technology scaling on leakage reduction techniques / Payam Ghafari, Mohab Anis, Mohamed Elmasry // Circuit and Systems : IEEE Northeast Workshop NEWCAS, 5–8 Aug. 2007, Montreal, Que : proc. — IEEE, 2007. — P. 1405–1408. — DOI : [10.1109/NEWCAS.2007.4488021](https://doi.org/10.1109/NEWCAS.2007.4488021).

24. *Roy S.* Impact of runtime leakage reduction techniques on delay and power sensitivity under effective channel length variations / Sudip Roy, Ajit Pal // IEEE

Region 10 Conf. TENCON, 19–21 Nov. 2008, Hyderabad : proc. — IEEE, 2008. — P. 1–6. — DOI : [10.1109/TENCON.2008.4766400](https://doi.org/10.1109/TENCON.2008.4766400).

25. *Khandelwal V.* Leakage control through fine-grained placement and sizing of sleep transistors / V. Khandelwal, A. Srivastava // Computer Aided Design : IEEE/ACM Int. Conf. ICCAD, 7–11 Nov. 2004 : proc. — IEEE, 2004. — P. 533–536. — DOI : [10.1109/ICCAD.2004.1382635](https://doi.org/10.1109/ICCAD.2004.1382635).

26. *Augsburger S.* Combining dual-supply, dual-threshold and transistor sizing for power reduction / S. Augsburger, B. Nikolic // Computer Design: VLSI in Computers and Processors : IEEE Int. Conf., 2002 : proc. — IEEE, 2002. — P. 316–321. — DOI : [10.1109/ICCD.2002.1106788](https://doi.org/10.1109/ICCD.2002.1106788).

27. *Waste N. H. E.* Principles of CMOS Design A Systems Perspective / Neil H. E. Waste, Kamran Eshraghian, 2nd ed. — Addison-Wesley Pub. Co., 1993.

28. *Kumar D.* Performance analysis of dynamic threshold MOS (DTMOS) based 4-input multiplexer switch for low power and high speed FPGA design / Deepak Kumar, Pankaj Kumar, Manisha Pattanaik // Integrated Circuits and System Design : 23rd Int. Symp. SBCCI, Sept. 2010 : proc. — New York, 2010. — P. 2–7. — DOI : [10.1145/1854153.1854156](https://doi.org/10.1145/1854153.1854156).

29. *Sylvester D.* Future performance challenges in nanometer design / D. Sylvester, H. Kaul // Design Automation Conf. : Jun. 2001 : proc. — IEEE, 2001. — P. 3–8. — DOI : [10.1109/DAC.2001.156098](https://doi.org/10.1109/DAC.2001.156098).

30. *Sharma V. K.* Comparison among different CMOS inverter for low leakage at different technologies / Vijay Kumar Sharma, Surender Soni // Int. J. Appl. Eng. Res. Dindigul. — 2010. — Vol. 1, No. 2. — URL : <http://www.ipublishing.co.in/jarvol1no12010/EIJAER1021.pdf>.

31. *Singh A. K.* Digital VLSI Design / Ajay Kumar Singh. — PHI Pub., Eastern Economy Edition, 2011.

32. *Rajani H. P.* Novel sleep transistor techniques for Low leakage power peripheral circuits / H. P. Rajani, Srimannarayan Kulkarni // Int. J. VLSI design & Commun. Syst. — 2012. — Vol. 3, No. 4. — P. 81–95. — DOI : [10.5121/vlsic.2012.3408](https://doi.org/10.5121/vlsic.2012.3408).

33. *Rani M. J.* Leakage power reduction and analysis of CMOS sequential circuits / M. Janaki Rani, S. Malarkann // Int. J. VLSI design & Commun. Syst. — 2012. — Vol. 3, No. 1. — URL : <http://www.oalib.com/paper/2765755>.

Поступила в редакцию 09.10.2015

После переработки 06.05.2016