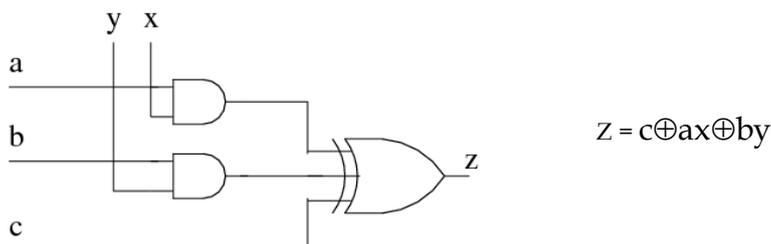


## Prova di Elettronica T-A — 15 giugno 2015

COGNOME, NOME E N. DI MATRICOLA \_\_\_\_\_

NOME DEL CL E ANNO DI CORSO (2°, 3°, FC) \_\_\_\_\_

1. Determinare l'espressione algebrica dell'uscita  $z$ . Determinare inoltre l'espressione di  $z$  nel caso in cui: 1)  $x = y = 0$ , 2)  $x = 0$  e  $y = 1$ , 3)  $x = 1$  e  $y = 0$ , 4)  $x = y = 1$ .



Dalla tabella di verità dello XOR si evince che  $x \oplus 0 = x$  quindi si ha:

$$1) x = y = 0 \quad z = c \oplus 0 \oplus 0 = c \quad 2) x = 0 \text{ e } y = 1 \quad z = c \oplus 0 \oplus b = c \oplus b$$

$$3) x = 1 \text{ e } y = 0 \quad z = c \oplus a \oplus 0 = c \oplus a \quad 4) x = y = 1 \quad z = c \oplus a \oplus b$$

2. Calcolare l'espressione **minima SP** della funzione  $\overline{F}$ .

$$F = \overline{a} \uparrow \left[ \overline{(b \uparrow c)} \uparrow \overline{d} \right] \uparrow \left\{ a \uparrow c \uparrow \left[ \overline{d} \uparrow (b \uparrow \overline{d}) \right] \right\}$$

Utilizzando le regole di De Morgan oppure le regole relative all'ordine del NAND si ha

$F = \overline{a} \cdot \left[ \overline{(b \cdot c)} + d \right] + \left\{ a \cdot c \cdot \left[ d + (b \cdot \overline{d}) \right] \right\} = \overline{a}\overline{b}\overline{c} + \overline{a}d + acd + abc\overline{d}$  che corrisponde alla seguente tabella di verità

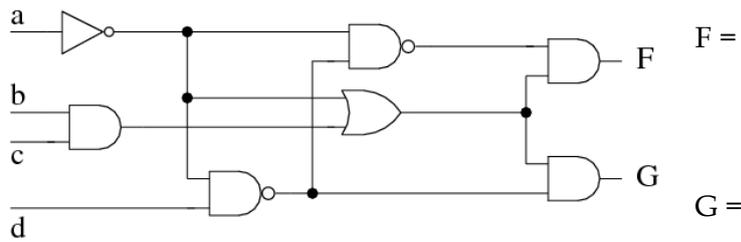
ab\cd	00	01	11	10
00	1	1	1	0
01	0	1	1	0
11	0	0	1	1
10	0	0	1	0

Quindi la tabella di  $\overline{F}$  sarà

ab\cd	00	01	11	10
00	0	0	0	1
01	1	0	0	1
11	1	1	0	0
10	1	1	0	1

$$\overline{F} = a\overline{c} + \overline{a}b\overline{d} + \overline{b}c\overline{d}$$

3. Considerare il circuito in figura. Calcolare l'espressione **minima PS** per F e G.



Dal circuito risulta  $F = (bc + \bar{a})[a \uparrow (d \uparrow \bar{a})] = (bc + \bar{a})[\overline{a \cdot (d \cdot \bar{a})}] = abc + \bar{a}bcd + \bar{a}d$

La tabella di verità per F è quindi

ab\cd	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	0	1	1
10	0	0	0	0

$$F = (a + d)(\bar{a} + c)(\bar{a} + b)$$

Per il segnale G risulta  $G = (bc + \bar{a})(d \uparrow \bar{a}) = (bc + \bar{a})\overline{d \cdot \bar{a}} = bc\bar{d} + abc + \bar{a}d$

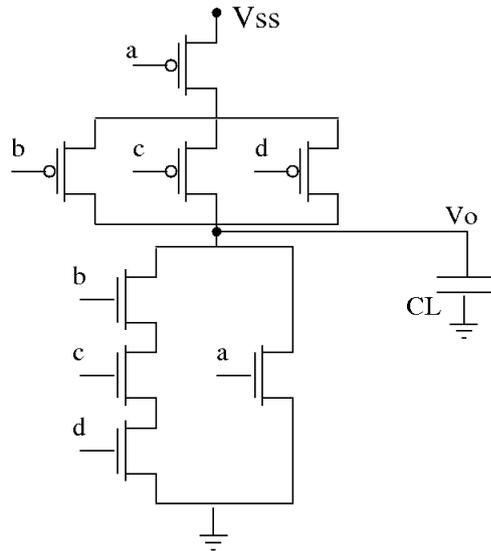
La tabella di verità per G è quindi

ab\cd	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	0	0	1	1
10	0	0	0	0

$$G = (a + \bar{d})(\bar{a} + c)(\bar{a} + b)$$

4. Realizzare la funzione  $V_o = \overline{a + bcd}$  in logica Fully CMOS. Considerando di avere  $V_{ss} = 3.3 V$ ,  $V_{tn} = V_{tp} = 0.7 V$ ,  $\beta'_n = 100 \mu A/V^2$  e  $\beta'_p = 50 \mu A/V^2$ , e  $C_L = 20 fF$ , calcolare quanto devono valere  $(W/L)_n$  e  $(W/L)_p$  per avere **nel caso peggiore**  $\tau_r = \tau_f \leq 500ps$  (determinati considerando il 90% e 10% di  $V_{ss}$ ). Si assumano tutti i transistori nMOS uguali tra di loro, e tutti i pMOS uguali tra di loro.

Ricordando che nella rete di pull-down il prodotto corrisponde alla serie degli nMOS e la somma al parallelo e che la rete di pull-up deve essere duale a quella di pull-down si ottiene il seguente schema:



Nel caso peggiore la scarica del condensatore avviene attraverso 3 nMOS, mentre la carica attraverso 2 transistor pMOS quindi  $\beta_{neq} = 1/3\beta_n$  e  $\beta_{peq} = 1/2\beta_p$ . Quindi per  $\tau_f$  si deve imporre

$$\tau_f = \frac{2C_L}{\beta_{neq}} \frac{1}{V_{ss} - V_{tn}} \left[ \frac{V_{tn}}{V_{ss} - V_{tn}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tn}) - V_{ol}}{V_{ol}} \right) \right] = \frac{2C_L}{\beta'_n \frac{W}{L}|_{eq}} \frac{1}{V_{ss} - V_{tn}} \left[ \frac{V_{tn}}{V_{ss} - V_{tn}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tn}) - V_{ol}}{V_{ol}} \right) \right]$$

$$\frac{2C_L}{\beta'_n \frac{W}{L}|_{eq}} \frac{1}{V_{ss} - V_{tn}} \left[ \frac{V_{tn}}{V_{ss} - V_{tn}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tn}) - V_{ol}}{V_{ol}} \right) \right] \leq 500 \text{ ps} = \tau_{f \max}$$

$$\frac{2C_L}{\beta'_n \tau_{f \max}} \frac{1}{V_{ss} - V_{tn}} \left[ \frac{V_{tn}}{V_{ss} - V_{tn}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tn}) - V_{ol}}{V_{ol}} \right) \right] \leq \frac{W}{L}|_{eq}$$

Con  $V_{ol} = 10\% V_{ss} = 0,33 \text{ V}$  si ottiene  $(W/L)_{neq} \geq 0,496$  quindi  $(W/L)_n = 3 \times (W/L)_{neq} \geq 1,488 \sim 1,5$ . Un analogo calcolo vale anche per  $\tau_r$

$$\tau_r = \frac{2C_L}{\beta_{peq}} \frac{1}{V_{ss} - V_{tp}} \left[ \frac{V_{tp}}{V_{ss} - V_{tp}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tp}) - (V_{ss} - V_{oh})}{(V_{ss} - V_{oh})} \right) \right]$$

$$\frac{2C_L}{\beta'_p \frac{W}{L}|_{peq}} \frac{1}{V_{ss} - V_{tp}} \left[ \frac{V_{tp}}{V_{ss} - V_{tp}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tp}) - (V_{ss} - V_{oh})}{(V_{ss} - V_{oh})} \right) \right] \leq 500 \text{ ps} = \tau_{r \max}$$

$$\frac{2C_L}{\beta'_p \tau_{r \max}} \frac{1}{V_{ss} - V_{tp}} \left[ \frac{V_{tp}}{V_{ss} - V_{tp}} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_{tp}) - (V_{ss} - V_{oh})}{(V_{ss} - V_{oh})} \right) \right] \leq \frac{W}{L}|_{peq}$$

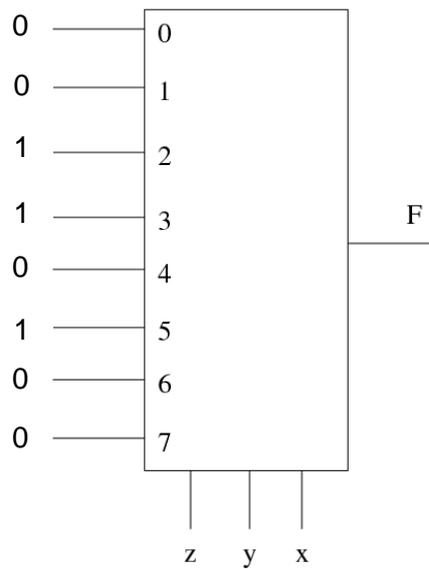
Con  $V_{oh} = 90\% V_{ss} = 2,97 \text{ V}$  si ottiene  $(W/L)_{peq} \geq 0,992$  quindi  $(W/L)_p = 2 \times (W/L)_{peq} \geq 1,984 \sim 2$ .

5. Realizzare la funzione digitale  $F = y\bar{z} + x\bar{y}z$  utilizzando il multiplexer riportato in figura. Indicare inoltre quanti transistor sono necessari se si realizza il MUX usando porte logiche AND e OR, oppure se si realizza il MUX usando transistori nMOS connessi a pass-transistor.

La funzione F corrisponde alla seguente tabella di verità

$z \backslash xy$	00	01	11	10
0	0	1	1	0
1	0	0	0	1

Considerando come sono connessi gli ingressi al MUX, quindi con z il bit più significativo, poi y poi x, gli 1 nella tabella corrispondono ai numeri binari (010)=2 (011)=3 e (101)=5.



Per realizzare il MUX servono 8 AND a 4 ingressi, quindi  $8 \times 10T$  ( $4+4+2$ ) e un OR a 8 ingressi, quindi  $18T$  ( $8+8+2$ ). In totale risultano 98 transistor. Se realizzo il MUX con nMOS a pass-transistor mi servono 3 transistor su ogni ingresso, quindi  $3T \times 8 = 24T$ .

