

Esercizio 1:

Con riferimento al circuito illustrato in Fig. 1 e ai valori assegnati dei parametri si risponda ai seguenti quesiti:

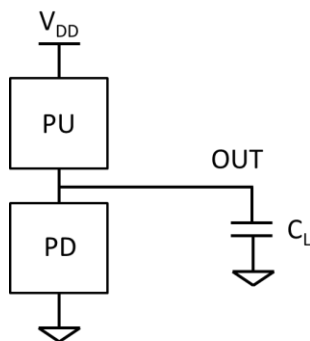
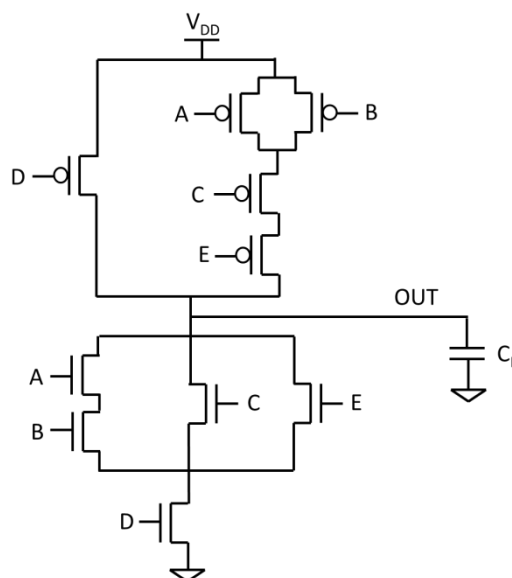


Fig. 1

Parametri del problema
 $V_{DD}=1V; \beta'_n=200\mu A/V^2; \beta'_p=100\mu A/V^2; V_{TN}=0.25V; V_{TP}=-0.25V;$
 $L_{min}=0.09\mu m; C_L=2.3fF;$
 $S_N = 3; S_P = 6;$

1. Si realizzino le reti di *PU* e *PD* della porta *FCMOS* in modo che il circuito realizzi la funzione logica $OUT = \overline{(AB + C + E)D}$.

Possiamo realizzare la funzione richiesta al nodo *OUT* come si mostra in figura:



2. Considerando che tutti i transistori *nMOS* e che tutti i transistori *pMOS* della porta *FCMOS* siano uguali tra loro (con fattore di forma S_N e S_P , rispettivamente), e che i transistori sono esauriti al 90% del valore della escursione massima di tensione, determinare il tempo di salita e di discesa al nodo *OUT* nel caso migliore.

Sotto le ipotesi del problema, i tempi di salita e di discesa al nodo OUT (t_{R_OUT} e t_{F_OUT} , rispettivamente) possono essere calcolati come:

$$t_{R_OUT} = \frac{2C_L}{\beta'_p S_{P_eq}} F_p(V)$$

$$t_{F_OUT} = \frac{2C_L}{\beta'_n S_{N_eq}} F_n(V)$$

Con:

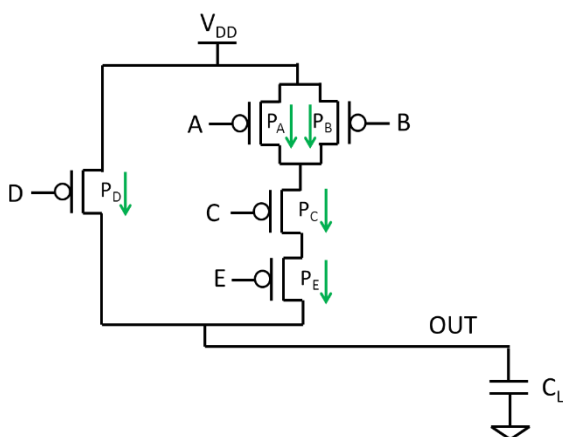
$$F_p(V) = \frac{1}{(V_{DD} + V_{TP})} \left[\frac{V_{TP}}{-V_{DD} - V_{TP}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} + V_{TP}) - (V_{DD} - 0.9V_{DD})}{V_{DD} - 0.9V_{DD}} \right) \right] \cong 2.2 \frac{1}{V}$$

$$F_n(V) = \frac{1}{(V_{DD} - V_{TN})} \left[\frac{V_{TN}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} - V_{TN}) - 0.1V_{DD}}{0.1V_{DD}} \right) \right] \cong 2.2 \frac{1}{V}$$

Per calcolare t_{R_OUT} e t_{F_OUT} **nel caso migliore**, dobbiamo considerare i fattori di forma equivalenti delle reti di pull-up e di pull-down (S_{P_eq} e S_{N_eq}) più elevati possibili, in funzione delle configurazioni degli ingressi.

Per calcolare t_{R_OUT} **nel caso migliore** dobbiamo considerare la S_{P_eq} più alta possibile, che si verifica quando la rete di pull-up carica il nodo OUT avendo tutti i *p*MOS accesi, come si mostra in figura:

In queste condizioni, S_{P_eq} risulta:



$$\frac{1}{S_{P_eq}} = \frac{1}{S_{P_D} + \frac{1}{\frac{1}{S_{P_E}} + \frac{1}{S_{P_C}} + \frac{1}{S_{P_B} + S_{P_A}}}}$$

Quindi ($S_{P_A} = S_{P_B} = S_{P_C} = S_{P_D} = S_{P_E} = S_P$):

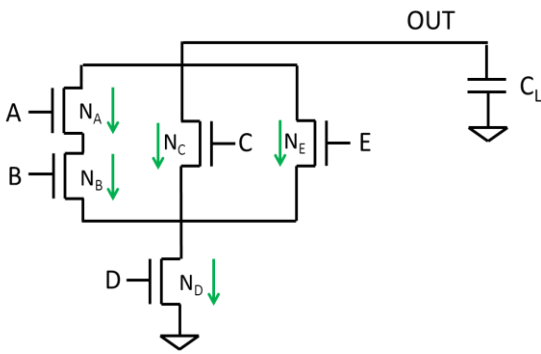
$$S_{P_eq} = S_{P_D} + \frac{1}{\frac{1}{S_{P_E}} + \frac{1}{S_{P_C}} + \frac{1}{S_{P_B} + S_{P_A}}} = S_P + \frac{2}{5} S_P$$

Quindi, risulta: $S_{P_eq} = \frac{7}{5} S_P \cong 8.4$

Pertanto, nel **caso migliore** risulta:

$$t_{R_OUT} = \frac{2 * 2.3 * 10^{-15} F}{100 * 10^{-6} \frac{A}{V^2} * 8.4} 2.2 \frac{1}{V} \cong 12.1 ps$$

Analogamente, per calcolare t_{F_OUT} nel caso migliore dobbiamo considerare la S_{N_eq} più alta possibile, che si verifica quando la rete di pull-down scarica il nodo OUT attraverso tutti gli nMOS, come si mostra in figura:



In queste condizioni, S_{N_eq} si risulta ($S_{N_A} = S_{N_B} = S_{N_C} = S_{N_D} = S_{N_E} = S_N$):

$$\frac{1}{S_{N_eq}} = \frac{1}{S_{N_D}} + \frac{1}{S_{N_E} + S_{N_C} + \frac{1}{\frac{1}{S_{N_A}} + \frac{1}{S_{N_B}}}} = \frac{1}{S_N} + \frac{5}{7} S_N$$

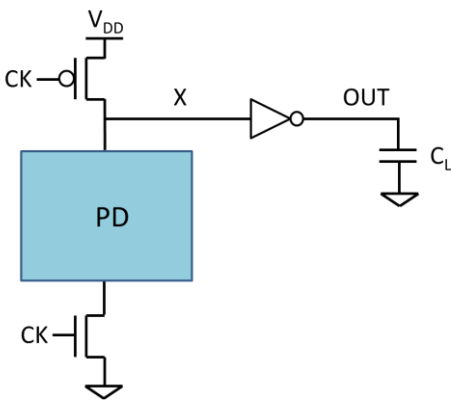
Quindi, risulta:

$$S_{N_eq} = \frac{5}{7} S_N \cong 2.14$$

Pertanto, nel caso migliore risulta:

$$t_{F_OUT} = \frac{2 * 2.3 * 10^{-15} F}{200 * 10^{-6} \frac{A}{V^2} * 2.14} * 2.2 \frac{1}{V} \cong 23.7 ps$$

3. Progettare una porta logica DOMINO che realizzi la stessa funzione OUT al punto 1. A tale scopo, si supponga di avere a disposizione gli ingressi sia in forma vera che negata.

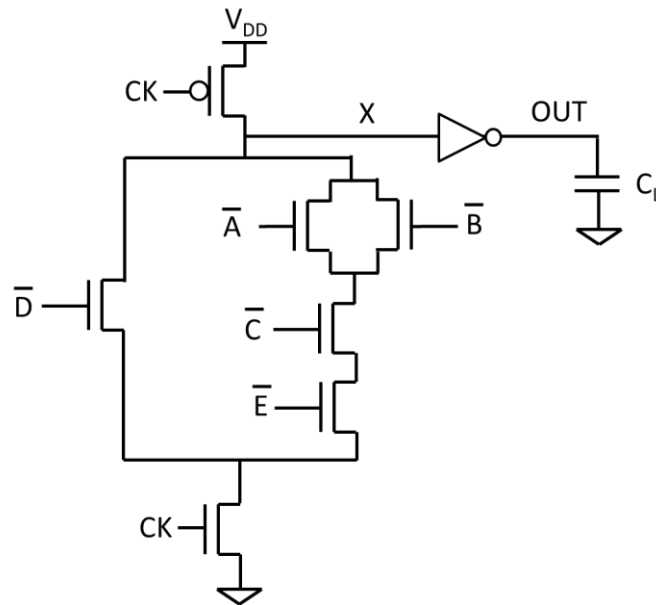


Occorre progettare la rete PD della porta DOMINO mostrata in figura in modo tale da implementare al nodo di uscita OUT la stessa funzione logica al punto 1. Quindi, deve essere $OUT = \overline{(AB + C + E)D}$.

Pertanto, la funzione logica realizzata dal gate dinamico del DOMINO nel nodo X deve essere:

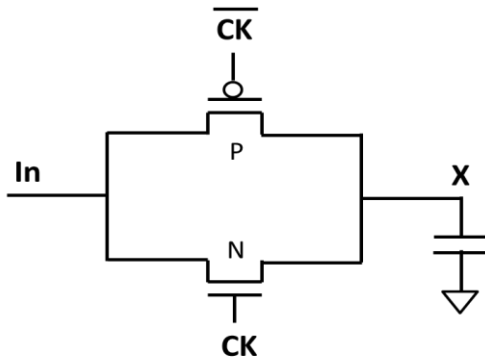
$$X = \overline{OUT} = \overline{\overline{(AB + C + E)D}} = \overline{(AB + C + E) + \overline{D}} = \overline{(AB\overline{C}\overline{E}) + \overline{D}} = \overline{((\overline{A} + \overline{B})\overline{C}\overline{E}) + \overline{D}}$$

Quindi, la porta logica DOMINO che realizza la stessa funzione logica del gate FCMOS al punto 1 risulta quella mostrata in figura:



Esercizio 2:

Con riferimento al circuito illustrato in Fig. 2 e ai valori assegnati dei parametri, si disegni nelle Fig. 3(a) e 3(b) l'andamento delle correnti dei transistor N e P (I_N e I_P rispettivamente) quando la tensione al nodo X (V_X) passa da $V_X=0$ a $V_X=V_{DD}$, per il caso in cui $V_{in}=V_{CK}=V_{DD}=1V$. Indicare nella figura i valori di I_N e I_P per $V_X=0$ e $V_X=V_{DD}$.



Parametri del problema

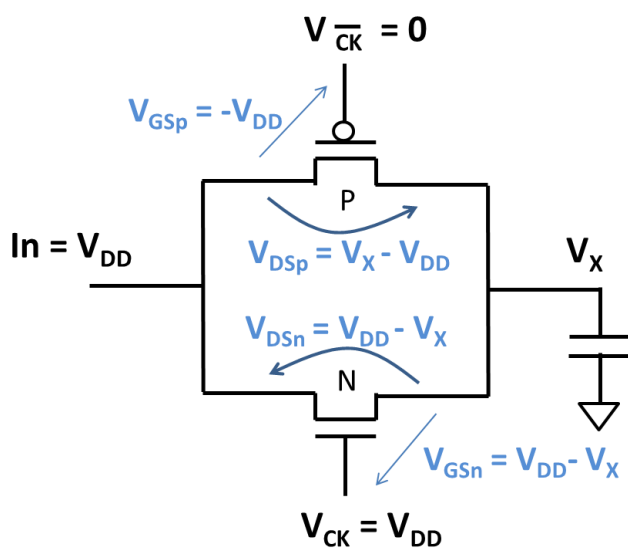
$V_{DD}=1V; \beta'_n=200\mu A/V^2; \beta'_p=100\mu A/V^2;$

$V_{TN}=0.25V; V_{TP}=-0.25V; L_{min}=0.09\mu m;$

$S_{N1} = 1; S_P = 2$

Fig. 2

Prima, identifichiamo le espressioni delle tensioni V_{GS} e V_{DS} dei transistor P e N in funzione di V_X , per il caso in cui $V_{in}=V_{CK}=V_{DD}=1$. Tali tensioni si illustrano nella seguente figura:



Quindi, risulta:

Per N:

$V_{GS_N} = V_{CK} - V_X = V_{DD} - V_X$

$V_{DS_N} = V_{in} - V_X = V_{DD} - V_X$

Per P:

$V_{GS_P} = V_{\overline{CK}} - V_{DD} = -V_{DD}$

$V_{DS_P} = V_X - V_{in} = V_X - V_{DD}$

Di seguito, identifichiamo le regioni di funzionamento dei transistor nell'intervallo $0 \leq V_X \leq V_{DD}$. Quindi, sostituiamo le espressioni di V_{DS} e V_{GS} di N e P nelle condizioni che determinano le loro diverse regioni di funzionamento:

Analizziamo per primo il transistor N:

N è spento se:

$$V_{GS_N} \leq V_{TN} \rightarrow V_{DD} - V_X \leq V_{TN} \rightarrow V_X \geq V_{DD} - V_{TN} = 0.75V$$

Quindi, **N è spento nell'intervallo $0.75V \leq V_X \leq 1V$.**

Di conseguenza, nell'intervallo $V_{DD} - V_{TN} \leq V_X \leq V_{DD}$ ($0.75V \leq V_X \leq 1V$) risulta:

$$I_N = 0$$

Da un'altra parte, **N** si trova in **regione di saturazione** se:

$$V_{DS_N} \geq V_{GS_N} - V_{TN} \rightarrow V_{DD} - V_X \geq V_{DD} - V_X - V_{TN} \rightarrow 0 \geq -V_{TN} = -0.25V$$

Condizione che è **sempre vera** (infatti risulta sempre $V_{GD}=0V$). Pertanto, **quando N è in conduzione** (se $V_X < 0.75V$), si trova **sempre in regione di saturazione**.

Pertanto, nell'intervallo $0 \leq V_X < V_{DD} - V_{TN}$ ($0V \leq V_X \leq 0.75V$) risulta:

$$I_N = \frac{\beta'_n S_N}{2} (V_{GS_N} - V_{TN})^2 = \frac{\beta'_n S_N}{2} (V_{DD} - V_X - V_{TN})^2$$

Sviluppando il quadrato del binomio risulta:

$$I_N = \frac{\beta'_n S_N}{2} [V_X^2 - 2V_X(V_{DD} - V_{TN}) - (V_{DD} - V_{TN})^2] \quad (1)$$

Di conseguenza, nell'intervallo $0 \leq V_X < V_{DD} - V_{TN}$ la corrente I_N presenta un andamento parabolico in funzione di V_X . In questo caso, il termine di V_X elevato al quadrato è positivo, quindi anche la parabola dell'andamento di I_N sarà positiva.

L'andamento della corrente I_N in funzione di V_X ($0 \leq V_X < V_{DD}$) è mostrato nella seguente figura:

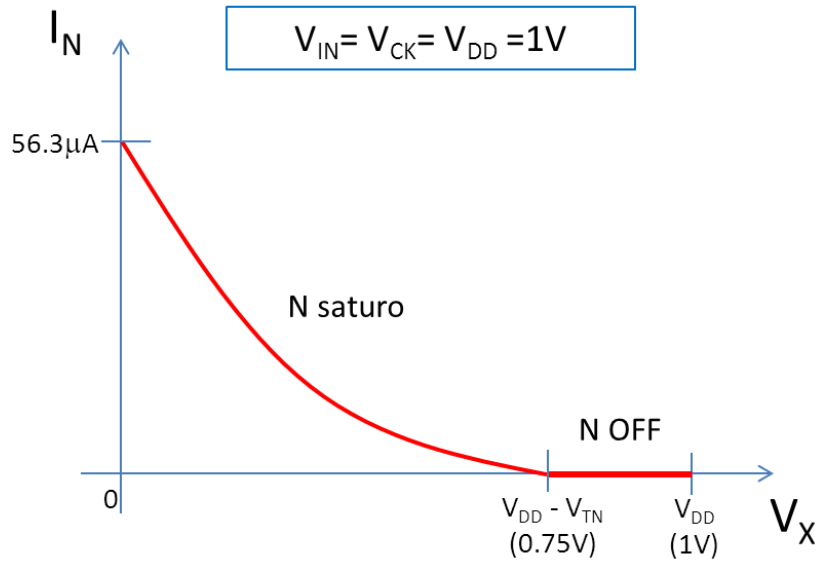


Fig. 3 (a)

Di seguito, indentifichiamo i valori di I_N per $V_X = 0$ e per $V_X = V_{DD}$.

Come mostrato in precedenza, nell'intervallo $V_{DD} - V_{TN} \leq V_X \leq V_{DD}$ risulta $I_N = 0$. Quindi, per $V_X = V_{DD}$ risulta:

$$I_N(V_X = V_{DD}) = 0$$

Da un'altra parte, nell'intervallo $0 \leq V_X < V_{DD} - V_{TN}$, N si trova in regione di saturazione. Quindi, per determinare il valore della corrente I_N per $V_X = 0$, semplicemente sostituiamo $V_X = 0$ nella espressione di I_N in (1):

$$I_N(V_X = 0) = \frac{\beta'_n S_N}{2} (V_{DD} - V_{TN})^2 = \frac{200 \times 10^{-6} \frac{\text{A}}{\text{V}^2} * 1}{2} (0.75\text{V})^2 = 56.3 \mu\text{A}$$

Analizziamo ora il transistor P:

P è **accesso** se:

$$V_{GS_P} \leq V_{TP} \rightarrow -V_{DD} \leq V_{TP} \rightarrow -1\text{V} \leq -0.25\text{V}$$

Condizione che è **sempre vera** (infatti risulta sempre $V_{GS} = -V_{DD}$). Pertanto, **nell'intervallo** $0 \leq V_X \leq V_{DD}$, il transistor **P** è **sempre accesso**.

P si trova in **regione di saturazione** se:

$$V_{DS_P} \leq V_{GS_P} - V_{TP} \rightarrow V_X - V_{DD} \leq -V_{DD} - V_{TP} \rightarrow V_X \leq -V_{TP} = \mathbf{0.25V}$$

Pertanto, nell'intervallo $0 \leq V_X \leq -V_{TP}$ ($0 \leq V_X \leq 0.25V$) risulta:

$$I_P = \frac{\beta'_p S_P}{2} (V_{GS_P} - V_{TP})^2 = \frac{\beta'_p S_P}{2} (-V_{DD} - V_{TP})^2 = \text{costante}$$

La quale risulta:

$$I_P = \frac{100 \times 10^{-6} \frac{A}{V^2} * 2}{2} (-0.75V)^2 = 56.3\mu A$$

D'altra parte, **P** si trova in **regione lineare** se:

$$V_{DS_P} > V_{GS_P} - V_{TP} \rightarrow V_X - V_{DD} > -V_{DD} - V_{TP} \rightarrow V_X > -V_{TP} = \mathbf{0.25V}$$

Quindi, nell'intervallo $-V_{TP} < V_X \leq V_{DD}$ ($0.25V < V_X \leq 1V$) risulta:

$$I_P = \frac{\beta'_p S_P}{2} [2(V_{GS_P} - V_{TP})V_{DS_P} - V_{DS_P}^2] = \frac{\beta'_p S_P}{2} [2(-V_{DD} - V_{TP})(V_X - V_{DD}) - (V_X - V_{DD})^2]$$

Sviluppando il quadrato del binomio risulta:

$$I_P = \frac{\beta'_p S_P}{2} [-2(V_{DD} + V_{TP})V_X + 2(V_{DD} + V_{TP})V_{DD} - V_{DD}^2 + 2V_{DD}V_X - V_X^2]$$

Raggruppando i termini di V_X risulta:

$$I_P = \frac{\beta'_p S_P}{2} [2(V_{DD} + V_{TP})V_{DD} + V_{DD}^2 - 2V_{TP}V_X - V_X^2] \quad (2)$$

Pertanto, nell'intervallo $-V_{TP} \leq V_X < V_{DD}$ la corrente I_P presenta un andamento parabolico in funzione di V_X . In questo caso, il termine di V_X elevato al quadrato è negativo, quindi la parabola avrà la concavità rivolta verso il basso.

L'andamento della corrente I_P in funzione di V_X ($0 \leq V_X < V_{DD}$) è mostrato nella seguente figura:

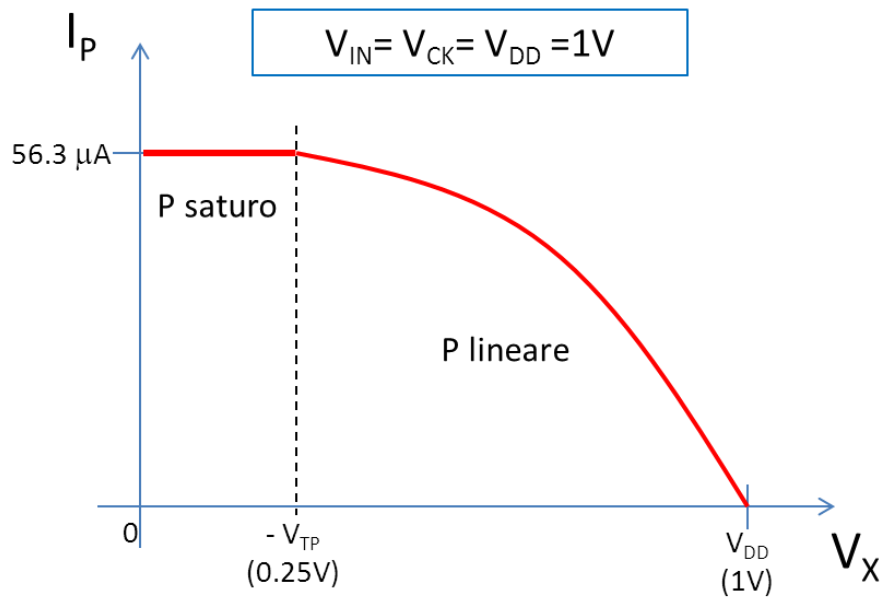


Fig. 3 (b)

Come mostrato in precedenza, nell'intervallo $0 \leq V_X \leq -V_{TP}$ P si trova in regione di saturazione, con $I_P = cte = 56.3 \mu A$. Quindi, per $V_X = 0$ risulta:

$$I_P(V_X = 0) = 56.3 \mu A$$

Da un'altra parte, nell'intervallo $-V_{TP} < V_X < V_{DD}$, P si trova in regione lineare. Inoltre, per $V_X = V_{DD} = V_{in}$ la corrente attraverso P sarà nulla (visto che risulta $V_{DS} = 0$), quindi:

$$I_P(V_X = V_{DD}) = 0$$