

Esercizio 1:

Con riferimento al circuito illustrato in Fig. 1 e ai valori assegnati dei parametri si risponda ai seguenti quesiti:

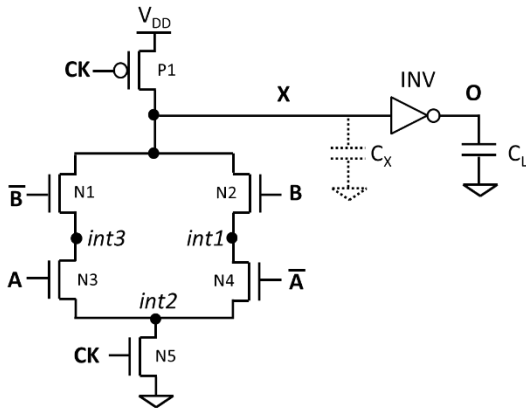


Fig. 1

Parametri del problema

$$V_{DD}=1V; \beta'_n=200\mu A/V^2; \beta'_p=100\mu A/V^2; V_{TN}=0.25V; \\ V_{TP}=-0.25V; L_{min}=0.09\mu m; C_{OX}=23fF/\mu m^2$$

$$S_{n_INV} = 4; S_{p_INV} = 8;$$

$$S_{N1} = S_{N2} = S_{N3} = S_{N4} = S_{N5} = S_N = 6; S_{P1} = 4;$$

1. Determinare la funzione logica realizzata all'uscita O, e identificare la famiglia logica di appartenenza del circuito in Fig. 1.

Gate Domino. Funzione realizzata al nodo $O = (A\bar{B}) + (B\bar{A}) \rightarrow O = \text{XOR}(A,B)$

2. Calcolare il valore massimo di C_L affinché il tempo di salita e di discesa al nodo O nel caso peggiore sia inferiore a 80ps. A tal fine si considerino i transistori esauriti al 90% del valore della escursione di tensione.

Il tempo di salita e di discesa al nodo O è dato da:

$$t_{R,O} = t_{R_INV} + t_{F_X} \leq 80ps \quad (1)$$

$$t_{F,O} = t_{F_INV} + t_{R_X} \leq 80ps \quad (2)$$

Dai dati del problema sappiamo il dimensionamento dei transistor dell'invertitore, quindi possiamo derivare la capacità al nodo X (C_X):

$$C_X = C_{OX}(S_{n_INV} + S_{p_INV})L_{min}^2 = 23 \times 10^{-15} \frac{F}{\mu m^2} (4 + 8)(0.09\mu m)^2 \cong 2.24fF$$

Inoltre, sappiamo il dimensionamento dei transistor del gate dinamico. Quindi, possiamo calcolare i tempi di salita e di discesa al nodo X come:

$$t_{F_X} = \frac{2C_X}{\beta'_n S_{n_din_eq}} F_n(V); \quad t_{R_X} = \frac{2C_X}{\beta'_p S_{p1}} F_p(V)$$

Dove:

$$F_n(V) = F_p(V) = \frac{1}{(V_{DD} + V_{TP})} \left[\frac{V_{TP}}{-V_{DD} - V_{TP}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} + V_{TP}) - (V_{DD} - 0.9V_{DD})}{V_{DD} - 0.9V_{DD}} \right) \right] \cong 2.2 \frac{1}{V}$$

Per il calcolo di t_{F_X} dobbiamo prima determinare il valore di $S_{n_din_eq}$.

Sappiamo che il tempo di salita al nodo O deve essere inferiore a 80ps **nel caso peggiore**. Quindi, calcoliamo t_{F_X} per il caso peggiore delle configurazioni degli ingressi, che si verifica quando X viene scaricato verso massa attraverso una serie di 3 nMOS (N2-N3-N5 quando B=1; A=0 e CK=1; oppure N1-N3-N5, quando B=0; A=1 e CK=1).

Quindi, nel caso peggiore, abbiamo una $S_{n_din_eq}$ per la rete di pull-down del gate dinamico ($S_{N1} = S_{N2} = S_{N4} = S_{N5} = S_N$) pari a: $S_{n_din_eq} = \frac{1}{\frac{1}{S_N} + \frac{1}{S_N} + \frac{1}{S_N}} = \frac{S_N}{3} = 2$

Pertanto risulta:

$$t_{F_X} = \frac{2C_X}{\beta'_n S_{n_din_eq}} F_n(V) = \frac{6C_X}{\beta'_n S_N} F_n(V) = \frac{6 * 2.24 * 10^{-15} F}{200 * 10^{-6} \frac{A}{V^2} * 6} 2.2 \frac{1}{V} \cong 24.6ps$$

Per il calcolo di t_{R_X} consideriamo il dimensionamento del pMOS P1 (S_{P1}), che precarica il nodo X quando CK commuta da 1 a 0:

$$t_{R_X} = \frac{2C_X}{\beta'_p S_{P1}} F_p(V) = \frac{2 * 2.24 * 10^{-15} F}{100 * 10^{-6} \frac{A}{V^2} * 4} 2.2 \frac{1}{V} \cong 24.6ps$$

Quindi, il gate dinamico risulta simmetrico nel caso peggiore.

A questo punto possiamo derivare i tempi di salita (t_{R_INV}) e di discesa (t_{F_INV}) dell'invertitore dalle equazioni (1) e (2), rispettivamente (per il caso peggiore in cui $t_{R_O}=80ps$ e $t_{F_O}=80ps$):

$$t_{R_INV} = t_{R_O} - t_{F_X} = 80ps - 24.6ps = 55.4ps$$

$$t_{F_INV} = t_{F_O} - t_{R_X} = 80ps - 24.6ps = 55.4ps$$

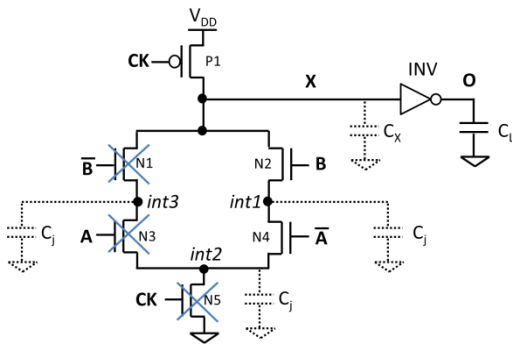
Quindi, anche l'invertitore deve essere simmetrico.

A questo punto, il valore di C_L può essere determinato usando la espressione del tempo di salita o del tempo di discesa dell'invertitore. Quindi:

$$C_L = \frac{t_{R_INV} \beta'_p S_{p_INV}}{2F_p(V)} = \frac{55.4 * 10^{-12} s * 100 * 10^{-6} \frac{A}{V^2} * 8}{2 * 2.2 \frac{1}{V}} \cong 10fF$$

3. Supponendo che ai nodi interni *int1*, *int2* e *int3* del circuito in Fig. 1 siano presenti delle capacità parassite (collegate tra il nodo interno considerato e massa) di valore $C_j=0.5fF$. In seguito alla commutazione del CK da V_{DD} a 0, con $B=V_{DD}$ e $A=0$:

a. Determinare il valore finale delle tensione sui nodi *int1*, *int2*, *X* e sull'uscita *O*.



In seguito alla commutazione del CK da V_{DD} a 0, si spegne N5 e si accende P1, quindi inizia la fase di precarica del nodo X. Inoltre, $B=V_{DD}$, quindi N1 è spento e N2 è acceso; e $A=0$, quindi N3 è spento e N4 acceso.

Quindi, il valori finale delle tensione V_{int1} , V_{int2} , V_X e V_O in seguito alla commutazione del CK da V_{DD} a 0 risultano:

$$V_X = V_{DD} = 1V; \quad V_O = 0V; \quad V_{int1} = V_{int2} = V_{DD} - V_{TN} = 0.75V$$

b. Calcolare l'energia dinamica assorbita dall'alimentazione in seguito alla sola commutazione del CK da V_{DD} a 0 (con $B=V_{DD}$ e $A=0$). A tale scopo si considerino anche le capacità associate ai nodi interni *int1*, *int2*. [NB: si ricordi che l'energia assorbita dall'alimentazione in una transizione dipende dalla corrente erogata dal generatore durante quella transizione].

In seguito alla commutazione del CK da V_{DD} a 0 inizia la fase di precarica del nodo X. Durante tale fase, la capacità al nodo X C_X viene caricata a V_{DD} , come visto al punto precedente.

Inoltre, come visto prima, durante questa fase $B=V_{DD}$ e $A=0$. Quindi, N2 e N4 accessi e le capacità parassite ai nodi *int1* e *int2* (C_j in entrambi i nodi) vengono caricate ad una tensione $V_{int1} = V_{int2} = V_{DD} - V_{TN}$.

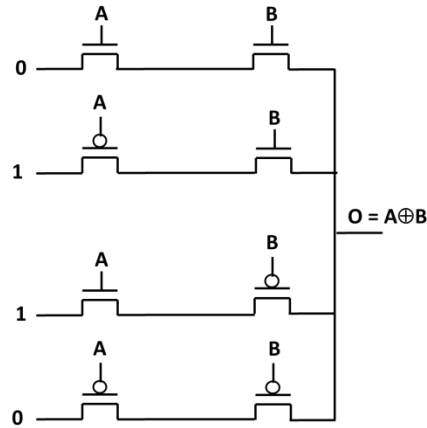
Durante la fase di precarica del nodo X, la capacità d'uscita al nodo O viene scaricata a 0 V. Questa operazione non comporta una dissipazione di energia da parte dell'alimentazione perché non richiede che l'alimentazione eroghi corrente. L'energia era stata ovviamente erogata nella fase precedente a quella indicata, cioè quella in cui il nodo O era stato caricato a V_{DD} dall'invertitore.

Quindi, in seguito alla commutazione del CK da V_{DD} a 0, con gli ingressi $B=V_{DD}$ e $A=0$, l'energia assorbita dall'alimentazione dal circuito in Fig. 1 risulta:

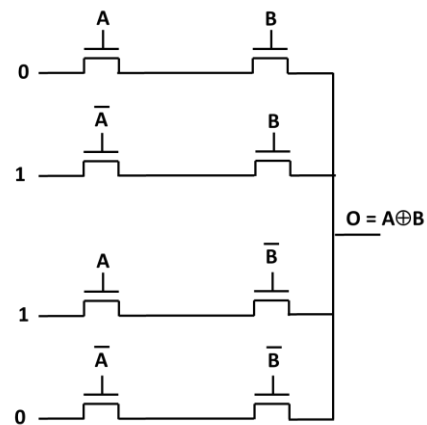
$$E_{ass} = C_X V_{DD}^2 + 2C_j V_{DD} (V_{DD} - V_{TN}) = 2.24 \times 10^{-15} F * 1V^2 + 2 * 0.5 \times 10^{-15} F * 1V * 0.75V \cong 3fJ$$

4. Progettare una porta logica a pass-transistor che realizzi la stessa funzione logica del circuito in Fig. 1.

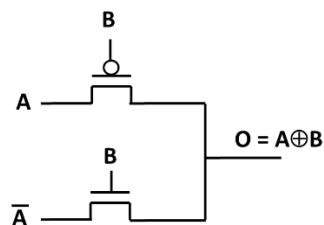
La funzione logica XOR mediante una porta logica a pass-transistor può essere implementata da diverse forme. Ad esempio, la forma più diretta sarebbe:



Oppure la soluzione che sostituisce i transistori pMOS dello schema di sopra con nMOS comandati da un segnale negato rispetto a quello indicato:



Una soluzione alternativa con minor occupazione d'area sarebbe:



Altre forme di implementare la funzione XOR con logica a pass-transistor risultano ugualmente valide.

Esercizio 2:

Con riferimento al circuito illustrato in Fig. 2 e ai valori assegnati dei parametri si risponda ai seguenti quesiti:

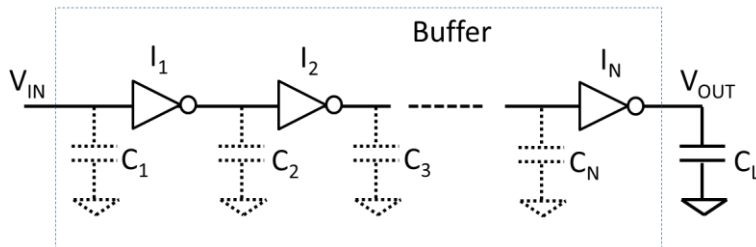


Fig. 2

Parametri del problema

$V_{DD}=1V$; $\beta'_n=200\mu A/V^2$;
 $\beta'_p=100\mu A/V^2$; $V_{TN}=0.25V$;
 $V_{TP}=-0.25V$; $L_{min}=0.09\mu m$;
 $C_{ox}=23fF/\mu m^2$, $C_L=60fF$

1. Determinare il numero N e il fattore di forma (S_{ni} e S_{pi}) degli invertitori I_i ($i=1..N$) costituenti il buffer che minimizzano il ritardo complessivo tra V_{IN} e V_{OUT} . A tale fine si consideri:

- tutti gli invertitori I_i ($i=1..N$) del buffer simmetrici;
- il primo stadi del buffer I_1 dimensionato ad area minima ($S_{n1}=1$; $S_{p1}=2$);
- il buffer da V_{IN} a V_{OUT} non invertente.

Per minimizzare il ritardo complessivo tra ingresso-uscita (V_{IN} e V_{OUT}) del buffer, devo determinare il numero di stadi di invertitori N del buffer in modo tale da avere un fattore di guadagno G il più vicino possibile al numero di Nepero "e".

Quindi, inizialmente assumiamo $G=e \rightarrow$ troviamo il numero $N_{G=e}$ (anche non intero) con il quale avremmo esattamente $G=e$:

$$N_{G=e} = \ln\left(\frac{C_L}{C_1}\right)$$

Per fare questo dobbiamo calcolare la capacità d'ingresso del buffer C_1 (capacità di gate del invertitore I_1) e la capacità:

$$C_1 = C_{ox}(S_{n1} + S_{p1})L_{min}^2 = 23 \times 10^{-15} \frac{F}{\mu m^2} (3)(0.09\mu m)^2 \cong 0.56fF$$

Pertanto risulta:

$$N_{G=e} = \ln\left(\frac{C_L}{C_1}\right) = \ln\left(\frac{60fF}{0.56fF}\right) \cong 4.68$$

Quindi, il numero intero di stadi del buffer più vicino a $N_{G=e}$ sarebbe 5. Tuttavia, il punto c) del problema chiede esplicitamente che il buffer da V_{IN} a V_{OUT} sia non invertente. Di conseguenza, il

numero di stadi N deve essere intero e pari. Quindi, scegliamo $N=4$, che risulta il numero pari più vicino a $N_{G=e}$.

A questo punto, per dimensionare i transistor degli invertitori del buffer, ricalcoliamo G per $N=4$ stadi. Quindi:

$$G = \sqrt[4]{\frac{C_L}{C_1}} \cong 3.22$$

Inoltre, dal punto b) del problema sappiamo che il primo invertitore del buffer è ad area minima ($S_{n1}=1$; $S_{p1}=2$). Quindi possiamo dimensionare gli altri stadi del buffer. Quindi sarà:

- Per I_2 : $S_{n2} = G S_{n1} = \mathbf{3.22}$; $S_{p2} = G S_{p1} = \mathbf{6.44}$
- Per I_3 : $S_{n3} = G^2 S_{n1} = \mathbf{10.36}$; $S_{p3} = G^2 S_{p1} = \mathbf{20.72}$
- Per I_4 : $S_{n4} = G^3 S_{n1} = \mathbf{33.34}$; $S_{p4} = G^3 S_{p1} = \mathbf{66.68}$

2. Calcolare il ritardo di propagazione complessivo tra V_{IN} e V_{OUT} , considerando le transizioni di salita e di discesa esaurite al 50% dell'escursione di tensione.

Il ritardo di propagazione di ogni stadio del buffer (I_i , $i=1..4$) è pari a $G=3.22$ volte il ritardo (τ_0) di un invertitore di logica (a dimensioni minime), nel caso questo sia caricato con una capacità pari alla capacità d'ingresso del buffer. La capacità d'ingresso del buffer C_1 corrisponde alla capacità di gate di un invertitore a dimensioni minime. Pertanto:

$$\tau_0 = \frac{2C_1}{\beta'_n S_n} F_n(V) = \frac{2C_{OX}(3S_n)L_{min}^2}{\beta'_n S_n} F_n(V) = \frac{6C_{OX}L_{min}^2}{\beta'_n} F_n(V)$$

Calcoliamo $F_n(V)$ considerando che si chiedono **transizioni esaurite al 50%** dell'escursione di tensione. Quindi, nel caso di un transistor di discesa avremo la transizione esaurita quando la tensione del nodo raggiunge il valore $V_{DD}/2$. Pertanto:

$$F_n(V) = \frac{1}{(V_{DD} - V_{TN})} \left[\frac{V_{TN}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} - V_{TN}) - 0.5V_{DD}}{0.5V_{DD}} \right) \right] \cong 0.91 \frac{1}{V}$$

Quindi:

$$\tau_0 = \frac{6 * 3.45 * 10^{-15} \frac{F}{\mu m^2} * (0.09 \mu m)^2}{200 * 10^{-6} \frac{A}{V^2}} * 0.91 \frac{1}{V} \cong 5.1 ps$$

Pertanto, il ritardo di propagazione complessivo del buffer tra V_{IN} e V_{OUT} risulta:

$$\tau_{Buffer} = NG\tau_0 = 4 * 3.22 * 5.1ps \cong 65.3ps$$

3. Calcolare l'area totale di gate occupata dal buffer.

L'area totale di gate occupata dal buffer è data dall'area di gate dei quattro invertitori I_i ($i=1..4$) che lo compongono:

$$A_{Buffer} = L_{min}^2 \sum_{i=1}^{N=4} (S_{ni} + S_{pi}) = 3L_{min}^2 \sum_{i=1}^{N=4} S_{ni} = 3L_{min}^2 S_{n1} \sum_{i=1}^{N=4} G^{i-1}$$

Pertanto:

$$A_{Buffer} = 3L_{min}^2 S_{n1} (1 + G + G^2 + G^3) \cong 1.16\mu m^2$$