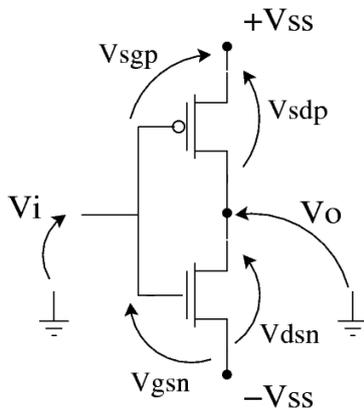


## Soluzione della prova di Elettronica T-A — 12 giugno 2014

1. Ipotizzando di conoscere il valore di  $V_{ss}$ ,  $\beta_n$ ,  $\beta_p$ ,  $V_{tn}$  e  $V_{tp}$ , tracciare l'andamento della tensione di uscita  $V_o$  in funzione della tensione di ingresso  $V_i$  [quindi  $V_o(V_i)$ ], dividendola in regioni corrispondenti alle regioni di funzionamento dei transistori. Notare che in questo schema  $V_i$  e  $V_o \in [-V_{ss}, +V_{ss}]$ . Scrivere inoltre l'espressione della tensione  $\tilde{V}_i$  per cui entrambi i transistori sono in saturazione.



In circuito è simile a un invertitore CMOS standard, con la sola differenza di avere  $-V_{ss}$  al posto della massa sul source dell'nMOS. Le equazioni costitutive risultano essere:

$$(1) -V_{ss} + V_{gsn} = V_i \rightarrow V_{gsn} = V_i + V_{ss}$$

$$(2) -V_{ss} + V_{dsn} = V_o \rightarrow V_{dsn} = V_o + V_{ss}$$

$$(3) V_o + V_{sdp} = V_{ss} \rightarrow V_{sdp} = V_{ss} - V_o$$

$$(4) V_i + V_{sgp} = V_{ss} \rightarrow V_{sgp} = V_{ss} - V_i$$

$$(5) I_{dsn} = I_{sdp}$$

Queste equazioni serviranno per determinare le regioni di funzionamento dei transistori.

Il Transistor nMOS è spento quando  $V_{gsn} \leq V_{tn}$  quindi  $V_i + V_{ss} \leq V_{tn} \rightarrow V_i \leq -V_{ss} + V_{tn}$ . E' poi in regione di saturazione quando  $V_{gsn} - V_{tn} \leq V_{dsn}$  quindi  $V_i + V_{ss} - V_{tn} \leq V_o + V_{ss}$ .  $V_{ss}$  si semplifica e rimane  $V_o \geq V_i - V_{tn}$ .

Il transistor pMOS si comporta in maniera identica al caso di un invertitore standard. Quindi il PMOS è spento per  $V_{sgp} \leq V_{tp} \rightarrow V_i \geq V_{ss} - V_{tp}$ . Quando acceso, è in regione di saturazione quando  $V_{sgp} - V_{tp} \leq V_{sdp} \rightarrow V_{ss} - V_i - V_{tp} \leq V_{ss} - V_o \rightarrow V_o \leq V_i + V_{tp}$ .

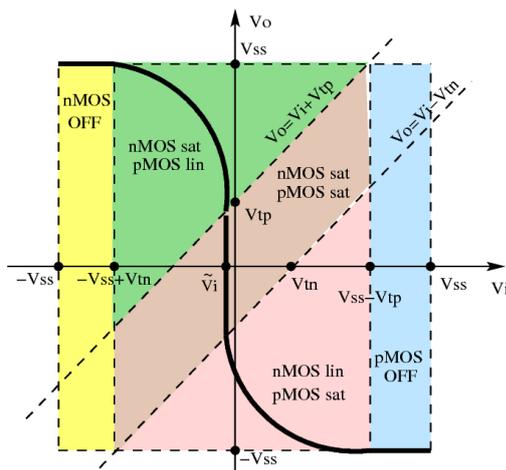
La  $\tilde{V}_i$  si calcola uguagliando le correnti dei transistori in regione di saturazione  $I_{dsn} = I_{sdp}$ . Svolgendo i passaggi si ottiene:

$$I_{dsn} = \frac{\beta_n}{2} (V_{gsn} - V_{tn})^2 = \frac{\beta_n}{2} (V_i + V_{ss} - V_{tn})^2$$

$$I_{sdp} = \frac{\beta_p}{2} (V_{sgp} - V_{tp})^2 = \frac{\beta_p}{2} (V_{ss} - V_i - V_{tp})^2$$

$$\rightarrow \tilde{V}_i = \frac{V_{ss} \left( 1 - \sqrt{\frac{\beta_n}{\beta_p}} \right) - V_{tp} + V_{tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

La  $\tilde{V}_i$  risulta positiva o negativa a seconda dei valori di  $\beta_n$ ,  $\beta_p$ ,  $V_{tn}$  e  $V_{tp}$ . Diventa nulla se i parametri dei due transistor sono uguali. Quindi il grafico della caratteristica statica risulta essere (avendo ipotizzato  $V_{tp} > V_{tn}$ ):



Quando l'nMOS è spento  $I_{dsn} = I_{sdp} = 0$  quindi  $V_{sdp} = 0$  visto che in regione lineare l'unico punto in cui la caratteristica  $I_{sdp}(V_{sdp})$  è nulla, è per  $V_{sdp} = 0$ . Quindi dall'eq. (3) risulta  $V_o = V_{ss}$ .

Quando il pMOS è spento per lo stesso ragionamento deve essere  $V_{dsn} = 0$ . Dalla equazione (2) risulta quindi  $V_o = -V_{ss}$ .

Per trovare la  $V_o(V_i)$  nelle altre due regioni bisogna uguagliare le correnti, che saranno una di saturazione e una lineare a seconda che ci si trovi nella zona verde o rosa della figura.

2. Calcolare l'espressione **minima SP** della funzione  $F$ , e realizzarla in logica dinamica.

$$F = [b \uparrow c \uparrow (\bar{a} \uparrow \bar{d})] \uparrow \bar{d} \uparrow [(a \uparrow \bar{b}) \uparrow a] \uparrow (a \uparrow b \uparrow \bar{c})$$

Trasformando l'espressione a NAND si ottiene  $F = [bc(a+d)] + \bar{d}[a\bar{b} + \bar{a}] + (abc) = F = abc + bcd + \bar{a}\bar{b}\bar{d} + \bar{a}\bar{d} + abc$ .

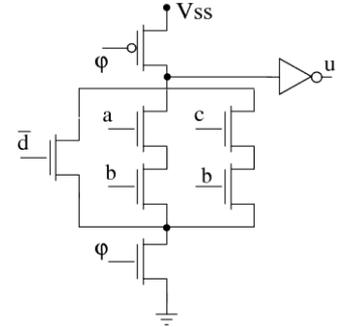
Inserendo gli uni corrispondenti a questa espressione in una mappa di Karnaugh

ab\cd	00	01	11	10
00	1	0	0	1
01	1	0	1	1
11	1	1	1	1
10	1	0	0	1

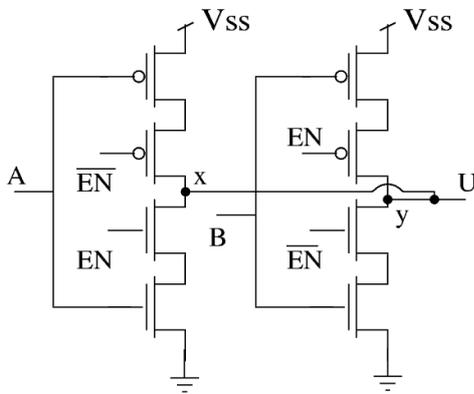
Raggruppando a forma minima si ottiene

$$F = bc + ab + \bar{d}$$

Quindi la realizzazione in logica dinamica è riportata qui a fianco



3. Considerare il circuito in figura. Calcolare l'espressione **minima SP** per  $U$ , funzione di  $A$ ,  $B$  ed  $EN$ . Il circuito sfrutta l'idea di mandare in alta impedenza  $X$  e  $Y$  in maniera separata a seconda del valore di  $EN$ .  $X$  e  $Y$  non sono mai in alta impedenza contemporaneamente. In questo modo l'uscita  $U$  non risulta mai in alta impedenza.



Con  $EN=1$  il nodo  $Y$  è in alta impedenza mentre  $X = \bar{A}$ .

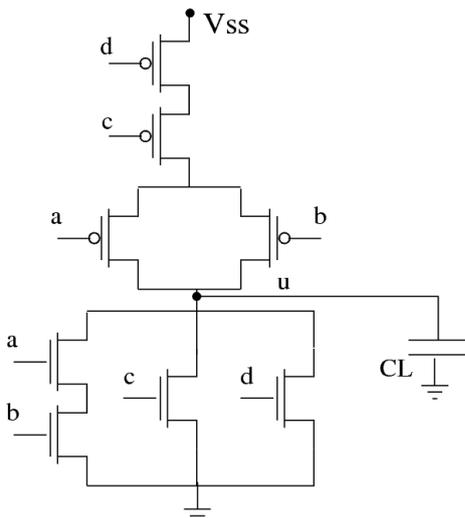
Con  $EN=0$  il nodo  $X$  è in alta impedenza mentre  $Y = \bar{B}$ .

Possiamo riempire la tabella seguendo queste relazioni

EN\AB	00	01	11	10
0	1	0	0	1
1	1	1	0	0

$$U = EN \cdot \bar{A} + \bar{EN} \cdot \bar{B}$$

4. Realizzare la funzione  $F = \bar{d} + ab + c$  in logica Fully CMOS. Considerando di avere  $V_{ss}=1V$ ,  $V_{tn}=V_{tp}=0.2V$ ,  $\beta'_n=60mA/V^2$  e  $\beta'_p=20mA/V^2$ , e  $(W/L)_n=1$  calcolare quanto deve essere  $(W/L)_p$  per avere nel caso peggiore  $\tau_r = \tau_f$  (determinati considerando il 90% e 10% di  $V_{ss}$ ).



Nel caso peggiore la scarica del condensatore avviene attraverso 2 transistor nMOS quindi nella formula di  $\tau_f$  si dovrà usare  $\beta_{eqn} = (1/2)\beta_n$ . La carica avviene invece attraverso 3 transistor pMOS quindi nella formula di  $\tau_r$  si dovrà usare  $\beta_{eqp} = (1/3)\beta_p$ . Visto che la soglia dei due transistor è uguale e la variazione di tensione Per avere  $\tau_r = \tau_f$  deve essere  $\beta_{eqn} = \beta_{eqp}$  quindi  $(1/3)\beta_p = (1/2)\beta_n$ . Quindi  $\beta_p = 3/2\beta_n$ . Sapendo che  $\beta_n = \beta'_n(W/L)_n$  e  $\beta_p = \beta'_p(W/L)_p$  si ottiene:

$$\left(\frac{W}{L}\right)_p = \frac{3}{2} \left(\frac{W}{L}\right)_n \frac{\beta'_n}{\beta'_p} = \frac{3}{2} \left(\frac{W}{L}\right)_n = 4,5 \left(\frac{W}{L}\right)_n$$

Determinare inoltre il valore massimo che la capacità di carico in uscita  $C_L$  può assumere affinché nel caso peggiore  $\tau_f \leq 1$  ps.

Il valore massimo di  $C_L$  si calcola ricordando che

$$\tau_f = \frac{2C_L}{\beta_{eqn}} \frac{1}{V_{ss} - V_m} \left[ \frac{V_m}{V_{ss} - V_m} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_m) - V_{ol}}{V_{ol}} \right) \right] \text{ con } V_{ol} = 10\% V_{ss} = 0,1 \text{ V e } \beta_{eqn} = 30 \text{ mA/V}^2.$$

$$C_L = (\beta_{eqn} \tau_f / 2) / \left\{ \frac{1}{V_{ss} - V_m} \left[ \frac{V_m}{V_{ss} - V_m} + \frac{1}{2} \log \left( \frac{2(V_{ss} - V_m) - V_{ol}}{V_{ol}} \right) \right] \right\} = 7.48 \text{ fF}$$

5. Calcolare il valore che deve assumere la capacità  $C_s$  di una cella DRAM affinché la  $\Delta V$  letta sulla bitline BL sia  $\pm 150$  mV se  $V_{ss} = 2$  V,  $V_{pre} = V_{ss}/2$  e  $C_{BL} = 10^{-12}$  F (capacità della BL).

Ricordando che nella lettura di una cella DRAM  $\Delta V = (V_c - V_{pre}) \frac{C_s}{C_s + C_{BL}} = \pm \frac{V_{ss}}{2} \frac{C_s}{C_s + C_{BL}}$  a

seconda che nella cella sia immagazzinato uno 0 o un 1, basta invertire l'espressione precedente per ottenere  $C_s$ .

$$C_s = \frac{2\Delta V / V_{ss} C_{BL}}{1 - 2\Delta V / V_{ss}} = 0.176 \text{ pF}$$