

УДК 681.326.7

И.А. Мурашко

АНАЛИЗ ЭНЕРГОПОТРЕБЛЕНИЯ МНОГОВХОДОВОГО СУММАТОРА ПО МОДУЛЮ ДВА

Проводится анализ энергопотребления многовходового сумматора по модулю два, выполненного на основе двухвходовых элементов «исключающее ИЛИ», для случая, когда изменения логических уровней на входах сумматора происходят принципиально в различные моменты времени. Получены верхняя и нижняя оценки переключательной активности для различных вариантов реализации многовходового сумматора. Рассматривается алгоритм синтеза многовходового сумматора с минимальной переключательной активностью.

Введение

В настоящее время вследствие бурного прогресса в области технологий производства полупроводниковых интегральных схем, в частности перехода к нанoeлектронным технологиям, возникают новые задачи логического синтеза вычислительных устройств, реализованных на основе данных технологий. Одной из таких задач является разработка методов проектирования цифровых устройств с низким энергопотреблением [1]. Актуальность данной задачи определяется следующими основными факторами [2]:

- наличием множества приложений (портативных персональных компьютеров, мобильных средств связи, цифровой аудио- и видеотехники), которые должны сочетать высокое быстродействие с низким потреблением энергии;
- необходимостью снижать уровень потребления энергии с целью достижения необходимой продолжительности автономной работы;
- необходимостью снижать потребляемую мощность для решения проблемы отвода тепла, так как это определяет массогабаритные показатели устройств;
- необходимостью снижать потребляемую мощность для решения проблемы проведения эффективного тестирования цифровых устройств (исследования показывают, что при проведении тестирования энергопотребление, а соответственно и рассеиваемая мощность могут возрасти в два-три раза [3]).

Многовходовые сумматоры по модулю два (в дальнейшем просто сумматоры) нашли широкое применение в различных цифровых устройствах: специализированных вычислителях; коммуникационных схемах; схемах, корректирующих ошибки; генераторах псевдослучайных чисел; сигнатурных анализаторах и т. п. Реализация произвольной логической функции на элементах «исключающее ИЛИ» часто является более эффективной с точки зрения аппаратных затрат (площади кристалла СБИС) и/или потребления энергии. Например, реализация на FPGA многовходового сумматора по модулю два не требует дополнительных аппаратных затрат по сравнению с элементами И/ИЛИ при равном числе входов, так как в обоих случаях используется одна и та же таблица преобразования (Look-up Table).

В работах [4, 5] представлен статистический анализ переключательной активности схем, основанных на элементах «исключающее ИЛИ». Он проведен для случая одновременной смены логических состояний на входах, причем при анализе используются различные задержки переключения элементов: нулевая, единичная и произвольная. Это позволяет получить среднюю оценку переключательной активности. В настоящей работе рассмотрен случай, когда смена логических состояний на входах сумматора может происходить только в различные моменты времени. Для этого случая получены граничные оценки переключательной активности сумматора и представлен алгоритм синтеза многовходового сумматора с минимальной переключательной активностью. Приведены примеры минимальной реализации сумматора, имеющего от двух до двенадцати входов.

1. Методика оценки потребления энергии

Потребление энергии в КМОП-схемах обусловлено тремя основными причинами. Во-первых, в КМОП-схемах существуют обратные токи $p\bar{n}$ -переходов и токи утечки каналов МОП-транзисторов. Суммарное значение этих токов крайне мало, поэтому они вносят незначительный вклад в общее потребление энергии. Во-вторых, в момент переключения компонентарной пары МОП-транзисторов от источника питания к общему проводу протекает сквозной ток. В-третьих, в момент смены логического состояния происходит заряд или разряд паразитной емкости, что приводит к протеканию тока. Для оценки, как правило, принимают во внимание вторую и третью причины, которые определяют львиную долю потребления энергии [2], причем для упрощения расчетов сквозной ток учитывается в виде дополнительной переключаемой емкости. Тогда потребляемая энергия при переключении энергии может быть найдена следующим образом:

$$E = \frac{1}{2} \cdot C \cdot V^2, \quad (1)$$

где $C = C_L + C_{SC}$, C_L – емкостная нагрузка вентиля; C_{SC} – дополнительная емкость для учета сквозных токов; V – переключаемое напряжение. Обозначим через E_0 энергию одного переключения стандартного вентиля, нагрузкой которого является один вход логического элемента:

$$E_0 = \frac{1}{2} \cdot C_0 \cdot V^2, \quad (2)$$

где C_0 – номинальная (нормализованная) емкостная нагрузка одного входа. Тогда для оценки энергии, потребляемой j -м узлом схемы, необходимо знать число переключений s_j за время работы и количество входов логических элементов k_j , подключенных к данному узлу. Произведение $(k_j \cdot s_j)$ определим как переключательную активность SA_j (Switching Activity) узла j и будем использовать в качестве оценки для потребляемой этим узлом энергии [6]. Соответственно переключательная активность всей схемы за один такт синхронизации SA_{CLK} запишется как

$$SA_{CLK} = \sum_{j=1}^v (k_j \cdot s_j), \quad (3)$$

где v – количество узлов логической схемы. Найдем переключательную активность всей схемы за n тактов работы:

$$SA = \sum_{i=1}^n \sum_{j=1}^v (k_j \cdot s_j^i), \quad (4)$$

где s_j^i – число переключений узла j в i -й момент времени. Таким образом, потребляемая схемой энергия может быть найдена следующим образом:

$$E = SA \cdot E_0. \quad (5)$$

На основании выражения (2) значение E_0 определяется двумя компонентами – переключаемым напряжением и нормализованной емкостной нагрузкой одного входа. Для КМОП-схем переключаемое напряжение, как правило, равно напряжению питания, снижение которого отрицательно сказывается на быстродействии. Значение C_0 определяется используемой технологией и применяемыми библиотеками элементов, поэтому его изменение практически невозможно. Следовательно, наиболее эффективным способом уменьшения потребления энергии является снижение переключательной активности.

2. Модель для анализа переключательной активности

Известно, что если просуммировать по модулю два две копии М-последовательности (псевдослучайной последовательности максимальной длины), сдвинутые ровно на половину периода друг относительно друга, то получим некоторый фазовый сдвиг той же самой М-последовательности, формируемый с удвоенной частотой [7]. В общем случае, чтобы получить ускоренную в d раз последовательность, необходимо просуммировать по модулю два d сдвинутые ровно на L/d копии исходной М-последовательности (где $L=2^m-1$, $m=\deg \varphi(x)$, $\varphi(x)$ – порождающий полином исходной М-последовательности, при этом должно выполняться условие взаимной простоты L и d). Основная проблема при этом заключается в формировании фазового сдвига, величина которого не является целым числом. Генераторы М-последовательностей на основе сдвиговых регистров с линейной обратной связью формируют копии М-последовательностей, которые имеют целочисленный сдвиг. Для решения этой проблемы в работе [8] предложен следующий подход. Сформируем d сдвинутые на $r=[L/d]$ копии М-последовательности. Из этих копий, используя элементы задержки на время $t, 2t, \dots, (d-1)t$ (где $t = T/d$, T – длительность одного импульса синхронизации исходной М-последовательности), получим сдвинутые ровно на L/d копии. Просуммировав их по модулю два, получим ускоренную в d раз последовательность. Таким образом, сумматор для формирования ускоренной в d раз М-последовательности можно представить в виде следующей модели (рис. 1, а). На рис. 1, б показаны возможные моменты времени изменения логических состояний на его входах в течение периода тактовых импульсов T .

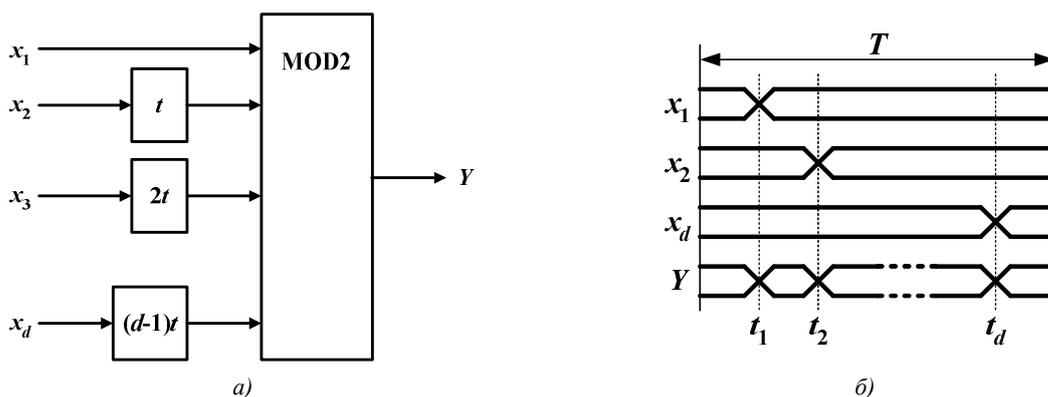


Рис. 1. Многовходовой сумматор: а) модель; б) временная диаграмма изменения логических состояний на его входах

На входы $x_1 - x_d$ сумматора на рис. 1, а поступает М-последовательность, для которой вероятность изменения логического состояния в текущем такте работы равна 0,5, т. е. для любого входа сумматора можно записать $p(x_i)=0,5$, $i = \overline{1, d}$. Тогда переключательная активность входов $SA_i=2 \cdot p(x_i) \cdot (1-p(x_i))=0,5$. Переключательная активность на выходе будет равна сумме переключательных активностей на его входах, т. е. $SA_Y=SA_1+ SA_2+ \dots + SA_d=0,5 \cdot d$.

Использование данной модели сумматора позволяет получить максимально возможную оценку переключательной активности, так как любое переключение на входе транслируется на выход.

3. Анализ переключательной активности многовходового сумматора при различных реализациях

При реализации многовходового сумматора по модулю два схемой из двухвходовых элементов «исключающее ИЛИ» его переключательная активность будет зависеть от вида схемы. Рассмотрим это на примере пятивходового сумматора по модулю два (рис. 2, а), который реализуется различным образом на четырех двухвходовых элементах «исключающее ИЛИ» (рис. 2, б–г). Числа над связями показывают значения их переключательной активности в случае, когда переключательная активность всех входов сумматора равна 0,5. Переключательная активность всего сумматора равна сумме переключательных активностей входов элементов.

Значение переключательной активности выхода учитывается на входе следующей за сумматором схемы. Максимальную переключательную активность ($SA=7$) имеет схема на рис. 2, б, а минимальную ($SA=6$) – схема на рис. 2, з.

Проведем анализ минимального (SA_{min}) и максимального (SA_{max}) значений переключательной активности d -входного сумматора по модулю два, реализованного различными схемами на двухвходовых элементах «исключающее ИЛИ» (в случае, когда входные логические сигналы изменяются в различные моменты времени), для произвольного числа входов. Примем, что переключательная активность всех входов одинакова и равна x . Общий вид схемы с максимальной переключательной активностью (SA_{max}) показан на рис. 3, а. Переключательную активность этой схемы представим в виде суммы двух слагаемых $P1$ и $P2$:

$$P1 = \sum_{i=1}^{d-1} (i \cdot x) = \frac{(d-1)^2 + (d-1)}{2} \cdot x; \tag{6}$$

$$P2 = (d-1) \cdot x. \tag{7}$$

Тогда

$$SA_{max} = \left(\frac{d(d+1)}{2} - 1 \right) \cdot x. \tag{8}$$

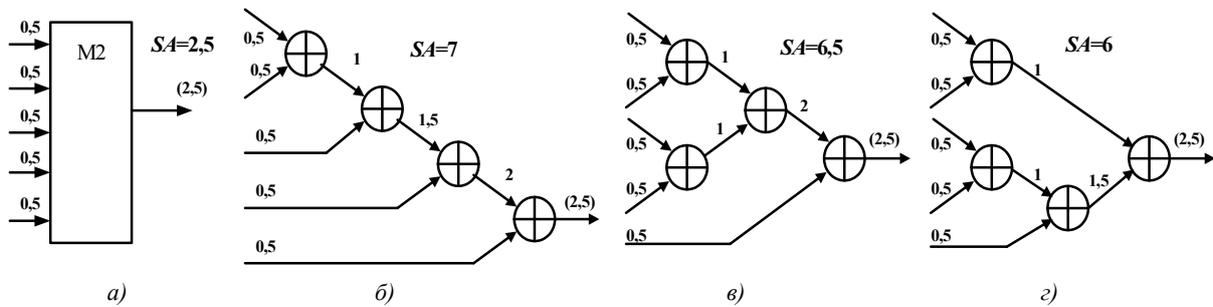


Рис. 2. Различные варианты реализации пятивходового сумматора по модулю два

Рассмотрим вывод выражений для оценки минимального значения переключательной активности. На рис. 3, б приведен пример восьмивходового сумматора с минимальной переключательной активностью. Условно данное дерево можно разбить на уровни. Переключательная активность на всех уровнях одинакова и равна $8x$. Число уровней определяется как $\log_2 8 = 3$. Соответственно $SA_{min} = 3 \cdot 8 \cdot x = 24x$. Для сравнения, для восьмивходового сумматора на основании (8) $SA_{max} = 35x$. Для общего случая, когда число входов кратно степени числа два ($d=2^i, i=1, 2, 3, \dots$), $SA_{min} = d \cdot \log_2 d \cdot x$. В произвольном случае, когда число входов не кратно степени числа два, это выражение усложнится и примет вид [9]

$$SA_{min} = (d \cdot \lceil \log_2 d \rceil + 2(d - 2^{\lfloor \log_2 d \rfloor}))x. \tag{9}$$

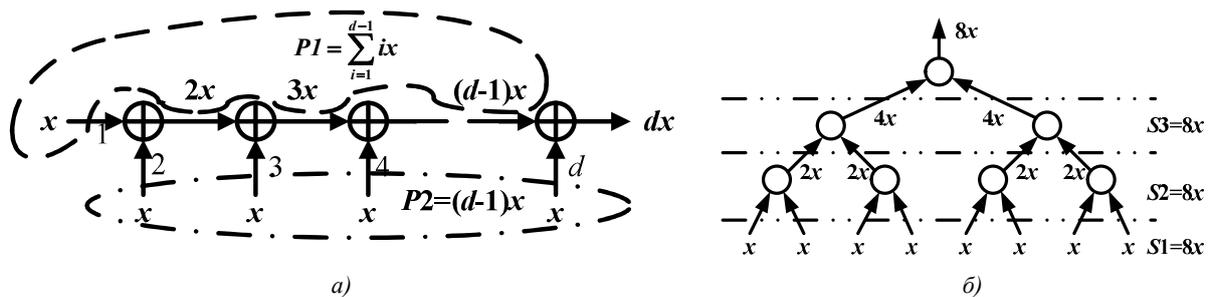


Рис. 3. Примеры расчета: а) максимальной переключательной активности; б) минимальной

Введем коэффициенты k_{min} и k_{max} , которые показывают возрастание переключательной активности d -входного сумматора по модулю два при его реализации с максимальным и минимальным значениями переключательной активности. Для этого разделим (8) и (9) на выражение dx , которое определяет переключательную активность d -входного сумматора по модулю два:

$$k_{max} = \frac{d + 1}{2} - \frac{2}{d}; \tag{10}$$

$$k_{min} = \lfloor \log_2 d \rfloor + 2 - \frac{2^{\lfloor \log_2 d \rfloor + 1}}{d}. \tag{11}$$

Значения переключательной активности d -входного сумматора по модулю два при $x=0,5$ (SA), переключательной активности при его минимальной и максимальной реализациях на двухвходовых элементах «исключающее ИЛИ» (SA_{min} , SA_{max}), а также коэффициентов k_{min} и k_{max} представлены в табл. 1.

Таблица 1

Переключательная активность дерева элементов «исключающее ИЛИ»

Число входов, d	2	3	4	5	6	7	8	9	10	11	12	$d \gg 10$
SA	1	1,5	2	2,5	3	3,5	4	4,5	5	5,5	6	$0,5d$
SA_{min}	1	2,5	4	6	8	10	12	14,5	17	19,5	22	$d \cdot \lfloor \log_2 d \rfloor$
k_{min}	1	1,67	2	2,4	2,67	2,86	3	3,2	3,4	3,55	3,67	$2 + \lfloor \log_2 d \rfloor$
SA_{max}	1	2,5	4,5	7	10	13,5	17,5	22	27	32,5	38,5	$0,25(d^2 + d)$
k_{max}	1	1,67	2,25	2,8	3,33	3,86	4,38	4,89	5,4	5,9	6,4	$0,5 + 0,5d$

Анализ таблицы показывает, что при возрастании d значительно увеличивается разница между минимальным и максимальным значениями переключательной активности многовходового сумматора по модулю два. Если при $d \gg 10$ максимальное значение возрастает пропорционально числу входов, то минимальное значение переключательной активности возрастает пропорционально двоичному логарифму от числа входов.

4. Методика синтеза многовходового сумматора

Для синтеза многовходового сумматора с минимальной переключательной активностью может быть использован следующий рекурсивный алгоритм:

1. Находим переключательную активность выхода $SA_{out} = dx$.
2. Представим переключательную активность выхода в виде суммы двух чисел $SA_{out} = SA_{in1} + SA_{in2}$ таким образом, чтобы выполнялись следующие ограничения:
 - оба числа делятся на x без остатка;
 - значения этих чисел должны быть равны или отличаться на величину x ($SA_{in1} - SA_{in2} = 0$ или $SA_{in1} - SA_{in2} = x$).

3. Если значение SA_{in1} (SA_{in2}) равно x , то для него работа алгоритма заканчивается, в противном случае считаем $SA_{out} = SA_{in1}$ ($SA_{out} = SA_{in2}$) и для данного значения повторяем шаги 2 и 3.

Пусть переключательная активность всех входов x одинакова и равна 0,5. Рассмотрим пример проектирования семивходового сумматора по модулю два с минимальной переключательной активностью (рис. 4):

1. Находим переключательную активность выхода $SA_{out} = SA_y = dx = 3,5$ (рис. 4, а).
2. Представим $SA_{out} = SA_{in1} + SA_{in2}$. С учетом ограничений получим $SA_{in1} = 2$, $SA_{in2} = 1,5$ (вершина 1 на рис. 4, б). Можно использовать $SA_{in1} = 1,5$, $SA_{in2} = 2$, тогда получим зеркальное дерево решения.
3. Значения SA_{in1} , SA_{in2} не равны 0,5, поэтому для каждого из них повторяем шаги 2 и 3.

- $SA_{out}=SA_{in1}=2$.
2. Представим $SA_{out}=SA_{in1}+SA_{in2}=1+1$ (вершина 2 на рис. 4, б).
 3. Оба значения $SA_{in1}=1$ и $SA_{in2}=1$ не равны 0,5, поэтому для каждого из них повторяем шаги 2 и 3.
 - $SA_{out}=SA_{in1}=1$.
 - 2. Представим $SA_{out}=SA_{in1}+SA_{in2}=0,5+0,5$ (вершина 3 на рис. 4, б).
 - 3. Оба значения равны 0,5, поэтому для них работа алгоритма заканчивается. $SA_{out}=SA_{in2}=1$.
 - 2. Представим $SA_{out}=SA_{in1}+SA_{in2}=0,5+0,5$ (вершина 4 на рис. 4, б).
 - 3. Оба значения равны 0,5, поэтому для них работа алгоритма заканчивается.
 - $SA_{out}=SA_{in2}=1,5$.
 2. Представим $SA_{out}=SA_{in1}+SA_{in2}=1+0,5$ (вершина 5 на рис. 4, б).
 3. Значение SA_{in2} равно 0,5, поэтому для него работа алгоритма заканчивается. Значение SA_{in1} не равно 0,5, поэтому для него повторяем шаги 2 и 3.
 - $SA_{out}=SA_{in1}=1$.
 - 2. Представим $SA_{out}=SA_{in1}+SA_{in2}=0,5+0,5$ (вершина 6 на рис. 4, б).
 - 3. Оба значения равны 0,5, поэтому для них работа алгоритма заканчивается.

На основании дерева решения (рис. 4, б) строим принципиальную схему сумматора (рис. 4, в). Примеры минимальной реализации многовходового сумматора для $d=2, \dots, 12$ представлены в табл. 2.

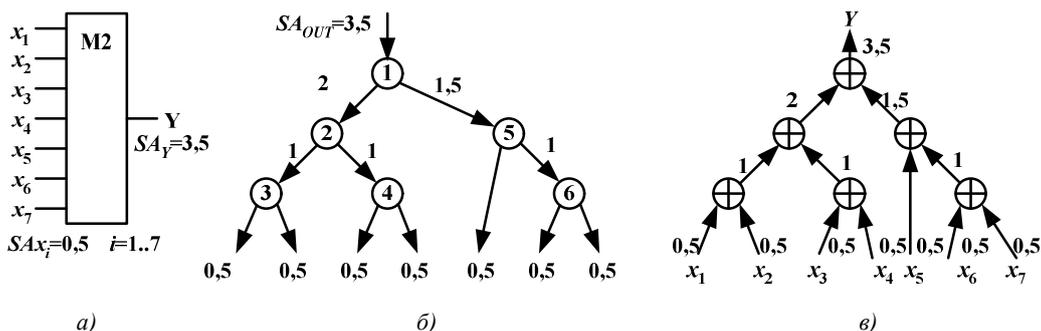


Рис. 4. Пример проектирования семивходового сумматора по модулю два:
 а) функциональное обозначение сумматора; б) иллюстрация работы алгоритма;
 в) схема реализации сумматора на элементах «исключающее ИЛИ»

Таблица 2

Минимальная реализация d -входового сумматора по модулю два

Число входов d	Примеры минимальной реализации выходного сумматора
2	$x_1 \oplus x_2$
3	$(x_1 \oplus x_2) \oplus x_3$
4	$(x_1 \oplus x_2) \oplus (x_3 \oplus x_4)$
5	$((x_1 \oplus x_2) \oplus x_3) \oplus (x_4 \oplus x_5)$
6	$((x_1 \oplus x_2) \oplus x_3) \oplus ((x_4 \oplus x_5) \oplus x_6)$
7	$((x_1 \oplus x_2) \oplus (x_3 \oplus x_4)) \oplus ((x_5 \oplus x_6) \oplus x_7)$
8	$((x_1 \oplus x_2) \oplus (x_3 \oplus x_4)) \oplus ((x_5 \oplus x_6) \oplus (x_7 \oplus x_8))$
9	$((x_1 \oplus x_2) \oplus (x_3 \oplus x_4)) \oplus ((x_5 \oplus x_6) \oplus (x_7 \oplus (x_8 \oplus x_9)))$
10	$((x_1 \oplus x_2) \oplus x_3) \oplus (x_4 \oplus x_5) \oplus (((x_6 \oplus x_7) \oplus x_8) \oplus (x_9 \oplus x_{10}))$
11	$((x_1 \oplus x_2) \oplus x_3) \oplus ((x_4 \oplus x_5) \oplus x_6) \oplus (((x_7 \oplus x_8) \oplus x_9) \oplus (x_{10} \oplus x_{11}))$
12	$((x_1 \oplus x_2) \oplus x_3) \oplus ((x_4 \oplus x_5) \oplus x_6) \oplus (((x_7 \oplus x_8) \oplus x_9) \oplus ((x_{10} \oplus x_{11}) \oplus x_{12}))$

Заключение

В работе проведен анализ энергопотребления многовходового сумматора по модулю два для случая, когда изменения логических уровней на его входах происходят принципиально в разные моменты времени. При реализации многовходового сумматора на двухвходовых элементах «исключающее ИЛИ» происходит значительное возрастание переключательной активности, что приводит к возрастанию потребления энергии. В зависимости от конкретной реализации возрастание переключательной активности пропорционально числу входов сумматора (максимальное значение) или двоичному логарифму от числа входов (минимальное значение). Представлен алгоритм синтеза многовходового сумматора, который позволяет минимизировать возрастание переключательной активности, и приведены примеры минимальной реализации.

Список литературы

1. Yeap G.P. Practical Low Power Digital VLSI Design. – Norwell: Kluwer Academic Publishers, 1998. – 212 p.
2. Roy K., Prasad S.C. Low Power CMOS VLSI Circuit Design. – New York: John Wiley and Sons, Inc., 2000. – 376 p.
3. Zorian Y. A Distributed BIST Control Scheme for Complex VLSI Dissipation // Proc. 11th IEEE VLSI Test Symposium (VTS'93). Princeton, NJ, April 6–8, 1993. – IEEE Computer Society Press, 1993. – P. 4–9.
4. Ye Y., Roy K., Drechsler R. Power Consumption in XOR-Based Circuits // Proc. of the 1999 Conference on Asia South Pacific Design Automation, January 18–21, 1999. – Wanchai, Hong Kong, 1999. – P. 299–302.
5. Ye Y., Roy, K., Graph-based Synthesis Algorithms for AND/XOR Networks // Proc. of the 34th Conference on Design Automation, Anaheim, California, USA, Anaheim Convention Center, June 9–13, 1997. – ACM Press, 1997. – P. 107–112.
6. Yarmolik V., Murashko I. A peak-power estimation for digital circuits design // Fifth International Conference «New Information Technologies». October 29–31, 2002. – Minsk: BSEU, 2002. – P. 34–38.
7. Chamzas C.C. Parasitic Spectral Lines in High Speed Generation of Binary Maximum Length Sequences // IEEE Trans. on Communication. – V. COM-26. – № 6. – 1978. – P. 922–925.
8. Мурашко И.А., Ярмолик В.Н. Быстродействующий генератор псевдослучайных тестовых наборов // Микроэлектроника. – Т. 30. – № 1. – 2001. – С. 68–76.
9. Мурашко И.А., Ярмолик В.Н. Методика снижения энергопотребления генератора псевдослучайных тестовых наборов для встроенного самотестирования // Автоматика и телемеханика. – Т. 65. – № 8. – 2004. – С. 102–114.

Поступила 10.11.05

*Белорусский государственный университет
информатики и радиоэлектроники,
Минск, П. Бровки, 6
e-mail: murashko@bsuir.unibel.by*

I.A. Murashko

POWER CONSUMPTION ANALYSIS OF XOR BASED CIRCUITS

This paper is dealing with power consumption of XOR based circuits. The upper and lower bounds for switching activities of modulo two circuits have been obtained. The algorithm for XOR based circuit synthesis with minimal switching activity is offered.