

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**

**PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**APLICAÇÕES DE REDES DE DIVISORA DE CORRENTE EM  
CIRCUITOS INTEGRADOS ANALÓGICOS PROGRAMÁVEIS**

**DISSERTAÇÃO SUBMETIDA**

**À UNIVERSIDADE FEDERAL DE SANTA CATARINA**

**PARA A OBTENÇÃO DO GRAU DE MESTRE**

**EM ENGENHARIA ELÉTRICA**

**RICARDO TAKASE GONÇALVES**

**FLORIANÓPOLIS, DEZEMBRO DE 1994**

**APLICAÇÕES DE REDE MOS DIVISORA DE CORRENTE EM CIRCUITOS  
INTEGRADOS ANALÓGICOS PROGRAMÁVEIS**

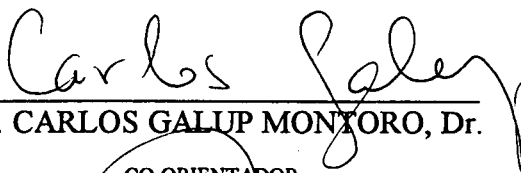
**CANDIDATO: RICARDO TAKASE GONÇALVES**

Esta dissertação foi julgada para obtenção do título de **MESTRE EM ENGENHARIA**,  
**ESPECIALIDADE ENGENHARIA ELÉTRICA** e aprovada em sua forma final pelo Curso de  
Pós Graduação.



Prof. MÁRCIO CHEREM SCHNEIDER, Dr.

ORIENTADOR



Prof. CARLOS GALUP MONTORO, Dr.

CO-ORIENTADOR



Prof. ENIO VALMOR KASSICK, Dr.

COORDENADOR DO CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

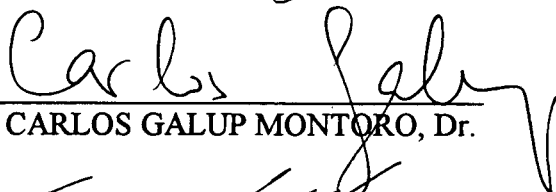
**Prof. Adroaldo Raizer, Dr.**

**Sub-Coordenador do Curso de P. G. Eng<sup>o</sup> Elétrica**

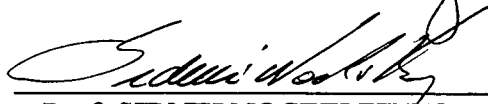
BANCA EXAMINADORA:



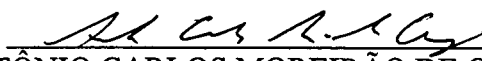
Prof. MÁRCIO CHEREM SCHNEIDER, Dr.



Prof. CARLOS GALUP MONTORO, Dr.



Prof. SIDNEI NOCETI FILHO, D.Sc.



Prof. ANTÔNIO CARLOS MOREIRÃO DE QUEIROZ, D.Sc.

À minha adorável esposa  
e ao nosso futuro bebê.

## AGRADECIMENTOS

Agradeço os professores do LINSE (Laboratório de Instrumentação Eletrônica) da UFSC. Especialmente aos meus orientadores Márcio Cherem Schneider e Carlos Galup Montoro, pelo imenso apoio para a realização deste trabalho.

Agradeço também a todos os colegas do laboratório que me incentivaram durante este período, em especial a Ana Isabela Araújo Cunha pelo inestimável apoio científico e a Elton Luiz Fontão por sua grande ajuda na edição do trabalho.

Agradeço aos meus pais Silvio e Lúcia pelo incentivo e pelo carinho. Agradeço de maneira muito especial à minha esposa Selma por todo seu apoio, compreensão e dedicação durante todos estes anos de convivência.

## SUMÁRIO

Sumário .....	v
Lista de figuras.....	vii
Lista de tabelas .....	ix
Resumo.....	x
Abstract .....	xi
Capítulo I - Introdução.....	1
Capítulo II - O Divisor de Corrente MOS.....	3
2.1 - Introdução.....	3
2.2 - Característica estática do transistor MOS .....	3
2.3 - Associação de transistores.....	4
2.3.1 - Associação em série.....	4
2.3.2 - Associação em paralelo .....	6
2.4 - A rede "ladder" T-2T .....	7
2.5 - Não idealidades da rede proposta.....	9
2.6 - Propriedades da rede proposta .....	12
Capítulo III - Aplicação da Rede Divisora de Corrente em um Amplificador de Ganho Programável.....	13
3.1 - Introdução .....	13
3.2 - O amplificador de Ganho Programável.....	13
3.3 - Implementação de um protótipo discreto - resultados experimentais.....	15
3.4 - O Amplificador Programável atuando como conversor D/A .....	19
3.4.1 - Introdução .....	19
3.4.2 - Conversor digital-analógico.....	20
3.5 - Conclusão .....	24
Capítulo IV - Filtros SI Progrmáveis - Uma Nova Metodologia.....	26

4.1 - Introdução .....	26
4.2 - O integrador em corrente chaveada .....	27
4.2.1 - Circuitos de 1ª geração.....	27
4.2.2 - Circuitos de 2ª geração.....	30
4.3 - Uma nova metodologia de implementação de filtros SI.....	34
4.3.1 - Resultados experimentais .....	42
Capítulo V - Conclusões .....	46
Bibliografia .....	48

## LISTA DE FIGURAS

Figura 2.1 - Estrutura de um transistor canal-n .....	3
Figura 2.2 - Transistores MOS conectados em série .....	5
Figura 2.3 - Características $I_D \times V_D$ - transistor unitário, associação série e associação paralelo de dois transistores unitários .....	6
Figura 2.4 - Topologia da rede "ladder" R-2R .....	7
Figura 2.5 - Rede "ladder" T-2T de 2 bits programável.....	8
Figura 2.6 - Rede "ladder" T-2T de 2-bits compensada para minimizar os efeitos da saturação da velocidade dos portadores.....	10
Figura 2.7 - Rede "ladder" T-2T de 1-bit <sup>12</sup> .....	12
Figura 3.1 - Amplificador de ganho programável.....	13
Figura 3.2 - (a) rede divisora de corrente e (b) seu símbolo.....	14
Figura 3.3 - Características estáticas das redes $\alpha$ e $\beta$ . $V_G = 2,5$ V e $V_B = -2,5$ V .....	17
Figura 3.4 - $V_o \times V_i$ do amplificador programável. Ganhos - 1/4, 1/2, 1, 2, 3 e 4.....	17
Figura 3.5 - Distorção harmônica total - rede com ganho de 1/4, 1, 4 e rede linear .....	18
Figura 3.6 - Função de transferência ideal de um conversor D/A de 3 bits.....	21
Figura 3.7 - Conversor D/A de 4 bits - (a) rede de escalamento da corrente (b) conversor linear V-I da entrada e (c) conversor linear I-V da saída.....	22
Figura 3.8 - Característica estática do protótipo discreto de 4 bits .....	24
Figura 3.9 - Leiautes da rede de escalamento implementadas no PMU 9 (a) SoG e (b) "full-custom" .....	25
Figura 4.1 - Espelho de corrente (1 <sup>a</sup> geração) - (a) convencional, (b) proposto e (c) proposto modificado .....	28
Figura 4.2 - Sinais de "clock" não sobrepostos .....	30
Figura 4.3 - Circuito de atraso (1 <sup>a</sup> geração) - (a) convencional e (b) proposto.....	30
Figura 4.4 - Integrador SI universal de 1 <sup>a</sup> geração - (a) convencional e (b) proposto.....	31
Figura 4.5 - espelho de corrente chaveado (2 <sup>a</sup> geração) .....	32

Figura 4.6 - Circuito de atraso (2ª geração) - (a) convencional e (b) proposto.....	35
Figura 4.7 - Integrador sem perdas (2ª geração) - (a) convencional e (b) proposto.....	36
Figura 4.8 - Integrador de 2ª geração com amortecimento - (a) convencional e (b) proposto.....	38
Figura 4.9 - Integradores programáveis da nova metodologia - (a) 1ª geração e (b) 2ª geração.....	40
Figura 4.10 - Circuito gerador de 2 fases de "clock" não sobrepostas .....	41
Figura 4.11 - Resposta em frequência do protótipo discreto - $\beta = 7/8, 3/4$ e $1/2$ .....	42
Figura 4.12 - Resposta em frequência do protótipo discreto - teórica e experimental ( $\beta = 7/8$ ).....	42
Figura 4.13 - Curvas da corrente de saída do integrador para frequência do sinal de entrada de: (a) 300 Hz, (b) 3,6 KHz e (c) 8250 KHz.....	43



## LISTA DE TABELAS

Tabela 3.1 - Ganhos possíveis do amplificador programável .....	16
Tabela 3.2 - Valores dos componentes do amplificador de ganho programável, para medida da THD .....	18

## RESUMO

Neste trabalho são apresentadas algumas aplicações de uma rede MOS divisora de corrente, baseada na clássica rede "ladder" R-2R. Sua programabilidade digital é obtida com a utilização de transistores. Esta técnica apresenta como principal característica a total compatibilidade com a tecnologia CMOS digital e com as técnicas de implementação em "sea-of-transistors".

Um conversores D/A e um amplificador de ganho programável são mostrados como exemplos de utilização desta técnica.

Finalmente, apresentamos uma metodologia inédita para realização de filtros a corrente chaveada. A utilização da rede divisora de corrente nestes circuitos proporciona a implementação de filtros que podem ser facilmente programados digitalmente.

## ABSTRACT

We present in this work some applications of an MOS transistor-only current divider based on the classical R-2R ladder network. Digital programmability of the network is attained through the use of transistors only. This technique presents total compatibility with digital CMOS technology and, particularly, with sea-of-transistors.

A D/A converter and a programmable amplifier have been designed through the use of this technique.

We propose a new circuit technique to implement switched current filters (SI). The use of transistor-only current dividers provides digital programmability for these SI filters.

## CAPÍTULO I - INTRODUÇÃO

O processamento de sinais utilizando técnicas digitais sofreu um grande desenvolvimento com o advento da microeletrônica. A facilidade de projeto proporcionada por métodos quase totalmente automatizados diminuiu consideravelmente o tempo em que é possível lançar um produto no mercado. Circuitos digitais têm sido, então, muito utilizados pela indústria de microeletrônica [1]. Por outro lado, todos os sistemas digitais necessitam de algum tipo de função realizada por circuitos analógicos, principalmente para realizar o interfaceamento com dispositivos externos ao "chip".

A tecnologia MOS tem provado ser a mais adequada para a implementação de circuitos digitais e evoluiu muito nos últimos anos. Circuitos VLSI ("Very Large Scale Integration") têm se tornado cada vez mais complexos e mais densos, a ponto de serem integrados dezenas de milhões de transistores em um único circuito integrado. Espera-se que este número cresça pelo menos uma ordem de grandeza até o ano 2000 [1]. Isto é devido à redução das dimensões dos componentes do "chip". Atualmente são possíveis linhas de interligação com largura de  $0,5 \mu\text{m}$  e alimentação mista de 3,3 V e 5V. A partir de 1995 esta dimensão estará em torno de  $0,35 \mu\text{m}$  e a tensão de alimentação em 3,3 V [2].

A evolução dos processos VLSI tem permitido a implementação de sistemas completos ("mixed analog-digital systems") em um único "chip". Conseqüentemente, novos campos de aplicação têm surgido, como por exemplo, equipamentos portáteis de áudio e vídeo, modems, fax, computadores "notebook" e "palmtop", entre outros [3].

Cinquenta por cento do mercado de circuitos VLSI de aplicação específica ("ASIC - Application Specific Integrated Circuits") são implementados por técnicas denominadas "gate-array" e "sea-of-gates" (SoG) [4]. Isto se deve principalmente pelo reduzido tempo de projeto e fabricação e pelo baixo custo proporcionado por estas técnicas.

Projetistas de circuitos analógicos vêm procurando obter alternativas de projeto que apresentem resultados satisfatórios para implementação em processos digitais convencionais e,

principalmente, que sejam realizáveis em técnicas de SoG. Isto, porque a implementação de circuitos mistos analógico-digitais aumenta a confiabilidade do sistema e seu custo. Algumas técnicas de implementação de circuitos analógicos em processos essencialmente digitais têm sido reportados na literatura [4-11].

Muitas técnicas de implementação de circuitos analógicos utilizados hoje em dia não se adaptam à tecnologia digital MOS, ou demandam grande área de silício para sua implementação.

Neste trabalho apresentaremos uma rede divisora de corrente que é totalmente compatível com processos digitais e também pode ser realizada com técnicas de SoG. A estrutura proposta é baseada na rede "ladder" R-2R [17] e a ela daremos o nome de rede T-2T. É implementada somente com transistores MOS e realiza uma divisão linear da corrente de entrada.

No capítulo II é apresentada uma análise teórica da rede T-2T. No capítulo III apresentamos algumas possibilidades de aplicação deste circuito, que tem como característica a programabilidade. Os circuitos são: um amplificador de ganho programável e um conversor digital-analógico. O capítulo IV apresenta uma nova metodologia de implementação de filtros programáveis que utilizam a técnica de corrente chaveada, onde a programabilidade é obtida através da utilização da rede T-2T. No capítulo V são apresentadas as conclusões.

## CAPÍTULO II - O DIVISOR DE CORRENTE MOS

### 2.1 - INTRODUÇÃO

Técnicas lineares e precisas de divisão de corrente (ou tensão) são utilizadas em diversos tipos de circuitos analógicos. Neste capítulo apresentaremos uma rede que realiza uma divisão linear da corrente de entrada. Nela são utilizados somente transistores MOS e sua precisão depende principalmente do casamento entre os componentes.

### 2.2 - CARACTERÍSTICA ESTÁTICA DO TRANSISTOR MOS

Um transistor MOS retangular apresenta simetria entre fonte e dreno, que fica evidenciada no equacionamento de suas características quando suas tensões são referenciadas ao substrato local (figura 2.1). A corrente de dreno pode ser expressa genericamente na forma [12, 13, 14]

$$I_D = \frac{W}{L} [g(V_G, V_S) - g(V_G, V_D)] \quad (2.1)$$

onde  $W$  e  $L$  representam a largura e o comprimento do canal, respectivamente, e  $g(V_G, V)$  é uma função que descreve o comportamento DC do transistor MOS.

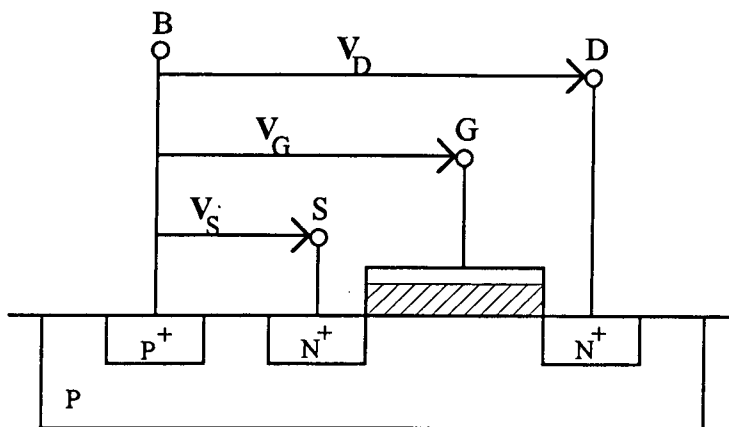


Figura 2.1 - Estrutura de um transistor MOS canal-n

## 2.3 - ASSOCIAÇÃO DE TRANSISTORES

### 2.3.1 - Associação em série:

Na figura 2.2 temos dois transistores conectados em série, com as tensões de porta e substrato comuns a ambos.

As correntes de dreno dos transistores  $T_D$  e  $T_S$ , para uma dada tensão de dreno ( $V_D$ ) que garanta o funcionamento na região triodo, são expressas por

$$I_{DD} = \left(\frac{W}{L}\right)_D [g(V_G, V_X) - g(V_G, V_D)] \quad (2.2)$$

$$I_{DS} = \left(\frac{W}{L}\right)_S [g(V_G, V_S) - g(V_G, V_X)] \quad (2.3)$$

sendo todas as tensões referenciadas ao substrato local.

Na ligação em série as correntes dos dois transistores são idênticas. Fazendo, então,

$$I_{DD} = I_{DS} \quad (2.4)$$

obtemos

$$g(V_G, V_X) = \frac{\left[\left(\frac{W}{L}\right)_S g(V_G, V_S) + \left(\frac{W}{L}\right)_D g(V_G, V_D)\right]}{\left(\frac{W}{L}\right)_D + \left(\frac{W}{L}\right)_S} \quad (2.5)$$

A corrente de dreno desta associação de transistores pode ser obtida através das expressões (2.2) ou (2.3) e (2.5), resultando em,

$$I_D = \left(\frac{W}{L}\right)_{eq} [g(V_G, V_S) - g(V_G, V_D)] \quad (2.6)$$

onde

$$\left(\frac{W}{L}\right)_{\text{eq.}} = \frac{\left[\left(\frac{W}{L}\right)_s \left(\frac{W}{L}\right)_D\right]}{\left[\left(\frac{W}{L}\right)_s + \left(\frac{W}{L}\right)_D\right]} \quad (2.7)$$

Considerando o caso particular em que os transistores são idênticos (transistores unitários),

$$\left(\frac{W}{L}\right)_s = \left(\frac{W}{L}\right)_D = \left(\frac{W}{L}\right)_u \quad (2.8)$$

a razão de aspecto dada pela expressão (2.7) da associação em série de dois transistores unitários resulta

$$\left(\frac{W}{L}\right)_{\text{eq.}} = \frac{1}{2} \left(\frac{W}{L}\right)_u \quad (2.9)$$

A associação em série de dois transistores unitários é equivalente a um transistor que possui o dobro do comprimento do canal de um transistor unitário. Portanto, o transistor composto conduz uma corrente de dreno que é a metade da corrente de dreno de um transistor unitário polarizado sob as mesmas condições.

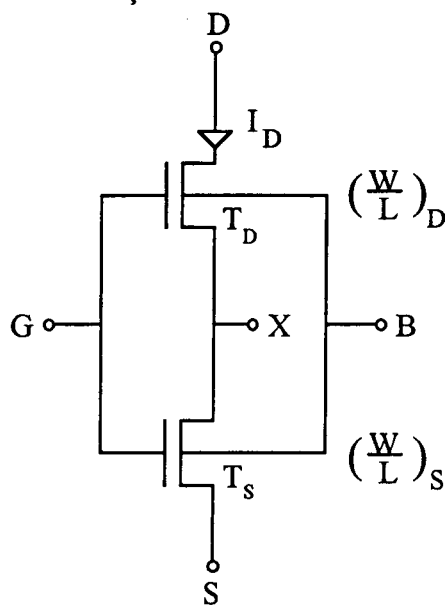


Figura 2.2 - Transistores MOS conectados em série

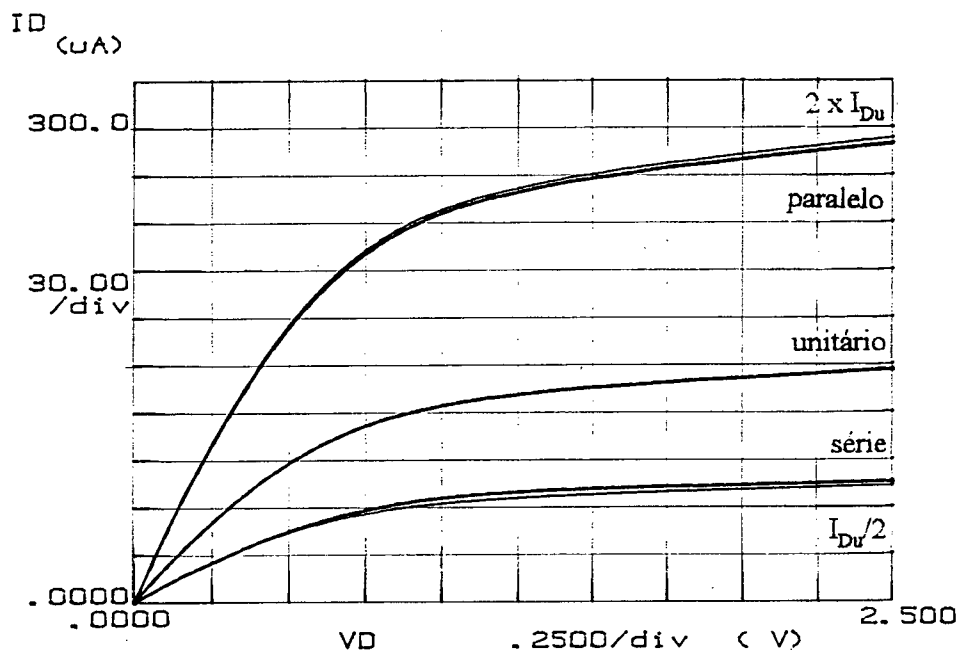


### 2.3.2 - Associação em paralelo:

Na associação em paralelo de dois transistores unitários é simples verificar que a corrente de dreno neste transistor equivalente corresponde ao dobro da corrente de dreno de um transistor unitário e também pode ser expressa por (2.6), onde

$$\left(\frac{W}{L}\right)_{eq.} = 2\left(\frac{W}{L}\right)_u \quad (2.10)$$

A associação em paralelo de dois transistores unitários é equivalente a um transistor com o dobro da largura do canal de um transistor unitário.



**Figura 2.3** - Características  $I_D \times V_D$  - transistor unitário, associação série e associação paralelo de dois transistores unitários.

Na figura 2.3 são apresentadas as características de saída do transistor unitário, da associação em série e da associação em paralelo de dois destes transistores. Além disto, nesta figura também foram traçadas mais duas curvas, uma correspondendo ao dobro da corrente do transistor unitário e a outra à metade. Nota-se que na região triodo as características dos

transistores compostos são praticamente idênticas às curvas obtidas da característica do transistor unitário ( $T_u$ ). Segundo a teoria, a corrente de dreno que flui em qualquer transistor é escalada por sua razão de aspecto; portanto, transistores com mesma razão de aspecto e sob mesma polarização apresentam mesma característica DC na região triodo. As curvas da figura 2.3 foram obtidas através do analisador de parâmetros de semicondutores HP 4145 B, utilizando transistores canal-n do PMU 7, com  $W_u = 3 \mu\text{m}$  e  $L_u = 1,2 \mu\text{m}$ , para uma tensão de porta  $V_G = 5 \text{ V}$ .

#### 2.4 - A REDE "LADDER" T-2T

Como vimos até agora, a associação de transistores obedece a mesma regra da associação de resistores lineares [15]. Podemos tirar proveito desta característica para implementar uma rede divisora de corrente baseada na já conhecida rede "ladder" R-2R [16], a qual denominaremos rede "ladder" T-2T.

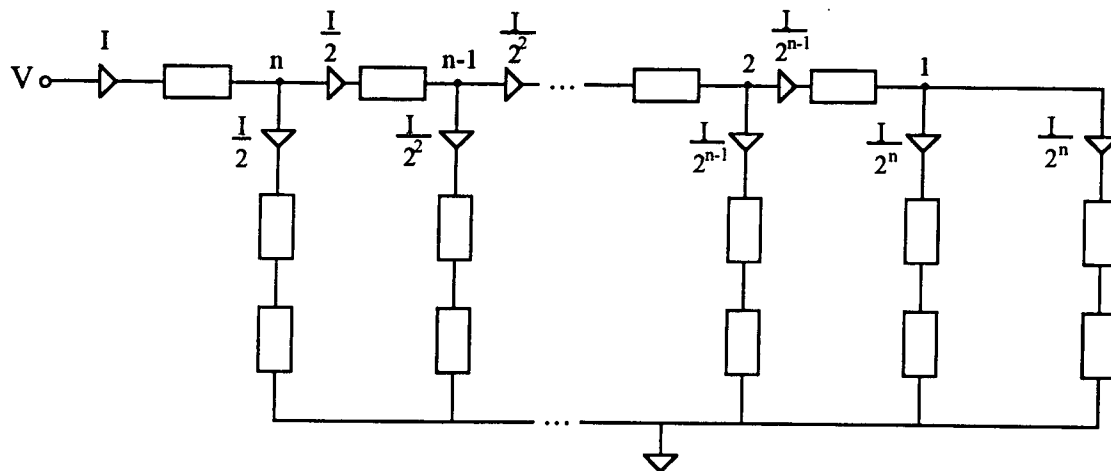


Figura 2.4 - Topologia da rede "ladder" R-2R.

A figura 2.4 representa a topologia da rede R-2R, onde os componentes estão representados por blocos, que podem ser resistores (R-2R) ou transistores (T-2T). A rede R-2R, por ser composta por resistores lineares, proporciona divisão binária sucessiva tanto da tensão quanto da corrente.

Na figura 2.4 cada bloco pode ser implementado com transistores unitários MOS, com a mesma tensão de porta e substratos conectados, constituindo uma rede "ladder" T-2T. Analisando a figura, vemos que ao nó 1 estão conectados dois ramos idênticos; portanto, a corrente que é injetada neste nó é dividida por dois. Estes dois ramos em paralelo equivalem a um transistor unitário. Conseqüentemente, no nó 2 a corrente injetada também é dividida por 2. Apesar da não linearidade da característica  $I_D \times V_D$  dos transistores MOS, a cada nó a corrente é dividida linearmente, de forma binária, e a precisão desta divisão depende principalmente do casamento dos transistores [17]. Esta rede apresenta a vantagem de as chaves MOS participarem simultaneamente como elementos da rede divisora de corrente. Na figura 2.5 é mostrada uma rede "ladder" T-2T de 2-bits, onde é salientada a programabilidade da corrente de saída através de uma palavra digital. Dependendo do valor do bit, a corrente é direcionada para o ponto de soma da corrente de saída ("sum-line", terra virtual de um amplificador operacional) ou para o nó de terra ("dump-line"). Assim, por exemplo, se  $b_0 = b_1 = 1$ , a corrente de saída é  $\frac{I_{ref}}{2} + \frac{I_{ref}}{4} = \frac{3}{4} I_{ref}$ .

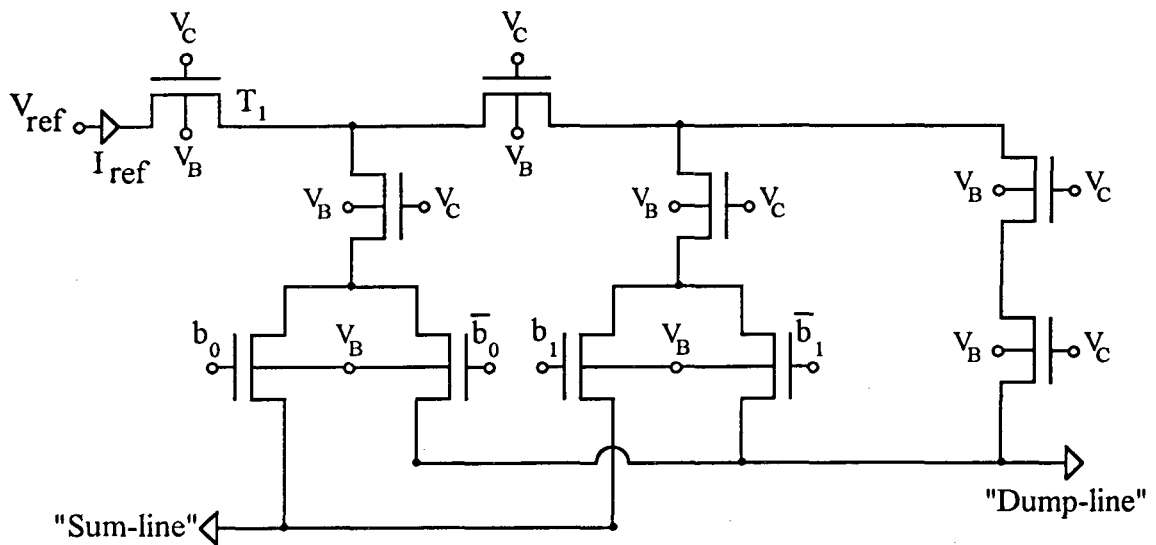


Figura 2.5 - Rede "ladder" T-2T de 2 bits programável.

Em uma implementação integrada em tecnologia CMOS, a palavra digital complementar ( $\bar{b}_i$ ) é obtida através de inversores CMOS e seus níveis alto e baixo são  $V_{DD}$  e  $V_{SS}$ , respectivamente. Portanto, por simplicidade, e por permitir melhor precisão na divisão da

corrente [19], a tensão de controle das portas ( $V_C$ ) dos transistores NMOS da rede deve ser  $V_{DD}$ . No caso de uma implementação com transistores PMOS a tensão  $V_C$  deve ser  $V_{SS}$ .

Par qualquer tensão de entrada menor ou igual a  $V_{DD}$ , os transistores à direita do nó "n" (figura 2.4) operam na região triodo [14].

## 2.5 - NÃO IDEALIDADES DA REDE PROPOSTA

O princípio da divisão precisa de corrente na rede T-2T está baseado na validade da equação (2.1). Porém, na prática, esta rede de transistores MOS apresenta descasamento entre transistores, ruído e alguns efeitos de segunda ordem que interferem na divisão de corrente [18]. Outra fonte de erro (externa) importante é a existência de uma tensão de "offset" entre a "sum-line" e a "dump-line".

Ao se polarizar a rede na região triodo, alguns efeitos de segunda ordem que se tornam apreciáveis caso os transistores operem na região de saturação, tais como "channel-length shortening", "drain induced barrier lowering" e "weak avalanche" [17], podem ser desprezados. Dentre os efeitos de segunda ordem o mais importante é a velocidade de saturação ( $v_d$ ) dos portadores, efeito este que não é levado em consideração na equação (2.1) e que tem influência na linearidade da divisão da corrente. O efeito da saturação da velocidade dos portadores é mais crítico nos transistores sujeitos a uma maior tensão  $V_{DS}$ , isto é, aqueles onde o nível de corrente é maior.

Um método simples e eficaz de reduzir este erro [18] é fazendo a substituição do ramo responsável pelo bit mais significativo (MSB) por uma rede equivalente ao ramo responsável pelo 2º bit mais significativo. Na figura 2.6 é mostrada como exemplo uma rede de dois bits, onde vemos que os transistores do ramo responsável pelo MSB estão sujeitos à mesma queda de tensão dos transistores do restante da rede. Na figura, os nós que apresentam o mesmo valor de tensão (idealmente) são representados pela mesma numeração. Fica claro que o ramo responsável pelo MSB está agora sujeito às mesmas não idealidades do restante da rede.



O ruído térmico é considerado predominante dentre os vários tipos de ruído, porém seus efeitos não limitam o desempenho da rede divisora de corrente [18].

A rede T-2T apresenta a característica de que sua programabilidade não altera sua impedância. Para que esta característica seja mantida é necessário que a "sum-line" e a "dump-line" possuam a mesma tensão. Isto é normalmente obtido através da alta impedância de entrada de um amplificador operacional, que garante dois pontos de mesma tensão, porém isolados entre si. Entretanto, sempre existirá uma tensão de "offset" entre as duas entradas do ampop e esta pode ser uma grande fonte de erro presente neste tipo de implementação. Considerando apenas o efeito da tensão de "offset" ( $I_{ref} = 0$ ), a rede se comporta como um transistor composto cujo dreno está conectado à "sum-line" e cuja fonte está conectada à "dump-line". Na figura 2.7 é mostrada como exemplo uma rede de apenas 1-bit. Quando o bit  $b_0 = 1$ , são habilitados os transistores ligados à "sum-line" e desabilitados os ligados à "dump-line" e tem-se um transistor composto formado por quatro transistores em série. Note que, se  $b_0 = 0$ , não há corrente de "offset".

Como a tensão de "offset" é muito pequena, este transistor opera na região triodo e a corrente de "offset" é dada por [14]

$$I_{off} = I_D = \frac{\beta n}{2} \left[ (V_P - V_{SB})^2 - (V_P - V_{DB})^2 \right] \quad (2.11)$$

onde  $V_P = (V_G - V_{T0})/n$  é a tensão de "pinch-off" do transistor e  $n$  o fator de inclinação [13] e  $\beta = \mu C'_{OX} W/L$ . Fazendo  $V_{off} = V_{DB} - V_{SB}$ , temos

$$I_{off} \approx \mu C'_{OX} \left( \frac{W}{L} \right)_{eq} [V_G - V_B - V_{T0} + n V_B] V_{off} \quad (2.12)$$

A corrente de "offset" é dependente da palavra digital, pois, conforme a combinação dos bits, tem-se uma razão de aspecto diferente para o transistor composto resultante. A maior corrente de "offset" ocorre para um código alternado de 0-1 da palavra digital [18]. Quanto maior a corrente de entrada da rede, menor será o erro relativo devido à corrente de "offset".

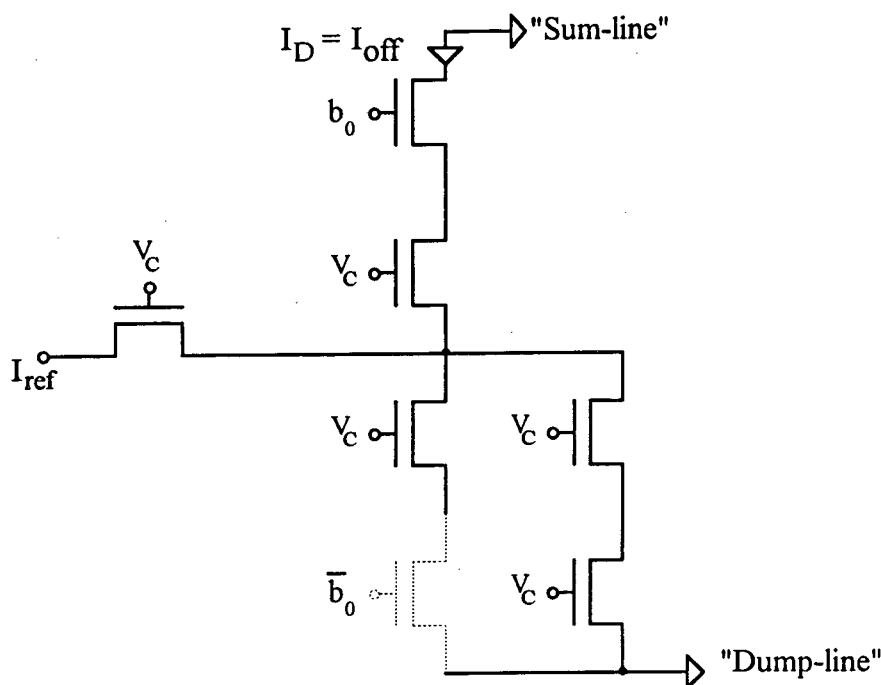


Figura 2.7 - Rede "ladder" T-2T de 1-bit

## 2.6 - PROPRIEDADES DA REDE PROPOSTA

Apesar de ser uma rede que permite programação da corrente de saída, a impedância de entrada da estrutura permanece constante e, portanto, independente do código da palavra digital.

Pelo fato de utilizar somente transistores MOS idênticos, a técnica de divisão de corrente apresentada é adequada para implementação em tecnologia CMOS digital e também pode se beneficiar de algumas de suas potencialidades como a implementação em "sea-of-gates" (SoG).

Para proporcionar programabilidade à rede "ladder" T-2T é necessária a utilização de chaves para controlar o caminho da corrente. Uma das grandes virtudes desta rede reside no fato de que os próprios transistores que atuam como chaves, atuam também como elementos de escalamento.

Outra característica importante desta técnica, que é inerente à rede R-2R, é que o número de transistores da rede é proporcional ao número de bits ( $n^\circ$  de transistores =  $4n+2$ ). Isto resulta em circuitos que ocupam pouca área quando comparadas com outras redes de escalamento, onde geralmente o número de componentes cresce exponencialmente com o número de bits.

## CAPÍTULO III - APLICAÇÃO DA REDE DIVISORA DE CORRENTE EM UM AMPLIFICADOR DE GANHO PROGRAMÁVEL

### 3.1 - INTRODUÇÃO

Neste capítulo serão apresentados um amplificador de ganho programável e um conversor digital-analógico nos quais as redes divisoras de corrente são responsáveis pela programabilidade. Protótipos discretos foram implementados e seus resultados são mostrados para validação da metodologia de implementação.

### 3.2 - O AMPLIFICADOR DE GANHO PROGRAMÁVEL

Um amplificador de ganho programável é facilmente obtido com a utilização da rede T-2T. Na figura 3.1 é mostrado seu esquema elétrico, com amplificadores operacionais, resistores lineares na entrada e saída e duas redes T-2T idênticas, com fatores de atenuação  $\alpha$  e  $\beta$ .

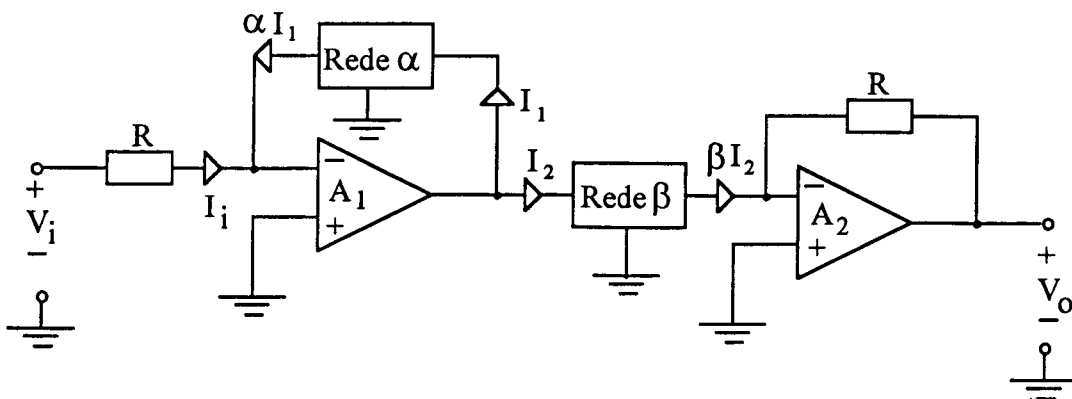
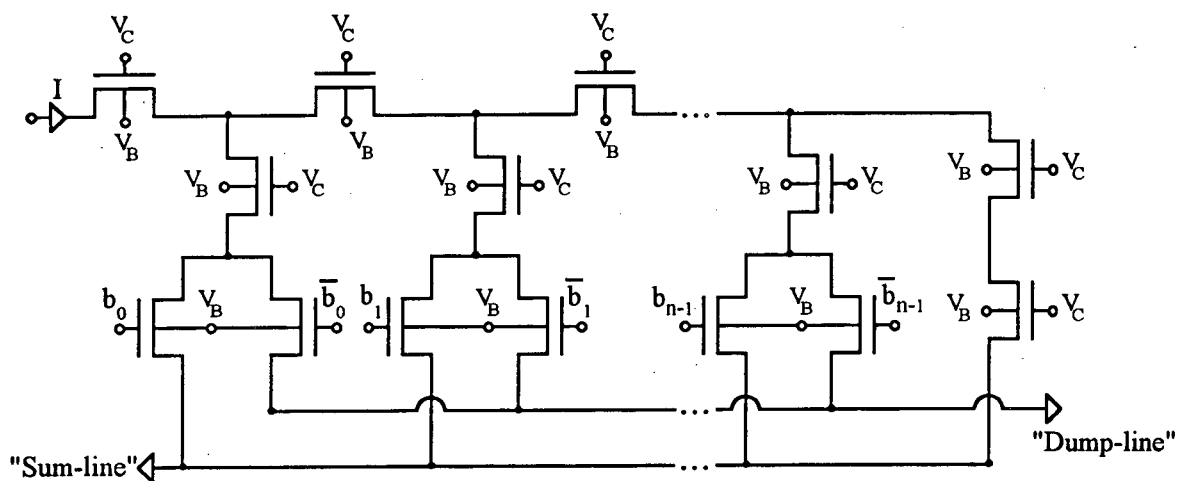


Figura 3.1 - Amplificador de ganho programável

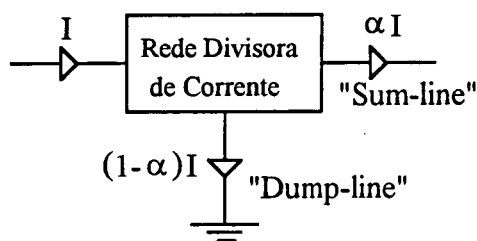
A rede divisora de corrente é apresentada na figura 3.2 (a) e sua representação em diagrama de blocos na figura 3.2 (b). Nestas figuras ficam evidenciadas as duas saídas da estrutura, uma é complementar da outra. A corrente de saída, representa uma fração da corrente



de entrada e é controlada por uma palavra digital ( $b_0 \rightarrow b_{n-1}$ ). Esta fração de corrente é somada no nó inversor de um amplificador operacional na saída, enquanto seu complemento é descarregado ao terra. Através da variação das dimensões geométricas dos transistores da rede é possível obter diferentes escalamentos da corrente de entrada.



3.2 (a)



3.2 (b)

Figura 3.2 - (a) rede divisora de corrente e (b) seu símbolo

Os resistores lineares juntamente com os amplificadores operacionais são responsáveis pela conversão linear da tensão em corrente na entrada e da corrente em tensão na saída.

Considerando os ampops ideais, os resistores idênticos e as redes T-2T casadas entre si, obtemos

$$\alpha I_1 = -\frac{V_i}{R} \Rightarrow I_1 = -\frac{V_i}{\alpha R} \quad (3.1)$$

$$\beta I_2 = -\frac{V_0}{R} \Rightarrow I_2 = -\frac{V_0}{\beta R} \quad (3.2)$$

Como as duas redes divisoras de corrente possuem a mesma impedância de entrada suas correntes são idênticas. De (3.1) e (3.2) obtemos a função de transferência em tensão do amplificador programável

$$\frac{V_0}{V_i} = \frac{\beta}{\alpha} \quad (3.3)$$

onde  $\alpha$  e  $\beta$  representam frações da corrente de entrada e são programadas por palavras digitais. O número de bits das redes  $\alpha$  e  $\beta$  determinará a quantidade de ganhos possíveis do amplificador programável. O número de níveis diferentes de corrente na saída em cada rede é igual a  $2^n$ , onde  $n$  é o número de bits.

### 3.3 - IMPLEMENTAÇÃO DE UM PROTÓTIPO DISCRETO - RESULTADOS EXPERIMENTAIS

Foi montado um circuito amplificador como na figura 3.1, com transistores canal-n do PMU 7, de dimensões  $W = 3 \mu\text{m}$  e  $L = 1,2 \mu\text{m}$ . As portas foram polarizadas com  $V_C = 2,5 \text{ V}$  e os substratos dos transistores com  $V_B = -2,5 \text{ V}$ . Os ampops (741) foram alimentados por tensões de +5 e -5V para reduzir a influência da sua não linearidade na medida da distorção harmônica.

As redes  $\alpha$  e  $\beta$  foram implementadas com transistores idênticos, realizando, então, uma divisão binária da corrente. Cada rede tem programação de 2 bits, proporcionando 16

combinações possíveis para o ganho, que são mostradas na tabela 3.1. Através desta tabela notamos que, apesar de a mesma apresentar 16 diferentes níveis de transferência da entrada para saída, apenas 11 níveis são distintos.

Como podemos notar,  $\alpha$  e  $\beta$  apresentam valor máximo igual a 1, quando toda corrente de entrada é transferida para a saída. Quando  $\alpha$  e  $\beta$  são iguais, o ganho é unitário e  $2^n$  das possíveis combinações serão iguais a 1.

CÓDIGO DIGITAL		00	01	10	11
		$\alpha$	$\beta$		
		1/4	1/2	3/4	1
00	1/4	-1	-1/2	-1/3	-1/4
01	1/2	-2	-1	-2/3	-1/2
10	3/4	-3	-3/2	-1	-3/4
11	1	-4	-2	-4/3	-1

**Tabela 3.1 - Ganhos possíveis do amplificador programável**

Na figura 3.3 foram traçadas as características estáticas ( $I_D \times V_D$ ) das redes  $\alpha$  e  $\beta$  de 2 bits, sem o primeiro transistor da entrada. Através desta figura, notamos que a rede T-2T se comporta equivalentemente a um transistor unitário, como na figura 2.3. Apesar de ser uma montagem discreta e sem o casamento proporcionado por uma versão integrada, as características das duas redes apresentam um casamento razoável, principalmente na região triodo.

A figura 3.4 apresenta a característica de transferência (tensão de saída versus tensão de entrada) do amplificador programável da figura 3.1 com resistores lineares de 15 k $\Omega$  na entrada e na saída. Neste gráfico são exibidas algumas das possibilidades de programação do circuito: 1/4, 1/2, 1, 2, 3, e 4.

As figuras 3.3 e 3.4 foram obtidas com o auxílio do analisador de parâmetros de semicondutores HP 4145 B.

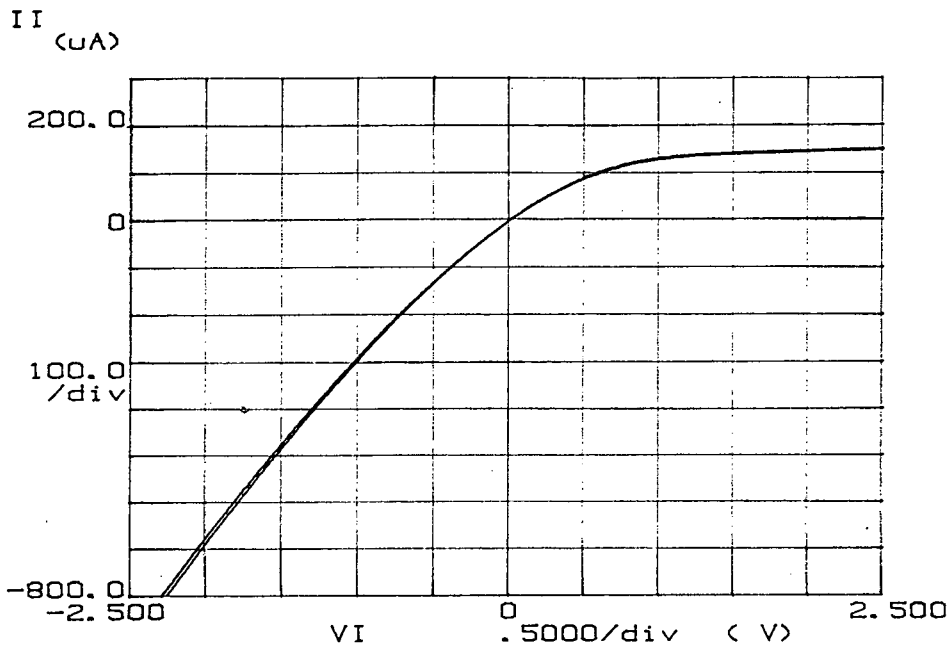


Figura 3.3 - Características estáticas das redes  $\alpha$  e  $\beta$ .  $V_G = 2,5$  V e  $V_B = -2,5$  V

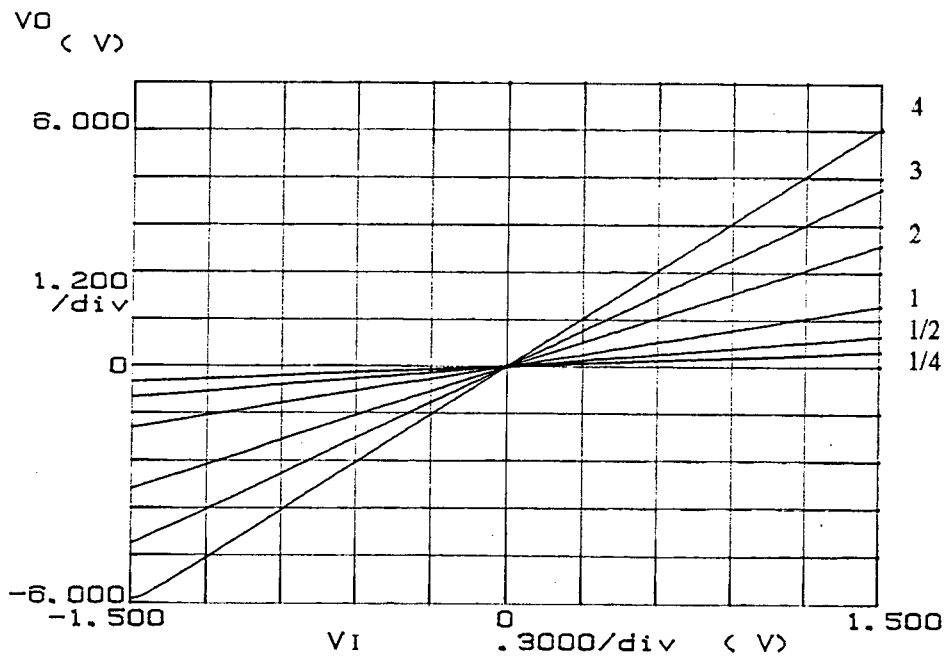


Figura 3.4 -  $V_0 \times V_i$  do amplificador programável. Ganhos - 1/4, 1/2, 1, 2, 3 e 4

Com o auxílio do analisador de espectros HP 3588A foram obtidas as curvas da distorção harmônica total em função da tensão de entrada da rede, para ganhos de corrente  $\beta/\alpha$  de 1/4, 1 e 4. Com o intuito de analisar o circuito sob os mesmos níveis de corrente para os diferentes ganhos,

os resistores de entrada e de saída foram variados. As configurações utilizadas têm seus valores mostrados na tabela 3.2.

Rede $\alpha$			Rede $\beta$			$R_{in}$ ( $k\Omega$ )	$R_{out}$ ( $k\Omega$ )	Ganho de Corrente $ \beta/\alpha $	Ganho de Tensão $ V_o/V_i $
$b_0$	$b_1$	$\alpha$	$b_0$	$b_1$	$\beta$				
1	1	1	0	0	1/4	10	10	1/4	1/4
0	0	1/4	0	0	1/4	40	10	1	1/4
0	0	1/4	1	1	1	40	2,5	4	1/4

Tabela 3.2 - Valores dos componentes para medida da THD

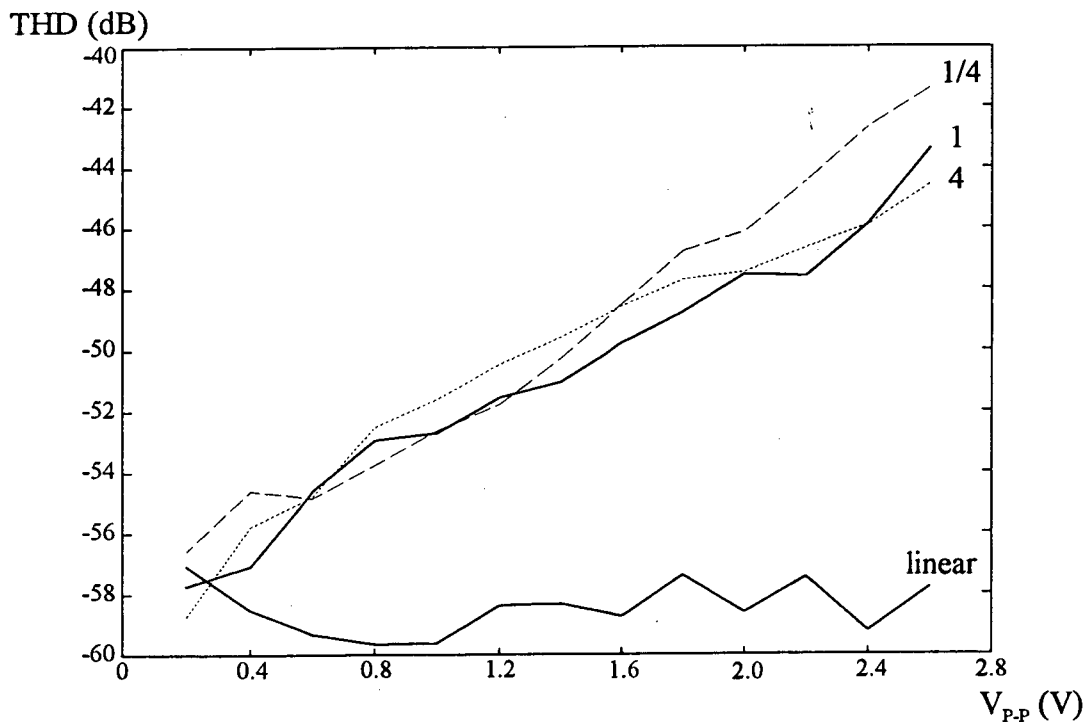


Figura 3.5 - Distorção harmônica total - rede com ganho de 1/4, 1, 4 e rede linear

A figura 3.5 mostra as curvas de distorção harmônica para os ganhos de corrente mostrados na tabela 3.2. Também foi obtida a curva de distorção harmônica para a rede linear, ou seja, com as redes T-2T substituídas por resistores lineares. Esta curva representa a distorção originada pelos ampops e pelo gerador de tensão senoidal. Para tensões de dreno pequenas os

transistores operam em uma região linear da curva  $I_D \times V_D$ . Por isto, ocorre coincidência entre as curvas de distorção para tensões de entrada baixas. À medida que a tensão de entrada aumenta, o ponto de operação da rede caminha para regiões cada vez mais não lineares. Este efeito combinado com o aumento do descasamento das redes resulta no aumento da distorção do circuito. A medida que os pontos de operação das redes se aproximam da região de saturação alguns efeitos de segunda ordem tornam-se apreciáveis e contribuem também para o aumento da distorção do circuito amplificador. Em uma implementação totalmente integrada deste circuito, espera-se um desempenho sensivelmente melhor do amplificador programável quanto à distorção harmônica do que o obtido em nossas medidas, uma vez que as redes  $\alpha$  e  $\beta$  por nós utilizadas não tiveram seus leiautes otimizados para a aplicação mostrada.

### 3.4 - O AMPLIFICADOR PROGRAMÁVEL ATUANDO COMO CONVERSOR D/A

#### 3.4.1 - Introdução:

Antes da proliferação dos circuitos integrados, os conversores D/A eram implementados basicamente com redes "ladder" resistivas. As primeiras tentativas de se obter conversores totalmente integrados também utilizavam redes de escalamento resistivas, implementadas em tecnologia bipolar [16]. A fim de melhorar o casamento e atenuar os efeitos da deriva térmica nos resistores integrados bipolares, os projetistas de CIs passaram a procurar novas alternativas de implementação de conversores integrados. Surgiram outras possibilidades, como conversores implementados em tecnologia híbrida (resistores de filme fino) e também na tecnologia bipolar/ $I^2L$ , entre outras [22].

Com o crescimento da utilização de técnicas digitais no processamento de sinais, a tecnologia CMOS provou ser a mais adequada para a integração de circuitos digitais. Conversores tornaram-se, então, partes indispensáveis no projeto de sistemas totalmente integrados. Conseqüentemente, aumentou-se a necessidade de se obter conversores mais precisos e mais compactos, deixando assim maior área para o circuito digital de processamento de sinais [16]. Desta maneira os circuitos analógicos devem ter seus requisitos de projeto adequados à tecnologia

CMOS digital e, de preferência, serem apropriados à implementação em SoG. Na tecnologia CMOS digital, resistores e capacitores lineares são obtidos a custos de uma grande ocupação de área, o que se torna crítico quando o número de bits do conversor aumenta.

Nos DACs resistivos é necessária a utilização de tecnologias especiais para a obtenção de resistores lineares precisos. Isto não permite a implementação de conversores com circuitos resistivos de escalamento em tecnologia digital. Nas redes capacitivas existe a possibilidade de se utilizar a capacitância de porta dos transistores MOS, que, se devidamente polarizados podem operar como capacitores quase lineares [21]; entretanto, esta opção só é possível para um pequeno número de bits. Outra metodologia possível de se implementar conversores capacitivos é a de se utilizar duas camadas de polisilício na tecnologia MOS digital. Esta opção não é compatível com a integração em alta escala.

Pode-se também obter conversores através da utilização de transistores MOS atuando como fontes de corrente [22]. Esta técnica, uma das atualmente mais utilizadas, apresenta o inconveniente de ocupar uma área muito grande quando a conversão envolve um elevado número de bits, pois a área ocupada pelos transistores cresce exponencialmente com o número de bits.

Apresentaremos uma técnica de implementação de conversores D/A que tem como base a rede "ladder" T-2T, apresentada anteriormente. Esta técnica resulta em conversores simples, compactos e totalmente integráveis em tecnologia CMOS digital convencional.

### **3.4.2 - Conversor digital-analógico:**

Conversores D/A são utilizados para transportar dados transmitidos, armazenados ou resultados de processamento digital de volta para o mundo analógico.

A conversão de uma palavra digital em tensão ou corrente analógica envolve algum tipo de circuito de escalamento, que é utilizado com o objetivo de obter cópias analógicas dos dados digitais de entrada. A saída analógica representa uma versão escalada de uma tensão ou corrente de referência. O número de bits que um DAC ("digital-analog converter") pode alcançar é dado pela precisão do circuito de escalamento.

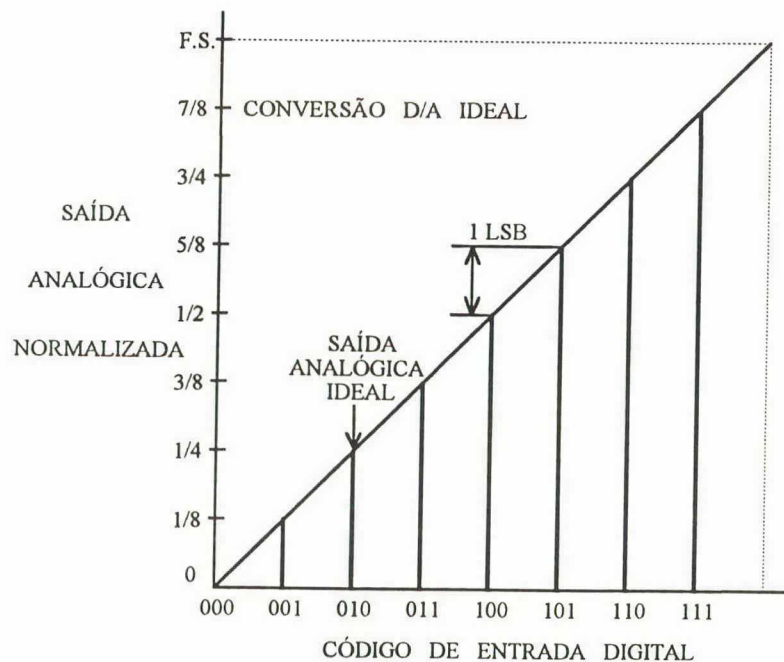
A variável de saída pode ser obtida da seguinte expressão:

$$C_{OUT} = C_{REF} \left( \frac{b_0}{2^1} + \frac{b_1}{2^2} + \frac{b_2}{2^3} + \dots + \frac{b_{n-1}}{2^n} \right) \quad (3.4)$$

onde  $n$  é o número de bits do conversor,  $b_i$  corresponde a um bit de entrada (assume valor 0 ou 1) e  $C$  pode representar corrente ou tensão. O coeficiente  $b_0$  representa o bit mais significativo (MSB - "most significant bit") e tem peso igual a  $2^{-1} C_{REF}$ . O bit  $b_{n-1}$  é o bit menos significativo (LSB - "least significant bit") e tem peso  $2^{-n} C_{REF}$ .

Conversores D/A apresentam  $2^n$  níveis discretos para o sinal analógico de saída, que variam, no caso da equação (3.4), de zero até  $(1-2^{-n})C_{REF}$  ou seja, de 0 até  $(C_{ref} - 1 \text{ LSB})$ .

A característica estática ideal de um DAC de 3 bits é mostrada na figura 3.6.



**Figura 3.6** - Função de transferência ideal de um conversor D/A de 3 bits

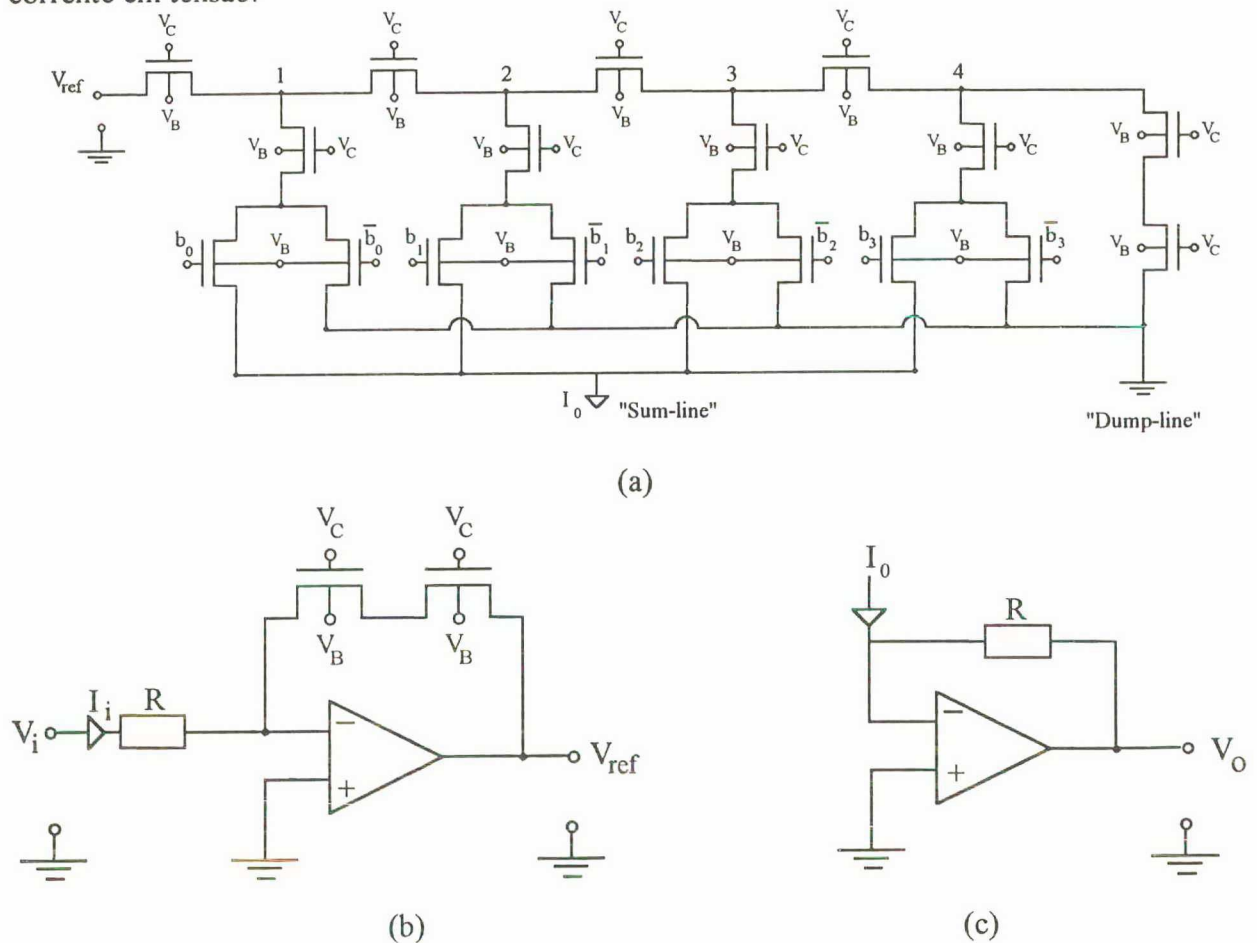
### 3.4.3 - Implementação discreta de um DAC de 4 bits:

Através do circuito do amplificador programável (figura 3.1) é possível implementar um conversor digital-analógico [23].



Na figura 3.7 (a) é mostrado um circuito de escalamento de corrente de 4-bits. Nas figuras 3.7 (b) e (c) estão representados os circuitos conversores lineares de tensão-corrente da entrada e corrente-tensão da saída, respectivamente.

Na figura 3.7 (b), a tensão de entrada  $V_i$  é convertida linearmente em  $I_i = V_i/R$ . Por sua vez, a corrente  $I_i$  é convertida (não linearmente) em  $V_{ref}$ . A rede divisora de corrente, composta por transistores iguais, é equivalente à associação série de dois transistores. Portanto, a corrente de entrada da rede da figura 3.7 (a) é  $I_i$ . A corrente  $I_0$  na "sum-line" é uma fração, programável pela palavra digital, da corrente  $I$  de entrada. O conversor de saída, por seu lado, reconverte o sinal de corrente em tensão.



**Figura 3.7 - Conversor D/A de 4 bits**

- (a) rede de escalamento da corrente
- (b) conversor linear V-I da entrada
- (c) conversor linear I-V da saída

Um protótipo discreto de 4 bits, com transistores MOS canal-n do circuito integrado C4007, foi implementado segundo o esquema elétrico da figura 3.7. A operação do DAC é muito simples: a corrente injetada no transistor de entrada é sucessivamente dividida por dois nos nós 1, 2, 3 e 4. A palavra digital de entrada controla as chaves MOS, que injetam as correntes binárias na "sum-line" ou na "dump-line". A corrente somada no nó inversor do ampop de saída é convertida em tensão devido ao resistor linear na saída.

A característica estática do protótipo discreto está mostrada na figura 3.8 [23]. Através desta figura vemos que, apesar de se tratar de uma montagem discreta, a resolução de 4 bits é alcançada pelo conversor. Em uma versão totalmente integrada o casamento entre os transistores é muito melhor, possibilitando a implementação de conversores de maior resolução. Compensação nos desvios causados pela variação da temperatura pode ser obtida se os transistores do conversor V-I, a rede de escalamento e os resistores lineares da entrada e da saída forem implementados no mesmo "chip".

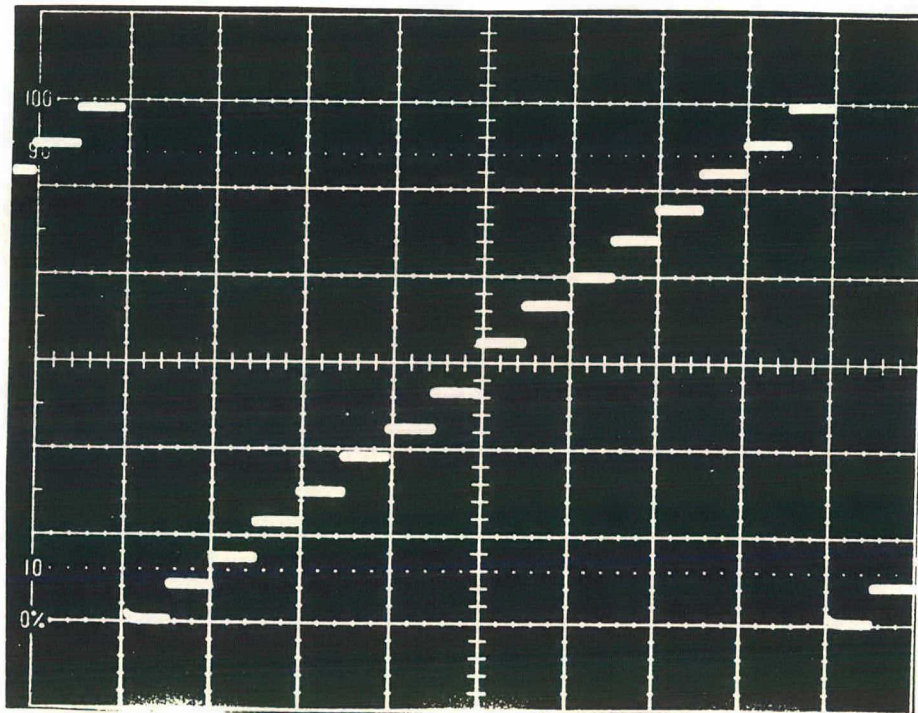


Figura 3.8 - Característica estática do protótipo discreto de 4 bits

Os terminais de porta de todos os transistores estão ligados em  $V_{DD}$  (+7,5 V) e seus substratos, em  $V_{SS}$  (-7,5 V). A palavra digital foi obtida através de um contador binário de 4 bits, utilizando o circuito integrado 40161, e o complemento desta palavra foi obtido com inversores CMOS do CI 4069.

Também foram projetadas duas redes divisoras integradas de 8 bits, com diferentes leiautes e diferentes geometrias dos transistores, com o intuito de verificar a precisão das duas versões. Os leiautes são mostrados na figura 3.9. Um dos leiautes seguiu a topologia utilizada na implementação SoG, como mostrado na figura 3.9 (a). Nesta implementação podemos notar que grande parte da área do leiaute é ocupada pelas linhas de interligação. Para a outra rede de escalamento foi utilizado um leiaute dedicado (figura 3.9 (b)), onde foi dada atenção ao melhor casamento entre os transistores (10  $\mu\text{m}$ /20  $\mu\text{m}$ ). Esta rede ocupou uma área de 240  $\mu\text{m}$  x 300  $\mu\text{m}$ .

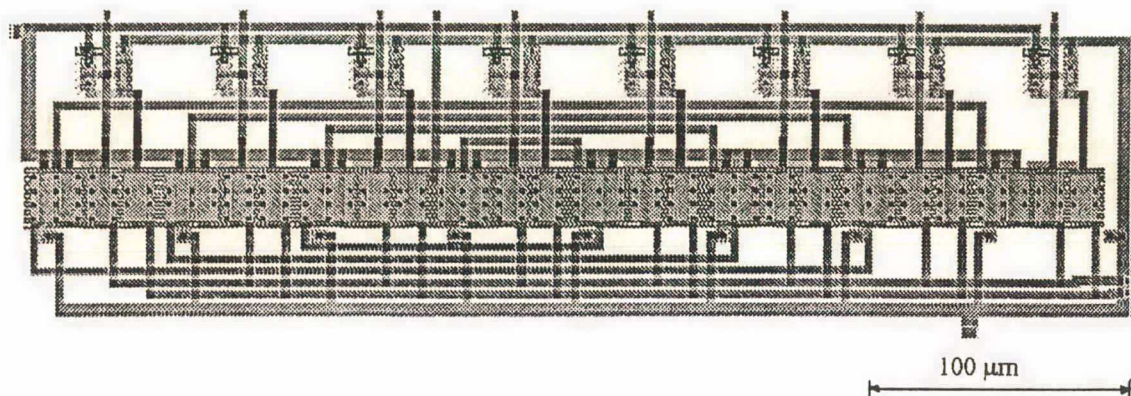
Estes conversores foram implementados através do Projeto Multiusuário Brasileiro de número 9 (PMUC 009). Entretanto, até o presente momento, as amostras dos "chips" não foram enviadas.

### 3.5 - CONCLUSÃO

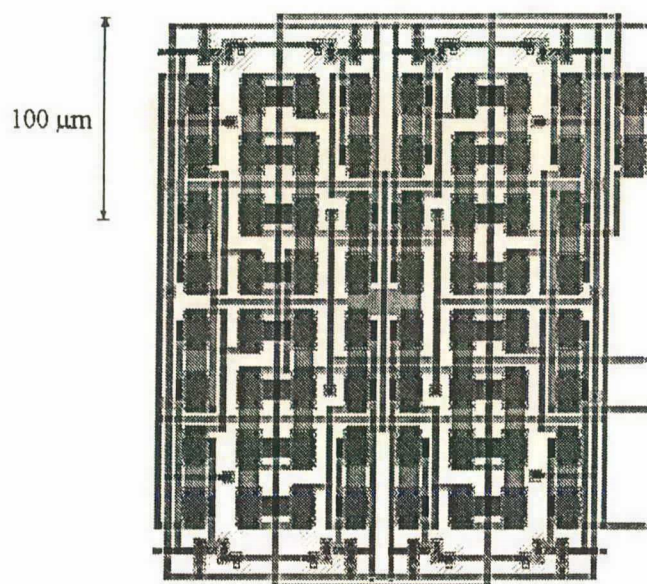
A técnica de implementação de conversores D/A por meio de uma rede transistorizada divisora de corrente apresenta compatibilidade com a tendência atual de implementação de circuitos integrados e tem gerado estudos sobre este tipo de conversores [18, 24, 25]. Sua precisão depende basicamente do casamento dos transistores e segundo [18] pode alcançar uma resolução de 8 bits para uma implementação em SoG e de 9 bits em uma versão "full custom". Apesar de apresentar resolução da ordem das obtidas por outras técnicas (que não utilizam auto correção), os conversores gerados por esta técnica são totalmente compatíveis com a tecnologia CMOS digital e podem ser implementados em SoG. Também ocupam pequena área, principalmente, por utilizar a topologia da rede "ladder" R-2R, na qual o número de componentes cresce linearmente com o número de bits. Além disto, as chaves, componentes indispensáveis em qualquer conversor D/A, são realizadas pelos mesmos transistores que realizam a função de

escalamento, resultando em maior economia de área e evitando a introdução de elementos parasitários no caminho do sinal de corrente. A simplicidade de projeto e de operação representa outro ponto positivo desta técnica, onde, para se aumentar o número de bits basta acrescentar ramos idênticos à rede "ladder" de escalamento.

Nos casos em que a saída do DAC é em corrente não há a necessidade do uso de um ampop na saída e a velocidade de conversão é maior do que a da rede com saída em tensão. Pois com saída em tensão a velocidade da conversão fica limitada pelo "slew rate" do amplificador de saída.



3.9 (a)



3.9 (b)

**Figura 3.9** - Leiautes da rede de escalamento implementadas no PMU 9

(a) SoG e (b) "full-custom"

## CAPÍTULO IV - FILTROS SI PROGRAMÁVEIS - UMA NOVA METODOLOGIA

### 4.1 - INTRODUÇÃO

No auge de sua popularidade, circuitos a capacitores chaveados (SC - "switched-capacitors") foram utilizados em implementações de subsistemas completos. Porém, com a evolução tecnológica, começaram a aparecer novas soluções através do processamento digital de sinais. A técnica digital apresenta grande simplicidade de projeto e menor tempo para obtenção do produto final, proporcionando soluções mais econômicas para implementação de sistemas integrados. O desenvolvimento da tecnologia possibilitou a integração de sistemas completos, incluindo circuitos digitais e analógicos, em um mesmo "chip". Aos circuitos analógicos restou, então, pouco mais do que a função de condicionamento de sinais. Os circuitos SC passaram a efetuar a função de interfaceamento entre o sistema digital e o mundo analógico externo ao "chip". Embora já sabido que circuitos SC não necessitem de capacitores lineares para sua implementação [35], circuitos a capacitores chaveados têm sido normalmente integrados através de processos tecnológicos não convencionais, tais como duplo poli. Considerando que hoje em dia não mais do que 10-20% [26] da área total do "chip" é ocupada pela porção analógica do sistema, é conveniente que a técnica de implementação do circuito analógico seja a CMOS digital, evitando encarecimento do produto final devido ao uso de tecnologia não convencional.

No final da década passada foi proposta uma técnica denominada corrente chaveada (SI - "switched-current") [27], que tinha como objetivo principal reduzir o custo de fabricação de circuitos integrados digitais/analógicos ("mixed ICs"), através de sua total compatibilidade com processos VLSI convencionais. Alguns circuitos já foram fabricados utilizando a técnica de corrente chaveada [28]; contudo é difícil concluir com os resultados já obtidos se os circuitos SI podem oferecer desempenho adequado em uma larga faixa de operações.

Filtros analógicos programáveis obtidos através de implementações convencionais já foram implementados e mostraram ocupar grande área, tanto com banco de capacitores [29], como com

de espelhos de corrente [30]. Neste capítulo será apresentada uma nova metodologia para se obter filtros SI, que podem ser programáveis [32]. A programabilidade é obtida através da rede "ladder" T-2T apresentada anteriormente, sendo também utilizados ampops, chaves e capacitores. Esta técnica é totalmente compatível com a tecnologia CMOS digital.

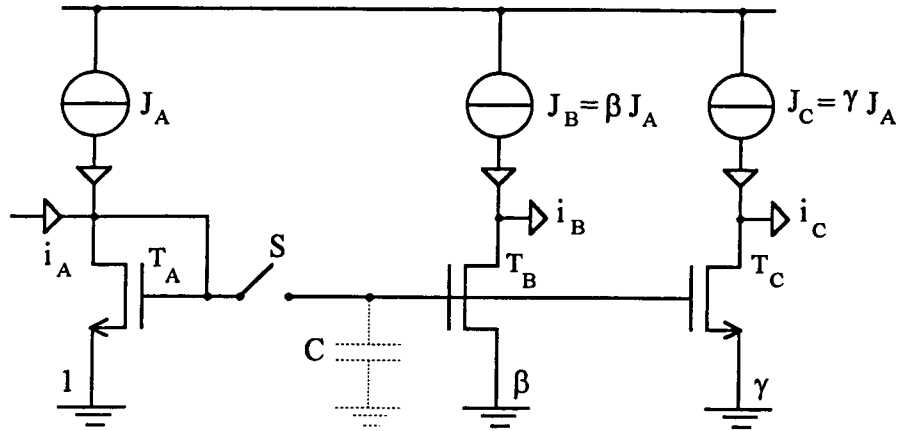
## 4.2 - O INTEGRADOR EM CORRENTE CHAVEADA

### 4.2.1 - Circuitos de 1ª geração:

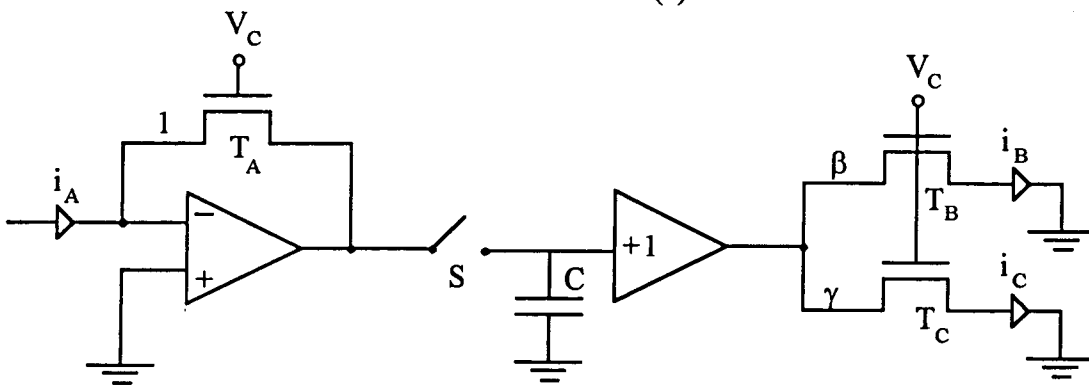
O objetivo da técnica de corrente chaveada é de realizar o processamento analógico de sinais através de operações elementares em amostras de corrente. O espelho de corrente chaveado é capaz de realizar as quatro operações básicas exigidas no processamento de sinais: inversão, soma, escalamento e atraso.

A figura 4.1 mostra os espelhos de corrente de 1ª geração convencional e propostos pela nova metodologia. O espelho de corrente proposto da figura 4.1 (b) é baseado na célula da figura 4.1 (a) e é implementado com dois transistores MOS, um entre a saída e a entrada não inversora de um ampop (terra virtual) e o outro entre a saída e o terra (ou terra virtual de outro ampop). O seguidor de tensão evita que o capacitor C de memorização descarregue através dos transistores de saída.

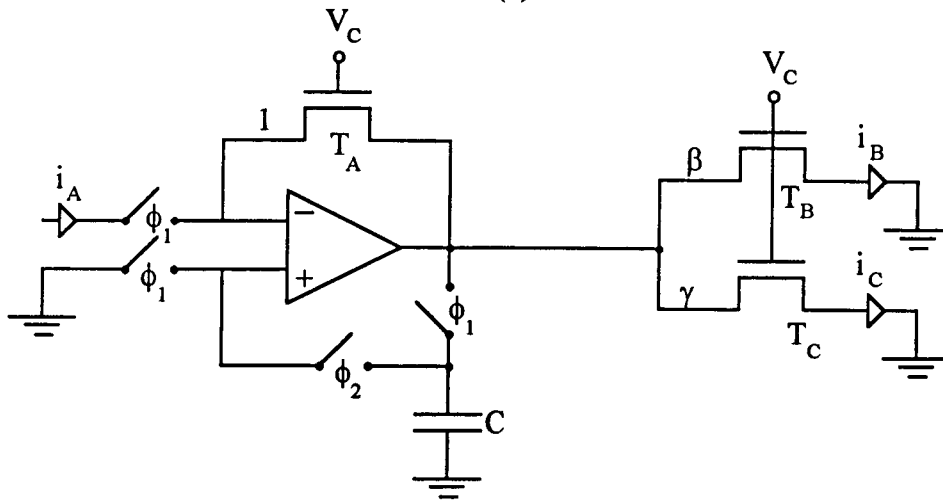
O funcionamento das células das figuras 4.1 (a) e (b) é simples. Durante o período em que a chave S está fechada, o circuito se comporta como um espelho de corrente contínuo e as correntes de saída  $i_B$  e  $i_C$  acompanham a corrente de entrada  $i_A$  (são réplicas escaladas e invertidas). Quando a chave S é aberta, a saída é desconectada da entrada; porém, a capacitância C mantém uma tensão V dependente da corrente no transistor  $T_A$  no semi-ciclo de "clock" anterior e as correntes de saída permanecem inalteradas. Este circuito realiza a função de "track" (fase  $\phi_1$ ) e "hold" (fase  $\phi_2$ ) cujas saídas correspondem a réplicas escaladas e atrasadas de meio período de "clock" da corrente de entrada.



4.1 (a)



4.1 (b)



4.1 (c)

**Figura 4.1 - Espelho de corrente (1ª geração) - (a) convencional, (b) proposto e (c) proposto modificado**

Uma versão modificada do espelho de corrente proposto, que necessita de apenas um amplificador operacional, é mostrada na figura 4.1 (c). As chaves são controladas por duas fases

de "clock" ( $\phi_1$  e  $\phi_2$ ) não sobrepostas, exibidas na figura 4.2. Neste circuito, quando as chaves controladas por  $\phi_1$  estão fechadas, o capacitor C é carregado com a tensão V idêntica ao caso anterior. Na fase  $\phi_2$ , a entrada é desconectada e o capacitor C com a tensão V memorizada é ligado à entrada não inversora do ampop, que opera na configuração seguidor, devido à realimentação unitária da saída para a entrada proporcionada por  $T_A$ . As correntes de saída destes espelhos de corrente, na fase  $\phi_2$ , são dadas por:

$$i_B(n) = -\beta i_A(n-1/2) \quad \text{e} \quad i_C(n) = -\gamma i_A(n-1/2) \quad (4.1)$$

onde  $\beta$  e  $\gamma$  são fatores de escalamento. Nota-se que as correntes de saída durante a fase  $\phi_2$  são réplicas invertidas da entrada atrasadas de meio período de "clock".

A figura 4.3 mostra os circuitos de atraso de um ciclo de "clock", obtidos pelo cascadeamento de duas células "track-and-hold". No circuito de atraso proposto, mostrado na figura 4.3 (b), durante a fase  $\phi_2$ , o capacitor  $C_1$  é carregado com a tensão V, que depende da corrente de entrada e do transistor T. Na fase  $\phi_1$ , a tensão no capacitor  $C_2$  origina uma corrente em  $T_B$  idêntica à corrente de entrada, exceto por um fator de escalamento. As correntes de saída, durante a fase  $\phi_2$ , dos circuitos de atraso da figura 4.3 são idênticas e iguais a:

$$i_{o1}(n) = \beta i_i(n-1) \quad (4.2)$$

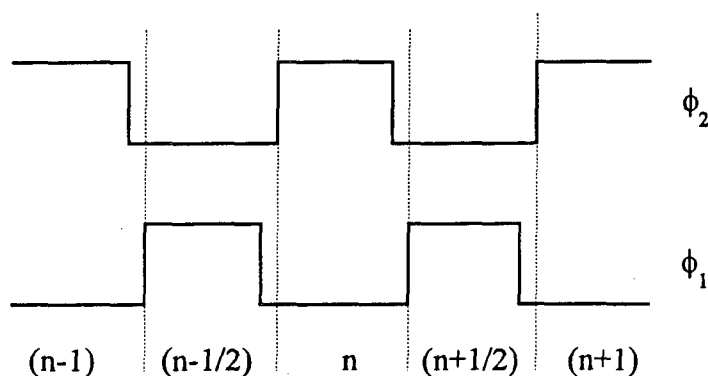
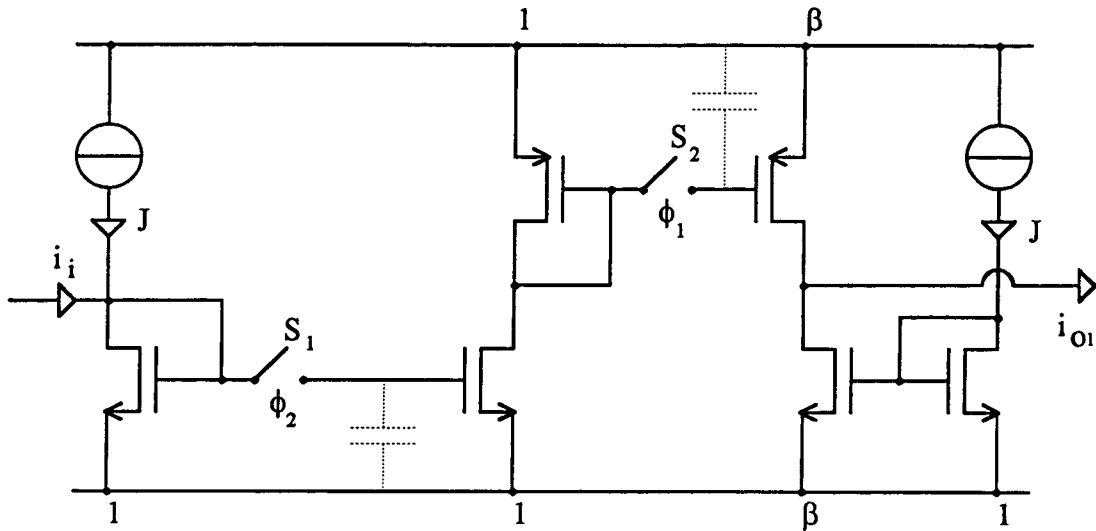
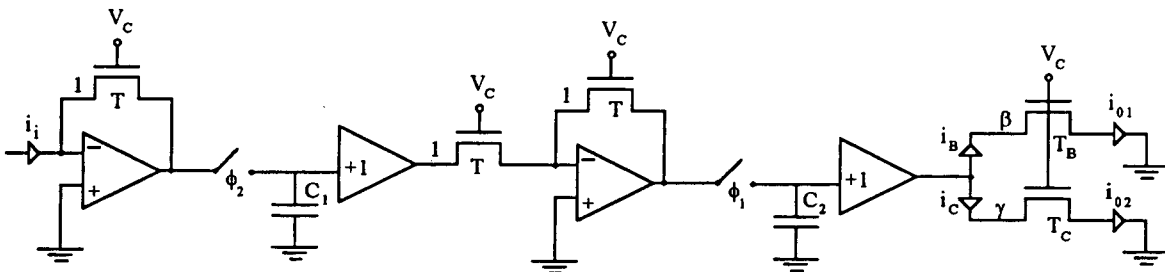


Figura 4.2 - Sinais de "clock" não sobrepostos





4.3 (a)



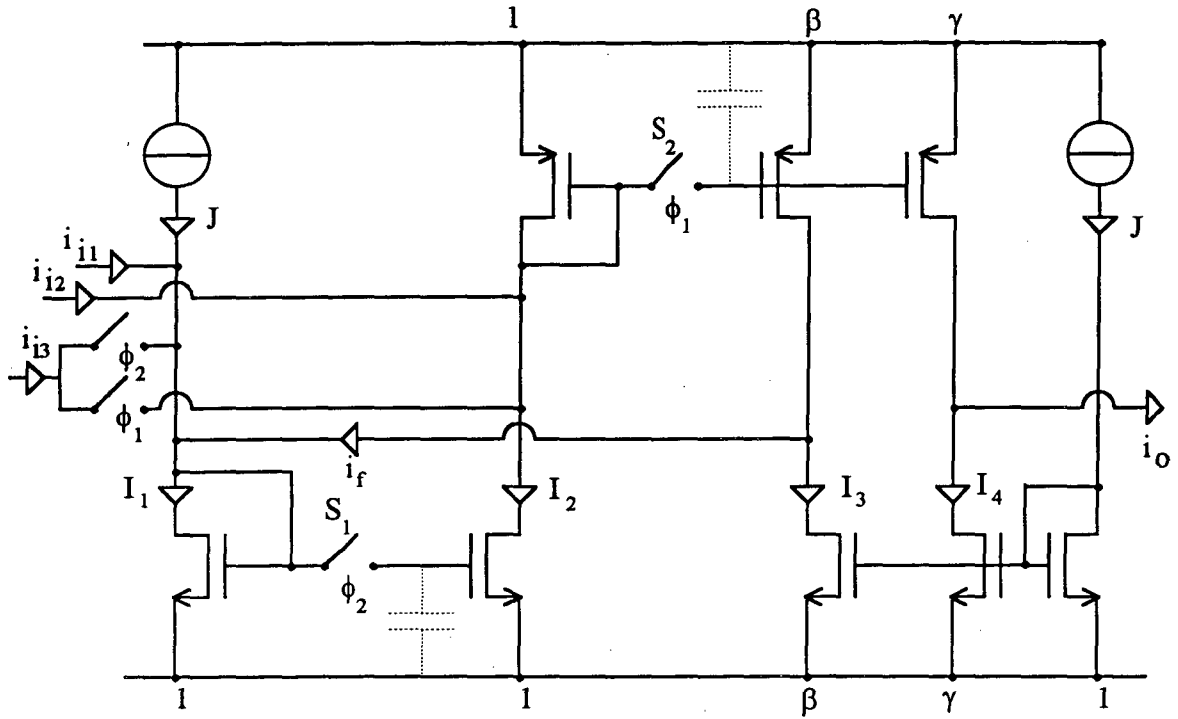
4.3 (b)

Figura 4.3 - Circuito de atraso (1ª geração) - (a) convencional e (b) proposto

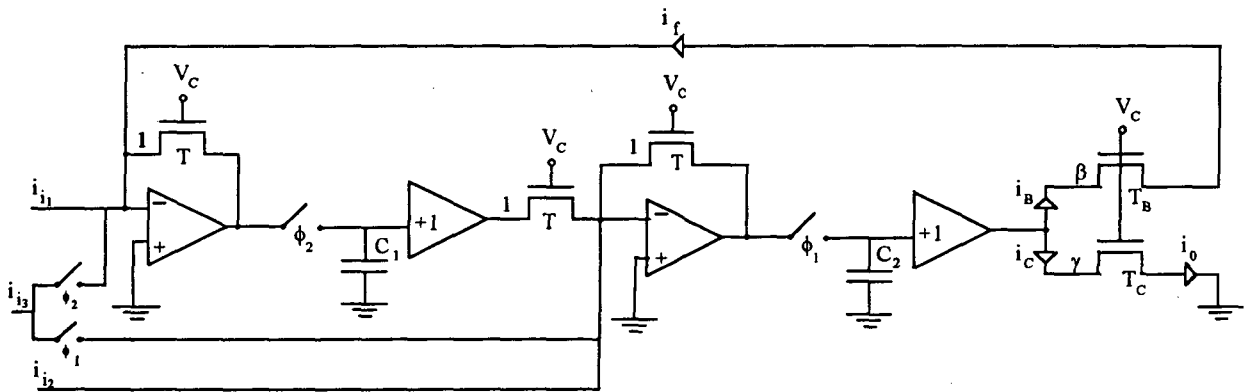
Integradores SI de 1ª geração podem ser obtidos com os circuitos de atraso citados anteriormente, realimentando uma fração da corrente de saída para a entrada. Na figura 4.4 (a) é mostrado o integrador SI convencional de 1ª geração [26] enquanto o integrador SI proposto neste trabalho é apresentado na figura 4.4 (b).

Analisando a figura 4.4, fazendo  $i_{i2} = 0$  e  $i_{i3} = 0$ , vemos que na fase  $\phi_2$  a corrente de saída é dada por:

$$i_o(n) = \gamma i_i(n-1) + \beta i_o(n-1) \quad (4.3)$$



4.4 (a)



4.4 (b)

Figura 4.4 - Integrador SI universal de 1ª geração - (a) convencional e (b) proposto

A função de transferência  $H_1(Z)$  fica

$$H_1(Z) = \frac{I_3^{\phi_2}(Z)}{I_1^{\phi_2}(Z)} = \frac{\gamma Z^{-1}}{1 - \beta Z^{-1}} \quad (4.4)$$

Fazendo  $i_{i1} = 0$  e  $i_{i3} = 0$ , obtemos, na fase  $\phi_2$  :

$$i_o(n) = \beta i_o(n-1) - \gamma i_{i2}(n-1/2) \quad (4.5)$$

e

$$H_2(Z) = \frac{I_o^{\phi_2}(Z)}{I_{i2}^{\phi_1}(Z)} = -\frac{\gamma Z^{-1/2}}{1 - \beta Z^{-1}} \quad (4.6)$$

Considerando apenas a entrada  $i_3$  ( $i_{i1} = 0$  e  $i_{i2} = 0$ ), obtemos durante a fase  $\phi_2$  :

$$i_o(n) = \beta i_o(n-1) - \gamma (i_{i3}(n-1/2) - i_{i3}(n-1)) \quad (4.7)$$

Portanto, as funções de transferência  $H_3'(Z)$  e  $H_3''(Z)$  resultam,

$$H_3'(Z) = \frac{I_o^{\phi_2}(Z)}{I_{i3}^{\phi_1}(Z)} = -\frac{\gamma Z^{-1/2}}{1 - \beta Z^{-1}} \quad \text{e} \quad H_3''(Z) = \frac{I_o^{\phi_2}(Z)}{I_{i3}^{\phi_2}(Z)} = \frac{\gamma Z^{-1}}{1 - \beta Z^{-1}} \quad (4.8)$$

O integrador SI mostrado na figura 4.4 é conhecido como integrador universal. Por superposição, sua corrente de saída, na fase  $\phi_2$ , expressa no domínio  $Z$  é

$$I_o^{\phi_2}(Z) = \gamma \frac{Z^{-1}}{1 - \beta Z^{-1}} I_{i1}^{\phi_2}(Z) - \gamma \frac{Z^{-1/2}}{1 - \beta Z^{-1}} I_{i2}^{\phi_1}(Z) - \gamma \frac{Z^{-1/2}}{1 - \beta Z^{-1}} I_{i3}^{\phi_1}(Z) + \gamma \frac{Z^{-1}}{1 - \beta Z^{-1}} I_{i3}^{\phi_2}(Z) \quad (4.9)$$

Se  $\beta = 1$ , as funções de transferência correspondem às de integradores sem perdas.

Notamos que os coeficientes dos integradores SI são determinados pelas razões de aspecto dos transistores que constituem os espelhos de corrente. Na prática, o descasamento entre os transistores causa distorção em relação à função de transferência ideal. O ganho de baixa frequência  $a_0$ , sua sensibilidade em relação a  $\beta$ , a frequência de corte  $\omega_0$  e sua sensibilidade em relação a  $\beta$ , do integrador não inversor, são [31]

$$a_0 = \frac{\gamma}{1-\beta} \Rightarrow S_{\beta^0} = \frac{\beta}{1-\beta} \quad (4.10)$$

$$\omega_0 = \frac{2(1-\beta)}{T(1+\beta)} \Rightarrow S_{\beta^0} = \frac{-2\beta}{1-\beta^2} \quad (4.11)$$

onde  $T$  é o período de "clock". A resposta em frequência do integrador SI é extremamente dependente do valor de  $\beta$ , por sua vez dependente do casamento entre transistores. Integradores com pouco amortecimento ( $\beta \rightarrow 1$ ) apresentam o ganho DC e a frequência de corte muito sensíveis à variação de  $\beta$ . Por isto este circuito não é adequado para o projeto de filtros nos quais a frequência de "clock" é muito mais alta do que a frequência de corte do filtro ou para aqueles que apresentam alto fator de qualidade ( $Q$ ).

#### 4.2.2 - Circuitos de 2ª geração:

Uma nova estrutura a correntes chaveadas, chamada de 2ª geração foi proposta [31] para implementação de integradores com baixo fator de amortecimento. Esta estrutura é baseada no espelho de corrente chaveado da figura 4.5.

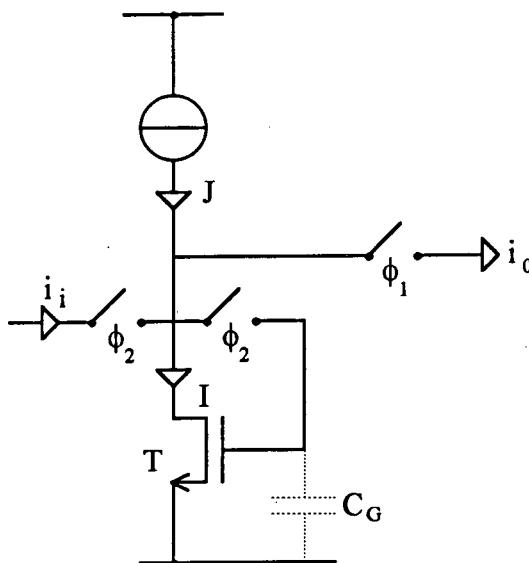


Figura 4.5 - Espelho de corrente chaveado (2ª geração)

Seu funcionamento é o seguinte: na fase  $\phi_2$  o transistor T conduz a corrente

$$\mathbf{I} = \mathbf{J} + \mathbf{i}_i \quad (4.12)$$

e é estabelecida uma tensão  $V_G$  no capacitor  $C_G$ . Na outra fase ( $\phi_1$ ), esta corrente é mantida em T devido à tensão  $V_G$  e, então, a corrente de saída será

$$\mathbf{i}_o = -\mathbf{i}_i \quad (4.13)$$

Na figura 4.6 (a) apresentamos o circuito de atraso de 2ª geração convencional enquanto na figura 4.6 (b) apresentamos o circuito de atraso proposto neste trabalho. A análise do circuito de atraso proposto mostra que, na fase  $\phi_2$ , o capacitor  $C_1$  é carregado com uma tensão  $V$  que é determinada pela corrente de entrada e pelo transistor  $T_2$ . Na fase  $\phi_1$ , a corrente de entrada  $i_i$  é desconectada da entrada e a soma das correntes em  $T_1$  e  $T_2$  é igual a zero. Estes circuitos de atraso apresentam, em  $\phi_2$ , a corrente de saída,

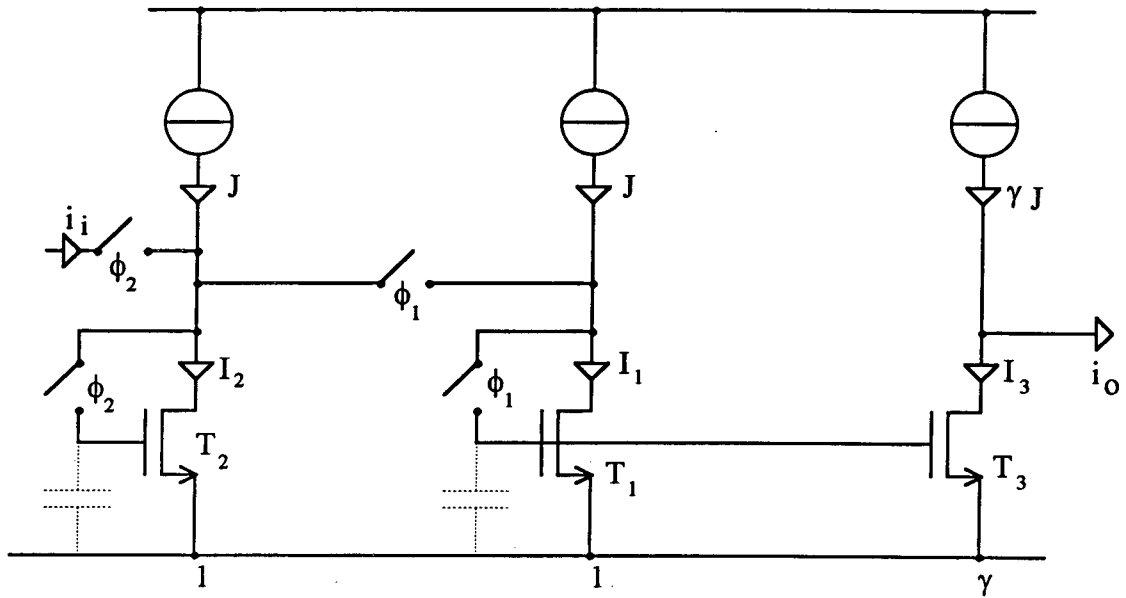
$$i_o(n) = \gamma i_i(n-1) \quad (4.14)$$

Como vimos anteriormente, um integrador SI é obtido de um circuito de atraso através da realimentação de uma fração da corrente de saída para a entrada. Portanto, resultam os integradores exibidos na figura 4.7.

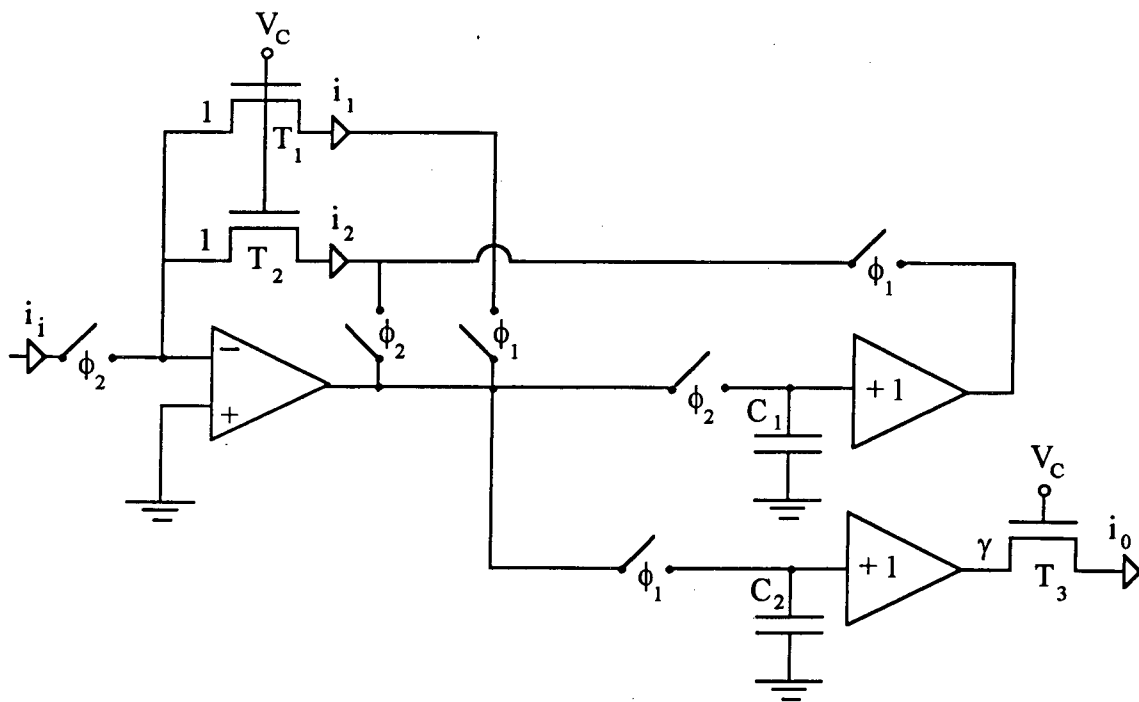
A análise destes circuitos mostra que na fase  $\phi_2$ , a função de transferência é dada por:

$$H_1(Z) = \frac{I_o^{\phi_2}(Z)}{I_i^{\phi_2}(Z)} = \frac{\gamma Z^{-1}}{1 - Z^{-1}} \quad (4.15)$$

que corresponde à função de transferência de um integrador não inversor sem perdas, obtida como na expressão (4.3).

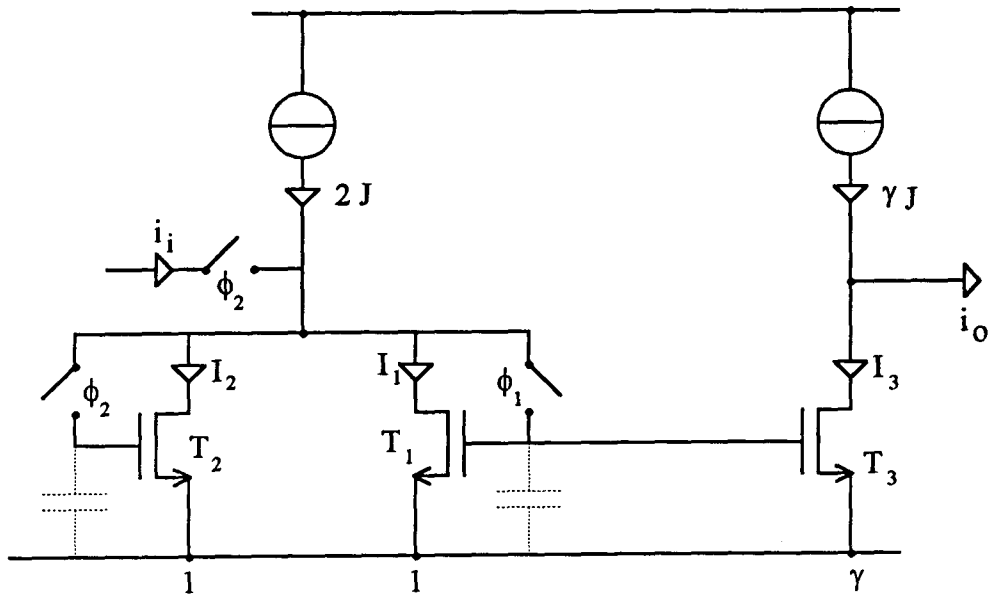


4.6 (a)

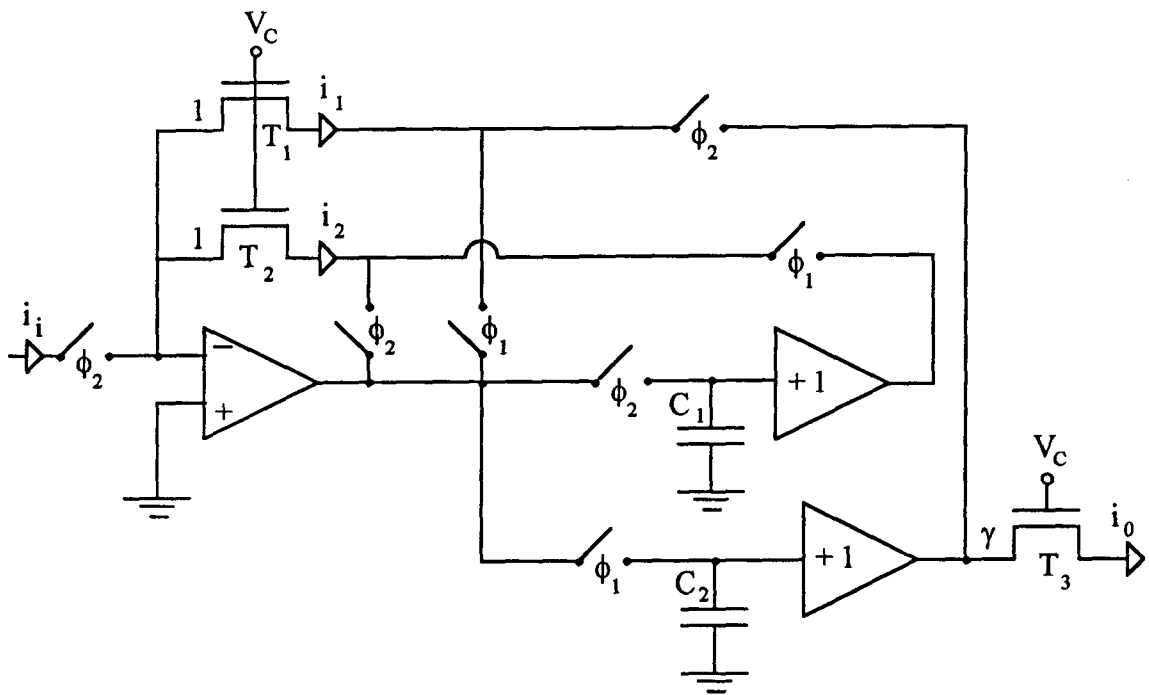


4.6 (b)

Figura 4.6 - Circuito de atraso (2ª geração) - (a) convencional e (b) proposto



4.7 (a)



4.7 (b)

**Figura 4.7** - Integrador sem perdas (2ª geração) - (a) convencional e (b) proposto

Se além da realimentação realizada fizermos uma realimentação extra de uma fração da corrente de saída, é possível obter um integrador SI amortecido, à semelhança do que é feito na técnica de capacitores chaveados. Este integrador é conhecido como integrador SI universal de

2ª geração [31]. Nas figuras 4.8 (a) e (b) estão mostrados os integradores SI de 2ª geração, o convencional e o da metodologia proposta, respectivamente.

O funcionamento do circuito da figura 4.8 é muito parecido com o do integrador anterior, apenas com a modificação da realimentação extra durante a fase  $\phi_1$ .

A corrente de saída devido à corrente de entrada  $\gamma_1 i_{i1}$  é:

$$i_o(n) = \gamma i_{i1}(n-1) + i_o(n-1) + \beta i_o(n) \quad (4.16)$$

Se  $\gamma_1 i_{i1} = \gamma_3 i_{i3} = 0$ , então:

$$i_o(n) = i_o(n-1) - \beta i_o(n) - \gamma_2 i_{i2}(n-1/2) \quad (4.17)$$

E, se  $\gamma_1 i_{i1} = \gamma_2 i_{i2} = 0$ ,

$$i_o(n) = i_o(n-1) - \beta i_o(n) - \gamma_3 (i_{i3}(n-1/2) - i_{i3}(n-1)) \quad (4.18)$$

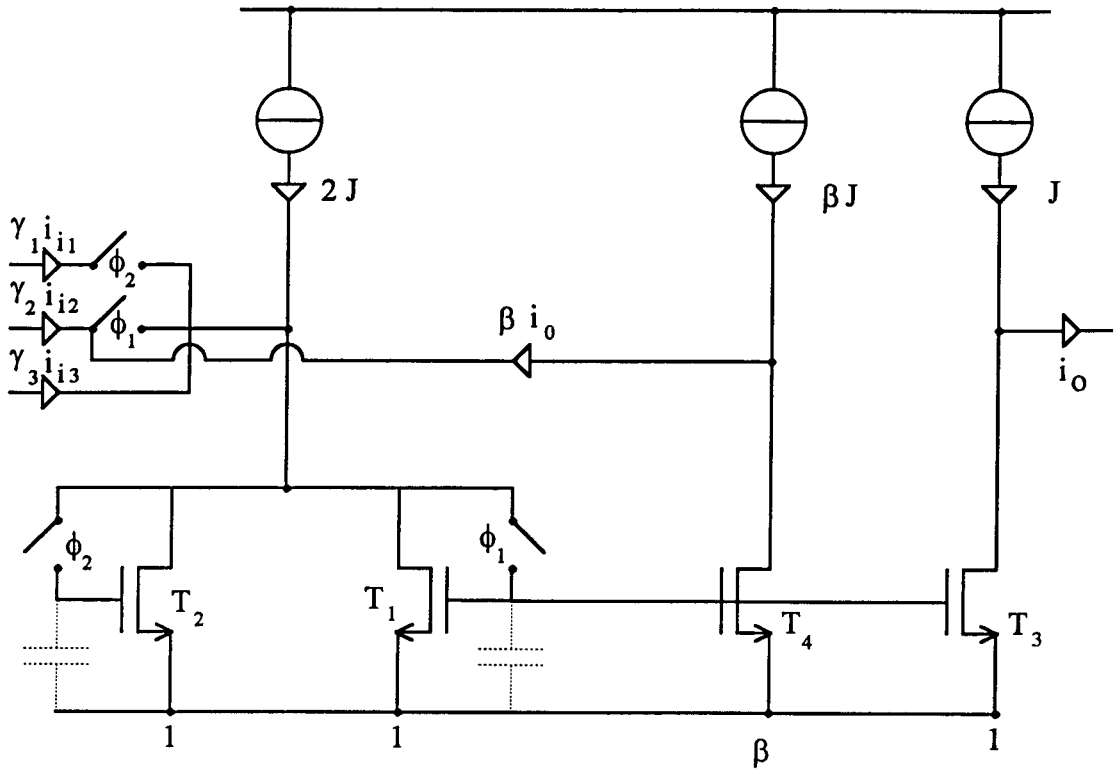
Usando superposição, a análise mostra que a corrente de saída, durante a fase  $\phi_2$  é dada por

$$I_o^{\phi_2}(Z) = \frac{A_1 Z^{-1}}{1 - B Z^{-1}} I_{i1}^{\phi_2}(Z) - \frac{A_2 Z^{-1/2}}{1 - B Z^{-1}} I_{i2}^{\phi_2}(Z) - \frac{A_3 Z^{-1/2}}{1 - B Z^{-1}} I_{i3}^{\phi_1}(Z) + \frac{A_3 Z^{-1}}{1 - B Z^{-1}} I_{i3}^{\phi_2}(Z) \quad (4.19)$$

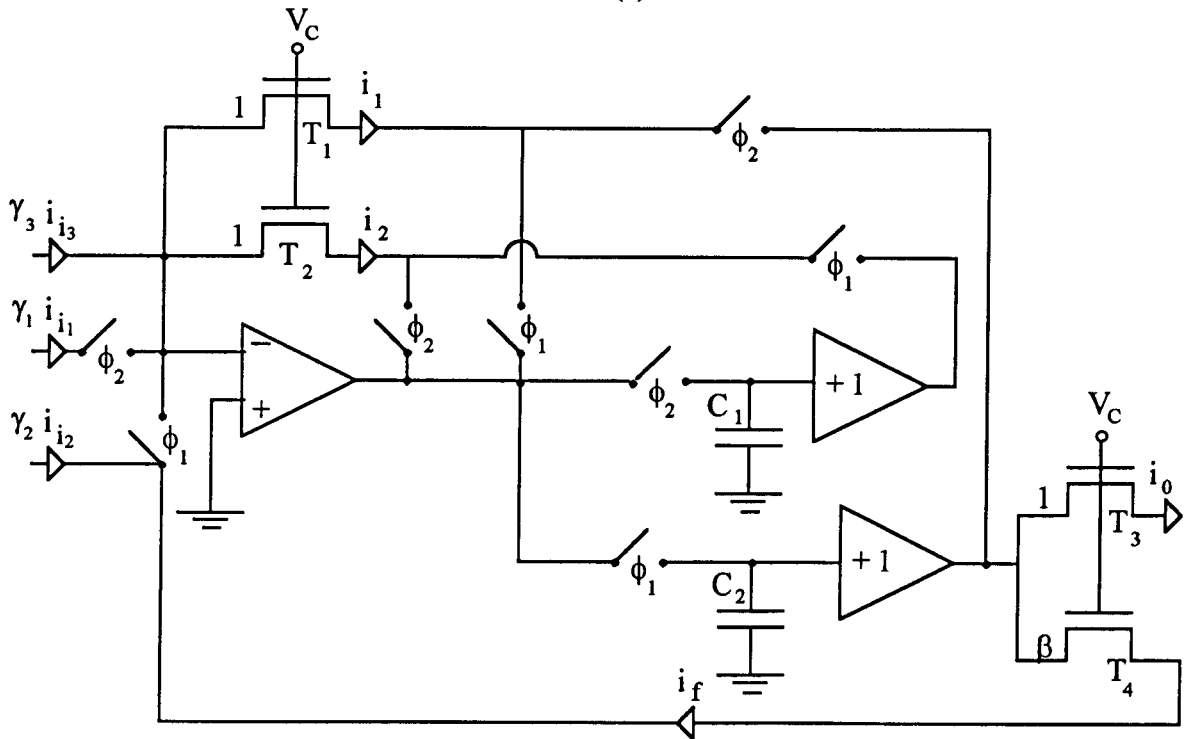
onde  $A_1 = \frac{\gamma_1}{1 + \beta}$ ,  $A_2 = \frac{\gamma_2}{1 + \beta}$ ,  $A_3 = \frac{\gamma_3}{1 + \beta}$  e  $B = \frac{1}{1 + \beta}$ .

O resultado obtido para o integrador de 2ª geração tem como característica a baixa sensibilidade dos coeficientes da função de transferência ao descasamento dos transistores.





4.8 (a)



4.8 (b)

Figura 4.8 - Integrador de 2ª geração com amortecimento- (a) convencional e (b) proposto

### 4.3 - UMA NOVA METODOLOGIA DE IMPLEMENTAÇÃO DE FILTROS SI

Neste trabalho é proposta uma nova metodologia para implementação de filtros SI programáveis [32].

Podemos prover os circuitos integradores propostos de programabilidade, se utilizarmos a rede "ladder" T-2T ao invés de transistores MOS. Na figura 4.16 (a) e (b) estão ilustrados os integradores SI programáveis propostos de 1ª e 2ª geração, respectivamente. Os transistores foram substituídos por redes "ladder" T-2T.

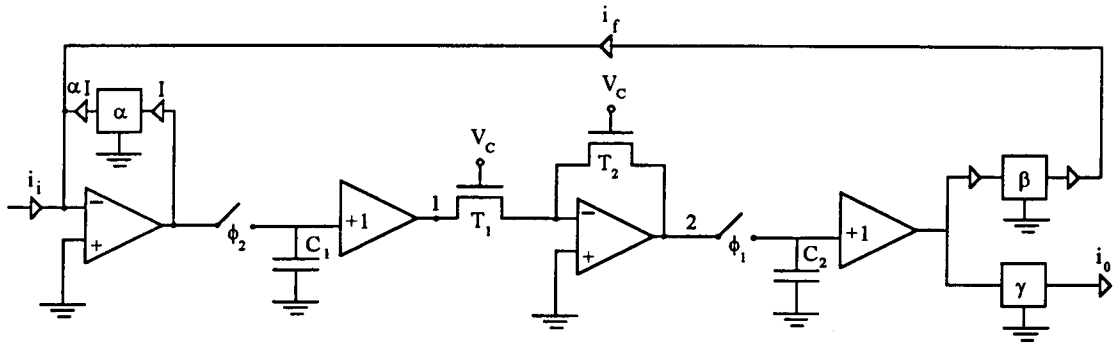
A função de transferência do integrador proposto de 1ª geração programável é

$$H_1(Z) = \frac{I_0^{\phi_2}(Z)}{I_1^{\phi_2}(Z)} = \frac{\gamma}{\alpha} \cdot \frac{Z^{-1}}{1 - \frac{\beta}{\alpha} Z^{-1}} \quad (4.20)$$

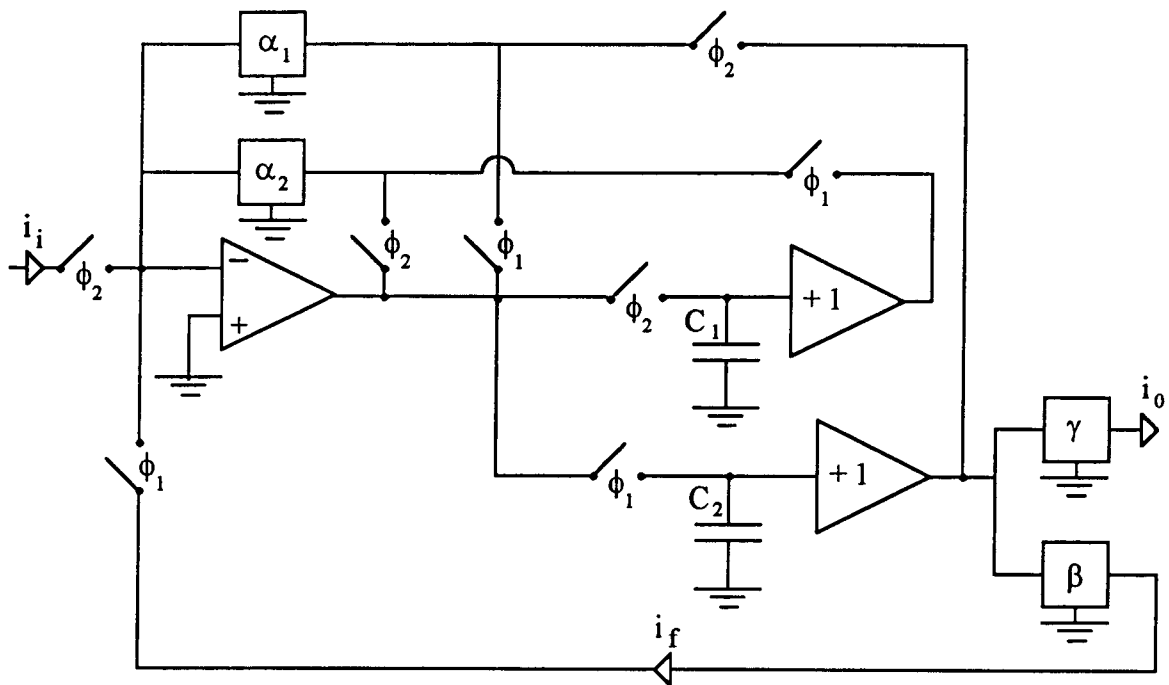
e a função de transferência do integrador proposto de 2ª geração é,

$$H_1(Z) = \frac{I_0^{\phi_2}(Z)}{I_1^{\phi_2}(Z)} = \frac{\gamma}{\alpha_1 + \beta} \cdot \frac{Z^{-1}}{1 - \frac{\alpha_1}{\alpha_1 + \beta} Z^{-1}} \quad (4.21)$$

Nestas funções de transferência notamos que a rede de saída ( $\gamma$ ) tem influência apenas no ganho DC do integrador. No integrador programável de 2ª geração, a rede  $\alpha_2$  não tem influência na função de transferência do circuito e não é necessário que o transistor  $T_2$  da figura 4.8 (b) seja substituído por uma rede T-2T. A utilização das duas redes T-2T programáveis  $\alpha_1$  e  $\beta$  permite maior flexibilidade na programação dos filtros.



4.9 (a)



4.9 (b)

**Figura 4.9** - Integradores programáveis da nova metodologia - (a) 1ª geração e (b) 2ª geração

#### 4.31 - Resultados experimentais:

Um protótipo discreto de um integrador SI com perdas foi montado como na figura 4.9(a), com transistores integrados canal-n do PMU 7 ( $W = 3 \mu\text{m}$  e  $L = 1,2 \mu\text{m}$ ), amplificadores operacionais discretos (TL 082), chaves e capacitores.

Com  $\alpha = 1$  e  $\gamma = 1 - \beta$ , a função de transferência da equação (4.20), torna-se

$$H_1(Z) = \frac{I_0^{\phi_2}(Z)}{I_1^{\phi_2}(Z)} = \frac{(1-\beta)Z^{-1}}{1-\beta Z^{-1}} \quad (4.22)$$

A rede divisora de corrente T-2T ( $\beta$ ) foi implementada com 3-bits para possibilitar a implementação de um integrador com  $\beta = 7/8$ .

Os sinais de "clock" não sobrepostos foram gerados pelo circuito da figura 4.10 [34], com portas NOR e inversores CMOS dos circuitos integrados, 4001 e 4069, respectivamente. A frequência do sinal de "clock" utilizada foi de 100 KHz. Foram utilizados amplificadores operacionais TL082, que apresentam alta impedância de entrada.

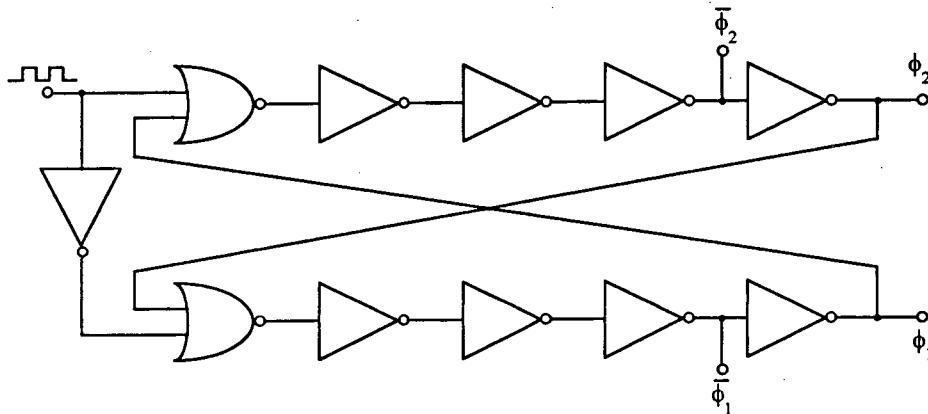


Figura 4.10 - Circuito gerador de 2 fases de "clock" não sobrepostas

Fazendo  $\beta = 7/8, 3/4$  e  $1/2$ , na equação (4.22) foram obtidas as respostas em frequência normalizadas do circuito (figura 4.11), utilizando o analisador de espectros HP 3188A. As respostas em frequência teóricas apresentam grande concordância com as experimentais. Na figura 4.12 estão traçadas as curvas teórica e experimental do integrador para  $\beta = 7/8$ .

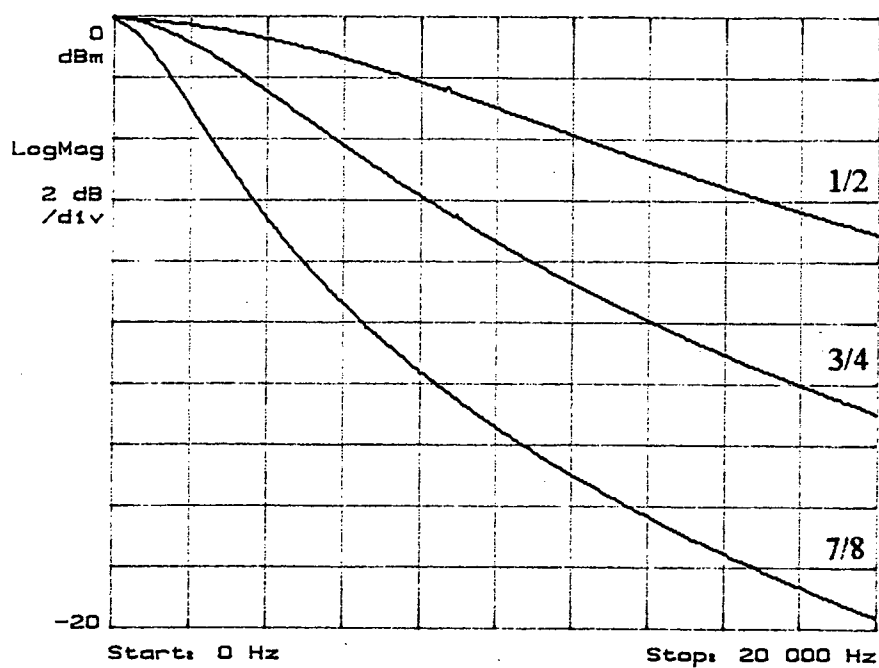


Figura 4.11 - Resposta em freqüência do protótipo discreto -  $\beta = 7/8, 3/4$  e  $1/2$

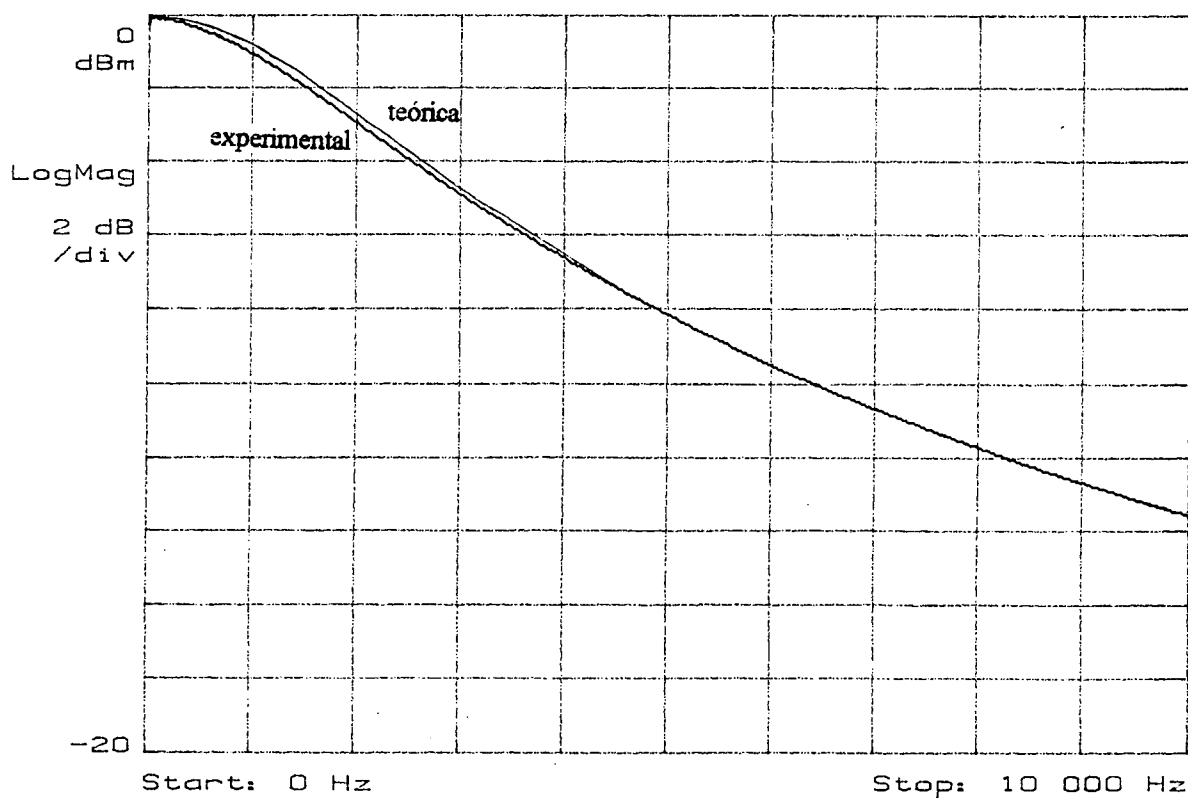
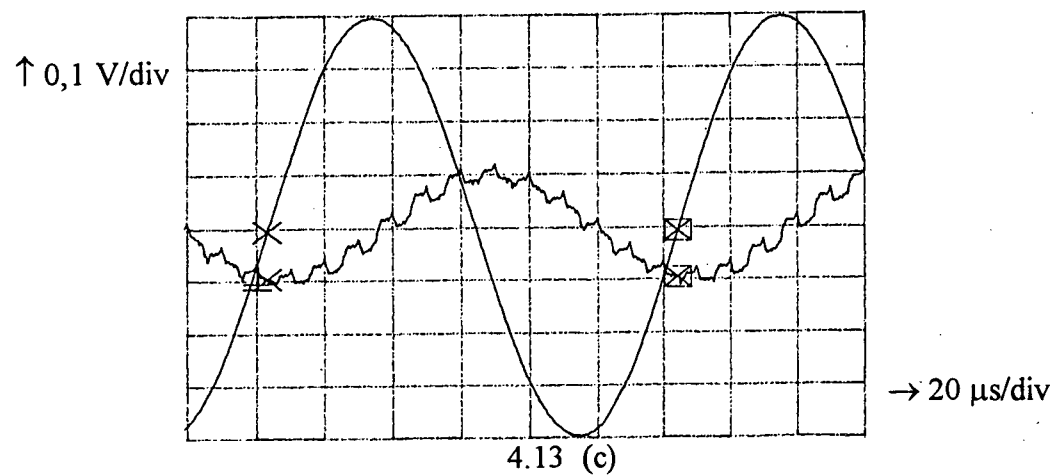
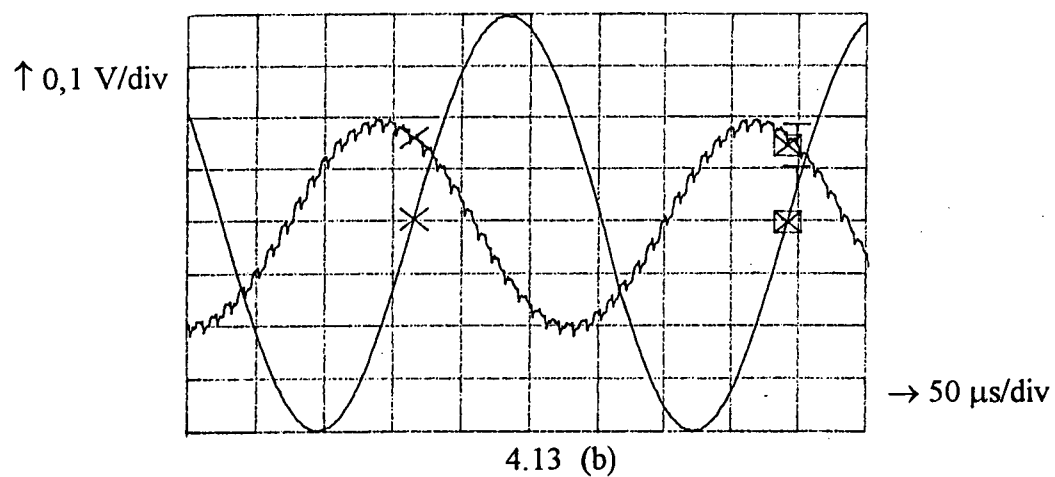
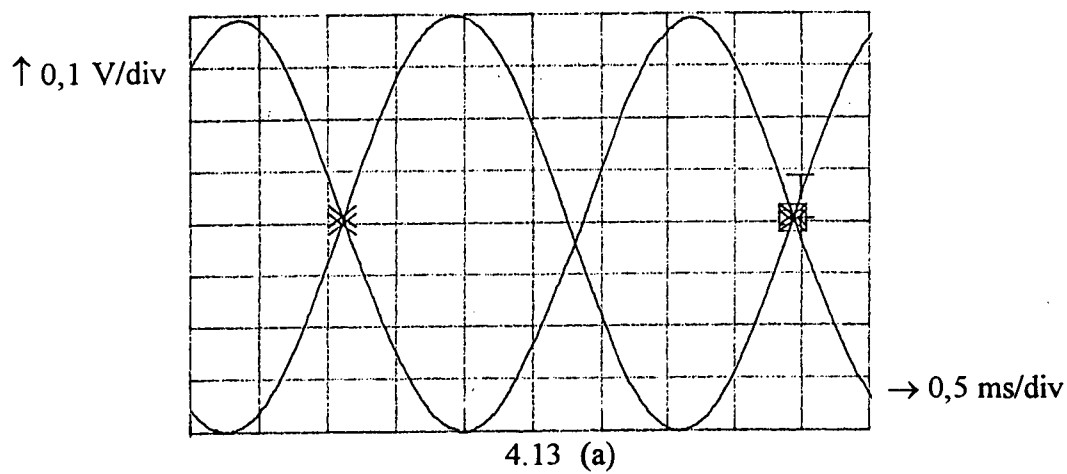


Figura 4.12 - Resposta em freqüência do protótipo discreto - teórica e experimental ( $\beta = 7/8$ )



**Figura 4.13** - Curvas da tensão de saída do integrador para frequência do sinal de entrada de: (a) 300 Hz, (b) 3,6 kHz e (c) 8,25 kHz

Com  $\beta = 7/8$ , foram plotadas as curvas da corrente de saída para diferentes pontos da resposta em frequência. Na figura 4.13 (a), a corrente de entrada tem frequência de 300 Hz, a corrente de saída não apresenta atenuação pois o ganho é unitário para 300 Hz. A resposta apresenta aparência contínua pois a frequência do sinal de entrada é muito menor do que a frequência do sinal de "clock". Em 4.13 (b) e (c) estão representadas as curvas das correntes de saída para as correntes de entrada com frequências de 3,6 kHz e 8,25 kHz, respectivamente.

Teóricamente, a corrente de saída é atenuada em -6 dB ( $|I_0| = 0,5 |I_i|$ ) para a frequência do sinal de entrada de 3,7 kHz e em -12 dB ( $|I_0| = 0,25 |I_i|$ ) para a frequência de 8,3 kHz. As duas últimas figuras (4.13 (b) e (c)) representam esta situação para as medidas experimentais e concordam muito bem com a teoria.

## CAPÍTULO V - CONCLUSÕES

Técnicas lineares e precisas de divisão de corrente (ou tensão) são utilizadas em diversos tipos de circuitos analógicos. A rede divisora de corrente apresentada neste trabalho realiza uma divisão linear da corrente de entrada e sua precisão depende principalmente do casamento entre seus componentes. Ela apresenta total compatibilidade com processos digitais convencionais com dispêndio de pouca área para sua implementação, característica não obtida pelas técnicas comumente utilizadas .

A rede "ladder" T-2T é constituída somente por transistores MOS. Sua topologia é baseada na rede "ladder" R-2R. Por utilizar transistores MOS unitários, a técnica permite a realização deste circuito em tecnologia digital MOS e permite também a implementação em SoG. É possível obter programabilidade na estrutura sem aumentar consideravelmente sua complexidade, pois as chaves são realizadas por transistores e também fazem parte da rede de escalamento. Desta maneira, evita-se a inclusão de elementos parasitários na rede, além de proporcionar economia da área de silício. Uma das principais características do circuito divisor de corrente programável, é que ele possui impedância constante e independente do código da palavra digital responsável pela programação da corrente de saída, isto traz vantagens, como por exemplo no projeto dos amplificadores operacionais que alimentam estas redes.

No caso de divisão binária de corrente, a rede T-2T é formada por módulos idênticos conectados em série, onde cada módulo é responsável por um bit. Então , o número de transistores na rede é proporcional ao número de bits. O conversor D/A mostrou-se como uma das grandes aplicações da técnica de divisão de corrente com transistores MOS.

Foi apresentada também uma nova metodologia de implementação de integradores SI que tira proveito das propriedades da rede "ladder" T-2T e possibilita a realização de filtros SI programáveis. Através desta metodologia será possível implementar filtros SI programáveis mais compactos que os propostos na literatura.



Para a utilização da técnica de divisão de corrente em implementações de projetos, alguns estudos devem ser aprofundados como, por exemplo, a análise da influência dos parâmetros do amplificador operacional na precisão da divisão de corrente. Desta análise pode-se extrair os requisitos de projeto de amplificadores operacionais adequados à utilização com redes "ladder" T-2T. A implementação de conversores D/A de maior resolução através da utilização de auto-calibração e a implementação de filtros SI programáveis em filtragem adaptável são outras sugestões para continuação deste trabalho.

## BIBLIOGRAFIA

- [1] Devadas, S., "Microelectronics System Design Skills for the Year 2000 and Beyond", *J. of Microelectronic Systems Integration*, vol. 1, no. 1, 1993, pp.85-94.
- [2] Brust, L. and Tsay, M., "Mixing Signals & Voltages on Chip", *IEEE Spectrum*, August 1993, pp. 40-43.
- [3] Cavin, R. K. and Hilbert, J. L., "Design of Integrated Circuits: Directions and Challenges", *Proc. of IEEE*, vol. 78, no. 2, February 1990, pp. 418-435.
- [4] Duchene, P. and Declercq, M. J., "A Highly Flexible Sea-of-Gates Structure For Digital and Analog Applications", *IEEE J. of Solid-State Circuits*, vol. 24, no. 3, June 1989, pp. 576-584.
- [5] Liu, T. and Allstot, D. J., "CMOS Analog Design Using a Digital Gate-Array", *31<sup>st</sup> Midwest Symposium on Circuits and System*, St. Louis, Mo, USA, 1988, pp.371-374.
- [6] Loss, I. J. B., Galup-Montoro, C. and Schneider, M. C., "Low Output Conductance, High Cutoff Frequency Transistors For Gate Array Implementation of Analog Circuits", *VIII Congresso da Sociedade Brasileira de Microeletrônica*, Setembro de 1993, Campinas, SP, Brasil, pp. xv.7-xv.12.
- [7] Galup-Montoro, C., Schneider, M. C. and Loss, I. J. B., "Series-Parallel Association on FETS for High Gain and High Frequency Applications", *IEEE J. of Solid-State Circuits*, vol. 29, no. 9, September 1994, pp. 1094-1101.
- [8] Kawada S., et al., "1.5- $\mu$ m CMOS Gate Arrays With Analog/Digital Macros Designed Using Common Base Arrays", *IEEE J. of Solid-State Circuits*, vol. 24, no. 4, August 1989, pp. 985-990.
- [9] Hagelauer, R. and Ronge, K., "Analog Functions Implemented on Digital CMOS Gate-Array - Merits and Problems", *IEEE Transactions on Industrial Electronics*, vol. IE-33, no. 4, November, 1986, pp. 371-376.

- [10] Masuda, S., et al., "A CMOS Analog and Digital Masterslice LSI", in ISSCC Dig. Tech. Papers, 1987, pp. 146-147.
- [11] Kash, R., "Building Quality Analog Circuits With C-MOS Logic Arrays", Electronics, August 11, 1981, pp. 109-112.
- [12] Tsividis Y. P., "Operation and Modeling of the MOS Transistor", Mc-Graw Hill, New York, 1987.
- [13] Vittoz E., "MOS Transistor", Intensive Summer Course on CMOS VLSI Design, Analog&Digital, Lausanne (EPFL), Switzerland, 1989.
- [14] Loss, I. J. B., "Transistores MOS Compostos de Baixa Condutância de Saída e Alta Frequência de Ganho Unitário", Dissertação de Mestrado, UFSC, 1993.
- [15] Vittoz, E. and Arreguit, X., "Linear Networks Based on Transistors", Electronics Letters, vol.29, no.3, February 1993, pp.297-299.
- [16] Jespers, P. L., "Integrated D/A and A/D Converters", Proc. da II Escola Brasileira de Microeletrônica, Gramado, RS, Março 1992.
- [17] Bult, K. and Geelen, G. J. G. M., "An Inherently Linear and Compact MOST-Only Current Division Technique", IEEE J. of Solid-State Circuits, vol. 27, no. 12, December 1992, pp. 1730-1735.
- [18] Haan, P. E., Elshout, V. D., Klumperink, E. A. M. and Bult, K., "Analysis of a Current Mode MOST-Only D-A Converter", Proc. the European of Solid-State Circuits Conference, Ulm, Germany, September 1994, pp. 188-191.
- [19] Pelgrom, M. J. M., Duijnmaier, C. J. and Welbers, A. P. G., "Matching Properties of MOS Transistors", IEEE J. of Solid-State Circuits, vol. 24, no. 5, October 1989, pp. 1433-1440.
- [20] Vittoz, E., "The Design of High-Performance Analog Circuits on Digital CMOS Chips", IEEE J. of Solid-State Circuits, vol. 20, no. 3, June 1985, pp. 657-665.
- [21] Behr, A. T., Schneider, M. C., Noceti Filho, S. and Montoro, C. G., "Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates", IEEE J. of Solid-State Circuits, vol. 27, no. 10, October 1992, pp. 1470-1475.

- [22] D. Seinghold (Ed.), "Analog-Digital Conversion Handbook", Prentice-Hall, Englewood Cliffs, NJ, 1986.
- [23] Gonçalves, R. T., Montoro, C. G. and Schneider, M. C., "A D/A Converter Based on a Transistor-Only R-2R Ladder Network", Proc. VIII Congresso Brasileiro de Microeletrônica, Campinas, SP, 1993.
- [24] Franca, J. E. and Guilherme, J., "Digitally-Controlled Analogue Signal Processing and Conversion Techniques Employing a Logarithmic Building Block", proc. of ISCAS 94.
- [25] Yanagisawa, T., Iida, T., Fuji, N., Takagi, S. and Czarnul, Z., "Principles of Nonlinearity Cancellation in Linear MOS Systems Using MRC Circuits", proc. of ISCAS '94.
- [26] Toumazou, C., Lidgley, F. J. and Haigh, D. G., "Analog IC Design: The Current-Mode Approach", Peter Peregrinus, 1990.
- [27] Hughes, J. B., Bird, N. C. and MacBeth, I. C., "Switched Currents - A New Technique for Analog Sampled-Data Signal Processing", IEEE ISCAS, Portland, OR, USA, May 1989, pp.1584-1587.
- [28] Crawley, P. J. and Roberts, G. W., "Predicting Harmonic Distortion in Switched-Current Memory Circuits", IEEE Trans. on Circ. and Syst., part II, vol. 41, no. 2, February 1994, pp.73-86.
- [29] Duque-Carrillo, J. F., Silva-Martinez, J. and Sánchez-Sinencio, E., "Programmable Switched Capacitor Bump Equalizer Architecture", IEEE J. Solid-State Circuits, vol.25, no. 4, August 1990, pp. 1035-1039.
- [30] Loh, K. H. et al, "A Versatile Digitally Controlled Continuous-Time Filter Structure with Wide-Range and Fine Resolution Capability", IEEE Trans. on Circ. and Syst., part II, vol. 39, no. 5, May 1992, pp. 265-276.
- [31] Hughes, J. B., MacBeth, I. C. and Patullo, D. M., "New Switched-Current Integrator", Electronics Letters, vol. 26, no. 11, 24th May 1990, pp. 694-696.
- [32] Gonçalves, R. T., Noceti Filho, S., Schneider, M. C. and Galup-Montoro, C., "Programmable Switched Current Filters Using MOSFET-Only Current Dividers", submitted to ISCAS'95.

- [33] Hughes, J. B. and Moulding, K. W., "Switched-Current Signal Processing for Video Frequencies and Beyond", *IEEE J. Solid-State Circuits*, vol.28, no. 3, March 1993, pp. 314-322.
- [34] Gregorian, R, and Temes, G. C., "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, 1986.
- [35] Bermudez, J. C. M., Schneider, M. C. and Montoro, C. G., "Compatibility of Switched Capacitor Filters with VLSI Processes", *IEE Proc.-G*, vol. 139, no. 4, August 1992, pp. 413-418.