

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**PROJETO DE AMPLIFICADORES OPERACIONAIS CMOS
UTILIZANDO TRANSISTORES COMPOSTOS
EM “SEA-OF-TRANSISTORS”**

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE
SANTA CATARINA PARA A OBTENÇÃO DO GRAU DE
MESTRE EM ENGENHARIA ELÉTRICA

SIMONE MASSULINI ACOSTA

FLORIANÓPOLIS, AGOSTO DE 1997

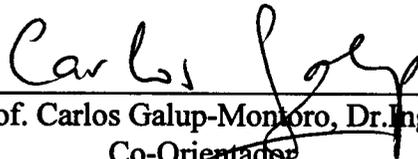
**PROJETO DE AMPLIFICADORES OPERACIONAIS CMOS UTILIZANDO
TRANSISTORES COMPOSTOS EM "SEA-OF-TRANSISTORS"**

CANDIDATA: SIMONE MASSULINI ACOSTA

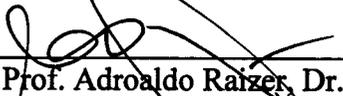
Esta dissertação foi julgada para obtenção do título de **MESTRE EM ENGENHARIA - ESPECIALIDADE ENGENHARIA ELÉTRICA** e aprovada em sua forma final pelo Curso de Pós-Graduação.



Prof. Sidnei Noceti Filho, D.Sc.
Orientador



Prof. Carlos Galup-Montoro, Dr. Eng.
Co-Orientador

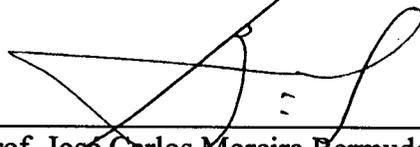


Prof. Adroaldo Raizer, Dr.
Coordenador do Curso de Pós-Graduação em Engenharia Elétrica

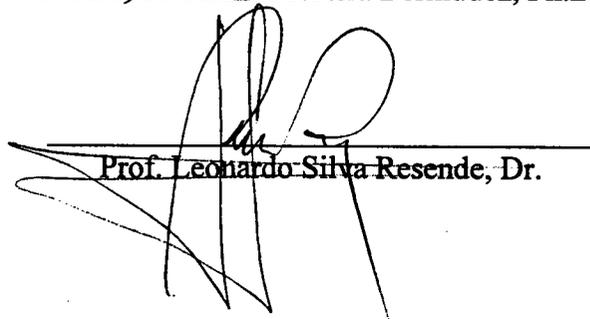
Banca Examinadora:



Prof. Sidnei Noceti Filho, D.Sc.



Prof. José Carlos Moreira Bermudez, Ph.D.



Prof. Leonardo Silva Resende, Dr.

Aos meus avós, João e Celita

Alexandre e Talita

Aos meus pais, Pedro e Glaci

Ao Anderson

AGRADECIMENTOS

Gostaria de registrar os mais sinceros agradecimentos:

À CAPES pelo auxílio financeiro.

Aos professores Sidnei Noceti Filho e Carlos Galup-Montoro pela orientação deste trabalho.

Aos professores José Carlos Moreira Bermudez e Leonardo Silva Resende pela participação na banca examinadora.

Ao professor Márcio Cherem Schneider pelo exemplo de pesquisador e professor.

Aos queridos amigos do Laboratório de Instrumentação Eletrônica (LINSE) e do curso de Engenharia Elétrica pela amizade compartilhada nestes anos, entre eles: Adão, Alessandra, Aldebaro, Ana Cláudia, Ângelo, Carlinhos, Eider, Evânio, Fathi, Gilberto, Marcus Vinícius, Marla, Orlando, Oscar, Polyana, Rodrigo, Takase e Walter. Ao Elton pela amizade e por estar sempre disposto a ajudar aos amigos. De maneira especial a Ana Isabela, pela imensa contribuição científica, pelo apoio de todas as horas e pela amizade sem preço.

Aos meus pais, Pedro e Glaci, por todo amor, esforço e paciência.

À João Alexandre, Patrícia, Fernanda, Júlia, Carmen, Beto, Rodrigo, Paulo, Rose, Ana Carolina, Tânia e Rodrigo pelas alegrias de todos os dias.

Ao meu querido Anderson, pelo amor, companheirismo, paciência e apoio em todos estes anos de convivência.

À Deus por iluminar todos os nossos dias.

A todas as pessoas que contribuíram de alguma forma para a realização deste trabalho.

SUMÁRIO

SUMÁRIO.....	i
LISTA DE SÍMBOLOS.....	iv
LISTA DE FIGURAS.....	vii
LISTA DE TABELAS.....	x
RESUMO.....	xii
ABSTRACT.....	xiii
CAPÍTULO 1- INTRODUÇÃO.....	1
CAPÍTULO 2- MODELOS PARA O TRANSISTOR MOS E PARA O TRANSISTOR COMPOSTO.....	6
2.1- Introdução.....	6
2.2- Modelos do transistor MOS.....	6
2.2.1- Modelo de grandes sinais.....	7
2.2.2- Modelo de pequenos sinais.....	12
2.3- Transistor composto.....	15
CAPÍTULO 3- AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS.....	20
3.1- Introdução.....	20
3.2- Ganho de tensão em malha aberta, margem de fase e largura de banda de ganho unitário.....	22

3.3- “Slew-rate”	27
3.4- Tensão de modo comum na entrada e excursão de tensão na saída.	27
3.5- Desequilíbrio de tensão.	28
3.6- Razão de rejeição de modo comum - CMRR.	29
3.7- Razão de rejeição à fonte de alimentação - PSRR.....	30
3.8- Ruído.	32
3.9- Razão de aspecto dos transistores.....	33
CAPÍTULO 4- PROJETO DO AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS E UTILIZAÇÃO DOS TRANSISTORES COMPOSTOS.	35
4.1- Transistores compostos trapezoidais e retangulares. Comparação de desempenho.	35
4.2- Amplificador operacional utilizando transistores compostos trapezoidais e retangulares.	41
4.3- Estudo da influência do número de transistores conectados ao dreno dos transistores trapezoidais.	54
CAPÍTULO 5- ESTÁGIOS DE SAÍDA.....	61
5.1- Introdução.	61
5.2- Estágios de saída 1.....	62
5.3- Estágio de saída 2.	64
5.4- Estágio de saída 3.	68
CAPÍTULO 6- AMPLIFICADOR OPERACIONAL DE TRÊS ESTÁGIOS.	71
6.1- Introdução.	71

6.2- Ganho de tensão em malha aberta, largura de banda de ganho unitário e resistência de saída	72
6.3- Projeto do amplificador operacional de três estágios	75
6.4- Resultados.....	78
CAPÍTULO 7- CONCLUSÃO	84
APÊNDICE A- PARÂMETROS DA TECNOLOGIA ES2 1,2 μ m CMOS DLM.....	86
APÊNDICE B- PROJETO DO AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS CONVENCIONAL.....	88
APÊNDICE C- FATOR DE INCLINAÇÃO, TENSÃO DE “PINCH-OFF” E RAZÃO DA CORRENTE DE DRENO PELA TRANSCONDUCTÂNCIA DE FONTE.....	92
APÊNDICE D- CARACTERÍSTICAS DC DO AMPLIFICADOR OPERACIONAL.....	99
REFERÊNCIAS BIBLIOGRÁFICAS.....	103

LISTA DE SÍMBOLOS

A_G - área da porta do transistor	C_{II} - capacitância vista pelo terminal de saída do amplificador operacional
A_S - área da fonte do transistor	C_L - capacitância de carga
A_T - área total do transistor	CMRR- razão de rejeição de modo comum
A_{VCM} - ganho de tensão de modo comum	C_{ox} - capacitância de óxido
A_{VD} - ganho de tensão de modo diferencial	C'_{ox} - capacitância por unidade de área do óxido
A_{VO} - ganho de tensão em baixas frequências	GBW- largura de banda de ganho unitário
A_{V5} - ganho de tensão em baixas frequências do amplificador diferencial	g_{md} - transcondutância de dreno
C_{bd} - capacitância substrato-dreno	g_{mg} - transcondutância de porta
C_{bs} - capacitância substrato-fonte	g_{ms} - transcondutância de fonte
C_C - capacitância de compensação	g_{mi} - transcondutância do transistor M_i
C_{gb} - capacitância porta-substrato	g_{oi} - condutância do transistor M_i
C_{gd} - capacitância porta-dreno	i_d - corrente de dreno normalizada
C_{gs} - capacitância porta-fonte	i_f - corrente normalizada direta
C_I - capacitância vista pelo terminal de dreno do transistor M_4 do amp. op.	i_r - corrente normalizada reversa
	I_{BIAS} - corrente de polarização
	I_D - corrente de dreno

I_F - corrente de saturação direta	PSRR-- razão de rejeição à fonte de alimentação negativa
I_R - corrente de saturação reversa	q- magnitude da carga eletrônica
I_S - corrente de normalização	R_I - resistência vista pelo terminal de dreno do transistor M4 do amp. operacional
k- constante de Boltzmann	R_{II} - resistência vista pelo nó de saída do amplificador operacional
L- comprimento efetivo do canal	R_k - transistor retangular com m igual a k
L_D - comprimento do canal do transistor M_D	r_l - resistência de carga
L_{DS} - comprimento da fonte do transistor	R_{OMA} - resistência de saída em malha aberta do amp. operacional
L_S - comprimento do canal do transistor M_S	R_{OMF} - resistência de saída em malha fechada do amp. operacional
L_u - comprimento do canal do transistor unitário	r_{out} - resistência de saída
M_D - transistor conectado ao nó de dreno	SR- "slew-rate"
M_S - transistor conectado ao nó de fonte	T- temperatura absoluta
m- razão das razões de aspecto dos transistores M_D e M_S	T_k - transistor trapezoidal com m igual a k
n- fator de inclinação	V_A - tensão de Early
n_n - fator de inclinação do transistor NMOS	V_B - potencial no terminal de substrato
n_p - fator de inclinação do transistor PMOS	V_{CMmin} - tensão mínima de modo comum na entrada
p_1 - pólo principal	
p_2 - pólo secundário	
PSRR+- razão de rejeição à fonte de alimentação positiva	

$V_{CM\text{máx}}$ - tensão máxima de modo comum na entrada	W_D - largura do canal do transistor M_D
V_D - potencial no terminal de dreno	W_S - largura do canal do transistor M_S
V_{DD} - tensão da fonte de alimentação positiva	W/L - razão de aspecto
$V_{DS\text{sat}}$ - tensão de saturação dreno-fonte	$(W/L)_D$ - razão de aspecto do transistor M_D
V_{FB} - tensão de “flat-band”	$(W/L)_S$ - razão de aspecto do transistor M_S
V_G - potencial no terminal de porta	$(W/L)_{EQ}$ - razão de aspecto equivalente do transistor composto
V_{GS} - tensão porta-fonte	z_1 - zero
$V_{om\text{ín}}$ - tensão mínima de saída	β - parâmetro de transcondutância do transistor MOS
$V_{om\text{áx}}$ - tensão máxima de saída	β_{eq} - parâmetro de transcondutância equivalente do transistor composto
V_P - tensão de “pinch-off”	ϕ_t - potencial termodinâmico
V_S - potencial no terminal de fonte	ϕ_F - potencial de Fermi no substrato
V_{SS} - tensão da fonte de alimentação negativa	γ - fator de corpo
V_T - tensão de limiar	τ - tempo de trânsito
V_{Tn} - tensão de limiar do transistor NMOS	ϕ_m - margem de fase
V_{To} - tensão de limiar no equilíbrio	μ - mobilidade dos portadores
V_{Tp} - tensão de limiar do transistor PMOS	μ_{eff} - mobilidade efetiva dos portadores
V_x - tensão no nó x	ω_T - frequência de corte intrínseca do transistor
W - largura efetiva do canal	

LISTA DE FIGURAS

Figura 2.1- Estrutura do transistor NMOS..	7
Figura 2.2- Convenção de símbolos, tensões e correntes para o transistor MOS.....	8
Figura 2.3- Característica I_D versus V_D para o transistor MOS, para V_S constante.....	11
Figura 2.4- Modelo de pequenos sinais para o transistor MOS.....	12
Figura 2.5- Transistores conectados em série.....	15
Figura 2.6- Arranjo de transistores.....	17
Figura 3.1- Amplificador operacional CMOS compensado.....	21
Figura 3.2- Circuito equivalente de pequenos sinais do amplificador operacional da Figura 3.1.	22
Figura 3.3- Amplificador operacional com compensação RC.....	25
Figura 3.4- Modelo de pequenos sinais do amplificador operacional com compensação RC	26
Figura 3.5- Modelo de pequenos sinais para cálculo da CMRR	30
Figura 3.6- Modelo de pequenos sinais para cálculo da PSRR+.....	31
Figura 3.7- Modelo de pequenos sinais para cálculo da PSRR-.....	31
Figura 4.1- Arranjo de transistores unitários com a mesma largura de dreno e mesma razão de aspecto	36
Figura 4.2- Arranjo de transistores trapezoidais.....	37
Figura 4.3- Característica I_D versus V_D para as estruturas da Figura 4.1	38
Figura 4.4- Característica I_D versus V_D para as estruturas da Figura 4.2.....	39

Figura 4.5- Característica I_D versus V_G para as estruturas da Figura 4.2	39
Figura 4.6- Amplificador operacional com transistores compostos trapezoidais	43
Figura 4.7- Resposta em frequência em malha aberta	51
Figura 4.8- Resposta em frequência para a CMRR	52
Figura 4.9- Resposta em frequência para a PSRR+	52
Figura 4.10- Resposta em frequência para a PSRR-	53
Figura 4.11- Característica de transferência DC em malha aberta	53
Figura 4.12- Característica de transferência DC em malha aberta	56
Figura 4.13- Resposta em frequência em malha aberta	57
Figura 4.14- Resposta em frequência para a CMRR	58
Figura 4.15- Resposta em frequência para a PSRR+	58
Figura 4.16- Resposta em frequência para a PSRR-	59
Figura 5.1- Estágios de saída 1	63
Figura 5.2- Característica de transferência DC do amplificador operacional utilizando os estágios de saída das Figuras 5.1(a) e (b)	65
Figura 5.3- Estágio de saída 2	65
Figura 5.4- Característica de transferência DC do amplificador operacional utilizando o estágio de saída da Figura 5.3	67
Figura 5.5- Estágio de saída 3	68
Figura 5.6- Característica de transferência DC do amplificador operacional associado ao estágio de saída da Figura 5.5	70

Figura 6.1- Amplificador operacional de três estágios	72
Figura 6.2- Circuito equivalente de pequenos sinais da Figura 6.1	73
Figura 6.3- Característica de transferência DC em malha aberta	79
Figura 6.4-Resposta em frequência em malha aberta	81
Figura 6.5- Resposta em frequência para a CMRR, PSRR+ e PSRR-	82
Figura C.1- Transistor MOS na configuração seguidor de tensão.....	92
Figura C.2- Fator de inclinação versus tensão de porta, transistor NMOS com $W/L=6/5$	93
Figura C.3- Tensão de “pinch-off” versus tensão de porta, transistor NMOS com $W/L=6/5$	94
Figura C.4- Razão I_F/g_{ms} versus i_f para diferentes polarizações de porta	97
Figura C.5- Razão I_F/g_{ms} versus i_f para diferentes geometrias.....	98
Figura C.6- Razão I_F/g_{ms} versus i_f para transistores NMOS e PMOS	98
Figura D.1- Arranjo de transistores NMOS ou PMOS	100
Figura D.2- Característica I_D versus V_D , para V_G constante.....	100
Figura D.3- Característica de transferência DC em malha aberta	102
Figura D.4- Característica de transferência DC em malha fechada	102

LISTA DE TABELAS

Tabela.2.1- Modos de operação do transistor MOS.....	10
Tabela 4.1- Transcondutância para o transistor unitário, para estruturas trapezoidais e para a estrutura retangular R_3	40
Tabela 4.2- Condutância de saída e tensão de Early para o transistor unitário, para estruturas trapezoidais e para a estrutura retangular R_3	41
Tabela 4.3- Especificações para o amplificador operacional.....	42
Tabela 4.4- Valores dos componentes dos amplificadores operacionais.....	46
Tabela 4.5- Resumo da simulação do desempenho dos amplificadores operacionais.....	48
Tabela 4.6- Valores teóricos para alguns parâmetros dos amplificadores operacionais utilizando as equações simplificadas	49
Tabela 4.7- Valores para alguns parâmetros dos amplificadores operacionais considerando a variação de m	55
Tabela 4.8- Valores teóricos para alguns parâmetros dos amplificadores operacionais utilizando as equações simplificadas	56
Tabela 5.1- Valores dos componentes das Figuras 5.1(a) e (b).....	63
Tabela 5.2- Resumo do desempenho do amplificador operacional utilizando os estágios de saída das Figuras 5.1(a) e (b).....	64
Tabela 5.3- Valores dos componentes da Figura 5.3.....	66

Tabela 5.4- Resumo do desempenho do amplificador operacional utilizando o estágio de saída da Figura 5.3	67
Tabela 5.5- Valores dos componentes da Figura 5.5	69
Tabela 5.6- Resumo do desempenho do amplificador operacional utilizando o estágio de saída da Figura 5.5	69
Tabela 6.1- Especificações para o amplificador operacional de três estágios	75
Tabela 6.2- Valores dos componentes da Figura 6.1	79
Tabela 6.3- Resumo do desempenho do amplificador operacional de três estágios.....	80
Tabela A.1- Parâmetros da tecnologia ES2 1,2 μm CMOS DLM	86
Tabela B.1- Valores dos componentes do amplificador operacional da Figura 3.1	90
Tabela B.2- Comparação entre os valores teóricos e simulados.....	91
Tabela D.1- Dimensões dos transistores dos amplificadores operacionais	101

RESUMO

Título: Projeto de Amplificadores Operacionais CMOS utilizando Transistores Compostos em “Sea-of-Transistors”.

Este trabalho apresenta uma metodologia de projeto de amplificadores operacionais CMOS utilizando transistores MOS compostos, para implementação em “sea-of-transistors” (SoT). A metodologia “sea-of-transistors” é uma das mais utilizadas para a implementação de circuitos integrados devido ao reduzido tempo de projeto e fabricação e ao baixo custo de fabricação. São apresentados projetos de amplificadores operacionais utilizando transistores compostos trapezoidais e retangulares e o desempenho destes circuitos é analisado para demonstrar as vantagens na utilização dos transistores compostos trapezoidais.

Palavras-chaves: Amplificador operacional, circuitos analógicos MOS, transistor MOS composto, “sea-of-transistors”.

ABSTRACT

Title: Design of CMOS Operational Amplifiers using Composite Transistors in Sea-of-Transistors.

This work presents a design methodology for CMOS operational amplifiers using composite MOS transistors from a sea-of-transistors (SoT) implementation. The sea-of-transistors methodology is largely used for integrated circuits due to its short design and fabrication time and low fabrication cost. The design of operational amplifiers using both trapezoidal and rectangular transistors is presented. The performance of the operational amplifiers is compared to demonstrate the advantages of trapezoidal transistors over rectangular transistors.

Key words: Operational amplifiers, MOS analog circuits, composite MOS transistor, sea-of-transistors.

CAPÍTULO 1

INTRODUÇÃO

Em muitos sistemas é conveniente que sejam integrados em um mesmo "chip" circuitos analógicos e digitais [1], sendo que atualmente a tecnologia MOS (Metal-Oxide Semiconductor) é a mais empregada pela indústria de circuitos integrados. A necessidade de se reduzir o consumo de potência, devido à crescente produção de equipamentos eletrônicos portáteis e o desenvolvimento de "chips" de alta densidade de integração [2]-[4], leva a redução da tensão de alimentação [3]. Desta forma, o projeto de circuitos integrados é realizado cada vez mais para baixas tensões de alimentação e, conseqüentemente, baixas correntes de operação.

As metodologias mais utilizadas para a integração de circuitos digitais e que se beneficiam com as constantes evoluções da tecnologia são as de "gate-array" e de "sea-of-transistors" (SoT) [5]. Cinquenta por cento do mercado de VLSI (Very Large Scale Integration) de aplicação específica (ASIC-Application Specific Integrated Circuits) é composto por circuitos implementados por estas metodologias.

A técnica de "sea-of-transistors" consiste na pré-difusão de matrizes de transistores MOS com comprimento de canal que pode ser feito igual ao mínimo da tecnologia. Desta

maneira, a implementação de circuitos fica resumida à interligação dos transistores através das camadas de metal e de seus contatos, pois os transistores possuem posição e dimensões pré-definidas [5].

A razão do sucesso da técnica de “sea-of-transistors” em relação aos projetos totalmente dedicados (“full-custom”) se deve principalmente aos seguintes fatores [5]:

- Minimização do tempo de fabricação. As indústrias de fabricação de circuitos integrados processam apenas as máscaras relacionadas com as camadas de metal, levando a uma redução de mais de 60% do número de máscaras processadas em uma realização “full-custom”.
- Minimização do tempo de projeto. Devido ao fato dos transistores possuírem posições fixas. Esta técnica apresenta a grande vantagem de permitir que o próprio projetista realize o leiaut de seus circuitos.
- Minimização do custo. Isto se deve ao reduzido número de máscaras processadas pelo fabricante.

Devido às vantagens apresentadas acima, é natural que se deseje usar a metodologia “sea-of-transistors” para integrar circuitos analógicos e digitais num mesmo “chip” [1][5][6]. Percebemos que o desempenho dos circuitos obtidos com esta técnica não será tão bom quanto àquele obtido com projetos totalmente dedicados, principalmente em se tratando de circuitos analógicos onde o desempenho está diretamente relacionado com o leiaut do circuito. Porém, através de um bom projeto é possível a obtenção de circuitos analógicos em “sea-of-transistors” com desempenho comparável aos obtidos por seus semelhantes totalmente dedicados.

A implementação de circuitos analógicos na técnica de “sea-of-transistors” segue a tendência atual do mercado por ser uma técnica adequada à realidade das pequenas e médias empresas, que normalmente não dispõem de recursos para investir em projetos totalmente dedicados, tão pouco podem esperar os longos períodos de tempo necessários para lançar um produto com circuitos “full-custom”.

Amplificadores operacionais implementados com transistores na técnica “sea-of-transistors” apresentam baixos ganhos de tensão[7]. A solução habitual para se resolver este problema tem sido a utilização de transistores canal longo ou de estruturas cascode. As estruturas cascode apresentam uma reduzida excursão de tensão na saída [8]. Transistores canal longo na metodologia "sea-of-transistors" são obtidos através da associação série de transistores elementares [18]-[21], o que produz uma redução significativa na frequência de ganho unitário que varia inversamente com o quadrado do número de transistores conectados em série [17].

Recentemente foi proposta uma estrutura, denominada transistor composto [18]-[21], que consiste na associação série de dois transistores, onde o transistor conectado no terminal de dreno é mais largo que o transistor conectado no terminal de fonte. Este apresenta um ganho de tensão tão alto quanto o apresentado por transistores de canal longo mas tem um "canal físico" menor. Conseqüentemente, a frequência de ganho unitário deste transistor composto resulta maior do que a do transistor de canal longo de largura uniforme. Os transistores compostos podem ser usados para implementação, em "sea-of-transistors", de circuitos analógicos em sistemas mistos analógicos-digitais [1][7][18]-[21], sendo que

apresentam como vantagens a economia de silício, a modelagem simples e o melhor desempenho em frequência, em relação aos transistores de canal longo.

Os amplificadores operacionais são componentes fundamentais em muitos sistemas analógicos, tais como filtros contínuos e amostrados e conversores A/D e D/A, e o desempenho destes sistemas é fortemente influenciado pelo seu desempenho. Um circuito muito utilizado para a implementação de amplificadores operacionais CMOS (Complementary Metal-Oxide Semiconductor) é a configuração com dois estágios, que apresenta tensão de modo comum na entrada, excursão de tensão na saída e ganho de tensão em baixas frequências suficientes para muitas aplicações [22]-[26][31]. Porém, em aplicações envolvendo cargas resistivas ou capacitivas elevadas torna-se necessária a adição de um estágio de saída ao amplificador básico para prevenir que a carga degrade o ganho de tensão ou a estabilidade em malha fechada. Uma das principais características destes estágios é que eles devem ter largura de banda de ganho unitário suficientemente grande com carga capacitiva elevada, de modo que não seja degradada a estabilidade do amplificador básico e que a excursão de tensão na saída seja grande com a máxima carga.

Estruturas simples de estágios de saída são apresentadas em [22][23][40][42]-[45]. Porém, nestas, o valor da excursão da tensão na saída é limitado. Os estágios de saída apresentados em [40][41][46]-[48] permitem excursão de tensão na saída maior, porém com maior complexidade de projeto e número elevado de componentes.

Em [49] é apresentada a estrutura de um amplificador operacional para ser utilizado como “buffer”, que possibilita excursão de tensão na saída elevada para cargas resistivas e

capacitivas elevadas. Porém, esta estrutura apresenta ganho de tensão em baixas frequências, em malha aberta, muito baixo.

Neste trabalho, sempre considerando a metodologia “sea-of-transistors”, apresentamos um método de projeto para o amplificador operacional de dois estágios utilizando transistores compostos. Realizamos a análise do desempenho dos amplificadores operacionais projetados com transistores unitários, com transistores compostos trapezoidais e com transistores compostos retangulares. Apresentamos, também, um método de projeto para um amplificador operacional de três estágios com transistores compostos, para operação com cargas resistivas e capacitivas e ganho de tensão em baixas frequências superior a 80 dB.

A partir do capítulo 1 o trabalho está organizado da seguinte forma:

No capítulo 2 apresentamos os modelos, grandes e pequenos sinais, utilizados para os transistores MOS e as equações que descrevem o comportamento dos transistores compostos.

No capítulo 3 são revistos os parâmetros mais importantes para o amplificador operacional de dois estágios, chamado amplificador Miller.

No capítulo 4 é analisado o desempenho de amplificadores operacionais de dois estágios projetados utilizando transistores compostos trapezoidais e retangulares.

No capítulo 5 é feita a análise de várias estruturas de estágios de saída, propostos na literatura.

No capítulo 6 é apresentado um método de projeto para um amplificador operacional de três estágios, com a utilização de transistores compostos trapezoidais.

CAPÍTULO 2

MODELOS PARA O TRANSISTOR MOS

E PARA O TRANSISTOR COMPOSTO

2.1 INTRODUÇÃO

Neste capítulo são apresentados os modelos utilizados para descrever o comportamento do transistor MOS e a definição de transistor composto.

2.2 MODELOS DO TRANSISTOR MOS

Um modelo adequado para o transistor MOS deve apresentar as seguintes propriedades, entre outras [1][7][11][30][33]: o modelo deve consistir de expressões únicas e contínuas para todas as características do dispositivo; o equacionamento deve respeitar a simetria estrutural entre fonte e dreno; o modelo deve ser preciso em inversão moderada e fraca, vista a tendência para o projeto de circuitos integrados de baixo consumo de potência; o modelo deve incluir um número reduzido de parâmetros físicos. Os projetistas precisam do

modelo simples para o cálculo à mão até aquele complexo necessário para as simulações precisas.

O modelo do transistor MOS descrito em [3][9]-[16], chamado de modelo EKV (“Enz-Krummenacher-Vittoz”), satisfaz vários dos requisitos apresentados em [1][7][11][30][33]. Este modelo é válido em inversão fraca, moderada e forte e tem transição contínua entre elas. O modelo refere todas as tensões ao substrato e mantém a simetria estrutural inerente entre dreno e fonte do transistor MOS.

2.2.1 MODELO DE GRANDES SINAIS [3][9]-[16]

A Figura 2.1 apresenta a estrutura do transistor NMOS [10][11]. A estrutura é simétrica com respeito a fonte e ao dreno e todos os potenciais são referenciados ao substrato, conforme Figura 2.2 [10][11].

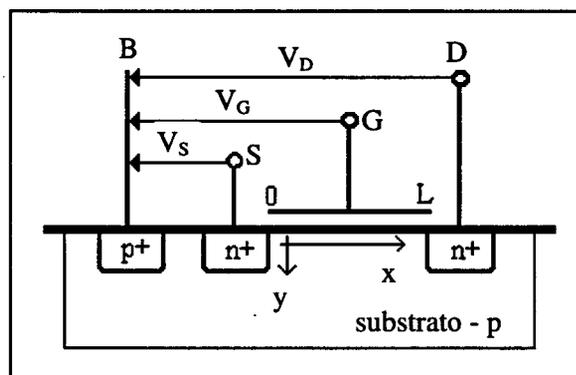


Figura 2.1 - Estrutura do transistor NMOS

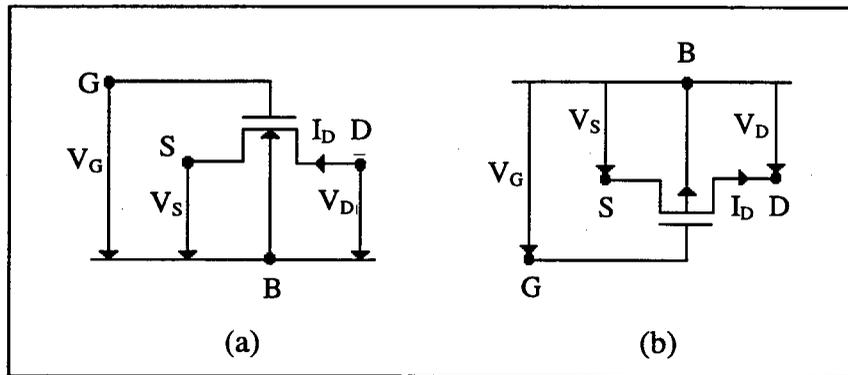


Figura 2.2- Convenção de símbolos, tensões e correntes para o transistor MOS

(a) NMOS (b) PMOS

A tensão de "pinch-off", V_P , é o valor da tensão no canal do transistor para o qual o transistor está no limite superior da inversão fraca, para uma dada tensão porta-substrato. A tensão de "pinch-off" é diretamente relacionada com a tensão de porta, V_G , por:

$$V_P = V_G - V_{TO} - \gamma \left[\sqrt{V_G - V_{TO} + \left(\sqrt{\Psi_o} + \frac{\gamma}{2} \right)^2} - \left(\sqrt{\Psi_o} + \frac{\gamma}{2} \right) \right] \quad (2.1)$$

onde V_{TO} é a tensão de "threshold", ou tensão de limiar, quando o canal está no equilíbrio ($V_S = 0V$), V_G é o potencial do terminal de porta, γ é o fator de corpo e Ψ_o é o potencial de superfície em inversão forte no equilíbrio.

A corrente de dreno pode ser decomposta em uma corrente direta, I_F , que depende apenas de $V_P - V_S$, e uma corrente reversa, I_R , que depende apenas de $V_P - V_D$. Para um transistor NMOS a corrente de dreno é descrita pela expressão:

$$I_D = I_F(V_P, V_S) - I_R(V_P, V_D) = I_F - I_R \quad (2.2)$$

A Expressão (2.2) é geral para qualquer transistor de geometria retangular, incluindo fatores como efeito de corpo e redução da mobilidade [10][11], e é válida para inversão fraca, moderada e forte.

A derivada da tensão de porta com respeito a tensão de “pinch-off” é definida como fator de inclinação, n , dado por:

$$n = \frac{dV_G}{dV_P} = 1 + \frac{\gamma}{2\sqrt{\Psi_o + V_P}} \quad (2.3)$$

que também pode ser expressa como uma função da tensão de porta:

$$\frac{1}{n} = \frac{dV_P}{dV_G} = 1 - \frac{\gamma}{2\sqrt{V_G - V_{T0} + \left(\frac{\gamma}{2} + \sqrt{\Psi_o}\right)^2}} \quad (2.4)$$

A tensão de “pinch-off” é uma função aproximadamente linear da tensão de porta e pode ser aproximada por [11][12]:

$$V_P \cong \frac{V_G - V_{T0}}{n(V_G)} \quad (2.5)$$

onde n é obtido através da Expressão (2.4).

Os diferentes modos de operação do transistor MOS podem ser definidos comparando a tensão de fonte, V_S , e a tensão de dreno, V_D , com respeito a tensão de “pinch-off”. A Tabela 2.1 apresenta os modos de operação do transistor MOS.

Através da Expressão (2.2) podemos obter expressões para a corrente de dreno em inversão forte e fraca.

A corrente de dreno direta e reversa, em inversão forte será:

$$I_{F(R)} = \frac{n\beta}{2} (V_P - V_{S(D)})^2 \quad \text{para } V_{S(D)} < V_P \quad (2.6)$$

$$I_{F(R)} = 0 \quad \text{para } V_{S(D)} \geq V_P \quad (2.7)$$

onde V_P e n são funções de V_G , conforme Expressões (2.1), (2.4) e (2.5), e o parâmetro de transcondutância do transistor MOS, β , é dado por:

$$\beta = \mu C'_{ox} \frac{W}{L} \quad (2.8)$$

sendo C'_{ox} a capacitância por unidade de área do óxido, μ a mobilidade do portador de carga (elétrons para o transistor NMOS), W a largura do canal e L o comprimento do canal.

Tabela 2.1 - Modos de operação do transistor MOS

$0 \leq V_D < V_P$ $0 \leq V_S < V_P$	inversão forte e condução
$0 \leq V_S < V_P$ $V_P < V_D$	inversão forte e saturação direta
$V_P < V_S$ $0 \leq V_D < V_P$	inversão forte e saturação reversa
$V_P < V_D$ $V_P < V_S$	inversão fraca

Na região de condução em inversão forte, $V_D < V_P$ e $V_S < V_P$, a corrente de dreno pode ser escrita como:

$$I_D = \beta(V_D - V_S) \left[V_G - V_{T0} - \frac{n}{2}(V_D - V_S) \right] \quad (2.9)$$

Para a região de saturação direta em inversão forte, $V_D > V_P$ e $V_S < V_P$, a corrente de dreno será:

$$I_D = \frac{\beta n}{2} (V_P - V_S)^2 = \frac{\beta}{2n} (V_G - V_{T0} - nV_S)^2 \quad (2.10)$$

Já na região de saturação reversa em inversão forte, $V_S > V_P$ e $V_D < V_P$, obteremos:

$$I_D = -\frac{\beta}{2n} (V_G - V_{T0} - nV_D)^2 \quad (2.11)$$

Por fim, para $V_S = V_D$ teremos que $I_F = I_R$ e, conseqüentemente, $I_D = 0$.

A Figura 2.3 apresenta a característica da corrente de dreno versus tensão de dreno, para tensão de fonte constante, na região de condução e saturação em inversão forte.

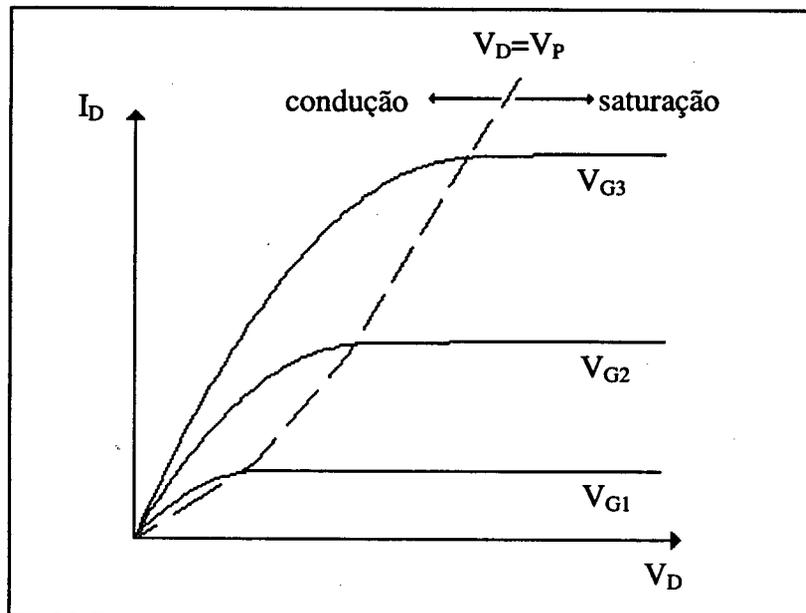


Figura 2.3- Característica I_D versus V_D para o transistor MOS, para V_S constante

2.2.2 MODELO DE PEQUENOS SINAIS [3][9]-[16][22][23]

A Figura 2.4 apresenta o modelo de pequenos sinais para o transistor MOS.

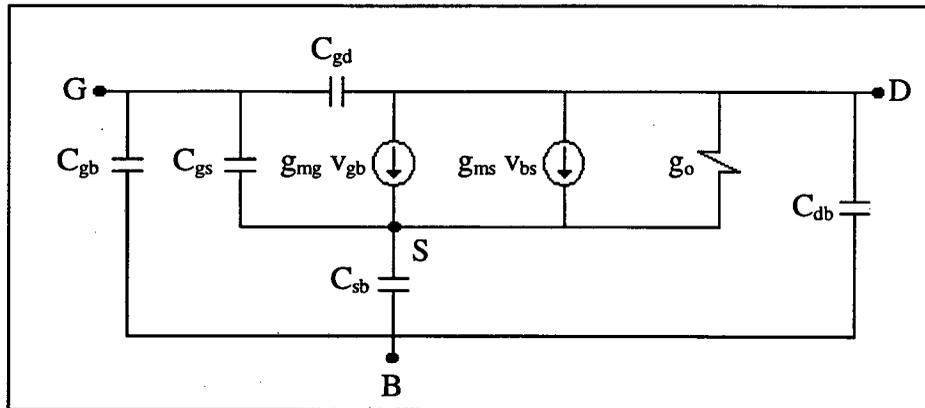


Figura 2.4- Modelo de pequenos sinais para o transistor MOS

A variação total da corrente de dreno para variações de pequeno sinal da porta, fonte e dreno é dada por:

$$\Delta I_D = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_S, V_D} \Delta V_G + \left. \frac{\partial I_D}{\partial V_S} \right|_{V_G, V_D} \Delta V_S + \left. \frac{\partial I_D}{\partial V_D} \right|_{V_S, V_G} \Delta V_D \quad (2.12)$$

$$\Delta I_D = g_{mg} \Delta V_G + g_{ms} \Delta V_S + g_{md} \Delta V_D \quad (2.13)$$

onde g_{mg} é a transcondutância de porta, g_{ms} é a transcondutância de fonte e g_{md} é a transcondutância de dreno.

A transcondutância de porta, g_{mg} , na região de saturação em inversão forte, de acordo com a Expressão (2.10), é:

$$g_{mg} = \left(\frac{2\beta I_D}{n} \right)^{0,5} = \beta(V_P - V_S) = \frac{2I_D}{n(V_P - V_S)} \quad (2.14)$$

A transcondutância de fonte, g_{ms} , para o transistor saturado e em inversão forte é:

$$g_{ms} = n\beta(V_P - V_S) = \frac{2I_D}{V_P - V_S} \quad (2.15)$$

Como a variação da tensão de “pinch-off” é n vezes menor do que a correspondente variação da tensão de porta, Expressão (2.5), e a corrente direta depende diretamente da diferença entre a tensão de “pinch-off” e a tensão de fonte, Expressão (2.6), a transcondutância de fonte na região de saturação é n vezes maior do que a transcondutância de porta.

$$g_{ms} = ng_{mg} \quad (2.16)$$

A transcondutância de dreno, g_{md} , na região de saturação direta é zero. Mas isto sem considerar o efeito da modulação do comprimento do canal. Em saturação direta $g_{md} \ll g_o$ e a variação da corrente de dreno com a tensão de porta constante será dada pela transcondutância de fonte e pela condutância de canal, que é definida por:

$$g_o = \frac{I_D}{V_A} \quad (2.17)$$

onde V_A é definida como o ponto em que o prolongamento da característica da corrente de dreno pela tensão de dreno em saturação intercepta o eixo das abscissas, chamada de tensão de Early.

As capacitâncias entre o terminal de porta e os outros terminais são definidas com base na variação da carga total armazenada na porta com respeito à variação das tensões nos outros terminais. De uma maneira similar, as capacitâncias substrato-fonte e substrato-dreno são definidas considerando a variação da carga total no substrato devido à variação da tensão de fonte e da tensão de dreno, respectivamente.

Na região de saturação direta em inversão forte, as capacitâncias intrínsecas são calculadas como:

$$C_{gs} \cong \frac{2}{3} C'_{ox} WL \quad (2.18)$$

$$C_{bs} = (n - 1) C_{gs} \quad (2.19)$$

$$C_{gd} \cong 0 \quad (2.20)$$

$$C_{bd} = (n - 1) C_{gd} \cong 0 \quad (2.21)$$

$$C_{gb} \cong \frac{n-1}{3n} C'_{ox} WL \quad (2.22)$$

Na região de condução estas capacitâncias são dadas por:

$$C_{gs} \cong C_{gd} \cong \frac{1}{2} C'_{ox} WL \quad (2.23)$$

$$C_{bs} \cong C_{bd} \cong (n - 1) C_{gs} \quad (2.24)$$

$$C_{gb} \cong 0 \quad (2.25)$$

Os parâmetros acima são válidos para frequências de operação menores do que a frequência de corte intrínseca do transistor, ω_T , com o transistor modelado como um circuito a parâmetros concentrados [9]-[11][17]. A frequência de corte intrínseca do transistor, por sua vez, depende da polarização, do comprimento do canal e da região de operação do transistor, segundo a relação, em inversão forte:

$$\omega_T = \frac{\mu(V_P - V_S)}{L^2} \quad (2.26)$$

$$g(V_G, V_X) = \frac{\left(\frac{W}{L}\right)_S g(V_G, V_S) + \left(\frac{W}{L}\right)_D g(V_G, V_D)}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D} \quad (2.29)$$

onde a função $g(V_G, V_X)$ é a média das funções $g(V_G, V_S)$ e $g(V_G, V_D)$ ponderada pelas razões de aspecto dos transistores ligados ao dreno e à fonte.

Com estas expressões podemos escrever a expressão da corrente de dreno do transistor composto como:

$$I_D = \left(\frac{W}{L}\right)_{EQ} [g(V_G, V_S) - g(V_G, V_D)] \quad (2.30)$$

onde

$$\left(\frac{W}{L}\right)_{EQ} = \frac{\left(\frac{W}{L}\right)_S \left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D} \quad (2.31)$$

Através da Expressão (2.30) observamos que a corrente de dreno do transistor composto operando na região de condução, é igual a de um simples cuja razão de aspecto seja dada pela Expressão (2.31). Então, dois transistores compostos ou não são equivalentes na região de condução, ou seja, apresentam a mesma característica de corrente se tiverem a mesma razão de aspecto. A Figura 2.6 apresenta o arranjo de transistores retangular e trapezoidal que são equivalentes em DC.

Na transição entre as regiões de condução e de saturação, a tensão de dreno é igual a tensão de "pinch-off", definida por $g(V_G, V_P)=0$. No limiar de saturação, as Expressões (2.29) e (2.30) se reduzem a:

$$g(V_G, V_X) = \frac{g(V_G, V_S)}{1+m} \quad (2.32)$$

$$I_D = \frac{m}{1+m} \left(\frac{W}{L} \right)_S g(V_G, V_S) \quad (2.33)$$

onde

$$m = \frac{\left(\frac{W}{L} \right)_D}{\left(\frac{W}{L} \right)_S} \quad (2.34)$$

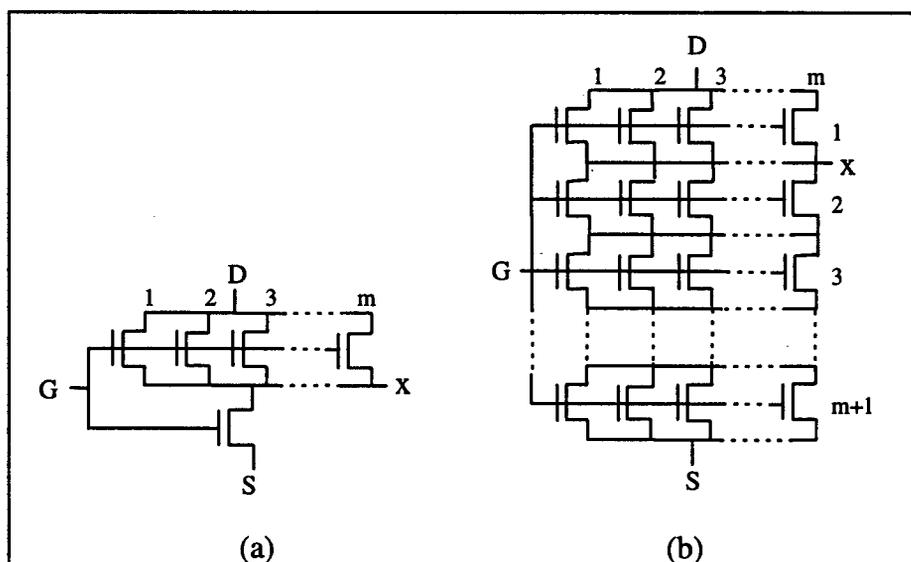


Figura 2.6 - Arranjo de transistores

(a) trapezoidal

$$\frac{L}{W} = \frac{L_u}{mW_u} + \frac{L_u}{W_u}$$

(b) retangular

$$\frac{L}{W} = \frac{L_u}{mW_u} + \frac{mL_u}{mW_u}$$

Transistores com mesmas razões de aspecto apresentam características de corrente de dreno muito próximas na região de condução, porém, estas características divergem na região de saturação devido às diferenças nos comprimentos de canal. A coincidência das

características na região de condução e sua divergência na região de saturação indica que os efeitos de canal curto se manifestam principalmente na região de saturação [18][19].

Geralmente, um transistor composto não é simétrico. Então, os terminais de fonte e dreno de transistores compostos devem ser fisicamente identificados.

Pode-se dizer que dois transistores são equivalentes DC caso tenham [18][19]:

- (i) a mesma razão de aspecto;
- (ii) a mesma largura do canal no lado do dreno;
- (iii) iguais efeitos de canal curto na região de condução.

Da condição (iii) podemos concluir que a equivalência DC dos transistores não depende dos mecanismos de condução, desde que os efeitos de canal curto na região de condução sejam desprezíveis [18].

Em estruturas de transistores compostos implementados em “sea-of-transistors”, os transistores podem ter comprimento de canal igual ao mínimo comprimento de canal da tecnologia, L_u . Desta maneira, podemos utilizar:

$$L_D = L_S = L_u \quad (2.35)$$

e, através da Expressão (2.34), obtemos:

$$m = \frac{W_D}{W_S} \quad (2.36)$$

Então, o transistor composto tem um comportamento estático idêntico ao de um canal longo ($L_{EQ} = L_D(1+m)$), mas com um comprimento “físico” de canal menor. Nas Figuras 2.6(a) e (b) temos transistores que são DC equivalentes, mas a estrutura trapezoidal (Figura 2.6(a)) apresenta um comprimento de canal “físico” menor que a estrutura retangular (Figura 2.6(b)).

A transcondutância de porta de pequenos sinais, na região de saturação em inversão forte, de acordo com a Expressão (2.14), é dada por:

$$g_m = \mu C'_{ox} \frac{\left(\frac{W}{L}\right)_S \left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D} (V_P - V_S) = \frac{m}{m+1} \left(\frac{W}{L}\right)_S \mu C'_{ox} (V_P - V_S) \quad (2.37)$$

e a transcondutância de fonte pode ser obtida da Expressão (2.16).

As capacitâncias intrínsecas para os transistores compostos podem ser obtidas através das Expressões (2.18) a (2.25). Para um transistor trapezoidal com $L_D=L_S$, operando na região de saturação em inversão forte, as expressões para as capacitâncias intrínsecas são [18]:

$$C_{gs} = \frac{2}{3} C_{ox} \left[1 - \frac{1}{1 + \sqrt{1+m}} + \sqrt{1+m} \right] \quad (2.38)$$

$$C_{gd} = C_{db} = 0 \quad (2.39)$$

$$C_{sb} = (n-1)C_{gs} \quad (2.40)$$

$$C_{gb} = \frac{n-1}{3n} C_{ox} \left[\left(1+m - \frac{4\sqrt{1+m}}{(\sqrt{1+m}+1)^2} \right) + 2(1+m) \left(1 - \frac{1}{(\sqrt{1+m}+1)^2} \right) \left(1 - \frac{1}{\sqrt{1+m}} \right) \right] \quad (2.41)$$

onde $C_{ox} = C'_{ox} W_S L_S$.

CAPÍTULO 3

AMPLIFICADOR OPERACIONAL

DE DOIS ESTÁGIOS

3.1 INTRODUÇÃO

Os amplificadores operacionais são elementos chave em muitos sistemas analógicos e o desempenho destes sistemas é fortemente influenciado pelo desempenho do amplificador operacional.

Um dos circuitos mais utilizados para a implementação de amplificadores operacionais é a configuração dois estágios mostrada na Figura 3.1 [22]-[26][31]. O primeiro estágio é o estágio diferencial com transistores de entrada NMOS, M1 e M2, e espelho de corrente, M3 e M4, atuando como carga ativa. O circuito é polarizado com uma fonte de corrente independente, I_{BIAS} . Os transistores M5 e M8 possuem a mesma razão de aspecto, então a corrente I_{BIAS} flui no estágio diferencial de entrada. O segundo estágio é um inversor CMOS simples, com M7 como carga ativa. Como a capacitância de compensação, C_C , atua como uma capacitância Miller, este amplificador operacional é chamado de amplificador operacional

Miller. Esta configuração oferece boa tensão de modo comum, excursão de saída e ganho de tensão em um circuito simples.

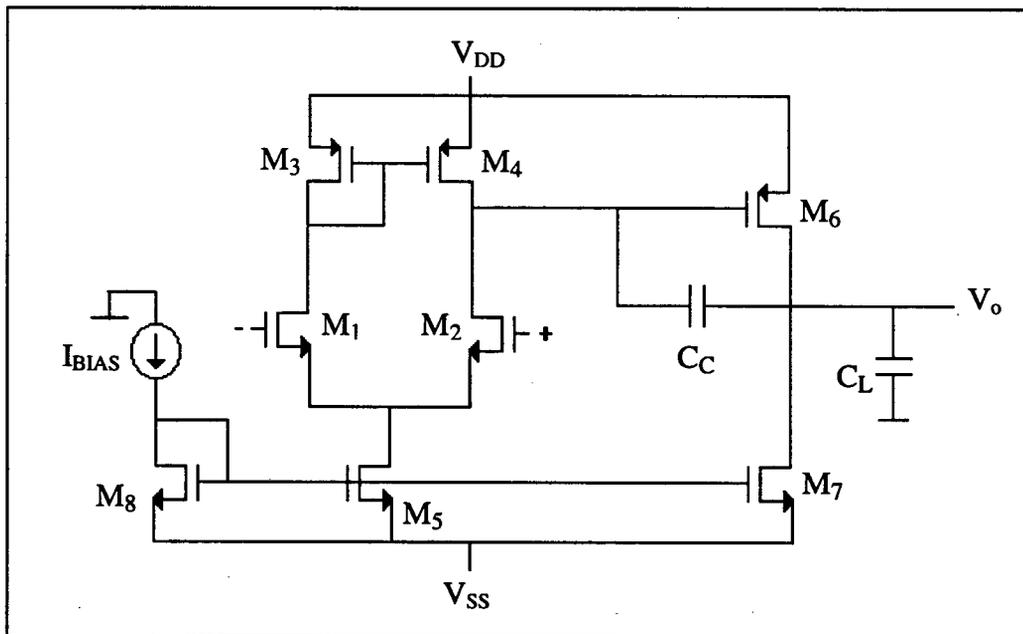


Figura 3.1- Amplificador operacional CMOS compensado

Alguns dos parâmetros de projeto mais importantes de um amplificador operacional são: ganho de tensão em malha aberta, largura de banda de ganho unitário, margem de fase, razão de rejeição de modo comum, razão de rejeição às fontes de alimentação, “slew-rate”, excursão de tensão na saída, faixa de tensão de modo comum na entrada, desequilíbrio de tensão, potência dissipada e área ocupada pelo circuito. Serão analisados alguns destes requisitos e estabelecidas as equações de projeto para o amplificador operacional.

3.2 GANHO DE TENSÃO EM MALHA ABERTA, MARGEM DE FASE E LARGURA DE BANDA DE GANHO UNITÁRIO

Para o cálculo de alguns parâmetros do amplificador operacional da Figura 3.1, por simplicidade, será utilizado o circuito equivalente para a análise de pequenos sinais apresentado na Figura 3.2. Os erros envolvidos nesta simplificação dependem da CMRR (Common Mode Rejection Ratio) [51]. No modelo simplificado, o nó que une as fontes dos transistores M1 e M2 pode ser considerado como terra a.c. [22]-[26]. O espelho de corrente formado pelos transistores M3 e M4 tem fator de multiplicação de corrente unitário.

No circuito da Figura 3.2, g_{m1} é a transcondutância dos transistores de entrada do par diferencial, g_{m6} é a transcondutância do transistor de saída M6, R_I e C_I são, respectivamente, a resistência e a capacitância vistas pelo dreno do transistor M4, R_{II} e C_{II} são, respectivamente, a resistência e a capacitância vistas pelo nó de saída e C_C é o capacitor de compensação.

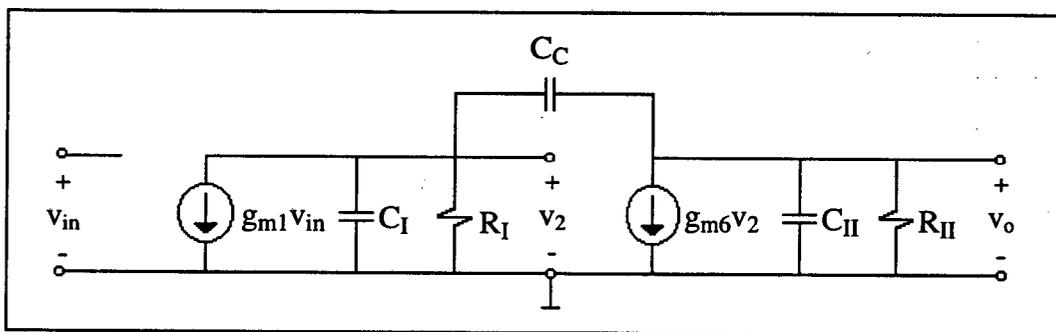


Figura 3.2 - Circuito equivalente de pequenos sinais do amplificador operacional da Figura 3.1

O ganho de tensão em malha aberta do amplificador operacional obtido a partir do circuito da Figura 3.2 é:

$$A(s) = \frac{A_{VO}(1 - s/z_1)}{(1 - s/p_1)(1 - s/p_2)} \quad (3.1)$$

onde

$$p_1 = -\frac{(g_{o2} + g_{o4})(g_{o6} + g_{o7})}{g_{m6}C_C} \quad (3.2)$$

$$p_2 = -\frac{g_{m6}C_C}{C_C C_L + C_C C_I + C_L C_I} \cong -\frac{g_{m6}}{C_L} \quad (3.3)$$

$$z_1 = \frac{g_{m6}}{C_C} \quad (3.4)$$

$$A_{VO} = \frac{g_{m1}g_{m6}}{(g_{o2} + g_{o4})(g_{o6} + g_{o7})} \quad (3.5)$$

sendo A_{VO} o ganho de tensão em baixas frequências em malha aberta; g_{o2} , g_{o4} , g_{o6} e g_{o7} as condutâncias de saída dos transistores M2, M4, M6 e M7, respectivamente; p_1 o pólo principal; p_2 o pólo secundário e z_1 o zero.

Para que a margem de fase seja adequada, o pólo dominante deve estar em baixa frequência enquanto o pólo secundário e o zero devem ficar acima da largura de banda de ganho unitário, GBW (“gain-bandwidth”), do amplificador operacional. A margem de fase será tanto maior quanto maior for a relação entre o pólo secundário p_2 e o GBW [31].

A largura de banda de ganho unitário, ou produto ganho-banda (GBW), do amplificador operacional, bem como a margem de fase, são obtidas das Expressões (3.2) a (3.5). A GBW é dada pela relação entre o ganho de tensão em baixas frequências e o pólo dominante e a margem de fase é o valor da fase em relação a 180° para a qual o ganho de tensão do amplificador é unitário.

$$GBW = A_{VO}|p_1| \Rightarrow GBW = \frac{g_{m1}}{C_C} \quad (3.6)$$

$$\varphi_m = 90^\circ - \arctg\left(\frac{GBW}{z_1}\right) - \arctg\left(\frac{GBW}{|p_2|}\right) \quad (3.7)$$

O zero ocorre em uma frequência muito maior do que a largura de banda de ganho unitário e sua influência na margem de fase é muito pequena, podendo ser desprezada.

Desprezando o zero, teremos:

$$\varphi_m \cong 90^\circ - \arctg\left(\frac{g_{m1}C_L}{g_{m6}C_c}\right) \quad (3.8)$$

Para margem de fase adequada, acima de 60° , devemos colocar o zero pelo menos uma década acima do GBW , já que as posições do zero e da largura de banda de ganho unitário dependem das transcondutâncias dos dois estágios [22][23]:

$$g_{m6} \geq 10g_{m1} \quad (3.9)$$

Utilizando a Expressão (3.8) para margem de fase de, no mínimo 60° , teremos:

$$\frac{g_{m6}}{C_L} \geq 2,2 \frac{g_{m1}}{C_C} \quad (3.10)$$

Substituindo a Expressão (3.9) em (3.10) obtemos o valor para o capacitor de compensação em função do capacitor de carga:

$$C_C \geq 0,22C_L \quad (3.11)$$

Se o zero no semi-plano lateral direito, Expressão (3.4), estiver em uma frequência próxima ao GBW , este pode causar problemas de estabilidade para o circuito, ou seja, piorar a margem de fase. Este zero é causado pela propagação do sinal através do capacitor de

compensação em altas frequências. Uma maneira simples de reduzir o efeito do zero no semi-plano lateral direito é a inclusão de um resistor em série com o capacitor de compensação [22][23][26] que pode ser implementado por um transistor polarizado na região de condução. As Figuras 3.3 e 3.4 representam os circuitos resultantes após a inclusão do resistor, implementado pelo transistor M9.

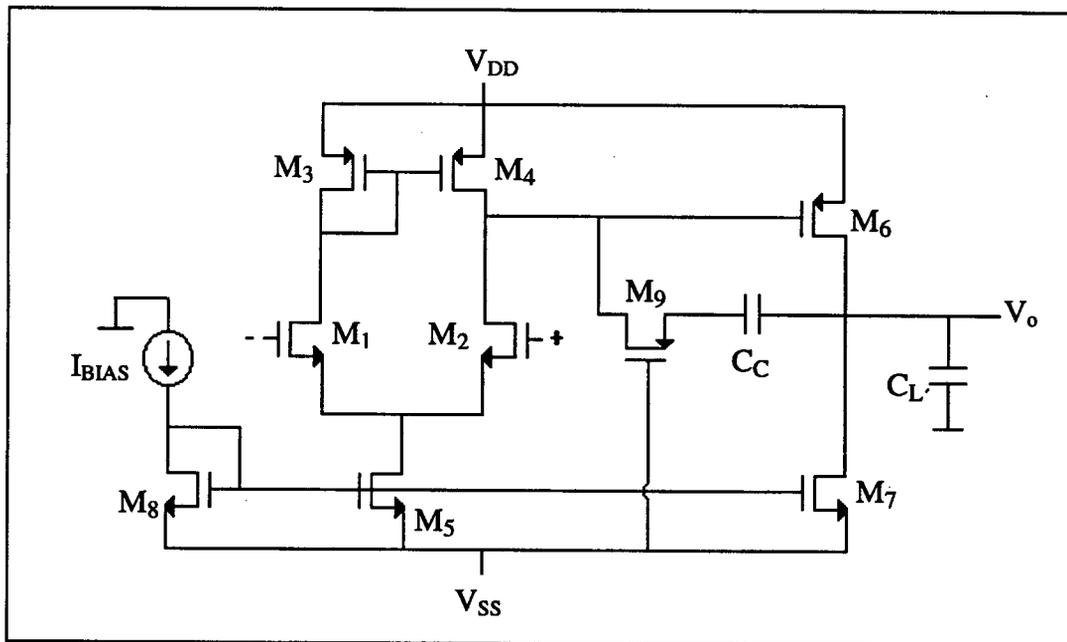


Figura 3.3 - Amplificador operacional com compensação RC

O ganho de tensão em malha aberta terá a posição do zero modificada e a inclusão de um pólo secundário.

$$A(s) = \frac{A_o(1 - s/z_1)}{(1 - s/p_1)(1 - s/p_2)(1 - s/p_3)} \quad (3.12)$$

onde

$$z_1 = \frac{1}{C_C(1/g_{m6} - R_Z)} \quad (3.13)$$

$$p_3 = -\frac{1}{C_I R_Z} \quad (3.14)$$

e p_1 , p_2 e A_o são dados pelas expressões (3.2), (3.3) e (3.5), respectivamente.

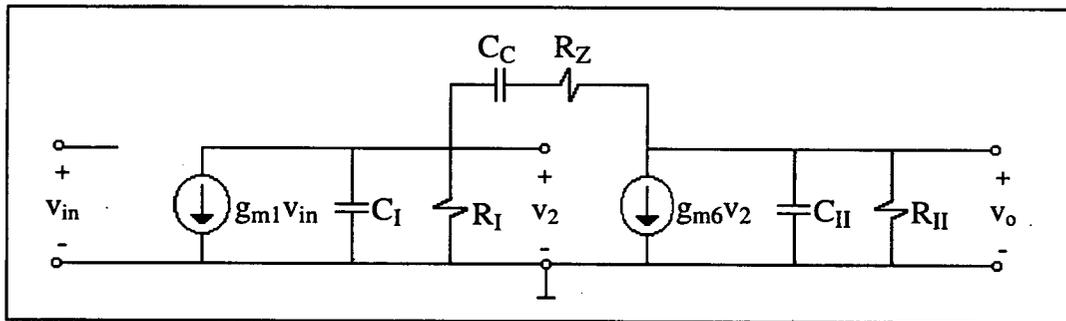


Figura 3.4 - Modelo de pequenos sinais do amplificador operacional com compensação RC

O zero no semi-plano lateral direito deve ser movido para o semi-plano lateral esquerdo e posicionado sobre o pólo p_2 . Como resultado, o pólo associado a capacitância de carga é cancelado. O valor da resistência R_Z deve ser então:

$$R_Z = \left(\frac{C_C + C_{II}}{C_C} \right) \frac{1}{g_{m6}} \quad (3.15)$$

A margem de fase passa a ser dada pela Expressão (3.16) [22][23][27].

$$\varphi_m = 90^\circ - \arctg\left(\frac{GBW}{p_3}\right) \quad (3.16)$$

3.3 “SLEW RATE”

O “slew rate” é geralmente determinado pela corrente máxima disponível para carregar ou descarregar um capacitor [22][23][26].

Para tensão na saída positiva a corrente de carga é fornecida pelo transistor M6. A corrente de carga é limitada apenas pela razão de aspecto de M6 e a tensão na saída apenas pela tensão entre o dreno e a fonte necessária para manter M6 na região de saturação. Para a tensão na saída negativa, o estágio de saída deve sorver a corrente de carga. Isto é conseguido reduzindo a corrente de dreno de M6 abaixo da corrente de polarização tal que $I_6 = I_5 - |i_L|$. O valor máximo da corrente de carga é obtido quando a corrente de dreno de M6 é zero, isto é, quando M6 está cortado. Então, o “slew rate” é dado por:

$$SR \cong \frac{I_{BIAS}}{C_c} \quad (3.17)$$

3.4 TENSÃO DE MODO COMUM NA ENTRADA E EXCURSÃO DE TENSÃO NA SAÍDA

Analisando a operação dos transistores M1 e M5, Figura 3.1, obteremos a faixa de tensão de modo comum na entrada e a operação dos transistores M6 e M7, obteremos a excursão de tensão na saída [22][23][26][31].

A tensão de modo comum mínima é obtida quando o transistor M5 entra na região de condução e a tensão de modo comum máxima, quando os transistores de entrada, M1 e M2, entrarem na região de condução.

$$V_{CM \min} = V_{SS} + V_{Tn} + \left(\frac{I_{BIAS} n_n}{\beta_1} \right)^{0,5} + \left(\frac{2I_{BIAS} n_n}{\beta_5} \right)^{0,5} \quad (3.18a)$$

$$V_{CM \min} = V_{SS} + V_{DSsat5} + V_{GS1} \quad (3.18b)$$

$$V_{CM \max} = n_n \left(V_{DD} + V_{Tp} - \left(\frac{n_p I_{BIAS}}{\beta_3} \right)^{0,5} \right) + (1 - n_n) V_{SS} + V_{Tn} \quad (3.19a)$$

$$V_{CM \max} = V_{DD} - V_{GS3} + V_{DSsat1} \quad (3.19b)$$

A excursão de tensão na saída mínima é obtida através da operação na região de saturação do transistor M7 e a excursão de tensão na saída máxima, pela operação na região de saturação do transistor M6:

$$V_{o \min} = V_{SS} + \frac{g_{m7}}{\beta_7} = V_{SS} + V_{DSsat7} \quad (3.20)$$

$$V_{o \max} = V_{DD} - \frac{g_{m6}}{\beta_6} = V_{DD} - V_{DSsat6} \quad (3.21)$$

3.5 DESEQUILÍBRIO DE TENSÃO

O desequilíbrio de tensão ou tensão de “offset”, referida à entrada, é a tensão de entrada diferencial necessária para colocar a tensão na saída em zero. Ela consiste de dois tipos: o desequilíbrio de tensão sistemático, devido às dimensões impróprias dos transistores e/ou condições de polarização, e o desequilíbrio de tensão aleatório, devido a erros randômicos resultantes do processo de fabricação, como por exemplo, do descasamento entre os transistores idealmente idênticos.

Para tornar a tensão de “offset” sistemática muito pequena deve-se satisfazer a relação [22][23]:

$$\frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} \quad (3.22)$$

A Expressão (3.22) é satisfeita quando a corrente de dreno no transistor M7 (dada pela tensão porta-substrato deste), e a corrente de dreno no transistor M6 (dada pela tensão porta-substrato de M6 que é igual a tensão dreno-substrato de M4), forem iguais e, desta forma, uma tensão na saída nula é possível quando M6 e M7 estão na região de saturação.

Para minimizar os efeitos da tensão de “offset” randômica, o comprimento de canal de M3, M4 e M6 devem ser feitos iguais. Então, a densidade de corrente é a mesma para estes componentes quando a Expressão (3.22) é satisfeita, e a razão das correntes é determinada pela razão das larguras de canal.

3.6 RAZÃO DE REJEIÇÃO DE MODO COMUM - CMRR

O circuito do estágio diferencial do amplificador operacional é utilizado para a análise da *CMRR* [22][23][28][31]. A Figura 3.5 apresenta o modelo de pequenos sinais considerando que $g_{ms} \cong g_{mg}$.

Considerando os transistores M1 e M2, M3 e M4 casados, o ganho de modo diferencial será:

$$A_{VD} = \frac{v_o}{v_{in1} - v_{in2}} \Big|_{v_{in2} = -v_{in1}} \cong \frac{g_{m1}}{g_{o2} + g_{o4}} \quad (3.23)$$

e, para o ganho de modo comum:

$$A_{VCM} = \frac{v_o}{(v_{in1} + v_{in2})/2} \Big|_{v_{in2}=v_{in1}} \cong \frac{g_{o5}}{2g_{m3}} \quad (3.24)$$

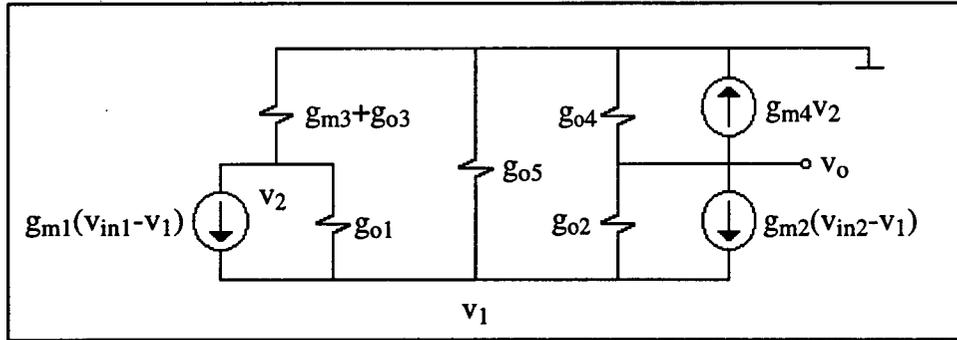


Figura 3.5- Modelo de pequenos sinais para cálculo da *CMRR*

Desta forma, a *CMRR* para baixas frequências será:

$$CMRR = \frac{A_{VD}}{A_{VCM}} \cong \frac{2g_{m1}g_{m3}}{g_{o5}(g_{o2} + g_{o4})} \quad (3.25)$$

3.7 RAZÃO DE REJEIÇÃO À FONTE DE ALIMENTAÇÃO - *PSRR*

A *PSRR* é definida pelo produto da razão da mudança na tensão de alimentação para a mudança da tensão na saída do amplificador operacional causada pela mudança na tensão de alimentação e o ganho de tensão em malha aberta do amplificador operacional [22][23] [29][31]. Para a *PSRR* positiva, *PSRR+*, teremos:

$$PSRR = \frac{\Delta V_{DD}}{\Delta V_O} A_V(s) = \frac{v_o/v_{in}(V_{DD} = 0)}{v_o/v_{DD}(V_{in} = 0)} \quad (3.26)$$

e para a $PSRR$ negativa, $PSRR-$, a Expressão (3.26) fica relacionada à fonte v_{SS} .

Utilizamos o circuito equivalente de pequenos sinais para o amplificador operacional na configuração ganho unitário. O circuito para o cálculo da $PSRR+$ é apresentado na Figura 3.6 e, para baixas frequências, obtemos:

$$PSRR+ \equiv \frac{g_{m1}g_{m6}}{(g_{o2} + g_{o4})g_{o6}} \quad (3.27)$$

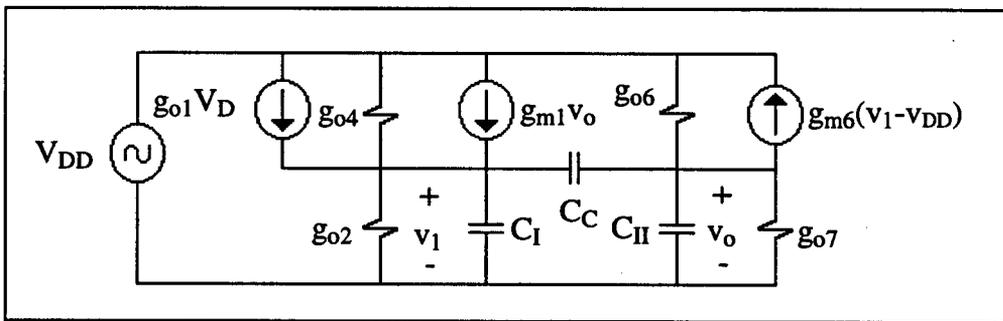


Figura 3.6- Modelo de pequenos sinais para cálculo da $PSRR+$

A Figura 3.7 representa o circuito para a obtenção da $PSRR-$ e teremos:

$$PSRR- \equiv \frac{g_{m1}g_{m6}}{g_{o7}(g_{o2} + g_{o4})} \quad (3.28)$$

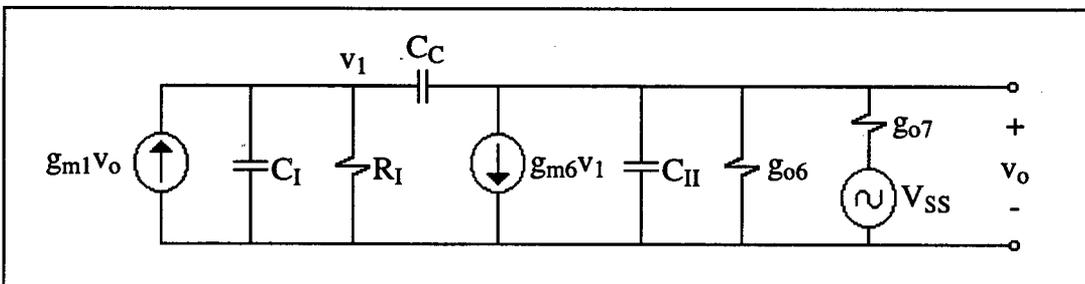


Figura 3.7- Modelo de pequeno sinais para cálculo da $PSRR-$

3.8 RUÍDO

O transistor MOS apresenta duas fontes de ruído: ruído térmico (branco) e ruído “flicker” ($1/f$) [24][26][31]. A tensão de ruído equivalente na entrada do transistor MOS saturado, $\overline{dv_n^2}$, é dada por:

$$\overline{dv_n^2(f)} = \frac{8 kT}{3 g_m} df + \frac{K_F}{WL} \frac{df}{f} \quad (3.29)$$

onde k é a constante de Boltzmann, T é a temperatura absoluta, g_m é a transcondutância, K_F é uma constante que depende do processo de fabricação, W a largura e L o comprimento do canal do transistor.

O ruído “flicker”, $1/f$, é gerado pelas impurezas e defeitos na estrutura do cristal, dominante em baixas frequências e dependente do processo. O ruído térmico é gerado pela movimentação randômica dos elétrons, pode ser representado por uma fonte de ruído branco dominante em altas frequências.

Apenas os componentes do estágio diferencial de entrada apresentam ruído significativo [31]. O ruído em baixas frequências, com todas as fontes de ruído dos transistores referidas a uma fonte de ruído equivalente na entrada, $\overline{dv_{nie}^2}$, é [31]:

$$\overline{dv_{nie}^2} \approx 2 \left[\overline{dv_{n1}^2} + \overline{dv_{n3}^2} \left(\frac{g_{m3}}{g_{m1}} \right)^2 \right] \quad (3.30)$$

Em frequências intermediárias o ruído branco é dominante e teremos:

$$y_w = \frac{\overline{dv_{niew}^2}}{dv_{n1}^2} = 2 \left(1 + \frac{g_{m3}}{g_{m1}} \right) \quad (3.31)$$

Em baixas frequências o ruído $1/f$ é dominante e pode ser escrito como:

$$y_f = \frac{\overline{dv_{nief}^2}}{dv_{n1}^2} = 2 \left[1 + \frac{K_{Fn} (W/L)_1}{K_{Fp} (W/L)_3} \left(\frac{g_{m3}}{g_{m1}} \right)^2 \right] \quad (3.32)$$

3.9 RAZÃO DE ASPECTO DOS TRANSISTORES

Para o cálculo da razão de aspecto dos transistores utilizaremos a metodologia baseada no quociente da transcondutância de fonte, g_{ms} , pela corrente de dreno, I_D [11][13][30]-[36]. A relação I_D/g_{ms} determina nos circuitos analógicos algumas propriedades fundamentais, tais como ganho de tensão e precisão, e é um indicador do modo de operação do transistor (inversão fraca, moderada e forte) [32].

Sabendo que todos os transistores do amplificador operacional operam na região de saturação e que a corrente de dreno do transistor e a transcondutância de fonte são dadas pelas Expressões (2.10) e (2.15), respectivamente, obteremos em inversão forte:

$$\frac{I_D}{g_{ms}} = \frac{(V_P - V_S)}{2} \quad (3.33)$$

Os transistores responsáveis pelo ganho, M1-M4 e M6, são levados a ter uma razão I_D/g_{ms} menor possível, sem levá-los para inversão fraca. Desta forma, devemos utilizar para a diferença entre a tensão de “pinch-off” e a tensão de fonte um valor baixo, tal como,

$V_P - V_S = 0,2$ V [31], para maximizar a razão g_{m_s}/I_D e maximizar, desta forma, o ganho de tensão DC [32]. Os transistores que atuam somente como fontes de corrente, M5, M7 e M8, podem utilizar um valor de $V_P - V_S$ grande, até 1V. Os espelhos de corrente trabalham em inversão forte para garantir bom casamento [32]. Utilizando valores elevados de $V_P - V_S$ para o transistor M7, estaremos limitando a excursão de tensão na saída positiva do amplificador. Se usarmos um valor de $V_P - V_S = 0,5$ V, a excursão de tensão na saída de 2V será conseguida para uma tensão de alimentação de 2,5V [31].

O valor máximo de g_{m_s}/I_D é fixado pelas necessidades de estabilidade por que, crescendo esta razão, para uma corrente fixa, o tamanho dos transistores e das capacitâncias parasitas crescem e, então, a margem de fase pode ser reduzida [32].

Reescrevendo a Expressão (2.16) para a transcondutância de porta, teremos:

$$g_{mg} = \frac{2I_D}{n(V_P - V_S)} \quad (3.34)$$

Utilizando as Expressões (2.10) e (3.34), podemos representar a razão de aspecto dos transistores em inversão forte como uma função da transcondutância de porta e da diferença $V_P - V_S$:

$$\frac{W}{L} = \frac{g_{mg}}{\mu C'_{ox}(V_P - V_S)} \quad (3.35)$$

CAPÍTULO 4

PROJETO DO AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS E UTILIZAÇÃO DOS TRANSISTORES COMPOSTOS

4.1 TRANSISTORES COMPOSTOS TRAPEZOIDAIS E RETANGULARES: COMPARAÇÃO DE DESEMPENHO

Conforme descrito no Capítulo 2, Seção 2.3, os transistores compostos retangulares têm um comportamento estático idêntico ao dos transistores compostos trapezoidais onde $L_{EQ}=L_S+mL_D$, mas com um comprimento de canal “físico” menor. Nas Figuras 4.1(a) e (b) são apresentadas uma estrutura trapezoidal e uma retangular que são equivalentes em DC, com $L_{EQ}=4L_S$, ou seja, o número de transistores conectados ao dreno igual a três, $m=3$. Na Figura 4.2 temos um transistor unitário e vários arranjos de transistores trapezoidais (T_3 , T_5 , T_9). Chamamos de transistor unitário o transistor de dimensões fixas implementado pela metodologia “sea-of-transistors”. Como todos os transistores das estruturas trapezoidais têm o mesmo comprimento de canal, o valor de m corresponde ao número de transistores conectados ao dreno.

A fim de comparar todas as estruturas com as mesmas condições de polarização, a corrente de cada estrutura, Figuras 4.1 e 4.2, foi multiplicada pelo fator $(m+1)/m$, simulando transistores trapezoidais e retangulares com a mesma razão de aspecto do transistor unitário. As estruturas das Figuras 4.1 e 4.2 são implementadas utilizando transistores da tecnologia CMOS $2\mu\text{m}$ da Microdul, selecionados de forma a terem um bom casamento entre si. Os transistores são do tipo NMOS com razão de aspecto de $W/L = 6\mu\text{m}/5\mu\text{m}$.

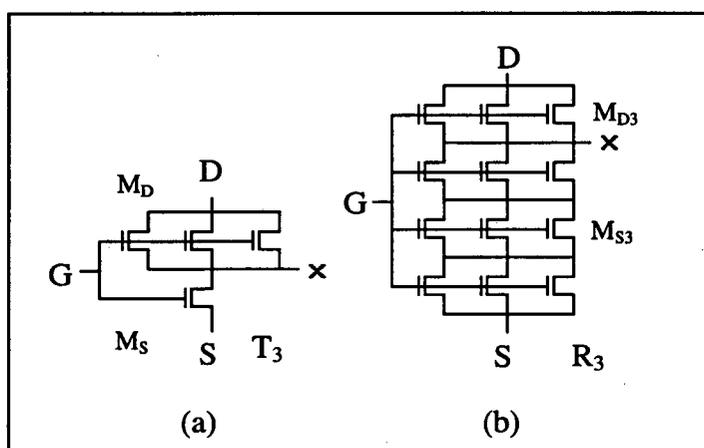


Figura 4.1- Arranjo de transistores unitários com a mesma largura de dreno e mesma razão de aspecto

(a)- transistor trapezoidal T_3 (b)- transistor retangular R_3

$$\left(\frac{L}{W}\right)_{eq} = \frac{L_u}{W_u} + \frac{L_u}{3W_u} \qquad \left(\frac{L}{W}\right)_{eq} = \frac{3L_u}{3W_u} + \frac{L_u}{3W_u}$$

A Figura 4.3 apresenta a característica da corrente de dreno versus tensão de dreno, para uma tensão de porta constante, para o transistor unitário, para o transistor trapezoidal com $m=5$ e para o transistor retangular equivalente, conforme Figura 4.1 (a) e (b). Observa-se que as características dos transistores trapezoidal T_5 e retangular R_5 são praticamente coincidentes,

particularmente a inclinação da curva na região de saturação. Ambas possuem características diferentes do transistor unitário na saturação devido às diferenças de comprimento de canal.

A Figura 4.4 foi obtida para as estruturas da Figura 4.2 e apresenta a característica de corrente de dreno versus a tensão de dreno, para uma tensão de porta constante. A Figura 4.5 apresenta a característica de corrente de dreno versus tensão de porta, para uma tensão de dreno constante, para as mesmas estruturas trapezoidais da Figura 4.2.

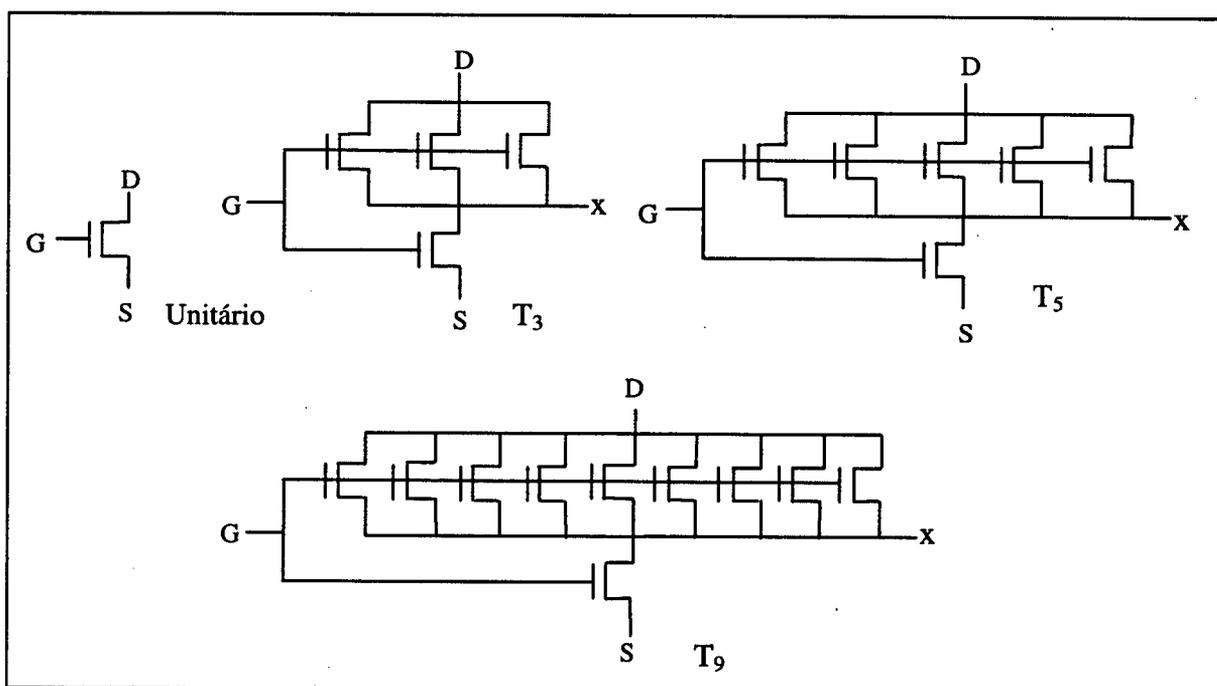


Figura 4.2- Arranjos de transistores trapezoidais

Verificamos na Figura 4.4 que as características DC são praticamente coincidentes na região de condução, indicando que transistores com a mesma razão de aspecto tem características equivalentes em DC e divergem na saturação também devido as diferenças de comprimento equivalente de canal ($m+1$). A inclinação da curva da corrente na região de

saturação diminui à medida que a largura, isto é, o número de transistores no lado do dreno aumenta.

Na Figura 4.5 as correntes de dreno dos transistores trapezoidais estão relacionadas com a corrente de dreno do transistor unitário pela relação $m/(m+1)$, comprovando a validade das Expressões (2.33) e (2.34). Convém relembrar que, a fim de comparar todas as estruturas com as mesmas condições de polarização, a corrente de dreno de cada estrutura foi multiplicada pelo fator $(m+1)/m$, simulando transistores trapezoidais com a mesma razão de aspecto do transistor unitário.

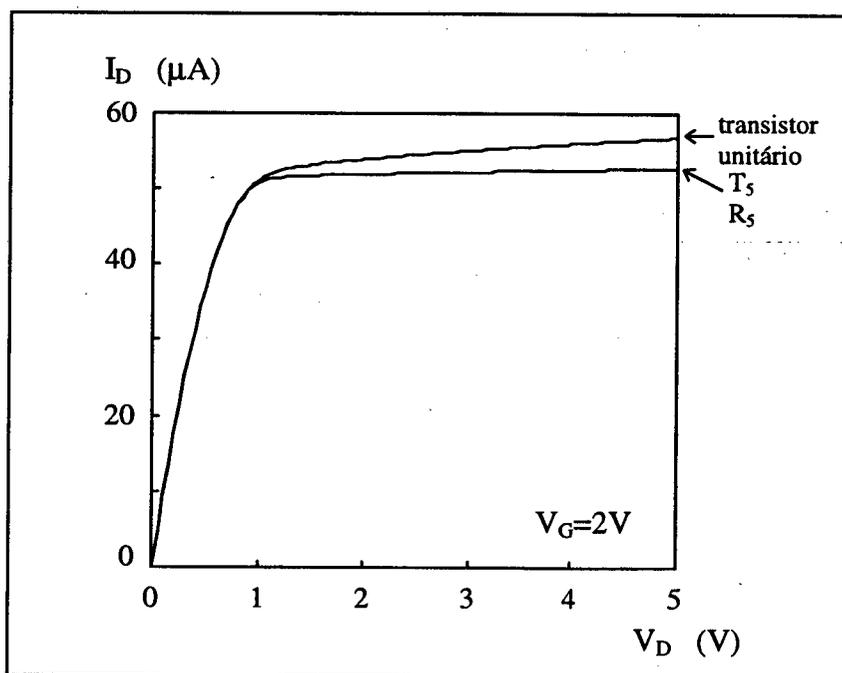


Figura 4.3- Característica I_D versus V_D para as estruturas da Figura 4.1

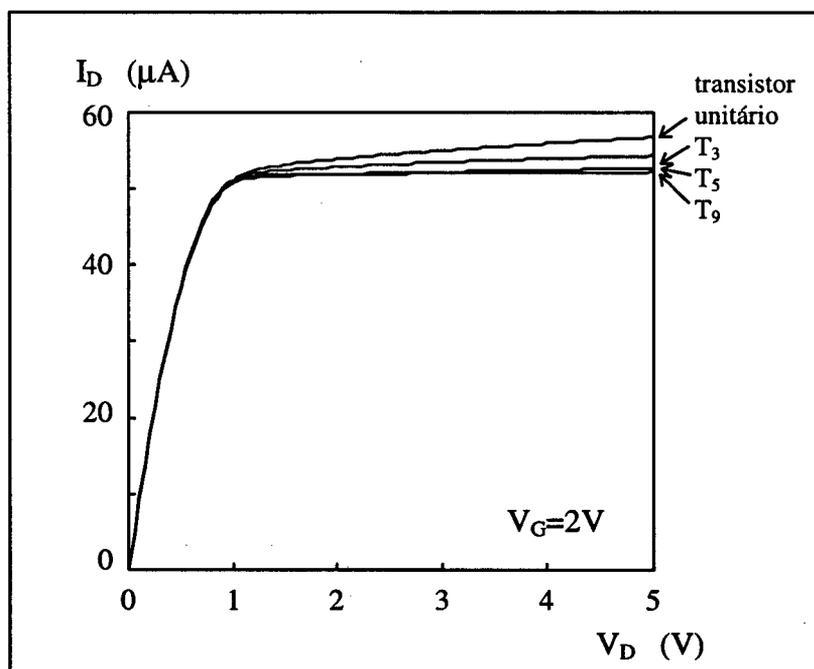


Figura 4.4 - Característica I_D versus V_D para as estruturas da Figura 4.2

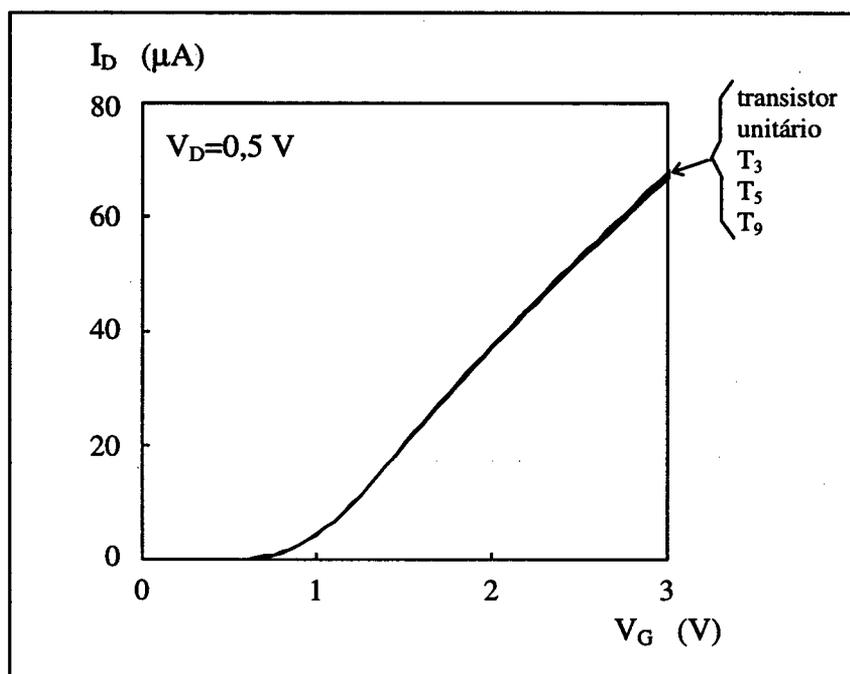


Figura 4.5 - Característica I_D versus V_G para as estruturas da Figura 4.2

A variação da transcondutância de porta com respeito a tensão de porta, para tensão de dreno constante, para o transistor unitário, para várias estruturas trapezoidais e para a estrutura retangular R3, Figura 4.1(b), é apresentada na Tabela 4.1.

A razão entre a transcondutância do transistor unitário e do transistor trapezoidal T_j , onde $j=1,2,\dots,9$, varia aproximadamente com a relação $m/(m+1)$, confirmando a validade da Expressão (2.37). Estes valores serão utilizados posteriormente para a determinação teórica dos parâmetros dos amplificadores operacionais utilizando transistores compostos.

Tabela 4.1- Transcondutância para o transistor unitário, para estruturas trapezoidais e para a estrutura retangular R₃

	$V_D= 0,5V$	$V_D= 1,5V$
	$g_m (\mu A/V)$	$g_m (\mu A/V)$
unitário	35,4	90,0
T ₁	17,9	46,6
T ₂	23,9	62,1
T ₃	26,6	69,3
T ₅	29,9	78,2
T ₆	30,8	80,3
T ₉	32,3	84,8
R ₃	25,2	61,2

A Tabela 4.2 apresenta os valores da condutância de saída, g_o , e da tensão de Early, V_A , para o transistor unitário, para várias estruturas trapezoidais e para a estrutura retangular R₃, para tensão de porta constante.

A variação da razão entre a condutância de saída do transistor unitário e do transistor trapezoidal T_j , onde $j=1,2,\dots,9$, será utilizada posteriormente para a determinação teórica dos parâmetros dos amplificadores operacionais utilizando transistores compostos.

Tabela 4.2- Condutância de saída e tensão de Early para o transistor unitário, para estruturas trapezoidais e para a estrutura retangular R_3

	$V_G=2V$		$V_G=3V$	
	g_o (nA/V)	V_A (V)	g_o (nA/V)	V_A (V)
unitário	960	57	2510	57
T_1	252	109	734	99
T_2	228	161	671	145
T_3	197	209	574	190
T_5	152	301	425	286
T_6	142	331	384	327
T_9	109	467	291	451
R_3	175	234	524	205

4.2 AMPLIFICADOR OPERACIONAL UTILIZANDO TRANSISTORES

COMPOSTOS TRAPEZOIDAIS E RETANGULARES

Para o projeto dos amplificadores operacionais, e posterior simulação, serão utilizados transistores unitários com as seguintes razões de aspecto: transistor NMOS- $W/L=24\mu\text{m}/1,2\mu\text{m}$ e transistor PMOS- $W/L=30\mu\text{m}/1,2\mu\text{m}$. Então, os valores encontrados para as razões de aspecto serão ajustados para serem múltiplos das razões de aspecto dos transistores unitários.

Utilizaremos os parâmetros do processo tecnológico ES2 1,2 μ m CMOS DLM, Apêndice A, e as expressões apresentadas nos Capítulos 2 e 3, de forma a atender às especificações da Tabela 4.3.

Tabela 4.3- Especificações para o amplificador operacional

Parâmetros	Especificações
Ganho de tensão em baixas frequências	$A_{VO} \geq 70\text{dB}$
Largura de banda de ganho unitário	$\text{GBW} \geq 5\text{MHz}$
Margem de fase	$\phi_m \geq 60^\circ$
Slew rate	$\text{SR} \geq 4\text{V}/\mu\text{s}$
Settling time	$T_S \leq 1\mu\text{s}$
Razão de rejeição à fonte de alimentação	$\text{PSRR} \geq 60\text{dB}$
Razão de rejeição de modo comum	$\text{CMRR} \geq 60\text{dB}$
Tensão de modo comum	$ V_{CM} \geq 1\text{V}$
Excursão de tensão na saída	$ V_O \geq 2\text{V}$
Tensão de "offset"	$V_{of} \leq 2\text{mV}$
Capacitância de carga	$C_L = 20\text{pF}$
Tensões de alimentação	$V_{DD} = -V_{SS} = 2,5\text{V}$
Comprimento de canal	$L = 1,2\mu\text{m}$

Para o projeto dos amplificadores operacionais utilizando transistores compostos usaremos $m=3$. Este valor de m foi escolhido a partir de simulações iniciais onde observamos

ser este um bom valor de compromisso entre ganho de tensão em baixas frequências, largura de banda de ganho unitário e área de silício ocupada.

A Figura 4.6 apresenta o amplificador operacional com transistores compostos trapezoidais. Este amplificador é obtido a partir do amplificador operacional da Figura 3.1 substituindo-se os transistores M1 a M4 pela estrutura trapezoidal apresentada na Figura 4.1(a). O amplificador utilizando transistores compostos retangulares é obtido substituindo os transistores M1 a M4 pelo transistor composto retangular equivalente da Figura 4.1(b).

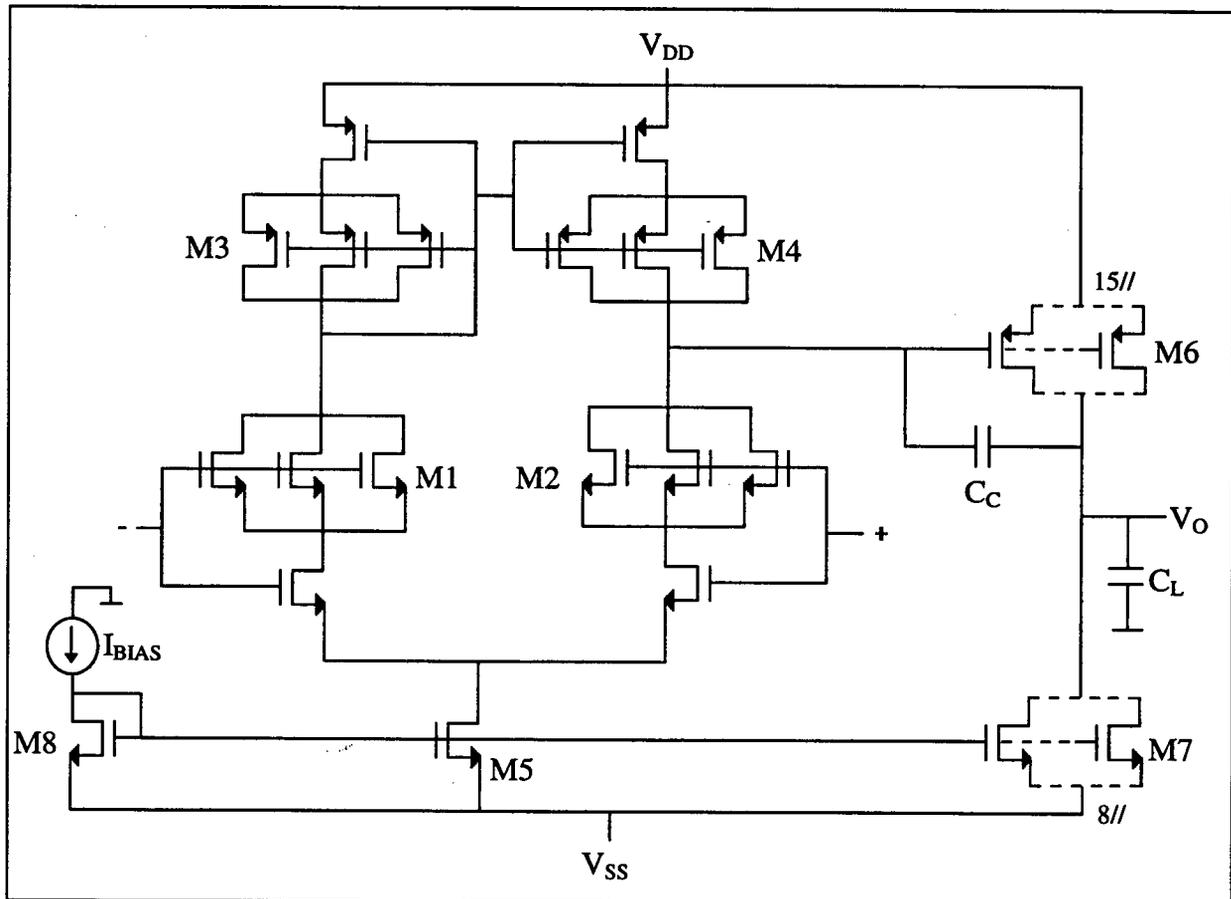


Figura 4.6- Amplificador operacional com transistores compostos trapezoidais

A seguir serão apresentados os passos de projeto para o amplificador operacional de dois estágios utilizando transistores compostos. Para fins de comparação de desempenho foi realizado o projeto de um amplificador operacional de dois estágios Miller convencional, apresentado no Apêndice B.

Passos para o projeto do amplificador operacional de dois estágios com transistores compostos:

- a) O valor da razão de aspecto equivalente dos transistores compostos da entrada do estágio diferencial, M1 e M2, é calculado através das Expressões (2.31), (2.35) e (2.36), utilizando $m=3$ e a razão de aspecto do transistor unitário NMOS.
- b) Com o valor da razão de aspecto equivalente calculamos a transcondutância equivalente dos transistores M1 e M2 através da Expressão (3.35), para $V_{P1}-V_{S1}=0,2V$ [31]:

$$g_{m1} = \mu_n C'_{ox} \left(\frac{W}{L} \right)_1 (V_{P1} - V_{S1}) \quad (4.1)$$

- c) A corrente de dreno equivalente de M1 e M2, I_{D1} , é calculada utilizando-se um valor médio para o fator de inclinação, $n=1,25$. A variação do fator de inclinação com a tensão de porta é apresentada no Apêndice C.

$$I_{D1} = \frac{g_{m1} n}{2} (V_{P1} - V_{S1}) \quad (4.2)$$

- d) O valor da razão de aspecto equivalente dos transistores compostos M3 e M4 é calculado através das Expressões (2.31), (2.35) e (2.36), utilizando $m=3$ e a razão de aspecto do transistor unitário PMOS. Como $I_{D3}=I_{D1}$ e considerando $V_{P3}-V_{S3}=0,2V$ [31], obtemos a transcondutância equivalente através da Expressão (4.2).

e) Com o valor da largura de banda de ganho unitário, especificada pela Tabela 4.3, e o valor da transcondutância equivalente do transistor M1 podemos calcular o valor do capacitor de compensação, C_C .

$$C_C = \frac{g_{m1}}{GBW} \quad (4.3)$$

Através da Expressão (3.11), verificamos que o valor do capacitor de compensação necessário para atender as especificações de margem de fase de, no mínimo 60° , deve ser:

$$C_C \geq 0,22 C_L \quad (4.4)$$

Devemos escolher o maior dos valores obtidos através das Expressões (4.3) e (4.4) para o capacitor de compensação, de modo a evitar margem de fase inferior a 60° .

- f) Com o valor de I_{D1} obtemos a corrente de polarização do estágio diferencial, I_{BIAS} , que corresponde ao dobro de I_{D1} , e, através da Expressão (4.2), calculamos g_{m5} utilizando $V_{P5}-V_{S5}= 0,3V$ [31]. Com os valores de g_{m5} , $V_{P5}-V_{S5}$ e μ_n obtemos a razão de aspecto do transistor M5, Expressão (4.1).
- g) O transistor M8 possui a mesma razão de aspecto de M5, formando um espelho de corrente de fator de espelhamento unitário.
- h) Considerando a Expressão (3.9) para $g_{m6}=10g_{m1}$, obtemos a transcondutância do transistor M6. Pela Expressão (4.2) determinamos a corrente de dreno I_{D6} , considerando $V_{P6}-V_{S6}=0,2V$ [31]. Através da Expressão (4.1), para μ_p e g_{m6} , calculamos sua razão de aspecto.
- i) A razão de aspecto do transistor M7 é obtida a fim de que o valor da tensão de “offset” sistemático seja mínimo, ou seja,

$$\frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} \quad (4.5)$$

j) Para obtermos a área ocupada pelos transistores [31], utilizamos a expressão:

$$A_T = A_G + 2A_S = W(L + 2L_{DS}) \quad (4.6)$$

onde A_T é a área total do transistor, A_G é a área da porta do transistor e A_S é a área da fonte do transistor (que é igual a do dreno), e L_{DS} é o comprimento da fonte (que é igual ao do dreno).

A Tabela 4.4 apresenta os valores para os componentes do amplificador operacional apresentado na Figura 3.1, cujas razões de aspecto são calculadas no Apêndice B, e do amplificador operacional com transistores compostos trapezoidais e retangulares, calculados através dos passos de projeto apresentados acima. Como estamos utilizando transistores NMOS e PMOS de tamanhos fixos, os transistores M6 e M7 são obtidos pela associação paralela de transistores unitários.

Tabela 4.4- Valores dos componentes dos amplificadores operacionais

$$L = 1,2\mu\text{m}, C_C = 5\text{pF} \text{ e } C_L = 20\text{pF}$$

Transistores	amp. op. com transistores unitários	amp. op. com transistores trapezoidais	amp. op. com transistores retangulares
	W (μm)	W (μm)	W (μm)
M1 e M2	24	24 (m=3)	24 (4x3)
M3 e M4	30	30 (m=3)	30 (4x3)
M5 e M8	24	24	24
M6	30 (18 //)	30 (15 //)	30 (15 //)
M7	24 (9//)	24 (8 //)	24 (8 //)

Na Tabela 4.4 os valores $W=24\mu\text{m}$ (transistor NMOS) e $W=30\mu\text{m}$ (transistor PMOS) correspondem as larguras de canal dos transistores de dimensões fixas implementados pela metodologia “sea-of-transistors”. Os valores entre parênteses indicam o modo como os transistores de dimensões fixas foram associados para obtermos os valores de largura de canal necessários nos projetos.

Para verificação do desempenho do amplificador operacional com transistores compostos, trapezoidais e retangulares, foram simulados os três circuitos cujas razões de aspectos estão apresentadas na Tabela 4.4 [39].

Para a simulação será utilizado o modelo para o transistor MOS apresentado no Capítulo 1 [11][12], contido no simulador SMASH [38] e os parâmetros tecnológicos do Apêndice A.

A Tabela 4.5 apresenta um resumo do desempenho dos amplificadores operacionais simulados. Os circuitos utilizados para a simulação das características dos amplificadores operacionais, tais como a PSRR e a CMRR, estão apresentados em [22].

A Tabela 4.6 apresenta os valores teóricos para alguns parâmetros dos amplificadores operacionais, utilizando as relações obtidas através das Tabelas 4.1 e 4.2 e das expressões simplificadas (2.33) a (2.37).

As Figuras 4.7 a 4.11 representam as simulações para algumas das características dos amplificadores operacionais. Em todas as figuras, os números (1), (2) e (3) representam os amplificadores operacionais utilizando transistores unitários, transistores compostos trapezoidais e transistores compostos retangulares, respectivamente.

Tabela 4.5- Resumo da simulação do desempenho dos amplificadores operacionais

$$V_{DD}= 2,5 \text{ V}, V_{SS}= -2,5 \text{ V}$$

Parâmetros	amp. op. com transistores unitários	amp. op. com transistores trapezoidais	amp. op. com transistores retangulares
Ganho de tensão baixas frequências (dB)	73,9	85,8	85,7
Largura de banda de ganho unitário (MHz)	7,14	5,35	5,20
Margem de fase (°)	66	65	59
Settling time (1%) (nseg)	94	128	179
PSRR+ (DC) (dB)	80,2	108,4	106,8
PSRR- (DC) (dB)	67,8	67,1	68,0
CMRR (DC) (dB)	78,7	85,8	83,7
Tensão de modo comum (V)	-2,45 a 2,32	-2,45 a 2,35	-2,45 a 2,35
Excursão de tensão na saída (V)	-2,45 a 2,45	-2,45 a 2,45	-2,45 a 2,45
Slew rate (V/ μ s)	13,7	10,2	10,1
Ruído de entrada @1kHz (nV/ \sqrt Hz)	14	16	16
Potência dissipada (mW)	3,8	2,9	2,9
Área (μ m ²)	6570	8900	15120

Tabela 4.6 - Valores teóricos para alguns parâmetros dos amplificadores operacionais utilizando as equações simplificadas

	A_{VO} (dB)	A_{V5}	GBW (MHz)	Margem de Fase	SR (V/ μ s)	V_{CM} (V)	V_O (V)
amp. op. com transistores unitários	73,3	88	9,05	67°	14,2	-1,2 a 2,47	-2,2 a 2,45
amp. op. com transistores trapezoidais	84,6	325	6,83	72°	10,7	-1,25 a 2,47	-2,2 a 2,45
amp. op. com transistores retangulares	85,1	342	6,47	71°	10,1	-1,25 a 2,47	-2,2 a 2,45

Comparando os resultados obtidos para os amplificadores operacionais simulados com transistores compostos trapezoidais e retangulares, verificamos as vantagens da utilização da estrutura trapezoidal. Para os valores de ganho de tensão em baixas frequências e largura de banda de ganho unitário praticamente iguais nas duas estruturas, a estrutura trapezoidal apresenta área de silício ocupada muito menor e margem de fase superior, ou seja, maior garantia de estabilidade, em relação a estrutura retangular. Em relação ao amplificador com transistores unitários, as estruturas compostas apresentam aumento do ganho de tensão em baixas frequências, porém com redução da largura de banda de ganho unitário, pois este depende diretamente da transcondutância do transistor de entrada do amplificador operacional, que varia conforme a Expressão (2.37).

Na tabela 4.6, as margens de fase teóricas dos amplificadores operacionais utilizando as estruturas compostas resultaram maiores do que a do amplificador operacional com

transistores unitários. Isto ocorreu devido as equações simplificadas utilizadas para os cálculos teóricos, feitos à mão.

Observando os valores calculados e simulados, verificamos que as especificações iniciais contidas na Tabela 4.3 foram respeitadas. A diferença entre os valores calculados e simulados, que para a maioria dos parâmetros é pequena, ocorrem devido às equações simplificadas utilizadas para cálculos feitos à mão e à desconsideração de efeitos extrínsecos e de canal curto.

Para obtermos um valor de tensão de “offset” sistemático mínimo devemos satisfazer a Expressão (4.5). Para o amplificador operacional utilizando transistores unitários esta expressão é cumprida e o valor obtido para a tensão de “offset” é muito baixo (Figura 4.11). Quando utilizamos as estruturas compostas, a razão de aspecto obtida para o transistor M7 difere um pouco do valor ótimo e a tensão de “offset” resulta maior do que no caso anterior (Figura 4.11). Devemos lembrar que, as razões de aspecto obtidas devem ser múltiplos da razão de aspecto do transistor de tamanho fixo utilizado no “sea-of-transistors”.

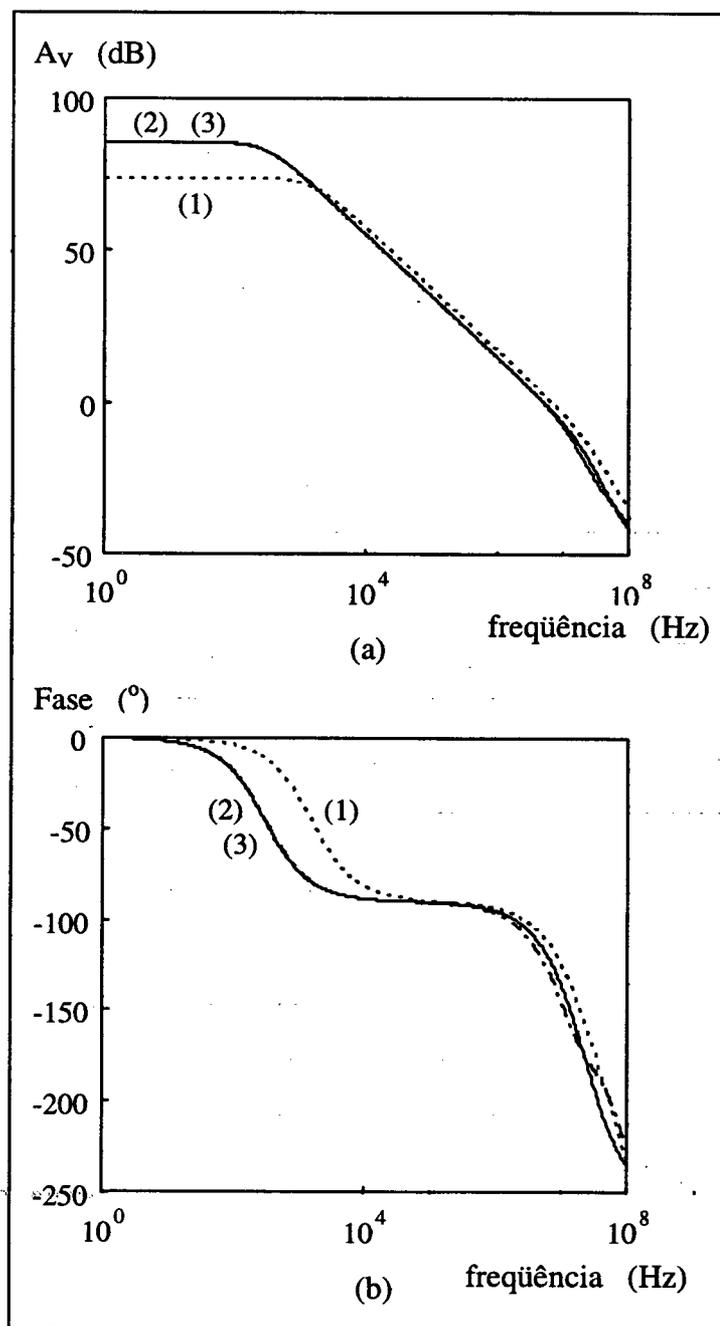


Figura 4.7- Resposta em frequência em malha aberta

(a) amplitude (b) fase

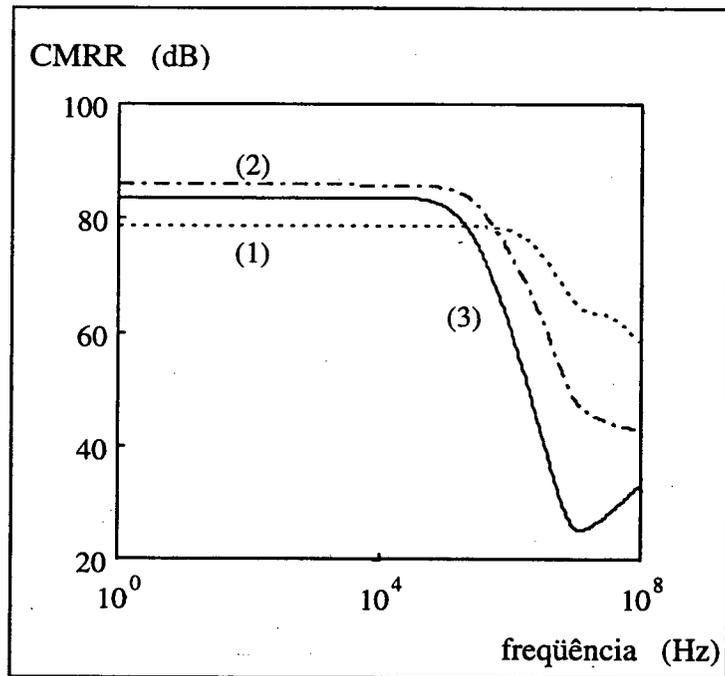


Figura 4.8- Resposta em frequência para a CMRR

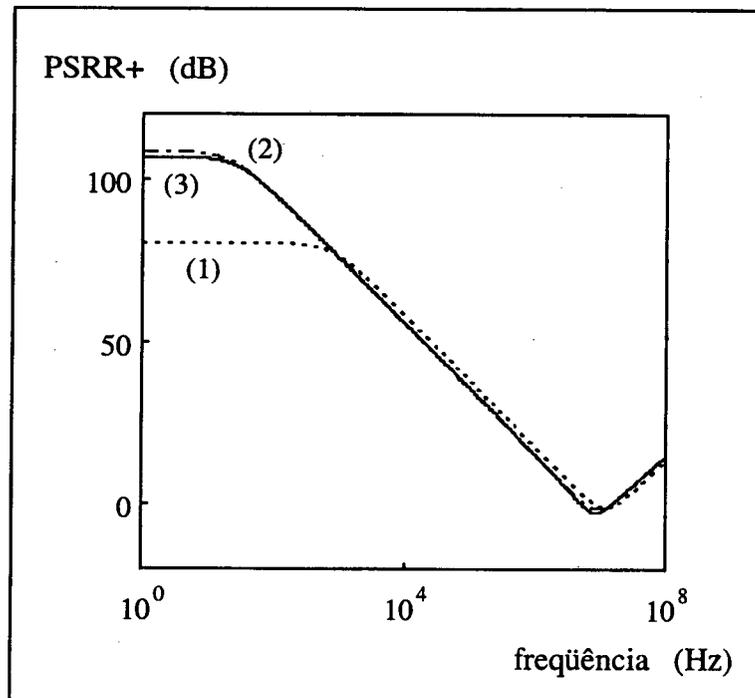


Figura 4.9- Resposta em frequência para a PSRR+

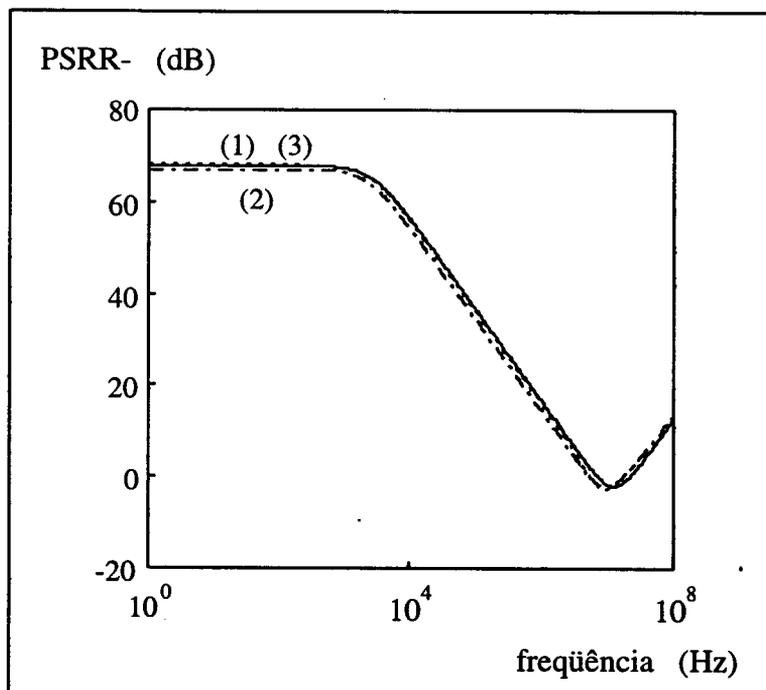


Figura 4.10- Resposta em frequência para a PSRR-

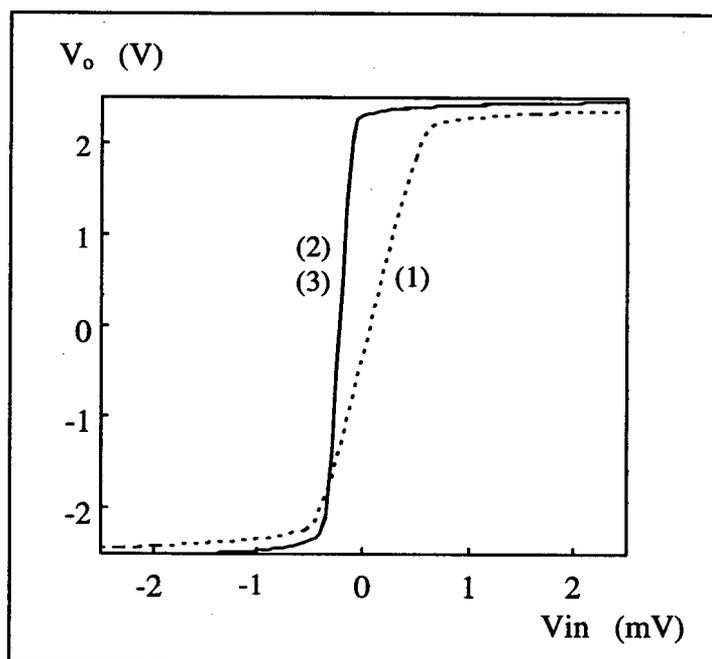


Figura 4.11- Característica de transferência DC em malha aberta

4.3 ESTUDO DA INFLUÊNCIA DO NÚMERO DE TRANSISTORES CONECTADOS AO DRENO DOS TRANSISTORES TRAPEZOIDAIS

As características do amplificador operacional variam com o número (m) de transistores conectados ao dreno dos transistores M1 a M4. Com o intuito de estudarmos a variação destas características, foram simulados amplificadores com m variando de 1 a 10.

Para o projeto dos amplificadores operacionais com transistores compostos trapezoidais utilizamos a seqüência de passos apresentada na Seção 4.2. Foram utilizados transistores unitários de $W/L=24\mu\text{m}/1,2\mu\text{m}$ para os transistores NMOS e $W/L=30\mu\text{m}/1,2\mu\text{m}$ para os transistores PMOS. A Tabela 4.7 apresenta os valores obtidos para alguns parâmetros dos amplificadores operacionais simulados.

A tensão de modo comum na entrada permaneceu aproximadamente igual para todos os amplificadores simulados, bem como a excursão de tensão na saída. Para a tensão de modo comum obtivemos uma variação de -2,45 a 2,40 e para a tensão na saída de -2,45 a 2,45.

A Tabela 4.8 apresenta os valores teóricos obtidos para alguns valores de m e alguns dos parâmetros apresentados na Tabela 4.7, utilizando as relações obtidas através das Tabelas 4.1 e 4.2 e das expressões simplificadas (2.33) a (2.37).

As Figuras 4.12 a 4.16 apresentam os gráficos de algumas características simuladas para o amplificador com transistores unitários e para os amplificadores com os transistores M1 a M4 compostos trapezoidais utilizando $m=3$ e 10.

Tabela 4.7 - Valores para alguns parâmetros dos amplificadores operacionais considerando a variação de m

m	A_{VO} (dB)	A_{VS}	GBW (MHz)	Margem de Fase ($^{\circ}$)	CMRR DC (dB)	PSRR+ DC (dB)	PSRR- DC (dB)
unitário	73,9	77	7,14	66	77,8	80,2	67,8
1	81,5	145	3,75	70	75,3	85,8	47,1
2	83,9	211	4,78	66	80,5	98,4	55,5
3	85,8	274	5,35	65	85,8	108,4	67,1
4	87,3	335	5,62	63	86,3	110,6	65,0
5	88,6	394	5,80	61	88,2	106,6	68,2
6	89,7	450	5,90	60	89,4	105,9	69,8
7	90,6	506	5,96	59	91,5	105,5	73,4
8	91,5	561	5,98	58	92,0	105,0	74,3
9	92,2	616	5,99	57	93,0	105,1	76,1
10	92,9	667	6,00	56	93,8	105,2	77,8

continuação da Tabela 4.7

m	SR (V/ μ s)	Set. time (nseg)	Pot. dissipada (mW)	Ruído @1kHz (nV/ $\sqrt{\text{Hz}}$)	r_{out} (k Ω)	Área (μm^2)
unitário	13,7	94	3,80	13,9	20	6570
1	7,1	202	1,94	19,3	29	7350
2	9,2	142	2,54	16,9	31	8120
3	10,2	128	2,86	16,0	19	8900
4	11,0	121	3,04	15,6	25	9680
5	11,3	144	3,18	15,3	19	10460
6	11,6	157	3,27	15,1	17	11230
7	11,9	162	3,34	15,0	20	12010
8	11,9	164	3,38	14,9	21	12790
9	11,9	168	3,43	14,8	18	13570
10	12	172	3,48	14,8	17	14350

Tabela 4.8 - Valores teóricos para alguns parâmetros dos amplificadores operacionais utilizando equações simplificadas

m	A_{VO} (dB)	A_{VS}	GBW (MHz)	Margem de Fase ($^{\circ}$)	SR ($V/\mu s$)
unitário	73,3	88	9,05	67	14,2
1	79,1	171	4,60	77	7,2
2	82,4	252	6,14	73	9,6
3	84,6	325	6,83	72	10,7
5	87,9	475	7,68	70	12,0
6	88,7	522	7,92	69	12,4
9	91,4	716	8,30	68	13,0

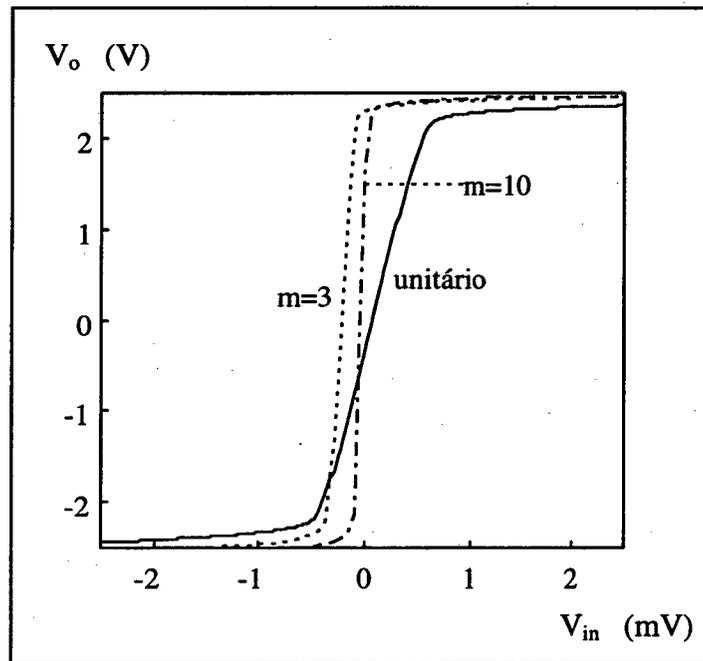


Figura 4.12- Característica de transferência DC em malha aberta

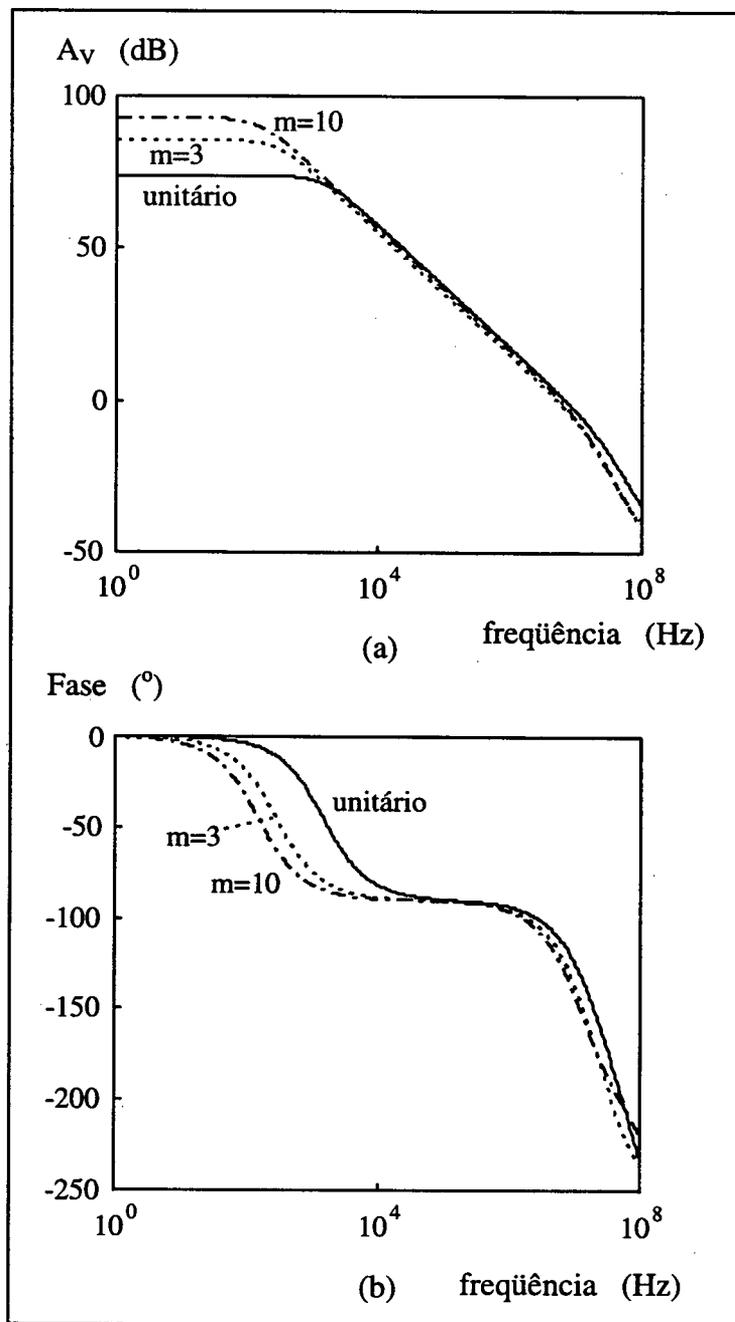


Figura 4.13- Resposta em frequência em malha aberta

(a) amplitude (b) fase

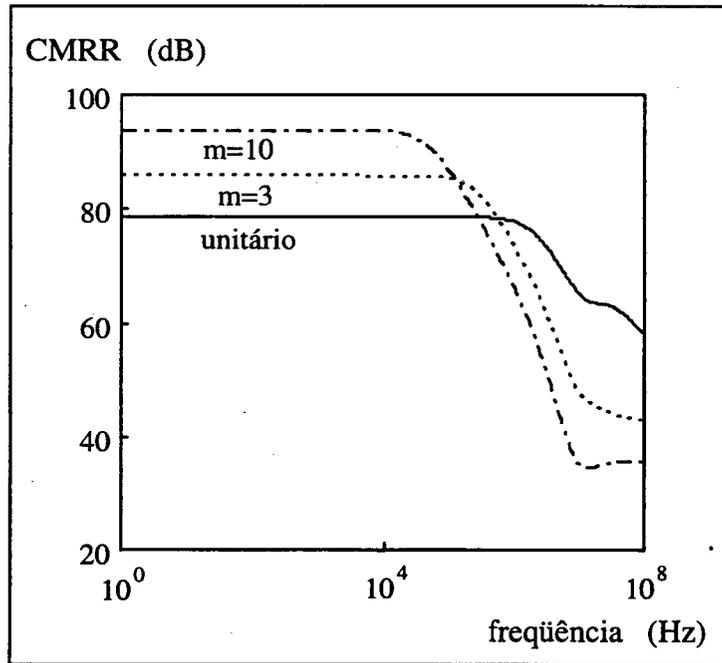


Figura 4.14- Resposta em frequência para a CMRR

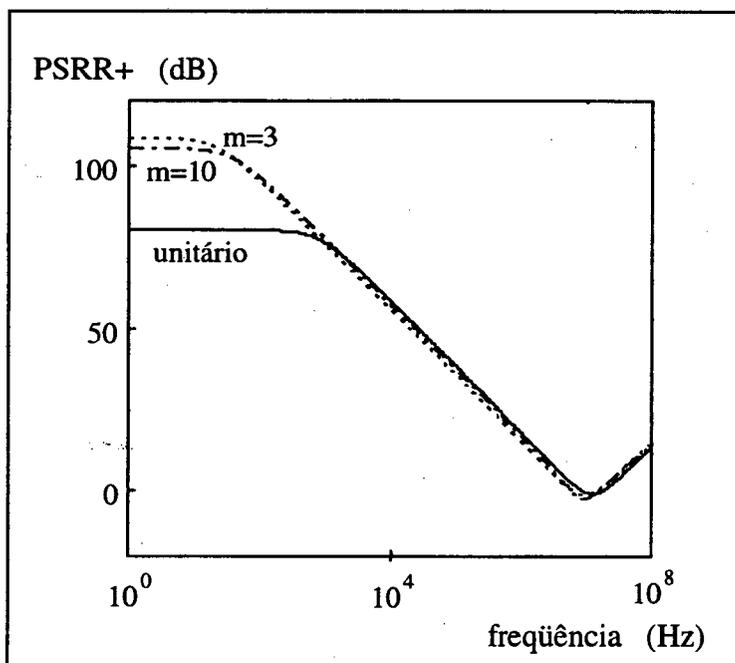


Figura 4.15- Resposta em frequência para a PSRR+

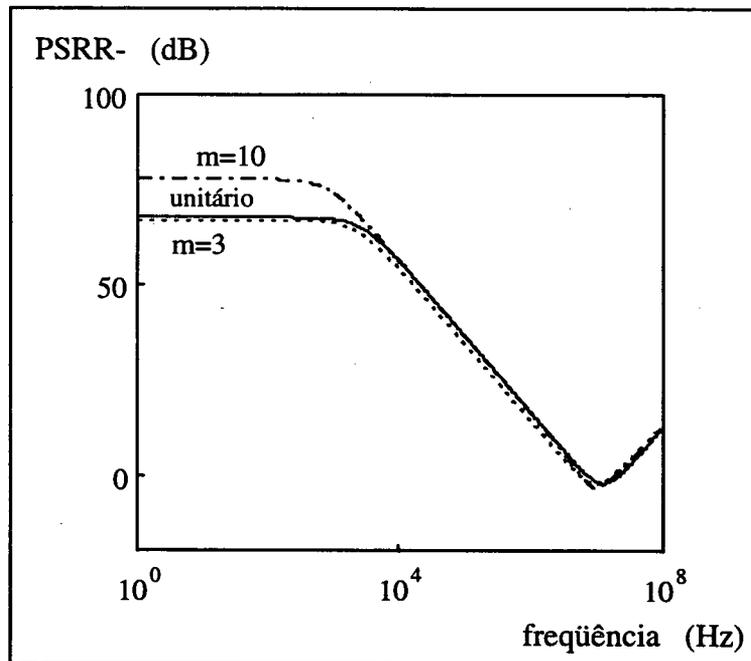


Figura 4.16- Resposta em frequência para a PSRR-

Novamente, aqui, ocorre uma diferença entre os valores teóricos e simulados devido às equações simplificadas utilizadas para os cálculos feitos à mão e, também, por terem sido desconsiderados os efeitos extrínsecos.

O aumento do número de transistores conectados ao dreno nos transistores compostos (m) causa um acréscimo no valor das capacitâncias intrínsecas, Expressões (2.38) a (2.41), bem como das capacitâncias extrínsecas, de sobreposição e de junção [18]. Este aumento das capacitâncias influencia vários parâmetros do amplificador operacional, tais como, largura de banda de ganho unitário e margem de fase.

A largura de banda de ganho unitário depende, numa primeira aproximação, da transcondutância do transistor do estágio de entrada e da capacitância de compensação

(Expressão (3.6)). No entanto, à medida que as capacitâncias aumentam, com o aumento de m , a diminuição da largura de banda de ganho unitário, devido ao efeito capacitivo, torna-se maior do que a devido à variação da transcondutância do transistor de entrada do amplificador, conforme Expressão (2.45) e Tabelas 4.7 e 4.8. Vale também dizer que, a margem de fase diminui com o aumento de m , o que pode ser prejudicial para as características de estabilidade dos circuitos.

O valor do ganho de tensão em baixas frequências aumenta com o aumento do m devido ao aumento das transcondutâncias (Expressão (2.37) e Tabela 4.1), e diminuição das condutâncias de saída (Expressão (2.17) e Tabela 4.2). No entanto, o aumento na área de silício é um fator a ser considerado.

Analisando as tabelas e gráficos apresentados, pode-se recomendar um valor de m entre 3 e 5. Para estes valores, verificamos um aumento no ganho de tensão em baixas frequências, sem uma redução exagerada na largura de banda de ganho unitário e na margem de fase e/ou um aumento exagerado na área de silício ocupada.

No Apêndice D apresentamos resultados da implementação dos amplificadores operacionais das Figuras 3.1 e 4.4. Através dos resultados obtidos, comprovamos que o amplificador operacional utilizando transistores compostos trapezoidais apresenta ganho em baixas frequências maior do que o amplificador operacional utilizando transistores unitários.

CAPÍTULO 5

ESTÁGIOS DE SAÍDA

5.1 INTRODUÇÃO

Em aplicações envolvendo cargas resistivas pequenas e/ou capacitivas elevadas, torna-se necessária a adição de um estágio de saída (“buffer”) ao amplificador básico para evitar que a carga degrade o ganho de tensão ou a estabilidade em malha fechada. Estes estágios de saída devem ter largura de banda de ganho unitário suficientemente grande com carga capacitiva elevada para não prejudicarem a estabilidade do amplificador básico, e a excursão de tensão na carga deve ser grande com a mínima resistência de carga. Os estágios de saída devem, em muitos casos: ser capazes de prover potência suficiente na saída na forma de tensão ou corrente, introduzir distorção harmônica baixa, ter baixa impedância de saída e alta impedância de entrada [22][23][37]-[45].

O estudo de alguns estágios de saída simples são apresentados, bem como as características de transferência DC da cascata destes com o amplificador operacional de dois estágios apresentado no Capítulo 3 e no Apêndice B.

Em todos os estgios de sada simulados, so utilizados transistores unitrios de $W/L=24\mu\text{m}/1,2\mu\text{m}$ para os transistores NMOS e $W/L=30\mu\text{m}/1,2\mu\text{m}$ para os transistores PMOS.

5.2 ESTGIOS DE SADA 1

Uma forma simples de “buffer” consiste de um seguidor de fonte em srie com uma fonte de corrente [22][23]. As Figuras 5.1(a) e 5.1(b) apresentam “buffers” de sada com transistores do tipo NMOS e PMOS, respectivamente.

As propriedades que fazem este “buffer” ser muito usado so a impedncia de entrada alta e a impedncia de sada relativamente baixa, para valores suficientemente grandes de corrente de dreno e razo de aspecto do transistor M1. A corrente de polarizao  determinada pela fonte de corrente M2, que leva M1 para um n de fonte de baixa impedncia.

Uma desvantagem destes estgios  que a excurso de tenso na sada fica limitada, pois a fonte do transistor M1 est conectada ao n de sada tornando a tenso na sada dependente do efeito de corpo [22][23].

O ganho de tenso em baixas frequncias  dado por:

$$A_{vo} = \frac{g_{m1}}{g_{o1} + g_{o2} + g_{ms1} + g_l} \cong \frac{1}{n} \quad (5.1)$$

A resistncia de sada dos estgios  dada por:

$$r_{out} \cong \frac{1}{g_{ms1} + g_l} \quad (5.2)$$

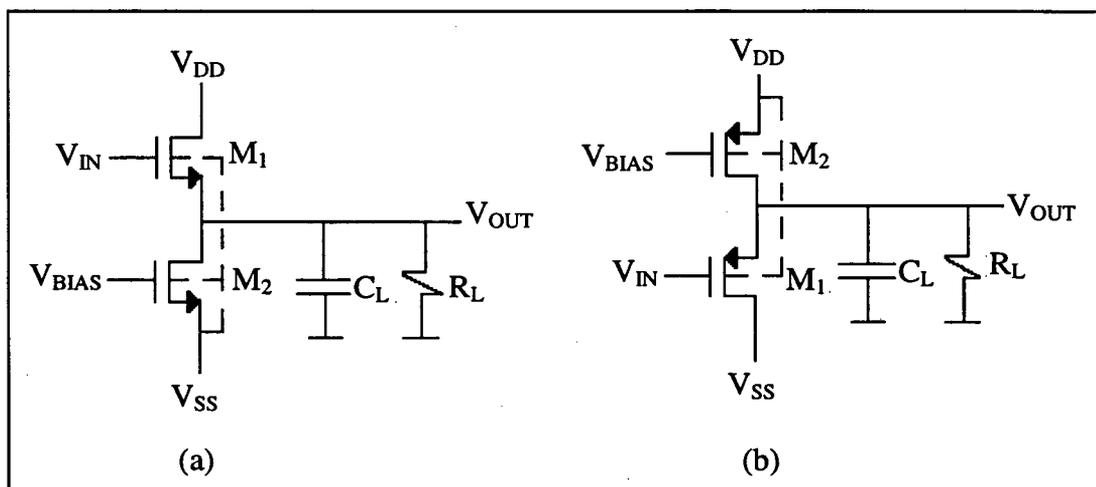


Figura 5.1- Estágios de saída 1

(a) NMOS (b) PMOS

A Tabela 5.1 apresenta um exemplo de valores para a razão de aspecto dos transistores das Figuras 5.1(a) e 5.1(b), calculados utilizando as Expressões (3.33) a (3.35).

Tabela 5.1- Valores dos componentes das Figuras 5.1(a) e (b)

$$L = 1,2\mu\text{m}, R_L = 10\text{k}\Omega \text{ e } C_L = 20\text{pF}$$

Transistores	W (μm)	W (μm)
	NMOS	PMOS
M1	24 (9//)	30 (23//)
M2	24 (2//)	30 (6//)

A Tabela 5.2 apresenta um resumo do desempenho do amplificador operacional da Figura 3.1, cujas razões de aspecto são apresentadas na Tabela 4.4, utilizando os estágios apresentados.

Tabela 5.2- Resumo do desempenho do amplificador operacional utilizando os estágios de saída das Figuras 5.1(a) e (b)

Parâmetros		NMOS	PMOS
Ganho de tensão em baixas frequências (dB)		71,7	71,2
Largura de banda de ganho unitário (MHz)		5,8	5,4
Margem de fase (°)		70	70
Excursão de tensão na saída (V)		-2,34 a 0,64	-0,22 a 2,40
Resistência de saída (Ω)		500	320
Potência dissipada (mW)		5,2	6,0
Área (μm ²)		8470	12840

A Figura 5.2 apresenta a característica de transferência DC em malha aberta para o amplificador operacional utilizando os estágios de saída do tipo NMOS e PMOS apresentados.

5.3 ESTÁGIO DE SAÍDA 2

Este estágio de saída, Figura 5.3, tem como bloco básico o seguidor de fonte com transistores NMOS, da Figura 5.1(a) [41][42]. Utilizando um transistor PMOS na conexão diodo no dreno do transistor M1 podemos converter a corrente de dreno em tensão, que pode ser usada para controlar o valor da corrente de polarização. Os transistores M1-M6 formam a parte do sinal, enquanto os transistores M7-M11 estabelecem a tensão de polarização em M6 provendo a corrente de operação no circuito.

O ganho de tensão em baixas frequências é dado por:

$$A_{vo} \cong \frac{g_{m2}g_{m4}g_{m5}}{g_{m3}g_{m6}(g_{m4} + g_{m5})} \quad (5.3)$$

A Tabela 5.3 apresenta um exemplo de valores para a razão de aspecto dos transistores da Figura 5.3, calculadas utilizando as Expressões (3.33) a (3.35).

Tabela 5.3- Valores dos componentes da Figura 5.3

$L = 1,2\mu\text{m}$, $R_L = 10\text{k}\Omega$ e $C_L = 20\text{pF}$

Transistores	W (μm)
M1, M2, M8	24
M3	30 (2//)
M4	24 (2//)
M5	24 (8 série)
M6, M7, M10	30 (3//)
M9	24 (5 série)
M11	24 (4 série)

A Tabela 5.4 apresenta um resumo do desempenho do amplificador operacional da Figura 3.1, cujas razões de aspecto são apresentadas na Tabela 4.4, utilizando o estágio de saída apresentado.

A Figura 5.4 apresenta a característica de transferência DC em malha aberta para o amplificador operacional associado ao estágio de saída da Figura 5.3.

Tabela 5.4- Resumo do desempenho do amplificador operacional utilizando o estágio de saída da Figura 5.3

Parâmetros	Resultados
Ganho de tensão em baixas frequências (dB)	71,4
Largura de banda de ganho unitário (MHz)	5,6
Margem de fase (°)	60
Excursão de tensão na saída (V)	-2,40 a 0,45
Resistência de saída (Ω)	700
Potência dissipada (mW)	7,66
Área (μm^2)	12750

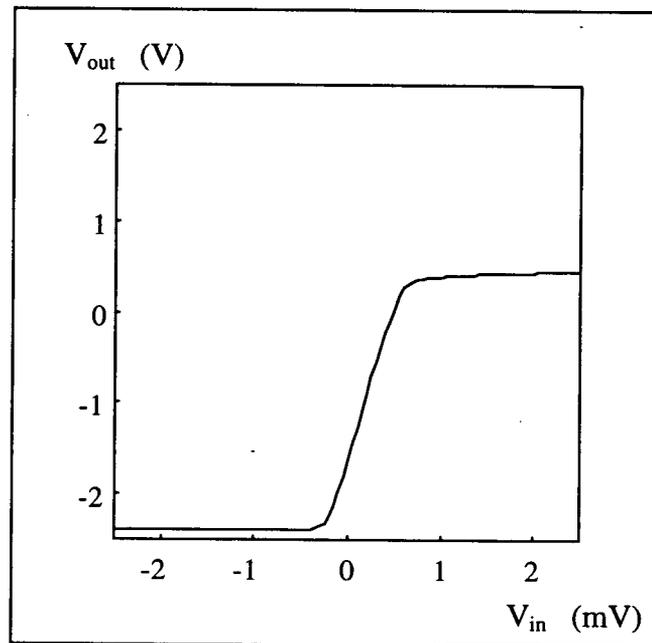


Figura 5.4- Característica de transferência DC do amplificador operacional utilizando o estágio de saída da Figura 5.3

5.4 ESTÁGIO DE SAÍDA 3

A Figura 5.5 apresenta um inversor CMOS com carga fonte de corrente, transistor M2 [22][23].

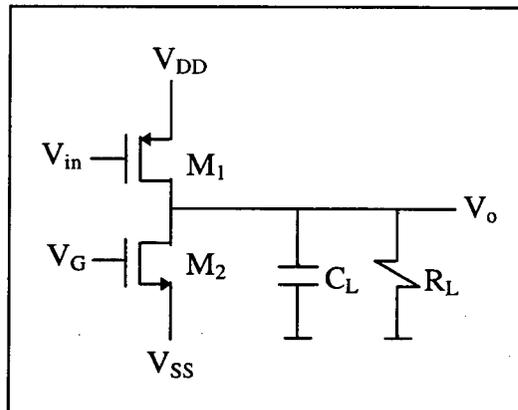


Figura 5.5 - Estágio de saída 3

O transistor M_2 coloca a tensão na saída máxima em V_{DD} quando o transistor M_1 está cortado e desde que não haja uma carga resistiva baixa. O limite inferior da excursão da tensão de saída é encontrado quando M_1 está na região de condução.

O ganho de tensão em baixas frequências é dado por:

$$A_{vo} = -\frac{g_{m1}}{g_{o1} + g_{o2} + g_l} \quad (5.4)$$

A resistência de saída é dada por

$$r_{out} = \frac{1}{g_{o1} + g_{o2} + g_l} \quad (5.5)$$

A Tabela 5.5 apresenta um exemplo de valores para a razão de aspecto dos transistores da Figura 5.5, calculadas utilizando as Expressões (3.33) a (3.35). A Tabela 5.6

apresenta um resumo do desempenho do amplificador operacional da Figura 3.1, cujas razões de aspecto são apresentadas na Tabela 4.4, utilizando o estágio apresentado. A Figura 5.6 apresenta a característica de transferência DC em malha aberta para o amplificador operacional associado ao estágio de saída da Figura 5.5.

Tabela 5.5- Valores dos componentes da Figura 5.5

$L = 1,2\mu\text{m}$, $R_L = 10\text{k}\Omega$ e $C_L = 20\text{pF}$

Transistores	W (μm)
M1	30 (3 série)
M2	24 (2//)

Tabela 5.6- Resumo do desempenho do amplificador utilizando o estágio de saída da Figura 5.5

Parâmetros	Resultados
Ganho de tensão em baixas frequências (dB)	80,7
Largura de banda de ganho unitário (MHz)	13
Margem de fase ($^\circ$)	50
Excursão de tensão na saída (V)	-2,2 a 1,9
Potência dissipada (mW)	5,38
Resistência de saída (k Ω)	2,1
Área (μm^2)	7560

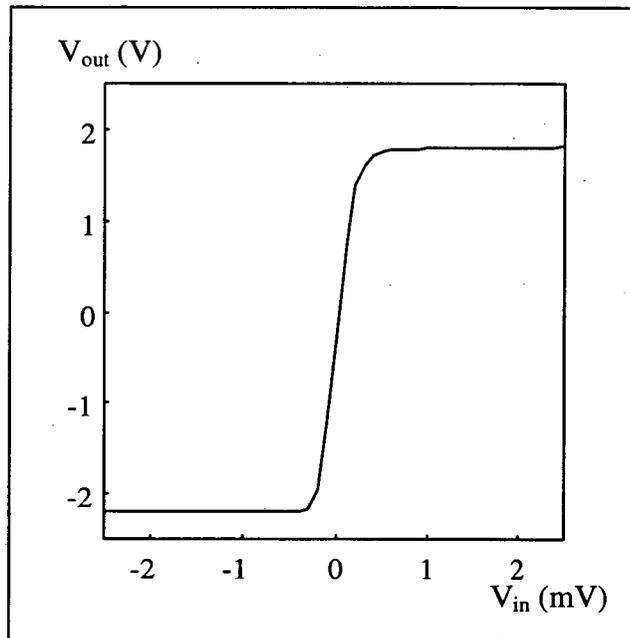


Figura 5.6- Característica de transferência DC do amplificador operacional associado ao estágio de saída da Figura 5.5

Foram apresentados três estágios de saída. O primeiro estágio é uma das formas mais simples de estágios de saída, porém reduz fortemente a excursão de tensão na saída positiva ou negativa para transistores NMOS e PMOS, respectivamente. O segundo estágio apresentado, apesar de ser mais complexo, não consegue excursão de tensão na saída positiva elevada e dissipa mais potência. O último estágio de saída consegue manter excursão de tensão na saída alta, perdendo, porém, em margem de fase. Deve-se tomar cuidado para que a redução na margem de fase não prejudique a estabilidade dos circuitos onde o amplificador operacional será utilizado.

CAPÍTULO 6

AMPLIFICADOR OPERACIONAL

DE TRÊS ESTÁGIOS

6.1 INTRODUÇÃO

Neste capítulo apresentamos o projeto de um amplificador operacional de três estágios utilizando transistores compostos. O amplificador operacional compensado da Figura 3.3 [22]-[26][31] é combinado com um estágio de saída [46]. Utilizaremos o estágio de saída apresentado na Figura 5.5 pois o mesmo possibilita excursão elevada de tensão na saída.

O circuito esquemático completo do amplificador operacional de três estágios proposto é apresentado na Figura 6.1.

O estágio diferencial (M1-M5) alimenta um estágio intermediário (M6, M7, M11) que, por sua vez, alimenta um estágio de saída (M9, M10). O transistor M11 atua essencialmente como um resistor linear. Nesta configuração é criado um zero no semi-plano lateral direito, o qual é eliminado com a colocação de um resistor em série com o capacitor de compensação C_c , implementado pelo transistor M8.

Quando $V_{in} \ll 0$, M6 está conduzindo e a tensão de porta de M10 é colocada no nível do dreno de M6. Como M9 está cortado, uma corrente grande por M10 é necessária para descarregar C_L . Quando $V_{in} \gg 0$, M6 está cortado e a tensão na porta de M9 é fortemente abaixada, necessitando uma corrente grande para carregar C_L .

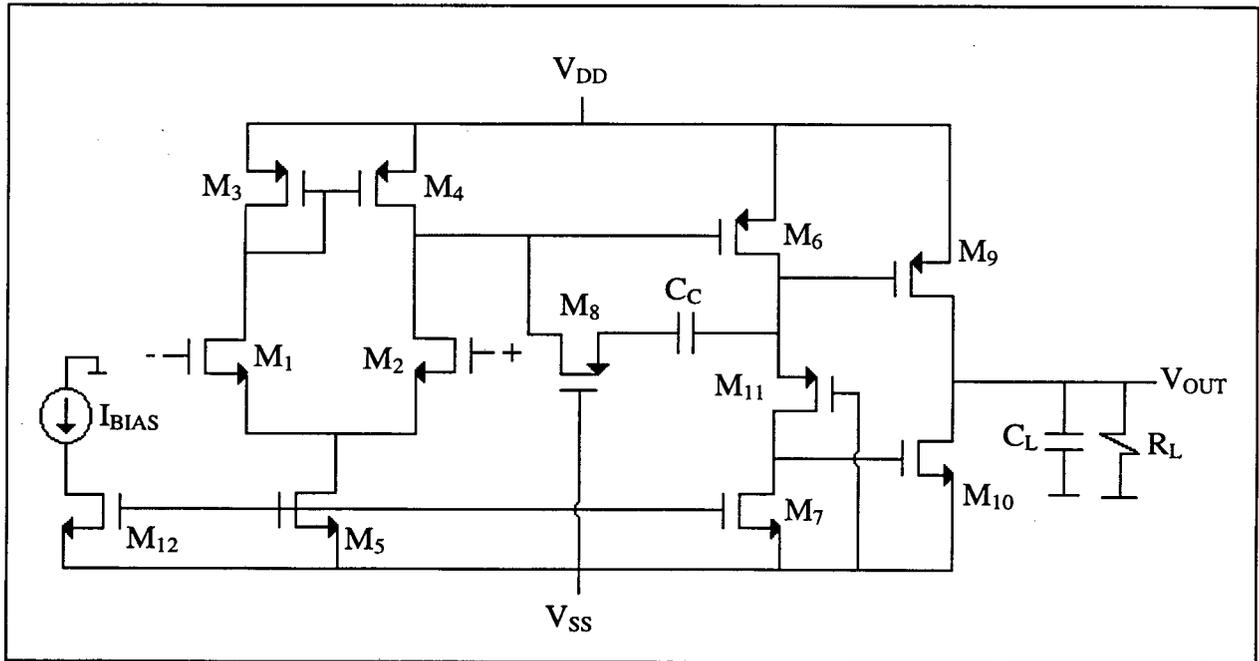


Figura 6.1- Amplificador operacional de três estágios

6.2 GANHO DE TENSÃO EM MALHA ABERTA, LARGURA DE BANDA DE GANHO UNITÁRIO E RESISTÊNCIA DE SAÍDA

O circuito equivalente de pequenos sinais em malha aberta é apresentado na Figura 6.2. Neste circuito, g_{m1} é a transcondutância dos transistores do par diferencial de entrada, g_{m6} e g_{m9} são as transcondutâncias dos transistores M6 e M9, respectivamente, R_L e C_L são a

resistência e a capacitância vistas pelo dreno do transistor M4, R_{II} é a resistência entre dreno e fonte do transistor M6, C_{II} é a capacitância entre a porta e o dreno do transistor M9, R_{III} é a resistência vista pelo nó de saída, C_L é a capacitância de carga e C_C é o capacitor de compensação.

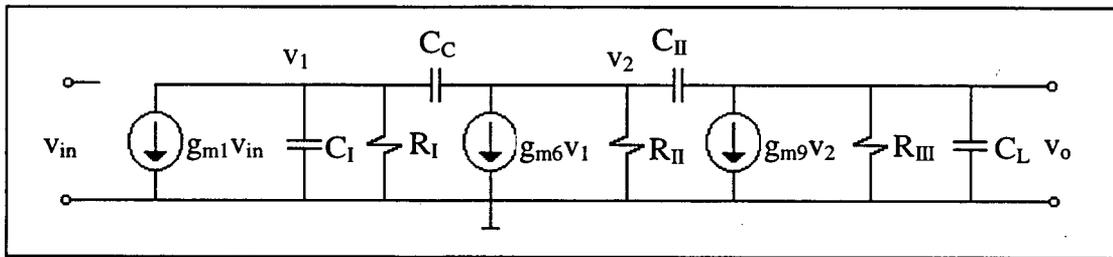


Figura 6.2- Circuito equivalente de pequenos sinais da Figura 6.1

A partir do circuito da Figura 6.2 obtemos o ganho de tensão em baixas frequências, a localização aproximada dos pólos e zeros, Expressões (6.1) a (6.7), e a largura de banda de ganho unitário, Expressão (6.8).

$$A(s) = \frac{A_o(1 - s/z_1)(1 - s/z_2)}{(1 - s/p_1)(1 - s/p_2)(1 - s/p_3)} \quad (6.1)$$

onde

$$A_{VO} = \frac{g_{m1}g_{m6}g_{m9}}{(g_{o2} + g_{o4})(g_{o9} + g_{o10} + g_l)g_{o6}} \quad (6.2)$$

$$p_1 = -\frac{(g_{o2} + g_{o4})g_{o6}}{(g_{m6} + g_{o6})C_C} \quad (6.3)$$

$$p_2 = -\frac{(g_{o9} + g_{o10} + g_l)}{C_L} \quad (6.4)$$

$$p_3 = -\frac{g_{m6} + g_{o6}}{C_{II} + C_I} \quad (6.5)$$

$$z_1 = \frac{g_{m6}}{C_C} \quad (6.6)$$

$$z_2 = \frac{g_{m9}}{C_{II}} \quad (6.7)$$

$$GBW = \frac{g_{m1} g_{m6} g_{m9}}{(g_{m6} + g_{o6})(g_{o9} + g_{o10} + g_l) C_C} \quad (6.8)$$

onde g_{o2} , g_{o4} , g_{o6} , g_{o9} e g_{o10} são as condutâncias de saída dos transistores M2, M4, M6, M9 e M10, respectivamente, e g_l é a condutância de carga.

A resistência de saída em baixas frequências do amplificador operacional em malha aberta, considerando a resistência de carga e a Figura 6.2, é dada por:

$$R_{OMA} = \frac{1}{g_{o9} + g_{o10} + g_l} \quad (6.9)$$

Em malha fechada, na configuração ganho unitário, a impedância de saída é obtida através da relação entre a resistência de saída em malha aberta (Expressão 6.9) e o ganho de tensão em baixas frequência (Expressão 6.2).

$$R_{OMF} = \frac{g_{o6}(g_{o2} + g_{o4})}{g_{m1} g_{m6} g_{m9}} \quad (6.10)$$

Já na configuração com realimentação negativa, a resistência de saída é descrita por:

$$R_{ORN} = \left(\frac{1 - A_c}{A_{vo}} \right) R_{OMA} \quad (6.11)$$

onde A_c é o ganho de tensão em baixas frequências de malha fechada dado por $A_c = -z_2/z_1$ [23].

6.3 PROJETO DO AMPLIFICADOR OPERACIONAL DE TRÊS ESTÁGIOS

O projeto do amplificador operacional, apresentado na Figura 6.1, foi realizado utilizando os parâmetros do processo tecnológico ES2 1,2 μ m CMOS DLM para os transistores do tipo NMOS e PMOS (Apêndice A), e as expressões apresentadas neste capítulo, de forma a atender às especificações da Tabela 6.1.

Tabela 6.1- Especificações para o amplificador operacional de três estágios

Parâmetros	Especificações
Ganho de tensão em baixas frequências	$A_{VO} \geq 80\text{dB}$
Largura de banda de ganho unitário	$\text{GBW} \geq 10\text{MHz}$
Slew rate	$\text{SR} \geq 4\text{V}/\mu\text{s}$
Margem de fase	$\phi_m \geq 45^\circ$
Tensão de modo comum	$ V_{CM} \geq 1\text{V}$
Excursão de tensão na saída	$ V_O \geq 1,8\text{V}$
Capacitância de carga	$C_L = 20\text{pF}$
Tensões de alimentação	$V_{DD} = -V_{SS} = 2,5\text{V}$
Resistência de saída	$R_o \leq 1,5\text{k}\Omega$
Comprimento de canal	$L = 1,2\mu\text{m}$

Os transistores M1 a M4 da Figura 6.1 serão substituídos por estruturas compostas trapezoidais com $m=3$ (Figura 4.6). Para o projeto, e posterior simulação, utilizamos transistores unitários com razões de aspecto de $W/L=24\mu\text{m}/1,2\mu\text{m}$ para o transistor NMOS e $W/L=30\mu\text{m}/1,2\mu\text{m}$ para transistor PMOS.

Passos para o projeto do amplificador operacional de três estágios utilizando transistores compostos:

a) Iniciamos o projeto pelos transistores de entrada do estágio diferencial. Como estamos utilizando transistores compostos, a razão de aspecto equivalente é calculada através das Expressões (2.31), (2.35) e (2.36), utilizando $m=3$.

b) Com o valor da razão de aspecto equivalente, calculamos a transcondutância equivalente dos transistores M1 e M2 através da Expressão (3.35) para $V_{P1}-V_{S1}=0,2V$ [31]:

$$g_{m1} = \mu_n C'_{ox} \left(\frac{W}{L} \right)_1 (V_{P1} - V_{S1}) \quad (6.12)$$

c) A corrente de dreno equivalente dos transistores M1 e M2, I_{D1} , é calculada utilizando-se um valor médio para o fator de inclinação, $n=1,25$.

$$I_{D1} = \frac{g_{m1}n}{2} (V_{P1} - V_{S1}) \quad (6.13)$$

d) A razão de aspecto equivalente dos transistores M3 e M4 é calculada através das Expressões (2.31), (2.35) e (2.36), utilizando $m=3$. Como $I_{D3}=I_{D1}$, e considerando $V_{P3}-V_{S3}=0,2V$ [31], obtemos a transcondutância destes transistores, Expressão (6.13).

e) Com o valor de I_{D1} obtemos a corrente de polarização do estágio diferencial, I_{BIAS} , que corresponde ao dobro de I_{D1} , e, através da Expressão (6.13), calculamos g_{m5} , utilizando $V_{P5}-V_{S5}=0,3V$ [31], e a razão de aspecto do transistor M5 (Expressão (6.12)).

f) O transistor M12 possui a mesma razão de aspecto de M5, formando um espelho de corrente de fator de espelhamento unitário.

g) Um valor de 5pF é atribuído ao capacitor de compensação, C_C , a fim de atender as especificações de margem de fase da Tabela 6.1.

h) A transcondutância do transistor M6 é calculada posicionando o zero z_1 (Expressão (6.6)), no valor mínimo da largura de banda de ganho unitário, Tabela 6.1. Tendo obtido g_{m6} , calculamos o valor da corrente de dreno do transistor M6 (Expressão (6.13)), para $V_{P6}-V_{S6}=0,2V$ e, por conseguinte, sua razão de aspecto (Expressão (6.12)).

i) Da relação entre a largura de banda de ganho unitário e a resistência de saída em malha aberta determinamos a transcondutância do transistor M9, o que permite calcular sua corrente de dreno, I_{D9} (Expressão (6.13)), para $V_{P9}-V_{S9}=0,2V$ [31], e sua razão de aspecto.

$$\frac{GBW}{R_{OMA}} = \frac{g_{m1} g_{m9}}{C_c} \quad (6.14)$$

j) Como $I_{D10}=I_{D9}$ e considerando $V_{P10}-V_{S10}=0,3V$ [31], obtemos a transcondutância do transistor M10 e, depois, calculamos sua razão de aspecto (Expressão (6.12)), utilizando g_{m10} e μ_n .

k) A razão de aspecto do transistor M7 é obtida a fim de que o valor da tensão de “offset” sistemático seja mínimo.

$$\frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} \quad (6.15)$$

l) Para reduzir o efeito do zero no semi-plano lateral direito (Expressão (6.6)), incluímos um resistor em série com o capacitor de compensação [22][23], implementado pelo transistor M8 na Figura 6.1. A razão de aspecto do transistor M8 é obtida através das Expressões (3.15) e (2.9).

m) A corrente de dreno do transistor M11 é igual a do transistor M6. Com este valor de corrente, calculamos a razão de aspecto do transistor M11 através da Expressão (2.9).

n) Para obtermos a área ocupada pelos transistores utilizamos a expressão abaixo[31]:

$$A_T = A_G + 2 \cdot A_S = W(L + 2 \cdot L_{DS}) \quad (6.16)$$

onde A_T é a área total do transistor, A_G é a área da porta do transistor, A_S é a área da fonte/dreno do transistor e L_{DS} é o comprimento da fonte/dreno do transistor [31].

6.4 RESULTADOS

Para a simulação utilizamos o modelo para o transistor MOS apresentado no Capítulo 1 [11][12] e o simulador SMASH [38], com os parâmetros tecnológicos do Apêndice A.

A Tabela 6.2 apresenta os valores dos componentes da Figura 6.1 e a Tabela 6.3 apresenta um resumo do desempenho do amplificador operacional de três estágios simulado. Os circuitos utilizados para simulação de algumas características apresentadas na Tabela 6.3 estão em [22].

Na Tabela 6.2 os valores $W=24\mu\text{m}$ (transistor NMOS) e $W=30\mu\text{m}$ (transistor PMOS) correspondem as larguras de canal fixas dos transistores do “sea-of-transistors” utilizado. Os valores entre parênteses indicam o modo como os transistores de tamanho fixo foram associados para obtermos os valores de largura de canal necessários.

A Figura 6.3 apresenta a característica de transferência DC em malha aberta. As Figuras 6.4 e 6.5 apresentam a resposta em frequência para o amplificador operacional.

Tabela 6.2- Valores dos componentes da Figura 6.1

$L=1,2\mu\text{m}$, $R_L=1\text{k}\Omega$, $C_L=20\text{pF}$, $C_c=5\text{pF}$

Transistores	W (μm)
M1 e M2	24 (m=3)
M3 e M4	30 (m=3)
M5, M7 e M12	24
M6	30 (2//)
M8	30 (4 série)
M9	30 (4//)
M10	24
M11	30 (3 série)

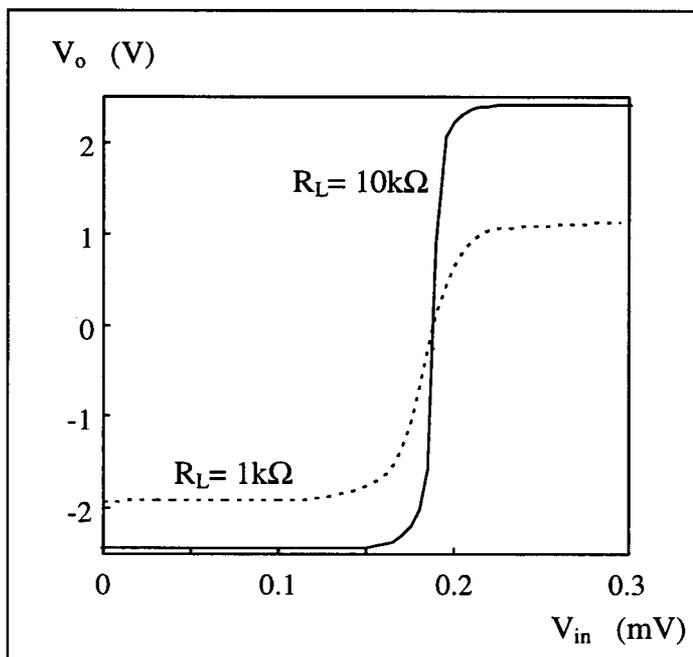


Figura 6.3- Característica de transferência DC em malha aberta

Tabela 6.3- Resumo do desempenho do amplificador operacional de três estágios

$$V_{DD} = 2,5V, V_{SS} = -2,5V, R_L = 1k\Omega, C_L = 20pF, C_c = 5pF$$

Parâmetros	Resultados
Ganho de tensão em baixas frequências (dB)	98
Largura de banda de ganho unitário (MHz)	18,6
Margem de fase (°)	47
Slew rate (V/μs)	21
Settling time (1%) (nseg)	106
PSRR+ (DC) (dB)	90
PSRR- (DC) (dB)	65
CMRR (DC) (dB)	87
Tensão de modo comum (V)	-1,95 a 1,98
Excursão de tensão na saída (V)	-1,88 a 1,93
Resistência de saída em malha aberta (kΩ)	1,2
Potência (mW)	5
Área (μm ²)	6610

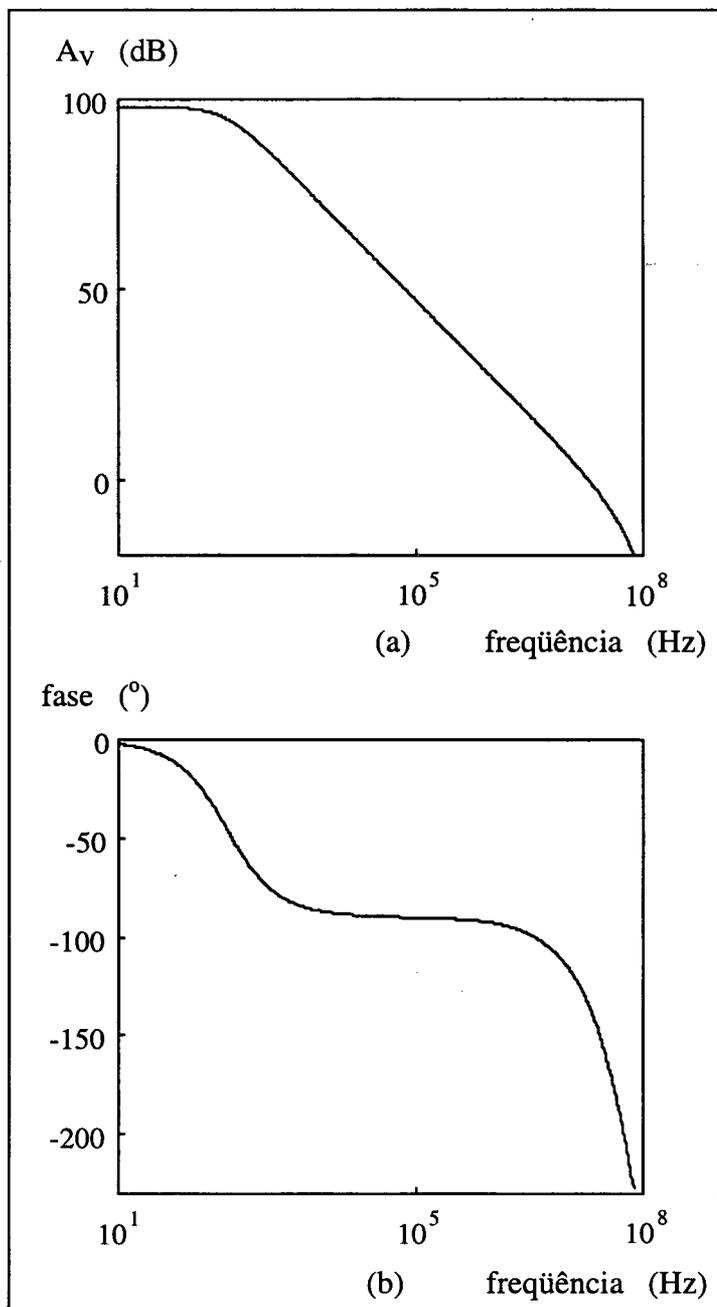


Figura 6.4- Resposta em frequência em malha aberta
(a) magnitude (b) fase

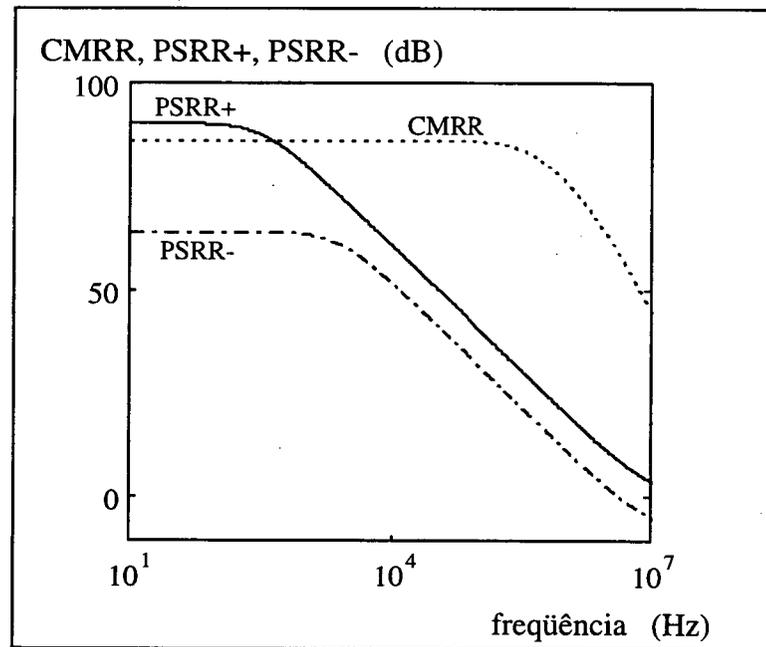


Figura 6.5- Resposta em frequência para a CMRR, PSRR+ e PSRR-

Observando a Tabela 6.3 e as Figuras 6.3 a 6.5 verificamos que, o amplificador com estágio adicional aumentou o ganho de tensão em baixas frequências e, principalmente, a largura de banda de ganho unitário, em relação aos resultados obtidos para o amplificador da Figura 4.6.

Em termos de margem de fase, houve redução no valor, devido aos polos de baixa frequência do amplificador, mas a estabilidade do circuito foi mantida.

A tensão de modo comum de entrada e a excursão de tensão na saída resultaram maiores do que 70% da tensão de alimentação total, em malha aberta (Figura 6.3), respeitando as especificações da Tabela 6.1.

A resistência de saída em malha aberta foi reduzida de aproximadamente vinte vezes em relação aos amplificadores operacionais de dois estágios apresentados no Capítulo 4 e Apêndice B. A resistência de saída em malha fechada, tanto na configuração ganho unitário quanto na configuração com realimentação negativa, resultou muito pequena devido ao elevado ganho de tensão em malha aberta do amplificador proposto, Tabela 6.3 e Figura 6.4.

CAPÍTULO 7

CONCLUSÃO

Neste trabalho foi desenvolvido um método de projeto de amplificadores operacionais em tecnologia CMOS, utilizando transistores compostos. A grande vantagem do método proposto é que o projeto de tais amplificadores torna-se uma estrutura prática para ser implementada na metodologia “sea-of-transistors”, cujas características são o baixo custo e o menor tempo de fabricação.

Foi mostrado através de resultados teóricos e simulados que o transistor composto trapezoidal apresenta vantagens em relação ao transistor composto retangular, sendo a redução na área de silício uma das grandes vantagens.

O valor recomendado para o número de transistores conectados no dreno do transistor composto trapezoidal (m) está entre 3 e 5. Para estes valores, foi verificado o aumento do ganho de tensão em baixas frequências sem redução exagerada da largura de banda de ganho unitário e da margem de fase, nem aumento exagerado da área de silício.

Foi também apresentado um método de projeto para um amplificador operacional de três estágios empregando transistores compostos. Com um dos vários estágios de saída estudados, obtivemos tensão de modo comum na entrada e excursão da tensão na saída maior

do que 70% da tensão de alimentação, além de ganho de tensão em baixas frequências superior a 80 dB e largura de banda de ganho unitário da ordem de 20MHz. A baixa impedância de saída obtida é adequada para o projeto de filtros MOSFET-C e OTA-C.

APÊNDICE A

PARÂMETROS DA TECNOLOGIA ES2 1,2 μ m CMOS DLM

Os parâmetros para transistores no processo tecnológico ES2 (European Silicon Structures) 1,2 μ m CMOS (Complementary Metal-Oxide Semiconductor) DLM são apresentados na Tabela A.1.

Quando realizamos as simulações no software SMASH [38], todos os parâmetros são utilizados. Nos cálculos feitos à mão utilizamos apenas os três primeiros parâmetros.

Tabela A.1 - Parâmetros da tecnologia ES2 1,2 μ m CMOS DLM

Parâmetro	Descrição	NMOS	PMOS	Dimensão
C'_{ox}	capacitância de óxido por unidade de área	1,38e-3	1,38e-3	F/m ²
V_{TO}	tensão de limiar sob polarização nula	0,70	-1,10	V
$K_P (\mu C'_{ox})$	parâmetro transcondutância	71,4e-6	29,4e-6	A/V ²
PHI	potencial de Fermi do substrato	0,70	0,70	V
THETA	fator de modulação da mobilidade	0,05	0,05	1/V
UCRIT	campo crítico longitudinal	2,43e6	5,13e6	V/m

continuação da Tabela A.1

GAMMA	parâmetro de efeito de corpo	0,65	0,87	\sqrt{V}
WETA	coeficiente de efeito de canal estreito	0,25	0,25	—
LETA	coeficiente de efeito de canal curto	0,10	0,10	—
LAMBDA	coeficiente de comprimento de depleção	0,50	0,50	—
LDIF	comprimento de difusão	0,12e-6	0,10e-6	m
XJ	profundidade de junção metalúrgica	0,4e-6	0,5e-6	m
JS	corrente de saturação da junção fonte(dreno)-substrato/unidade de área	2e-6	10e-6	A/m ²
RSH	resistência de folha da difusão da dreno/fonte	55	75	Ω/\square
CGSO	capacitância de superposição porta-substrato/por unidade de largura	320e-12	320e-12	F/m
CGDO	capacitância de superposição porta-dreno/por unidade de largura	320e-12	320e-12	F/m
PB	potencial de difusão das junções fonte-substrato e dreno-substrato	0,68	0,78	V
CJ	capacitância fonte-dreno sob polarização nula/unidade de superfície	130e-6	490e-6	F/m ²
CJSW	capacitância fonte-dreno sob polarização nula/unidade de perímetro	620e-12	590e-12	F/m
MJ	expoente da expressão	0,53	0,46	—
MJSW	capacitância-tensão			

APÊNDICE B

PROJETO DO AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS CONVENCIONAL

O projeto do amplificador operacional, apresentado na Figura 3.1, foi realizado utilizando os parâmetros tecnológicos do processo tecnológico ES2 1,2 μ m CMOS DLM para os transistores NMOS e PMOS (Apêndice A), e as expressões apresentadas no Capítulo 3, de forma a atender as especificações apresentadas na Tabela 4.3.

Para o projeto, e posterior simulação, estão sendo utilizados transistores unitários com as seguintes razões de aspecto: transistor NMOS- $W/L=24\mu\text{m}/1,2\mu\text{m}$ e transistor PMOS- $W/L=30\mu\text{m}/1,2\mu\text{m}$. Então, os valores encontrados para as razões de aspecto são ajustados para serem múltiplos das razões de aspecto dos transistores unitários e as correntes e transcondutâncias dos transistores do circuito são recalculadas.

Iniciamos o projeto definindo o capacitor de compensação, C_C , necessário para atender as especificações de margem de fase:

$$C_C \geq 0,22 C_L \quad (\text{B.1})$$

A transcondutância dos transistores de entrada do estágio diferencial, M1 e M2, é calculada com base na largura de banda de ganho unitário e no capacitor de compensação:

$$g_{m1} = GBWC_C \quad (\text{B.2})$$

Conhecendo g_{m1} , o valor da corrente de dreno do transistor M1, I_{D1} , é calculada utilizando $V_{P1} - V_{S1} = 0,2\text{V}$ [31] e um valor médio para o fator de inclinação, $n = 1,25$:

$$I_{D1} = \frac{g_{m1} n}{2} (V_{P1} - V_{S1}) \quad (\text{B.3})$$

Com o valor da corrente de dreno e da transcondutância dos transistores M1 e M2, calculamos a razão de aspecto dos transistores de entrada do par diferencial:

$$\left(\frac{W}{L}\right)_1 = \frac{g_{m1}}{\mu_n C'_{ox} (V_{P1} - V_{S1})} \quad (\text{B.4})$$

Como $I_{D3} = I_{D1}$ e considerando $V_{P3} - V_{S3} = 0,2\text{V}$ [31], obtemos a transcondutância dos transistores M3 e M4 e as correspondentes razões de aspecto através da Expressão (B.4):

$$g_{m3} = \frac{2I_{D1}}{n(V_{P3} - V_{S3})} \quad (\text{B.5})$$

Com o valor de I_{D1} obtemos a corrente de polarização do estágio diferencial, I_{BIAS} , que corresponde ao dobro de I_{D1} e, através da Expressão (B.5), calculamos g_{m5} utilizando $V_{P5} - V_{S5} = 0,3\text{V}$ [31]. Com os valores de g_{m5} , $V_{P5} - V_{S5}$ e μ_n obtemos a razão de aspecto do transistor M5 (Expressão (B.4)). O transistor M8 possui a mesma razão de aspecto de M5.

Considerando a Expressão (3.9) para $g_{m6}=10g_{m1}$, obtemos a transcondutância do transistor M6, g_{m6} . Pela Expressão (B.3) determinamos a corrente de dreno deste transistor, para $V_{P6}-V_{S6}=0,2V$ [31] e, através da Expressão (B.4), calculamos sua razão de aspecto.

Para obtermos um valor de tensão de “offset” sistemático mínimo, devemos satisfazer a Expressão (3.22), obtendo a razão de aspecto do transistor M7.

A Tabela B.1 apresenta os valores para os componentes do amplificador operacional apresentado na Figura 3.1. Os transistores M6 e M7 são obtidos pela associação paralela de 18 e 9 transistores unitários, respectivamente.

Para a simulação utilizamos o simulador SMASH [38]. A Tabela B.2 apresenta a comparação entre os valores teóricos e simulados para alguns parâmetros do amplificador operacional.

A diferença entre os valores teóricos e simulados, que para a maioria dos parâmetros é pequena, ocorre devido às equações simplificadas utilizadas para os cálculos feitos à mão e à desconsideração de efeitos extrínsecos e de canal curto.

Tabela B.1- Valores dos componentes do amplificador operacional da Figura 3.1

$$L=1,2\mu\text{m}, C_C=5\text{pF} \text{ e } C_L=20\text{pF}$$

Transistores	W (μm)
M1 e M2	24
M3 e M4	30
M5 e M8	24
M6	30 (18 //)
M7	24 (9//)

Tabela B.2- Comparação entre os valores teóricos e simulados

Parâmetros	teórico	simulado
$g_{m1,2}$ ($\mu\text{A/V}$)	285,6	253,2
$g_{m3,4}$ ($\mu\text{A/V}$)	147,0	171,8
$g_{m5,8}$ ($\mu\text{A/V}$)	428,4	339,8
g_{m6} (mA/V)	2,6	3,2
g_{m7} (mA/V)	3,8	3,3
I_{D1} (μA)	35,7	35,7
I_{D6} (μA)	693	689
A_{VO} (dB)	73,3	73,9
GBW (MHz)	9,10	7,14
ϕ_M ($^\circ$)	67	66
V_{CM} (V)	-1,20 a 2,47	-2,45 a 2,32
V_O (V)	-2,20 a 2,45	-2,45 a 2,45
SR ($\text{V}/\mu\text{s}$)	14,2	13,7

APÊNDICE C

FATOR DE INCLINAÇÃO, TENSÃO DE “PINCH-OFF” E RAZÃO DA CORRENTE DE DRENO PELA TRANSCONDUTÂNCIA DE FONTE

Através da característica seguidor de tensão $V_S(V_G)$, à corrente de dreno I_D constante, obtemos as características $n(V_G)$ e $V_P(V_G)$, Figura C.1 [33]-[37].

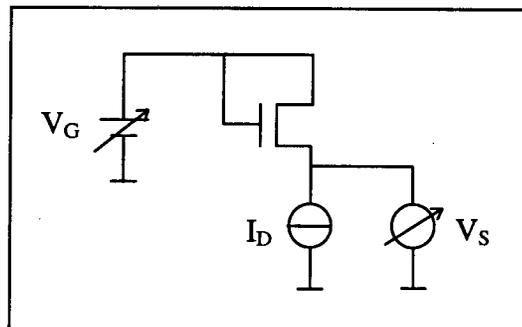


Figura C.1- Transistor MOS na configuração seguidor de tensão

O fator de inclinação, n , é obtido através da variação da tensão de porta pela tensão de “pinch-off”, que se iguala a tensão de fonte para o seguidor de tensão da Figura C.1:

$$\frac{1}{n} = \frac{\partial V_P}{\partial V_G} \cong \frac{\partial V_S}{\partial V_G} \quad (\text{C.1})$$

A variação do fator de inclinação com a tensão de porta é apresentada na Figura C.2 para um transistor do tipo NMOS da tecnologia CMOS 2 μ m da Microdul, com razão de aspecto de $W/L= 6\mu\text{m}/5\mu\text{m}$.

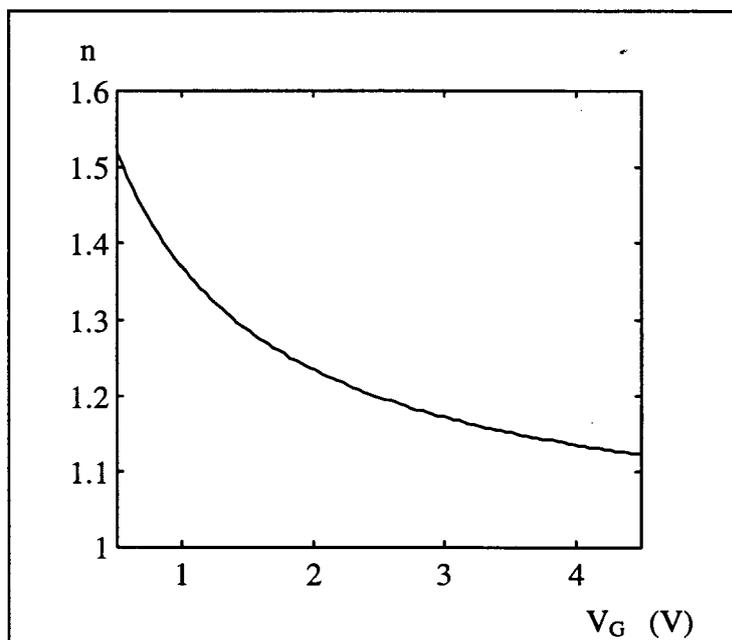


Figura C.2- Fator de inclinação versus tensão de porta, transistor NMOS com $W/L= 6/5$

A tensão de “pinch-off” é uma função aproximadamente linear da tensão de porta e pode ser aproximada por [11][12][34]-[36]:

$$V_P \cong \frac{V_G - V_{T0}}{n} \quad (\text{C.2})$$

onde n é obtido através da Expressão (C.1).

A variação da tensão de “pinch-off” com a tensão de porta é apresentada na Figura C.3 para um transistor do tipo NMOS da tecnologia CMOS $2\mu\text{m}$ da Microdul, com razão de aspecto de $W/L= 6\mu\text{m}/5\mu\text{m}$.

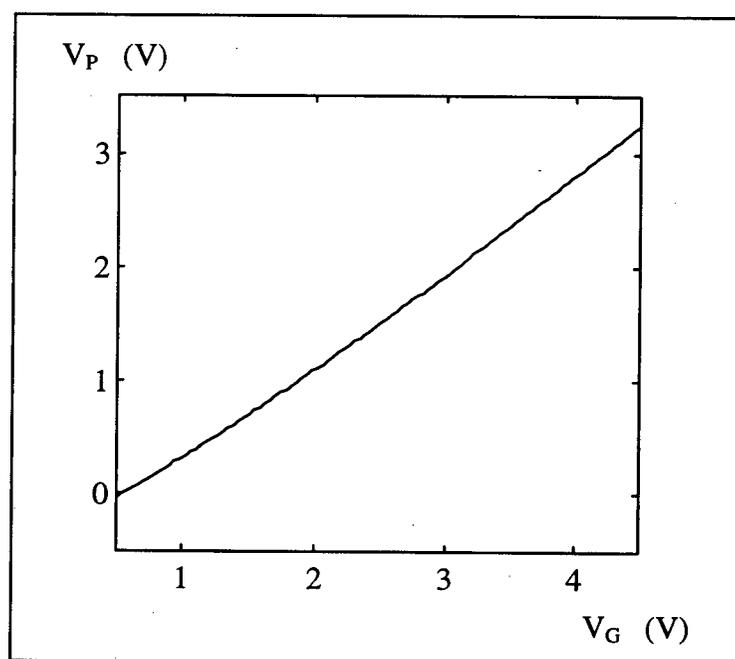


Figura C.3- Tensão de “pinch-off” versus tensão de porta, transistor NMOS com $W/L= 6/5$

No modelo EKV, a inversão moderada é modelada através de uma função de interpolação entre a inversão fraca e a inversão forte usando uma função contínua adequada, assegurando a continuidade das curvas de corrente e de todas as suas derivadas.

Uma corrente de normalização, conhecida também como corrente específica I_S , que depende da razão de aspecto do transistor, W/L , dos parâmetros tecnológicos e da temperatura, é definida como:

$$I_S = 2n\beta\phi_t^2 \quad (\text{C.3})$$

A corrente de dreno normalizada, $i_d=I_D/I_S$, em inversão fraca e forte, é obtida pela diferença entre a corrente normalizada direta, $i_f=I_F/I_S$, também chamado coeficiente de inversão, e a corrente normalizada reversa, $i_r=I_R/I_S$. A corrente normalizada direta (reversa) é dada por:

$$i_{f(r)} = F\left(\frac{V_P - V_{S(D)}}{\phi_t}\right) = \left[\ln\left(1 + e^{\frac{V_P - V_{S(D)}}{2\phi_t}}\right) \right]^2 \quad (C.4)$$

Utilizando a expressão para a transcondutância de fonte, Expressão (2.15), e da corrente normalizada direta, Expressão (C.4), a razão I_D/g_{ms} , em saturação, será independente das razões de aspecto dos transistores [11]:

$$\frac{I_D}{g_{ms}\phi_t} = \sqrt{i_f + 0,5\sqrt{i_f} + 1} \quad (C.5)$$

Em [33]-[37] é apresentado um modelo válido, independentemente do nível de corrente no dispositivo, consistindo de expressões únicas e contínuas, válidas em todos os regimes de inversão (fraca, moderada e forte). O modelo requer poucos parâmetros e as tensões são referidas ao terminal de substrato, evidenciando a simetria fonte-dreno [34][35].

O modelo é equacionado em termos da densidade de carga de inversão calculada na fonte (Q'_{IS}) e no dreno (Q'_{ID}). A corrente de dreno é dada por:

$$I_D = I_F - I_R \quad (C.6)$$

onde

$$I_{F(R)} = \mu C'_{ox} \frac{W}{L} n \frac{\phi_t^2}{2} \left[\left(\frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} \right)^2 - 2 \frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} \right] \quad (C.7)$$

são as correntes de saturação direta e reversa, respectivamente.

Substituindo a densidade de carga de inversão pela componente de saturação da corrente, a Expressão (C.7) pode ser reescrita na forma [35][36]:

$$-\frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} = \sqrt{i_f + 1} - 1 \quad (C.8)$$

onde $i_{f(r)}$ é a corrente de saturação direta (reversa) normalizada, definida por:

$$i_{f(r)} = \frac{I_{F(R)}}{I_S} \quad (C.9)$$

e I_S é a corrente de normalização dada por:

$$I_S = \mu \frac{W}{L} nC'_{ox} \frac{\phi_t^2}{2} \quad (C.10)$$

A corrente de normalização definida pela Expressão (C.10) é quatro vezes menor que a corrente específica definida em [10]-[12] (Expressão (C.3)).

A transcondutância de fonte é dada por:

$$g_{ms} = -\mu \frac{W}{L} Q'_{IS} \quad (C.11)$$

Utilizando as Expressões (C.7)-(C.9) e (C.11), a razão entre a corrente de saturação direta e a transcondutância de fonte resulta:

$$\frac{I_F}{g_{ms}\phi_t} = \frac{1 + \sqrt{i_f + 1}}{2} \quad (C.12)$$

A Expressão (C.12) é independente da tensão de porta, da temperatura, da tecnologia e das dimensões do transistor (suposto de canal longo) [35][36].

A razão da corrente de dreno pela transcondutância de fonte é apresentada na Figura C.4 para diferentes polarizações de porta, na Figura C.5 para diferentes razões de aspecto e na Figura C.6 para transistores NMOS e PMOS. Os transistores utilizados são do tipo NMOS e PMOS da tecnologia CMOS $2\mu\text{m}$ da Microdul com razões de aspecto de $W/L= 6\mu\text{m}/5\mu\text{m}$ e $W/L= 6\mu\text{m}/40\mu\text{m}$ [34].

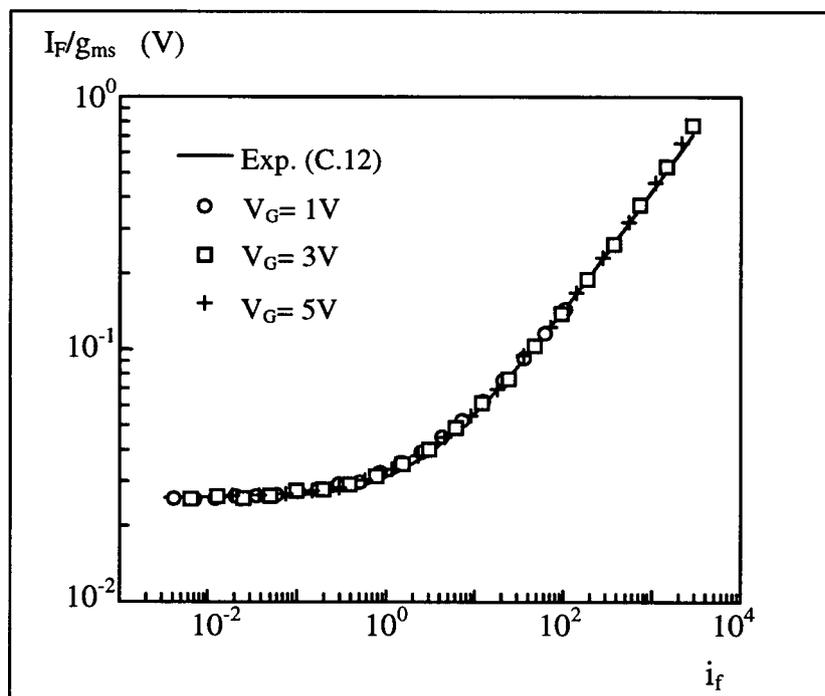


Figura C.4- Razão I_F/g_{ms} versus i_f para diferentes polarizações de porta

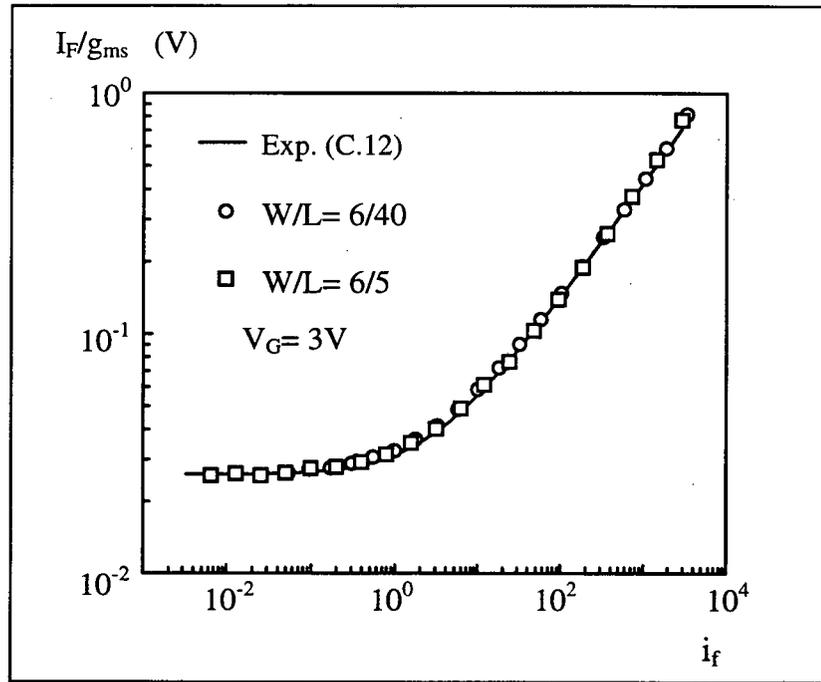


Figura C.5- Razão I_F/g_{ms} versus i_f para diferentes geometrias

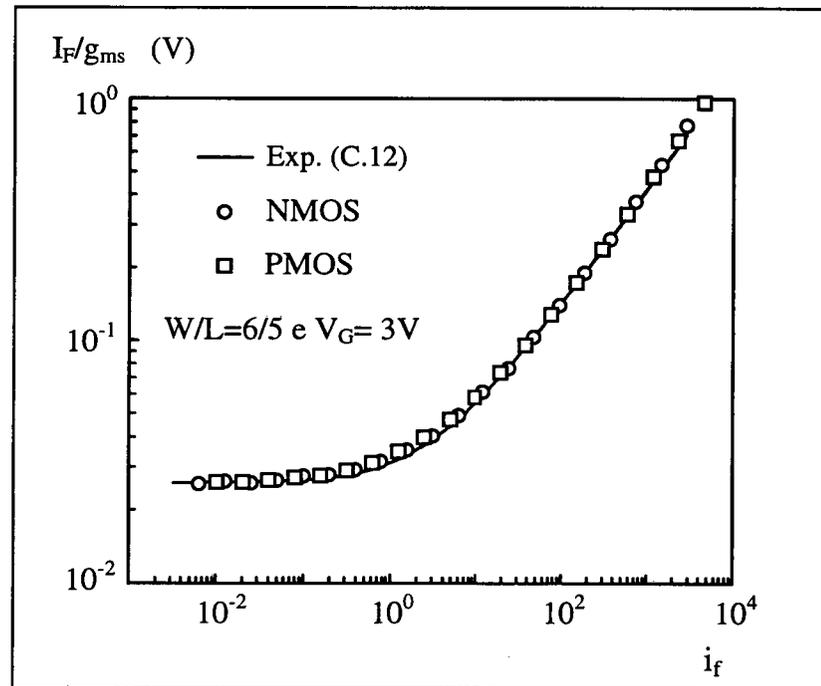


Figura C.6- Razão I_F/g_{ms} versus i_f para transistores NMOS e PMOS

APÊNDICE D

CARACTERÍSTICAS DC DO AMPLIFICADOR OPERACIONAL

Os amplificadores operacionais das Figuras 3.1 e 4.4 foram implementados utilizando transistores de circuitos integrados projetados e implementados na técnica “sea-of-transistors” (SoT) no processo tecnológico ES2 1,2 μ m CMOS DLM [50]. Os transistores dos diferentes circuitos integrados foram selecionados de forma a termos o melhor casamento possível.

Cada circuito integrado possui duas colunas de transistores, sendo que cada coluna é constituída por 24 transistores em série e os transistores de cada coluna possuem as portas conectadas, totalizando 48 transistores unitários na rede, Figura D.1. A possibilidade de acesso em pontos internos da rede permite a obtenção de transistores compostos com variadas razões de aspecto. Os transistores são do tipo NMOS e PMOS com largura de canal de 15 μ m e comprimento de canal mínimo da tecnologia de 1,2 μ m, ou seja, dispomos de 24 transistores com $W/L=30\mu\text{m}/1,2\mu\text{m}$.

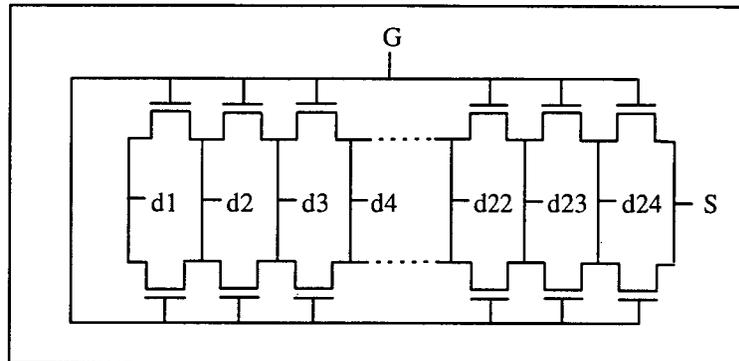


Figura D.1- Arranjo de transistores NMOS ou PMOS

A Figura D.2 apresenta a característica da corrente de dreno versus tensão de dreno para o transistor unitário e para o transistor composto trapezoidal com $m=3$ (Figura 4.1(a)), implementados com transistores NMOS de $W/L=30\mu\text{m}/1,2\mu\text{m}$.

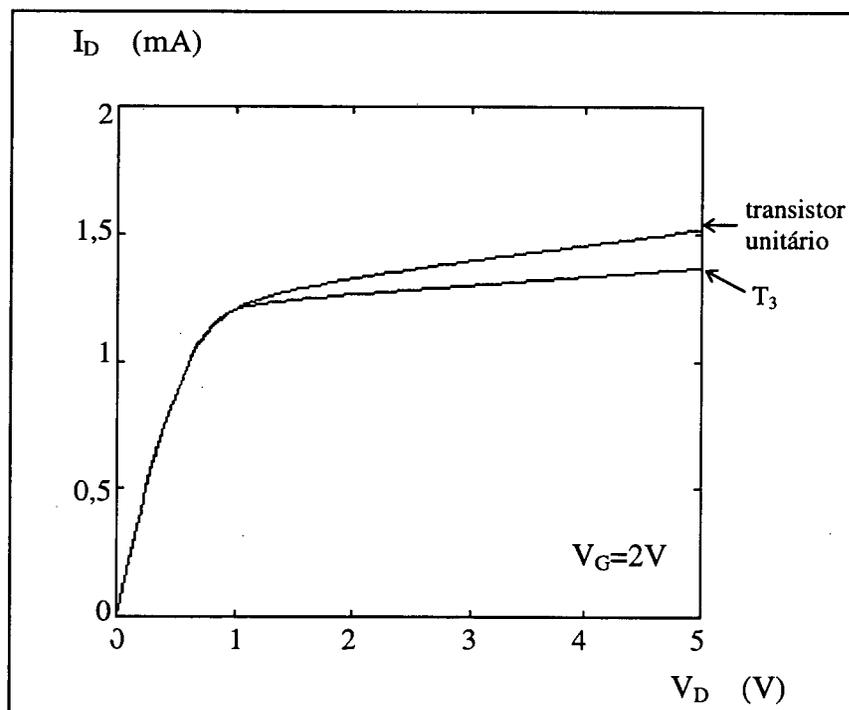


Figura D.2- Característica I_D versus V_D , para V_G constante

A Tabela D.1 apresenta as dimensões dos transistores dos amplificadores operacionais implementados.

Tabela D.1- Dimensões dos transistores dos amplificadores operacionais

$$L = 1,2\mu\text{m}$$

Transistores	amp.op.unitário	amp.op.trapezoidal
	W (μm)	W (μm)
M1 e M2	30	30 (m=3)
M3 e M4	30	30 (m=3)
M5 e M8	30	30
M6	30 (18 //)	30 (15 //)
M7	30 (9//)	30 (8 //)

A Figura D.3 apresenta a característica de transferência DC em malha aberta para o amplificador operacional da Figura 3.1 (transistores unitários), e da Figura 4.4 (transistores compostos trapezoidais com $m=3$). Cabe dizer que o elevado desequilíbrio de tensão (tensão de “offset”) para o amplificador operacional utilizando transistores compostos trapezoidais é devido principalmente ao descasamento entre os transistores dos vários circuitos integrados utilizados. Comprovamos, através das inclinações das duas características, que a condutância de saída da estrutura composta trapezoidal é maior do que a da estrutura com transistores unitários, resultando em maior ganho para a estrutura composta.

A Figura D.4 apresenta a característica de transferência DC em malha fechada para os dois amplificadores operacionais simulados.

Não foi possível a obtenção de outros dados experimentais, como por exemplo a resposta em frequência do amplificador, devido ao número reduzido de circuitos integrados de teste em bom estado de funcionamento.

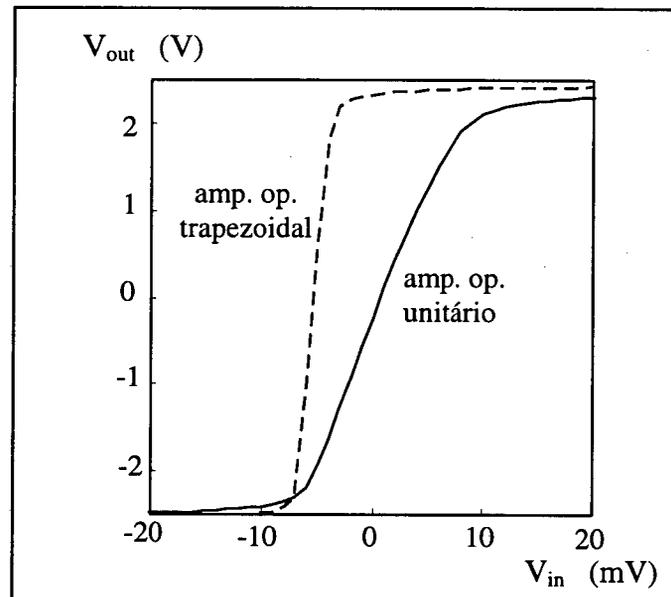


Figura D.3- Característica de transferência DC em malha aberta

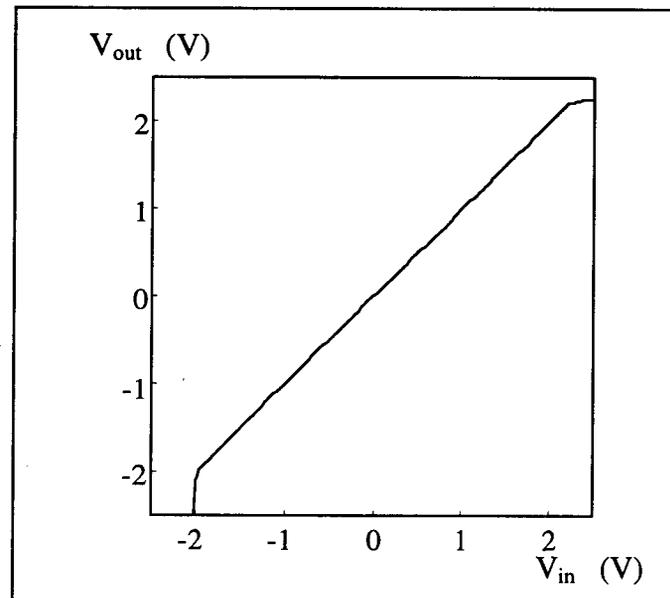


Figura D.4- Característica de transferência DC em malha fechada

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] TSIVIDIS, Y. P. and SUYAMA, K., '**Modeling for Analog Circuit CAD: Problems and Prospects**', IEEE Journal of Solid-State Circuits, vol. SC-29, no. 3, pp. 210-216, march 1994.
- [2] BARRINGER, B. et al, '**Design of Wireless Portable Systems**', Proceedings of IV Brazilian Microelectronics School, pp. 17-33, Recife, january 1995.
- [3] ENZ, C. C. and VITTOZ, E. A., '**CMOS Low-Power Analog Circuit Design**', chapter 1.2, Emerging Technologies, eds. R. Cavin and W. Liu, IEEE Press, 1996.
- [4] VITTOZ, E. A., '**Very Low Power Circuit Design: Fundamentals and Limits**', Proc. IEEE International Symposium on Circuits and System, pp. 1439-1442, Chicago, may 1993.
- [5] DUCHENE, P. P. and Declercq, M. J., '**A Highly Flexible Sea-of-Gates Structures for Digital and Analog Applications**', IEEE Journal of Solid-State Circuits, vol. SC-24, no. 3, pp. 576-584, june 1989.
- [6] DUCHÊNE, P. P., '**Analog Circuit Implementation on CMOS Semi-Custom Arrays**', IEEE Journal of Solid-State Circuits, vol. SC-28, no 7, pp 872-874, july 1993.
- [7] MACHADO, G. A. S. and TOUMAZOU, C., '**Systematic Design-Oriented Characterisation of MOS Devices and Circuit Building Blocks in Engineering Education**', IX Conference of the Brazilian Microelectronics Society, pp. 243-257, july 1994.
- [8] CRAWLEY, P. J. and ROBERTS, G., '**Designing Operational Transconductance Amplifiers for Low Voltage Operation**', Proc. IEEE International Symposium on Circuits and System, pp. 1455-1458, Chicago, may 1993.
- [9] VITTOZ, E. A., '**MOS Transistor**', Intensive Summer Course on CMOS VLSI Design, Analog & Digital, Lausanne (EPFL), Switzerland, 1989.
- [10] ENZ, C. C., '**High Precision CMOS Micropower Amplifiers**', Ph. D. Thesis no. 802, EPF-Lausanne, Switzerland, 1989.

- [11] ENZ, C. C.; KRUMMENACHER, F. and VITTOZ, E. A., **'An Analytical MOS Transistor Model Valid in all Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications'**, Analog Integrated Circuits and Signal Processing, 8, pp. 83-114, 1995.
- [12] ENZ, C. C., **'MOS Transistor Modelling Dedicated to Low-Current and Low-Voltage Analog Circuit Design and Simulation'**, Proc. IV Brazilian Microelectronics School, pp. 445-482, Recife, January 1995.
- [13] **'The EPFL-EKV Mosfet Model - Version 2.3'**, EPFL Electronics Laboratories, Lausanne, Switzerland, 32 p., 1996.
- [14] BUCHER, M.; LALLEMENT, C.; ENZ, C. C. and KRUMMENACHER, F., **'Accurate MOS Modeling for Analog Circuit Simulation Using the EKV Model'**, Proc. IEEE International Symposium on Circuits and System, vol. 4, pp. 703-706, 1996.
- [15] LALLEMENT, C.; ENZ, C. C. and BUCHER, M., **'Simple Solutions for Modeling the Non-Uniform Substrate Doping'**, Proc. IEEE International Symposium on Circuits and System, vol. 4, pp. 436-439, 1996.
- [16] VITTOZ, E. A., **'Micropower Techniques'**, in Design of MOS VLSI Circuits for Telecommunications, eds. J. Franca and Y. Tsividis, Prentice-Hall, 1993.
- [17] TSIVIDIS, Y. P., **'Operation and Modeling of the MOS Transistor'**, Mc-Graw Hill, 1987.
- [18] LOSS, I. J. B., **'Transistores MOS Compostos de Baixa Condutância de Saída e Alta Frequência de Ganho Unitário'**, Dissertação de Mestrado, 1993, UFSC.
- [19] LOSS, I. J. B.; GALUP-MONTORO, C. and SCHNEIDER, M. C., **'Low Output Conductance, High Cutoff Frequency Transistors for Gate Array Implementation of Analog Circuits'**, VIII Conference of the Brazilian Microelectronics Society, pp. xv.7-xv.12, Campinas, September 1993.
- [20] GALUP-MONTORO, C.; SCHNEIDER, M. C. and LOSS, I. J. B., **'Low Output Conductance Composite MOSFET's for High Frequency Analog Design'**, Proc. IEEE International Symposium on Circuits and System, pp. 783-786, May 1994.

- [21] GALUP-MONTORO, C.; SCHNEIDER, M. C. and LOSS, I. J. B., '**Series-Parallel Association of FET's for High Gain and High Frequency Applications**', IEEE Journal of Solid-State Circuits, vol. SC-29, no. 9, pp. 1094-1101, september 1994.
- [22] ALLEN, P. E. and HOLBERG, D. R., '**CMOS Analog Circuit Design**', Holt, Rinehart and Winston, New York, 1987.
- [23] GREGORIAN, R. and TEMES, G., '**Analog MOS Integrated Circuits for Signal Processing**', John Wiley & Sons, New York, 1986.
- [24] GRAY, P. R., '**Basic MOS Operating Amplifier Design-An Overview**', Analog MOS Integrated Circuits, New York: IEEE Press, pp. 28-49, 1980.
- [25] GRAY, P. R. and MEYER, R. G., '**MOS Operational Amplifier Design-A Tutorial Overview**', IEEE Journal of Solid-State Circuits, vol. SC-17, no. 6, pp. 969-982, december 1982.
- [26] GRAY, P. R. and MEYER, R. G., '**Analysis and Design of Analog Integrated Circuits**', John Wiley & Sons, New York, 1982.
- [27] YANG, H. C. and ALLSTOT, D. J., '**Considerations for Fast Settling Operational Amplifiers**', IEEE Transactions on Circuits and Systems, vol. 37, no. 3, pp. 326-334, march 1990.
- [28] YU, C. G. and GEIGER, R. L., '**Nonideality Consideration for High-Precision Amplifiers- Analysis of Random Common-Mode Rejection Ratio**', IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications, vol. 40, no. 1, pp.1-12, january 1993.
- [29] STEYAERT, M. S. J. and SANSEN, W. M. C., '**Power Supply Rejection Ratio in Operational Transconductance Amplifiers**', IEEE Transactions on Circuits and Systems, vol. 37, no. 9, pp.1077-1084, september 1990.
- [30] JESPERS, P., '**MOSFET Modelling for Low-Power Design**', X Congress of the Brazilian Microelectronics Society, pp. 63-77, Canela, august 1995.
- [31] LAKER, K. R. and SANSEN, W. M. C., '**Design of Analog Integrated Circuits and Systems**', McGraw Hill, New York, 1994.

- [32] SILVEIRA, F., 'Analog Design in SoI Technology: Micropower and High Temperature Applications', Tese de Mestrado, january 1995, Belgica.
- [33] GALUP-MONTORO, C., 'Modelo do MOSFET para Projeto de Circuitos Integrados Analógicos de Baixo Consumo de Potência', UFSC, Florianópolis, março 1996.
- [34] GALUP-MONTORO, C.; SCHNEIDER, M. C.; ACOSTA, S. M. and PINTO, R. L. O., 'A MOSFET Model for Low Power Analog IC Design', XI Conference of the Brazilian Microelectronics Society, pp. 287-292, Águas de Lindóia, july 1996.
- [35] A. I. A. Cunha, M.C. Schneider and C. Galup-Montoro, 'An Explicit Physical Model for the Long-Channel MOS Transistor Including Small-Signal Parameters', *Solid State. Electronics*, vol. 38, no. 11, pp. 1945-1952, november 1995.
- [36] A. I. A. Cunha, 'Um Modelo do Transistor MOS para o Projeto de Circuitos Integrados', Tese de Doutorado, 100 p., 1996.
- [37] S. M. Acosta, A. I. A. Cunha, M. C. Schneider e C. Galup-Montoro, 'Extração de Parâmetros do MOSFET Utilizando as Características da Configuração 'Voltage-Follower'', *II Seminário Brasileiro de Caracterização em Microeletrônica*, pp. 1-10, Curitiba, PR, dezembro de 1995.
- [38] SMASH Simulator Manual, version 2.0, Dolphin Integration, France.
- [39] SCHNEIDER, M. C.; BAECHLER, T.; GALUP-MONTORO, C.; NOCETI FILHO, S. and ACOSTA, S. M., 'Design Techniques for Analog Circuits in Sea of Transistors', 38th IEEE Midwest Symposium on Circuits and Systems, pp. 1317-1320, Rio de Janeiro, august 1995.
- [40] SANSEN, W., 'Analog Functional Blocks', Intensive Summer Course on CMOS & BICMOS IC Design 95, Lausanne, Switzerland, august 1995.
- [41] FISHER, J. A., 'A High-Performance CMOS Power Amplifier', *IEEE Journal of Solid-State Circuits*, vol. SC-20, no. 6, pp. 1200-1205, december 1985.
- [42] TSIVIDIS, Y. P. and GRAY, P. R., 'An Integrated NMOS Operational Amplifier with Internal Compensation', *IEEE Journal of Solid-State Circuits*, vol. SC-11, pp. 748-756, december 1976.

- [43] TSIVIDIS, Y. P., '**Design Considerations in Single-Channel MOS Analog Integrated Circuits - A Tutorial**', IEEE Journal of Solid-State Circuits, vol. SC-13, no. 3, pp. 383-391, december 1978.
- [44] RANGAN, G.; KENNEY, J. G.; RAMAMURTHY, K. and TEMES, G., '**High Speed Buffers of Op-Amp Characterization**', Proc. IEEE International Symposium on Circuits and System, pp. 994-997, may 1993.
- [45] RANGAN, G.; KENNEY, J. G.; RAMAMURTHY, K. and TEMES, G., '**An Enhanced Slew Rate Source Follower**', IEEE Journal of Solid-State Circuits, vol. 30, no. 2, pp.144-146, february 1995.
- [46] NAGARAJ, K., '**Large-Swing CMOS Buffer Amplifier**', IEEE Journal of Solid-State Circuits, vol. SC-24, no. 1, pp. 181-183, february 1989.
- [47] KIH, K.; CHANG, B.; JEONG, D.K. and KIM, W., '**Class-AB Large-Swing CMOS Buffer Amplifier with Controlled Bias Current**', IEEE Journal of Solid-State Circuits, vol. SC-28, no. 12, pp. 1350-1353, december 1993.
- [48] FISHER, J. A. and KOCH, R., '**A Highly Linear CMOS Buffer Amplifier**', IEEE Journal of Solid-State Circuits, vol. SC-22, no. 3, pp. 330-334, june 1987.
- [49] WONG, S. L. and SALAMA, A. T., '**An Efficient CMOS Buffer for Driving Large Capacitive Loads**', IEEE Journal of Solid-State Circuits, vol. SC-21, no. 3, pp. 464-469, june 1986.
- [50] GONÇALVES, R. T. and GALUP-MONTORO, C., '**Analog Circuits on a Digital SoT Array**', XI Conference of the Brazilian Microelectronics Society, pp. 55-60, Águas de Lindóia, july 1996.
- [51] NOCETI FILHO, S.; SAMPAIO, A. C. B. and SEARA, R., '**Utilização de constantes de tempo na determinação das frequências de corte de amplificadores diferenciais**', a ser publicado.