

GUSTAVO BUCHWEITZ GIUSTI

**PROJETO DE UM CIRCUITO DIVISOR DE
FREQUÊNCIA DE ULTRA-BAIXO
CONSUMO DE POTÊNCIA**

**FLORIANÓPOLIS
2007**

UNIVERSIDADE FEDERAL DE SANTA CATARINA

**PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

**PROJETO DE UM CIRCUITO DIVISOR DE
FREQUÊNCIA DE ULTRA-BAIXO
CONSUMO DE POTÊNCIA**

Dissertação submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a
obtenção do grau de Mestre em Engenharia Elétrica.

GUSTAVO BUCHWEITZ GIUSTI

Florianópolis, Agosto de 2007

PROJETO DE UM CIRCUITO DIVISOR DE FREQUÊNCIA DE ULTRA-BAIXO CONSUMO DE POTÊNCIA

Gustavo Buchweitz Giusti

‘Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em Circuitos e Sistemas Integrados, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

Carlos Galup-Montoro, Dr
Orientador

Kátia Campos de Almeida. Ph. D.
Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Carlos Galup-Montoro, Dr
Presidente

Márcio Cherem Schneider, Dr.

Luis Cléber Carneiro Marques, Dr.

José Luís Almada Güntzel, Dr.

Dedicatória

Aos meus pais, Renato e Loreni,
por terem me dado a educação necessária
e pelo apoio incondicional

AGRADECIMENTOS

Aos meus pais, Renato e Loreni, agradeço ao apoio e confiança transmitida no resultado durante toda a caminhada, me incentivando e oferecendo suporte de todas as maneiras possíveis, fornecendo-me a energia necessária para suportar todos os percalços desta jornada. Estendo este agradecimento familiar as minhas irmãs, Elisa e Ana Laura, que sempre que possível, mantiveram conversas corriqueiras, fazendo-me sentir um pouco mais perto de casa.

A família Vaniel, em especial as incomparáveis pessoas de José Fernando P. Vaniel e de minha prima Cintia B. Vaniel, pelo incrível carinho com que me acolheram em sua casa, sempre fazendo com que eu me sentisse como se estivesse numa extensão de minha própria casa, e ao natural. Agradeço ainda a ambos pelo excelente exemplo de família que se tornaram, e que me oportunizaram conhecer tão intimamente.

Aos meus companheiros de batalha e amigos Alessandro S. Lima, Marcelo e Márcio B. Machado, com quem compartilhei não só os infindáveis dias de estudos e trabalhos, mas também grandes momentos de descontração, principalmente durante o tempo de moradia. Incluo meu amigo Pablo Dutra nesta turma, que muitas horas compartilhamos de estudos, discussões e conclusões dentro deste laboratório. Agradeço também a Mauricio Camacho, com quem pude trocar idéias e ouvir sugestões importantes.

Aos meus amigos que tive o enorme prazer de conviver nesta minha passagem pelo LCI; Charles, Spiller, Juliano, Cenoura, Osmar, Radin, Adilson e Hamilton. Cada um de vocês me ajudou de uma maneira ou outra, mas o que mais ficará mesmo será a amizade de cada um.

E não poderia de forma alguma, deixar de agradecer a Luis Cléber C. Marques, grande professor, que além de possuir uma gigantesca cultura, é uma pessoa de convivência extremamente agradável. Agradecê-lo não só por ter me aberto às portas do meio acadêmico, mas também por ser um grande amigo e incentivador, sempre disposto a ajudar para o enriquecimento deste trabalho.

Ao CNPQ e ao LCI pelo apoio financeiro e condições materiais de desenvolver este trabalho.

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

PROJETO DE UM CIRCUITO DIVISOR DE FREQUÊNCIA DE ULTRA-BAIXO CONSUMO DE POTÊNCIA

Gustavo Buchweitz Giusti

Agosto / 2007

Orientador: Carlos Galup-Montoro, Dr.

Área de Concentração: Circuitos Integrados

Palavras-chave: CMOS, Circuitos Integrados, Baixo Consumo, Prescaler Dual Modulus

Número de Páginas: 60.

Esta dissertação apresenta o projeto de um circuito Prescaler Dual-Modulus 8/9 (PDM), projetado para a tecnologia TSMC 0.18 μ m, cujo interesse principal é o ultra-baixo consumo de potência. Serão apresentadas duas propostas de PDM, uma com o total objetivo de se obter o menor consumo, e outra com uma proposta de se obter uma frequência de funcionamento máximo, porém sem perder o compromisso com o baixo consumo. Esta segunda proposta de PDM deve-se ao fato de serem largamente usados em circuitos PLL, onde se exige aplicações em frequências mais elevadas. O regime de funcionamento dos transistores é de inversão fraca. Operando neste regime, se tornam muito susceptíveis a quaisquer variações dos parâmetros tecnológicos, tanto intrachip quanto interchip. Como solução, é realizado um estudo de três topologias de circuitos compensadores e proposta uma quarta topologia. Esta topologia proposta visa expandir a faixa de tensão de alimentação, a qual os transistores possam suportar sem que haja o risco de danificá-los. A compensação será feita através da técnica de polarização do substrato e do poço dos transistores, de modo que a tensão de polarização possa corrigir qualquer variação de V_t , V_{dd} ou até mesmo da temperatura. Foram utilizados simuladores de circuitos elétricos para obtenção dos resultados, e estes confirmaram os resultados satisfatórios dos projetos propostos.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

**PROJETO DE UM CIRCUITO DIVISOR DE FREQUÊNCIA DE
ULTRA-BAIXO CONSUMO DE POTÊNCIA**

Gustavo Buchweitz Giusti

August / 2007

Advisor: Carlos Galup-Montoro, PhD.

Area of Concentration: Integrated Circuits

Keywords: CMOS, Integrated Circuits, Low Power, Prescaler Dual Modulus

Number of Pages: 60.

This dissertation presents the design of a Prescaler Dual-Modulus (PDM) circuit, designed for TSMC 0.18 μ m technology, whose main interest is ultra-low power consumption. Two proposals for PDM's will be presented, one with the objective of obtaining ultra-low power consumption, and the other one with the aim of obtaining a higher maximum frequency, however without compromising the low power consumption. PDM circuits have a potentially wide use in PLL circuits, which demands appliance in high frequencies. The operation of the transistors is weak inversion. Operating in this regimen, they become very susceptible to any variations in the technological parameters, both intrachip and interchip. A solution, a study of three topologies of compensating circuits was carried out, and a fourth topology was proposed. This proposed topology aims at expanding the range of voltage supported by the transistors without a risk of damaging them. The compensation will be carried out through the technique of bulk bias of the transistors, in such a way the bias voltage can correct any variation in V_t , V_{dd} or even the temperature. Circuits simulators were used to obtain the results, and they were found to be very satisfactory.

SUMÁRIO

Lista de Figuras	vii
Lista de Tabelas	x
Lista de Abreviações	xi
1. Introdução	1
1.1 Revisão da literatura	2
2. Transistor MOS	7
2.1 Introdução	7
2.2 Estrutura Física do Transistor	7
2.3 Princípio de Funcionamento	8
2.4 O Transistor em Inversão Fraca	9
3. Polarização do Substrato	12
3.1 Introdução	12
3.2 Opções de Circuitos Compensadores	14
3.3 Análise das Junções PN dos Transistores	18
3.4 Análises Comparativas entre os Circuitos Compensadores	21
3.5 Inversor Lógico CMOS	23
3.5.1 Análise Transiente do Inversor	25
3.5.2 Comparações utilizando o Inversor	28
3.5.3 Dissipação de Potência	30
3.6 Polarização Duplo Direta	33
3.7 Conclusão	38

4. Circuito Prescaler Dual-Modulus (PDM)	39
4.1 Introdução.....	39
4.2 Prescaler Dual-Modulus 8/9 – C ² MOS	42
4.2.1 Flip-Flop Tipo D – C ² MOS	42
4.2.2 Ripple Counter	44
4.2.3 Resultados Obtidos	46
4.3 Prescaler Dual-MOduLus 8/9 – E-TSPC	48
4.3.1 FF Tipo D – Extended True-Single-Phase-Circuit (E-TSPC) ...	48
4.3.2 Resultados Obtidos	51
4.4 Comparações com outros estudos.....	53
5. Conclusões	54
Anexo 1 - Parâmetros de Simulação BSIM 3.1, level 8	
6. Referências Bibliográficas	56

Lista de Figuras

Fig.1.1: Técnica de polarização apresentada em [11].....	3
Fig 1.2: Circuitos polarizadores propostos por [5].....	4
Fig 1.3: Flip-flop Tipo D C ² mos Modificada [12]	5
Fig 1.4: Divisor de Frequências por dois: versão estática [13]	5
Fig 1.5: Flip-flop E-TSPC proposto por [14].....	6
Fig. 2.1: Fig. 2.1: Corte esquemático de um transistor CMOS em uma tecnologia poço n	7
Fig. 2.2: Criação do Canal no dispositivo	8
Fig. 2.3: Representação do efeito de <i>Pinch-Off</i>	9
Fig 3.1: Estrutura dos transistores MOS em uma tecnologia com poço triplo.....	12
Fig. 3.2: Valores de V_{TN} e V_{TP} para três tecnologias em diversas rodadas.....	13
Fig. 3.3: Circuitos Compensadores (a) Direta (b) Cruzada (c) Pasini	14
Fig 3.4: Variação de ‘n’ em função de V_w	16
Fig 3.5: Efeito de ‘n’ na variação de I_D	16
Fig 3.6: Variação da Corrente em função de V_w / ϕ_t	17
Fig 3.7A: Estrutura do transistor com poço triplo sobreposta das ligações da polarização direta	19
Fig 3.7B: Diagrama do circuito de polarização mostrando os diodos fonte-substrato..	19
Fig 3.8: Transferência DC (I total x V_{cc}).....	20

Fig 3.9: Correntes no circuito de Polarização Direta: Transferência DC	20
Fig 3.10: Corrente nos canais dos transistores	21
Fig.3.11: Corrente total nos transistores.....	22
Fig. 3.12: Inversor lógico CMOS.....	23
Fig. 3.13: Discrepância entre as correntes dos transistores NMOS e PMOS.....	24
Fig 3.14: Diagrama de um nversor lógico básico compensado: No exemplo a compensação pela polarização direta	25
Fig. 3.15: Discrepância das correntes entre PMOS e NMOS reduzida com o auxílio dos circuitos compensadores.....	25
Fig. 3.16: Inversor Equivalente: (a) Tempo de Subida (b) Tempo de Descida	26
Figura 3.18A: Análise transiente do inversor com as três polarizações: T_{LH}	28
Figura 3.18B: Análise transiente do inversor com as três polarizações: T_{HL}	29
Fig 3.19: Explicativo de medição do delay	30
Fig.3.20: Inversor com diodos de fonte e dreno.....	31
Fig. 3.21: Polarizador Duplo Direto: (a) Diagrama do Circuito) (b)Visão dos Diodos	32
Fig. 3.22: Correntes Duplo Direto.....	33
Fig. 3.23: Correntes Totais no Transistor; Duplo x Direta	35
Fig. 3.24: Corrente no Canal: Duplo x Direta	35
Fig. 3.25: Equalização das Correntes pelo Duplo Direto.....	36
Fig. 3.26: Tempos de Subida e Descida do Duplo Direto	37

Fig 4.1: PLL genérico	40
Fig 4.2: PLL com prescaler	40
Fig. 4.3: Topologia do Prescaler Dual-Modulus	41
Fig. 4.4: Esquemático do FF Clocked CMOS (C ² MOS)	42
Figura 4.5: Divisor de Freqüências por dois: versão estática	45
Fig 4.6: Comparativo do consumo de potência total entre os circuitos C ² MOS e Ripple Counter.....	46
Fig 4.7B: Saída do PDM comprova que o circuito extrapolou seu limite de freqüência.Taxa de divisão Incorreta.....	48
Fig. 4.8: Circuito e-tspc.....	49
Fig 4.9B: Comparativo entre os circuitos: Freqüência.....	50
Fig 4.10: Forma de Onda na Saída do Prescaler E-tspc no limite da freqüência de operação	51
Fig 4.11A: Comparativo entre os PDM's : Potência.....	52
Fig 4.11B: Comparativo entre os PDM's: Freqüência Máxima.....	52

Lista de Tabelas

Tabela 3.1: Comparativo de Potências nos Circuitos Polarizadores	20
Tabela 3.2: Tempos de Subida T_{LH} e Descida T_{HL} dos Polarizadores.....	27
Tabela 3.3: Comparação entre os circuitos; PDP(Power-Delay Product).....	30
Tabela 3.4: Tempos de Subida, Descida e Delay: Duplo Direto.....	35
Tabela 3.5: Comparação Direto e Duplo Direto;; PDP (power-delay product).....	35
Tabela 4.1: FF C^2 MOS módulo 4.....	41
Tabela 4.2: Ripple módulo 4	43
Tabela 4.3: Resultados Obtidos do PDM módulo 8: C^2 MOS	45
Tabela 4.4: E-tspc módulo 4	47
Tabela 4.5: Resultados Obtidos do PDM módulo 8: E-tspc	49
Tabela 4.6: Comparativo de potência entre os PDM's propostos sobre uma frequência fixa	51
Tabela 4.7: Tabela comparativa com outros estudos.....	51

Lista de Abreviações

CMOS	Complementary Metal-Oxide-Semiconductor
E-TSPC	Extended True-Single-Phase-Circuit
FF	Flip-Flop
FOM	Figure of Merit
LPF	Low Pass Frequency
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	Transistor MOS canal N
PDM	Prescaler Dual Modulus
PDN	Pull Down Network
PDP	Power-Delay Product
PLL	Phase Locked Loop
PMOS	Transistor MOS canal P
PUN	Pull-Up Network
RF	Radio Frequency
TSMC	Taiwan Semiconductor Manufacturing Company
TSPC	True Single Phase Circuit
UCCM	Unified Charge Control Model
VCO	Voltage Controlled Oscillator

1. Introdução

Vivemos numa época dominada por equipamentos eletrônicos portáteis, onde o uso destes tende a expandir-se de forma acelerada. Como exemplo destes equipamentos, podemos citar telefones celulares, MP4 Players, Palm tops, próteses auditivas e até mesmo equipamentos implantáveis, tais como marca-passos.

Normalmente, esses equipamentos são pequenos, leves e exigem baterias de longa duração. Por isso, os circuitos integrados analógicos e digitais que os compõem devem operar com uma fonte de alimentação de baixa tensão e dissipar o mínimo de potência possível [1], para que a bateria tenha uma vida útil mais longa.

Desta forma, cresceu também o número de projetos na área de baixa potência (*low-power*), sendo que a diminuição da tensão de alimentação mostrou ser a mais eficiente técnica para a finalidade de redução de consumo, pois reduz a potência de forma quadrática, porém, a custo de um certo detrimento da velocidade de processamento.

Assim, o meio científico cada vez mais convive com uma situação conflitante: dispositivos necessitando maior capacidade de processamento e ao mesmo tempo, economia de bateria [2-5]. Além disso, o avanço da tecnologia das baterias ainda é pequeno se comparado com o desenvolvimento da eletrônica [5], competindo então, aos projetistas de microeletrônica desenvolver circuitos mais econômicos.

Dentre as diversas tecnologias disponíveis para fabricação de circuitos integrados, a tecnologia CMOS (Complementary Metal-Oxide-Semiconductor) convencional é a que conseguiu atingir a maior utilização atualmente e com custo acessível, disponível através de diversos fabricantes (*foundries*).

Usualmente, a potência em circuitos lógicos CMOS é dividida em duas componentes: potência dinâmica e potência estática. A potência dinâmica é dependente da frequência de chaveamento do circuito, enquanto que a potência estática é independente dessa atividade. As duas principais componentes da dissipação dinâmica são provenientes da corrente necessária para carregar e descarregar os capacitores de carga, e da corrente de curto-circuito, consumida quando ambas as redes PMOS (PUN – *Pull-up Network*) e NMOS (PDN – *Pull-down Network*) estão simultaneamente conduzindo, durante a transição do sinal na respectiva porta lógica. Usualmente, esta corrente de curto-circuito é

uma pequena fração da potência dinâmica, podendo em muitos casos ser até negligenciada (com exceção de circuitos que trabalham com frequências ultra-altas).

Por sua vez, a potência estática tem como principais componentes a dissipação devido às correntes de fuga nas junções p-n de dreno e fonte dos transistores e as correntes de sub-limiar nos transistores MOS. Para tecnologias nanométricas, a corrente de fuga de junções p-n é desprezível, se comparada à corrente de sub-limiar [1-3]. Em primeira aproximação, a dissipação estática é diretamente proporcional à tensão de alimentação, enquanto que a dissipação dinâmica é proporcional ao quadrado da tensão de alimentação [1-6].

Diante do desafio de se obter frequências mais elevadas no campo do baixo consumo, cresceu o interesse pelos circuitos RF com tecnologia CMOS. Entre os vários métodos existentes para se sintetizar uma frequência, temos no PLL (Phase Locked Loop), o circuito mais utilizado para essa aplicação [7-8]. O prescaler dual-modulus é parte integrante de um PLL, sendo um bloco crítico, capaz de limitar a frequência de operação do PLL.

1.1 Revisão da Literatura

Para baixas tensões de alimentação, os circuitos CMOS trabalham no regime sub-limiar, ou inversão fraca. Neste regime, a corrente depende exponencialmente das tensões de polarização e o desempenho do circuito é bastante influenciado pela variação dos parâmetros de fabricação, mais especificamente a tensão de limiar V_T dos transistores.

Sendo assim, técnicas de compensação desses parâmetros devem ser empregadas para se evitar um funcionamento incorreto dos circuitos. O método de compensação das variações tecnológicas mais utilizado tem sido através da polarização do substrato dos transistores com uma tensão apropriada. Dentre as várias técnicas existentes na literatura, revisamos neste momento as consideradas mais relevantes para dar prosseguimento a este trabalho.

H. Soeleman e K. Roy, em [9], estudam as várias características de circuitos digitais operando no regime de inversão fraca, com a intenção de alcançar um ultra-baixo consumo. Afirmam que diversas vantagens podem ser obtidas nesse caso, tais como: maior ganho, melhor margem de ruído e baixa dissipação de energia. Entretanto, devido ao seu

baixo desempenho, os circuitos operando em inversão fraca devem ser utilizados em aplicações nas quais o baixo consumo é o requisito fundamental.

A. Bryant, et al, em [11], estuda uma técnica bastante simples de polarização do poço para a compensação das variações tecnológicas na operação de circuitos digitais em regime de inversão fraca. A técnica consiste em polarizar tanto os transistores NMOS quanto os PMOS com a mesma tensão V_w , proveniente do circuito de polarização mostrado na Fig.1.1. Este consiste de um MOSFET do tipo P e outro do tipo N, numa configuração semelhante a um inversor, mas com ambos substratos conectados ao dreno.

Os gates são conectados à fonte dos transistores, de forma que segundo o modelo clássico de inversão forte, ambos estão cortados. Na realidade, os dois transistores estão operando na região sub-limiar (regime exponencial). Este circuito, portanto, impõe um potencial de substrato que equaliza as correntes de fuga (sublimiar) dos transistores canal n e p. A tensão comum dos drenos é a responsável pela polarização dos substratos, e conseqüentemente, das junções fonte-substrato dos transistores.

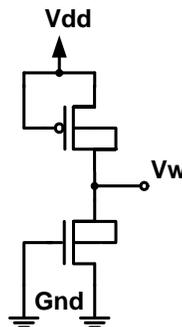


Fig.1.1: Técnica de polarização apresentada em [11]

Em [5], P. Melek, apresenta um estudo do comportamento de operação de circuitos lógicos CMOS de ultra-baixo consumo. Seu estudo envolve o dimensionamento dos transistores NMOS e PMOS que compõem os circuitos, e técnicas de polarização do substrato e poço, visando o balanceamento dos tempos de subida e descida dos circuitos, de modo a evitar desperdício de energia. P. Melek propõe outros dois circuitos compensadores dos parâmetros tecnológicos, apresentados aqui na Fig.1.2, e apresenta sua validação das técnicas empregadas através de diversos circuitos e portas lógicas, obtendo resultados por simulações e por medidas, em circuitos com componentes discretos e integrados fabricados para testes das técnicas.

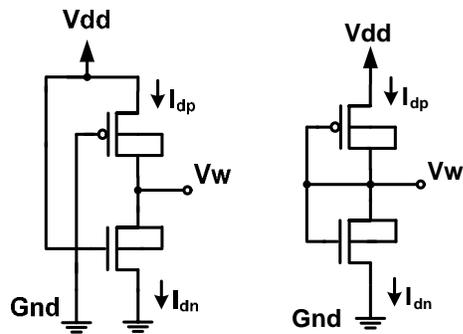


Fig 1.2: Circuitos polarizadores propostos por [5]

A partir destes dois últimos trabalhos descritos aqui, oriundos de [5] e [11], espera-se utilizar esta mesma técnica de polarização do substrato dos transistores, de forma semelhante ao proposto por ambos, incluindo estudos comparativos entre os mesmos, e propondo um novo circuito. Este tem como objetivo alcançar um consumo de potência extremamente baixo, e ainda ampliando a faixa de tensão de trabalho do circuito polarizador, sem deixar que o desempenho seja precário para futuras aplicações.

Na parte seguinte do trabalho, relativa à construção do *prescaler dual modulus* (PDM), se faz necessário relatar aqui algumas publicações que auxiliaram a nortear o desenvolvimento do PDM. Em [12], Stojanovic e Oklobdzija propuseram um conjunto de regras para uma estimativa consistente do real desempenho e consumo de potência de flip-flops. Sua publicação tornou-se ainda mais inspiradora pelo fato de terem desenvolvido um flip-flop tipo D composto de latches N e P, criando uma estrutura simétrica e relativamente simples, reproduzida aqui na Fig.1.3.

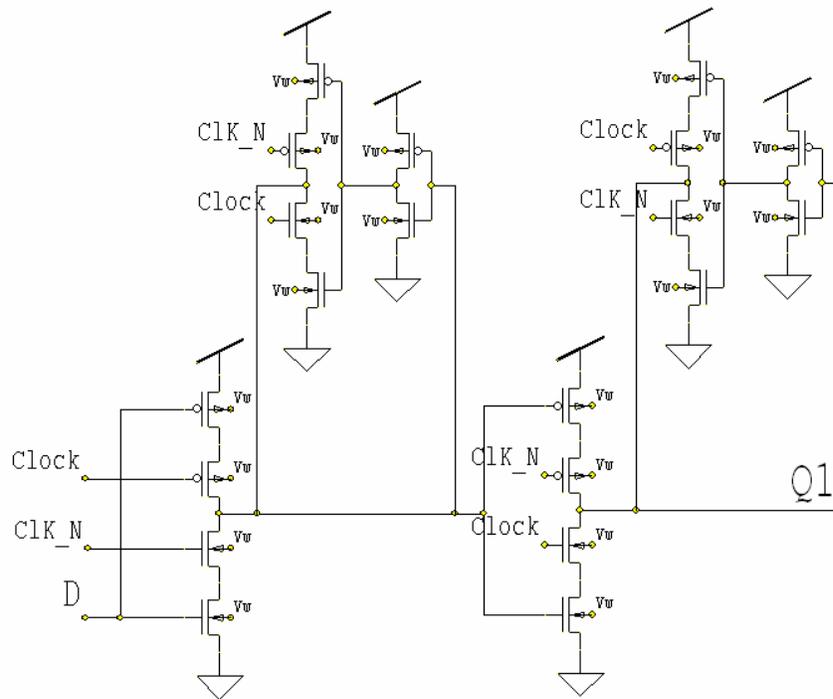


Fig 1.3: Flip-flop Tipo D C²mos Modificada [12]

Já Yuan J.R. em [13] forneceu uma idéia simples de um divisor de frequência por dois, o qual pode ser conectado em cascata para formar o chamado *ripple counter*, possibilitando assim uma forma simples de incrementar em 2^n qualquer eventual divisão de frequência, através do simples acréscimo de estágios. Seu divisor por dois, na versão estática, é reproduzido na Fig.1.4.

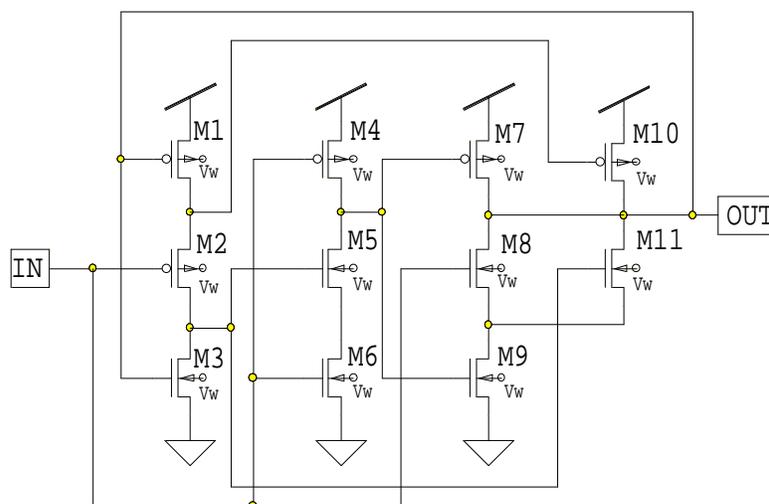


Fig 1.4: Divisor de Frequências por dois: versão estática [13]

Para finalizar essa revisão, J. Navarro e W. Van Noije em [23] propuseram e analisaram a técnica E-TSPC (Extended True-Single-Phase-Clock), cujo diagrama esquemático é apresentado na Fig.1.5. Podemos observar que foi usada na construção desta topologia lógica estática convencional CMOS, lógica dinâmica n/p, e latch n/p.

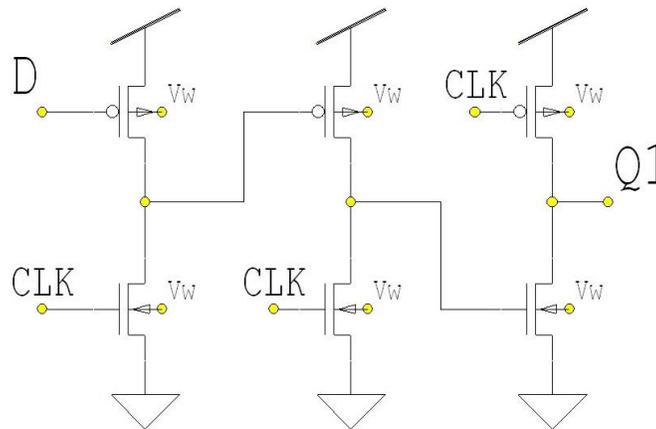


Fig 1.5: Flip-flop E-TSPC proposto por [23]

Esta dissertação está dividida em 5 capítulos. No capítulo 2 é apresentado o transistor MOS, descrevendo seu comportamento com ênfase na região de operação de inversão fraca, visto que é nessa região onde podemos obter um menor consumo do dispositivo. No capítulo 3 são estudados e comparados circuitos compensadores dos parâmetros tecnológicos, apresentados gráficos e equações para uma noção mais nítida de resposta de cada um destes circuitos. Neste capítulo, também é proposto um circuito de compensação com o mesmo princípio de polarização de substrato, porém consumindo menos potência e permitindo o uso da tensão de alimentação limite da tecnologia, de 1.8V. Todos esses circuitos são conectados a um inversor simples objetivando a comprovação dos conceitos empregados.

No capítulo 4 são descritos dois circuitos Prescaler Dual Modulus 8/9. O Primeiro é composto pelos circuitos C²MOS e Ripple, cuja proposta é a obtenção do *ultra-low power*; a segunda proposta de PDM é composta dos circuitos E-tspc e Ripple, sendo esta configuração uma alternativa em *low power* para frequências mais elevadas. Os PDMs foram projetados na tecnologia CMOS 0.18um da TSMC. Os resultados apresentados são oriundos de simulações no software Smash 5.2, no nível elétrico, que comprovam a validade destes circuitos. Por fim, no capítulo 5 são apresentadas as conclusões a respeito deste trabalho e sugestões para futuros trabalhos.

2. Transistor MOS

2.1 Introdução

Seguindo no caminho da tendência da tecnologia dos dias atuais, será apresentado o transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor), cuja estrutura física faz justificar seu nome. Este transistor está ilustrado na Fig.2.1. Neste capítulo será apresentado seu princípio de funcionamento, bem como as equações matemáticas necessárias para o seu modelamento.

2.2 Estrutura Física do Transistor MOS

O transistor a ser utilizado consiste no dispositivo de quatro terminais: substrato (bulk), composto de silício dopado, e que será o terminal de referência para os valores de tensões; fonte (source) e dreno (drain), regiões altamente dopadas e simétricas; e porta (gate), terminal este composto por um eletrodo de baixa resistividade de polissilício, separado do substrato por uma fina camada de isolante de óxido de silício

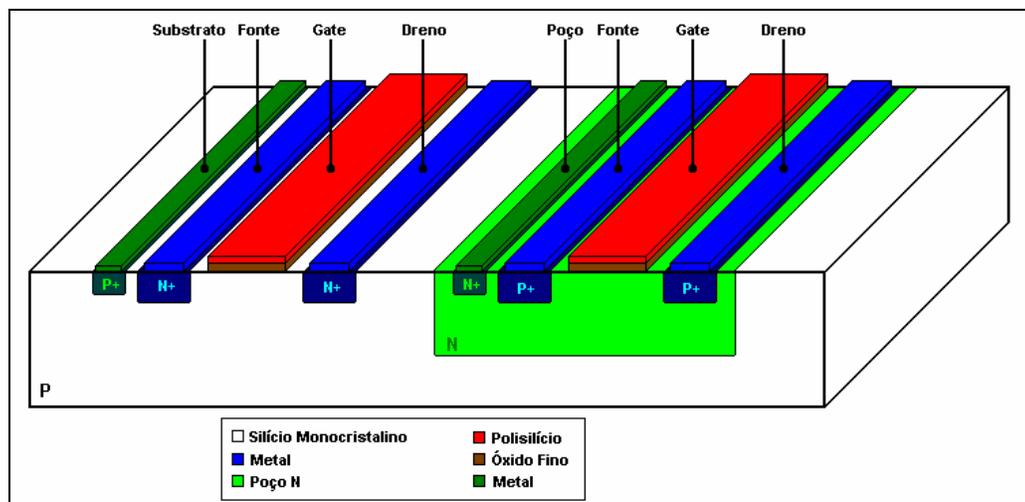


Fig. 2.1: Corte esquemático de um transistor CMOS em uma tecnologia poço n

Existem dois tipos diferentes de transistores, definidos pela dopagem de impurezas do substrato; NMOS, formado por um substrato dopado com impurezas tipo P, onde forma-se um canal tipo N, e o PMOS, onde o substrato é tipo N, cujo canal a ser criado é tipo P.

2.3 Princípio de Funcionamento

Será considerado o dispositivo canal N (NMOS) para realizar uma análise do funcionamento do transistor MOS.

Aplicando-se uma tensão na porta (gate), inferior à tensão de banda plana (V_{FB}), a densidade de lacunas no canal aumenta, caracterizando assim esta situação como regime de *acumulação*. O potencial de banda plana é definido como sendo a soma de todos os potenciais de contato entre os materiais mais o potencial induzido por cargas parasitas no interior do óxido, incluindo a sua interface com o semicondutor [14]. Canal é definido como sendo a região logo abaixo do óxido, compreendida entre os terminais de fonte e dreno.

Aplicando-se uma tensão de porta V_{GB} ligeiramente superior à tensão de banda plana, começa a se criar na região logo abaixo do óxido, uma região despojada de lacunas. O dispositivo agora se encontra então no chamado de regime de *depleção*. Aumentando-se então um pouco mais a tensão aplicada a porta, começa a existir uma diferença de potencial suficiente para gerar uma concentração de portadores minoritários, elétrons, que se sobreponha ao número de lacunas na interface óxido-semicondutor. Sob estas circunstâncias, o transistor se encontra em regime de *inversão*, ou seja, o dispositivo estará em condução.

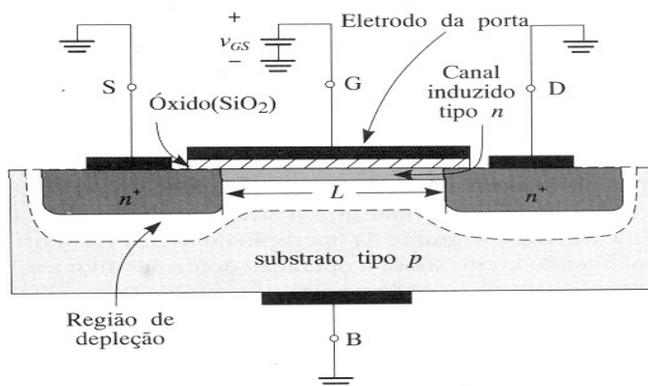


Fig. 2.2 Criação do Canal no dispositivo

Desta forma, o substrato começa a apresentar um canal de cargas devido aos elétrons atraídos pelo campo elétrico abaixo do óxido, conforme visto na Fig.2.2, onde, sendo agora aplicada uma diferença de potencial entre os terminais de fonte e dreno, haverá circulação de corrente elétrica através deste canal criado. Deve-se ressaltar que a

intensidade do canal gerado está diretamente ligada à diferença de tensão entre gate e substrato, conforme demonstrado a seguir.

Sendo a tensão de dreno maior que a de fonte, o transistor se encontra no modo de funcionamento direto. Conforme aumenta-se a tensão aplicada em V_{DB} , começa a ocorrer uma depleção de elétrons na região vizinha ao terminal de dreno, causando um estrangulamento do canal, conforme mostra a Fig.2.3. A este fenômeno dá-se o nome de *Pinch-off*.

Embora o transistor atinja o *pinch-off*, ele continua a conduzir, porém a corrente elétrica que circula pelo canal não mais aumenta, permanecendo insensível a posteriores elevações de V_{DB} . Neste caso, o transistor se encontra na região de saturação direta, ou simplesmente, saturação. Antes que o estado de saturação seja atingido, é dito que o transistor está na região de *triodo*.

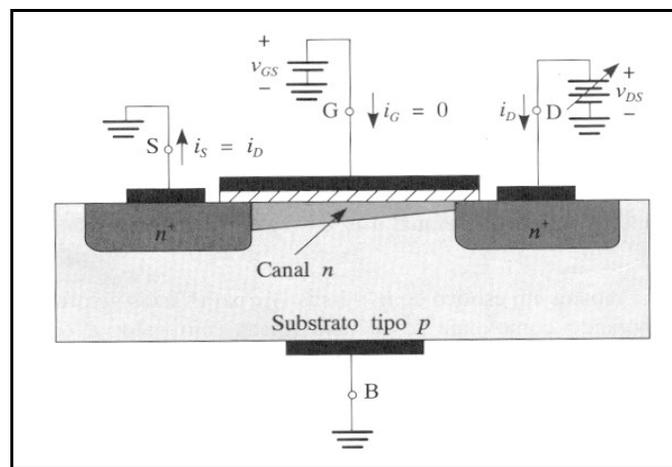


Fig. 2.3: Representação do efeito de *Pinch-Off*

2.4 O Transistor em Inversão Fraca

Os regimes de operação do transistor MOS podem ser definidos conforme a diferença entre os valores de tensão de dreno/fonte e de *pinch-off*, ou ainda conforme a proporção da densidade de carga de inversão de dreno/fonte para a densidade de carga de *pinch-off* [14-15].

Sendo o regime de inversão fraca o mais apropriado para se obter menores consumos de potência, nossos esforços serão voltados a esta região de operação, que tem como principal característica possuir uma quantidade rarefeita de elétrons no canal. Para

realizar o estudo do comportamento do transistor em inversão fraca, teremos como base inicial o UCCM (Unified Charge Control Model) para desenvolver as expressões que caracterizam este regime de operação.

Segundo [15], o UCCM nos fornece uma relação entre as cargas de inversão e o potencial elétrico no interior do canal, dada por

$$dQ'_I \left(\frac{1}{nC'_{OX}} - \frac{\phi_t}{Q'_I} \right) = dV_c \quad (2.1)$$

onde integrado-se a equação 2.1, de um ponto qualquer do canal (V_c) até o potencial de *pinch-off* (V_p), chegaremos em

$$V_p - V_c = \phi_t \left[\frac{Q'_{IP} - Q'_I}{nC'_{OX} \phi_t} + \ln \left(\frac{Q'_I}{Q'_{IP}} \right) \right] \quad (2.2)$$

onde Q'_{IP} é o valor da densidade de carga Q'_I no *pinch-off*.

Por se tratar de inversão fraca, pode-se utilizar a condição imposta por este regime de que $-Q'_I < nC'_{OX} \phi_t$, simplificando assim a equação 2.2 para a equação 2.3.

$$\phi_t \ln \left(\frac{Q'_I}{Q'_{IP}} \right) = V_p - V_c + \phi_t \quad (2.3)$$

O que irá resultar em

$$Q'_I = Q'_{IP} \cdot e^{(V_p - V_c + \phi_t) / \phi_t} \quad (2.4)$$

Esta equação reflete a relação exponencial da densidade de carga em função do potencial no regime de inversão fraca. Observação com relação ao regime fica por conta de que V_p deve ser menor que V_c ($V_p < V_c$). Ainda segundo [15], pode-se extrair do modelo compacto de controle de cargas o comportamento da corrente em função das cargas de inversão.

$$I_D = \frac{\mu_n W}{L} \left[\frac{Q'_{IS}{}^2 - Q'_{ID}{}^2}{2nC'_{OX}} - \phi_t (Q'_{IS} - Q'_{ID}) \right] \quad (2.5)$$

Os termos quadráticos das cargas podem ser negligenciados, uma vez que eles representam a corrente de drift, e estamos considerando o dispositivo no regime de inversão fraca (o campo elétrico é pequeno no interior do dispositivo), simplificando então para a equação 2.6.

$$I_D = -\frac{\mu_n W}{L} \phi_t (Q'_{IS} - Q'_{ID}) \quad (2.6)$$

Agora, realizando a inserção de 2.4 em 2.6, obtém-se

$$I_D = I_O \left[e^{(V_P - V_S)/\phi_t} - e^{(V_P - V_S)/\phi_t} \right] \quad (2.7)$$

$$I_D = I_O e^{(V_P - V_S)/\phi_t} \left[1 - e^{V_{DS}/\phi_t} \right] \quad (2.8)$$

Onde

$$I_O = \mu_n n C'_{OX} \phi_t^2 e \frac{W}{L} \quad (2.9)$$

Em inversão fraca, mantendo-se V_G e V_S constantes, a corrente satura para um $V_{DSSAT} > 4 \phi_t$. Assim, a corrente no canal pode ser reduzida para

$$I_D = I_O e^{(V_P - V_S)/\phi_t} = I_O e^{(V_G - V_{TO})/n\phi_t} e^{-V_S/\phi_t} \quad (2.10)$$

onde pode-se visualizar mais uma vez o comportamento exponencial da inversão fraca, agora em função da corrente.

3. Polarização do Substrato

3.1 Introdução

Durante o processo de fabricação dos circuitos integrados, é comum a ocorrência de algumas variações nos parâmetros tecnológicos, tanto dentro do mesmo chip (intrachip), bem como também entre diferentes chips (interchip). Essas variações tecnológicas acarretam variações na corrente de normalização I_0 e também na tensão de limiar V_t [5,18].

O funcionamento do transistor MOS pode sofrer alterações de resultados devido a essas variações dos parâmetros tecnológicos, prejudicando consideravelmente seu desempenho. Na inversão fraca, onde o transistor é extremamente sensível a esses parâmetros, a discrepância no resultado será bem mais significativa, o que certamente pode se tornar um problema para o projetista.

Na tentativa de compensar estas variações, foram propostos em [5] dois circuitos compensadores, os quais serão comparados neste capítulo, com o circuito compensador proposto por [11]. Será acrescida a esse estudo de circuitos uma nova proposta, com a finalidade de proporcionar uma maior excursão da tensão de alimentação, sem que haja o risco de perda do chip para tensões acima de 0.8V. Todos estes circuitos compensadores possuem o mesmo princípio de compensação para as variações tecnológicas: a polarização do substrato. Uma ressalva deve-se fazer desde já: a topologia proposta necessita do uso de tecnologia de poço triplo (triple well), mas esta já é largamente difundida e não acrescenta inconvenientes no projeto. A Fig.3.1 apresenta a estrutura física dos transistores PMOS e NMOS utilizando a tecnologia de poço triplo [18].

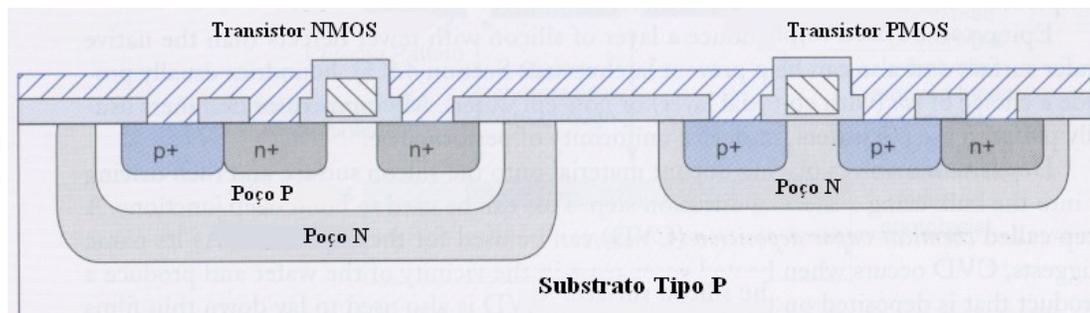


Fig 3.1: Estrutura dos transistores MOS em uma tecnologia com poço triplo

O método de se polarizar o substrato apresenta também como característica um aumento na velocidade de processamento das portas lógicas [11], quando as junções fonte-

substrato são polarizadas diretamente, provocando uma diminuição do módulo das tensões de limiar dos transistores (n e p). Essa característica se torna especial neste trabalho, pois como o objetivo é o ultra-baixo consumo, o regime de operação do transistor é em inversão fraca. Logo, a corrente que circula no canal é extremamente pequena, o que faz com que os tempos de processamento das portas aumente consideravelmente, o que pode ser um grande limitador da frequência de operação de qualquer circuito.

Como dados informativos, as variações na corrente de normalização ficam em torno de 30%, enquanto que variações em V_T podem ser de até mais de 100mV, em torno de seu valor médio especificado [5]. Como exemplo desta variação, apresentamos a Fig.3.2, onde é mostrada a variação de V_{TN} e V_{TP} entre diversas rodadas de fabricação de algumas tecnologias a partir de dados fornecidos pela MOSIS (<http://www.mosis.org>). As variações de V_{TN} e V_{TP} não são correlacionadas, ou seja, variam de forma independente uma da outra.

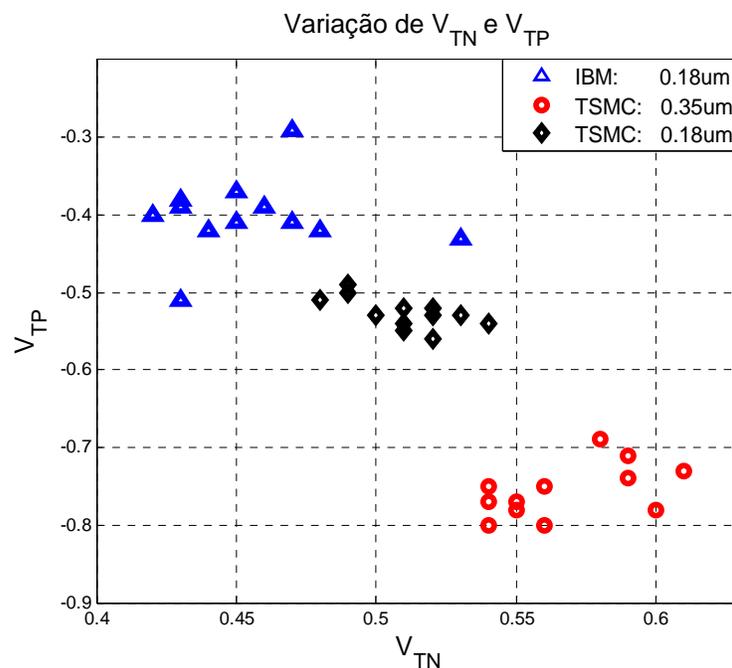


Fig. 3.2: Valores de V_{TN} e V_{TP} para três tecnologias em diversas rodadas

Para avaliar mais detalhadamente o combate a este problema da dispersão tecnológica, será buscado auxílio no circuito mais simples da tecnologia CMOS, o inversor. Desta forma, o entendimento de outros circuitos será baseado na análise do inversor. Com o uso do inversor também serão feitos testes comparativos, que serão vistos logo a seguir.

3.2 Opções de Circuitos Compensadores

O circuito de compensação através da polarização de substrato sugerido por [11] é aqui apresentado na Fig.3.3(a), enquanto que nas figuras 3.3(b) e 3.3(c) são apresentados circuitos propostos por [5].

Estes três circuitos são compostos de um transistor PMOS e outro NMOS, e apresentam uma tensão V_w que estabiliza num valor tal que a corrente nos transistores é igual, proporcionando desta forma, a equalização das mesmas diante de qualquer tensão de limiar V_t , qualquer corrente de escala I_o , ou qualquer valor de alimentação.

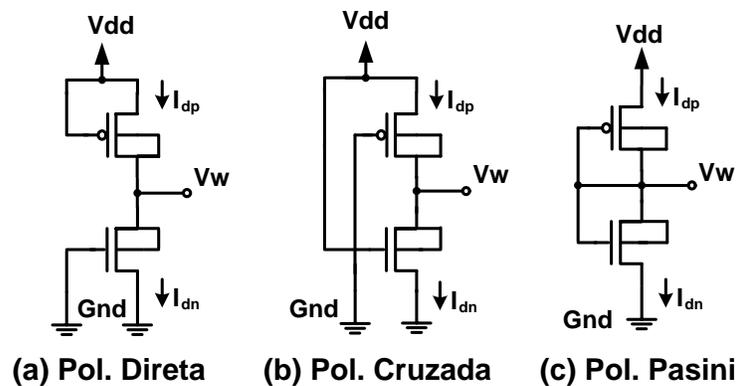


Fig. 3.3: Circuitos Compensadores

Por questão de simplicidade, a partir deste ponto serão padronizados nomes para estes circuitos, sendo assim chamados; (a) Polarização Direta, (b) Polarização Cruzada e (c) Polarização Pasini.

Segundo [5], os três circuitos são perfeitamente funcionais e fornecem uma tensão V_w de forma análoga para polarização das portas lógicas. Considerando que os transistores dos circuitos de compensação estejam em saturação, a tensão V_w pode ser calculada da seguinte forma para cada um deles.

$$I_{DP} = I_{DN} \quad (3.1)$$

$$I_{OP} \cdot e^{\frac{V_{BGP} - |V_{TP}| - n_P \cdot V_{BSP}}{n_P \cdot \phi_T}} = I_{ON} \cdot e^{\frac{V_{GBN} - |V_{TN}| - n_N \cdot V_{SBN}}{n_N \cdot \phi_T}} \quad (3.2)$$

Desta forma teremos como resultado para cada um dos circuitos compensadores as equações de 3.3 à 3.5.

$$\text{Direta} \quad V_W = \frac{\frac{V_{TN}}{n_N} - \frac{|V_{TP}|}{n_P} - \frac{V_{DD}}{n_P} + V_{DD} + \phi_T \ln\left(\frac{I_{OP}}{I_{ON}}\right)}{-\frac{1}{n_P} - \frac{1}{n_N} + 2} \quad (3.3)$$

$$\text{Cruzada} \quad V_W = \frac{\frac{V_{TN}}{n_N} - \frac{|V_{TP}|}{n_P} - \frac{V_{DD}}{n_N} + V_{DD} + \phi_T \ln\left(\frac{I_{OP}}{I_{ON}}\right)}{-\frac{1}{n_P} - \frac{1}{n_N} + 2} \quad (3.4)$$

$$\text{Pasini} \quad V_W = \frac{V_{TN}}{2.n_N} - \frac{|V_{TP}|}{2.n_P} + \frac{V_{DD}}{2} + \frac{\phi_T}{2} \ln\left(\frac{I_{OP}}{I_{ON}}\right) \quad (3.5)$$

Observando as equações 3.3, 3.4 e 3.5, podemos visualizar melhor o princípio de funcionamento destes circuitos compensadores. A tensão V_W , que irá ser aplicada nos substratos e poços dos transistores a serem compensados, segundo as equações acima, ajusta-se conforme a ocorrência de variações na tensão de alimentação, nos parâmetros tecnológicos e até mesmo na temperatura. Essa variação de V_W é suficiente para compensar os desvios oriundos dos processos de fabricação (exemplificados na Fig.3.2).

Na equação 3.6 é apresentada a formulação conhecida na literatura que possibilita o cálculo de n .

$$n = 1 + \frac{\gamma}{2\sqrt{\phi_{SA}}} \quad (3.6)$$

Onde γ é o fator de corpo e ϕ_{SA} é o potencial de superfície em inversão fraca, respectivamente dados por

$$\gamma = \frac{\sqrt{2q\epsilon_s N_A}}{C'_{OX}} \quad (3.7)$$

$$\phi_{SA} = \left(-\frac{\gamma}{2} + \sqrt{\frac{\gamma^2}{4} + V_{GB} - V_{FB}} \right) \quad (3.8)$$

Onde V_{FB} é a tensão de banda plana (flat band), ϵ_s é a permissividade do silício, q é a carga do elétron, N_A é a concentração de impurezas e C'_{OX} é a capacitância do óxido. Sendo assim, analisando o transistor NMOS da topologia direta para a tecnologia 0.18um como exemplo, tem-se a Fig.3.4 apresentando a variação do n em função de V_w .

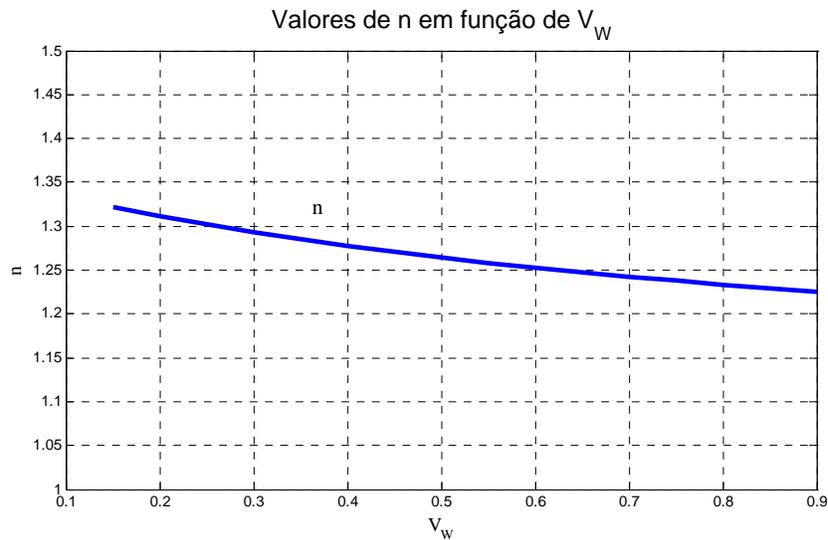


Fig 3.4: Variação de 'n' em função de V_w

Para que se possa analisar a taxa de crescimento da corrente em função de V_w , é necessário recorrer à equação 2.10, repetida aqui em 3.9.

$$I_D = I_O e^{(V_p - V_s)/\phi_t} \quad (3.9)$$

Onde a tensão de *pinch-off* é dada por

$$V_p = \frac{V_{GB} - V_t}{n} \quad (3.10)$$

Então, como $V_{GB} = V_{SB} = -V_w$ para o transistor canal n, tem-se

$$I_D = I_O e^{-\left(\frac{V_t}{n\phi_t}\right)} e^{\frac{V_w}{\phi_t} \left(\frac{n-1}{n}\right)} \quad (3.11)$$

$$\log\left(\frac{I_D}{I_o}\right) = \log e^{\left(\frac{-V_t + V_w(n-1)}{n\phi_t}\right)} \quad (3.12)$$

$$\frac{V_w}{\phi_t} = \frac{V_t}{\phi_t} \left(\frac{n}{n-1}\right) + 2,3 \log\left(\frac{I_D}{I_o}\right) \left(\frac{n}{n-1}\right) \quad (3.13)$$

A taxa de variação de I_D obtida algebricamente de $2,3(n/(n-1))\phi_t /$ década é comprovada pela equação 3.13 e observada na Fig.3.6. Importante observar o termo de fator de idealidade, representado por este caso de por $n/(n-1)$ (confirmado na Fig.3.5). Uma vez obtido o valor de n , pode-se encontrar o fator que resultará no termo multiplicador de 60mV/década, pois

$$I_D = I_o e^{\left(\frac{-V_w - V_t}{n\phi_t} + \frac{V_w}{\phi_t}\right)} \propto e^{\frac{V_w(-1+n)}{n\phi_t}} = e^{\frac{V_w(n-1)}{n\phi_t}} \quad (3.14)$$

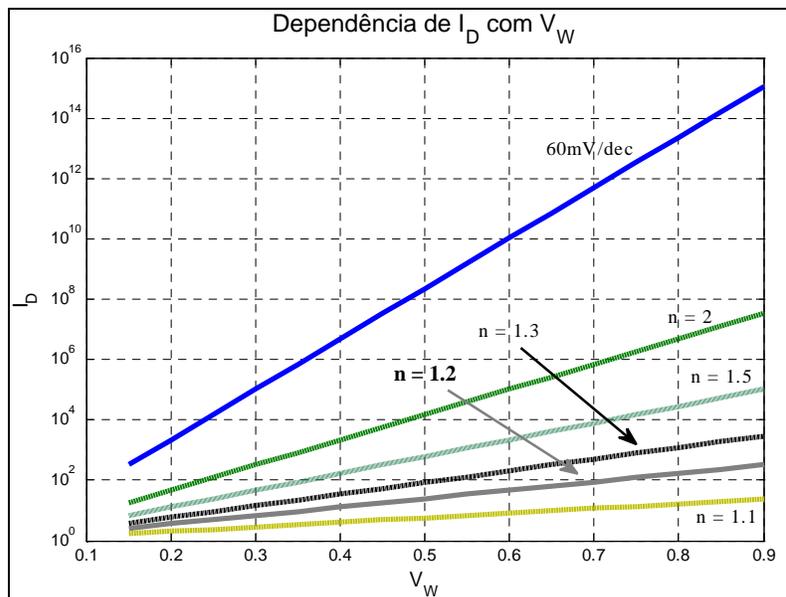


Fig 3.5: Efeito de 'n' na variação de I_D – em 60mV/dec n tende a infinito

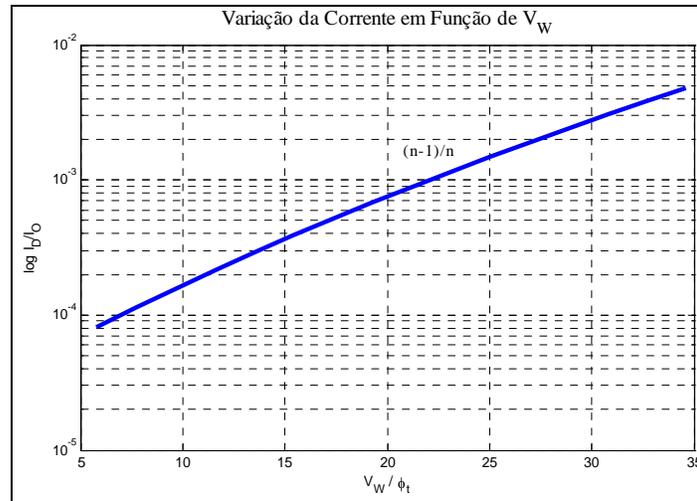


Fig 3.6: Variação da Corrente em função de V_W / ϕ_t

3.3 Análise das Junções PN no Substrato

Assumindo por simplicidade que V_{TN} e V_{TP} possuem o mesmo valor em módulo, os fatores de rampa n são iguais, e as correntes de normalização I_o dos transistores também são iguais, então, nessa situação, temos uma tensão V_w de valor igual à metade da tensão de alimentação fornecida pelos circuitos compensadores.

Nesta situação, ao se polarizar o substrato e o poço com a tensão V_w , resulta na polarização direta dos dois diodos de fonte dos transistores, que representam a junção PN existente entre as áreas fortemente dopadas (dreno e fonte) e o substrato do mesmo. Na Fig.3.7A é repetida a estrutura do transistor, porém sobreposta de uma possível ligação externa, no caso do exemplo, a polarização direta. A Fig.3.7B contém o desenho de diodos de fonte representando o comportamento das junções PN do transistor, de modo a facilitar a interpretação do fenômeno que ocorre no interior do dispositivo.

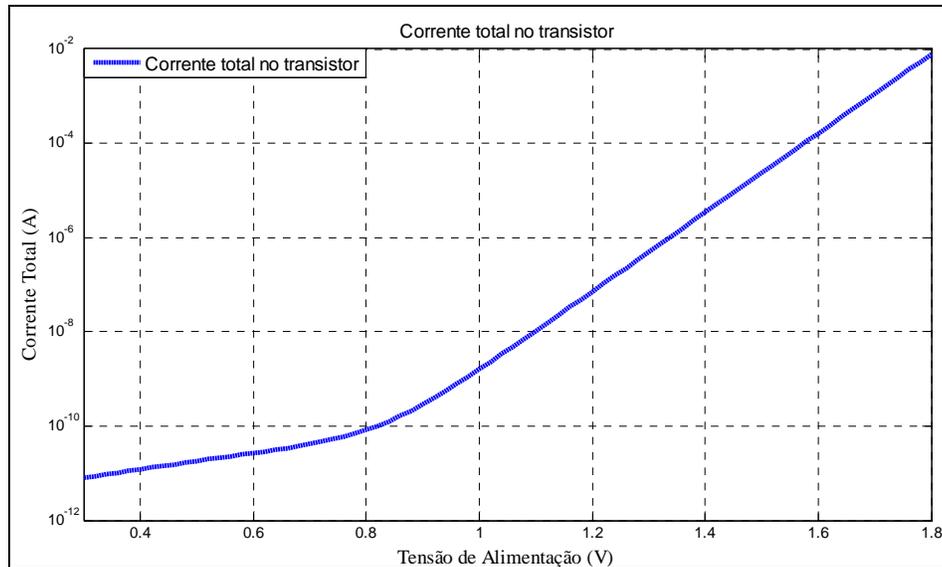


Fig 3.8: Transferência DC (I total x Vcc)

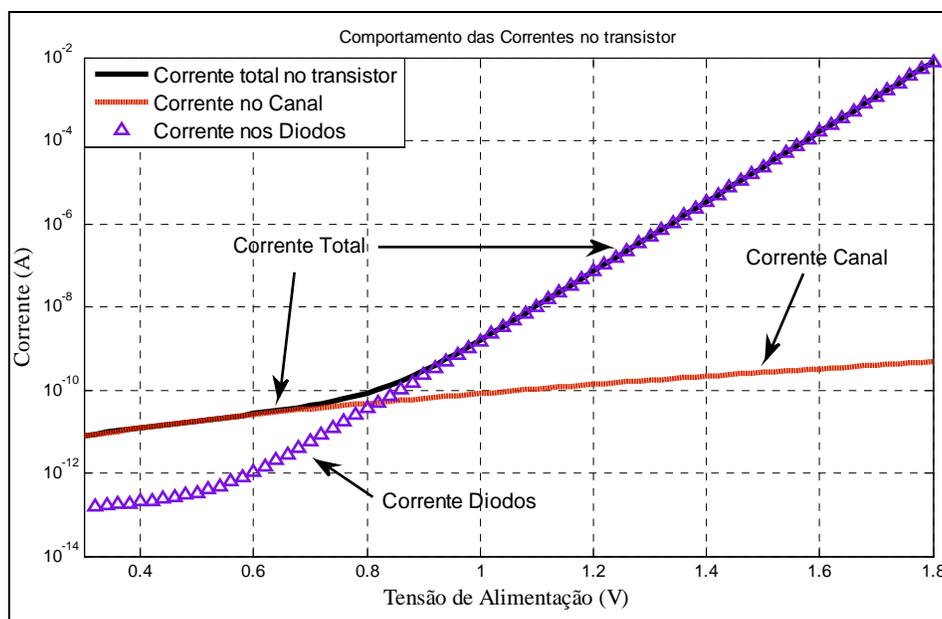


Fig 3.9: Correntes no circuito de Polarização Direta: Transferência DC

O desperdício de energia citado anteriormente pode ser visualizado na Fig.3.9. Nesta figura, nota-se a existência das duas correntes que circulam de modo predominante no transistor, mais a corrente total. Pode ser visualizado que para tensões menores do que cerca de 0.8V, o transistor tem como corrente predominante aquela que passa pelo canal.

Para tensão de alimentação acima de 0.8V, a corrente que atua sobre os diodos começa a se elevar, em escala exponencial, se transformando na principal fonte de consumo do transistor.

3.4 Análises Comparativas entre os circuitos polarizadores

Sendo entendida a repercussão dos diodos do transistor sobre as correntes, parte-se agora então para efetuar comparações entre as três alternativas de circuitos viáveis para se compensar as dispersões tecnológicas. As figuras 3.10 e 3.11 apresentam o quadro comparativo entre os três circuitos, em função tanto da corrente do canal como da corrente total nos transistores. Nota-se uma nítida vantagem, em termos de economia de consumo, no circuito compensador direto.

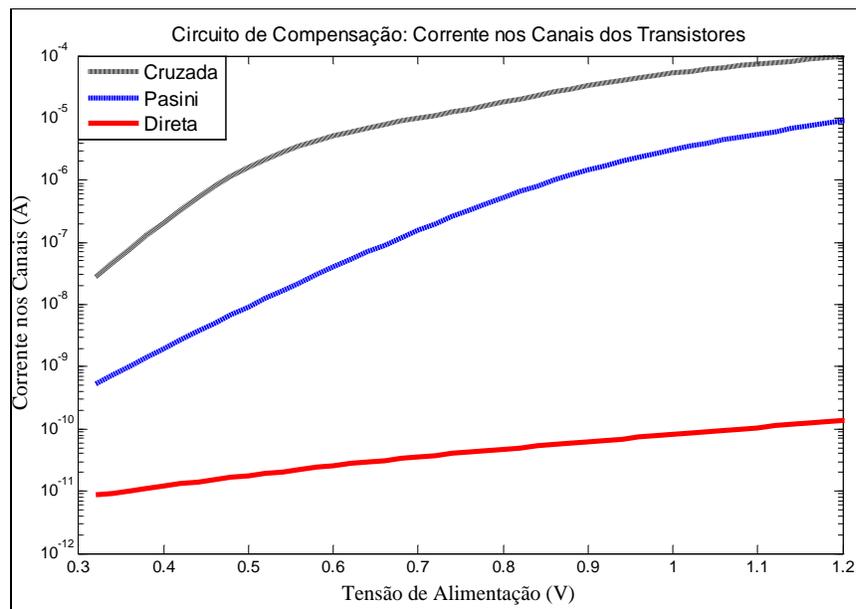


Fig 3.10: Corrente nos canais dos transistores

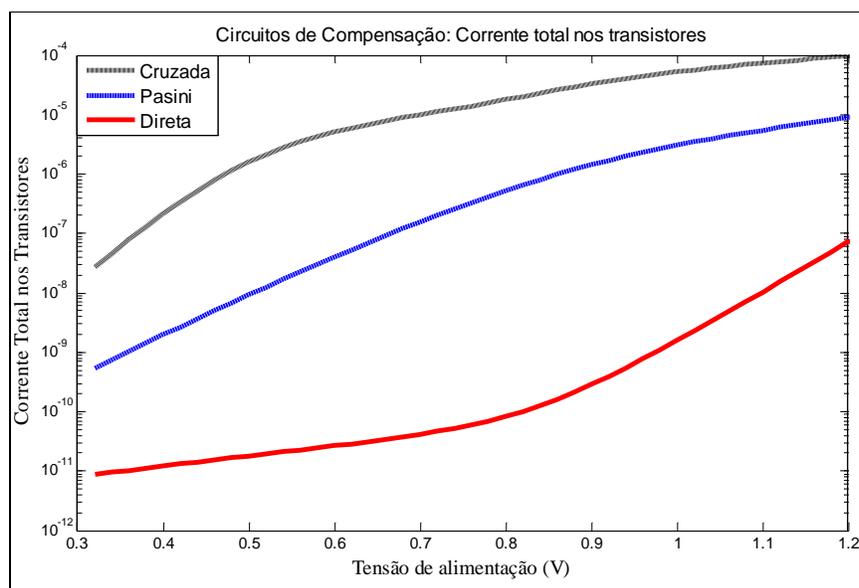


Fig.3.11: Corrente total nos transistores

Tabela 3.1: Comparativo de Potências nos Circuitos Polarizadores

<i>Potências nos Circuitos Compensadores</i>						
Vdd (v)	Cruzada		Pasini		Direta	
	Dreno	Total	Dreno	Total	Dreno	Total
0,3	4,7 nW	4,78 nW	113 pW	113,1 pW	2,32 pW	2,41 pW
0,4	84,6 nW	84,8 nW	748 pW	785 pW	4,88 pW	4,92 pW
0,5	791 nW	796 nW	4,67 nW	4,67 nW	8,61 pW	9,47 pW
0,6	3,06 uW	3,06 uW	24,2 nW	24,2 nW	15,2 pW	16,01 pW
0,7	7,04 uW	7,05 uW	109 nW	109 nW	24,6 pW	29,1 pW
0,8	17,5 uW	17,7 uW	419 nW	421 nW	37,6 pW	66,58 pW
0,9	29 uW	29,61 uW	1,29 uW	1,292 uW	55,7 pW	258,7 pW
1,0	52,9 uW	53 uW	3,05 uW	3,08 uW	80,8 pW	1,58 nW
1,2	115 uW	115 uW	10,8 uW	10,9 uW	160 pW	85,74 nW
1,4	197 uW	212,7 uW	33,9 uW	35,04 uW	302 pW	4,767 uW
1,6	286 uW	473 uW	72,1 uW	310,3 uW	512 pW	260 uW

Para que se possa ter uma visão de comparação de onde o transistor consome mais potência, e também comparar cada um dos métodos, é apresentado na Tabela 3.1 a potência consumida por cada um dos circuitos compensadores. Nesta constam os valores de potência obtidos pra cada um dos circuitos compensadores, em várias tensões de alimentações diferentes.

Fazendo uma análise sobre os resultados vistos na Tabela 3.1, constata-se que, independente do circuito, é visível a ação do efeito de polarização direta nas junções PN. Isso pode ser notado ao se observar que para tensões menores, a potência consumida pelo circuito é basicamente a utilizada pelo canal do dispositivo, enquanto que após o potencial de barreira, a potência se eleva de maneira brusca, tornando a potência do canal insignificante. Caso muito bem observado no circuito compensador direto.

Uma importante conclusão ao se observar os resultados obtidos por cada um dos circuitos compensadores, apresentados em forma de corrente nas figuras e em forma de potência na tabela, é de que o circuito compensador direto consome menos potência que os demais. Porém, para uma avaliação mais precisa do funcionamento de cada um deles, será

estudado o comportamento de um inversor quando polarizado por cada um destes circuitos, para que assim se consiga obter resultados mais conclusivos.

3.5 Inversor Lógico CMOS

Na Fig.3.12 é apresentado um inversor CMOS, com as conexões dos substratos ligados a V_{DD} e a G_{ND} para o PMOS e NMOS respectivamente, ou seja, ligados às fontes. Desta forma, está desenhada a porta lógica mais básica existente, responsável pela derivação de muitas outras. Este circuito inversor servirá de circuito teste comparativo durante este capítulo.

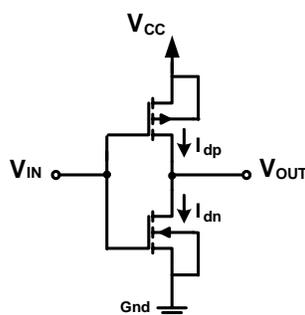


Fig. 3.12: Inversor lógico CMOS

Injetando-se na entrada do inversor básico, sem compensação, um sinal de amplitude 0,6V, frequência de 1KHz, com tensão de alimentação de 0.6V e C_{out} de 20pF, tem-se na Fig. 3.13 o comportamento da corrente de ambos os transistores, PMOS e NMOS. É possível notar que existe uma diferença grande de amplitude entre a corrente destes transistores. Esse comportamento representa um problema na questão de velocidade de resposta a um pulso, como será visto mais adiante. A razão das correntes NMOS/PMOS simulada foi de 3.48.

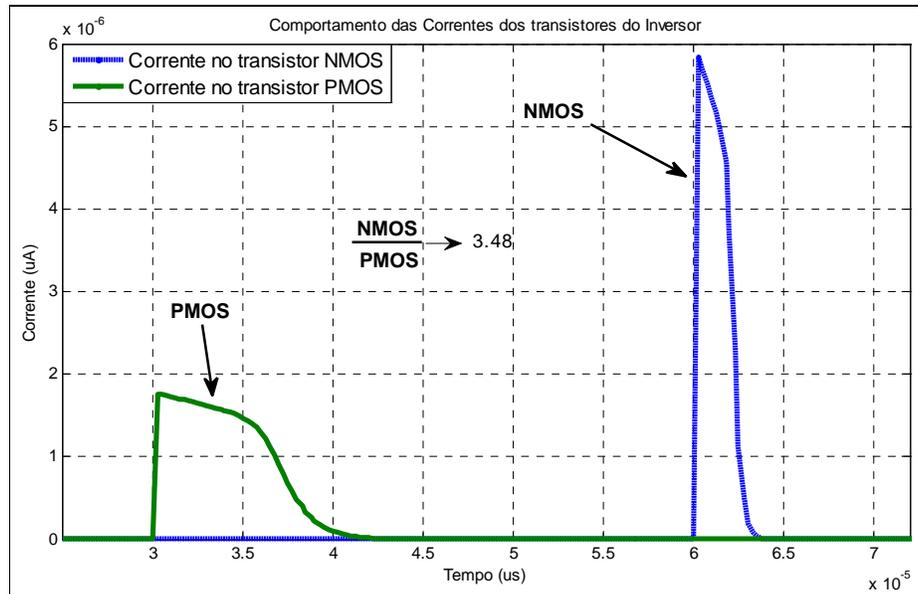


Fig. 3.13: Discrepância entre as correntes dos transistores NMOS e PMOS

A Fig.3.15 apresenta as correntes dos transistores NMOS e PMOS do mesmo inversor, quando submetidos à mesma frequência e tensão de alimentação, porém este agora se encontra polarizado com os circuitos compensadores, conforme Fig.3.14. Como resultado, o inversor de teste quando polarizado com os diferentes V_w , obteve uma melhora em todos eles na razão entre as correntes NMOS e PMOS (direta = 2,5; cruzada = 1,43; pasini = 2,6).

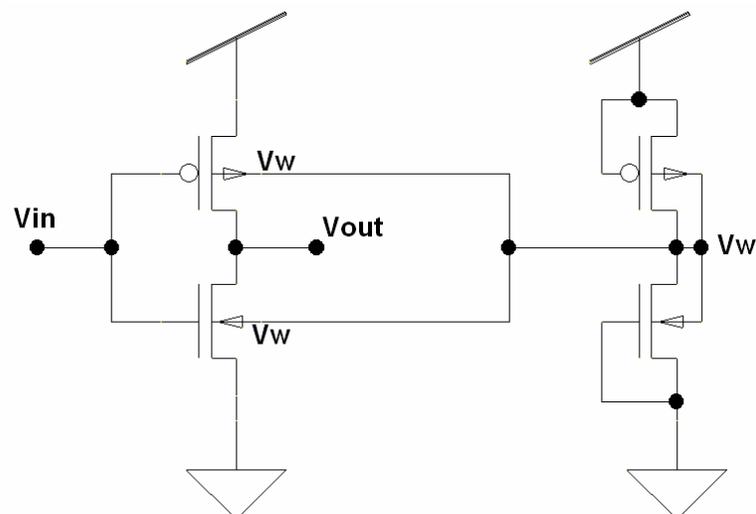


Fig 3.14: Diagrama de um inversor lógico básico compensado
No exemplo a compensação pela polarização direta

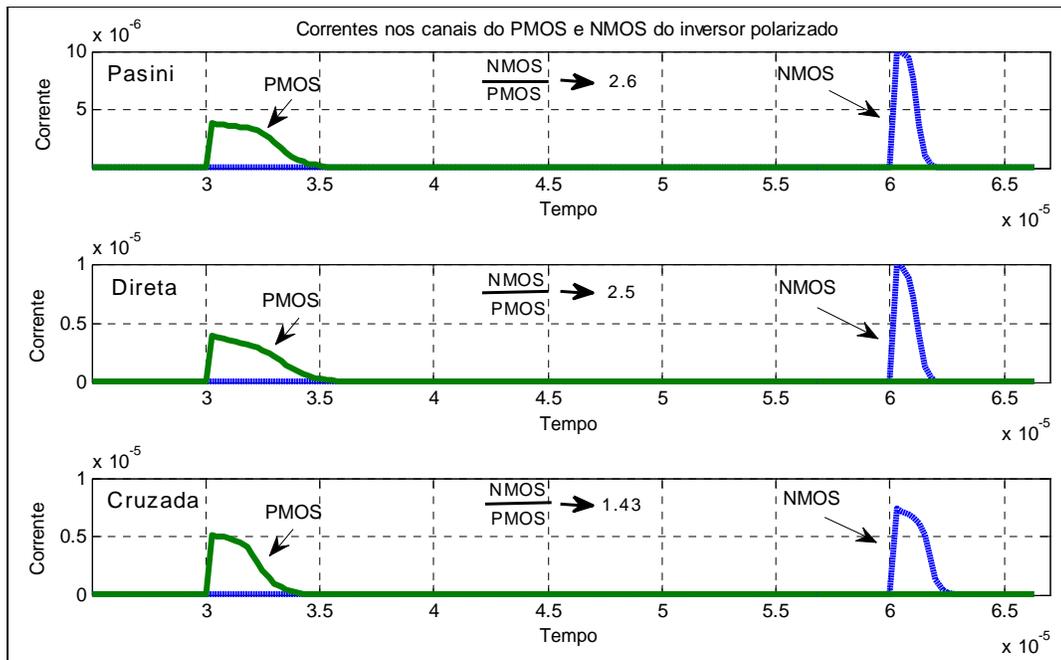


Fig. 3.15: Diferença das correntes entre PMOS e NMOS reduzida com o auxílio dos circuitos compensadores

3.5.1 Análise Transiente Sobre o Inversor

O tempo de transiente que uma porta leva para variar a sua saída após a variação do estado lógico da entrada, é uma das principais especificações do inversor. O tempo de subida, T_{LH} , pode ser definido como o tempo que a saída leva para ir de 10% de V_{DD} até 90% de V_{DD} . Estas definições de porcentagens irão acompanhar este trabalho no seu decorrer sempre que houver a necessidade de se deparar com sinais digitais.

O tempo de descida, T_{HL} , pode ser definido como o tempo que a saída leva para ir de 90% de V_{DD} até 10% de V_{DD} quando sua entrada varia de nível lógico baixo para alto, conforme visualizado na Fig. 3.16. Para finalizar as definições que serão assumidas neste trabalho, com relação ao tempo de permanência do sinal em nível lógico alto ou baixo, é assumido o critério de permanência mínima de 50% do tempo de meio ciclo de clock no referido nível lógico.

A Fig.3.17, que apresenta os circuitos equivalentes, servirá de suporte para desenvolver equações capazes de realizar o cálculo dos tempos de subida e descida do inversor.

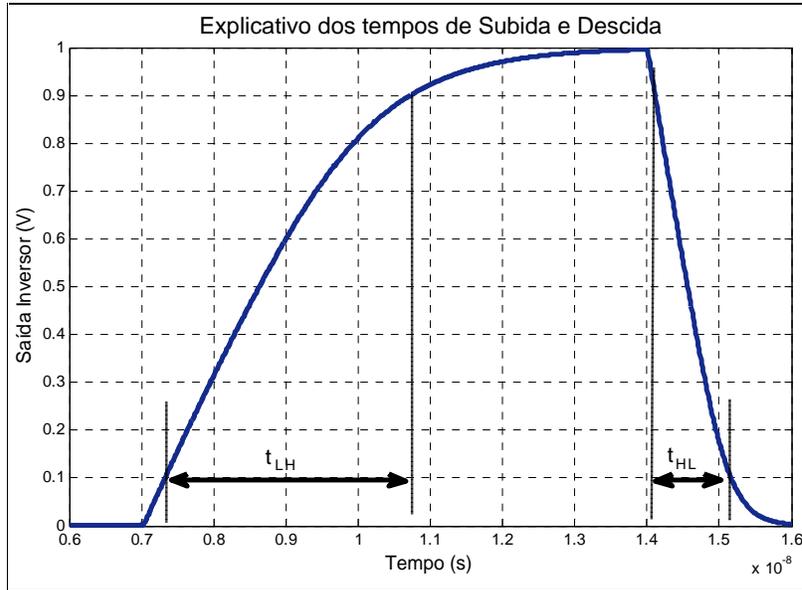
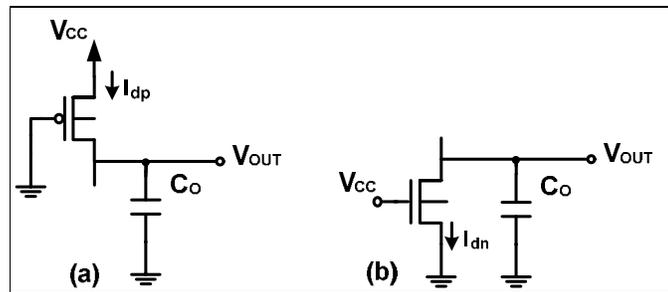


Fig 3.16: Explicativo da Medição dos Tempos de Subida t_{LH} e Descida t_{HL}



(a) tempo de subida (b) tempo de descida
Fig. 3.17: Circuitos Equivalentes do Inversor

Com o auxílio destes circuitos, fica mais visível a determinação analítica dos tempos de subida do inversor através do cálculo dos tempos de carga e descarga do capacitor de saída C_o , da seguinte forma.

$$I_{DN(P)} = -(+)C_o \cdot \frac{dV_o}{dt} \quad (3.15)$$

$$I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - V_{TN(P)} - n_N \cdot V_{SB(BS)}}{n_N \phi_T}} \left(1 - e^{\frac{-V_{DS(SD)}}{\phi_T}}\right) = -(+)C_o \cdot \frac{dV_o}{dt} \quad (3.16)$$

$$\int dt = t_{HL(LH)} = \frac{C_O}{I_{OP} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \phi_T}}} \cdot \int_{0,1V_{DD}}^{0,9V_{DD}} \frac{dV_0}{1 - e^{\frac{-V_0}{\phi_T}}} \quad (3.17)$$

$$t_{HL(LH)} = \frac{C_O}{I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \phi_T}}} \left\{ 0,8 \cdot V_{DD} + \phi_T \cdot \ln \left(\frac{1 - e^{\frac{-0,9V_{DD}}{\phi_T}}}{1 - e^{\frac{0,1V_{DD}}{\phi_T}}} \right) \right\} \quad (3.18)$$

Pode-se observar na equação 3.18, que T_{HL} e T_{LH} são sensíveis à tensão de limiar V_t dos transistores, podendo até variar duas ordens de grandeza a variação destes tempos. A capacitância equivalente de carga C_O é formada pela capacitância do próximo estágio, nesse caso também um inversor, capacitâncias devido ao metal e polissilício para interconexão com o próximo estágio e capacitâncias intrínsecas do transistor, de acordo com a equação 3.19 [17].

$$C_O = \sum_{N,P} (C_{OV} + C_{jD}) + C_{INT} + \sum_{N,P} C_{GATE} \quad (3.19)$$

Onde C_{OV} é a capacitância de overlap, C_{jD} é a capacitância de junção de dreno, C_{INT} é a capacitância de interconexão com o próximo estágio e C_{GATE} é a capacitância do gate de cada transistor do próximo estágio.

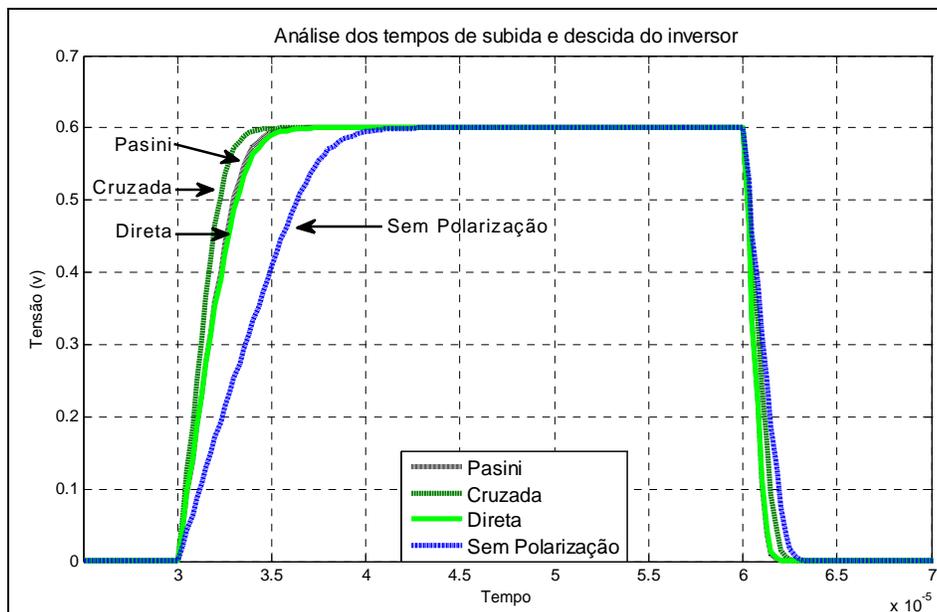


Fig. 3.18: Comparação entre os tempos de subida e descida do inversor dos polarizadores; Verificação da equalização das correntes PMOS e NMOS através da simetria entre T_{HL} e T_{LH} ; Comprovação do aumento de velocidade de processamento com o substrato polarizado. Tecnologia 0.18um TSMC

Na Fig.3.18 pode-se observar o comportamento do inversor com relação aos tempos de subida e descida. Vale analisar, nesta figura, uma característica enunciada anteriormente neste trabalho, a de que a polarização através do substrato pode aumentar a velocidade de processamento das portas, desde que a polarização de junção seja direta. Caso a polarização de junção seja reversa, acontecerá o inverso.

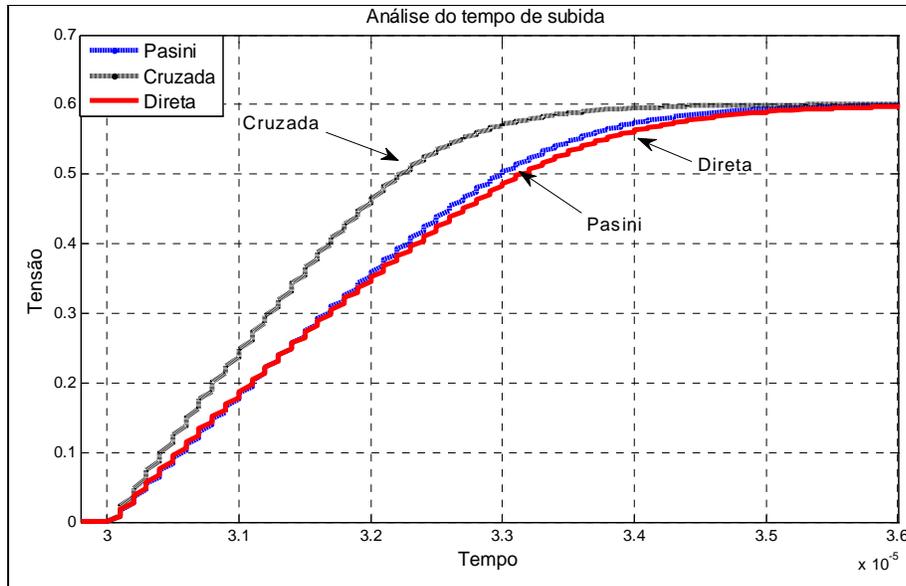
Importante ressaltar que, além de possibilitar um aumento na frequência, a polarização de substrato equalizou os tempos de subida (T_{LH}) e descida (T_{HL}). Isso se deve ao fato da razão entre as correntes do NMOS e PMOS terem sido diminuídas.

3.5.2 Comparações Utilizando o Inversor

Neste item, a atenção será voltada à escolha do circuito compensador que poderá polarizar o circuito prescaler, desenvolvido no capítulo posterior, visto que através de simulações anteriores ficou comprovada a grande vantagem de se utilizar esta técnica de polarização do substrato.

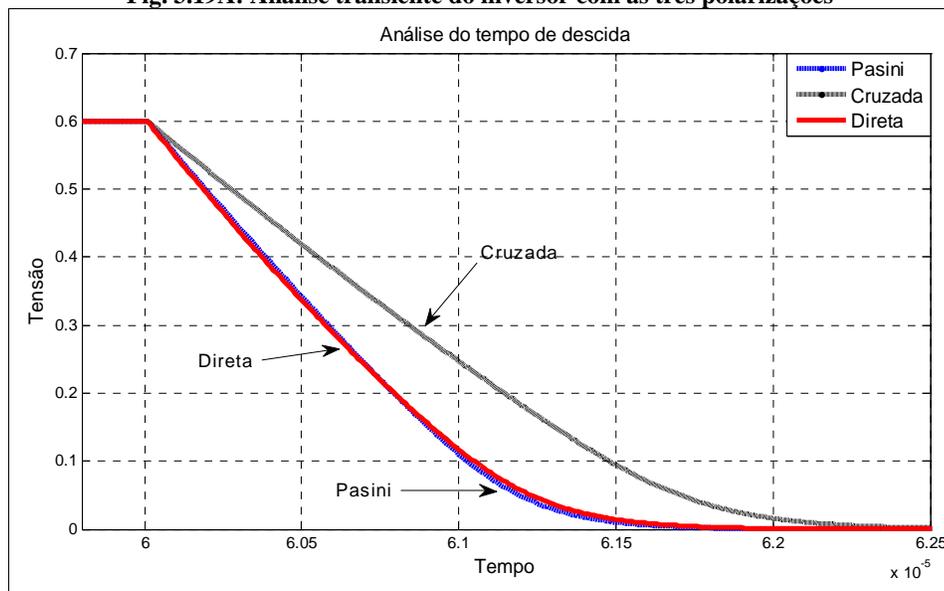
A figura 3.19 traz consigo um quadro comparativo da resposta transiente de um mesmo inversor quando submetido aos três diferentes circuitos compensadores, cujos resultados estão apresentados na Tabela 3.2. Esta simulação foi realizada com o simulador de circuitos Smash 5.2 (Dolphin), utilizando-se um inversor de dimensões mínimas para a

tecnologia 0.18 μ m, capacitor de 20pF na saída, tensão de alimentação de 0.6V, modelo BSIM 3.3 level 8.



(A) tempo de subida

Fig. 3.19A: Análise transiente do inversor com as três polarizações



(B) tempo de descida

Fig 3.19B: Análise transiente do inversor com as três polarizações

Tabela 3.2: Tempos de Subida T_{LH} e Descida T_{HL} dos Circuitos Polarizadores

Circuito	T _{LH} (us)	T _{HL} (us)	t _p (us)
Direto	3,2	1,1	1,09
Cruzado	2,3	1,51	1,01
Pasini	3,0	1,06	1,10

Observando ainda a Tabela 3.2, pode-se notar que além dos tempos de subida e descida dos inversores, consta uma coluna denominada t_p (delay), relativa ao atraso médio do sinal. Para realizar a extração do valor de atraso das portas lógicas, foram considerados os valores no nível de 50% de V_{DD} , conforme indicado na Fig. 3.20 e seguindo a equação 3.20.

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (3.20)$$

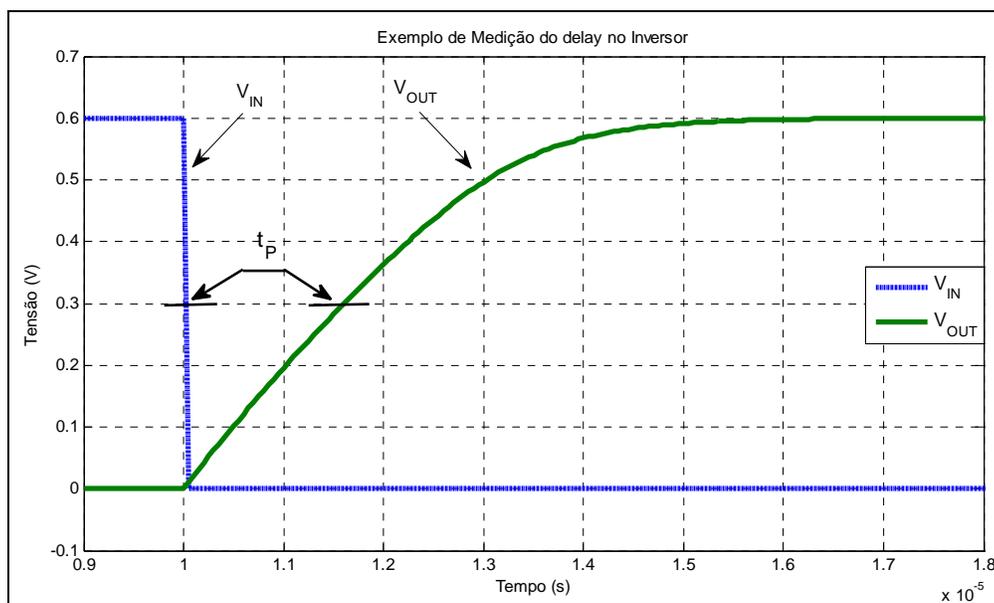


Fig 3.20: Explicativo de medição do delay

3.5.3 Dissipação de Potência

Normalmente, a potência em um circuito eletrônico pode ser dividida em potência dinâmica e de curto-circuito, que dependem da frequência de operação do circuito, e potência estática, que independe da frequência. A potência dinâmica, P_{DIN} , é devida à energia necessária para carregar e descarregar a capacitância de carga. Pode ser calculada através da energia média transferida através carga, num ciclo completo de chaveamento. Assim:

$$Q = C_o \cdot V_{DD} \quad (3.21)$$

$$\frac{Q}{T} = I_{MED} = C_O \cdot V_{DD} \cdot f \quad (3.22)$$

$$P_{DIN} = I_{MED} \cdot V_{DD} \quad (3.23)$$

$$P_{DIN} = C_O \cdot V_{DD}^2 \cdot f \quad (3.24)$$

onde Q é a carga acumulada no capacitor e I_{MED} é a corrente média através da fonte de alimentação. A potência de curto-circuito, devido à condução simultânea dos transistores, é uma pequena fração da potência dinâmica.

A potência estática é devida à dissipação de energia através dos transistores quando os mesmos estão cortados. Entretanto, de forma semelhante ao circuito de compensação, ao se polarizar o substrato e o poço do inversor com a tensão V_W , os diodos de fonte ficam diretamente polarizados. Dependendo do nível de tensão na saída do inversor, os diodos de dreno também poderão ficar diretamente polarizados, dissipando energia.

Comparando a dissipação de potência nos diodos com os transistores cortados, estes dissipam uma quantidade de energia desprezível. O esquemático do inversor, com os diodos de fonte e dreno, é mostrado na Fig.3.21.

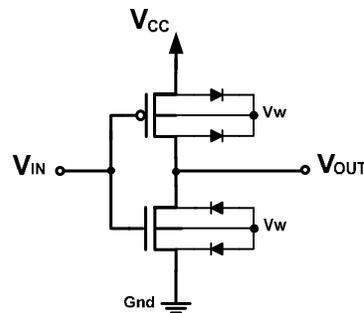


Fig.3.21: Inversor com diodos de fonte e dreno

A corrente através dos diodos pode ser aproximada por

$$I = I_S \cdot e^{\frac{V_D}{\eta \phi_T}} \quad (3.25)$$

onde I_S é uma corrente de escala, η é o coeficiente de emissão e V_D é a tensão através dos terminais do diodo. Os diodos de fonte estão sempre conduzindo, enquanto que os diodos

de dreno só conduzem metade do ciclo, pois a tensão de saída do inversor faz com que um deles fique reversamente polarizado. Assim, a potência estática nos diodos pode ser calculada pela soma da potência nos diodos.

$$P_{EST} = P_{D,NS} + P_{D,ND} + P_{D,PS} + P_{D,PD} \quad (3.26)$$

$$P_{EST} = \left(I_{SN} \cdot e^{\frac{V_{DD}}{2 \cdot \phi_T}} + \frac{1}{2} \cdot I_{SN} \cdot e^{\frac{V_{DD}}{2 \cdot \phi_T}} + I_{SP} \cdot e^{\frac{V_{DD}}{2 \cdot \phi_T}} + \frac{1}{2} \cdot e^{\frac{V_{DD}}{2 \cdot \phi_T}} \right) \quad (3.27)$$

$$P_{EST} = \frac{3 \cdot V_{DD}}{2} \cdot e^{\frac{V_{DD}}{2 \cdot \phi_T}} \cdot (I_{SN} + I_{SP}) \quad (3.28)$$

A tensão nos diodos foi aproximada por $V_{DD}/2$. Os índices N e P indicam diodos de fonte e dreno dos transistores NMOS e PMOS, respectivamente. A equação (3.28) representa o pior caso de dissipação de potência estática porque o coeficiente de emissão dos diodos em (3.25) foi considerado igual a um.

Tabela 3.3: Comparação entre os circuitos; PDP(Power-Delay Product)

0.6 V / 20pF	Pot Est.	Pot Din.	P _{total}	t _p (us)	PDP (P _{total} * t _p)
Direto	34.69 pW	492 pW	526,7 pW	1,07	5,63 e-16
Cruzado	3.06 uW	429 pW	3,06 uW	1,01	3,09 e-12
Pasini	23.93 nW	466 pW	24,39 nW	1,10	2,68 e-14
Sem pol.	30 pW	83,2 nW	82,23 nW	2,7	2,22 e-13

Finalizando os quadros comparativos, a Tabela 3.3 resume o consumo de cada um dos circuitos diante da mesma situação. Alimentação de 0,6V, frequência de 50Khz e uma capacitância de 20pF. Nesta tabela encontra-se ainda na coluna da direita, uma figura de mérito conhecida na literatura, PDP, Power-Delay Product. O PDP é a multiplicação da potência consumida pelo atraso proporcionado pelo circuito. Assim, é vantajoso possuir o menor PDP possível.

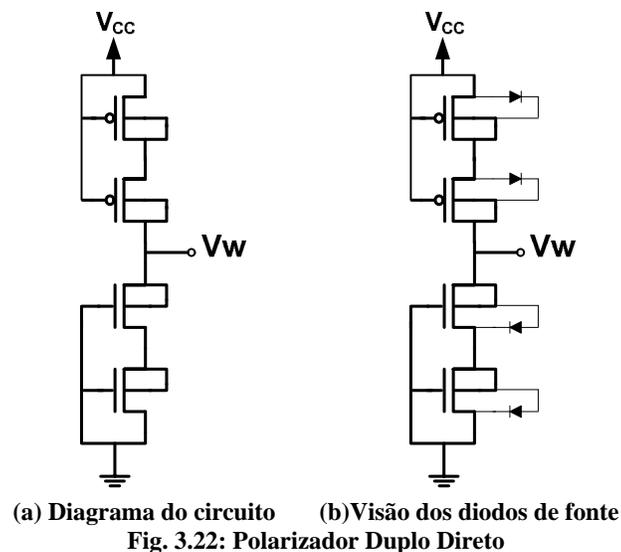
3.6 Polarização Dupla Direta

Conforme pode ser observado no item 3.3, assim que é estabelecida uma polarização direta sobre os diodos de fonte dos transistores, estes começam a conduzir corrente, consumindo em demasia. Seu incremento de magnitude é exponencialmente proporcional à tensão sobre eles, conforme pôde ser visto nas figuras 3.8 e 3.9. Esse comportamento exponencial se explica através da equação 3.29.

$$I_{diodo} = I_S \times e^{\frac{V_d}{\phi_r}} \quad (3.29)$$

Desta forma, o uso desses circuitos compensadores estava limitado a algo em torno de 1V de alimentação, pois a partir de 0,8V era possível notar o comportamento exponencial predominando no consumo de corrente do transistor. Com esse consumo crescente, haveria riscos eminentes à estrutura do circuito integrado mediante aplicações de tensões um pouco mais elevadas.

Sendo assim, uma nova topologia para circuito compensador das variações dos parâmetros tecnológicos é sugerida, com o objetivo de prolongar o seu uso na faixa de tensão, alcançando até a utilização em 1,8V, que é o limite da tecnologia 0.18µm. O circuito compensador é apresentado na Fig. 3.22(a), e na Fig. 3.22(b) tem-se a representação dos diodos de fonte do mesmo. A este circuito compensador foi dada a nomenclatura de Polarizador Duplo Direto.



Mediante a visualização dos diodos de fonte, pode-se notar sua ligação serial, fato este que continua proporcionando um divisor de tensão, porém dobra a tensão necessária para que as junções PN entrem na condição de condução direta, proporcionando assim que ao se aplicar tensões maiores, as correntes circulem pelo canal e não pelos diodos.

Devido à utilização do conector de substrato dos 2 transistores centrais da topologia, esse circuito só se torna viável se acompanhado da tecnologia triple well (poço triplo), conforme indicado na Fig. 3.1, sob pena de criar-se um curto-circuito através do substrato.

A Fig. 3.23 ilustra o comportamento das correntes totais e do canal, onde é apresentado um gráfico extrapolado da tecnologia 0.18 μ m. Lembrando que o limite desta tecnologia é 1,8V. A extrapolação da tensão no gráfico tem o único intuito de proporcionar ao leitor a visualização do comportamento da corrente no transistor, que é exatamente igual a do circuito polarizador direta, porém o efeito dos diodos só começa a ser percebido em tensões acima de 1,5V.

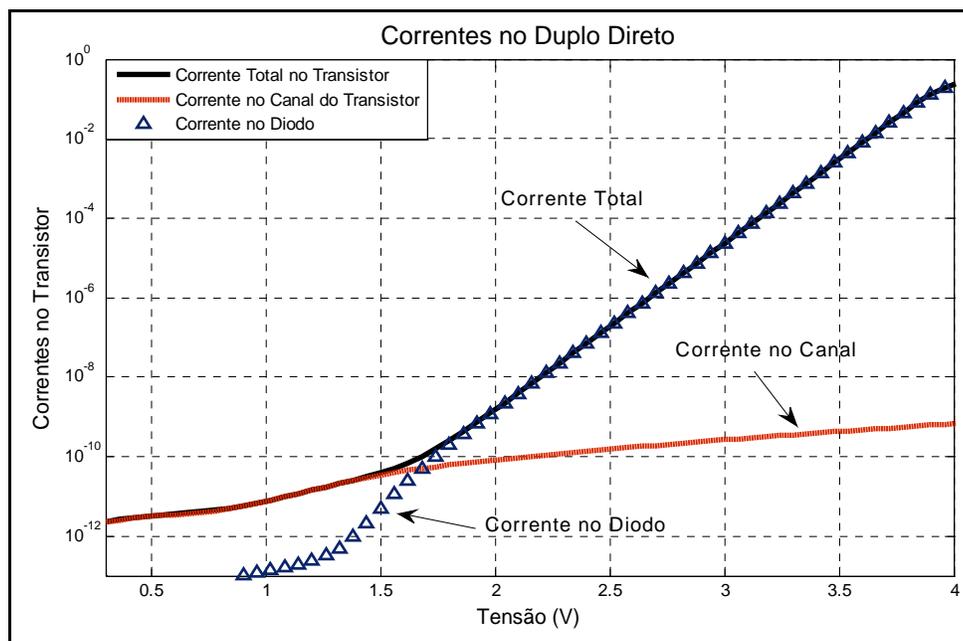


Fig. 3.23: Correntes total e no canal: Duplo Direto

A polarização direta foi a escolhida para servir de comparação com este circuito, pois como observado nos itens anteriores deste trabalho, nos circuitos estudados existentes na literatura para compensar as variações dos parâmetros tecnológicos, foi ele quem apresentou melhor rendimento, cujos resultados sintetizados se encontram na Tabela 3.3.

Portanto, a partir deste momento, iremos apresentar gráficos e resultados que façam a polarização duplo direta se confrontar com a polarização direta. A começar pela Fig. 3.24, onde é comparado o consumo de corrente total do transistor em função da tensão de alimentação. Este consumo é um dado essencial quando se pretende trabalhar com *ultra-low power*, e nota-se na Fig. 3.24, que o consumo de corrente no duplo direto é inferior.

Mais adiante, na Fig. 3.25, é observado o comportamento da corrente que flui nos canais dos circuitos compensadores, e nota-se novamente um consumo inferior no circuito polarizador duplo direto.

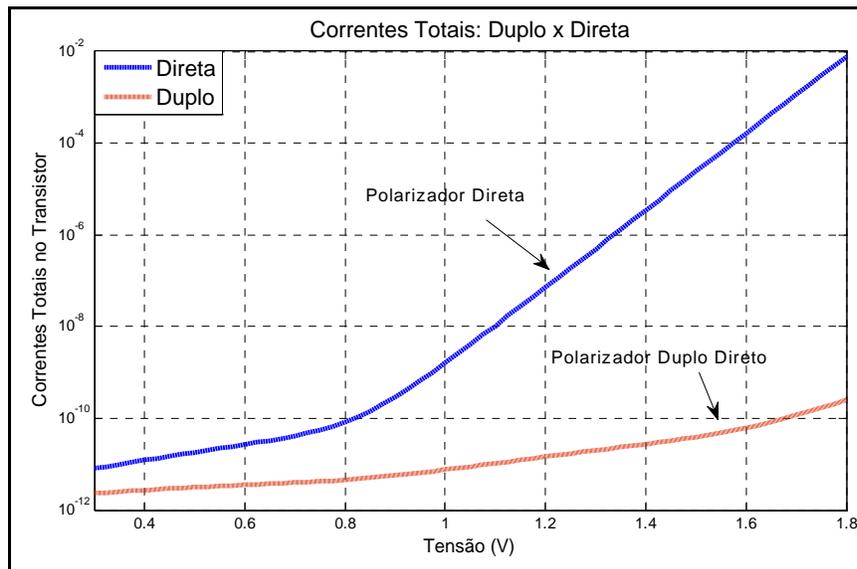


Fig. 3.24: Correntes totais no Transistor; Duplo x Direta

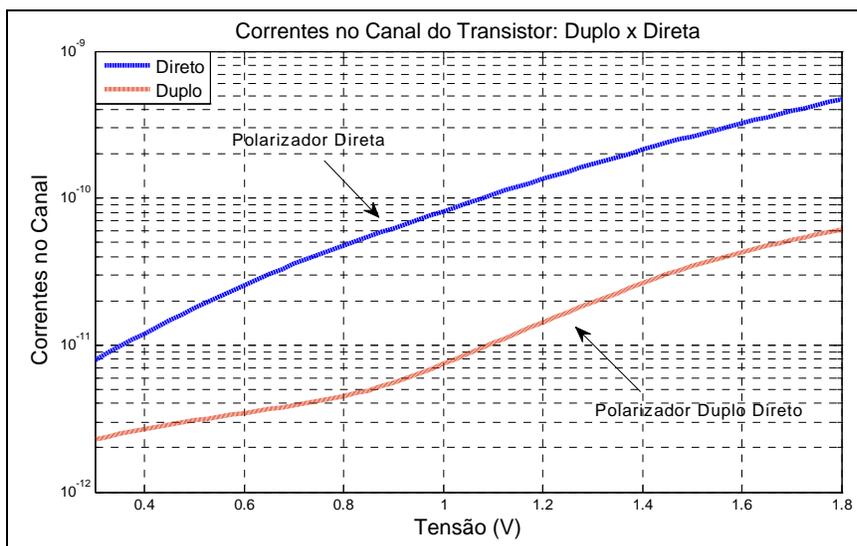


Fig. 3.25: Corrente no Canal; Duplo x Direta

Colocando o circuito compensador Duplo Direto ligado a um inversor, da mesma forma como foi feita com os demais, demonstrado na Fig. 3.14, polarizando o substrato e o poço dos transistores, realizou-se a simulação de equalização de correntes com parâmetros de simulação exatamente idênticos ao realizado anteriormente. O resultado obtido é apresentado na Fig. 3.26, cuja razão é de 2,6 entre as correntes nos transistores NMOS e do PMOS, o que indica que este circuito, assim como os demais, auxilia nesta tarefa de equalização.

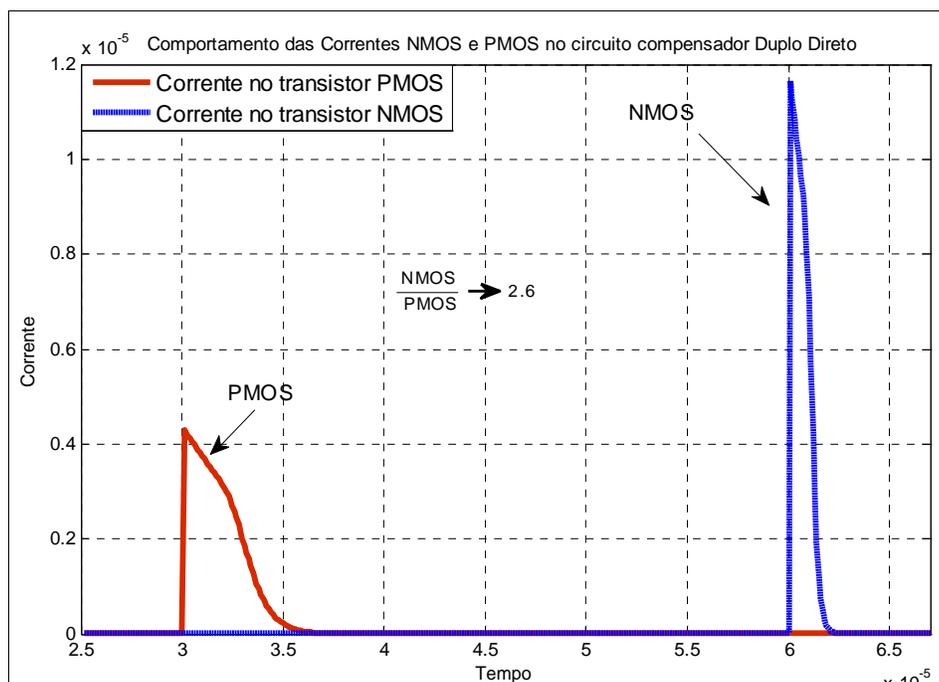


Fig. 3.26: Equalização das Correntes pelo Duplo Direto

A forma de onda de resposta ao pulso unitário se encontra na Fig. 3.27, onde aparecem as respostas de um inversor polarizado com os circuitos duplo direto, polarização direta, e também não polarizado. Frisando o comparativo com o circuito inversor não polarizado, nota-se que a equalização das correntes de PMOS e NMOS tende a equalizar os tempos de subida e descida, cujos resultados obtidos são ligeiramente inferiores à polarização direta, significando assim uma ligeira vantagem ao duplo direto, inclusive no tempo de delay, como analisado na Tabela 3.4.

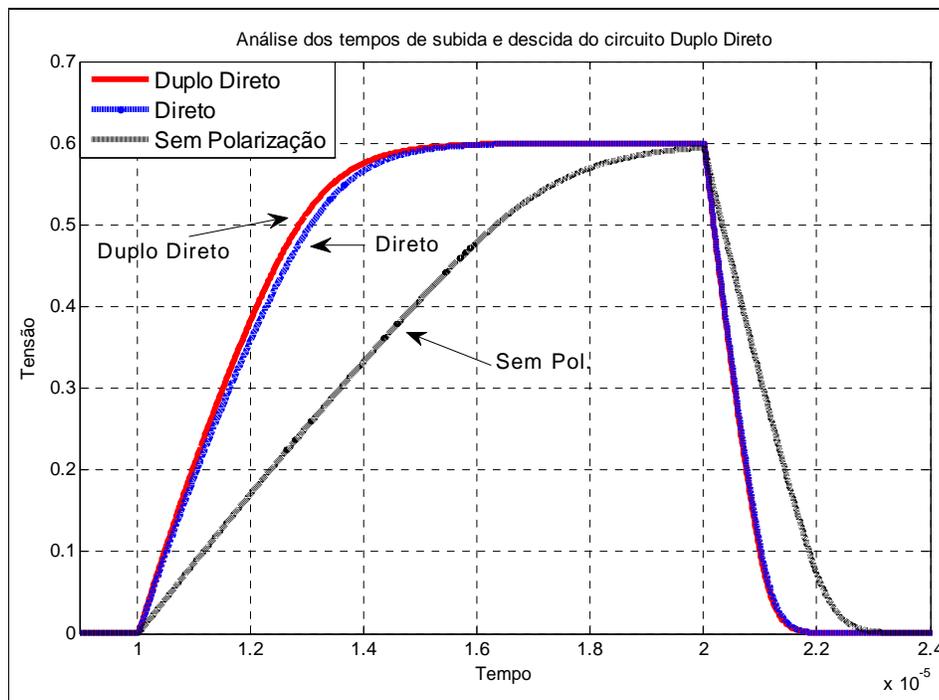


Fig. 3.27: Tempos de Subida e Descida do Duplo Direto

Tabela 3.4: Tempos de Subida, Descida e Delay

Circuito	T_{LH} (us)	T_{HL} (us)	t_p (us)
Direto	3,2	1,10	1,09
Duplo Direto	3,01	1,02	1,02

Para concluir com as comparações entre os circuitos polarizadores, serão analisados os resultados envolvendo as potências consumidas por cada um deles, bem como as figuras de mérito utilizadas como forma comparativa. Esses resultados estão apresentados na Tabela 3.5.

Tabela 3.5: Comparação Direto e Duplo Direto;; PDP (power-delay product)

0.6 V / 20pF	Pot Est.	Pot Din.	P_{total}	t_p (us)	PDP ($P_{total} * t_p$)
Direto	34.69 pW	492 pW	526,7 pW	1,07	5,63 e-16
Duplo Direto	22,69 pW	19,86 pW	42,55 pW	1,00	4,25 e-17

3.7 Conclusão

Diante dos resultados apresentados neste capítulo, desde o momento onde foram avaliados apenas os circuitos compensadores até os inversores por eles polarizados, o circuito de polarização direta, mostrado na Fig. 3.2(a) se demonstrou o mais econômico em termos de consumo de energia diante os estudados na literatura. Porém com a inserção da nova topologia duplo direto, este se mostrou ser mais veloz e econômico, possibilitando assim uma economia de energia ainda maior.

Embora o inversor polarizado pelo circuito compensador Duplo Direto possa até mesmo não apresentar uma resposta ao tempo de subida tão veloz quanto o circuito polarizador cruzado, este compensa tanto no tempo de descida quanto principalmente na questão de potência, foco principal do presente trabalho. Ressalta-se ainda que, em termos de potência consumida, a diferença entre eles é ainda mais discrepante, resultado que se refletiu nas figuras de mérito comparadas.

Sendo assim, tendo sempre em vista o foco principal desse trabalho, que é o *ultra-low power*, o circuito compensador escolhido é o Duplo Direto, que irá polarizar os circuitos no decorrer deste trabalho. Portanto, no próximo capítulo, todos os transistores que apresentarem substrato ou poço polarizado com a tensão V_w , está será gerada pelo circuito da Fig. 3.22(a).

4. Circuitos Prescaler Dual-Modulus (PDM)

4.1 Introdução

Sintetizadores de frequência que geram sinais sinusoidais com uma frequência especificada são usados para muitos propósitos, tanto em comunicações quanto em sistemas sensoriais [19,21]. Dentre vários sintetizadores, os circuitos PLL (Phase-Locked Loop) são os mais populares, e tornaram-se onipresentes nos sistemas de comunicações modernos devido a sua notável versatilidade.

Uma outra importante utilização dos PLL está na área de radares de distância e velocidade. Estes trabalham com ondas eletromagnéticas e necessitam de precisão, pois erros de fase no sinal transmitido irão acarretar em leituras equivocadas do resultado. Por essa razão os sistemas de radares necessitam de técnicas de varreduras lineares para minimizar estes erros [21].

Sua versatilidade também se estende aos sistemas puramente digitais, onde os PLL se tornaram indispensáveis na remoção de ruído, recuperação do sinal de clock, bem como na própria geração deste sinal.

O PLL é basicamente um circuito que sincroniza tanto em fase como em frequência, um sinal oriundo do VCO (Voltage Controlled Oscillator) com um sinal de entrada (referência). Quando da presença do sinal de referência, podemos dizer que o PLL entra no estado dito de sincronia, ou *locked*. Quando isso ocorre, o objetivo do circuito é fazer com que o erro de fase entre os sinais de saída do oscilador (VCO) e o sinal de referência seja zero, ou muito próximo disto.

A fig. 4.1 apresenta o diagrama em blocos de um PLL básico, composto por três blocos: um comparador de fase, um filtro passa-baixas e o VCO. O detector de fase tem como função gerar um sinal de erro Δe , indicando um erro de fase entre seus sinais de entradas, f_{in} e f_{out} . Este sinal de erro Δe passa pelo filtro LPF, o qual irá eliminar as componentes de alta frequência, e depois o aplica em VCO.

O VCO, por sua vez, irá aplicar na saída f_{out} uma frequência dependente do valor recebido do filtro, sincronizando automaticamente a saída do sistema com a entrada, tentando se ajustar para que o sinal de erro Δe seja nulo (ou constante).

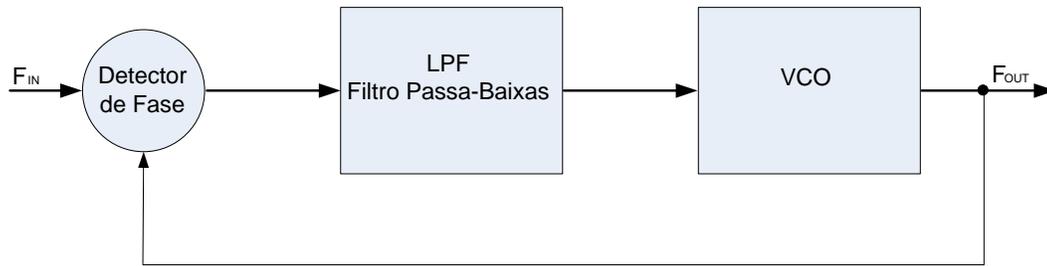


Fig 4.1: PLL genérico

A maioria dos sistemas PLL utiliza um prescaler conectado após o VCO, de forma a diminuir a frequência f_{out} que será comparada no detector de fase com f_{in} , fazendo com que a f_{out} possa ter um valor programável na saída em função do módulo do prescaler, conforme Fig. 4.2.

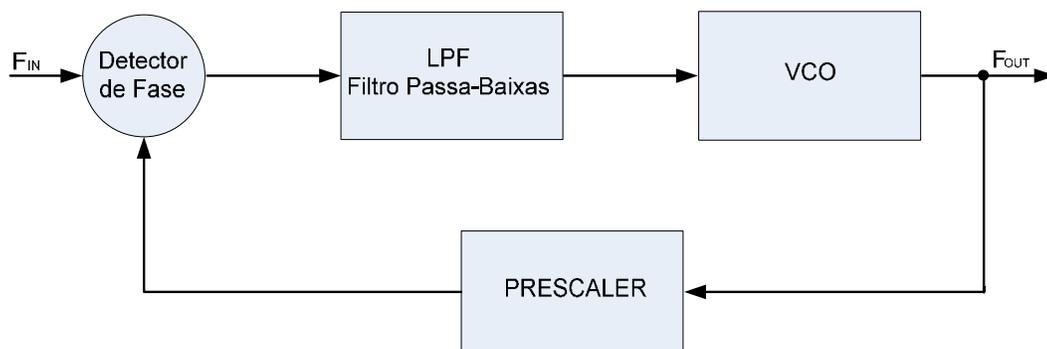


Fig 4.2: PLL com prescaler

Prescaler são basicamente circuitos que dividem a frequência por N ou $(N+1)$, de acordo com a variável de controle chamada de *control modulus*. Tipicamente, um circuito prescaler dual-modulus (PDM) é construído com duas partes distintas; um contador síncrono e um contador assíncrono. Isso reduz o número de flip-flops e assim permite ao circuito operar com frequências maiores com um consumo de potência menor [22]. Todos PDMs construídos aqui neste trabalho utilizam a topologia apresentada na Fig. 4.3.

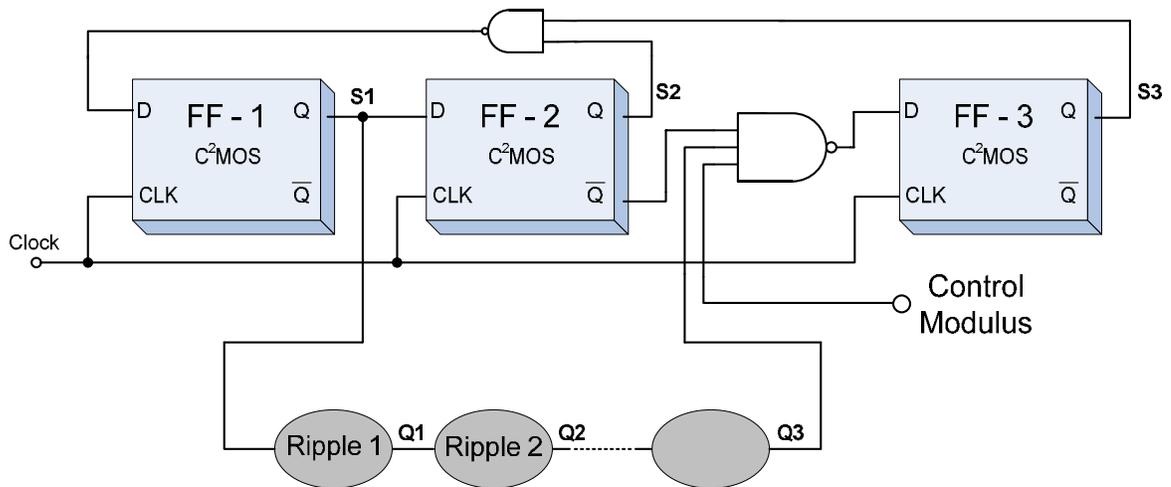


Fig. 4.3: Topologia do Prescaler Dual-Modulus

Diante da topologia, fica mais clara a visualização e distinção de ambas partes que compõem o circuito. A primeira parte é o contador síncrono, composto por três Flip-flops tipo D, construídos utilizando-se o C²MOS (circuito que será visto no próximo item). Essa parte síncrona, apesar de possuir três FF, pode ser interpretada como sendo um contador módulo quatro. Para isso, será considerado momentaneamente o terceiro FF travado, deixando S3 em nível lógico alto, fazendo com que a porta nand desenhada na parte superior da Fig. 4.3 atue como simples inversor para S2.

A outra parte importante do circuito PDM é a parte assíncrona, que neste trabalho será composta única e exclusivamente por circuitos divisores de frequência por dois, que, quando cascateados, dão origem ao chamado *Ripple Counter*. Vamos aqui denominar cada um destes divisores de frequência, por convenção e facilidade, apenas de *Ripple*. Esses circuitos divisores de frequência também serão vistos com maior clareza no decorrer deste capítulo.

Por fim, constam ainda no PDM, duas portas lógicas, as quais servem para realizar a devida lógica capaz de transformar os FF em contadores, e também permitir o acionamento de um módulo divisor diferenciado através da variável de controle *Control Modulus*.

Cabe ressaltar aqui que essa topologia permite que se construa um PDM módulo 4/5 e ainda, com extrema facilidade, é possível que se construa um PDM $[2^N/(2^N+1)]$, bastando para isso o acréscimo e/ou remoção de estágios dos circuitos divisores por dois (Ripple) da parte assíncrona do prescaler, conforme indicado na Fig. 4.3.

4.2 Prescaler Dual-Modulus 8/9 - C²MOS

4.2.1 Flip-Flop Tipo D – C²MOS

O FF construído com base em latches C²MOS (Clocked CMOS) é apresentado na Fig. 4.4 [12]. Este FF apresenta uma estrutura simétrica entre mestre e escravo, e é também relativamente simples. Segundo [12], existe uma relação linear proporcional entre largura do canal e o consumo de energia. Porém existe também uma relação inversa desta largura com o delay. Seguindo esse raciocínio, será utilizado w mínimo, visualizando sempre o menor consumo possível, embora não seja esse o ponto de otimização do circuito FF. A questão do desempenho em função da frequência será vista mais adiante, no decorrer deste capítulo.

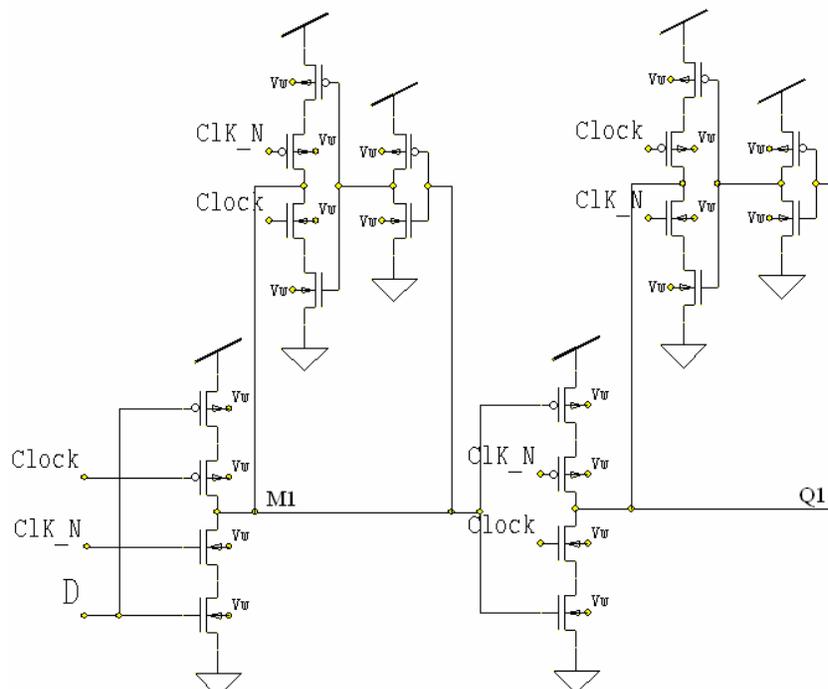


Fig. 4.4: Esquemático do FF Clocked CMOS (C²MOS)

O circuito C²MOS (Clocked CMOS) é basicamente uma porta dinâmica, que possui em sua estrutura redes PUN (Pull-Up Network) e PDN (Pull-Down Network). O circuito consiste de duas fases distintas, denominadas holding e inversão. Isso ocorre nas malhas individuais do FF.

Desta forma, o FF recebendo um sinal de clock de nível lógico baixo, vai permitir a passagem do sinal D pela rede PDN de entrada, invertendo o sinal. Este sinal, D invertido, será armazenado em M1, com o auxílio da rede de transistores que complementam a parte

mestre do FF. Porém este sinal não irá aparecer em Q1, pois a rede PUN que forma a parte escrava do FF estará bloqueada, fazendo assim com que o FF se comporte como um registrador durante o ciclo de clock de nível baixo.

Durante o sinal de clock de nível lógico alto, as redes se alternam, e a rede escrava que antes se encontrava bloqueando a passagem do sinal, agora habilita a inversão de M1, jogando o valor M1 invertido na saída, ou seja, o sinal de entrada D estará presente na saída após o encerramento deste ciclo de clock, sendo então ativo com a borda de subida. Já diante do nível lógico baixo, a parte mestre do FF estará bloqueada, mantendo desta forma o sinal M1 estático, estabilizando portanto a saída.

Este circuito apresenta vantagens na flexibilidade do projeto, pois além de apresentar dupla função, permite ainda uma facilidade em se adicionar alternativas lógicas conforme o desejo do projetista. Mas as vantagens que cativaram o uso deste circuito para o projeto de *ultra-low power*, foi sua baixa sensibilidades a variações de processos e seu baixo consumo de potência. Deve-se registrar que esse circuito possui uma frequência de operação baixa e necessita de clock complementar.

A Tabela 4.1 apresenta os resultados obtidos através de simulação (Smash 5.2, BSIM 3.3V) para um circuito composto de dois FF C²MOS, formando um contador módulo 4. Todos os transistores simulados apresentam comprimento e larguras mínimos, e lembrando que estão polarizados com o circuito de polarização duplo direta.

Tabela 4.1: Contador Módulo 4: FF C²MOS

FF C ² MOS					TSMC 0.18
Tensão	Freq. Máx	Potência			FOM (GHz/mW)
		Estática	Dinâmica	Total	
0,3 V	2MHz	0,8 nW	1,44 nW	2,24 nW	892
0,6 V	200MHz	247 nW	751 nW	1 uW	200
0,9 V	840 MHz	8,51 uW	7,36 uW	15,87 uW	53
1,2 V	1,42 GHz	67,95 uW	30,9 uW	98,85 uW	14,36
1,5 V	2GHz	720 uW	544 uW	1,26 mW	1,5
1.8 V	2,8GHz	189 mW	154 mW	343 mW	0,008

A coluna FOM (figure of merit), como o próprio nome indica, é uma figura de mérito para que possamos utilizá-la como instrumento de comparação entre os circuitos. Esta figura de mérito está relacionando à potência e frequência, sendo ela dada pela divisão da frequência em GHz e pela potência, em mW.

Através dos dados obtidos apresentados na tabela 4.1, fica evidente a utilização desta topologia de flip-flop apenas para tensões pequenas. Seu uso também fica comprometido diante de frequências mais elevadas. Isso se deve ao fato das malhas do c^2 mos apresentarem uma pequena corrente de curto-circuito quando do chaveamento do clock. Em baixas frequências, esta corrente é desprezível, mas se torna extremamente significativa com o aumento da frequência.

4.2.2 Ripple Counter

O PDM projetado neste trabalho conta, na sua parte assíncrona, com contadores simples, circuitos divisores de frequência por 2, isso devido ao seu consumo ser menor. Podemos usufruir também de sua praticidade na inclusão ou exclusão de estágios, facilitando assim a flexibilidade de variação do módulo do contador. Como circuito divisor por dois, teremos como base o circuito proposto por [13], o qual faz uso de latches N e P alternados.

Outro fator que justifica a escolha da topologia do PDM, colocando o divisor de frequência por dois em estágios mais lentos, é que o mesmo permite que se trabalhe com frequências mais baixas. Assim, o tamanho dos transistores pode ser pequeno, reduzindo a carga sobre os estágios anteriores, sendo assim uma técnica interessante para se reduzir consumo. A carga é um problema para contadores assíncronos. Em contadores crescentes, a variação de nível está relacionada com a borda de descida. Portanto, se necessário (devido ao número de ripples), será trabalhado aqui com contadores binários decrescentes.

Circuitos divisores de frequência por dois, dinâmicos, quando cascadeados, formam um contador simples, e têm como princípio de funcionamento o armazenamento e transferência de cargas ao longo dele, o que pode ser um problema quando a frequência de operação for baixa.

Para evitar este inconveniente foi utilizada uma versão estática destes, para que se pudesse alongar os pulsos na saída, sem comprometer o funcionamento, inserindo dois transistores na saída do mesmo, conforme apresentado na Fig. 4.5.

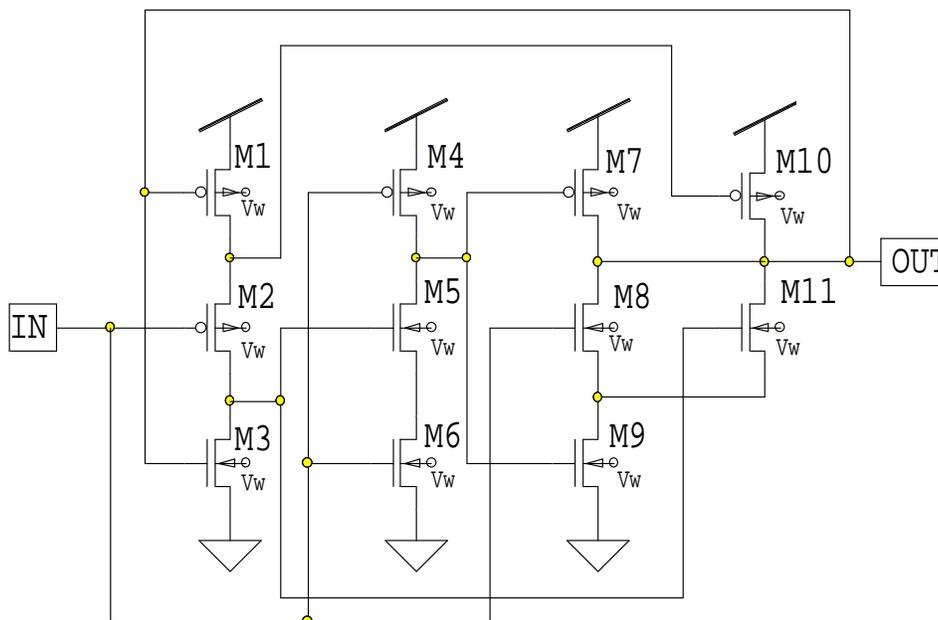


Fig. 4.5: Divisor de Frequências por dois: versão estática

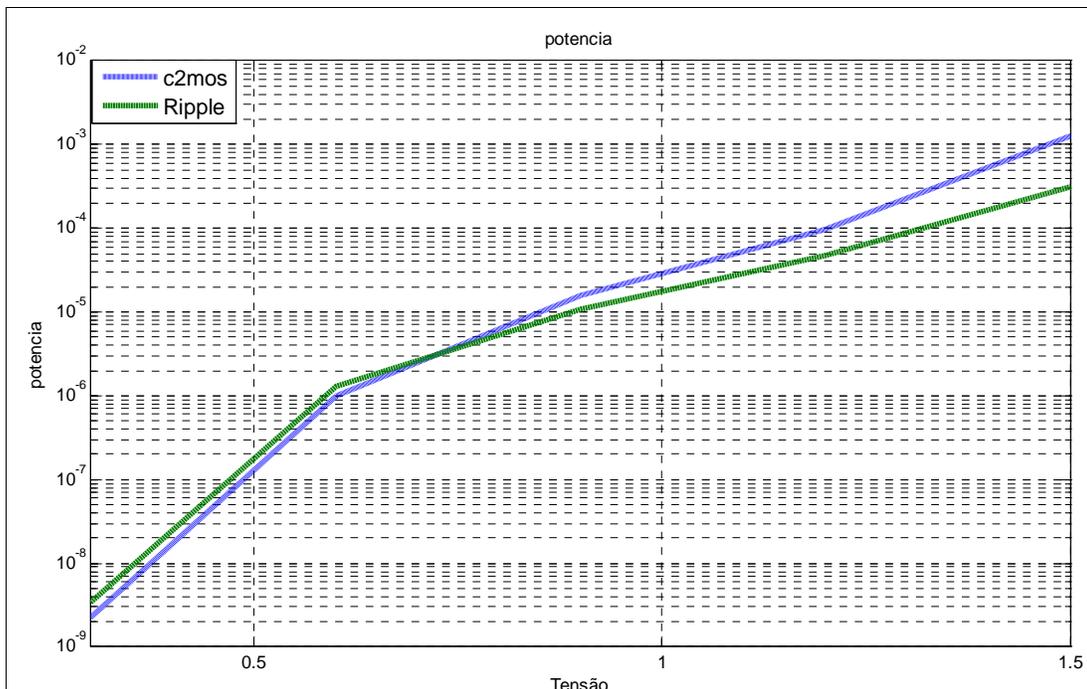
Tabela 4.2: Contador Módulo 4: Ripple

RIPPLE					TSMC 0.18
Tensão	Freq. Máx	Potência			FOM (GHz/mW)
		Estática	Dinâmica	Total	
0,3 V	2,4MHz	328 pW	3,12 nW	3,45 nW	695
0,6 V	370 MHz	60,28 nW	1,24 uW	1,3 uW	285
0,9 V	1,25 GHz	3,36 uW	7,39 uW	10,75 uW	116
1,2 V	2,5 GHz	27,28 uW	19,44 uW	47,31 uW	53
1,5 V	3,34 GHz	329 uW	51,8 uW	308,8 uW	8,7
1.8 V	4,54 GHz	88,74 mW	129 uW	88,89 mW	0,05

Observa-se na Tabela 4.2 um comportamento de consumo de energia semelhante ao do circuito visto no item anterior, onde a potência aumenta de forma exponencial com a tensão, inviabilizando seu uso para tensões mais elevadas. Esse aumento do consumo, em especial o consumo estático, se deve aos dois transistores de saída, que formam a parte estática do circuito.

A Fig. 4.6 nos facilita a observação do comportamento do consumo de potência entre os dois circuitos utilizados no PDM. Nota-se no gráfico um comportamento

semelhante, com um leve consumo inferior no circuito denominado Ripple Counter. Embora nas tensões menores o Ripple counter apresente um consumo ligeiramente superior, a ordem de grandeza da potência para ambos torna a diferença entre eles praticamente irrelevante, se comparada a diferença entre eles para tensões um pouco mais elevadas, sendo este então, mais um argumento para justificar a escolha pelo ripple counter na parte assíncrona do PDM.



**Fig 4.6: Comparativo do consumo de potência total entre os circuitos C²MOS e Ripple Counter
Frequência de 50KHz**

4.2.3 Resultados obtidos

Simulando o circuito apresentado na Fig. 4.3 utilizando os circuitos descritos anteriormente, obtêm-se os resultados apresentados na Tabela 4.3.

Tabela 4.3: Resultados Obtidos do PDM módulo 8: C²MOS

Prescaler 8/9 C ² MOS					TSMC 0.18
Tensão	Freq. Máx	Potência			FOM (GHz/mW)
		Estática	Dinâmica	Total	
0,3 V	1,35 MHz	88,2 pW	1,08 nW	1,17 nW	794
0,6 V	185 MHz	23 nW	940 nW	963 nW	192
0,9 V	715 MHz	3,87 uW	8,32 uW	12,2 uW	58
1,2 V	1,4 GHz	104 uW	38,45 uW	142,4 uW	9,8
1,5 V	2 GHz	1,11 mW	891 uW	2 mW	1

A Fig. 4.7 mostra a visualização obtida da frequência dividida pelo prescaler, em ambos os módulos, 8 e 9. A Fig. 4.7A mostra um funcionamento perfeito do prescaler, que com uma frequência de 100MHz sobre 0,6V, consegue efetuar a divisão da frequência conforme foi projetada. Já na Fig. 4.7B, consta o resultado de uma frequência injetada na entrada do circuito acima do limite deste. Nota-se, pela Tabela 4.3, que para uma tensão de 0,6V o limite do circuito é de 185MHz, e neste exemplo a frequência é de 200MHz. O resultado obtido é uma taxa de divisão da frequência equivocada.

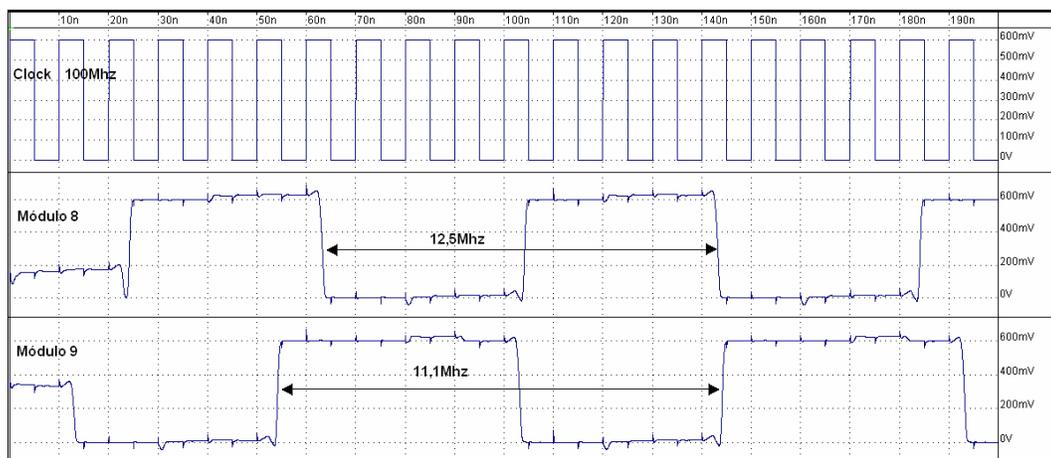


Fig 4.7A: Resultado da Saída do PDM para 100MHz a 0,6V

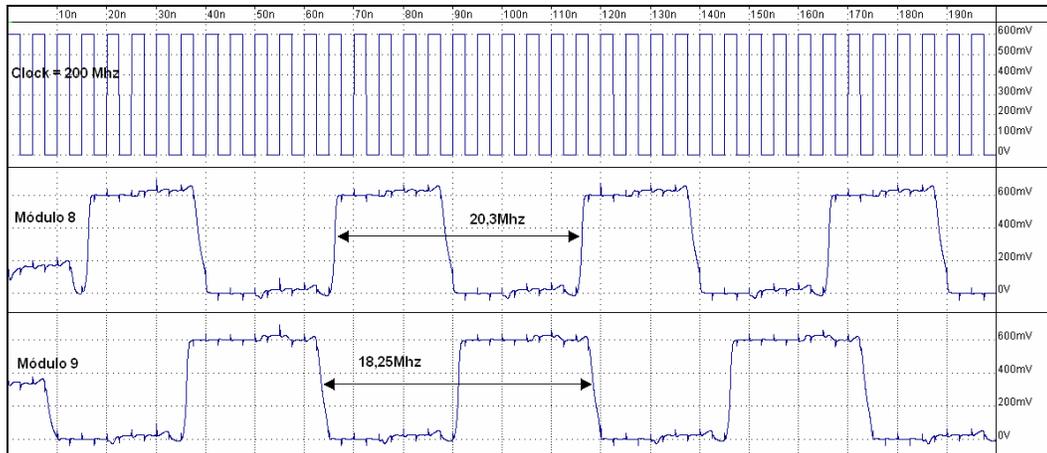


Fig 4.7B: Saída do PDM comprova que o circuito extrapolou seu limite de frequência. Taxa de divisão incorreta

4.3 Prescaler Dual-Modulus 8/9 - E-TSPC

Sabendo-se que a parte síncrona é extremamente crítica quanto à questão da limitação da frequência, e tendo em vista a grande utilização de circuitos prescalers em PLLs, foi proposto um outro circuito PDM, como alternativa para frequências mais elevadas. Este novo PDM conta em sua parte síncrona com circuitos E-TSPC, com a finalidade de permitir ao PDM um alcance maior de frequência de operação, mantendo um baixo consumo de potência.

4.3.1 FF Tipo D – Extended True-Single-Phase-Circuit (E-TSPC)

O TSPC é composto pelos chamados n-latch e p-latch. Quando o clock se encontra em nível lógico alto, o n-latch conduz, e com o clock em baixo, desabilita. O p-latch funciona de maneira inversa.

O E-TSPC é uma proposta pra aumentar a frequência máxima do circuito, fugindo um pouco da proposta de *ultra-low power*. O delay deste circuito proposto por [23] é menor devido à redução de carga capacitiva do circuito, mostrado na Fig. 4.8.

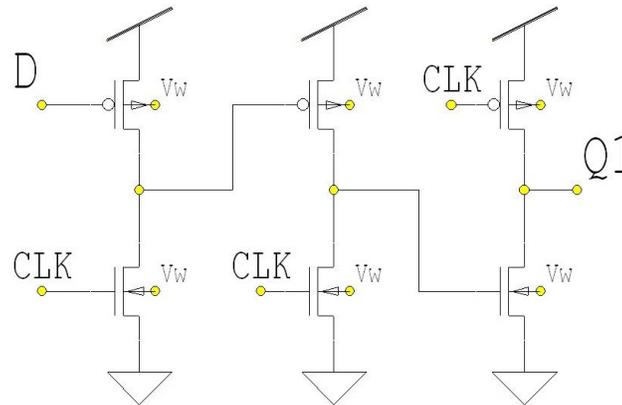


Fig. 4.8: Circuito e-tspc

Seguindo a mesma lógica dos circuitos anteriores (C^2 mos e ripple), montando um divisor de frequência módulo 4, obtêm-se os resultados apresentados na tabela 4.4.

Tabela 4.4: Contador Módulo 4: E-TSPC

E-TSPC					TSMC 0.18
Tensão	Freq. Máx	Potência			FOM (GHz/mW)
		Estática	Dinâmica	Total	
0,3 V	5,5 MHz	5,58 nW	8,65 nW	14,23 nW	386
0,6 V	1 GHz	2,8 uW	5,95 uW	8,75 uW	114
0,9 V	2,5 GHz	29,5 uW	45 uW	74,5 uW	33
1,2 V	6,25 GHz	101 uW	130 uW	231 uW	27
1,5 V	6,5 GHz	282 uW	470 uW	752 uW	8,77
1.8 V	6,6 GHz	98 mW	480 uW	98,5 mW	0

As figuras 4.9A e 4.9B apresentam um quadro comparativo do consumo de potência e da frequência máxima de operação para os três circuitos (C^2 MOS, Ripple, E-tspc). Nota-se que o circuito E-tspc realmente apresenta uma nova proposta, onde apesar de possuir um consumo de potência superior a ambos vistos no item anterior, ele compensa com um frequência máxima muito mais elevada, o que pode viabilizar seu uso para outras aplicações que necessitem de maior velocidade, mantendo um baixo consumo de energia.

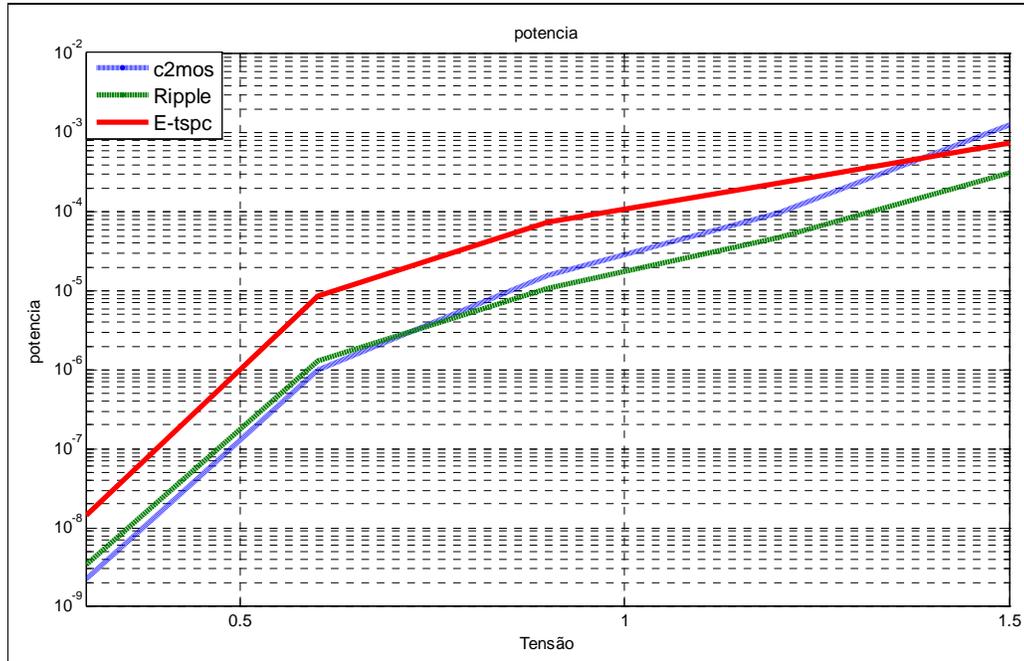


Fig 4.9A: Comparativo entre os circuitos: Potência

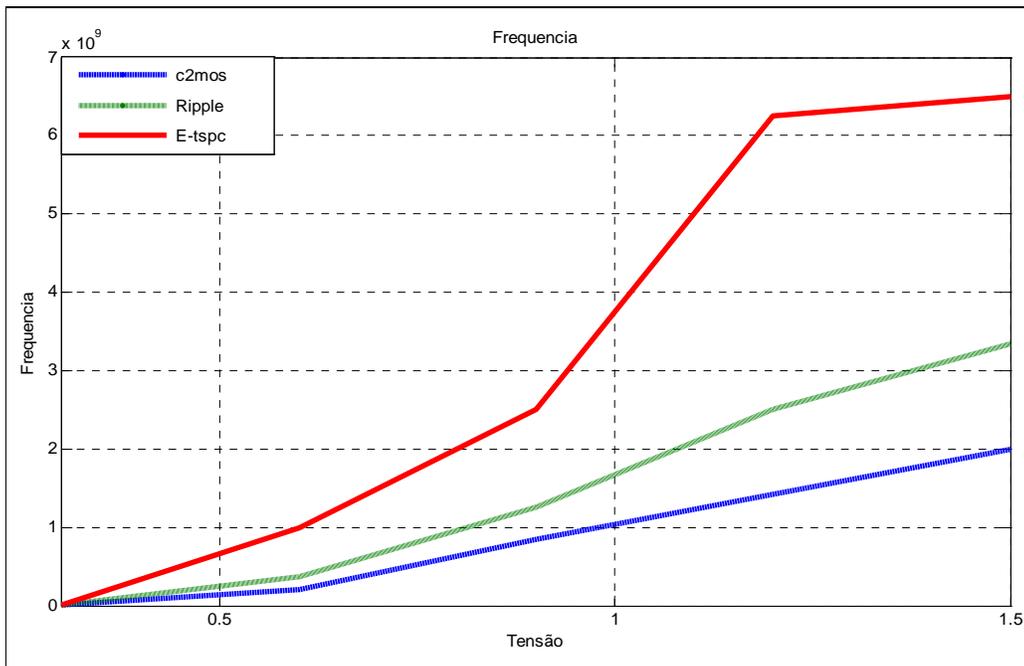


Fig 4.9B: Comparativo entre os circuitos: Freqüência

4.3.2 Resultados obtidos

Utilizando-se da topologia apresentada na Fig. 4.1, porém agora se fazendo valer do circuito e-tspc em substituição ao circuito c^2 mos na parte assíncrona do Prescaler, obtêm-se os resultados apresentados na Tabela 4.5. A Fig. 4.10 apresenta o sinal de saída do PDM e-tspc quando submetido a uma frequência mais elevada para a tensão de 0,6V, conforme a Tabela 4.5.

Tabela 4.5: Resultados Obtidos do PDM módulo 8: e-tspc

Prescaler 8/9 E-tspc					TSMC 0.18
Tensão	Freq. Máx	Potência			FOM (GHz/mW)
		Estática	Dinâmica	Total	
0,3 V	2,85 MHz	10 nW	13,4 nW	23,4 nW	122
0,6 V	670 MHz	5,1 uW	8,79 uW	13,9 uW	48
0,9 V	2 GHz	45,1 uW	65,5 uW	110,6 uW	18
1,2 V	3,12 GHz	153 uW	194 uW	347 uW	9
1,5 V	3,6 GHz	1,03 mW	432 uW	1,46 mW	2,46

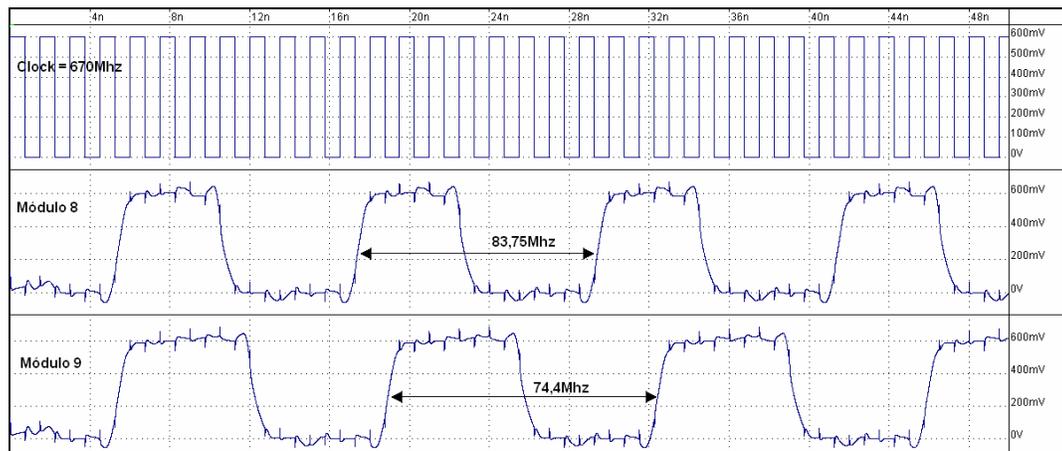


Fig 4.10: Forma de Onda da saída do PDM E-tspc no limite da frequência de operação

Para melhor entendimento sobre o rendimento de ambos PDM, a Fig. 4.11 apresenta o confrontamento de ambos PDMs em consumo de potência e frequência. Observando a comparação gráfica, pode-se notar a distinção de proposta entre os dois projetos. Enquanto o PDM composto pelo c^2 mos tem como objetivo primordial o ultra-

low-power, o circuito PDM e-tspc apresenta um desempenho em frequência muito maior, mantendo um consumo de potência satisfatório, chegando inclusive a ser inferior ao c²mos nas tensões próximas do limite da tecnologia que é 1.8V.

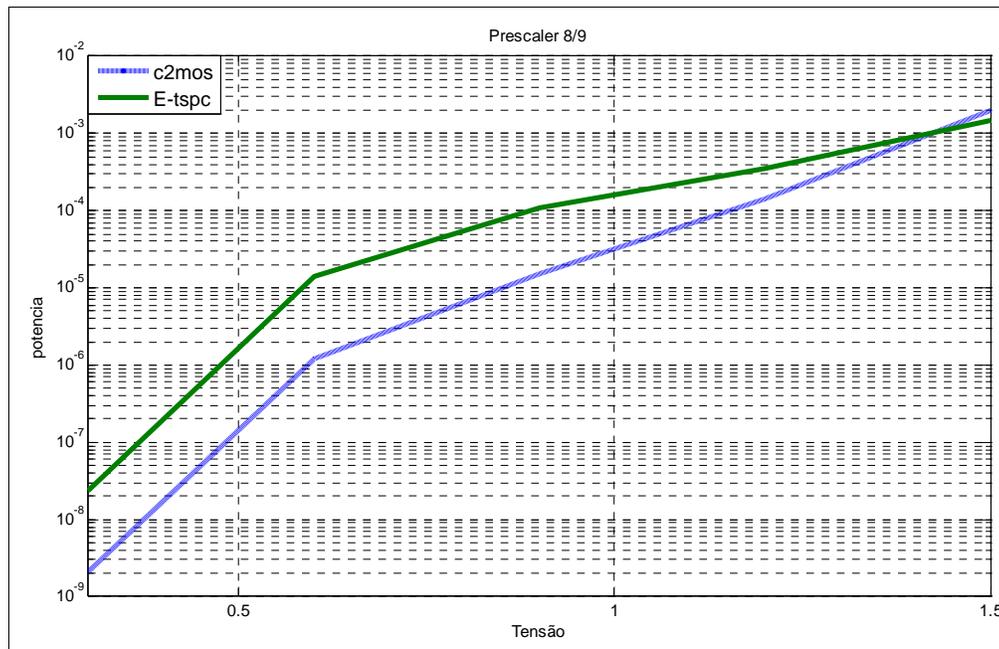


Fig 4.11A: Comparativo entre os PDM's : Potência

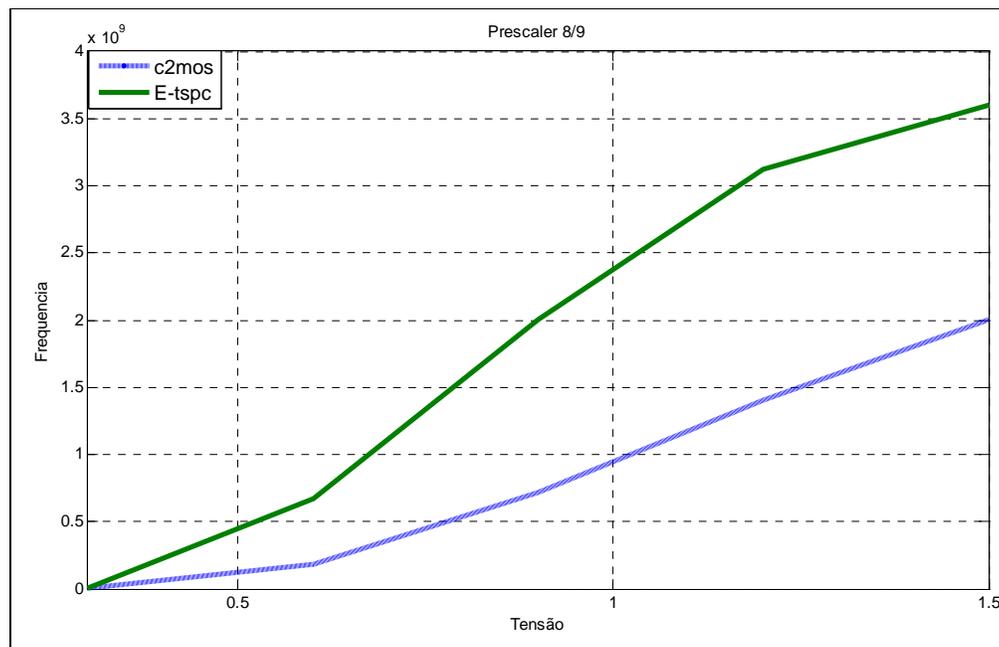


Fig 4.11B: Comparativo entre os PDM's: Frequência Máxima

Por fim, a tabela 4.6 confronta os valores obtidos para cada PDM, trabalhando sobre a mesma frequência de operação.

Tabela 4.6: Comparativo de potência entre os PDM's propostos sobre uma frequência fixa

Tensão	Freq	E-TSPC			C ² MOS		
		Potência Dinâmica	Potência Estática	Potência Total	Potência Total	Potência Dinâmica	Potência Estática
0,3 V	1 MHz	11,9 nW	10 nW	21,9 nW	1,1 nW	1,02 nW	88,2 pW
0,6 V	100MHz	7,22 uW	5,1 uW	12,32uW	481,5nW	458 nW	23,5 nW
0,9 V	500MHz	54,6 uW	45,6 uW	100 uW	9,28 uW	5,54 uW	3,74 uW
1,2 V	1 GHz	165 uW	153 uW	318 uW	131 uW	27,2 uW	104 uW
1,5 V	1,5 GHz	398 uW	1,03 mW	1,43mW	2 mW	895 uW	1,1 mW

4.4 Comparações com outros estudos

De modo que se possa mensurar o resultado dos PDM's propostos neste trabalho, recorreu-se à figura de mérito FOM para que se consiga traçar um paralelo com os demais estudos. Como pode ser observado no decorrer deste capítulo, essa figura de mérito se fez presente nas tabelas de resultados envolvendo cada um dos PDM. Para acompanhar grande parte da literatura existente, aqui é válido também $FOM = GHz/mW$.

Desta forma, a tabela 4.7 apresenta a comparação de ambos PDM's propostos, com os de melhor rendimento em tecnologia CMOS encontrados na literatura. Vale lembrar que, pelo fato da proposta principal ser o *low power*, a tensão de objeto de estudo é sempre menor neste trabalho.

Tabela 4.7: Tabela comparativa com outros estudos

Referência	Processo tecnologia	Taxa de divisão	Tensão de alimentação	FOM (GHz/mW)
Prescaler c ² mos	0.18 um	8/9	0,6	155
Prescaler e-tspc	0.18 um	8/9	0,6	48
[24]	0.35 um	64/65	1,5	2,76
[25]	0.24 um	62/72	1,5	1,3
[26]	0.18 um	8/9	1,8	1.8

5. Conclusão

Nesta dissertação, foram apresentadas duas propostas de circuitos Prescaler Dual Modulus (PDM), ambas na tecnologia 0.18 μ m. O primeiro PDM apresentado foi construído à base de dois circuitos principais, c^2 mos e ripple counter, e teve como foco principal a obtenção do *ultra-low power*. Portanto, não foram apresentados resultados de um possível ponto de otimização do circuito, mas sim do ponto onde se obtém o menor consumo.

Já na segunda proposta, um PDM é construído com a utilização do circuito E-tspc em substituição ao c^2 mos. Tal circuito surgiu como uma alternativa para alcançar frequências mais elevadas quando em tensões menores. Ambos PDMs apresentaram consistência nos resultados obtidos, sendo plenamente viável o uso de quaisquer deles em uma topologia de PLL.

Para se alcançar o menor consumo possível, é necessário que o transistor MOS opere no regime de inversão fraca, tornando-se muito susceptível a quaisquer variações dos parâmetros tecnológicos. Para minimizar essas variações, foi proposto o circuito polarizador Duplo Direto (fig.3.18). Para se chegar à topologia deste circuito, foram estudados três circuitos anteriores, já existentes na literatura, mas que aqui tiveram sua comparação feita e analisada.

O circuito polarizador Duplo Direto conseguiu obter uma melhora tanto em termos de consumo quanto em termos de resposta em frequência quando comparado com os demais circuitos existentes. Porém, sua grande virtude se encontra na possibilidade de utilização em uma faixa maior de tensão, podendo ser utilizado até a tensão limite da tecnologia 0.18 μ m sem risco de queima do chip.

Como equalizador de correntes, o Duplo Direto conseguiu obter uma equalização de 25% das correntes dos transistores, resultado este que colaborou para se ter uma redução no tempo de atraso de resposta a um impulso em 45% (Fig.3.26), possibilitando então, além de uma economia de energia, uma maior velocidade de processamento.

Com acesso à tecnologia de fabricação de poço triplo, fica como proposta para continuação deste trabalho, a integração de ambos PDMs, assim possibilitando sua real utilização em circuitos de RF. Como continuidade deste trabalho, pode-se também estudar a otimização do ponto de funcionamento destes PDMs, uma vez que os transistores tiveram

seus W e L mínimos, com a intenção de obter o menor consumo, e não a melhor relação consumo/frequência.

Anexo 1

Parâmetros de Simulação BSIM 3.1, level 8 (smash 5.2 – Dolphin)

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

.MODEL NMOS NMOS (

LEVEL = 49

+VERSION = 3.1	TNOM = 27	TOX = 4.1E-9
+XJ = 1E-7	NCH = 2.3549E17	VTH0 = 0.3721873
+K1 = 0.5911956	K2 = 3.921742E-3	K3 = 1.000151E-3
+K3B = 2.3408239	W0 = 1E-7	NLX = 1.651214E-7
+DVT0W = 0	DVT1W = 0	DVT2W = 0
+DVT0 = 1.6194969	DVT1 = 0.4434883	DVT2 = 0.0377411
+U0 = 263.6485275	UA = -1.492724E-9	UB = 2.482782E-18
+UC = 6.383723E-11	VSAT = 1.032698E5	A0 = 1.9939594
+AGS = 0.4527086	B0 = 2.685118E-7	B1 = 4.99995E-6
+KETA = -0.017003	A1 = 6.568176E-4	A2 = 0.8797875
+RDSW = 132.0410344	PRWG = 0.3404812	PRWB = -0.2
+WR = 1	WINT = 1.028753E-9	LINT = 1.565169E-8
+XL = 0	XW = -1E-8	DWG = -1.93104E-10
+DWB = 8.049315E-9	VOFF = -0.094719	NFACTOR = 2.2755874
+CIT = 0	CDSC = 2.4E-4	CDSCD = 0
+CDSCB = 0	ETA0 = 1.758451E-3	ETAB = 9.472545E-6
+DSUB = 0.0144641	PCLM = 0.7440303	PDIBLC1 = 0.18136
+PDIBLC2 = 2.222848E-3	PDIBLCB = -0.1	DROUT = 0.7450261
+PSCBE1 = 8E10	PSCBE2 = 1.716632E-9	PVAG = 0.0100274
+DELTA = 0.01	RSH = 6.5	MOBMOD = 1
+KT1L = 0	KT2 = 0.022	UA1 = 4.31E-9
+UB1 = -7.61E-18	UC1 = -5.6E-11	AT = 3.3E4
+WL = 0	WLN = 1	WW = 0
+WWN = 1	WWL = 0	LL = 0
+LLN = 1	LW = 0	LWN = 1
+LWL = 0	CAPMOD = 2	XPART = 0.5
+CGDO = 8.35E-10	CGSO = 8.35E-10	CGBO = 1E-12
+CJ = 9.535627E-4	PB = 0.8	MJ = 0.3810046
+CJSW = 2.467097E-10	PBSW = 0.8019153	MJSW = 0.1146276
+CJSWG = 3.3E-10	PBSWG = 0.8019153	MJSWG = 0.1146276
+CF = 0	PVTH0 = -8.218351E-4	PRDSW = -1.1422115
+PK2 = 4.997963E-4	WKETA = -3.831524E-4	LKETA = -5.945726E-3

```

+PU0 = 5.9213884          PUA = -3.38549E-13      PUB = 5.82298E-24
+PVSAT = 1.653194E3      PETA0 = 1.002077E-4    PKETA = 2.200446E-3 )

MODEL PMOS PMOS (          LEVEL = 49

+VERSION = 3.1            TNOM = 27              TOX = 4.1E-9
+XJ = 1E-7               NCH = 4.1589E17       VTH0 = -0.3872686
+K1 = 0.5733099         K2 = 0.0278862        K3 = 0.0995787
+K3B = 12.2321319       W0 = 1.003165E-6      NLX = 9.90278E-8
+DVT0W = 0              DVT1W = 0             DVT2W = 0
+DVT0 = 0.4215552       DVT1 = 0.271132      DVT2 = 0.1
+U0 = 114.9805241       UA = 1.520989E-9      UB = 1E-21
+UC = -1E-10            VSAT = 1.885817E5     A0 = 1.8494892
+AGS = 0.4141676        B0 = 3.739781E-7      B1 = 2.127694E-6
+KETA = 0.0132342       A1 = 0.4167336        A2 = 0.3
+RDSW = 230.7377739     PRWG = 0.5            PRWB = -0.0915279
+WR = 1                  WINT = 0              LINT = 2.727307E-8
+XL = 0                  XW = -1E-8            DWG = -2.453983E-8
+DWB = 6.539536E-9      VOFF = -0.0935925     NFACTOR = 1.8680845
+CIT = 0                 CDSC = 2.4E-4         CDSCD = 0
+CDSCB = 0              ETA0 = 0.0159183      ETAB = -0.0256017
+DSUB = 0.8781458       PCLM = 2.9084578      PDIBLC1 = 1.334863E-4
+PDIBLC2 = 0.0330325    PDIBLCB = -1E-3       DROUT = 9.999773E-4
+PSCBE1 = 3.211749E9    PSCBE2 = 9.29484E-10 PVAG = 15.0473867
+DELTA = 0.01           RSH = 7.4             MOBMOD = 1
+KT1L = 0               KT2 = 0.022           UA1 = 4.31E-9
+UB1 = -7.61E-18        UC1 = -5.6E-11        AT = 3.3E4
+WL = 0                  WLN = 1               WW = 0
+WWN = 1                 WWL = 0               LL = 0
+LLN = 1                 LW = 0                 LWN = 1
+LWL = 0                 CAPMOD = 2            XPART = 0.5
+CGDO = 6.27E-10        CGSO = 6.27E-10      CGBO = 1E-12
+CJ = 1.134847E-3       PB = 0.8461774        MJ = 0.4093662
+CJSW = 2.105053E-10    PBSW = 0.8348918      MJSW = 0.3165831
+CJSWG = 4.22E-10       PBSWG = 0.8348918    MJSWG = 0.3165831
+CF = 0                  PVTH0 = 2.296339E-3  PRDSW = 4.3064462
+PK2 = 2.178135E-3      WKETA = 0.0302304    LKETA = -1.973155E-3
+PU0 = -1.4000532       PUA = -5.44737E-11   PUB = 1E-21
+PVSAT = -50            PETA0 = -2E-4         PKETA = -4.057287E-3 )

```

Referências Bibliográficas

- [1] Chandrakasan, A. and Brodersen, R. W., *“Low Power Digital CMOS Design”*, Kluwer Academic Publishers, Boston, 1995.
- [2] Soeleman, H., Roy, K. and Paul, B., *“Robust ultra-low power sub-threshold DTMOS logic”*, pp 25-30, ISLPED 2000.
- [3] Chandrakasan, A. and Brodersen, R., *“Minimizing Power Consumption in Digital CMOS circuits”*, Proceedings of the IEEE, vol. 83, pp 498-523, n° 4, abril 1995.
- [4] Burd, Thomas D. and Brodersen R.W. *“Design Issues for dynamic Voltage Scaling”*, pp 9-14, ISLPED 2000.
- [5] Melek, L.A.P., *“Operação de Circuitos Lógicos CMOS de (Ultra)-Baixo Consumo”*, Dissertação de Mestrado, Florianópolis, 2004
- [6] Brodersen, R., *“Methods for True Power Minimization”*, ICCAD-2002 Digest of Technical Papers, November 2002, pp. 35-42.
- [7] Rogenmoser, R., Huang, Q. and Piazza, F., *“1.57GHz Asynchronous and 1.4GHz Dual-Modulus 1.2um CMOS Prescaler”*, pp 387-390, Custom Integrated Circuits Conference IEEE, 1994
- [8] Craninckx, J. and Steyaert, M.S.J., *“A 1.75GHz/3V Dual-Modulus Divide by 128/129 Prescaler in 0.7um CMOS”*, IEEE journal of Solid State circuits, vol.31, n° 7, pp 890-897, July 1996.
- [9] Soeleman, H., Roy, K., *“Ultra-Low Power Digital Subthreshold Logic Circuits”*, International Symposium on Low Power Electronics and Design, p.94-96, 1999.
- [10] Kao, J., Miyazaki, M., Chandrakasan, A., *“A 175-mV Multiply-Accumulate Unit Using an Adaptive Supply Voltage and Body Bias Architecture”*, IEEE Journal of Solid-State Circuits, vol. 37, no. 11, pp.1545-1554, November 2002.
- [11] Bryant, A., et al, *“Low-Power CMOS at $V_{dd}=4kT/q$ ”*, pp 22-23, Device Research Conference 2001
- [12] Stojanovic V. and Oklobdzija, G., *“Comparative analysis of master-slave latches and flip-flops for high-performance and low-power systems”*, IEEE Journal of Solid-State Circuits, vol. 34, pp 536-548, April 1999.
- [13] Yuan, J. R., *“Efficient CMOS counter circuits”*, Electronics Letters, vol. 24, pp 1311-1313, Aug. 1988.

- [14] Tsvividis, Y., “**Operation and Modeling of the MOS Transistor**”, Second Edition. New York: Oxford University Press, 1999
- [15] Galup-Montoro, C. and Schneider, M. C., “**Mosfet Modeling for Circuit Analysis and Desing**”, World Scientific, 2007
- [16] Cunha, A.I.A., Schneider, M. C. and Galup-Montoro, C., “**An MOS Transistor Model for Analog Circuit Design**”, IEEE Solid-State Circuits, vol. 33, n° 10, pp. 1510-1519, Oct. 1998.
- [17] Martin, K., “**Digital Integrated Circuit Design**”, New York: Oxford University Press, 2000
- [18] Weste, N. and Harris, D., “**CMOS VLSI Design**”, Third Edition. Pearson Education, 2005.
- [19] Pichler, M., et al, “**Phase-Error Measurement and Compensation in PLL Frequency Synthesizers for FMCW Sensors—I: Context and Application**”, IEEE Transactions on Circuits and Systems —I: Regular Papers, vol.54, N° 5, pp. 1006-1017, may 2007.
- [20] Lee, T.H., “**The Design of CMOS Radio-Frequency Integrated Circuits**”, Second Edition, Cambridge University Press, 2004.
- [21] Pichler, M., et al, “**Phase-Error Measurement and Compensation in PLL Frequency Synthesizers for FMCW Sensors—II Theory**”, IEEE Transactions on Circuits and Systems —I: Regular Papers, vol.54, N° 6, pp. 1224-1235, June 2007.
- [22] Chang, B., Park, J. and Kim, W., “**A 1.2 GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flops**”, IEEE Journal of Solid-State Circuits, vol 31, pp. 749-752, may 1996.
- [23] Navarro, J. and Van Noije, W.A.M., “**E-TSPC: Extended True-Phase-Clock CMOS Circuit technique for high speed application**”, IEEE Journal of solid-state devices and circuits, vol. 5, pp. 21-26, 1997.
- [24] Chong-chon and Kwok-Keung “**Ultra Low Power 2.4-GHz 0.35-um Cmos Dual-Modulus Prescaler Design**”, IEEE Microwave and Wireless Components Letters, vol.16, pp. 75-77, Feb. 2006.
- [25] Dehghani,, R. and Atarodi, S. M., “**A low Power wide-band 2.6 GHz CMOS injection-locked ring oscillator prescaler**”, IEEE Internacional Microwave Symposium Digest, vol 1, pp. 659-662, 2003.
- [26] Yu, X.P, et al, “**design and Optimization of the Extended True Single-Phase**

Clock-Based Prescaler”, IEEE Transactions on Theory and Techniques, vol. 54, pp 3828-3834, Nov. 2006.