

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Henrique Mamoru Hayasaka

SENSOR DE TEMPERATURA CMOS INTEGRADO

Florianópolis

2012

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Henrique Mamoru Hayasaka

SENSOR DE TEMPERATURA CMOS INTEGRADO

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Márcio Cherem Schneider

Co-orientador: Eng. Daniel Eduardo Silva Piovani

Florianópolis

2012

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Hayasaka, Henrique Mamoru
Sensor de temperatura CMOS integrado [dissertação] /
Henrique Mamoru Hayasaka ; orientador, Márcio Chere
Schneider ; co-orientador, Daniel Eduardo Silva Piovani. -
Florianópolis, SC, 2012.
101 p. ; 21cm

Dissertação (mestrado) - Universidade Federal de Santa
Catarina, Centro Tecnológico. Programa de Pós-Graduação em
Engenharia Elétrica.

Inclui referências

1. Engenharia Elétrica. 2. Sensor de temperatura CMOS.
I. Schneider, Márcio Chere. II. Piovani, Daniel Eduardo
Silva. III. Universidade Federal de Santa Catarina.
Programa de Pós-Graduação em Engenharia Elétrica. IV. Título.

Henrique Mamoru Hayasaka

SENSOR DE TEMPERATURA CMOS INTEGRADO

Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.

Florianópolis, 06/09/2012.

Patrick Kuo Peng, Dr.
Coordenador do Curso

Banca Examinadora:

Carlos Galup Montoro, Dr., UFSC
Presidente da banca

Daniel Eduardo Silva Piovani, MSc., CEITEC
Co-orientador

Jader Alves de Lima Filho, Dr., UFSC

William Prodanov, Dr., Chipus

Murilo Pessatti, MSc., Chipus

Dedico este trabalho a minha família pelo apoio incondicional ao longo desta jornada.

AGRADECIMENTOS

Para evitar injustiças devido a alguma falha de memória na citação de nomes, opto por realizar um agradecimento dividido em grupos. Obviamente, meu principal agradecimento vai para minha família que sempre me deu o suporte necessário para exercer as atividades que escolhi ao longo de minha vida. Aos amigos da FloripaDH, agradeço pelos esforços coletivos que tornaram possível o desenvolvimento deste trabalho. Esse grupo fez com que os momentos de dificuldades fossem mais curtos e reduzidos. Aos meus orientadores, agradeço pelas sugestões dadas ao longo do projeto as quais contribuíram imensamente na qualidade final dessa dissertação. Aos professores que tive ao longo do Mestrado, agradeço pelo acréscimo de conhecimento técnico que me foi possibilitado. Aos colegas de LCI e NIME, agradeço pela ajuda prestada sempre que solicitada. Ao pessoal do Shimadaiko e do futebol, agradeço por proporcionarem os momentos de relaxamento, essenciais no desenvolvimento de qualquer trabalho.

RESUMO

Este trabalho apresenta um sensor de temperatura CMOS integrado voltado ao monitoramento de *hot-spots* em circuitos VLSI. Seu funcionamento é baseado no comportamento CTAT (complementar a temperatura absoluta) da tensão de limiar do transistor MOS. Devido a este fato, inicia-se a dissertação apresentando alguns métodos utilizados na extração deste parâmetro através de simulações. Em seguida, medições realizadas em alguns transistores de teste servem para validar os resultados obtidos nas simulações. O projeto do sensor é, então, apresentado detalhando-se seus blocos constituintes separadamente: gerador de corrente específica, comparador e gerador do pulso de saída. Em todos os blocos tomou-se o cuidado para que o consumo total do sensor fosse na ordem de poucas dezenas de microwatts de modo a possibilitar o instanciamento de diversos elementos para o mapeamento térmico de um microprocessador. O gerador de corrente específica foi utilizado para fornecer tanto uma corrente quanto uma tensão de referência. A simulação do sensor completo apresentou um consumo de $18\mu W$ no pior caso a $120^{\circ}C$. A área total do sensor foi de $0,006mm^2$ em uma tecnologia de $0,18\mu m$. Medições de três amostras do protótipo fabricado demonstraram que a corrente apresentou discrepância de aproximadamente 5% de chip para chip e, no pior caso, variação de 4% na faixa de $0^{\circ}C$ a $100^{\circ}C$. Uma variação máxima de chip para chip de 13mV, a $20^{\circ}C$, foi medida na tensão de referência, apresentando todas as amostras uma faixa dinâmica de 170mV de $0^{\circ}C$ a $100^{\circ}C$, com um erro médio máximo na linearidade com respeito à temperatura de $1,87^{\circ}C$ na faixa de $20^{\circ}C$ a $100^{\circ}C$.

Palavras-chave: Sensor de temperatura, Tensão de limiar, Gerador de Corrente Específica.

ABSTRACT

This work presents a CMOS integrated temperature sensor aiming at monitoring hot-spots in microprocessors. Its principle is based on the CTAT dependance of the threshold voltage of the MOS transistor. Therefore, we start showing some threshold voltage extraction procedures with their results being validated through measurements in test transistors. The design of the main sensor blocks, namely, specific current generator, comparator and pulse generator is presented. The total sensor power consumption was kept close to a few of tens of microwatts in order to allow the placement of various sensor elements in a microprocessor. The specific current generator provides both current and voltage references. The simulation indicated a power consumption of $18\mu\text{W}$ in the worst case at 120°C . The total area was 0.006mm^2 in a $0.18\mu\text{m}$ technology. Measurements on three samples showed a chip-to-chip variation around 5% for the reference current and, in the worst case, 4% variation from 0°C to 100°C . The reference voltage presented maximum 13mV at 20°C variation for chip-to-chip and, for 3 samples, a variation around 170mV from 0°C to 100°C and a maximum average linearity error equals to 1.87°C in 20°C to 100°C range.

Keywords: Temperature Sensor, Threshold Voltage, Specific Current Generator.

LISTA DE FIGURAS

1	Localização dos sensores térmicos usados no processador Intel Pentium4 [3]	27
2	Diagrama de blocos do sensor apresentado em [7]	30
3	Curva frequência vs temperatura apresentada em [12]	30
4	Localização dos sensores de temperatura no processador POWER6 [8], Sensor Térmico Digital (0 - 23) e sensor utilizando resistores (T0 - T2)	31
5	Variação de V_T vs temperatura, segundo a eq.(7)	35
6	Circuito utilizado no método da corrente constante	37
7	Circuito alternativo para extrair V_T baseado no método da corrente constante	37
8	Método da corrente constante - V_T vs temperatura (tecnologia CMOS 0,18 μm todos os transistores com $W=L=10\mu\text{m}$)	38
9	Comparação entre o método da corrente constante e a equação do modelo BSIM3v3 (tecnologia CMOS 0,18 μm transistor nMOS com $W=L=10\mu\text{m}$)	39
10	Descrição gráfica do Método da extrapolação linear (tecnologia CMOS 0,18 μm transistor nMOS com $W=L=10\mu\text{m}$)	40
11	Método da extrapolação linear - Tensão de limiar vs temperatura (tecnologia CMOS 0,18 μm todos os transistores com $W=L=10\mu\text{m}$)	41
12	Comparação entre o método da extrapolação linear e a equação do modelo BSIM3v3 (tecnologia CMOS 0,18 μm transistor com $W=L=10\mu\text{m}$)	42
13	Comparação entre as curvas simuladas e medidas usando o método da corrente constante (tecnologia CMOS 0,18 μm 10 transistores em paralelo com $W=20\mu\text{m}$ e $L=2\mu\text{m}$)	44
14	Comparação entre as curvas simuladas e medidas usando o método da corrente constante para o transistor ZVT (tecnologia CMOS 0,13 μm 30 transistores em paralelo com $W=5\mu\text{m}$ e $L=0,48\mu\text{m}$)	45
15	Comparação entre as curvas simuladas e medidas usando o método da extrapolação linear (tecnologia CMOS 0,18 μm 10 transistores em paralelo com $W=20\mu\text{m}$ e $L=2\mu\text{m}$)	46

16	Comparação entre as curvas simuladas e medidas usando o método da extrapolação linear para o transistor ZVT (tecnologia CMOS $0,13\mu\text{m}$ 30 transistores em paralelo com $W=5\mu\text{m}$ e $L=0,48\mu\text{m}$)	46
17	Diagrama de blocos do sensor de temperatura	50
18	<i>Self-cascode</i> MOSFET (SCM)	51
19	Espelho de corrente seguidor de tensão (VFCM)	54
20	Gerador de corrente específica e tensão de referência	55
21	Gerador de corrente específica incluindo o <i>start-up</i>	58
22	Corrente específica vs temperatura	59
23	Tensão de referência vs temperatura	59
24	Duração do pulso vs temperatura	60
25	Sensibilidade do sensor vs temperatura	61
26	Erro da linearidade da duração dos pulsos simulados (<i>Corners</i>), convertida em graus Celsius	62
27	Comparação da curva teórica (eq.(9), curvas sólidas) com a simulação usando modelos comportamentais (+)	63
28	Erro da linearidade da duração dos pulsos simulados (<i>Corners</i>), convertida em graus Celsius usando modelos comportamentais	63
29	Curva característica do comparador	64
30	Circuito em esquemático do comparador	65
31	Comportamento dos chaveamentos do comparador	66
32	Gráfico para determinação da polarização do Comparador (<i>Ibias</i>) ($T=27^{\circ}\text{C}$)	67
33	Variação da corrente de polarização com a temperatura	69
34	Ganho em baixa frequência do comparador	69
35	Circuito para simulação da ICMR do comparador	70
36	Curva da simulação da ICMR do comparador	70
37	Circuito para a simulação do atraso do comparador	71
38	Curva da simulação do atraso do comparador	71
39	Histograma com os resultados das simulações Monte Carlo para a tensão de <i>offset</i> a 0°C	72
40	Histograma com os resultados das simulações Monte Carlo para a tensão de <i>offset</i> a 120°C	72
41	Comparação da duração do pulso com o modelo comportamental do comparador (linha sólida) e incluindo o esquemático do comparador (+)	73

42	Sensibilidade do sensor vs a temperatura, todo o circuito na forma de esquemático	74
43	Erro da linearidade, convertida em graus Celsius, das curvas usando o modelo comportamental (linha sólida) e o circuito em esquemático (+)	74
44	<i>Flip-flop</i> tipo D com realimentação	75
45	Circuito esquemático completo do sensor	77
46	<i>Layout</i> do gerador de corrente específica	79
47	Capacitor Vertical Natural (VNCAP)	80
48	<i>Layout</i> do <i>flip-flop</i> tipo D	81
49	<i>Layout</i> do comparador	81
50	<i>Layout</i> completo do sensor proposto	82
51	Comparação do pulso de saída dos circuitos em esquemático (linhas sólidas) e com os parasitas extraídos (+)	83
52	Sensibilidade vs temperatura, circuito em esquemático (linha sólida) e com os parasitas extraídos (+)	84
53	Comparação do erro na linearidade dos circuitos em esquemático (linhas sólidas) e com os parasitas extraídos (+)	84
54	Fotografia do protótipo fabricado	87
55	Diagrama de PADS do protótipo fabricado	88
56	Medição da variação da corrente de referência com respeito à fonte de alimentação em $T = 0^{\circ}\text{C}$	89
57	Medição da variação da tensão de referência com respeito à fonte de alimentação em $T = 0^{\circ}\text{C}$	89
58	Medição da variação da corrente de referência com respeito à fonte de alimentação em $T = 100^{\circ}\text{C}$	90
59	Medição da variação da tensão de referência com respeito à fonte de alimentação em $T = 100^{\circ}\text{C}$	91
60	Medição da variação da corrente de referência com respeito à temperatura	92
61	Medição da variação da tensão de referência com respeito à temperatura	93
62	Variação do pulso de saída com respeito à temperatura obtida a partir dos dados das medições da corrente específica e da tensão de referência	94
63	Sensibilidade com respeito à temperatura obtida a partir dos dados das medições da corrente específica e da tensão de referência	95

64	Erro na linearidade, convertida em graus Celsius, com respeito à temperatura obtida a partir dos dados das medições da corrente específica e da tensão de referência	95
----	--	----

LISTA DE TABELAS

1	Parâmetros do modelo BSIM3v3 para o comportamento térmico da tensão de limiar	36
2	Dimensões dos transistores de teste ($0,18\mu\text{m}$)	43
3	Dimensões do transistor ZVT de teste ($0,13\mu\text{m}$)	43
4	Comparação dos coeficientes térmicos de primeira ordem (Método da Corrente Constante)	44
5	Comparação dos coeficientes térmicos de primeira ordem do ZVT (Método da Corrente Constante)	45
6	Comparação dos coeficientes térmicos de primeira ordem (Método da Extrapolação linear)	47
7	Principais Parâmetros do Modelo ACM (tecnologia CMOS de $0,18\mu\text{m}$)	49
8	Dimensões dos transistores do gerador de corrente específica .	57
9	Dimensões dos transistores do circuito de <i>start-up</i>	57
10	<i>Corners</i> disponíveis na tecnologia CMOS $0,18\mu\text{m}$	58
11	Dimensões do transistor de descarga (Nsw)	62
12	Principais Parâmetros do Modelo ACM sob novas condições .	68
13	Dimensões dos transistores do comparador e circuito de polarização	68
14	Regulação da corrente e da tensão de referências	92

LISTA DE SIGLAS

ACM	MOSFET Compacto Avançado (<i>Advanced Compact MOSFET</i>).
AmpOp	Amplificado Operacional.
BS	Escaneamento de Borda (<i>Boundary Scan</i>).
CI	Circuitos Integrados.
CTAT	Complementar à Temperatura Absoluta (<i>Complementary to Absolute Temperature</i>).
DfTT	Projeto voltado à Testabilidade Térmica (<i>Design for Thermal Testability</i>).
DTM	gerenciamento dinâmico da temperatura (<i>Dynamic Temperature Management</i>).
ICMR	Faixa de Modo-Comum na Entrada (<i>Input Common-Mode Range</i>).
MEP	Programa Educacional da MOSIS (<i>MOSIS Educational Program</i>).
PSR	Regulação à Fonte de Alimentação (<i>Power Supply Regulation</i>).
SCM	MOSFET Auto-Cascode (<i>Self-Cascode MOSFET</i>).
SPICE	Programa de Simulação com Ênfase em Circuitos Integrados (<i>Simulation Program with Integrated Circuit Emphasis</i>).
TAP	Porta de Acesso para Teste (<i>Test Access Port</i>).
UICM	Modelo Unificado Corrente de Controle (<i>Unified Current-Control Model</i>).
VCO	Oscilador controlado por tensão (<i>Voltage Controlled Oscillator</i>).
VFCM	Espelho de Corrente Seguidor de Tensão (<i>Voltage Follower Current Mirror</i>).
VLSI	Integração em Larga Escala (<i>Very Large Scale Integration</i>).

LISTA DE SÍMBOLOS

V_T	Tensão de limiar
C_{ref}	Capacitor de referência
β	Fator de ganho de corrente do transistor MOS
V	Tensão
Q'_{IP}	Carga de normalização
V_P	Tensão de <i>pinch-off</i>
V_{FB}	Tensão de banda plana
ϕ_F	Potencial de Fermi
γ	Coefficiente do efeito do fator de corpo
ϕ_t	Tensão térmica
N_A	Concentração de átomos aceitadores no substrato
n_i	concentração intrínseca
q	Carga elementar
ϵ_{si}	Permissividade do silício
C'_{ox}	Capacitância do óxido por unidade de área
T	Temperatura
E_G	Energia de bandgap do silício extrapolada em 0K
k_B	Constante de Boltzmann
V_{T0}	Tensão de limiar na temperatura nominal (Tnom)
$KT1$	Coefficiente térmico da tensão de limiar
$KT1L$	Coefficiente térmico da tensão de limiar dependente do comprimento do canal
L_{eff}	Comprimento efetivo do canal
$KT2$	Coefficiente térmico dependente da polarização do bulk
V_{BSeff}	Tensão efetiva entre o <i>bulk</i> e a fonte
S	Razão de Aspecto do transistor
I_{SH}	Corrente de normalização de folha
n	Fator de inclinação
A_{VT}	Coefficiente de descasamento da tensão de limiar
A_{ISH}	Coefficiente de descasamento da corrente de normalização
I_{ref}	Corrente de referência
V_{ref}	Tensão de referência
Δt	Duração do pulso de saída
i_f	Nível de inversão direto do transistor
i_r	Nível de inversão reverso do transistor
μ_N	Mobilidade os portadores do transistor nMOS
μ_{N0}	Mobilidade dos portadores do transistor nMOS em Tnom

u_t	Expoente térmico da mobilidade
V_x	Tensão PTAT do SCM
V_S	Tensão no terminal de fonte
V_G	Tensão no terminal de porta
N	Fator de espelhamento do SCM
J	Fator de espelhamento de correntes do VFCM
V_{o1}	Tensão no nó de saída do par diferencial do comparador
V_{TH}	Tensão de chaveamento dos inversores

SUMÁRIO

1 INTRODUÇÃO	27
1.1 SENSORES DE TEMPERATURA VOLTADOS PARA MEDIÇÃO <i>ON-CHIP</i> BASEADOS EM V_T	29
2 TENSÃO DE LIMIAR	33
2.1 COMPORTAMENTO DE V_T COM RESPEITO À VARIAÇÃO DA TEMPERATURA	34
2.2 MÉTODOS DE EXTRAÇÃO DA TENSÃO DE LIMIAR DO TRANSISTOR MOS	36
2.2.1 Método da corrente constante	36
2.2.2 Método da extrapolação linear	39
2.3 COMPARAÇÃO ENTRE MEDIÇÃO E SIMULAÇÃO DE V_T ..	42
3 PROJETO DO SENSOR DE TEMPERATURA	49
3.1 PARÂMETROS TECNOLÓGICOS DO MODELO ACM	49
3.2 TOPOLOGIA PROPOSTA	49
3.2.1 Gerador de corrente específica	51
3.2.1.1 Estimativa do pulso de saída considerando apenas o Gerador de Corrente Específica	60
3.2.2 Comparador	64
3.2.2.1 Estimativa do pulso de saída incluindo o comparador	73
3.2.3 Gerador do pulso de saída	75
4 LAYOUT E SIMULAÇÃO PÓS-LAYOUT DO SENSOR	79
4.1 LAYOUT	79
4.1.1 Gerador de corrente específica	79
4.1.2 Gerador do pulso de saída	80
4.1.3 Comparador	81
4.1.4 Topologia Proposta	82
4.2 SIMULAÇÃO PÓS-LAYOUT	83
5 MEDIÇÕES NO GERADOR DE CORRENTE ESPECÍFICA	87
6 CONCLUSÕES E TRABALHOS FUTUROS	97
REFERÊNCIAS	101

1 INTRODUÇÃO

Com o avanço tecnológico na área de circuitos integrados (CI) guiado pela lei de Moore, a densidade de transistores em um único chip tem aumentado vertiginosamente [1]. Aliado a essa grande concentração de dispositivos e à elevada frequência de operação (na ordem de GHz), ocorre um aumento da potência dissipada e, conseqüentemente, da temperatura geral do chip.

A temperatura é um parâmetro importante no que diz respeito à confiabilidade e durabilidade de um CI, pois inúmeros defeitos como eletromigração, rompimento do dielétrico de porta, entre outros, são dela dependentes [2]. Além disso, a elevadas temperaturas o problema das correntes de fuga torna-se um elemento significativo no consumo total de potência, reduzindo, por exemplo, o tempo de duração da bateria em um sistema móvel.

Em microprocessadores, vários sensores podem ser utilizados para mapear a temperatura do CI e monitorar/reduzir os chamados *hot-spots*. Um exemplo desse tipo de aplicação é mostrado na Fig.(1) [3]. Nela são indicadas as localizações de três sensores de temperatura utilizados no processador Pentium 4.

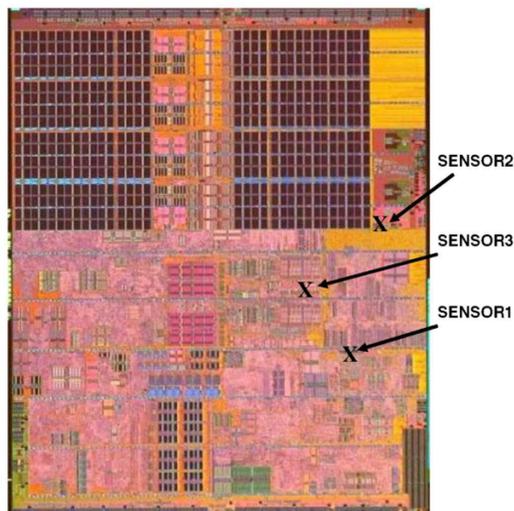


Figura 1: Localização dos sensores térmicos usados no processador Intel Pentium4 [3]

Juntamente com esses sensores, tornou-se padrão a presença de um sistema de gerenciamento térmico como, por exemplo, a técnica de gerenciamento dinâmico da temperatura (DTM) [4], cujo funcionamento ocorre da seguinte maneira: toda vez que é detectado um ponto crítico, um sinal é enviado ao sistema de controle que reduz a tensão de alimentação da área em questão, bem como a frequência de operação do *clock* [5], [6]. Quando a temperatura retorna ao nível normal, tanto a tensão quanto a frequência voltam aos seus valores nominais. Dessa forma, é possível garantir o funcionamento confiável do processador sem que haja um decréscimo considerável do seu desempenho.

Em [7] são enumerados os seguintes requerimentos para sensores de monitoramento da temperatura *on-chip*:

- Compatibilidade com a tecnologia CMOS;
- Ocupar a menor área possível;
- Apresentar baixo consumo;
- Cobrir uma faixa de temperatura de 0 a 120°C;
- Fácil calibragem;
- Saída digital;
- Linearidade razoável;
- Precisão de 1-2°C;

Baseados nestes requisitos, diversas alternativas foram propostas e utilizadas ao longo do tempo. Em [8] são empregados resistores cuja resistência varia linearmente com a temperatura e a medida desta última é obtida através da corrente resultante da aplicação de uma tensão constante externa ao chip.

Linhas/células de atrasos cujo tempo de propagação é dependente da temperatura são exploradas em [6], [9] e [10].

Devido a sua boa linearidade, diodos ou transistores bipolares são comumente utilizados para os sensores [3], [5], [11]. Entretanto, a área ocupada por eles limita o número de dispositivos possíveis de serem instanciados [12]. Além disso, em algumas tecnologias tais dispositivos não são bem caracterizados [13]. Por exemplo, na tecnologia utilizada o modelo é considerado, pela *founndry*, uma versão alfa (sob testes) uma vez que a verificação do dispositivos ocorreu apenas sob algumas condições de polarização [13].

Uma alternativa que ocupe pouca área e apresente uma portabilidade tecnológica é obtida empregando transistores MOS [7], [12] como dispositivos sensitivos. Utilizando o comportamento CTAT da tensão de limiar (V_T)

é possível obter uma medição da temperatura com uma linearidade aceitável para a aplicação em questão.

1.1 SENSORES DE TEMPERATURA VOLTADOS PARA MEDIÇÃO ON-CHIP BASEADOS EM V_T

Em meados da década de 90, os autores de [7] propuseram uma metodologia de projeto voltada para testes térmicos (*Design for Thermal Testability* - DfTT) que se utilizaria de sensores integrados aos circuitos de VLSI. A grande vantagem dessa abordagem é o elevado grau de acoplamento térmico entre o sensor e o objeto monitorado, neste caso o substrato do CI.

O princípio do DfTT foi elaborado de modo a possibilitar sua implementação em conjunto com outros métodos de testes como, por exemplo, a arquitetura de *Boundary Scan* (BS) que consiste em um conjunto de regras e dispositivos que visam facilitar o teste do CI sem a necessidade de adicionar pinos extras. O BS faz uso dos pinos já existentes no CI selecionando determinadas entradas e saídas de modo a isolar a região em teste. A estrutura tradicional do BS é composta por um (1) pino de entrada serial, um (1) pino de saída serial, alguns registradores de dados (incluindo o registrador de instruções) e o controlador TAP (*Test Access Port*). Para utilizar os sensores de temperatura em conjunto com o BS são necessárias apenas a inclusão de um (1) contador, um (1) registrador e algumas instruções de controle [7].

O funcionamento do sensor apresentado em [7] pode ser sumarizado pelo diagrama apresentado na Fig.(2). A corrente usada para carregar e descarregar o capacitor C_{ref} é proporcional ao quadrado de V_T e ao fator β (representando, principalmente, a mobilidade μ_N) que também é dependente da temperatura. As tensões de referências V_C e V_D , proporcionais à tensão de limiar [7], são comparadas à tensão do capacitor resultando na seguinte expressão para a frequência de saída [7]:

$$f = \frac{I_{out}}{2 \times C_{ref} \times (V_C - V_D)} \quad (1)$$

Teoricamente, a curva da frequência versus a temperatura apresentaria uma boa linearidade. Entretanto, os resultados obtidos em [7] indicam uma degradação considerável da mesma (ver Fig.(4) em [7]) resultante, muito provavelmente, da dependência da mobilidade com a temperatura.

Mais recentemente foi apresentada em [12] a topologia empregada nos novos modelos dos processadores da Intel [14] para a detecção dos *hot-spots*

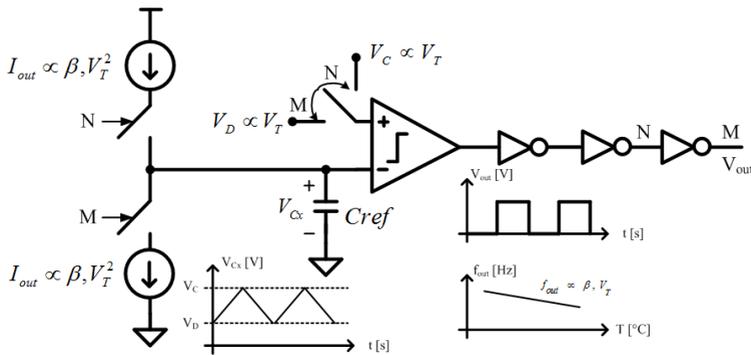


Figura 2: Diagrama de blocos do sensor apresentado em [7]

onde a proposta de utilizar uma corrente proporcional ao quadrado da tensão V_T apresentada em [7] é novamente explorada.

Nessa nova abordagem é utilizada apenas uma tensão de referência (aproximadamente V_T) para gerar o sinal de saída. Além disso, os circuitos utilizados na obtenção tanto da tensão de limiar quanto da corrente de referência são diferentes de [7].

A linearidade da curva frequência vs temperatura obtida por [12] apresenta uma considerável melhoria com respeito à [7], como pode ser observado na Fig.(3).

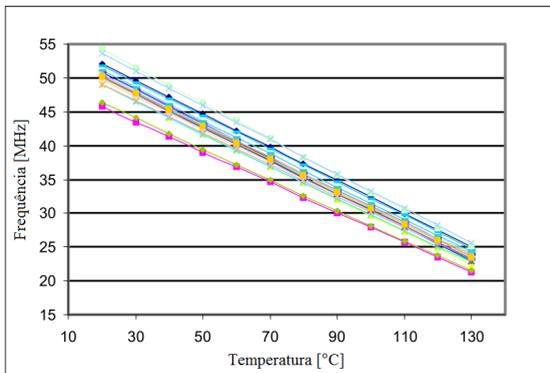


Figura 3: Curva frequência vs temperatura apresentada em [12]

A inclinação média de vinte amostras foi de $0,24\text{MHz}/^\circ\text{C}$ com a não-linearidade, na faixa de 20 a 130°C , menor do que $0,6^\circ\text{C}$ e o consumo total de aproximadamente $700\mu\text{A}$. A área ocupada é em torno de $3,75 \times 10^{-3}\text{mm}^2$ no processo de 90nm [12].

Acredita-se que um consumo na ordem de centenas de microamperes limita consideravelmente a quantidade de sensores possíveis de serem instanciados. Assim, o que se propõe nessa dissertação é um sensor com uma linearidade compatível com a detecção de *hot-spots*, que ocupe uma pequena área (comparável a [12]) e que, principalmente, apresente um consumo na ordem de dezenas de microwatts de modo a possibilitar um mapeamento mais completo do chip através do uso de um número considerável de sensores como por exemplo no processador IBM Power6 mostrado na Fig.(4) [8].

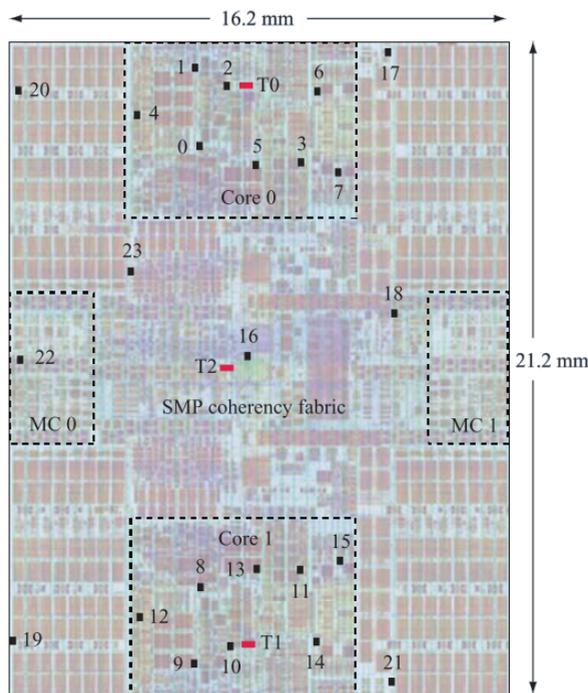


Figura 4: Localização dos sensores de temperatura no processador POWER6 [8], Sensor Térmico Digital (0 - 23) e sensor utilizando resistores (T0 - T2)

A organização escolhida para este trabalho foi a seguinte: inicialmente, é realizada uma revisão/investigação do comportamento da tensão de limiar do transistor MOS com respeito à temperatura. Em seguida parte-se para o projeto do sensor proposto, apresentando cada bloco constituinte separadamente. Uma vez que um protótipo do circuito foi fabricado, detalhes sobre o *layout* são descritos juntamente com resultados de simulações considerando os elementos parasitas. Medições realizadas com o protótipo são incluídas no final da dissertação.

2 TENSÃO DE LIMIAR

A tensão de limiar é um dos parâmetros mais importantes na modelagem do transistor MOS e, por isso, é alvo de diversos trabalhos de pesquisas que se dedicam a encontrar métodos mais eficazes para sua extração baseados em diferentes definições adotadas [15], [16].

Seu comportamento com respeito à variação da temperatura pode ser previsto através de modelos baseados em propriedades físicas do semiconductor e alguns parâmetros tecnológicos [17]. Entretanto, por praticidade, os modelos empregados em larga escala recomendam métodos de extração baseados em medições de algumas curvas características do transistor MOS para a obtenção dos parâmetros dependentes com a temperatura [18].

Dessa forma, projetos que considerem a variação da tensão de limiar com respeito à temperatura como parâmetro, como por exemplo fontes de referências e sensores de temperatura, podem apresentar resultados de simulações e medições relativamente diferentes devido ao método empregado na extração.

Em [16] é feita a comparação da tensão de limiar extraída através de três diferentes métodos: g_m/I_D , g_{ds}/I_D e o método da corrente constante. Resultados de medições de transistores de uma tecnologia de $0,35\mu\text{m}$ mostraram divergências de aproximadamente 10mV à temperatura ambiente. A caracterização com respeito à temperatura só foi executada utilizando o método da corrente constante. Diferenças mais significativas foram apresentadas em [15] onde 11 métodos foram comparados. Acredita-se que tal comportamento possa afetar também o seu coeficiente de temperatura. Faz-se, então, necessário um conhecimento maior do significado do parâmetro térmico utilizado pelos simuladores SPICE

Para isso, este capítulo inicia-se com a definição da tensão de limiar baseada em propriedades físicas do semiconductor seguida pela estimativa teórica de sua variação com a temperatura. Na sequência são apresentados dois dos principais métodos empregados na indústria para a extração que, em seguida, são aplicados na determinação do seu comportamento com relação à temperatura para a tecnologia utilizada. O capítulo é finalizado com os resultados obtidos através de medições aplicadas em alguns transistores de teste.

2.1 COMPORTAMENTO DE V_T COM RESPEITO À VARIAÇÃO DA TEMPERATURA

Uma das definições da tensão de limiar [17] denota esta como sendo a tensão de porta quando a densidade de cargas do canal se iguala a Q'_{IP} , ou, equivalentemente, a tensão de porta que torna a tensão de *pinch-off* (V_P) igual a zero. Dessa forma, ela pode ser expressa pela seguinte equação:

$$V_T \cong V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F} \quad (2)$$

onde V_{FB} é a tensão de banda plana, ϕ_F o potencial de Fermi e γ o coeficiente do efeito do fator de corpo.

Teoricamente, para se obter o comportamento da tensão de limiar com respeito à temperatura, válido para o caso de se ter um transistor com o terminal de porta constituído por polissilício altamente dopado, assume-se que a equação (2) pode ser reescrita na seguinte forma [17]:

$$V_T = const + \phi_F + \gamma\sqrt{2\phi_F} \quad (3)$$

sendo *const* uma componente independente da temperatura e:

$$\phi_F = \phi_t \ln \left(\frac{N_A}{n_i} \right) \quad (4)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C'_{ox}} \quad (5)$$

com ϕ_t representando a tensão térmica, N_A a concentração de átomos aceitadores no substrato, n_i a concentração intrínseca, q a carga elementar, ϵ_{si} a permissividade do silício e C'_{ox} a capacitância de óxido por unidade de área.

Assumindo que n_i pode ser expressa por [17]:

$$n_i^2 = C^2 \exp \left(\frac{-E_G}{k_B T} \right) \quad (6)$$

e que, na faixa de temperatura comercial, a variação de C pode ser desconsiderada [17] tem-se que a derivada de (3) com respeito à temperatura é dada por:

$$\frac{dV_T}{dT} = -\frac{1}{T} \left(1 + \frac{\gamma}{\sqrt{2\phi_F}} \right) \left(\frac{E_G}{2q} - \phi_F \right) \quad (7)$$

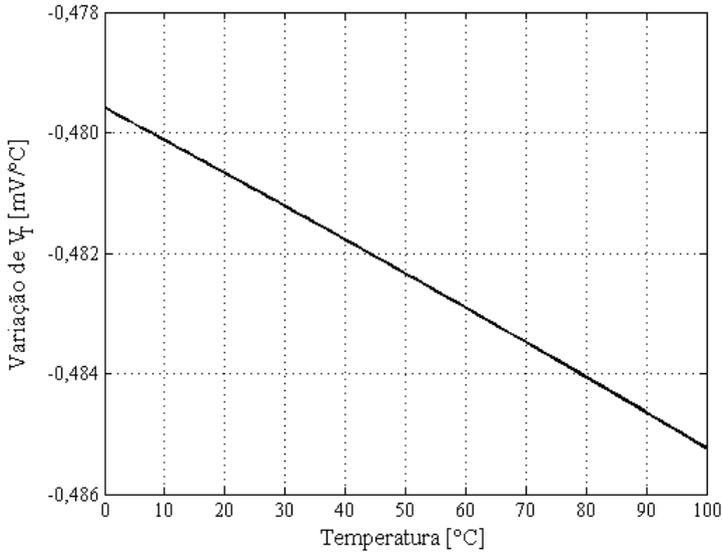


Figura 5: Variação de V_T vs temperatura, segundo a eq.(7)

onde T representa a temperatura em Kelvin, E_G a energia de *bandgap* do silício extrapolada em 0K e k_B na equação (6) a constante de Boltzmann cujo valor é $1,38 \times 10^{-23}$ J/K. Na Fig.(5) é plotada a equação (7) considerando os seguintes valores para os parâmetros empregados:

$$E_G = 1,12 \text{ eV};$$

$$C = \sqrt{DT^3} = 1,6906 \times 10^{19} \text{ cm}^{-3} @ T = 298 \text{ K};$$

$$N_A = 4 \times 10^{17} \text{ cm}^{-3};$$

$$t_{ox} = 4,45 \text{ nm};$$

onde N_A e t_{ox} foram obtidos do arquivo de modelo da tecnologia CMOS $0,18 \mu\text{m}$ a ser empregada no projeto do sensor e E_G e C independem da tecnologia.

O valor de aproximadamente $-0,480 \text{ mV/}^\circ\text{C}$ é válido para o caso de uma dopagem uniforme do canal igual a $4 \times 10^{17} \text{ cm}^{-3}$. Tal fato, entretanto, não ocorre nas tecnologias atuais [19]. Assim, o uso da equação (7) serve apenas como uma primeira estimativa do comportamento de V_T com respeito à temperatura.

Utilizando o método g_m/I_D [17], em simulações, considerando um transistor com $W=L=10 \mu\text{m}$ da tecnologia de $0,18 \mu\text{m}$, obteve-se um coefici-

ente térmico de $-0,563\text{mV}/^\circ\text{C}$ para o transistor nMOS.

A equação utilizada pelo modelo BSIM3v3 para expressar o comportamento da tensão de limiar com respeito à temperatura é dada por [18]:

$$V_T = V_{T0} + \left[KT1 + \frac{KT1L}{L_{eff}} + KT2 \cdot V_{BSeff} \right] \left[\frac{T - T_{nom}}{T_{nom}} \right] \quad (8)$$

onde V_{T0} é a tensão de limiar na temperatura nominal (T_{nom}), $KT1$ o coeficiente térmico da tensão de limiar, $KT1L$ o coeficiente térmico dependente do comprimento do canal, L_{eff} o comprimento efetivo do canal, $KT2$ o coeficiente térmico dependente da polarização do *bulk* e V_{BSeff} a tensão efetiva entre o *bulk* e a fonte.

Os valores desses parâmetros fornecidos pela *foundry*, para a tecnologia CMOS $0,18\mu\text{m}$, são apresentados na Tab.(1).

Tabela 1: Parâmetros do modelo BSIM3v3 para o comportamento térmico da tensão de limiar

	KT1 [V]	KT1L [V.m]	KT2
nMOS	-0,2822	6×10^{-9}	-0,0546805
pMOS	-0,308882	$1,56523 \times 10^{-8}$	-0,0529747
ZVT	-0,28	$-9,061 \times 10^{-10}$	-0,03

Para investigar o significado desses parâmetros dois métodos comumente utilizados na extração da tensão de limiar foram analisados: Método da corrente constante e Método da extrapolação linear.

2.2 MÉTODOS DE EXTRAÇÃO DA TENSÃO DE LIMIAR DO TRANSISTOR MOS

2.2.1 Método da corrente constante

O método da corrente constante consiste em medir a diferença de potencial entre os terminais de porta e fonte em um transistor MOS polarizado por uma fonte de corrente constante. Uma forma prática de se aplicar este método na extração de V_T é através do circuito mostrado na Fig.(6). O método em si não estabelece um valor específico para polarização, ficando a

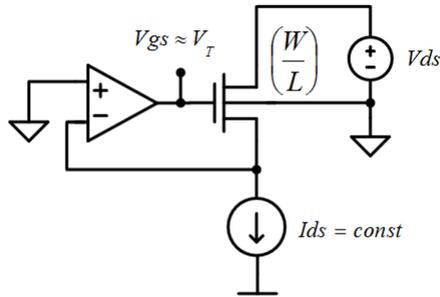


Figura 6: Circuito utilizado no método da corrente constante

cargo da *foundry* essa definição. Para a tecnologia utilizada são informados na documentação os valores de $300\text{nA} \cdot (W_{\text{eff}}/L_{\text{eff}})$ e $70\text{nA} \cdot (W_{\text{eff}}/L_{\text{eff}})$ para os transistores nMOS (incluindo o transistor de zero V_T , ZVT) e pMOS, respectivamente. Também são apresentados dois valores para V_T extraídos em duas situações distintas: uma com os transistores operando na região triodo ($V_{ds}=50\text{mV}$) e outra com eles saturados ($V_{ds}=V_{dd}=1,8\text{V}$). Para se evitar efeitos indesejados como, por exemplo, influência do campo horizontal e das resistências parasitas, optou-se pela primeira opção.

Uma forma alternativa de se obter um resultado equivalente ao método da corrente constante da Fig.(6), sem a necessidade de utilizar um amplificador operacional (AmpOp), é realizar uma varredura DC da tensão de porta (V_{gs}) de um transistor polarizado com uma tensão V_{ds} constante (e.g. 50mV) e medir sua corrente I_{ds} , como mostrado no circuito da Fig.(7).

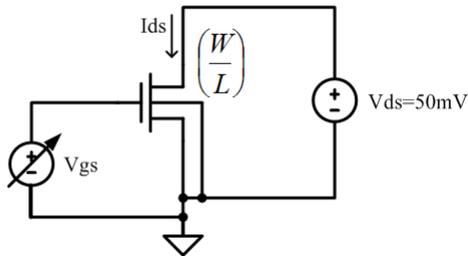


Figura 7: Circuito alternativo para extrair V_T baseado no método da corrente constante

Utilizando o circuito da Fig.(7) pode-se evitar imprecisões introduzidas pelo AmpOp como, por exemplo, a tensão de *offset*. A exatidão de V_T fica restringida pela mínimo passo de tensão e pela sensibilidade na medição da corrente do equipamento utilizado. Dessa forma, a fim de se replicar, em simulação, a configuração utilizada nas medições optou-se pelo circuito da Fig.(7) com os resultados obtidos para os transistores nMOS, pMOS e ZVT sendo apresentados na Fig.(8).

A largura (W) e o comprimento (L) escolhidos foram ambos iguais a $10\mu\text{m}$, pois os transistores de referência, indicados no manual da tecnologia, apresentavam tais dimensões.

O passo, em temperatura, foi de 5°C na faixa de -40 a 120°C com uma "resolução" na tensão V_{gs} de $100\mu\text{V}$.

Como comparativo, na Fig.(9) são plotadas a curva simulada para o transistor nMOS juntamente com a expressão (8).

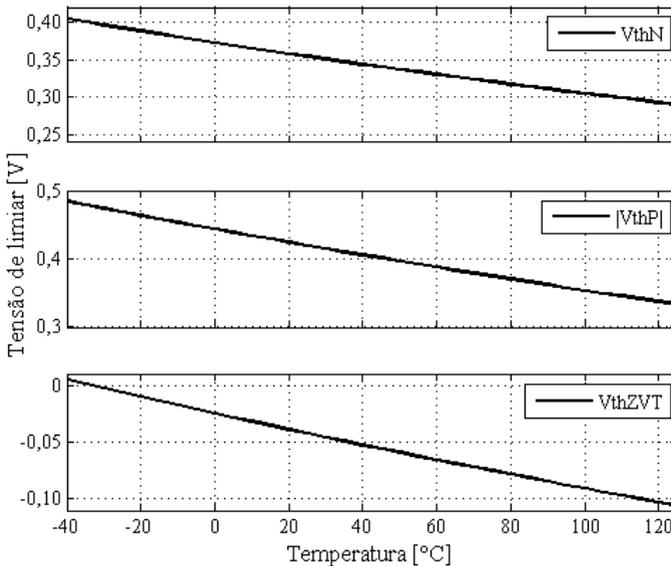


Figura 8: Método da corrente constante - V_T vs temperatura (tecnologia CMOS $0,18\mu\text{m}$ todos os transistores com $W=L=10\mu\text{m}$)

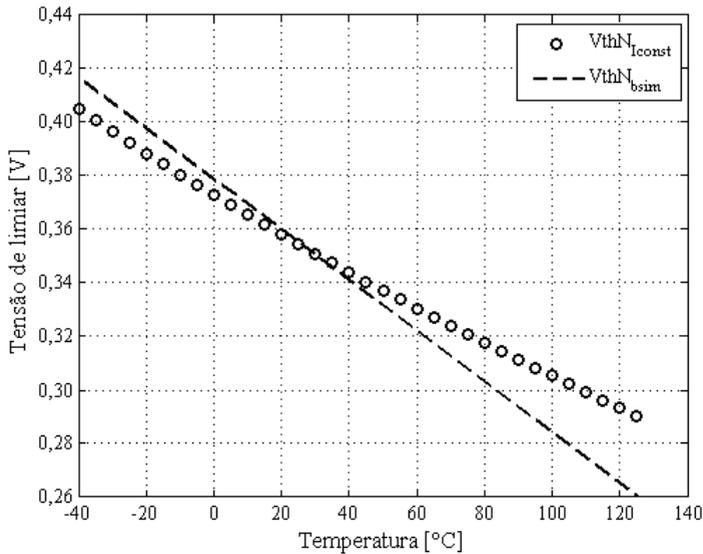


Figura 9: Comparação entre o método da corrente constante e a equação do modelo BSIM3v3 (tecnologia CMOS $0,18\mu\text{m}$ transistor nMOS com $W=L=10\mu\text{m}$)

Observa-se uma clara diferença entre ambas as curvas. Utilizando o método da corrente constante tem-se uma inclinação menor ($-757,57\mu\text{V}/^\circ\text{C}$ contra $-947\mu\text{V}/^\circ\text{C}$) além de uma componente de segunda ordem significativa ($803,54\text{nV}/^\circ\text{C}^2$) não modelada pelo BSIM3v3.

2.2.2 Método da extrapolação linear

Para a extração da tensão de limiar indicada no modelo BSIM3v3, em [20], é recomendado o método da extrapolação linear que pode ser descrito de acordo com os seguintes procedimentos [20]:

- i. Medição da curva I_{DS} vs V_{GS} na região linear ($V_{DS} < 0,1V$, valor típico $50mV$);
- ii. Determinar o ponto de máxima inclinação da curva I_{DS} vs V_{GS} , ou seja, o ponto onde a transcondutância de porta (g_{mG}) é máxima;
- iii. Extrapolar a curva I_{DS} vs V_{GS} a partir do ponto obtido em (ii) até $I_{DS} = 0$;
- iv. A tensão V_{GS} obtida em (iii) denomina-se V_{GS0} ;
- v. A tensão de limiar é então determinada por: $V_T = V_{GS0} - 0,5 \times V_{DS}$;

Na Fig.(10) são demonstradas, graficamente, as etapas mencionadas referentes ao transistor nMOS.

As curvas individuais dos transistores nMOS, pMOS e ZVT com respeito à temperatura são mostradas na Fig.(11)

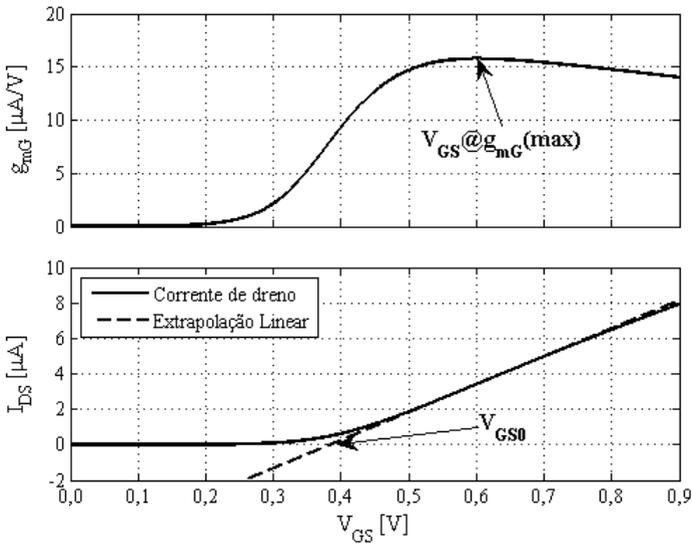


Figura 10: Descrição gráfica do Método da extrapolação linear (tecnologia CMOS $0,18\mu m$ transistor nMOS com $W=L=10\mu m$)

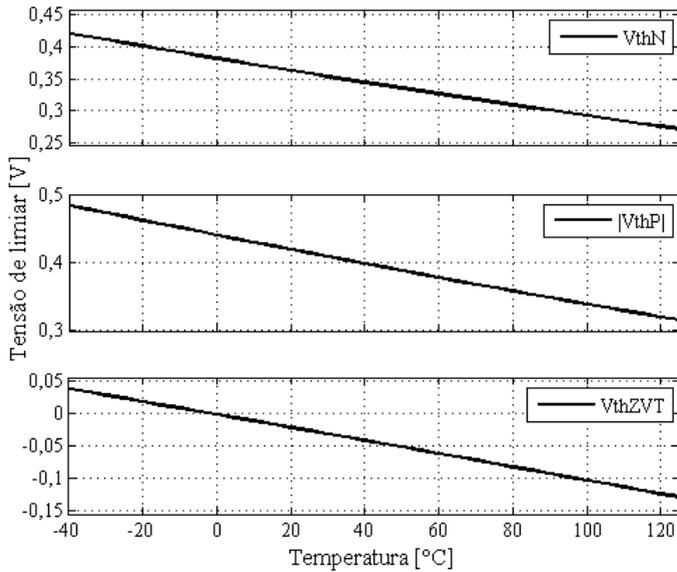


Figura 11: Método da extrapolação linear - Tensão de limiar vs temperatura (tecnologia CMOS 0,18 μ m todos os transistores com W=L=10 μ m)

Na Fig.(12) a curva da tensão de limiar com respeito à temperatura utilizando a extrapolação linear é comparada com a equação utilizada pelo modelo BSIM3v3.

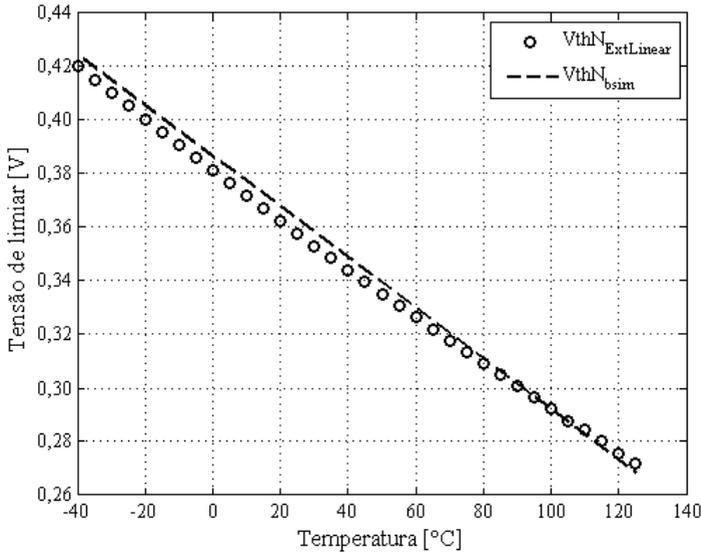


Figura 12: Comparação entre o método da extrapolação linear e a equação do modelo BSIM3v3 (tecnologia CMOS 0,18 μm transistor com $W=L=10\mu\text{m}$)

Com esse método, a inclinação de primeira ordem ($-950\mu\text{V}/^\circ\text{C}$) se aproxima bastante à equação utilizada pelo modelo BSIM3v3 e a componente de segunda ordem é reduzida com relação ao método da corrente constante ($610\text{nV}/^\circ\text{C}^2$)

A partir dos resultados obtidos, pode-se inferir que, apesar do método de corrente constante estar na documentação da tecnologia como definição para a tensão de limiar, é o método da extrapolação linear que é empregado para a obtenção dos parâmetros que modelam o comportamento desta com relação à temperatura.

2.3 COMPARAÇÃO ENTRE MEDIÇÃO E SIMULAÇÃO DE V_T

Para verificar os resultados desenvolvidos na seção anterior, foram realizadas simulações e medidas em alguns transistores disponíveis para caracterização.

Os transistores nMOS e pMOS utilizados para as medições são do mesmo nó tecnológico ($0,18\mu\text{m}$) mas de uma *foundry* diferente da dos transistores empregados nas simulações da seção anterior. As dimensões são apresentadas na Tab.(2):

Tabela 2: Dimensões dos transistores de teste ($0,18\mu\text{m}$)

transistor	Razão de Aspecto (S)	$M \times W$ [μm]	L [μm]
nMOS	100	10×20	2
pMOS	100	10×20	2

Uma vez que não se possuía transistores ZVT fabricados na tecnologia de $0,18\mu\text{m}$ utilizada nas medições, optou-se por caracterizar os transistores disponíveis em $0,13\mu\text{m}$ cujas dimensões são apresentadas na Tab.(3):

Tabela 3: Dimensões do transistor ZVT de teste ($0,13\mu\text{m}$)

transistor	Razão de Aspecto (S)	$NF \times W$ [μm]	L [μm]
nZVT	312,5	30×5	0,48

Para o método de extração da corrente constante optou-se pelos mesmos valores de $300\text{nA} \cdot (W_{\text{eff}}/L_{\text{eff}})$ para os transistores nMOS e $70\text{nA} \cdot (W_{\text{eff}}/L_{\text{eff}})$ para o pMOS uma vez que o nó tecnológico é o mesmo. Na Fig.(13) são comparadas as curvas simuladas e extraídas para os transistores nMOS e pMOS.

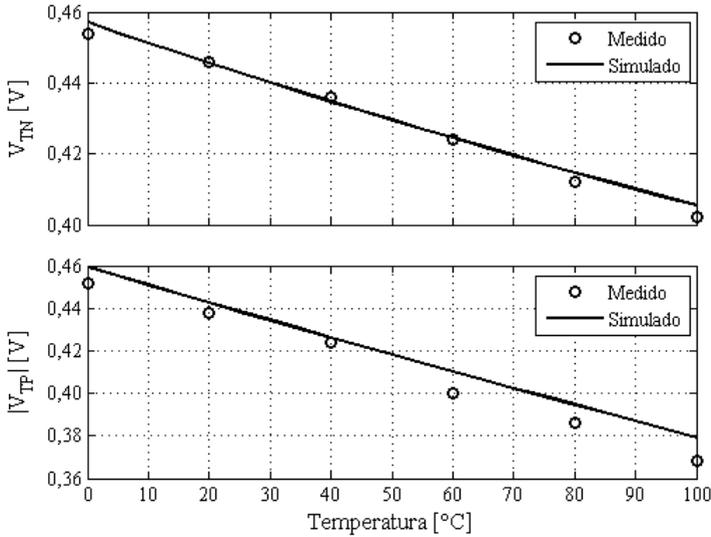


Figura 13: Comparação entre as curvas simuladas e medidas usando o método da corrente constante (tecnologia CMOS 0,18 μ m 10 transistores em paralelo com $W=20\mu$ m e $L=2\mu$ m)

Na Tab.(4) os resultados obtidos considerando uma aproximação linear tanto para os dados da simulação quanto para os da medição são comparados com os parâmetros do modelo.

Tabela 4: Comparação dos coeficientes térmicos de primeira ordem (Método da Corrente Constante)

transistor	simulado	medido	modelo	unidade
nMOS	-543,27	-534,29	-808,65	μ V/°C
pMOS	-812,11	-857,14	-883,63	μ V/°C

Para o transistor ZVT verificou-se que na documentação da tecnologia de 0,13 μ m também é recomendado o valor de $300\text{nA} \cdot (W_{\text{eff}}/L_{\text{eff}})$ para a extração da tensão de limiar. Devido ao comprimento do canal ser curto teve-se que descontar 0,03 μ m do valor apresentado na Tab.(3) para se obter L_{eff}

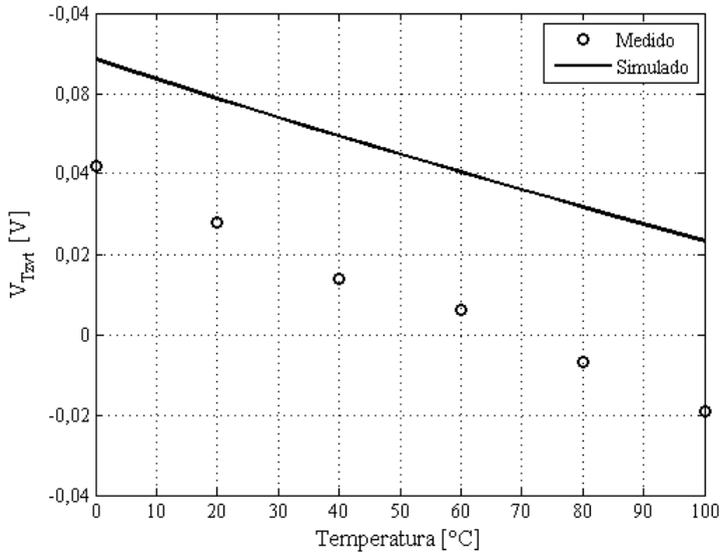


Figura 14: Comparação entre as curvas simuladas e medidas usando o método da corrente constante para o transistor ZVT (tecnologia CMOS 0,13 μ m 30 transistores em paralelo com $W=5\mu$ m e $L=0,48\mu$ m)

[13]. Os resultados são mostrados no gráfico da Fig.(14) com os coeficientes térmicos sumarizados na Tab.(5).

Tabela 5: Comparação dos coeficientes térmicos de primeira ordem do ZVT (Método da Corrente Constante)

transistor	simulado	medido	modelo	unidade
nZVT	-460	-597,14	-630	$\mu\text{V}/^\circ\text{C}$

Pode-se perceber que utilizando o método da corrente constante os valores obtidos experimentalmente apresentam uma razoável diferença com respeito ao parâmetro $KT1$ do modelo BSIM3v3.

As curvas obtidas utilizando o método da extrapolação linear são mostradas na Fig.(15) para os transistores nMOS e pMOS e na Fig.(16) para o transistor ZVT com os coeficientes térmicos sendo apresentados na Tab.(6).

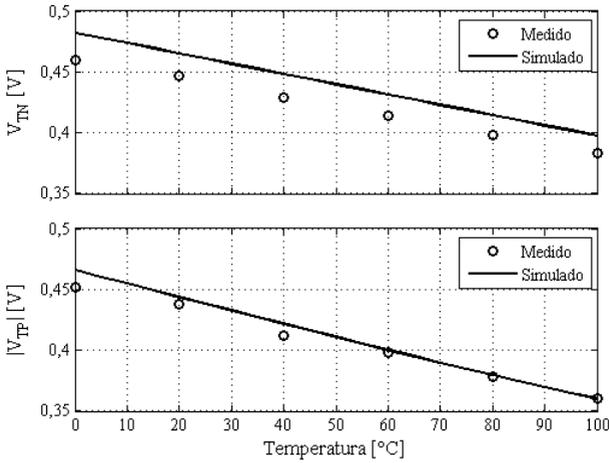


Figura 15: Comparação entre as curvas simuladas e medidas usando o método da extrapolação linear (tecnologia CMOS $0,18\mu\text{m}$ 10 transistores em paralelo com $W=20\mu\text{m}$ e $L=2\mu\text{m}$)

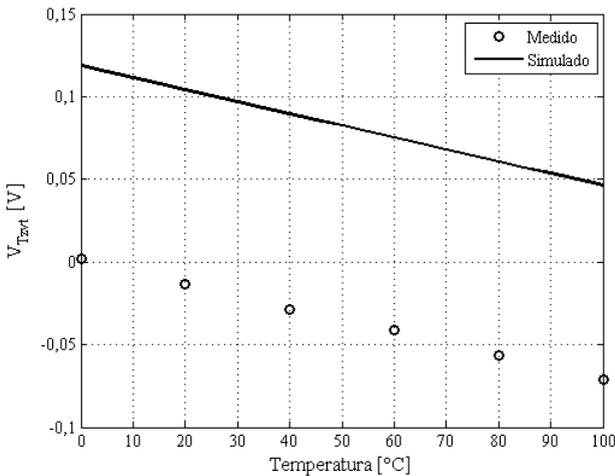


Figura 16: Comparação entre as curvas simuladas e medidas usando o método da extrapolação linear para o transistor ZVT (tecnologia CMOS $0,13\mu\text{m}$ 30 transistores em paralelo com $W=5\mu\text{m}$ e $L=0,48\mu\text{m}$)

Tabela 6: Comparação dos coeficientes térmicos de primeira ordem (Método da Extrapolação linear)

transistor	simulado	medido	modelo	unidade
nMOS	-846,53	-774,92	-808,65	$\mu\text{V}/^\circ\text{C}$
pMOS	-1060	-846,53	-883,63	$\mu\text{V}/^\circ\text{C}$
nZVT	-721	-721,35	-630	$\mu\text{V}/^\circ\text{C}$

Em geral, o coeficiente linear das curvas medidas utilizando o método da extrapolação linear se aproxima mais do parâmetro $KT1$ do BSIM3v3 do que quando é usado o método da corrente constante. Dessa forma, os resultados apresentados servem para validar a hipótese de que o referido parâmetro é provavelmente extraído a partir do método da extrapolação linear.

3 PROJETO DO SENSOR DE TEMPERATURA

Neste capítulo será apresentado o projeto da topologia proposta para um sensor de temperatura a ser utilizado no monitoramento de *hot-spots* em circuitos VLSI baseado no comportamento CTAT da tensão de limiar como explorado no Cap.2. Uma vez que se utilizou o modelo compacto ACM (*Advanced Compact MOSFET*) para o projeto dos blocos constituintes do sensor, o capítulo inicia apresentando os valores dos seus principais parâmetros para a tecnologia empregada. A topologia proposta é então introduzida na forma de blocos, sendo o projeto de cada um deles explicados na sequência juntamente com os resultados das simulações SPICE.

3.1 PARÂMETROS TECNOLÓGICOS DO MODELO ACM

Em [17] são apresentados os procedimentos necessários para a extração dos principais parâmetros tecnológicos utilizados no modelo ACM. Com o auxílio de um simulador SPICE e considerando um transistor grande ($W=2,2\mu\text{m}$ e $L=1,8\mu\text{m}$) obteve-se os resultados sumarizados na Tab.(7).

**Tabela 7: Principais Parâmetros do Modelo ACM
(tecnologia CMOS de $0,18\mu\text{m}$)**

	V_{T0} [V]	I_{SH} [nA]	n	A_{VT} [mV. μm]	A_{ISH} [%. μm]
nMOS	0,388	123,4	1,21	5,86	3,71
pMOS	-0,386	17,4	1,31	3,36	0,769

Onde I_{SH} é a corrente de normalização de folha e n o fator de inclinação, todos para a condição típica de modelo (*corner tt*) e temperatura (T_{nom}).

Os parâmetros A_{VT} e A_{ISH} do modelo de descasamento apresentado no capítulo 4 de [17] foram calculados a partir do modelo clássico de Pelgrom fornecido pela *foundry*.

3.2 TOPOLOGIA PROPOSTA

A topologia proposta é baseada no circuito de [12] diferenciando-se na forma de se gerar a tensão e a corrente de referências. Para a primeira, fez-se a referência proporcional ao comportamento CTAT de V_T . Já para a segunda,

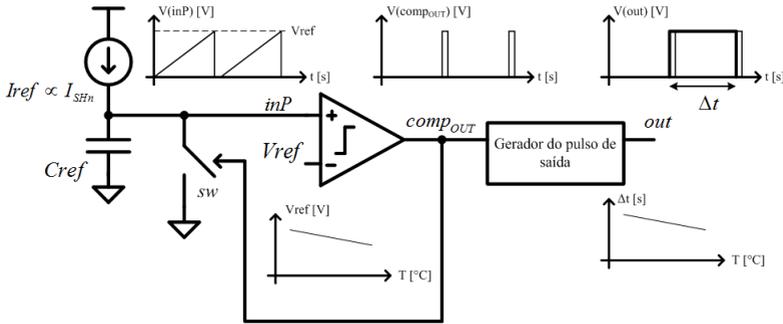


Figura 17: Diagrama de blocos do sensor de temperatura

optou-se por uma corrente proporcional à corrente específica da tecnologia pois o circuito responsável pela geração apresenta apenas transistores MOS e foi desenvolvido em nosso grupo de pesquisa [21].

O esquemático, em forma de blocos, é apresentado na Fig.(17).

Juntamente com o esquemático foram incluídas as formas de ondas em cada nó do circuito. De maneira geral, espera-se que a corrente I_{ref} varie pouco com a temperatura de modo que o capacitor C_{ref} seja carregado a uma taxa aproximadamente constante resultando na onda triangular para o nó inP . Quando este atinge o nível da tensão de referência V_{ref} a saída do comparador aciona, ao mesmo tempo, o gerador de pulso e a chave sw que descarrega rapidamente C_{ref} . O tempo em que sw permanece ligada depende dos atrasos do caminho de realimentação e do comparador. Uma vez desligada a chave, o capacitor é novamente carregado gerando um segundo pulso que cessará o pulso de saída cuja duração será dada por:

$$\Delta t = \frac{C_{ref}}{I_{ref}} \times V_{ref} \quad (9)$$

A utilização do tempo Δt ao invés da frequência possibilita se ter uma faixa maior de linearidade para o sensor. Neste caso, a informação sobre a temperatura é, então, contida na largura da janela. A contagem do número de pulsos de frequência conhecida dentro desta janela representa a temperatura.

3.2.1 Gerador de corrente específica

O gerador de corrente específica foi proposto em [21] como alternativa para se ter uma referência autônoma de ultra-baixo consumo. Juntamente, uma metodologia de projeto usando um modelo de transistor MOS, válido em todas as regiões de operação, foi introduzida. Dessa forma, a portabilidade do circuito para uma determinada tecnologia torna-se facilitada pois requer, como etapa adicional, apenas a extração dos parâmetros principais empregados no modelo ACM.

O bloco principal do gerador de corrente específica é a estrutura conhecida como *Self-Cascode MOSFET* (SCM) [21], composta pelos transistores N1 e N2, apresentada na Fig.(18) juntamente com a estrutura de polarização.

Nessa estrutura, o transistor N1 encontra-se na região linear enquanto que N2 está saturado. A corrente de dreno dos transistores para as condições de operação citadas é, respectivamente:

$$I_{DN1} = I_{SHN}S_{N1} (i_{fN1} - i_{rN1}) \quad (10)$$

$$I_{DN2} = I_{SHN}S_{N2}i_{fN2} \quad (11)$$

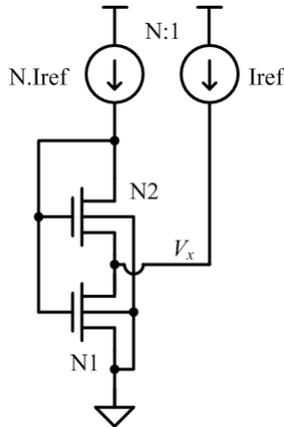


Figura 18: *Self-cascode* MOSFET (SCM)

onde i_f representa o nível de inversão direto e i_r o nível de inversão reverso.

Sabendo que i_f depende, basicamente, das tensões aplicadas nos terminais de porta e fonte, i_r das tensões nos terminais de porta e dreno e a partir da configuração do circuito do SCM mostrado na Fig.(18) pode-se afirmar que:

$$i_{fN2} = i_{rN1} \quad (12)$$

Uma vez que as fontes de corrente estabelecem a corrente nos dois transistores e utilizando (10)-(12) tem-se a seguinte expressão para a corrente de referência:

$$I_{ref} = I_{SHN} S_{N1} i_{fN1} \left[N \left(1 + \frac{S_{N1}}{S_{N2}} \right) + 1 \right]^{-1} \quad (13)$$

Sendo a corrente de referência proporcional a I_{SHN} tem-se que o nível de inversão direto (i_{fN1}) será independente da temperatura. Como N , S_{N1} e S_{N2} são parâmetros geométricos, a única componente variante com a temperatura é I_{SHN} , que é modelada pela seguinte expressão [17]:

$$I_{SHN} = \mu_N C'_{ox} n_N \frac{\phi_t^2}{2} \quad (14)$$

com μ_N representando a mobilidade dos portadores do transistor nMOS. Considerando um modelo de primeira ordem, e.g. [18]:

$$\mu_N = \mu_{N0} \left(\frac{T}{T_{nom}} \right)^{ute} \quad (15)$$

onde μ_{N0} representa a mobilidade dos portadores do transistor nMOS na temperatura nominal e ute o expoente térmico da mobilidade, e desprezando a dependência de C'_{ox} e n_N com respeito à temperatura, a variação de I_{SHN} com a temperatura é dada por:

$$\frac{\partial I_{SHN}}{\partial T} = (2 + ute) \frac{I_{SHN}}{T} \quad (16)$$

Para a tecnologia escolhida, o modelo BSIM3v3 fornecido pela *foun-dry* indica $ute = -2$; desta forma, a dependência de I_{ref} com T , em primeira ordem, é praticamente nula.

O nível de inversão para o transistor $N1$ foi escolhido de modo a se ter uma corrente de referência pouco sensível às variações da tensão de alimentação e que ao mesmo tempo não limitasse significativamente o valor mínimo

para esta última [21]. Dessa forma optou-se por $i_{fN1} = 88$.

Para a determinação do nível de inversão do transistor N2, primeiramente, escolhe-se um valor para a tensão V_x em uma dada temperatura. Juntamente a isso, faz-se uso da expressão conhecida por UICM [17]:

$$V_P - V_S = \phi_t [\sqrt{1 + i_f} - 2 + \ln(\sqrt{1 + i_f} - 1)] \quad (17)$$

onde V_S representa a tensão no terminal de fonte. V_P , em primeira ordem, pode ser aproximada por [17]:

$$V_P \approx \frac{V_G - V_T}{n} \quad (18)$$

sendo V_G a tensão aplicada no terminal de porta.

Aplicando (17) para o transistor N2 e sabendo que $V_{P1} = V_{P2}$, tem-se a seguinte relação:

$$f(i_{fN2}) = f(i_{fN1}) - \frac{V_x}{\phi_t} \quad (19)$$

onde:

$$f(i_{fN}) = [\sqrt{1 + i_{fN}} - 2 + \ln(\sqrt{1 + i_{fN}} - 1)] \quad (20)$$

Para $V_x = 3 \times \phi_t$ chega-se em $i_{fN2} = 45,2$.

Escolhendo o valor de 100nA para corrente de referência (I_{ref}) e um fator de espelhamento (N) igual a 2 de modo a se ter um bom compromisso entre área e consumo, as dimensões de N1 e N2 são obtidas a partir de:

$$S2 = \frac{N \times I_{ref}}{I_{SHN} \times i_{fN2}} \quad (21)$$

$$S1 = \frac{(N + 1) \times I_{ref}}{I_{SHN} \times (i_{fN1} - i_{fN2})} \quad (22)$$

Com o SCM dimensionado, o próximo passo é projetar o circuito gerador da tensão V_x . Seguindo [21], utilizou-se a estrutura conhecida como Espelho de Corrente Seguidor de Tensão (VFCM) (*Voltage Follower Current Mirror*) cujo esquemático é apresentado na Fig.(19).

O fator de escala J é escolhido igual a 1 para economia de potência.

Usando a eq.(17) para os transistores N3 e N4 tem-se:

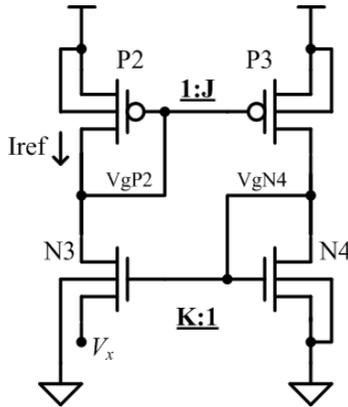


Figura 19: Espelho de corrente seguidor de tensão (VFCM)

$$V_x = \phi_t \left[\sqrt{1 + i_{fN4}} - \sqrt{1 + i_{fN3}} + \ln \left(\frac{\sqrt{1 + i_{fN4}} - 1}{\sqrt{1 + i_{fN3}} - 1} \right) \right] \quad (23)$$

Para a condição escolhida, $J = 1$, os níveis de inversão dos transistores N3 e N4 estão relacionados pela seguinte expressão:

$$i_{fN4} = K \times i_{fN3} \quad (24)$$

onde i_{fN3} é dado por:

$$i_{fN3} = \frac{I_{ref}}{I_{SHNS3}} \quad (25)$$

Sendo I_{ref} proporcional a I_{SHN} tem-se i_{fN3} e, conseqüentemente, o termo entre colchetes na eq.(23), independentes com respeito à temperatura fazendo assim V_x uma tensão PTAT.

A maneira mais convencional de utilização do VFCM é com N3 e N4 operando na inversão fraca de modo que V_x seja independente do nível de inversão, *i.e* não dependa da corrente de referência escolhida. Entretanto, nessa situação o comportamento CTAT da tensão no terminal de porta do transistor conectado como diodo é reforçado podendo fazer com que ele saia da saturação em temperaturas mais elevadas. Dessa forma, N4 foi dimensionado para

operar na região de transição entre a inversão fraca e moderada garantindo assim sua permanência na saturação para toda a faixa de temperatura (0 a 120°C) e em todos os *corners*.

Para o dimensionamento dos transistores pMOS inicialmente optou-se por utilizar um comprimento do canal grande para minimizar o efeito Early. Em seguida, considerou-se um nível de inversão na região moderada, evitando inversão forte, para que a tensão de alimentação mínima fosse relativamente baixa. E por fim, verificou-se, através da eq.(26) [17], que o descasamento na corrente dos espelhos fosse menor do que 1%.

$$\frac{\sigma^2(I_D)}{I_D^2} \cong \frac{2}{WL} \left[\left(\frac{A_{VT}}{n\phi_t} \right)^2 \frac{1}{i_f} \ln(1+i_f) + A_{ISH}^2 \right] \quad (26)$$

Uma melhor regulação de I_{ref} com respeito à tensão de alimentação é obtida empregando-se estruturas *cascode* nos transistores nMOS do VFCM [22]. Entretanto, diferente de [22] não se utilizou a composição de alta excursão. Por motivos de confibialidade optou-se pelo cascateamento simples de transistores, resultando no circuito mostrado na Fig.(20).

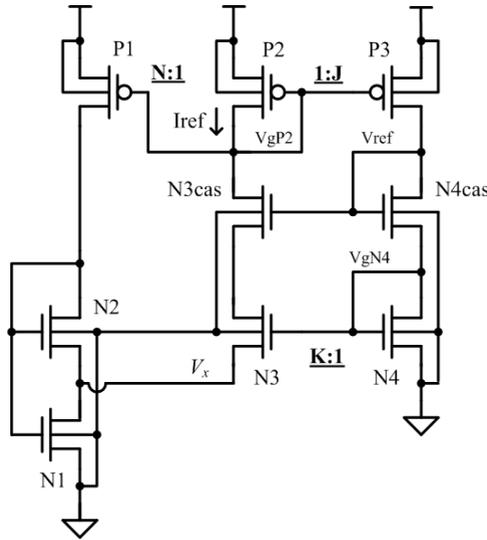


Figura 20: Gerador de corrente específica e tensão de referência

Inicialmente, por simplicidade, N3cas e N4cas foram feitos iguais a N3 e N4, respectivamente. Mas devido ao comportamento PTAT de V_x , em alguns *corners* o transistor N3 entrava na região linear. Assim, N3cas e N4cas foram redimensionados de modo a se ter N3 saturado em todos os casos considerados. Uma vez atingido o correto funcionamento do circuito, os transistores *cascode* tiveram o comprimento e a largura reduzidos em uma mesma proporção de modo a manter sua razão de aspecto (S) e, conseqüentemente, seu nível de inversão, para reduzir a área total do gerador de corrente específica.

A utilização dessa configuração permite também a elevação do nível da tensão V_{ref} , e, conseqüentemente, da duração do pulso. A expressão para a tensão de referência é obtida aplicando a eq.(17) para os transistores N4 e N4cas, resultando em:

$$V_{ref} = V_{T_{N4cas}} + n_{N4cas}V_{T_{N4}} + n_{N4cas}\phi_t [f(i_{fN4cas}) + n_{N4}f(i_{fN4})] \quad (27)$$

Aplicando a eq.(8) em (27), tem-se a expressão completa para a tensão de referência:

$$V_{ref} = V_{refT_{nom}} + \Delta V_{ref} \left(\frac{T - T_{nom}}{T_{nom}} \right) \quad (28)$$

onde:

$$V_{refT_{nom}} = V_{T_{0N4cas}} + n_{N4cas} [V_{T_{0N4}} + \phi_{t_{nom}} (f(i_{fN4cas}) + n_{N4}f(i_{fN4}))] \quad (29)$$

e

$$\Delta V_{ref} = (1 + n_{N4cas})KT_1 + n_{N4cas}\phi_{t_{nom}} [f(i_{fN4cas}) + n_{N4}f(i_{fN4})] \quad (30)$$

A eq.(30) indica a sensibilidade de V_{ref} com relação à temperatura e pode ser incrementada ou reduzida de acordo com as escolhas feitas para os níveis de inversão de N4 e N4cas.

Utilizando $i_{fN4} = 1,44$, $i_{fN4cas} = 0,535$ e assumindo que tanto o fator de inclinação quanto as tensões de limiares de ambos os transistores são iguais e dados pelos valores apresentados na Tab.(7), tem-se $V_{refT_{nom}} = 750\text{mV}$ e $\Delta V_{ref} = -0,7312\text{V}$. Entretanto, essa premissa de igualdade é um tanto falha. Uma vez que as dimensões dos transistores são diferentes e, principalmente, pelo transistor N4cas apresentar uma diferença de potencial entre os terminais de fonte e substrato a tensão de limiar torna-se diferente. O fator de inclinação

também é afetado devido às tensões na porta dos transistores serem diferentes, embora sua variação relativa seja menos significativa. Assim, o valor de 750mV pode ser tomado como uma primeira estimativa para o valor da tensão de referência V_{ref} .

As dimensões finais do gerador de corrente específica são apresentadas na Tab.(8).

Tabela 8: Dimensões dos transistores do gerador de corrente específica

transistor	i_f	Razão de Aspecto (S)	W [μm]	L [μm]
N1	88	0,051	3×1	$2 \times 29,4$
N2	45,2	0,034	1	29,4
N3	0,096	8,025	$15 \times 5,35$	10
N3cas	0,012	63,75	$15 \times 4,25$	1
N4	1,44	0,535	5,35	10
N4cas	0,535	4,25	4,25	1
P1	10,5	1	2×5	10
P2	10,5	0,5	5	10
P3	10,5	0,5	5	10

É importante garantir sempre a inicialização do circuito do gerador de corrente específica. Para isso faz-se necessário a presença de um circuito de *start-up*. A topologia escolhida foi apresentada em [22] e possui as vantagens de apresentar consumo estático desprezível, mesmo nas temperaturas mais elevadas. As dimensões de seus componentes são apresentadas na Tab.(9) com o circuito completo do gerador de corrente específica mostrado na Fig.(21).

Tabela 9: Dimensões dos transistores do circuito de *start-up*

Componente	W [μm]	L [μm]	Capacitância [fF]
N0st	0,3	1	–
N1st	$3 \times 0,22$	1	–
N2st	$3 \times 0,22$	1	–
N3st	0,22	1	–
Cst	7,84	21	100

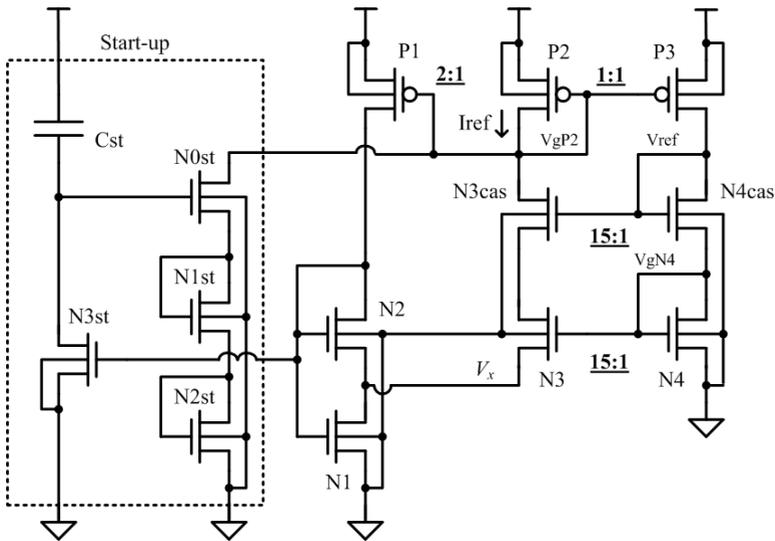


Figura 21: Gerador de corrente específica incluindo o *start-up*

Na Fig.(22) é apresentada a curva de I_{ref} pela temperatura enquanto que na Fig.(23) é mostrada a variação da tensão V_{ref} com respeito à temperatura para todos os *corners* disponíveis:

Tabela 10: *Corners* disponíveis na tecnologia CMOS 0,18 μ m

<i>corner</i>	Descrição
tt	condição nominal
3f (fff)	nMOS e pMOS rápidos incluindo a variação de $3\sigma^a$
ff	nMOS e pMOS rápidos
sf	nMOS lentos e pMOS rápidos
fs	nMOS rápidos e pMOS lentos
ss	nMOS e pMOS lentos
3s (ssf)	nMOS e pMOS lentos incluindo a variação de $3\sigma^a$

^aA inclusão da variação de 3σ nos *corners* 3f (3s) significa que o valor utilizado para um dado parâmetro é o seu valor médio em ff (ss) mais/menos a dispersão de 3σ .

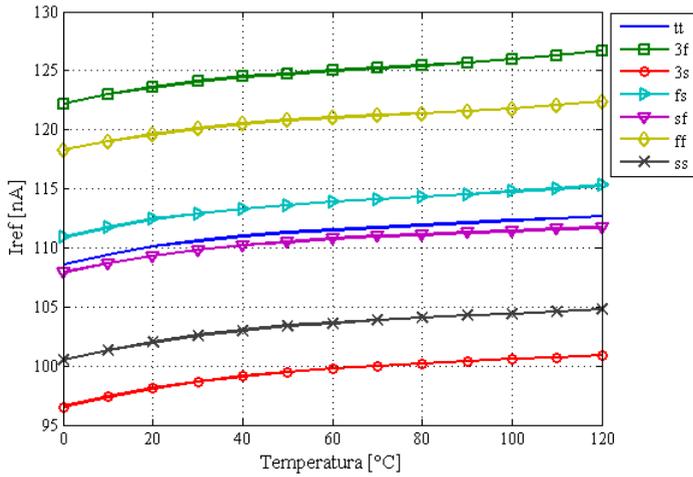


Figura 22: Corrente específica vs temperatura

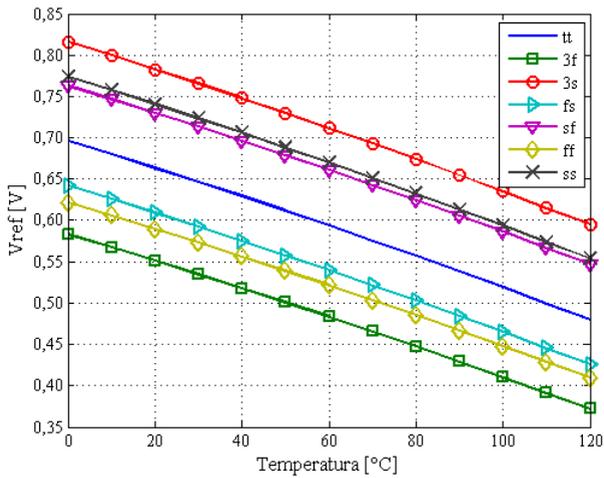


Figura 23: Tensão de referência vs temperatura

Pode-se perceber uma considerável diferença entre o valor de V_{ref} simulado (651,6mV) e o valor calculado a partir da eq.(28) para a condição típica (tt) (750mV). Além das razões explicitadas anteriormente (tensão de limiar diferente para N4 e N4cas, fator de inclinação também diferente, etc.), este fato pode ser atribuído, principalmente, à utilização de métodos diferentes na determinação da tensão de limiar empregados no cálculo teórico e na simulação.

3.2.1.1 Estimativa do pulso de saída considerando apenas o Gerador de Corrente Especifica

Com os dados obtidos das simulações e usando a eq.(9) tem-se o comportamento da duração do pulso de saída com respeito à temperatura. O resultado é mostrado na Fig.(24).

A sensibilidade (em quantos segundos a duração do pulso é alterada quando há uma variação de 1 grau Celsius) do sensor é plotada na Fig.(25).

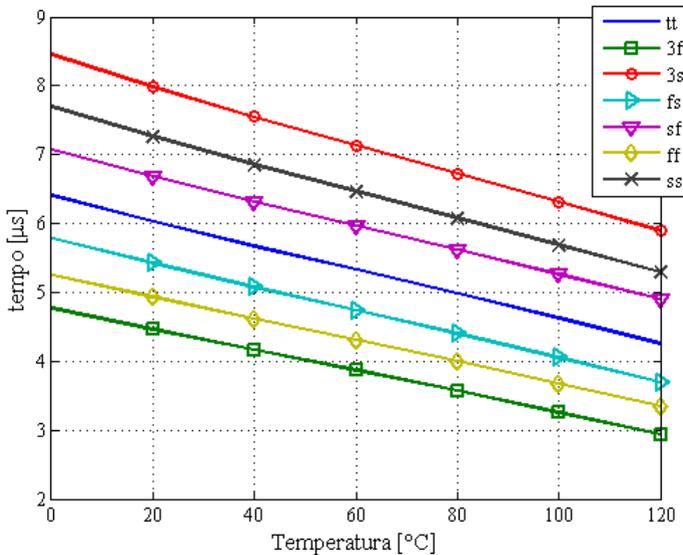


Figura 24: Duração do pulso vs temperatura

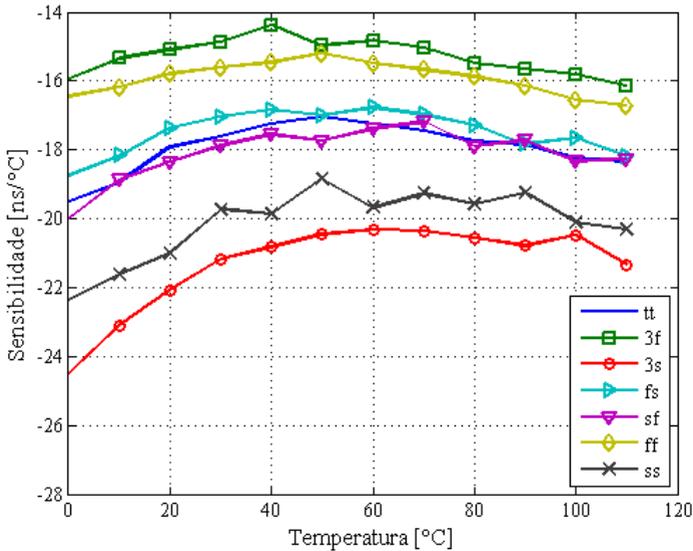


Figura 25: Sensibilidade do sensor vs temperatura

A partir do gráfico da Fig.(25) nota-se que para o pulso obtido poder ser digitalizado, é necessário, no pior caso (maior velocidade, menor duração do pulso), um sinal de relógio de no mínimo 72 MHz (período menor do que 14ns) para se ter uma resolução mínima de 1°C.

A linearidade da curva pode ser avaliada comparando-a a uma aproximação linear que passe por dois pontos de referências (20 e 100°C). A diferença entre elas foi então "convertida" para graus Celsius e o resultado é mostrado na Fig.(26).

Com o intuito de possibilitar a verificação da influência dos blocos restantes, separadamente, na resposta final do sensor, foram utilizados, juntamente com o gerador de corrente específica recém apresentado, modelos comportamentais em VerilogA do comparador e do gerador de pulso.

Para o capacitor integrador C_{ref} optou-se pela estrutura *dualmim* devido à sua linearidade, baixa sensibilidade à variação da temperatura (18 ppm/°C) e por possuir a maior capacitância por unidade de área (4,10fF/ μm^2) na tecnologia utilizada [13]. O valor de 1pF representou um bom compromisso entre área e duração do tempo do pulso.

A chave *sw* da Fig.(17) foi substituída por um transistor nMOS (N_{sw}),

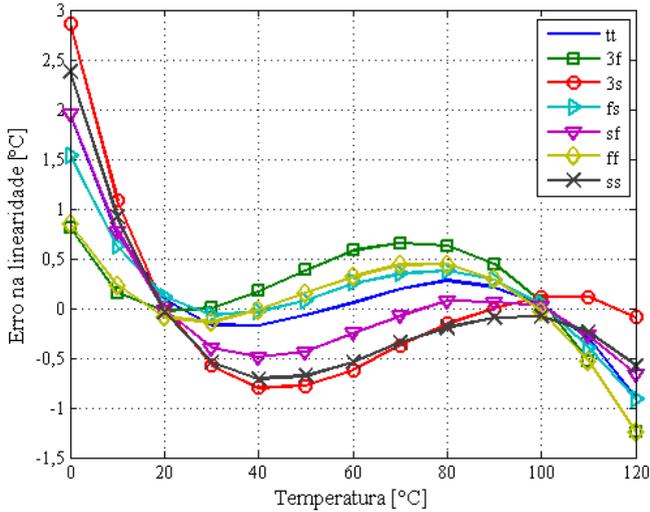


Figura 26: Erro da linearidade da duração dos pulsos simulados (*Corners*), convertida em graus Celsius

cujas dimensões, mostradas na Tab.(11), foram escolhidas de modo a se ter uma rápida descarga do capacitor e uma baixa corrente de fuga residual nas temperaturas mais elevadas considerando os *corners* em que sua tensão de limiar é menor (fs, ff 3f).

Tabela 11: Dimensões do transistor de descarga (Nsw)

Componente	W [μm]	L [μm]
Nsw	0,7	0,18

Os resultados das simulações deste circuito são comparados com os obtidos através da eq.(9) na Fig.(27) e os erros na linearidade das curvas são mostrados na Fig.(28).

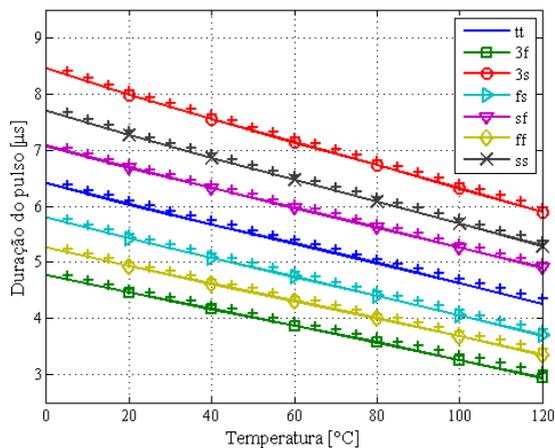


Figura 27: Comparação da curva teórica (eq.(9), curvas sólidas) com a simulação usando modelos comportamentais (+)

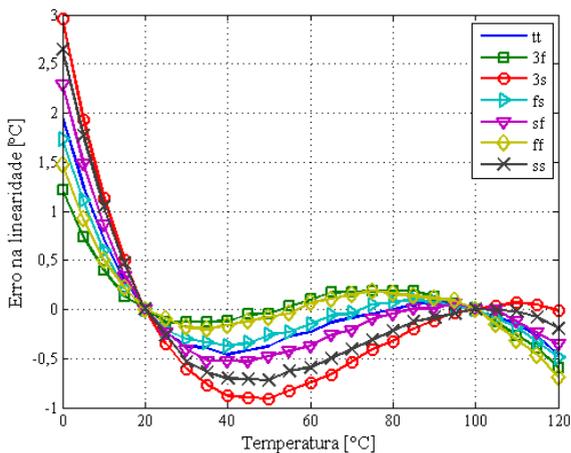


Figura 28: Erro da linearidade da duração dos pulsos simulados (*Corners*), convertida em graus Celsius usando modelos comportamentais

Na Fig.(27) pode-se perceber um leve deslocamento nas curvas obti-

das utilizando os modelos comportamentais, resultante dos atrasos inseridos no bloco do comparador e no bloco de atraso que modela o caminho de realimentação utilizado para descarregar o capacitor C_{ref} .

Com respeito à curva da não-linearidade nota-se que não há mudanças significativas com respeito à mostrada na Fig.(26).

3.2.2 Comparador

Basicamente há três tipos principais de comparadores [23]: em malha aberta, regenerativo e uma combinação dos dois. No primeiro caso o comparador é um amplificador linear sem compensação. No segundo emprega-se realimentação positiva na comparação. Já o terceiro faz uso das duas técnicas anteriores para se obter uma estrutura extremamente veloz.

Idealmente, a saída do comparador apresenta apenas dois estados, níveis lógicos 0 ou 1. Entretanto, na implementação do circuito há uma região de transição dependente do ganho do comparador; quanto maior o ganho, menor será essa zona. Além disso, existe também o *offset* que define o valor da diferença entre os sinais na entrada necessário para ocorrer a mudança de estado. Assim, a curva que representa as características recém citadas é mostrada na Fig.(29).

Outra característica importante do comparador é sua faixa de modo-comum na entrada (ICMR). Ela define a faixa de valores de tensão em que as entradas devem permanecer de modo a garantir o seu correto funcionamento.

O tempo de atraso de propagação é definido como o tempo que o comparador demora para responder a uma excitação, relativamente pequena, na

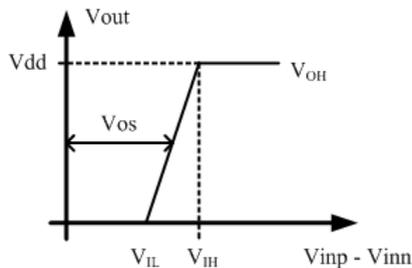


Figura 29: Curva característica do comparador

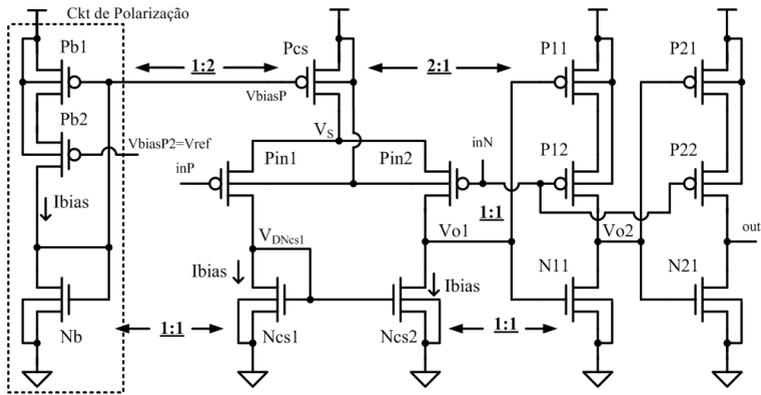


Figura 30: Circuito em esquemático do comparador

entrada [23]. Ele é dependente desta excitação e, quanto maior ela for, menor será o atraso. Entretanto, há um valor de amplitude, que se ultrapassado, não provoca mudanças nesse tempo de atraso; diz-se que, neste caso, o comparador está operando no modo de *slewing* ou *slew rate* [23].

No contexto do sensor, o comparador é o bloco que define o início e o fim do pulso de saída. À sua entrada inversora (inN) está conectada a tensão CTAT de referência (V_{ref}) gerada pelo gerador de corrente específica. Já na entrada não-inversora (inP) são conectados um transistor pMOS ($P6$), que espelha a corrente de referência, o capacitor C_{ref} , que integra essa corrente, e um transistor nMOS (N_{sw}) que descarrega o capacitor após a tensão no capacitor atingir V_{ref} .

Por simplicidade, optou-se por utilizar um par diferencial com saída simples conectado a dois inversores em série. A opção pela entrada pMOS foi devido à baixa tensão de modo comum nos *corners* fs, ff e 3f, e por possibilitarem um casamento melhor com uma área menor [13]. O esquemático do comparador é apresentado na Fig.(30).

Os transistores adicionais nos inversores foram colocados de modo a replicar a estrutura do par diferencial. Dessa forma permite-se a utilização de um esquema auto-ajustável para o circuito de polarização como mostrado na região tracejada da Fig.(30).

O principal propósito dessa configuração é fazer com que, através da corrente de polarização, a tensão do terminal de dreno ($V_{DN_{cs1}}$) do espelho de corrente nMOS, e conseqüentemente, a tensão no nó de saída do par di-

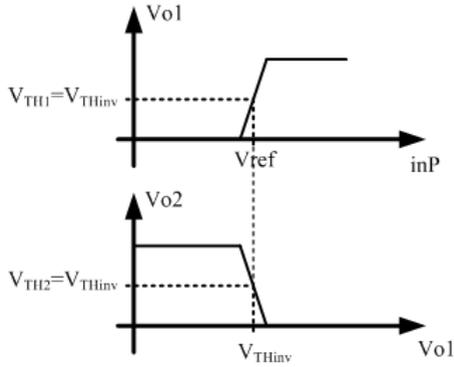


Figura 31: Comportamento dos chaveamentos do comparador

ferencial ($Vo1$) acompanhe as variações ocorridas na tensão de chaveamento (V_{TH}) dos inversores de saída devido à variação da temperatura, conforme esquematizado na Fig.(31).

Devido a essa opção, o projeto do comparador torna-se bastante simplificado. Inicia-se com o dimensionamento dos transistores nMOS e pMOS do circuito de polarização tendo como base um nível desejado para a corrente de polarização (e.g. algumas unidades de μA). Para isso utiliza-se a eq.(17) juntamente com a aproximação em primeira ordem para a tensão de *pinch-off* em Nb e $Pb1$ resultando nas seguintes relações:

$$V_{G_{Nb}} = V_{TN} + n_N \phi_t \left[\sqrt{1 + \frac{I_{bias}}{I_{SHN} S_N}} - 2 + \ln \left(\sqrt{1 + \frac{I_{bias}}{I_{SHN} S_N}} - 1 \right) \right] \quad (31)$$

$$V_{G_{Pb1}} = V_{dd} + V_{TP} - n_P \phi_t \left[\sqrt{1 + \frac{I_{bias}}{I_{SHP} S_P}} - 2 + \ln \left(\sqrt{1 + \frac{I_{bias}}{I_{SHP} S_P}} - 1 \right) \right] \quad (32)$$

Pelo circuito da Fig.(30) nota-se que os dois transistores compartilham o terminal de porta. Dessa forma iguala-se as equações (31) e (32) e escolhendo as razões de aspecto de Nb e $Pb1$, S_N e S_P respectivamente, encontra-se a corrente de polarização I_{bias} .

A solução dessa igualdade foi determinada numericamente através das

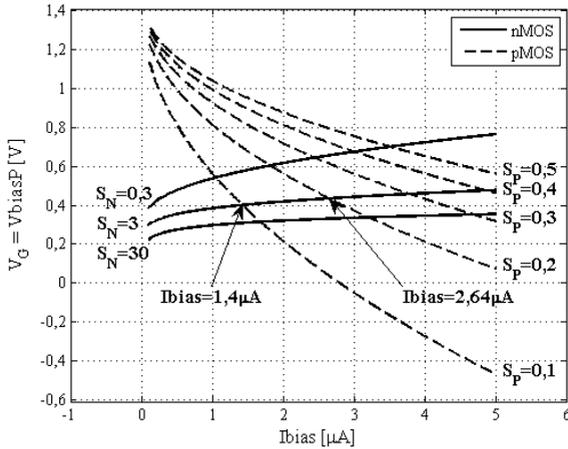


Figura 32: Gráfico para determinação da polarização do Comparador (I_{bias}) ($T=27^{\circ}\text{C}$)

curvas sobrepostas de ambas equações como mostrado na Fig.(32).

No gráfico foram plotados três casos para S_N (0,3, 3 e 30) com S_P variando de 0,1 a 0,5 sendo identificadas as intersecções de $S_N = 3$ com $S_P = 0,1$ e $S_P = 0,2$ para demonstrar que a corrente I_{bias} apresenta uma considerável sensibilidade com respeito a S_P . Além da restrição do consumo, na escolhas de S_P e S_N deve-se considerar também a ICMR permitida. Ela é calculada da mesma forma que para o par diferencial apresentada em [17], diferenciando-se apenas o tipo de entrada. A expressão para a máxima tensão de entrada V_{in} permitida para o comparador é dada por:

$$V_{inMAX} = n_P V_{S_{MAX}} + V_{TP} + n_P \phi_t f(i_{fP_{in}}) \quad (33)$$

onde:

$$V_{S_{MAX}} = V_{DD} - \phi_t [\sqrt{1 + i_{fP_{cs}}} + 3] \quad (34)$$

E a mínima tensão de entrada é dada por:

$$V_{inMIN} = n_P V_{D_{Ncs1}} + V_{TP} + n_P \phi_t [5 - \ln(\sqrt{1 + i_{fP_{in}}} - 1)] \quad (35)$$

com:

$$V_{DNcs1} = V_{TN} + n_N \phi_t f(i_{fNcs1}) \quad (36)$$

Percebe-se que a ICMR é dependente também do nível de inversão dos transistores do par de entrada, que pela simetria empregada, são representados por Pb2 do circuito de polarização da Fig.(30). Isso significa que no dimensionamento de Pb2 ambas equações, (33) e (35), devem ser consideradas em suas respectivas condições críticas, *corner* 3s e $T = 0^\circ\text{C}$ para a máxima tensão e 3f e $T = 120^\circ\text{C}$ para o valor mínimo.

Importante ressaltar que devido à composição auto-ajustável do circuito de polarização, a corrente I_{bias} varia para as condições acima citadas. Dessa forma deve-se gerar novamente o gráfico da Fig.(32) com os parâmetros adequados para determinar o valor de I_{bias} de modo a verificar as imposições dadas por (33) e (35). Esse procedimento requer que seja novamente realizada a extração dos principais parâmetros apresentados na Tab.(7) para as condições de interesse. Os novos valores são sumarizados na Tab.(12)

Tabela 12: Principais Parâmetros do Modelo ACM sob novas condições

	3s, @0°C		3f, @120°C	
	V_{T0} [V]	I_{SH} [nA]	V_{T0} [V]	I_{SH} [nA]
nMOS	0,460	101	0,290	179,7
pMOS	-0,456	12,97	-0,276	30,51

Seguindo os procedimentos descritos e após alguns ajustes, ao longo das simulações, chegou-se aos seguintes valores:

Tabela 13: Dimensões dos transistores do comparador e circuito de polarização

transistores	Razão de Aspecto (S)	W [μm]	L [μm]
Ncs1/Ncs2/N11/N21/Nb	0,17	0,85	5
P11/P21/Pb1	0,1	0,5	5
Pcs	$2 \times 0,1$	$2 \times 0,5$	5
Pin1/Pin2/P12/P22/Pb2	80	2×10	0,25

As dimensões W e L foram escolhidas a partir da razão de aspecto e tomando-se em conta restrições de descasamento, capacitâncias parasitas, etc.

Simulações SPICE foram utilizadas para avaliar o desempenho do comparador. Inicialmente, é mostrada na Fig.(33) o comportamento da cor-

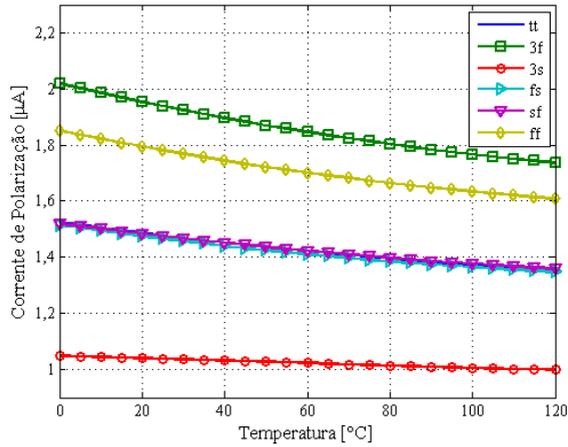


Figura 33: Variação da corrente de polarização com a temperatura

rente de polarização (*Ibias*) com respeito a variação da temperatura.

Na Fig.(34) são mostradas as curvas para o ganho em baixa frequência (10Hz) para a faixa de temperatura de 0 a 120°C nos *corners* disponíveis.

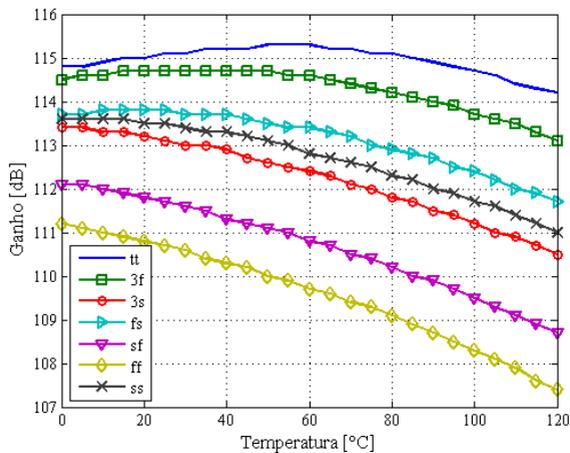


Figura 34: Ganho em baixa frequência do comparador

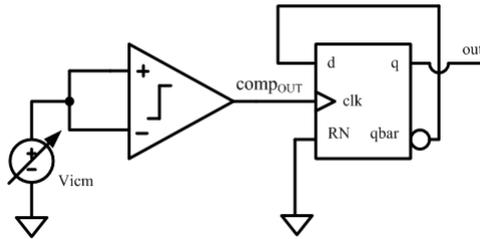


Figura 35: Circuito para simulação da ICMR do comparador

Em seguida, utilizou-se a configuração mostrada na Fig.(35) para verificar a ICMR com o resultado das simulações apresentadas na Fig.(36)

Nota-se pelas curvas apresentadas na Fig.(36) que a faixa de modo comum na entrada se estende até, aproximadamente, 820mV para os três casos considerados.

Para determinar o atraso do comparador foi empregado o circuito mostrado na Fig.(37) cuja amplitude escolhida para o pulso foi de 2mV por esta representar a variação de aproximadamente 1°C. Os resultados são mostrados na Fig.(38).

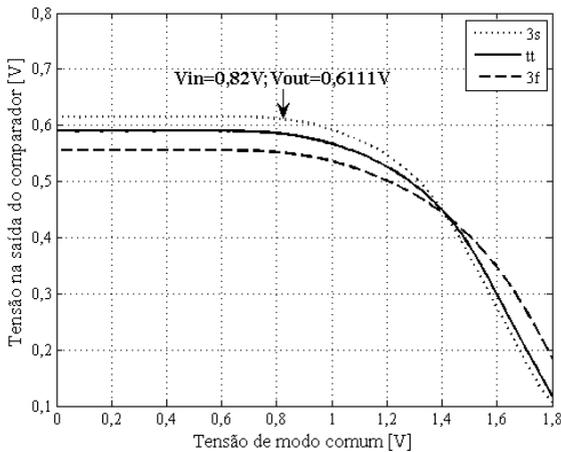


Figura 36: Curva da simulação da ICMR do comparador

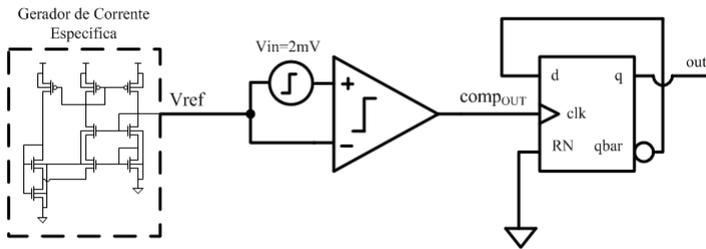


Figura 37: Circuito para a simulação do atraso do comparador

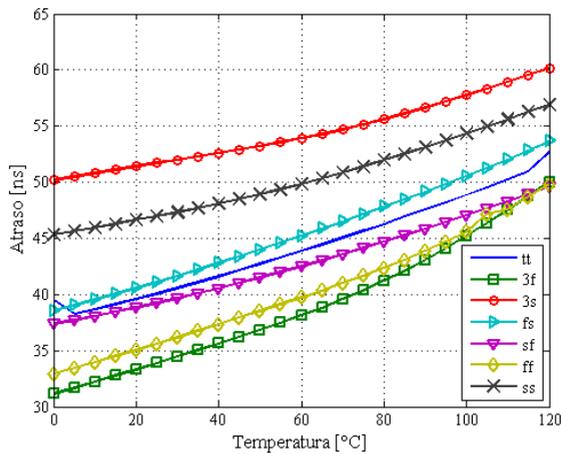


Figura 38: Curva da simulação do atraso do comparador

A tensão de *offset* do comparador é devido ao descasamento dos transistores. Para avaliá-la realizou-se a simulação estatística Monte Carlo considerando 100 rodadas com o circuito da Fig.(37) apenas alterando o tipo da fonte de tensão e o sinal aplicado à entrada do comparador. Neste caso, utilizou-se uma fonte DC variando seu valor de -100mV a 100mV. Na simulação optou-se por aplicar o descasamento apenas nos transistores do comparador (incluindo o circuito de polarização). A tensão de *offset* foi tomada como sendo a tensão diferencial necessária na entrada para que a saída se igualasse

a $V_{dd}/2$ (0,9V). Os resultados a 0°C são mostrados na Fig.(39) e a 120°C na Fig.(40).

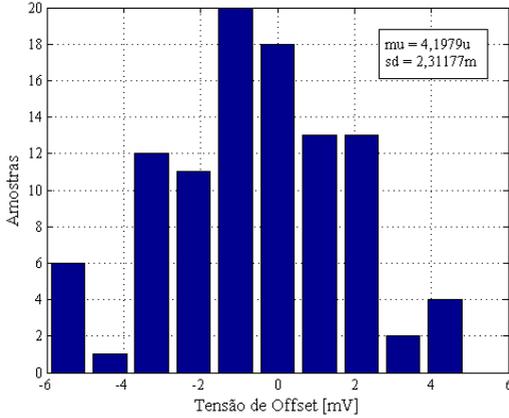


Figura 39: Histograma com os resultados das simulações Monte Carlo para a tensão de *offset* a 0°C

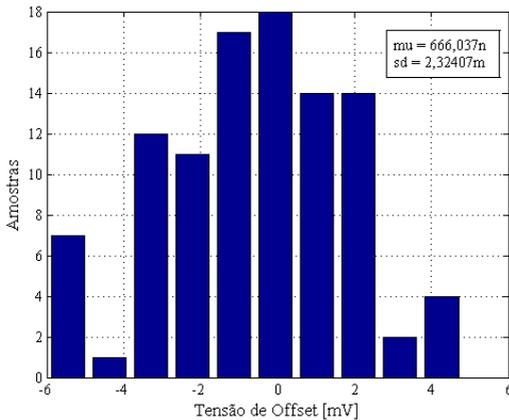


Figura 40: Histograma com os resultados das simulações Monte Carlo para a tensão de *offset* a 120°C

Embora as curvas apresentem uma considerável dispersão acredita-se que a tensão de *offset* não sofra tantas alterações conforme se varie a temperatura. Para essa premissa, o efeito provocado pela tensão de *offset* seria apenas de um deslocamento das curvas das durações dos pulsos que poderia ser corrigida através de um mecanismo de calibração. Entretanto, uma análise mais aprofundada deve ser realizada em trabalhos futuros.

Considerando os seguintes resultados satisfatórios: ganho não inferior a 62dB, comparador respondendo até a entrada de modo comum máxima de 820mV e o atraso variando menos do que 20ns, prosseguiu-se para a verificação da influência do comparador no sensor.

3.2.2.1 Estimativa do pulso de saída incluindo o comparador

Para a estimativa do pulso após a inclusão do comparador, substituiu-se o modelo comportamental até então utilizado pelo circuito esquemático. O resultado desta simulação é apresentado na Fig.(41).

Conforme esperado há novamente a presença de um *offset* na curva resultante do atraso do comparador. Entretanto, tanto a sensibilidade quanto o erro da linearidade da curva não são significativamente afetados como pode

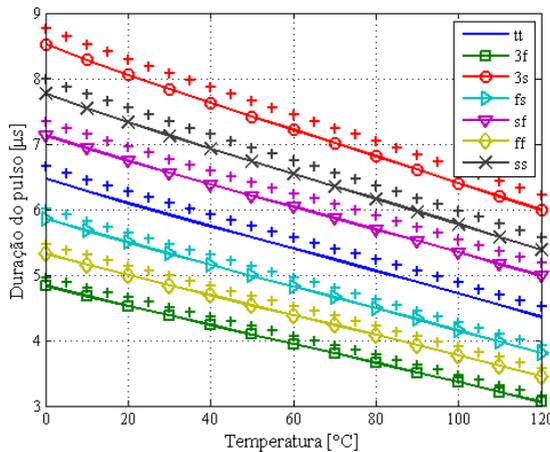


Figura 41: Comparação da duração do pulso com o modelo comportamental do comparador (linha sólida) e incluindo o esquemático do comparador (+)

ser observado nos gráficos das Figs.(42) e (43), respectivamente.

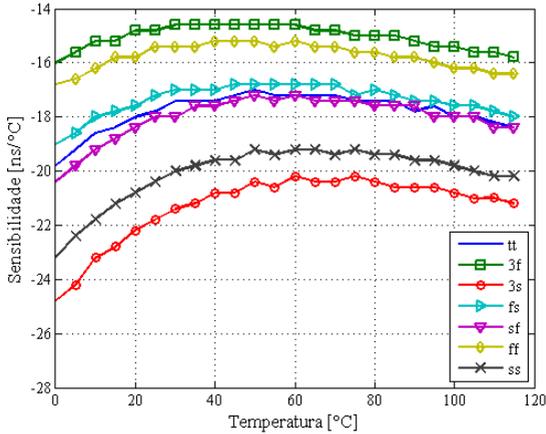


Figura 42: Sensibilidade do sensor vs a temperatura, todo o circuito na forma de esquemático

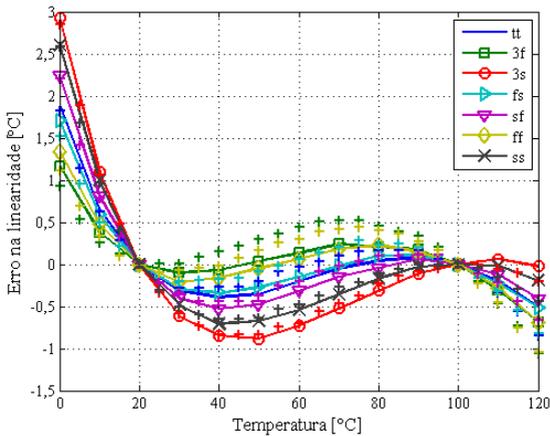


Figura 43: Erro da linearidade, convertida em graus Celsius, das curvas usando o modelo comportamental (linha sólida) e o circuito em esquemático (+)

3.2.3 Gerador do pulso de saída

Pela eq.(9) tem-se que a medida da temperatura do circuito é dada pelo tempo de carga do capacitor até a tensão de referência. Uma forma de medir esse tempo é através de um pulso acionado no momento em que a corrente de referência começa a carregar o capacitor C_{ref} e resetado quando é atingida a tensão de referência.

Esse comportamento pode ser obtido a partir de uma estrutura sensível à borda, tanto positiva quanto negativa, onde dois pulsos consecutivos são utilizados para ativar e desativar a saída. Dessa forma tem-se a medida do tempo entre os dois pulsos que representa, principalmente, o tempo de carga do capacitor.

Uma das alternativas mais simples é através de um *flip-flop* tipo D com a saída negativa (\overline{q}) conectada à entrada d e fazendo clk como entrada principal, conforme mostrado na Fig.(44).

A tecnologia utilizada disponibiliza quatro topologias diferentes para *flip-flops* do tipo D: **DFF** apresenta apenas as entradas e saídas básicas (d , clk , q , \overline{q}); **DFFR** entrada de reset é incluída ao tipo DFF; **DFFS** entrada de set é incluída ao tipo DFF; **DFFSR** entradas de set e reset são incluídas ao tipo DFF;

Como o intuito é que a saída seja na forma de pulso e é importante a disponibilidade de algum mecanismo para forçar um estado conhecido (set ou reset) optou-se pelo segundo tipo (DFFR) onde o comando de *reset* é ativado pelo nível lógico 0.

Uma vez que as células padrões (*standard cells*) digitais foram caracterizadas apenas na condição nominal realizaram-se algumas simulações do *flip-flop* da Fig.(44), isoladamente, para avaliar seu desempenho com respeito à variação da temperatura nos diferentes *corners* disponíveis. O sinal de entrada foi gerado a partir de uma fonte de pulso de tensão ideal que alimenta

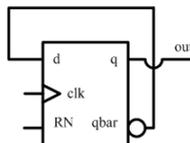


Figura 44: *Flip-flop* tipo D com realimentação

uma cadeia de 4 buffers que, por sua vez, é conectada ao *flip-flop*. Desta forma o sinal de teste aplicado à entrada **clk** fica mais próximo ao sinal quando este for empregado no circuito do sensor. À saída **q** foi conectado um outro buffer para servir de carga.

A variação relativa obtida do atraso foi em torno de 22%. Entretanto, devido ao seu baixo valor absoluto, na ordem das dezenas de picossegundos, torna-o pouco influente no erro total do pulso de saída. Por exemplo, para o *corner tt*, onde a variação total do pulso é $2,141\mu\text{s}$ para a faixa de 120°C , o erro introduzido pela variação do atraso do *flip-flop* é menor do que $0,003^\circ\text{C}$.

O esquemático completo do sensor proposto é apresentado na Fig.(45).

A etapa seguinte é a elaboração do *layout* dos blocos componentes do sensor seguida da reunião dos mesmos de modo a enviar o circuito para fabricação. No próximo capítulo serão apresentados os detalhes desses *layouts* juntamente com a simulação do sensor considerando os elementos parasitas introduzidos.

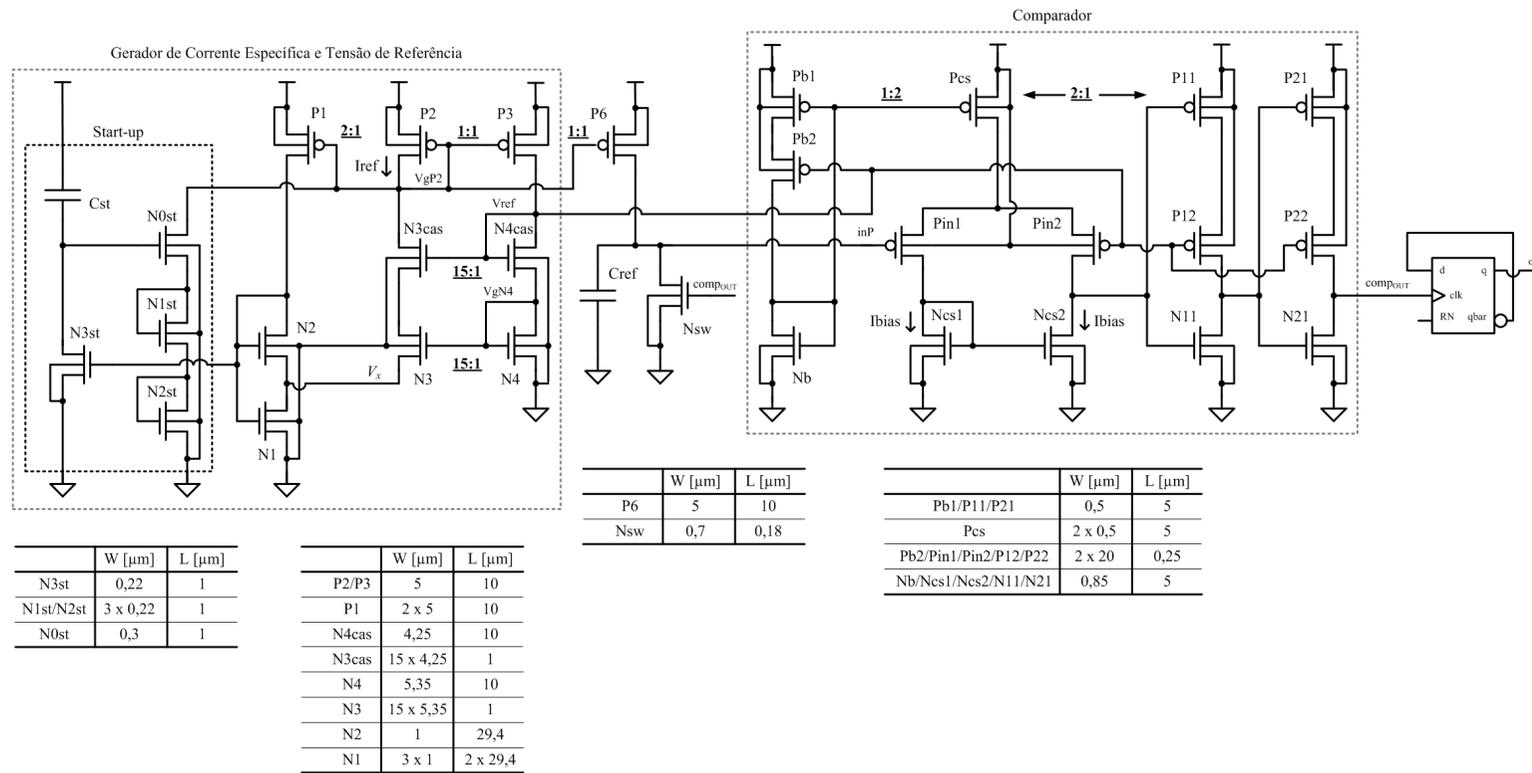


Figura 45: Circuito esquemático completo do sensor

4 LAYOUT E SIMULAÇÃO PÓS-LAYOUT DO SENSOR

A fabricação do projeto apresentado na tecnologia $0,18\mu\text{m}$ foi viabilizada através da Programa Educacional da MOSIS (MEP) [24].

Para o sensor de temperatura é desejável que o mesmo apresente uma área reduzida de modo a possibilitar a utilização de vários de seus elementos. Dessa forma, o *layout* tem um papel fundamental uma vez que é ele quem define a verdadeira área ocupada pelo circuito.

Ao longo deste capítulo serão apresentados os *layouts* dos blocos do sensor de temperatura e, ao final, compara-se os resultados da simulação do circuito considerando o *layout* com os do circuito em forma de esquemático.

4.1 LAYOUT

4.1.1 Gerador de corrente específica

O *layout* do gerador de corrente específica, incluindo o circuito de *start-up* é apresentado na Fig.(46).

Para o gerador de corrente específica fez-se uso de transistores relativamente grandes para reduzir problemas de descasamento. N1 é composto por uma associação em série/paralelo de transistores unitários feitos iguais ao transistor N2 e conectados de forma interdigitada. Conforme mencionado

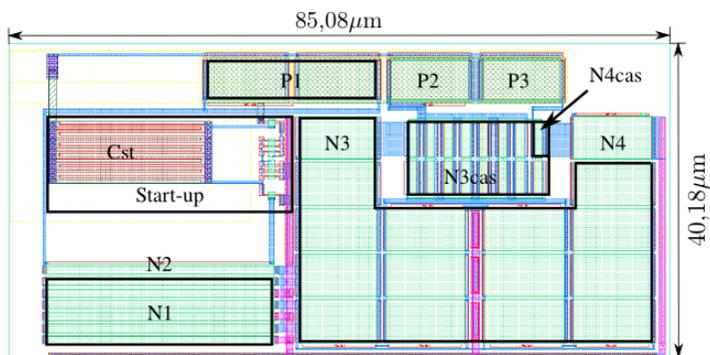


Figura 46: *Layout* do gerador de corrente específica

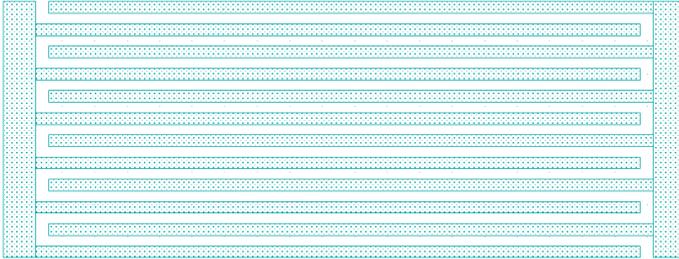


Figura 47: Capacitor Vertical Natural (VNCAP)

anteriormente, capacitores do tipo *dualmim* apresentam uma boa linearidade e uma capacitância por unidade de área mais elevada. Entretanto, devido às restrições de largura e comprimento mínimos impostos pelo *design kit*, o menor valor possível para essas estruturas fica entorno de 750fF. Por este motivo, para o capacitor C_{st} , cuja capacitância é de aproximadamente 100fF, foi escolhido o VNCAP (Capacitor Vertical Natural). Este tipo de capacitor é formado por diversos níveis de metais sobrepostos, conectados através de vias, em que cada um apresenta a configuração mostrada na Fig.(47).

Pode-se perceber que, conforme esperado, o capacitor utilizado no circuito de *start-up*, mesmo apresentando uma capacitância relativamente pequena, ocupa uma área considerável do circuito, embora a estrutura dominante na área total seja o VFCM (principalmente N3).

4.1.2 Gerador do pulso de saída

Como optou-se por utilizar a célula padrão do *flip-flop* tipo D com terminal de *reset* (RN), ativo em nível lógico 0, disponível no *design kit*, o *layout*, apresentado na Fig.(48), já se encontrava pronto. A única edição necessária foi a adição da célula *NWSX* responsável pelas conexões de substrato dos transistores nMOS e pMOS.

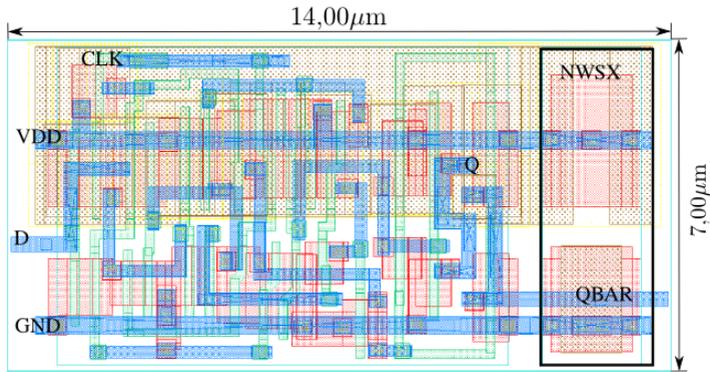


Figura 48: Layout do flip-flop tipo D

4.1.3 Comparador

A opção por manter a simetria no comparador propiciou a confecção de um *layout* bastante simplificado e compacto como pode ser visto na Fig.(49)

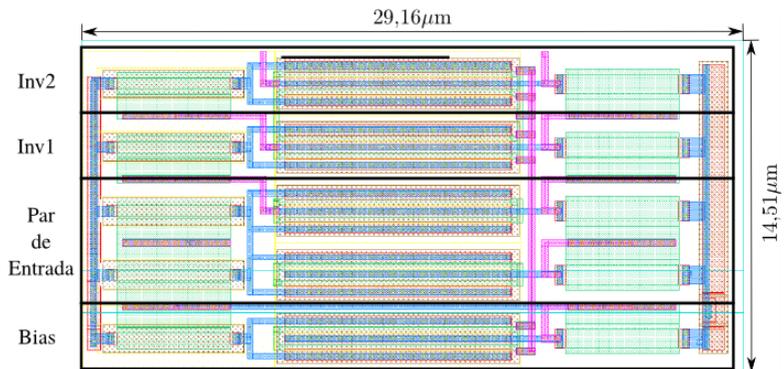


Figura 49: Layout do comparador

4.1.4 Topologia Proposta

Na Fig.(50) é mostrada a topologia proposta para o sensor de temperatura composta pelos *layouts* dos blocos apresentados mais dois transistor pMOS, P5 a ser utilizado para a medição da corrente específica e P6 para espelhar a corrente específica a ser integrada no capacitor de referência (*Cref*).

A área ocupada pelo capacitor do tipo *dualmim* de 1pF representa aproximadamente 14% da área total do sensor. Entretanto, uma alternativa, não aplicada nesse projeto, seria alocar o capacitor sobre algum circuito componente do sensor uma vez que os metais empregados no capacitor *dualmim* são os dos níveis mais elevados (MT e ML).

Mesmo assim, a área final de aproximadamente 0.006mm^2 pode ser considerada satisfatória para um sensor de temperatura ainda mais considerando o seu baixo consumo (aproximadamente $18\mu\text{W}$ em 120°C). Como comparação, o sensor de [12] ocupa uma área de aproximadamente 0.00375mm^2 utilizando uma tecnologia de 90nm com um consumo em torno de $910\mu\text{W}$.

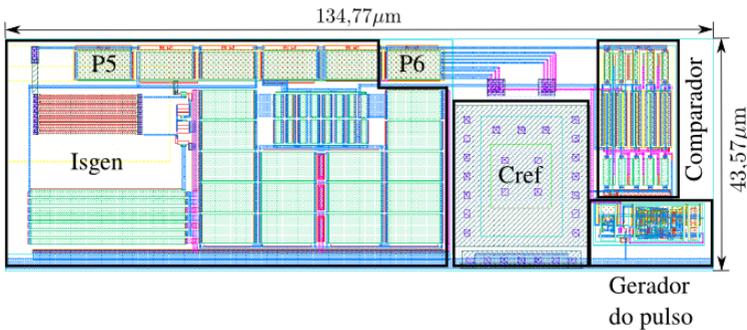


Figura 50: *Layout* completo do sensor proposto

4.2 SIMULAÇÃO PÓS-LAYOUT

Nesta seção são apresentadas as curvas das simulações do sensor em sua forma completa, *i.e.* o circuito da Fig.(50), após a extração de seus parasitas em comparação com seu equivalente na forma de esquemático, circuito da Fig.(45). Esse procedimento serve para avaliar o impacto do *layout* no desempenho geral do circuito.

Na Fig.(51) são mostradas as curvas comparativas do pulso de saída do circuito completo na forma de esquemático e com os elementos parasitas extraídos.

As curvas de sensibilidade e dos erros na linearidade são mostradas nas Figs.(52) e (53), respectivamente.

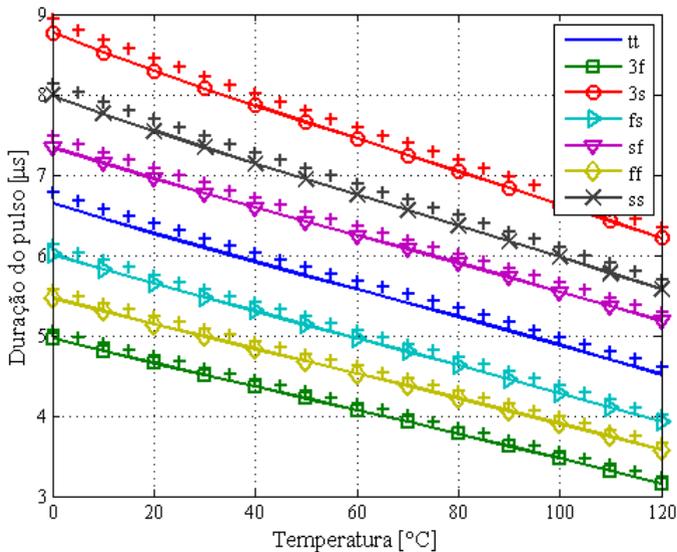


Figura 51: Comparação do pulso de saída dos circuitos em esquemático (linhas sólidas) e com os parasitas extraídos (+)

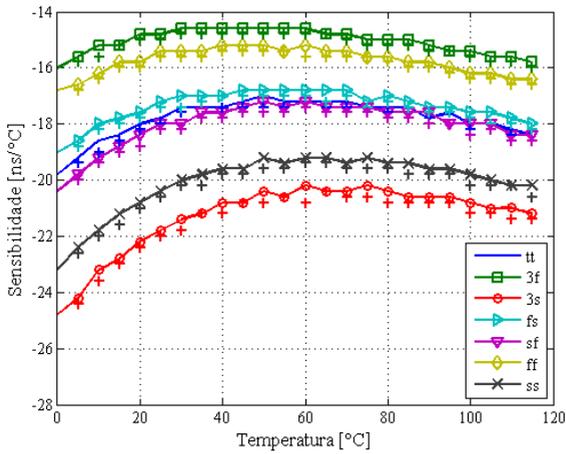


Figura 52: Sensibilidade vs temperatura, circuito em esquemático (linha sólida) e com os parasitas extraídos (+)

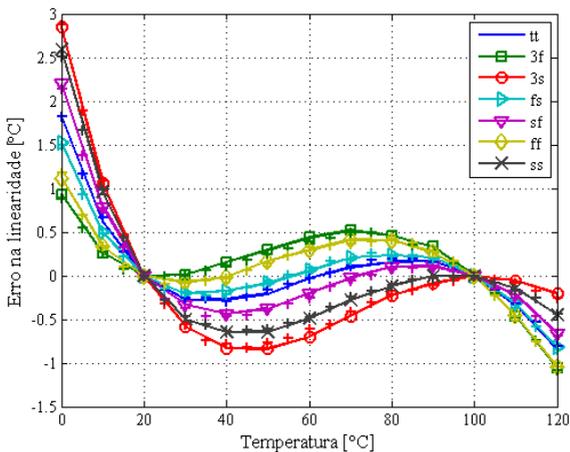


Figura 53: Comparação do erro na linearidade dos circuitos em esquemático (linhas sólidas) e com os parasitas extraídos (+)

Conforme esperado há um ligeiro aumento no tempo de duração do

pulso decorrente dos acréscimos nos atrasos dos componentes do sensor devido aos parasitas. Entretanto, tanto a sensibilidade quanto a linearidade da curva permanecem dentro da faixa considerada aceitável, *i.e.*, onde se tem uma resolução de no mínimo 1°C na faixa de 20 a 100°C , podendo assim o projeto ser dado por concluído.

5 MEDIÇÕES NO GERADOR DE CORRENTE ESPECÍFICA

Neste capítulo são apresentados os resultados obtidos na medição do protótipo fabricado na tecnologia CMOS 0,18 μ m. A caracterização do gerador de corrente específica e da tensão de referência são apresentadas com uma breve descrição da configuração utilizada em suas medições. Em posse desses parâmetros é feita uma estimativa do comportamento do pulso de saída com respeito à temperatura.

Na Fig.(54) é mostrada a fotografia do chip fabricado com destaque para o sensor de temperatura. O diagrama de PADS é apresentado na Fig.(55). Uma observação é a presença de dois PADS de alimentação, PAD 33 (para o gerador de pulso) e PAD 37 (para o Gerador de Corrente Específica e para o comparador) para possibilitar a caracterização tanto do consumo dinâmico quanto estático, respectivamente.

A primeira caracterização realizada do Gerador de Corrente Específica foi a do comportamento tanto da corrente (I_{ref}) como da tensão (V_{ref}) de referência com respeito à tensão de alimentação. Foi utilizado o analisador de parâmetros de semicondutor Agilent 4156C tanto para a variação da tensão de alimentação quanto para as medições da corrente e da tensão de referências. Escolheu-se um passo de 2mV para a tensão de alimentação (PAD 37).

A tensão V_{ref} foi medida diretamente do PAD 34, conectado à porta do transistor Ncas4, através do terminal de medição de tensão (V_{m1}).

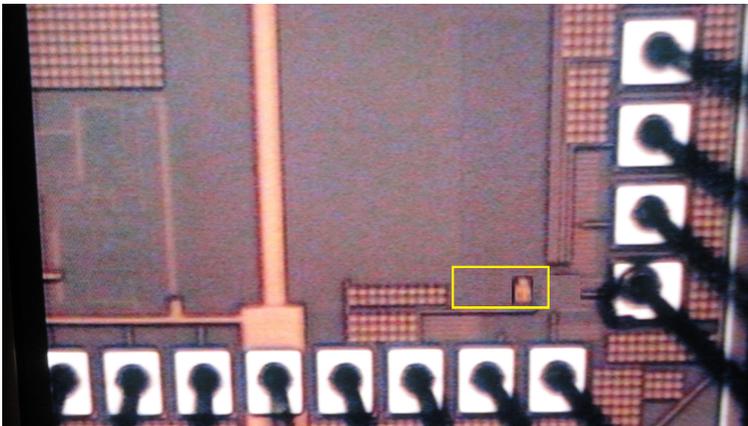


Figura 54: Fotografia do protótipo fabricado

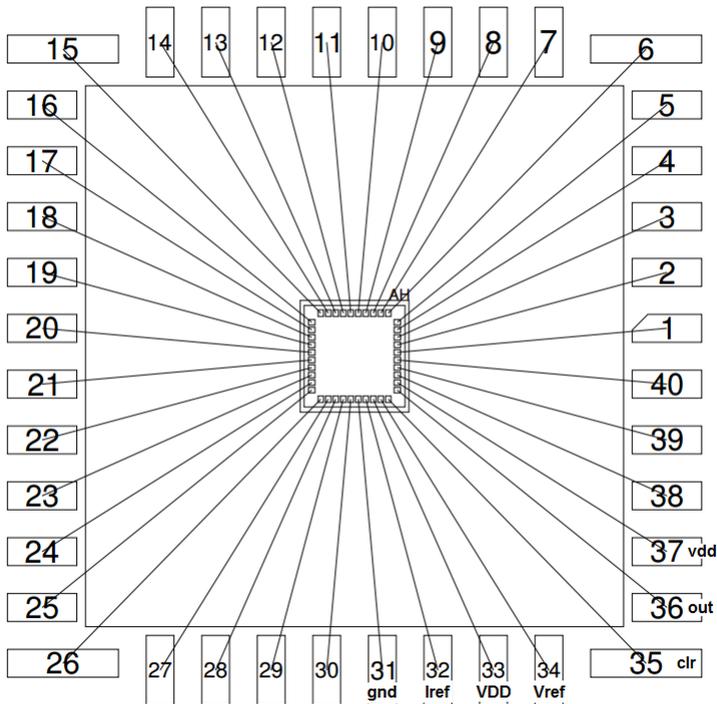


Figura 55: Diagrama de PADS do protótipo fabricado

A corrente I_{ref} foi espelhada do Gerador de corrente específica através do transistor P5, do tipo pMOS (ver Fig.(50)), para o PAD 32 de modo a possibilitar sua medição. A tensão aplicada neste PAD (terminal de dreno do transistor) foi ajustada após a medição de V_{ref} de modo a reduzir a influência do efeito da modulação do canal no espelhamento da corrente.

Devido ao comportamento CTAT da tensão de limiar, a tensão mínima de operação é determinada pela condição de mínima temperatura (0°C). Para se ter o circuito nessa situação foi utilizada uma câmara térmica TPS Tenney Junior. Após o ajuste da temperatura esperou-se 20 minutos, de modo que a temperatura tanto do chip quanto da câmara se estabilizasse, para se realizar a medição. As curvas obtidas em $T = 0^{\circ}\text{C}$ são mostradas nas Fig.(56) para I_{ref} e na Fig.(57) para V_{ref} .

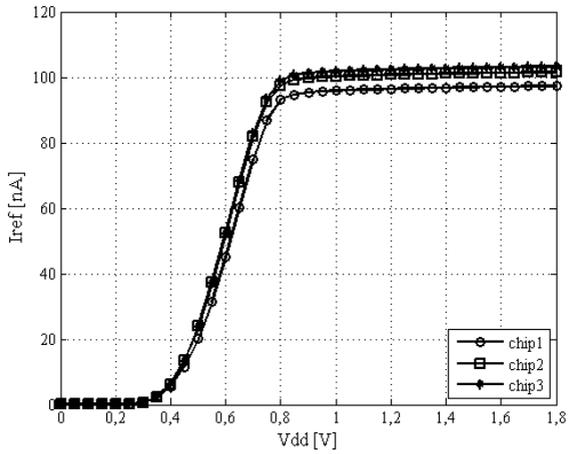


Figura 56: Medição da variação da corrente de referência com respeito à fonte de alimentação em $T = 0^\circ\text{C}$

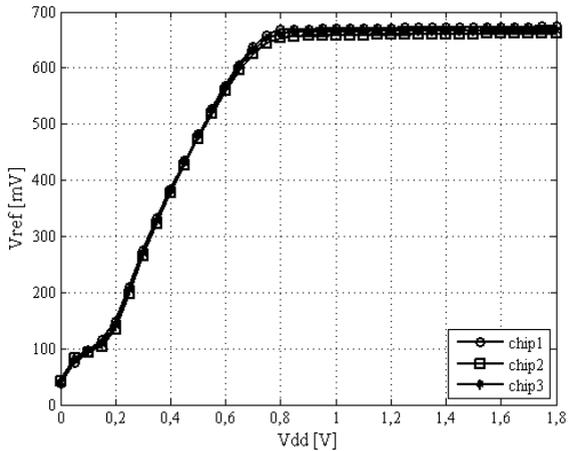


Figura 57: Medição da variação da tensão de referência com respeito à fonte de alimentação em $T = 0^\circ\text{C}$

A partir das curvas mostradas verifica-se que nos 3 chips medidos o circuito do Gerador de Corrente Específica opera com uma tensão mínima de aproximadamente 850mV.

É importante verificar o comportamento do circuito na condição de funcionamento quando empregado na detecção dos *hot-spots*. Para isso, foram realizadas medidas em $T = 100^{\circ}\text{C}$ com os resultados sendo mostrados na Fig.(58) para I_{ref} e na Fig.(59) para V_{ref} .

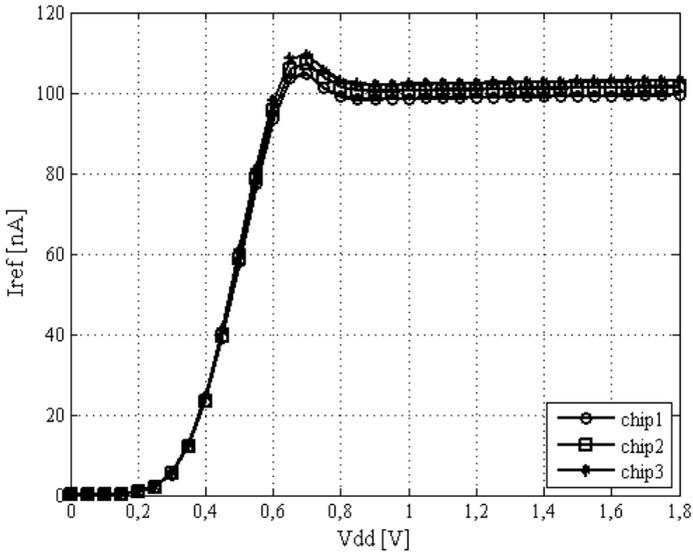


Figura 58: Medição da variação da corrente de referência com respeito à fonte de alimentação em $T = 100^{\circ}\text{C}$

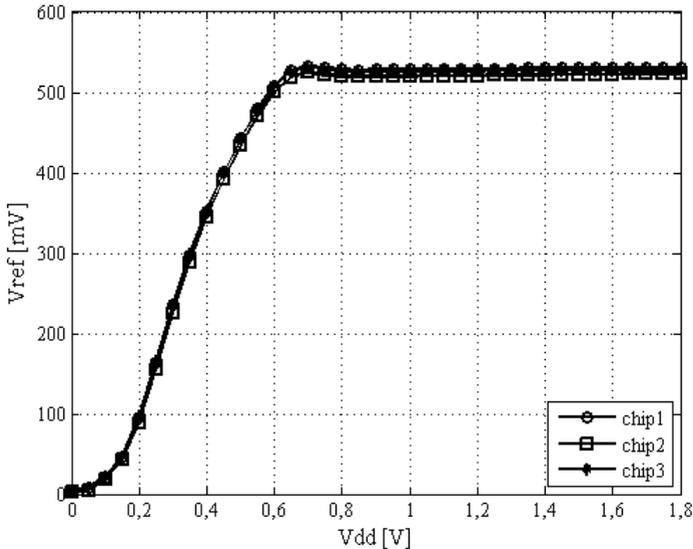


Figura 59: Medição da variação da tensão de referência com respeito à fonte de alimentação em $T = 100^{\circ}\text{C}$

A métrica utilizada para avaliar a sensibilidade da corrente e da tensão de referência com relação à alimentação é conhecida como regulação à fonte de alimentação (PSR) e dada por:

$$PSR = 100 \times \frac{\frac{Ref(@Vdd_{max}) - Ref(@Vdd_{min})}{Ref(@Vdd_{min})}}{Vdd_{max} - Vdd_{min}} \quad (37)$$

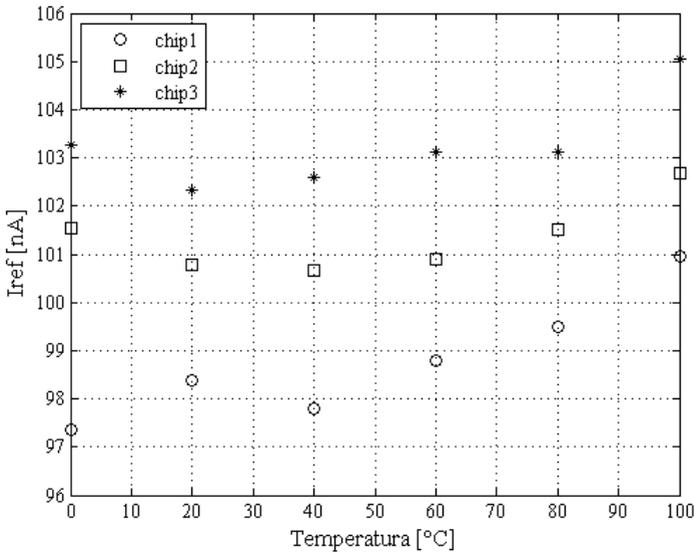
Onde Ref é substituído pela corrente ($Iref$) ou pela tensão ($Vref$) de referências.

Os resultados da aplicação de (37) aos dados das medições são mostrados na Tab.(14).

Tabela 14: Regulação da corrente e da tensão de referências

	<i>I_{ref}</i>		<i>V_{ref}</i>		unidade
	0°C	100°C	0°C	100°C	
Chip1	3,09	1,16	0,91	0,67	[%/V]
Chip2	2,45	1,03	0,89	0,79	[%/V]
Chip3	2,64	1,02	0,55	0,39	[%/V]

A caracterização do Gerador de Corrente Específica foi realizada com passos de temperatura iguais a 20°C e de maneira progressiva. Os resultados obtidos, na tensão de alimentação nominal (1,8V), para a *I_{ref}* são mostrados na Fig.(60) e para *V_{ref}* na Fig.(61).

**Figura 60: Medição da variação da corrente de referência com respeito à temperatura**

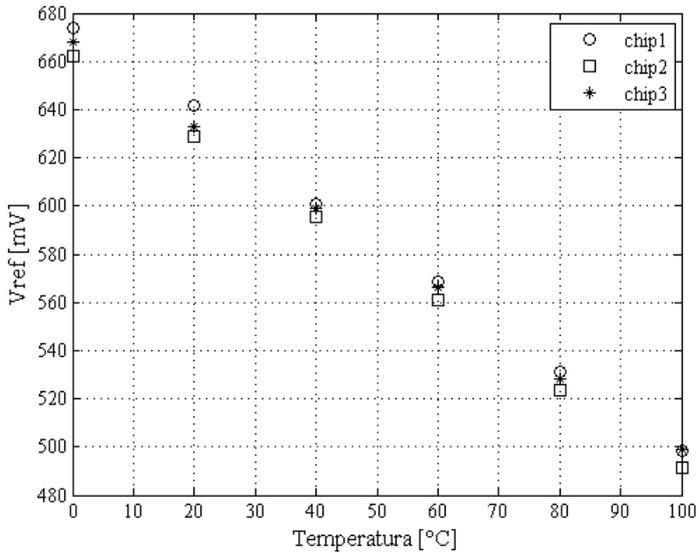


Figura 61: Medição da variação da tensão de referência com respeito à temperatura

Aplicando os dados para I_{ref} e V_{ref} na eq.(9) de modo a calcular a duração do tempo considerando o comparador, o capacitor e o gerador de pulso ideais foram obtidas as curvas mostradas na Fig.(62).

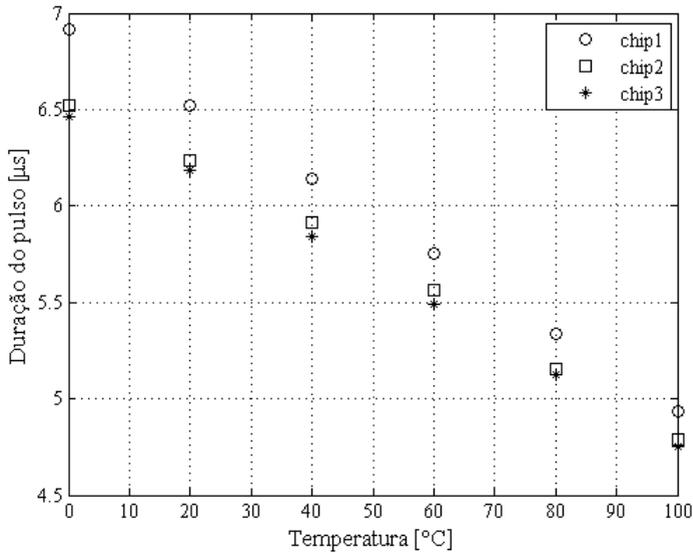


Figura 62: Variação do pulso de saída com respeito à temperatura obtida a partir dos dados das medições da corrente específica e da tensão de referência

A sensibilidade do sensor, obtida a partir dos dados medidos para a tensão e a corrente, é mostrada na Fig.(63). O erro na linearidade da curva com respeito à reta tomada entre 20°C e 100°C é mostrado na Fig.(64).

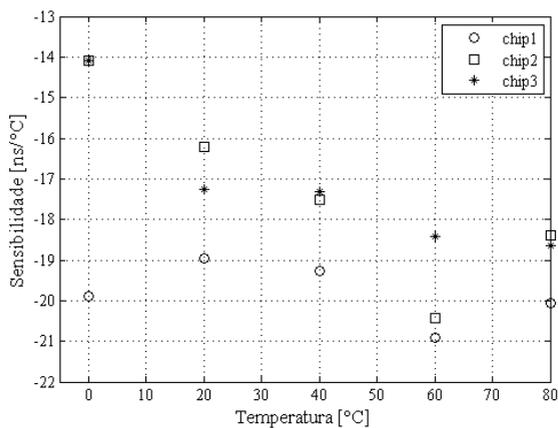


Figura 63: Sensibilidade com respeito à temperatura obtida a partir dos dados das medições da corrente específica e da tensão de referência

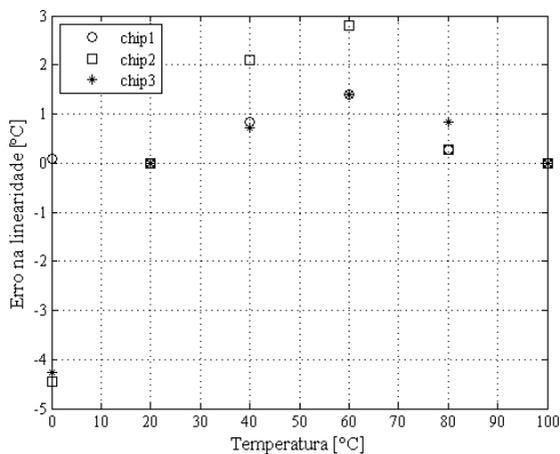


Figura 64: Erro na linearidade, convertida em graus Celsius, com respeito à temperatura obtida a partir dos dados das medições da corrente específica e da tensão de referência

Observa-se que para as amostras 1 e 3 há um erro de $1,4^{\circ}\text{C}$ em 60°C .

Embora esse erro até seja aceitável para a aplicação alvo, para satisfazer as especificações consideradas, a faixa de operação do sensor deveria ser bastante reduzida. Uma solução para estender a faixa de temperatura, tomando em conta a condição de linearidade, é utilizar uma reta que passe por 40°C e 100°C. Dessa forma, para os chips 1 e 3 o erro na linearidade permaneceria entre $\pm 1^\circ\text{C}$ de 20°C a 100°C com o chip 2 apresentando um erro de 1,351°C em 60°C.

Possivelmente pela ausência de estruturas de proteção ESD não se foi capaz de se obter novas medições de modo a avaliar o desempenho do gerador de pulso pois nas montagens posteriores à da utilizada na aquisição dos dados apresentados o circuito não teve seu correto funcionamento.

6 CONCLUSÕES E TRABALHOS FUTUROS

Ao longo deste trabalho foi apresentado o projeto de um sensor de temperatura voltado para detecção de *hot-spots*. A aplicação e sua restrição de precisão permitiram a utilização do gerador de corrente específica para a medida da temperatura. Dessa forma tem-se uma estrutura composta apenas por transistores MOS que pode ser facilmente transportada para novas tecnologias. Além da significativa redução no consumo do sensor (aproximadamente $18\mu\text{W}$), em comparação ao projeto referência ($910\mu\text{W}$), a capacidade de escalonamento pode ser considerada a grande vantagem da topologia apresentada.

Outro ponto que merece destaque é a configuração de auto-polarização empregada para o comparador. Dessa forma tem-se uma estrutura que se ajusta a variações de temperatura e processo além de possibilitar a confecção de um *layout* bastante simplificado.

Com respeito ao comportamento da tensão de limiar com relação à variação da temperatura, verificou-se que esse é dependente do método utilizado na extração. Dessa forma, projetos dependentes do comportamento de V_T com a temperatura devem extrair o coeficiente térmico de acordo com a definição de V_T desejada.

O sensor, na forma em que foi apresentado neste trabalho, necessita de 2 componentes a mais para poder ser efetivamente utilizado em um processador: um sinal de relógio de no mínimo 72 MHz para o pior caso (maior velocidade, menor duração do pulso) e um sistema para armazenar as medições nos dois pontos de referências para a calibragem da curva (algo semelhante a [25]). Uma outra alternativa seria utilizar, ao invés de se ter um sinal de relógio constante, uma estrutura adaptável, *e.g.* um VCO cuja frequência fosse proporcional ao inverso de V_{ref} (compensação desse tipo foi aplicada em [26]), de modo que a razão Δt por f_{osc} fosse compensada com respeito às variações no processo de fabricação, principalmente na tensão de limiar.

É interessante, em um futuro trabalho, se fazer a análise do desempenho do sensor empregado-se capacitores MOS em substituição ao capacitor linear *dualmim*. Dessa forma tem-se uma estrutura formada exclusivamente por dispositivos MOS o que destacaria ainda mais a sua portabilidade.

A área total do sensor pode ser reduzida utilizando uma corrente maior no projeto do gerador de corrente específica e também se o capacitor integrador for implementado sobre outras partes do sensor conforme explicado na seção de *layout*.

A topologia apresentada também pode ser utilizada em aplicações de

baixa potência; entretanto, neste caso o limite superior da faixa de temperatura a ser considerada fica limitado pelas correntes de fuga através de junções. Operação em baixa tensão de alimentação (sub 1-V) também é possível necessitando pequenas alterações no projeto, mais especificamente no comparador.

Pelo exposto acima tem-se que a estrutura apresentada é bastante versátil podendo ser facilmente adaptada de acordo com uma especificação prévia ao desenvolvimento do projeto.

REFERÊNCIAS

- [1] INTEL. *Moore Law Inspires Intel Innovation*. Disponível em: <<http://www.intel.com/content/www/us/en/silicon-innovations/moores-law-technology.html>>.
- [2] SRINIVASAN, J. et al. Lifetime Reliability: Toward an Architectural Solution. *IEEE Micro*, v. 25, n. 3, p. 70–80, 2005.
- [3] DUARTE, D. E. et al. Temperature sensor design in a high volume manufacturing 65nm cmos digital process. In: . San Jose: IEEE, 2007. p. 221–224. ISBN 978-1-4244-0786-6.
- [4] BROOKS, D.; MARTONOSI, M. In: *International Symposium on High-Performance Computer Architecture*. Monterrey: IEEE. ISBN 0769510191.
- [5] MA, M. et al. Enhanced Thermal Management for Future Processors. In: *2003 Symposium on VLSI Circuits, Digest of Technical Papers*. Kyoto: IEEE, 2003. p. 201–204.
- [6] CLABES, J. et al. Design and Implementation of POWER5 Microprocessor. In: *IEEE International Solid-State Circuits Conference*. San Francisco: IEEE, 2004. p. 0–7. ISBN 0780382676.
- [7] SZEKELY, V. et al. CMOS sensors for on-line thermal monitoring of VLSI circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 5, n. 3, p. 270–276, 1997. ISSN 10638210.
- [8] FLOYD, M. S. et al. System power management support in the IBM POWER6 microprocessor. *IBM Journal of Research and Development*, International Business Machines Corp, Old Orchard Rd, Armonk, NY, 10504, USA, v. 51, n. 6, p. 733–746, 2007. ISSN 00188646.
- [9] CHEN, P. et al. A time-to-digital-converter-based CMOS smart temperature sensor. *IEEE Journal of Solid-State Circuits*, v. 40, n. 8, p. 1642–1648, ago. 2005. ISSN 0018-9200.
- [10] KIM, C.-K. et al. CMOS temperature sensor with ring oscillator for mobile DRAM self-refresh control. In: *2008 IEEE International Symposium on Circuits and Systems*. Seattle: IEEE, 2008. p. 3094–3097. ISBN 978-1-4244-1683-7.

- [11] PHAM, D. C. et al. Overview of the Architecture, Circuit Design, and Physical Implementation of a First-Generation Cell Processor. *IEEE Journal of Solid-State Circuits*, v. 41, n. 1, p. 179–196, 2006.
- [12] LURIA, K.; SHOR, J. Miniaturized CMOS Thermal Sensor Array for Temperature Gradient Measurement in Microprocessors. In: *2010 IEEE International Symposium on Circuits and Systems*. Paris: IEEE, 2010. p. 1855–1858. ISBN 9781424453092.
- [13] IBM. *CMOS7RF (CMRF7SF) Design Manual*. Essex, 2011.
- [14] YUFFE, M. et al. A Fully Integrated Multi-CPU , Processor Graphics , and Memory Controller 32-nm Processor. *IEEE Journal of Solid-State Circuits*, v. 47, n. 1, p. 194–205, 2012.
- [15] ORTIZ-CONDE, a. et al. A review of recent MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, v. 42, n. 4-5, p. 583–596, abr. 2002. ISSN 00262714.
- [16] MACHADO, M. B.; SIEBEL, O. F.; SCHNEIDER, M. C. MOSFET Threshold Voltage: Definition, Extraction, and Applications. In: *The Nanotechnology Conference and Expo*. Boston: Nanotech, 2011. v. 2, p. 710–713. ISBN 9781439871393.
- [17] SCHNEIDER, M. C.; GALUP-MONTORO, C. *CMOS Analog Design Using All-Region MOSFET Modeling*. New York: Cambridge University Press, 2010. ISBN 9780521110365.
- [18] CHENG, Y. et al. BSIM3v3 Manual. 1996.
- [19] SZE, S. M.; NG, K. K. *Physics of Semiconductor Devices*. 3rd. ed. Hoboken: John Wiley & Sons, 2007. 815 p.
- [20] CHENG, Y.; HU, C. *MOSFET Modeling and BSIM3 User's Guide*. 1st. ed. Norwell: Springer, 1999. 484 p. ISBN 978-0-7923-8575-2.
- [21] CAMACHO-GALEANO, E. M. *Referência de corrente CMOS para aplicações de ultrabaixo consumo de potência*. Tese (Master Thesis) — Universidade Federal de Santa Catarina, 2004.
- [22] CAMACHO-GALEANO, E. M. et al. Temperature Performance of Sub-1V Ultra-Low Power Current Sources. In: *2008 IEEE International Symposium on Circuits and Systems*. Boston: IEEE, 2008. p. 2230–2233. ISBN 9781424416844.

-
- [23] ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. 2nd. ed. New York: Oxford University Press, 2002. 250 p. ISBN 0195116445.
- [24] MOSIS. *The MOSIS Service*. Disponível em: <<http://www.mosis.com>>.
- [25] MCGOWEN, R. et al. Power and Temperature Control on a 90-nm Itanium Family Processor. *IEEE Journal of Solid-State Circuits*, v. 41, n. 1, p. 229–237, jan. 2006. ISSN 0018-9200.
- [26] YIN, J. et al. A System-on-Chip EPC Gen-2 Passive UHF RFID Tag With Embedded Temperature Sensor. *IEEE Journal of Solid-State Circuits*, v. 45, n. 11, p. 2404–2420, 2010.